

VDEC利用者からの報告 ～システムレベル設計～

尾上孝雄
(大阪大学)

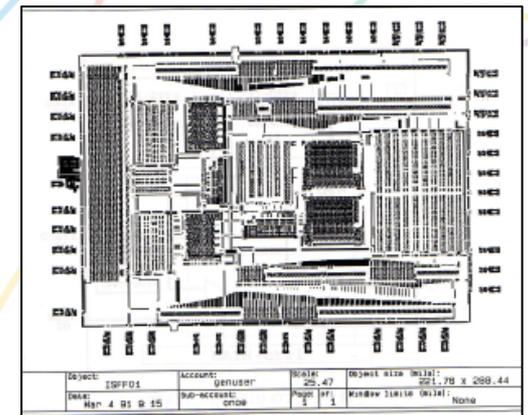
内容

- VDECとわたし(尾上)
- (株)シンセシスが何故できたか？
- VDEC関係者が係る大規模プロジェクト
- (変種)リコンフ・チップの設計
- 国プロなどへの研究展開
- 「システム設計力」は日本の国力向上に直結

VDECと私(尾上)

VDEC発足前

- 1990年4月CAD(アルゴリズム)の研究室に配属。研究テーマは「ハードウェア設計」
- 4年の夏に富士ゼロックス社本厚木リサーチセンター(Xerox HARC)で実習
- 卒論タイトルは「シリコンコンパイルーションによるFIRフィルタの設計」
- その後、産業界との共同研究でVLSI設計(アルゴリズム・アーキテクチャ)に取り組む。



VDECと私(尾上)

テストラン等に参加

- 1995年度 動き補償回路
- 1996年度 係数プログラム可能デジタルフィルタ

VDEC発足後

- 研究室学生がVDECツールを利用した研究を開始
- 2004-2005年度 流動教員派遣
- 2003年～2016年 博士31名、修士66名が卒業

映像伝送用高性能デジタルフィルタの設計

大阪大学大学院工学研究科 森川 俊 岡田 圭介 尾上 孝雄 白川 功

はじめに 近年、デジタル信号処理用高性能VLSIは、そのアプリケーションに適したアーキテクチャをとる必要が生じてきている。本研究では、特にデジタル映像伝送に特化したFIRフィルタを設計した。要求性能としては、10タップ以上、8-10ビットの固定小数点精度、動作周波数20-100MHzである。

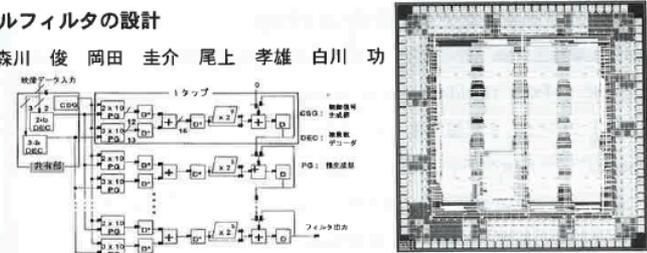


図1 フィルタアーキテクチャ

試作チップ 本研究で考案したFIRフィルタのアーキテクチャを図1に示す。デジタル映像伝送では、フィルタ係数はプログラム可能であることが望まれるが、フィルタ動作中は定数とみなすことができる。そこで、乗算器のアーキテクチャとして、被乗数を1-Out-of-Nコードに変換し、その信号線を乗数に応じて制御することによって積を得る方式を採用した。NEL0.5 μ mを用い、コア部3.58 \times 3.58mm²に11タップを集積した、最悪遅延時間のシミュレーションを行なった結果、遅延時間は5.7nsであり、所望の性能が得られていることを確認した。なお、本チップは博士3年ならびに修士2年の学生が約1か月で設計し、約48kトランジスタで構成されている。

卒業生の内訳

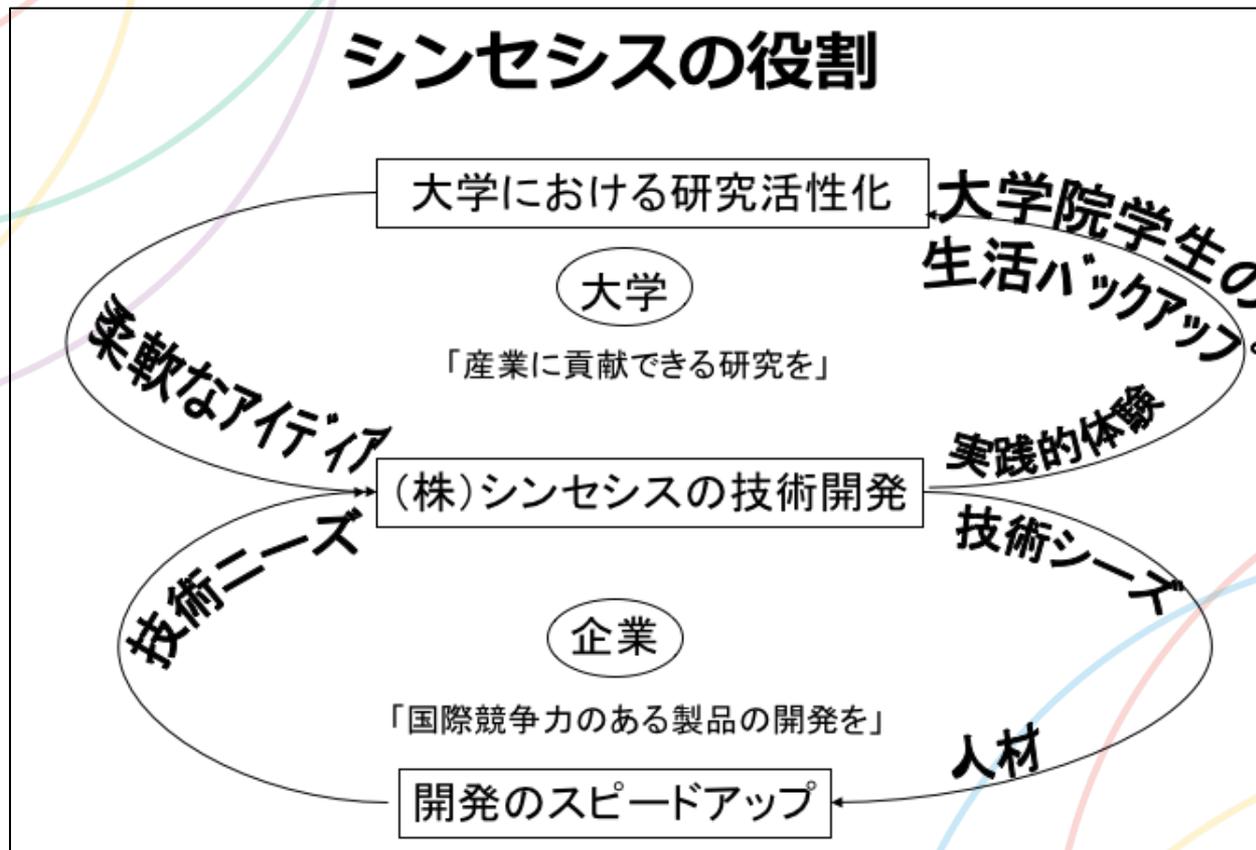
- 15-20%: 半導体専業
- 20-30%: 電機メーカ
- 10-20%: システム系

(株)シンセシスが何故できたか

今でも「VDEC発ベンチャー」として年報に記載されている

- 1993-1996年に多くの学生が動画像処理用VLSIアーキテクチャの研究に従事
- **指導教授**：「学生でも設計できる！ 実用設計に登用できないか？」
- 企業と交渉し、博士課程学生を(直接)雇用して貰い、関連分野の設計プロジェクトに派遣（当然一から設計。MPEG-2チップが動いた!）
- **指導教授**：「金銭的問題で博士課程に進学できない学生を雇用する大学発ベンチャーを作れる！」
- 1998年 阪大、京大の5つの研究室(**全てVDECユーザ**)が係わって何とか会社がスタートする。

昔のシンセシス紹介スライド



- (コア技術が無いまま)産業界からのプロジェクトサポートと国プロなどを取得
- 「大学での研究」と「会社での業務」は独立しつつも知見は活用
- 紆余曲折がありつつ19年間何とか続いている

VDEC関係者が係る大規模プロジェクト

科学研究費 特定領域研究 「知的瞬時処理複合化集積システム」

代表者:大見忠弘 (東北大学未来科学技術共同研究センター)

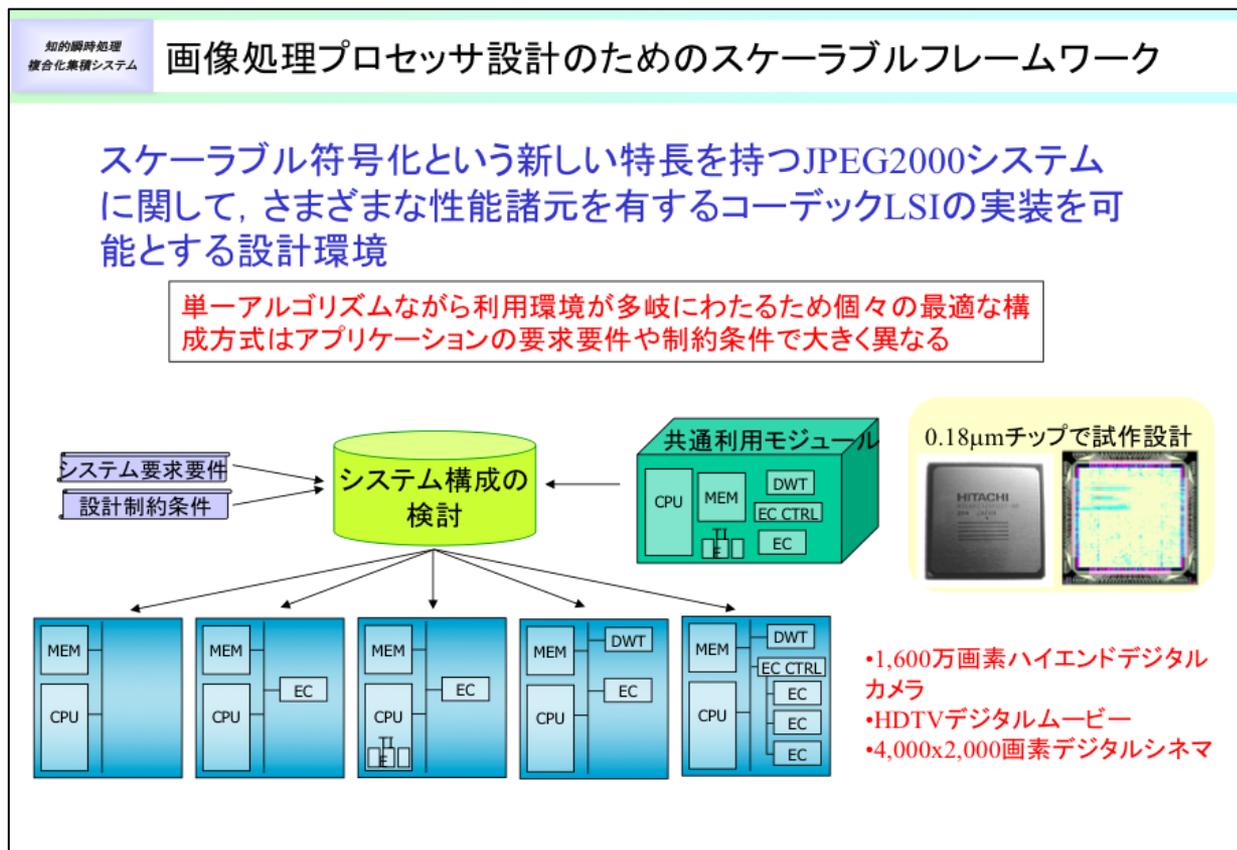
2000-2002年度

知的瞬時処理
複合化集積システム

画像処理プロセッサ設計のためのスケーラブルフレームワーク

スケーラブル符号化という新しい特長を持つJPEG2000システム
に関して、さまざまな性能諸元を有するコーデックLSIの実装を可
能とする設計環境

単一アルゴリズムながら利用環境が多岐にわたるため個々の最適な構
成方式はアプリケーションの要求要件や制約条件で大きく異なる



システム要求要件
設計制約条件

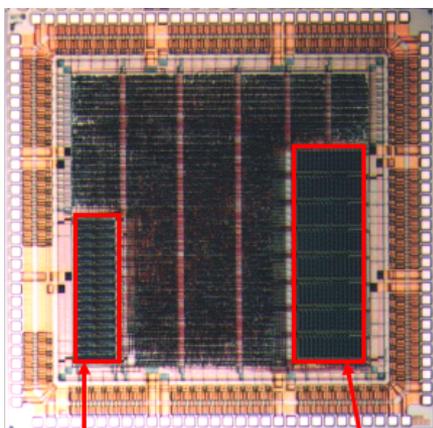
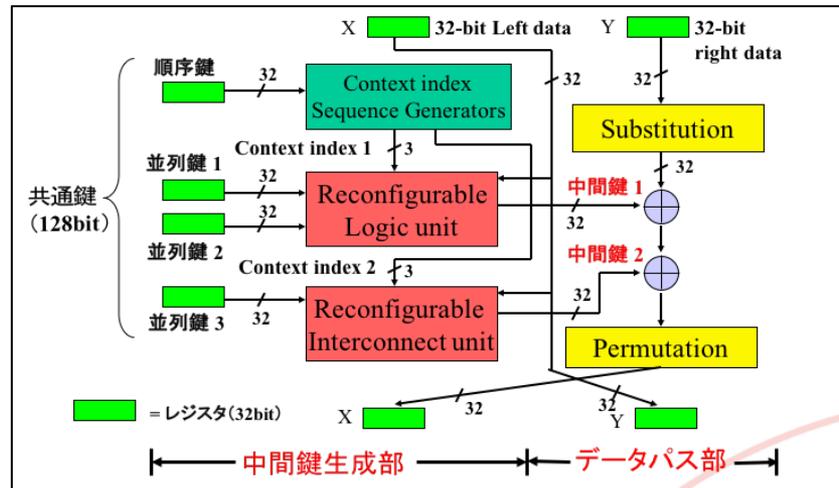
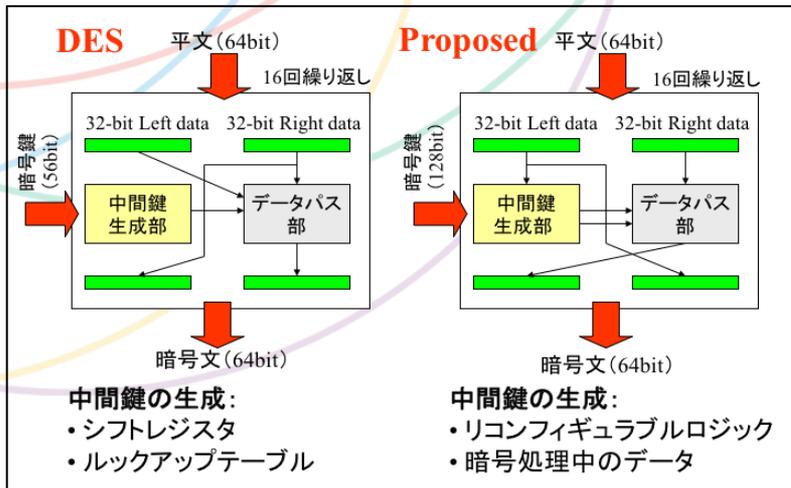
システム構成の
検討

共通利用モジュール
CPU MEM DWT
EC CTRL EC

0.18 μ mチップで試作設計

- 1,600万画素ハイエンドデジタルカメラ
- HDTVデジタルムービー
- 4,000x2,000画素デジタルシネマ

(変種)リコンフ・チップの設計



Chip micrograph

Reconfigurable Logic Unit

Reconfigurable Interconnect Unit

Technology	0.6 um CMOS 3LM
Source voltage	5 V
Core size	3.1 x 3.1 mm ²
Transistors	65,602
Max. clock frequency	178.6 MHz
Max. data throughput	317.5 Mbps

Cadence Virtuoso,
Synopsys Design Compiler,
Avant! Apollo

(変種)リコンフ・チップの設計

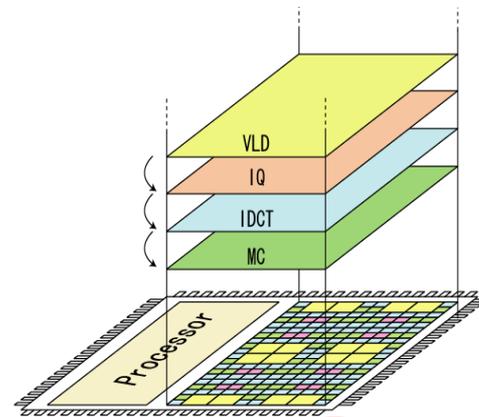
再構成可能集積回路:
VerilogHDLによるRTL記述から設計.
各セルをマクロ化し、トップ階層で接続.

PLL:
提供マクロを利用

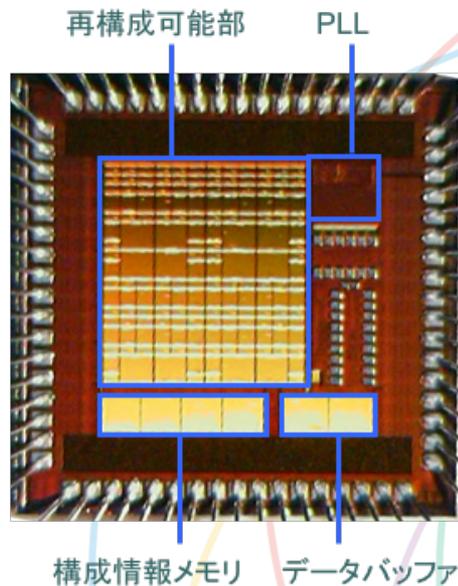
基板バイアスTEG:
Virtuosoを用いた手設計

構成情報メモリ:
生成したメモリマクロを使用
シリパラ・パラシリ変換回路も含む

データメモリ:
生成したメモリマクロを使用.
シリパラ・パラシリ変換回路も含む



テクノロジー	90nm CMOS
チップ面積	2.5mm × 2.5mm
回路規模	276 kゲート
消費電力	24 mW
最大動作周波数	370MHz [※]
再構成可能部面積	1.2mm × 1.1mm
構成情報メモリ	11.9kbits
データバッファ	12.3kbits
回路全体の面積	2.1mm ²



国プロなどへの研究展開

JST-CREST「ロバストファブリックを用いたディペンダブルVLSIプラットフォーム」

代表者 小野寺秀俊（京都大学大学院情報学研究科）

ディペンダブルVLSIプラットフォーム

Architectural components include: Dependable Processor, Reconfigurable Cluster Array (FRRary), DMAC, SRAM (Local Memory), External I/Fs (SDRAM Ctrl, PCI-e I/F, GbE I/F, etc.), and WISHBONE bus.

65nm試作チップ写真

Chip dimensions: 1.68mm x 0.84mm, containing a 4x8 cluster array.

検証

Chip on board with α line source configuration. Note: 平滑化フィルタをマッピング (Mapping smoothing filter).

実証実験

エラー率(FIT) vs λ_T/λ_U graph:

モード	エラー率 (FIT)	寿命 (年)
SMMモード	10^0	23日
SMSモード	10^{-5}	0.5年
DMRモード	10^{-10}	258年
TMRモード	10^{-15}	10^{18} 年

隣接クラスタからの入力 (Input from adjacent clusters) and 隣接クラスタへの出力 (Output to adjacent clusters) are shown in the architecture diagram.

構成情報メモリ (Configuration information memory), 多数決回路 (Majority logic circuit), 再構成可能セル部 (Reconfigurable cell part), 冗長度制御部 (Redundancy control part), 比較・多数決部 (Comparison and majority logic part), 機能部セル (Functional cell), and セクタ (Sector) are also labeled.

SETによるエラー率小 (Small error rate due to SET) and SETによるエラー率大 (Large error rate due to SET) are indicated on the graph.

「システム設計力」は日本の国力向上に直結

1. 600兆円に向けた「官民戦略プロジェクト10」

1-1: 新たな有望成長市場の創出

① 第4次産業革命の実現～IoT・ビッグデータ・AI・ロボット～【付加価値創出：30兆円(2020)】

総合的な司令塔の設置

- 第4次産業革命を推進する政府全体の司令塔として「第4次産業革命官民会議」を設置。
(「未来投資に向けた官民対話」の機能を事実上置き換え)
- 同会議の下に、「人工知能技術戦略会議」、「第4次産業革命 人材育成推進会議」、「ロボット革命実現会議」を位置づけ
- 日本として「取るべき」重点分野の特定、「重点分野別戦略」の策定、横断的施策（規制改革、研究開発、資金供給、人材育成等）の加速化

新たな規制・制度改革 メカニズムの導入

- 産業革新の将来像に基づき設定した中期目標からバックキャストして、具体的改革を実施する方式の導入（「目標逆算ロードマップ方式」）
- 事業者目線での規制・行政手続コスト削減（規制改革、行政手続の簡素化、IT化を一体的に進める新たな手法の導入）

データ利活用プロジェクトの推進、 中堅中小企業への導入支援

個別化健康サービス、介護ITの活用
- ビオ・データ・健康関連データの活用
- IoT・センサー活用介護

クラウド化全体の在庫と、即時オーダーメイド生産

スマート工場
生産現場のセンサーデータ活用した予防保全

自動走行
2020年高速道路での自動走行、3D地図情報

FinTech
オープンイノベーションを活用したエコシステム形成

ドローン
3年以内のドローン配送実現

- 企業・組織の枠を超えたデータ利活用プラットフォーム
- シェアリングエコノミーの推進、サイバーセキュリティ強化等の実施
- 中堅中小企業向け小型汎用ロボットの導入コスト2割減、中小企業1万社をIT化支援等

イノベーションの創出

- 企業から大学・研究法人への投資3倍増（2025年）等によるオープンイノベーションの推進
- 国内外のトップ人材を集めた世界的研究拠点5ヶ所創出
- 民間主導の「地域と世界の架け橋プラットフォーム」整備
- 人工知能の研究開発・産業化の司令塔設置（人工知能技術戦略会議）等

チャレンジ精神に溢れる 人材の創出

- 初等中等教育でのプログラミング教育の必修化（2020年～）、IT活用による習熟度別学習、高等教育での数理・情報教育の強化、トップレベル情報人材の育成
- 世界最速級の「日本版高度外国人材グリーンカード」の創設（高度外国人材の永住権付与の迅速化）
- 「第4次産業革命 人材育成推進会議」の設置等

※第4次産業革命の推進にあたっては、総合科学技術・イノベーション会議におけるSociety5.0の基本方針の検討と連携しつつ進める。