

## Virtuoso ADE Explorer

Circuit exploration of analog and RF IC designs made easy

Cadence® Virtuoso® ADE Explorer は、設計の早い段階の回路テスト環境を実現する IC617 から提供された新しいエントリー・レベルのデザイン・コックピットです。Virtuoso ADE Explorer は、回路図とスペクトリブ GUI を持ち、コーナー解析やモンテカルロ統計解析など、基本的なばらつき解析もサポートします。Virtuoso ADE プロダクトのパッケージソフトの一部であり、Virtuoso ADE Explorer は、単体の実行も可能です。さらに、Virtuoso ADE Assembler や Virtuoso ADE Verifier とあわせて運用することで、アナログ、カスタム、RF、ミックスドシグナル IC に対する完全な設計ソリューションを構築することができます。

### Virtuoso ADE プロダクト・スイートの紹介

新しい Virtuoso ADE プロダクト・スイートは、設計者が設計期間のあらゆる場面で設計の意図を維持し、デザインをそのゴールに対し完全に探索、解析、検証できる環境を提供します。アナログ・シミュレーションの制御と管理に対し、業界を牽引するソリューションとして、Virtuoso ADE プロダクト・スイートは、設計者がデザインフローにおいて最善の製品を選択できる柔軟性を提供します。Virtuoso ADE Explorer は、モンテカルロ統計解析、コーナー・スイープ、Pass/Fail 判定、および Virtuoso Spectre® Circuit Simulator を使ったリアルタイム・チューニングのサポートを含む、シミュレーションの容易な実行により、解析処理をすばやく開始できる環境を提供します。

Virtuoso ADE Assembler は、Virtuoso ADE Explorer の機能を複数のテストベンチに同時に拡張した環境で、大規模アナログ・ブロックのすべての側面を監視できるよう、必要に応じて仕様比較シートやデータシートを生成し、すべての結果を容易に、かつ直接レビューすることができます。Virtuoso ADE Assembler には、寄生の解析、パラメータの再センタリングによるデザイン・マイグレーション、ばらつき解析のタスクを簡素化するワーストケース・コーナーの生成の機能も含まれます。アドバンスド・ノードや高シグマ・デザインの主要な課題に対応するため、Virtuoso Variation Option で、FinFET の高速モンテカルロ解析、高歩留まり見積もり、歩留まり改善フローを利用できます。最終的に、Virtuoso ADE Assembler と Virtuoso ADE Explorer の実行結果は、Virtuoso ADE Verifier に取り込まれ、上位の回路仕様と異なる設計者や設計拠点で開発された個々の解析テストの対応を取ることができます。図 1 に示すように、ステータスは 1 か所で管理されるため、回路設計者は常にデザインの完全なステータスを把握することができます。

### Virtuoso ADE Explorer Overview

Virtuoso ADE Explorer は、全てにおいて再考されたアナログ

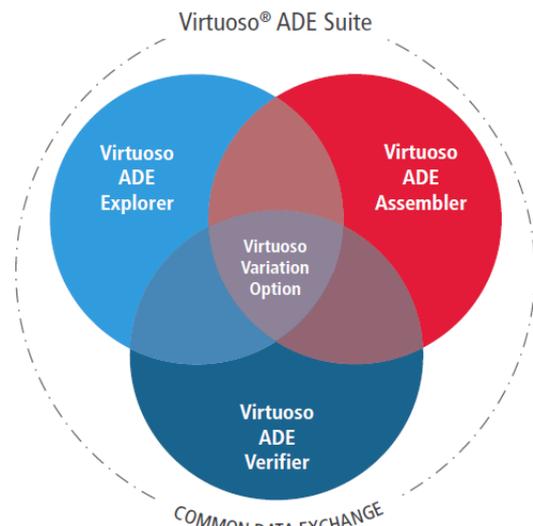


図 1. Virtuoso ADE Product Suite

デザインツール群の入り口でもあり、単なるベースシステムというよりも、開発初期段階に回路を網羅的にテストするためのシステムとして開発されました。回路の調査は 2 つのモードから実行可能です：

- Schematic モードからの実行。回路図にドッキング可能な波形プローブアシスタントを持った Schematic モードでは、設計者が作業に集中し続けることを念頭においています。このモードは、real-time tuning の機能を実現するように、Spectre Circuit Simulator とのシームレスなインテグレートがなされています。
- GUI モードからの実行。GUI モードは、スペクトリブの実行環境を提供します。このモードでは、測定項目の設定、データシート作成、シミュレーション中のそれら測定結果の Pass/Fail の表示などの機能が備わっています。

さらに、Virtuoso ADE Explorer は、ビルトインのコーナー解析機能、Monte Carlo 統計解析機能を含め、回路のばらつきを解析するためのツールセットを持っています。Virtuoso ADE Explorer は、ADE のアナログデザインツール群の他のツールとデータ表示機能が共通化されているため、設計者は、シン

グルテストの実行から、複数テストの実行や重要な回帰試験や簡便化されたテスト環境に、問題なく移ることができます。図 2 は、Virtuoso ADE Explorer コックピットです。

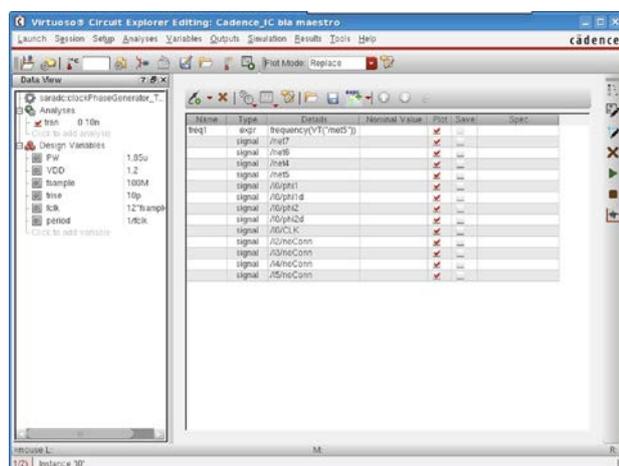


図 2. Virtuoso ADE Explorer cockpit

## Benefits

- シングルテストベンチ・モードの、回路解析のための使い易いまとまっているコックピットです。
- OCEAN スクリプトを用いて、スクリプトドリブンの実行により、効率を上げることができます。
- Spectre Circuit Simulator を使った real-time tuning など、インタラクティブ解析のための Virtuoso Schematic Editor と密なインテグレーションがなされています。
- 迅速に回路探索を行うための、簡単にデザインやテストのパラメータ化が可能です。
- 仕様をプロセスコーナー全般にテストするために、コックピットに組み込まれたコーナー解析機能を備えています。
- 統計ばらつきを試行するための Mont Carlo 統計解析機能が組み込まれています。
- 統計コーナーからコーナー条件の生成機能があります。
- 関連データを最適な形に表示するための、画面編集機能があります。
- 設計の目的を保てるように手助けとなるシミュレーション結果を探索するための Cadence Visualization and Analysis (ViVA) コックピットがインテグレートされています。
- 組み込まれているカリキュレーターや関数による定量化可能な結果の抽出ができます。

## Features

### Specification-driven design

Virtuoso ADE Explorer は、シングルテストについて観測することができる測定項目を作成することができるシミュレーション環境です。結果は、GUI に新しいデータシート表示として可視化されます。データシートでは、仕様を満足しているか、それともしていないのかを確認することができます。

設計早期の段階では、Virtuoso ADE Explorer の Schematic モードによる real-time tuning の実行や、デザインのノードの

観測をバルーンの波形表示することができます。簡単な変数の変更と波形バルーンのモニタリングによって、最小限の視覚的な表示だけで、所望の値をすばやく見るけることができます。図 3 は、Schematic モード画面の例です。

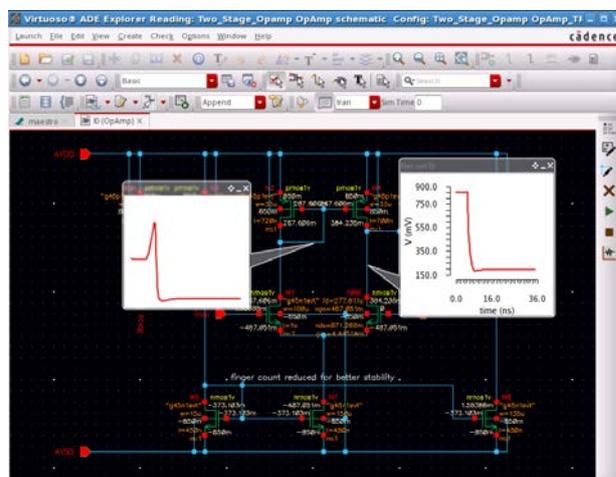


図 3. Schematic centric use-model showing waveform balloons

バルーンには、動作点の情報、DC ノード電圧、過渡解析の電流値なども表示することができます。表示が小さい場合には、波形の概形が表示されます。波形のより詳細な確認が必要なときは、いずれのプローブも、ViVA 波形ツール画面に表示することができます。改めて再プロットする必要がなく、情報は既にウィンドウに表示されます。

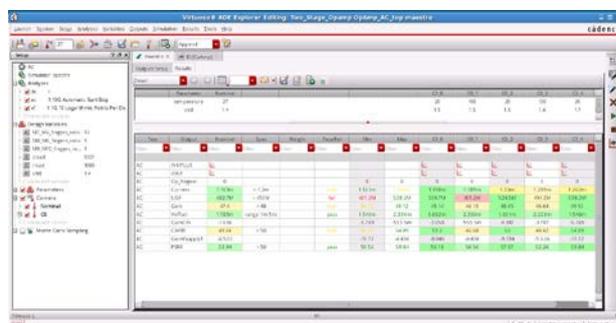


図 4. GUI-centric use-model showing corners and pass/fail status

### Variation design built-in

Virtuoso ADE Explorer は、感度解析や信頼性解析と同様に、コーナー解析と Monte Carlo 解析の両方の機能を持っています。設計者は、これらの先進的な機能を設計作業の初期から使うことができます。これらの解析を実行すると、GUI は一貫した形で情報を表示し、設計者は、個々の動作条件やプロセスコーナーにわたる回路の状態をつじつまの合う情報を得ることができます。

## Specifications

### Interactive simulation control

- スペックドリブンの実行環境。
- 簡単に波形プローブを確認できる波形バルーンをもった

## 回路図ベースの実行環境。

- Spectre Circuit Simulator の check や assert 機能に対応する GUI。
- シングルテストに対する、スweep、コーナー、Monte Carlo 解析のデザイン探索機能。
- センタリングや S-parametar 解析を支援する、Spectre Circuit Simulator を用いた Real-time tuning 機能。
- テストパラメータの状態が、ツリー構造で見やすくセットアップ・ペインに表示されます。
- Spectre Multi-Mode Simulation のインテグレーション。
- 問題点の探索を簡単にするデータシートのフィルタリング機能。
- 目標仕様に対するテスト結果のオーバービュー画面
- 回路図やレイアウト画面とのクロス・プローブやアノテーション。
- Virtuoso ADE Assembler とのデータ・リポジトリの共通化。

## Built-in variation analyses

- Monte Carlo 解析
- コーナー解析
- 統計サンプルからのコーナー生成
- 感度解析
- 信頼性解析

## Waveform display

- 複数の Y 軸表示、ストリップ・プロット、スミスチャート
- ビルトインの波形カリキュレーター

- 独立したサブウィンドウ表示
- 水平と垂直方向の測定マーカー
- 独立した、パン、ズーム機能
- ユーザーが指定するラベルやタイトル
- カラーとラインスタイルの制御
- シグナル・ブラウザー
- 色分けされた回路図とのクロスプロービング

## Distributed processing

- 複数シミュレーションの分散
- コンピューターファームの有効活用
- ビルトインの最小限のロードバランス機能と、他のロードバランスツールとのインターフェイス
- ジョブモニターと制御関数
- セットアップやステータスを確認する GUI

## Cadence Services and Support

- Cadence のアプリケーションエンジニアは、技術問い合わせに回答いたします。Cadence では、テクニカルな支援や個別のトレーニングコースも用意しています。
- Internet Learning Series (iLS) のオンラインコースでは、インターネット経由で、自身のコンピュータ環境でトレーニングを自由に受講することができます。
- Cadence Online Support では、沢山の最新のソリューションの知見や技術資料の参照や、ソフトウェアのダウンロードが可能です。
- 詳細は以下をご覧ください：  
[www.cadence.com/support-and-training](http://www.cadence.com/support-and-training)



## 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
 営業本部  
 TEL.(045)475-8410 FAX.(045)475-8415  
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
 TEL.(06)6121-8095 FAX.(06)6121-7510  
<https://www.cadence.com/jp>

© 2017 Cadence Design Systems, Inc. All rights reserved worldwide.

CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。  
 その他記載されている製品名および会社名は、各社の商標または登録商標です。  
 \* 掲載の内容は、2017年6月現在のものです。



販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
 TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395  
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
 TEL. (06) 6121-7703(営) FAX. (06) 6121-7720  
 URL <http://www.innotech.co.jp/>