



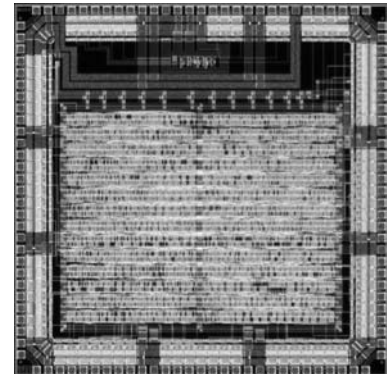
(MOT022)

マイクロプロセッサとニューロン MOSFET 乗算器の試作

大阪工業大学工学部 久津輪 敏郎, 荒木 英夫, 星野 聖彰, 乾 道孝

概要：研究室で設計されたマイクロプロセッサシステム（NR8D）とニューロン MOSFET を用いた乗算器の試作を行った。マイクロプロセッサはノイマン型 RISC タイプの 8bit のアーキテクチャで、可変長命令を持ちパイプライン動作するように設計している。NR8D はこのマイクロプロセッサに割り込みコントローラやシリアル通信コントローラ等の周辺回路を結合したシステムであり、従来 FPGA で試作を重ねたものを VDEC 試作サービスの LSI 用に改良したものである。レイアウト図における上部の回路は多値論理を扱うことの出来るニューロン MOSFET を用いた 2bit 乗算回路である。本研究室ではニューロン MOSFET を用いた回路の構成法や設計手法等の研究を行っている。今回の試作により、今後ニューロン MOS 回路の試作において面積や遅延時間等の評価が可能となった。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm 角 試作ラン：マイクロプロセッサ



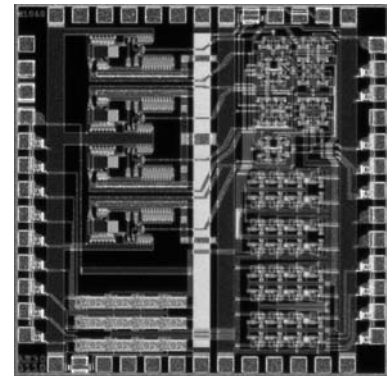
SCIC を利用したイミタンス形スイッチトキャパシタ FPAA

熊本大学工学部 井上 高宏

熊本大学大学院 自然科学研究科 日野 臣教

概要：試作したチップは、SCIC を利用して構成したスイッチトキャパシタ形 FPAA である。今回は、スイッチトキャパシタ形 FPAA を用いた回路構成の一例として 3 次ローパスフィルタを試作設計し、その構成素子に 4bit PCA を用いることで、カット周波数をプログラム可能にし、より柔構造なスイッチトキャパシタ形 FPAA を目指した。また、4bit PCA の容量値を決定するために、インバータ、キャパシタ、MOS スイッチにより構成された 4bit シフトレジスタを用いている。4bit シフトレジスタの値により、4bit PCA 全体の容量値を 16 段階で変化可能である。現在までにシミュレーション上で、6 次バンドパスフィルタの振幅応答特性を確認している。その結果、クロック周波数 24kHz、通過帯域 0.8kHz-1.25kHz のバンドパス特性を示した。また、今回試作したチップは動作確認用に各要素回路の TEG も試作した。テストによる測定はまだ行っていない。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 試作ラン：アナログ (PLL, A-D/DC-DC コンバータなど)



ダイオードチャージポンプ型 AC-DC 変換回路および種々の浮遊抵抗回路の設計

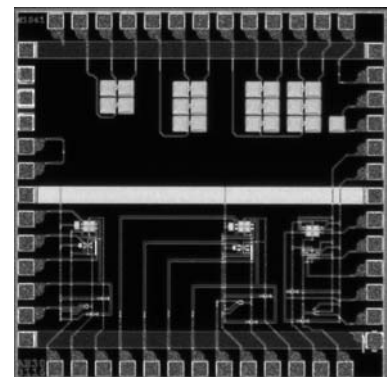
熊本大学工学部 井上 高宏

熊本大学工学部 萩原 祐一

熊本大学大学院自然科学研究科 飯尾 義徳, 高宗 義成

概要：本チップにおいて、2 段、3 段のダイオードチャージポンプ型 AC-DC 変換回路をそれぞれ 1 つずつ、ダイオードチャージポンプ型 AC-DC 変換回路に比べ直流出力のリップル成分を低減することができる低リップルダイオードチャージポンプ型 AC-DC 変換回路を 1 つ試作した。また、動作確認用に各要素回路（ダイオードを 2 つ、キャパシタを 1 つ）の TEG も試作した。多入力ゲート素子である浮遊ゲート MOSFET (FG-MOSFET) を用いて、浮遊抵抗回路を 3 つ構成した。回路の動作原理は等価デプレッション型 MOSFET に基づくものと、線形領域で動作するものがある。本回路は電源電圧 3.3V で動作する。テストによる測定はまだ行っていない。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 試作ラン：アナログ (PLL, A-D/DC-DC コンバータなど)



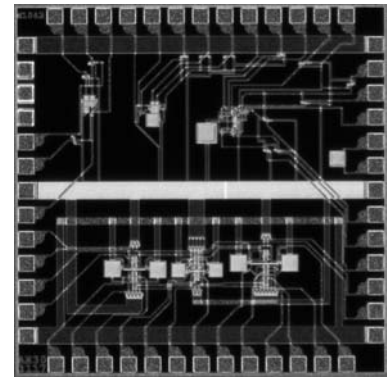
FG-MOSFETのみかけのしきい電圧のオートチューニング回路

熊本大学工学部 井上 高宏

熊本大学大学院自然科学研究科 市原 栄蔵

概要：浮遊ゲート MOSFET (FG-MOSFET) は「みかけのしきい電圧 V_{th} 」を電子的に制御できる素子であるが、製造過程においてその浮遊ゲートに予測不可能な量の電荷が入り込んでしまい、その影響を受けて V_{th} が期待した値からずれるという問題をもつ。そこで今回のチップには、その電荷の影響を受けずに制御電圧と制御電流によって V_{th} を所望の値に電子設定できる回路を「連続時間形 V_{th} 電子設定法」および「リフレッシュ形 V_{th} 電子設定法」の2種類載せた。前者は、使用する2つの FG-MOSFET 間に浮遊ゲート上の初期電荷まで含めた整合条件が必要となるものの、連続時間動作が可能であるという利点をもつ。また、後者は、前者に必要な浮遊ゲート上の初期電荷の整合条件を必要とせずに、 V_{th} を所望の値に電子設定できる点に利点をもつ。これらは、個別のテスト回路を同一チップ上に相乗りさせたもので、各機能回路において FG-MOSFET が所望の動作や特性を実現しているかを確認することを主目的とする。テストによる測定はまだ行っていない。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10 以上, 100 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン：**アナログ (PLL, A-D/DC-DC コンバータなど)



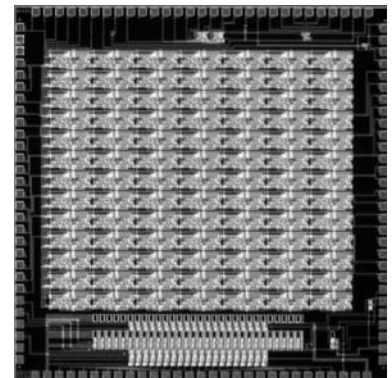
昆虫の視覚系に学んだ背景速度が生じる画像中でのターゲットの動き検出チップの試作

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要：背景を含む画像がチップ上に投影されても、ターゲットの動きのみを検出できるように、昆虫の視覚系に学んでターゲットの動き情報のみを出力する二次元ネットワークを考察してきた [1]。昆虫の視覚系では、それぞれの動き検出神経細胞から、速度ベクトルに対応した信号を生成する。これらの信号は、平均化される。この平均化された信号によって、背景速度によって生成された信号を抑制して、ターゲットの動き信号のみを顕著に現している。今回の試作では、上述したネットワークを検証するため、単位回路を二次元に配列したネットワークを設計した。また、チップにはネットワークを構成するアナログ基本回路の TEG も含めた。試作チップの測定では、各基本回路の動作を検証するとともに、二次元ネットワークの特性を評価する。

参考文献： [1] K. Nishio, H. Yonezu, A. B. Kariyawasam, Y. Yoshikawa, S. Sawa and Y. Furukawa, "Analog Integrated Circuit for Motion Detection against Moving Background Based on Insect Visual Systems", Optical Review, vol. 11, pp. 24-33, 2004.

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 4.8mm 角 **試作ラン：**イメージセンサ/スマートセンサ



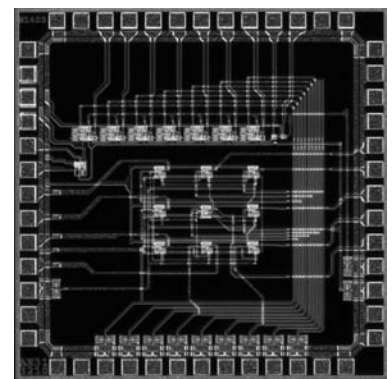
昆虫の視覚系に学んだ一次元動き検出チップの試作

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要：昆虫の脳は、非常にシンプルな構造にも関わらず、実時間で動き検出を可能にしている。昆虫の視覚系に学ぶことにより、比較的シンプルな構成で、実時間で動き検出を行なう集積回路ネットワークを構築することができる。これまでに、昆虫の視覚系に学んで、20個以下の MOS トランジスタで構成した動き検出回路を提案してきた [1]。また、この回路を応用して、背景を含む画像がチップ上に投影されても、ターゲットの動き情報のみを出力する二次元ネットワークも提案してきた [1]。今回の試作では、動き検出回路を一次元に配列したネットワークを設計した。また、チップには基本回路の TEG も含めた。試作チップの測定では、基本回路の動作を検証するとともに、一次元動き検出ネットワークの特性を評価する。

参考文献： [1] K. Nishio, H. Yonezu, A. B. Kariyawasam, Y. Yoshikawa, S. Sawa and Y. Furukawa, "Analog Integrated Circuit for Motion Detection against Moving Background Based on Insect Visual Systems", Optical Review, vol. 11, pp. 24-33, 2004.

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン：**イメージセンサ/スマートセンサ



64×64画素三相時間相関イメージセンサ (第3報)

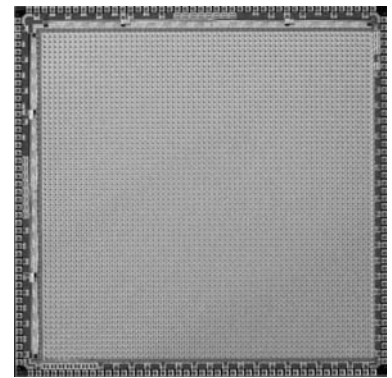
東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

概要: 我々の研究室で提案し、開発を続けている時間相関イメージセンサは、入射光強度と各画素共通の外部参照信号との時間相関を出力する撮像素子であり、画像の時間軸情報を活用した新しい画像計測への応用を可能とするものである。本試作は主に、このデバイスの周波数特性の向上を目的として行なった。具体的には、MOT01-2 ランにおけるNMOS乗算・PMOS積分型64×64画素三相相関チップ [1] を元に、乗算用NMOSのドレインにさらにNMOSをカスコード接続するとともに、開口をフォトダイオードのフリッジ部まで拡大した。これまでに検証実験を行ない、実際に周波数特性の向上を確認している。

参考文献: [1] 安藤, 来海: 64×64画素三相時間相関イメージセンサ (第2報)

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** オンセミ CMOS 1.2μm 7.3mm角 **試作ラン:** イメージセンサ/スマートセンサ



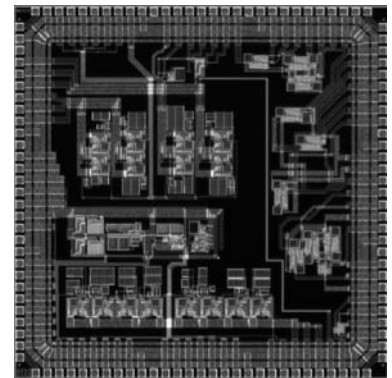
MOS構成に適したアナログ形PLLの試作

秋田大学工学資源学部 川元 雅紀, 佐藤 紀章, 伊藤 文人, 井上 浩

概要: 近年、デジタル通信の発展とLSIの高性能化の要求に伴い、デジタル形のPLL回路を利用した機能集積回路が増えてきた。我々は、アナログ形PLLの利点を生かしながらも大幅な回路の単純化が可能となる新しい回路構成を考案してきた。本試作研究では、CMOSプッシュプル回路を応用し、分周器やチャージポンプ等を用いないアナログ形PLLを提案し、その動作を検証することを目的にIC設計・試作した [1]。試作したICは、アナログ形PLLの全体回路を構成する個別回路ブロック及びそのテスト回路と、個別ブロックに含まれる基本回路、ならびに回路内に用いられる諸抵抗及び諸容量の特性評価回路で構成している。本回路は1チップ化がし易く、更に回路規模縮小が可能と考えられる。

参考文献: [1] 川元, 伊藤, 井上, "アナログPLL LSIに用いるCMOSプッシュプル回路の最適化," 2003年電子情報通信学会総合全国大会, エレクトロニクス, C-12-39.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2μm 4.8mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)

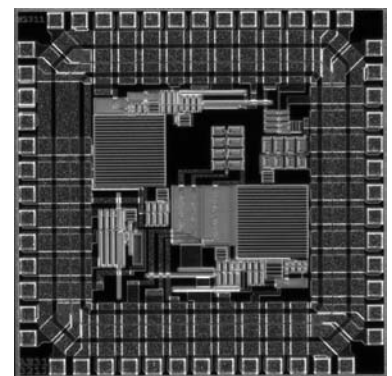


リング発振器を用いたPLL用の発振器の試作

秋田大学工学資源学部 宮前 亨, 井上 浩

概要: 近年の通信機器において、半導体集積回路技術の進歩により小型化・高性能化されてきている。携帯電話, PHSのような小型通信端末には、LC発振回路が多く用いられており、共振器全体のQ値を高く確保するためにディスクリット素子を利用して構成されている。通信機器のさらなる小型化を行うためには、発振器をIC内に組み込むことが望まれる。IC内に実現される発振器としては、回路の単純性と適合性からリング発振器がよく利用されている。本試作研究では、基本的なリング発振器を応用して、PLL用の電圧制御発振器 (VCO) を提案し、その動作を検証することを目的にIC設計・試作した。VCOは、インバータの出力抵抗を可変する回路構成を新規に提案することにより、制御電圧に対して線形で広範囲に発振周波数が可変することを確認した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2μm 2.3mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)



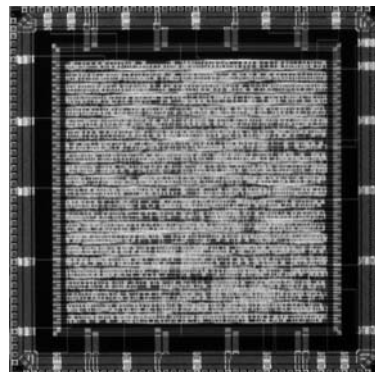
SystemCを用いた3次元スイッチボックスハードウェアルータの試作

広島工業大学工学部 大村 道郎, 市塚 裕之

概要: 近年, ハードウェア記述言語としてSystemCを用いたVLSI設計が注目を集めている. 著者らは3次元VLSIのスイッチボックス配線に関して, 従来の2次元の迷路法を3次元に拡張したチップをSystemCを用いて設計した. ここで3次元スイッチボックスは, その内部に配線のための立方格子を持ち, 6つの側面にネットの端子が与えられる. 各セルを通過するときの配線コストがxおよびy方向と, z方向で異なるものとする. 各立方格子に対し, 回路セルを1つ割り当てるが, 回路セルは各端子から伝播してくる信号に対し, コストを考慮したタイミングに合わせて他の方向に信号を伝播させる.

参考文献: [1] 市塚, 河野, 菅原, 大村, "SystemCを用いた3次元スイッチボックスルータ", p.625, 平成15年度電気・情報関連学会中国支部連合大会 (2003).

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 7.3mm角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



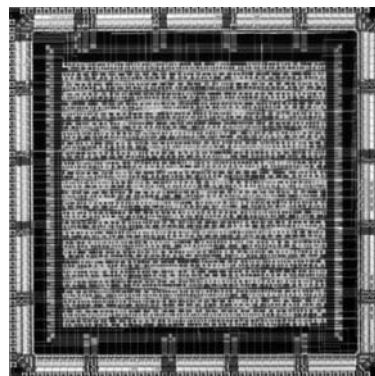
冗長バスを有するマルチコンテキストFPGA

千葉大学工学部 難波 一輝, 伊藤 秀男

概要: 本研究室では, FPGAのテスト手法について開発研究を続けている. 現在は, 昨年から引き続き, 複数の回路情報をデバイス内部に同時に保持することができるマルチコンテキストFPGAに注目し, そのテストについて研究を行っている. また, FPGAの高歩留まり化を目的とし, 冗長バスを用いた欠陥救済設計についても検討をしている. 本試作では, 下記文献で提案したテストに対し, 検証, 評価を行うため, マルチコンテキストFPGAを試作した. また, 本FPGAには遅延時間等の測定を目的とし, 現在考案中の冗長バスを付加している. レポート執筆時には, 基本的な動作確認は終了している. 今後, 遅延等のデータを測定する予定である.

参考文献: 伊藤, "テスト容易化マルチコンテキストFPGA"

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 7.3mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)



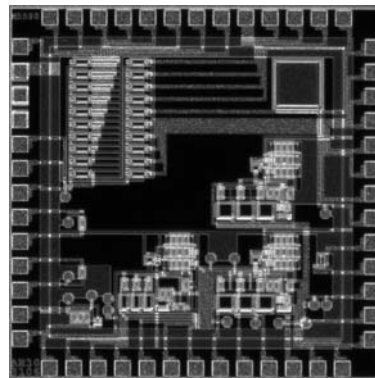
高精度CMOS基準電圧発生回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之

岡山県立大学情報工学部 大曾根 隆志

概要: 近年, 電子機器の小型化が進みデジタル回路とアナログ回路を混載したLSIの必要性が高まっており, とくにアナログ回路では高精度の基準電圧が必要である. 本試作チップでは基準電圧発生回路をCMOSデバイスで実現した. 所定の電源電圧・温度範囲で出力電圧の変動が0.10%以下であることを目標としている. 回路構成はバンドギャップリファレンスの原理を応用しており, 同時に低消費電力化も実現している. 定電流源のゲートの接続方法およびトランジスタのサイズを変更することで, 本回路の動作電源電圧の下限を改善することができた. また基準電圧発生部のトランジスタのW/L比をさらに細かく調整可能なMOSFETを配置し, 本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** TEG (特性評価回路など)

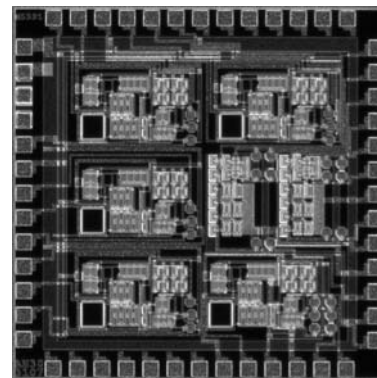


小型半導体加速度センサ用 LSI の設計

富山県立大学大学院工学研究科 麻生 啓太, 松田 敏弘, 岩田 栄之
岡山県立大学情報工学部 大曾根 隆志

概要: 近年, マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし, 小型センサの出力は微小であり, この出力を増幅, 補正する必要がある。本チップでは小型半導体加速度センサの出力信号増幅とオフセット電圧補償のための回路を構成する LSI のマスクパターンレイアウトの設計を行った。複数のオペアンプと抵抗によって増幅器回路を構成するために同様に回路構成のオペアンプ5つと, 加速度センサのオフセット電圧を調整するためのオフセット電圧補償回路を2つ配置している。現在, 小型半導体加速度センサの自動オフセット調整の方法を検討中であるが, 今回設計したオフセット電圧補償回路では, コンパレータなどの手動での調整ではなく, ある電圧を印加することでオフセット電圧をキャンセルする構成となっている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)

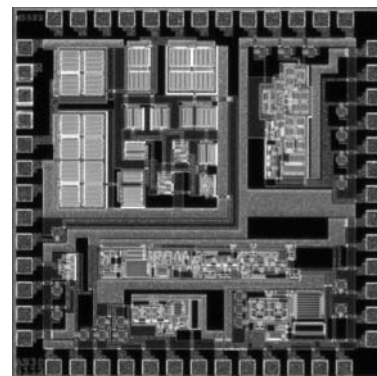


スイッチング電源制御用 LSI の開発

富山県立大学大学院工学研究科 中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之

概要: スwitching電源の小型化, 高効率化などを実現するためには, 安定制御が行え, 汎用性のある制御用 LSI が必要となってくる。今回の試作では制御用 LSI 内のブロックのうち, 発振回路, ラッチ回路, 出力回路, OCP 時の周波数低減回路, 誤差増幅器を設計した。発振回路はクロックとして用いるため, 周波数の安定性が重要となる。ラッチ回路は電源のスイッチングの割合を出力するため, 高周波でもクロックに対して安定して動作する必要がある。OCP 時の周波数低減回路は出力電圧が低下してきた場合, 電流値を低下させる役割を行う回路となっている。誤差増幅器のゲインは出力電圧や電流に影響を与えるため, 高く保つ必要がある。また, 高周波のスイッチング周波数に対応するため, 高速応答が必要とされる。誤差増幅器は前回試作したものと特性の変化の評価を行うため, 前回試作したものと配置してある。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ混載

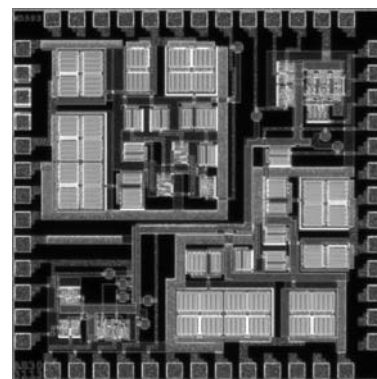


スイッチング電源制御用 LSI 出力回路の設計

富山県立大学大学院工学研究科 中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之

概要: スwitching電源では, スwitchingにより貫通電流が生じてしまう可能性がある。そのため, 制御用 LSI 内の素子破壊や効率低下が起こってしまう。そこで制御信号に遅延を持たせてやることで防ぐ回路を設計した。前回試作ではラッチアップの問題が生じたため, 今回はラッチアップが起こらないよう対策し, 前回と同じ構成の回路を載せた。回路は3種類用意し, 1つは遅延時間制御の無い回路, ほかの2つは外部から遅延時間を制御できる回路となっている。遅延時間制御の無い回路は入力信号をそのまま出力信号として出力する回路となっている。遅延時間制御付き回路は MOS のゲートに印加される電圧を変化させることによって電荷の放電時間を制御し, 遅延時間を制御できる回路方式となっている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ混載

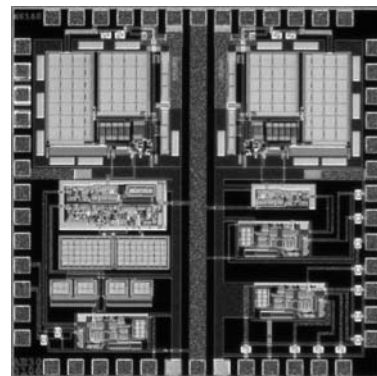


受信システム用要素回路の試作1

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：通信システムの構成に関する知識を高めることを目的として受信システムに必要なとなる低雑音増幅回路とミキサ，電圧制御発振回路，電圧利得可変回路の試作を行った。それぞれの回路について，比較のため2種類の回路を設計した。低雑音増幅回路としては，ソース接地増幅回路ではバイアス回路の雑音が避けられないので，ゲート接地増幅回路を用いた。また，ミキサとしては Gilbert 乗算回路を使用し，電圧制御発振回路にはマルチバイブレータを用いた。さらに，電圧利得可変回路は，バイアス電流により電圧-電流変換部および負荷をともに変化させ，さらにこの回路を2個縦続接続することにより可変利得変化範囲を拡大した。2種類の電圧利得可変回路の一つには，交流-直流変換回路による利得の自動調整機能を付加し，AGCを構成した。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm角 試作ラン：アナログ (PLL, A-D/DC-DCコンバータなど)

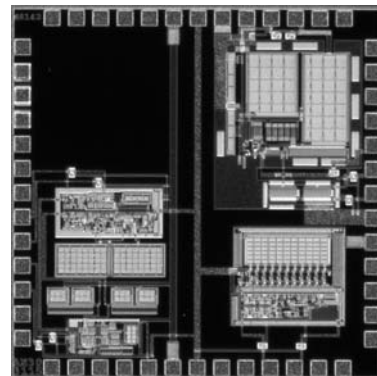


受信システム用要素回路の試作3

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：「受信システム用要素回路の試作1」と「受信システム用要素回路の試作2」の要素回路である低雑音増幅回路，ミキサ，電圧制御発振回路，電圧利得可変回路，PLLを相互接続し，受信システムを集積回路上に作成した。ただし，全回路ブロックの集積化は面積の制約から困難であったため，フィルタは「受信システム用要素回路の試作2」で作成したフィルタを外付けとして使用することを前提として受信システムを構成した。FM波の復調はPLLで行っている。今回設計したPLLの周波数-電圧変換特性は1kHzから3kHz程度の周波数の信号を直線的に出力電圧に変換できるが，これ以外の周波数では変換して得られた出力電圧に歪みが生じることがわかった。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm角 試作ラン：アナログ (PLL, A-D/DC-DCコンバータなど)





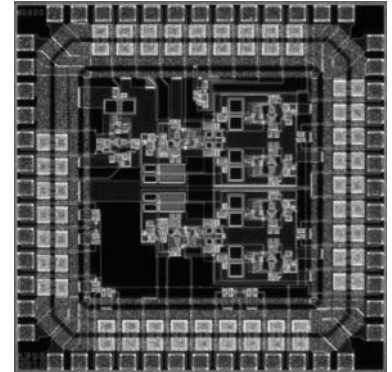
(MOT031)

スイッチトキャパシタフィルタ

静岡大学電子工学研究所 高橋 誠, 小川 覚美, 渡邊 健蔵

概要: 地震が発生する前兆の現象として地殻変動に伴う電波放射がみられる。本研究ではその電波放射を捕らえるためのフィルタをスイッチトキャパシタフィルタで構成することを目的としている。高精度のスイッチトキャパシタフィルタを構成するためには、高ゲイン、高精度のオペアンプが必要となり、そのためにはフォールデッドカスコード構成にすることや全差動構成にすることが考えられる。そこで今回はフィルタ回路を構成するための素子として、シングルエンドオペアンプ、全差動型オペアンプ、コンパレータ、アナログスイッチを個別に試作し測定を行った。また HSPICE によるシミュレーション結果と比較し、動作確認を行った。

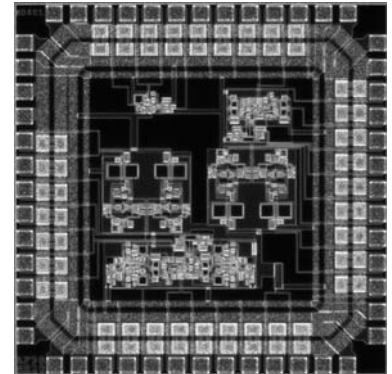
設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)



静岡大学電子工学研究所 石原 ゆかり, 小川 覚美, 渡邊 健蔵

概要: 近年、新しい地震予知の方法として地震の前に地殻活動によって発生する電磁波の伝搬を検知しようとする研究がなされている。この電磁波が極超長帯波 (ELF 帯) で高い感度で検出できるという研究成果に基づき、この検知に用いられる受信機が開発されている。この受信機には狭帯域のバンドパスフィルタ、及び、ノッチフィルタが必要とされる。それらのフィルタを実現する1つの方法としてスイッチドキャパシタ技術を用いる方法がある。まず、今回は高精度のスイッチドキャパシタ・フィルタを設計するために、高利得の全差動型演算増幅器の設計及び試作を行った。試作チップには全差動型演算増幅器、及び、ゲイン・エンハンスメント全差動型演算増幅器が含まれている。試作回路を測定し、回路の特性を評価し Hspice シミュレーションの結果と比較した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)



NAND 論理ゲート速度性能評価回路とマイクロプロセッサの設計

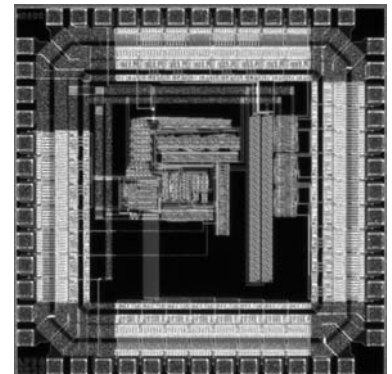
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 渋谷 耕児, 縣 伸史, 北村 義徳, 永野 肇, 村松 透, 望月 秀幸

概要: 基本 NAND 論理ゲートの速度性能を詳細に実測評価するため、フルカスタム設計により、2種類の50段 NAND ゲート・チェーンを設計した。伝搬遅延時間の立上りと立下りを分離して評価できる回路構成とした。また、ベーシック・セルから設計したゲートアレイ方式により2ビット全加算器と JK フリップフロップを設計した。更に、フルカスタム方式で4ビットマイクロプロセッサを設計した。以前試作して機能動作を確認しているゲートアレイ方式4ビット μ P (ゲート使用率61%) の入出力回路を除く占有面積と比較して、約42%に縮小できた。1月8日入荷の試作チップを直ちに測定して、2種類の NAND チェーンの遅延時間の違いを分離する事に成功した (シミュレーションとの誤差は10%以内)。また、2ビット FA, JK-FF の機能動作を確認した。

参考文献: [1] 増田, 笹ヶ瀬, 田中, 山田, 落合, 波多野, "4ビットマイクロプロセッサとニューロンMO S回路", p. 78, 2001年 VDEC年報 (2001)。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** マイクロプロセッサ



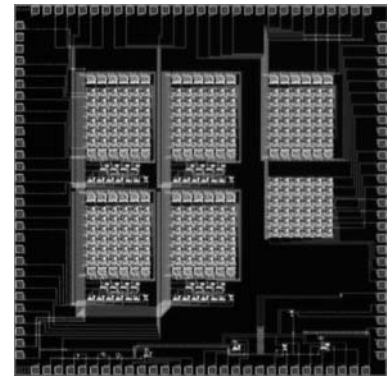
下等動物の視覚系に学んだ二次元動き検出チップの試作

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要: 下等動物, 特にカエルの視覚系に学んで, 二次元の動き検出を実現するネットワークの提案とその集積回路化を行ってきた [1]. カエルの視覚系では, 網膜で生成されたエッジ情報を視蓋および視床に伝達する. 視蓋および視床で生成された信号から移動する物体の二次元移動方向および速度を検出している. その情報処理は, 非常にシンプルであり, 考察したネットワークは20個以下のMOSトランジスタから成るシンプルなアナログ基本回路で構成された. 今回の試作では, 上述したネットワークを検証するため, 単位回路を二次元に配列したネットワークを設計した. また, チップにはネットワークを構成する基本回路のTEGも含めた. 試作チップの測定では, 各基本回路の動作を検証するとともに, 二次元ネットワークの特性を評価する.

参考文献: [1] K. Nishio, H. Yonezu and Y. Furukawa, "Analog Two-Dimensional Network for Motion Detection Based on Lower Animal Vision", Brain Inspired Cognitive Systems (BICS 2004), submitted

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm角 **試作ラン:** イメージセンサ/スマートセンサ



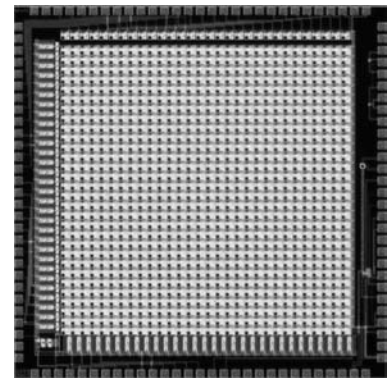
広ダイナミックレンジを有するエッジ検出網膜チップの試作

豊橋技術科学大学工学部 澤 伸也, 米津 宏雄

概要: 我々は, 網膜の視覚情報処理機能に学び, 物体の輪郭情報を実時間で生成するエッジ検出網膜チップの提案とその集積回路化を試みてきた [1]. この網膜チップは, 対数変換型光センサ部を導入することで広範囲の光強度に対応することができる. しかし, 入力光強度に合わせて外部バイアスの調整が必要であるため, 一定のバイアス条件下ではそのダイナミックレンジが制限される. そこで, 網膜チップのさらなる広ダイナミックレンジ化に向けて, 網膜チップに導入されている抵抗回路網の改良を行なった. 本試作では, 新たに提案した網膜チップの単位回路を30 \times 30画素配列した二次元エッジ検出回路を試作し, その特性を評価することを目的とした.

参考文献: [1] 澤, 西尾, 安部, 古川, 米津, "生体の網膜に学んだエッジ検出機構のアナログ集積回路化"

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm角 **試作ラン:** イメージセンサ/スマートセンサ



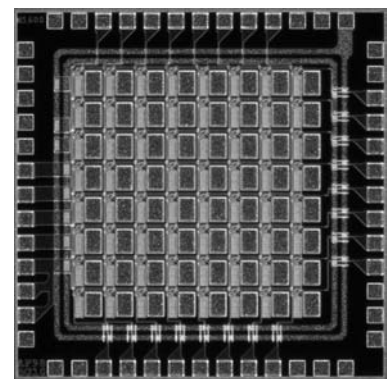
有機EL素子駆動用アクティブマトリクス回路

富山大学理工学研究科 坂井 健治

富山大学工学部 柴田 幹, 中 茂樹, 岡田 裕之, 女川 博義

概要: 有機EL素子のアクティブマトリクス駆動の基礎検討として, 2トランジスタによる8 \times 8有機EL素子のマトリクス駆動を検討した. 動作に関するシミュレーションにより二つのトランジスタのチャネル長, チャネル幅を最適化し, レイアウト設計を行った. 1ピクセル面積は100 μ m \times 150 μ m (開口率 約40%)とし, 有機EL素子構造は, トップエミッション型を形成する. 実際の回路では, 外部入力からの絶縁破壊を防ぐために, パッドゲート接続間の配線は, 逆バイアス接続のダイオードを設けた. また, チップは, すべてベアチップとして入手した. 外部駆動回路は, Altera社のユニバーシティプログラムより提供頂いているFPGAを用い, アンプを通して駆動電圧を与える. 電圧印加は, Micronics社のマニュアルプローバとプローブカード (52pin) により行う.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** その他

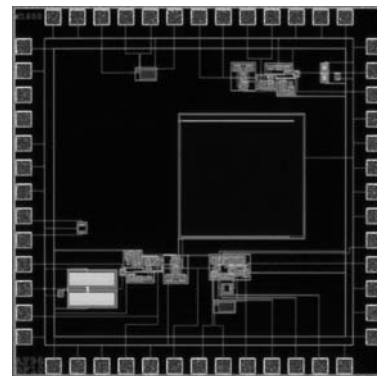


ストレート方式AMラジオの受信機の試作

東京理科大学工学部電気工学科 秋山 大, 新井 義明, 近野 暢, 後藤 健志, 清水 大数
東京理科大学工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：本試作チップはCMOSテクノロジーを利用し、AMラジオのワンチップ化を試みるために行った。AM波の受信方式として、もっとも単純な構成となるストレート方式を採用した。この試作チップの電源電圧は片電源の3[V]である。内部の構成はレベルシフト回路、高周波増幅回路、検波回路、LPFとした。入力にアンテナ同調回路を接続し、出力にパワーアンプ及びスピーカーを接続することによりAMラジオ受信機を構成する。検波回路はボルテージフォロアと容量により、LPFは1次のgmC-LPFを用いた。また、増幅回路はOP-ampの正相負帰還を用いた。gmC-LPFの容量と正相増幅回路に用いる容量を動作安定とチップ面積の問題から、外付け部品とした。レイアウトスペースに余裕があったため、低周波増幅器とgmC-LPFの容量を付け加えたものも製作した。これら二つを加えることにより、よりワンチップ化の意義が強くなる反面、動作の安定性は欠如すると予測される。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：アナログ (PLL, A-D/DC-DCコンバータなど)

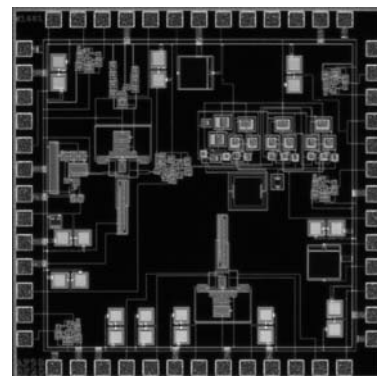


スーパーヘテロダイン受信機の試作

東京理科大学工学部電気工学科 永田 基希, 高橋 悠, 中村 剛一郎, 竹原 史恵
東京理科大学工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：我々の研究室では、学部4年生を対象に、CMOSアナログ回路の設計、及び試作回路の計測を学習することを兼ねて、チップの試作を行っている。今年度は、電源電圧3Vで動作するAMラジオ受信機の試作を行った。本チップでは、受信方式として、スーパーヘテロダイン方式を採用している。この受信方式は、アンテナから受信した信号を、ミキサーで周波数変換をして、バンドパスフィルタでチャンネル選択を行い、検波回路で音声周波数帯域の信号を得るという仕組みである。ミキサーは、ギルバートセルを用いた構成となっている。VGAは、クワドリテールを用いた構成であり、利得を調節できる端子を付加している。バンドパスフィルタは、gm-Cフィルタを用いた構成であり、通過帯域を調節できる端子を付加している。検波回路は、ボルテージフォロアを用いた構成となっている。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：アナログ (PLL, A-D/DC-DCコンバータなど)

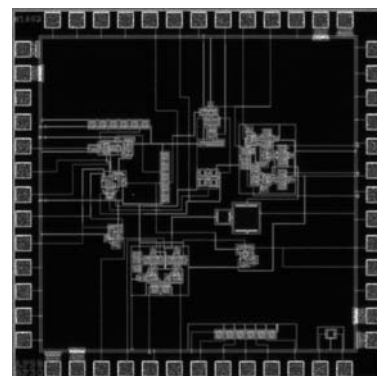


スーパーヘテロダイン方式CMOSワンチップAMラジオの設計

東京理科大学工学部電気工学科 藤田 林太郎, 蛭川 奈津, 米川 智宣, 和智 勇介
東京理科大学工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：アナログVLSI回路のシステム設計に触れ、また研究室における回路シミュレーターに慣れる事を目的として、研究室の4年生を中心に、スーパーヘテロダイン方式を用いたCMOSワンチップAMラジオの設計を行った。基本的なスーパーヘテロダイン・ラジオは、高周波増幅部、周波数混合部、局部発振部、中間増幅部、検波部、低周波増幅部から構成され複雑だが、感度もよく安定したラジオ受信ができる。今回の設計での回路構成は、同調回路からのシングル入力を増幅し、Mixer段への差動出力としたRF-amp, 中心周波数を455kHz付近にダウンコンバージョンするギルバートセルミキサ, OTAを用いたVCO, クワドリテールセルを用いたVGA, OTAを用いた2次のGm-Cバンドパスフィルタ, ボルテージフォロアを利用した包絡線検波回路とした。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：アナログ (PLL, A-D/DC-DCコンバータなど)



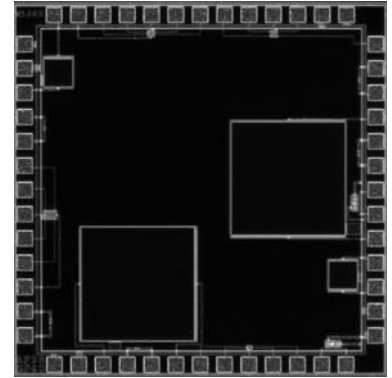
NMOS・PMOS・キャパシタの TEG

東京理科大学工学部電気工学科 永田 基希, 米川 智宣

東京理科大学工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：本チップは、アナログ集積回路の設計をする上で必要となるパラメータを抽出することを目的とし、NMOS・PMOS・キャパシタを TEG として実装した。得られた実測値とシミュレーションから得られた値を比較し、シミュレーションの信頼性を評価する。MOS に関しては、その静特性からトランスコンダクタンス係数・しきい値を得て、またトランジション周波数を求める。複数サイズを実装したキャパシタは、その占有面積とキャパシタンス値の関係を実測し、シミュレーション用パラメータと比較する。学部4年生が自らレイアウトをし、その構造を理解するのに大変有益であった。

設計期間：0.1 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 試作ラン：アナログ (PLL, A-D/DC-DC コンバータなど)

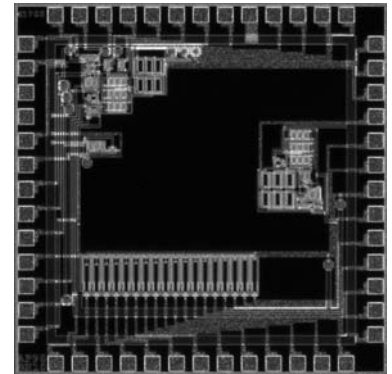


MOS 型定電流回路の設計・試作 (1)

岡山県立大学情報工学部 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：アナログ・デジタル回路の混在した CMOS LSI 技術の向上に伴い、アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した定電流回路が重要となる。特に低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積が増大する為に製造コストが上昇してしまう。これらの事から、本設計では高抵抗を用いずに安定な定電流を発生する電流源の設計および検討を行った。今回の設計における当初の仕様は、所定の電源電圧および温度で基準値からの変動が $\pm 1\%$ 以内の定電流を得ることを目標とし、従来の回路で用いていた n-WELL 抵抗を n-MOS に置き換えることによって抵抗相当の面積を約 10 分の 1 にすることができた。本定電流回路は (1) MOS 型温度依存電圧発生回路、(2) オペアンプ回路、(3) MOS 型定電流発生回路の 3 ブロックで構成されており、本チップは (1) で構成されている。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 試作ラン：TEG (特性評価回路など)

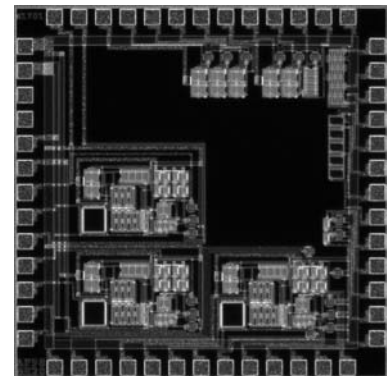


MOS 型定電流回路の設計・試作 (2)

岡山県立大学情報工学部 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：アナログ・デジタル回路の混在した CMOS LSI 技術の向上に伴い、アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した定電流回路が重要となる。特に低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積が増大する為に製造コストが上昇してしまう。これらの事から、本設計では高抵抗を用いずに安定な定電流を発生する電流源の設計および検討を行った。今回の設計における当初の仕様は、所定の電源電圧および温度で基準値からの変動が $\pm 1\%$ 以内の定電流を得ることを目標としている。本定電流回路は (1) MOS 型温度依存電圧発生回路、(2) オペアンプ回路、(3) MOS 型定電流発生回路の 3 ブロックで構成されており、本チップは (2) と (3) で構成されている。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 試作ラン：TEG (特性評価回路など)



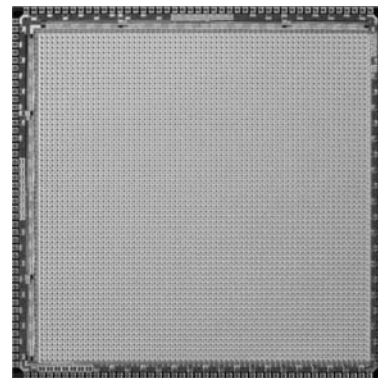
64×64画素三相時間相関イメージセンサ (第4報)

東京大学大学院情報理工学系研究科 安藤 繁
大阪電気通信大学総合情報学部 来海 暁

概要: 我々は高度な画像センシング手法の開拓を目的として、入射光強度と各画素共通の外部参照信号との時間相関を画像として出力する時間相関イメージセンサの開発を続けている。本試作では前報 [1] の結果を踏まえ、さらなるダイナミックレンジの拡大を試みた。前報では新たにカスコードNMOSの挿入により積分用PMOSの面積が縮小され、これがダイナミックレンジの縮小につながったが、本試作ではPMOSの面積が最大限確保できるようにレイアウト再設計を行った。これまでに検証実験を行い、ダイナミックレンジの向上を確認している。

参考文献: [1] 安藤, 来海: 64×64画素三相時間相関イメージセンサ (第3報), 2003年度VDEC年報 (2004)。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** オンセミ CMOS 1.2μm 7.3mm角 **試作ラン:** イメージセンサ/スマートセンサ

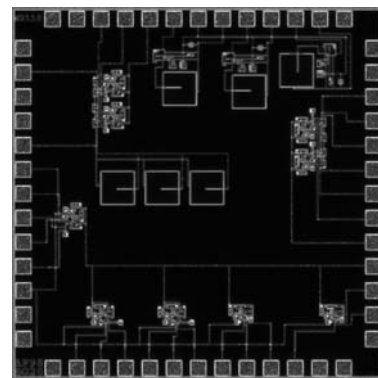


非同期ニューラルネットワーク用シナプス回路の試作

日本大学理工学部電子情報工学科 太田 寛, 齊藤 健, 佐伯 勝敏, 関根 好文

概要: 脳内における情報はパルス信号で伝達され、脳内のニューラルネットワークをモデル化する研究がなされており、パルス形のモデルによりニューロンチップを実現するという試みが行われている。我々は、工学的な応用を目指して、パルス形非同期ニューラルネットワークを構成するために、今回、シナプス回路に用いるオペアンプをケーデンスのアナログ回路設計ツールを用いて試作を行った。オペアンプを用い、加算回路、積分回路を構成し、時空間的加算特性を持たせたシナプス回路と、エンハンスメントMOSFETとコンデンサを用いパルス形ニューロンモデルを構成し、ネットワークを構成した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, PSpice **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2μm 2.3mm角 **試作ラン:** ニューテクノロジー

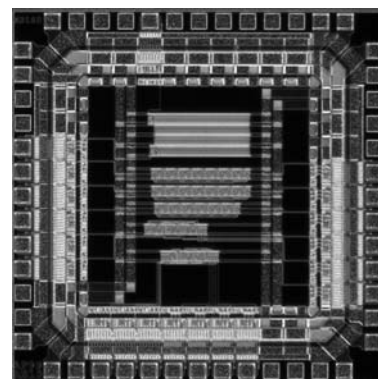


3ビットジョンソンカウンタを用いた電子サイコロ

広島市立大学情報科学部 今口 公司, 畑堀 祐紀, 藤岡 篤志, 三浦 真一, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要: 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7個のLEDをサイコロの目に見立て、これを1から6まで繰り返し点滅するものであり、回路は、リングオシレータ (設計者: 畑堀祐紀), 分周器 (設計者: 藤岡篤志), 3ビットジョンソンカウンタ (設計者: 三浦真一), およびLED用デコーダ (設計者: 今口公司) から構成されている。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2μm 2.3mm角 **試作ラン:** その他

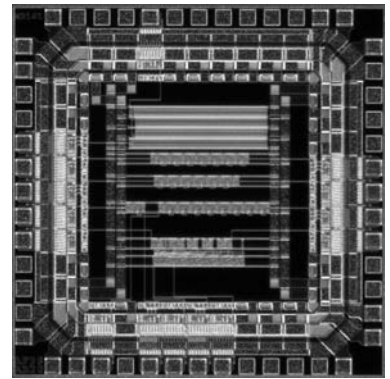


10秒周期で時報音を生成するチップ

広島市立大学情報科学部 島津 尊是, 新居田 潔, 花崎 翔太, 兵部 拓人, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、圧電スピーカで440Hzおよび880Hzで構成される時報のような音を鳴らすものであり、回路は、リングオシレータ（設計者：花崎翔太）、音源用分周器（設計者：島津尊是）、タイミング用分周器（設計者：新居田潔）、および時報音生成器（設計者：兵部拓人）から構成されている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：その他

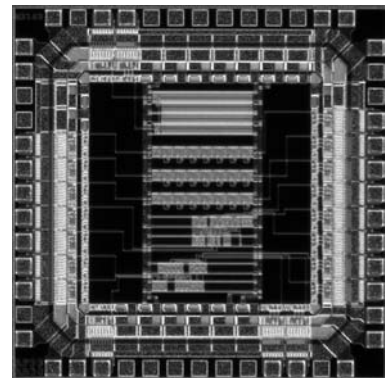


2進数3ビットカウンタのナイトライダー

広島市立大学情報科学部 酒井 智也, 島田 貴史, 庄崎 和哉, 駿河 小太郎, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、「ナイトライダー」のようにLEDを点滅させるものであり、回路は、リングオシレータ（設計者：島田貴史）、分周器（設計者：駿河小太郎）、6進3ビットカウンタ（設計者：酒井智也）、およびLED用デコーダ（設計者：庄崎和哉）から構成されている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：その他

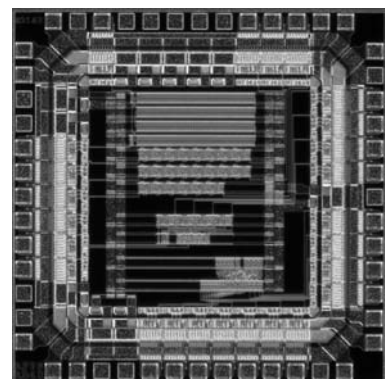


2進4bitカウンタを使用した7セグLED表示付き10進カウンタ

広島市立大学情報科学部 磯部 博隆, 小西 克明, 額賀 大揮, 平田 義輝, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0から9までを順に繰り返し表示するものであり、回路は、リングオシレータ（設計者：小西克明）、分周器（設計者：額賀大揮）、10進バイナリカウンタ（設計者：平田義輝）、およびLED用デコーダ（設計者：磯部博隆）から構成されている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：その他

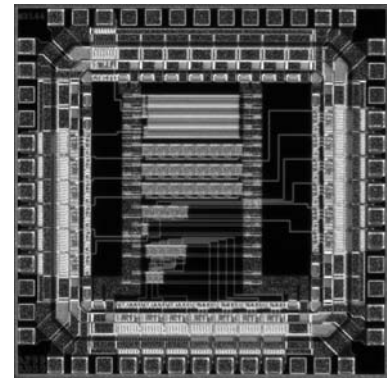


3ビットジョンソンカウンタを用いたナイトライダー

広島市立大学情報科学部 高尾 泰弘, 久保 育則, 白根 賢一, 羽田 隆二, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要: 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、「ナイトライダー」のようにLEDを点滅させるものであり、回路は、リングオシレータ（設計者：久保育則）、分周器（設計者：高尾泰弘）、3ビットジョンソンカウンタ（設計者：羽田隆二）、およびLED用デコーダ（設計者：白根賢一）から構成されている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** その他

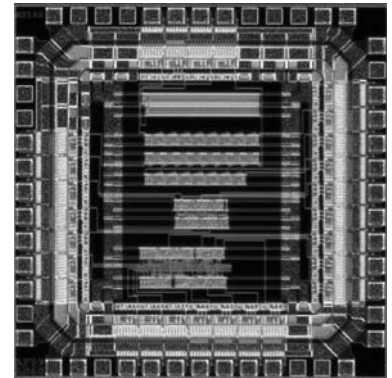


5bitジョンソンカウンタを用いた7セグLED表示付き10進カウンタ

広島市立大学情報科学部 荒川 香織, 古川 梨香, 森 有佳理, 山下 淑子, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要: 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0から9までを順に繰り返し表示するものであり、回路は、リングオシレータ（設計者：森有佳理）、分周器（設計者：荒川香織）、5bitジョンソンカウンタ（設計者：山下淑子）、およびLED用デコーダ（設計者：古川梨香）から構成されている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** その他

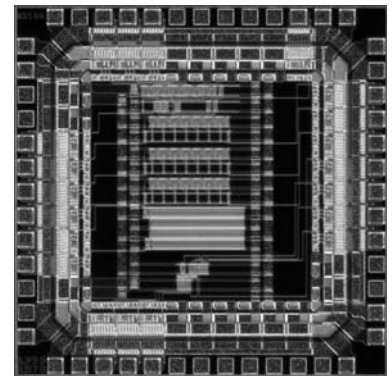


3ビットカウンタを用いた電子サイコロ

広島市立大学情報科学部 岡 大輔, 川野 敦史, 中尾 彰宏, 山本 純一, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要: 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7個のLEDをサイコロの目に見立て、これを1から6まで繰り返し点滅するものであり、回路は、リングオシレータ（設計者：山本純一）、分周器（設計者：岡大輔）、6進バイナリカウンタ（設計者：川野敦史）、およびLED用デコーダ（設計者：中尾彰宏）から構成されている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** その他

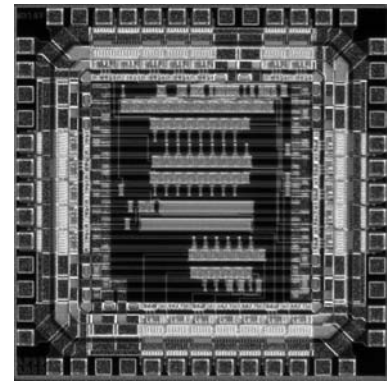


3分間クッキングタイマー

広島市立大学情報科学部 石野 正英, 梅比良 紀章, 山下 晋司, 山本 正樹, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要: 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、時間の経過を9個のLEDで表示するとともに3分経過したことを圧電スピーカで知らせるものであり、回路は、リングオシレータと計時用分周器（設計者：山本正樹）、音源用分周器（設計者：石野正英）、計時用カウンタ（設計者：梅比良紀章）、およびLED用デコーダ等（設計者：山下晋司）から構成されている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** その他

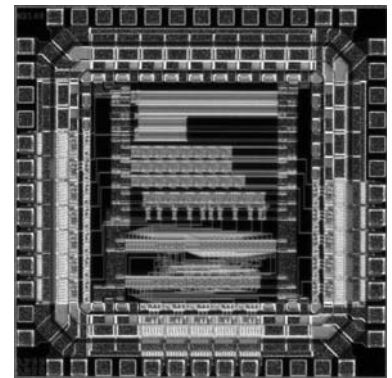


8bit ジョンソンカウンタを用いた7セグLED表示付き16進カウンタ

広島市立大学情報科学部 向 建宇, 重藤 典之, 酒匂 宏樹, 夏木 龍彦, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要: 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0からFまでを順に繰り返し表示するものであり、回路は、リングオシレータ（設計者：重藤典之）、分周器（設計者：向建宇）、8bit ジョンソンカウンタ（設計者：夏木龍彦）、およびLED用デコーダ（設計者：酒匂宏樹）から構成されている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** その他

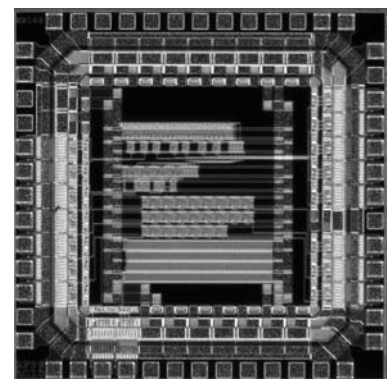


7セグLED表示付き16進4bitカウンタ

広島市立大学情報科学部 有路 忠臣, 新迫 洋一, 中西 勝利, 大本 哲広, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要: 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0からFまでを順に繰り返し表示するものであり、回路は、リングオシレータ（設計者：中西勝利）、分周器（設計者：大本哲広）、4bit バイナリカウンタ（設計者：有路忠臣）、およびLED用デコーダ（設計者：新迫洋一）から構成されている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** その他

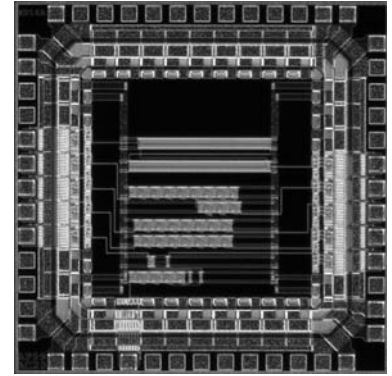


救急車のサイレン

広島市立大学情報科学部 橋本 伸嗣, 田中 秀幸, 丹生谷 勇太, 竹内 健, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要: 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、圧電スピーカで救急車のようなサイレン音を鳴らすものであり、回路は、リングオシレータ（設計者：竹内健）、音源用分周器（設計者：橋本伸嗣）、タイミング用分周器（設計者：田中秀幸）、および可変分周器（設計者：丹生谷勇太）から構成されている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** その他

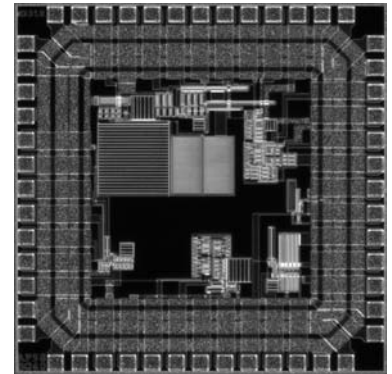


リング発振器を用いたPLL用の発振器の試作

秋田大学工学資源学部 宮前 亨, 井上 浩

概要: 近年の通信機器において、半導体集積回路技術の進歩により小型化・高性能化されてきている。携帯電話、PHSのような小型通信端末には、LC発振回路が多く用いられており、共振器全体のQ値を高く確保するためにディスクリット素子を利用して構成されている。通信機器のさらなる小型化および新たな応用の開発を行うためには、発振器をIC内に組み込むことが望まれる。本試作では、IC内に実現される発振器として、回路の単純性と適合性からリング発振器を応用したPLL用の電圧制御発振器（VCO）を提案し、その動作を検証することを目的にIC設計・試作した。VCOは、インバータの出力抵抗を可変する回路構成を新規に提案することにより、制御電圧に対して線形で広範囲に発振周波数が可変すること、前回の試作時の性能を改善できることを確認した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)



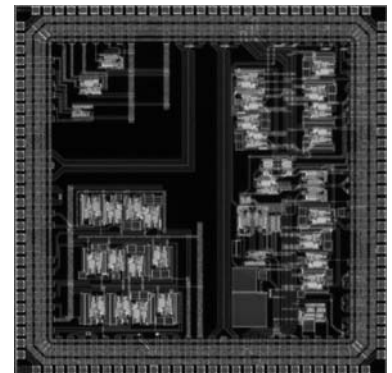
MOS構成に適したアナログ形PLLの試作

秋田大学工学資源学部 川元 雅紀, 佐藤 紀章, 宮前 亨, 伊藤 文人, 井上 浩

概要: 我々は、デジタル形PLLに対し、アナログ形PLLの利点を生かしながらも大幅な回路の単純化が可能となる新しい回路構成を考案してきた。本試作研究では、CMOSプッシュプル回路を応用し、ダイレクト変換型アナログ形PLLを提案し、その動作を検証することを目的にIC設計・試作した [1]。本方法では、従来必要とされてきた回路ブロックを用いないPLL回路を構成することができ、回路全体のLSI化が容易になると考えられる。試作したICは、アナログ形PLLの全体回路を構成する個別回路ブロック及びそのテスト回路と、個別ブロックに含まれる基本回路、ならびに回路内に用いられる諸抵抗及び諸容量の特性評価回路で構成している。本回路は1チップ化がし易く、更に回路規模縮小が可能と考えられる。

参考文献: [1] 佐藤, 伊藤, 井上, "プッシュプル位相加算ミキサを使用した通信機能ICの一検討," 電子情報通信学会技術研究報告, EMD2003-97, 2004年1月。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)



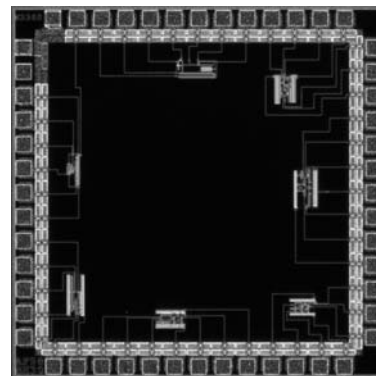
演算増幅器の試作・検証

佐賀大学大学院工学系研究科 内田 正隆, 塚本 尚平

佐賀大学理工学部 小林 幸司, 田崎 篤, 舛岡 貴志, 村上 真人, 深井 澄夫

概要：本チップでは、アナログ集積回路の汎用能動素子である演算増幅器の設計を通じて基本アナログ集積回路ブロックの設計技術及び検証技術を早期に習得することを目的としている。今回の回路構成は、主に差動増幅器とソース接地増幅器の2段基本構成の演算増幅器が中心となっている。参加学生（学部4年・修士1年）の各個人が演算増幅器の利得・位相余裕・バイアス等を自ら決めて設計しレイアウトまでを行い合計6つの演算増幅器を試作している。その他に佐賀大学で研究されている簡易構成の差動増幅器の試作も行っている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：アナログ (PLL, A-D/DC-DCコンバータなど)



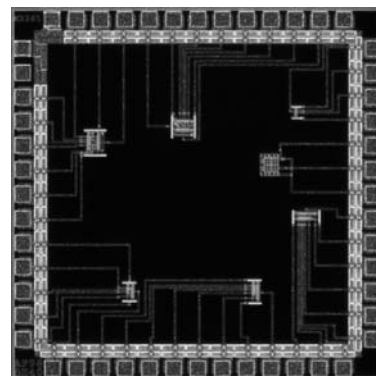
ニューロンMOSを利用した可変論理回路・コンパレータの試作

佐賀大学大学院工学系研究科 石川 洋平, 山口 竜司

佐賀大学理工学部 深井 澄夫

概要：本研究室では、ニューロンMOSトランジスタを用いたアナログ・デジタル回路設計の研究を行っている。現在まで、ニューロンMOS・ニューロンMOSインバータ等基本素子のTEG (Test Element Group) を試作し検証を行ってきた。今回の試作ではニューロンMOSの最大の特徴である線形荷重和特性および可変閾値特性を活かした応用として2入力・3入力・4入力可変論理回路の試作を行っている。可変論理回路とは外部からの制御信号により同一回路構成で多くの論理関数を実現することができる柔軟性の高い回路である。また、従来提案されているニューロンMOSの設計手法であるFPD (Floating-Gate Potential Diagram) を利用し、さらに容量再分割・機能合成等の新たな手法を追加し、2種類のコンパクトな2入力コンパレータの試作も行っている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：演算回路 (乗算器, 除算器など)

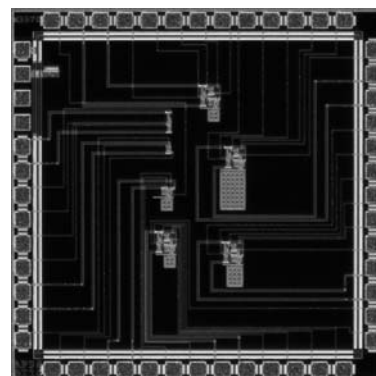


CMOS2段オペアンプの設計

上智大学理工学部 小林 章二, 和保 孝夫

概要：近年デジタルシステム技術の飛躍的進歩により、アナログからデジタルへの変換の高速、高分解能化が必要不可欠になっている。この高性能A/D変換を実現するために $\Delta\Sigma$ 変調方式を対象として研究を行っている。今回はその $\Delta\Sigma$ 変調器において重要な構成要素であるオペアンプについて設計を行った。このオペアンプでは大きなゲインを得るために増幅段を2段とするとともに、それに伴う安定性の問題を解決するために容量を挿入して補償を行って十分なフェイズマージンを得た。この回路のシミュレーションをHSPICEで行った結果DCゲインが64.7dBとなった。また補償容量を変えることによるフェイズマージンの変化がシミュレーションで確認でき、具体的には1pFの補償容量でフェイズマージンは66.6度となった。補償容量を1, 3, 10pFと変えた回路をそれぞれ設計し、実験的に確認できるようにした。このオペアンプを使った1次連続時間 $\Delta\Sigma$ 変調器のシミュレーションを行った結果、入力周波数10kHz, OSR64でSNR62.4dBとなった。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 試作ラン：アナログ (PLL, A-D/DC-DCコンバータなど)



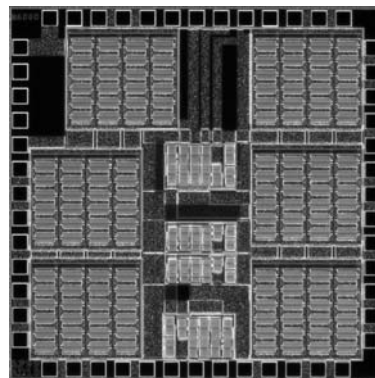
スイッチトキャパシタ電源回路の設計

熊本電波工業高等専門学校電子工学科 江口 啓

概要：電気製品において、電源回路は重要なビルディングブロックの一つである。近年のモバイル機器の発達に伴い、電源回路においても軽量化・薄型化が求められている。そこで今回の試作においては、集積化に適するという特徴をもつ、スイッチトキャパシタ (SC) 電源回路の設計を行った。設計した SC 電源回路は、DC-DC 変換を行う回路であり、デイクソン形電源回路を基に設計されている。SC 電源回路においては、パワースイッチのオン抵抗を下げることで電源回路の変換効率を向上させることができる。そこで、我々はパワースイッチにブートストラップ回路を付加することにより、電源回路の変換効率の改善を試みる。今回の試作においては、キャパシタを外付けにするハイブリッド構成の回路を想定し、レイアウト設計を行っている。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Avanti 社 Star-HSPICE **トランジスタ**

数：1,000 以上, 10,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン：**アナログ/デジタル信号処理プロセッサ



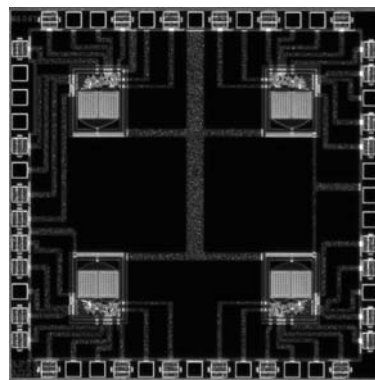
アレイ構造を利用したカオス発生回路

熊本電波工業高等専門学校電子工学科 江口 啓

概要：近年工学の分野においてはカオスを利用した様々な応用システムが提案されている。故障時の修理が困難な遠隔地で利用されるシステムのビルディングブロックとしてカオス発生回路が用いられる場合、故障に対して頑健であることが望ましい。今回の設計においては、故障に対して頑健な構造をもつ離散時間型カオス発生回路を試作している。試作回路は、離散時間型の一次元カオス回路をセルとするセルアレイ構造を利用することにより、回路の長寿命化を実現している。同セル回路はスイッチトカレント (SI) 技術を用いて設計されており、セル回路を相互接続することにより、高次元のカオスを発生することができる。試作 IC においては、2.3 \times 2.3mm チップ上に 4 個のセル回路がレイアウトされている。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Avanti 社 Star-HSPICE **トランジスタ**

数：1,000 以上, 10,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン：**アナログ/デジタル信号処理プロセッサ



ログドメイン積分回路の試作ならびに演算増幅回路の設計演習

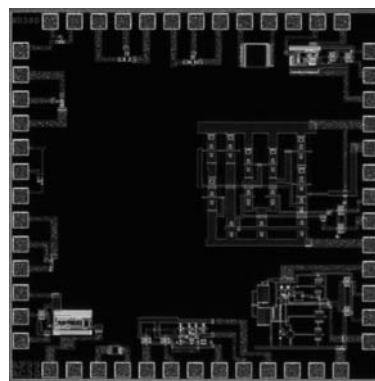
豊橋技術科学大学大学院工学研究科 秋田 一平

豊橋技術科学大学工学部 上田 昇, 鈴木 寛人, 八木 大介, 吉田 武史, 和田 和千

概要：トランジスタの非線形性を考慮した高線形回路の構成手法であるログドメイン回路技術により、積分回路を構成している。MOS トランジスタの弱反転領域を積極的に使用するとともに、入出力信号を電流とすることにより、電源電圧 1.5V においても歪を小さくすることができる。設計した積分回路の動作を確認するための試作を行なっている。また、演算増幅回路の設計は、回路設計の経験がない学部 4 年生を対象に、基本回路の理解や手計算による素子値の理論設計、設計支援ツールの使用法の習得を目的として行なっている。学生は、同様の目的で開催されている演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>) への参加とともに本試作をすることにより、アナログ回路設計の基礎を学んでいる。

参考文献： [1] 秋田, 和田, 田所, "温度に対する周波数特性変動を低減した CMOS ログドメイン積分回路," 信学技報 ICD 2003-92, pp. 71-75 (2003)

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10 以上, 100 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン：**アナログ/デジタル信号処理プロセッサ

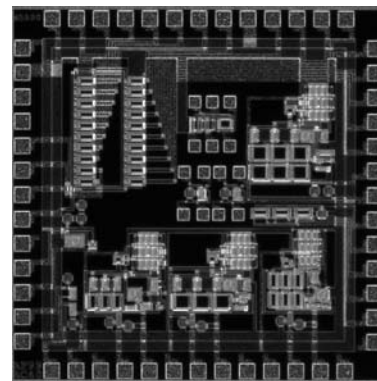


高精度 CMOS 基準電圧発生回路

富山県立大学大学院工学研究科 南隆一, 松田 敏弘, 岩田 栄之
岡山県立大学情報工学部 大曾根 隆志

概要: 近年, 電子機器の小型化が進みデジタル回路とアナログ回路を混載した LSI の必要性が高まっており, とくにアナログ回路では高精度の基準電圧が必要である. 本試作チップでは基準電圧発生回路を CMOS デバイスで実現した. 所定の電源電圧・温度範囲で出力電圧の変動が 0.10% 以下であることを目標としている. 回路構成はバンドギャップリファレンスの原理を応用しており, 同時に低消費電力化も実現している. 定電流源のゲートの接続方法およびトランジスタのサイズを変更することで, 本回路の動作電源電圧の下限を改善することができた. また基準電圧発生部のトランジスタの W/L 比をさらに細かく調整可能な MOSFET を配置し, 本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** TEG (特性評価回路など)

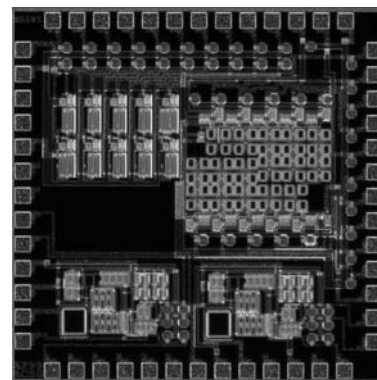


小型センサ用 CMOS D/A コンバータの設計

富山県立大学大学院工学研究科 麻生 啓太, 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要: 小型半導体加速度センサのオフセット電圧を調整する方法として, デジタル値での調整を検討している. そのために, 一度センサの出力をデジタル値に変換し, 補正後, アナログ値に戻す必要がある. そこで今回, その第一歩として基本的な動作原理の D/A コンバータ 2 種類の設計を行った. センサと増幅回路のオフセット電圧を十分に扱うためには 8[~]10bit の分解能が必要であり, 今回は 10bit を目標とした D/A コンバータを設計した. D/A コンバータは R と 2R のはしご状の構成をした R-2R ラダー型と, コンデンサでの重み付けで構成された Charge Scaling 型の 2 つである. R-2R ラダー型はスイッチに用いた MOS のオン抵抗による比率の乱れを防ぐように設計している. Charge Scaling 型はコンデンサの充放電が行われやすいように構成した. また, それぞれの D/A コンバータ用のバッファとして, オペアンプを 2 つ設置した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)

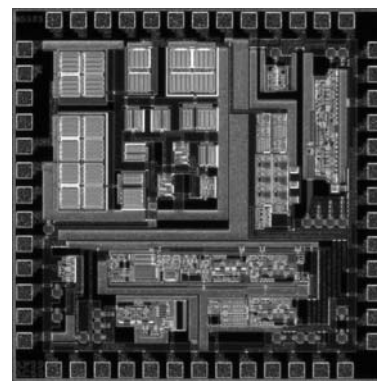


スイッチング電源制御 LSI 用補正回路の設計

富山県立大学大学院工学研究科 中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之

概要: スwitching電源の小型化, 高効率化のために安定動作が行え, 汎用性のある制御用 LSI が必要とされる. 現在, 制御用 LSI を安定動作させるための補償回路は LSI 外部で作られているのがほとんどである. そこで今回は LSI 内部で補償を行える回路の設計を中心に行った. 今回の試作回路は基本ブロックである誤差増幅器, ラッチ回路, 発振回路, 出力回路, 補償回路であるスロープ補正, Duty 可変回路, 周波数低減回路を設計した. 誤差増幅器は安定動作を行うためにゲインを高く保つこと, 高周波のスイッチング周波数に対応させるため, 高速応答することが必要となる. ラッチ回路は高周波でもクロックに対して安定して動作する必要がある. 発振回路はクロックとして用いるため周波数の安定性が求められる. スロープ補正回路は Duty 50% 以上で生じる発振を防ぐための補償回路である. Duty 可変回路は入力する電圧値によって出力信号の Duty の制御を行う. 周波数低減回路は過電流時, 軽負荷時においてその電圧値をモニターし, クロックを変化させ制御するものとなっている.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ混載

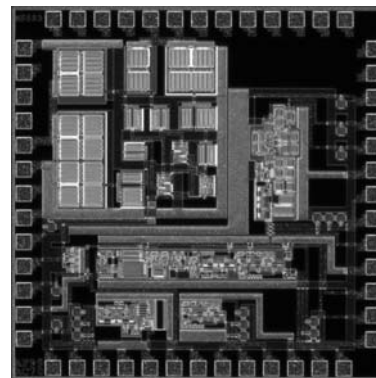


スイッチング電源制御用LSIの設計

富山県立大学大学院工学研究科 中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之

概要: これまでスイッチング電源の基本ブロック, 補償ブロックの設計を行ってきた。今回はそれらのブロックを使い, スwitchング電源制御用LSIとして動作させるために配線を行った。使用したブロックは誤差増幅器, ラッチ回路, 発振回路, 出力回路, 比較器, OCP時の周波数低減回路である。ラッチ回路と発振回路, 発振回路とOCP時の周波数低減回路, 比較器とラッチ回路, ラッチ回路と出力回路を接続した。OCP時の周波数低減回路で出力電圧をモニターし, 発振回路出力のクロックを制御する。発振回路からのクロックと比較器からの出力信号によりラッチ回路からDutyを決め, 出力する。この信号を受け取った出力回路によってスイッチング電源制御用信号として出力されるようになっている。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** アナデジ混載

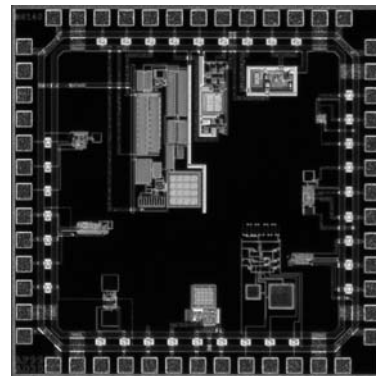


演算増幅器の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要: 演算増幅器は, トランジスタと異なり, バイアスを気にせずにアナログ回路を構成することのできる汎用性の高い素子である。この回路の構成を学ぶことは, アナログ回路の初学者にとって極めて有益である。このような理由から我々の研究室では, チップ作成を通して, 学部学生や修士課程1年の学生がそれぞれ独自に演算増幅器の設計からシミュレーション, レイアウトまでを行い, 演算増幅器の集積化について学んだ。このチップでは, 11種類の演算増幅器を試作した。回路構成としては, 差動増幅回路にソース接地増幅回路を縦続接続した構成が主であり, 中にはカスコード接続のトランジスタを用いた演算増幅器もある。これらよりも工夫を凝らした構成として, 差動増幅回路の負荷に負性抵抗を並列接続し, 利得を高めた演算増幅器がある。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)

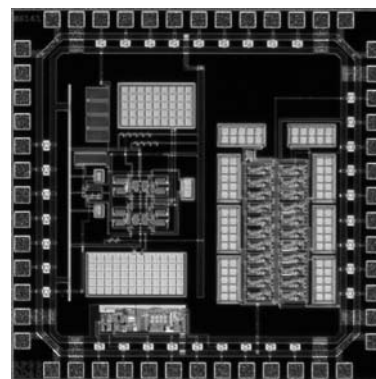


FM放送受信システム用回路ブロックの試作1

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要: FM放送の受信システムの集積回路化を目指し, FM放送用受信システムで必要となる回路ブロックとしてフィルタとミキサ, スロープ検波型の復調回路を作成した。フィルタは, 「受信システム用要素回路の試作2」で試作したフィルタと同じ仕様であり, 容量値の低減により面積を低減を試みた。また, フィルタを構成しているOTAはトランスコンダクタンスが異なる4種類を作成し, 必要なトランスコンダクタンスを4種類の並列接続で実現する構成とした。ミキサとしては, 従来から用いられているGilbert型の乗算回路を用いている。また, スロープ検波型復調回路で必要となるLC共振回路のインダクタはジャイレータを用いて構成した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)

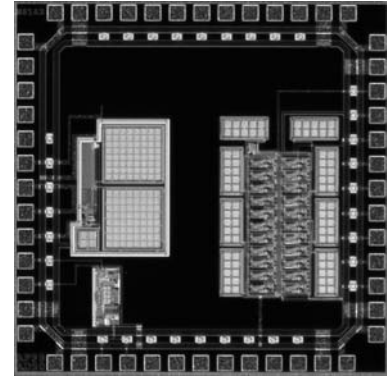


FM 放送受信システム用回路ブロックの試作 2

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要: FM 放送の受信システムの集積回路化を目指し, FM 放送用受信システムで必要となる回路ブロックとしてフィルタと低雑音増幅回路を作成した. フィルタは「FM レシーバ用の回路ブロックの試作 1」で作成した回路と同じである. 低雑音増幅回路として, ソース接地増幅回路を用いた場合, 電力整合を取っても信号歪みが極めて大きいことがわかった. また, ソース接地増幅回路はゲート端子から入力するため, ゲート端子をバイアス回路の雑音が避けられず, 一方, ゲート接地増幅回路はソース端子から入力するため, バイアス回路の雑音を避けることができ, 低雑音増幅回路に適していると考え, 今回の試作ではゲート接地増幅回路を用いた. 80MHz で約 17dB の利得が得られるように設計した. また, 10mV の信号に対して全高調波歪み率は 0.12%, 雑音指数は約 3.4dB, 消費電力は 3.5mW である.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)

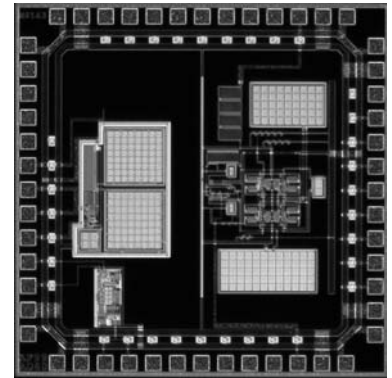


FM 放送受信システム用回路ブロックの試作 3

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要: FM 放送の受信システムの集積回路化を目指し, FM 放送用受信システムで必要となる回路ブロックとしてスロープ検波型の復調回路と低雑音増幅回路, 電圧制御発振回路を作成した. スロープ検波型復調回路は「FM 放送受信システム用回路ブロックの試作 1」で作成した回路と同じあり, 低雑音増幅回路は「FM 放送受信システム用回路ブロックの試作 2」で作成した回路と同じである. 電圧制御発振回路としては, マルチバイブレータを用いた. マルチバイブレータ型発振回路の欠点である, 制御電流の変化とともに出力振幅が変化すること, 制御電流と発振周波数の関係が直線的で無いことを回避するため, 発振周波数だけを制御することのできる電流バスを加えた構成とした.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)



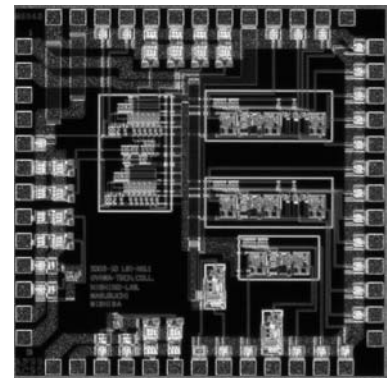
信号処理用回路

小山工業高等専門学校電子工学科 西野 聡

小山工業高等専門学校電気工学科 増淵 康尊

概要: 携帯電話通信回路の CDMA 用の新構想回路試作である. そのための暗号化回路である M 系列信号発生器や変復調回路を組み込んだ. また, D-FF を数個組み入れてこの FF の回路特性を実験検討して, LSI 化時の動作速度を検討する予定である. 具体的には非同期カウンタと同期式カウンタをチップの外部配線により構成して行う. 同期式は 10 個の D-FF によりリングカウンタとシフトカウンタを構成して比較する. 携帯電話通信回路用 M 系列信号発生器は最初に単独で動作させて信号のランダム性と動作速度を検証する. 変調回路はその拡散度や回路応答速度を評価する. 復調回路は応答速度と対雑音性の評価を行う. その後, 変調・復調回路を組み合わせて通信実験を行い, 実用化の可能性を評価する.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, L-Edit:Tanner Research 社, L-Edit:Tanner Research 社, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **試作ラン:** アナデジ混載





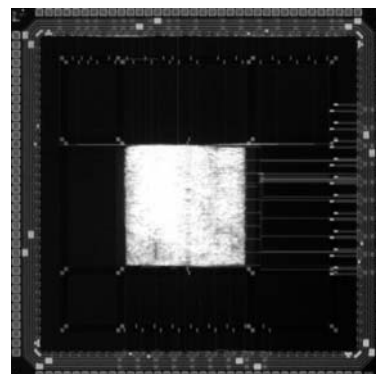
(RO35024)

SoC 設計教育用教材チップの設計試作

九州大学大学院システム情報科学府 真島 優輔, 山口 大介, 牧山 幸史, 張 中, 森 達矢
九州大学システム LSI 研究センター 安浦 寛人

概要：マイクロプロセッサベースの SoC 設計を通しての LSI 設計者の育成を目的とする、教育用教材チップの設計試作をおこなった。仕様は四則整数演算、Sin・Cos 演算可能な簡易電卓で、PC から観測可能となるような外部接続端子を持つ。内部構造は、マイクロプロセッサとして本研究室で設計した Zilog 社 Z80 プロセッサ互換なプロセッサコア IP、外部との通信インタフェースに UART を使用し、演算専用の ALU 回路を有する。また、テストによる測定が容易となるようにプロセッサコア単体でのテスト実行可能なモードを持つ。本来は内部メモリとしてメモリマクロセルを組み込む予定であるが、今回は全てのメモリを外付けとして設計している。

設計期間：9 人月以上, 10 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appollo, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：演算回路 (乗算器, 除算器など)

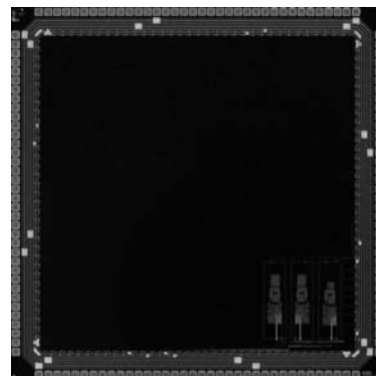


DA コンバータの試作

九州大学システム LSI 研究センター 築添 明, 曹 ユン, 安浦 寛人

概要：アナログ回路設計における設計フローを与えられた仕様からチップレベル設計まで行うことで理解することを目的として行ったチップ試作である。設計対象としたアナログ回路は 5 ビットの DA コンバータである。これはキャパシタ・アレイ型の DA コンバータである。回路は、バイアス回路、オペアンプおよびキャパシタアレイから構成されている。小面積およびノイズ対策をもとに設計されており、回路シミュレーション上では動作の確認を行っている。今後は実チップによる特性の評価を行う予定であり、シミュレーション値との差異などの問題点を検証する。検証結果をもとに、より複雑なアナログ回路の設計を今後進めていく方針である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：アナログ (PLL, A-D/DC-DC コンバータなど)



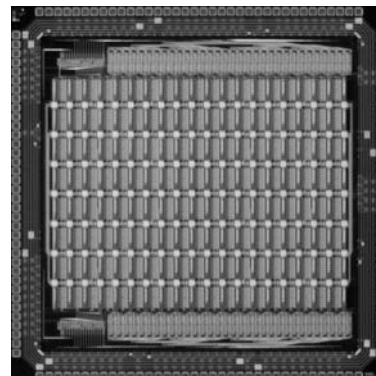
電流モード多値論理に基づく Field-Programmable Digital Filter LSI の試作

東北大学大学院情報科学研究科 出川 勝彦, 青木 孝文
東北工業大学工学部電子工学科 樋口 龍雄

概要：本研究グループでは、冗長算術演算アルゴリズムと電流モード多値集積回路技術を組み合わせることによる、高性能かつ高密度な算術演算 VLSI の実現を目指している。Field-Programmable Digital Filter (FPDF) は、係数と演算語長および次数が任意にプログラムできる、FIR フィルタ専用の再構成型デバイスである。電流モード多値論理に基づく FPDF は、電流モード多値論理回路を利用することにより、2 値論理回路による実現と比較して、特に配線領域が大幅に削減され、低消費電力動作が可能である。本試作チップは、電流モード多値論理回路のデバイススケールリングの影響を調べるために、すでに実チップでの動作確認がとれている 0.6 μ m FPDF を 0.35 μ m にシュリンクした。フルカスタム設計を行い、0.6 μ m FPDF と比較して、回路面積が縮小され、基本ブロックをより集積化できることを確認している。

参考文献：K. Degawa, T. Aoki and T. Higuchi, "Design of a field-programmable digital filter chip using multiple-valued current-mode logic," IEICE Trans. Fundamentals, Vol. E86-A, No. 8, pp. 2001--2010, August 2003.

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：アナログ/デジタル信号処理プロセッサ



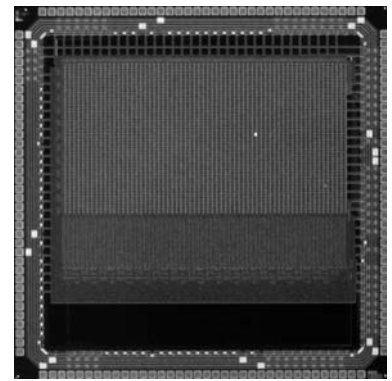
デジタルピクセルセンサーを用いたメディアン値探索プロセッサ

東京大学大学院新領域創成科学研究科 伊藤 潔人

東京大学工学部 中山 友之

概要：本試作チップには、画素回路一つ一つに A/D 変換器を備え、高いフレームレートでデジタルデータの読み出しを可能とする Digital Pixel Sensor (DPS) と、メディアン値探索回路を組み合わせた画像処理プロセッサを実装した。従来の画像処理システムの中で大きなボトルネックとなっていたのは、イメージセンサと画像処理回路間のデータ転送であった。このボトルネックを解消するために、DPS の画素回路内の配線を有効利用し任意の矩形領域を読み出す新たなアーキテクチャを提案した。また矩形読み出し方式を活用する画像処理回路の一例としてメディアン値探索回路を実装した。本試作では、64x48pixel の DPS 回路と、最大 8x8 の領域のメディアン値を探索する回路が一つのチップ上に集積されている。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10,000 以上、100,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**イメージセンサ/スマートセンサ



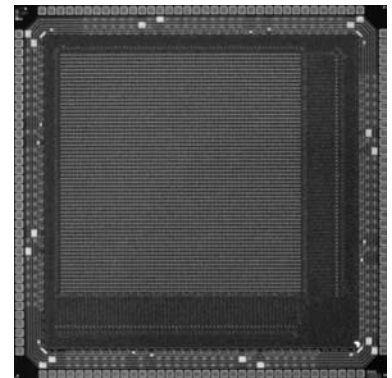
Resonant による動き位置検出および速度検出回路の第 2 版

東京大学大学院新領域創成科学研究科 梅島 誠之

概要：我々の研究室では、独自に開発した「連想アーキテクチャ」という手法に基づき、「柔軟な”認識・判断”ができるコンピュータ」をシリコンチップで実現するということを試みている。本試作では、「連想アーキテクチャ」において「外界からの情報を取り込む」という部分を担うチップを、参考文献 [1] で用いられている、アナログ共鳴回路 (Resonant 回路) を応用して試作した。今回のチップは、「動く物体の速度の検出」及び「動く物体の位置の検出」という 2 つの機能を 1 チップに統合したものである。このチップでは、最大 64 \times 64pixel の任意の矩形範囲内で動体の位置を検出することが可能であり、最大 \pm 7pixel 分移動する動体の動きを検出することができる。さらに本設計では、過去の試作チップの測定結果を利用し、いくつかのバグ修正も行った。また、出力端子を増やすことにより、静止画の簡易キャプチャも可能になった。

参考文献：[1] T. Yamasaki and T. Shibata, “An Analog Similarity Evaluation Circuit Featuring Variable Functional Forms,” Proceedings of 2001 IEEE International Symposium on Circuits and Systems (ISCAS 2001), pp. III-561-564, Sydney, Australia, May 6-9, 2001.

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**アナログ/デジタル信号処理プロセッサ

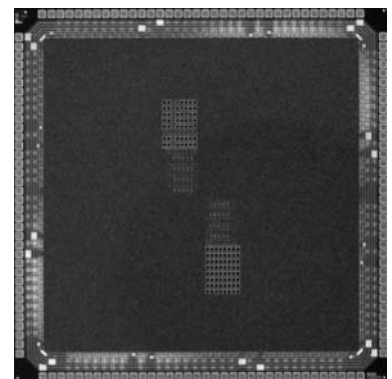


隣接セル間配線を用いたフォトダイオード・演算器分離型エッジ抽出回路

東京大学工学部 中下 友介

概要：隣接セル間配線のみを用い、画像にエッジフィルタをかける回路において、演算器がフォトセンサ間に配置されることにより開口率が著しく低下するという欠点があった。そこで、本チップは演算器を外部に取出し 1 行ごとに読み出して演算する方法に切り替えた。画像にフィルタをかける場合、ある特定の範囲の画素データを同時に演算器に入力する必要があり、画素データがアナログ値であった場合、データのシフトなどが問題になる。そこで、読み出しの回路に工夫し、1 列ごとに読み出すだけで演算が可能なアーキテクチャを採用した。この方法により 1 枚の画像にフィルタをかける時間は若干増えるものの、演算器の自由度があがり、フォトセンサの性能も向上する。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**イメージセンサ/スマートセンサ



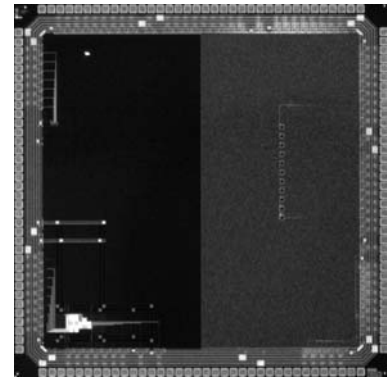
フルデジタルメディア値探索回路

東京大学大学院工学系研究科 山崎 英男

概要：メディアンフィルタは、画像のスパイクノイズ除去等に用いられており、画像処理の分野では非常に重要な処理の一つである。メディアン値探索を行うアルゴリズムとして、ワード比較によるソーティングネットワークを採用した。このネットワークを構築するのに、高速な Winner-Take-ALL を構成するために我々の研究室で開発された Two-Dimensional Bit-Propagating (2DBP) アーキテクチャ [1] を用いた。2DBP はビットコンパレータをベースに構成されるソーティングネットワークであり、通常のソーティングが入力数とビット長の積のオーダーの処理時間を要するのに対し、入力数とビット長の和のオーダーで演算できるため、非常に高速な処理が可能である。本チップでは TEG として 5 入力の 2DBP メディアン値探索ソーティングネットワークを設計し、3.1nsec で動作することを測定により確認した。

参考文献： [1] M. Ogawa, K. Ito, and T. Shibata, "A general-purpose vector-quantization processor employing two-dimensional bit-propagating winner-take-all," in IEEE Symp. on VLSI Circuits Dig. Tech. Papers, pp. 244-247, Jun. 2002.

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**TEG (特性評価回路など)

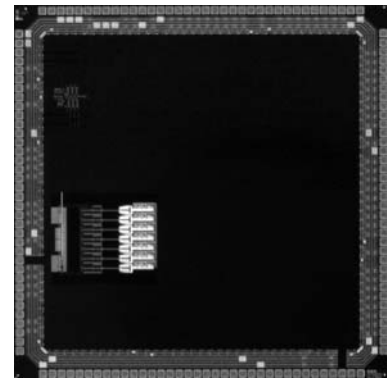


ロボット用途向け CDMA シリアル通信チップ

広島大学先端物質科学研究科 汐崎 充, 向井 徹, 岩田 穆

概要：高速・高機能ロボットの制御に適したマルチプロセッサ通信ネットワークの構築を目的としたチップ試作を行っている。ロボット用途ではケーブルの重さ等がアクチュエータ系に影響するため、少ない伝送路でデータ転送する必要がある。また、性質の異なるデータが複数存在するため、これらを効率よく転送する必要がある。そこで、CDMA 方式による多重化を行い、拡散符号と符号長の動的制御を行うことで少ない伝送路で効率良いデータ転送を実現する。本年度 2 月に試作したチップの修正版である。システム全体で 100Mbps 程度の転送速度が実現できるよう設計を行った。多重数 4, 8, 16 の 3 段階に切り替えることで、コード当たりの転送速度も切り替えることができる。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Synopsys 社 design_compiler, Avanti 社 Appolo, SII 社 SX9000, Cadence 社 Dracula DRC, Mentor 社 Calibre, Mentor 社 xCalibre **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**通信 (RF 回路, ATM など)



CAM チップ

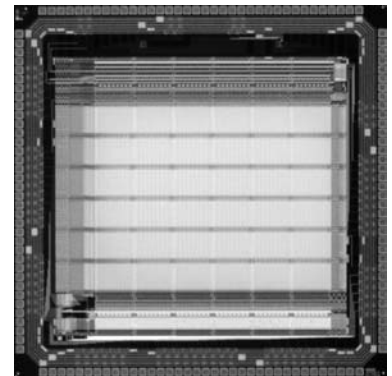
広島大学大学院先端物質科学研究科 是角 圭祐, 岩田 穆

九州工業大学大学院生命体工学研究科 森江 隆

概要：本チップは、CAM (Content Addressable Memory) を実装したものである。6 ビットのメモリセルが 48 \times 96 の 2 次元セルアレイとして構成されており、外部から検索値 (6 ビット) を入力すると、一致する値を有するメモリセルの 2 次元セルアレイ上のアドレス値 (X 方向, Y 方向) を出力する機能を有する。この時、アドレス値の出力はそれぞれ X 方向: 6 ビット, Y 方向: 7 ビットである。処理実行時には、まず検索値と一致する値を有するメモリセルをメモリセルアレイの列単位で検索し、その Y 方向アドレス値を確定する。続いて Y 方向アドレス値の小さい順に、各列において検索値と一致する値を有するメモリセルの X 方向アドレス値に関する検索を行なう。この際、同一列内で検索値と一致する値を有するメモリセルが複数存在する場合には、X 方向アドレス値が小さい順に出力を行なう。

以上の処理において、クロック周波数は 100MHz として設計を行なった。試作完了後に FPGA による制御で本チップの測定を行い、設計通りの検索動作を確認することができた。テストによる測定は行っていない。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**メモリ



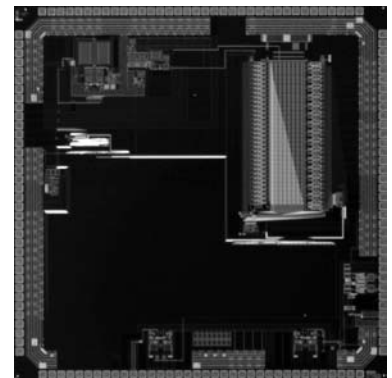
多入力神経信号センシングLSIの設計 (1)

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆

概要: 生体活動と神経活動の関係を正確に把握するため, 生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている. 本研究では小脳の神経信号を検出できる, 神経信号センシングLSIの設計・試作を行った. 設計した神経信号センシングLSIは, ダイレクトチョップ方式低雑音増幅回路, 直並列形 Analog-to-Digital Converter (ADC), 無線送信回路によって構成されている. 我々が提案したダイレクトチョップ方式低雑音増幅回路は, 低周波雑音の存在する CMOS 演算増幅回路で数十 μV 振幅の神経信号を検出することができる. また提案技術は 10ch の測定チャンネルから最大 5チャンネルを選択・多重化し, 効率的な神経信号の測定を実現する. ADCは抵抗ストリングを用いた直並列型回路構成を採用し, 10ビット分解能, サンプル周波数 500kHzを実現した.

参考文献: [1] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input Channels", Proc. of SASIMI 2003, pp. 206-210.

設計期間: 2人月以上, 3人月未満 **設計ツール:** SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)



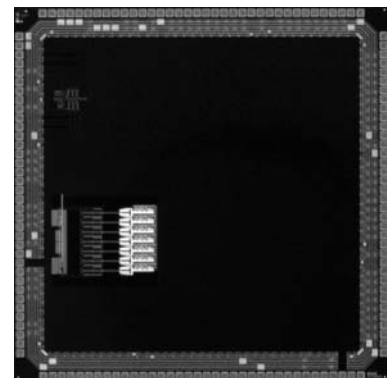
多入力神経信号センシングLSIの設計 (2)

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆

概要: 生体活動と神経活動の関係を正確に把握するため, 生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている. 本研究では小脳の神経信号を検出できる, 神経信号センシングLSIの設計・試作を行った. 設計した神経信号センシングLSIは, ダイレクトチョップ方式低雑音増幅回路, 逐次比較形 Analog-to-Digital Converter (ADC), 無線送信回路によって構成されている. 我々が提案したダイレクトチョップ方式低雑音増幅回路は, 低周波雑音の存在する CMOS 演算増幅回路で数十 μV 振幅の神経信号を検出することができる. また提案技術は 10ch の測定チャンネルから最大 5チャンネルを選択・多重化し, 効率的な神経信号の測定を実現する. ADCは抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し, 10ビット分解能, サンプル周波数 50kHzを実現した.

参考文献: [1] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input Channels", Proc. of SASIMI 2003, pp. 206-210.

設計期間: 2人月以上, 3人月未満 **設計ツール:** SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)



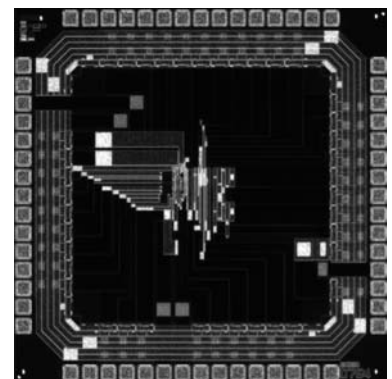
スパイクニューロン回路の試作

広島大学大学院先端物質科学研究科 佐々木 寛弥, 岩田 穆

九州工業大学大学院生命体工学研究科 森江 隆

概要: 我々のスパイクフィードバックネットワークに組み込まれているスパイクニューロン回路とシナプス回路の試作を行った. スパイクニューロン回路はニューロンの内部電位としきい値を比較するために差動型コンパレータを用い, 内部電位がしきい値を超えるとスパイクを出力する. 内部電位がしきい値を超えると一定期間の不応期を生成させるためにしきい値制御回路を組み込んでいる. シナプス回路は入力スパイクを受けるとシナプス荷重値の大きさと符号の正負に応じた後シナプス電位 (Post-Synaptic Potential: PSP) を生成する. 両回路には回路内で生成されるパルスが時間差をもって生成されるように, 遅延回路としてインパクターチェーンを組み込んでいる. 今後, 測定によりスパイクニューロン回路とシナプス回路の動作及び, 複数のシナプスにより生成される PSPの積和演算が行えることを確認する.

設計期間: 1人月以上, 2人月未満 **設計ツール:** SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μm 2.4mm角 **試作ラン:** ニューテクノロジー

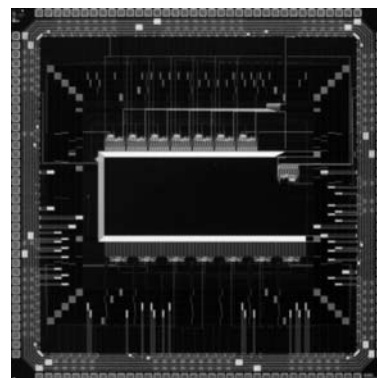


振幅変調を利用した Parallel-CDMA インタフェースの設計

大阪大学大学院工学研究科 清水 新策, 松岡 俊匡, 谷口 研二

概要: Code Division Multiple Access (CDMA) インタフェースは伝送路上での狭帯域ノイズ耐性を持つ。しかし, CDMA インタフェースを介して送受信回路がデータを授受するとき, データを拡散するのに用いた拡散符号のビット数と同じクロック数が必要となり, 高速伝送にはむかなかった。この問題を解決するために, 2bit のデータをデータ値に対応した振幅に変調し, さらに送信データを拡散符号を用いて複数のバスに1クロックで送信する, Multiple Bit Parallel-CDMA (MB/P-CDMA) バスを提案した。MB/P-CDMA バスは複数の信号線のうちの一部が強い影響を受けるような局所的ノイズに対して強い耐性をもつ。また同時に2bitのデータ伝送を行うことができ, 高速転送を実現する。本チップはこのMB/P-CDMA バスの動作を評価することを目的とし, 8bitの差動パラレルバスと, 送受信回路が7対, そしてバスの電位をリセットする安定化回路を搭載した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** ニューテクノロジー



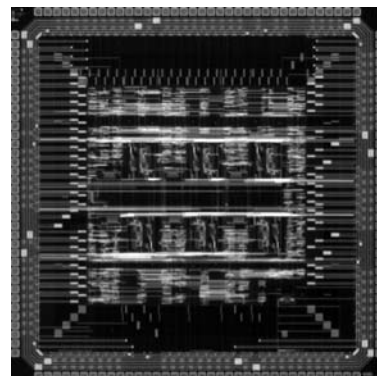
可変ゲインアンプを用いた DS-CDMA 有線バスの設計

大阪大学大学院 工学研究科 井田 司, 清水 新策, 嶋村 延幸, 松岡 俊匡, 谷口 研二

概要: キャパシタカップリングを用いた DS-CDMA 有線バスでは, 送信器数の増減などにより, 信号振幅が変化してエラーを発生することが懸念される。今回, これを改善することを目的として, 受信器に可変ゲインアンプとそのゲイン制御回路を組み込んだ DS-CDMA 有線バスの設計を行った。設計したチップでは, 送受信器を6対実装した。バス容量の変化を擬似的に再現できるように, 送信器の出力電圧を可変としている。1~4倍の利得可変範囲をもつ可変ゲインアンプの組み込みにより, 最大4倍程度までバス容量の変化に耐えられる受信器が設計できた。なお, 可変ゲインアンプ自体の特性も測定できるよう, 単体の可変ゲインアンプも実装した。

参考文献: 井田, 清水, 嶋村, 松岡, 谷口, "有線 CDMA インタフェース用可変ゲインアンプ", 電気学会電子回路研究会資料, ECT-03-66, pp. 15-20, 2003 年 6 月

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** ニューテクノロジー



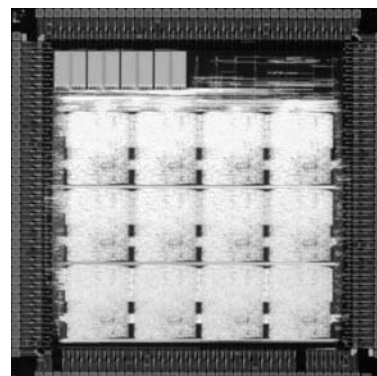
並列リコンフィギュラブルロジックを用いた画像処理 FPGA

東北大学大学院工学研究科 杉村 武昭, 沈 正七, 栗野 浩之, 小柳 光正

概要: 画像などのストリーミングデータのリアルタイム処理は従来のマイクロプロセッサでは困難であり, ワイヤードロジックを使用した専用 L S I を用いることが望まれる。しかし, このような専用 L S I では, 機能の変更が不可能, 開発コストが高いなどの問題が存在する。これに対し, FPGA 等のリコンフィギュラブルロジックを使用した L S I はその機能を自由に変更することができる。このような画像の高速処理と, 柔軟な画像処理機能の実現を目的として, 画像処理向け FPGA の設計を行なった。設計にあたり構成ロジックの並列化を行ない, 結線情報を保持するコンフィギュレーションメモリの削減と処理の高速化を試みた。本チップは ALU 機能を持つ 12 個の画像処理ユニットとそれらを結ぶ相互配線網から構成され, 8 ピクセルを同時処理可能な並列データバスを実装した。また, 時間微分回路の実装のため, 画像を保存する 2 K B のフレームメモリも搭載している。

参考文献: Takeaki Sugimura, JeoungChill Shim, Hiroyuki Kurino, and Mitsumasa Koyanagi, "Parallel Image Processing Field Programmable Gate Array for Real Time Image Processing System ", pp. 372-374, Proceedings of 2003 IEEE International Conference on Field-Programmable Technology (ICFPT2003)

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** アナログ/デジタル信号処理プロセッサ

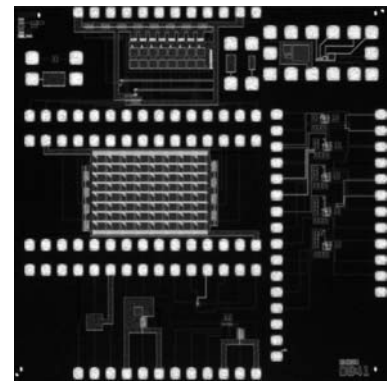


スイッチト・キャパシタ回路を用いたオフセット電圧補償型増幅回路の試作

東北大学大学院工学研究科 小野 宏, 沈 正七, 栗野 浩之, 小柳 光正

概要: 近年, 半導体集積化技術の微細化, 高集積化は限界に近づいており, これらの問題を解決する技術の一つとして, 三次元集積化技術が注目されている. 現在, この三次元集積化技術を用いて生体の網膜を模してセンサと演算処理回路を一体化した三次元積層型人工網膜チップの研究が進められている. この人工網膜チップでは演算処理がアナログで行われるが, チップ外部のハードウェアと接続するためには, 出力信号はデジタル信号でなければならない. これを考慮して, 人工網膜チップの出力部に A/D 変換器を搭載する. 一般的に A/D 変換は増幅回路 (オペアンプ), サンプルホールド回路, そして A/D 変換回路の三つの回路要素で構成されている. 本チップでは, このサンプルホールド回路までを含めた入力増幅回路のオフセット電圧補償と精密な増幅利得の制御を行うためのスイッチト・キャパシタ回路を設計し, その特性評価のための TEG の試作を行った.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** TEG (特性評価回路など)

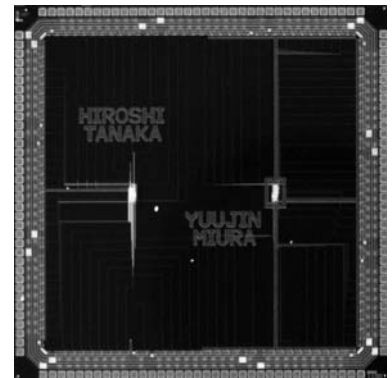


LSI 設計コンテスト (1)

金沢大学工学部 集積回路工学研究室 泉 貴富, 伊藤 久浩, 北川 章夫

概要: 学部3年生を対象に LSI 設計コンテストを実施した. このコンテストは, なるべく多くの学部学生に, フルカスタム設計の経験をしてもらうことと, 実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している. 必要 IO ピンの関係上, 各参加者は二名で1チップを相乗りし, 設計を行った. 最終的に担当 TA が1つのチップフレーム上にマージした. 競技部門と自由設計部門を設け, 競技部門では 16bit 加算器を設計し, 入出力伝播遅延, 使用面積, 動作電圧マージン, 完全動作を総合して順位を決定した. 設計内容は, それぞれ一人で設計した 16bit 加算器 6 種の他, 二人で設計した 16bit 乗算器 1 種である.

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 など)



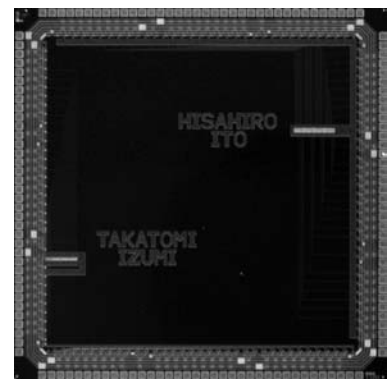
試作ラン: 演算回路 (乗算器, 除算器など)

LSI 設計コンテスト (2)

金沢大学工学部 集積回路工学研究室 野崎 宏哉, 中野 伸吾, 北川 章夫

概要: 学部3年生を対象に LSI 設計コンテストを実施した. このコンテストは, なるべく多くの学部学生に, フルカスタム設計の経験をしてもらうことと, 実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している. 必要 IO ピンの関係上, 各参加者は二名で1チップを相乗りし, 設計を行った. 最終的に担当 TA が1つのチップフレーム上にマージした. 競技部門と自由設計部門を設け, 競技部門では 16bit 加算器を設計し, 入出力伝播遅延, 使用面積, 動作電圧マージン, 完全動作を総合して順位を決定した. 設計内容は, それぞれ一人で設計した 16bit 加算器 6 種の他, 二人で設計した 16bit 乗算器 1 種である.

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 など)



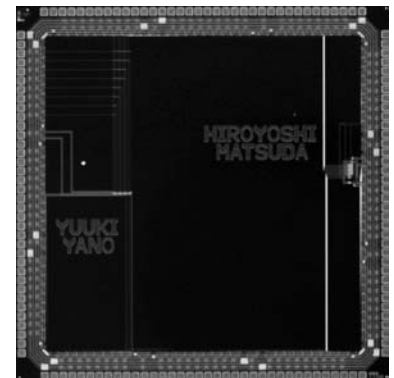
試作ラン: 演算回路 (乗算器, 除算器など)

LSI設計コンテスト (3)

金沢大学工学部 集積回路工学研究室 田中 寛, 三浦 有人, 北川 章夫

概要: 学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。必要IOピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TAが1つのチップフレーム上にマージした。競技部門と自由設計部門を設け、競技部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定した。設計内容は、それぞれ一人で設計した16bit加算器6種の他、二人で設計した16bit乗算器1種である。

設計期間: 7人月以上, 8人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角

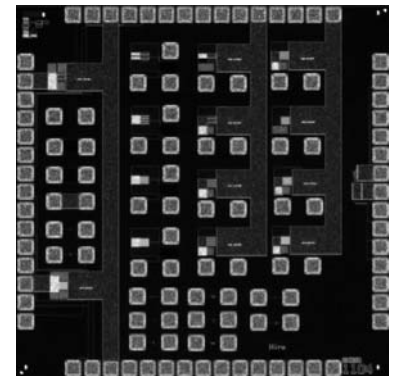


試作ラン: 演算回路 (乗算器, 除算器など)

金沢大学工学部 集積回路工学研究室 山田 裕史, 北川 章夫

概要: POF光インターフェース: フォトダイオードを受光器とする受光フロントエンドの設計では、フォトダイオードの接合容量と基板での光生成キャリアによる拡散電流が、動作速度に大きく影響する。フォトダイオードの接合容量の問題は、小面積のフォトダイオードにプリアンプを設けて並べた受光器アレイの各出力をアナログ加算することで解決可能である。POF光通信で必要となる600nm以上の波長域では、多量に基板キャリアが発生するため、このキャリアによる遅い電流出力応答成分が高速動作を妨げていることが分かった。本試作では、ウエル接合を利用し、ストライプに分割配置した2個のフォトダイオードを差動電流増幅することにより、基板キャリアの影響を取り除いて高速化することを試みた。これは、使用するテクノロジーにも依存するが、本プロセスの場合、遮断周波数を40倍以上高くすることに成功した。プローブ校正用TEG: マイクロ波プローブの状態を簡便に調べるため、受動素子のTEGを作成した。この測定結果は、RF回路の設計にも利用している。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** TEG (特性評価回路など)

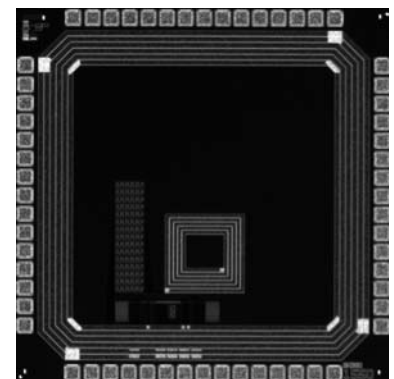


E級DC-DCコンバータ

福岡大学工学部 末次 正

概要: 完全にオンチップ化したE級DC-DCコンバータを製作した。インバータはE級インバータ、整流方式は同期スイッチング整流とした。インバータスイッチ、整流器スイッチ、共振インダクタ、共振キャパシタ、インバータのシャントキャパシタ、整流器のシャントキャパシタ、入力チョークインダクタ、出力フィルタのインダクタ、2つのスイッチの駆動回路を集積した。共振インダクタは28.7nH、入力インダクタは30nH、出力インダクタは30nH、共振キャパシタは3.25pF、インバータのシャントキャパシタは1.5pF、整流器のシャントキャパシタは1.5pFとした。出力電圧の制御はスイッチング周波数の周波数制御として無負荷時に800MHzで動作するようにVCOを制御回路に組み込んだ。共振キャパシタはフローティングコンデンサで作成した。インダクタは全てメタル3レイヤーで作成した。

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)

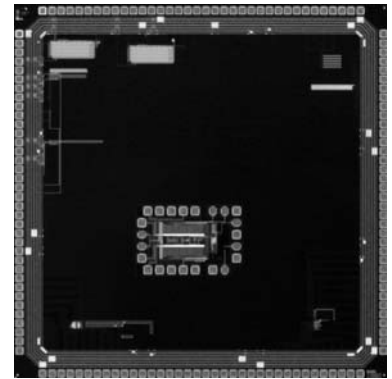


低 VDD アナログ回路および SRAM におけるリーク電流対策回路

東京大学生産技術研究所 石田 光一, Quang Canh Tran, 神田 浩一, 宮崎 隆之

概要: 本チップには以下の評価回路が搭載されている。・アナログ回路におけるリーク電流の影響を評価する TEG・SRAM におけるリークカット回路 テクノロジーの進化に伴い、電源電圧は低下の一途をたどっている。将来的には、トランジスタを動作させるためにしきい値電圧を現在よりも大幅に低下させる必要が出てくる。しかし、しきい値電圧を下げるとリーク電流が増加してしまい、電力のほとんどを消費してしまうことになる。本研究では、アナログ回路および SRAM 回路におけるリーク電流の影響評価およびリークカット回路を提案する。アナログ回路はシグマデルタ型 A/D コンバータおよびレプリカによってオペアンプの出力バッファ段の電流を検出する回路を搭載した。SRAM については、列単位の電源電圧を動的に制御する Row-by-row dynamic VDD 方式を搭載した。この方式は、列がアクセスされていないとき供給電圧を大幅に減らすものである。データの保護のためのスタティックノイズマージンの評価も行う。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** TEG (特性評価回路など)

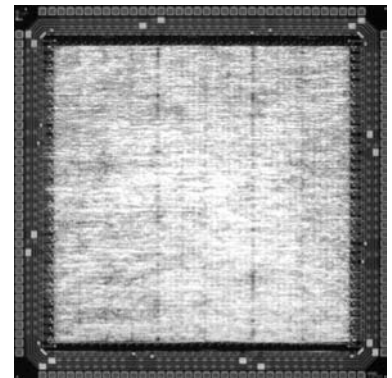


64 ニューロン搭載改良型ストカスティックニューロチップ

東北大学電気通信研究所 桃井 昭好, 秋元 俊祐, 佐藤 茂雄, 中島 康治

概要: 我々は多数のニューロン素子を集積するためにストカスティックロジックという論理を用いたニューロチップの試作を行っている。このロジックを用いることで演算器を小さな面積で実現することができより多くの素子を 1 チップ上に集積することが可能となる。また、確率的な動作を行うことによってネットワークの問題解決能力を向上させることが可能となる。本試作チップでは問題解決能力のさらなる向上のためにいくつかの改良を行った。まず、非単調活性化関数で離散時間ダイナミクスでは連想記憶を行うことが不可能であるために連続時間ダイナミクスを実現できるように膜電位更新回路を改良した。また、非単調活性化関数のノイズ量が飽和領域で最大となることが原因で最適化問題などで解性能を低下させていると考えられるために飽和領域にノイズが生じないように活性化関数生成回路を改良した。また、非同期更新を高速に行えるようなコントロール回路を実装し、従来のニューロチップより N (ニューロン数) 倍高速に非同期更新が行えるようになった。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



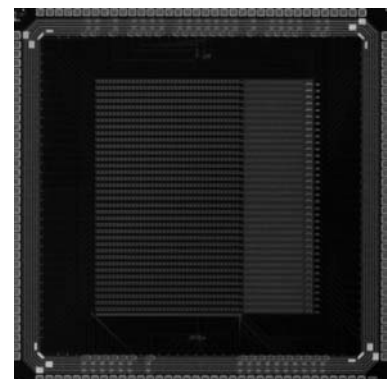
Inverse function Delayed モデルを用いたニューロチップの設計

東北大学電気通信研究所 伝田 達明, 末永 晋也, 早川 吉弘, 中島 康治

概要: ニューラルネットワークをハードウェア化することにより並列処理が可能となり高速な情報処理を実現できる。また、Inverse function Delayed (ID) モデルは N 字型非線形出力逆関数を用いて負性抵抗領域を導入でき、組合せ最適化問題などで問題となるローカルミニマムから脱出できるという特徴を持つ。したがって ID モデルをハードウェア化することで組合せ最適化問題に関して高い性能と高速な情報処理の両方が可能になると考えられる。そこで N 字型非線形出力逆関数回路などを用いて ID モデルをアナログ回路で設計し、36 ニューロン 1296 シナプスの全結合ニューラルネットワークからなるニューロチップを試作した。テストによる測定を行い N 字型非線形特性を確認した。

参考文献: 伝田, 末永, 早川, 中島, "Inverse Delayed モデルを用いたニューロチップの設計", 信学技報, NLP2003-91, pp. 47-52, 2003.

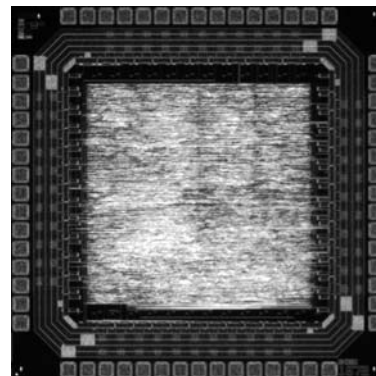
設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** その他



東北大学電気通信研究所 李 洪革, 秋元 俊祐, 早川 吉弘, 佐藤 茂雄, 中島 康治

概要: 我々はストカステックロジックという論理を用いた大規模ニューラルネットワークの構築に関する研究を行っている。この論理を用いると演算器を非常に小さく構成出来、より多くの演算素子を1チップに集積することができる。また、その確率的な動作原理によってネットワーク問題解決能力の向上が期待できる。本試作チップには確率過程が導入されたアクティブ (Inverse Delayed model) な機能を持つニューロン素子が10個搭載されており、将来、ニューロン素子100個の連想記憶システムの構築を目指している。これらによって全結合型の連想記憶システムの構築することが可能となる。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



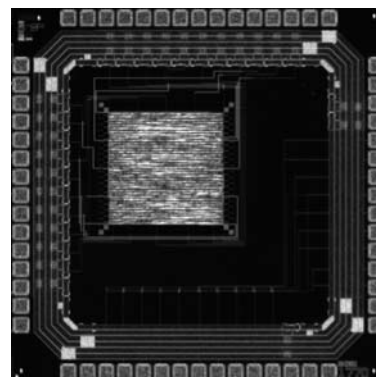
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要: SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、14b の AD コンバータが実現できる。本チップではダウンスampling係数 128 のデシメーションフィルタを試作した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)



二次元高速フーリエ変換プロセッサ

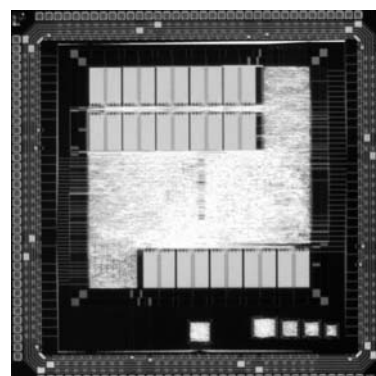
東北大学大学院工学研究科 宮本 直人, カルナン レオ, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要: A single-chip 512-point FFT processor is presented. This processor is based on the cached-memory architecture (CMA) with the resource-saving multi-data-path radix-2-3 computation element (RM2-3CE). The 2-stage CMA, including a pair of single-port SRAMs, is also introduced to speedup the execution time of the 2-dimensional FFTs and reduce the area of silicon in comparison with using dual-port SRAM configurations. A set of convolutional processings are preformed to a chunk of data of the same addresses by using the single RM2-3CE which contributes to decrease more of the silicon area. Using above techniques, we have designed an FFT processor core which integrates 552,000 transistors within an area of 2.8 x 2.8 mm² with CMOS 0.35 μ m triple-layer-metal process. This processor can execute a 512-point, 36-bit-complex fixed-point data format, 1-dimensional FFT in 23.2 usec and a 2-dimensional one in only 23.8 msec at up to 133MHz operation.

参考文献: Naoto Miyamoto, et al., A 100MHz 7.84mm² 31.7msec 439mW 512-Point 2-Dimensional FFT Single-Chip Processor, The Institute of Electronics, Information and Communication Engineers Special Issue on Low-Power System LSI, IP and Related Technologies, IEICE TRANS. ELECTRON., VOL. E87 砲, NO. 4, pp. 502-509, APRIL 2004

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



次世代PET用フロントエンドチップ

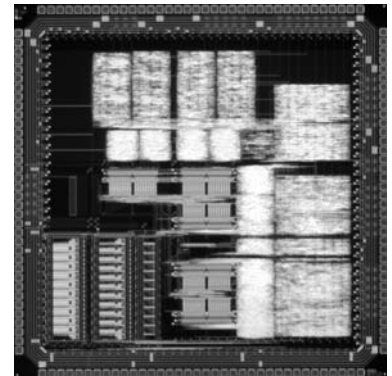
東京大学大学院工学系研究科 石津 崇章

東京大学人工物工学研究センター 高橋 浩之

概要：PET（ポジトロンCT）は体内にポジトロン放出核種を投与して、そこから放出されるポジトロンが消滅する際に互いに反対方向に放出される2本のガンマ線を外部においたガンマ線位置検出器で捕捉し、放出位置を推定するものである。次世代PETにおいては、数ナノ秒の時間応答を示すガンマ線位置検出器間でのコインシデンスをとりつつ、1mm程度までの位置分解能で入射位置を求める必要がある。本チップはPETにおいて用いられる検出器から得られる微弱なパルス信号を分析するために必要な機能をすべて搭載したフロントエンドチップであり、アバランシェフォトダイオードなどの光検出器の出力信号を直接接続し、高速のフォールディング型ADCで信号波形を記録し、ガンマ線の入射に伴う信号パルスに関する時間情報と波高情報の分析を行うことを可能とするチップである。

参考文献： [1] Development of a multi-channel waveform sampling ASIC for animal PET with DOI information, JY Yeom, H. Takahashi, T. Ishitsu, M. Nakazawa, H. Murayama, Nucl. Instr. and Meth. A, in press.

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **試作ラン：**アナデジ混載



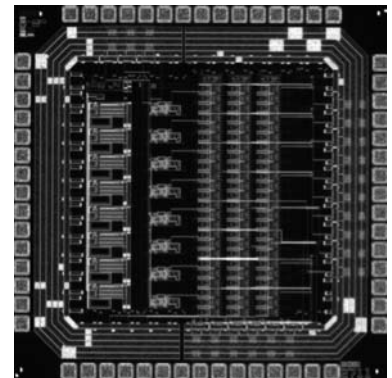
マルチアノード光電子増倍管用計数チップ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章

東京大学人工物工学研究センター 高橋 浩之

概要：光電子増倍管（PMT）は、高感度な光検出器であるが、最近、PMTのアノードを多数に分割したマルチアノード型が普及してきている。マルチアノード型PMTにおいては、位置分解測定が可能となるなど、従来のPMTにくらべて多くの情報をもたらす一方、フロントエンドエレクトロニクスが大きくなるため、有効な利用のためには、適切な計数を行うためのチップが必要となる。実際にPMTから得られる信号はさまざまな大きさのものがやってくるので、必要な信号を選択して計数を行なうためには、高速なディスクリミネータを複数並べて動作させることが必要である。本チップはプリアンプ、整形回路、ディスクリミネータなどフロントエンド部において必要な機能を8チャンネル分集積したものであり、PMTと直接接続して、計数を行うことが可能である。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**アナデジ混載



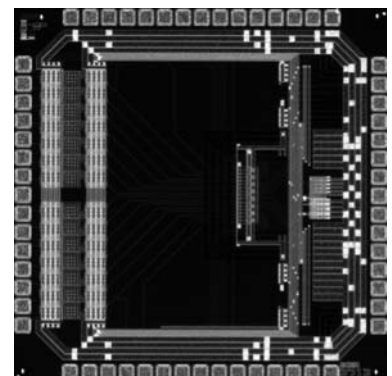
位置演算用アナログエンコーダ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章

東京大学人工物工学研究センター 高橋 浩之

概要：多チャンネルの放射線位置検出器を実現する上では、多チャンネルの信号を効率よく読み出す手法が必要とされる。特に放射線位置検出器の中には、高圧ガスや真空容器を用いるものが多数存在するが、そのような環境におかれたセンサから直接多数の信号線を引き出すことは無理があり、現在の放射線位置検出器におけるチャンネル数への大きな制約となっている。本チップは、放射線イメージングに用いる多チャンネル検出器用のチップとして、センサと外部回路の間の信号線の接続本数を減らすために開発された。本チップでは入力位置をそれに対応した2本のアナログ信号の大きさの比へエンコードする。エンコードされた信号はチップを直列接続することで、複数のチップ間にわたって容易にやりとりが可能であるなど、このチップはスケラブルであり、数100チャンネルまで対応できる。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**アナデジ混載



低消費電力・全並列最小マンハッタン距離検索連想メモリ

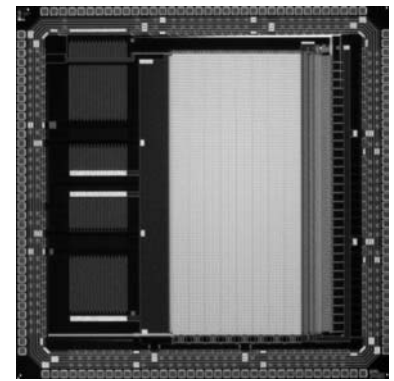
広島大学先端物質研究科 矢野 祐二

広島大学ナノデバイス・システム研究センター 小出 哲士,
マタウシュ ハンスユルゲン

概要：高速・小面積かつ低消費電力を実現した全並列型アーキテクチャによる新しい連想メモリを試作した。この試作チップは最小マンハッタン距離による128行80列（5bit × 16ユニット）の連想メモリで、測定の結果、回路を7.86mm²の小面積で実現し、その内Winner検索回路が全体のわずか14%で実現できた。検索可能距離範囲は0-480で、検索時間が190ns以下で最小距離検索できる。したがって、実用的なアプリケーションにおいて通常距離差が50bit以下がほとんどであることを考慮すると、140ns以下の高速な検索が可能である。消費電力は90mW@5MHzと非常に低消費電力であった。

参考文献：なし

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre **トランジスタ数：**100,000以上
試作ラン：ローム CMOS 0.35μm 4.9mm角 **試作ラン：**メモリ

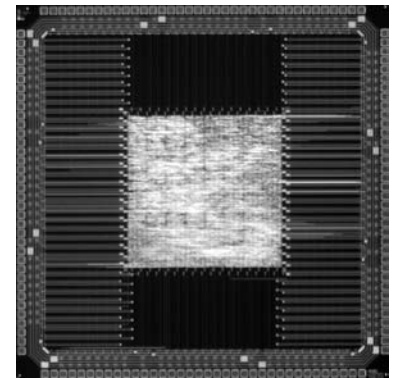


群知能型情報処理LSIの設計

大阪府立大学先端科学研究所 中尾 基, 泉 勝俊

概要：真社会性昆虫の蟻は、個体では単純な規則に従って行動しているにもかかわらず、それがコロニー化することで、高度に組織化されることが知られている。その代表的なものが、次に示す餌を採取するモデルである。即ち、探索中に偶然、餌場を最初に発見した蟻個体は、餌場から巣へ餌を持ち帰る際にフェロモンを分泌する。他の蟻はそのフェロモンを感知し、それに誘引される形で餌場に辿り着き、その帰り道に同様にフェロモンを排出する。このように蟻はコロニーとして行動することにより、正帰還型の高度な餌収集能力を発揮する。本チップ試作では、この蟻コロニーの餌採取モデルを組み合わせ問題の代表である巡回セールスマン問題に適用すべく、4×4マスの平面上を想定し、原点を出発して3点を通り、原点に戻る際の最短ルートを導くLSIの実現を試みた。なお、並列演算のエージェントとして用いている16匹の蟻は上下左右のみ移動できると設定した。当該試作LSIを測定・評価した結果、相互にフェロモンを介した情報通信を行なうことにより、巡回セールスマン問題の最適解が導かれることを検証した。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**ローム CMOS 0.35μm 4.9mm角 **試作ラン：**その他



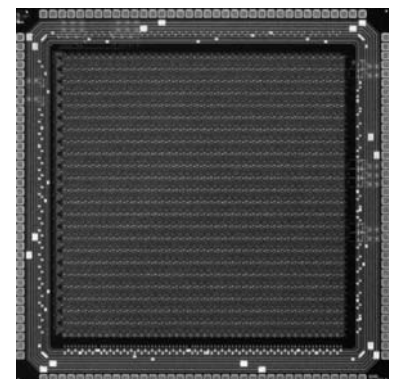
平滑化機能を持ったシリコン網膜チップの開発

大阪大学大学院工学研究科 亀田 成司, 八木 哲也

概要：シリコン網膜は、生体視覚系の並列画像処理機構をアナログCMOS集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった利点を持つ。今回の設計では、自然照明かにおける実時間画像処理を基本視座とし、アナログシリコン網膜チップを開発した。各画素は六角格子状に配置され、チップは2次元の対数型フィルタ特性を持つ。今回試作したシリコン網膜チップは、網膜初段の害もうまく構造を模擬したもので、光センサ回路と抵抗回路網により入力画像の平滑化機能を持つ。集積回路の素子ばらつきを補償する機構を付加し、光センサ部にはアクティブピクセルセンサを用いた。画素数は40×46である。

参考文献：S. Kameda and T. Yagi, "An analog VLSI chip emulating sustained and transient response channels of the vertebrate retina", IEEE trans. Neural Networks, vol. 14, no. 5, 2003.

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**ローム CMOS 0.35μm 4.9mm角 **試作ラン：**イメージセンサ/スマートセンサ



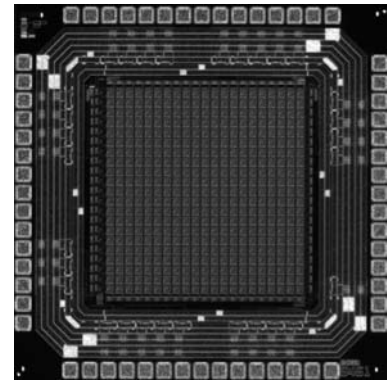
方位選択性を実現するアナログ集積回路の設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要: 大脳一次視覚野の細胞は、ある特定の方位の光刺激パターンに対して選択的に応答する特性をもつ。本チップは、このような特性を模擬するために、前段のイメージセンサからの出力画像を受けて特定の方位に並ぶ複数の画素を統合する。前段のイメージセンサとしては、本研究室で既に開発したシリコン網膜を用いることを想定している。画素回路は、シリコン網膜からの入力を保持するアナログメモリと、一直線上に並ぶ画素同士を結合する画素統合回路から構成される。画素統合回路により選択された各画素の出力は、フォロア統合により収斂される。本チップは、6通りの方位に対する選択性を実現できる。画素数は 21×21 である。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:**

1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



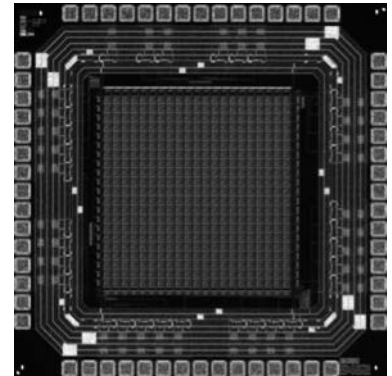
マルチチップ視覚システムのためのレシーバチップ TEG

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要: マルチチップ視覚システムは、生体視覚系に見られる階層的な情報処理を複数のアナログ集積回路を組み合わせて実現するものである。本チップは、前段のイメージセンサ（既に本研究室で試作したシリコン網膜チップを想定）からの画像情報を受け取るレシーバチップの TEG であり、アナログメモリアレイ、画像入力用デコード、入力バッファ回路などから構成される。入力画像の各画素の値を、デコードによりアナログメモリアレイ上の任意の位置に転写するシステムを構成し、その特性を評価、検討することを目的としている。イメージセンサからの画像を受け取るためのアナログメモリアレイの大きさは 20×20 である。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:**

1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 **試作ラン:** TEG (特性評価回路など)



デジタル・デルタシグマ変調回路 (2)

神戸大学工学部 杉本 智彦, 永田 真

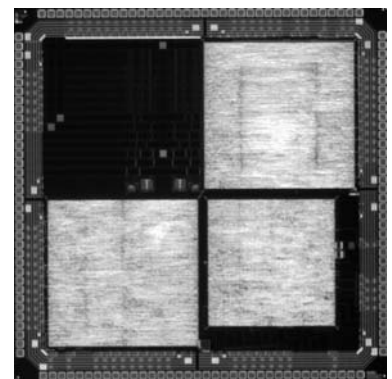
概要: ミックスドシグナル LSI では、デジタル回路の発生する基板雑音が、アナログ回路の性能劣化の原因のひとつとなっている。本チップは、アナログ回路と組み合わせられる可能性の高いデジタル信号処理系として FFT を設計した。京都大学作成の標準スタンダードセルライブラリを利用し、標準的な論理設計フローに基づいて設計した。また、高分解能の基板雑音評価を可能にする検出回路も搭載しており、FFT 演算における基板雑音波形のデータ依存性や動作速度依存性等を評価できる。試作チップは評価済みであり、FFT 動作時の雑音波形の実測結果および解析結果は [1] において報告している。

参考文献: [1] 杉本, 奥本, 永田, 瀧, "大規模デジタル回路におけるグラウンド雑音の解析", pp. 211-216, 電子情報通信学会技術報告 ICD2003-175 (2003) .

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Ap-

polo, Cadence 社 Virtuoso, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以

上, 10,000 未満 **試作ラン:** ローム CMOS $0.35\mu\text{m}$ 4.9mm 角 **試作ラン:** アナデジ混載



JTAG 付きパルスジェネレータ

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸

概要：現在システム ASIC の製作が必要となることが多いがその中でも、JTAG の I/F 及び高速 FIFO、特殊パターン生成器はよく使用される。一方デジタル IC、及びシステムをテストするためにいくつかのパターンを生成できる多チャンネルのパターンジェネレータが必要となった。上記の目的を達成するために FIFO、パターン発生回路、JTAG インターフェースを用いて JTAG 付きパルスジェネレータ TEG を製作した。パターンは JTAG もしくは外部バスよりダウンロードされそれに従いパターンを出力する。また擬似ランダム発生回路を組み込んでおり擬似ランダムパターンの生成も可能となっている。この集積回路の製作は学生の教育用としても有効で、製作していく中でツールの使用方法、デジタル回路の学習などが効果的に行われた。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Avanti 社 Apollo, Mentor 社 Calibre **トランジスタ数：**1,000 以上、10,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**TEG (特性評価回路など)



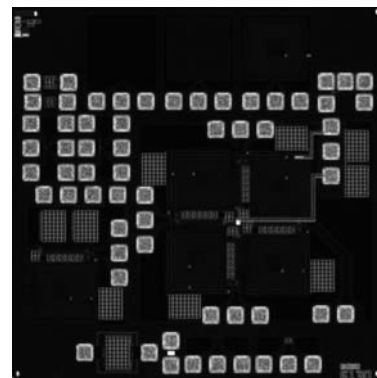
化合物半導体共鳴トンネル素子の Si-LSI への集積化テスト

名古屋大学工学研究科 前澤 宏一, 水谷 孝

概要：超高周波動作が可能な機能素子である共鳴トンネル素子を Si-LSI 上に集積化できれば、高速化や回路の簡単化、低消費電力化などに大きな効果が期待できる。我々は、Fluidic Self-Assembly (FSA) 法を用いてこれに挑戦している。FSA 法は、最適な基板上で作製した微小デバイスブロックを溶液中に置いた host 基板上に散布し、配置する技術である。このとき、基板上にはデバイスブロックに合わせてリセスを形成しておく。この方法により、材料によらない様々なデバイスの集積化が可能になる。本チップはこの技術により可能となる共鳴トンネル/CMOS 集積回路の動作およびその優位性を検討することを目的としている。現在、微小デバイスブロック配置のための予備実験を行っており、今後、このチップを用いて実際に異種材料集積回路を作製し、その性能を評価する。

参考文献：I. Soga, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, "Fluidic Assembly of Thin GaAs Blocks on Si Substrates", Jpn. J. Appl. Phys., Vol. 42, pp. 2226-2229 (2003)

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数：**10 未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン：**ニューテクノロジー



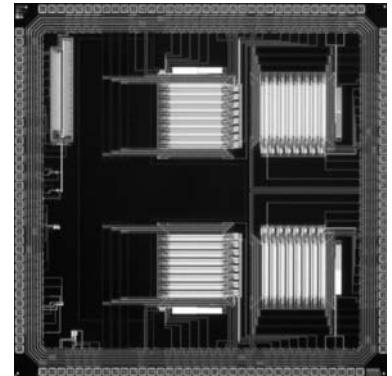


(R035031)

Low-Power Switched-Current CDMA Matched Filter

東京大学大学院工学系研究科 山崎 俊彦

概要：スイッチト・カレント回路を用いた低消費電力で省面積な CDMA マッチトフィルタを開発した。また、フローティング・ゲート MOS 回路技術を用いた V-I 変換回路，CMOS インバータと CMOS インバータスイッチで構成したシンプルな I-V 変換回路を開発した。回路をブロック化することとカレントメモリに流れる電流を軽減することによって低消費電力を実現した。また，さらなる低消費電力動作のために Clock-on-demand shift register も開発した。測定により電源電圧 2V，相関長 256 の回路に於いて 1.95mW@8Mchip/s の低消費電力動作を確認した。さらに，チップ面積は 0.54mm² と非常に小さい。そのため，電力供給やチップ面積に強い制限を受ける携帯端末に非常に適している。



参考文献：T. Yamasaki, T. Nakayama, and T. Shibata, “A Low-Power Switched-Current CDMA Matched Filter with On-Chip V-I and I-V Converters,” accepted for presentation at 2004 Symposium on VLSI Circuits, 2004.

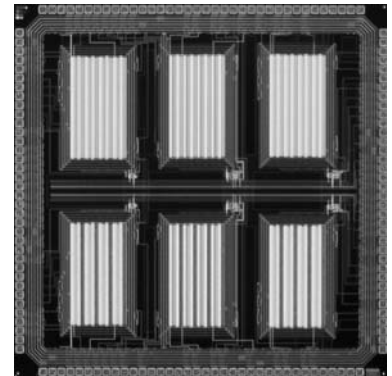
設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35μm 4.9mm 角 試作ラン：アナログ/デジタル信号処理プロセッサ

フローティング・ゲート MOS 回路技術を用いた低消費電力 CDMA 用マッチトフィルタ

東京大学大学院工学系研究科 山崎 俊彦

東京大学大学院新領域創成科学研究科 中山 友之

概要：フローティング・ゲート MOS 回路技術を用いて低消費電力・省面積の CDMA マッチトフィルタを開発した。演算アルゴリズムを見直すことにより 1 クロックで全ての演算を実現する新たな相関演算方式を開発した。また演算に参加するカップリングキャパシタの数を半分にする事でキャパシタンスの充放電にかかる消費電力を削減し，低消費電力動作を実現した。0.35-μm CMOS プロセス技術を用いてチップ長 256 のマッチトフィルタを設計・試作し，電源電圧 3V においてサンプリングレート 5MS/s，消費電力 6mW で動作することを確認した。チップ面積は約 1mm² と，従来報告されているものに比べて省面積を実現している。このマッチトフィルタを基本に，サンプリング位置を指定するアドレスデコードに替えて低消費電力なクロック・オン・デマンド型フリップフロップを用いたマッチトフィルタも試作した。



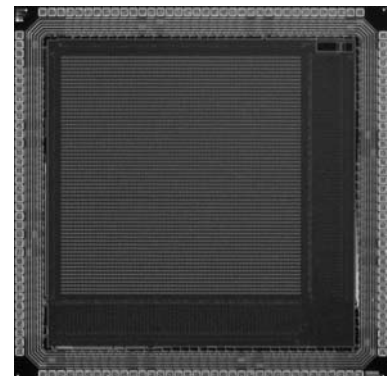
参考文献：T. Yamasaki, T. Fukuda, and T. Shibata, “A Floating-Gate-MOS-Based Low-Power CDMA Matched Filter Employing Capacitance Disconnection Technique,” Digest of Technical Papers of 2003 Symposium on VLSI Circuits, pp. 267-270, Kyoto, June 12-14, 2003.

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35μm 4.9mm 角 試作ラン：アナログ/デジタル信号処理プロセッサ

Resonant による動き位置検出および速度検出回路の第 3 版

東京大学大学院新領域創成科学研究科 梅島 誠之

概要：本試作では，本研究室が独自に開発した「連想アーキテクチャ」における「外界からの情報を取り込む」という部分を担うチップを，アナログ共鳴回路を応用して試作した。今回のチップは，「動く物体の速度の検出」及び「動く物体の位置の検出」という 2 つの機能を持つ。このチップでは，最大 64×64pixel の任意の矩形範囲内で動体の位置を検出することが可能であり，最大 ±7pixel 分移動する動体の動きを検出することができる。本試作では矩形範囲指定回路を改良し，最大約 1/10 の速度で以前と同じ範囲を指定することが可能となった。また，本試作チップが 118flame/sec の速度で動作することを確認した。



参考文献：M. Umejima, T. Yamasaki, and T. Shibata, “A Bump-Circuit-Based Motion Detector Using Projected-Activity Histograms,” accepted for the presentation at The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004).

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35μm 4.9mm 角 試作ラン：アナログ/デジタル信号処理プロセッサ

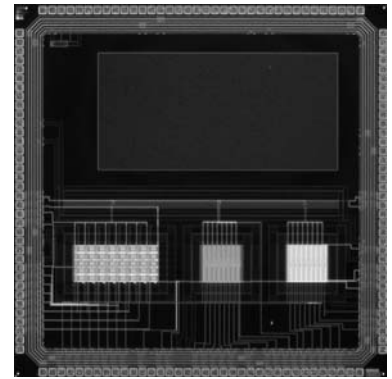
Mixed-signalメディアン値探索回路

東京大学大学院工学系研究科 山崎 英男

概要：メディアンフィルタは、画像のスパイクノイズ除去等に用いられており、画像処理の分野では非常に重要な処理の一つである。しかし、メディアン値探索の演算コストが高いため、ソフトウェアで実装すると遅延時間が増大する。また、専用のデジタル回路で実装すると規模が大きくなってしまう。そのため、Mixed-Signalの回路で小規模かつ高速なメディアンフィルタが開発されてきた。[1] この回路はバイナリサーチのアルゴリズムを採用し、その中で必要となる多数決の機能をMixed-Signalの回路で構成しているが、精度の面で問題があった。そこで、我々の研究室では差動対を構成することにより高精度のメディアンフィルタを開発した。また、フローティングゲートMOS技術を用いた低消費電力のタイプも開発した。本チップでは、これまでに開発してきたメディアン値探索回路の性能比較を行うため、TEGとして40入力のメディアンフィルタを3種類設計した。

参考文献： [1] B. L. Lee and C.-W. Jen, "Bit-sliced median filter design based on majority gate," IEE Proceedings-G, vol. 139, pp. 63-71, Feb. 1992.

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **試作ラン：**TEG (特性評価回路など)

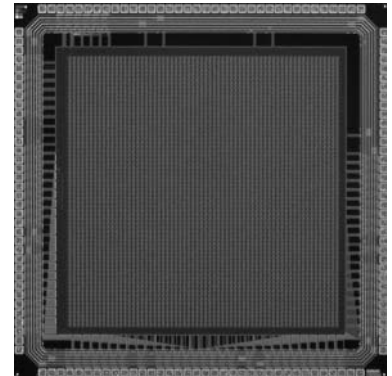


フォトダイオードアレイ

東京大学大学院新領域創成科学研究科 中下 友介

概要：イメージセンサに画像処理演算回路を搭載し出力を得た場合、どのような画像をセンサがとらえているのかの特定が難しい。入力画像と演算結果画像との比較をとることは、測定の上で必要不可欠であるが、入力が光という特殊な条件のため、全てのチップでその比較をとることは難しい。そこで、フォトダイオードアレイで構成した撮像チップを作成した。このチップと演算器搭載チップを同じソケットに載せ測定を行うことで、イメージセンサが捕らえている画像と、その演算結果を比較することが可能になる。また、CMOSイメージセンサの性能を左右するフォトダイオード単体の特性を調べるためのTEGも搭載し、様々なサイズのフォトダイオードにおける性能の違いを測定する。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **試作ラン：**イメージセンサ/スマートセンサ

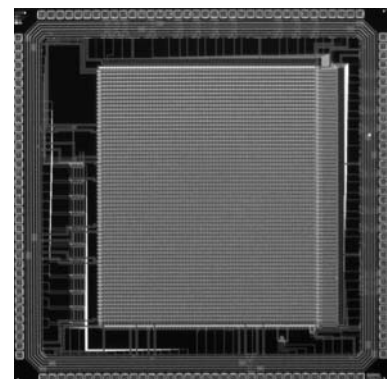


三次元集積人工網膜チップのための電流型人工網膜回路

東北大学大学院工学研究科 中川 源洋, 沈 正七, 栗野 浩之, 小柳 光正

概要：近年、生体の視覚情報機構を真似たneuromorphic vision chipの研究が注目されている。しかしながら、vision chipなどはイメージセンサの周辺に処理回路を配置するため、解像度、開口率を大きくできないなどといった問題点があった。更に、データ通信の際のバスボトルネックも高速動作の大きな弊害となっていた。そこで、LSIを三次元的に積層する三次元集積化技術をvision chipに用いることが提案されており、筆者らは三次元集積人工網膜チップの開発を目指している。本チップでは、その三次元集積人工網膜チップのための人工網膜回路の設計を行った。この回路は、人間の網膜の視細胞、水平細胞、双極細胞の持つコントラスト強調の機能を有している。本人工網膜回路にはアナログ回路技術を利用し、また、電流モードで動作させることにより、トランジスタ数の削減(省面積化)、広い動作範囲を実現している。1次元に配列した人工網膜回路の測定により、入力画像のコントラストを強調した結果が得られ、本回路の基本機能であるコントラスト強調が実現できたことを確認した。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **試作ラン：**イメージセンサ/スマートセンサ



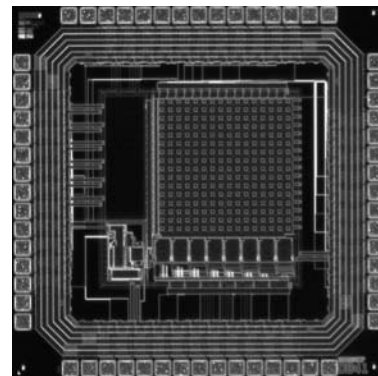
A/D変換器を内蔵した周波数変調パルス型イメージセンサ

東北大学大学院工学研究科 杉村 武昭, 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要: 人の生活環境のような複数移動物体を含むような動的環境においてロボットが周囲の環境の変化に素早く反応して活動するためには、視覚情報を高速で処理する必要がある。そのためにはどのような照明条件にあっても適切な感度領域へ自動的に適応し、高速に情報処理ができるビジョンシステムが求められている。本試作チップは、入射した光の大きさに応じて周波数変調パルスを出力する16×16ピクセルのイメージセンサとパルスをカウントしA/D変換を行う8つの並列カウンタから構成され、外部からの制御によりダイナミックレンジを適応的に変化させることで幅広いダイナミックレンジを実現することが出来る。本試作チップの測定の結果、700~1400lxの広いダイナミックレンジと、30~750frame/secの高速なフレームレートでの画像情報の読み込みを確認した。

参考文献: 杉村武昭, 出口淳, 沈正七, 栗野浩之, 小柳光正, "周波数変調パルス型イメージセンサを用いたロボットのための適応ビジョンシステム", pp. 106-107, 日本機械学会東北支部第39期総会・講演会講演論文集 No. 041-1 (2004)

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** イメージセンサ/スマートセンサ



積層型人工眼のための基本回路の試作

東北大学大学院工学研究科 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要: 加齢黄斑変性症や網膜色素変性症などにより視細胞が死滅して失明に至った患者の治療のために、患者の網膜を直接電気刺激して視覚機能を回復させる人工眼の開発が求められている。我々はLSIを3次元的に積層する3次元集積化技術を用いた積層型人工眼を提案している。この人工眼で用いる回路の基本的な動作特性を確認するために、今回、我々は単層構造から成る人工眼を試作した。人工眼回路は正極性パルスと負極性パルスを連続して出力する必要がある。また、それぞれのパルス幅、間隔、振幅は患者に合わせて調整することが求められる。これらの機能を実現するために、我々はアナログCMOS非同期回路を用いてこの回路の設計を行った。測定結果から人工眼回路の基本的な動作特性を確認することができた。

参考文献: [1] J. Deguchi et. al., "Three-Dimensionally Stacked Analog Retinal Prosthesis Chip," Proc. SSDM, pp. 402-403 (2003) .

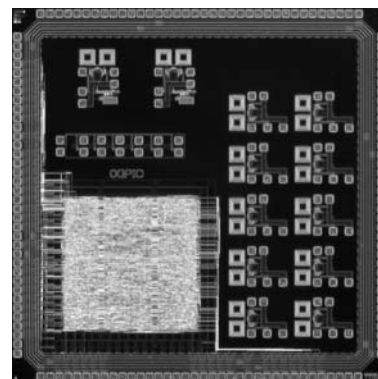
設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** イメージセンサ/スマートセンサ

相変化不揮発性メモリと長ビット数対応暗号処理LSI-IP及びLNA

金沢大学工学部 集積回路工学研究室 高田 雅史, 源 貴利, 橋 秀明, 伊藤 久浩, 北川 章夫

概要: 相変化不揮発性メモリとはVI族元素であるカルコゲン元素を記憶素子として用いた不揮発性メモリの一種である。本設計では、素子に流れる電流を幾つかの特性評価用回路にて計測することを目的としている。さらにメモリとしての動作を確立する為、周辺回路の構成やメモリコアの形状など一から見直し、新たに設計を行った。長ビット数対応暗号処理LSIとはRSA暗号よりも安全といわれている楕円曲線暗号処理をさらに長ビット化して安全性を常に確保するためのLSIをソフトIP化することを目的として、必要な演算器の高性能化を目指している。その第一歩としての試作を行った。他に本研究室で本年度から始めるRF混載システムLSI設計の為にチップ特性計測用の回路やLNAに代表されるRF構成回路の試作もまた行った。LSIテストを用いて試作チップの測定と検証を行うことが可能な部分については回路動作を確認することが出来た。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** アナデジ混載

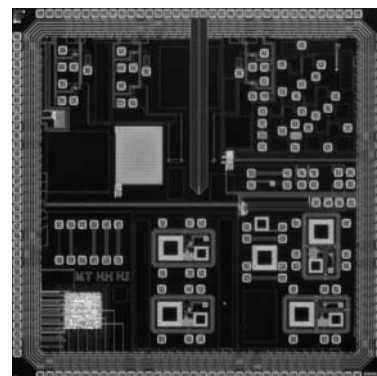


OGPIC マイクロコントローラ, VCO

金沢大学工学部 集積回路工学研究室 有賀 健太, 尾形 秀範, 北川 章夫

概要: MicrochipTechnology社マイクロコントローラPIC16F84の命令セット互換コントローラを作成した。これは、プログラムメモリ空間8kword, データメモリ空間が512byte, プログラム幅14bit, データ幅8bitである。命令数は35, スタック8レベル, 直接間接各アドレッシングモード, IOは双方向13ピンである。周辺機能として, 8bitタイマ, ピン変化割り込み, スリープモードを有する。Verilog-HDLで記述し, 合成した結果, 面積は4.9mm角チップの1/4程度であった。テストにより測定した結果, 性能は, 最高動作周波数:140MHz, 消費電力:動作時45mA@50MHz, 3.3V 待機時<2uA @3.3Vであった。正常動作を確認し, VDECにIPとして登録した。特定小電力無線での使用を目的としたVCOを設計した。センサネットワークを考えたとき, 特定小電力無線は現時点で最も実用的な無線通信規格の1つである。VCOの消費電力と性能(位相雑音)の関係を調べるために, 数種類を載せてある。また, バイアス電流を外付け可変抵抗器によって調整する構成も載せた。インダクタは前回試作の測定結果をもとに, 最適化されている。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** アナデジ混載

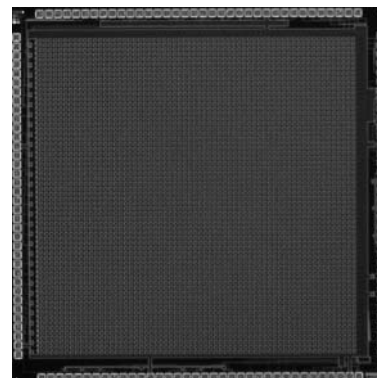


生体の網膜に学んだ二次元エッジ検出網膜チップの試作

豊橋技術科学大学工学部 澤 伸也, 米津 宏雄

概要: 我々は, 網膜の視覚情報処理機能に学び, 物体の輪郭情報を実時間で生成するエッジ検出網膜チップの提案とその集積回路化を試みてきた。提案する網膜チップは, 入力段である光センサ部に, 入力光の対数に比例した電圧の生成を行なう対数変換型光センサ回路が導入されている。これにより, 広範囲の光強度範囲に対応でき, 約5桁のダイナミックレンジを有することがSimulation Program with Integrated Circuit Emphasis (SPICE)を用いたシミュレーションにより確認されている。そこで, 本試作では, 単位回路を64 \times 64画素配列した二次元エッジ検出回路を試作した。試作チップの測定では, 各基本回路の動作を検証するとともに, 網膜チップの特性を評価することを目的とした。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** イメージセンサ/スマートセンサ

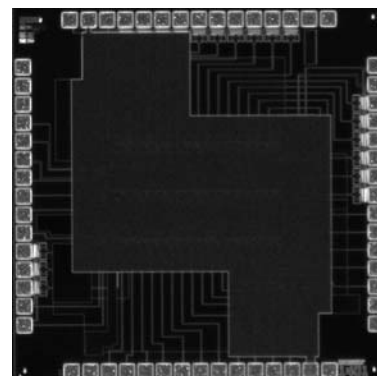


生体の網膜に学んだ一次元エッジ検出網膜チップの試作

豊橋技術科学大学工学部 澤 伸也, 米津 宏雄

概要: 我々は, 網膜の視覚情報処理機能に学び, 物体の輪郭情報を実時間で生成するエッジ検出網膜チップの提案とその集積回路化を試みてきた。提案する網膜チップは, 入力段である光センサ部に, 入力光の対数に比例した電圧の生成を行なう対数変換型光センサ回路が導入されている。これにより, 広範囲の光強度範囲に対応でき, 約5桁のダイナミックレンジを有することがSimulation Program with Integrated Circuit Emphasis (SPICE)を用いたシミュレーションにより確認されている。そこで, 本試作では, 単位回路を一次元に16個配列したエッジ検出回路を試作した。試作チップの測定では, 各基本回路の動作を検証するとともに, 網膜チップの特性を評価することを目的とした。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** イメージセンサ/スマートセンサ



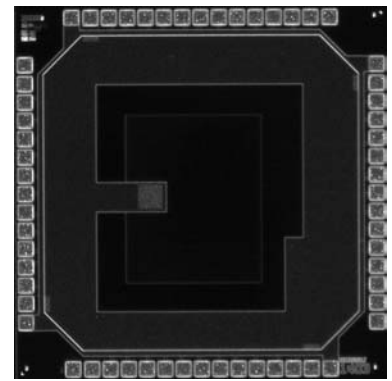
下等動物の視覚系に学んだ動き検出ネットワークを構成するアナログ基本回路の試作

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要：下等動物の視覚系に学んで、簡単な形状認識機能を有する物体の接近を検出する機能を実現するネットワークの提案とその集積回路化を行ってきた [1]。バットの脳に存在する下行性反対側運動検知細胞 (DCMD) では、網膜上に投影された画像の大きさとエッジの速度に対応する拡大速度の情報を組み合わせて、物体の接近を検出するとともに、接近速度および接近方向を検出している。また、カエルなどの下等動物は、エッジの情報を基に、簡単な形状を認識している。上述したネットワークを構成するアナログ基本回路を検証するために、チップを試作した。ここでは、回路を構成する全ての MOS トランジスタを最小線幅で設計した。試作チップの測定では、各アナログ基本回路の特性を評価する。

参考文献：[1] K. Nishio, H. Yonezu, M. Ohtani, H. Yamada and Y. Furukawa, "Analog Metal-Oxide-Semiconductor Integrated Circuits Implementation of Approach Detection with Simple-Shape Recognition Based on Visual Systems of Lower Animals", Optical Review, vol. 10, pp. 96-105, 2003.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 試作ラン：イメージセンサ/スマートセンサ



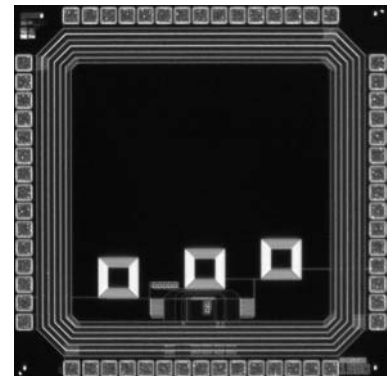
E 級 DC-DC コンバータ

福岡大学工学部 末次 正

概要：E 級増幅器を用いた DC-DC コンバータを製作した。整流器は同期スイッチング方式とし、インバートスイッチ、整流器スイッチ、インバータのシャントキャパシタ、同期整流器のシャントキャパシタ、これら 2 つのスイッチの駆動回路、共振インダクタ、共振キャパシタを集積した。出力電圧の制御はスイッチング周波数の周波数制御によって行う。動作周波数は無負荷で 800MHz として VCO を制御回路内に組み込んだ。共振インダクタのインダクタンスは 22nH, 共振キャパシタのキャパシタンスは 50pF とした。共振インダクタはメタル 3 レイヤーを用いて作成した。共振キャパシタはフローティングコンデンサレイヤを用いて作成した。

参考文献：Tadashi Suetsugu, Shuichi Kiryu, and Marian Kazimierczuk, "Feasibility Study of on-chip class E converter," Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS2003), Vol. III, pp. 443-446, 2003.

設計期間：0.1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 試作ラン：アナログ (PLL, A-D/DC-DC コンバータなど)

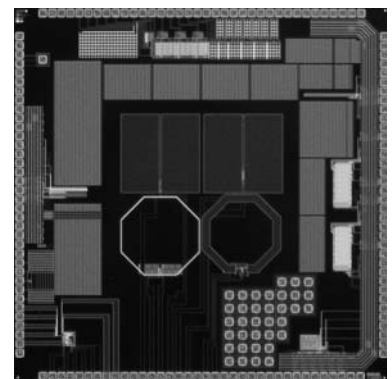


低 VTH 世代のためのアナログ回路および FPGA におけるリーク電流対策回路

東京大学生産技術研究所 石田 光一, Quang Canh Tran

概要：本チップには以下の評価回路が搭載されている。・アナログ回路におけるリーク電流の影響を評価する TEG・FPGA におけるリークカット回路 テクノロジーの進化に伴い、電源電圧は低下の一途をたどっている。将来的には、トランジスタを動作させるためにしきい値電圧を現在よりも大幅に低下させる必要が出てくる。しかし、しきい値電圧を下げるとリーク電流が増加してしまい、電力のほとんどを消費してしまうことになる。本研究では、アナログ回路および FPGA 回路におけるリーク電流の影響評価およびリークカット回路を提案する。アナログ回路におけるリーク電流の影響を評価するためのスイッチトキャパシタによる積分器回路。FPGA では MUX が多数用いられており、MUX の入力が H と L が混在したとき、H から L に流れるリーク電流がある。このリークを止めるための回路を設計した。閾値電圧が高いためリークはほとんど流れないのでリークエミュレータの回路も入れた。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：TEG (特性評価回路など)

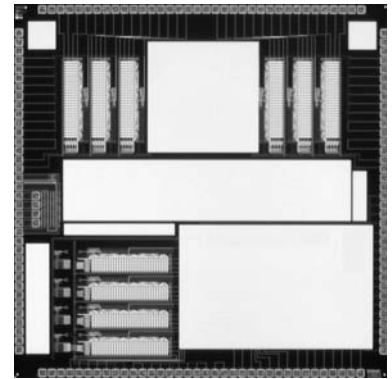


チップ間ワイヤレス伝送方式評価 TEG

東京大学生産技術研究所 稲垣 賢一, Danardono Dwi Antono

概要： チップの動作周波数が増加の一途をたどる中、チップ間のデータ伝送については入出力回路およびチップ間配線がネックとなり、速度向上のペースが遅れている。本試作ではいくつかのタイプの容量結合式チップ間ワイヤレス伝送方式をテストする。2つのチップを対向させてそれぞれのパッド間に容量結合を形成し、多数の信号を同時に授受することによりスループットの向上を図るものである。しかし、入出力回路の密度が向上するにつれて周囲のパッドからの信号がノイズとして見えてしまう。この評価のため2パターンの容量結合型ワイヤレススーパーコネクタ (WSC) のテスト回路を搭載している。また、オンチップ型ワイヤレススーパーコネクタ (WSC) の動作を確認するためのシステムを設計した。送信側から複数の周波数の信号を送り込んで、受信側で信号を受け取り動作を確認する。また信号の送受信に使われるパッドも数種類を用意する。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **試作ラン：**TEG (特性評価回路など)



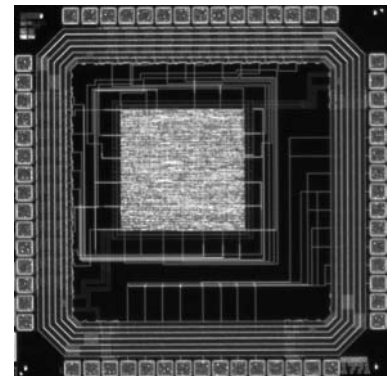
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要： SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz, 14b の AD コンバータが実現できる。本チップではダウンサンプリング係数 128 のデシメーションフィルタを試作した。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**アナログ (PLL, A-D/DC-DC コンバータなど)



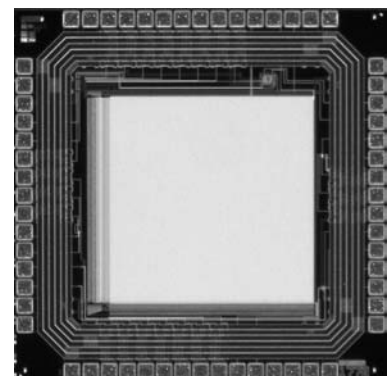
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要： SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz, 14b の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**アナログ (PLL, A-D/DC-DC コンバータなど)



フレキシブル・プロセッサ (FP-2+)

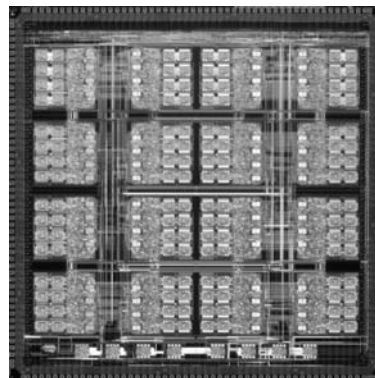
東北大学大学院工学研究科 大川 猛, 藤林 正典, 山下 雅房, 宮本 直人, カルナン レオ,
喜多 総一郎, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要: 回路を動的に再構成できる「フレキシブル・プロセッサ (FP-2+)」を開発した。前回試作のFP-1をベースとして、128個のフレキシブルモジュールを集積した。8個のフレキシブルモジュールを1クラスタ化し、16クラスタで1チップを構成する階層的プログラマブル配線アーキテクチャを実装している。FP-2は大規模デジタル回路のエミュレーションを単一のチップで行う、低コストなパーソナルエミュレータに搭載することを前提として設計されており、一つの回路を適切に分割し、順次実行することでオリジナルの回路の機能を実現する「回路の時分割実行機能」を備える。回路構成情報を外部メモリから逐次ダウンロードすることで、無限大規模のLSI論理エミュレーションを行うことができる。

参考文献: Takeshi Ohkawa, Toshiyuki Nozawa, Masanori Fujibayashi, Naoto Miyamoto, Karnan Leo, Soichiro Kita, Koji Kotani and Tadahiro Ohmi, "The Flexible Processor - Dynamically Reconfigurable Logic Array for Personal-use Emulation System," 2003 Symposium on VLSI Circuits, Digest of Technical Papers, pp. 279-282

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **試作ラン:** マイクロプロセッサ



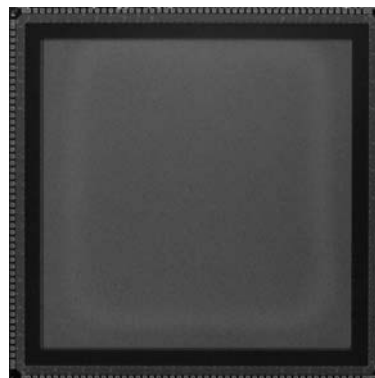
200×200画素三相時間相関イメージセンサ

東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

概要: 我々は高度な画像センシング手法の開拓を目的として、入射光強度と各画素共通の外部参照信号との時間相関を画像として出力する時間相関イメージセンサの開発を続けている。本試作では、最小線幅0.35 μ m、チップ面積9.8mm角という高解像化に最適な条件を最大限活用し、オンセミコンダクタの試作で継続的に成功を挙げているNMOS乗算・PMOS積分型三相時間相関イメージセンサ [1] の200×200画素集積化を試みた。これまでローム0.35 μ mのプロセスでは設計ミスによるものを含め、試作チップがなかなか期待通りに動作しなかった [2] - [5] が、本試作に至ってようやく満足できる動作性能を示すチップを製作することができ、本プロセスにおける試作での見通しが得られた。従来に比べて画素数が多いため、横方向アドレスについて2画素同時に並列読み出しを行っている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **試作ラン:** イメージセンサ/スマートセンサ



128×128画素時間相関イメージセンサ (第5報)

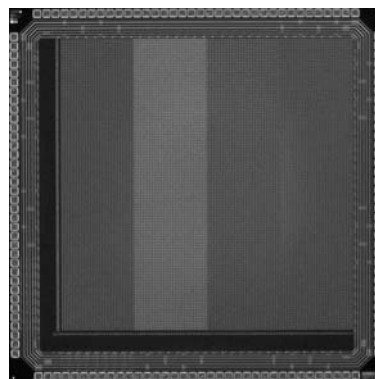
東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

概要: 我々は高度な画像センシング手法の開拓を目的として、入射光強度と各画素共通の外部参照信号との時間相関を画像として出力する時間相関イメージセンサの開発を続けている。本試作では性能悪化の一因と疑われるキャリアの漏洩の影響を評価するため、NMOS乗算・PMOS積分型の128×128画素時間相関イメージセンサ [1] におけるフォトダイオード・乗算用NMOS・読み出し用PMOS・積分用PMOSの間の基板・ウェル電位固定用ガードリングの形態を何通りかに変えた画素を混載したレイアウトを設計した。評価実験の結果では、ガードリングの有無による積分用PMOSの面積の増減の影響とキャリアの漏洩による影響との明確な分離を行うことが難しいことを確認した。

参考文献: [1] 安藤, 来海: 128×128画素時間相関イメージセンサ (第4報), 2002年度VDEC年報 (2003) .

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** イメージセンサ/スマートセンサ



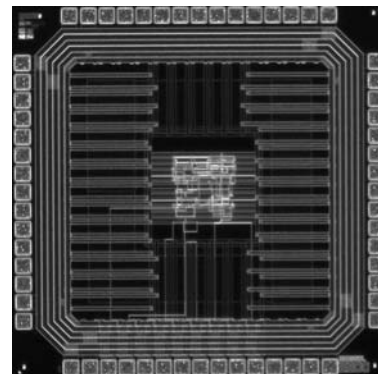
液晶表示コントローラの試作

東京大学大学院情報理工学系研究科 高松 誠一

齋藤 宏, 酒造 正樹, 下山 勲, , , ,

概要: 我々の研究室で試作した液晶を駆動する液晶表示コントローラを試作した。試作した液晶は、縦横に配置された電極に電圧を印加することによって画素を点灯する単純マトリックス方式である。電極間に印加する電圧を交流（方形波）にすることによってデジタル出力（5V）での直接駆動が可能である。液晶表示コントローラに必要な機能は次の2つである。画像データ入力に対し液晶上でどの画素に電圧を印加するかを選択する出力する機能と与えられた画素に方形波を出力する機能である。今回、後者の機能をチップによって実現した。詳細は次のとおりである。画像を表示する液晶は縦2入力、横2入力の4画素の単純マトリックスである。試作したチップの入力は、2MHzのクロック入力と4つの画素を選択する入力がある。出力は画素の2×2の電極にクロック入力を1/1000に分周をした方形波を出力する。検証としては、画素の選択部分はスイッチで代用し、研究室で試作した液晶を駆動することに成功した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** その他



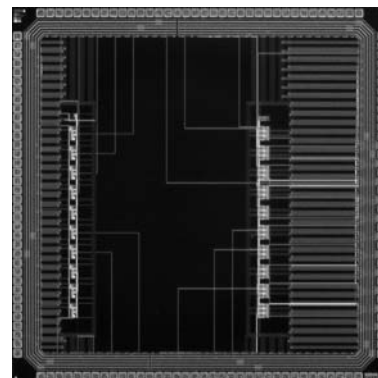
メディカルイメージング用チップ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章

東京大学人工物工学研究センター 高橋 浩之

概要: ラジオグラフィ、PET、SPECTなどのメディカルイメージングにおいて高い解像度を得るためには、多チャンネルの計測回路が必要である。特に最近注目されている広いダイナミックレンジと高い画質を可能にするフォトンカウンティングによるイメージングを実現するためには、大規模かつ高速な多チャンネルのパルス計測回路が必要である。このためには、通常のディスクリット回路を用いたのでは、回路規模およびコストの点で問題が多い。ここでは、多チャンネルのパルス信号処理回路として、10チャンネルの信号波形整形回路、およびディスクリミネータを集積したチップを試作した。本チップと10チャンネルのプリアンプを組み合わせることで、外付け部品はほとんど不要でメディカルイメージング用のフロントエンド回路が構成される。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)



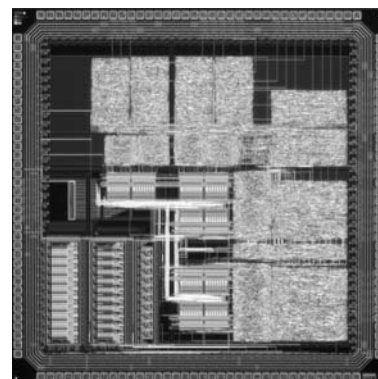
PET用フロントエンドチップ

東京大学大学院工学系研究科 石津 崇章, Yeom Jung Yeol

東京大学人工物工学研究センター 高橋 浩之

概要: PET（ポジトロンCT）は体内に投与された薬剤から出るポジトロンが消滅する際に互いに反対方向に放出される2本のガンマ線を外部においたガンマ線位置検出器で計測する。現在開発の進められている次世代PETにおいては、数ナノ秒の時間分解能を有し1mm程度までの位置分解能で入射位置を求める必要がある。本チップは10チャンネルのPET（ポジトロンCT）用フロントエンドチップに修正を加えたもので、光電子増倍管およびアバランシェフォトダイオードから得られる信号を接続し高速のADCで信号波形を記録し、信号パルス間の時間情報と波高情報を記録・解析するものである。得られた6ビットの波形データはチップ上のFIFOメモリに一時記録された後、シリアルデータとして読み出され、外部におかれた波形解析モジュールにより解析されることを想定している。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** アナデジ混載

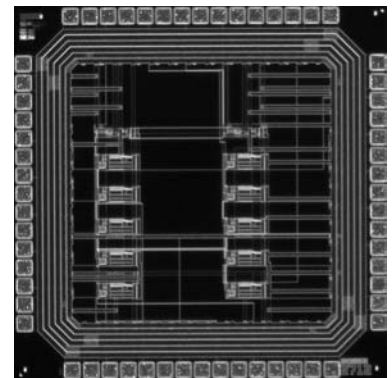


多チャンネルプリアンプ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章
東京大学人工物工学研究センター 高橋 浩之

概要: 放射線イメージングにおける多チャンネルパルス計測のためには、検出器から得られる微弱なパルス信号を高速に処理し、かつ高い信号対雑音比で計測することのできる、検出器と直接接続可能なプリアンプが多数必要となる。従来の接合型FETを用いたディスクリート回路では、十分に高い信号対雑音比が得られていたが、CMOS集積回路を用いると、MOSFETの1/f雑音の影響などから信号対雑音比があまり高くとれず問題となっていた。ここでは、ブーステッドゲインカスコード型の増幅器を採用し、初段トランジスタの増幅度をきわめて大きくとって、等価雑音電荷で340電子、立ち上がり時間15nsと通常のディスクリート回路と比較しても遜色ない雑音性能と高速性を実現した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)



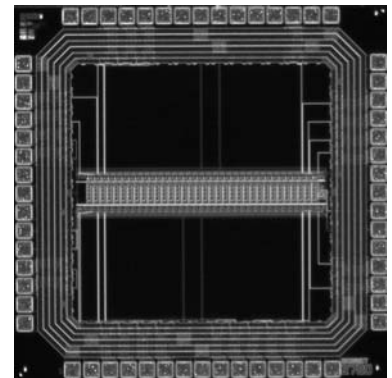
高速サンプリングを目指したアナログメモリの開発

東京農工大学大学院工学研究科 木下 拓也, 棚沢 謙和

概要: 本研究のアナログメモリは、高エネルギー物理実験において検出されたアナログ電気信号を高速サンプリング (500MHz) することによってアナログ的に一時記録し、トリガーが生成された際に低速で出力 (10MHz) する。この働きによって、多チャンネルの高速信号を安価にしかも低消費電力で実現できる。アナログメモリは主に、サンプリング動作シフトレジスタ、読み出し動作のシフトレジスタ、メモリーセル (書き込み用CMOSスイッチ、メモリコンデンサ、読み出し用CMOSスイッチを接続したセル)、そしてオペアンプによって構成される。6月のチップ試作に32個のメモリコンデンサを搭載し、出力バッファにオペアンプを使用したアナログメモリ (03june) を提出した。性能評価として、アナログ電気信号のサンプリングとアナログメモリ内に記録したアナログ電気信号の低速出力確認を行い、アナログメモリの基本動作ができることを確認した。詳細な性能評価は8月提出のアナログメモリ (03aug) でのみ行った。

参考文献: 『A 700-MHz Switched-Capacitor Analog Waveform Sampling Circuit』 Gunther M. Haller, Member, IEEE, and Bruce A. Wooley, Fellow, IEEE, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 29, No. 4, APRIL 1994

設計期間: 10人月以上 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** メモリ

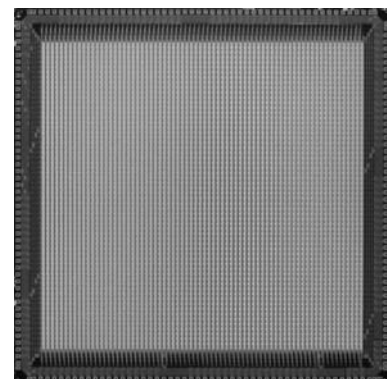


PWM方式画素並列2次元ガボールフィルタ回路

九州工業大学大学院生命体工学研究科 森江 隆
広島大学大学院先端物質科学研究科 梅澤 淳, 岩田 穆

概要: ガボールウェーブレット変換は画像の局所的な空間周波数を抽出することができ、顔認識や医療画像診断などで威力を発揮する強力な特徴抽出法として知られているが、計算量が膨大なため応用が限られていた。LSI化して計算時間を短縮するためには処理の並列化が鍵だが、すでにB. E. Shiによって抵抗ネットワーク型セルラーニューラルネットワークによる画素並列計算モデルが提案されていた。しかし、このモデルには高い演算精度が必要、窓関数がガウス型にならず空間・周波数領域での不確定性関係が最小になっていない、演算ステップが多い、などの問題があった。今回、これらの問題を解決した改良モデルを考案し、我々が以前から提案しているPWM信号を用いたアナログ・デジタル融合回路アーキテクチャにより、チップ化を図った。9.8mm角のチップに61x72画素分の回路を集積し、それらが並列で動作する。ロジアナを用いた測定により (テストは使用せず)、インパルス動作、空間周波数抽出動作を確認した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **試作ラン:** アナログ/デジタル信号処理プロセッサ

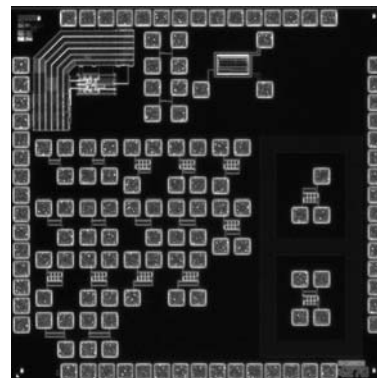


インピーダンス変換回路用 TEG の設計

大阪府立大学先端科学研究所 田中 智之, 中尾 基, 泉 勝俊

概要: LSI のデバイス・プロセス及び回路設計技術の進展により, その駆動用電源電圧は低くなってきている。これによりデジタル回路ではさほど問題にはならないが, アナログ回路では様々な問題が発生する。我々は低消費電力増幅回路の設計を今後の目標としており, 本試作はその準備と捉える。また, 当研究室では, 以前よりデジタル回路の設計を中心に行ってきたが, 今回, 初めてアナログ回路設計に取り組んだ。増幅回路を次段の回路につなぐ際, バッファ等を挿入せずに接続すると前段の増幅回路の出力インピーダンスが低下し, 所望の特性が得られない。本設計では, 出力バッファの特性把握を目的とし, 次段の高負荷を駆動するために様々なデバイス寸法でバッファを設計した。また, 当研究室初のアナログ回路の設計であり, その設計手法の習得も目的とした。測定においては, 特に低電源電圧特性及び雑音特性等に注力した。回路構成が非常にシンプルなため, 各特性はプロセスに依存する部分が多いと考えられるが, 今後の設計予定のアプリケーションへの準備としてのデータは揃えることができた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.35 μm 2.4mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)

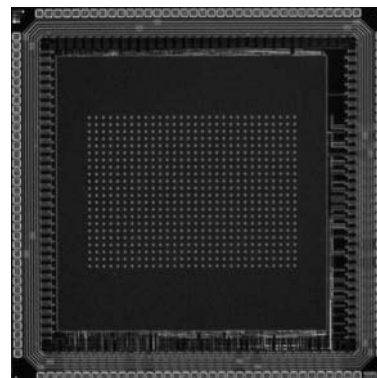


差分光再構成型ゲートアレイ

九州工業大学 渡邊 実

概要: 高速に再構成が可能な差分光再構成型ゲートアレイ ODRGA (Optically Differential Reconfigurable Gate Array) -VLSI を開発した。このデバイスでは, チップ表面に並べられた受光素子に対してプログラム光を照射することで, ゲートアレイ部の回路を瞬間的に再構成することが可能である。また, この VLSI では差分再構成手法を用いることでビット単位での再構成が可能となっている。この度の設計では, フォトダイオード受光部のサイズを 25.5 μm ×25.5 μm , その間隔を 99 μm とし, 592 個のフォトダイオードを実装した。設計には VHDL 言語を使用し, 一部のセル, 受光部とトランスミッションゲートのみをカスタムセルとして設計し, 他のゲートアレイ部はスタンダードセルによって構成した。ゲートアレイ部は, 4 ビット入力 LUT (Look-Up Table) を 1 個持つ論理ブロックが 4 個, スイッチング・マトリックスが 5 個, 8 本の配線チャネル, 16 ビットの I/O の構成である。

設計期間: 0.1 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm 角 **試作ラン:** ニューテクノロジー

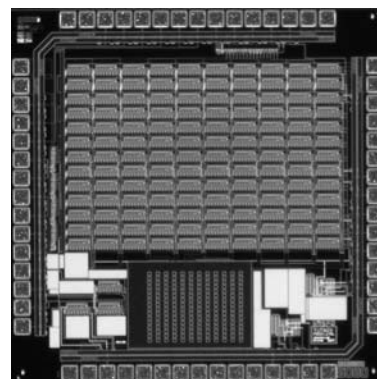


電流モード多値可変空間フィルタ検出器チップ

東京工業大学大学院理工学研究所 GO HYUNMIN, 高山 潤也, 大山 真司,
小林 彬

概要: 2次元あるいは3次元の空間情報を処理できる空間フィルタ検出器を集積化した電流モード多値可変空間フィルタ検出器チップを試作した。前回の試作で評価したフォトダイオードの出力特性を考慮し, 画素数と面積をチップの大きさにあわせて再設計した。各画素からの光電流にはアナログ回路によって荷重をかけるが, その際荷重情報は外部からのインタフェースによりコントロールでき, 7 ビットの多値空間荷重を高速に書き換え, 出力信号の読み出しも高速に行える。評価ボードにより入力に対して出力信号の変化を確認したが, 必ずしも所望の動作ではなかったため, テスターによる詳しい動作テストを現在続けている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μm 2.4mm 角 **試作ラン:** イメージセンサ/スマートセンサ



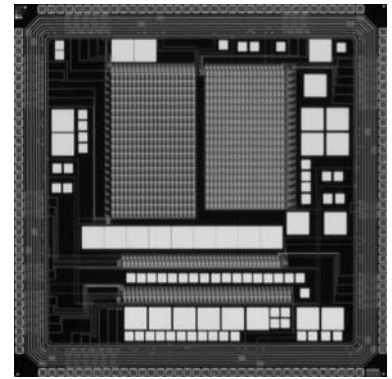
2次元時間フィルタレイの設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要: 実環境でダイナミックに変化する視覚情報を処理する場合、空間的な処理のみならず、時間的な処理も重要である。本チップは、前段のイメージセンサからの出力画像（電圧）を受け、画素ごとに時間的な積分あるいは微分を行うアナログチップである。前段のイメージセンサとしては、本研究室で既に開発されたシリコン網膜を用いることを想定しており、本チップと合わせて入力画像に対して時空間フィルタリングを実行する。積分回路は、連続2時刻間での重み付け平均を計算する。また、微分回路は、連続2時刻間での入力の差分を計算する。2次元的な画像情報の処理を目的としているため、積分回路、微分回路それぞれについて20x20画素のアレイを構成した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:**

10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



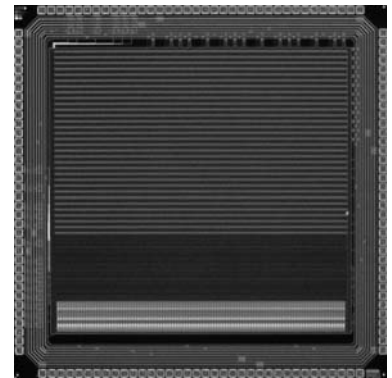
擬似2次元シリコン網膜の設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

広島大学先端物質科学研究科 亀田 成司

概要: シリコン網膜チップは、生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった利点を持つ。今回の設計では、自然照明下における実時間画像処理を基本視座とし、疑似2次元型アナログシリコン網膜チップを製作した。今回試作したシリコン網膜チップは、125x32画素の光センサ部と125x1画素の処理部から構成される。水平方向について1列ずつ並列に1次元ラプラシアン・ガウシアン型のフィルタ処理が行われ、処理結果が1画素ずつ順に読み出される。また、十分な出力精度を得るために、光センサ部にアクティブピクセルセンサを用い、回路の特性のばらつきを補償する機構を付加している。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン:** イメージセンサ/スマートセンサ





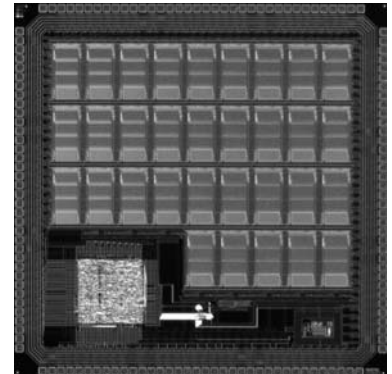
(R035032)

システムLSIの試作

大阪工業大学工学部 久津輪 敏郎, 荒木 英夫, 星野 聖彰, 尾川 広和

概要: CPUとメモリ・周辺回路・クロック通倍回路を1つのLSI上に実現し, 1つのチップで, システムの機能を搭載することのできるシステムLSIの試作を行った. CPUと周辺回路は前回のモトローラのものと同様機能をもったシステム(NR8D)である. NR8Dはノイマン型RISCタイプの8bitのマイクロプロセッサに割り込みコントローラやシリアル通信コントローラ等の周辺回路を結合したシステムである. PLLは5倍の周波数シンセサイザで構成し, 外部からの20MHzのクロックを内部で100MHzにすることができる. SRAMは32,768bit=4kbyteである. クロックとSRAMは内部のものと外部のものを選択できるようにしている. CPUと周辺回路は論理合成ツールを用いて自動でレイアウトを生成したが, SRAMとPLLは手設計によりレイアウトを行った.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** マイクロプロセッサ



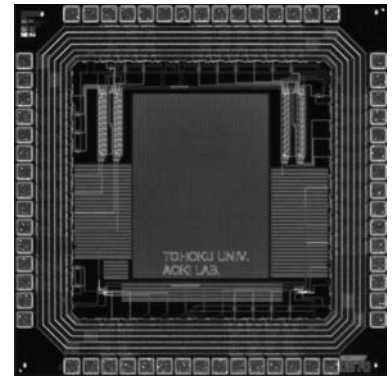
Counter Tree Diagramに基づく冗長2進加算器の設計および試作

東北大学大学院情報科学研究科 若松 泰平, 本間 尚文, 青木 孝文

東北工業大学工学部電子工学科 樋口 龍雄

概要: 本研究グループでは, 加算器の統一的な表現が可能な Counter Tree Diagram (CTD) および CTDに基づく設計手法を提案している. CTDを設計に用いることの利点は, 冗長数系や多進数系に基づく加算アルゴリズムの解析が可能であり, 冗長数系や多進数系に基づく高性能な加算アルゴリズムの導出が可能となる点にある. CTDによって導出された高性能な加算アルゴリズムを適用することにより, 実現方式にとらわれず, 高性能な回路を容易に設計できる. 本試作では, 提案するCTDを利用して, 冗長2進 (Redundant Binary) 数系に基づく加算器 (RBA) の設計を行った. RBAは, 桁上げ伝搬の制限された高速な演算が可能な加算器として知られている. RBAは, CTDを用いた解析により, 内部信号の符号化の違いから Type-I と Type-II の2種類の回路方式に分類されることが分かった. 本試作では, Type-I と Type-II の2種類の回路を, 電流モード多値論理回路によって実現した. なお, 従来の2値論理によって実現した場合においても高性能な回路となることをシミュレーションにより確認した. 本試作チップは, 現在評価中である.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)

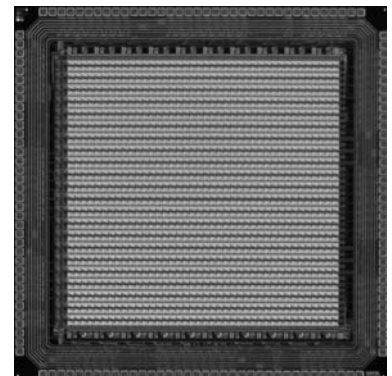


パルス幅変調方式の列並列データ送受信回路を有する画像処理チップの開発

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要: 超並列の回路構造により高速に画像情報を処理するビジョンチップにおいて, 単位面積あたりの画素数と処理機能の複雑さはトレードオフの関係にある. この問題を解決するため, 複数のチップで処理を分担することで, チップサイズを広げることなく単位面積あたりの画素数を向上させるマルチチップシステムが研究開発されている. 今回は, 列並列データ転送可能な画像処理チップを設計した. 各画素はアナログメモリ, 抵抗回路網, ばらつき補償回路で構成されている. 外部の撮像装置からの画像情報を各画素のアナログメモリに転写し, 抵抗回路網で空間的な平滑化演算を超並列に実行する. 画像情報の入出力にはパルス幅変調方式を利用することで, 転送経路に付加される雑音に強い. また転送回路を列並列に配置することで高速データ転送を可能にしている. 画素数は40 \times 44, 画素サイズは98.2 μ m \times 66.6 μ mである.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** アナログ/デジタル信号処理プロセッサ

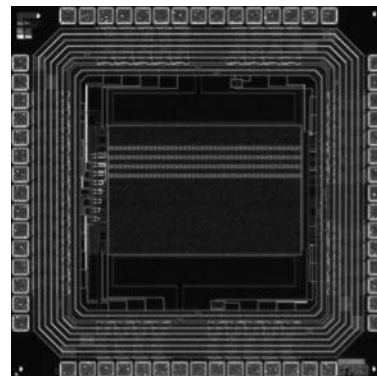


シリコン網膜に使用する抵抗回路網のTEG

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要: シリコン網膜は、生体視覚系の並列画像処理機構をアナログCMOS集積回路により模擬したもので、各画素に光センサ回路と処理回路を配置することで高速に画像処理を実行できる。シリコン網膜の研究において処理回路としてよく使われるのが抵抗回路網である。生体視覚系では細胞間に電氣的・化学的な結合がある。これを抵抗として表現して形成したものが抵抗回路網である。工学的な集積回路化に適しており、超並列の回路構造による空間的に広範囲なフィルタの形成を可能にする。本試作では抵抗回路網の特性を調べるために、1次元に配置した抵抗回路網のTEGを設計試作した。画素数は45画素である。2種類の抵抗回路網を並べ比較できる構成にしている。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)

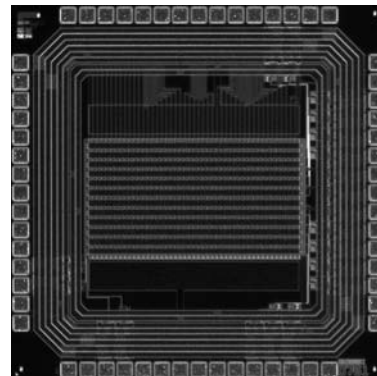


ビジョンチップに使用する光センサ回路のTEG

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要: 各画素に光センサ回路と処理回路を配置することで高速に画像処理を実行するビジョンチップにおいて、光センサの特性を評価することは重要である。本試作では、ビジョンチップに使用される光センサ回路において特に注意すべきパラメータである、固定パターンノイズおよび感度を測定するためのTEGを設計試作した。CMOS標準プロセスのイメージセンサとして一般的に使用されているアクティブピクセルセンサ (APS) の構成を様々に変更したものを12種類用意した。受光エリアの大きさは統一し感度を比較できるようにしている。そして、同種の回路を46画素1列に並べることで、固定パターンノイズの影響を確認できる構成にしている。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** TEG (特性評価回路など)



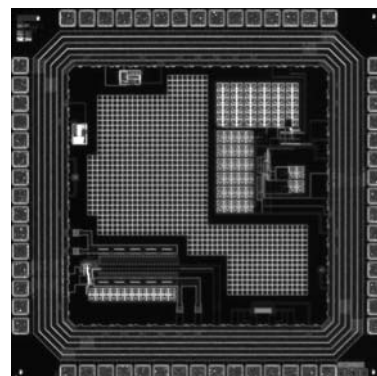
D級アンプ, バンドギャップリファレンス回路, スイッチトキャパシタ DC-DC コンバータ ver. 2

早稲田大学電気・情報生命工学科 釣井 雄介, 阿部 博明, 高須 甲斐, 佐々木 昌弘, 松本 隆

概要: 近年、パワーアンプの小型軽量化, 高効率化が求められてきた。本チップでは一般に低消費電力という事で用いられているD級アンプに対し, 4次バターワースLPF, Feedback, Self Oscillating System, Schmitt Triggerを用いて構成し, 性能向上をはかった。また, ほとんどのプロセスパラメータは温度と共に変化してしまうため, 多くのアナログ回路では温度に対する依存性をほとんど示さないReferenceは必要不可欠である。ここで, 正負のTCの特性が最もよく定式化されたデバイスであるバイポーラトランジスタをCMOS技術で実現し, 逆の温度依存性を持つ性質を打ち消しあう事でband Gap Reference回路を設計した。さらに, 2003年2月に設計を行ったDC-DCコンバータをフィードバック方式をPFM制御に変えて設計した。DC-DCコンバータの測定を行った結果, 前回のものに比べて若干性能は劣るものの効率80%を維持したまま省面積化を図ることが出来た。

参考文献: [1] Hadidi, 釣井, 佐々木, 松本"CMOSスイッチトキャパシタDC-DCコンバータ"2003年電子情報通信学会総合大会 (2003)

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



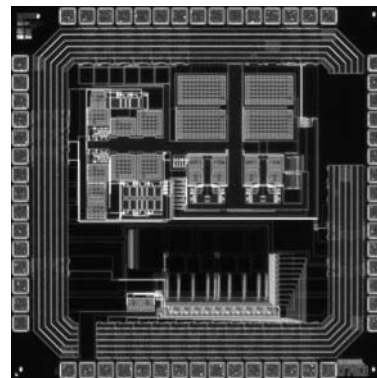
神経センシング LSI 評価 TEG

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆

概要: 生体活動と神経活動の関係を正確に把握するため, 生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている. 小脳の神経信号を検出する神経信号センシング LSI を評価するため, ダイレクトチョップ方式低雑音増幅回路および逐次比較形 Analog-to-Digital Converter (ADC) TEG の設計・試作を行った. 我々が提案したダイレクトチョップ方式低雑音増幅回路は, 低周波雑音の存在する CMOS 演算増幅回路で, 実際に数十 μV 振幅の神経信号を検出できることを示した. またチップ評価結果より, 低雑音増幅回路の入力換算雑音は $4.4\text{nV}/\sqrt{\text{Hz}}$, 消費電力は 5.7mW である. ADC は抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し, 10 ビット分解能, サンプリング周波数 50kHz において, 消費電力 $410\mu\text{W}$, SN 比 56.1dB を実現した.

参考文献: [1] 吉田毅, 真下隆行, 赤木美穂, 岩田穆, 吉田将之, 植松一眞, 1 チップ無線・神経信号センシング LSI の設計, 電子情報通信学会 信学技報, ICD2003-86, 2003 年 9 月.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



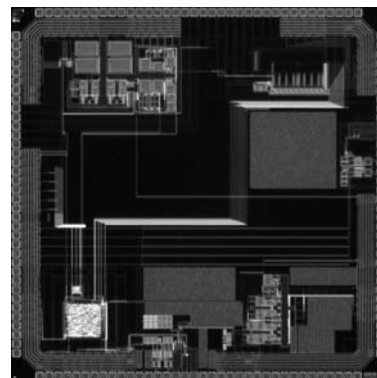
1 チップ無線・神経センシング LSI の設計

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆

概要: 生体活動と神経活動の関係を正確に把握するため, 生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている. 本研究では小脳の神経信号を検出し, 検出信号を無線で送信する神経信号センシング LSI の設計・試作を行った. 設計した神経信号センシング LSI は, ダイレクトチョップ方式低雑音増幅回路, 逐次比較形 Analog-to-Digital Converter (ADC), 無線送信回路によって構成されている. 我々が提案したダイレクトチョップ方式低雑音増幅回路は, 低周波雑音の存在する CMOS 演算増幅回路で, 実際に数十 μV 振幅の神経信号を検出できる. ADC は抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し, 10 ビット分解能, サンプリング周波数 50kHz , 消費電力 $230\mu\text{W}$ を実現する.

参考文献: [1] 吉田毅, 真下隆行, 赤木美穂, 岩田穆, 吉田将之, 植松一眞, 1 チップ無線・神経信号センシング LSI の設計, 電子情報通信学会 信学技報, ICD2003-86, 2003 年 9 月.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appollo, SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS $0.35\mu\text{m}$ 4.9mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)

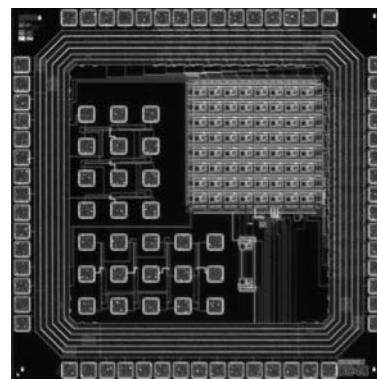


電気的中心窩構造実現のための要素回路

東北大学大学院工学研究科 中川 源洋, 沈 正七, 栗野 浩之, 小柳 光正

概要: 半導体素子製造技術の進歩により, イメージセンサの画素数が急激に増加している. しかし, 取り扱うデータ量が増大してしまい, 高速な画像処理を困難にしている. 一方人の視覚情報処理システムでは, 網膜の中心に解像度の非常に高い領域 (中心窩) を持ち, それ以外の周辺の部分では解像度を落とすことで, 全体のデータ量を抑えている. このような中心窩構造を工学的に応用しようという動きが盛んである. しかしながら, 中心窩部で視覚対象を捉えるには, 非常に高速かつ正確な光学系の制御が必要となってしまう. そこで, 筆者らは不応期と受容野という 2 つの概念を用い, 電気的に中心窩の位置を移動できる手法を提案した. 本チップは, 前述の手法のハードウェア化に必要な, フォトセンサ, Winner-Take-All 回路, 不応期発生回路, 受容野サイズ制御回路のテスト回路の設計を行い, その検討を行った. 更に各回路の評価を行い, その基本的な動作を確認した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 **試作ラン:** イメージセンサ/スマートセンサ

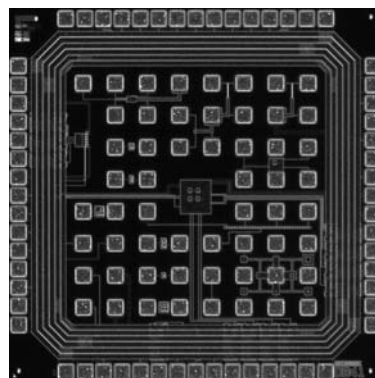


ロボットビジョン用イメージセンサのための TEG

東北大学大学院工学研究科 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要: ロボットビジョン用高速リアルタイム画像処理システムの開発のために、我々は LSI を 3 次元的に積層する 3 次元集積化技術を用いた画像処理システムを提案している。本チップでは、このシステムで用いられる光センサ部であるイメージセンサのための TEG を試作した。このイメージセンサは広範な環境で利用可能なロボットビジョンで用いることを想定し、チップに供給するバイアス電圧の制御により入力光に対するダイナミックレンジの調整が可能である。試作チップを用いて、フォトダイオード/フォトトランジスタ特性の評価、イメージセンサの単位ピクセルの特性評価を行った。今後は、特徴検出やオプティカルフロー演算による動体検出機能などを搭載したチップを試作し、ロボットビジョンのための高速リアルタイム画像処理システムの開発を目指す。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist



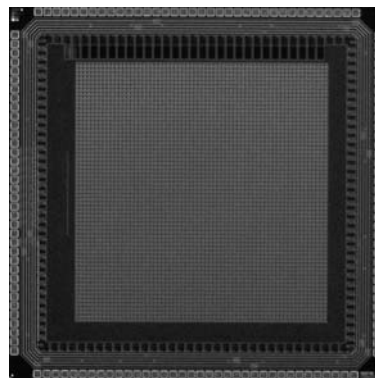
トランジスタ数: 100 以上, 1,000 未

ロボットビジョン用イメージセンサの試作

東北大学大学院工学研究科 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要: ロボットビジョン用高速リアルタイム画像処理システムの開発のために、我々は LSI を 3 次元的に積層する 3 次元集積化技術を用いた画像処理システムを提案している。本チップでは、このシステムで用いられる光センサ部である 64×64 ピクセルのイメージセンサを試作した。このイメージセンサは広範な環境で利用可能なロボットビジョンの実現を目指して、チップに供給するバイアス電圧制御で入力光に対するダイナミックレンジの調整が可能である。今後は、特徴検出やオプティカルフロー演算による動体検出機能などを搭載したチップを試作し、ロボットビジョンのための高速リアルタイム画像処理システムの開発を目指す。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist



トランジスタ数: 10,000 以上, 100,000 未満

試作ラン: ローム CMOS 0.35μm 4.9mm 角 **試作ラン:** イメージセンサ/スマートセンサ

3 次元集積化技術を用いた超並列・パイプライン画像処理チップの設計

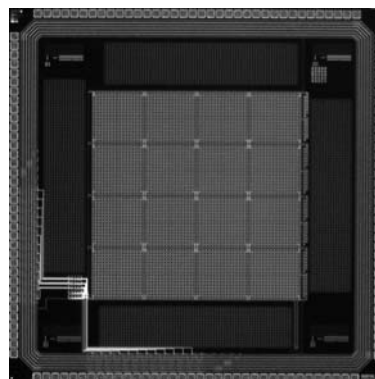
(1) センサアレイレイヤ

東北大学大学院工学研究科 河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正

概要: 近年様々な分野でデジタル画像処理が応用されているが、各画素を逐次的に処理する従来の方式では高速化のニーズに対応できない。我々はこの問題を打破すべく、3 次元構造を有する LSI を用いた画像処理システムを提案してきた。本システムはセンサやアンプ、ADC、メモリ、ALUなどを搭載した LSI 層が 3 次元に積層化された構造をしており、各層間は垂直配線で接続されている。各層内では並列に、層間ではパイプラインで処理を行なうことにより高速化を図る。今回は入力画像のエッジ抽出を行なう画像処理用 3 次元 LSI を設計した。8×8 画素に対して画像処理を行なうプロセッシングユニット (PU) が 3 層に渡って形成されている。ユニット内で 8×8 画素のデータについてパイプライン処理を行ない、またユニット間で並列に動作させ、システム全体で 1 フレームを高速に処理する。なお本チップはセンサアレイ部である。

参考文献: D. Kawae et. al., "Parallel Image Processing LSI Fabricated Using Three-Dimensional Integration Technology", Proc. SSDM, pp.314-315, 2002.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre



トランジスタ数: 10,000 以上,

100,000 未満 **試作ラン:** ローム CMOS 0.35μm 4.9mm 角 **試作ラン:** イメージセンサ/スマートセンサ

3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計

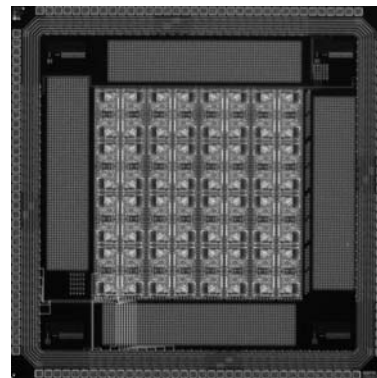
(2) レジスタアレイレイヤ

東北大学大学院工学研究科 河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正

概要: 近年様々な分野でデジタル画像処理が応用されているが, 各画素を逐次的に処理する従来の方式では高速化のニーズに対応できない。我々はこの問題を打破すべく, 3次元構造を有するLSIを用いた画像処理システムを提案してきた。本システムはセンサやアンプ, ADC, メモリ, ALUなどを搭載したLSI層が3次元に積層化された構造をしており, 各層間は垂直配線で接続されている。各層内では並列に, 層間ではパイプラインで処理を行なうことにより高速化を図る。今回は入力画像のエッジ抽出を行なう画像処理用3次元LSIを設計した。8×8画素に対して画像処理を行なうプロセッシングユニット(PU)が3層に渡って形成されている。ユニット内で8×8画素のデータについてパイプライン処理を行ない, またユニット間で並列に動作させ, システム全体で1フレームを高速に処理する。なお本チップはレジスタアレイ部である。

参考文献: D. Kawae et. al., "Parallel Image Processing LSI Fabricated Using Three-Dimensional Integration Technology", Proc. SSDM, pp.314-315, 2002.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** マイクロプロセッサ



3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計

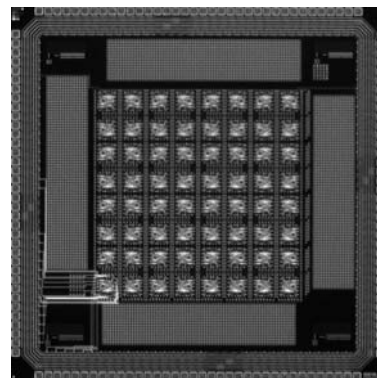
(3) ADC&ALUアレイレイヤ

東北大学大学院工学研究科 河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正

概要: 近年様々な分野でデジタル画像処理が応用されているが, 各画素を逐次的に処理する従来の方式では高速化のニーズに対応できない。我々はこの問題を打破すべく, 3次元構造を有するLSIを用いた画像処理システムを提案してきた。本システムはセンサやアンプ, ADC, メモリ, ALUなどを搭載したLSI層が3次元に積層化された構造をしており, 各層間は垂直配線で接続されている。各層内では並列に, 層間ではパイプラインで処理を行なうことにより高速化を図る。今回は入力画像のエッジ抽出を行なう画像処理用3次元LSIを設計した。8×8画素に対して画像処理を行なうプロセッシングユニット(PU)が3層に渡って形成されている。ユニット内で8×8画素のデータについてパイプライン処理を行ない, またユニット間で並列に動作させ, システム全体で1フレームを高速に処理する。なお本チップはADC&ALUアレイ部である。

参考文献: D. Kawae et. al., "Parallel Image Processing LSI Fabricated Using Three-Dimensional Integration Technology", Proc. SSDM, pp.314-315, 2002.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** イメージセンサ/スマートセンサ

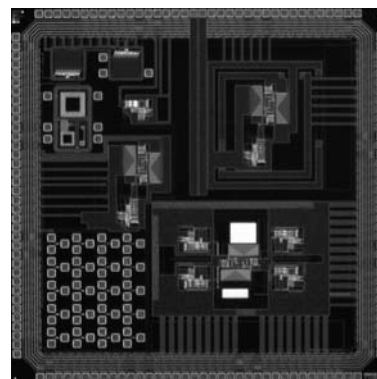


相変化不揮発性メモリとRFテスト回路

金沢大学工学部 集積回路工学研究室 高田 雅史, 有賀 健太, 伊藤 久浩, 北川 章夫

概要: 近年, CMOSプロセスが微細化するにつれ, そのリーク電流が問題になっている。モバイル機器を開発していく上で, ますます容量が増加すると予測されるメモリ部における待機電力の増加が無視出来なくなっている。この問題を解決する為には論理保持に電力を消費しない不揮発性メモリの実装が必須である。我々はその一つである相変化不揮発性メモリの実現を目指している。前回試作では特性計測用回路に力を入れたが, 本試作では更にメモリコアの改良を行った。他にも従来の積層記憶構造から横型の記憶構造を評価する為のレイアウトも行っている。また, RF混載システムLSI設計の為の構成回路の設計も行った。メモリ回路についてはLSIテスト及びEBプローブで測定を終えているが, 現在引き続き検証中である。RF回路部については別評価設備にて進行中である。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** アナデジ混載

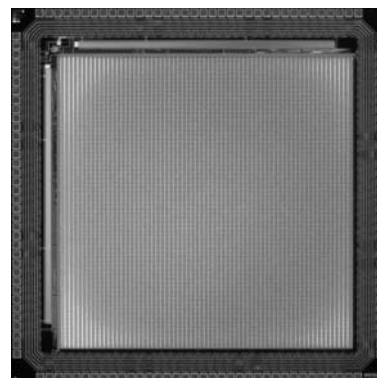


高精細マイクロディスプレイ LSI

金沢大学工学部 集積回路工学研究室 源 貴利, 北川 章夫

概要: ディスプレイはインターフェイスとして多くの場所で用いられている。その中で低消費電力動作するディスプレイに代表される物として、シリコン集積回路を基板としたディスプレイにマイクロディスプレイがある。本チップでは一般的な走査線方式を捨て、画素のマトリックスをRAMとして扱うランダムアクセス方式を提案している。この方法により、フルデジタルの階調表現（色の濃淡表現）が可能となり、既存の回路よりも低消費電力化も達成することができる。本試作ではモノクロカラー表示で64階調、ピクセル数は200×200のマイクロディスプレイを試作した。サブピクセルのパターンジェネレータ部には論理合成を用い、他の部分においてはフルカスタム設計を行った。LSI テスタ及びEBプローバを用いて現在、評価及び検証中である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, Synopsys社 NanoSim **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** その他

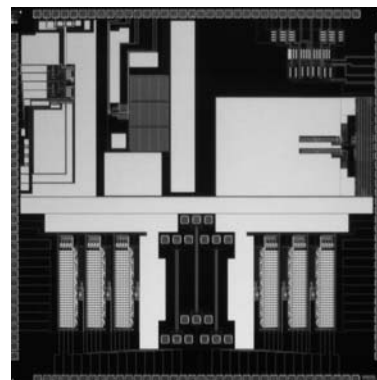


アナログ回路・メモリにおけるリーク電流の効果, WSC, 高速電源電圧変更 評価 TEG

東京大学生産技術研究所 石田 光一, 宮崎 隆之, 許 蛭雪, Fayez Saliba, Danardono Dwi Antono

概要: アナログ回路におけるリーク電流の影響を評価するためのスイッチトキャパシタによる積分器回路。リーク電流のエミュレーション機能を付加した。VTHが低下した世代のトランジスタをエミュレートすることができる、リークエミュレータを備えたSRAMセルを設計した。外部から与える電圧によりリーク電流を制御する。オンチップ型ワイヤレススーパーコネクタ (WSC) の動作を確認するためのシステムを設計した。送信側から複数の周波数の信号を送り込んで、受信側で信号を受け取り動作を確認する。また信号の送受信に使われるパッドも数種類を用意する。消費電力を下げるには電源電圧を下げるのが一番有効な方法である。VDD-Hoppingが性能を維持する同時にパワーをだいぶ削減できる方法として知られている。本試作はこの手法の実際の負荷回路に対する遅延とか、デカップリング容量または高周波における配線インダクタンスの影響について考察する。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** TEG (特性評価回路など)

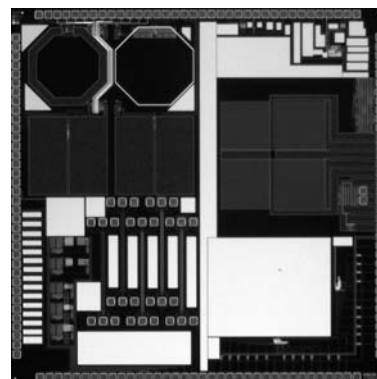


チップ間ワイヤレス伝送方式評価 TEG・低電力 FPGA

東京大学生産技術研究所 稲垣 賢一, 鬼塚 浩平, Quang Canh Tran, 川口 博

概要: 本試作ではチップ間の信号および電力を容量結合または誘導結合により伝送することを目的とした。チップ間のワイヤレス電源伝送については誘導結合、容量結合の両方式について試行する。信号伝送については、容量結合型無線チップ間伝送における隣接パッドからのノイズを削減するために、パッド間に接地した金属線を配置して隣接パッドとの容量結合を削減することにした。また、1チップのみでも測定できるようにチップ内部で容量結合を作成した回路も組み込んだ。また、電磁波を用いた方式として、5MHzの磁界からコイルにより給電を受け、外部に接続したLEDを点滅させる回路も搭載している。また、FPGAではMUXが多数用いられており、MUXの入力がHとLが混在したとき、HからLに流れるリーク電流がある。このリークを止めるための回路を設計した。閾値電圧が高いためリークはほとんど流れないのでリークエミュレータの回路をも入れた。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** TEG (特性評価回路など)



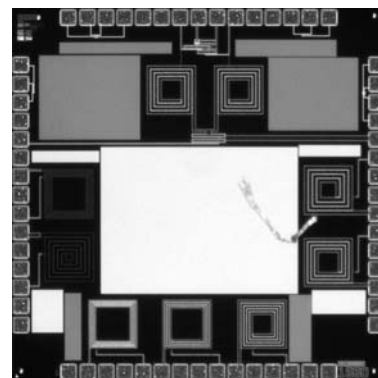
無線周波数帯局部発振器の試作

東京理科大学理工学部電気工学科 永田 基希

東京理科大学理工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：本チップは、無線周波数帯アナログ受信機に用いられる発振器を試作したものである。移動体通信端末受信回路のワンチップ化への要望から、最近では局部発振機もそのチップに組み込むための研究がなされている。回路構成は基本的な LC-クロスカップル NMOS 構成である。クロスカップル対によって得られる負性コンダクタンスを利用してインダクタとキャパシタの並列抵抗分をキャンセルする。負性コンダクタンス分をシミュレーションにより微調整し、コア部に流れる電流を約3mAとした。インダクタには square 型のスパイラルインダクタを用いた。自己共振周波数の低下を懸念してグランドシールドは使わず、また、高 Q を得るためにメタル幅・メタル間隔の選定にもシミュレーションを用いた。TEG として NMOS・PMOS・スパイラルインダクタ数種を載せた。スパイラルインダクタは前述回路に用いたものの他に、寸法・巻き数・メタル間隔を一定にしてメタル幅のみを変えたものを試作し、自己共振周波数・Q 値を測定する。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 試作ラン：アナログ (PLL, A-D/DC-DC コンバータなど)



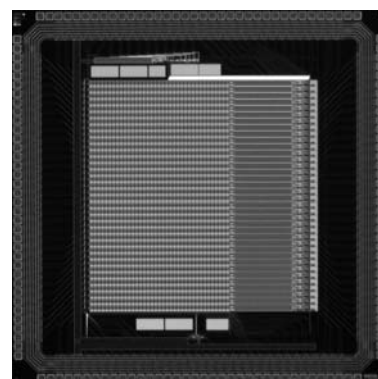
Inverse function Delayed モデルを用いたニューロチップの設計 (改良版)

東北大学電気通信研究所 伝田 達明, 末永 晋也, 早川 吉弘, 中島 康治

概要：ニューラルネットワークをハードウェア化することにより並列処理が可能となり高速な情報処理を実現できる。また、Inverse function Delayed (ID) モデルは N 字型非線形出力逆関数を用いて負性抵抗領域を導入でき、組合せ最適化問題などで問題となるローカルミニマムから脱出できるという特徴を持つ。したがって ID モデルをハードウェア化することで組合せ最適化問題に関して高い性能と高速な情報処理の両方が可能になると考えられる。前回試作の N 字型非線形出力逆関数回路より広い負性抵抗領域の設定が可能な回路の設計を行い、36 ニューロン 1296 シナプスの全結合ニューラルネットワークからなるニューロチップを試作した。テストによる測定を行ったところ単一 ID ニューロンの事例発振特性を観測し ID ニューロンが設計どおり動作することを確認した。

参考文献：伝田, 末永, 早川, 中島, ” Inverse Delayed モデルを用いたニューロチップの設計 ”, 信学技報, NLP2003-91, pp. 47-52, 2003.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：その他

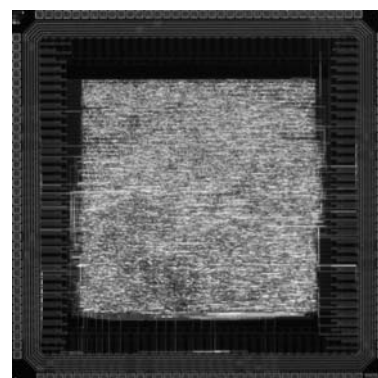


マルチメディアモバイルプロセッサ

弘前大学理工学部 深瀬 政秋, 三國 勝志, 中村 吉樹, 佐藤 陽一, 赤岡 亮

概要：モバイル機器用プロセッサは省エネ化を重視するためスピードが犠牲にされ、0.13 μ m プロセスでも 500MHz を超えることはありません。また多機能をカバーするため JIT 型の Java チップが使われ、その所要メモリの電力削減のため 1 トランジスタ化やバッテリーの改良が進められています。これらの総合的な解決を目指して 4 つのプロセッサ技術を融合し、その効果を調査します。通常型パイプラインとクロックを共有するウェーブパイプラインを融合したヘテロパイプライン方式により高速省電力化を図り、インタープリタ型 Java チップとハードウェア化 SMT (simultaneous multithreading) 方式シングルプロセッサと VLIW の融合によりマルチメディアモバイルコンピューティング対応のプロセッサを開発します。

設計期間：10 人月以上 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Scirocco, Synopsys 社 design_compiler, Avanti 社 Appollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：マイクロプロセッサ



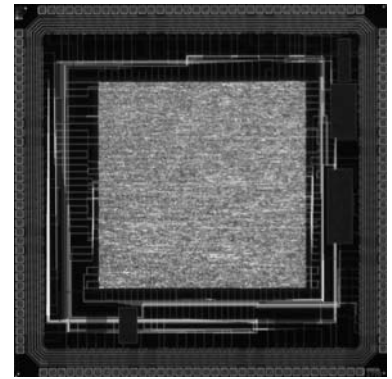
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要： SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、14b の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間： 0.5 人月以上、1 人月未満 **設計ツール：** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：** 100,000 以上 **試作ラン：** ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：** アナログ (PLL, A-D/DC-DC コンバータなど)



自動学習連想メモリのための 32 参照パターン用 ranking 回路

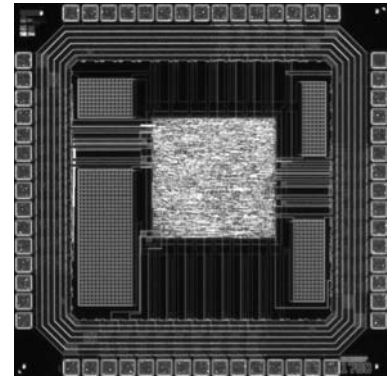
広島大学先端物質科学研究科 溝上 政弘

広島大学ナノデバイス・システム研究センター マタウシュ ハンスユルゲン

● 小出 哲士

概要： 最小距離検索連想メモリによるパターン認識・学習チップの構成要素となる ranking 処理回路の試作を行なった。本回路は連想メモリに記憶された参照パターンの管理を行う。各参照パターンにはプライオリティ (rank) 付けがされており、rank の順位によって長期記憶領域と短期記憶領域に分けられる。短期記憶領域にある rank の低い参照パターンは新たにパターンを学習する際に削除の対象となる。一方長期記憶領域にある rank の高い参照パターンは削除されにくく、重要なパターンである。最小距離検索結果に応じて ranking 処理回路は 1 クロックで rank の変更を行う。

設計期間： 2 人月以上、3 人月未満 **設計ツール：** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre **トランジスタ数：** 10,000 以上、100,000 未満 **試作ラン：** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン：** その他

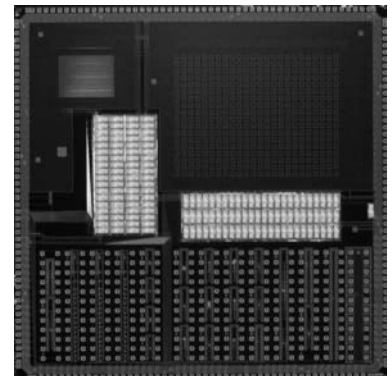


画素並列 AD 変換型撮像素子

東北大学大学院工学研究科 舘 知恭

概要： 本撮像素子は雑音低減回路を各画素毎、AD 変換器と画像特徴量抽出回路を 6 画素毎に組み込み、高機能かつ高画質な撮像素子を実現している。設計の際に最も注力したのは雑音低減と集積度の向上であり、雑音低減、AD 変換、画像処理の全てをシステムとして相性の良い組み合わせの検討・最適化を行った。本チップにおいては考案した手法の原理確認のために、2 種の撮像素子を 24 \times 18 画素、2 種の画像処理 ALU、そして本撮像システムを構成する要素回路の特性を測定するために、30 の要素回路に分けて TEG として配置してある。撮像素子の画素サイズは 60 μ m \square 、180 μ m \square 、開口率は 30%、感度は 25 μ V/e (設計値) である。AD 変換器の分解能は 6 BIT、最大入力信号振幅は 64mV、変換速度は 200 kS/s である。画像特徴量抽出回路は色、荒さ、動き、距離の 4 つの演算を行い、特徴量を 4 BIT 信号として出力する。

設計期間： 3 人月以上、4 人月未満 **設計ツール：** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：** 1,000 以上、10,000 未満 **試作ラン：** ローム CMOS 0.35 μ m 9.8mm 角 **試作ラン：** イメージセンサ/スマートセンサ



二次元画像認識プロセッサ

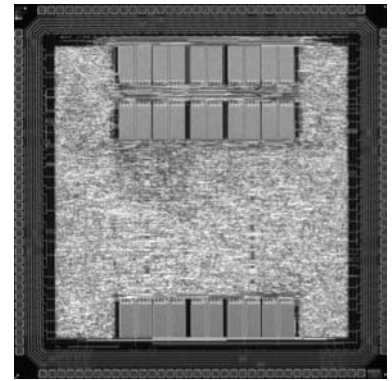
東北大学大学院工学研究科 宮本 直人, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要: 二次元 512x512 ピクセルに対応した画像認識プロセッサを設計した。本プロセッサで採用された画像認識アルゴリズムは位相限定相関を用いている。画像はフーリエ変換すると位相情報と振幅情報に分解されるが、そのうち位相情報がオブジェクトの大きさ・位置・形状など認識に重要な情報を持っている。乗算器・除算器・開平方の共通部分である全加算器アレイを共有化することにより約35%の占有面積と消費電力を削減した演算器 (DSM) を開発した。DSMは2ビットの機能選択信号を入力として持ち、データパス幅が18ビットの場合1nsでその機能を変更することができる。これらの信号は音チップの専用デコーダで1クロック以内に生成される。本プロセッサはDSMを8個搭載している。本プロセッサは二次元の画像認識を105.2ミリ秒以内で処理する。そのときの消費電力は310.9mWであり、これは同じプロセステクノロジーで作られた他の位相限定相関プロセッサと比較して約11.3分の1の消費電力である。

参考文献: Leo Karnan, Naoto Miyamoto, et al., Butterfly-Unit Based Programmable Computation Element Using Merged Module of Multiplication, Division and Square Root, Extended Abstract of the 2003 International Conference on Solid-State Device and Materials (SSDM2003), pp. 148-149

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



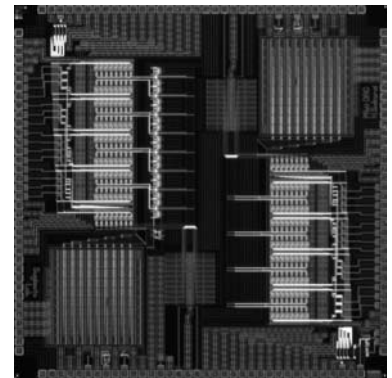
14-bit, 200MS/s, 2.7V D/A 変換器の開発

中央大学理工学部 櫻井 宏樹, 杉本 泰博

概要: 従来より、高速高精度のD/A変換器を用い高周波信号を生成する場合には、高調波の発生によるSFDR (Spurious Free Dynamic Range) の劣化が問題であった。我々は、この高調波の発生の主な原因として、出力信号変化時の出力端子における時定数の変動が影響していることを新たにつぎとめた。出力信号が変化した場合、スイッチセル内にも電圧変動が起き、セル内の寄生容量に過渡電流が発生するためである。この過渡電流は、ON状態のスイッチセルの数、つまり入力デジタル信号に依存する。そこで、出力信号の変化がスイッチセル内に影響しないように、スイッチセルと出力端子間に低電圧動作のバッファつきカスコード回路を導入し、SPICEシミュレーションの結果、高調波の発生を抑制し、SFDR特性を改善することを確認している。現在は作成したチップの評価を行っている。直流特性については、INL, DNL共に12ビット程度の精度が得られている。更なる精度向上のために電流源の配置等について検討を進めている。高周波特性については現在測定を行っている段階である。

参考文献: H. Hiroki, Y. Sugimoto, "The Design of a 2.7V, 200MS/s, and 14-bit CMOS D/A Converter with 63dB of SFDR Characteristics for the 90 MHz Output Signal", 信学会英文論文誌C 6月号

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)



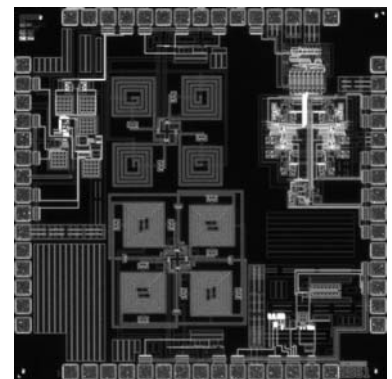
フィードフォワード位相補償を用いた光通信用TIAの試作

中央大学理工学部 山田 浩輔, 川田 真也, 杉本 泰博

概要: フィードフォワード位相補償の有効性を確認するため、CMOS構成を使用して本チップを試作した。光信号を電気信号に変換するTIAには高利得・広帯域な特性が要求される。アンプを多段構成にすることによりこれらの特性は実現可能であるが、位相まわりが大きいために発振する危険がある。そこでアンプと並列にハイパスフィルタと正相増幅器からなるフィードフォワード経路を設け、高周波域での位相まわりを抑制し、位相余裕を確保した。測定の結果、変換利得60dB Ω 、帯域480MHzの特性を得ることができた。

参考文献: 山田, 川田, 杉本: "フィードフォワードを用いたI-Vアンプの広帯域化に関する手法", 2004年電子情報通信学会総合大会講演論文集, C-12-24, (2004)

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** 通信 (RF回路, ATMなど)

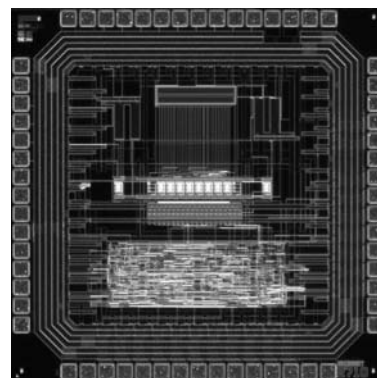


マルチチャンネル波形整形チップ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章
東京大学人工物工学研究センター 高橋 浩之

概要：現在、マルチチャンネル検出器に対応する高機能のASICが求められている。波形整形は、光電子増倍管や半導体検出器、ガスカウンタなどのパルス動作で用いられる検出器を利用する上で広く用いられている技術であり、マルチチャンネル検出器を利用する上でも必要な機能である。検出器の応答パルス信号に対応した適切な整形時定数を選択することで、信号対雑音比を大きくとり、パルス計数率を高くとることができる。本チップは、多チャンネル入力を持ち、他のプリアンプチップや計数回路と組み合わせることにより、イメージング用の検出器エレクトロニクスを実現することを目標として設計された。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100以上, 1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**アナログ (PLL, A-D/DC-DCコンバータなど)

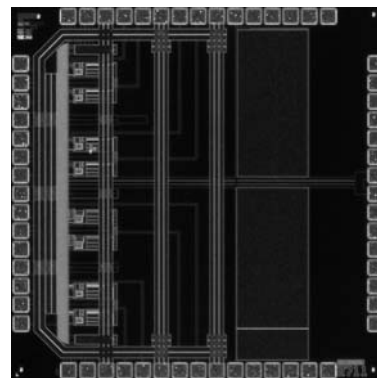


マルチチャンネルプリアンプ

東京大学大学院工学系研究科 Yeom Jung Yeol
東京大学人工物工学研究センター 高橋 浩之

概要：放射線イメージングにおいて必要とされる多チャンネルパルス計測においては、微弱なパルス信号を出力する検出器と接続するためのプリアンプがきわめて多数必要となる。従来のディスクリート回路では、十分高い信号対雑音比が得られていたが、ディスクリート回路を多チャンネル用意することはコストの点で問題があり、チャンネル数の制約となっていた。一方、電源電圧の制約のもとでCMOS回路を用いて高速かつ低雑音の高い性能を得ることは困難が伴うため、ここでは入力段を変更するなど種々の回路からなるプリアンプを試作し、等価雑音電荷や立ち上がり時間などの増幅器の雑音性能と高速性について調べることを目的として設計を行なった。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100以上, 1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**アナログ (PLL, A-D/DC-DCコンバータなど)



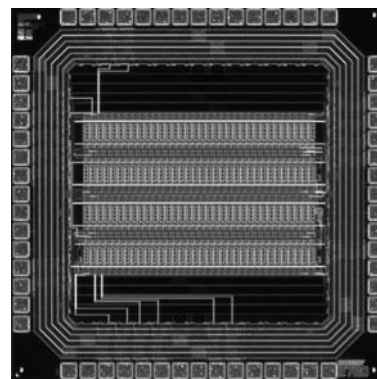
高速サンプリングを目指したアナログメモリの開発

東京農工大学大学院工学研究科 木下 拓也, 棚沢 謙和

概要：本研究のアナログメモリは、高エネルギー物理実験において検出されたアナログ電気信号を高速サンプリング (500MHz) することによってアナログ的に一時記録し、トリガーが生成された際に低速で出力 (10MHz) する。この働きによって、多チャンネルの高速信号を安価にしかも低消費電力で実現できる。8月のチップ試作に128個のメモリコンデンサを搭載し、出力バッファにオペアンプを使用したアナログメモリ (03aug) を提出した。330MHzサンプリング, 0.17MHz読み出しにおいてチップテストし、以下の結果を得た。入力電圧0.5Vから3.3Vの広いDynamic Rangeを持ち、RMSまたは最大/mV以内ではほぼ1に比例する直線性を持つ。330MHzサンプリングで出力波形が完全には再現されない。メモリーセル間で出力電圧にばらつきが出た。平均値からのずれのRMS値は、0Vで0.033V, 0.5Vで0.13V, 1Vで0.093V, 1.5Vで0.05V, 2Vで0.041V, 2.5Vで0.081V, 3Vで0.15V, 3.3Vで0.1Vである。また、折り返し部分のセルで大きなGainの違いが見られる。高速サンプリングの際に、メモリーセル毎のGainが隣のセルになるほど下がる。GainはRMS値で0.75であった。

参考文献：『A 700-MHz Switched-Capacitor Analog Waveform Sampling Circuit』 Gunther M. Haller, Member, IEEE, and Bruce A. Wooley, Fellow, IEEE, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 29, No. 4, APRIL 1994

設計期間：10人月以上 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**メモリ

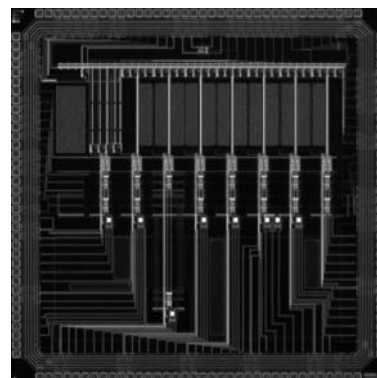


光無線 LAN ビジョンチップ：差動化によるモード間クロストークノイズの低減

奈良先端科学技術大学院大学物質創成科学研究科 池内 隆志, 藤内 亜紀子, 川上 智朗,
香川 景一郎, 太田 淳, 布下 正宏

概要：我々の研究室では、小型かつ高速通信可能な赤外無線通信モジュールと、それを利用したシステムの開発を行っている。受光デバイスは CMOS イメージセンサをベースとしている。本受光デバイスは、撮像モードと通信モードをもつ。撮像モードでは、フォトダイオードを蓄積モードで用いて画像を取得し、通信端末位置を検出する。通信モードでは、フォトダイオードを非蓄積モードで利用し、光電流を TIA (Trans-Impedance Amplifier) で増幅する。2つの動作モードを画素ごとに切り替えることができる。この新規の受光デバイスでは、画像を読み出すデジタル部が発するノイズが、レシーバ部に悪影響を与えるという問題がある。この影響を低減し、撮像と光信号受信を動じに行うために、画素からの光信号出力を差動構成とすることを検討し、画素 TEG を試作した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：イメージセンサ/スマートセンサ



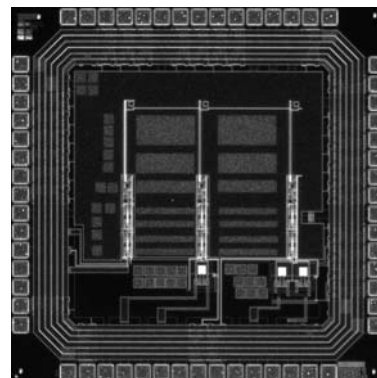
光無線 LAN ビジョンチップ：アナログバッファの検討

奈良先端科学技術大学院大学物質創成科学研究科 川上 智朗, 香川 景一郎, 太田 淳,
布下 正宏

概要：我々の研究室では、小型かつ高速通信可能な赤外無線通信モジュールと、それを利用したシステムの開発を行っている。受光デバイスは CMOS イメージセンサをベースとしている。本受光デバイスは、撮像モードと通信モードをもつ。撮像モードでは、通常の CMOS イメージセンサと同様に、フォトダイオードを蓄積モードで用いて高感度に画像を取得し、通信端末位置を検出する。これにより、通信端末位置を検出する。通信モードでは、フォトダイオードを非蓄積モードで利用し、光電流を TIA (Trans-Impedance Amplifier) で増幅する。受信速度は主に TIA の速度で決まるが、チップ外に高速にデータを読み出すためには、オフチップの大きい負荷を駆動できるバッファが必要になる。そこで、受光回路の後に接続するバッファを 3 種類用意し、周波数特性を測定するための TEG を試作した。

参考文献：香川他, 「イメージセンサを応用した空間光伝送用受光デバイスの設計・試作」, 映像情報メディア学会誌, vol. 3, pp. 334-343 (2004) .

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 試作ラン：イメージセンサ/スマートセンサ

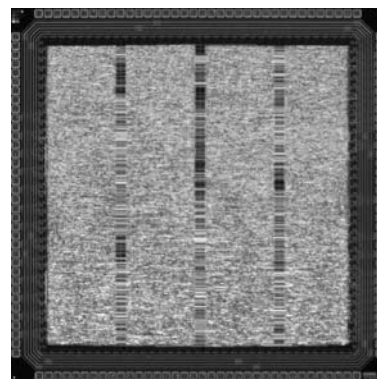


周波数領域での信号処理回路の試作 2

茨城大学工学部 木村 孝之

概要：本研究室ではエアシングを含んだ複数の画像から元の周波数を含む画像を、光学ローパスフィルタとデジタル信号処理により復元する研究を行ってきた。また、2002 年度の試作では、DFT (Discrete Fourier Transform) を用いた信号処理回路を試作し、その動作を確認した。本試作では、FFT (Fast Fourier Transform) を用いて信号処理回路を構成した。試作した回路は、32 点 FFT 演算ユニット、周波数領域 (複素数) で 2 元 1 次連立方程式の解を求める演算ユニット、64 点 IFFT (Inverse FFT) 演算ユニットからなる。演算は 2 段のパイプライン構成とし、マスタークロック 256 周期で 64 点の解を得る。試作した LSI の最高動作周波数を測定すると 44.3MHz であった。その時の消費電力は 509mW であった。1 秒間に 30 回高解像度化処理を行った時の消費電力は 87 μ W であり、この程度の計算時間と消費電力であれば、モバイル機器への応用も期待できる。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：アナログ/デジタル信号処理プロセッサ



バンク型デジタル・アナログ融合全並列最小マンハッタン距離検索連想メモリ

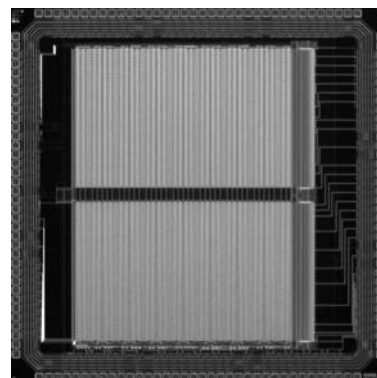
広島大学先端物質研究科 矢野 祐二

広島大学ナノデバイス・システム研究センター 小出 哲士,
マタウシュ ハンスユルゲン

概要：高速・小面積かつ低消費電力を同時に満足できるバンク型全並列アーキテクチャによる新しい連想メモリを試作した。この試作チップは前回の2003年6月試作チップをバンク型アーキテクチャで実現したもので、メモリ領域は各バンクが64行80列の合計2バンク構成となっており、128パターンの参照データを格納可能である。レイアウト面積はバンク型に必要なトーナメント比較回路の面積オーバーヘッドから 11.8mm^2 で実現しており、最小距離検索回路は全体の9.4%で実現できた。シミュレーションによって、260ns以下の最小距離検索が可能であることを確認できた。

参考文献：なし

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μm 4.9mm角 **試作ラン：**メモリ

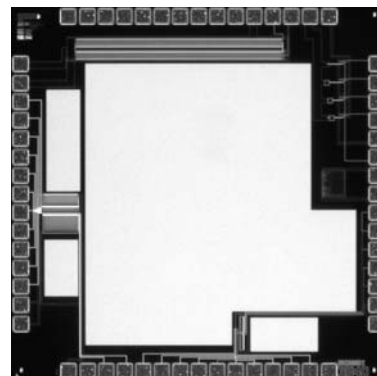


低消費電力アナログ神経回路 TEG の試作

山梨大学工学部 加藤研究室 上野 響一

概要：神経回路網をアナログ回路を用いて実現するためのテスト回路を試作した。MOSトランスリニア原理を用いて消費電力を抑えるとともに、レイアウト上の工夫によりトランジスタの特性バラツキに対する耐性を持たせた。MOSトランスリニア原理による回路はサブスレショルド電流を用いて回路設定を行うことで消費電力を大きく低減することが可能であるが、この反面閾値の変動による電流の不本意な変動により動作保障が難しいという問題がある。この問題をレイアウト上の冗長性を利用することで回避する方式を考案した。実現した神経機能は、Winner Takes All 機能でありニューロン数は20である。この回路は、一種の電流フェードバック回路であり、各ニューロン回路からの信号を電流で出力し、これらの実効的な平均化を求める点が最も特性バラツキの影響が大きい。この平均化を空間的に分散した回路により実現することで閾値バラツキの影響を押し込んだ。回路設計はSPICEで、レイアウトは完全にはカスタム設計で行なった。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数：**10以上, 100未満 **試作ラン：**ローム CMOS 0.35 μm 2.4mm角 **試作ラン：**アナログ/デジタル信号処理プロセッサ

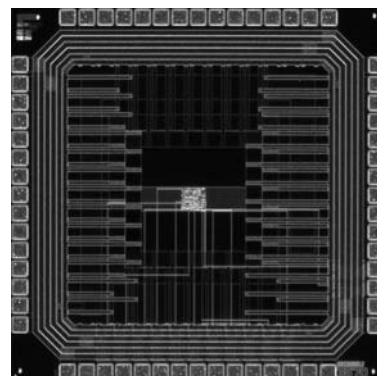


Tree-Structure 方式による DEM 回路の設計

上智大学理工学部 加藤 了三, 和保 孝夫

概要：デルタシグマ変調器 (DSM) の高分解能化のためには、DSMの多ビット化が有効である。しかしながら、DSMを多ビット化すると、プロセスに起因した素子ミスマッチがフィードバック内のDACに生じ、回路の線形性が失われるという問題がある。この問題を改善するため Dynamic Element Matching (DEM) という技術が知られている。今回試作した回路は、3ビットローパス型 DSM において DEM を実現するための回路である。DSM 内の量子化器からの出力を入力値とし、回路内で入力値をランダムに並び替えて DAC に出力するものである。以前当研究室において試作した回路は Mismatch Shaping 型であったが、今回試作した回路は Tree-Structure と呼ばれる方式を用いた。本方式は、回路全体の素子数低減のため有効と考え採用した。

設計期間：2人月以上, 3人月未満 **設計ツール：**Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μm 2.4mm角 **試作ラン：**アナログ/デジタル信号処理プロセッサ

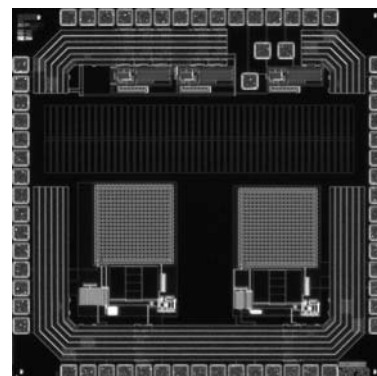


低周波・低消費電力増幅回路の設計

大阪府立大学先端科学研究所 田中 智之, 中尾 基, 泉 勝俊

概要: 近年のデバイス・プロセス及び回路設計技術の進展により, LSI の電源電圧は低くなってきている. すなわち低消費電力化は進むが, これに伴いアナログ回路設計では, 様々な問題が発生してくる. 当研究室では, 前試作において, 本試作のデータ収集の準備として増幅回路用バッファの設計を行った. 今回は, 今年度の目標である低消費電力の増幅回路の設計を行った. なお本試作では, 低電源電圧動作を目的としたため, 安定な動作を保障するために, 電圧利得を若干抑え安定な動作を重視したモデルと, 電圧利得を重視したモデルの両方を設計した. 設計した2つのタイプの増幅回路については共に動作を確認した. 雑音特性以外の回路の諸特性は目標スペックを満たした. 今後は, 本設計を発展させ, 低消費電力・低雑音増幅回路の設計に取り組む.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)

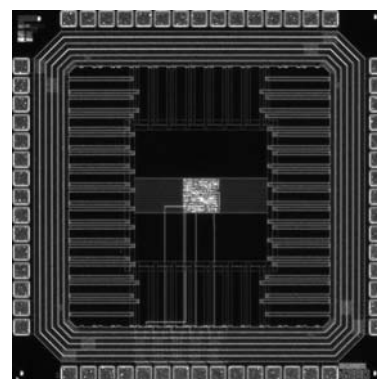


リセット方式全デジタルPLLの試作

九州東海大学工学部 佐々木 博文, 藤本 邦昭

概要: 位相同期ループ (PLL: Phase Locked Loop) は通信分野におけるタイミング波の抽出, FSK 信号や FM 信号の復調など広い分野で利用されている. この PLL に要求される主な特性に, 広同期範囲, 高速引込み, 低ジッタ等がある. 我々は既に, 出力周波数を決定するプログラマブル分周器の分周比を自動的に可変させると共に初期引込み回路を付加することにより, 広同期範囲と高速引込み特性が得られる PLL を構成している. 今回は, 残されているジッタの問題に焦点を絞り, 出力周波数を決定するプログラマブル分周器を入力信号に同期させて毎回リセットすることにより低ジッタ化を図った. 回路動作は, シミュレーションおよび FPGA (Field Programmable Gate Allay) を用いた実験で既に確認していたが, 今回の試作により集積化した場合にも問題なく動作することを明らかにした. なお, 出力ジッタは基準クロックの2周期以内であった.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** その他

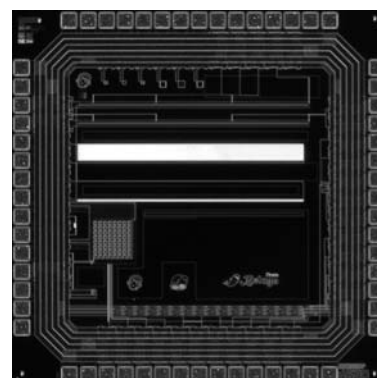


平面中の複数対象点の高速検索回路

公立はこだて未来大学システム情報科学部 秋田 純一

概要: 受光系と信号処理系を同一チップに集積する VisionChip は, 画像信号の並列性を生かすことができるために従来の画像処理系と比較して圧倒的な高速処理が可能となる. ロボットビジョンなどへの応用を考えると, 出力は画像の何らかの抽象量, すなわちスカラ量であることが望ましい. 本チップでは, 平面中に存在する複数の対象点の位置をスカラ量として抽出する VisionChip の実現のために, 平面上の対象点の位置を高速に探索するアルゴリズムとその検証回路の設計と試作を行った. 画素ごとに順序回路をもち, それらが画素平面全体で一つの有限状態回路を形成するアーキテクチャにより, 対象点の個数のみに比例した処理ステップ数で探索が完了する.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** イメージセンサ/スマートセンサ



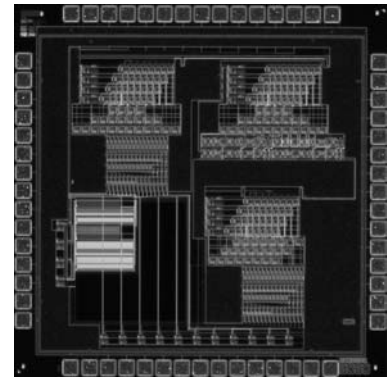
3種類の乗算器および特性評価用リングオシレータ

高知工科大学工学部 草ヶ谷 利雄, 石川 純平, 矢野 政顕, 橘 昌良, 河津 哲

概要: 3種類 (アレイ型, 2次のブース, ワレスツリー) の8×8乗算器と遅延時間評価用の3種類リングオシレータからなるチップである。乗算器は演算方式の異なる3種類について遅延時間, 消費電力, 面積などの比較を目的としたもので, 配置配線ツールを使用せずに手書きでパターンを作成した。リングオシレータは遅延時間の評価を目的としたもので, トランジスタのチャンネル幅と段数の異なるものを3種類含んでいる。

参考文献: 松村暢也, 矢野政顕, 'RSA 暗号に使用されている乗算剰余演算器の高速化', 平成15年度電気関係学会四国支部連合大会, 平成15年10月

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)

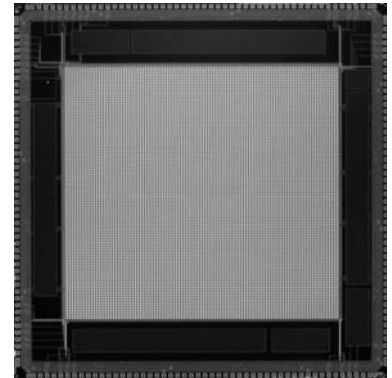


方位選択性を実現するアナログ集積回路の設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要: 大脳一次視覚野の細胞は, ある特定の方位の光刺激パターンに対して選択的に応答する特性をもつ。本チップは, このような特性を模擬するために, 前段のイメージセンサからの出力画像を受けて特定の方位に並ぶ複数の画素を統合する。前段のイメージセンサとしては, 本研究室で既に開発したシリコン網膜を用いることを想定している。画素回路は, シリコン網膜からの入力を保持するアナログメモリと, 一直線上に並ぶ画素同士を結合する画素統合回路から構成される。画素統合回路により選択された各画素の出力は, フォロア統合により収斂される。本チップは, 6通りの方位に対する選択性を実現できる。画素数は100×100である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



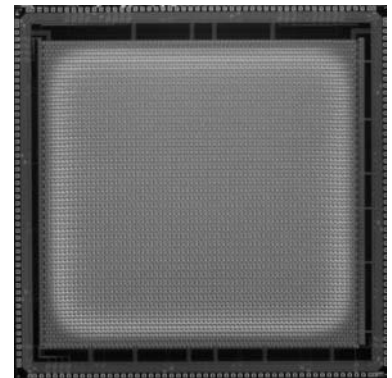
2次元シリコン網膜チップの設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

広島大学先端物質科学研究科 亀田 成司

概要: シリコン網膜は, 生体視覚系の並列画像処理機構をアナログCMOS集積回路により実現したもので, 実時間画像処理, 小規模ハードウェア, 低消費電力といった特徴を持つ。今回の設計では, 自然照明下における実時間画像処理を基本視座とし, アナログシリコン網膜チップを製作した。各画素は六角格子状に配置され, チップは2次元ラプラシアン・ガウシアン型のフィルタ特性を持つ。今回試作したシリコン網膜チップは, 網膜初段の外網膜の回路構造を模擬したものである。集積回路の素子のばらつきを補償する機構を付加し, 光センサ部にはアクティブピクセルセンサを用いた。画素数は70×79である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **試作ラン:** イメージセンサ/スマートセンサ



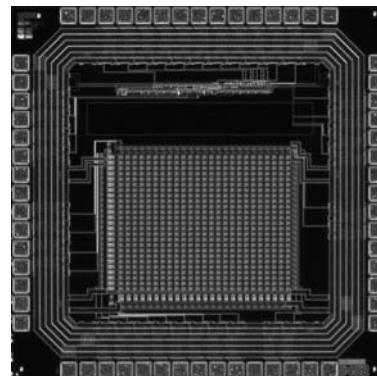
シリコン網膜の制御信号回路

大阪大学大学院工学研究科 井上 恵介, 下ノ村 和弘, 八木 哲也

概要: 我々は今までに生体網膜の超並列回路構造と機能に学んだシリコン網膜を開発してきた。このシリコン網膜は、チップの外部から与えるデジタル信号のパターンを変化させることで2種類の画像前処理を実現できる。これまで、その制御信号はFPGAを用いて生成し、シリコン網膜にその信号を入力することでシリコン網膜の2つの動作モードを制御していた。本チップは、外部から基本クロックを与えることで、その制御信号を生成できる。なお、2つの動作モードの選択は、スイッチ信号で外部から与えるようにした。このチップを用いることでシリコン網膜の動作モードの制御を容易に行うことができる。なお、テストによる測定は行っていない。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:**

1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



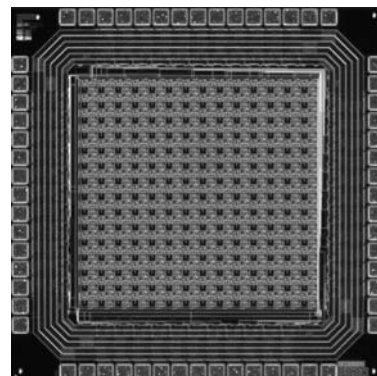
適応的側抑制機能を持つ2次元シリコン網膜

佐賀大学工学部 原 重臣

概要: C. Mead らのシリコン網膜に、照射光の局所的なコントラストに応じて、その強度が変化する側抑制機能を付加したものを作成した。人間のマッハバンド錯視現象は網膜の側抑制機能によるものであるとされている。しかし、ステップ状に変化する網膜上の照射光強度分布に対しては、錯視現象は消失するか、非常に弱くなる。この生物の視覚特性を模擬する電子回路を、今回のチップに実装した。C. Mead らのシリコン網膜は、フォトダイオードを含んだ受光器回路の出力と、それを抵抗ネットワークで平均化したものの差を取ることで側抑制を実現している。我々は、隣り合う受光器回路の出力の差に応じて、抵抗値が変化するような回路を付加することで、適応的な側抑制を実現した。今回のチップは、フォトダイオードが縦15横14並んだ2次元構造である。

参考文献: S. Liu, et. al. "Analog VLSI: Circuits and Principles", MIT Press, 2002

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, magic, Avanti 社 Star-HSPICE, netcmp **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** イメージセンサ/スマートセンサ



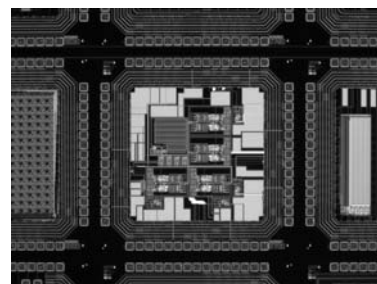
耐ばらつき4値I/O回路

九州工業大学マイクロ化総合技術センター 白木 良典, 中村 和之

概要: I/Oあたり10Gbpsを超えるような次世代のLSI間通信回路を実現することを目的として、I/Oあたりのバンド幅を等価的に高めることができる多値I/O回路の検討を行い、今回、4値I/O回路の設計・評価を行った。4値の出力回路部分については、pMOSとnMOSの電流能力比のばらつきの影響を受けにくい構成とするために、チップ内部にプロセスばらつき検出回路を装備し、その情報により、出力レベルを補正する回路構成とした。本LSIは、4値I/O回路を4系統内蔵しており、また、高速評価用にPLL回路と、疑似ランダム信号発生回路を内蔵している。評価により4値信号の出力動作および、I/O回路の対向試験による通信動作の確認を行った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, NS-Draw, SII 社 SX9000, Cadence 社 Dracula DRC **トランジスタ**

数: 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** 通信 (RF回路, ATM など)

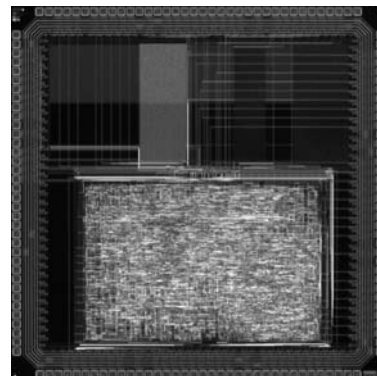


H8互換 16ビット CISC CPU

奈良先端科学技術大学院大学情報科学研究科 中井 伸郎, 岡崎 篤也, 中西 正樹,
山下 茂, 渡邊 勝正

概要: 組み込み分野において, SoC化, SystemLSI化が進み, 多くのプロセッサのIP化が行なわれている。しかし, 組み込み分野において広く普及しているH8マイクロコントローラ(ルネサステクノロジ)のCPUコアIPは存在しない。そこで, 我々はH8の中でも多く利用されているH8/300H CPUコアの命令セットバイナリ互換のCPUコアIPを開発した。開発の目的は, 大きな開発工数がかかるCPUをIP化することにより, 組み込み用システムLSIの設計を容易化することである。CISCであるH8はRISCに比べアーキテクチャが複雑であり, しかも内部アーキテクチャが公開されていないためIP化が難しい。開発したCPUは命令セットバイナリ互換なので, 既存のソフトウェア開発環境が利用でき, ソフトウェアの移植が容易である。ユーザはこのIPに必要なモジュールを接続するだけで, Application Specificなマイクロコントローラを独自に作る事ができ, テスト周辺モジュールも用意しているので開発が容易である。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** マイクロプロセッサ

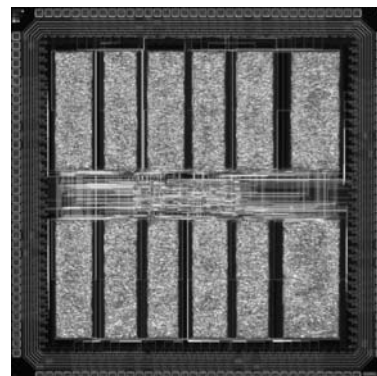


16ビットパイプラインプロセッサの設計実習

早稲田大学大学院情報生産システム研究科 池永 剛

概要: 早稲田大学大学院情報生産システム研究科では, システムLSI分野を志向する修士課程の学生全員にLSIの設計経験を積ませることを教育の柱としているが, 本チップは, 講義科目: システムLSI設計の中のLSI設計実習の一環として試作したものである。設計課題は, MIPSライクな16ビット5段パイプラインプロセッサで, 28命令を基本仕様とし, 独自の命令の追加を許している。ハザードに対するデータフォワードイングやストール機能の実現までを課題達成の要求条件としている。また, 各々が作成したアセンブラプログラム(バブルソート等)を共有し, 検証用パターンとして用いた。レイアウトに関しては, 縦サイズ固定という制約の中で, 最適化(速度/面積優先)を試行させた。最終的には1チップに12個のプロセッサモジュールを搭載し, 各々が外部I/Oから直接アクセス可能としている。チップ製造後は, 独自に開発したVDECチップ評価用ボード(MU200-SXCW)上で実LSIの動作確認や評価を行わせ, LSI開発に関する幅広い経験を積ませている。本経験が, より先駆的なデジタルLSIの研究課題へチャレンジする際に大いに寄与すると考えている。

設計期間: 10人月以上 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **試作ラン:** マイクロプロセッサ





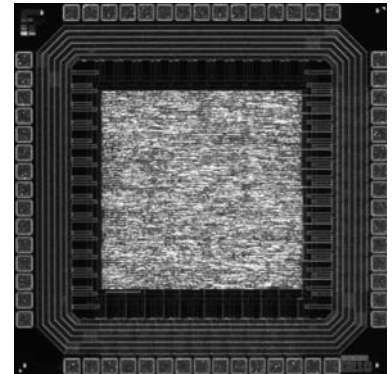
(R035033)

ケミカルセンサ用演算LSIの味覚識別モジュール回路の設計

武蔵工業大学大学院工学研究科 藤田 雅彦, 秋谷 昌宏

概要: 今回設計したASICは、ケミカルセンサの一種である味覚センサから得られる膜電位変化 (ΔV)、応答時間 (t) を要素とする味覚パターンを識別する。Input Data と Reference Data との差をその味毎に積分してゆき、積分した結果を最後の比較回路で比較するものである。参照する味覚データにおけるデータプロット数の回数積分した結果を比較し、その値が最も小さい参照味覚データが、入力された測定データの味であると判別するものである。識別回路における識別方式は、膜電位のピーク点とその応答時間の違いによる識別の誤差を防ぐことができる方式であるため、高い精度で識別可能である。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Avanti社 Milkyway, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)

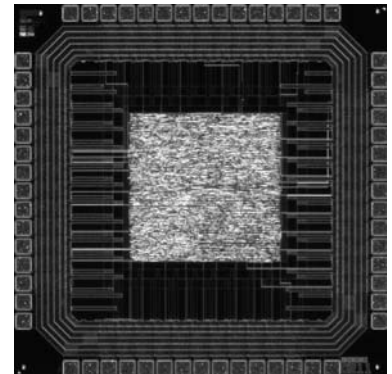


ケミカルセンサ用演算LSIの試作

武蔵工業大学大学院工学研究科 武藤 玄, 秋谷 昌宏

概要: 味覚ならびににおいを検出する有機薄膜を用いたケミカルセンサにおいて味覚センサから得られる膜上の電位変化と、においセンサから得られる共振周波数変化のアナログ信号を処理し、同一の特徴抽出方法を用いて同じ回路での識別を行う。システムLSI化の前段階として特徴抽出部の設計を行った。まず測定開始点での測定値を基準値として保持し、測定値と基準値との差を求める。また、基準点からの変化の最大値を絶対値として算出し、識別部へと送る。同時に最大値を取った時の時間を保持し、そこから特徴として平均変位量を参照用ROMと乗算器を用いて算出し、識別部へと送る構成となっている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)

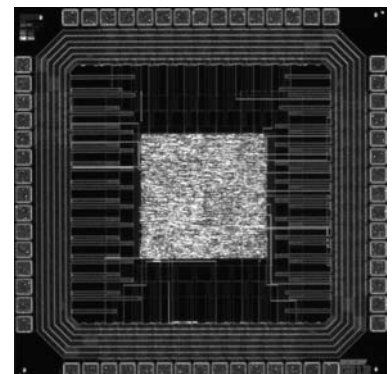


ケミカルセンサ用識別回路LSIの試作

武蔵工業大学大学院工学研究科 紫村 優介, 山田 健太, 秋谷 昌宏

概要: 「においセンサ」「味覚センサ」のデータ処理を行う識別演算LSIを設計した。においモード, 味覚モードにより、においセンサ, 味覚センサの両方に対応している。においについては、共振周波数変化の初期応答の値を検出することによって、におい物質の構造の違いによるグループ分けを行い、その後共振周波数変化ピーク値 Δf_p [Hz] とその時の応答時間 t_p [s] を参照データと比較して識別を行う。味覚については膜電位の最大変化値とその応答時間, および一定時間経過後の安定値から基本五味とその濃度の識別を行う。そのため、前処理回路, ピーク検出回路, タイマー回路, 参照データとの比較回路の構成となっている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Avanti社 Milkyway, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)



電流モード多値論理に基づく Field-Programmable Digital Filter LSIの試作

東北大学大学院情報科学研究科 出川 勝彦, 青木 孝文

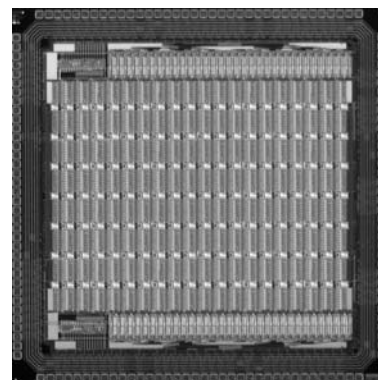
東北工業大学工学部電子工学科 樋口 龍雄

概要: 本研究グループでは, 冗長算術演算アルゴリズムと電流モード多値集積回路技術を組み合わせることによる, 高性能かつ高密度な算術演算 VLSI の実現を目指している。

Field-Programmable Digital Filter (FPDF) は, 係数と演算語長および次数が任意にプログラムできる, FIR フィルタ専用の再構成型デバイスである。電流モード多値論理に基づく FPDF は, 電流モード多値論理回路を利用することにより, 2 値論理回路による実現と比較して, 特に配線領域が大幅に削減され, 低消費電力動作が可能である。本試作チップは, 電流モード多値論理回路のデバイススケージングの影響を調べるために, すでに実チップでの動作確認がとれている 0.6 μm FPDF を 0.35 μm にシュリンクした。フルカスタム設計を行い, 0.6 μm FPDF と比較して, 回路面積が縮小され, 基本ブロックをより集積化できることを確認している。また, HSPICE シミュレーションにより, 0.6 μm FPDF よりも低消費電力動作する事を確認している。本試作チップは現在評価中である。

参考文献: K. Degawa, T. Aoki and T. Higuchi, "Design of a field-programmable digital filter chip using multiple-valued current-mode logic," IEICE Trans. Fundamentals, Vol. E86-A, No. 8, pp. 2001--2010, August 2003.

設計期間: 2 人月以上, 3 人月未満 設計ツール: Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数: 10,000 以上, 100,000 未満 試作ラン: ローム CMOS 0.35 μm 4.9mm 角 試作ラン: アナログ/デジタル信号処理プロセッサ



マルチパス一括処理を実現する超並列 CDMA マッチトフィルタ

東京大学大学院工学系研究科 山崎 俊彦

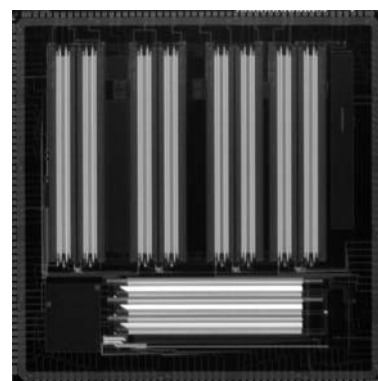
東京大学大学院新領域創成科学研究科 中山 友之

東京大学工学部 亀谷 暁

概要: マッチトフィルタを並列に用いることによりセルサーチ, パスサーチを同一ハードウェアで処理する CDMA 通信方式を考案, 実装した。ハードウェアを有効利用するためにセルサーチ時には PN 符号検索を高速に処理するアルゴリズムを考案した。相関値出力部は, フローティングゲート MOS 技術を用いた 512chip 長のマッチトフィルタを用いることにより低消費電力, 低面積を実現している。また, マルチパス検出のための低消費電力電圧型 Winner-Take-All (WTA) も開発した。今回開発した WTA は, 2 進木構造において演算が終了した根の部分から順にオフすることにより以前開発された時間領域の WTA に比べ 1/10 程度の低消費電力を実現している。

参考文献: T. Nakayama, T. Yamasaki, and T. Shibata, "Quasi-Parallel Multi-Path Detection Architecture Using Floating-Gate-MOS-Based CDMA Matched Filters," accepted for the presentation at The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004) .

設計期間: 1 人月以上, 2 人月未満 設計ツール: Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 μm 9.8mm 角 試作ラン: アナログ/デジタル信号処理プロセッサ

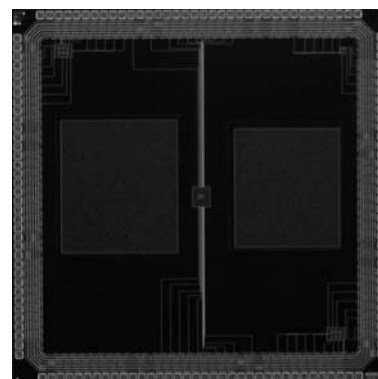


隣接セル間配線のみを用いたエッジフィルタ用演算器回路 TEG

東京大学大学院新領域創成科学研究科 中下 友介

概要: 画像の取り込みと同時にエッジフィルタをかけるチップにはフォトセンサ部とその周辺の演算回路が必要である。フォトセンサからの出力はアナログ値であるが, 大抵の場合は A/D 変換をかけデジタル値として処理を行う。しかし, その処理速度と消費電力などを考えた場合, 無駄な変換をかけることなくスマートに演算を行いたい。つまり, 演算部をフルアナログで作成することが望ましいといえる。「隣接セル間配線のみを用いたエッジフィルタ」回路には加算, 減算器等が必要であるが, いずれもシンプルな演算を行うものなのでフルアナログで作成することが可能である。これらの演算器において重要な性能であるレンジ幅, 消費電力, 演算速度などの特性をしらべ, 性能を向上させるために演算器の TEG を作成した。

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数: 10 以上, 100 未満 試作ラン: ローム CMOS 0.35 μm 4.9mm 角 試作ラン: TEG (特性評価回路など)

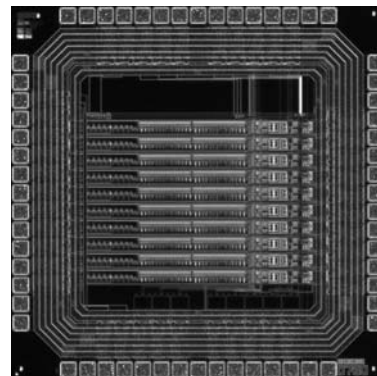


電流型パルス幅復調回路の試作

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要：広島大学のナノエレクトロニクス 21 世紀 COE で提案されている 3 次元カスタムスタックシステム (3DCSS) を用いた画像処理システムの研究が進められている。チップ間の画像データ通信にスパイラルインダクタを用いた無線通信を利用することで、入出力ノードの位置合わせが容易、放熱問題の解消等の利点を持つ。また、転送回路を列並列に配置することで高速な画像処理が実現できる。しかしながら、列並列データ転送では各転送回路の素子特性のばらつきが問題となる。また、スパイラルインダクタによるデータ通信を利用するためには、各画素で計算されたアナログ画像情報をデジタルに変換する必要がある。本試作では、チップ間のデータ通信にパルス幅変調 (PWM) 方式を採用し、素子の特性ばらつきを補償可能な電流型パルス幅信号復調回路を設計した。サイズが $1437.9\mu\text{m} \times 103.3\mu\text{m}$ の転送回路を 10 個並べ、ばらつきの補償効果を確認できるようにした。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 試作ラン：演算回路 (乗算器, 除算器など)

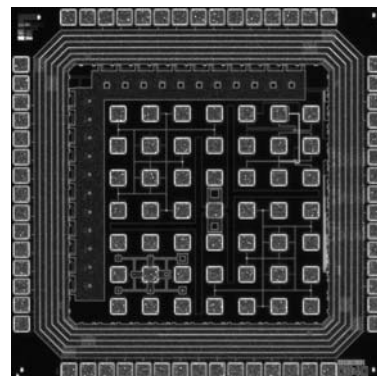


アナログ回路用デバイス TEG

東北大学大学院工学研究科 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要：イメージセンサや A/D・D/A 変換器などのアナログ回路設計に必要な基礎データを収集するためのアナログ回路用デバイス TEG (Test Element Group) を設計し、W/L を変化させた NMOS, PMOS トランジスタ, 抵抗, 容量などの単体素子を試作した。特に、MOS トランジスタのサブスレッショルド領域特性を評価するために MOS トランジスタの測定を重点的に行い、HSPICE 用アナログシミュレーションパラメータの抽出を行った。また、その他の TEG についても現在評価中であり、素子の温度特性を含めた評価を行う。今後は、本 TEG のデータをもとにイメージセンサや A/D・D/A 変換器などのアナログ回路の設計・試作を行う予定である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 試作ラン：TEG (特性評価回路など)

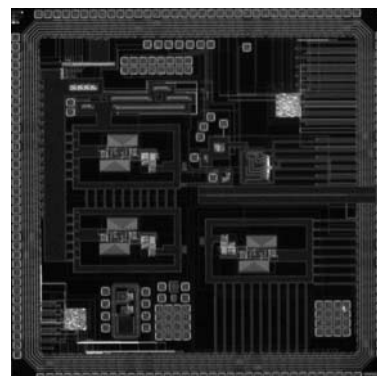


相変化不揮発性メモリと長ビット数対応暗号処理 LSI-IP

金沢大学工学部 集積回路工学研究室 高田 雅史, 橋 秀明, 泉 貴富, 中江 智, 中野 伸吾, 中野 智崇, 朴 虎崗, 北川 章夫

概要：メモリ回路において集積度を上げず、容量を増やすことの出来る多値化の技術は極めて重要である。我々はカルコゲン元素へ印加する電流パルスを制御することにより、多値が実現できることを実験で示した。本試作では、この実験結果を元に LSI 上で相変化多値技術を実現することを目指し、メモリコア回路、及び評価特性用回路を試作した。また、楕円暗号処理 LSI-IP の実現を目指し、以前に $0.35\mu\text{m}$ CMOS プロセスにて設計を行った回路とは異なる実現する上で必要な回路も実装した。さらに、本試作では幾つかの修練用回路も実装されている。一部回路については LSI テスタ及び EB プローバで測定を終えているが、現在引き続き検証中である。

設計期間：7 人月以上, 8 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre, Synopsys 社 NanoSim トランジスタ数：10 未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 4.9mm 角 試作ラン：アナデジ混載

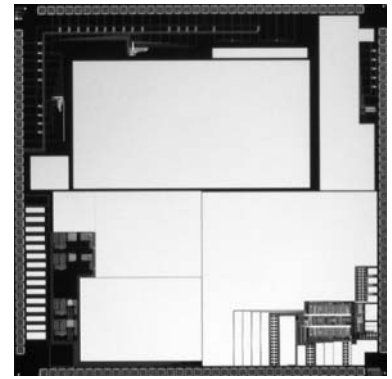


高速配線・オンチップインダクタ評価 TEG

東京大学生産技術研究所 Danardonno Dwi Antono, 鬼塚 浩平

概要：本チップには以下の評価回路が搭載されている。・低消費電力かつ高速配線評価 TEG・オンチップインダクタ評価 TEG テクノロジーの進歩に伴い、チップ内配線はより集積密度が向上しつつあり、中を流れる信号はより高速になっている。今後は周囲の配線から受けるクロストークの影響や配線の持つインダクタンスによるオーバーシュート・アンダーシュートなどの影響が大きくなると予想される。本チップでは低消費電力高速配線を目指すため、それを確認するための回路を設計した。高速配線は通常大きな電力を消費するので、少しでも低消費化できることが望ましい。また、チップ間電力伝送をめざすため、オンチップインダクタについての特性評価を行うためのパターンを作成した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：TEG (特性評価回路など)

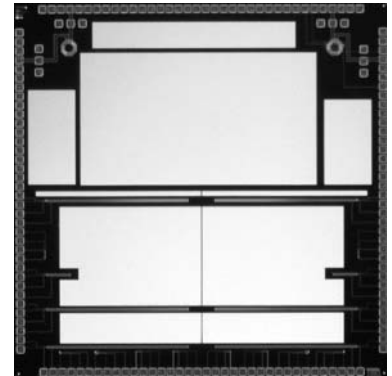


低消費電力アナログ・IO・FPGA 評価 TEG

東京大学生産技術研究所 石田 光一, Quang Canh Tran, 稲垣 賢一

概要：本チップには以下の評価回路が搭載されている。・2次のシグマデルタ型A/Dコンバータ回路・容量結合式無線チップ間伝送におけるノイズ低減回路・FPGAにおけるリークカット回路・低電圧動作可能なレベルコンバータ A/Dコンバータ回路はマイクロワットオーダの低消費電力動作を目指した。容量結合型無線チップ間伝送における、隣接パッドからの信号を受信側センスアンプの逆相側に入力することにより、センスアンプの端子間電圧を増大させることができる仕組みを搭載した。また、1チップのみでも測定できるようにチップ内部で容量結合を作成した回路も組み込んだ。FPGAではMUXが多数用いられており、MUXの入力がHとLが混在したとき、HからLに流れるリーク電流がある。このリークを止めるための回路を設計した。閾値電圧が高いためリークはほとんど流れないのでリークエミュレータの回路をも入れた。また、今後電圧はますます低くなり、レベルコンバータの設計は難しくなる。低電圧でも動作可能なレベルコンバータを設計した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：TEG (特性評価回路など)

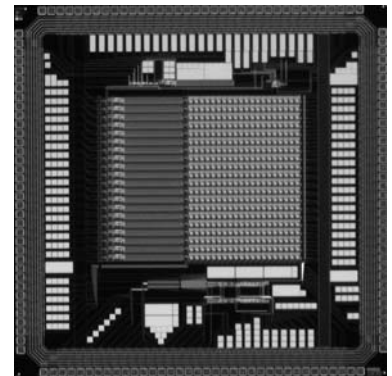


Inverse Function Delayed モデルで構築した学習機能を有するニューラルネットワーク

東北大学情報科学研究科 福原 淳, 伝田 達明, 早川 吉弘, 中島 康治

概要：本チップは、我々が提案しているニューロンモデルである Inverse Function Delayed (ID) モデルの実装を目指したものである。このIDモデルは、負性抵抗効果を導入でき、自励発振現象やニューラルネットワークで問題となる極小値問題の効果的な解決手段であることが示されている。今回の試作目的は、複数のIDモデルユニットを用いてネットワークを構築し、組み合わせ最適化問題の解探索性能評価、及び学習機能を実現し、その基本動作を検証することである。主なモジュールは、ニューロン回路・シナプス回路・学習回路である。ニューロン回路では、IDニューロンの基本方程式を実現する。シナプス回路では、ネットワークの情報を記憶し、また乗算を行う。学習回路では与える問題に合わせてネットワークの状態を変化させ、シナプス回路の記憶状態を更新する。シナプス回路におけるネットワークの状態記憶は、3ビットのSRAMで実現しており、ニューラルネットワークに必要な機能を全てオンチップで実現している。現在一部のテスト回路の動作を確認しており、今後さらに測定を進める予定である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 試作ラン：メモリ



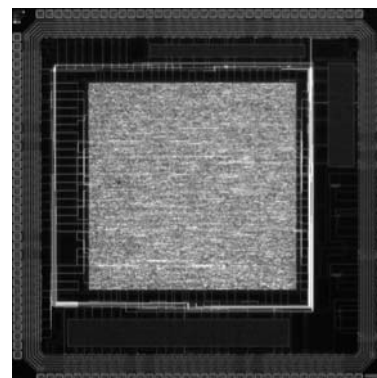
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要：SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、14b の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**アナログ (PLL, A-D/DC-DC コンバータなど)



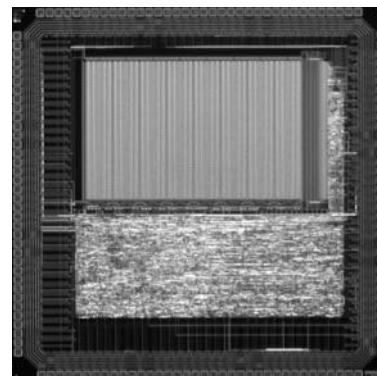
64 参照パターン用自動学習連想メモリテストチップ

広島大学先端物質科学研究科 溝上 政弘

広島大学ナノデバイス・システム研究センター マタウシュ ハンスユルゲン,
小出 哲士

概要：我々が開発している 64 参照パターンを処理可能な最小マンハッタン距離検索連想メモリを用いて、パターン認識・学習チップを試作した。本チップは最小距離検索の結果、入力パターンと最小距離パターン間の距離が小さい場合は同一パターンと認識し、2パターン間の距離が大きい場合は入力パターンを新規参照パターンとみなす。この入力パターンを新規参照パターンとして学習するため、プライオリティ (rank) の最下位の参照パターンを削除し、メモリ内参照パターンの自動更新を行なう。また、同一パターンと認識された参照パターンは、削除されないよう rank を上げる学習をする。本チップは入力パターンに対し約 290nsec でパターン認識・学習を処理する。

設計期間：3 人月以上、4 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**その他

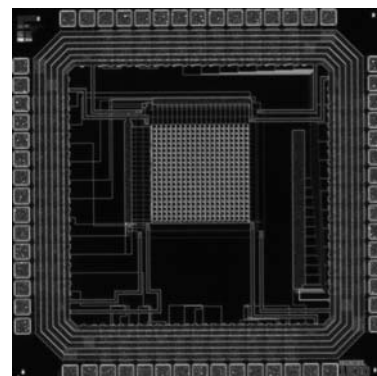


イメージセンサの検証用回路

東京理科大学工学研究科 今井 功, 笹倉 康明, 川原 隆輔

概要：将来の本格的なスマートイメージセンサ試作に備えて、撮像回路とその周辺回路の基本動作を確認するための検証用チップを試作した。本チップは、反転型フォトダイオードアレイからなるセンサ回路と、いくつかのテスト回路で構成される。センサ回路は横 20x 縦 20 画素を有しており、周辺に配置したシフトレジスタを用いて画素値を読み出す。テスト回路としては、3つの異なる構造を持ったアクティブピクセルセンサ用のセル回路、比較回路、アドレスデコーダ回路等を集積した。これらの回路を用いて、各構造による光電変換効率の調査や、比較回路の精度の検証、アドレスデコーダの動作確認等を行った。

設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**1,000 以上、10,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン：**イメージセンサ/スマートセンサ



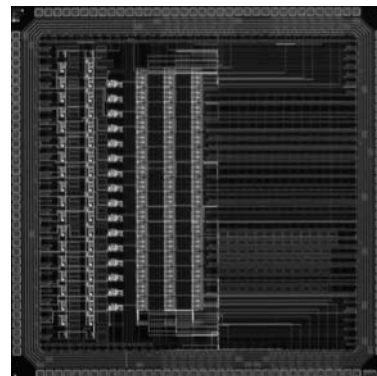
マイクロストリップガスカウンタ用信号処理回路

東京大学大学院工学系研究科 Yeom Jung Yeol

東京大学人工物工学研究センター 高橋 浩之

概要：マイクロストリップガスカウンタ (MSGC) は、ガラス基板上に細いストリップと太いストリップを交互に配置し、細いストリップに高電圧を与え、気体中で動作させることで高い増幅度を有する電子増幅器として動作するものである。本チップは、多チャンネルのMSGCにおいて必要なパルス信号処理回路として開発された。MSGC から得られる 100-300nsec 程度の幅で 10fC 程度の大きさの信号電荷パルスを増幅、フィルタリングし、あらかじめ設定しておいた信号レベル間を満足するような大きさのパルス信号のみを抽出するものである。本チップには 16 チャンネルを集積し、フィルタリングの時定数などは可変とし、各チャンネル毎に、抽出すべき信号レベルを設定できる。出力信号は、モニタ用のアナログ信号と計数用のデジタル信号の 2 種類を出力する。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **試作ラン：**アナデジ混載



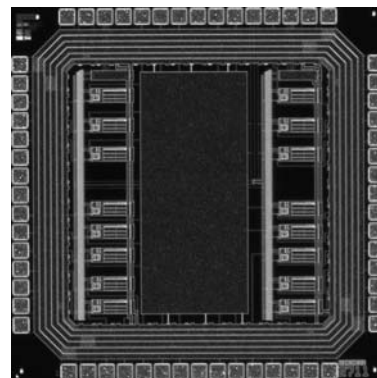
低雑音 16 チャンネルプリアンプ

東京大学大学院工学系研究科 Yeom Jung Yeol

東京大学人工物工学研究センター 高橋 浩之

概要：放射線イメージングの中でもガスカウンタや半導体検出器などでは、PET 検出器に要求されるような極端な高速性能は必要とされない。本チップでは、これまでの試作結果を踏まえ、これらの検出器への応用を考えて低消費電力かつ低雑音な多チャンネルプリアンプを開発した。1 チップ上に実用上十分なチャンネル数として 16 チャンネルのプリアンプを実装し、ディケイタイムなどは可変とした。立ち上がり時間の実測値は 22nsec 程度であるが、等価雑音電荷は 350 電子程度であり、1 チャンネルあたりの消費電力は 4.4mW である。また、入力信号のダイナミックレンジ-500fC から 1500fC の範囲で一定の増幅度 \sim 1V/pC を保ち、良好な線形性を示すなど、低雑音の多チャンネル計測を比較的容易に実現することができる。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン：**アナログ (PLL, A-D/DC-DC コンバータなど)

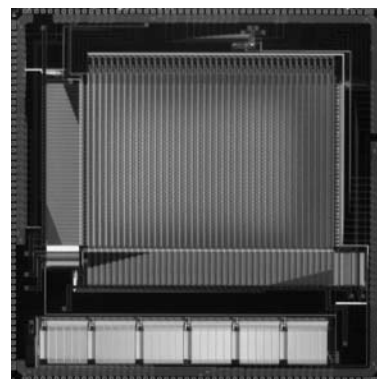


多層構造 Convolutional Neural Network 演算回路チップ

九州工業大学大学院生命体工学研究科 是角 圭祐, 中野 鉄平, 森江 隆

概要：本チップは、物体検出を実現する多層構造 Convolutional Neural Network を実現するために、時分割で階層処理を行なう積和演算回路と、各階層における演算結果を保持する SRAM を実装したものである。積和演算の 1 回の処理時間は 110nsec. (クロック 100MHz) として設計した。検出対象画素サイズは 40 \times 40 (=積和回路アレイサイズ) としており、画像から人間の眼を検出することを目指している。積和演算は、最大で 21 \times 21 個を並列に実行可能であり、その際の演算性能は約 8GOPS である。また SRAM は、640 ワード \times 13 ビットのメモリブロックを 6 個実装し、3840 ワード \times 13 ビットのメモリとして構成した。本メモリにおいては、分割ワード方式を採用しており、各メモリセル列のワード信号を分割ワードドライバで駆動し、非選択メモリセル列のワード信号を常に Low とするため、非選択メモリセル列のビット線のプリチャージが必要なくなり、消費電力を削減できる。なお、書き込み・読み出し速度は 100MHz として設計した。現在測定 (テスト除く) を行なっている。

設計期間：4 人月以上, 5 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Avanti 社 Appolo, SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 9.8mm 角 **試作ラン：**ニューテクノロジー



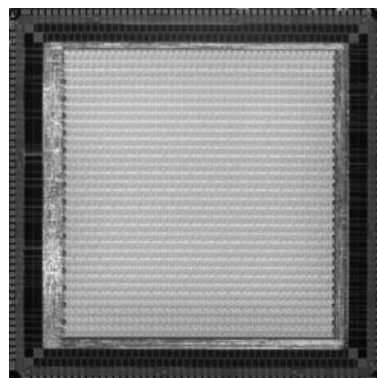
境界セル限定動作機能を持つ41x33セル画像分割セルネットワーク回路

広島大学先端物質科学研究科 森本 高志, 足立 英和

広島大学ナノデバイス・システム研究センター 桐山 治, 小出 哲士,
マタウシュ ハンスユルゲン

概要: 複雑な自然画像に対して直接、動き検出や物体認識処理をかけた場合、背景など様々な情報が存在するため処理が複雑になる。画像分割は複雑な自然画像から必要なオブジェクトを取り出すことにより情報量を削減する処理である。また、動画処理や高速な認識のためにはハードウェアによる高速化が必要不可欠であり、我々の研究室ではこのためにリアルタイム画像分割アーキテクチャを提案している。本チップではフルカスタムの41x33セルネットワークに境界セル限定動作を加えることで更なる低消費電力化を実現した。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **試作ラン:** その他



大規模参照パターン全並列最小マンハッタン距離検索連想メモリ

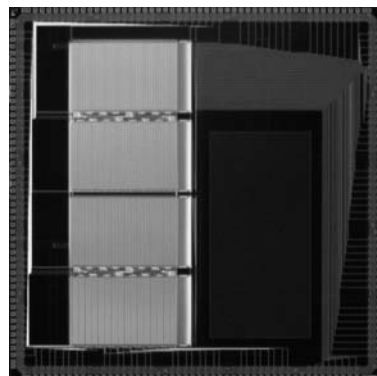
広島大学先端物質科学研究科 矢野 祐二

広島大学ナノデバイス・システム研究センター 小出 哲士,
マタウシュ ハンスユルゲン

概要: 高速で小面積、更に低消費電力を実現した全並列型アーキテクチャによる連想メモリにおいて、今回は4バンク型の5bit最小マンハッタン距離検索連想メモリを設計した。メモリ領域は各バンクが64行80列の4バンク構成となっており、5bit \times 16ユニットの参照データを256パターン格納可能である。レイアウト面積は2ステージとなった最小距離Winner選択回路の面積オーバーヘッドから25.6mm 2 で実現しており、最小距離検索回路は全体の10.8%で実現できた。シミュレーションによって、280ns以下での最小距離検索が可能であることを確認できた。また、パイプライン動作を考慮してバンク内のWinner検索処理とデジタルでのトーナメント比較処理を分離して実行するための機構をメモリ領域内に設けているため、実際の応用の際に大規模パターンの全検索への拡張が容易で、検索時間の増大も最小限に留めることが可能である。

参考文献: なし

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **試作ラン:** メモリ



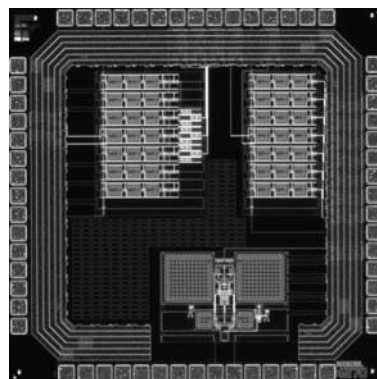
検索時間の増大も最小限に留めることが可能である。

低周波・低消費電力増幅回路及びAD変換回路の設計

大阪府立大学先端科学研究科 田中 智之, 中尾 基, 泉 勝俊

概要: 近年のデバイス・プロセス及び回路設計技術の進展により、LSIの電源電圧は低くなってきている。すなわち低消費電力化は進むが、これに伴いアナログ回路設計では、様々な問題が発生してくる。本試作では、先の試作において設計した低消費電力増幅回路の改良版として、回路構成を変えた増幅回路の設計を行った。改良点としては、低消費電力という基本コンセプトに加え、低雑音化も考慮に入れたことである。増幅部分を差動構成にし、前試作と大幅に回路構成を変更したため、消費電流は増える結果となった。なお、AD変換回路の動作機構の習得用として3bit-フラッシュ型AD変換回路、及びその他としてコンパレータも設計・試作してみた。所望の回路特性というレベルには至らなかったが、第一段階として種々の特性は得られた。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)

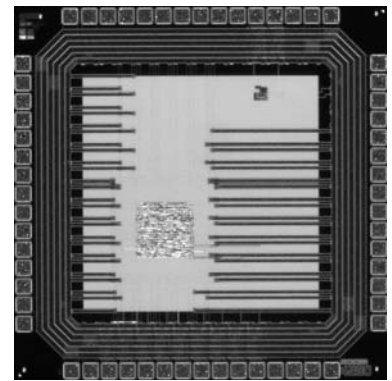


低ジッタ全デジタルPLLおよびアナログPLLの試作

九州東海大学工学部 佐々木 博文, 藤本 邦昭

概要:我々は、全デジタルPLL (PLL: Phase Locked Loop) の高性能化を目的として研究を進めている。前回の試作では入力信号に同期させて出力周波数を決定するプログラマブル分周器を毎回リセットさせることにより出力ジッタを基準クロックの2パルス以内に抑制することができる全デジタルPLLを試作した。今回は、位相差が基準クロックの1パルスに達した時、次の一周期間、出力周波数を決定するプログラマブル分周器の分周比を±1することにより位相を補正し、位相差が基準クロックの2パルス以上になった場合、初期引込み回路を動作させ、強制的に同期状態に引込む方式を提案した。この方式は、出力ジッタを基準クロックの1パルス以内に抑制することができる。回路動作については、シミュレーションおよびFPGA (Field Programmable Gate Array) を用いた実験で既に確認していたが、今回の試作により集積化した場合にも問題なく動作することを明らかにした。また、今回の試作では、比較するためにアナログPLLも同一チップ内に試作した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** その他

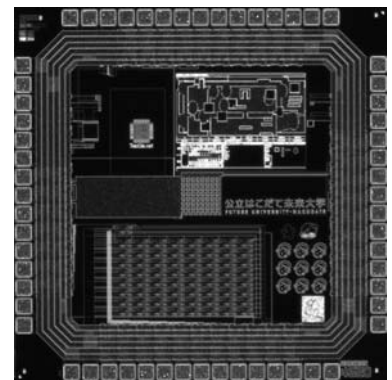


二次元平面上的細線化による対象物体検出回路

公立はこだて未来大学システム情報科学部 秋田 純一

概要:受光系と信号処理系を同一チップに集積する VisionChip は、画像信号の並列性を生かすことができるために従来の画像処理系と比較して圧倒的な高速処理が可能となる。ロボットビジョンなどへの応用を考えると、出力は画像の何らかの抽象量、すなわちスカラ量であることが望ましい。本チップでは、平面上に存在する物体の中心位置スカラ量として抽出する VisionChip の実現のために、物体の中心位置を示すフラグを生成するアルゴリズムとその検証回路の設計と試作を行った。画素ごとに隣接画素の値に応じて遷移するオートマトンを配置し、画素平面全体でセルオートマトンを形成し、全体として細線化処理を並列に行う。細線化処理の最後で消滅する点を物体の中心とみなし、効率的に細線化を行うためのオートマトンの遷移関数の検討を行った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** イメージセンサ/スマートセンサ



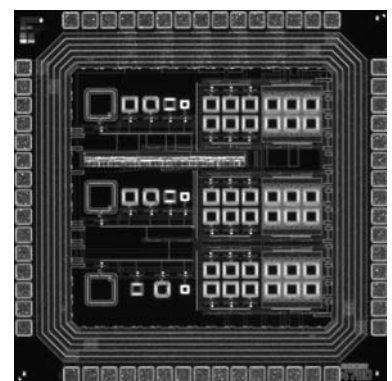
インダクタンス結合チップ間無線通信チャンネルアレイにおけるクロストーク測定用送信チップ

慶應義塾大学理工学部 三浦 典之, 黒田 忠広

概要:オンチップインダクタ間のインダクタンス結合を利用してチップ間無線インターフェースを考案した [1]。この技術により 1.2Gb/s/ch のデータ通信が可能である。データバンド幅はチャンネルのアレイ配置によりさらに向上される。一方、アレイ内のチャンネル間クロストークは信号品質を劣化するため、チャンネルアレイにおけるクロストークの測定および解析は必要不可欠である。本チップにおいて送信チャンネルアレイを設計した。回路はインダクタを備えたデータ通信用の H-bridge 送信回路である。本チップは同時に設計した受信チップとスタックすることにより、クロストーク測定用回路内の受信インダクタとの結合を形成し、クロストークの測定を行う。送信チップは 60, 90, 120 μ m に研磨して 3 種のチップを作成し異なる通信距離において測定ができるように実装上の工夫を施した。正常動作を確認し、クロストーク波形の測定に成功し、チャンネルアレイにおける Interference-to-Signal Ratio (ISR) を測定した。

参考文献: Mizoguchi, Yusof, Miura, Sakurai, Kuroda, "A 1.2G/s/pin Wireless Superconnect Based on Inductive Inter-chip Signaling (IIS)", ISSCC Digest of Technical Papers, pp.142-143, Feb. 2004.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** 通信 (RF 回路, ATM など)



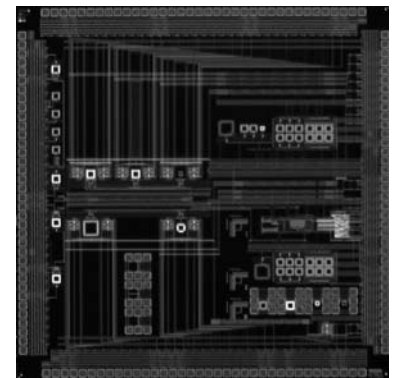
インダクタンス結合チップ間無線通信チャンネルアレイにおけるクロストーク測定用受信チップ

慶應義塾大学理工学部 三浦 典之, 黒田 忠広

概要: オンチップインダクタ間のインダクタンス結合を利用してチップ間無線インターフェースを考案した [1]。この技術により1.2Gb/s/chのデータ通信が可能である。データバンド幅はチャンネルのアレイ配置によりさらに向上される。一方、アレイ内のチャンネル間クロストークは信号品質を劣化するため、チャンネルアレイにおけるクロストークの測定および解析は必要不可欠である。本チップにおいてチャンネルアレイの発生するクロストーク測定回路を設計した。回路はインダクタを備えたデータ通信用の受信回路とその両端に接続したエンベデッドディテクタにより構成される。本チップは同時に設計した送信チップとスタックすることにより、送信チャンネルアレイとの結合を形成し、クロストークの測定を行う。送信チップは60, 90, 120 μm に研磨して3種のチップを作成し異なる通信距離において測定ができるように実装上の工夫を施した。正常動作を確認し、クロストーク波形の測定に成功し、チャンネルアレイにおける Interference-to-Signal Ratio (ISR) を測定した。

参考文献: Mizoguchi, Yusof, Miura, Sakurai, Kuroda, "A 1.2Gb/s/pin Wireless Superconnect Based on Inductive Interchip Signaling (IIS)", ISSCC Digest of Technical Papers, pp. 142-143, Feb. 2004.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm角 **試作ラン:** 通信 (RF回路, ATMなど)

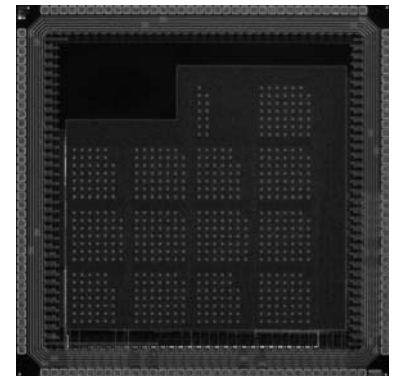


光再構成型ゲートアレイ

九州工業大学 渡邊 実

概要: 光により高速に再構成が可能な光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) -VLSIを開発した。このデバイスでは、チップ表面に並べられた受光素子に対してプログラム光を照射することで、ゲートアレイ部の回路を瞬間的に再構成することが可能である。この度の設計では、フォトダイオード受光部のサイズを25.5 μm ×25.5 μm 、その間隔を99 μm とし、605個のフォトダイオードを実装した。また、ゲートアレイ部は、4ビット入力LUT (Look-Up Table) を1個持つ論理ブロックが4個、スイッチング・マトリックスが5個、8本の配線チャンネル、16ビットのI/Oから構成される。この度試作した ORGA のゲートアレイ構造は従来の試作品のものと同じであるが、評価の目的で、複数のタイプの再構成回路を実装している。設計に使用した言語はVHDLであり、論理ブロック、スイッチングマトリックス、I/Oブロック個別にレイアウトし、それらのマクロセルを使用してチップの配置配線を行った。

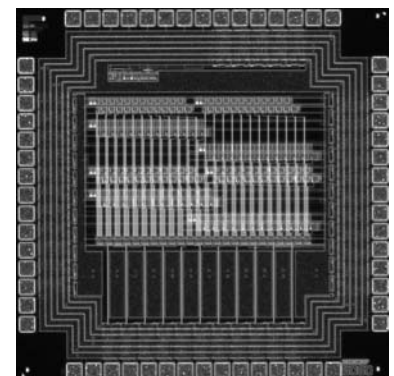
設計期間: 0.1人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm角 **試作ラン:** ニューテクノロジー



フルカラーLEDディスプレイ駆動回路の設計

概要: フルカラーLED平面ディスプレイの駆動方式に関して、インターフェース信号を削減する目的でサブフレーム駆動方式の研究を進めている。本試作チップはLED駆動回路部分の回路方式検討用として設計したものであり、駆動用データを保持するためのフリップフロップ回路と、データシフト方式の種々の組合せについて、動作周波数、消費電力などを比較評価を行うことのできる回路を実装している。また、サブフレーム駆動方式に関しては、すでに、FPGAでの実装を行い方式の検討を行い、マトリックス方式に比べてインターフェース信号の数を減らせる点で有利であることがわかっているが、FPGAでの実装では動作周波数、消費電力、面積などの評価を行うことが難しいため、LSIチップ化した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μm 2.4mm角 **試作ラン:** その他



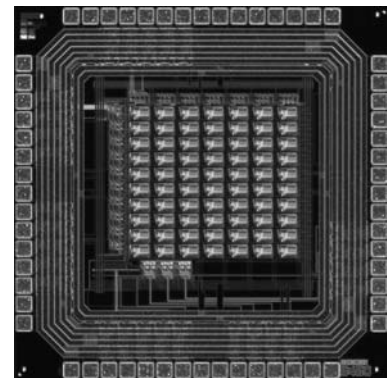
ゼロ交差検出回路

大阪大学大学院工学研究科 井上 恵介, 下ノ村 和弘, 八木 哲也

概要: 我々が今までに開発したシリコン網膜は、2次元のラプラシアン・ガウシアン型フィルタ処理を実現できる。本チップは、そのシリコン網膜のアナログ出力に対してゼロ交差検出を行い、実時間で輪郭の位置を検出する。チップは、アナログメモリとゼロ交差検出回路によって構成した。アナログメモリは、2次元的にゼロ交差検出を行うために、逐次的に読み出されるシリコン網膜の出力を保持するためのものである。そのアナログメモリから適当な画素情報を読み出し、ゼロ交差点を検出する。シリコン網膜の六角格子状の画素配置を考慮し、3方向でゼロ交差点を検出するために、ゼロ交差検出回路は3つインプリメントした。なお、テストによる測定は行っていない。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:**

1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** 演算回路 (乗算器, 除算器など)

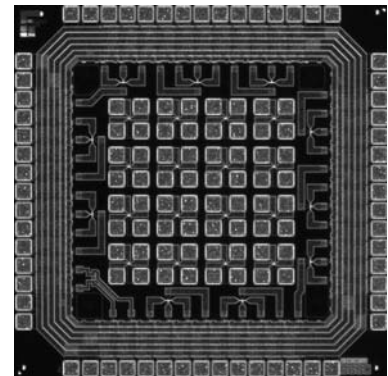


スペース赤外線天文観測用極低温動作読みだし集積回路評価用素子の試作

総合研究大学院大学物理科学研究科 和田 武彦

概要: スペースからの天文観測の特徴であるバックグラウンドの低さを生かすためには、読みだしノイズ低減のため、検出器近くにプリアンプを配置することが望ましい。しかし、赤外線観測では暗電流の低減のために検出器を極低温に冷却するため、プリアンプも極低温で動作する必要がある。また、効率良く観測を行なうには、多画素化が必要であるが、極低温部への入熱を小さくするため多数の出力信号線を用いることができず、出力信号を低温部で多重化する必要がある。そのため、極低温で動作する読みだし集積回路の開発が必要となっている。今回の試作では、極低温でも良好な動作が期待される twin gate 構造の FET 素子の試作を行なった。比較のため、2つの gate 長の比を変更した素子と、通常の gate 構造をもつ FET も同時に配置した。FET 素子特性を評価するため、すべての FET に独立な PAD を配置した。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** TEG (特性評価回路など)



ニューロン MOS トランジスタを用いた D/A コンバータの TEG

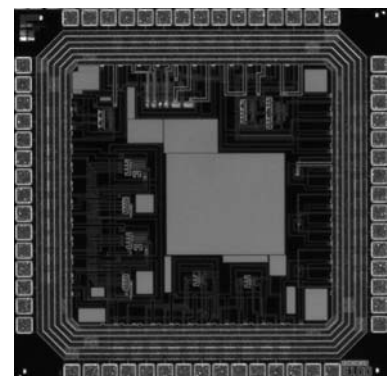
東海大学大学院工学研究科 福原 雅朗

東海大学電子情報学部 吉田 正廣

概要: 我々の研究室では、ニューロン MOS トランジスタという機能デバイスを用いたハミング距離検出回路を提案し、その応用に関する研究を行っている [1]。本チップ試作は、提案回路の構成要素の一つであるニューロン MOS トランジスタを用いた D/A コンバータの電気的特性を評価することを目的としている。ニューロン MOS トランジスタはフローティングゲートを有する特殊なデバイスであるため、このフローティングゲートに電荷が蓄積され、これによって所望の動作が行えなくなることが懸念されている。この電荷を初期化する方法の一つとして、蓄積された電荷を放電するためのリセット用トランジスタをフローティングゲートに付加することが考えられる。そこで今回は、リセット用トランジスタを付加したニューロン MOS トランジスタを用いた 3bit D/A コンバータとそれを付加していないものを、それぞれ寸法を変えて二種類ずつ、計四種類試作した。なお、試作チップの測定及び評価はまだ行っていない。

参考文献: [1] 福原, 吉田, “ニューロン MOS トランジスタを用いたハミング距離検出回路の提案”, 電気学会 電子・情報・システム部門大会, GS3-2, 2003 年 8 月。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **試作ラン:** TEG (特性評価回路など)

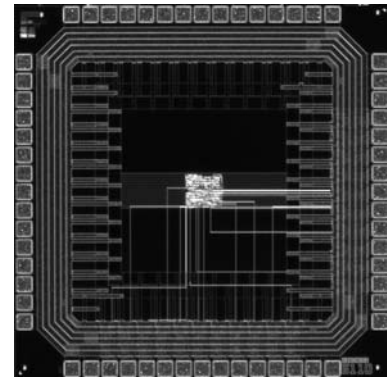


ピクセル検出器用コントロール回路及びデータ圧縮回路

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸

概要：現在ピクセル検出器の読み出し行おうとしており、アナログデジタル混在のフロントエンドエレクトロニクスは存在している。また読み出用信号線を少なくするために1Gbpsの光ファイバーを使用する予定である。しかしながら全てのデータを読み出そうとすると1Gbpsを超えてしまうため、何らかのデータ圧縮機能を持った回路を検出器近傍に実装する必要がある。幸い実際の環境下ではある条件を満たしたものだけが信号であることは分かっているため、特殊な演算をICの中で行うことによって十分なデータ圧縮効果が得られる。このICにはこのデータ圧縮回路及び検出器のコントロール回路を実装してある。また回路のテスト用にパターン発生器を作りこみデバッグが容易になるようにしてある。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Avanti社 Appolo, Mentor社 Calibre **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**TEG (特性評価回路など)

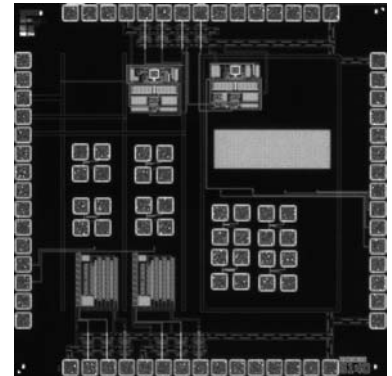


デジタル雑音低減のためのアクティブ・シールド回路の作成

東京工業大学理工学研究所 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：近年、アナログ回路の高速性とデジタル回路の柔軟さを兼ね備えたアナログ・デジタル混載集積回路が注目を集めている。アナログ・デジタル混載集積回路では、デジタル回路が導通と遮断を繰り返すことにより、基板を介して雑音アナログ回路の特性を劣化させることが知られている。これを避けるために、我々はアクティブ・シールド回路を提案している。本試作では、アクティブ・シールド回路の他に、デジタル回路としてリング・オシレータも構成し、リング・オシレータからの雑音がどの程度提案のアクティブ・シールド回路により低減できるか確認できるようにした。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100以上, 1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **試作ラン：**アナログ (PLL, A-D/DC-DCコンバータなど)





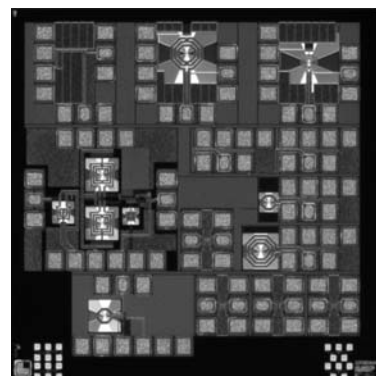
(HIT18023)

ミリ波帯 PLL に向けた複数係数周波数分周回路の作成

東京大学新領域創成科学研究科 山本 憲, 乗松 崇泰, 藤島 実
東京大学工学系研究科 木野 順

概要：トランシーバにおける搬送波を発生させる位相同期ループ (PLL) の高速動作を目指している。これには、電圧制御発振回路 (VCO) と周波数2分周回路の高性能化が重要になる。そこで、ミリ波帯で動作する電圧制御発振回路の設計を行った。また、PLLを作成するためには複数の分周数を持つ周波数分周回路の構成方法がPLLの高速動作の鍵となる。今回の試作では、アナログミキサを利用して高速に動作する複数係数周波数分周回路を提案し、試作を行った。さらに、周波数2分周回路のトランジスタのパラメータを最適化し、低電圧・低消費電力で動作する周波数2分周回路の設計を行った。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：日立製作所 CMOS 0.18μm 2.8mm 試作ラン：通信 (RF回路, ATMなど)

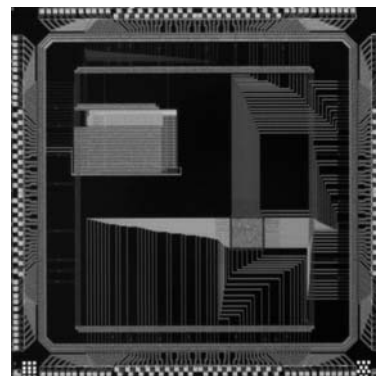


タイムドメイン DP マッチングプロセッサ, MIMD 連想プロセッサの演算器コア

東京大学大学院新領域創成科学研究科 小川 誠
東京大学工学部 早川 仁

概要： タイムドメイン DP マッチングプロセッサ: 遅延時間を用いたアナログ回路により dynamic programming (DP) マッチングを高速・低消費電力で行うプロセッサを開発した。DP マッチングとはシーケンス間のマッチングで、エレメント間のずれも考慮して最適の照合を行うアルゴリズムである。音声認識やDNAの解読等で頻繁に用いられるが計算量が極めて大きい。今回試作したプロセッサでは、エレメントの値を遅延時間で表現し簡単なデジタル論理回路で最適なシーケンスを検索する。試作チップの測定の結果、16次元のパタンのマッチングを電源電圧1.3Vの下、80nsの処理時間、2mWの消費電力で実現することを確認した。 MIMD 連想プロセッサの演算器コア: 通常の演算処理と連想処理を演算器を切り替えることで効率よく処理するMIMD型の連想プロセッサの演算コアを試作した。具体的には8ビットの加減算・絶対値・累算を行う演算器を試作した。これらの演算器を直列に接続することで、ベクトル間のマンハッタン距離を計算する演算である $\sum |A-B|$ を連想専用プロセッサと同様の速度で行い、演算器を並列に切り替えて用いることで通常の演算も実現する。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：日立製作所 CMOS 0.18μm 5.9mm 試作ラン：演算回路 (乗算器, 除算器など)



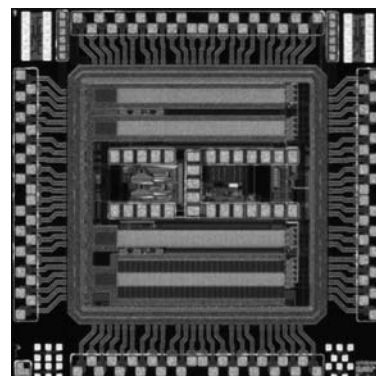
オンチップサンプリングオシロスコープ回路を用いたシグナルインテグリティの評価

京都大学情報学研究科 新名 亮規, 宮崎 崇仁, 橋本 昌宜, 小野寺 秀俊

概要：現在、LSI上でのシグナルインテグリティの劣化がLSI全体の性能劣化を引き起こし、問題となっている。この問題を解決には、LSI内部の波形の実測が必要がある。今回我々は、高周波のインダクタンス性ノイズを測定するという目的のもと、オンチップオシロ回路の開発を行った。測定チップは、大きく分けてノイズ発生部分、PLL回路、サンプリングクロック発生回路、サンプルホールド回路、出力バッファの5ブロックから構成されている。シミュレーション段階では、サンプル方法の改良などによりグラウンド電圧付近では16GHzの帯域を持つサンプルホールド回路が実現できた。これにより、シミュレーションではインダクタンス性ノイズの観測に成功した。サンプルホールド回路のDC特性は測定できたが、現在のところ実チップでの正常動作は確認できていない。

参考文献：宮崎, 新名, 橋本, 小野寺, "オンチップオシロ用サンプルホールド回路の広周波数帯域化," C-12-34, 電子情報通信学会総合大会 (2003) .

設計期間：9人月以上, 10人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：10,000以上, 100,000未満 試作ラン：日立製作所 CMOS 0.18μm 2.8mm 試作ラン：アナログ (PLL, A-D/DC-DCコンバータなど)

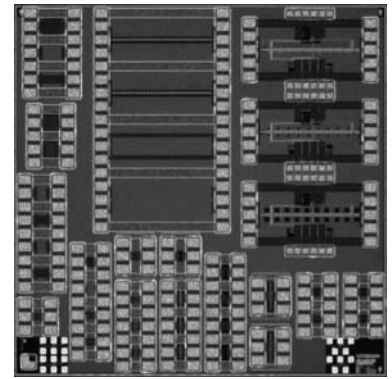


電源網解析向け容量特性評価 TEG

京都大学情報学研究所 山口 隼司, 橋本 昌宜, 小野寺 秀俊

概要: 近年の動作速度の向上, 消費電力の増大により, LSI 電源網の解析が重要となっている。正確な電源網の解析には, 電源網に寄生するさまざまな容量をモデル化する必要がある。本 TEG は, LSI 内部における電源線に付加する容量成分の周波数特性を明らかにするために作成した。ウェル容量, デカップリング容量, メタル容量の周波数特性をネットワークアナライザを用いて測定する。電源線のノイズの伝搬特性を評価する TEG, ならびにセルベース設計に用いることができるデカップリング容量セルも開発した。メタル容量は目的通りに測定できたが, ウェル容量は正常な測定を行うことができなかった。原因の追求が課題である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.8mm **試作ラン:** TEG (特性評価回路など)

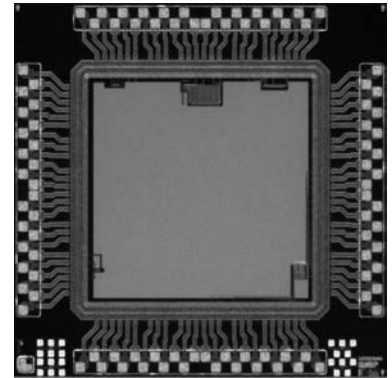


レベルシフト回路

東京大学生産技術研究所 石田 光一, 宮崎 隆之

概要: テクノロジーの進歩にしたがって, アナログ, デジタル, メモリ等それぞれの回路で適切な電圧が異なってきている。また, 同一ブロック内でもプロセッサ負荷に応じて複数の電圧を使い分ける技術が求められている。異なる電源電圧のブロックに信号を送るとき, 相手が自分より低い電圧で動作しているならばさほど影響はないが, 相手が自分より高い電圧で動作しているときは低い電圧基準での high を送っても, high と認識されない可能性すらある。そこで必要となるのがレベルシフト回路である。本試作では複数のパターンのレベルシフト回路を実装した。トランジスタのストレス緩和を図ったレベルシフト回路。既存のプロセスを用いて, ゲート酸化膜にオーバストレスをかけることなく, 電源電圧範囲を超える出力振幅を得るレベルシフトなどである。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.8mm **試作ラン:** TEG (特性評価回路など)



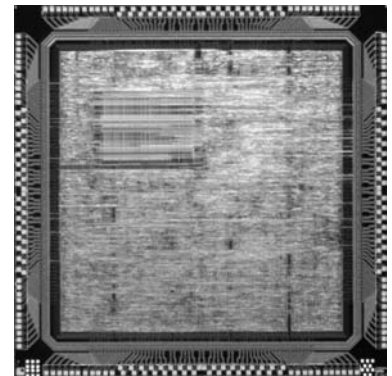
コンフィギュラブルプロセッサを用いた JPEG2000 符号器の設計

京都大学情報学研究所 筒井 弘, 増崎 隆彦, 林 宙輝, 泉 知論, 尾上 孝雄, 中村 行宏

概要: 静止画像符号化標準 JPEG2000 は, 高圧縮, 高機能を特長とし, 幅広い分野への応用が期待されている。しかし, 現行の符号化標準に比べて数倍の処理能力を必要とし, リアルタイム性の要求されるアプリケーションにおいては, 高速化実装が必要不可欠となる。そこで, 米テンシリカ社のコンフィギュラブルプロセッサ Xtensa と, JPEG2000 符号化処理アクセラレータを搭載する JPEG2000 符号器を設計した。アクセラレータはエントロピー符号化と離散ウェーブレット変換 (DWT) を高速に処理し, Xtensa ローカルメモリ・インターフェース (XLMI) によりプロセッサと接続されている。本符号器を用いて 512 \times 512, 8 ビット深度, グレイスケールのテスト画像を量子化せずに圧縮する場合, 処理に要する時間は 55MHz 動作時で約 3 秒である。これは Xtensa のみを利用する場合の約 10 倍の速度である。

参考文献: [1] Y. Hayashi, H. Tsutsui, T. Masuzaki, T. Izumi, T. Onoye, Y. Nakamura, "Design Framework for JPEG2000 Encoding System Architecture", Vol. 2, pp. 740-743, in Proc. of ISCAS2003 (2003) .

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** 日立製作所 CMOS 0.18 μ m 5.9mm **試作ラン:** アナログ/デジタル信号処理プロセッサ

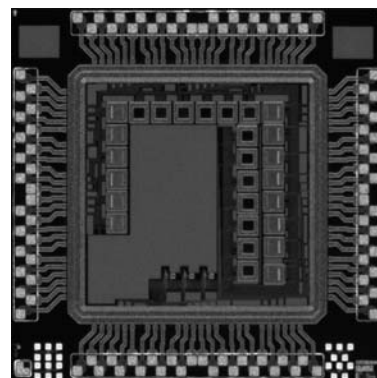


フォトダイオード基礎特性測定 TEG

奈良先端科学技術大学院大学物質創成科学研究科 岡本 英樹, 山本 幸司, 香川 景一郎,
太田 淳, 布下 正宏

概要: フォトダイオードの受光感度, 拡散キャリアによる画素間クロストーク, 接合容量の電圧依存性などの基本特性は, イメージセンサを設計する上で重要である. ファウンダリの提供する CMOS, BiCMOS, SOI プロセスなどを用いて pn 接合を作ればフォトダイオードは実現できる. 汎用プロセスでは, プロセスがイメージセンサに最適化されていないことから, 暗電流が大きく, 受光感度が悪いことが考えられ, これらの特性と設計時に把握しておくことは非常に重要である. しかし, これらの特性は公開されておらず, 研究室ごとにデータを蓄積するか, トライ&エラーで設計しているのが実情である. そこで, イメージセンサの基本特性データを大学間で共有することを目的とし, フォトダイオードの基本特性を測定するための TEG 仕様を策定した. 測定データは, 今後公開することを考えている. 今回は, 日立 0.18 μm について, フォトダイオードの基礎データ測定用 TEG を試作した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.8mm **試作ラン:** イメージセンサ/スマートセンサ



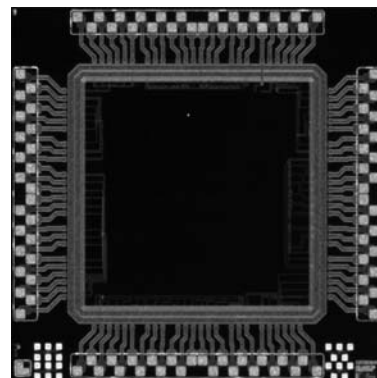
LSI 設計評価用基本デバイス TEG

高知工科大学工学部 石川 純平, 大橋 健二, 橋 昌良, 河津 哲

概要: LSI を設計するに当たり, 基本デバイス特性を確認することを目的として, チャネル長をパラメータとした N チャネル MOS トランジスタ, 及び, P チャネル MOS トランジスタと C-MOS インバータの設計を行った. 2.5V 系と 1.8V 系との比較用 TEG も併せて設計した. 更に, 長チャネル MOS トランジスタの電位分布測定などチャネル特性を評価する TEG の設計も併せて行った. 具体的にはチャネル長 0.35~10 μm の単体 MOS トランジスタ, インバータ 及びチャネル内の引き出し端子付 MOS トランジスタ等で構成されている

参考文献: [1] 石川, 矢野, 河津, “CMOS インバータの基本設計および特性解析”, 2003 年電気関係学会四国支部連合大会, 9-12, p141, 愛媛大学, 2003 年 10 月

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.8mm **試作ラン:** TEG (特性評価回路など)



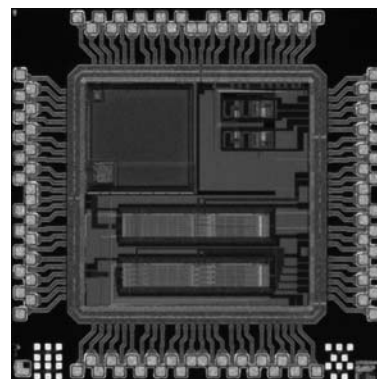
超多重 RFID 向けトランスポンダ実験チップ

神戸大学工学部 福水 洋平, 大野 修治, 瀧 和男, 野口 宏一郎, 奥本 健, 永田 真

概要: 本試作チップは超多重応答を可能にする RFID システム [1] において, 小規模な輻輳制御を実現するトランスポンダ (タグ) の実験回路であり, RF 信号処理・デジタルロジック・キャパシタから構成される. 本回路は電磁誘導による非接触給電で外部から供給される電力を内蔵のキャパシタに蓄え, キャパシタに十分な電力が蓄積されると, 読取り機と同期をとってからタグ ID を拡散変調し発信するものであり, 通信方式の基本性能および輻輳制御の妥当性を確かめることを目的としている. このチップについては, チップの基本的な動作確認を終え, 通信方式の検証ならびに多重制御の評価フェーズに移るところである.

参考文献: [1] Yohei Fukumizu, et al., "A Highly Collision Resistive RFID System", APSITT-2003, pp. 223-228, Nov. 2003.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.8mm **試作ラン:** 通信 (RF 回路, ATM など)



test

todaivdec komatsu satoshi

概要：【バグダッド＝岡本道郎】イラクでの日本人質事件で、ミズハル・ドレイミ・イラク人権擁護協会会長は12日午後（日本時間同夜）、読売新聞の電話取材に対し、誘拐犯と見られる組織との交渉で、人質に危害は加えないと言質をとっていることを明らかにした。同氏はまた、人質解放交渉の問題点が「日本政府の態度に一切変化が見られないことだ」と指摘する一方で、「まもなく解放されるだろうと思う」と楽観的な見通しを示した。

（読売新聞）【バグダッド＝岡本道郎】イラクでの日本人質事件で、ミズハル・ドレイミ・イラク人権擁護協会会長は12日午後（日本時間同夜）、読売新聞の電話取材に対し、誘拐犯と見られる組織との交渉で、人質に危害は加えないと言質をとっていることを明らかにした。同氏はまた、人質解放交渉の問題点が「日本政府の態度に一切変化が見られないことだ」と指摘する一方で、「まもなく解放されるだろうと思う」と楽観的な見通しを示した。（読売新聞）

設計期間：0.1人月未満 **トランジスタ数：**10未満 **試作ラン：**日立製作所 CMOS 0.18 μ m 5.9mm **試作ラン：**マイクロプロセッサ



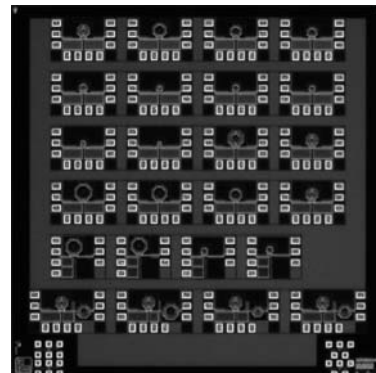
(HIT18031)

ミリ波帯で動作する周波数分周器と電圧制御発振回路の作製

東京大学新領域創成科学研究科 山本 憲, 藤島 実

概要：PLLを作成する上で重要になってくる回路は電圧制御発振回路と周波数分周回路である。これらの回路について、プロセスによる限界動作の検討を行った。現在までに報告されている周波数2分周回路として、40 GHzで動作するものがある。動作周波数が40 GHz近辺になることを目標とし、設計した動作周波数は30 GHz, 40 GHz, 45 GHz, 50 GHz, 60 GHzである。40 GHzで動作する周波数分周器で用いられている方式はLC共振を用いるものであり、LC共振を利用すると動作周波数を高くすることができるものの、動作周波数範囲が限られるという問題点がある。そこで、動作周波数範囲を広く取ることができる方式を提案し、試作を行った。また、電圧制御発振回路の設計も行った。設計した動作周波数は20 GHz, 30 GHzである。また、発振周波数を制御するバラクタの方式は2種類あるが、それぞれの方式を用いて試作を行った。

設計期間：1人月以上, 2人月未満 **設計ツール**：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC
トランジスタ数：10以上, 100未満 **試作ラン**：日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン**：通信 (RF回路, ATM など)



CDMA Matched Filter

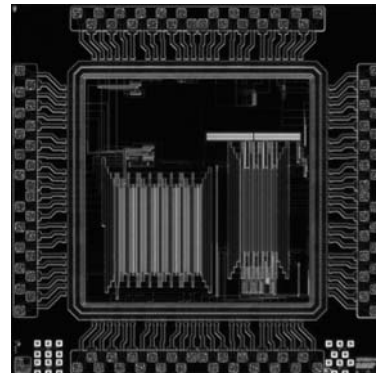
東京大学大学院工学系研究科 山崎 俊彦

東京大学大学院新領域創成科学研究科 中山 友之

概要：Rohm 0.35 μ mで設計し、動作を確認したフローティング・ゲート型電圧モードCDMA マッチトフィルタ、スイッチト・カレントCDMA マッチトフィルタの2種類の回路をHITACHI 0.18 μ mプロセスに最適化し、設計した。これにより、さらなる高速化、低消費電力化、省面積化が期待される。スイッチト・カレントCDMA マッチトフィルタでは、フローティング・ゲートMOS回路技術を用いたV-I変換回路、CMOSインバータとCMOSインバータスイッチで構成したシンプルなI-V変換回路を開発した。回路をブロック化することとカレントメモリに流れる電流を軽減することによって低消費電力を実現した。電圧モードマッチトフィルタでは、演算に参加するカップリングキャパシタの数を半分にするだけでキャパシタンスの充放電にかかる消費電力を削減し、低消費電力動作を実現した。

参考文献：T. Yamasaki, T. Fukuda, and T. Shibata, "A Floating-Gate-MOS-Based Low-Power CDMA Matched Filter Employing Capacitance Disconnection Technique," Digest of Technical Papers of 2003 Symposium on VLSI Circuits, pp. 267-270, Kyoto, June 12-14, 2003.

設計期間：1人月以上, 2人月未満 **設計ツール**：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数**：10,000以上, 100,000未満 **試作ラン**：日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン**：アナログ/デジタル信号処理プロセッサ



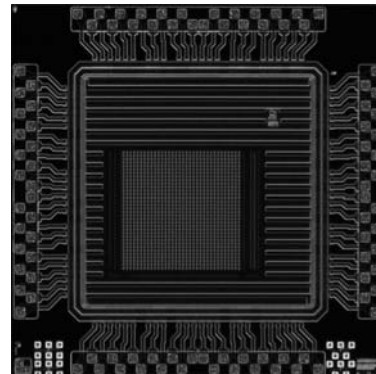
Digital Pixel Sensor TEG

東京大学大学院新領域創成科学研究科 伊藤 潔人

東京大学工学部 Tongprasit Benjamas

概要：外界から画像情報を取り込み、その情報に対して演算処理を行うシステムの中で最もボトルネックとなるのは、画像情報を取り込む回路 (イメージセンサ) と画像処理回路との間のデータ転送である。本チップは画素回路一つ一つにA/D変換器を備え高いフレームレートでデジタル変換された画像データの読み出しを可能とするDigital Pixel Sensor (DPS) のTEGの試作を行った。実装したDPSは、画素内の配線を有効利用することで、取得画像内の任意の矩形領域を読み出すことが可能である。そのため、従来提案されていたDPSに比べ画像処理演算との親和性が高く、様々な演算回路と組み合わせて高度な画像処理アルゴリズムを高速に実行することが見込まれる。本試作では32x32pixelの画素回路を1チップ内に集積した。

設計期間：0.1人月以上, 0.5人月未満 **設計ツール**：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数**：10,000以上, 100,000未満 **試作ラン**：日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン**：イメージセンサ/スマートセンサ

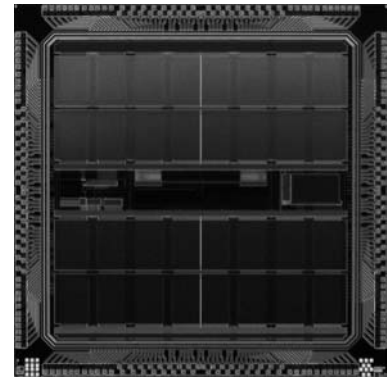


フラッシュコンボリューション型画像フィルタ演算プロセッサ

東京大学大学院新領域創成科学研究科 伊藤 潔人

概要：画像処理で最も汎用的なアルゴリズムである画像フィルタ演算を高速に実行するプロセッサを開発した。本プロセッサは画像フィルタ処理に必要なコンボリューション演算を1クロックサイクル以内で実行する。新たに Quaternary Tile Mapping という画素データのメモリマッピング方式を開発し、画素データの冗長な読み出しや複雑なアドレス計算という問題を解消し高速かつ低消費電力な処理を実現した。また、演算に使用するカーネルの大きさを自由に変更でき、さまざまな画像処理への応用が可能である。回路内は2k ByteのSRAMとコンボリューション演算器によって構成された Processing Element (PE) が32個配置され、それらを選択的に動作させてフィルタ演算を行う。なお、本チップは以前試作したチップのリファイン版である。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数：**100,000以上 **試作ラン：**日立製作所 CMOS 0.18 μ m 5.9mm角 **試作ラン：**マイクロプロセッサ

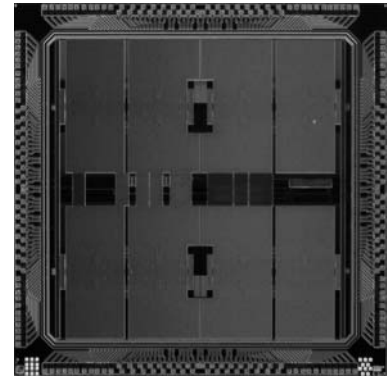


カーネル係数可変型画像フィルタリングプロセッサ

東京大学大学院新領域創成科学研究科 伊藤 潔人

概要：同研究室で開発した画像フィルタリング演算プロセッサ [1] の性能評価を踏まえ、新たにアーキテクチャの拡張を行った改良版の回路である。前回のプロセッサでは、コンボリューションカーネルの大きさを自由に変更できるアーキテクチャを開発したが、カーネルに用いることのできる重み係数は $\{-1, 0, 1\}$ の3種類と限定されていた。本試作では、プロセッサに内蔵するメモリ容量を保ったままカーネル係数を4bitに拡張し汎用性を高めた。また、係数2bitのカーネルを用いて二つのコンボリューション演算を並列に行い、処理速度を倍速化することも可能になっている。また新たにパイプラインを導入し、電源電圧1.8Vにおいて動作周波数200MHzを想定して設計を行った。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数：**100,000以上 **試作ラン：**日立製作所 CMOS 0.18 μ m 5.9mm角 **試作ラン：**マイクロプロセッサ



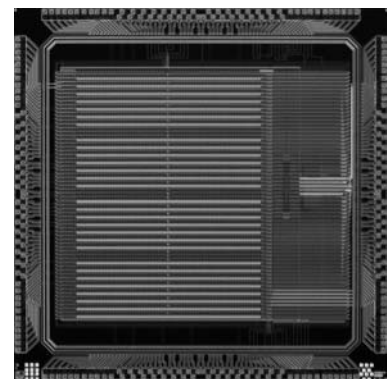
実時間認識のための画像特徴抽出プロセッサ

東京大学大学院工学系研究科 山崎 英男

東京大学工学部 川原 邦男

概要：我々の研究室では、画像から認識に必要な特徴のみを抽出してベクトル表現する Projected Principal-Edge Distribution (PPED) というアルゴリズムを開発した。PPEDでは、64 x 64 pixelsの画像に対し、まずエッジ検出を行う。そして、得られた2次元のエッジ情報を特定の方向にプロジェクションし、64次元のベクトルとして表現する。本研究の目的は、実時間認識のための高速PPEDプロセッサの開発である。さらに高度な認識には、64 x 64 pixelsより大きな画像をスキャンする機能が必須である。そこで、エッジ情報を保持するためのレジスタアレイを実装し、スキャンの際のエッジ検出とプロジェクションを並列に行うことでシームレスなパイプラインを実現し、従来型と比較して100倍以上高速なアーキテクチャを考案した。本チップは、前回の試作した要素回路を元に、PPEDに基づいて画像データから特徴ベクトルを生成するシステム全体を設計した。上下左右4方向のスキャンに対応しており、また、任意のプロジェクションが可能であるため、同一のチップでアルゴリズムを拡張させることができる。

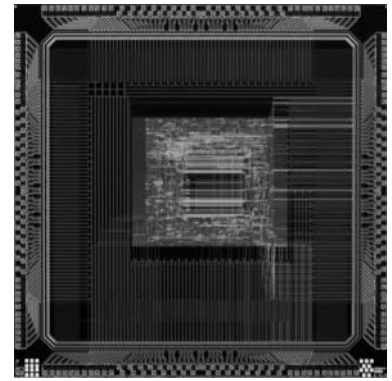
設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre **トランジスタ数：**100,000以上 **試作ラン：**日立製作所 CMOS 0.18 μ m 5.9mm角 **試作ラン：**アナログ/デジタル信号処理プロセッサ



短命令長 SIMD プロセッサ

東京大学大学院工学系研究科 早川 仁

概要：ひとつのチップに入れられるトランジスタの数は年々増加している。そのため、MIMD 構成のプロセッサも現実的となってきたが、そのときに問題となってくるのが分割されたメモリの容量である。特に多種類の演算を行う場合は、命令データのメモリ全体に占める割合が増加し、演算するためのデータを格納するための容量が制限される。そこで、命令をグループに分けそれを切り替えることで少ない命令長で多くの命令を表現可能にし、メモリ容量における命令データの占める容量を削減することを考えた。本試作では8ビットの演算を8並列で行うSIMD プロセッサで、命令超は8ビットながら約40種類の演算を可能にした。実行可能な演算は、8ビットの加減算（桁上りを記憶するためそれ以上のビット数の演算も可能）およびビット演算（And/Or/Xor とその論理反転）、それにメモリアクセスである。レジスタは、ひとつあたり64ビットで、8個の8ビットレジスタを並列に使う「パラレルモード」とある8ビットをすべての演算要素に用いる「シリアルモード」を用意し、行列演算なども可能にした。

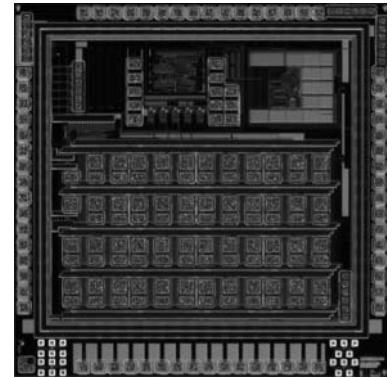


設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Milkyway, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上、100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 試作ラン：マイクロプロセッサ

電源ノイズ測定 TEG

京都大学情報学研究科 山口 隼司, 橋本 昌宜, 小野寺 秀俊

概要：本TEGは、LSI内部における電源線ノイズが回路遅延へ与える影響を評価するため試作した。回路中にリングオシレータを挿入しており、その発振周期の変化を測定する事で、電源線ノイズの影響による遅延の増大値を評価する。電源ノイズを発生させる回路は、電流を消費する場所、量などを変化させることができるように設計した。また、ピコプローブ、オンチップサンプリングオシロスコープ回路を利用し、回路内部の電源線ノイズ波形を観測することも可能である。パターンジェネレータで被測定リングオシレータの指定と発振の制御を行い、パルスカウンタ回路の値をシフトレジスタで出力し、ロジックアナライザで読み出す。現在、試作TEGの動作確認および測定を行っている。

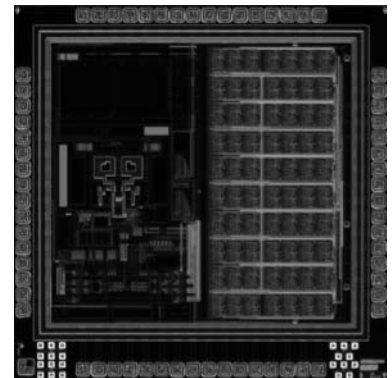


設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 試作ラン：TEG（特性評価回路など）

オンチップ高速信号伝送用 SerDes ならびに遅延ばらつき測定用リングオシレータレイ TEG

京都大学情報学研究科 新名 亮規, 山岡 健人, 橋本 昌宜, 小野寺 秀俊

概要：近年、LSIの製造プロセスの微細化に伴い、1チップ内に集積される回路規模は増大している。将来的には多数の機能ブロックが搭載された、大規模SoCが実現されると考えられる。我々は次世代の超微細プロセスにおける、ブロック間の長距離高速信号伝送技術として、差動シリアル伝送を提案する。今回の試作では、シリアル伝送に必要な不可欠なシリアライザ、デシリアライザを設計し、BISTを用いたBERの測定を目標とした。8Gbpsの伝送レートを想定して回路設計を行なった。しかし現在、実チップでの動作は確認できていない。また、製造ばらつきによる遅延のばらつきを測定するためのTEGも搭載した。多数のリングオシレータの発振周期からばらつきを測定する。修正、改良したばらつき評価TEGを9月に試作したため、測定は行っていない。



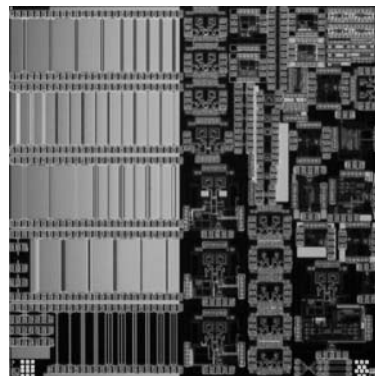
設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 試作ラン：通信（RF回路, ATMなど）

オンチップ高速信号伝送用要素回路の特性評価 TEG

京都大学情報学研究所 土谷 亮, 宮崎 崇仁, 新名 亮規, 橋本 昌宜, 小野寺 秀俊

概要：オンチップ高速信号伝送を実現するための要素回路として，SerDes 回路，CML ドライバ，PLL，配線の特性を測定した．配線 TEG では表皮効果・近接効果による減衰の周波数特性が配線構造によってどのように変化するかを測定した．また，基板の影響による特性の変化を測定した．PLL の TEG では発振周波数の見積もり・動作限界の評価を行ない，シミュレーション・解析式から得られる予測に近い結果が得られた．CML ドライバは 10GHz での動作を確認した．8Gbps の伝送レートを想定して回路設計を行なった SerDes 回路は，4Gbps のシリアル信号が出力されることは確認できたものの，想定した 8Gbps の伝送レートはまだ実測で得られなかった．原因を追求すると共に，さらなる伝送レートの向上，低消費電力な回路構成の検討を，今後行なっていく予定である．

設計期間：4 人月以上，5 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上，100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm 角 試作ラン：アナログ (PLL, A-D/DC-DC コンバータなど)



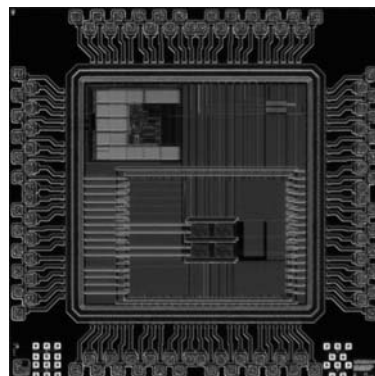
接続情報と演算情報をルックアップテーブルに統合したフィールドプログラマブル VLSI

東北大学大学院情報科学研究科 張山 昌論, 大澤 尚学, 坂本 修, 亀山 充隆

概要：プログラマブル配線の複雑さに起因する性能劣化を解消するために，本研究グループでは，2次元メッシュネットワーク，ビットシリアルパイプラインアーキテクチャ，および直接アロケーションに基づき配線の複雑さを激減したフィールドプログラマブル VLSI (FPVLSI) を提案している．今回は，ルックアップテーブルのプログラミングによりプログラマブル配線の機能を実現することにより，配線の面積をこれまでの 50%程度に減少できる FPVLSI を試作した．HSPICE によるシミュレーションでは，配線を単純化しない従来の FPVLSI と比較して同等面積で 3 倍程度の高性能化を達成できる見通しを得ている．

参考文献：Naotaka Ohsawa, Osamu Sakamoto, Masanori Hariyama, Michitaka Kamayama, "Program-Counter-Less Bit-Serial Field-Programmable VLSI Processor with Mesh-Connected Cellular Array Structure," Proc.

設計期間：IEEE Computer Society Annual Symposium on VLSI, pp. 258-259, 2003. 設計ツール：2 人月以上，3 人月未満 トランジスタ数：Cadence 社 Verilog-XL, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC 試作ラン：10,000 以上，100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角

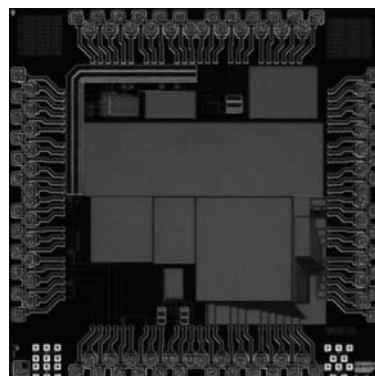


電流測定回路

東京大学生産技術研究所 石田 光一, 川口 博, 宮崎 隆之

概要：本チップには以下の評価回路が搭載されている．・電流測定回路・ワイヤレス通信評価回路 テクノロジーの進歩にしたがって，消費電力を下げることへの要求はだんだんと厳しくなってきた．提案回路の電力低減効果が見られたかどうかは，電力を実測することで可能となるが，そのためには電圧と電流を測定する必要がある．しかしながら従来はチップ内の電圧を測定する手段は数多くあったが，電流を直接測定する手段はなかったといつてよい．本試作では電源ラインなどチップ内部の配線に流れる電流を非接触で検出し，電圧出力として取り出す回路を実現するための検出素子単体評価回路を搭載した．また，5MHz の磁界からコイルにより給電を受け，外部に接続した LED を点滅させる回路も実装している．

設計期間：2 人月以上，3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上，10,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 試作ラン：TEG (特性評価回路など)

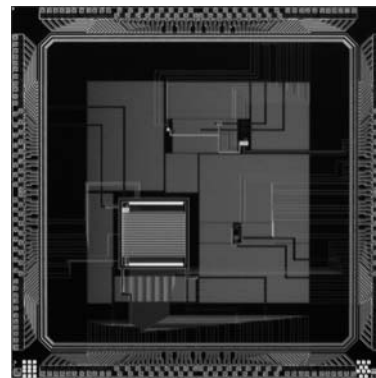


SRAMの設計と電力モデルの検証

東京大学情報理工学系研究科 坂井 修一, 初田 直也, ルオン デイン フォン,
バルリ ニコ デムス, 葛 毅, 岩間 智女

概要: マイクロプロセッサの省電力化をアーキテクチャレベルで検討するにあたり, 回路の適切な電力モデルを構築することが重要な課題となっている. そこで, プロセッサの重要な回路要素であるSRAMについて, その電力モデルを検証するため, 4kB SRAMをレイアウトした. 電圧1.8V, 動作周波数500MHzで設計し, ロジックアナライザを用いて, 測定できる最大周波数の160MHzまで, 正しく動作することを確認した. また, SPICEシミュレーションによって電力消費を求め, アーキテクチャレベルにおけるSRAMモデルの精度を定量的に評価した.

設計期間: 10 人月以上 設計ツール: Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数: 100,000 以上 試作ラン: 日立製作所 CMOS 0.18 μ m 5.9mm 角 試作ラン: メモリ

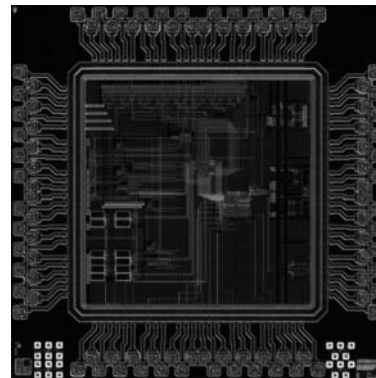


Ultra-Wideband 無線通信用送受信回路

慶應義塾大学理工学部 寺田 崇秀, 善積 真吾

概要: パルスを用いる Ultra-Wideband 無線通信用 CMOS 送受信回路を作成した. 送信器では従来用いていたパルス生成回路を用いず, 電圧駆動型のアンテナ, 例えばダイポールアンテナやモノポールアンテナなどの性質を利用してモノサイクルのパルスを送信する. 受信器はアンプとミキサ以外をデジタル回路で構成する. 従来は受信信号と同じ形状であったテンプレート信号を変形し, 簡単なデジタル回路で生成できるようにした. このチップにはパルス振幅変調用送信回路, Bi-phase 変調用送信回路, H-bridge 用送信回路, 広帯域低雑音増幅器, 積分機能付き広帯域ミキサ, テンプレートパルス生成回路, 同期用遅延コントローラなどを搭載し, 送受信消費電力は10mWで伝送速度100Mbps, 通信距離2mで無線通信を行う. 送信パルスの幅は3種生成できるようにしてあり, 使用帯域幅はそれぞれDCから2GHz, 4GHz, 6GHz程度である.

設計期間: 6 人月以上, 7 人月未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: 日立製作所 CMOS 0.18 μ m 2.9mm 角 試作ラン: アナデジ混載

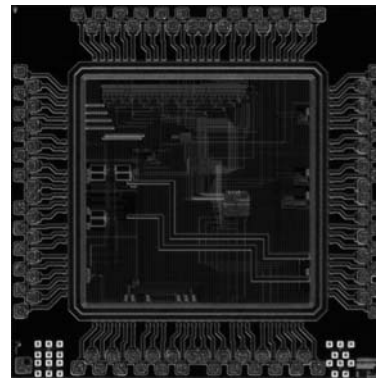


ultra-wideband 無線通信用送受信回路

慶應義塾大学理工学部 寺田 崇秀, 善積 真吾

概要: パルスを用いる Ultra-Wideband 無線通信用 CMOS 送受信回路を作成した. 送信器では従来用いていたパルス生成回路を用いず, 電圧駆動型のアンテナ, 例えばダイポールアンテナやモノポールアンテナなどの性質を利用してモノサイクルのパルスを送信する. 受信器はアンプとミキサ以外をデジタル回路で構成する. 従来は受信信号と同じ形状であったテンプレート信号を変形し, 簡単なデジタル回路で生成できるようにした. このチップにはパルス振幅変調用送信回路, Bi-phase 変調用送信回路, H-bridge 用送信回路, 広帯域低雑音増幅器, 積分機能付き広帯域ミキサ, テンプレートパルス生成回路, 同期用遅延コントローラなどを搭載し, 送受信消費電力は10mWで伝送速度100Mbps, 通信距離2mで無線通信を行う. 送信パルスの幅は3種生成できるようにしてあり, 使用帯域幅はそれぞれDCから2GHz, 4GHz, 6GHz程度である. 本試作チップは, この送受信回路の要素回路を個別に搭載したものである.

設計期間: 6 人月以上, 7 人月未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: 日立製作所 CMOS 0.18 μ m 2.9mm 角 試作ラン: アナデジ混載

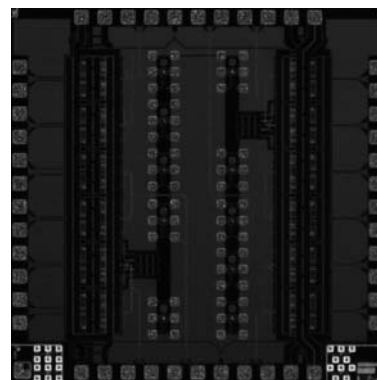


GHz帯高速ドライバ回路

明星大学情報学部 秋山 豊, 上田 千寿, 伊東 恭二, 大塚 寛治
東京大学 齋藤 圭介, 宇佐美 保

概要: 概要: H I T A C H I 0.18 μ m CMOS プロセスを用いて高速ドライバ回路の設計を「電荷交換型高速ペアMOSトランジスタ回路 (バラクタ構造) と今までの研究で電源グラウンド揺らぎに対して電源グラウンドペアとした伝送線路とする構成がGHzパルスに対して最適であることを検証し今回これをチップ内部の電源と信号線にスタックドペア配線構造として採用した。これらの構造の有り無しの比較及び差動入力部のバラクタ構造型ESD保護MOSを有するNMOS-Push Pull型ドライバ回路の動作検証を目的とする試作を行った。基本的な動作を確認し, ほぼ目標通りの性能が得られた。今後更に詳細な特性について測定検証する予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** TEG (特性評価回路など)

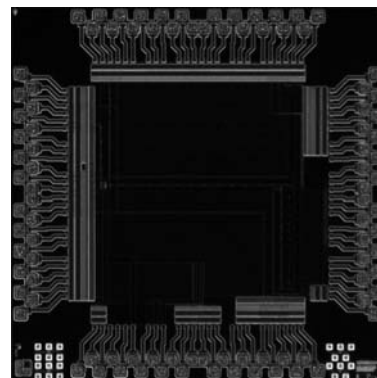


Gb伝送用高速デジタルI/Oの設計

金沢大学自然科学研究科 三上 真司
金沢大学工学部 松野 哲郎, 深山 正幸, 吉本 雅彦

概要: Gb伝送可能なI/O回路のTEGとして送受信バッファを設計した。本送受信バッファは高速伝送を可能とするために, 信号レベルにLVDS (Low Voltage Differential Signaling) を採用している。LVDSの特徴は伝送信号を小振幅にし高速化を図ると同時に, 差動とすることでノイズによる影響も抑えることができることである。シミュレーションにより目標とする1.2Gbps伝送時に約3mの伝送が可能であると予測される。チップ測定は専用測定機材を使用して行う予定である。また, 本チップ上にはトリプルウェルを用いたインバータ遅延時間測定回路を設計した。基板バイアスを印加可能とするために, nウェルpウェルの電源端子を独立に設けた。この回路によりインバータ307段の遅延時間を測定することが可能である。目的は基板バイアス効果によるインバータの遅延時間, および消費電力などの回路性能の変化を実測することである。測定は専用基板を作成して行う予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** 通信 (RF回路, ATMなど)



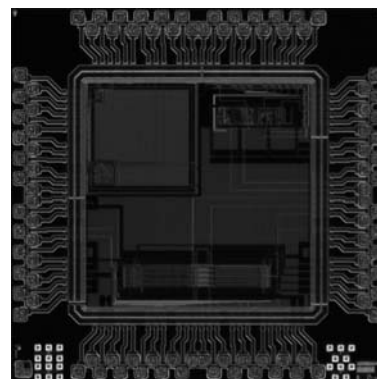
電源/グラウンド雑音測定回路及び遅延回路

神戸大学工学部 奥本 健, 野口 宏一郎, 永田 真

概要: 本試作チップは, (1) 雑音検出回路と (2) VCDL (Voltage Controlled Delay Line) の2つのブロックで構成される。前者では, デジタル回路内部の電源/グラウンド雑音分布を実測を目的とし, DFF程度の面積の埋め込み型電源/グラウンド雑音検出回路を開発した。テスト回路には, 雑音源として32ビット・シフトレジスタを16列と, 電源/グラウンド検出回路を64個搭載している。後者では, ピコ秒分解能のVCDLを開発した。遅延生成回路の回路規模を縮小し, 小面積化を達成した。本チップに搭載した開発した全回路の基本動作を確認し, 現在, 詳細な性能の測定評価をすすめている。

参考文献: [1] T. Okumoto, M. Nagata, K. Taki, "A Built-in Technique for Probing Power-Supply Noise Distribution within Large-Scale Digital Integrated Circuits," to appear in Symp. VLSI Circuits 2004.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Virtuoso, SII社 SX9000, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** ニューテクノロジー

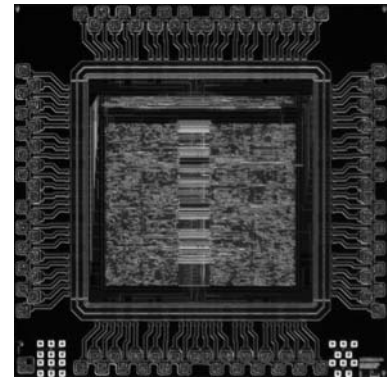


デジタル・デルタシグマ変調回路 (1)

神戸大学工学部 杉本 智彦, 永田 真

概要: 本試作チップには、オーディオ用高精度DA変換器に標準的に用いられるデルタシグマ変調信号処理回路を搭載している。2次のデルタシグマ構成とし、インターポレータおよびFIRフィルタも内蔵した。京都大学の作成した0.18 μm CMOSセルライブラリを用い、論理合成および自動配置配線ツールによる、マルチレート・デジタル信号処理回路の設計手法の確認も目的としている。アーキテクチャの検討には信号処理シミュレータ (SPW) を用い、また設計性能は論理合成後のネットリストを用いた論理シミュレーションで評価した。実測により、試作回路の基本動作は確認しているが、S/N等の設計値に到達していないため、入力信号やフィルタ係数設定を含めた評価系の見直しをすすめている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, SPW, Avanti社 Appolo, Cadence社 Virtuoso, SII社 SX9000, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.9mm角 **試作ラン:** アナデジ混載



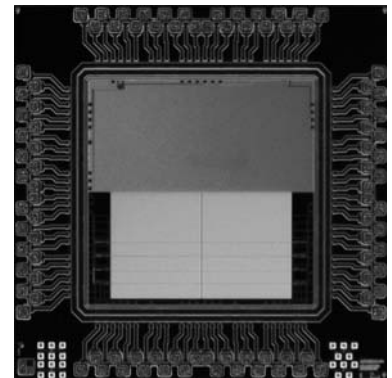
ダイナミック SCL 多値集積回路と電流モード制御信号多重化に基づく非同同期データ転送回路の試作

東北大学電気通信研究所 高橋 知宏, 望月 明, 羽生 貴弘

概要: ソールカップルドロジック (SCL) 多値集積回路のさらなる低電力化のために、定常電流パスをカットできるダイナミック論理回路方式を活用したダイナミック SCL 多値集積回路を試作した。測定した結果、多レベル電流値の検出、所望の多値論理関数の出力およびダイナミック記憶が正しく動作していることを確認した。HSPICEシミュレーションにより、CMOS実現と比較し消費電力および遅延を70%および75%に低減可能であることが示されている。また、制御信号を多重化させることで、高速な非同同期データ転送を可能とする非同同期データ転送インタフェース回路を試作した。測定した結果、送信側と受信側双方の要求信号が多重化されているものの、双方の要求一致を正しく検出し所望の非同同期データ転送が実現可能であることを確認した [1]。HSPICEシミュレーションにより、従来の方式と比較し1.5倍の高速化が達成できることが示されている。

参考文献: [1] 高橋知宏, 羽生貴弘, “電流モード制御信号多重化に基づく高速非同同期データ転送LSIの試作,” 電子情報通信学会総合大会講演論文集, pp. S73-S74, March 2004.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.9mm角 **試作ラン:** ニューテクノロジー





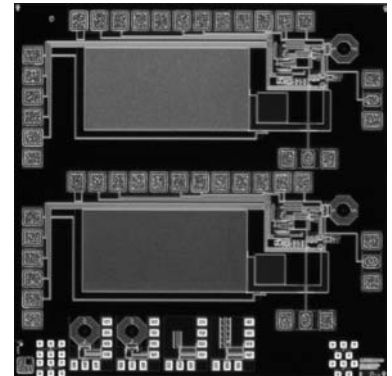
(HIT18032)

DSRC用PLLの試作

東京大学新領域創成科学研究科 山本 憲, 金子 秀彦, 藤島 実

概要: 近年, 無線通信市場の拡大に伴って, 無線通信の大容量化・高速化に対する需要は高まってきている. そこで, 無線通信において重要な役割を持つ位相同期ループ (PLL) に関して, 大容量化・高速化の検討を行った. 通信の大容量化・高速化を実現するために従来から分数分周PLLが提案されて来ているが, ノイズ・消費電力の点で問題がある. そこで, アナログミキサを利用して高速に動作する複数係数周波数分周回路を元に, 今までの分数分周PLLとは異なる方法で分数分周を実現し, ノイズ・消費電力の問題点を解消した Offset PLLの提案を行った. このOffset PLLを用いて, ETCの料金收受システムに用いられるDSRC用PLLの試作を行った.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** 通信 (RF回路, ATMなど)

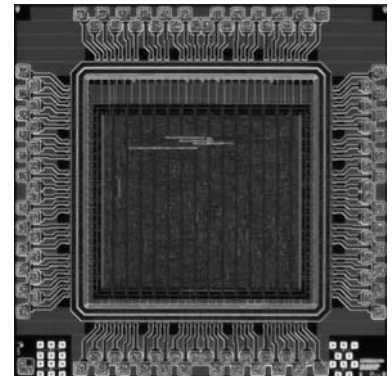


MATLABによるVLSI設計演習および故障診断手法評価用チップ

大阪大学大学院情報科学研究科 藤田 将史, 三浦 克介, 中前 幸治, 藤岡 弘

概要: 本チップは, 以下の四つの目的で設計・試作された. (1) 科学技術計算ソフトウェアパッケージMATLABのVLSI設計への応用を検討し, MATLABによるVLSI設計の演習を行う, (2) BIST (built in self test) 設計の演習を行う, (3) VLSI故障診断手法評価用の0.18 μ mランダムロジックデバイスを製作する, (4) 集束イオンビームがMOSトランジスタに与える影響を評価する為のTEGを製作する. (1)~(3)の目的の為, MATLABを用いてデジタルフィルタの設計を行い, この結果をverilogで記述し直して, 論理合成・配置配線を行った. 16ビット固定小数点の31次FIRフィルタであり, これに, 非線形フィードバックシフトレジスタを用いた擬似ランダムテストパターン生成回路およびシグネチャー解析回路を付加したBIST構成となっている. 日立0.18 μ mルールにより合成した結果, コアサイズが約1.4mm \times 1.3mmのレイアウトを得た. (4)の目的の為, チップの空き領域および空き入出力ピンを利用して, ゲート長0.2 μ m, 幅3.0 μ mの単体のn型MOSトランジスタを製作した. 設計は, レイアウトエディタを用いて手作業で行った.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** アナログ/デジタル信号処理プロセッサ

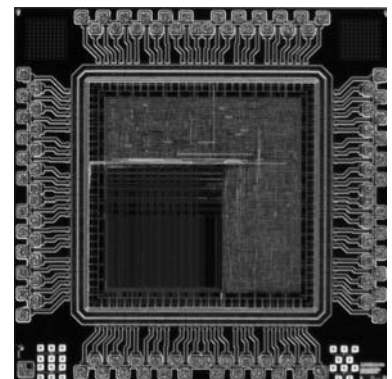


クロスバーバスを持つ16ビットCPU

東北大学大学院工学研究科 小野 泰三, 沈 正七, 栗野 浩之, 小柳 光正

概要: トランジスタの微細化に伴いトランジスタでの遅延に比較して配線の遅延の影響が大きくなっている. 特に演算部とメモリ部のデータロードストアがバスボトルネックとなりシステム全体の性能向上を妨げている. この問題を解決するためメモリとレジスタファイル間的高速で柔軟なデータ転送を可能にするCPUを試作した. 試作したチップはレジスタファイルとメモリの間にクロスバーバスを配置した16ビットCPUである. 並列ロードストア命令によりレジスタファイルとメモリ間で最大8並列でのデータロードストアが可能である. レジスタファイルとメモリのクロスバーバスの切り替え情報は専用のCTU (クロスバーテーブルユニット) と呼ばれるレジスタファイルを参照することにより取得する. CTUには切り替え情報が8パターン格納されており, 専用命令によって実行プログラムに最適になるようにクロスバーバスを切り替えることができる.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** マイクロプロセッサ



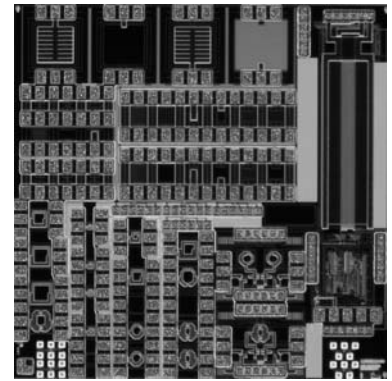
オンチップサンプリングオシロスコープ回路および高周波モデリング用 TEG

京都大学情報学研究所 新名 亮規, 宮崎 崇仁, 山口 隼司, 橋本 昌宜, 小野寺 秀俊

概要: オンチップオシロ回路の開発を行った。評価 TEG はノイズ発生回路, オンチップオシロの2ブロックから構成される。測定に関しては現在遂行中であり, 最終的にはシミュレーションで得られたクロストークノイズ波形が正確に再現可能であることを示す。我々の研究室では CMOS デバイスの高周波モデル化手法を確立するため, 様々な TEG を作成し評価を行なっている。本チップで作成した TEG は, 正方形, 八角形, ディファレンシャルのスパイラルインダクタ, nMOS, 及びそれらを用いた VCO である。VCO は 10GHz 動作を実測にて確認した。今後は, 各スパイラルインダクタの周波数特性を測定し, 特性比較, モデリングを行なう。それらの素子を用いてシミュレーションを行ない, CMOS デバイスマodel化手法の妥当性を示す。本チップには電源解析に用いる寄生容量を測定する TEG も搭載した。

参考文献: 宮崎, 新名, 橋本, 小野寺, "オンチップオシロ用サンプルホールド回路の広周波数帯域化," C-12-34, 電子情報通信学会総合大会 (2003)。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)



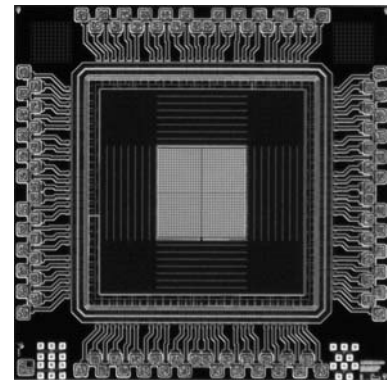
サッカー検出用イメージセンサの設計

東北大学大学院工学研究科 河江 大輔

概要: 眼球運動検査法として, 汎用画像処理が可能となる CCD カメラ-信号処理系を用いた計測がいくつか提案されているが, シリアル伝送がボトルネックとなり, 特に最大角速度が 600deg/sec にも及ぶ衝動性眼球運動 (サッカー) のリアルタイム検出が不可能であった。そこで, センサと同一チップ内に画像処理回路を集積化した新しいサッカー検出チップを試作した。本回路では, 瞳孔画像の重心を瞳孔中心座標としてその座標値を出力することを目的とし, その機能を重心検出に特化しており, センサアレイ, メモリ, 重心計算部からなる。センサは 2次元マトリックス状に 32*32 個配列されており, 入力画像データは光電変換後メモリに格納される。メモリはシフトレジスタで構成されており, 列並列に画素データを取り出すことができる。重心計算部は面積計算部と 1次モーメント計算部で構成されており, それぞれの計算を並列に行う。詳細な評価はまだ行っていないが, シミュレーションでは 260k フレーム/sec という性能を得ている。

参考文献: 河江 他, "サッカー評価用眼球中心抽出センサの開発", 琵琶湖ワークショップ講演資料集, pp. 259-262, 2000.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **試作ラン:** イメージセンサ/スマートセンサ



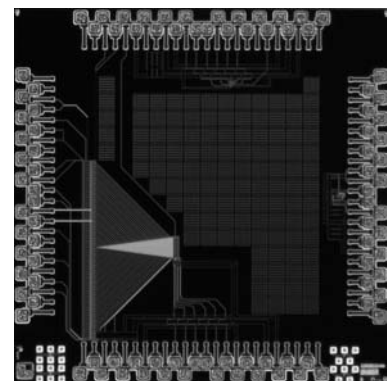
RING OSCILLATOR方式のVCO, DIVIDER, FLASH A/Dコンバータ

早稲田大学電気・情報生命工学科 横山 晋, 野沢 舞, 中山 久留美, 佐々木 昌弘, 松本 隆

概要: 本チップでは, 3.0Gbps のシリアルATAに使用するための6GHzを出力するVCO及びそれを分周してきれいな3GHzの出力を得るためDIVIDERを設計した。また, 近年A/D converterは, 高速化・高精度化・低電圧化・小型化が求められている。その傾向に伴い, 様々なノイズやデバイスのミスマッチが発生し, Flash A/D converterにおいて, Comparator Arrayの出力であるThermometer Codeにエラーを含んだ状態で出力されてしまう。通常, エンコードでエラーを訂正しなければいけないが, logic回路を組み合わせでエラーを訂正する回路では, 高速化に対応できないため, 高速なものでは, ROM形式のエンコードが用いられている。本CHIPでは, twin ROM encoderにおいて, スイッチに全てNMOSを用いることによって, 小型化・高速化を実現し, 電源電圧1.8V, 0.18 μ m CMOSプロセスにおいて, 6bit 2Gopsで動作するEncoderを設計し, これを用いて, 6-bit 2Gbps Flash A/D converterを実現した。

参考文献: [1] Peter C. S. Scholtens, Maarten Vertregt, "A 6-b 1.6-Gsample/s Flash ADC in 0.18- μ m CMOS Using Averaging Termination," IEEE J. Solid-State Circuits, vol. 37, pp. 1599-1609 (2002)

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **試作ラン:** 通信 (RF 回路, ATM など)

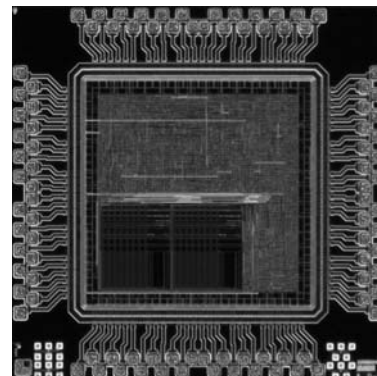


適応ベクトル量子化を用いた画像圧縮プロセッサ

東北大学大学院工学研究科 杉村 武昭, 沈 正七, 栗野 浩之, 小柳 光正

概要: 高速並列画像処理システムにおいては, その出力部の帯域幅がシステム全体の性能を制限するボトルネックとなりやすい. このため, 出力する情報の圧縮を行う画像圧縮プロセッサが画像処理システムの出力部に必要である. この画像圧縮プロセッサとして, 適応ベクトル量子化を用いた画像圧縮プロセッサの設計をおこなった. 本試作チップは, 入力画像ブロックの分散値を評価するプリプロセッシングユニットと, ベクトル量子化プロセッサ, コードブックキャッシュから構成されており, 画像の空間冗長性が画像の部位によって異なることを利用し, 輝度の分散値から圧縮対象となる画像ブロックのサイズを可変し, 解像度を変化させることで演算量を削減, 圧縮率と処理時間を向上させている. ゲートレベルシミュレーションでは, 256 サンプルのコードブックを用いて, 18000vector/sec の処理速度を実現している. 今後試作チップの詳細な評価を行う予定である.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** アナログ/デジタル信号処理プロセッサ



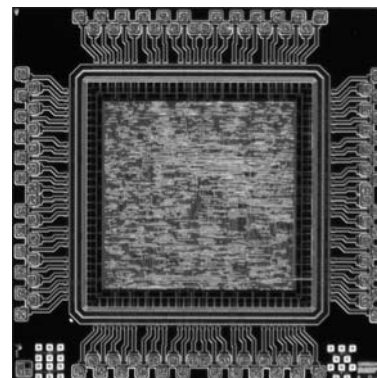
高速 Fourier 変換を用いた多倍長乗算器

電気通信大学情報工学科 矢崎 俊志, 阿部 公輝

概要: 近年, 暗号などの分野において, 多倍長桁の乗算を高速に行うことが要求されている. 高速に多倍長乗算を行うには, 様々な方法が存在するが, 10進数で数千桁にもおよぶ値の乗算には, FFTを用いた乗算が利用されるのが一般的である. このFFT乗算は, ソフトウェアで実装され, 有効に利用されている例は多いが, ハードウェアで実装し, その性能や実装面積を報告している例は一般に知られていない. 本チップは, 16進数8桁 \times 8桁の乗算を行うFFT乗算器であり, 各桁は, 符号1bit, 指数部5bit, 仮数部10bitからなる16bitの浮動小数点で表現されている. 内部には浮動小数点乗算器, 加減算器, 複素数乗算器, バタフライ演算器などの演算器と, それをコントロールする制御回路が実装されている. また, 演算する値を記憶するRAMと, FFTに必要な定数を記憶したROMが実装されている. 試作により, VLSI実装におけるテクノロジー依存のパラメータが明らかになった. 外挿により, 16進約6万桁のFFT乗算器が10mm角チップに実装でき, 約25msで乗算が実行できることが分かった.

参考文献: 矢崎俊志, 阿部公輝, "高速 Fourier 変換を用いた多倍長乗算器の設計と評価およびVLSIへの実装," 電子情報通信学会技術報告, Vol. 103, No. 476, pp. 253-258, Nov. 2003.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)



可変ダウンサンブラの設計

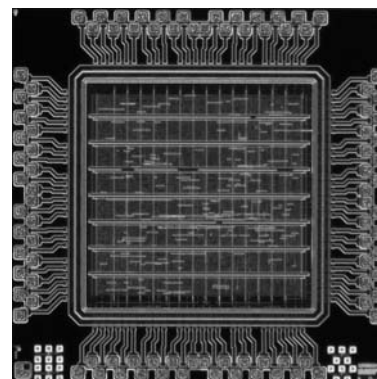
大阪大学大学院情報科学研究科 畠中 理英

大阪大学先端科学イノベーションセンター 正城 敏博

奈良先端科学技術大学院大学情報科学研究科 岡田 実

概要: 本チップは, 60 Mbpsから40, 30, 20, 15, 10, 7.5, 5, 3.75, 2.5Mbpsへのリサンプリングを可能とするダウンサンブラを設計・試作したものである. 本設計では, 2/3のInterpolatorと1/2, 1/4のdecimatorを用いることにより, ダウンサンプリング機能を実現している. これにより, 係数固定のフィルタで大部分を構築できた. 2/3のみ内挿を行うため可変フィルタであるが, 2/3は2種類のタップ係数を用意すればよいから, 内挿タイミングの制御も容易である. また, ダウンサンプリングを数回に分けて行くと, フィルタ特性の急峻さはあまり求められないためタップ数を低減できるが, 多段になると信号電力が低下してしまう. そこで, 最大4段にすることでタップ数の低減と信号電力の制御の両立を図っている.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** 演算回路 (乗算器, 除算器など)

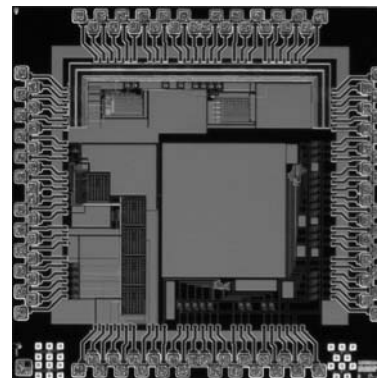


低電源電圧アナログ回路およびFPGAにおけるリーク電流対策回路

東京大学生産技術研究所 石田 光一, Quang Canh Tran, 宮崎 隆之

概要: 本チップには以下の評価回路が搭載されている。・低電源電圧アナログ回路・FPGAにおけるリークカット回路 テクノロジーの進化に伴い、電源電圧は低下の一途をたどっている。将来的には、トランジスタを動作させるためにしきい値電圧を現在よりも大幅に低下させる必要が出てくる。しかし、しきい値電圧を下げるとリーク電流が増加してしまい、電力のほとんどを消費してしまうことになる。本研究では、アナログ回路およびFPGA回路におけるリーク電流の影響評価およびリークカット回路を提案する。アナログ回路については折り返しカスコード型のオペアンプおよびスイッチトキャパシタ回路によるボルテージフォロア、積分器等の評価用回路が搭載されている。FPGAではMUXが多数用いられており、MUXの入力がHとLが混在したとき、HからLに流れるリーク電流がある。このリークを止めるための回路を設計した。閾値電圧が高いためリークはほとんど流れないのでリークエミュレータの回路をも入れた。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** TEG (特性評価回路など)



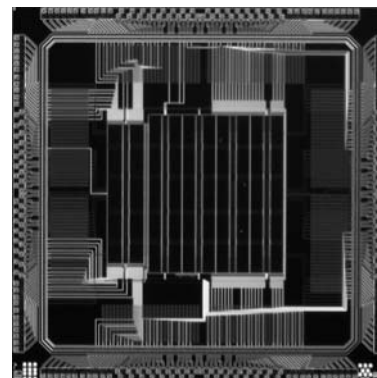
命令/データ統合型4ポートキャッシュメモリ

広島大学先端物質科学研究科 上口 光

広島大学ナノデバイス・システム研究センター 朱 兆旻, マタウシュ ハンスユルゲン, 小出 哲士

概要: 本チップでは、サイクル時間の改善をした2003年7月試作チップを、命令/データ統合型多ポートメモリに応用した。キャッシュメモリは本来、命令、データキャッシュと分割されているよりも、統合された一つのキャッシュである方が、キャッシュラインを柔軟に利用できるためミス率が低くなる利点がある。ところが従来までの1ポートキャッシュでは、分割した際のメモリバンド幅向上の利点が大きかったため分割されていた。本チップでは、これを高性能多ポートメモリを用いることにより解決している。なお、本チップの測定はまだ行っていない。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Avanti社 Star-sim, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100,000以上 **試作ラン:** 日立製作所 CMOS 0.18 μ m 5.9mm角 **試作ラン:** メモリ

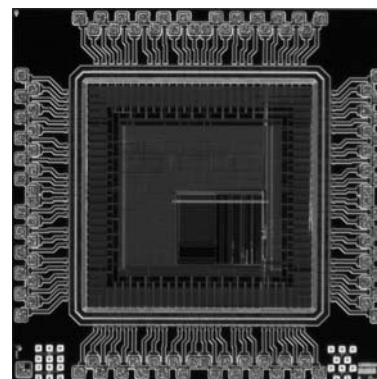


2段PLLを用いた超高精度時間測定回路用TEG

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要: 我々は加速器実験で使用する時間精度数百ピコ秒の時間測定チップを数多く開発してきた。この技術をさらに発展させ、発振周波数のわずかに違うPLL回路を2段用い、数十ピコ秒の時間精度で多チャンネルの信号の到達時間を測定できるLSIを開発したいと思っている。このようなチップは、加速器実験でよく用いられるTOF (Time Of Flight) 検出器等で強く必要とされており、又多くの応用が見込まれる。今回の試作チップでは、日立0.18 μ mプロセスの基本特性やPLLの設計のための試験回路、メモリーマクロ等を搭載した。このチップの試作で得られた経験と回路特性とにより、次回以降の試作で時間測定回路の動作確認を行う予定である。また、加速器実験や宇宙環境での使用を目指して、このプロセスのガンマ線、粒子線に対する耐性の試験も行う予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** アナログ (PLL, A-D/DC-DCコンバータなど)

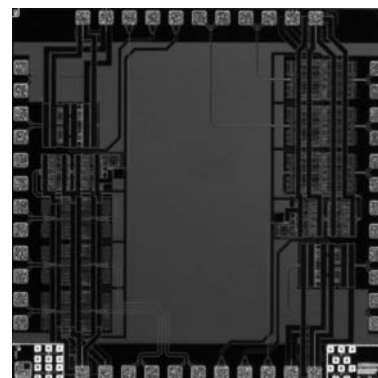


GHz帯高速ドライバ回路II

明星大学情報学部 秋山 豊, 上田 千寿, 伊東 恭二, 大塚 寛治
東京大学 斎藤 圭介, 宇佐美 保

概要: 概要: CMOSを用いた高速インターフェイスが実現すれば, CMOSによる低消費電力化だけでなく, さらにはシステムLSIやASICに容易に組み込むことが可能となり装置全体の低消費電力化と共に低コスト化が実現できる. HITACHI 0.18 μ m CMOS プロセスで高速ドライバをシステムの構成開発で前回より更に高速で動作させる為, 寄生容量を極力少なくした独自の回路構成及びチップレイアウトを考案, またチップ内では限られた配線幅しか取れない為電源配線のインピーダンスを低くすることが難しく信号線と電源線の差が小さい為, 信号線のインピーダンスを高くすることによる評価回路を試作した. ICチップ評価用基板作成中の為, 測定は今後行う予定である.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** TEG (特性評価回路など)

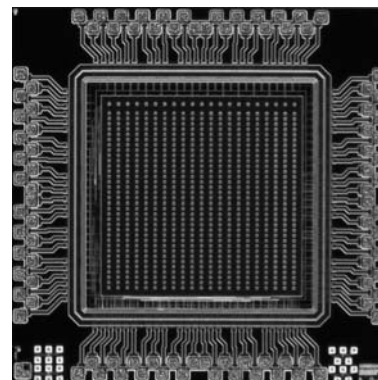


光再構成型ゲートアレイ

九州工業大学 渡邊 実

概要: 光により高速に再構成が可能な光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) -VLSIを開発した. このデバイスは光メモリ部と組み合わせて用いられ, チップ表面に並べられた受光素子に対してプログラム光を照射することで, ゲートアレイ部の回路を瞬間的に再構成することが可能である. この度の設計では, フォトダイオード受光部のサイズを16 μ m \times 16 μ m, その間隔を38.4 μ mとし, 605個のフォトダイオードを実装した. また, ゲートアレイ部は, 4ビット入力LUT (Look-Up Table) を1個持つ論理ブロックが4個, スwitchング・マトリックスが5個, 8本の配線チャンネル, 16ビットのI/Oから構成される. この度試作したORGAのゲートアレイ構造は従来の試作品のものと同じであるが, 評価の目的で, 複数のタイプの再構成回路を実装している.

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** ニューテクノロジー



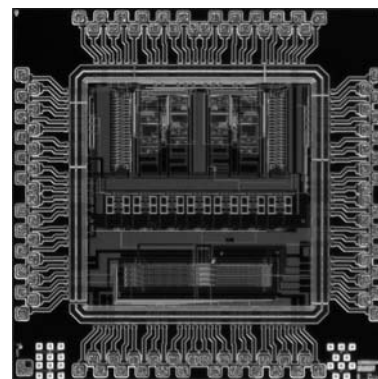
電源/グラウンド雑音測定システム

神戸大学工学部 野口 宏一郎, 奥本 健, 永田 真

概要: デジタル回路の電源/グラウンド雑音測定のための雑音測定システムを開発した. 雑音測定システムには, 基板雑音の評価に実績のあるSF+LC型雑音検出回路 [1] を電源/グラウンド雑音評価に応用し, さらに雑音測定に必要な機能ユニットや制御系を搭載している. 本チップでは, 検出回路の回路面積を大きく削減し, 測定機能回路を従来に比べ同程度の回路面積で時間分解能, 電圧分解能が大きく向上させた. 雑音源には32ビット16列のシフトレジスタを用い, 周辺にSFLC型検出回路を7個配置し高精度な雑音検出が可能である. 現在, 測定機能の基本動作を確認でき, 検出回路, 雑音源, 等の性能評価を行っている.

参考文献: [1] M. Nagata, et al., "Measurements and analyses of substrate noise waveform in mixed signal IC environment," IEEE Trans. CAD, Vol. 19, pp. 671--678, June 2000.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, SII社 SX9000, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **試作ラン:** アナデジ混載

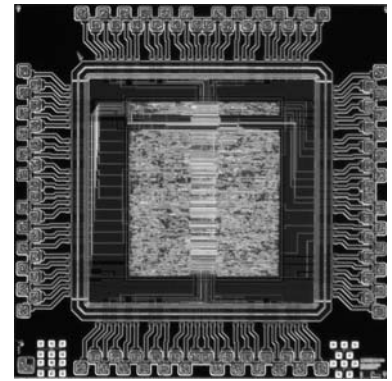


デジタル・デルタシグマ変調回路 (2)

神戸大学工学部 杉本 智彦, 永田 真

概要: 本試作チップには、オーディオ用高精度DA変換器に標準的に用いられるデルタシグマ変調信号処理回路を搭載している。2次のデルタシグマ構成とし、インターポレータおよびFIRフィルタも内蔵した。京都大学の作成した0.18 μ m CMOSセルライブラリを用い、論理合成および自動配置配線ツールによる、マルチレート・デジタル信号処理回路の設計手法の確認も目的としている。アーキテクチャ設計には信号処理シミュレータ (SPW) を用い、設計性能の評価には論理合成後のネットリストを用いた論理シミュレーションにより行った。本試作チップは、デジタル・デルタシグマ変調回路 (1) の設計改善版である。試作チップの基本動作を確認し、デジタル・デルタシグマ変調回路 (1) とあわせて詳細な評価を続けている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, SPW, Avanti 社 Appolo, Cadence 社 Virtuoso, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満
試作ラン: 日立製作所 CMOS 0.18 μ m 2.9mm 角 **試作ラン:** アナデジ混載

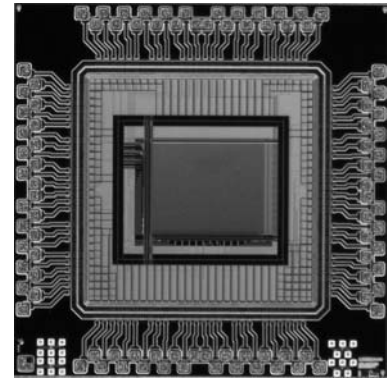


低消費電力キャッシュ用 SRAM セル

福岡大学工学部 田中 秀和, 井上 弘士

概要: 我々は、命令キャッシュの低消費エネルギー化を目的として、ヒストリ・ベース・タグ比較 (History Based Tag Comparison: HBTC) キャッシュを提案している。従来型セット・アソシアティブ・キャッシュでは、参照すべきデータが唯一のウェイのみに存在するにも関わらず、アクセス時には全てのウェイが活性化される。これに対し、HBTC キャッシュでは過去のタグ比較結果を再利用し、参照データが存在するウェイのみを選択的に活性化する。しかしながら、これまでの研究評価では、0.8 μ m CMOS テクノロジーを前提とした消費エネルギー式を用いていた。また、HBTC キャッシュでは拡張した BTB において全エントリの有効フラグを一括リセットする必要があるが、その際による消費エネルギーはこれまで考慮していなかった。そこで本試作では、16KB の 4 ウェイ・セット・アソシアティブ・キャッシュにおいて 1 つのウェイを構成する 4KB SRAM を設計し、より詳細な消費エネルギーを測定した。また、強制リセット機能付メモリセルも設計し、HBTC キャッシュにおいて発生するタグ比較結果の無効化処理での消費エネルギーを測定した。

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **試作ラン:** メモリ

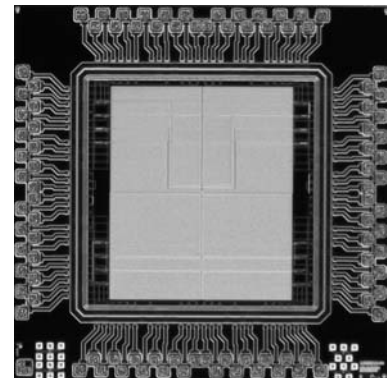


電流モード制御信号多重化に基づく非同期 Duplex 通信インタフェース回路の試作

東北大学電気通信研究所 高橋 知宏, 羽生 貴弘

概要: 将来支配的になると予測される配線遅延による性能向上の壁を打破するひとつのアプローチとして、クロックを用いない非同期式制御が知られている。本研究グループでは送信側と受信側で行われるハンドシェイク通信を、適切な符号化に基づき電流モードを用いて制御信号を多重化させることで、実質片道の配線遅延で非同期データ転送を可能とする方式を提案してきた。このチップでは非同期データ転送インタフェースの中で特に性能を左右する、多レベルの信号を検出する部分にメモリのセンスアンプなどにも使われるオペアンプを採用し、高速な検出が可能となる回路を試作した。また、配線リソースや付加回路を増加させることなく、更なる大容量データ転送を目指しモジュール間を双方向に非同期データ転送する Duplex 通信回路を試作した。本試作チップの動作検証・性能評価については現在進行中である。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **試作ラン:** ニューテクノロジー

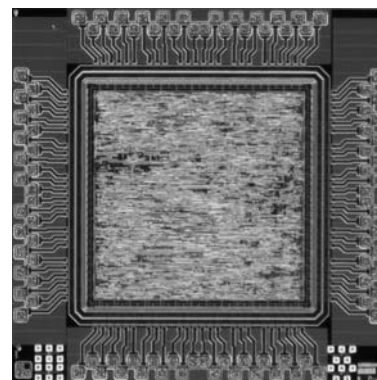


インターネットルータのマルチメディア QoS 制御チップ

大阪大学大学院情報科学研究科 島原 広季, 正城 敏博, 戸出 英樹, 村上 孝三

概要: 将来のインターネットルータにおいて、映像配信などの高品質な通信を実現するためのバッファ管理法として、フロー毎に最低限使用可能なバッファ量（以下、`基本量`と呼ぶ）を論理的に確保し、この基本量をポート、クラス、フローの順に階層的に管理するとともに、Pushout 機構による廃棄制御と、バッファからのパケット送出スケジューリングにおける帯域配分法とで連携をとることより、バッファ高負荷時においてもクラスに見合ったサービスを提供し、高度な QoS 保証を実現する制御機構を設計し、チップ試作を行った。特に、可変長パケットへの対応、複数ポートによるバッファ機構の共有機能を具備したものとなっている。0.18 μm CMOS テクノロジーで 47K ゲート、約 135MHz の動作を達成することができた。本コントローラは 6 クロックで動作することから、仮に、64byte という非常に小さい制御パケットのみが連続的に到着し続ける厳しい条件下でも、11.5Gbps の処理速度を達成することが明らかとなった。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.9mm 角 **試作ラン:** マイクロプロセッサ





(NEC03)

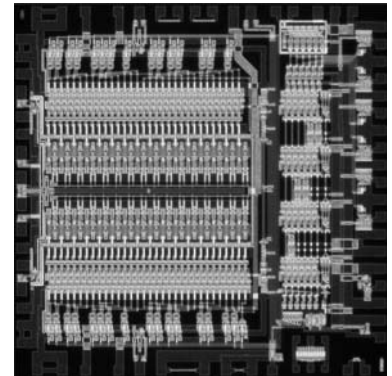
4 GS/s 6-bit フラッシュ型 ADC の試作

中央大学理工学部 川田 真也, 杉本 泰博

概要: 本研究ではフラッシュ型 ADC を ECL 構成を用いて構成した。コンパレータを高速動作させるために必要なプリアンプの応答を高速化させるため、インダクタを負荷に使用し帯域の拡大を図った。さらに両相のインダクタをカップリングさせることにより、必要な自己インダクタンスを削減し面積の削減を図った。クロックの切り替わり時に生じるコンパレータのスイッチングノイズを軽減する構成を検討し高速動作を可能にした。また、補間型構成および Duplex-Gray コーディングを使用することにより、回路規模の削減およびエラー耐性の向上を図った。現在評価基板を作成中であり、完成次第測定に着手したい。

参考文献: 川田, 杉本: “4GS/s 6-bit バイポーラ ADC の回路構成に関する検討”, 電気学会電子回路研究会資料, ECT-03-97, 2003 年 11 月

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** NEC Bipolar 0.6 μ m 2.0mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)

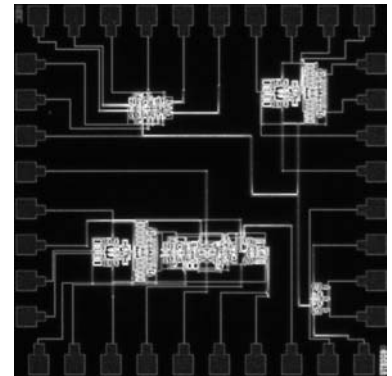


一次連続時間ローパス $\Delta\Sigma$ 変調器とその回路ブロックの設計

上智大学理工学部 湯本 拓, 田島 康博, 和保 孝夫

概要: 高いサンプリング周波数で高周波入力信号を A/D 変換できる技術の確立を目指し、バイポーラトランジスタを用いた連続時間 $\Delta\Sigma$ 変調器を設計した。連続時間方式を利用することで、高周波での性能を向上させることができる。連続時間信号から離散時間信号への変換と、アナログ信号から量子化を同時に行うために、マスタースレーブ型のラッチコンパレータを設計し、クロック周波数 1GHz での動作を確認した。積分器はミラー効果を用いた gm-C 型積分器を設計した。ミラー効果により、キャパシタの面積を 1/30 に縮小することができた。チップには、コンパレータ、積分器を単体で搭載し、動作を確認できるようにした。 $\Delta\Sigma$ 変調器はこれらの回路を組み合わせたものを搭載した。HSPICE によるシミュレーションでは、OSR=100 (入力周波数 5MHz, クロック周波数 1GHz) で SNR=43dB が予測された。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** NEC Bipolar 0.6 μ m 2.0mm 角 **試作ラン:** アナログ (PLL, A-D/DC-DC コンバータなど)



電荷積分器およびフロントエンドエレクトロニクス

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸

概要: 放射線検出器 (光電子増倍管, ガスチェンバーなど) 読み出し用のエレクトロニクスの TEG を製作した。電荷積分器はインピーダンスマッチング部及び電荷積分部の 2 ブロックよりなる。電源電圧が低いため電荷積分部が低電圧でも動作するように工夫されている。このタイプの回路はダイナミックレンジ及びリニアリティを考慮し 2 種類を製作した。現在性能を評価中である。フロントエンドエレクトロニクスは低雑音プリアンプ及びフィルタを含む回路である。外部より容易に時定数を調節できる回路を組み込み、外付け回路は極力少なく設計した。これは多チャンネル読み出し用エレクトロニクスの TEG として現在評価している。また雑音評価用にトランジスタ TEG を入れており、これを使用して 1/f などの雑音の評価を行い、上記のフロントエンドエレクトロニクスの評価との整合性をチェックすることが可能である。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** NEC Bipolar 0.6 μ m 2.0mm 角 **試作ラン:** TEG (特性評価回路など)

