

2.2. 試作結果

平成15年度 第2回 オンセミコンダクタCMOS1.2 μ m チップ試作 (MOT032)

NOR論理ゲート速度性能評価回路とマイクロプロセッサの設計

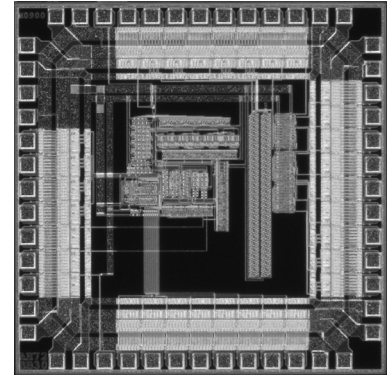
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 渋谷 耕児, 縣 伸史, 北村 義徳, 永野 肇, 村松 透,
望月 秀幸

概要：基本NOR論理ゲートの速度性能を詳細に実測評価するため、フルカスタム設計により、2種類の50段NORゲート・チェーンを設計した。伝搬遅延時間の立上りと立下りを分離して評価できる回路構成とした。更に、フルカスタム方式により4ビット・マイクロプロセッサを設計した。以前試作して機能動作を実測により確認しているゲートアレイ方式4ビット・マイクロプロセッサ（ゲート使用効率61%）の入出力回路を除く占有面積と比較して、約42%に縮小できた。7月15日入荷の試作チップを直ちに測定して、2種類のNORチェーンの遅延時間の違いを分離することに成功した。また、フルカスタム方式4ビット・マイクロプロセッサを実測して機能動作を確認することができた。最高動作周波数は測定器限界まで動作した。

参考文献：[1] 波多野, 渋谷, 縣, 北村, 永野, 村松, 望月, "NAND論理ゲート速度性能評価回路とマイクロプロセッサの設計", p. 51, 2004年VDEC年報(2004)。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.3mm角 チップ種別：マイクロプロセッサ



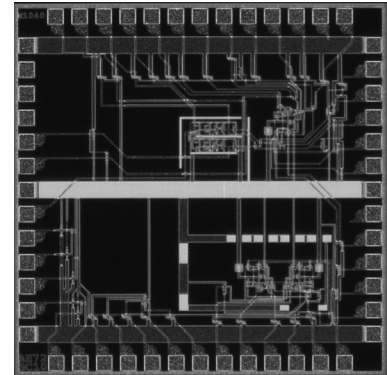
FG-MOSFETを用いた回路および2相クロック発生回路

熊本大学工学部 井上 高宏

熊本大学大学院自然科学研究科 市原 栄蔵

概要：今回試作したチップは、FG-MOSFETを用いたリフレッシュ形V_{th}電子設定可能な回路と、ソース接地形スイッチ複合MOSFET回路、および、重なり合わない2相のクロックを発生する回路で構成されている。また、動作確認用に各要素回路のTEGも試作した。リフレッシュ形V_{th}電子設定可能な回路は、リフレッシュモードとオペレーションモード2つのモードで動作する。リフレッシュモードでは、参照電流源および参照電圧源により、FG-MOSFETのみかけのしきい電圧を任意に設定することができる。オペレーションモードでは、リフレッシュモードで設定したみかけのしきい電圧をしきい電圧とするMOSFETとして動作するような構造となっている。ソース接地形スイッチ複合MOSFET回路は、リフレッシュ形V_{th}電子設定可能な回路を並列に接続した構造となっている。これにより、オペレーションモードのデューティサイクルがほぼ100%のソース接地複合MOSFETとして動作を可能にする。テストによる測定はまだ行っていない。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

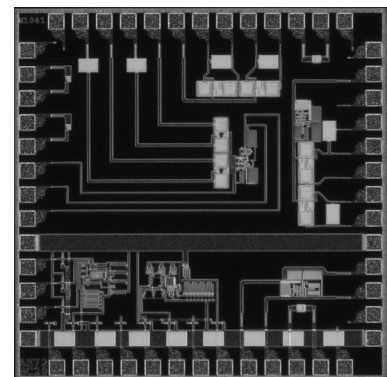


スマートRFIDタグ用電源回路

熊本大学工学部 井上 高宏, 江藤 慎一郎, 竹中 智哉

概要：今回試作したチップは、スマートRFIDタグ用電源回路であり、電源回路を構成する要素回路は、1段低リプル・ダイオードチャージポンプ型AC-DC変換回路、オペアンプ、それにレギュレータ回路となっている。低リプル・ダイオードチャージポンプ型AC-DC変換回路はwellダイオード、poly-polyキャパシタで構成されている。レギュレータ回路は、シャントレギュレータ回路、シリーズレギュレータ回路の2種類を試作した。また、シリーズレギュレータ回路においては、出力トランジスタの面積が大きいため、外付けにした。レギュレータ回路の参照電圧は回路内部で発生させている。レギュレータ回路内部に使用したオペアンプは、フルスイングOp-Amp, フォールディッドカスコードOTAの2種類となっている。さらに、学部生が試作したCMOSオペアンプも搭載している。また、動作確認用に各要素回路のTEGも試作し、テストによる測定を行なった。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



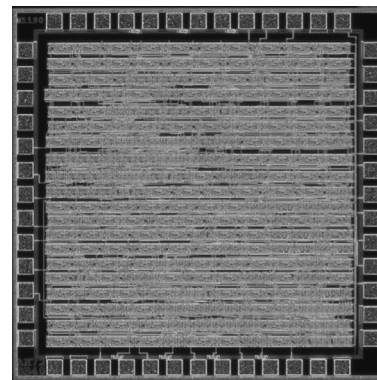
完全埋め込み型 FES 用カスタム集積回路

埼玉大学工学部 中溝 正彦, 高橋 幸郎

概要: 事故等により脊髄や神経に損傷を受けて四肢麻痺などの運動機能を喪失した患者に対して、機能的電気刺激 (FES) を用いることにより運動機能の再建が可能となる。刺激電極からの感染を避け、刺激の選択性の向上のためには、刺激電極と刺激装置共に完全に体内に埋め込むことが望ましい。このため刺激用電力と刺激情報を電磁結合により体内に転送し、これを体内で整流、復調するための電子回路を有する埋め込み装置を開発した。装置の仕様は、刺激制御用情報の伝送に 123kHz のシリアルデータを 1.23MHz のバースト波の有無による ASK 方式を、また電力伝送には 123kHz を用い、刺激電極数は最大 32 チャンネルとした。この装置には低消費電力化と小型化が必要であることから、カスタム集積回路化が有効である。試作したチップはテストにより動作が確認された。

参考文献: [1] 高橋, 星宮, 松木, 半田, "体外電力供給方式による埋め込み型機能的電気刺激装置", 医用電子と生体工学, Vol. 37, No. 1, 1999

設計期間: 9 人月以上, 10 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



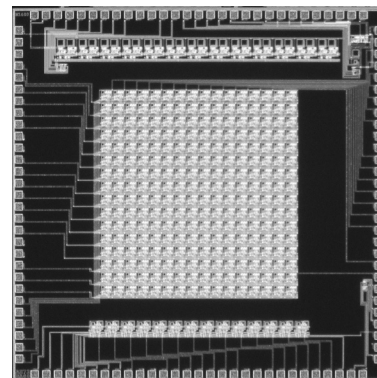
下等動物の視覚系に学んだ二次元動き検出チップの試作

豊橋技術科学大学大学院工学研究科 西尾 公裕, 米津 宏雄

概要: これまでに、背景を含む画像がチップ上に投影されても、ターゲットの動きのみを検出できるように、下等動物の視覚系に学んでターゲットの動き情報のみを出力する二次元ネットワークを考案してきた [1]。現在、このネットワークをよりシンプルに構築するために、その初段である二次元動き検出ネットワークの単純化を試みている。下等動物の脳は、非常にシンプルな構造にも関わらず、実時間で動き検出を可能にしている。特に、カエルの視覚系では、網膜で生成されたエッジ情報から、視蓋および視床において、移動する物体の二次元の移動方向および速度を検出している。その情報処理に学んで考案したネットワークは、比較的シンプルなアナログ基本回路で構成された。今回の試作では、単位回路を二次元に配列したネットワークを設計した。また、チップ中には、ネットワークを構成する基本回路の TEG も含めた。試作チップの測定では、各基本回路の動作を検証するとともに、二次元ネットワークの特性を評価する。

参考文献: K. Nishio, H. Yonezu, A. B. Kariyawasam, Y. Yoshikawa, S. Sawa and Y. Furukawa, "Analog Integrated Circuit for Motion Detection against Moving Background Based on Insect Visual Systems", Optical Review, vol. 11, pp. 24-33, 2004.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 4.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ

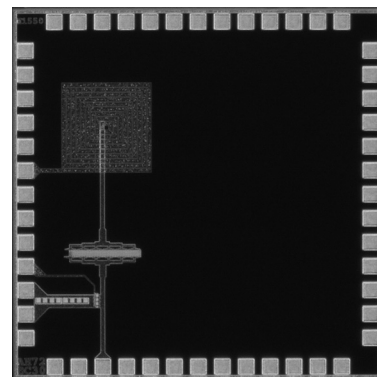


E 級増幅器

福岡大学工学部 末次 正

概要: シングルエンド型の動作周波数 1GHz の E 級増幅器を設計した。インダクタはメタル 2 層を用いてスパイラルインダクタを作成した。キャパシタンスとしてポリ 2 層を用いた。スイッチは NMOS トランジスタのみを用いて 1 個作成した。スイッチ駆動回路は外付けとして組み込んでいないので、ゲートはメタル線で直接パッドに接続されている。E 級増幅器のシャントキャパシタンスはトランジスタの drain-source 間キャパシタンスをそのまま使うことにより、E 級増幅器のシャントキャパシタンスの設計値と一致するようにトランジスタの大きさを設計した。インダクタおよびキャパシタ内、それらを接続するメタルラインの幅は、最大の電流量から線幅を決めてそれ以上になるように設計した。一つのチップ内に 2 つ同じ増幅器を組み込んである。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE **トランジスタ数:** 10 未満 **試作ラン:** 2.3mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

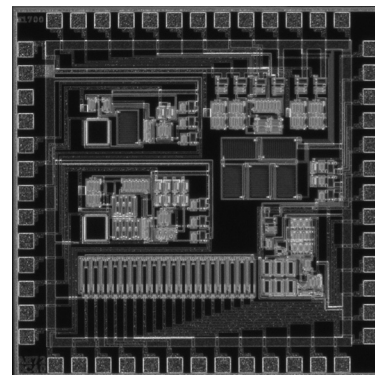


MOS 型定電流回路の設計・試作 (3)

岡山県立大学大学院情報系工学研究科 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：アナログ・デジタル回路の混在した CMOSLSI 技術の向上に伴い、アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した電源回路が極めて重要となる。それは安定な定電流回路が電源電圧と周囲温度に対して安定に動作するアナログ回路の実現のために不可欠だからである。特に低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積の増大のため、製造コストが上昇してしまう。これらの事から、本設計では高抵抗を用いずに安定な低バイアス電流を発生する電流源の設計および検討を行った。今回の設計における当初の仕様は、所定の電源電圧および温度で基準値からの変動が±1%以内の定電流を得ることを目標としている。本チップは、前年度設計を行った「MOS 型定電流回路の設計・試作 (1)」と「MOS 型定電流回路の設計・試作 (2)」で用いているゲート保護ダイオードの改良と共に、両チップを1チップ化したものである。また、チップには回路構成を簡略化したオペアンプを追加した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：TEG (特性評価回路など)



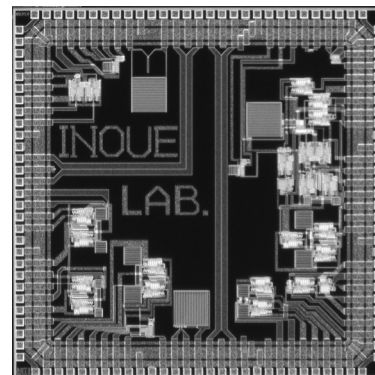
MOS 構成に適したアナログ形 PLL の試作 (1)

秋田大学工学資源学部 宮前 亨, 吾妻 俊征, 伊藤 文人, 井上 浩

概要：近年、デジタル通信の発展と LSI の高性能化の要求に伴い、デジタル形の PLL 回路を利用した機能集積回路が増えてきた。アナログ形 PLL の利点を生かしながらも大幅な回路の簡化が可能となる新しい回路構成の考案が必要である。本試作研究では、CMOS アナログ回路を応用し、分周器やチャージポンプ等を用いないアナログ形 PLL を提案し、その動作を検証することを目的に IC 設計・試作した [1]。試作した IC は、アナログ形 PLL の全体回路を構成する個別回路ブロック及びそのテスト回路と、個別ブロックに含まれる基本回路、ならびに回路内に用いられる諸抵抗及び諸容量の特性評価回路で構成している。本回路は1チップ化がしやすく、更に回路規模縮小が可能と考えられる。

参考文献：[1] 川元, 伊藤, 井上, "アナログ PLL LSI に用いる CMOS プッシュプル回路の最適化," 2003 年電子情報通信学会総合全国大会, エレクトロニクス, C-12-39.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：4.8mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



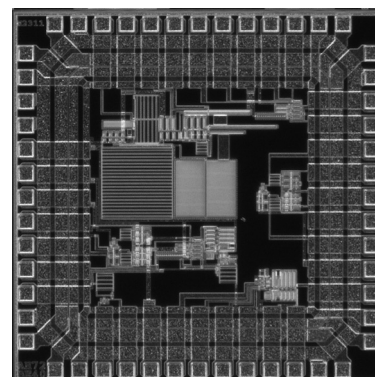
リング発振器型電圧制御発振器の開発試作

秋田大学工学資源学部 宮前 亨, 井上 浩

概要：近年の通信機器において、半導体集積回路技術の進歩により小型化・高性能化されてきている。携帯電話, PHS のような小型通信端末には、LC 発振回路が多く用いられており、共振器全体の Q 値を高く確保するためにディスクリット素子を利用して構成されている。通信機器のさらなる小型化および新たな応用の開発を行うためには、発振器を IC 内に組み込むことが望まれる [1]。本試作では、IC 内に実現される発振器として、回路の単純性と適合性からリング発振器を応用した PLL 用の電圧制御発振器 (VCO) を提案し、その動作を検証することを目的に IC 設計・試作した。VCO は、回路構成を新規に提案することにより、制御電圧に対して線形で広範囲に発振周波数が可変すること、前回の試作時の性能を改善できることを確認した。

参考文献：[1] 宮前亨, 井上浩, "リング発振器を応用した新しい電圧制御発振器の設計とその評価," 信学技報 EMD2004-6, May 2004

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



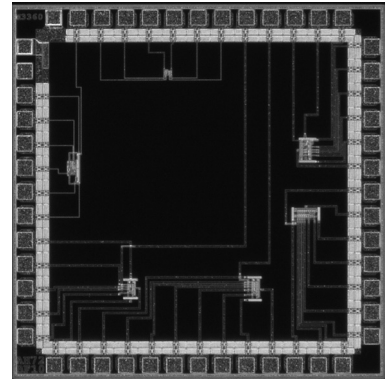
ニューロンMOSを利用したアナログ・デジタル基本回路の試作

佐賀大学大学院工学系研究科 石川 洋平, 塚本 尚平, 舛岡 貴志

佐賀大学理工学部 深井 澄夫

概要：本研究室では、ニューロンMOSトランジスタを用いたアナログ・デジタル回路設計の研究を行っている。アナログでは、本研究室において現在研究中である「チャンネル長変調効果の影響を低減するニューロンMOSカレントミラー回路」の試作を行っている。また、ニューロンMOSカレントミラー回路内部に用いる差動増幅回路の試作も行っている。デジタルでは、ニューロンMOSの最大の特徴である線形荷重和特性および可変閾値特性を活かした応用として2入力・3入力・4入力可変論理回路の試作を行っている。可変論理回路とは外部からの制御信号により同一回路構成で多くの論理関数を実現することができる柔軟性の高い回路である。また、従来提案されているニューロンMOSの設計手法であるFPD (Floating-Gate Potential Diagram) を利用し、ニューロンMOSコンパレータの試作も行っている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

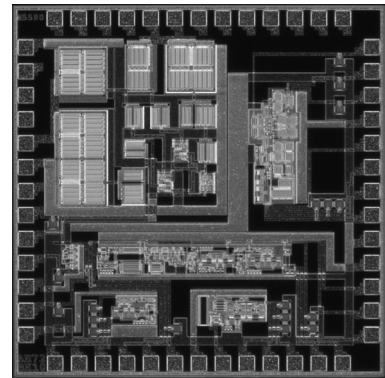


スイッチング電源制御用LSIの設計

富山県立大学大学院工学研究科 大場 博之, 松田 敏弘, 岩田 栄之

概要：スイッチング電源の小型化, 高効率化のために, 動作が安定で, 汎用性のある制御用LSIが必要とされる。今回の試作では, 制御用LSI内のブロックのうち, 発振回路, ラッチ回路, 出力回路, 周波数低減回路, 誤差増幅器, 比較器を設計した。発振回路はクロックとして用いるため, 周波数の安定性が重要となる。ラッチ回路は電源のスイッチングの割合を出力するため, 高周波でもクロックに対して安定に動作する必要がある。周波数低減回路は出力電圧が低下してきた場合, 電流値を低下させる回路である。出力電圧や電流に影響を与えるため, 誤差増幅器の利得は高く保つ必要がある。また, 高周波のスイッチング周波数に対応するため, 高速応答が必要とされる。比較器はスイッチングデューティに影響を与え, 低電圧でも動作する必要がある。今回の試作では特に, 発振回路を高周波化し, 動作の安定化を行うことに重点を置き, 設計を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナデジ混載

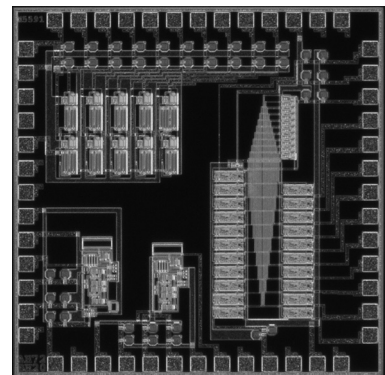


小型センサ用CMOS A/Dコンバータの設計

富山県立大学大学院工学研究科 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要：近年, マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし, 小型センサの出力は微小であり, この出力を増幅, 補正する必要がある。そこで, 小型半導体加速度センサのオフセット電圧をデジタル値で調整する方法を検討している。そのために, センサの出力をいったんデジタル値に変換し, 補正を行った後, アナログ値に戻すために, A/Dコンバータが必要となる。今回は, 比較的単純な構造で, ある程度の精度が得られる逐次比較方式を採用した。センサと増幅回路のオフセット電圧を十分に扱うためには10bit程度の分解能が必要である。回路はSample & Hold回路, Comparator, 逐次比較論理回路, D/Aコンバータから構成される。D/Aコンバータは前回試作したR-2R ladder型D/Aコンバータを用いた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

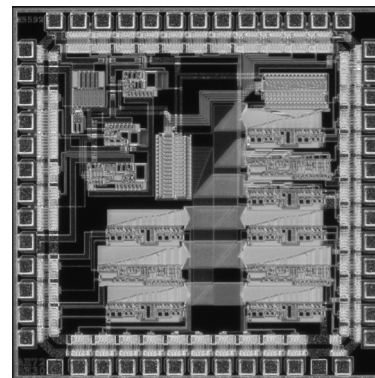


トランジスタ特性測定用回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之

概要：MOSFETおよびオペアンプの特性を測定するためにトランジスタ特性測定用回路、オペアンプを設計し、本チップに搭載した。設計した回路は、9つのブロック（1ブロックに対してトランジスタ最大31個）からなるトランジスタ特性測定用回路、5ビットデコーダ（Nch用、Pch用）、基本Nch入力オペアンプ、基本Pch入力オペアンプ、高PSRR Nch入力オペアンプ、バイアス回路である。本トランジスタ特性測定用回路では、トランジスタの数が多いためトランジスタのドレインソースを共通化し、デコーダでゲート信号を切り替えることで測定するトランジスタを選択するという方式を取った。トランジスタ特性測定では、主に ΔV_{th} 特性について調査する。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.3mm角 チップ種別：TEG（特性評価回路など）

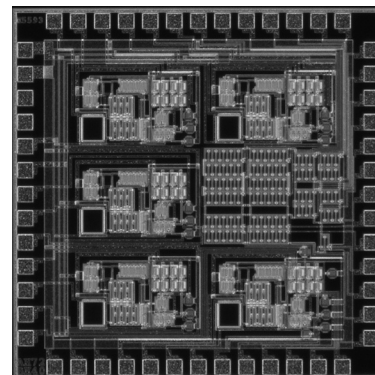


小型半導体加速度センサ用LSIの設計

富山県立大学大学院工学研究科 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、外部からの雑音に影響されやすくなる。このため、微小な出力をセンサ近傍で増幅し、外部からの影響を受けにくくする必要がある。本チップでは小型半導体加速度センサの出力信号増幅回路を構成するLSIの設計を行った。複数のオペアンプと抵抗によって増幅器回路を構成するために同一の回路構成のオペアンプ5つと、それぞれ大きさの違うN-well抵抗を配置している。4つのオペアンプは組み合わせて使用するために、VDDとGND、VSS、C.C.は共通となっている。前回、GNDとVSSを別パッドで出していたが今回はGNDとVSSを内部で接続した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：2.3mm角 チップ種別：マイクロプロセッサ

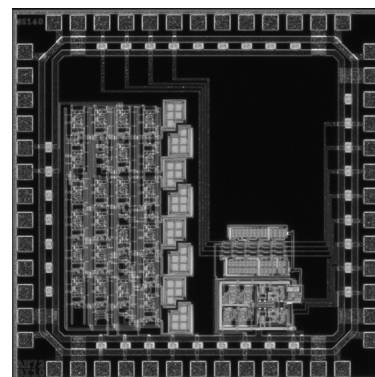


通信システム用回路ブロックの試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：通信システムで必要となる電圧制御発振回路、ミキサ、フィルタの試作を行った。電圧制御発振回路として4段の差動ダイレイセルを縦続接続したリングオシレータを用い、発振周波数が76MHzから90MHzで可変でき、振幅が約1Vp-pとなるように設計している。また、ミキサはGilbert型の乗算回路とRCポリフェーズフィルタを用いて構成している。この構成により変換利得約10dBで、さらに80kHzから440kHzの帯域でイメージを50dB以上減衰できるように工夫している。フィルタはバターワース型の8次非対称帯域通過特性となるように設計している。WangのOTAと呼ばれる回路と容量により積分器を構成し、さらに積分器を複数組み合わせることで2次区間回路を実現している。この2次区間回路の縦続接続によりフィルタ全体を構成している。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：2.3mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）

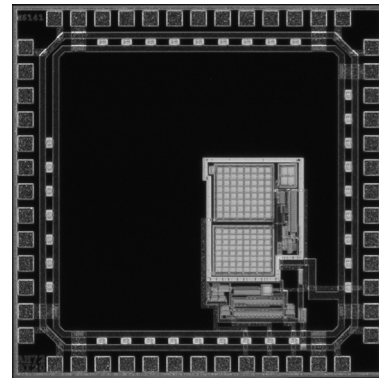


低雑音増幅回路の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM放送受信機の集積化を目指して、受信機に必要な低雑音増幅回路の試作を行った。中心周波数が約80MHzであるため、オンチップインダクタを使用せずに低雑音増幅回路を構成している。基本的にはゲート接地増幅回路の入力抵抗とゲート・ソース間の容量を利用してパワーマッチングを行っている。まず、ゲート・ソース間の容量値をパワーマッチングの条件から定め、他の素子値を雑音係数を最小化するという条件で定めている。さらに、増幅率を上げるためにゲート接地増幅回路の出力に差動増幅回路を付加している。また、この差動増幅回路を用いて不平衡-平衡信号変換も行っている。シミュレーションでは、利得が20dB、雑音係数3.1dB、消費電力12.6mWという結果を得ている。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

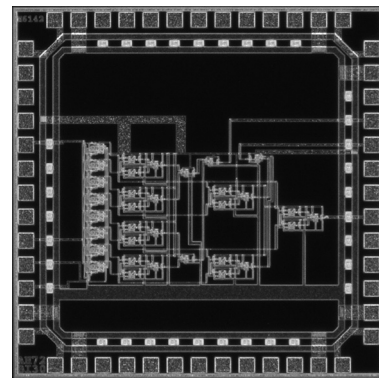


並列型 A-D 変換回路の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：アナログ信号をデジタル信号に変換するために不可欠な A-D 変換回路の試作を行った。A-D 変換回路の設計に精通することと、将来的な課題である高速信号処理の実現を考慮し、動作解析の容易な3ビット並列型 A-D 変換回路を試作している。また、並列型 A-D 変換回路の構成としては、1個の参照電圧を抵抗分割することにより各比較器の参照電圧を得るといったシンプルな構成を採用している。比較器には、差動増幅回路の入出力をクロスカップルして構成したラッチ回路を用いている。この並列型 A-D 変換回路の出力に、排他的論理和を基本として構成したエンコーダを接続し、サーモメータコードからバイナリーコードへ変換している。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

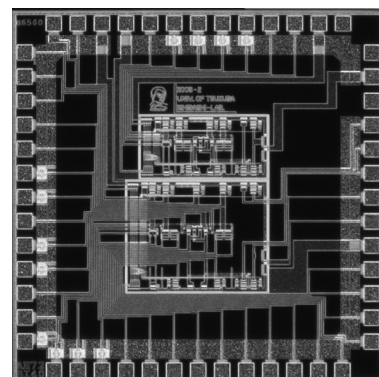


CMOS トランスコンダクタ

筑波大学システム情報工学研究科 庄野 和宏

概要：当研究室において、アナログ CMOS 集積回路の研究を立ち上げている。昨年度は、様々なアスペクト比を持つトランジスタ、ダイオード、抵抗、キャパシタを実装し、静特性、素子値、温度特性等の基本的な電気特性を測定した。これを踏まえ、本年度では、CMOS アナログ線形化トランスコンダクタ（電圧-電流変換器）を構成した。本試作では、トランスコンダクタとして、よく知られている Wang のトランスコンダクタを実装した。本チップには、電圧シフト回路やテール電流源回路も搭載している。また、各部の電流や電圧が測定できるように、1. 目的とする回路、2. 目的とする回路の電圧や電流が測定できるように様々な部分を切り離れた回路、の二つを実装した。動作電源電圧は5Vである。チップの評価を通して、移動度減衰による線形性の悪化を確認した。このことは、PSpiceシミュレーションの結果とよく一致する。この結果を、今後の研究のための基礎データとしたい。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Pspice, なし, タナーリサーチ社 L-Edit V10.11, なし トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



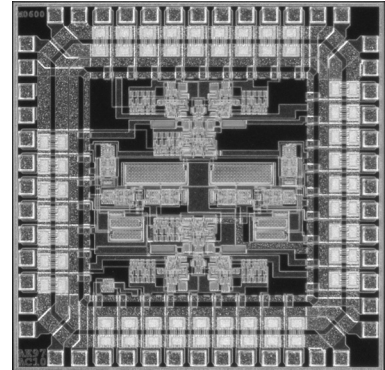
平成16年度 第1回 オンセミコンダクタCMOS1.2 μ m チップ試作 (MOT041)

スイッチドキャパシタ・ノッチフィルタの設計

静岡大学電子工学研究所 高橋 誠, 小川 寛美, 渡辺 健蔵

概要：地震が発生する前兆の現象として地殻変動に伴う電波放射がみられる。電波放射は、地球規模のノイズレベルが低い極低周波（ELF）帯においての観測が適しているときれ研究が行われている。しかしその電波の帯域付近は50/60Hzの商用電源と、その高調波ノイズの影響を受ける。そこでそれらのノイズを除去するためのQの高い急峻な特性を持つノッチフィルタが必要である。RCアクティブフィルタは素子の温度特性が直接フィルタ特性に影響を与えるため、スイッチドキャパシタでノッチフィルタが設計された。ここでは全差動型のスイッチドキャパシタ・ノッチフィルタが試作されている。回路のアナログスイッチは外部回路から与えられる重なり合わない2相クロックで制御される。試作回路の特性を測定し、HSPICEによるシミュレーション結果と比較した。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva 満 試作ラン：2.3mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



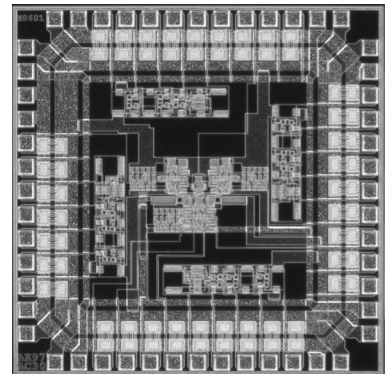
トランジスタ数：100以上，1,000未満

Rail-to-Rail CMOS カレント・コンペアの設計

静岡大学電子工学研究所 ホアン チュン スン, 小川 寛美, 渡辺 健蔵

概要：第二世代カレント・コンペア（CCII）は電流モード信号処理の基本構成素子である。低電源電圧でも広いダイナミックレンジと広帯域動作が期待できる電流モード信号処理の特長をいかして広帯域 Rail-to-Rail カレント・コンペアを設計した。カレント・コンペアは低消費電力化のためにAB級で動作するように構成されており、また、広帯域で安定な動作が得られるように位相補償回路が加えられている。試作回路の特性評価を行い、HSPICEによるシミュレーション結果と比較した。また、CCIIを用いた電流モードフィルタを試作した。抵抗とキャパシタは外付けとした。単一CCIIを用いたフィルタ構成、及び、状態変数フィルタについて特性を測定した。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva 満 トランジスタ数：10以上，100未満 試作ラン：2.3mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



7

高信頼順序回路, 10進デジタル回路, 及びデジタル要素回路の設計

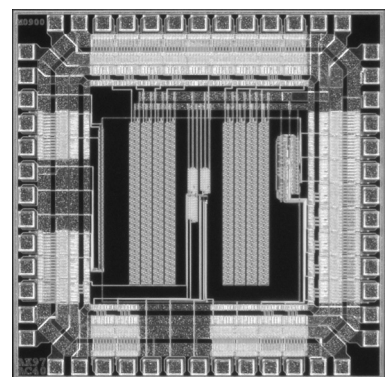
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 山本 毅, 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢

概要：高信頼順序論理回路群, 10進表示デジタル回路群, 及びデジタル要素回路群等を3チップに分けて設計した。高信頼順序回路として冗長系ラッチ回路等を設計した。インターフェースを考慮したデジタル回路として, 10進加算回路, 全加算器+7セグメントデコーダ回路, 10進デコーダ回路を設計した。デジタル要素回路として, コンパレータをフルカスタム方式, ゲートアレイ方式, ニューロンMOSで設計した。また, ニューロンMOS全加算器, 乗算器を設計した。その他, 4種類の50段NANDチェーン, 4種類の50段NORチェーン, 光誘起電流検出回路, 縦積み回路の性能検討回路等を設計した。1月7日に入荷した試作チップを直ちに実測して, 冗長ラッチ, 7セグ回路, コンパレータ, デコーダ, 縦積み回路, 8種類のNANDとNORチェーンの動作を確認した。

参考文献：[1] 波多野, 渋谷, 縣, 北村, 永野, 村松, 望月, " NAND 論理ゲート速度性能評価回路とマイクロプロセッサの設計", p. 51, 2004年VDEC年報(2004)。

設計期間：1人月以上，2人月未満 設計ツール：Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：2.3mm角 チップ種別：演算回路（乗算器, 除算器など）



高信頼順序回路, 10進デジタル回路, 及びデジタル要素回路の設計

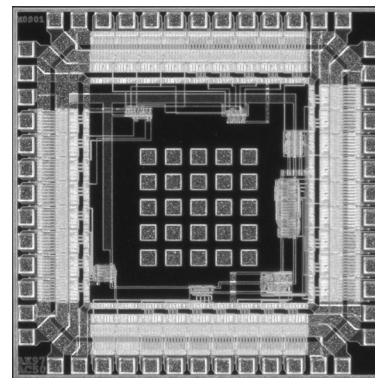
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢,
山本 毅

概要：高信頼順序論理回路群, 10進表示デジタル回路群, 及びデジタル要素回路群等を3チップに分けて設計した。高信頼順序回路として冗長系ラッチ回路等を設計した。インターフェースを考慮したデジタル回路として, 10進加算回路, 全加算器+7セグメントデコーダ回路, 10進デコーダ回路を設計した。デジタル要素回路として, コンパレータをフルカスタム方式, ゲートアレイ方式, ニューロンMOSで設計した。また, ニューロンMOS全加算器, 乗算器を設計した。その他, 4種類の50段NANDチェーン, 4種類の50段NORチェーン, 光誘起電流検出回路, 縦積み回路の性能検討回路等を設計した。1月7日に入荷した試作チップを直ちに実測して, 冗長ラッチ, 7セグ回路, コンパレータ, デコーダ, 縦積み回路, 8種類のNANDとNORチェーンの動作を確認した。

参考文献：[1] 波多野, 渋谷, 縣, 北村, 永野, 村松, 望月, " NAND 論理ゲート速度性能評価回路とマイクロプロセッサの設計", p. 51, 2004年VDEC年報(2004)。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社Star-HSPICE, Cadence社Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.3mm角 チップ種別：演算回路(乗算器, 除算器など)



高信頼順序回路, 10進デジタル回路, 及びデジタル要素回路の設計

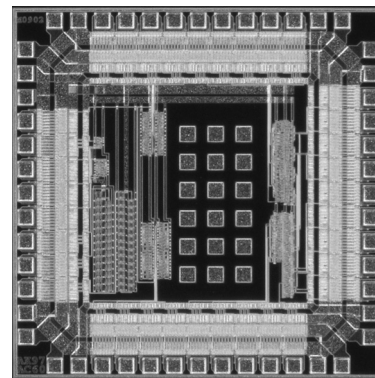
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 村松 一矢, 水口 隆太郎, 小林 潤士, 里中 勝己, 磯部 圭吾,
山本 毅

概要：高信頼順序論理回路群, 10進表示デジタル回路群, 及びデジタル要素回路群等を3チップに分けて設計した。高信頼順序回路として冗長系ラッチ回路等を設計した。インターフェースを考慮したデジタル回路として, 10進加算回路, 全加算器+7セグメントデコーダ回路, 10進デコーダ回路を設計した。デジタル要素回路として, コンパレータをフルカスタム方式, ゲートアレイ方式, ニューロンMOSで設計した。また, ニューロンMOS全加算器, 乗算器を設計した。その他, 4種類の50段NANDチェーン, 4種類の50段NORチェーン, 光誘起電流検出回路, 縦積み回路の性能検討回路等を設計した。1月7日に入荷した試作チップを直ちに実測して, 冗長ラッチ, 7セグ回路, コンパレータ, デコーダ, 縦積み回路, 8種類のNANDとNORチェーンの動作を確認した。

参考文献：[1] 波多野, 渋谷, 縣, 北村, 永野, 村松, 望月, " NAND 論理ゲート速度性能評価回路とマイクロプロセッサの設計", p. 51, 2004年VDEC年報(2004)。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社Star-HSPICE, Cadence社Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.3mm角 チップ種別：演算回路(乗算器, 除算器など)



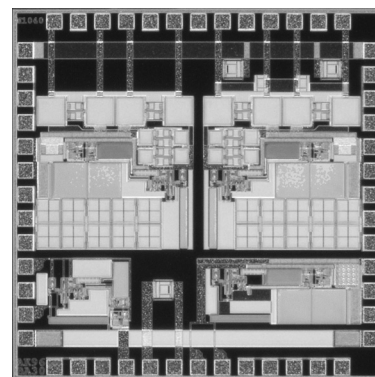
スマートRFIDタグ用集積化定電圧電源回路

熊本大学工学部 井上 高宏, 茂谷 俊昭

熊本大学大学院自然科学研究科 江藤 慎一郎

概要：今回試作したチップは, 3VDC出力のスマートRFIDタグ用集積化定電圧電源回路であり, 交流入力から直流出力を得るための2段低リプルダイオードチャージポンプ型AC-DC変換回路, 出力電圧を定電圧化するためのシリーズレギュレータ回路で構成されている。2段低リプル・ダイオードチャージポンプ型AC-DC変換回路はダイオードとキャパシタから構成されており, ダイオードとしてダイオード接続したp型MOSFETを, キャパシタにはpoly-polyキャパシタを用いた。シリーズレギュレータ回路に用いたオペアンプは標準的なCMOSオペアンプ回路構成を用い, このオペアンプの電源電圧を高く設計することで出力トランジスタの面積縮小を図った。またシリーズレギュレータ回路に用いる参照電圧の発生には, 電源電圧に依存しない基準電流発生回路を利用した。また, 動作確認用に各要素回路のTEGも試作し, テスタによる測定を行った。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula LVS, Cadence社Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



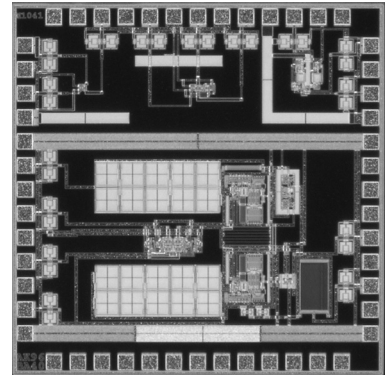
電子可変線形MOS抵抗回路とオーバードライブCMOSアナログスイッチの製作

熊本大学工学部 井上 高宏, 瀧上 宏之

熊本大学大学院自然科学研究科 安成 潤, 神園 大知

概要：試作したチップは、電子可変線形MOS抵抗回路とオーバードライブCMOSアナログスイッチである。抵抗回路は、MOSFETの非飽和領域の特性を用いることにより線形抵抗素子を実現した。また、スイッチ素子としての機能も併せもつ。製造偏差や温度変化による回路特性の変動を低減するためPLLを設計し、それを用いて抵抗値の自動チューニングを図った。現在、本抵抗回路を用いた連続時間形FPGA用アナログコア回路への応用を考えている。動作確認用に抵抗回路単体のTEGも試作した。オーバードライブCMOSアナログスイッチは、ブートストラップ正電源、負電源、CMOSアナログスイッチにより構成される。それぞれのブートストラップ正電源、負電源で、正負にオーバードライブした電圧をCMOSアナログスイッチのゲートに入力することで、CMOSアナログスイッチ単体で動作可能な電源電圧よりも低い電源電圧で動作するスイッチを実現した。本回路は、電源電圧1.5Vで動作する。テストによる測定はまだ行っていない。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



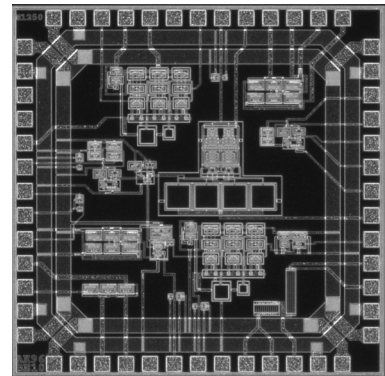
スーパーヘテロダイン方式AMラジオの試作

東京理科大学理工学部 藤井 伸介, 舘山 克樹, 行友 渉, 兵庫 明

関根 慶太郎

概要：AMラジオ受信機をCMOSで集積化することを目指し、スーパーヘテロダイン方式のAMラジオの試作を行った。試作したラジオは、高周波増幅部であるRF-AMP、周波数混合を行うミキサ、ミキサにLO信号を供給するための電圧制御発振回路、中間増幅部である可変利得増幅器、チャンネル選択を行うバンドパスフィルタ、検波部である包絡線検波回路で構成している。RF-AMPは差動増幅回路、ミキサはGilbert型の乗算器、電圧制御発振回路はリングオシレータ型、可変利得増幅器はクアドリテールセルを用いた構成、バンドパスフィルタはジャイレータを用いた2次のGm-Cバンドパスフィルタ、包絡線検波回路はボルテージフォロワを用いた構成とした。可変利得増幅器、バンドパスフィルタには、それぞれ利得調節端子、通過帯域調節端子を付加している。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



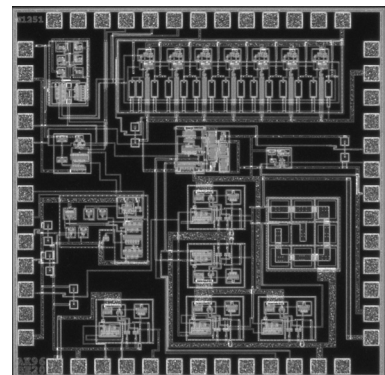
ワンチップAMラジオの試作

東京理科大学理工学部 小池 健, 藤瀬 雅俊, 兵庫 明

関根 慶太郎

概要：我々の研究室では学部4年生を対象にワンチップAMラジオを試作している。本チップでは、現在通信機に最も用いられているスーパーヘテロダイン方式のAMラジオの試作を行った。試作したラジオは、高周波増幅部であるRF-AMP、周波数混合を行うミキサ、ミキサにLO信号を供給するためのVCO、中間増幅部であるVGA、チャンネル選択を行うバンドパスフィルタ、検波部である包絡線検波回路で構成される。RF-AMPは差動増幅回路、ミキサはギルバートセル、VCOは7段のリングオシレータ、VGAはクアドリテールセルを用いた構成、バンドパスフィルタはTow-thomas型を使い、包絡線検波回路はボルテージフォロワを用いた構成とした。RF-AMP、VGAには同相電位を安定させるために共通モードフィードバックを用いている。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

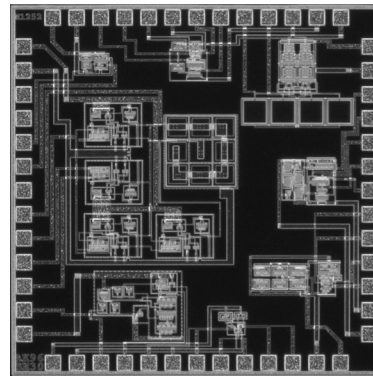


AMラジオ回路のTEG

東京理科大学理工学部 小池 健, 藤瀬 雅俊, 藤井 伸介, 館山 克樹, 行友 渉, 兵庫 明,
関根 慶太郎

概要：本チップではAMラジオ受信機を構成するブロックである、高周波増幅器、ミキサ、電圧制御発振器、可変利得増幅器、バンドパスフィルタ、包絡線検波回路の評価を行うため、要素回路を実装した。高周波増幅器は差動出力を得るために完全差動型としている。また、その他の回路は、ミキサはギルバートセルを用いた構成、電圧制御発振器は2段のリングオシレータを用いた構成、可変利得増幅器はクワドリテールセルを用いた構成、バンドパスフィルタはtow-thomas型としている。回路は全て設計しやすいようにシンプルな構成にした。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

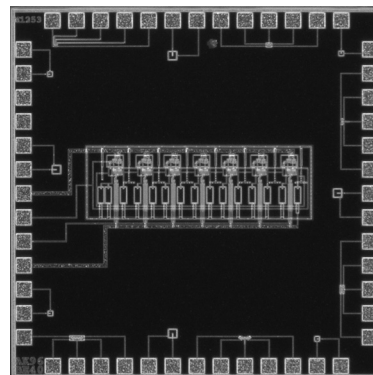


NMOS/PMOS 差動対・キャパシタ・電圧制御発振器のTEG

東京理科大学理工学部 藤井 伸介, 藤瀬 雅俊, 行友 渉, 館山 克樹, 小池 健, 兵庫 明,
関根 慶太郎

概要：我々の研究室では、学部4年生を対象にワンチップAMラジオを試作している。実際のアナログ回路をチップに実装する場合、MOSのしきい値、gm等の値を正確に把握することは極めて重要である。差動対は差動増幅回路に用いられ、同相ノイズを除去することができるため、様々な回路で広く用いられる。このような理由から本チップではMOSのしきい値、gm等の評価を行うためNMOS/PMOSを用いた差動対を搭載した。またAMラジオ受信機を構成するブロックである電圧制御発振器のTEGを載せた。動作確認を行い、測定値とシミュレーション値を比較することで、シミュレーションで用いるパラメータの信頼性の確認を行い、今後のチップ製作における目安とする。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

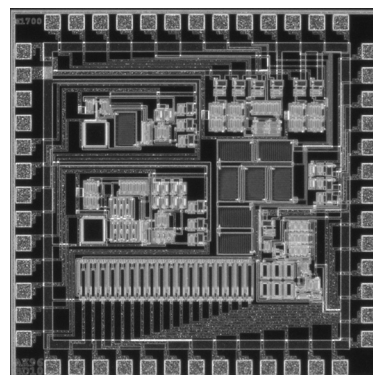


MOS型定電流回路の設計・試作(4)

岡山県立大学大学院情報系工学研究科 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：アナログ・デジタル回路の混在したCMOSLSI技術の向上に伴い、アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した電源回路が極めて重要となる。それは安定な定電流回路が電源電圧と周囲温度に対して安定に動作するアナログ回路の実現のために不可欠だからである。特に低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積の増大のため、製造コストが上昇してしまう。これらのことから、本設計では高抵抗を用いずに安定な低バイアス電流を発生する電流源の設計および検討を行った。今回の設計における当初の仕様は、所定の電源電圧および温度で基準値からの変動が±1%以内の定電流を得ることを目標としている。本チップは「MOS型定電流回路の設計・試作(3)」のマスクレイアウトにおける問題点を修正したものであり、 -60°C ~ $+100^{\circ}\text{C}$ の温度範囲で±1%以下の定電流特性を確認できた。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：TEG (特性評価回路など)

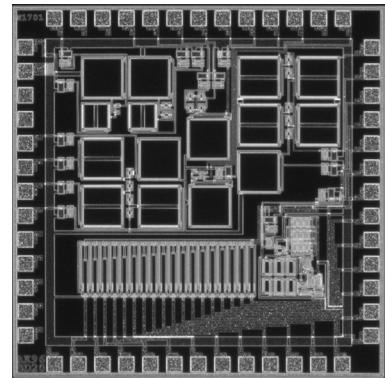


MOS型整流回路・直流電圧増幅回路の設計・試作(1)

岡山県立大学大学院情報系工学研究科 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：無線通信において、チップ外部のアンテナで受信した電波からアナログ回路の駆動に必要な直流電源電圧を得るには、整流回路が不可欠となる。さらに整流回路の出力電圧が低いため、電圧増幅回路を接続する必要がある。これらのことから、本設計では無線電波から直流電圧を得るための整流回路と直流電圧増幅回路の設計および検討を行った。本チップは、整流回路としてMOS型およびダイオード型半波整流回路・倍電圧整流回路・全波整流回路、直流電圧増幅回路としてトータムポール型チャージポンプ回路・ディクソン型チャージポンプ方式DC-DCコンバータから構成されている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：TEG (特性評価回路など)

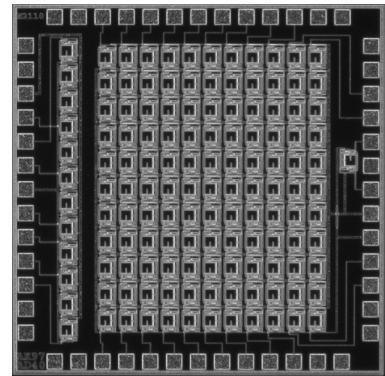


パルス形ハードウェア軸策モデルの試作

日本大学理工学部電子情報工学科 小野 克幸, 佐伯 勝敏, 関根 好文

概要：現在、様々な分野において、脳内で行われている情報処理能力を工学的に応用するための研究が行われており、そのなかでも我々は、パルス形のモデルである、パルス形ハードウェアニューラルネットワークのニューロンチップを実装することを目標に研究を行っている。今回、パルス形ハードウェアニューラルネットワークの実装のために、その伝送線路として用いる、パルス形ハードウェア軸策モデルの試作を行った。本試作では、パルス形ハードウェア軸策モデルの動作を確認するとともに、素子数が膨大となりうるニューラルネットワークにおける電源電圧の同一化に対する検討も行い、検証の結果、電源電圧を同一化する事による影響は問題にならないという結果を確認している。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, PSpice トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：ニューテクノロジー



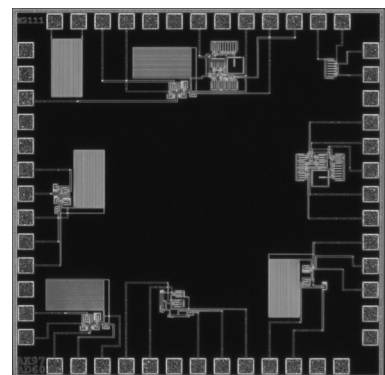
負性抵抗素子を用いた温度センサ回路

日本大学大学院理工学研究科 太田 寛

日本大学理工学部電子情報工学科 佐伯 勝敏, 関根 好文

概要：近年、センサと同一の基板上でセンサ出力を段階的に前処理して、後段の処理系の負荷を減らすような階層的アーキテクチャが考え出され、このような半導体センサと処理回路の情報処理を行うインテリジェントセンサが求められている。今回、我々が提案したIC化可能なΛ字形負性抵抗素子を用いて、電流変化が小さく、増幅器を用いずに、高い温度感度を得ることが可能な温度センサ回路について提案し、IC設計、試作を行った。試作したチップは温度センサ回路のパラメータを変化させた回路及び、抵抗部を外部接続とした温度センサ回路を試作した。今回は、温度センサ回路を構成する個々の素子の動作を確認した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, PSpice トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：ニューテクノロジー



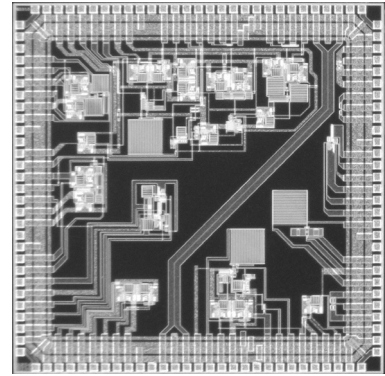
MOS構成に適したアナログ形PLLの試作(2)

秋田大学工学資源学部 宮前 亨, 吾妻 俊征, 佐々木 健太, 井上 浩

概要：デジタル形PLLに対し、アナログ形PLLの利点を生かしながらも大幅な回路の単純化が可能となる新しい回路構成を考案してきた。本試作研究では、CMOSアナログ回路を応用し、ダイレクト変換型アナログ形PLLを提案し、その動作を検証することを目的にIC設計・試作した[1]。本方法では、従来必要とされてきた回路ブロックを用いないPLL回路を構成することができ、回路全体のLSI化が容易になると考えられる。試作したICは、アナログ形PLLの全体回路を構成する個別テスト回路と、個別ブロックに含まれる基本回路及び諸抵抗及び諸容量の特性評価回路で構成し、また、配線間の電磁結合を調べるための配線も行っている。

参考文献：[1] 佐藤, 伊藤, 井上, "プッシュプル位相加算ミキサを使用した通信機能ICの一検討," 電子情報通信学会技術研究報告, EMD2003-97, 2004年1月。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：4.8mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



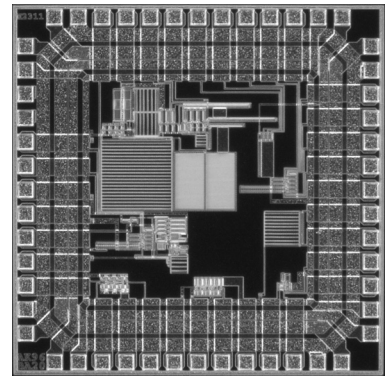
新しいリング発振器型電圧制御発振器を用いた基本PLLの試作

秋田大学工学資源学部 宮前 亨, 井上 浩

概要：携帯電話に代表されるような通信機器の小型化・高性能化の要求に伴い、システム内の重要なブロックとなるPLL (Phase-Locked Loop 位同期ループ) のIC化が望まれる[1]。基本的なPLLは、位相比較器、ループフィルタ、電圧制御発振器 (VCO) の回路ブロックで構成され、本研究試作では、回路構成が単純で広可変範囲の汎用性の高いIC化VCOの開発を目的に、インバータを制御する新しいリング発振器型VCO回路構成を提案し、IC設計・試作を行った。また、提案したVCOの応用として、基本PLLへの適用を検討した。特性評価から、本VCOの周波数可変範囲が広いことが確認できること、基本PLLへ適用した場合に周波数ロック範囲が広いこと、1チップで動作できることなどが明らかとなった。

参考文献：[1] 宮前亨, 井上浩, "リング発振器型VCOの開発とその応用," 東北地区若手研究者研究発表会, Mar. 2005.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



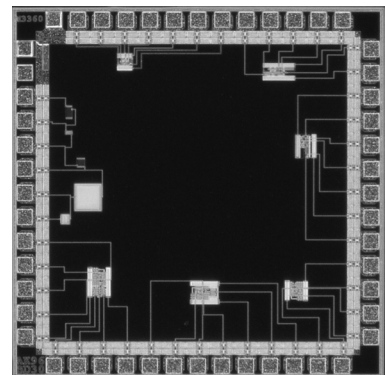
演算増幅器の試作・検証

佐賀大学大学院工学系研究科 石川 洋平, 塚本 尚平

佐賀大学理工学部 古賀 陽一郎, 近藤 弘康, 高平 亨, 深井 澄夫

概要：本チップでは、アナログ集積回路の汎用能動素子である演算増幅器の設計を通じて基本アナログ集積回路ブロックの設計技術及び検証技術を早期に習得することを目的としている。今回の回路構成は、主に差動増幅回路とソース接地増幅回路の2段基本構成の演算増幅器が中心となっている。フィードフォワードAB級出力段を加えた3段構成の演算増幅器も試作している。また、TEG用にキャパシタ・抵抗を試作している。参加学生 (学部4年・修士2年) 各個人が演算増幅器の利得・位相余裕・バイアス等を自ら決めて設計しレイアウトまでを行い合計6つの演算増幅器を試作している。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



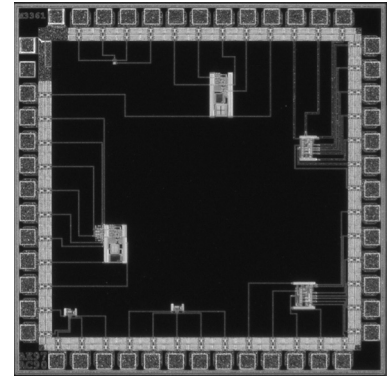
ニューロンMOSを利用したアナログ・デジタル基本回路の試作

佐賀大学大学院工学系研究科 石川 洋平, 塚本 尚平, 舛岡 貴志

佐賀大学理工学部 深井 澄夫

概要：近年、ニューロンMOSの最大の欠点である初期電荷の影響を改善できるレイアウトの手法が海外で報告されている。そこで、これまでの手法とその提案手法の初期電荷の影響を比較するためにニューロンMOSインバータのTEG (Test Element Group) を試作した。また、本研究室で研究中であるニューロンMOSの線形荷重和を利用したニューロンMOSカレントミラー回路に演算増幅器を含めレイアウトを行った。また、ニューロンMOS演算回路の新たな設計手法として、従来提案されているニューロンMOSの設計手法であるFPD (Floating-Gate Potential Diagram) を利用し、さらに容量再分割・機能合成等の新たな手法を追加し、2種類のニューロンMOSコンパレータの試作も行っている。さらに、演算増幅器のIP化・比較検討のため、位相補償用コンデンサおよび抵抗をスイッチにより切り換えることのできる演算増幅器のレイアウトも行っている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



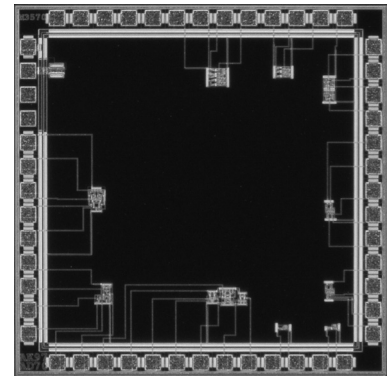
ラッチ付コンパレータとΛ字型2端子回路

上智大学理工学部 秋山 俊介, 宮本 尚幸, 和保 孝夫

概要：A/D変換器の基本構成要素であるラッチ付コンパレータを設計した。搭載したのは、ダイナミック型コンパレータ、AB級コンパレータ、および、プリアンプおよびSRフリップフロップ付コンパレータの3種である。回路シミュレーションにより、典型的な性能として遅延時間3nsで消費電力0.3mW (ダイナミック型) ~0.6mW (AB級) の値が得られた。また、共鳴トンネルダイオードを用いた論理回路であるMOBILE (単安定双安定転移論理回路) をCMOS技術で実現し、新しい論理ゲートを設計することを目指して、p/nMOS-FETを組み合わせて負性微分抵抗特性を得ることができるΛ字型2端子回路を設計した。以前に行った設計を参考にして、L/Wを最適化することで、より高いピークバレー電流比の実現を目指した。

参考文献：越坂, 和保, 「負性微分抵抗回路TEG」平成11年度VDEC年報, 92頁 (1999)

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンパレータなど)

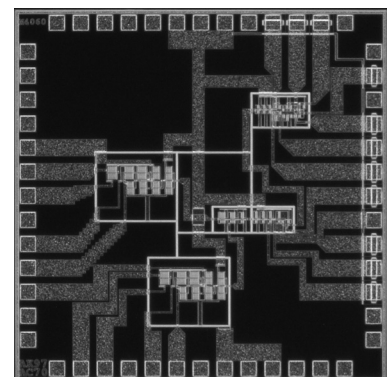


カオスを利用したパルス幅変調回路の試作

熊本電波工業高等専門学校電子工学科 江口 啓, 光石 翔

概要：スイッチング電源回路等において、周波数領域におけるスイッチングノイズのレベルを低減するための一手法として、ランダムスイッチングという手法がある。本チップにおいては、ランダムスイッチングに用いるカオスを利用したパルス幅変調回路の設計を行っている。試作回路はテント写像と呼ばれる一次元カオス発生回路のランダム出力により、無安定マルチバイブレータの時定数を変化させ、2値パルスのパルス幅を変調するものである。カオス回路の設計にあたっては、スイッチトカレント (SI) 技術を用いており、アナログ出力を2値化したものをマルチバイブレータに与えている。本回路のレイアウト設計は、高専専攻科生1名によって行われている。

設計期間：1人月以上, 2人月未満 設計ツール：MAGIC, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

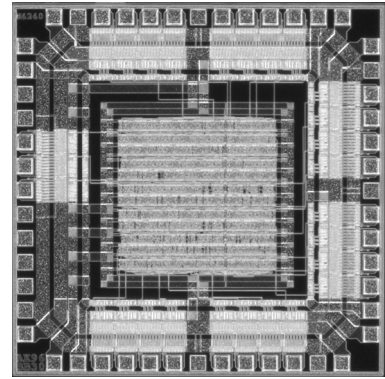


ストップウォッチ回路

茨城大学工学部 尾保手 茂樹

概要：茨城大学大学院理工学研究科メディア通信工学専攻ではLSI設計特別演習を修士1年に対して開講している。授業は前期開講科目であり、前半は座学を行い、後半にUNIX端末を用いてLSIの設計演習を行っている。座学は、半導体の基礎、MOSトランジスタの基礎、論理回路、プロセス技術、デザインルール、Verilog HDL文法から成る。演習は1名のティーチングアシスタントと共に行っている。今回のチップは来年度の設計課題の試作であった。設計は修士1年の学生が主に行った。3ヶ月程度の時間を要した。腕時計などに搭載されているストップウォッチの動作を参考にして設計を行った。出力はBCDとし、7セグメントデコーダは外付けのICを使用している。水晶振動子は4MHzのものを使用することを想定している。時間、分、秒までが表示できるように構成している。現在、このチップを用いて回路を製作中である。今後はこの設計を元に様々な機能を追加していく形で授業を進めていきたいと考えている。

設計期間：2人月以上、3人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula DRC **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**2.3mm角 **チップ種別：**演算回路（乗算器、除算器など）



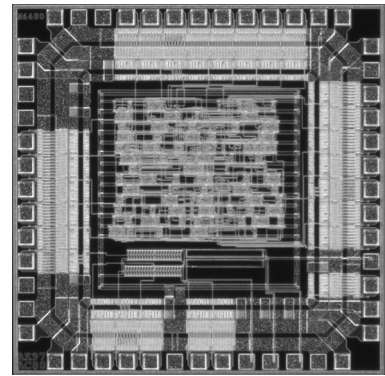
擬似断線故障回路と組み込み電流テスト回路の試作

徳島大学大学院工学研究科 藤本 佳照, 秋田 哲男

徳島大学工学部 四柳 浩之, 橋爪 正樹

概要：断線故障発生時の回路の動作解析および断線故障検出のための組み込み電流テスト回路の動作解析を行うため、擬似断線故障としてトランスミッションゲートを信号線へ挿入した回路の試作を行った。試作回路では、(1) ITC ベンチマーク回路 b03 内に擬似断線故障を4箇所挿入した回路、(2) NOTゲートを20個接続したインバータチェイン回路に擬似断線故障を1箇所挿入した回路、の2つを設計し、特性測定用トランスミッションゲート1つを挿入した。また、組み込み電流テストのために、(2)の回路の電源供給信号線の周囲に電流計測用のコイルの試作を行った。今後特性の測定等を行う予定である。

設計期間：2人月以上、3人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**2.3mm角 **チップ種別：**TEG（特性評価回路など）



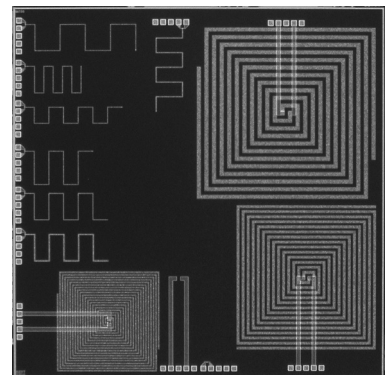
Ultra Wideband 用オンチップアンテナ

原田 典浩

概要：本試作チップは、Ultra Wideband (UWB) 用のオンチップアンテナである。Ultra Wideband とは、現在最も注目されている無線通信の1つであり、高速、低消費電力、低コストが原理的に可能であるとされる。UWBは、周波数帯域が中心周波数の20%以上、あるいは500MHz以上の無線通信と定義されている。注目されるきっかけとなったのは、2002年2月にアメリカのFCCという周波数を管轄する機関がUWBの民生利用を許可したことである。これにより、それまで軍用レーダとして利用されていたUWBが民生用途に広く研究・開発されるようになった。本試作チップは、現在UWB用に利用されている帯域として最も早く利用されると考えられている3.1~5GHzを動作帯域としたオンチップ・アンテナである。形状として、面積を抑えるためメアンダ型やスパイラル型を選択し、各々の形状に関するパラメータを変化させたアンテナを複数搭載する。このチップをもとに、最も良好な性能を持つ形状を実証した。

参考文献：無し

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso **トランジスタ数：**10未満 **試作ラン：**7.3mm角 **チップ種別：**通信 (RF回路, ATMなど)



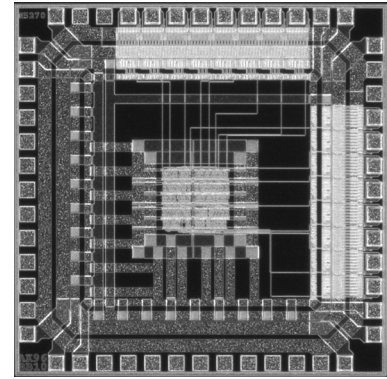
冗長化設計 Wallace Tree 型乗算器の試作 1

千葉大学工学部 佐々木 陽一, 難波 一輝, 伊藤 秀男

概要：一般ロジック回路を対象とした冗長化設計による欠陥救済の研究の一環としてチップの試作を行った。実際にチップを試作し、その動作を確かめることにより、冗長化設計が有用であることを確かめる。冗長化設計を施す回路は、4bit Wallace Tree 型乗算器とする。Wallace Tree 型乗算器は乗算器の中でも高速な乗算が可能であり、DSP 等の実用化されている回路に用いられている。よって冗長化設計を施す対象とした。試作するのは冗長化設計を施した 4bit Wallace Tree 型乗算器と、冗長化設計を施していない 4bit Wallace Tree 型乗算器の 2 つである。この 2 種の回路の性能の比較を行い、冗長化設計した場合の利点や問題点などを調べる。このチップは冗長化設計を施していない 4bit Wallace Tree 型乗算器である。

参考文献：[1] 難波 一輝, 伊藤 秀男, "SoC の局所ホモジニアス欠陥救済方式", FTC 研究会, July. 2004.

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：演算回路 (乗算器, 除算器など)



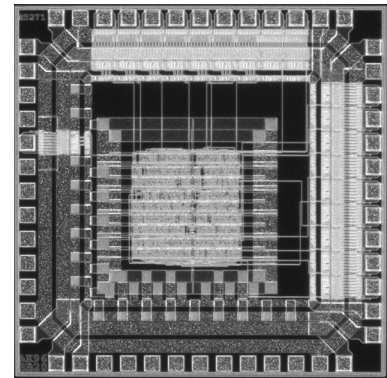
冗長化設計 Wallace Tree 型乗算器の試作 2

千葉大学工学部 佐々木 陽一, 難波 一輝, 伊藤 秀男

概要：一般ロジック回路を対象とした冗長化設計による欠陥救済の研究の一環としてチップの試作を行った。実際にチップを試作し、その動作を確かめることにより、冗長化設計が有用であることを確かめる。冗長化設計を施す回路は、4bit Wallace Tree 型乗算器とする。Wallace Tree 型乗算器は乗算器の中でも高速な乗算が可能であり、DSP 等の実用化されている回路に用いられている。よって冗長化設計を施す対象とした。試作するのは冗長化設計を施した 4bit Wallace Tree 型乗算器と、冗長化設計を施していない 4bit Wallace Tree 型乗算器の 2 つである。この 2 種の回路の性能の比較を行い、冗長化設計した場合の利点や問題点などを調べる。このチップは冗長化設計を施した 4bit Wallace Tree 型乗算器である。

参考文献：[1] 難波 一輝, 伊藤 秀男, "SoC の局所ホモジニアス欠陥救済方式", FTC 研究会, July. 2004.

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：演算回路 (乗算器, 除算器など)

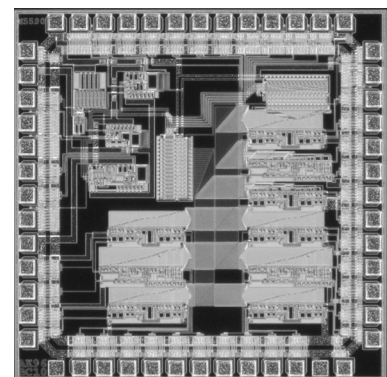


トランジスタ特性測定用回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之

概要：MOSFET およびオペアンプの特性を測定するためにトランジスタ特性測定用回路、オペアンプを設計し、本チップに搭載した。設計した回路は、9 つのブロック (1 ブロックに対してトランジスタ最大 31 個) からなるトランジスタ特性測定用回路, 5 ビットデコーダ (Nch 用, Pch 用), 基本 Nch 入力オペアンプ, 基本 Pch 入力オペアンプ, 高 PSRR Nch 入力オペアンプ, バイアス回路である。本トランジスタ特性測定用回路では、トランジスタの数が多いためトランジスタのドレイン-ソースを共通化し、デコーダでゲート信号を切り替えることで測定するトランジスタを選択するという方式を取った。トランジスタ特性測定では、主に ΔV_{th} 特性について調査する。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.3mm 角 チップ種別：TEG (特性評価回路など)

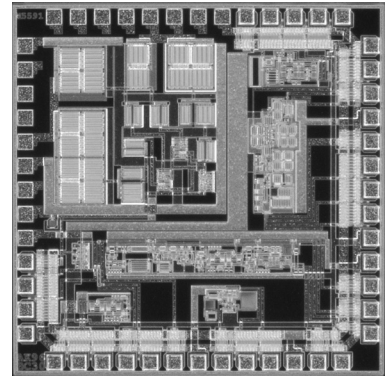


スイッチング電源制御用 LSI の開発

富山県立大学大学院工学研究科 大場 博之, 松田 敏弘, 岩田 栄之

概要：これまでスイッチング電源の基本ブロック、補償ブロックの設計を行ってきた。今回は、従来試作した回路において生じている問題について、改善を行ったものを載せている。今回の試作では発振回路、ラッチ回路、出力回路、OCP 時の周波数低減回路、誤差増幅器、比較器を設計した。ラッチ回路は、従来よりもさらに Duty を幅広く可変することができるように改善を行った。誤差増幅器は利得、位相余裕、周波数帯域の改善を行った。比較器では、さらに低い電圧でも動作するように改善した。また、今回の試作では、保護素子を各回路の入出力に対して接続することで静電対策を行ってある。保護素子による特性の変化を評価するために、従来使用していた誤差増幅器を載せている。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：アナデジ混載

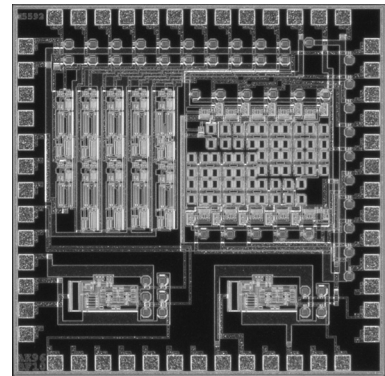


小型センサ用 CMOSD/A コンバータの改良

富山県立大学大学院工学研究科 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、この出力を増幅、補正する必要がある。そこで、小型半導体加速度センサのオフセット電圧をデジタル値で調整する方法を検討している。そのために、センサの出力をいったんデジタル値に変換し、補正を行った後、アナログ値に戻すために、A/D コンバータが必要となる。この A/D コンバータに用いる 10bit の D/A コンバータの改良を行った。チップ内には、R-2R ladder 型とコンデンサの重み付けによる Charge Scaling 型の 2 種類と、それぞれのバッファ用のオペアンプを配置した。R-2R ladder 型はスイッチに用いた MOS のオン抵抗による比率の乱れを防ぐための抵抗を C-MOS で構成するように変更した。Charge Scaling 型はパッド容量による出力の変化を防ぐために内部で D/A コンバータとバッファを接続した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：マイクロプロセッサ

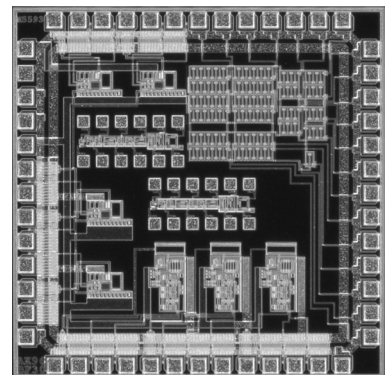


小型半導体加速度センサ用 LSI の設計

富山県立大学大学院工学研究科 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、外部からの雑音に影響されやすくなる。このため、微小な出力をセンサ近傍で増幅し、外部からの影響を受けにくくする必要がある。本チップでは小型半導体加速度センサの出力信号増幅回路を構成する LSI の設計を行った。前回用いていたオペアンプを改良し、オペアンプ自体のオフセット等の精度を向上させた。この回路を複数と抵抗によって増幅器回路を構成している。4つのオペアンプは組み合わせて使用するために、VDD と GND 等を共通としている。また、構成の違うオペアンプを単体で測定できるように配置した。それぞれ大きさの違う抵抗を N-well で構成、配置している。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：マイクロプロセッサ

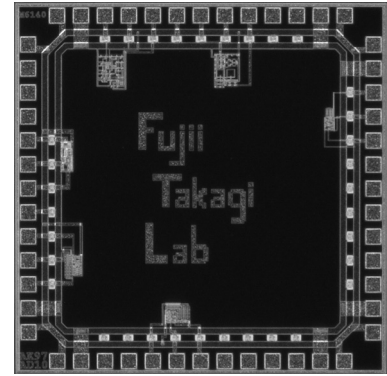


演算増幅器の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：演算増幅器は、差動増幅回路、電流源回路、カレントミラー回路、ソース接地増幅回路などのアナログ回路の基本要素から構成される汎用性の高い素子である。さらに、位相補償の難しさや、スルーレートと消費電流などの様々なトレードオフも考慮して設計する必要があるため、初学者が学ぶべき最良の回路であり、また、設計の難しい回路でもある。このような理由から我々の研究室では、演算増幅器の設計コンテストを実施し、学部学生などの新しく研究室に入ってきた者を対象に、演算増幅器の試作をさせている。今回のチップでは、6種類の演算増幅器を試作した。試作の演算増幅器はどれも基本的には差動増幅回路とソース接地増幅回路から構成されており、特段の工夫はないが、アナログ回路設計の難しさを学生たちは実感することができた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角
チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

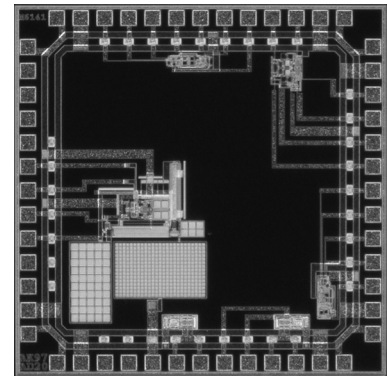


FM放送受信システム用回路ブロックの試作1

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM放送受信機の集積化を目標として、受信機に必要な回路ブロックの試作を行った。このチップで試作した回路ブロックは低雑音増幅回路、電圧制御発振回路、ミキサである。低雑音増幅回路はゲート接地増幅回路とソース接地増幅回路を組み合わせて構成し、パワーマッチングとノイズマッチングの最適化を試みた。電圧制御発振回路では制御電流の変化に対して直線的に発振周波数が変化するように回路的工夫を凝らした。ミキサでは乗算歪みを極力抑えるために、非飽和領域で動作するMOSトランジスタを4個組み合わせた、MRCと呼ばれる回路を基本に構成した。シミュレーションでは、電源電圧3Vのとき低雑音増幅回路の消費電流が6mA、電圧制御発振回路のそれが1mA、ミキサのそれが0.4mAという結果を得ている。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

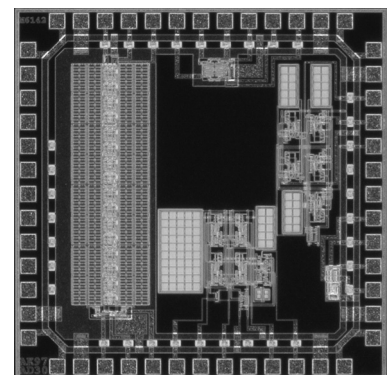


FM放送受信システム用回路ブロックの試作2

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM放送受信機の集積化を目標として、受信機に必要な回路ブロックの試作を行った。このチップで試作した回路ブロックは可変利得増幅回路、帯域通過フィルタ、復調回路である。可変増幅回路は差動増幅回路を2段連続接続して構成し、20dBから60dBの可変利得を実現している。帯域通過フィルタは差動増幅回路を基本として構成した電圧制御電流源回路と容量により積分回路を実現し、この積分回路を複数組み合わせで構成している。復調回路はFM波をAM波に変換するピークディファレンシャル回路と不要な高周波成分を取り除くためのフィルタから構成されている。シミュレーションでは、電源電圧3Vのとき可変利得増幅回路の消費電流が0.2mAから1mA、帯域通過フィルタのそれが0.2mA、復調回路のそれが0.14mAという結果を得ている。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

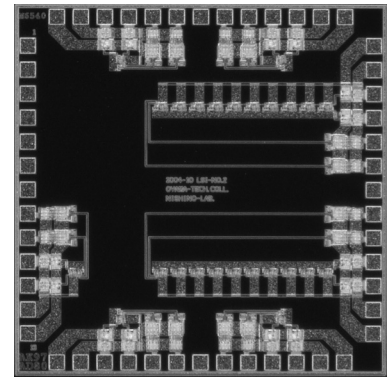


同期・非同期カウンタの消費電力検証用チップ試作

小山工業高等専門学校電子制御工学科 西野 聡, 鈴木 敬

概要：同期式と非同期式システムの動作速度と消費電力評価のための基本回路の試作を行った。具体的にはCMOS-D・FFを使用した10ビットのシフトレジスタを2回路とD・FFを数個組み込んだ。これらの回路は外部接続で各種の同期式および非同期式カウンタを構成できるようになっている。実際に非同期式1024進と20進シフトカウンタを構成して消費電力評価を行なった。その結果は現在解析中である。実際にはCMOS-D・FFの一部に動作不良のものがあ、こちらも現在原因を究明中である。また、同期式カウンタのリングカウンタを構成して、他のカウンタとの消費電力比較を行なう予定である。実際には線幅などの要素が動作速度や消費電力にかかわっている可能性もあるので今後は種々のプロセスで同様な評価を行なう必要があるのではないかと考えている。

設計期間：1人月以上, 2人月未満 設計ツール：, , Synopsys社 Star-HSPICE トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：TEG (特性評価回路など)



平成15年度 第4回 ロームCMOS0.35 μ m チップ試作 (R035034)

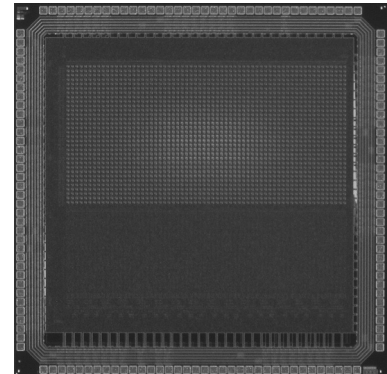
Image Processing VLSI with Built-In Digital Pixel Sensor

東京大学大学院新領域創成科学研究科基盤情報学専攻 伊藤 潔人

東京大学工学部電子情報工学専攻 トンプラシット ベンジャマース

概要：Conventionally, pixel data are read out sequentially from an image sensor chip, and then converted to a digital format using an A/D converter in order to conduct digital signal processing in the following stages. The data transfer from the image sensor to the digital processor presents a serious bottleneck in realizing real-time image processing systems. Digital pixel sensors (DPS) have been developed to resolve the problem. Since each pixel is equipped with a built-in A/D converter in a DPS, all pixel data are converted in parallel. One row of data can be read out simultaneously in a single clock cycle, thus eliminating the data transfer bottleneck. As a result, high image processing performance can be expected from the integration of image processing functions to the DPS. However, one-row readout scheme, so-called line-readout, is not compatible to image processing algorithms, because image filtering process is usually carried out on a block of neighboring pixels, e.g., a 3x3 or 5x5-pixel block, etc. In the case of line-readout architecture of DPS, data need be buffered until all five rows of data are transferred before starting a 5x5 image filtering operation. It requires additional buffer memories and complicated control of processing elements. This is a new architecture of a computational digital-pixel-sensor chip, which allows the parallel readout of block-of-pixel data and parallel processing by SIMD (single instruction multiple data) processing elements. Thus, a real-time image-processing-compatible DPS VLSI is developed.

設計期間：0.5人月以上，1人月未満 **設計ツール**：Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数**：10,000以上，100,000未満 **試作ラン**：4.9mm角 **チップ種別**：イメージセンサ/スマートセンサ



Motion Detection Chip

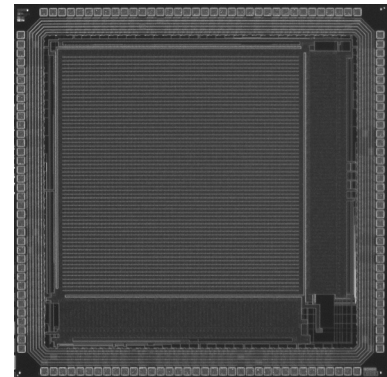
東京大学工学系研究科 山崎 俊彦

東京大学新領域創成科学研究科 梅島 誠之

東京大学工学部 亀谷 暁

概要：監視カメラなどに用いるため、動き検出機能を持ったイメージセンサの需要が高まっている。本チップは画素差分情報の射影を用いた動体位置検出、速度演算イメージセンサである。画素差分方式とは、時系列の動画像群に対して、各ピクセルで画素値の差分をとることで動体のみを抽出する方式である。本チップではバンプ回路を用いて得られた画素差分情報をXY両軸に射影した動きヒストグラムを用いて処理を行う。これにより、2次元画像を扱う方式に比べ用いる情報が少ないため、演算用ハードウェアの規模を小さくできる。動体の位置は射影したヒストグラムの平均値でヒストグラム自身を閾値処理することで計算する。また、動体の速度はヒストグラムをシフト・マッチすることで一定時間内でのヒストグラムの動きを計算する。このシフト・マッチはハードウェアを並列にすることで同時に処理し、演算時間の短縮を図っている。本チップは前年に試作されたチップに比べて、速度計算をより高精度に行うアーキテクチャを実装した改良版である。

設計期間：0.5人月以上，1人月未満 **設計ツール**：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数**：100,000以上 **試作ラン**：4.9mm角 **チップ種別**：イメージセンサ/スマートセンサ



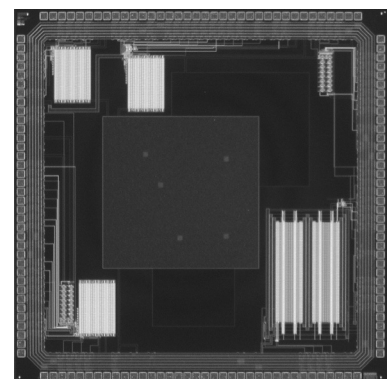
電流モードアナログCDMA マッチトフィルタ

東京大学工学系研究科 山崎 俊彦

東京大学新領域創成科学研究科 中山 友之

概要：CDMA無線通信方式において基地局と移動端末との同期を検出するマッチトフィルタと呼ばれる回路について試作を行った。電流モードのアナログCDMA マッチトフィルタを設計した。入力電圧を電流に変換するためには、V-I converterが必要になるが、従来の方式ではアナログスイッチの(PN接合による)寄生容量の影響により高速動作を実現するにはブロック化するなどの手法が用いられていた。本チップでは、MOSの線形領域を利用することによりV-I変換部のボトルネックを低減するアーキテクチャになっている。回路構成が簡単な、スイッチトカレントによって相関値を演算しているので電力供給やチップ面積に強い制限を受ける携帯端末に非常に適している。また、復調には同期検出の様に単純な畳み込み演算ではなく複雑な処理を要するためどうしてもデジタル回路で処理せざるを得ない。そのためのインタフェースとして必須の低消費電力A/Dコンバータも同時に開発した。

設計期間：1人月以上，2人月未満 **設計ツール**：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre **トランジスタ数**：10,000以上，100,000未満 **試作ラン**：4.9mm角 **チップ種別**：アナログ (PLL, A-D/DC-DCコンバータなど)



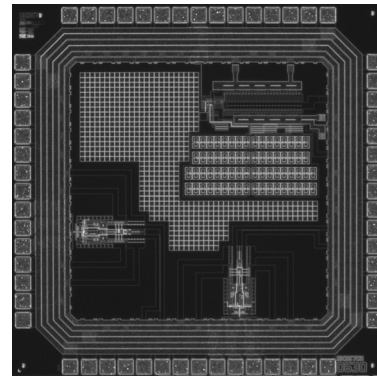
ラインドライバ、D級アンプ

早稲田大学理工学部 大島 宗之, 高須 甲斐, 松本 隆
 東京大学大規模集積システム設計教育研究センター 佐々木 昌浩

概要：近年、パワーアンプの小型軽量化、高効率化が求められてきた。本チップでは一般に低消費電力という事で用いられているD級アンプに対し、4次バターワースLPF、Feedback、Self Oscillating System、Schmitt Triggerを用いて構成し、性能向上をはかった。近年、安価なメトリックケーブルを用いて高速データ通信を行う事に対して関心が高まっている。これは、既存インフラの有効利用が可能な手法であり、その例としてxDSL、CATV、Ethernet等がある。これらのシステムは、高性能トランシーバ回路を構成するアナログフロントエンド回路によってその性能は左右される。本チップではアナログフロントエンド回路の1つであるラインドライバの、CMFBの高速化、Push Pull Inverterの低消費電力化等による高性能化を図った。

参考文献：[1] Michael S. Kappes, “A 3-V CMOS Low Distortion Class AB line Driver Suitable for HDSL Applications”, pp. 371-376, IEEE Journal of Solid-State Circuits, Vol. 35, No. 3, March, 2000 (2000)

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
 トランジスタ数：10,000以上、100,000未満 試作ラン：2.4mm角 チップ種別：通信 (RF回路, ATMなど)

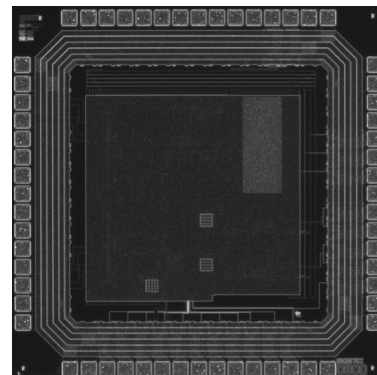


拡散符号を利用した距離測定回路

大阪大学大学院工学研究科 清水 新策, 松岡 俊匡, 谷口 研二

概要：同一のリニアフィードバックシフトレジスタによって生成された拡散符号は、位相が同じときのみ高い自己相関値を示す。この性質を利用し、送信光と受信光の拡散符号の位相差から距離を測定するICを設計した。本ICはフォトダイオード、リニアフィードバックシフトレジスタ、マッチドフィルタによって構成され、フォトダイオードで受けた光と送信光の位相差をマッチドフィルタによって求めることで、距離を得る。マッチドフィルタの出力は電圧振幅を10倍に増幅するオペアンプを用いてチップ外に出力する。また、送信光は本ICによって作成された拡散符号を同一基板上の発光ダイオードに与えることで作成する。本ICは距離測定回路に加え、フォトダイオードのTEGを2個搭載する。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：イメージセンサ/スマートセンサ



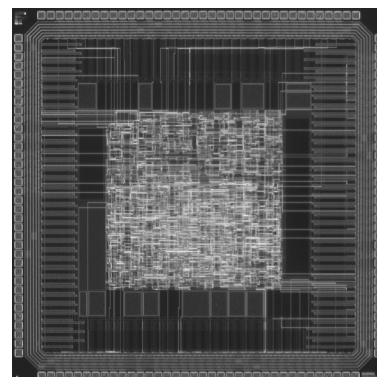
積層型マルチプロセッサチップ向け共有キャッシュの試作

東北大学大学院工学研究科 橋本 宏之

小柳 光正

概要：我々はLSIチップを三次元的に積層化し、集積度を飛躍的に高くできる三次元集積化技術について研究を行っている。積層されたチップ間では、高密度に形成された垂直方向の配線によって通信を行う。この垂直配線により、チップ間の配線数を基板上のそれと比較して数百倍にまで増やすことができ、非常に帯域幅の広いバスでチップ間を接続できる。現在、プロセッサにおいて消費電力の増大等の問題により、動作周波数の向上による処理性能の向上が困難となっている。このため、動作周波数を上げずにチップ内部に実装した複数個のプロセッサを並列に動作させることで全体の処理性能を上げる手法が注目されている。この時、内部のプロセッサ間の通信性能がシステム全体の性能を大きく左右する。本研究室では複数のプロセッサを実装したチップと、共有キャッシュを実装したチップを三次元集積化技術を用いて積層化した高性能並列処理システムを提案する。この試作チップでは動作周波数と面積の評価のために共有キャッシュの制御回路等の実装を行った。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上、100,000未満 試作ラン：4.9mm角 チップ種別：メモリ



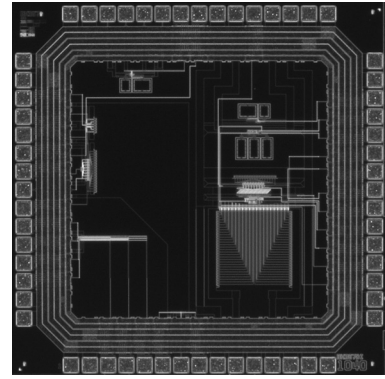
スマート RFID タグ用個体識別符号生成 CMOS 論理回路

熊本大学工学部 井上 高宏, 千代永 純一

熊本大学大学院自然科学研究科 日野 臣教

概要：今回試作したチップは、RFID タグ用の個体識別符号 (ID コード) を生成する回路となっており、2進数64ビットの個体識別符号が生成可能となっている。システム全体の回路構成としては、8×8ビットのマスクROMアレイ、8ビットシフトレジスタ、20ビットバイナリカウンタ、デマルチプレクサ、発振周波数500kHzで設計したリング発振器によるクロックジェネレータ、初期化用モノステーブル・マルチバイブレータで構成されている。主にCMOSインバータを基本とした論理回路で構成されており、低電源電圧化を視野に入れて設計を行っている。今回はシステム全体回路の他にも、各要素回路のTEGの試作も行った。すでにシステム全体回路及びTEGすべてにおいてテストによる測定を行っている。

設計期間：2ヶ月以上、3ヶ月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva
トランジスタ数：100以上、1,000未満 試作ラン：2.4mm角 チップ種別：アナデジ混載



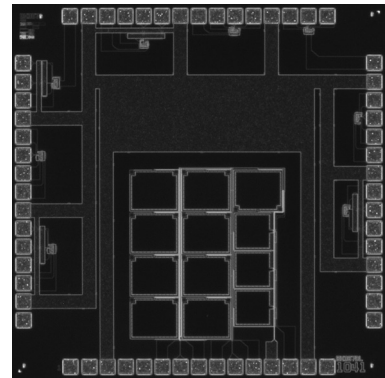
スマート RFID タグ用 ASK 変調回路

熊本大学工学部 井上 高宏

熊本大学大学院自然科学研究科 山川 俊貴

概要：今回試作したチップは、ASK変調回路となっており、リング発振回路により構成されている。また、動作確認用に各要素回路のTEGも試作した。テストによる測定はまだ行っていない。リング発振回路には、MOSFET2個たて積みのCMOSインバータを3つ用いている。電源電圧3.0Vのとき、発振周波数が928MHzとなるように設計した。このASK変調回路の大きな特徴として317MHz/Vという高い電源電圧依存性を持つことが挙げられる。このASK変調回路は、本研究室で現在開発中のRFIDタグにおいて、タグからリーダーへの信号伝送を行うための回路として用いることを目標としているため、設計の際には低消費電力、低電圧で動作し、かつチップ占有面積を小さくすることを強く意識した。そして、レイアウトの際には、高周波(UHF帯：900MHz付近)で動作させることを強く意識した。

設計期間：2ヶ月以上、3ヶ月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：2.4mm角 チップ種別：通信(RF回路, ATMなど)



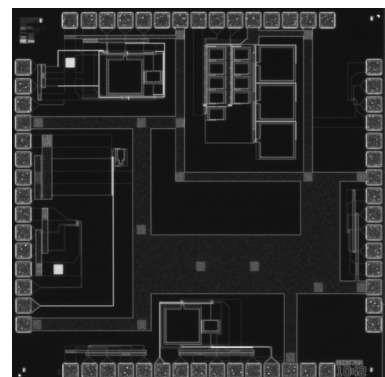
生体信号処理用超小型 CMOS アナログ集積回路の製作

熊本大学工学部 井上 高宏, 岩崎 俊彦

熊本大学大学院自然科学研究科 市原 栄蔵, 鶴巢 哲朗

概要：当研究室では、病気の発生・メカニズムの解析および新薬の開発などを目的とした、遺伝子改変マウスの心拍数・体温・呼吸音の計測および個体識別の行なえる生体植え込み型超小型スマートRFIDタグの設計・開発を行なっている。そこで、スマートRFIDタグに内蔵して、微小マイクロホンや圧力センサー等から得られる低レベルの雑音を伴った生体の心音センサー信号から、心拍数情報をもつ高レベルのスパイクパルス信号のみ比較抽出する低電圧アナログCMOS集積回路の設計を行った。提案回路は、直流動作点電圧発生回路、バイアス電圧発生回路、アナログCMOS減算回路、自動オフセット電圧除去回路、および3段コンパレータからなる。チップにはそれらをシステムとして集積化したものと個別に、クロック発生回路、単安定マルチバイブレータ、各要素回路のTEGを相乗りさせた。テストによる測定を行った。

設計期間：2ヶ月以上、3ヶ月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：2.4mm角 チップ種別：アナデジ混載

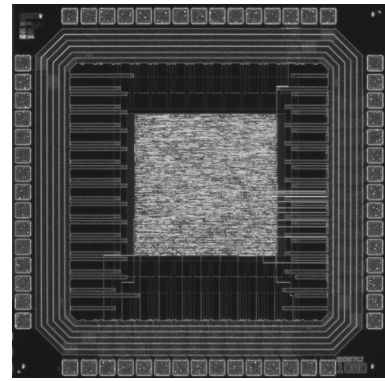


無線通信制御プロセッサ

東京電機大学理工学専攻電子情報工学専攻 芦川 真也, 星野 洋

概要：本チップは、複数のコードレス電極を用いる生体計測システムにおいて、無線電極内で通信制御を行うために開発した専用プロセッサである。将来は電極そのものを集積化できるように開発を進めている。システムは無線電極と受信したデータを各電極の時系列データとして蓄える情報収集端末で構成される。それぞれの電極は計測のためのアナログ増幅器、ADコンバータ、メモリ、微弱無線送受信機から構成され、本プロセッサはADコンバータ以降のデジタル回路部分を制御するためのものである。内部は7つのモジュールで構成され、8ビットパラレルで動作する。データは無線伝送されるので、プロセッサの入出力は8ビットシリアルである。また、省電力化を意図し、通信速度は9600から1200bpsの範囲で4段階に設定できる。無線送受信モジュールはCircuit Design社のCDC-TR-02を用い、本プロセッサの規格を合わせた。サンプリングレートも4段階に可変とした。今後アナログ増幅器と本プロセッサをハイブリッド化して生体モニタリング用の無線電極を実現させたい。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：マイクロプロセッサ

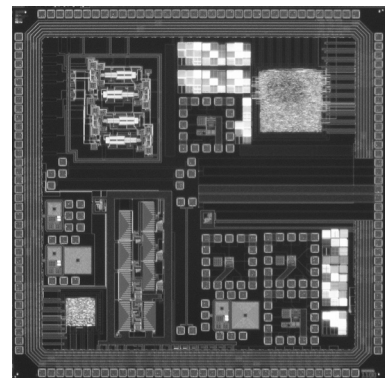


特定小電力無線受信ICの要素回路試作

金沢大学集積回路工学研究室 有賀 健太, 伊藤 久浩, 中野 伸吾, 橋 秀明, 北川 章夫

概要：国内の狭帯域無線通信規格である特定小電力無線規格トランシーバに用いる要素回路（低雑音増幅器（LNA）、乗算器（MIXER）、 Δ - Σ 型ADC）について設計を行った。この無線規格は民生用の建物内低速データ通信および制御系の無線通信を想定したものである。受信部ではシングルスーパーヘテロダイナミックアーキテクチャを採用しており、LNA, MIXER, Δ - Σ 型ADCを集積し、デジタル信号処理部によって検波がおこなわれる。使用する周波数帯は420MHz帯である。各回路の測定の結果LNA, MIXERについては正常な動作を確認することができたが、 Δ - Σ 型ADCでは正常な動作を確認することは出来なかった。また、LNA, MIXERにおいても動作は確認できたが、一部仕様を満足できなかった評価項目があった。今後の試作では今回の試作の結果をから回路構成からレイアウト構成まで含め、原因を考察し、要求仕様を満足するのが課題である。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：4.9mm角 チップ種別：通信（RF回路, ATMなど）

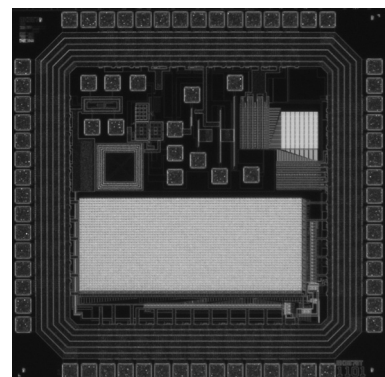


高精細マイクロディスプレイLSI, 微小物体可視化センサTEG

金沢大学集積回路工学研究室 中野 智崇, 中江 智, 北川 章夫

概要：ディスプレイはインターフェイスとして多くの場所で用いられている。その中で低消費電力動作するディスプレイに代表される物として、シリコン集積回路を基板としたディスプレイにマイクロディスプレイがある。本チップでは一般的な走査線方式を捨て、画素のマトリックスをRAMとして扱うランダムアクセス方式を提案している。この方法により、フルデジタルの階調表現（色の濃淡表現）が可能となり、既存の回路よりも低消費電力化も達成することができる。本試作ではモノクロカラー表示で64階調、ピクセル数は84×36のマイクロディスプレイを試作した。微小物体可視化センサはアレイ状に配置された検出回路によりチップ上に置かれた物体との間の容量を検出する回路である。検出した容量はVCOにより周波数に変換され検出精度を上げている。TEGではアレイ状の検出部、検出精度を上げるVCOを作成した。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：その他

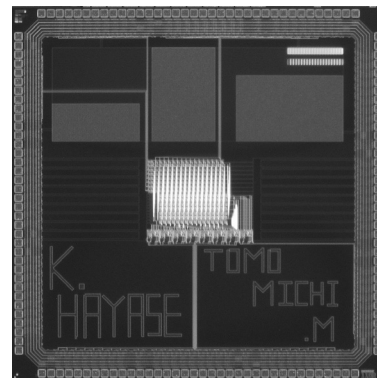


LSI 設計コンテスト

金沢大学集積回路工学研究室 早瀬 佳, 村上 知倫, 北川 章夫

概要：学部3年生を対象にLSI 設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを体験してもらう為に実施している。設計する回路は学部学生が自由に選択した。CAD 利用経験のあるTA が補助しつつ、回路シミュレーションからレイアウト、検証まで学部学生が行った。必要 IO ピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TA が1つのチップフレーム上にマージした。設計内容は、それぞれ一人で設計した 16bit 加算器 2 種の他、二人で設計した 16bit 乗算器 1 種、16bit ALU である。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：演算回路（乗算器, 除算器など）

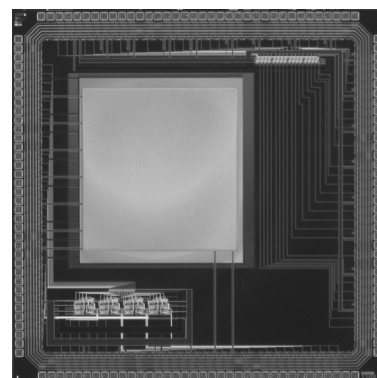


LSI 設計コンテスト

金沢大学集積回路工学研究室 高木 宏章, 西澤 滋人, 花岡 栄次郎, 後藤 喜久, 北川 章夫

概要：学部3年生を対象にLSI 設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを体験してもらう為に実施している。設計する回路は学部学生が自由に選択した。CAD 利用経験のあるTA が補助しつつ、回路シミュレーションからレイアウト、検証まで学部学生が行った。必要 IO ピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TA が1つのチップフレーム上にマージした。設計内容は、それぞれ一人で設計した 16bit 加算器 2 種の他、二人で設計した 16bit 乗算器 1 種、16bit ALU である。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：演算回路（乗算器, 除算器など）

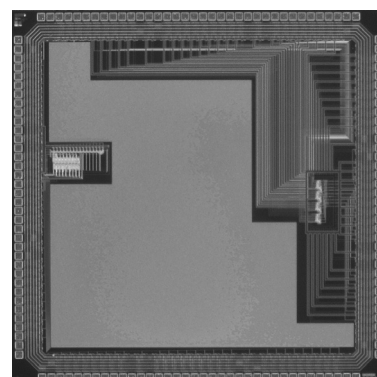


LSI 設計コンテスト

金沢大学集積回路工学研究室 竹口 雄治, 中野 誠, 松末 真也, 北川 章夫

概要：学部3年生を対象にLSI 設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを体験してもらう為に実施している。設計する回路は学部学生が自由に選択した。CAD 利用経験のあるTA が補助しつつ、回路シミュレーションからレイアウト、検証まで学部学生が行った。必要 IO ピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TA が1つのチップフレーム上にマージした。設計内容は、それぞれ一人で設計した 16bit 加算器 2 種の他、二人で設計した 16bit 乗算器 1 種、16bit ALU である。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：演算回路（乗算器, 除算器など）

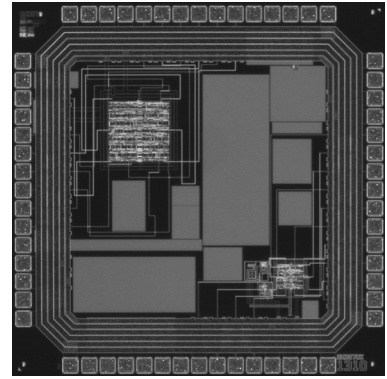


$\Delta\Sigma$ 型DACに用いる3次ノイズシェーパ

九州大学大学院システム情報科学府 金川 典史, 井上 美穂

概要：従来、 $\Delta\Sigma$ 型DACはオーディオといった低速で高精度のデジタル信号に対して用いられることが多い。しかし電源電圧の低下やデジタルデータの高精度化などに伴い、DACでのアナログ回路の要求が厳しくなることから、通信などの広帯域分野でも $\Delta\Sigma$ 型DACを用いることを検討するため、高速デジタルデータに $\Delta\Sigma$ 型DACを対応させること目的として設計を行った。設計を行ったのは $\Delta\Sigma$ 変調を行うデジタル回路であるノイズシェーパの部分で、標準化周波数10MHz、10bitのデジタルデータを処理することを目的とし、動作周波数を100MHzと設定した。1次と2次のノイズシェーパを組み合わせて安定動作で3次の効果が得られる2段構成のMASH方式とし、量子化器は1bitであるがMASH方式であるので、量子化器の出力をさらに演算するため、出力は4値(2bit)となる。ノイズシェーパを高速で動作させようとすると、演算回路を通るたび遅延が重なっていき、タイミングのずれによるエラーが生じてしまう。そこで最も演算の多いルートをパイプライン動作させ、タイミングを合わせることでエラーの発生を防ぎ、正しい出力を得られるようにした。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：アナデジ混載



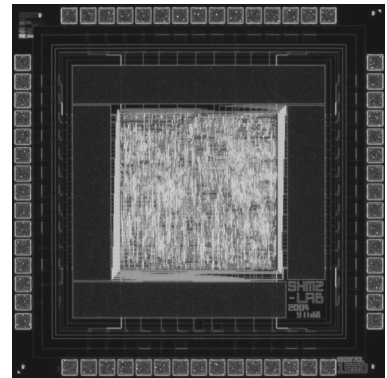
SFL言語処理系とオープンソースのバックエンドによるTEGチップの試作

東海大学大学院工学研究科 飯田 佳洋

東海大学電子情報学部 清水 尚彦

概要：論理回路のエントリ教育において、合成への見通しの良いSFL言語は学習者の学習効率の向上に有効である。学部学生への教育を想定した場合、レイアウトまでの処理系全体が自宅のPCに載せられる需要は高い。この課題に対して、SFL処理系とオープンソースのバックエンドの組合せによるレイアウト作成環境を構築した。この環境で作成したシンボリックレイアウトがテクノロジライブラリの構築だけでチップ化可能であることを検証するため、TEGの試作を行った。設計はSFLで行い、sfl2vl, sfl2vhによりVerilog, VHDLに変換して論理検証系と合成系へ接続した。合成はオープンソースのAllianceを用い、論理検証にIcarus Verilogを用いた。Allianceのテクノロジライブラリを作成し、基本ゲートセル、小規模順序回路、リングオシレータ、複合ゲートによる中規模順序回路を実装したTEGの設計を行った。レイアウトはDracula, Hspiceでルール適合・動作確認を行い、試作チップは基板への実装にて正常な動作を確認した。これによって再配布可能なツールのみを用いたASIC設計が可能であることを実証し、今後は大規模回路設計および学部教育カリキュラムへの展開を行っていく。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上、100,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)

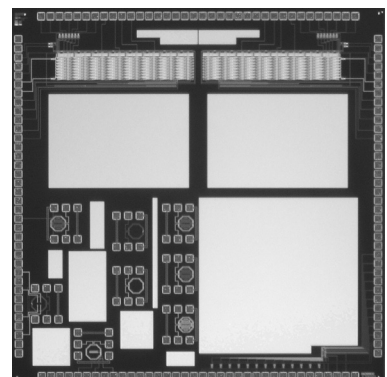


リーク電流の静的特性を測定するためのTEG

東京大学国際・産学共同研究センター 石田 光一, Danardono Antono, 鬼塚 浩平, 桜井 貴康

概要：低しきい値のデバイスを用いた場合のアナログ回路への影響を測定することを目的とし、しきい値の低いデバイスを等価的に模擬するための回路を用い、スイッチトキャパシタ回路におけるリーク電流の静的特性を測定するためのトランジスタスイッチアレイを設計した。その他、LSIの配線におけるシグナルインテグリティ測定を行うためのTEGを設計した。さらにDC-DCコンバータやチップ間通信で用途の拡大が予測されるオンチップスパイラルインダクタについて、インダクタ内にトランジスタやメタルを含む回路を配置した場合の両者間の影響を観測するためのTEG設計も行った。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上、1,000未満 試作ラン：4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



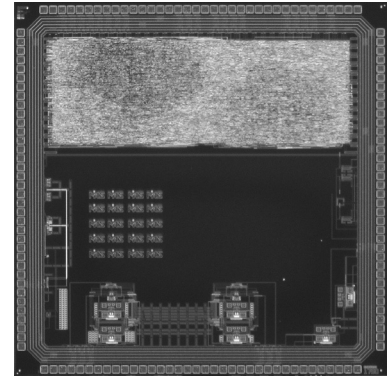
デルタ・シグマ ADC の試作

長崎総合科学大学工学部 田中 義人, 八谷 茂幸
 長崎総合科学大学新技術創成研究所 清山 浩司
 長崎総合科学大学大学院工学研究科 陳 蕾

概要：高性能・高分解能化などの目的から、オーディオ分野などを中心に、 $\Delta\Sigma$ 方式のアナログ・デジタルコンバータ ($\Delta\Sigma A-D$) が多く用いられる用になった。患者や医療機器への影響を考慮して、通信デバイスなどの電子機器の導入に積極的に取り組みにくかった医療の現場にも、ユビキタスの変革が着実に進みつつある。本試作では、心電計及び肺音計など超低周波数帯で使用可能な $\Delta\Sigma A-D$ の設計・試作を行った。搭載回路は、 $\Delta\Sigma$ 変調器とデシメーションフィルタ、また、 $\Delta\Sigma$ 変調器に使用した能動素子の TEG として完全差動方 OP アンプ、コンパレータ及び、サブストレートノイズ検出回路である。測定の結果、 $\Delta\Sigma$ 変調器は、電源電圧 3.3V で信号周波数帯域 0.5~5kHz において、SNRD が 80dB、OP-AMP は、Gain=62.2dB、GBW=29.3MHz、SR=24.4V/usec であった。

参考文献：W. A. Tanuarta, 田中, ”高速ラッチコンパレータのオフセット測定評価”平成 16 年度, 電気関係学会九州支部連合大会, 講演論文集 II, pp. 430, Vol2 (2004)

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

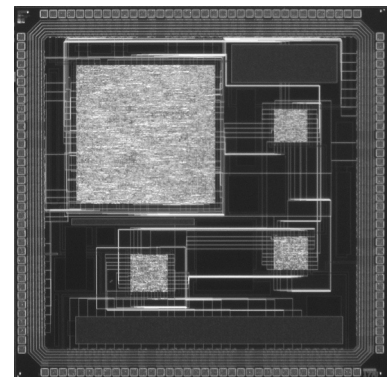


SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 城殿 征志

概要：SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータは、SFQ $\Sigma\Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma\Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma\Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma\Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：メモリ

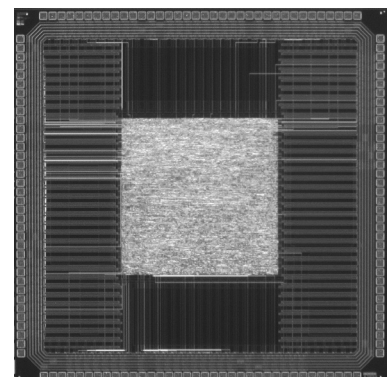


SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 城殿 征志

概要：SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータは、SFQ $\Sigma\Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma\Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma\Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma\Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：メモリ



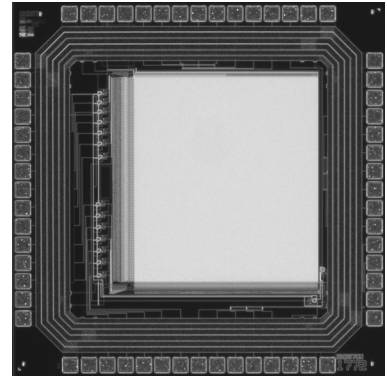
SFQ/CMOSハイブリッドメモリシステムの動作検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダーである。一方、CMOSデバイスは数GHzで動作し、その電圧振幅は1Vのオーダーである。したがって、ハイブリッドシステムの実現のためには、SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。本チップでは、CMOSメモリとアンプから成るシステムを構成し、入力40mVの微小信号入力に対するCMOSシステムの動作を確認した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：メモリ



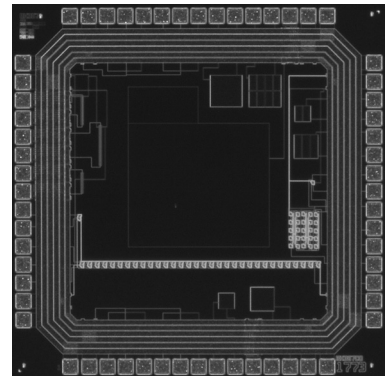
SFQ/CMOSハイブリッド用CMOSクライオデバイスモデルの検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダーである。一方、CMOSデバイスは数GHzで動作し、その電圧振幅は1Vのオーダーである。したがって、ハイブリッドシステムの実現のためには、SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。また、本システムでは、CMOSデバイスを低温で動作させることになるが、システム的设计、性能評価のためには、低温でのCMOSデバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかのCMOSデバイスを試作した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：メモリ

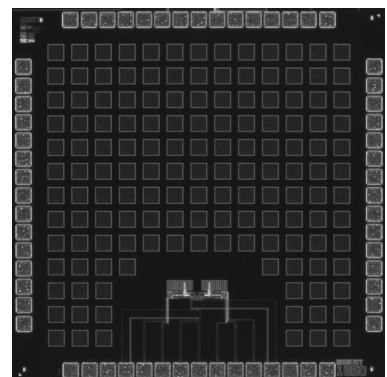


受動素子および折り返しカスコード型一段増幅回路の試作

静岡大学工学部 浅井 秀樹

概要：アナログ回路の学習の一環として、このチップを試作した。チップは、オペアンプ、MOSFET、抵抗およびキャパシタ等の素子のレイアウトからなる。オペアンプは、設計から製作までの一連の流れを学ぶための題材としてとりあげた。オペアンプの回路構成は、折り返しカスコード型の1段増幅器である。特に、そのレイアウトについては、対となるMOSFETのマッチングを意識した。MOSFET、抵抗、キャパシタの各素子は、これらも基本的な特性やシミュレーションとの誤差の評価を目的とするため、MOSFETはチャンネル長およびチャンネル幅を変えて作成を行った。抵抗は、拡散層やポリシリコン層などの材質や抵抗値を変更して、また、キャパシタは、MOS容量の異なるものをそれぞれ複数作成した。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula LVS, Cadence社Dracula LPE, Cadence社Dracula DRC, Cadence社Diva, Cadence社Analog Artist トランジスタ数：10以上, 100未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

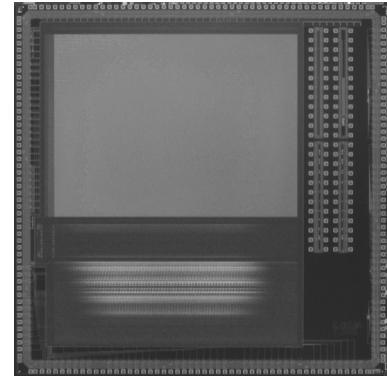


高性能高画質CMOSイメージセンサ

東北大学大学院工学研究科 舘 知恭

概要：高画質な大容量の画像データをネットワーク上で扱うためには、高圧縮な画像圧縮技術が求められている。その実現のためには撮像と同時に Object のカテゴリ分離情報を用いてカテゴリごとに最適圧縮をしなければならない。従来の CMOS イメージセンサの研究は、CCD に迫るほどの高画質化、ビジョンチップに代表される高機能化が進められてきた。しかしながら、高画質化と高機能化の両方を同時に実現させるものはなかった。そこで我々は CMOS イメージセンサと同一基板上にノイズ低減回路と Analog to Digital Converter (ADC), Arithmetic Logic Unit (ALU) 集積した高画質、高性能 CMOS イメージセンサを提案している。ALU では色情報、荒さ情報、距離情報、動き情報をそれぞれ演算し、この4種の情報を用いて16種の Category に分類を行い、画像情報と同時に Object 情報として各画素の画像情報に加え出力させる。本チップでは前述の高性能高画質 CMOS イメージセンサを集積している。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100,000 以上 試作ラン：9.8mm 角 チップ種別：イメージセンサ/スマートセンサ



乗算・除算・平方根の機能を融合した動的再構成可能 ALU

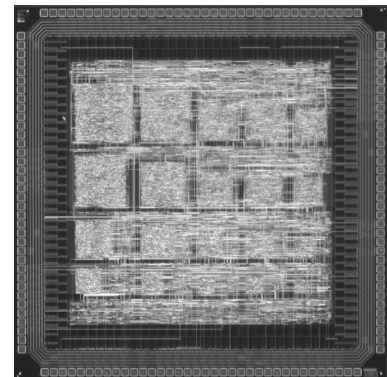
東北大学大学院工学研究科 宮本 直人, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要：データパス系のアプリケーションでは、乗算・除算・平方根といった算術演算系の演算が頻出する。ここに提案する ALU は、乗算・除算・平方根の機能を融合し、単位時間あたりに除算器・除算器・開平器のいずれか一つの構成となる。これら三種類の演算器は、いずれも全加算器がアレイ状に配置された構造をとり、実現する機能の違いは、どの信号がどの全加算器に入力されるかによって決まる。本 ALU は、ゲートレベルのリソースシェアリング技術を用いてこれらの全加算器を共有化しており、除算器・除算器・開平器をそれぞれ別に用意する場合よりも 35% 少ないトランジスタ数で実装することができる。微細化によりゲートリーク電流が増大する中で、消費電力の増大を防ぐためには、電源供給を停止する方法以外に、本 ALU のように資源共有化によってチップ上のトランジスタ数を減少させることが、将来必要になると考えている。

参考文献：Naoto Miyamoto, Karnan Leo, Koji Kotani and Tadahiro Ohmi, "A Dynamically Reconfigurable IP for Data-Intensive Applications," AP-ASIC 2004, pp.404-405, Fukuoka (2004)

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：演算回路 (乗算器, 除算器など)

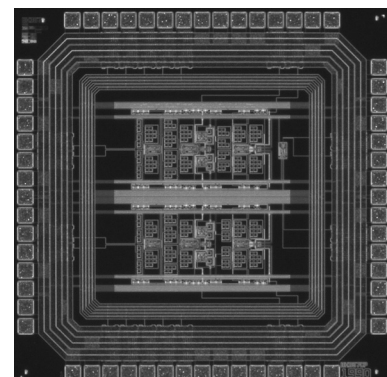


電力関係式を用いて設計されたデルタシグマ AD 変換器

名古屋工業大学大学院工学研究科 根上 崇, 加藤 正史, 荒井 英輔

概要：現在デルタシグマ AD 変換器の作成には、シミュレーションにかかる時間の比重がかなり大きなものとなっている。また、一般的にアナログ集積回路設計では、その道に精通した人物の経験や感が必要とされており、回路作成を簡略化し開発速度を上げることは必要不可欠である。そのため、電力関係式を使ったデルタシグマ AD 変換器の作成方法が提案されてきており、個別部品レベルでの検証が行われてきた。本チップでは電力関係式を用いたデルタシグマ AD 変換器の設計において集積回路への適用時に起こりうる問題点を検討するために、3次デルタシグマ AD 変換器を実装した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

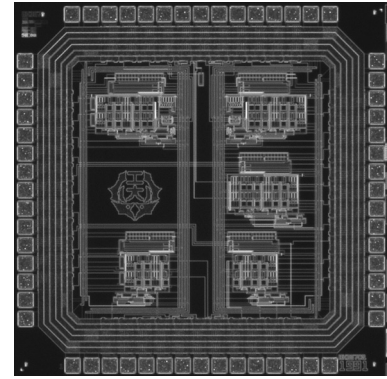


スイッチトカレント技術に基づく1次 $\Delta\Sigma$ 変調器の設計

名古屋工業大学大学院工学研究科 寺田 信行, 加藤 正史, 荒井 英輔

概要: 近年, 様々な携帯電子機器の普及に伴い回路の長時間電池駆動の要求が高まっており, 特にアナログ信号処理回路部の低電源電圧化, 低消費電力化が不可欠となってきた。この要求を満足する回路技術の一つにスイッチトカレント技術があり, 本試作チップでは, スwitchトカレント技術の基本検討として1次 $\Delta\Sigma$ 変調器を設計した。なお, 信号は通常電圧で入力されるので1次 $\Delta\Sigma$ 変調器本体の前段にV/I変換器を搭載した。また, 1次 $\Delta\Sigma$ 変調器の構成要素であるメモリセル, 積分器に関してはそれぞれ単体での動作検証をするためにチップ上に個別搭載した。試作チップを測定した結果, メモリセル, 積分器, 1次 $\Delta\Sigma$ 変調器ともに正常な動作を確認した。また, 1次 $\Delta\Sigma$ 変調器の特性である20dB/decのノイズシェイピングも確認した。しかしながら, 試作チップから得られた結果はHSPICEシミュレーションから得られた結果に比べノイズフロアが上昇していた。今後は雑音特性の改善を検討しつつ, スwitchトカレント技術に基づく新規回路の設計を進める予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 2.4mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



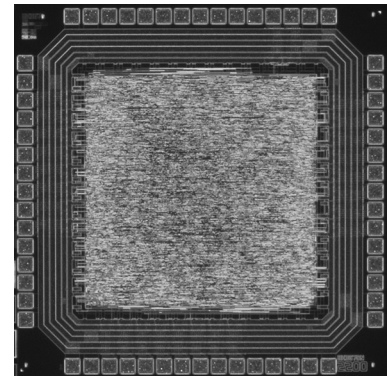
8bit×256 SRAM

東京大学大学院情報理工学系研究科 酒造 正樹, 下山 勲

概要: 我々のグループでは, これまでの試作でALUやCPUの設計を行ってきた。これらの演算ユニットにはメモリ空間が含まれておらず, 外部接続のROMを用いていた。今回の試作では, ワンチップでのマイコン実現へ向け, フリップフロップを用いた8bit×256のSRAMを設計した。外部から入力したクロック信号に同期して, データの書き込みと読み出しが可能である。入出力は, 8bitのアドレスバス, 8bitの入力データバス, 8bitの出力バス, 1bitの書き込みイネーブル入力からなる。2.4mm角のチップサイズを選択し, チップ全面に配置配線を行うことができた。論理合成にかかった時間はVDECのusr1上で実行した場合, 10分程度と高速に行うことができた。

参考文献: 菅原, 大村, 関口, 富岡, 酒造, 長澤, 松本, 下山, "ALUの設計," p. 137, 2002年度VDEC年報 (2002)。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 2.4mm角 **チップ種別:** メモリ



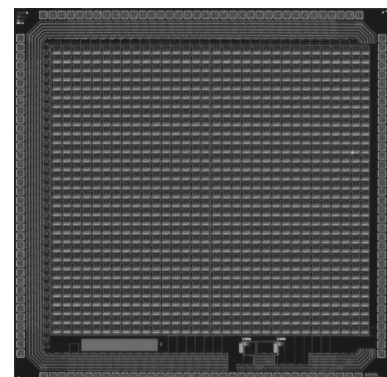
ASICベース16BitMPU実験システムの開発

金沢工業大学大学院工学研究科電気電子工学専攻 山下 敦弘

金沢工業大学電気系 福田 一郎

概要: MPUの基本構造と動作やASICベースの設計を効率よく修得できる実験システムの開発を目的として, 16BitMPUのチップ試作を行った。16BitMPUの基本アーキテクチャに, 逐次制御方式のハーバードアーキテクチャを採用し, 命令長は16Bit固定, データフォーマットは-32768~32767, アドレス空間は256word (1word=16Bit), サポートするメモリは外部メモリ, 演算方式はレジスタ間演算, データバスは16Bit, アドレスバスは8Bitである。また, MPUの内部動作を観測できる機能が搭載されている。バックアノテーション検証で, 観測用クロック100MHz, MPU動作用クロック3.125MHzでの動作を確認した。また, 動作検証ボードを製作して, 観測用クロック32MHz, MPU動作用クロック2MHzでの動作を確認したが, それ以上での動作確認は行っていない。

設計期間: 8人月以上, 9人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC, MentorGraphics社 ModelSim **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 4.9mm角 **チップ種別:** マイクロプロセッサ



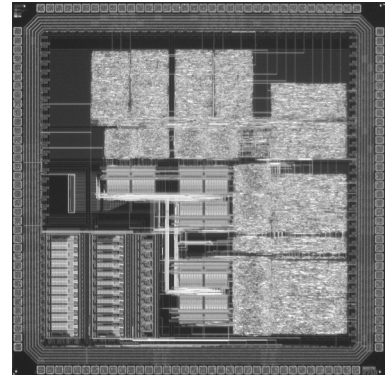
高速信号解析チップ

東京大学工学系研究科 Yeol Yeom-Jung

東京大学人工物工学研究センター 高橋 浩之

概要：放射線の測定に用いるセンサは、個々の放射線の入射に応じて、そのエネルギーや到来時刻の解析が可能なパルス動作をさせることが多い。一つ一つのパルスには、センサ中での放射線の入射位置や、センサ内部に生じた電荷キャリアの成分比などセンサの動作や入射放射線に関する多くの情報が含まれている。そこで、このような情報をデジタル値の形で取り出して解析をすることで、より高精度な測定が可能になることが期待されている。本チップは、数MHz程度のパルスレートを想定し、高速で動作するマルチチャンネル放射線センサからの信号波形を同時に複数のチャンネルで解析するために、100MHz程度までの周波数で動作可能なAD変換器とVGA, Preamp, 64ワードのFIFOメモリなどを10チャンネル分搭載したチップである。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**4.9mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



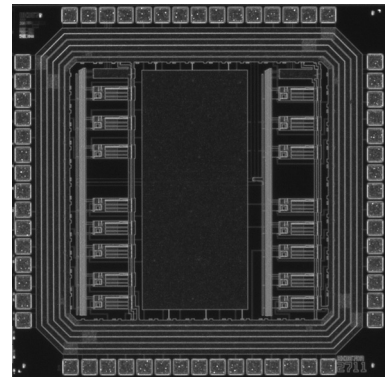
マルチチャンネルプリアンプ

東京大学工学系研究科 Yeol Yeom-Jung

東京大学人工物工学研究センター 高橋 浩之

概要：放射線計測では、センサに直接接続するプリアンプは、信号対雑音特性の大半を決定し、これに応じて、エネルギー分解能、時間分解能、空間分解能などが決まってくるため、大変重要な部分である。従来は、高いコストと空間を占めるディスクリート回路を用いることが主流であったが、本チップは、安価に多数チャンネルを有するプリアンプを実現することを狙って設計した。これにより、センサを細かくブロック分けして、エレクトロニクスを構成することが可能になり、センサの静電容量をより小さく抑えることが可能になる。また、プリアンプ部分の信号対雑音比は、通常、静電容量に反比例するので、高いエネルギー分解能を有するためには、ASICの利用が望ましいと考えられる。本チップでは、16チャンネルのプリアンプを1つのチップに集積し、通常マルチチャンネルセンサにおいて使いやすい規模となっている。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**100以上, 1,000未満 **試作ラン：**2.4mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

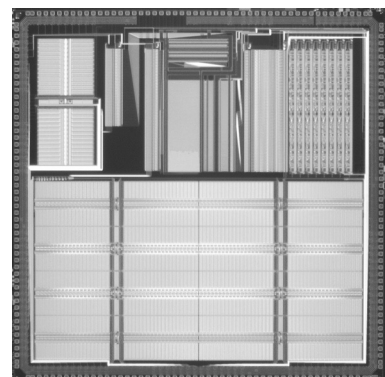


多層構造 Convolutional Neural Network 演算回路

九州工業大学大学院生命体工学研究科 是角 圭祐, 中野 鉄平, 森江 隆

概要：本チップは、昨年度設計した多層構造 Convolutional Neural Network 演算回路を改良し、低消費電力化を行ったものである。80×80画素の演算処理が可能であり、顔の位置検出を行うことができる。チップは主にSRAM, デジタルパルス幅変調 (PWM) 変換回路, PWM積和演算回路, PWM-デジタル変換回路, デジタル累算器, Look-Up Tableを実装している。積和演算の1回の処理時間は1μsで設計しており、パイプライン動作を行うことで、処理時間の効率化を図っている。なお、顔検出に要する時間は約66msである。80個のニューロン素子, 4080 (80×51) 個のシナプス素子の並列演算により、演算性能は最大で約8.2GOPSである。現在、本チップをFPGAにより制御することで、顔検出デモシステムを構築中である。

設計期間：1人月以上, 2人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 Astro, SII社 SX9000, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100,000以上 **試作ラン：**9.8mm角 **チップ種別：**ニューテクノロジー

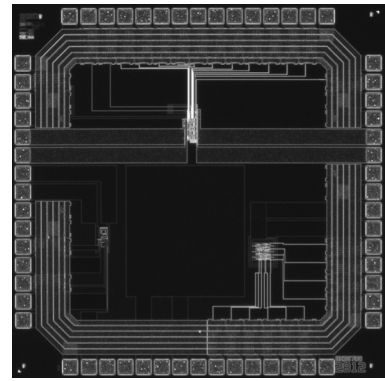


PWM方式ガボールフィルタ回路 TEG

九州工業大学大学院生命体工学研究科 門 慶彦, 是角 圭祐, 森田 修, 中野 鉄平,
森江 隆

概要：ガボールウェーブレット変換は画像の局所的な空間周波数を抽出することができ、顔認識や医療画像診断などで威力を発揮する強力な特徴抽出法として知られているが、計算量が膨大なため応用が限られていた。昨年度、抵抗ネットワーク型セルラーニューラルネットワークによる画素並列方式に基づき、PWM信号を用いたアナログ・デジタル融合回路アーキテクチャにより、LSI化を図った。今回、2.4mm角のチップに、改良を加えた画素回路、PWM生成のためのランプ波形生成回路およびPWM-デジタル変換回路TEGを搭載した。ロジアナ/オシロスコープを用いた測定により（テストは使用せず）、正常な回路動作を確認した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Astro, SII 社 SX9000, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)



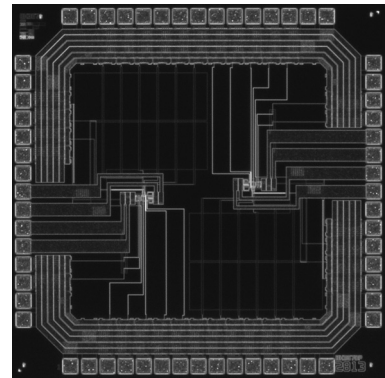
パルス変調方式任意カオス回路 TEG

九州工業大学大学院生命体工学研究科 後藤 優治, 中野 鉄平, 森江 隆

概要：我々はすでに、パルス幅またはパルス位相変調信号 (PWM/PPM) で非線形時間波形をサンプリングすることにより、任意の非線形変換が実現できることを提案している [1]。この原理を用いて、電圧波形をサンプリングする方式の任意カオス信号生成回路を設計・試作し、様々な1次元カオス信号を生成することに成功している。今回、この改良型として電流波形をサンプリングする新しいカオス信号生成回路を考案・設計した。この方式では、D/Aを通して与える非線形波形の量子化の効果が、電流波形の時間積分により軽減され、より高い精度でカオス信号を生成できることが期待される。

参考文献：[1] T. Morie, et al., "Pulse Modulation Techniques for Nonlinear Dynamical Systems and a CMOS Chaos Circuit with Arbitrary 1-D Maps," IEICE Trans. Electron., Vol. E87-C, No. 11, pp. 1856-1862, 2004.

設計期間：2 人月以上, 3 人月未満 設計ツール：SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)

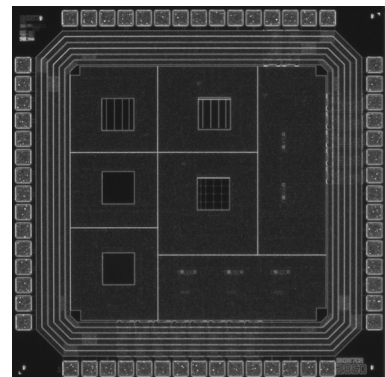


フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG

奈良先端大物質創成科学研究科 池内 隆志, 藤内 亜紀子, 香川 景一郎, 太田 淳

概要：異なるプロセス間でのフォトダイオード・CMOSイメージセンサ画素の基本特性を比較するために、以下の仕様に基づいたTEGチップを設計した。フォトダイオードの受光感度 (A/W) の波長依存性の測定には、200 μm 角の開口と接合領域をもつPN接合を用いた。CMOSイメージセンサの基本画素として3-Tr方式アクティブピクセルセンサを用い、フォトダイオードの接合面積を10 μm 角とした。画素の中心間距離は20 μm とし、フォトダイオード間距離を10 μm とした。迷光を避けるために、フォトダイオード周囲に、千鳥格子状にVIAを配置して遮光した。5画素を一列に配置し、1画素のみを開口し、残りの画素を遮光した。これにより、受光感度 (V/lx-s) と拡散キャリアによる画素間クロストーク特性の波長依存性が測定できる。試作したチップを用いて、以上の特性を測定した。測定時には、光学系により光照射領域をフォトダイオード開口部のみに限定した。テストは用いず、ASCOM社TIME98+低電圧ユニットによる駆動波形を生成し、測定を行った。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10 以上, 100 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)



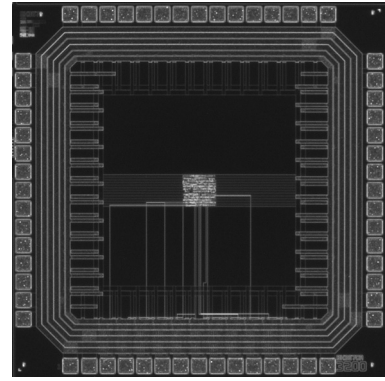
ユークリッド距離変換回路の試作

名古屋大学大学院情報科学研究科 高木 雅彦, 平田 富夫
中京大学情報科学部 磯 直行

概要：画像処理やパターン認識の基本処理としてユークリッド距離変換が行われる。距離変換とは、前景と背景の画素にて構成された2値画像において、各画素が最近隣の前景とのユークリッド距離を持つよう変換することである。本試作では、2値画像を列と行の処理に分けることで効率的に距離変換処理を行うアルゴリズム [1] のうち、列の処理を実現した。各セルは列内にて隣接し、それぞれクロックに同期して信号を伝播する。出力は2ビットの記号化された値であり、引き続き行われる行の処理の入力として使われる。試作したチップの対象画像は8×8画素である。

参考文献：[1] 宮澤雅史, 曾培峰, 磯直行, 平田富夫:"シストリックアレイによるユークリッド距離変換アルゴリズムの実現", 情報処理, AL-87, pp.43-49, 2002.

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



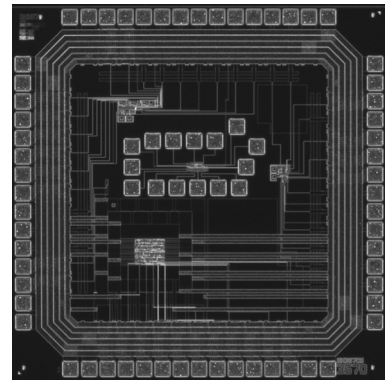
2ビット電流モード連続時間型 $\Delta\Sigma$ 変調器

上智大学理工学部 酒詰 俊輔, 池浦一賢 一賢, 和保 孝夫

概要： $\Delta\Sigma$ 変調器の高速化と高分解能化を両立させる目的で、多ビットコンパレータの採用が検討されている。今回は、1次電流モード連続時間型 $\Delta\Sigma$ 変調器において、閾値の異なる3個のコンパレータを使用して2ビット化を図った。また、これらの比較器と積分器はいずれも、高速化・低電圧化に有利な電流モードで動作するように設計した。2ビット化によりSNRが約4dB改善改善できることが回路シミュレーションにより分かった。これは理論値である6dBに近く、2ビット化の効果が確認できた。すでに試作した電圧モードと比較した結果、電流モードの採用で、より高いサンプリング周波数での動作が可能になり、SNRの向上が確認できた。また、A/D変換器への発展を目指して、 $\Delta\Sigma$ 変調器の次段に接続するためのデシメーションフィルタ用のTEGとして3次4倍CICフィルタを設計した。信号処理を予め代数式で記述することにより回路規模、消費電力の削減を図った。

参考文献：増田, 和保, 「連続時間 $\Delta\Sigma$ 変調器」平成15年度VDEC年報, 126頁 (2003)

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

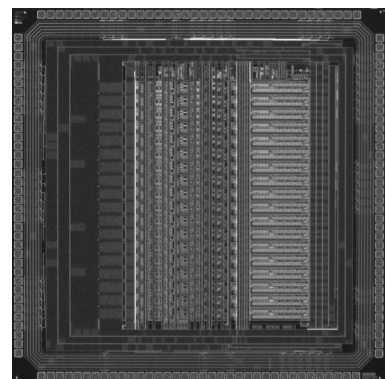


バッテリーレス無線送受信回路とアンテナ評価用TEG

東京工業大学精密工学研究所 山田 智浩, 岡田 健一, 益 一哉

概要：本試作では、人体への服用を目指したバッテリーレス無線送受信回路およびアンテナの試作を行った。無線送受信回路は整流・昇圧回路と電源となるキャパシタ、電圧制限回路およびMOSスイッチで構成されている。整流・昇圧回路ではダイオードとキャパシタを用いた半波整流昇圧回路を多段接続したものを用いた。電圧制限回路はダイオードを多段接続したものを作成した。本試作では、送受信回路はプロトタイプとして、信号の送信タイミングは外部の測定器から与える。アンテナとしてスパイラルインダクタを試作した。インダクタにより発生させた磁場を信号伝送の媒体として利用する。インダクタを2個試作し、両インダクタを用いて、信号伝送の評価を行う。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：10以上, 100未満 試作ラン：4.9mm角 チップ種別：通信 (RF回路, ATMなど)

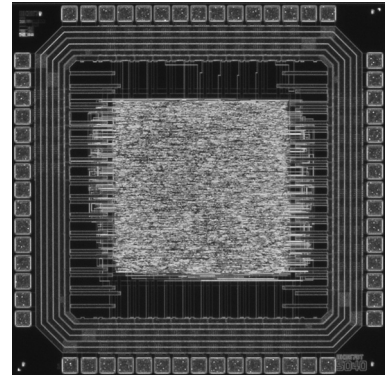


可変段数パイプラインを用いた乗算器

山形大学工学部 後藤 源助, 多田 十兵衛

概要：現在、消費電力を削減する手法として、クロック周波数を動的に変更し、電源電圧を低下させることが一般的に行われている。しかし、電源電圧を低下させると、リーク電流が増大し、低消費電力化の効率が悪くなる恐れがある。そこで、パイプラインレジスタの動作を動的に制御することで、パイプラインの複数のステージを1つのステージとして扱う可変段数パイプライン手法を提案した。可変段数パイプラインでは、パイプラインのステージ間にあるパイプラインレジスタに、レジスタを通さずに出力結果を次のステージにバイパスする回路を付加する。高速な動作が必要ない場合には、パイプラインレジスタを動作させずに出力結果を次のステージにバイパスする。パイプラインレジスタを動作させないため、電力を大きく削減することが出来る。本チップでは、これを16ビット乗算器に適用し、設計を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo
トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：演算回路（乗算器, 除算器など）



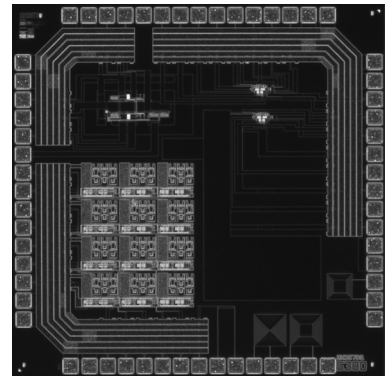
アナログ回路のための種々の低電圧化原理の確認

豊橋技術科学大学大学院工学研究科 秋田 一平, 伊藤 和将
豊橋技術科学大学工学部 上田 昇, 和田 和千

概要：低電圧アナログ回路の構成技術であるCMOSログドメイン回路、平衡型回路、信号分割回路を取り上げ、これらの有効性を確認するための回路を試作している。(1) CMOSログドメイン回路として、既に知られている積分器の構成を用い、二つの積分器を組み合わせて遮断周波数300kHzの2次バターワース低域通過フィルタを設計することで、弱反転領域を信号処理に利用する際の信頼性やシミュレーション結果の妥当性を調べた。(2) 平衡型回路のための回路ブロックとして提案され、等価的に線形な抵浮遊抵抗対として動作する回路 [1] について、動作原理を確認するための設計を行っている。(3) 信号分割回路の中で最も簡単な2分割増幅回路の場合に示されている設計指針に基づき、例となる回路を設計している。シミュレーションならびに実測結果との比較により、設計指針の有用性を示すことを目的としている。

参考文献：[1] “平衡型回路における線形浮遊抵抗対のMOSトランジスタによる等価構成,” 伊藤 和将, 和田 和千, 田所 嘉昭, 電気電子回路研資 ECT-03-80, 2003年11月。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

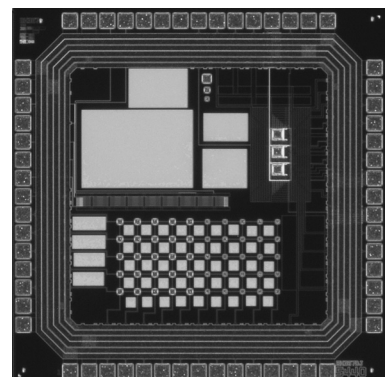


Ashraトリガーセンサー回路用 TEG1

東京大学宇宙線研究所 会田 勇一, 青木 利文, 佐々木 真人, 増田 正孝
茨城大学工学部 木村 孝之
東邦大学大学院理学研究科 安田 雅弘

概要：Ashra (All-sky Survey High Resolution Air-shower detector) は、高エネルギー宇宙線由来で生じる光を 2π 視野、数分角の角度分解能で観測する事により、宇宙線の起源と伝播の解明、VHEvの検出等を目標とする実験である。高エネルギー宇宙線観測を行う上で重要なデバイスであるトリガーセンサーは、入力された光を光電変換し、光電子を増倍させるPMT (Photo-multiplier Tube) を多画素化したMAPMT (Multi-anode PMT) と、MAPMTから出力された電流を電圧変換し波高弁別を行うトリガーセンサーLSIによって構成される。トリガーセンサーLSIの設計に当たり、回路や配線等の様々なパラメータ評価を行う必要がある。このパラメータ評価を行うためにTEG (Test Elements Group) を作成した。本TEGでの評価項目として、MAPMTとの接合を行うパッドサイズの違いによる寄生容量の評価、トリガー出力波形の伝送経路となるWiredORによる遅延評価、過電流対策用の保護回路の性能評価、閾値弁別を行うシフトレジスタと波高弁別を行うコンパレータ等により構成されるトリガセンサー回路の性能評価が挙げられる。これらの性能評価を行うための回路を設計した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)

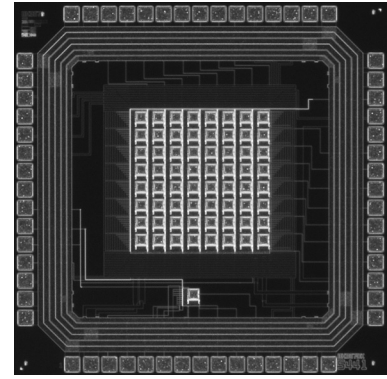


Ashraトリガーセンサー回路用 TEG2

東京大学宇宙線研究所 会田 勇一, 青木 利文, 佐々木 真人, 増田 正孝
茨城大学工学部 木村 孝之
東邦大学大学院理学研究科 安田 雅弘

概要：Ashra (All-sky Survey High Resolution Air-shower detector) は、高エネルギー宇宙線由来で生じる光を 2π 視野、数分角の角度分解能で観測する事により、宇宙線の起源と伝播の解明、VHEv の検出等を目標とする実験である。この観測を行う上で重要なデバイスとしてトリガーセンサーが挙げられる。トリガーセンサーは入力された光を光電変換し、光電子を増倍させる PMT (Photo-multiplier Tube) を多画素化した MAPMT (Multi-anode PMT) と、MAPMT から出力された電流を電圧変換し波高弁別を行うトリガーセンサーLSI によって構成されている。「Ashra トリガーセンサー回路用 TEG1」では回路単体での性能評価を行ったが、本試作においては閾値選択と波高弁別を行う回路を 8×8 画素に並べた TEG、性能評価用の 1 画素の TEG を設計した。この画素はコンパレータとシフトレジスタにより構成されるアナログデジタル混合回路である。性能評価を行った結果、シフトレジスタによるデータ伝送は 12.5MHz まで正常に行える事が確認された。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)

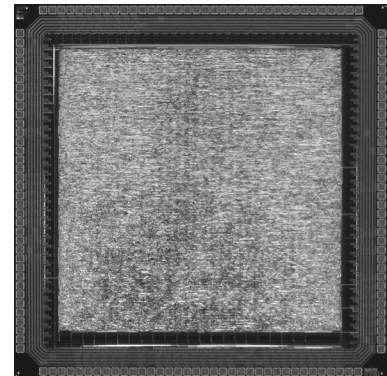


アクティブソフトウェア向け再構成可能な条件判定回路

奈良先端科学技術大学院大学情報科学研究科 伴野 充, 中西 正樹, 山下 茂, 渡邊 勝正

概要：アクティブソフトウェアとは自分の計算状況を監視して、自分の状態や計算手順を調整する機能をもつソフトウェアである。アクティブソフトウェアは能動関数と呼ばれる内部に起動条件をもつ関数で記述され、自身の起動条件が成立すると起動する。そのため、アクティブソフトウェアでは能動関数の起動条件の判定、能動関数の起動・実行といったことが並列かつ頻繁に行われるという性質をもっている。そこで、アクティブソフトウェアの効率的な実行のために条件判定機構をハードウェアにて実装した

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：その他

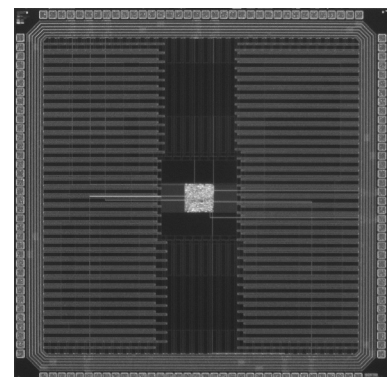


信号処理用 JTAG コントローラおよびテスト TEG

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸, 根岸 久

概要：200Mbps で入力されるデジタル信号をバッファし、内部でデジタルフィルタリングを行い必要な情報を取り出すための ASIC を製作する目的で、その内部ブロックのうちひとつを抽出し今回の TEG に入れてある。機能としては内部のレジスタの制御を行うためのロジックおよびスローコントロール用の JTAG 入出力回路である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso トランジスタ数：1,000 以上, 10,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



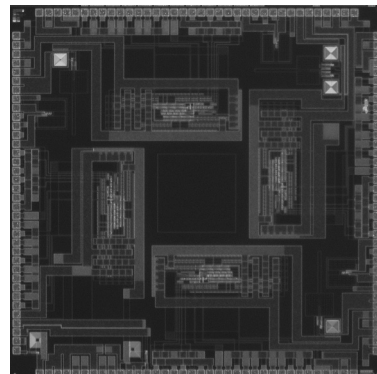
平成16年度 第1回 ロームCMOS0.35 μ m チップ試作 (RO35041)

動的基板ノイズ低減手法

東京大学工学系研究科 名倉 徹

概要：集積回路の大規模化・高速化によってLSIの電源線に流れる電流量が増大し、電源線の寄生素子によって発生するノイズ量は大きくなる。特に消費電流の急激な変化 (di/dt) と電源線のインダクタンス成分によって引き起こされる di/dt ノイズは、今後の集積回路の高速化にとって深刻な問題となる。また、この di/dt ノイズは基板ノイズの原因ともなっており、アナログ・デジタル混載LSIにおける、アナログ回路の特性劣化を引き起こす。基板ノイズはグラウンドノイズよりも大きさは小さいが、ほぼ同じ波形を持つ。グラウンド線インピーダンスにおいてインダクタンス成分が主な場合、グラウンドノイズと基板ノイズは di/dt に比例することになる。昨年、設計・試作して実証した di/dt 測定回路があるが、その出力を増幅器に入力し、その出力電流を基板に注入することで、基板ノイズをキャンセルすることができる。本ノイズ低減回路を用いた場合の基板ノイズを測定したところ、34%の基板ノイズ低減効果が得られた。また、本回路構成を最適化することにより、54%にまで低減効率を向上させることが可能であることを理論的に示した。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**4.9mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



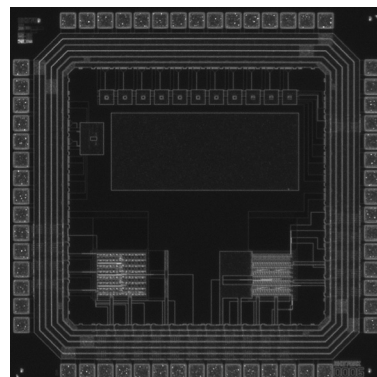
センサ回路 TEG とオンチップオシロスコープ用タイミング信号生成回路 TEG

東京大学工学部 大池 祐輔, 飯塚 哲也

東京大学VDEC 池田 誠, 浅田 邦博

概要：本試作では各種のCMOSセンサ回路用のTEGと、オンチップオシロスコープのためのタイミング信号を生成するための遅延信号生成回路用のTEGを実装した。実装したCMOSセンサ用TEGは、入射した変調光によって発生した光電流を、磁界を用いて受光部上で直接検波することで高速な位相検出を実現する。光伝播法 (TOF法) による高精度な距離計測を目的とする。実装した遅延信号生成回路は、128個のバッファを直列に接続した遅延線により構成され、クロック信号を遅延線に入力し、各バッファの出力を7ビットのセレクトタにより選択することで所望の遅延を持ったクロック信号を出力する。今回の試作では入力信号を30MHzのクロックとし、各遅延素子は250psecの遅延を持つように設計を行った。各遅延を選択するセレクトタ部は、配線遅延を均等にするためにHツリー型の構造を持つようにレイアウトされている。測定の結果、7ビットの選択信号に対して所望の遅延を持つクロック信号が出力され遅延信号生成回路が正常に動作していることが確認された。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**2.4mm角 **チップ種別：**TEG (特性評価回路など)

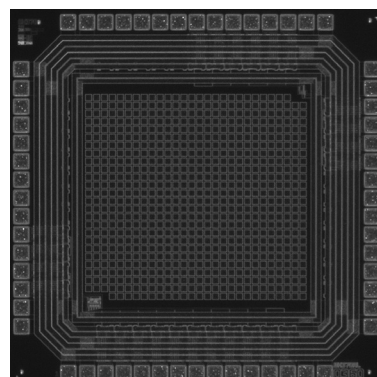


初歩的なデコーダ回路の製作

広島工業大学工学部 益田 幸雄, 高松 脩哉, 植田 誠司, 田中 武

概要：市販の集積回路を組み合わせた回路では、システムの小型化を図ることや、電子回路あるいは論理回路情報の漏洩を防ぐことには限界がある。それらの電子回路あるいは論理回路をワンチップ化して置き換えることにより、漏洩の問題を起りにくくすることができる。今回は、集積回路設計技術、特にレイアウト設計を習得するために、初歩的なデコーダ回路を、レイアウト設計ツールを用いて設計した。このデコーダ回路は、センサーからの入力信号をデコードするもので、デコードされた信号はスイッチからの入力によりセレクトされ出力される。集積回路内に基本CELLを4個作り、この組合せによりでコード回路を構成する。外部回路とのインタフェース (I/F) は、センサー入力2bit、スイッチ入力4bit、およびデコード出力15bitである。標準ロジック集積回路の74シリーズで構成した場合、集積回路数は15個程度になるものを、ワンチップ化した。プリント基板上の配線パターンを含めれば、1/15の実装面積となり大幅な省スペースを実現できる。

設計期間：1人月以上、2人月未満 **設計ツール：**SII社 SX9000, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**100以上、1,000未満 **試作ラン：**2.4mm角 **チップ種別：**演算回路 (乗算器, 除算器など)

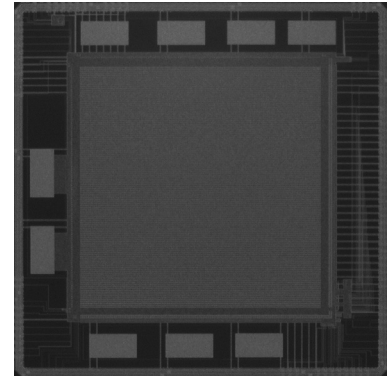


Motion Detection Chip

東京大学新領域創成科学研究科 亀谷 暁

概要：我々の研究室では生物に近い画像認識を行うVLSIシステムの構築を目指して研究を進めている。高等生物は視野の中で動いているものに注目する性質がある。本チップでは動体を切り出して、認識用VLSIに動体の画像を渡すまでの処理を目的としている。従来の切り出し方式は画素差分情報をXY両軸に射影し、平均値で閾値処理することで動体を矩形に切り出していた。しかしこの方式は動体が一連続に読み出され、かつ動体が無い場所を読み出してしまうという問題があった。前者は、動体検出に画素差分方式を用いているために、動体検出精度が動いている方向に依存してしまうためである。また後者は、カメラの動きによって生じた「動き」を高精度に検出してしまうために起こる。本チップは、閾値処理したバイナリデータに対して隣接3ビットのANDとORを行うことで、欠損を埋め、余分な矩形を削除する。それにより、上記の二つの問題を解決するアーキテクチャを実装している。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100,000以上 **試作ラン：**9.8mm角 **チップ種別：**イメージセンサ/スマートセンサ

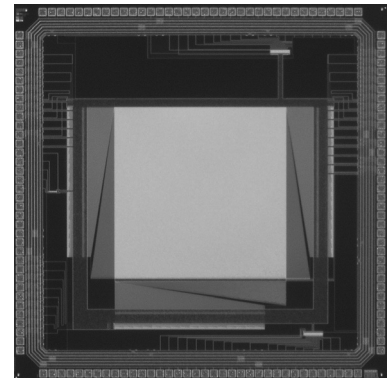


アナログメディアン値探索 TEG, 高集積化フォトダイオードアレイ

東京大学新領域創成科学研究科 中下 友介

概要：既に試作・検証済みのエッジ検出回路搭載イメージセンサチップを画像認識処理に適用することを考えた場合、重要となるのはその閾値決定方法である。閾値の決定方法には様々な方法が考えられるが、我々の研究室の研究成果として、各隣接画素の差分絶対値をとり、そのメディアン値を閾値とした画像認識処理の応用可能性が示されている。本チップにはアナログエッジフィルタにおいて閾値を決定するための、アナログメディアン値探索を行う試作回路を実装した。24入力のアナログ値に対し、そのメディアン値を探索し出力する。また、イメージセンサの高集積化を検証するため、フォトダイオードアレイも同チップ上に実装した。このフォトダイオードアレイは、従来エッジ検出回路に搭載してきたフォトダイオード読み出し回路をその4分の1程度の面積で実装したものである。1セルあたりの面積は小さくなっているが、開口率は30%以上であり、イメージセンサとしての性能を維持したまま高集積化を実現した。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**4.9mm角 **チップ種別：**イメージセンサ/スマートセンサ

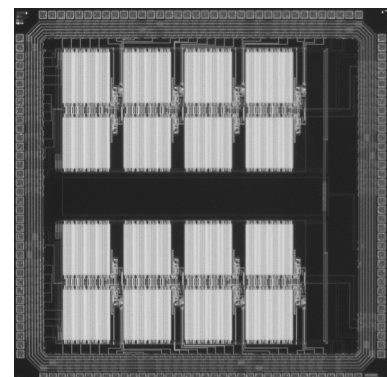


並列アーキテクチャ電流モードCDMA マッチトフィルタ

東京大学新領域創成科学研究科 中山 友之

概要：CDMA無線通信方式において基地局と移動端末との同期を検出するマッチトフィルタと呼ばれる回路について試作を行った。マッチトフィルタを並列に用いることによりセルサーチ、パスサーチを同一ハードウェアで処理するCDMA通信方式を考案した。ハードウェアを有効利用するためにセルサーチ時にはPN符号検索を高速に処理するアルゴリズムを考案した。フローティングゲートMOS技術を用いた上記のシステムは開発済であるが、より低面積、低消費電力が見込まれる電流型マッチトフィルタを用いたものを開発、実装した。また、電圧型マッチトフィルタのソースフォロア定電流をカットできる方式も実装する予定である。本試作において開発されたマッチトフィルタをセルサーチにおいて並列動作させたところ、I相、Q相合わせて8並列256チップ相関長で15.1mWという低消費電力が得られた。今後は機能回路の詳細を検討し直し、さらなる低消費電力、小型、高速化に向けて研究していきたい。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre **トランジスタ数：**100,000以上 **試作ラン：**4.9mm角 **チップ種別：**アナデジ混載

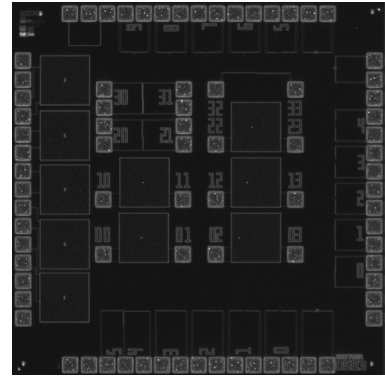


フォトダイオード特性評価用 TEG

東京大学工学部 清水 健, 高橋 徳浩

概要：本研究室では、エッジフィルタや動き検出回路など、フォトダイオードを用いた様々な回路が試作されてきた。しかし、どのような大きさ、形状のフォトダイオードが各々のピクセルセンサに最適であるかについて定量的な評価は一切行われてこなかった。そのため、フォトダイオードに流れる電流量などが推し量れず、フォトダイオード部に関しては経験に頼った設計を行い、そのためチップがうまく動作しなかった場合のトラブルシュートの際に大きな妨げとなってきた。そこで、フォトダイオードの様々な特性を評価するための TEG を試作し、最終目標としてはピクセルセンサに最適なフォトダイオードの形状や大きさを模索する。そのために、PN 接合の組み合わせ方や面積、周辺長を変化させたフォトダイオードや、L字型や楕円形など我々は利用してこなかった形状のフォトダイオードを複数設計し、光電流や、形状・大きさの違いによる電流の差異などを実際に測り今後のための基礎データとする。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)

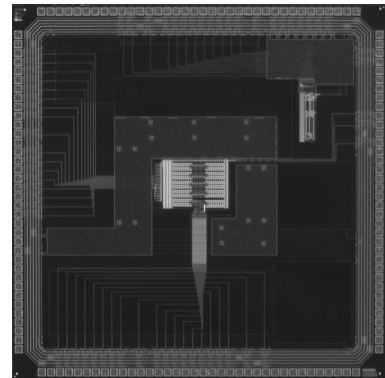


ノ MOS を用いた耐タンパー論理回路

東京大学新領域創成科学研究科 トンプラシット ベンジャマース

概要：近年スマートカードはさまざまな分野で使用されるようになってきた。その結果、スマートカードの中に書かれた情報（特に PIN）が不正に読み出され、悪用される危険性も高まっている。内部の情報はさまざまな方法で読み出されるが、入出力を暗号化してもシステムの電力を観察し、その動作を推定するような方法がある。これを防ぐためには耐タンパー性を持つ回路設計が必要となってくる。そこで、2線式回路を用いて、常に対になっている演算（求める値と反転の値）を同時に行うことで、求める値に必要な演算とその反転値の演算を同時に行い外部から見た電力の変動を抑えることを提案する。この方法は、変動を抑えるために電力については通常の回路設計法より多く消費するが、高々2倍程度で、その結果、内部の動作を推定することが困難となる。本試作ではこの2線式回路の実装を行った。キャパシタを多く使う本回路は、プロセスの制限のためにレイアウトが大きくなっているが、これは DRAM 等のキャパシタ製造技術を応用することで回避できる。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ

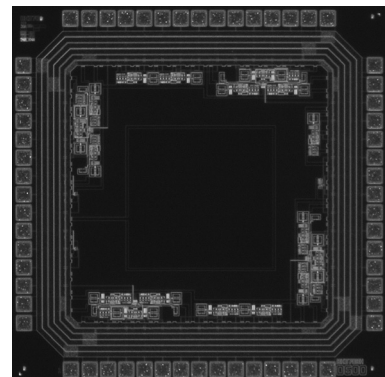


スイッチドキャパシタ・フィルタの設計

静岡大学電子工学研究所 高橋 誠, 小川 覚美, 渡辺 健蔵

概要：地震が発生する前兆の現象として地殻変動に伴う電波放射がみられる。その電波放射を捕らえ、地震予知を行う手法とする研究が行われている。その際にその電波帯域付近のノイズを除去するノッチフィルタが必要とされる。スイッチドキャパシタ回路でノッチフィルタを構成すれば素子の温度特性の影響を受けないフィルタが構成できる。高精度のスイッチドキャパシタ・フィルタを設計するためには高ゲイン、高精度のオペアンプが必要である。ここではスイッチドキャパシタ・フィルタを構成するための素子として、シングルエンドオペアンプ、全差動型オペアンプ、コンパレータ、アナログスイッチを試作した。試作回路の特性を測定し、HSPICE によるシミュレーション結果と比較した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

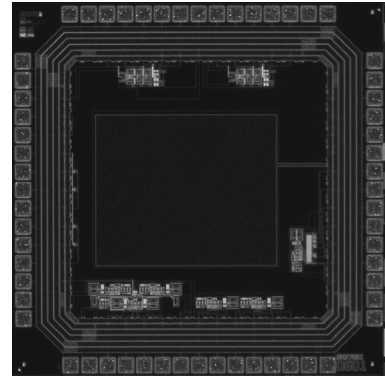


Rail-to-Rail CMOS カレント・コンペアの設計

静岡大学電子工学研究所 ホワン チュン スン, 小川 覚美, 渡辺 健蔵

概要：第二世代カレント・コンペア (CCII) は電流モード信号処理の基本構成素子である。低電源電圧でも広いダイナミックレンジと広帯域動作が期待できる電流モード信号処理の特長をいかして広帯域 Rail-to-Rail カレント・コンペアを設計した。カレント・コンペアは低消費電力化のために AB 級で動作するように構成されており、また、広帯域で安定な動作が得られるように位相補償回路が加えられている。試作回路の特性評価を行い、HSPICE によるシミュレーション結果と比較した。また、CCII を用いた電流モードフィルタを試作した。抵抗とキャパシタは外付けとした。単一 CCII を用いたフィルタ構成、及び、状態変数フィルタについて特性を測定した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

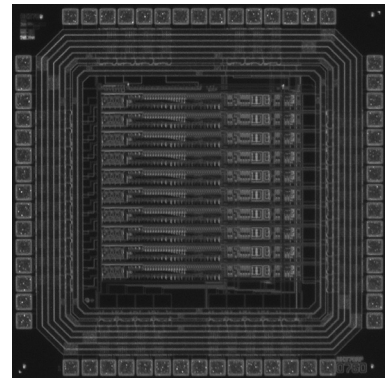


電流型パルス幅復調回路の試作

広島大学大学院先端物質科学研究科 亀田 成司, 小田原 正起, 岩田 穆

概要：現在、広島大学 21 世紀 COE で提案されている 3 次元カスタムスタックシステム (3DCSS) を用いた画像処理システムの研究が進められている。チップ間の画像データ通信にスパイラルインダクタを用いた無線通信を利用し、その転送回路を列並列に配置することで高速な画像処理が実現できる。しかしながら、列並列データ転送では各転送回路の特性ばらつきが問題となる。また、スパイラルインダクタによるデータ通信を利用するためには、各画素で計算されたアナログ画像情報をデジタルに変換する必要がある。本試作では、パルス幅変調 (PWM) 方式による列並列転送回路を試作した。個々の転送回路に複数の電流源を使用した素子特性ばらつき補償回路を持つ。また、電流源の寄生容量の影響を抑える機構も加えている。サイズが $1286.15\mu\text{m} \times 119.25\mu\text{m}$ の転送回路を 10 個並列に並べ、ばらつきの補償効果を確認できるようにした。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：2.4mm 角 チップ種別：演算回路 (乗算器, 除算器など)



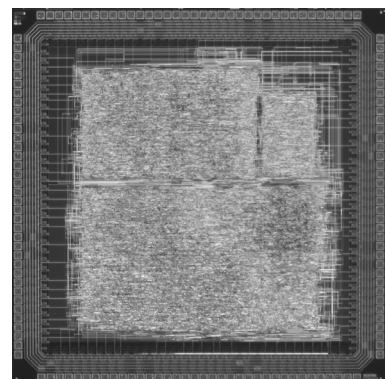
並列リコンフィギュラブル画像処理プロセッサのプロセッシングエレメント部の試作

東北大学大学院工学研究科 杉村 武昭, 福島 誉史, 栗野 浩之, 小柳 光正

概要：近年ロボット技術が急速な発展を見せ、将来人間と同じ環境を共有して作業することが現実味を帯びてきている。このようなロボットの実現には高性能な実時間高速画像処理システムが必要であり、リコンフィギュラブル画像処理プロセッサの研究を行っている。本チップはこの構成要素となる、プロセッシングエレメント部とその動的再構成を行う制御部を集積したものである。プロセッシングエレメントは、16bit ALU, 8bit 積和算器, 16bit レジスタファイル, 画像データメモリアンターフェース, プロセッシングエレメント間ネットワークインターフェース, これらを制御するコンフィギュレーションレジスタから構成されており、最大で 16 コンテキストのコンフィギュレーションデータを 1 クロックサイクルで動的に切り替えることが可能である。

参考文献：杉村武昭, 出口淳, 小西雄太, 中谷好博, 福島誉史, 近野敦, 栗野浩之, 内山勝, 小柳光正, "並列リコンフィギュラブル画像処理プロセッサを用いたロボットビジョンシステム" pp49-54, 信学技報 Vol. 104 No. 521, ICD 研究会 (2004)

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



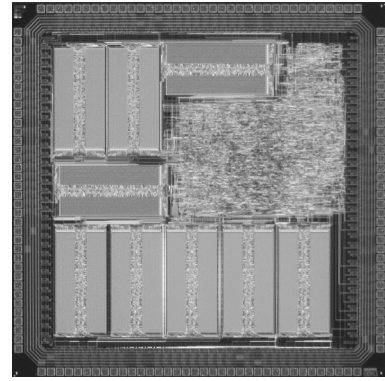
並列ロードストア命令に対応したデュアルポートメモリの試作

東北大学工学部 中谷 好博

東北大学大学院工学研究科 福島 誉史, 栗野 浩之, 小柳 光正

概要：近年、システム LSI や SoC において高速動作かつ、大容量のメモリを搭載する必要が出てきているが、その双方を同時に満たすことは困難である。そこで、三次元積層型集積回路技術を用いて並列処理システムを構築することによりそれらの問題を解決することを目指している。本チップは三次元積層型集積回路を用いた並列処理システムの構成要素となるメモリシステムの試作チップである。提案するシステムは複数のメモリとそれに対応した複数のプロセッサから構成され、それぞれのメモリとプロセッサはインターコネクションネットワークを用いて接続されている。それぞれのメモリには SRAM を用いた 1KByte のデュアルポートメモリを使用している。デュアルポートメモリを使用するため、メモリのポートをそのメモリに対応したプロセッサ用とそれ以外のプロセッサ用に分けて使用することが可能となり、三次元構造において構造的に離れたメモリとプロセッサのアクセスの際にも対応したメモリとプロセッサのアクセスは常に 1クロックで行うことができるように設計している。

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：メモリ



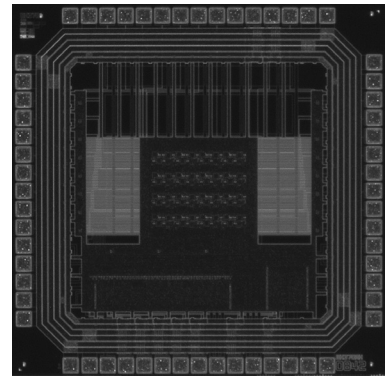
積層型人工眼チップのための刺激電流パラメータ制御回路の試作

東北大学大学院工学研究科 出口 淳, 福島 誉史, 栗野 浩之, 小柳 光正

概要：網膜の疾患により視細胞が死滅して失明に至った患者の治療のために、患者の網膜を直接電気刺激して視覚機能を回復させる人工眼の開発が求められている。我々は LSI を 3 次元的に積層する 3 次元集積化技術を用いた積層型人工眼を提案している [1]。網膜の電気刺激に用いる電流パルスの振幅、幅などのパラメータは患者の網膜の状態により異なる。そのため、人工眼チップ埋め込み後に、眼外から眼内のチップにパラメータ制御用のデータを伝送し、パラメータ調節を行う必要がある。今回、我々はそのような人工眼チップ開発に向けて、電流パルス発生回路、および、電流パルスのパラメータ制御回路を 1 チップ上に試作した。電流パルス発生回路はフォトダイオード、発振器、電流バッファから構成されている。パラメータ制御回路は D/A 変換器、レジスタを用いて電流パルス発生回路の制御を行う。今後は、パラメータ制御回路のレジスタにデータを伝送するための送受信機的设计を行い、プロトタイプ的人工眼チップの試作を目指す。

参考文献：[1] J. Deguchi, et al., Jpn. J. Appl. Phys. 43 (2004) 1685.

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：アナデジ混載



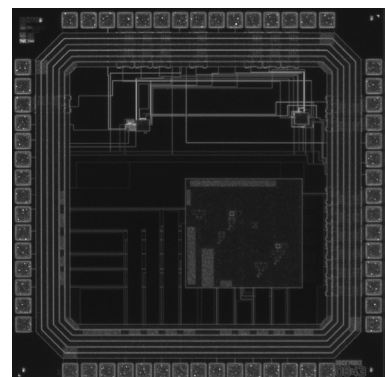
6ビット循環型 A/D コンバータの試作

東北大学大学院工学研究科 小野 宏, 辻 孝司, 福島 誉史, 栗野 浩之, 小柳 光正

概要：近年、医療用、家庭用、福祉用などの自ら外界認識、状況判断を行うロボットの研究が盛んに行われている。このようなロボットを実現するためには視覚認識が重要となり、実時間画像処理システムが必要となる。我々はこの実時間画像処理システムの実現のために、三次元集積化技術を用いた画像処理センサを提案している。この画像処理センサでは、各ピクセル内に A/D 変換器を配置して光電流の A/D 変換を並列に行うことで、高速な画像処理が可能となる。ピクセル内に A/D 変換器を配置するためには超小型の A/D 変換器が必要となる。そこで今回、我々は三次元集積化技術を用いた画像処理センサ開発に向けて、超小型 6 ビット循環型 A/D 変換器の試作を行った。本 A/D 変換器は、スイッチド・キャパシタ増幅回路、アナログマルチプレクサ、1.5 ビットフラッシュ型 A/D コンバータ、エンコーダ、デジタル補正回路から構成されており、回路面積は 145um×145um である。

参考文献：小野宏, 出口淳, 杉村武昭, 栗野浩之, 小柳光正 “イメージセンサのための非線形 A/D 変換器の検討” 2004 年度 IEICE, C-12-29

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

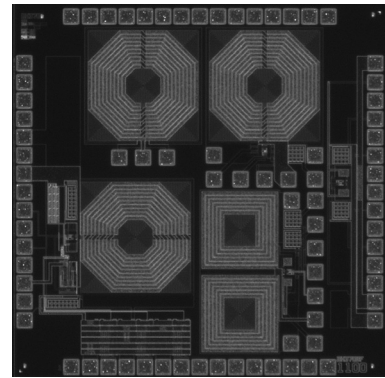


特定小電力無線用PLL, VCO, スパイラルインダクタTEGの設計

金沢大学集積回路工学研究室 有賀 健太, 伊藤 久浩, 秋田 純一, 北川 章夫

概要：国内の狭帯域無線通信規格である特定小電力無線規格用の受信用ICの要素回路、インダクタTEGの設計を行った。設計した位相同期ループ(PLL)、電圧制御発振器(VCO)は受信用ICに搭載される回路で、単体性能評価用に試作した。またVCO内に搭載するスパイラルインダクタのTEGも設計した。PLLは評価用ボードに実装した外部部品込みで性能評価を行った。VCO、インダクタTEGはウェハー上に高周波プローブでプロービングし、スペクトルアナライザ、ネットワークアナライザによって性能評価を行った。PLL、VCOは正常動作を確認することができた。インダクタTEGの測定結果から今後の設計時の参考にするための等価回路を作成することができた。VCOは要求仕様を満足できたが、PLLでは位相雑音特性の改善が課題である。

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：通信 (RF 回路, ATM など)

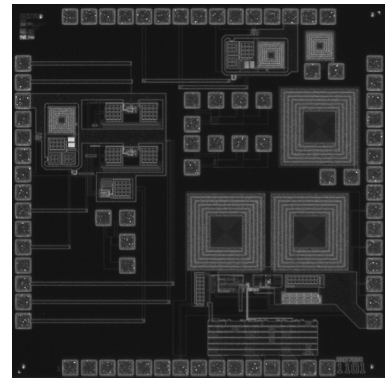


特定小電力無線用RFフロントエンド, バラクタTEGの設計

金沢大学集積回路工学研究室 有賀 健太, 伊藤 久浩, 秋田 純一, 北川 章夫

概要：国内の狭帯域無線通信規格である特定小電力無線規格用の受信用ICのRFフロントエンド部、バラクタTEGの設計を行った。このチップは受信用ICのRFフロントエンド部を単体評価用に設計したものである。使用周波数帯は420MHzである。ハートレー方式のイメージ除去構成をとっており、MIXERは2つ搭載されている。今回はポリフェイズフィルタを外付け構成とした。またVCOに搭載するバラクタTEGも設計した。評価用ボードを作成し、外部整合回路込みで性能評価を完了している。正常動作を確認し、要求仕様を満足することができた。バラクタTEGにより特性の測定も完了しており、今後の設計の際の参考にすることができる。

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：通信 (RF 回路, ATM など)

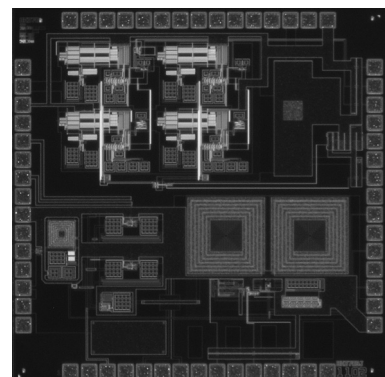


特定小電力無線受信IC

金沢大学集積回路工学研究室 有賀 健太, 伊藤 久浩, 中野 伸吾, 早瀬 圭, 秋田 純一, 北川 章夫

概要：国内の狭帯域無線通信規格である特定小電力無線規格用の受信用ICの設計を行った。この無線規格は民生用の建物内低速データ通信および制御系の無線通信を想定したものである。シングルスーパーヘテロダインアーキテクチャを採用しており、低雑音増幅器(LNA)、乗算器(MIXER)、電圧制御発振器(VCO)、位相同期ループ(PLL)、 Δ - Σ 型ADCを集積しており、デジタル信号処理による検波を行う。使用周波数帯は420MHz帯である。評価用ボードを作成し、試作ICを実装し外部素子とともに評価済みである。各回路の正常動作を確認することができた。一部仕様を満足できなかった評価項目もいくつか出てきた。回路構成からレイアウト構成まで含め、原因を考察し、要求仕様を満足するのが今後の課題である。

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：通信 (RF 回路, ATM など)

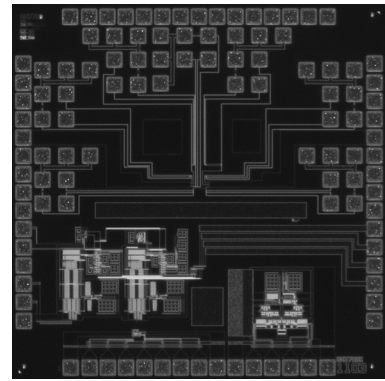


バンドパス型 $\Delta\Sigma$ 変調器・演算増幅器の試作

金沢大学集積回路工学研究室 早瀬 佳, 中野 伸吾, 高田 雅史, 秋田 純一, 北川 章夫

概要：バンドパス型 $\Delta\Sigma$ 変調器を用いることで任意の周波数において量子化ノイズを抑圧され高い SNR を得る事が出来、高分解能の A/D 変換器の実現が期待できる。本回路は、特定小電力無線規格トランシーバに用いる受信部で用いられるものである。サンプリング周波数 2.8MHz、OSR=64 で SPICE シミュレーションの結果、SNR は 70dB であった。また、 $\Delta\Sigma$ 変調器で使われる演算増幅器は、ゲインブーストされたフォールデッドカスコード型の全差動演算増幅器である。演算増幅器は雑音耐性を高めるため全差動型にした。演算増幅器も個別に測定するため単体でも試作した。 $\Delta\Sigma$ 変調器、演算増幅器の測定の結果、 $\Delta\Sigma$ 変調器は正常な動作を確認できなかったが、演算増幅器の正常な動作を確認でき、80 dB の DC ゲインを確認することが出来た。 $\Delta\Sigma$ 変調器が正常動作しなかったがその原因がわかった。次回試作では回路構成からレイアウト構成までを含め、要求仕様を満足するのが課題である。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



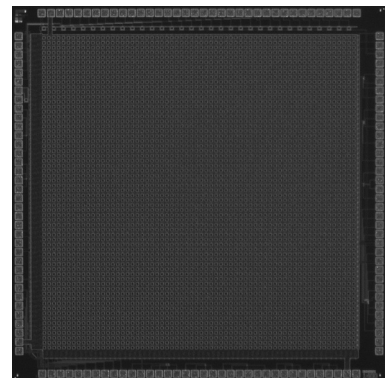
広ダイナミックレンジを有する二次元エッジ検出網膜チップの試作

豊橋技術科学大学大学院工学研究科 澤 伸也, 米津 宏雄

概要：我々は、網膜の視覚情報処理に学び、物体の輪郭情報を実時間で生成するエッジ検出網膜チップの提案とその集積回路化を試みてきた [1]。この網膜チップは、対数変換型光センサ部を導入することで広範囲の光強度の対応することできる。しかし、入力光強度に合わせて外部バイアス電圧の調整が必要であるため、一定のバイアス条件下ではそのダイナミックレンジが制限される。そこで、網膜チップのさらなる広ダイナミック化に向けて、網膜チップに導入されている抵抗回路網の改良を行った。また、出力信号を読み出すためにチップ内部に二次元シフトレジスタを搭載した。本試作では、新たに提案した網膜チップの単位回路を 64×64 画素配列した二次元エッジ検出網膜チップおよび二次元シフトレジスタを試作し、その特性を評価することを目的とした。

参考文献：澤, 西尾, 安部, 古川, 米津, "生体の網膜に学んだエッジ検出機構のアナログ集積回路化", 日本神経回路学会第 13 回全国大会 講演論文集, pp. 154-155, 2003.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：イメージセンサ/スマートセンサ

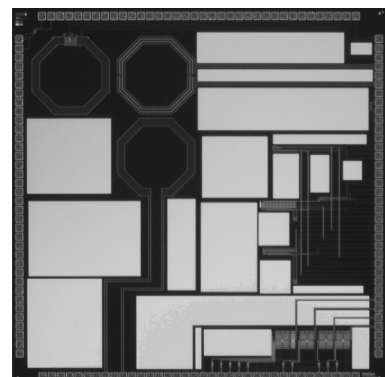


アナログ回路ブロックの電源 ON/OFF 制御回路ほか

東京大学国際・産学共同研究センター 石田 光一, 鬼塚 浩平, 桜井 貴康

概要：・アナログ回路が消費する電力はデジタル回路に比べて大きい傾向にある。システムにおいて全てのアナログ回路ブロックを常時動作させている必要がない場合も多いので、未使用の回路ブロックの電源を切り放すことはチップ全体の消費電力抑制に重要である。アナログ回路ブロックの電源を ON/OFF 制御する場合、起動時のセトリングタイムが短いほど好ましい。このため演算増幅器の起動時間を改善させるための回路を設計した。・チップ間ワイヤレス電力伝送の実現に向け、電力送信回路と磁界輻射用インダクタおよび受信用複数巻きインダクタを設計した。また、受信側整流部の部分回路として 3 つの PMOS を組み合わせフォワードバイアス状態を避けることを目指した整流器の設計を行った。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



マイクロディスプレイ用ドライバ回路 TEG

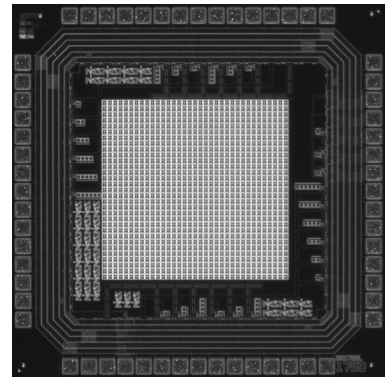
長崎総合科学大学工学部 田中 義人

長崎総合科学大学大学院新技術創成研究所 房安 貴弘

長崎総合科学大学大学院工学研究科 陳 蕾

概要：マイクロディスプレイは、現在では特にビデオカメラやデジタル・スチルカメラに使用されるビューファインダーが代表的な用途である。またニッチマーケット向けには、暗視用ゴーグル、弱視補助、熱映像装置などが挙げられる。ユビキタス社会が加速的の広がりを見せる中、高精細で多情報の画像媒体として、また Near Eye 用途の将来として、マイクロディスプレイは情報と通信分野への大いなる展開が期待されている。一般にマイクロディスプレイとは、対角インチ数が1.5型以下の小型ディスプレイを指す。マイクロディスプレイを搭載したヘッド・マウント・ディスプレイを頭部に装着すれば、技術者は仮想マニュアルを目の前に置いた状態で複雑な機器を修理することができる。さらにノート・パソコンに適用すれば、本体をより小さく軽くでき、電池動作寿命を大幅に延ばすことが可能になる。本試作では、ピクセルアノードとその電圧をコントロールするドライバ回路の回路方式及び設計パラメータの検討・評価を目的として試作を行った。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)



MOSFET アレイと SRAM の試作

長崎総合科学大学工学部 田中 義人, 畠田 亮太郎, 中水流 史朗

長崎総合科学大学大学院工学研究科 金 奉基, 八谷 茂幸

概要：集積回路プロセス技術の微細化及び低電圧化が進みアナログ CMOS 回路の素子のばらつきが増大する傾向にある。素子ばらつきは、その特性を劣化させるばかりではなく補正回路等による設計の複雑化を招く原因となっており、素子ばらつきの理論的及び実験的研究は、重要になってきている。本試作では、MOSFET の V_t と β ばらつきデータ取得・解析の為、LSI 内部に作り込んだ隣接する MOSFET 間のマッチング特性の評価を目的とした。また、2003 年度に試作した $\Delta\Sigma A-D$ のデシメーションフィルタ用の SRAM も同 LSI に搭載した。MOSFET アレイは、同一 LSI 内部のランダムばらつきを調査する為、(W/L) の比率が 16 種類、MOSFET の総数 16320 個の MOSFET をアレイ上に試作した。MOSFET アレイは 2 種類のデコーダ (X, Y 制御) により選択され IDS-VGS 特性を測定する構成になっている。また、試作した SRAM は、8bit1024 ワードで読み出し・書き込み回路の異なる回路を 2 回路、試作した。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)



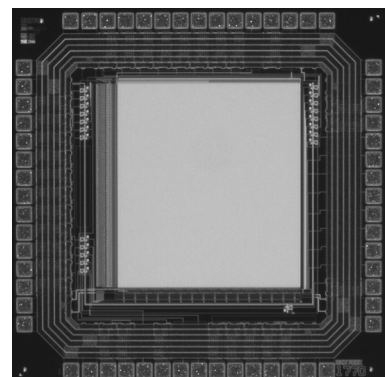
SFQ/CMOS ハイブリッドメモリシステムの動作検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ 回路は 50GHz の高速クロック周波数で動作するが、その電圧振幅は $100\mu\text{V}$ のオーダである。一方、CMOS デバイスは数 GHz で動作し、その電圧振幅は 1V のオーダである。したがって、ハイブリッドシステムの実現のためには、SFQ 論理回路の高速微小電圧出力を CMOS 論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。本チップでは、CMOS メモリとアンプから成るシステムを構成し、入力 40mV の微小信号入力に対する CMOS システムの動作を確認した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：2.4mm 角 チップ種別：メモリ



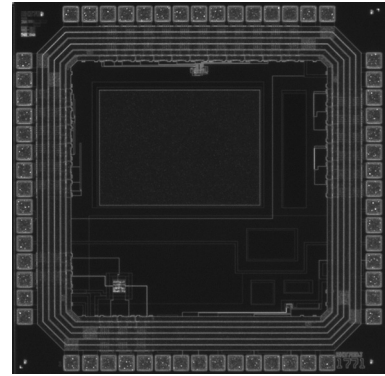
SFQ/CMOSハイブリッド用CMOSクライオデバイスモデルの検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダーである。一方、CMOSデバイスは数GHzで動作し、その電圧振幅は1Vのオーダーである。したがって、ハイブリッドシステムの実現のためには、SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。また、本システムでは、CMOSデバイスを低温で動作させることになるが、システム的设计、性能評価のためには、低温でのCMOSデバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかのCMOSデバイスを試作した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：メモリ



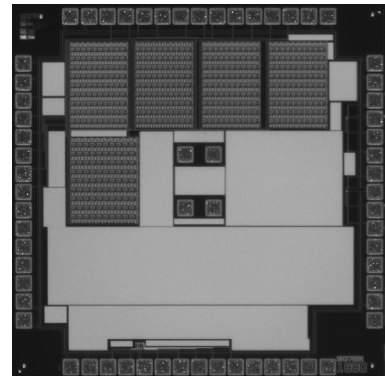
MOSFET特性ばらつき評価用試験回路

広島市立大学情報科学部 寺田 和夫, 山内 丈周, 上木 彰彦

概要：1) MOSFETのしきい値ばらつき評価用試験回路, 2) 多数の単体MOSFETを行列状に並べてデコーダを通して測定できるようにしたMOSFETアレイ, 3) MOSFETのドレインコンダクタンスとしきい値電圧の両方のばらつきを評価できる試験回路の3種を集積した。1) 3) は我々が考案した、簡単な電流電圧特性を測定するだけで標準偏差を測定できる回路である。2) はその測定結果を検証するためのものである。設計通りのデータが得られ、試験回路で得られた標準偏差が個々のMOSFETの特性から計算したものと一致することが確かめられた。また、チャンネル面積の異なるMOSFETを用いた試験回路の結果から、「標準偏差がチャンネル面積の平方根に逆比例する」ことが確かめられた。

参考文献：K. Terada and K. Fukeda, "Further Study of VTH-Mismatch Evaluation Circuit", Proc. Int. Conf. on Microelectronics Test Structure, p. 155-159, (2004)

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)



位相インパルス応答関数法を実装した動的再構成プロセッサ

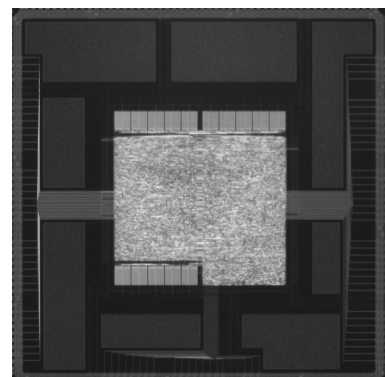
東北大学大学院工学研究科 宮本 直人, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要：二次元画像をフーリエ変換 (FFT) して得られる位相情報は、1/100サブピクセルの超高精度パターンマッチングの実現に不可欠である。しかし、従来のFFTを含むデジタル画像認識LSIでは処理速度が非常に遅く、高フレームレートを得るには画像のサイズを小さくせねばならなかった。例えば株式会社山武のCinderella IIは、256 x 256画素の画像認識に27msec・3.5W必要である。これは、512 x 512画素に換算すると10fpsも達成できない。一方、提案するプロセッサは、512 x 512画素をCinderella IIのほぼ二倍の15fps・0.5W@100MHzを実現した。本プロセッサは内部に四個の動的再構成ALUを持ち、これらのALUは、アルゴリズムに必要な全処理の中から何れか一つに瞬時に再構成できる。オブジェクト指向言語のように、クラスタ化されたデータの塊に対して複数の連続したメソッドを実行する計算シーケンスとなる。プロセッサ中でメインメモリアクセス回数と信号の総伝搬距離は最小化され、その結果、消費電力とデータ転送時間が極めて少なくなった。

参考文献：Kazuyuki Maruo, Masayoshi Ichikawa, Naoto Miyamoto, Leo Karnan, Takahiro Yamaguchi, Koji Kotani and Tadahiro Ohmi, "A Dynamically-Reconfigurable Image Recognition Processor," IPDPS 2004, pp. 151-154 (2004)

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：9.8mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

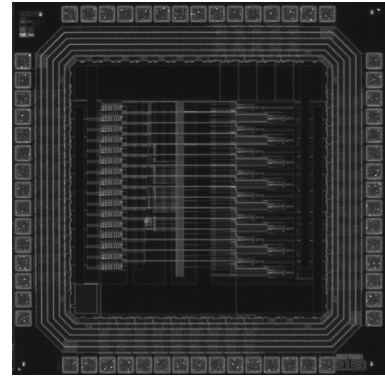


Multi Function Gateの試作

仙台電波工業高等専門学校専攻科電子システム工学専攻 永沼 和文
 仙台電波工業高等専門学校電子工学科 石塚 拓人, 戸内 真之, 浅見 誠治

概要：本校では、論理回路の基礎やそれによって構成される多くの演算回路などについて学ぶ機会がある。それらの実際の動作を簡単に見て理解することができるように、また新しいデザインルールでの1回目の試作として、学生実習のデモンストレーションに用いることを目的とした多機能ゲート回路 (Multi Function Gate) を組み込んだLSIの設計試作を行った。提案した回路は、デジタル技術の教科書に一般的に記載されている十数種類の論理機能回路を一つのLSIに組み込んだものである。そして組み込んだ回路それぞれの論理動作を外部から指令として入力する制御信号によって切り替えることが出来る構成となっている。入出力には16bitに対応したデマルチプレクサとマルチプレクサを配置して多機能ゲート回路としての動作を行う。また、今後は本LSI回路を応用して、新しいシステム回路を設計試作することを検討している。

設計期間：6 月以上, 7 月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：演算回路 (乗算器, 除算器など)



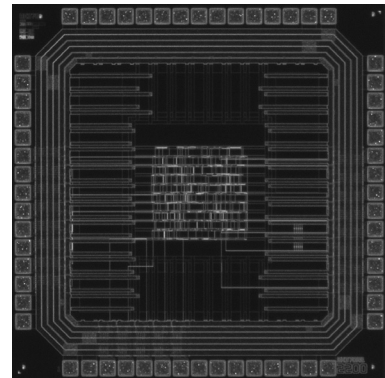
8bit×8 SRAM

東京大学大学院情報理工学系研究科 酒造 正樹, 星野 一憲, 下山 勲

概要：我々のグループでは、これまでの試作でALUやCPUの設計を行ってきた。これらの演算ユニットにはメモリ空間が含まれておらず、外部接続のROMを用いていた。今回の試作では、ワンチップでのマイコン実現へ向け、フリップフロップを用いた8bit×8のSRAMを設計した。外部から入力したクロック信号に同期して、データの書き込みと読み出しが可能である。入出力は、8bitのアドレスバス, 8bitの入力データバス, 8bitの出力バス, 1bitの書き込みイネーブル入力からなる。出力端子には独自のパッドを設計し、納品されたチップに対する検査を可能にした。

参考文献：菅原, 大村, 関口, 富岡, 酒造, 長澤, 松本, 下山, "ALUの設計," p. 137, 2002 年度VDEC年報 (2002)。

設計期間：0.5 月以上, 1 月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：メモリ

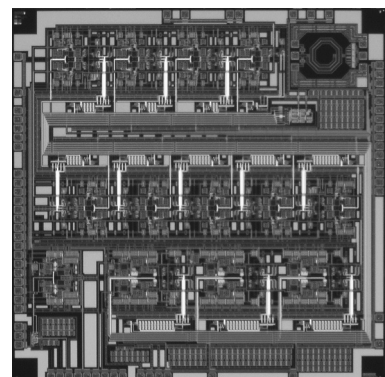


素子ばらつきを考慮した電流モードパイプライン方式ADC

中央大学理工学研究所 合田 裕二
 中央大学理工学部 杉本 泰博

概要：パイプライン方式ADCは高速動作が可能であり、小規模回路で構成できる特徴をもっている。しかし、更なる高精度化を実現しようとする場合、製造等の過程で発生する素子ばらつきに基づく誤差の影響が問題となる。この素子ばらつきのためA/D変換に誤差が生じ、その結果として回路全体のダイナミックレンジが減少してしまう。そこで、素子ばらつきの影響により入力に対して出力が δ の大きさの誤差を持つとするならば、入力に対して出力が $+\delta$, $-\delta$ と、同量、逆極性の誤差を持つような2つの回路構成を考え、両回路の出力を平均化することで出力信号中に含まれる誤差を打ち消すという、素子ばらつきに影響されない新たなA/D変換方式を提案した。C言語を用いたシステムシミュレーションでは、素子ばらつきに基づく誤差を打ち消し、ダイナミックレンジを大幅に拡大することが出来た。この構成を採用し、電流モードにてパイプライン方式ADCの試作を行った。

設計期間：1 月以上, 2 月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：1,000 以上, 10,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



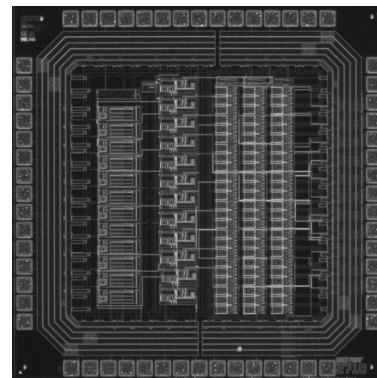
ポジトロンCT用フロントエンドチップ

東京大学工学系研究科 Yeom Jung-Yeol

東京大学人工物工学研究センター 高橋 浩之

概要：小動物用の高分解能ポジトロンCT (PET: Positron Emission Tomography) は、薬剤の開発や生体の研究において多くの有用な情報を与えてくれるツールとして、その発展が期待されている。我々は高分解能PETへの適用を目的として、小型のAPD (Avalanche Photo Diode) や化合物半導体センサなど、半導体センサを活用することを検討している。本チップでは半導体センサと組み合わせるための高い信号対雑音比を有するプリアンプ部を必要とし、さらに1mm以下のピクセルに対応する高密度化の要求されるセンサのフロントエンド電子回路の機能を多数集積することを目的に設計した。ここでは、比較的一般的な機能を中心として、積分時間可変な電荷増幅器、フィルタ時定数の制御可能な波形整形増幅器、複数の設定値の可能なコンパレータなどの機能を12チャンネル分集積した。これにより、PET用化合物半導体画像センサのパルス信号処理の高性能化が期待される。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



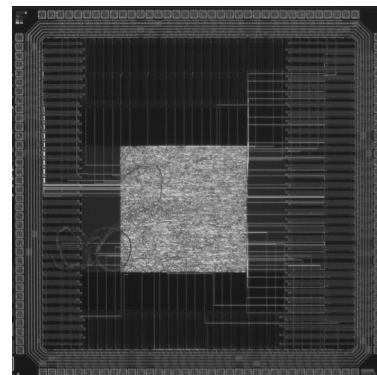
センサネットワーク用チップ

東京大学工学系研究科 小松 謙介

東京大学人工物工学研究センター 高橋 浩之

概要：センサネットワークは、独立に動作する多数のセンサから得られる情報を統合し、高信頼かつ、高機能なセンサ集合体を実現するものであるが、本チップでは比較的均質かつ多数のセンサを用いることを仮定し、センサネットワーク上で互いに近接する各センサ間で情報の共有がなされる場合に、この冗長性を用いて、お互いの動作が適切であるかどうかを診断しあうことを導入した。この手法により、全体として高い信頼性を与えるセンサネットワークを実現することができると考えられる。本チップでは各センサに対応する信頼度を導入し、この信頼度はそのセンサが自身で定めるのではなく、隣り合うセンサから、書き換えてもらう機能をもたせた。この信頼度の大きさによってネットワークを再構築し、不良センサを排除することが可能である。全体の動作は並列に動作するので高速性も期待できる。

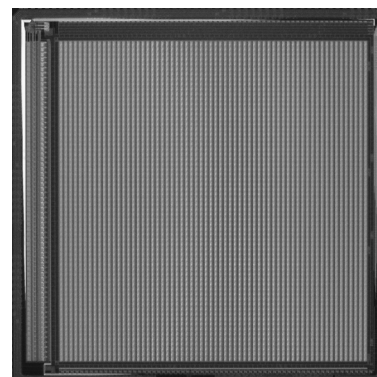
設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



九州工業大学大学院生命体工学研究科 森江 隆, 是角 圭祐, 中野 鉄平

概要：ガボールウェーブレット変換は画像の局所的な空間周波数を抽出することができ、顔認識や医療画像診断などで威力を発揮する強力な特徴抽出法として知られているが、計算量が膨大なため応用が限られていた。昨年度、抵抗ネットワーク型セルラーニューラルネットワークによる画素並列方式に基づき、PWM信号を用いたアナログ・デジタル融合回路アーキテクチャにより、LSI化を図った。今回、画素回路を改良すると共に、デジタル-PWM変換回路などの周辺回路を組込み、完全デジタル入出力制御を可能とした。9.8mm角のチップに64x64画素分の回路を集積した。ロジアナを用いた測定により(テストは使用せず)、インパルス動作、空間周波数抽出動作を確認した。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, SII社 SX9000, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：9.8mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

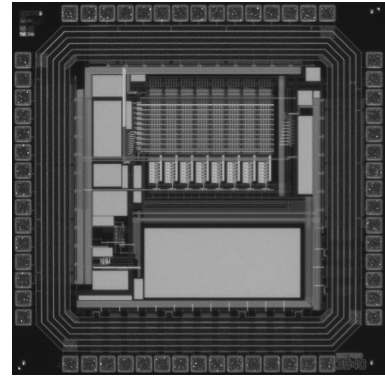


制御用専用ニューラルチップ

山梨大学工学部 森下 裕之

概要：分散処理システムの末端における制御などへ応用することを目指して、ニューラルネットワークをデジタル回路で実現するプロトタイプチップを試作した。実装したニューロンは8個で、その動作は形式ニューロン模型に従うとした。面積的には倍のニューロンの実装も可能であるが、ニューロン数の上限はパッドの数で決まった。ニューロン間の結合は重みにより決定されるが、その値をメモリーに保存し自由に変更が可能であるようにした。これにより、任意のニューラルネットワークを実現することが出来る。また、ニューロンの閾値処理を行う演算部分をニューロン毎に設けることで、回路規模は増加するものの消費電力の低減を図った。具体的な機能として特定の生物における神経機能をエミュレートすることを目指しており、限られた器機に限れば現実的な制御方法として利用も可能である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

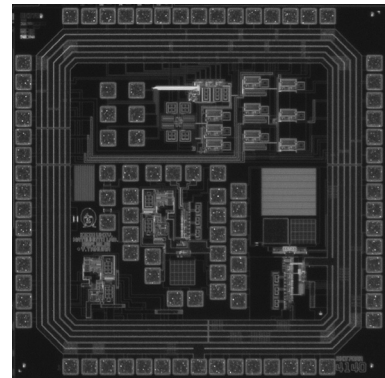


演算増幅器と光通信信号処理回路

慶應義塾大学理工学部 田村 善朗, 熊谷 博子, 松本 佳宣

概要：0.35ミクロンCMOS技術を用いてゲイン、周波数特性の異なるいくつかの演算増幅器を考案して設計した。また、FTTHや光インターコネクタなどの短距離光通信用にトランスインピーダンス回路、Rail to Rail Amp, バッファ回路などを設計した。トランスインピーダンス回路に必要なとされる抵抗はHi-PolyR抵抗を利用した。また、Rail to Rail Ampにはオフセット補正機能を持たせた。さらに、CMOS技術で製作されるフォトダイオードの応答感度、周波数特性を評価するために、異なるレイアウトのフォトダイオードを設計した。また、フォトダイオードとトランスインピーダンス回路、レーザーダイオード駆動回路などを集積化した素子に関する設計もおこなった。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上、1,000未満 試作ラン：2.4mm角 チップ種別：演算回路（乗算器、除算器など）

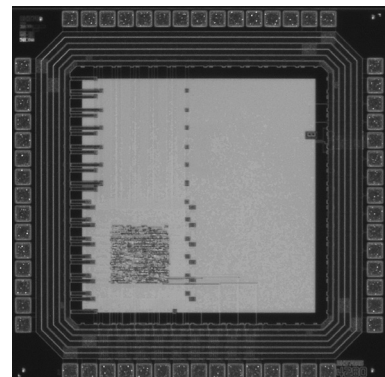


低ジッタ全デジタルPLLの試作

九州東海大学工学部 佐々木 博文, 藤本 邦昭

概要：当研究室では、全デジタル位相同期ループ（PLL：Phase Locked Loop）の高性能化を目指して研究を進めており、2003年度には1周期前の状態を考慮して位相制御を行なうことにより、出力ジッタを高速クロックの1パルス分、すなわち最小限に抑制できる全デジタルPLLの試作を行った。しかし、この回路は出力ジッタが入力信号の立ち上がりエッジの前後どちらに発生するかが不定であった。タイミング抽出などのシステムにおいては出力ジッタが基準クロック1パルス分であっても入力信号の立ち上がりに対して出力ジッタの発生位置が不定であると、基準クロック2パルス分の余裕を見なければならず、高速動作等を制限していた。今回試作した全デジタルPLLでは、出力ジッタが基準クロック1パルス分であり、かつ出力ジッタを常に入力信号の立ち上がりエッジの片側に制御しこの問題点を解決している。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：その他

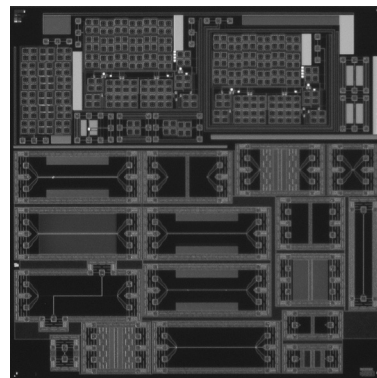


オンチップ伝送線路およびバッテリーレス無線送受信回路用 TEG

東京工業大学精密工学研究所 山田 智浩, 伊藤 浩之, 岡田 健一, 益 一哉

概要：本試作では、LSI内での超高速信号伝送を目指した伝送線路配線とバッテリーレス無線送受信回路の試作を行った。伝送線路 TEG は縞り線と擬差動伝送線路、de-embedding パターンで構成されている。縞り線のモード変換低減効果とピアでの損失を評価するために、縞り合わせない差動伝送線路 TEG も試作している。また縞り線と差動伝送線路用の de-embedding パターンはオープン 2 種類とショート 3 種類、スルー 1 種類を作成している。擬差動伝送線路評価 TEG は 5 種類あり、それぞれ擬差動線路単体と差動線路の部分の評価するパターンを作成している。無線送受信回路は前回の試作した回路に加え、信号送信のタイミングを発生する回路を作成している。また、送受信回路にアンテナコイルを加えた TEG も作成した。アンテナを除いた送受信回路は 1.2mm×1.5mm と小面積で実現している。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10 以上, 100 未満 試作ラン：4.9mm 角 チップ種別：通信 (RF 回路, ATM など)

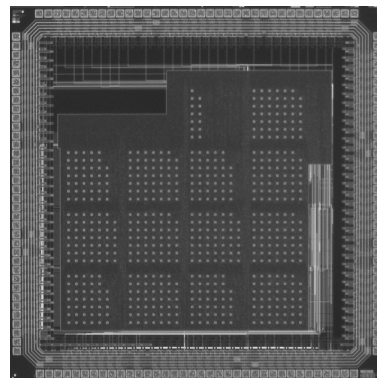


差分光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能な差分光再構成型ゲートアレイ ODRGA (Optically Differential Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを 9.5μm×9.5μm、その間隔を 99.0μm とし、1210 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模と従来の試作品のものと同じであるが、評価の目的で、2 倍の光バスを実装した。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：その他

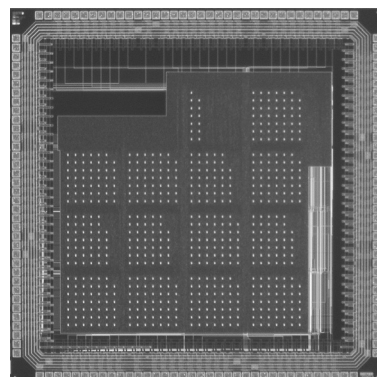


差分光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能な差分光再構成型ゲートアレイ ODRGA (Optically Differential Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを 20.1μm×18.9μm、その間隔を 99.0μm とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ODRGA のゲート規模は 68 ゲート規模と従来の試作品のものと同じであるが、光バスの検査回路を見直し、光学部の開発を容易にできるチップとして設計した。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：その他



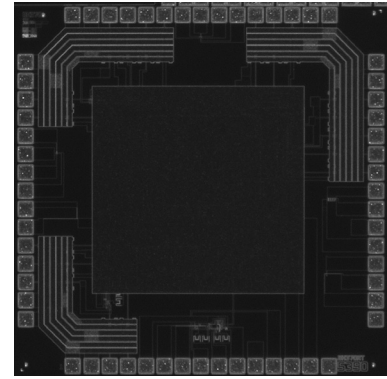
低電圧 ASK 送信回路

豊橋技術科学大学大学院工学研究科 八木 大介

豊橋技術科学大学工学部 和田 和千

概要：低速のアナログ信号を無線で伝える小型システムを目指し、低電源電圧下で動作する Amplitude Shift Keying (ASK) 方式の送信回路を試作している。含まれる回路ブロックは、アナログ・デジタル変換回路 (ADC) と、搬送波を発生させるための発振回路である。ADCには、オーバーサンプリング方式で回路規模を小さくできる $\Delta\Sigma$ ADC の構成を用いている。また発振回路は、数百 MHz 程度の発振波形を簡単な構成で得られるリング発振回路としている。リング発振回路のみならず、 $\Delta\Sigma$ ADC をも CMOS インバータのみで構成することで、送信回路の低電圧化を図っている。この回路の詳細な解析により、実現し得る特性のトレードオフを考慮し、最適なトランジスタサイズを求めて設計している。

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10 以上，100 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



Ashra トリガーセンサー LSI (1)

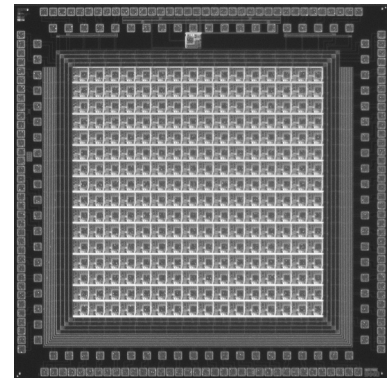
東京大学宇宙線研究所 会田 勇一, 青木 利文, 佐々木 真人

茨城大学工学部 木村 孝之

東邦大学大学院理学研究科 安田 雅弘

概要：Ashra (All-sky Survey High Resolution Air-shower detector) は、高エネルギー宇宙線を 2π 視野、数分角の角度分解能で観測をする事により、宇宙線の起源と伝播の解明、VHEv の検出等を目標とする実験である。Ashra では高エネルギー宇宙線から生じるチェレンコフ光、大気蛍光という異なる二種類の光を同時観測する。これらの光を観測するために、撮像装置の露光制御を行うトリガーセンサーが必要となる。トリガーセンサーは入力された光を光電変換し、光電子を増倍させる PMT (Photo-multiplier Tube) を多画素化した MAPMT (Multi-anode PMT) と、MAPMT から出力された電流を電圧変換し波高弁別を行うトリガーセンサー LSI によって構成されている。本試作では、この Ashra トリガーセンサー LSI の試作開発を行った。Ashra トリガーセンサー LSI では目標とする物理により、(1) 閾値電圧の可変、(2) 高速トリガー、(3) 時定数の可変といった機能を有する画素の多画素化が要求されている。これらの要求を満たす機能を含んだ回路を $200\mu\text{m} \times 200\mu\text{m}$ の画素内に配置し、さらにこの画素を 16×16 に並べたトリガーセンサー LSI を開発した。

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上，100,000 未満 試作ラン：4.9mm 角 チップ種別：アナデジ混載



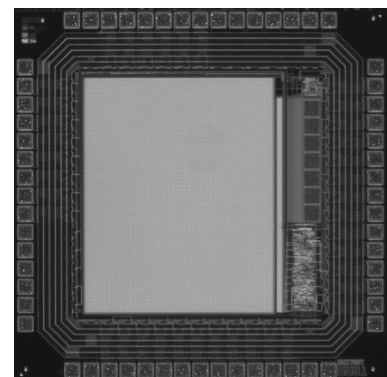
超多重 RFID 向けトランスポンダ実験チップ

神戸大学工学部 福水 洋平, 大野 修治, 永田 真, 瀧 和男

概要：本試作チップには、超多重応答を可能にする RFID システム [1] において小規模な輻射制御を実現するトランスポンダ (タグ) の実験回路を搭載しており、RF 信号処理・デジタルロジック・キャパシタから構成される。本回路は電磁誘導による非接触給電で外部から供給される電力を内蔵のキャパシタに蓄え、キャパシタに十分な電力が蓄積されると、読取り機と同期をとってからタグ ID を拡散変調し発信する。現在、チップの基本的な動作確認を終え、通信方式の基本性能および輻射制御の妥当性を確認するための評価実験をすすめている。

参考文献：Y. Fukumizu, S. Ohno, M. Nagata, K. Taki, "Design of RFID Front-end Circuitry Enabling CDMA-based Collision Resistance", SSDM2004, pp. 400-401, Sep. 2004.

設計期間：1 人月以上，2 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上，10,000 未満 試作ラン：2.4mm 角 チップ種別：通信 (RF 回路, ATM など)



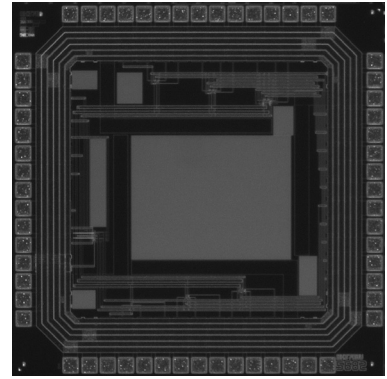
ミキサ回路の各種構成による性能比較評価

神戸大学工学部 藤原 正樹, 小坂 大輔, 永田 真

概要：システム LSI におけるチップ内回路動作の高速化により、高周波基板クロストーク雑音の解析/評価手法の確立が今後重要になる。本研究は、既存研究 [1] にあるように、ミキサ回路の周波数変換機能を利用して、チップ内の高周波信号を低周波に移動し、測定する手法の展開をめざしている。本研究の第一歩として、本テストチップに数パターンのミキサ回路を搭載し、動作確認及び性能比較を行う。ミキサ回路はシングルバランスおよびダブルバランス構成で設計し、さらに入出力方式を変更して、合計6パターンを設計した。現在、基本特性評価を終えたところである。

参考文献：R. Gharpurey, "A Methodology for Measurement and Characterization of Substrate Noise in High Frequency Circuits," CICC1998, pp. 487-490, 1998.

設計期間：1 人月以上, 2 人月未満 設計ツール：SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：10 以上, 100 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)

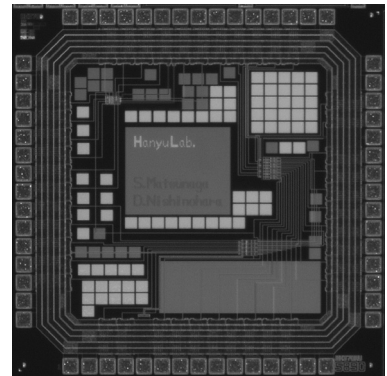


ゲートレベルパイプライン SDFA と CMOS ロジックおよび CMOS パスゲートロジックによる SAD 演算回路

東北大学電気通信研究所 松永 翔雲, 西ノ原 大介, 羽生 貴弘

概要：当研究室では近年顕在化している配線ボトルネックを本質的に解決する手法として、演算と記憶を一体化させるロジックインメモリ回路の研究を行っている。これまで強誘電体材料を用いて記憶と演算を密に一体化できる特徴を活かし、論理ゲート毎に記憶機能を有するゲートレベルパイプライン算術演算回路を提案してきた。本試作ではその比較対象として、論理ゲート1段毎にDラッチを付加したCMOS構成によるゲートレベルパイプラインSDFA (Signed Digit Full Adder) を設計した。また、動的電源電圧制御による消費電力管理を実現する上で効果的な回路方式を模索するため、通常のCMOSロジックとCMOSパスゲートロジックを比較するための回路を試作した。CMOSロジックとCMOSパスゲートロジックとの両方で、動き検出LSIに必要なSAD演算の基本構成要素であるFF付き8ビット加算器を設計した。テストによる測定は現在進行中である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：演算回路 (乗算器, 除算器など)



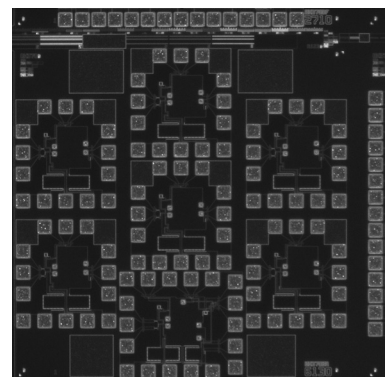
共鳴トンネル素子と Si-CMOS を用いた高速回路

名古屋大学工学研究科 酒向 万理生, 前澤 宏一

概要：超高周波動作が可能な機能素子である共鳴トンネル素子を Si-LSI 上に集積化できれば、高速化や回路の単純化、低消費電力化などに大きな効果が期待できる。我々は、Fluidic Self-Assembly (FSA) 法を用いてこれに挑戦している。FSA 法は、最適な基板上で作製した微小デバイスブロックを溶液中に置いた Si 上に散布し、配置する技術である。この方法により、材料によらない様々なデバイスの集積化が可能になる。本チップはこの技術により可能となる共鳴トンネル/CMOS 集積回路の動作およびその優位性を検討することを目的としている。そのため、共鳴トンネル素子を配置・配線することが可能な領域を持つ回路パターンを設計した。具体的な回路としては、これまで共鳴トンネル素子と HEMT により構成されてきた超高速論理ゲートである MOBILE (Monostable-Bistable Transition Logic Element) を対象としている。現在、共鳴トンネル素子の微小チップ化、配置技術などプロセス技術に関して検討を進めている段階である。今後、このチップを用いて実際に異種材料集積回路を作製し、その性能を評価する。

参考文献：酒向, 横山, 大野, 岸本, 前澤, 水谷, "共鳴トンネル素子と MOSFET を用いた MOBILE の可能性", C-10-4, 電子情報通信学会総合大会 (2004)

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 未満 試作ラン：2.4mm 角 チップ種別：ニューテクノロジー



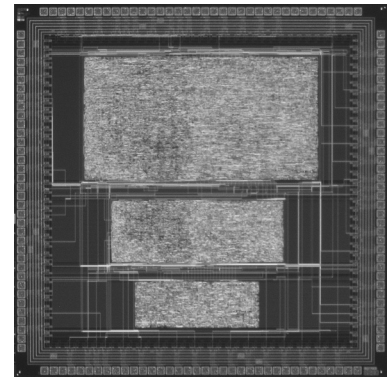
64bit 楕円曲線暗号 LSI の試作

早稲田大学大学院情報生産システム研究科 小林 伸行, 久門 亨

概要：楕円曲線暗号は RSA 暗号に対し非常に短い鍵長で同等の安全性を保障できることから高速化、小回路規模化、低消費電力化が期待され、次世代の公開鍵暗号として注目を浴びている暗号アルゴリズムである。本試作では、この楕円曲線暗号の動作、回路構成の理解を深めることを目的として、64bit の楕円曲線暗号 LSI の試作を行った。また、楕円曲線暗号の暗（復）号化演算において大部分を占めるモンゴメリ乗算に着目し、この演算を効率よく実行可能な演算器を搭載することで、従来よりも低消費電力化を実現している。

参考文献：小林伸行, 久門亨, 後藤敏, 池永剛, 内田順平, 角尾幸保, "高性能 GF (p) 演算器を搭載した楕円曲線暗号 LSI", SCIS2005, Jan. 2005

設計期間：3 人月以上, 4 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：演算回路（乗算器, 除算器など）

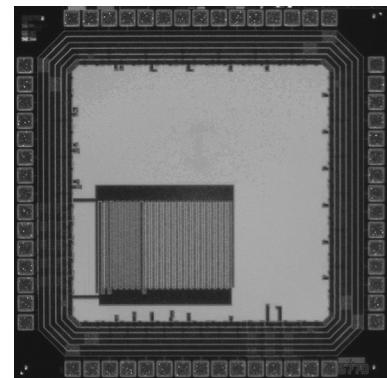


0.35 μm CMOS トランジスタ特性測定実験用チップ

立命館大学理工学部 藤野 毅

概要：理工学部 2 回生にトランジスタおよび CMOS 回路特性の基礎を理解させるための学生実験測定 TEG を作成した。搭載した TEG は以下の 4 種類である。(1) 拡散抵抗の特性測定 (N 拡散 5 種, P 拡散 1 種) (2) トランジスタ単体特性測定 (NMOS 8 種, PMOS 2 種) (3) インバータの DC 特性測定 (4 種) (4) NAND 回路のデジタル論理特性 (1 種) (5) ファンアウトを変化させた遅延回路の特性測定 (4 種) 全 4 回の実験用であり、内 2 回では TEG を電圧/電流発生器およびオシロスコープを用いて TEG を測定し、残りの 2 回では SPICE シミュレータを用いてシミュレーションを行う。実験とシミュレーション結果を比較してレポートをまとめることにより、CMOS 回路の基本原則を理解させる。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)



トランジスタ数：1,000 以上, 10,000 未

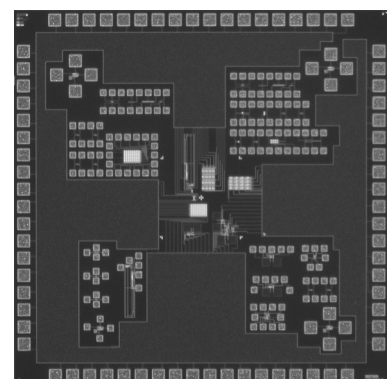
単分子オンチップ計測回路 TEG

名古屋大学工学研究科 中里 和郎

名古屋大学工学部 石崎 賢, 清水 毅, 山口 賢

概要：単分子の信号をオンチップで計測するアナログ CMOS 回路の検討を行った。単分子を伝導する信号は微弱であり、そのまま計測器に接続したのでは S/N 比がとれない。単分子のすぐ近くで信号を入れ、その応答をインピーダンス変換して外に取り出すいくつかの回路を検討し、基本的な動作特性を得た。具体的な構成はキャパシタンス計測回路・インピーダンス変換回路・波形整形回路・磁場検出回路である。この試作チップ上に名古屋大学の微細加工装置でナノ電極を設けた後、自己組織化単分子膜をナノ電極に接続し、単分子の電気伝導を調べる。チップを溶液に浸す必要があり、測定治具の開発も同時に進めている。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)



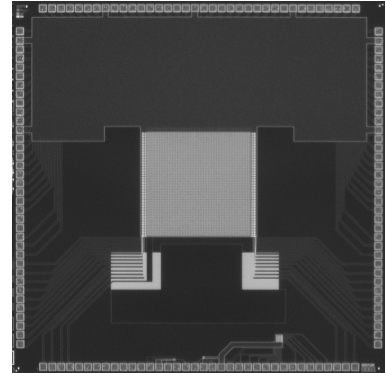
平成16年度 第2回 ロームCMOS0.35 μm チップ試作 (RO35042)

MEMS融合のためのイメージセンサ

東京大学工学系研究科 三田 吉郎

概要：技術の進歩によって、光情報を電子情報に変換するイメージセンサの解像度はますます高くなってきている。しかし、センサ部分から画像処理を行う部分までの転送がボトルネックとなってきた。そこでイメージセンサの段階である程度の処理を行うことが提案されている。しかし高度な機能をイメージセンサに埋め込むとセンサ部分を圧迫するため、高い機能と解像度を持ったイメージセンサの実現は困難である。そこで、MEMS技術と半導体イメージセンサを融合したイメージセンサを提案する。これは、MEMS技術によって、光の入射位置を変更したり、イメージセンサ背面に演算回路を作成したりすることで、イメージセンサ部分は簡素なまま、高度な処理を実現できる。本チップは、それを実証するためのイメージセンサで、フォトダイオード単体やセンスアンプの特性を評価できるようにし、MEMS技術の融合の基礎的なデータ取得を目的として試作を行った。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre トランジスタ数：10,000以上，100,000未満 試作ラン：4.9mm角 チップ種別：イメージセンサ/スマートセンサ

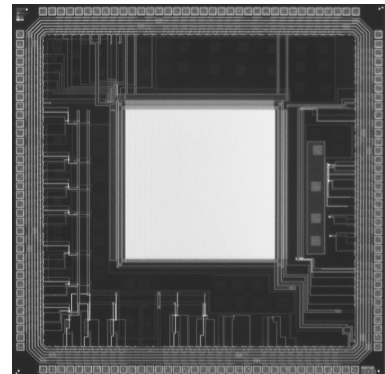


TEG for Discharge Observation

東京大学新領域創成科学研究科 亀谷 暁

概要：放電現象は古くから知られているが完全に解明されていない物理現象のひとつである。その理由として高電圧で起こるために観測が困難である点、主に電子によって起こる現象であるために微細な観測技術が必要である点、そして放電が高速に起こる点が上げられる。本チップは、放電中の電位情報を高い空間解像度で得ることで、放電現象を詳しく分析するプロジェクトの一環として設計した。放電による電位は、キャパシタンスカップリングによってVLSIが観測可能な電位に下げる。このキャパシタは、MEMS技術によってシリコン基盤に微細な処理を施すことで作成される。このキャパシタをVLSIの平面上に接着することで、放電プローブとして用いる。本チップは、ソースフォロワ型・カレントミラー型の大きささまざまな読み出し回路の他に、VLSI内の信号伝播速度を測定するためのTEGを含んでおり、放電中の観測の可能性や、サンプリングした時間のばらつきを評価することができる。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：4.9mm角 チップ種別：TEG (特性評価回路など)



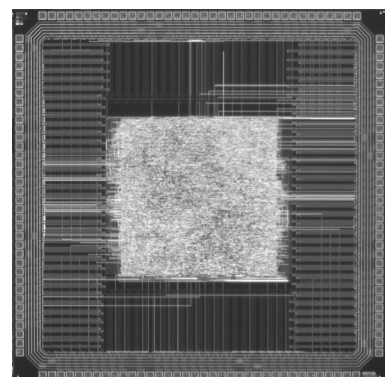
8ビット終了検出型マイクロコントローラ

東京大学工学系研究科 ディア キンファイ

東京大学大規模集積システム設計教育研究センター (VDEC) 鄭若丹彦, 池田 誠,
浅田 邦博

概要：2線式ダイナミック論理に基づくDCVSL (Differential Cascode Voltage Switch Logic) という回路で、8ビットZ80と命令互換を持つ終了検出型マイクロコントローラを設計した。DCVSL回路と2線式の使用によって終了信号生成可能でクロックの使用が避けられる。また、ノイズ発生の検出をしやすくなり、ノンパイプライン方式を用いて命令一つに対して内部信号のトランジションが1回に限定させ、スイッチング雑音の発生確率を減らすことで、設計されたマイクロコントローラは低雑音で実現することができるが予想される。

設計期間：10人月以上 設計ツール：Cadence社 Verilog-XL，Synopsys社 Design-Compiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：4.9mm角 チップ種別：マイクロプロセッサ

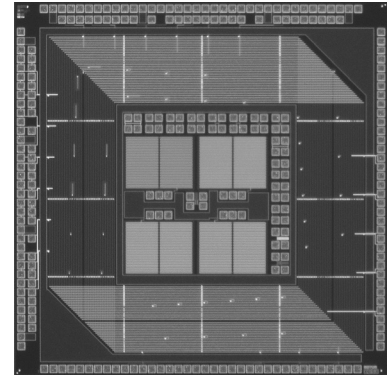


走査レーザ SQUID 顕微鏡の基礎特性評価用 TEG (その1)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治, 藤岡 弘

概要：走査レーザ SQUID (超伝導量子干渉素子) 顕微鏡と呼ばれる LSI 検査装置が提案されている。この装置では、チップ裏面から PN 接合にレーザを照射し、誘起される電流による磁場を SQUID で測定する。LSI を非破壊・非接触で検査し、電気的故障箇所を特定する能力を有すると期待されており、次世代の LSI 検査装置として注目されている。しかし、チップ上に存在する故障の種類・位置と測定データの関係が明確ではなく、故障箇所の特定手法が確立されていない。本試作では、走査レーザ SQUID 顕微鏡の基礎特性を評価するための TEG を設計・実装した。金属配線でのレーザの反射の影響を調べる TEG, 接合部の不純物濃度差の影響を調べる TEG, 電流経路形状の違いによる影響を調べる TEG, 配線容量の影響を調べる TEG, 論理回路 (NOT 回路) での故障位置と誘起電流の関係を調べる TEG 等を作成した。電流を検出しやすいよう、1辺が約 3.2mm と大きい矩形ループ配線を形成し、その一部にレーザを照射する PN 接合部や NOT 回路を挿入した。また、高精度な回路シミュレーションによる検討を行う為の寄生容量・抵抗測定用 TEG も作成した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)

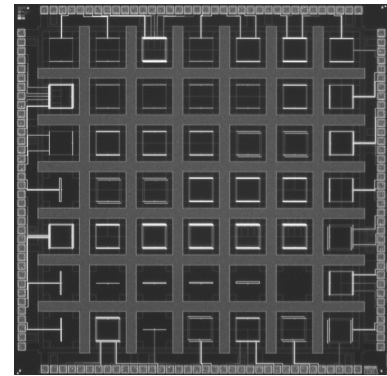


走査レーザ SQUID 顕微鏡の基礎特性評価用 TEG (その2)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治, 藤岡 弘

概要：走査レーザ SQUID (超伝導量子干渉素子) 顕微鏡と呼ばれる LSI 検査装置が提案されている。この装置では、チップ裏面から PN 接合にレーザを照射し、誘起される電流による磁場を SQUID で測定する。LSI を非破壊・非接触で検査し、電気的故障箇所を特定する能力を有すると期待されており、次世代の LSI 検査装置として注目されている。しかし、チップ上に存在する故障の種類・位置と測定データの関係が明確ではなく、故障箇所の特定手法が確立されていない。本試作では、走査レーザ SQUID 顕微鏡の基礎特性を評価するための TEG を設計・実装した。電流経路が開回路の場合、閉回路の場合の差を調べる TEG, 電流経路に順方向あるいは逆方向に PN 接合が存在する場合の影響を調べる TEG, 誘導電流の影響を調べる TEG を作成した。これらは、一辺 300 μm の矩形ループとし、電磁誘導の影響を避けるため、できるだけ離してチップ上に配置した。また、SQUID の磁場検出感度ならびに電流経路計測の空間分解能を調べる為、長方形ループの長辺を 300 μm , 短辺を 0, 5, 10, 20 μm と変えた TEG を作成した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)

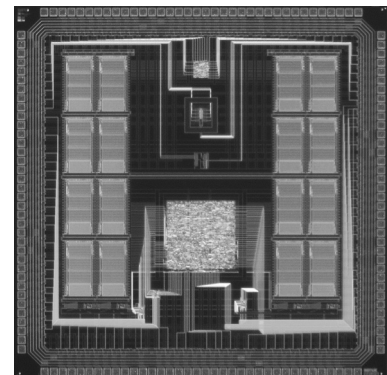


システム LSI の試作

大阪工業大学工学部 久津輪 敏郎, 荒木 英夫, 尾川 広和, 藤本 祥平, 榎山 徹

概要：研究室で開発した 2 つ CPU とメモリ多値論理を扱うニューロン MOSFET を用いた半加算器と D/A コンバータを 1 チップに搭載したシステム LSI の試作を行った。レイアウト下部の回路はデータベースと命令セットともに 16bit で構成した CPU であり、単純な構成をとることで拡張性と動作速度の高速化を目指しており、教育用に使用できるものを目指している。左右に展開している回路は SRAM であり、この CPU に接続される。上部に位置する回路は 4bit の CPU である。この CPU はレイアウト中心部にあるニューロン MOSFET を用いた半加算器と外部で接続すること考えており、多値論理演算回路と 2 値論理演算器との比較と融合を目指した実験を行うために用いる。中央上部寄りに位置する回路は 8bit の D/A コンバータである。アナログ素子のレイアウトを自動で生成するプログラムを試作し、それをを用いて作成した。作成されたレイアウトが正常に動作するか実験する為用いる。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：マイクロプロセッサ

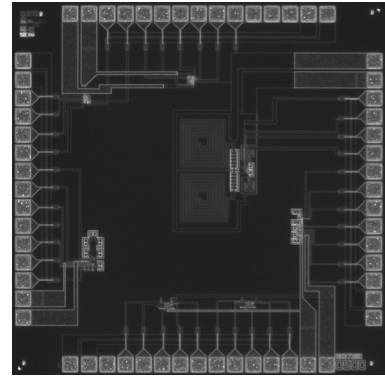


入力信号追従型クロックブースト回路とミラーホールド容量を用いた S/H 回路

宮崎大学工学部 淡野 公一 淡野, 中島 雄太, 佐藤 公信, 松浦 貴行, 永田 健, 橋口 慎吾, 山下 崇

概要: 低電圧, 低歪みサンプル・ホールド (S/H) 回路を実現するため, 入力信号追従型クロックブースト回路とミラーホールド容量を用いた S/H 回路を製作した. 前者は, クロックの振幅を2倍にし, かつ, 入力信号に追従する信号を生成する回路である. この回路をアナログスイッチの制御信号として利用することで, アナログスイッチの低オン抵抗化とオン抵抗の一定化が可能となり, 結果として, 低電圧, 低歪みでのスイッチングが可能となる. また, ダミースイッチを付加した回路も製作し, ダミースイッチの有無による特性比較を行っている. 後者は, S/H 回路のホールドキャパシタにミラー容量を用いることで, サンプル時とホールド時でその値を変え, S/H 回路のドループ特性とホールド誤差の特性改善を行うものである. その他にも基本的な CMOS アナログ回路を作り込んでいる. なお, VDEC のテストによる測定は行わず, 研究室における測定器を用いて特性評価を行っている.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 2.4mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

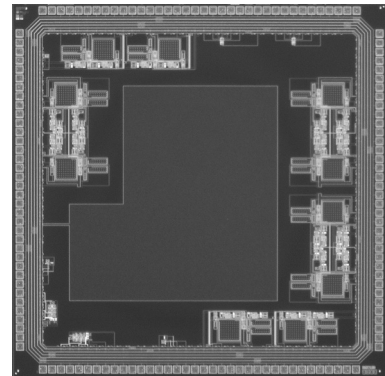


スイッチドキャパシタ・ノッチフィルタの設計

静岡大学電子工学研究所 高橋 誠, ホワン チュンスン, 小川 覚美, 渡辺 健蔵

概要: 地震が発生する前兆の現象として地殻変動に伴う電波放射がみられる. 電波放射は, 地球規模のノイズレベルが低い極低周波 (ELF) 帯においての観測が適しているとされ研究が行われている. しかしその電波の帯域付近は 50/60Hz の商用電源と, その高調波ノイズの影響を受ける. そこでそれらのノイズを除去するための Q の高い急峻な特性を持つノッチフィルタの設計を行った. RC アクティブフィルタは素子の温度特性が直接フィルタ特性に影響を与えるため, スwitchドキャパシタでノッチフィルタが設計された. ここではシングルエンドと全差動型のスイッチドキャパシタ・ノッチフィルタが試作されている. 試作回路の特性を測定し, HSPICE によるシミュレーション結果と比較した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



1 チップ無線・神経センシング LSI の設計

広島大学先端物質科学研究科 吉田 毅, 岩田 穆

概要: 生体活動と神経活動の関係を正確に把握するため, 生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている. 本研究では小脳の神経信号を検出し, 検出信号を無線で送信する神経信号センシング LSI の設計・試作を行った. 設計した神経信号センシング LSI は, ダイレクトチョップ方式低雑音増幅回路, 逐次比較形 Analog-to-Digital Converter (ADC), 無線送信回路によって構成されている. 設計したダイレクトチョップ方式低雑音増幅回路は, 低周波雑音の存在する CMOS 演算増幅回路で, 実際に数十 μV 振幅の神経信号を検出できる. 信号入力チャンネル数は 10ch とした. また逐次比較形 ADC は抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し, 10 ビット分解能, サンプリング周波数 50kHz で動作する. 無線送信回路は, 発振周波数 100MHz の VCO を基とし, BPSK 変調で 500kbps のデータ伝送を実現する.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 4.9mm 角 **チップ種別:** アナデジ混載

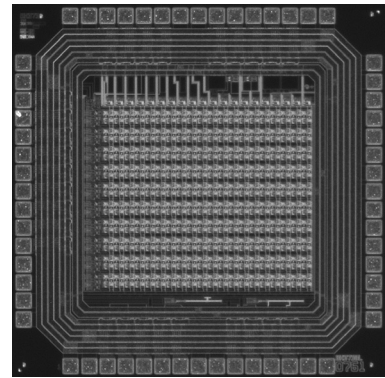


スイッチトレジスタ回路網による画像処理チップの開発

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要：超並列の回路構造により高速に画像情報を処理するビジョンチップにおいて、画素回路の小型化は重要課題である。ビジョンチップ、特に生体模倣型ビジョンチップ、の画素回路の主要な構成要素の一つが入力画像の平滑化を回路的に行う抵抗回路網である。抵抗回路網に用いる抵抗要素にはポリ抵抗やMOS抵抗など様々なものが提案されている。しかし、既存の手法による抵抗回路網では、発熱を抑えかつ線形性を維持した回路を求めるとサイズが大きくなる問題がある。そこで、スイッチトレジスタに着目した。スイッチドレジスタはMOS-Trのスイッチ回路を閉じる時間を調節することで抵抗の役割を果たす。これを使えば小型で線形性の良い回路網を実現できると考えられる。今回は、スイッチドレジスタ回路網による平滑化処理チップを試作した。同種の機能を有するチップに比べ約半分のサイズを実現した。画素数は 20×20 、画素サイズは $65.6\mu\text{m} \times 57.3\mu\text{m}$ である。

設計期間：0.5人月以上, 1人月未満 **設計ツール**：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数**：10,000以上, 100,000未満 **試作ラン**：2.4mm角 **チップ種別**：演算回路（乗算器, 除算器など）



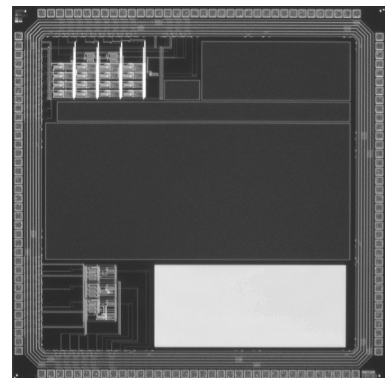
Multiple-Valued Field-Programmable VLSI

東北大学大学院情報科学研究科 Haque Mohammad Munirul, 長谷川 智亮

概要：多値ソースカップルドロジックに基づくフィールドプログラマブルVLSIのチップ試作を行った。回路は演算セルとスイッチブロックにより構成される。演算セルはスイッチブロックを介して隣接8近傍の演算セルと接続される。セル間のデータ転送は電流を用いて行う。演算セルは、1ビットの論理演算と1ビットの記憶機能を持つ。差動対回路を用いて構成され、差動対回路で入力信号としきい値とを比較するしきい値演算が行われる。演算セルへの入力は線形加算され、多値信号として与えられる。入力に対してしきい値をプログラムすることで任意の論理演算が可能となる。スイッチブロックはカレントミラー回路とパススイッチにより構成され、隣接セル間の接続がプログラムされる。演算とスイッチのプログラムのための情報はシフトレジスタに保存する。処理を開始する前にシフトレジスタにコンフィグレーションデータを入力し、回路のプログラムを行う。

参考文献：Haque Mohammad Munirul, Michitaka Kameyama, "Ultra-Fine-Grain Field-Programmable VLSI Using Multiple-Valued Source-Coupled Logic", Intl. Symposium on Multiple-Valued Logic, pp.26-30 (2004) .

設計期間：2人月以上, 3人月未満 **設計ツール**：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数**：1,000以上, 10,000未満 **試作ラン**：4.9mm角 **チップ種別**：演算回路（乗算器, 除算器など）

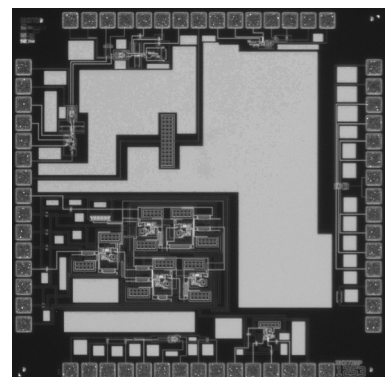


角度検出器用駆動回路を構成する要素回路の試作 A

東京理科大学理工学部 齋藤 充洋, 米川 智宣, 兵庫 明, 関根 慶太郎

概要：角度検出器用駆動回路の集積回路化を目指し、本システムで必要となる要素回路として、OTA, 1次Gm-Cローパスフィルタ, オールパスフィルタ, 乗算器, 2種類のオペアンプ, 2種類のバイアス回路を試作した。また、キャパシタ, レベルシフト回路, シングル-差動変換回路, ESD保護回路をTEGとして実装した。OTAはバイアスオフセット技術を用いたOTAを改良した構成を採用し、それらをgmセルとして用いることで1次Gm-Cローパスフィルタ, オールパスフィルタを構成した。乗算器は従来から用いられているGilbert型の回路を改良したものを試作した。オペアンプはオールパスフィルタに用いるものと乗算器に用いる補助アンプを実装した。バイアス回路はスタートアップ回路を付加しているものと付加していない構成を実装した。

設計期間：1人月以上, 2人月未満 **設計ツール**：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数**：100以上, 1,000未満 **試作ラン**：2.4mm角 **チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

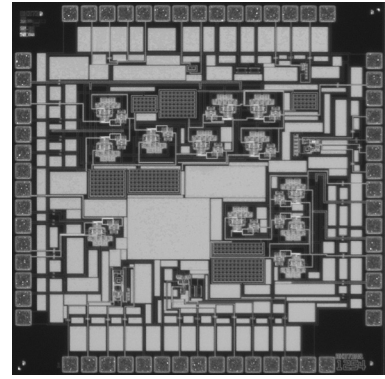


角度検出器用駆動回路を構成する要素回路の試作 B

東京理科大学理工学部 齋藤 充洋, 米川 智宣, 兵庫 明, 関根 慶太郎

概要：角度検出器用駆動回路の集積回路化を目指し、本システムで必要となる回路として、5次 Gm-C ローパスフィルタを試作した。Filter 構成は5次 LC ラダーローパスフィルタを元にした構成で、L の OTA によるインダクタシミュレートを行っている。また、OTA、オペアンプ、シングル-差動変換回路のバイアス検証用回路を用意した。キャパシタ、抵抗、NMOS、PMOS を TEG として実装した。OTA はバイアスオフセット技術を用いた OTA を改良した構成を採用し、それらを gm セルとして用いることで5次 Gm-C ローパスフィルタを構成した。オペアンプは差動増幅段により構成されている。なお、各パッドには静電気放電の問題を軽減するために、ESD 保護回路を付加し、各回路ブロックの電源、グラウンドは分離パッドに配線している。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上、1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

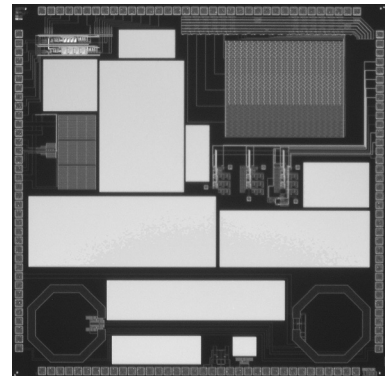


チップ間ワイヤレス電源送受信回路の設計

東京大学国際・産学共同研究センター 鬼塚 浩平, 桜井 貴康

概要：SiP の一般化に向けチップ間の信号伝送をワイヤレスで行う研究が行われている一方、電源線についてはワイヤボンディングを用いることが前提となっている。電源を含めた完全なワイヤレスを実現することで、コストダウン、さらにはメモリチップなどアプリケーションによって要求の異なる部分をユーザーサイドで組み換えることが容易に実現できる可能性がある。SiP に収められるチップの低消費電力化が進んだ場合に用途に応じてチップ間の接続を完全にワイヤレス化する手法の可能性を実証するため、インダクタを用いた磁界カップリングによるワイヤレス電源送受信回路の設計を行った。受信回路の整流部分には PMOS ダイオードを用いた。

設計期間：0.1 人月以上、0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10 以上、100 未満 試作ラン：4.9mm 角 チップ種別：通信 (RF 回路, ATM など)



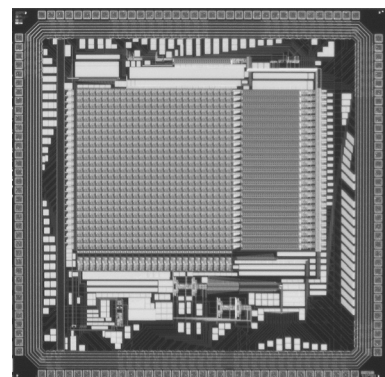
学習機能を搭載した Inverse Function Delayed Neuron チップの試作

東北大学情報科学研究科 福原 淳, 末長 晋也

東北大学電気通信研究所 早川 吉弘, 中島 康治

概要：ニューラルネットワークの高集積化には、特にシナプス回路の高集積化が重要である。我々は本試作においてシナプス荷重値を3値 (-1, 0, +1) のみとする離散化を行うことで高集積化を目指した。しかしながら、荷重値の離散化は、学習性能の低下が指摘されている。そこで、従来の神経細胞モデルには無い、自励発振能力を有し、最適値問題等において問題となるローカルミニマムを回避可能な Inverse Function Delayed Neuron (ID) モデルを採用をし、離散荷重値における学習性能の低下を補う事が可能となった。今回の試作では、学習機能を有する 25 ニューロン全結合型のニューラルネットワークをアナログ・デジタル混載の回路によって構築した。実行可能なアプリケーションは、学習に加え、高い性能を示す最適値問題である。-2 の荷重値が最適値問題で必要となるため、離散荷重値は (-2, -1, 0, +1) を用意した。測定結果より、ネットワーク中のニューロンが、自励発振現象を示す事を確認した。また、HSPICE シミュレーションによって、最適値問題においてより高性能な動的解表現が実行可能である事も確認した。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



MOSFET 特性ばらつき評価と $\Delta\Sigma A-D$ の試作

長崎総合科学大学工学部 田中 義人

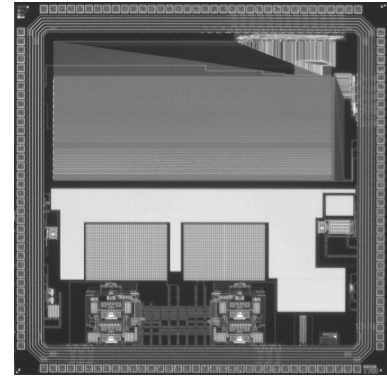
長崎総合科学大学大学院工学研究科 金 奉基, 景 暁軍

長崎総合科学大学新技術創成研究所 清山 浩司

概要：本試作では、大きく分けて以下の3点の目的で試作を行った。(1) 試作ランの異なる LSI 間の MOSFET 特性ばらつきデータ取得・解析 (2) 肺音計センサ部に使用する $\Delta\Sigma A-D$ の改良版 (3) その他、医療用 LSI に使用する低消費電流アナログ回路の TEG (1) については、2004 年度 6 月 28 日設計データ提出締め切りに搭載した MOSFET アレイと同様の回路を搭載している。2度の試作を行うことで、チップ内部のミスマッチに関するデータに加え、絶対的な特性変動のパラメータの取得を行った。(2) は、2003 年度 2 月に試作を行った $\Delta\Sigma A-D$ の積分器とスイッチに改良を加えたタイプである。(3) は、低消費電流回路設計を目標とし、MOSFET をサブスレッショルド領域にバイアスした SC フィルタ、コンパレータ、スイッチトオペアンプ及び、入力 IO 部の電圧リミッタと無線送信用ドライバを搭載した。試作した TEG の特性として SC フィルタは、1次 LPF であり電源電圧 1.5V、消費電力 8.8 μ W、遮断周波数 0.2Hz である

参考文献：景暁軍, 田中義人, "超低周波数域スイッチト・キャパシタフィルタの一検討" 第12回電子情報通信学会学生会講演論文集, pp84, 2004.

設計期間：2 月以上, 3 月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)



アナログ TEG 回路の試作

長崎総合科学大学工学部 田中 義人

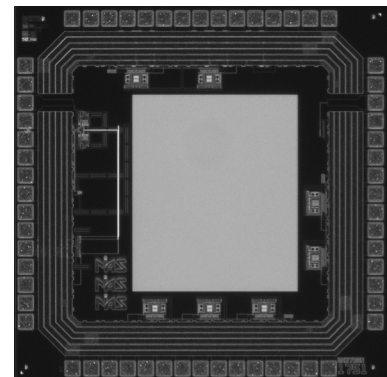
長崎総合科学大学新技術創成研究所 清山 浩司

長崎総合科学大学大学院工学研究科 金 奉基

概要：本試作は、医療機器用 LSI に使用する素子単体の試作・評価を目的としている。搭載した回路は、無線通信用キャリア検出器、低消費電力型 $\Delta\Sigma A-D$ 用スイッチトオペアンプと ESD 対策用アナログ I/O である。キャリア検出器は、受信派に含まれるノイズへの反応を緩和する為、ヒステリシス特性を有するコンパレータが必要となる。ヒステリシス特性と低消費電力化を実現するため、入力差動ペアとポジティブフィードバックをロードに持つ入力差動ペアを基本として、最小限度のバイアス電流に設定した。出力段は、2段のラッチ回路で検出値を保持する構成を採用した。

参考文献：金奉基, 田中義人, "低消費電力ヒステリシス・コンパレータ" 第12回電子情報通信学会学生会講演論文集, pp63, 2004.

設計期間：2 月以上, 3 月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)



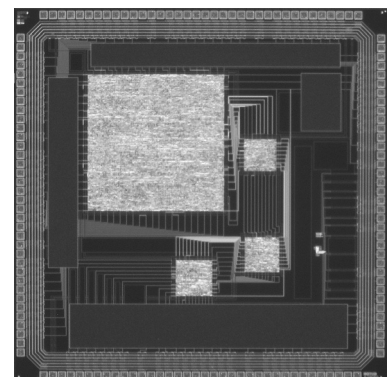
SFQ/CMOS ハイブリッド $\Sigma \Delta AD$ コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 道江 寛之

概要：SFQ/CMOS ハイブリッド $\Sigma \Delta AD$ コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 月以上, 1 月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：メモリ



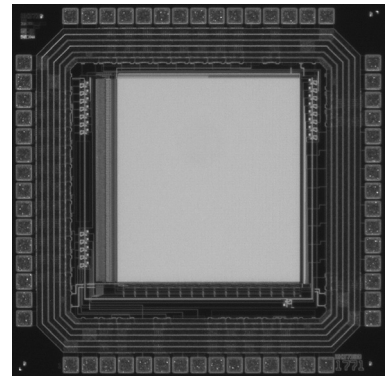
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 道江 寛之

概要：SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：2.4mm 角 チップ種別：メモリ



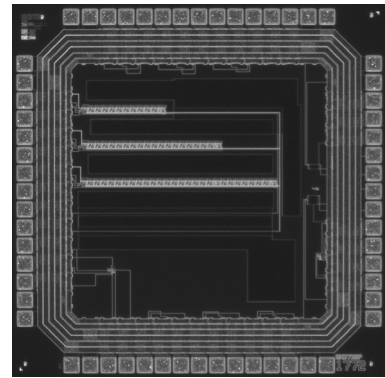
SFQ/CMOS ハイブリッドメモリスシステムの動作検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリスシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ 回路は 50GHz の高速クロック周波数で動作するが、その電圧振幅は 100 μ V のオーダである。一方、CMOS デバイスは数 GHz で動作し、その電圧振幅は 1V のオーダである。したがって、ハイブリッドシステムの実現のためには、SFQ 論理回路の高速微小電圧出力を CMOS 論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。本チップでは、CMOS メモリとアンプから成るシステムを構成し、入力 40mV の微小信号入力に対する CMOS システムの動作を確認した。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：2.4mm 角 チップ種別：メモリ



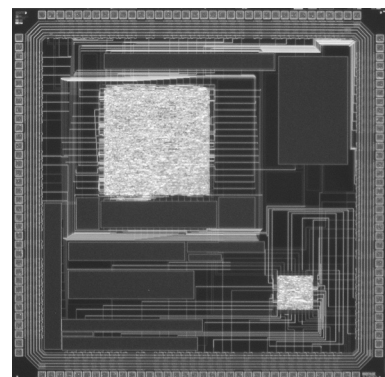
SFQ/CMOS ハイブリッド用 CMOS クライオデバイスモデルの検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリスシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ 回路は 50GHz の高速クロック周波数で動作するが、その電圧振幅は 100 μ V のオーダである。一方、CMOS デバイスは数 GHz で動作し、その電圧振幅は 1V のオーダである。したがって、ハイブリッドシステムの実現のためには、SFQ 論理回路の高速微小電圧出力を CMOS 論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。また、本システムでは、CMOS デバイスを低温で動作させることになるが、システム的设计、性能評価のためには、低温での CMOS デバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかの CMOS デバイスを試作した。CMOS デバイスの低温測定により、CMOS デバイスの 4.2K における動作の評価を行い、低温 CMOS モデルの検討を行った。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：4.9mm 角 チップ種別：メモリ



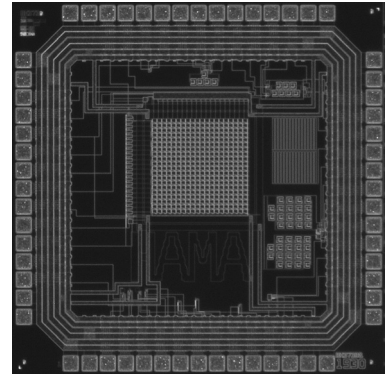
イメージセンサの検証用回路

東京理科大学工学研究科 藤田 健治

東京理科大学工学部 樽木 久征, 杉田 俊超

概要：将来の大規模なスマートイメージセンサの試作に備えて、撮像回路とその周辺回路の基本動作を確認するための検証用チップを試作した。本チップは、反転型フォトダイオードアレイからなる回路と、いくつかのテスト回路で構成される。センサ回路は縦20x横20画素とそのサイズは小さく、画素アレイの周辺に配置したシフトレジスタを用いて画像データを順次読み出す。テスト回路としては、複数の異なった構造のアクティブピクセルセンサ用のセル回路、画素値の平均化を行う回路、2つのアナログ値の絶対値差分を求める回路、各種オペアンプ回路等を集積した。これらの回路を用いて、各構造による光電変換効率の調査や、各回路の演算精度の検証および動作確認を行った。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：イメージセンサ/スマートセンサ



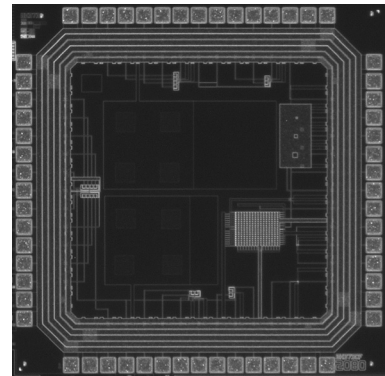
フローティングゲート MOS, イメージセンサの特性評価用 TEG

広島市立大学大学院情報科学研究科 助田 有教

堀居 賢樹

概要：本チップでは、フローティングゲート MOS の特性評価用回路とイメージセンサの特性評価用回路を試作した。フローティングゲート MOS の特性評価では、多入力のフローティングゲート MOS 回路を複数用意し、各回路の多入力特性評価を行った。この回路では、フローティングゲートに電荷が蓄積される場合の影響を防ぐために、電荷を初期化するリセット用トランジスタを付加した。イメージセンサの特性評価では、フォトダイオードのサイズを変えた単体の画素回路を複数用意した。これにより、各フォトダイオードの動作特性を確認し、蓄積型、対数型の動作特性についても評価を行った。また、16x16のピクセルアレイを用意することで、イメージセンサの動作確認を行い、動作周波数や消費電力の評価を行う予定である。なお、一部の回路については測定を行っているが、全ての回路の詳細な特性については未評価。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)



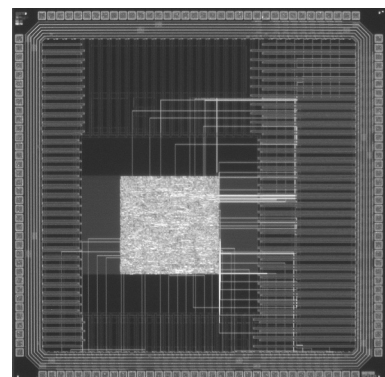
自己修復型人工物用チップ

東京大学工学系研究科 小松 謙介

東京大学人工物工学研究センター 高橋 浩之

概要：自己修復型人工物の考え方は、人工物は単体では必ず故障を起こすということを前提として、それでも内部構成を変革しながら、当面動作を続けることの出来るような人工物を実現したい、というものである。本チップは、この中で必要とされるセンサネットワークを実現するためのものである。センサネットワークは、独立動作する多数のセンサから得られた情報を統合するが、本チップでは比較的均質かつ多数のセンサを用いることを仮定し、ネットワーク上で隣り合う各センサ間で共有される情報を利用して、全体として極めて高い信頼性を与えるセンサネットワークを実現するものである。本チップでは各センサに対応する信頼度を導入し、この信頼度を隣り合うセンサから、書き換えてもらう機能をもたせた。この信頼度の大きさによってネットワークを再構築し、不良センサを排除することが可能である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



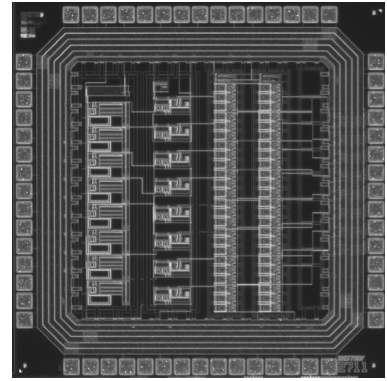
ポジトロンCT用フロントエンドチップ

東京大学工学系研究科 Yeom Jung-Yeol

東京大学人工物工学研究センター 高橋 浩之

概要：最近，小動物用の高分解能ポジトロンCT（PET: Positron Emission Tomography）の発展が期待されている。我々は高分解能PETへの適用を目的として，小型のAPD（Avalanche Photo Diode）やCdTe検出器等の化合物半導体センサなど，半導体センサを活用することを検討している。本チップではこれらの半導体センサと組み合わせるための高い信号対雑音比を有するプリアンプ部を核にフロントエンド電子回路の機能を多数集積することを目的に設計した。ここでは，積分時間可変な電荷増幅器，フィルタ時定数の制御可能な波形整形増幅器，複数の設定値の可能なコンパレータなどの機能を8チャンネル分集積し，独立のディスクリミネーションレベルを各チャンネルに設定できるようにした。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：2.4mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



イメージセンサ機能をもつ波長多重光無線LAN用並列受光デバイス

奈良先端科学技術大学院大学物質創成科学研究科

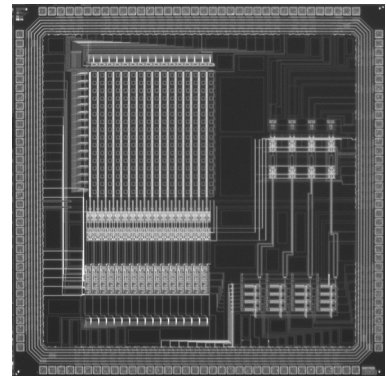
藤内 亜紀子, 池内 隆志,

香川 景一郎, 太田 淳

概要：近年，有線方式より施設が容易で高速通信の可能性を秘めている光無線通信が注目を集めている。我々は，位置検出の際には通信端末の位置を画像としてとらえ，通信時には端末間で最適な画素のみを用いる屋内光無線LANシステムを考案している。隣接4画素を用いて画素からの出力信号を差動化することで，イメージセンサのデジタル制御回路から光受信回路へのクロストークノイズを抑制した。画素数は16×16とした。本チップは，4波長多重することにより通信帯域を4倍に広げると共に，分波時に生じる波長間クロストークを低減するためのアナログ積和演算器を内蔵している。測定には，テストは用いなかった。

参考文献：A. Fujiuchi et al., “Free-space wavelength-division-multiplexing optical communications using a multi-channel photoreceiver,” in 2004 ICO International Conference (2004) .

設計期間：4人月以上，5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：10,000以上，100,000未満 試作ラン：4.9mm角 チップ種別：イメージセンサ/スマートセンサ



イメージセンサ機能をもつ空間多重光無線LAN用並列受光デバイス

奈良先端科学技術大学院大学物質創成科学研究科

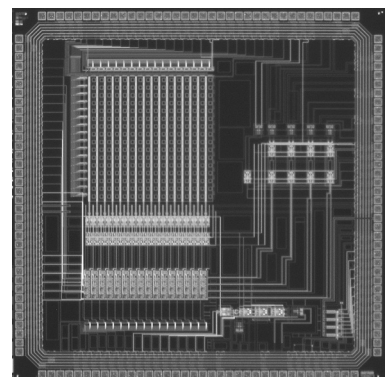
池内 隆志, 藤内 亜紀子,

香川 景一郎, 太田 淳

概要：近年，有線方式より施設が容易で高速通信の可能性を秘めている光無線通信が注目を集めている。我々は，位置検出の際には通信端末の位置を画像としてとらえ，通信時には端末間で最適な画素のみを用いる屋内光無線LANシステムを考案している。隣接4画素を用いて画素からの出力信号を差動化することで，イメージセンサのデジタル制御回路から光受信回路へのクロストークノイズを抑制した。画素数は16×16とした。本チップは，空間多重通信を利用することにより受信帯域を4倍に広げることができる。測定には，テストは用いなかった。

参考文献：池内他，「差動化によるWDM光無線LAN用ビジョンチップにおける撮像・通信モード間クロストーク低減に関する検討」，映像情報メディア学会情報センシング研究会10月研究会（2004）。

設計期間：4人月以上，5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100,000以上 試作ラン：4.9mm角 チップ種別：イメージセンサ/スマートセンサ

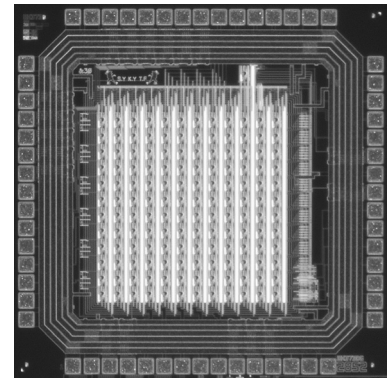


パルス領域画像処理機能をもつ低電圧・高ダイナミックレンジ周波数変調方式ビジョンチップ

奈良先端大物質創成科学研究科 山本 真也, 古宮 哲夫, 香川 景一郎, 徳田 崇

概要：人工視覚デバイスなどのへの応用を目的として、ぼかし・エッジ強調・エッジ抽出などの基本的な画像処理機能をもつビジョンチップの低消費電力化に取り組んでいる。そのために、0.35 μm プロセスにおいて、電源電圧を1.5 V以下に下げることが検討された。パルス周波数変調方式を用いることで、低い電源電圧でも100 dB以上の高ダイナミックレンジを確保することを狙った。また、パルス周波数変調方式に特化したデジタルパルス領域画像処理を用いることで、アナログ方式ビジョンチップでは難しい低電圧動作を実現した。画素数は10×10とした。実験結果から、120 dB以上のダイナミックレンジが得られ、基本的な画像処理が実行できることを確認した。測定では、テストは用いず、CPLDにより駆動波形を生成し、センサのデジタル出力をPCに取り込んで評価を行った。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：イメージセンサ/スマートセンサ

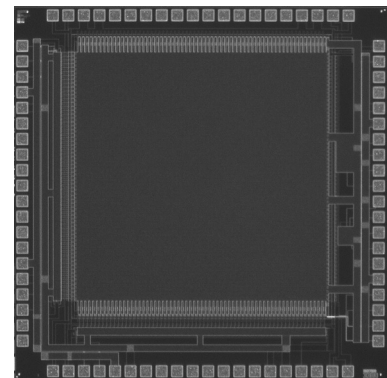


2次元集積化磁気センサTEG

茨城大学工学部 木村 孝之

概要：磁気センサを製作する際には、一般的に移動度の高いInSbやGaAsなどの材料が用いられる。一方、Siはこれらの物質に比べて移動度が低いため、磁気センサを構成する場合は感度が低くなり使用が難しい。本試作では、Siのバルク材料としての性質ではなく、MOS-FETの反転層を用いた2次元集積化ホールセンサを製作した。設計したセンサはW/L=1であった。また、読み出し回路はCMOSイメージセンサに用いられるような2段ソースフォロアであり、アンプを画素内に採り入れているためノイズには強いという特徴がある。さらに、1画素のサイズは50 μm 角であり、画素アレイは64×64個からなる。ホール効果を用いた磁気センサでは差電圧を読み出して引き算をする必要がある。今回の回路では、ホール効果を読み出す2端子の電圧を時分割で読み出し、A/D変換後に引き算することにより信号を得た。現在、非磁性材料によるパッケージングと特性測定の準備を行っているが、以前試作したTEGと同程度の積感度(5.7mV(1mA, 1kG))が得られると予想される。本デバイスにより磁束の2次元像が得られると期待される。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：TEG(特性評価回路など)

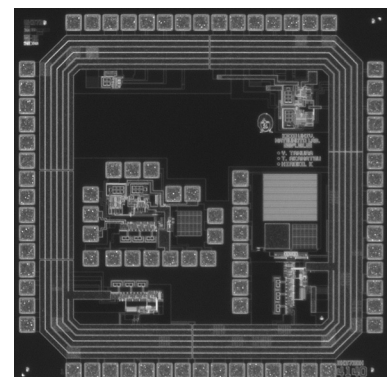


光素子駆動回路

慶應義塾大学理工学部 宮原 晋平, 松本 佳宣

概要：光インターコネクション等の短距離間光伝送を目的とした光送信回路の設計を行った。高出力LEDを駆動するのに必要な数十mA以上の電流を流すために、ゲート幅の小さいトランジスタを多数並列に並べることでゲート抵抗の増加を防ぎ、またアルミ配線やコンタクトホールでの電流許容量を超えないように配慮した。また、複数LEDを同時に駆動できる駆動回路に関して設計、レイアウトを行った。また、LEDは温度変化によってその光出力が変動することから、外部からのバイアス電圧によって光出力を一定に保つ構成として、さらにパルス出力と定常駆動電流を流せる構成とした。試作したチップの駆動部の特性を計測したところ、80mA程度までの電流を任意に駆動できることが確認できた。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：通信(RF回路, ATMなど)

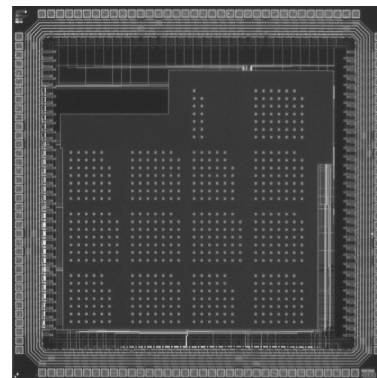


光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なラッチタイプの光再構成回路を有する光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) VLSIを開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $20.1\mu\text{m}\times 18.9\mu\text{m}$ 、その間隔を $99.0\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模である。ラッチタイプの光再構成回路の評価を行った。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：その他

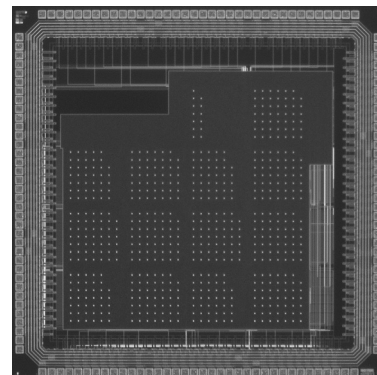


光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なラッチタイプの光再構成回路を有する光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) VLSIを開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $9.5\mu\text{m}\times 8.8\mu\text{m}$ 、その間隔を $99.0\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模と従来の試作品のものと同じである。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：その他



低電圧ログドメインフィルタと帯域可変ポリフェーズフィルタ

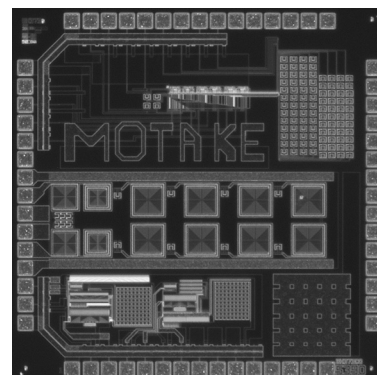
豊橋技術科学大学大学院工学研究科 秋田 一平, 伊藤 和将

豊橋技術科学大学工学部 和田 和千

概要：まず、電源電圧 1.0V で積分動作をし、MOS トランジスタで構成されたログドメイン積分回路 [1] を設計し、これを二つ使用した 2 次バタワースフィルタを試作している。従来知られているログドメイン積分回路に比べ、低電圧時の特性精度が高いことが理論的に、ならびにシミュレーションから示されており、この特長を本試作チップの測定を通して検証した。また、平衡型回路のための線形浮遊抵抗対を用いて、帯域可変のポリフェーズフィルタを構成している。線形浮遊抵抗対は、電源電圧 $\pm 1.5\text{V}$ で動作し、帯域が 10MHz 程度の回路であることをシミュレーションにより確認して、使用した。ここではポリフェーズフィルタの例として、三つの区間を縦続接続した構成とし、 1MHz から 3MHz において像を 50dB 抑圧する特性のフィルタを設計している。

参考文献：“CMOS Log-Domain Integrator with DC Gain Improved,” I. Akita, K. Wada, and Y. Tadokoro, Proc. 2004 IEEJ Int'l Analog VLSI Workshop, pp. 61-66, Oct. 2001.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10 以上, 100 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

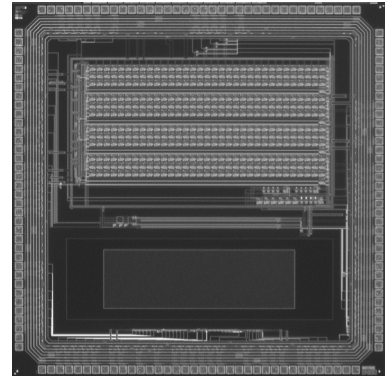


エッジおよびその移動方向検出回路

大阪大学大学院工学研究科 井上 恵介, 八木 哲也

概要：我々が今までに開発したシリコン網膜は、2次元のラプラシアン-ガウシアン型フィルタ処理とフレーム間の差分計算を実時間で実現できる。本チップは、そのシリコン網膜のアナログ出力に対してエッジおよび、その移動方向を検出する。チップは、アナログメモリ、ゼロ交差検出回路、閾値処理回路および、単純な論理演算回路により構成した。アナログメモリは、逐次的に読み出されるシリコン網膜の出力を保持するためのものである。アナログメモリから適当な画素情報を読み出し、ゼロ交差検出回路によりエッジを検出する。また、フレーム間差分出力に対して閾値処理により、動きを検出する。計算されたエッジと動きの情報を単純な組み合わせ論理演算により統合することで、エッジの移動方向を検出する。なお、テストによる測定は行っていない。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：演算回路（乗算器, 除算器など）

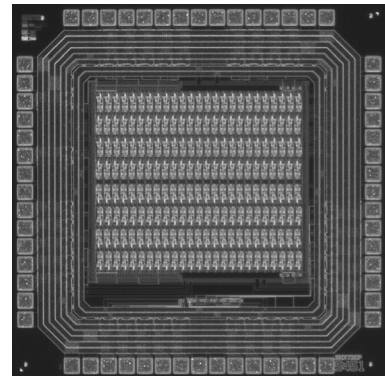


オフセット補償効果を持つラインメモリの試験回路

大阪大学大学院工学研究科 井上 恵介, 八木 哲也

概要：我々が今までに開発したシリコン網膜は、2次元のラプラシアン-ガウシアン型フィルタ処理を実時間で実現できる。ラプラシアン-ガウシアン型のフィルタ処理された出力に対して、ゼロ交差検出によりエッジを検出できる。シリコン網膜の出力は、1画素ずつ逐次的に読み出されるために、2次元でゼロ交差検出を行う際には、数ライン分の情報を保持しておく必要がある。そこで本チップは、シリコン網膜の出力を保持するためのアナログメモリの試験回路を実装した。このアナログメモリは、シリコン網膜にもインプリメントされているサンプルアンドホールド回路に2つのスイッチを付け加えたものである。この回路により自身のオフセットを補償することで、回路ノイズの影響を軽減しながら、安定してゼロ交差検出を実現できる。設計したチップでは、100個で1ライン分のメモリを2ライン分インプリメントした。なお、テストによる測定は行っていない。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）

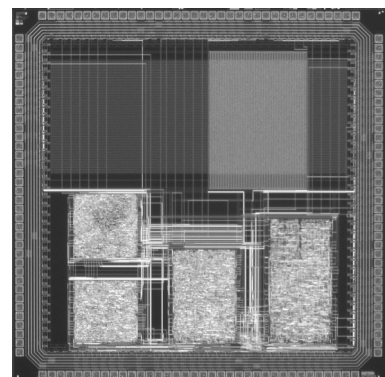


LSI設計実習における16ビットパイプラインプロセッサの設計

奈良先端科学技術大学院大学情報科学研究科 中西 正樹, 井上 照将, 鈴木 智哉,
橘 達弘, 中村 幸紀

概要：奈良先端科学技術大学院大学 情報科学研究科 ではハードウェア記述言語を用いたLSI設計実習を行っている。本チップは実習の一環として作成されたもので、4名分のパイプラインプロセッサを1チップにまとめたものとなっている。設計課題はDLXアーキテクチャに従うパイプライン制御のプロセッサで、ストール処理、データフォワードイング等の基本機能を有する他、内部レジスタを可観測にしている。修士学生4名が基本機能と入出力端子を共通仕様とし、命令セットから各自が独立にVerilog-HDLで設計し、マクロセルとしてレイアウトまでを行った。4個のプロセッサと外部のI/Oとの接続を決定するプロセッサの選択回路の設計および全体のレイアウトは助手が担当した。

設計期間：8人月以上, 9人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：マイクロプロセッサ



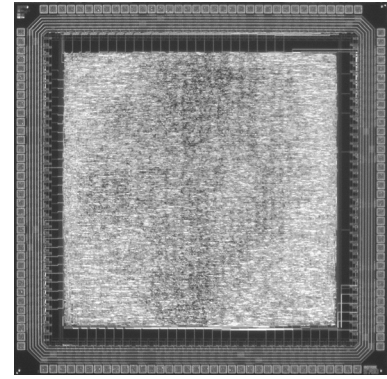
新公開鍵暗号 LSI

早稲田大学情報生産システム研究科 木村 晋二, 土井 伸洋, 金 成男

概要: 近年の情報化の進展とともに、デジタルデータの暗号化の必要性が増している。鍵の配信の点からは公開鍵の法に利点があるが、これまで公開鍵方式は計算量の点で問題があり、大量のデータの転送には向いていなかった。そこでここでは、復号が2回の乗算と1回の加算で行える新しい公開鍵暗号方式に対し、それを実現する LSI の設計を行った。とくに、リアルタイムの動画データデータの復号ができることを目標とし、1024 ビットのモンゴメリ乗算をベースとしながら、2回の乗算と1回の加算を一つのループでまとめて演算の数を減らすとともに、4回のモンゴメリ演算を一つのクロックで実行することで高速化を行った。モンゴメリ乗算の部分は、桁上げの無い加算である Carry Save Adder および冗長二進加算の両方で実現を行い、性能の比較を行った。また、これらの加算で用いられる数表現から通常の二進数への変換はモンゴメリ乗算部とのパイプラインとした。80 MHz のクロックで、640x480 ドットのフルカラー画像を毎秒 30 枚送る性能を達成した。なお、本設計はパラメタ設計となっている。

参考文献: C. Jin, et. al., "Efficient Hardware Architecture of a New Simple Public Key Cryptosystem," Proc. SASIMI 2004, pp.107-112, Oct 2004.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 4.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

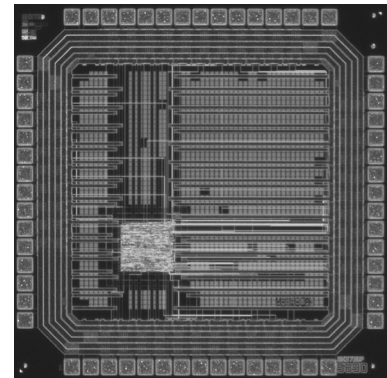


バス機能の動的制御に基づくチップ内高速データ転送回路

東北大学電気通信研究所 竹内 崇, 羽生 貴弘

概要: 1チップ上に複数のモジュールを混載した場合、チップ全体の高性能化にはモジュール間における高速データ転送が必要不可欠である。同時に近年の微細化の進展に伴い、配線遅延など配線に起因する問題が顕著となっている。本研究グループでは、配線に占めるデータの密度に着目し、データを高密度化することで、データ転送の高速化を図る方式を提案してきた。提案方式では、制御回路を各モジュールに分散しており、本チップでは、分散化された制御回路を試作した。本チップの試作に際しては、制御回路の入出力が多く存在するため、双方向バッファを活用することで、ピンボトルネックを解消した。試作したチップに対する、論理検証、消費電力評価については現在進行中である。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 2.4mm 角 **チップ種別:** ニューテクノロジー

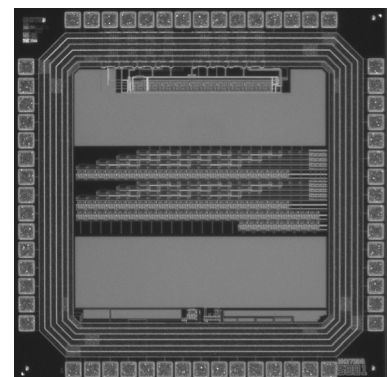


多値差動ロジックに基づく低ノイズ16ビット乗算器

東北大学電気通信研究所 j 望月 明, 羽生 貴弘

概要: 2つの差動対回路を相補的に動作させ、出力を電流加算することでノイズ耐性を持った高性能多値演算回路が実現される。すなわち、多値化および近年の微細化に伴う低電圧化により、論理電圧振幅が小さくとも、隣接交差配線クロストークノイズをキャンセルできるような新しい回路方式を提案し、算出演算回路の例として16ビット乗算器を試作した。トランジスタを使わない結線による電流加算と差動対回路を徹底的に活用することで、コンパクト性および高速性を維持しつつ、ノイズ低減機能が付加でき、高信頼かつ高性能な乗算器が達成される。本チップでは、基本コンポーネントとなる Booth リコーダ、部分積生成回路、キャリーセーブ加算器ツリーを構成する Signed-Digit 数系に基づく全加算器 (SDFA) を TEG として搭載している。現在、動作検証およびノイズ耐性についての評価は、進行中である。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 2.4mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

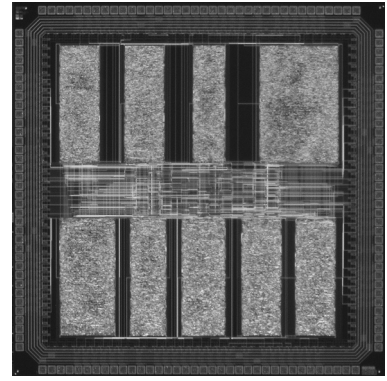


16ビットパイプラインプロセッサの設計実習1

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システムLSI分野を志向する修士課程の学生全員にLSIの設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システムLSI設計の中のLSI設計実習の一環として試作したものである。設計課題は、MIPSライクな16ビット5段パイプラインプロセッサで、28命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードイングやストール機能の実現までを課題達成の要求条件としている。また、各々が作成したアセンブラプログラム（バブルソート等）を共有し、検証用パターンとして用いた。レイアウトに関しては、縦サイズ固定という制約の中で、最適化（速度／面積優先）を試行させた。最終的には1チップに9個のプロセッサモジュールを搭載し、各々が外部I/Oから直接アクセス可能としている。チップ製造後は、独自に開発したVDECチップ評価用ボード（MU200-SXCW）上で実LSIの動作確認や評価を行わせ、LSI開発に関する幅広い経験を積ませている。本経験が、より先駆的なデジタルLSIの研究課題へチャレンジする際に大いに寄与すると考えている。

設計期間：10人月以上 **設計ツール：**Synopsys社VCS, Synopsys社DesignCompiler, Synopsys社Apollo, Cadence社Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**4.9mm角 **チップ種別：**マイクロプロセッサ

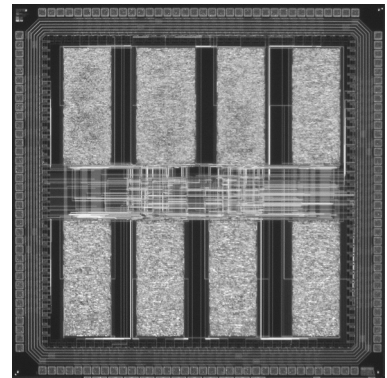


16ビットパイプラインプロセッサの設計実習2

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システムLSI分野を志向する修士課程の学生全員にLSIの設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システムLSI設計の中のLSI設計実習の一環として試作したものである。設計課題は、MIPSライクな16ビット5段パイプラインプロセッサで、28命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードイングやストール機能の実現までを課題達成の要求条件としている。また、各々が作成したアセンブラプログラム（バブルソート等）を共有し、検証用パターンとして用いた。レイアウトに関しては、縦サイズ固定という制約の中で、最適化（速度／面積優先）を試行させた。最終的には1チップに8個のプロセッサモジュールを搭載し、各々が外部I/Oから直接アクセス可能としている。チップ製造後は、独自に開発したVDECチップ評価用ボード（MU200-SXCW）上で実LSIの動作確認や評価を行わせ、LSI開発に関する幅広い経験を積ませている。本経験が、より先駆的なデジタルLSIの研究課題へチャレンジする際に大いに寄与すると考えている。

設計期間：10人月以上 **設計ツール：**Synopsys社VCS, Synopsys社DesignCompiler, Synopsys社Apollo, Cadence社Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**4.9mm角 **チップ種別：**マイクロプロセッサ

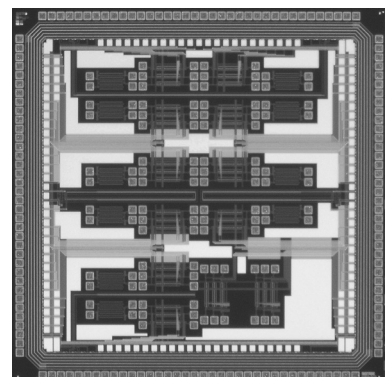


基板ノイズ測定用テストチップ

慶應義塾大学理工学部 岩津 勝彦, 中野 誠彦

概要：デジタル、アナログ混載のSoCでは、デジタル回路が発生するスイッチングノイズが基板を介してアナログ回路に影響を及ぼす。SoC設計において利用可能な基板モデル構築のためテストチップを作成した。本チップでは、段数の異なるインバータチェーンがデジタル回路の代表として配置されており、その周辺にデバイスによるセンサが配置されている。チップ内部にもセンサーパッドを持たせることによりパッケージされた状態のみならず、ベアチップ単体での両方での測定を可能にしている。パッケージを通しての実験によりデジタル回路スイッチングに対応する位相においてノイズ波形が観測された。これらの波形は、LPEを用いて抽出されたパラメータを用いて回路シミュレーションを行い比較を行っている。またマニュアルプローバによるベアチップの測定は今後行う。

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社Virtuoso, Cadence社Dracula LPE, Cadence社Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**4.9mm角 **チップ種別：**TEG (特性評価回路など)

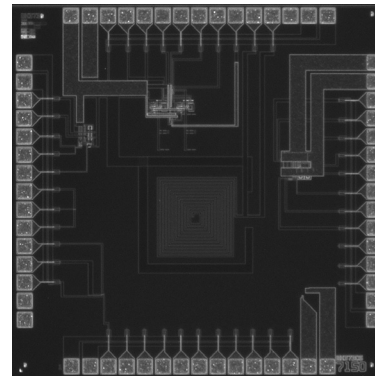


CMOS オペアンプの試作

都城工業高等専門学校電気工学科 堀田 真嗣, 田中 寿, 平田 洋輔
宮崎大学工学部電気電子工学科 中島 雄太, 松浦 貴行, 外山 貴子, 淡野 公一,
石塚 興彦

概要：本チップでは、チョッパアンプ、CMOS オペアンプ、nMOS、pMOS、及び、スパイラルインダクタの試作を行った。チョッパアンプは、微弱かつ低周波信号である表面筋電位信号を処理する LSI の一部に使用し、低周波におけるノイズを低減した回路である。CMOS オペアンプは、今後の LSI 設計において、基本ブロック（セル）として用いるために設計した回路である。また、本試作ランでは初めて試作を行うため、基本特性を測定するために nMOS、pMOS、スパイラルインダクタを設計した。現在、試作したこれらの回路の測定を行っているところである。

設計期間：4 人月以上、5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE トランジスタ数：10 以上、100 未満 試作ラン：2.4mm 角 チップ種別：アナログ（PLL, A-D/DC-DC コンバータなど）



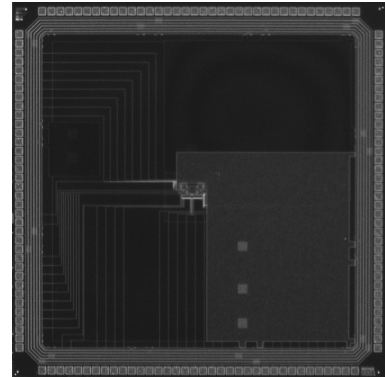
平成16年度 第3回 ロームCMOS0.35 μ m チップ試作 (RO35043)

デジタルピクセルセンサと演算回路のTEG

東京大学新領域創成科学研究科 トンプラシット ベンジャマース

概要：回路技術の発達により、イメージセンサは解像度の高い画像を取り込むことができるようになってきた。その結果、画像を取得するセンサチップから画像処理チップへのデータ転送が問題となってきている。このため、センサと画像処理回路を1つのチップに載せる手法が提案されている。一方、センサ部分に関しては、高解像度化に適するため、アナログ値を用いるものがよく使われてきた。しかし、画像処理の多くはデジタル値で行うので、各ピクセルから読み出されたアナログ値をデジタル値に変換する処理がボトルネックとなってきた。これを解決するために、デジタルピクセルセンサと呼ばれる各ピクセル内にA/Dコンバータをもったものが提案されている。本チップは、センサから画像処理回路へ読み出し方法を特色とするデジタルピクセルセンサである。多くの画像処理では2次元の一定範囲をブロックとして演算を行う。従来のセンサでは1列ごとに読み出しを行うため、読み出し部分が画像処理に置いてボトルネックになっていた。そこで、演算回路から一定範囲の2次元ブロックを読み出すことのできるアーキテクチャを考案し、これを本試作に実装した。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**4.9mm角 **チップ種別：**イメージセンサ/スマートセンサ



2値・多値融合論理に基づく32ビット並列乗算器

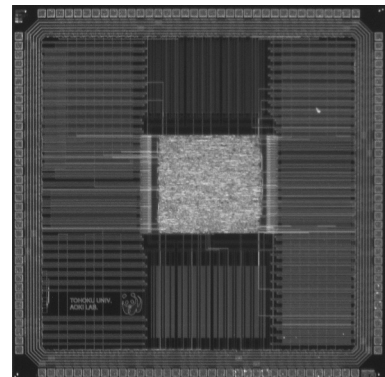
東北大学大学院情報科学研究科 木暮 俊光, 出川 勝彦, 青木 孝文

東北工業大学工学部 樋口 龍雄

概要：多値論理に基づく新しい集積回路技術は、配線量を直接的に削減できる点で有効な解決策を与えると考えられる。しかし、多値論理回路のEDAツールはほとんど実用化されておらず、設計者はこれまでフルカスタムで多値論理回路を設計してきた。そのため、大規模な多値論理回路や2値論理回路との混在回路の設計は困難であった。今後、多値論理回路技術をVLSIシステムにおいて有効に活用するためには、2値論理回路と多値論理回路が融合した回路を高い抽象度から容易に設計できることが望ましい。そこで本研究グループでは、2値論理と多値論理を融合したVLSIシステムのためのハイレベル設計環境を提案している。本チップは、提案するハイレベル設計環境を用いて合成した2値・多値融合論理に基づく32ビット並列乗算器である。

参考文献：木暮, 出川, 青木, 樋口, "2値・多値融合論理に基づく乗算器のハイレベル設計", 多値論理研究ノート第27巻, pp. 3-1-3-9, 2004

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Virtuoso **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**4.9mm角 **チップ種別：**演算回路(乗算器, 除算器など)

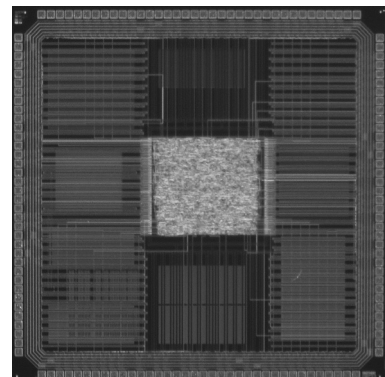


●
東北大学大学院情報科学研究科 若松 泰平, 本間 尚文, 木暮 俊光, 青木 孝文
東北工業大学工学部 樋口 龍雄

概要：本研究グループでは、加算アルゴリズム(加算器上に実現される演算手順)の新しい表現法として、Counter Tree Diagram (CTD)を提案している。CTDを用いることにより、従来の2進数系のみならず、Signed-Digit (SD)数系やGeneralizedSigned-Digit (GSD)数系などの特殊数系に基づく加算アルゴリズムを統一的に表現することができる。本チップは、CTDを用いて設計した冗長2進加算器(RBA)に基づく32ビット並列乗算器である。設計した乗算器は、部分積生成、部分積加算および最終段加算より構成される。本試作では、電流モード多値論理回路によるRBAを用いて部分積加算を構成した。一方、部分積生成と最終段加算は、従来の2進論理回路をRTL記述により設計した。ここで、並列乗算器の検証および配置配線には、本研究グループで提案する2値・多値融合論理回路のハイレベル設計環境を利用した。回路動作は、NanoSimのシミュレーションにより確認した。

参考文献：若松, 本間, 崎山, 青木, 樋口, "冗長加算器の最適設計に関する実験的検討", 多値論理研究ノート第27巻, pp. 14-1-14-8, September 2004.

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Virtuoso **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**4.9mm角 **チップ種別：**演算回路(乗算器, 除算器など)

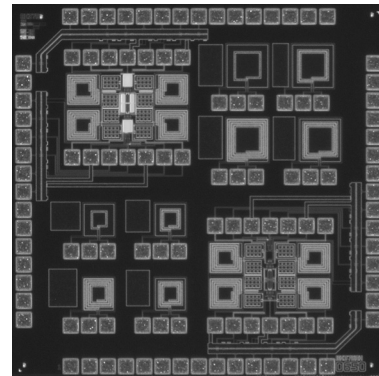


ダイレクトコンバージョン方式に適したミキサ回路

芝浦工業大学大学院工学研究科 奥村 宣孝, 上田 和弘

概要：近年，ソフトウェア無線などのマルチバンド無線機に適した方式としてダイレクトコンバージョン方式が注目されている．ダイレクトコンバージョン受信機で問題となるIM2を低減するミキサ回路を構成している．構成したミキサ回路は，IM2を低減するためのミキサ回路を備えておりIIP2の向上が期待される．本チップは，特性評価を目的とし試作を行った．提供されているMOSモデルの一部を書き換えCadence社 SpectreRFでシミュレーションを行っている．ここでは，レイアウトの異なるミキサを2つ構成している．また，特性評価のためのスパイラルインダクタを構成している．スパイラルインダクタは，グリーンハウス法によって計算されたものを用いている．

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Verilog-XL，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist トランジスタ数：10以上，100未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）



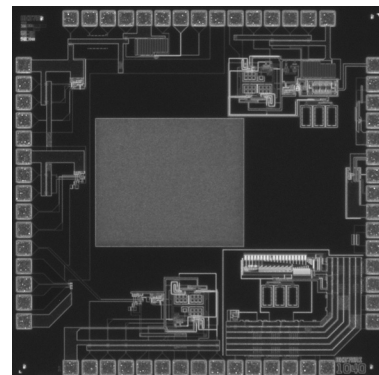
スマートRFIDタグ用BASKリング発振器と個体識別符号生成低電力CMOS論理回路

熊本大学工学部 井上 高宏, 中島 晃, 馬庭 志織

熊本大学大学院自然科学研究科 山川 俊貴, 竹中 智哉, 千代永 純一

概要：今回試作したチップは，RFIDタグ用の回路となっており，電源電圧3Vにおいて発振周波数915MHzとなるように設計したCMOSインバータ3段構成のBASKリング発振器と，CMOSインバータを基本とした論理回路を組み合わせて構成した2進数64ビットの個体識別符号（IDコード）生成回路となっている．個体識別符号生成回路においては電源ラインにパワーマネージメント用のp型MOSFETスイッチを設け，回路全体の低消費電力化を図っている．今回はアナログ回路とデジタル回路の相乗りチップとなっているので，各回路の周りにはガードリングを設け，回路同士のノイズの影響の低減を図っている．また，各要素回路のTEGも試作した．現在，テストによる測定を行っている最中である．

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：2.4mm角 チップ種別：アナデジ混載



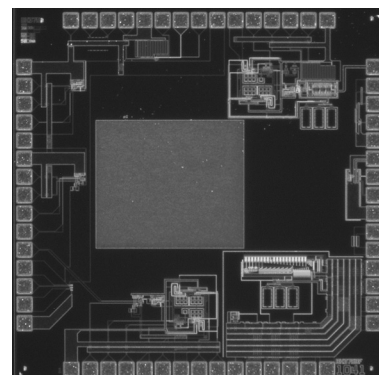
生体信号処理用低電圧アナログCMOS回路の製作

熊本大学工学部 井上 高宏, 米澤 隆広

熊本大学大学院自然科学研究科 鶴巢 哲朗, 岩崎 俊彦, 梅田 武史

概要：当研究室では，病気の発生・メカニズムの解析および新薬の開発などを目的とした，遺伝子改変マウスの心拍数・体温・呼吸音の計測および個体識別の行なえる生体植え込み型超小型スマートRFIDタグの設計・開発を行なっている．そこで，スマートRFIDタグに内蔵して，心音・呼吸音・体温などの生体信号処理を行なう小型低電圧低消費電力CMOS集積回路の実現を目的として，スイッチトカレント $\Sigma\Delta$ A-D変換器の設計を行なった．試作回路は，低電圧フォールデッドカスコードOTA回路，スイッチトカレント積分器，半クロック遅延電流コンパレータ回路，500kHzクロック発生回路からなる．チップにはそれらをシステムとして集積化したものと個別に，体温センサ回路，チョッパー変調回路，完全差動増幅器，基準電圧発生回路，各要素回路のTEGを相乗りさせた．テストによる測定はまだ行っていない．

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva トランジスタ数：10以上，100未満 試作ラン：2.4mm角 チップ種別：アナデジ混載



低クロック振幅フリップ・フロップの設計

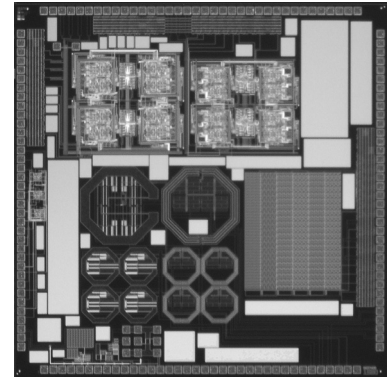
東京大学生産技術研究所 川口 博

東京大学国際・産学共同研究センター

Kyu-Won Choi, Tran Canh,
Atit Tamtrakarn, 許 蛩雪, 鬼塚 浩平,
桜井 貴康

概要：低クロック振幅フリップ・フロップを設計した。回路形式はパストランジスタ型で、クロックはパルス駆動される。情報を保持するインバータラッチをマージンの確保のためにクロックトインバータにしており、シミュレーションではクロック振幅1Vまで動作可能である。その他、CPW ウェブガイドをインダクタに用いたギガヘルツ帯域アンプ、医用の新方式低電圧低電力低雑音オプアンプ、低リーク電流を実現するFPGAなどの設計も行った。さらにチップ間ワイヤレス電源伝送手法に関し、アンテナおよび送受信回路を平行化することによって最大伝送電力を向上させるための設計を行い、単体送受信との実測比較を行うことを目指した。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数：**100以上, 1,000未満 **試作ラン：**4.9mm角 **チップ種別：**アナデジ混載



低消費電力アナログ TEG 回路の試作

長崎総合科学大学工学部 田中 義人

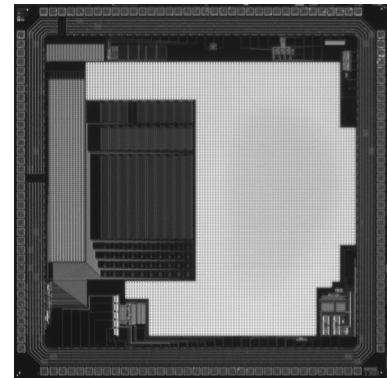
長崎総合科学大学大学院新技術創成研究所 清山 浩司

長崎総合科学大学大学院工学研究科 金 奉基

概要：ユビキタス時代に向け医療・福祉用の携帯型聴音計・心電計 LSI の研究を行っている。これらの機器は、常時携帯する事を想定しており、小型化に加え低消費電力で無線機能を持つ必要がある。近年、低消費電力化を目的としてスイッチトオペアンプ (SOP) 技術を用いたスイッチトキャパシタの研究、報告が行われている。従来型 SOP の構成は、スイッチの挿入で初期設計時のバイアス点が変動しオペアンプの特性に影響を与えていた。本試作では、ミラーオペアンプ (Miller-Opamp) を用いて、アンプの特性に影響を与えない SOP の回路構成にした。また、全ての MOSFET をサブスレッショルド領域でバイアスする事によりさらなる低消費電力化を試みた。ポストレイアウトシミュレーションでは、電源電圧1.5Vの時、ゲイン68dB, GBW500kHz, 消費電力7.7μWが得られた。

参考文献：清山, 田中, "スイッチトオペアンプの回路構成法に関する一検討" 平成16年度電気関係学会九州支部連合大会, 講演論文集II, pp449, Vol2 (2004)

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 xCalibre **トランジスタ数：**100以上, 1,000未満 **試作ラン：**4.9mm角 **チップ種別：**TEG (特性評価回路など)



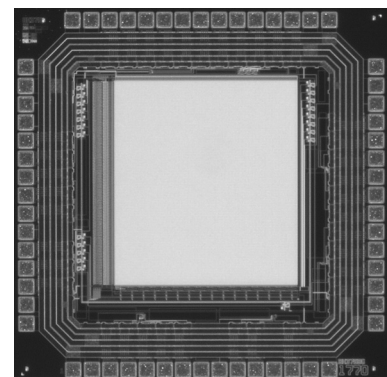
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 道江 寛之

概要：SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz, SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**2.4mm角 **チップ種別：**メモリ



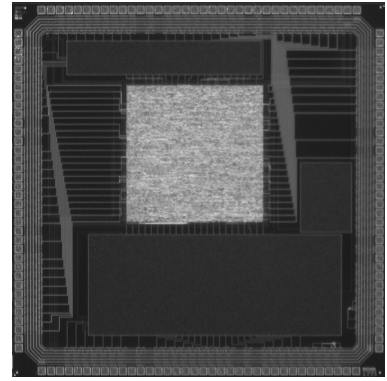
SFQ/CMOSハイブリッドメモリシステムの動作検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダーである。一方、CMOSデバイスは数GHzで動作し、その電圧振幅は1Vのオーダーである。したがって、ハイブリッドシステムの実現のためには、SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。本チップでは、CMOSメモリとアンプから成るシステムを構成し、入力40mVの微小信号入力に対するCMOSシステムの動作を確認した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：メモリ



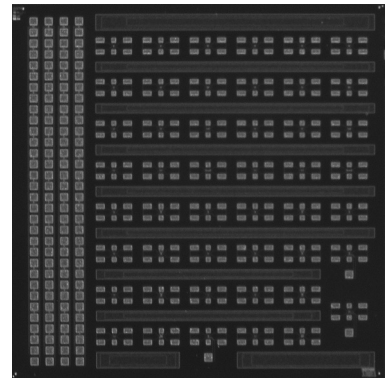
RF回路設計用TEGの試作

東北大学工学部 黒田 理人

東北大学大学院工学研究科 渡辺 一史

概要：CMOS回路のRF帯域への応用は、MOSFETの微細化により加速されている。円滑にRF回路の設計を行うためには、あらかじめRF領域でのMOSFETの寄生抵抗や寄生容量などの寄生素子の正確な値が必要である。なぜなら、MOSFETの動作限界周波数付近でこれらの寄生素子がMOSFET動作に与える影響が非常に大きいからである。RF領域でのこれらの寄生素子は、DC領域での振る舞いとは全く異なり、複雑なバイアス依存性や周波数依存性を持つことが知られている。このため、RF回路設計を行うためにはRF領域での寄生素子の振る舞いをあらかじめライブラリー化しておく必要がある。本試作は、RF帯域での寄生抵抗や寄生容量の値を正確に見積もり、RF回路設計のためのライブラリーを構築するための試作である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社Virtuoso, Cadence社Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：4.9mm角 チップ種別：TEG（特性評価回路など）



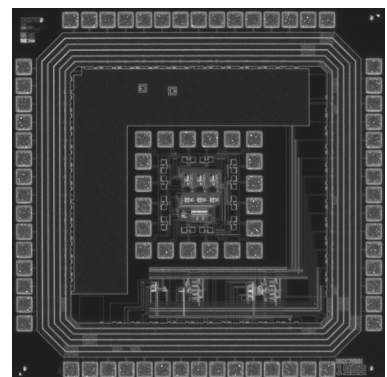
微少リーク電流評価用TEGおよび電荷転送プリアンプTEGおよび高速光電変換回路TEG

東北大学大学院工学研究科 諏訪 智之, 高橋 紘人, 佐塚 友彦

東北大学工学部 浄法寺 佑

概要：微少リーク電流評価用TEGは微細化の進んだLSIで原子数個単位のばらつきに起因する電気的特性を評価するためのTEG回路である。電荷転送プリアンプTEGは、コンパレータ回路を低消費電力で動作させるときに入力トランジスタの閾値電圧ばらつきに起因する誤差を補償し精度を向上させることを目的としている。プリアンプの効果を確認するため、ラッチコンパレータ単体のTEGも試作した。高速光電変換回路TEGはフォトダイオードにより電気信号に変換した光信号をリアルタイムかつ高速（ns）に得るための回路である。微弱な光信号を増幅する増幅回路および定期的に入ってくる光による電流をカットするためのハイパスフィルタ回路を配置した。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社Virtuoso, Cadence社Dracula DRC, Cadence社Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）

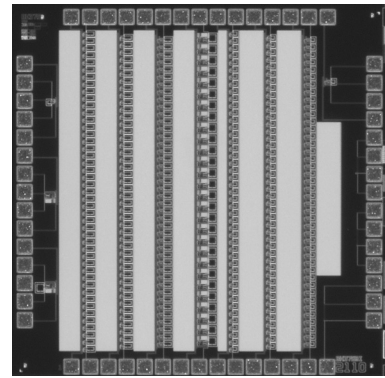


大規模パルス形ハードウェアニューラルネットワーク用ニューロンモデルと軸策モデルの試作

日本大学理工学部電子情報工学科 小野 克幸, 佐伯 勝敏, 関根 好文

概要：現在、様々な分野において、脳内で行われている情報処理能力を工学的に応用するための研究が行われており、そのなかでも我々は、パルス形のモデルであるパルス形ハードウェアニューラルネットワークのニューロンチップを実装することを目標に研究を行っている。ニューラルネットワークを実装するには、ニューロンの数が膨大となるため、各ニューロンモデルの微細化を行う必要がある。そこで本試作では、パルス形ハードウェアニューラルネットワークのニューロンモデルと、パルス形ハードウェア軸策モデルのスケールリングとコンデンサの占有面積に対する検討を行い、検証の結果、スケールリングやコンデンサを微細化した回路における動作を確認した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, PSpice トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：ニューテクノロジー



電流制御降圧型 PWM DC-DC コンバータの試作

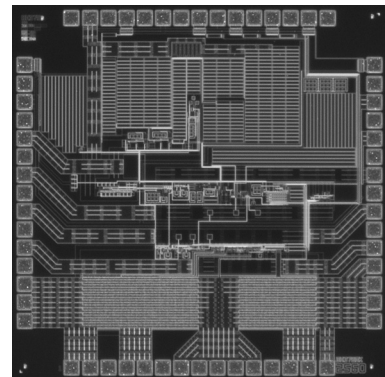
中央大学理工学研究科 蒲谷 晃則, 櫻井 宏樹, 木野田 房郎

中央大学理工学部 杉本 泰博

概要：本研究では電流制御降圧型 PWM DC-DC コンバータを構成した。スイッチング周波数は 5MHz もしくは 20MHz に切替可能としている。これは高周波化によるインダクタの小型化を目指したもので、周波数を選択できる構成とすることにより、インダクタの選択に自由度を持たせたものである。スロープ補償には Duty の二乗に比例する特性を用いており、一般的な一次のスロープ補償に比べ、より安定な条件で動作させることが可能となっている。Duty の二乗に比例する特性は MOS の二乗特性を用いて発生させている。出力トランジスタは、ボンディングワイヤに寄生したインダクタによるリングングを抑えるために、Pch トランジスタを 3 段に分けて順次オンさせる構成となっている。さらに、基準電源を新規に構成した。これは出力電圧（電流）を自由に変化させることができ、かつ精度はバンドギャップと同等の特性を持っている。この基準電源を用い、発振周波数の安定化を行った。

参考文献：Hiroki Sakurai, Yasuhiro Sugimoto, "Analysis and Design of a Current-Mode PWM Buck Converter Adopting the Output-Voltage Independent Second-Order Slope Compensation Scheme", IEICE Trans. Fundamentals, vol. E88-A, No. 2, Feb. 2005.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



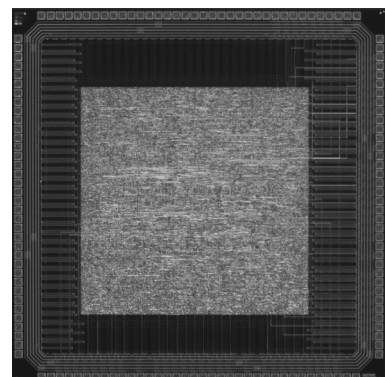
自己修復型人工物用チップ

東京大学工学系研究科 小松 謙介

東京大学人工物工学研究センター 高橋 浩之

概要：自己修復型人工物の考え方は、人工物は単体では必ず故障を起こすということを前提として、それでも内部構成を変革しながら、当面動作を続けることの出来るような人工物を実現したい、というものである。本チップは、この中で必要とされるセンサネットワークを実現するためのものである。センサネットワークは、独立動作する多数のセンサから得られた情報を統合するが、本チップでは比較的均質かつ多数のセンサを用いることを仮定し、ネットワーク上で隣り合う各センサ間で共有される情報を利用して、全体として極めて高い信頼性を与えるセンサネットワークを実現するものである。本チップでは前回試作したチップよりも集積度を向上させ、各センサに対応する信頼度の計算精度を上げた。光センサを用いてチップを試験したところ信頼度の大きさによってネットワークを再構築し、不良センサを排除することができた。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



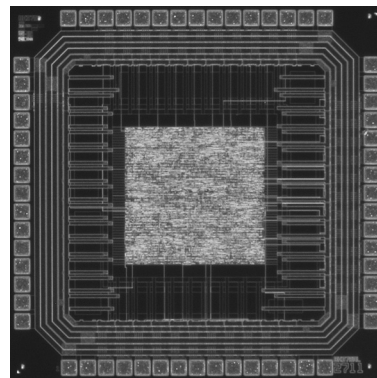
自己修復センサ用チップ

東京大学工学系研究科 藤原 健

東京大学人工物工学研究センター 高橋 浩之

概要：大規模の人工物に対応できるスケーラブルな自己修復型のチップを開発するためにセンサネットワークとのインタフェースをとるための基本機能を実装したものである。自己修復型人工物は、人工物の内部構成を変革しながら、故障時にも当面動作を続けることの出来るような人工物であるが、独立動作する多数のセンサから得られた情報を統合する際のインタフェースを行なうものである。本チップでは各センサに対応する信頼度を導入し、この信頼度を隣り合うセンサとの通信を行いながら、各センサの状態を更新していく機能をもっている。この際、端の部分では更に別のチップとまたインタフェースをとることで大規模なシステムを構築可能としている。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



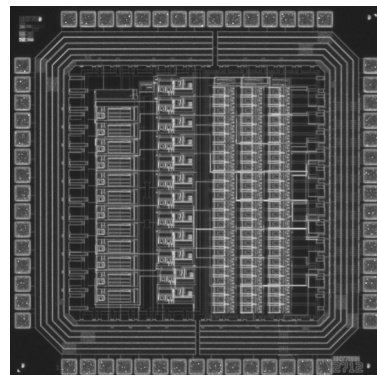
ワイヤチェンバ用フロントエンドチップ

東京大学工学系研究科 Yeom Jung-Yeol

東京大学人工物工学研究センター 高橋 浩之

概要：本チップは中性子散乱実験用に用いられるワイヤチェンバのフロントエンド信号処理を行なうために、高速動作の可能なパルス信号処理回路を複数チャンネル集積したものである。ワイヤチェンバから出力される信号パルスとしては、10fC程度の小さな電荷になるため、これをローノイズかつ高速に測定するためには、等価雑音電荷が0.1fC程度の高性能電荷増幅器が必要となる。さらに本チップには、積分時間の可変な積分器、フィルタ時定数の制御可能な波形整形増幅器、ウィンドウ型コンパレータなどの機能を12チャンネル分集積したものであり、これをベアチップのまま基板に実装して高密度のフロントエンド電子回路を実現する予定である。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



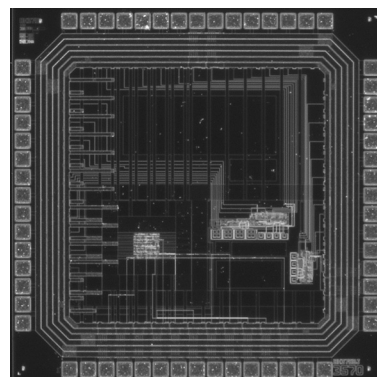
2次連続時間型 $\Delta\Sigma$ 変調器

上智大学理工学部 小林 章二, 和保 孝夫

概要：CMOSを用いた2次連続時間型 $\Delta\Sigma$ 変調器を設計した。積分器には、差動入力段と共通ソース段、およびCMフィードバック回路を含む全差動型2段構成オペアンプを用い、高いゲインを得ることで理想的な積分器特性に近づけた。前回の検討結果を考慮してL/Wの最適化を図った。また、比較器にはマスタースレーブ型を用いた。シミュレーションによれば、入力帯域100kHz、OSR=128(クロック周波数25.6MHz)の時、SNR=70dB(11ビット)、消費電力は約20mWであった。フィードバック係数はインパルス不変法に基づく値を想定したが、内部DACのテイル電流源で微調整を可能とした。また、比較のため1次連続時間型 $\Delta\Sigma$ 変調器を搭載した。

参考文献：小林, 和保 「CMOS2段オペアンプの設計」平成16年度VDEC年報, 160頁(2004)

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

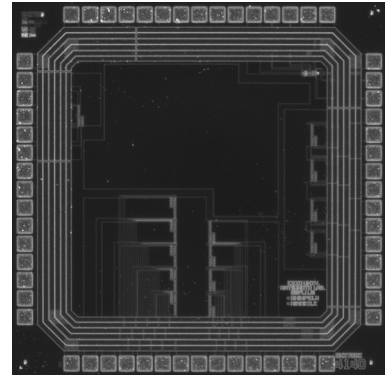


静電容量型センサ用容量検出回路

慶應義塾大学理工学部 轡田 晃一, 松本 佳宣

概要：近年、研究開発が盛んに行われている静電容量型センサ用の微小容量検出回路を設計した。一つの回路で3軸センサの検出ができるように、3つのスイッチトキャパシタ方式の容量検出器を6相クロックで駆動する構成とした。また、発振回路と利得約50倍の非反転増幅器も併せて集積化した。スイッチトキャパシタと非反転増幅器に用いる演算増幅器は折り返しカスコード型のRail to Rail演算増幅器を用いた。演算増幅器のオフセットを評価するために、回路パラメータやレイアウトを変えた演算増幅器を複数設計して、その評価を行えるようにした。この回路はフェムトファラッドオーダーの微小容量検出が必要な加速度センサなどの分野への応用が期待される。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

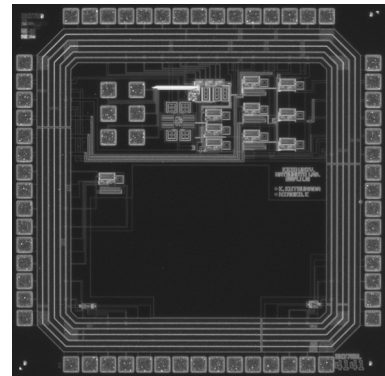


光通信用信号処理回路

慶應義塾大学理工学部 田村 善朗, 赤松 大生, 松本 佳宣

概要：多重方式光通信網で用いられるバースト伝送対応用のATC (Auto Threshold Control) 集積回路の設計と試作評価を行った。バースト伝送ATC回路は、ピーク検出回路とボトム検出回路から構成され充電用トランジスタ部にカレントミラー構造を用いて、オーバーシュートを低減した。基準電圧1.65V、振幅30mVのパルス信号を入力として行ったシミュレーションでは、ATC回路の応答速度は約7nsec、誤差は1~2mVという高精度な結果が得られた。試作チップを評価用ボードに実装し、ATC回路の動作を測定した結果、入出力オフセットと応答速度の面ではシミュレーションより劣っていたが、振幅検出の面ではシミュレーション通りの結果が得られた。本研究で設計したATC回路は、入出力オフセットという問題点はあるものの検出動作そのものには問題はなく、バースト伝送対応の光受信器で用いるのに有用である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：通信 (RF回路, ATMなど)

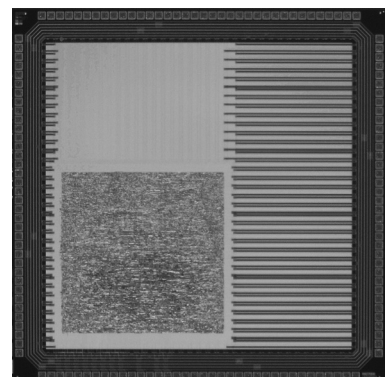


ファジィ推論回路の試作

九州東海大学工学部 佐々木 博文, 藤本 邦昭

概要：位相同期ループ (PLL: Phase Locked Loop) は情報社会において不可欠な機能回路のひとつであり、携帯電話、テレビ、オーディオ機器、パソコン、通信機器、計測機器等における信号の同期、自動周波数制御、周波数変換などに使用されている。当研究室では、アナログPLLのフィルタ部分をファジィ推論回路に置き換えたファジィPLLの開発を行っており、今回はそこに使用するファジィ推論回路の試作を行った。試作したファジィ推論回路は、2入力1出力で、メンバーシップ関数が5種類、推論規則が25個で、推論規則には簡略化推論法を用いている。演算に浮動小数点演算を使用せず、全て固定小数点演算で行うことにより回路規模の縮小と高速化を図った。また、メンバーシップ関数に回路化に最も適した三角型メンバーシップ関数を採用することにより、5種類のメンバーシップ関数を7個のゲートと数十個のスイッチで実現している。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：その他

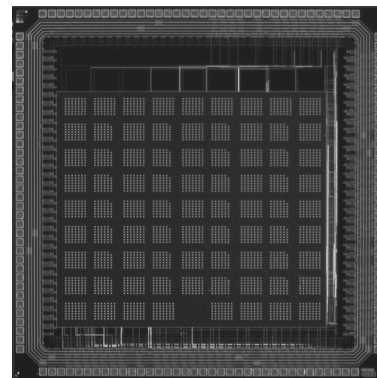


ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なダイナミック型の光再構成回路を有する光再構成型ゲートアレイ DORGA (Dynamic Optically Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $9.5\mu\text{m} \times 8.8\mu\text{m}$ 、その間隔を水平 $42.0\mu\text{m}$ 、垂直 $33\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4ビット入力-1ビット出力-LUT (Look-Up Table) を1個、フリップ・フロップ1個を実装した論理ブロックが28個、配線チャンネル内の配線は8本、それに対応したスイッチング・マトリックス36個、4ビットの I/O ブロック16個を実装した。この度試作した ORGA のゲート規模は476ゲート規模である。ダイナミックタイプの光再構成回路の評価を行った。

設計期間：0.1 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**4.9mm 角 **チップ種別：**その他

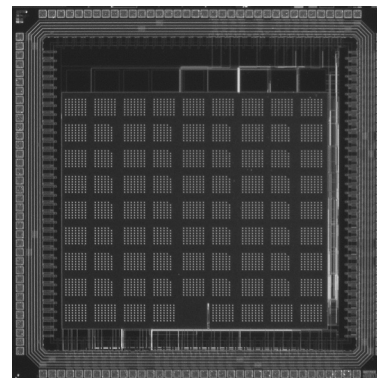


光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なラッチタイプの光再構成回路を有する光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $9.1\mu\text{m} \times 8.8\mu\text{m}$ 、その間隔を水平 $42.0\mu\text{m}$ 、垂直 $33.0\mu\text{m}$ とし、3616 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4ビット入力-1ビット出力-LUT (Look-Up Table) を1個、フリップ・フロップ1個を実装した論理ブロックが28個、配線チャンネル内の配線は8本、それに対応したスイッチング・マトリックス36個、4ビットの I/O ブロック16個を実装した。この度試作した ORGA のゲート規模は476ゲート規模である。

設計期間：0.1 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**4.9mm 角 **チップ種別：**その他



光無線 LAN のためのクロック生成回路

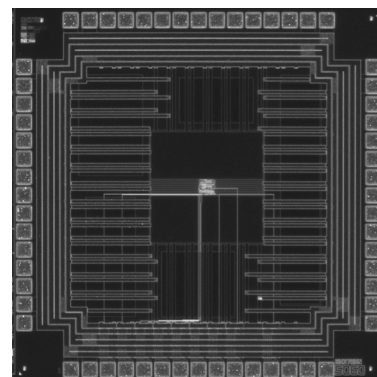
高知工科大学工学部 橋 昌良

概要：レーザーダイオードアレイを用いて構成される光無線 LAN システムのための LSI。回路は LAN を流れるデータとエンドノードなどの制御信号を1本のレーザービームで送るために、データのためのクロック信号を制御信号で FM 変調し重畳されるためのものである。この回路は PLL 回路で構成され、今回試作した回路はこのうちフラクショナル N 分周器を構成するデジタル部分である。VHDL を用いて RTL で設計し、VCS によりシミュレーションの後、Design Compiler で論理合成、Astro を用いて P&R を行い、パターンは Dracula で検証した。クロック信号の周波数は 100MHz と 100.1MHz であり、抽出したパラメータをバックアノテートしたシミュレーションでは必要な性能が満足されていることを確認できた。

参考文献：(2) Posri, Tachibana, "Phase Locked Loop Design in Transmitting

and Receiving Part of Optical Wireless Access", 2004 年電気関係学会四国支部連合大会, 17-16, p324, 徳島大学, 2004 年 9 月

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**2.4mm 角 **チップ種別：**その他

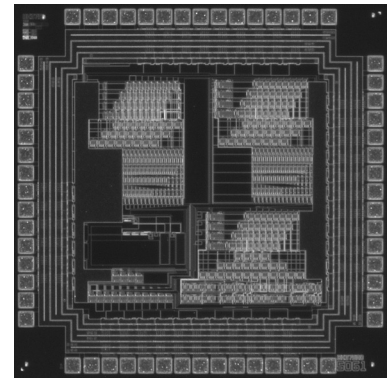


高速乗算器の試作

高知工科大学工学部 田中 佳明, 谷脇 史高, 矢野 政顕, 橋 昌良

概要：回路形式の異なる3種類の8×8乗算器から構成されるチップである。乗算器はブラスのデコーダと部分積生成回路にトランスミッションゲートを用いた構成とNAND/NORゲート回路のみを用いた構成について、遅延時間、消費電力、面積を比較検討できるように設計されている。使用されているゲートは演算速度の高速化をねらって乗算器のために設計されたもので、チャンネル幅の広いトランジスタを使用している。ゲートの遅延時間を測定するためのリングオシレータもパターン化してある。パターンは、ゲート回路の設計および乗算回路の配置配線についてはVirtuosoのみを使用して手書きで設計を行った。学部4年1名と修士課程1年1名による設計。設計期間は約2ヶ月である。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：演算回路（乗算器、除算器など）



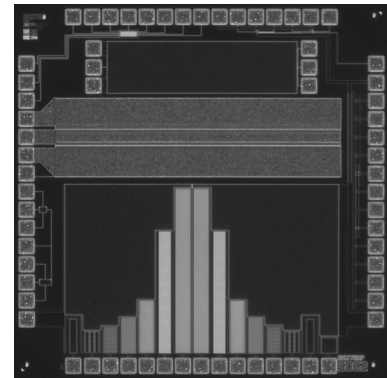
LSI設計評価用デバイスTEG

高知工科大学工学部 川越 伸一, 三宮 大輔, 橋 昌良, 河津 哲

概要：LSIを設計するに当たり、リーク電流及び雑音に関する基本特性を確認することを目的として、面積を一定にしてLOCOS端長を変化させたMOSキャパシタ及びゲート・コントロールド・ダイオードをN及び基板上で設計した。更に、雑音特性を考慮したCMOSインバータの設計を行うと共に、アナログ増幅器特性を評価しうるTEGを設計した。又、学生実験用としてチャンネル長の異なるCMOSインバータの演算速度評価用TEGの設計も併せて行った。具体的にはチャンネル長0.35~10μmのN・PMOSトランジスタ、CMOSインバータ等で構成されている。

参考文献：川越, 岡林, 大橋, 河津, “高速Pulse Scanning C-V法による担体発生量評価IV”, 2004年電気関係学会四国支部連合大会, 11-33, p158, 徳島大学, 2004年9月

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：10以上、100未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）



AshraトリガーセンサーLSI試作(2)

東京大学宇宙線研究所 会田 勇一

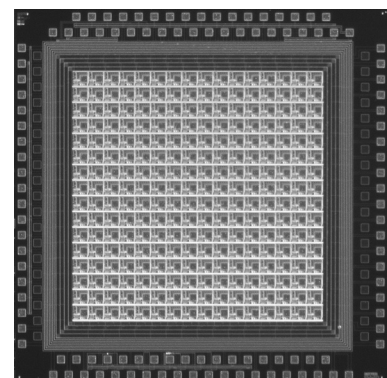
青木 利文 佐々木 真人

茨城大学工学部 木村 孝之

東邦大学大学院理学研究科 安田 雅弘

概要：Ashraは、高エネルギー宇宙線を 2π 視野、数分角の角度分解能での観測により、宇宙線の起源と伝播の解明、VHEvの検出等を目標とする実験である。観測対象となる高エネルギー宇宙線から生じる光の観測に重要なデバイスとして、露光制御を行うトリガーセンサーが挙げられる。本試作では、Ashraトリガーセンサーの一部であるトリガーセンサーLSIの試作開発を行った。ローム社2004年度第1回のAshraトリガーセンサーLSI試作で設計したLSIの機能に加えて、複数のトリガーセンサーLSIとMAPMTの配線時に問題となる、トリガーセンサーLSIと外部回路との配線数減少を目的とした16×16画素トリガーセンサーLSIの試作設計を行った。配線数の減少には前段の出力と後段の出力の論理的な演算を行いながらデータを出力する事が必要であるため、AND回路を縦続接続した回路構成とした。この技術によりAshraで使用予定である64×64画素トリガーセンサーの座標配線数を、1/4に減少させる事に成功した。ただし、欠点として伝搬遅延の増加が生じる。これらが問題ないレベルかどうかに関して、現在測定中である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上、100,000未満 試作ラン：4.9mm角 チップ種別：アナデジ混載



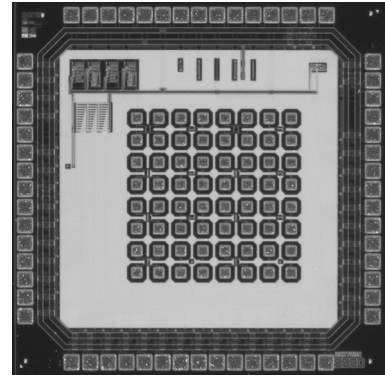
微細 CMOS 基準電圧発生回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之

富山県立大学工学部 鈴木 圭一

概要：近年、電子機器の小型化に伴いデジタル回路とアナログ回路を混載したLSIの必要性が高まっており、とくにアナログ回路では高精度の基準電圧が必要である。本試作チップでは基準電圧発生回路をCMOSデバイスで実現した。所定の電源電圧および温度範囲で出力電圧の変動が1mV以下であることを目標としている。回路構成は標準的なCMOSプロセスを用いている。1.2 μm プロセスで設計した回路構成を基本として、より微細なプロセスである0.35 μm への適応が可能か検討する。また、基準電圧発生部のトランジスタのW/L比をさらに細かく調整可能なMOSFETを配置し、本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)



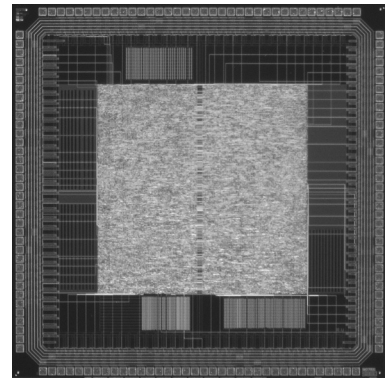
実数 ZCZ 有限長系列セットを用いた M-ary/DS-SS 通信モデムのベースバンド処理部の試作

山口大学工学部 松元 隆博, 植松 良介, 棚田 嘉博

概要：我々は、実数 ZCZ 有限長系列セットを用いた M-ary/DS-SS 通信モデムのベースバンド処理部の試作を行った [1]。長さが2のべき乗+1の実数 ZCZ 有限長系列セットは、その非周期自己相関関数が端点を除き直交し、相互相関関数がある区間において0となる系列セットである。そのため、この系列を用いた M-ary/DS-SS 通信では、系列同士を干渉なく識別することが出来る。この系列セットは、短い長さの要素系列の畳み込みによって得られるため、マッチトフィルタを小規模に実現できる。また、符号発生器は、マッチトフィルタのインパルス応答が系列の時間反転波形になることを利用することで、送信側を簡単に構成している。これより実数値系列であっても回路を小規模で実現できることを示した。

参考文献：[1] 松元, 植松, 棚田, "実数 ZCZ 有限長系列を用いた M-ary/DS-SS 通信モデムの試作," 信学技報 WBS2004-51, pp. 35-40 (2004) .

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：通信 (RF回路, ATMなど)

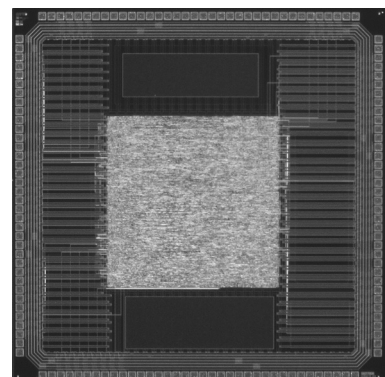


バイナリ重みベクトルの自己組織化マップハードウェア

九州工業大学大学院生命体工学研究科 平塚 智一, 堀尾 恵一, 山川 烈

概要：自己組織化マップ (Self-Organizing Map: SOM) は教師信号なしでデータを分類できるという特長を持つニューラルネットワークであり、パターン分類やデータ解析等へ応用されている。現在、SOMを実現する方法としては、PCやワークステーション等の汎用計算機を用いるのが一般的である。しかしながら、入力ベクトルの要素数、競合層ユニット数の増加に伴い、学習時間が増加する。SOMの一連の演算をワンチップで実現できれば、計算時間が格段に短縮でき、応用の幅も大きく広がるものと考えられる。ハードウェア化を容易にするために、SOMで取り扱うデータとして、バイナリデータを用いた。これにより、入力ベクトルと結合重みベクトルの類似性尺度演算には、ハミング距離を採用することができ、EXORゲートで実現可能となった。また、結合重みベクトル更新演算は、入力ベクトルと異なるビットを反転させる操作で実現した。勝者決定演算は、シフトレジスタを用いたビットシリアルワードパラレルな回路を用いることにより、全ての比較対象を並列かつ効率的に処理することができた。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：4.9mm角 チップ種別：ニューテクノロジー

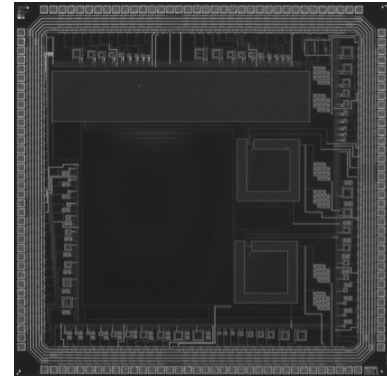


イメージセンサ用光検出回路の TEG

九州工業大学大学院生命体工学研究科 岩崎 正明, 山川 烈

概要：イメージセンサでは実際に試作するプロセスでの光検出回路の特性を知る必要がある。そこで、光検出回路の基本特性である分光感度特性や、量子効率を測定することを目的として、サイズ、形状、構成を変えた受光回路を設計した。具体的には、フォトトランジスタ、フォトダイオード (n-well, n+)、アクティブピクセル回路 (2種類)、対数受光回路を受光面積を変えて設計した。また、トランジスタ、インバータなどの基本デバイスも数種類作成した。本チップ内の TEG は、現在評価中である。今後は、この試作デバイスの結果を参考に、ロボットビジョンへの応用を目的とした特徴検出機能を持つ 2 次元動物体イメージセンサの開発を目指す。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)

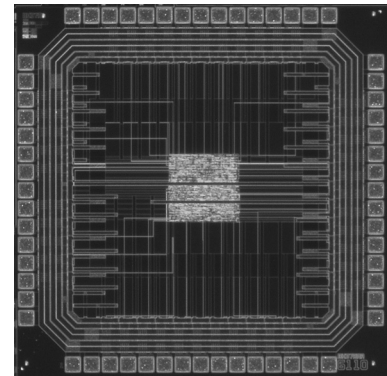


信号処理用 FIFO およびテスト TEG

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸, 田内 一弥

概要：200Mbps で入力されるデジタル信号をバッファし、内部でデジタルフィルタリングを行い必要な情報を取り出すための ASIC を製作する目的で、その内部ブロックのうちひとつを抽出し今回の TEG に入れてある。機能としては入力デジタル信号のセクタとデジタルバッファおよびバッファ内の信号を制御するランダムロジックである。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Apollo トランジスタ数：10 以上, 100 未満 試作ラン：2.4mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



セキュアプロセッサの開発

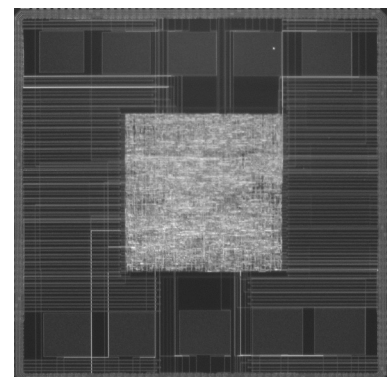
岩手県立大学大学院ソフトウェア情報学研究科 穂積 健介, 福原 和哉

岩手県立大学ソフトウェア情報学部 大宮 太一, 狩野 孝弘, 高橋 大介, 猪股 俊光, 曾我 正和

概要：不正侵入、他人なりすまし、改竄、ヤスキミング等を防ぐキー技術は安全で確実な個人認証技術である。そのための認証媒体として、デジタル署名機能をもつ非接触 IC カードが最適と考え、(a) 高速署名計算機能、(b) 秘密鍵漏洩防止機能、(c) 汎用プロセッサとしての計算機能、(d) 低電力消費、の 4 つの要件を満たすセキュアプロセッサ SEP-5 の試作を行った。SEP-5 は 32 ビットのマイクロプロセッサで、多倍長演算機能を持ち、RSA デジタル署名計算を約 0.94 秒で実行できる。ゲート規模は約 29,000 ゲート (2NAND 換算) となった。

参考文献：[1] 穂積, 猪股, 曾我, "セキュアプロセッサの開発", 情処研報 2004-ARC-160, pp.71-76, (2004)

設計期間：6 人月以上, 7 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：9.8mm 角 チップ種別：マイクロプロセッサ



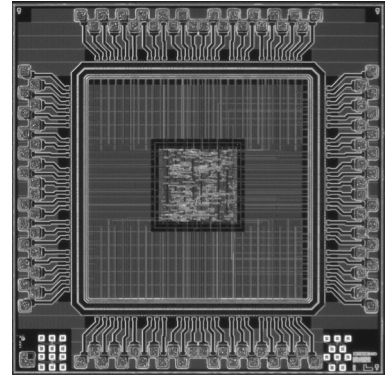
平成16年度 第1回 日立製作所CMOS0.18 μ m チップ試作 (HIT18041)

診断容易化のための改良 Interval-based logic BIST 回路の設計

大阪大学大学院情報科学研究科 四之宮 傑, 三浦 克介, 中前 幸治, 藤岡 弘

概要：SoCのテスト容易性改善の為、BIST設計が用いられているが、通常のBISTでは故障を検出するのみで、不良箇所を特定する診断を行うことはできない。これに対し、スキャンパスを通じて故障検出時の回路の主出力を外部に取り出すことが可能なInterval-based logic BISTが報告されている。この回路では、故障出力配線の特定が可能であり、これにより、テスト容易化だけでなく診断の容易化も実現している。本試作では、更なる診断の容易化を目指して、Interval-based logic BISTを改良したBIST手法を提案し、その有効性を実証するチップを設計・実装した。故障出力配線の特定を更に容易にするため、スキャンパスの組み換えを可能にしている。被テスト回路として16bit整数乗算回路を実装し、それに対して8個のスキャンフリップフロップからなるスキャンチェーン4本を有する通常のInterval-based logic BISTを付加した回路、本手法により2通りにスキャンパスを組み替え可能なBISTを付加した回路、4通りに組み替え可能なBISTを付加した回路の計3つの回路を設計・実装した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula DRC トランジスタ数：10,000以上、100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：演算回路（乗算器、除算器など）

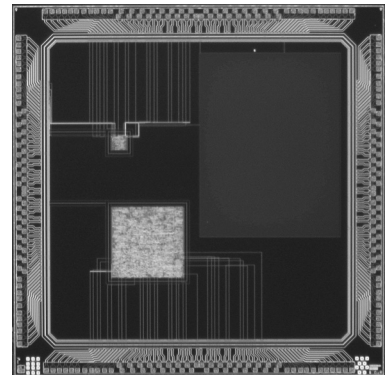


MIMD 連想プロセッサの連想処理・算術切り替え型 ALU, 短命令長命令セットのためのデコーダ

東京大学工学系研究科 早川 仁

概要：我々は、人のように柔軟な認識を行うハードウェアシステムを研究している。その中で、入力された信号に最も近い出来事を記憶の中から探し出すこと（連想処理）は中心的な役割を果たし、これまで連想処理を専用に行うSIMD型プロセッサ（連想プロセッサ）をいくつか開発してきた。しかし、これらは連想専用であったため連想結果を利用した条件判断や簡単な算術演算などは外部で行う必要があった。そこで、連想処理に必要な演算器を分割し、それらを直列に接続することで連想処理を、選択して使用することで算術処理を行える、連想処理・汎用処理切り替え型のALUを持った連想プロセッサを考案した。また、より高度な連想処理を効率よく行うために、この切り替え型連想プロセッサを1チップ上に複数用意しMIMD構成にしたMIMD連想プロセッサを提案する。本試作では、MIMDエレメントの中核となる連想処理・算術処理切り替え型ALU、および、1つのMIMDエレメントに必要な命令メモリを削減する短命令長の命令セットのためのデコーダを設計した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：演算回路（乗算器、除算器など）

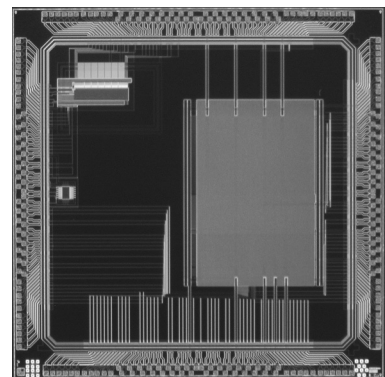


高速デジタル連想プロセッサ

東京大学新領域創成科学研究科 小川 誠

概要：ベクトル量子化に基づいた連想処理を行う、デジタル専用プロセッサ。距離演算に最適化された並列演算回路と、最小距離を高速に検出する二次元ビット伝播方式のWinner-Take-All回路を特徴とする。プロセッサには32並列の距離演算回路と8KBのオンチップメモリ、128入力のWTA回路が含まれる。距離演算回路では、シフト+アキュムレータにより乗算機能もサポートされ、従来のマンハッタン距離だけでなくユークリッド距離の演算も行える。WTA処理は、従来、ビット長と同程度のサイクルが必要であったが、二次元ビット伝播方式では24ビットの入力データを1サイクルで検索を実行する。試作プロセッサは測定の結果、電源電圧1.8Vの下、66MHzで動作し、消費電力は72mWであった。プロセッサ内には、64次元のベクトルを128個記憶することが可能で、マッチング時間は約4 μ sとなる。なお、本プロセッサはマッチングエンジンマクロを設計・検証するためのプロセッサであり、今後、本試作で設計したマッチングエンジンマクロを用いて、並列度を向上させコントローラ回路を高機能化した連想プロセッサを設計・試作する予定である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



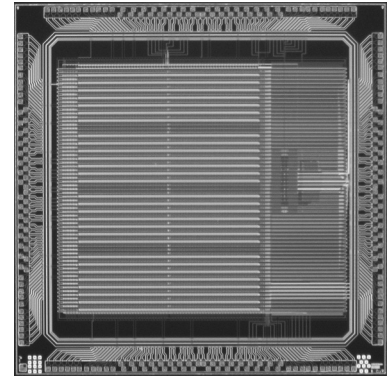
画像特徴抽出プロセッサ

東京大学工学系研究科 山崎 英男

概要：画像認識において最も重要な処理は、画像から認識に必要な特徴のみを抽出した圧縮表現である特徴ベクトルの生成である。我々の研究室では、画像の最も基本的な特徴であるエッジ情報に基づいた特徴ベクトル生成アルゴリズムを開発し、医用X線写真解析や顔検出で成果を得てきた。[1] しかし、これらの画像特徴抽出アルゴリズムは演算コストが高く、ソフトウェアによる処理では遅延が大きくなってしまふ。本チップは、画像認識のボトルネックであるこれらのアルゴリズムを高速に実現する画像特徴抽出プロセッサである。特に、エッジ情報を保持する2次元のシフトレジスタアレイを実装することにより、高解像度画像をスキャンして連続的に特徴ベクトルを生成することの高速化を実現した。本試作では、以前に試作されたチップの測定からのフィードバックにより、不具合の修正および安定性の向上を図った。

参考文献： [1] M. Yagi and T. Shibata, "An Image Representation Algorithm Compatible to Neural-Associative-Processor-Based Hardware Recognition Systems," Trans. Neural Networks, vol. 14, no. 5, pp. 1144-1161, Sep. 2003.

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre **トランジスタ数：**100,000 以上 **試作ラン：**日立製作所 CMOS 0.18 μ m 5.9mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



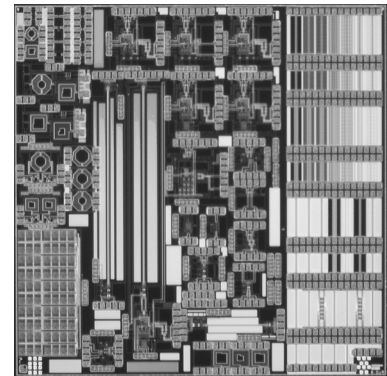
電流モード論理素子を用いたオンチップ高速信号伝送 TEG

京都大学情報学研究科 新名 亮規

概要：近年、LSIの製造プロセスの微細化に伴い、1チップ内に集積される回路規模は増大している。将来的には多数の機能ブロックが搭載された、大規模SoCが実現されると考えられる。我々は次世代の超微細プロセスにおける、ブロック間の長距離高速信号伝送技術として、差動シリアル伝送を提案する。今回の試作では、シリアル通信用 MUX TEG, CML ドライバ, レシーバを使用した信号伝送特性評価 TEG を作成した。設計した MUX は、最大 8.2Gbps で動作することを実測にて確認した。信号伝送特性評価 TEG は、3mm の LSI 内配線に対し、信号の伝送特性を評価する TEG である。パルスパターンジェネレータを使用して評価し、最大 7.5Gbps の信号伝送が行なえることを確認した。本回路の測定結果に基づき、将来的な伝送特性予測、伝送効率の評価を行なう予定である。

参考文献： A. Shinmyo et al. "Design and Measurement of 6.4Gbps 8:1 Multiplexer in 0.18 μ m CMOS Process", IEEE Proc. ASP-DAC 2005

設計期間：3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**日立製作所 CMOS 0.18 μ m 5.9mm 角 **チップ種別：**通信 (RF 回路, ATM など)

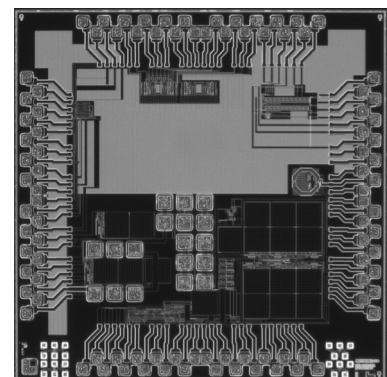


3.1~5GHz 帯域低電力ウルトラワイドバンドのトランシーバ回路ほか

東京大学国際・産学共同研究センター 石田 光一, Tamtrakarn Atit, 鬼塚 浩平, 桜井 貴康

概要：・通常のウルトラワイドバンドの帯域は 3.1~10.6GHz だが、実際は 10GHz までの帯域は必要なく、5GHz までの帯域で十分というアプリケーションも多いので、このような仕様のトランシーバを試作した。送信側は送信機とコントローラを実装し、受信側は低雑音アンプ、パルスアンプおよびダイナミックパルスディテクタを作った。・従来、デバイスのスケールアップはアナログ回路には適さないとされてきたが、スケールアップされたデバイスでスケールアップ前の電源電圧が取り扱うことができればこれらの問題は解決できると考えられる。そこで、標準使用電圧の 2 倍の 3.6V を取り扱うことができる高耐圧の演算増幅器を設計した。・チップ上における将来の分散電源方式実現に向け、小型で出力電圧を高速に変化させることができるバック型 DC-DC コンバータの設計を行った。高い出力電圧から低い出力電圧への変化時間は HSPICE シミュレーションにおいて約 1ns であった。出力電圧変化時を除く実測において最大効率は約 50% であった。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**日立製作所 CMOS 0.18 μ m 2.9mm 角 **チップ種別：**通信 (RF 回路, ATM など)



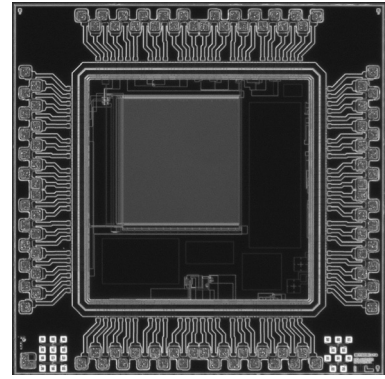
クライオデバイスモデル研究用 CMOS デバイス

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センス回路を用いることによりサブナノ秒のアクセスタイムが可能となる。以上の高速ハイブリッドクライオメモリの設計、システム性能評価のためには、低温での CMOS デバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかの CMOS デバイスを試作した。CMOS デバイスの低温測定により、CMOS デバイスの 4.2K 動作の評価を行い、低温 CMOS モデルの検討を行った。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：メモリ



高並列プロセッサ向けマルチバンク構成レジスタファイル

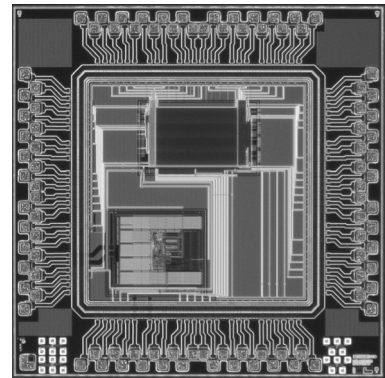
広島大学ナノデバイス・システム研究センター 末吉 徹也,

マウシュ ハンス ユルゲン,

小出 哲士

概要：近年、コンピュータの性能向上を図るために、スーパスカラ方式や VLIW 方式などの、複数の命令を同時並列実行するプロセッサが利用されている。プロセッサの並列度の増加に伴い、レジスタファイルのポート数、及びエントリ数を増加させる必要があるが、従来の多ポートメモリ構造ではポート数の増加に伴い、面積、遅延時間、消費電力が増大してしまうため、並列度の向上は困難である。本研究室では、高並列プロセッサ用の多ポートレジスタファイルを実現するために、階層構造型多ポートメモリアーキテクチャ (Hierarchical Multiport-memory Architecture:HMA) を利用したバンク構成のレジスタファイルを提案している。この試作チップでは、4 命令並列スーパスカラプロセッサへの実装を想定した 12 ポート構成の HMA レジスタファイルを設計を行い、面積 800 μ m x 470 μ m、動作周波数 580MHz、消費電力 220mW@500MHz を実現した。

設計期間：3 人月以上, 4 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：メモリ

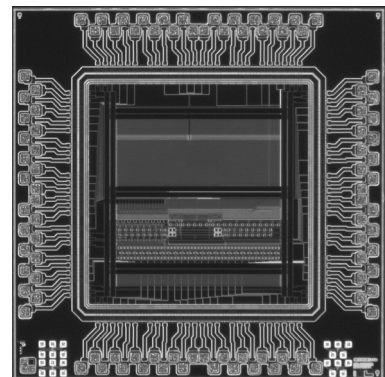


2 段 PLL を用いた超高精度時間測定回路

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要：我々は加速器実験で使用する時間精度数百ピコ秒の時間測定チップを数多く開発してきた。この技術をさらに発展させ、発振周波数のわずかに違う PLL 回路を 2 段用い、数十ピコ秒の時間精度で多チャンネルの信号の到達時間を測定できる LSI を開発したいと思っている。このようなチップは、加速器実験でよく用いられる TOF (Time Of Flight) 検出器等で強く必要とされており、又多くの応用が見込まれる。今回の試作チップでは、16 段の遅延素子からなるリングオシレーターを持つ PLL 回路を 2 個搭載し、10MHz の基準クロックより、それぞれ 160MHz と 170MHz とで発振するように設定した。各リングオシレーターの遅延素子の遅延時間差を利用し、24 段の Vernier Delay Line を構成し、30ps 程度の微小時間を検出する回路を目指した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



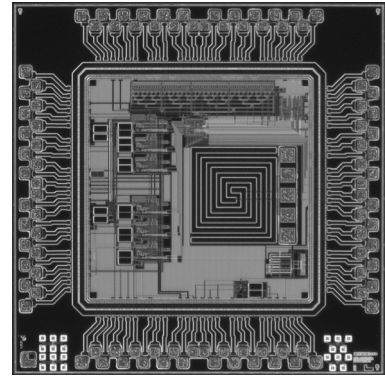
Ultra Wideband 送受信器

寺田 崇秀

概要：本試作チップは、インパルス方式のUltra Wideband (UWB) 送受信器である。Ultra Widebandとは、現在最も注目されている無線通信の1つであり、高速、低消費電力、低コストが原理的に可能であるとされる。UWBは、周波数帯域が中心周波数の20%以上、あるいは500MHz以上の無線通信と定義されている。注目されるきっかけとなったのは、2002年2月にアメリカのFCCという周波数を管轄する機関がUWBの民生利用を許可したことである。これにより、それまで軍用レーダとして利用されていたUWBが民生用途に広く研究・開発されるようになった。日本やヨーロッパでもFCCの動きに対応してUWBに対する法規制を検討しているが、いまだ結論はでていない。というのも、UWBは既存の狭帯域な無線通信と、使用する帯域が重なっているため、既存の無線に対する干渉が懸念されている。そのため、規制のレベルについて、慎重な議論が続けられている。本試作チップは、センサネットワークやRF-IDをターゲットとした、低消費電力、低コストな送受信器である。その送信電力は日本の伝播法に則り、微弱無線の規定内におさまっている。また、低消費電力、低コスト実現のため、いくつかの回路的工夫がなされた。本試作チップによって、その工夫を実証した。

参考文献：無し

設計期間：1人月以上、2人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別：**通信 (RF回路, ATMなど)



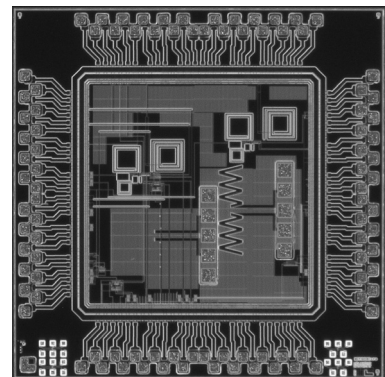
Ultra Wideband 用非同期型送受信器

善積 真吾

概要：本試作チップは、Ultra Wideband (UWB) 用の送受信器である。Ultra Widebandとは、現在最も注目されている無線通信の1つであり、高速、低消費電力、低コストが原理的に可能であるとされる。UWBは、周波数帯域が中心周波数の20%以上、あるいは500MHz以上の無線通信と定義されている。注目されるきっかけとなったのは、2002年2月にアメリカのFCCという周波数を管轄する機関がUWBの民生利用を許可したことである。これにより、それまで軍用レーダとして利用されていたUWBが民生用途に広く研究・開発されるようになった。本試作チップは、現在UWB通信の帯域として最も利用される可能性が高い3.1~5GHz帯をターゲットとした送受信回路である。従来の同期が必要な回路とは異なり、本チップでは入力してきたパルスを2乗する非同期なアーキテクチャを採用した。こうすることで、同帯域をターゲットとした従来のUWB送受信器よりも低コストとなる。本試作チップにより、高速な通信が可能であることを実証する。

参考文献：無し

設計期間：0.5人月以上、1人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別：**通信 (RF回路, ATMなど)



高速レシーバ回路

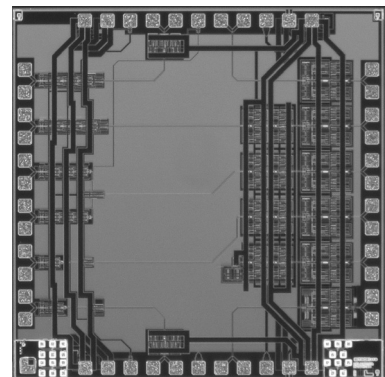
明星大学情報学部 秋山 豊, 伊東 恭二, 宇佐美 保, 大塚 寛治

明星大学理工学部 水野 文夫, 鷹野 致和

概要：概要：前回まで日立0.18 μ m CMOSプロセスを用いて電荷交換型差動ドライバにつき試作を行って来たが、今回レシーバ回路等の試作を追加した。ドライバ回路は前回試作で8Gbpsの高速動作を確認、今回更に高速化を図る為にドレイン間距離を1 μ mに狭め、構造をくし型にして電荷交換効果を高めた。レシーバ回路は初段には入力レベルの変動に対する出力レベル変動の小さい正帰還型、2段目には出来るだけ帯域を伸ばすため電流源型、終段は出力振幅を大きくするため非飽和型構造とした。動作確認の結果ドライバ回路に於いてはRise time=78.24ps Fall time=87.06psで前回の最高値を更に10ps程度更新、消費電流においても良好な改善効果を確認する事が出来た。しかしEyeパターンでJitterの改善が更に必要であることが判明し次回TEGで対処する事にした。レシーバ回路、ピーキング回路、シングル入力差動出力回路については引き続き検証する予定である。

参考文献：今村, 秋山, 大塚, 伊東, 伊藤, "0.18 μ mプロセスによる3GHz動作CMOSインバータのI/Oインターフェイスへの適用" 第19回エレクトロニクス実装学術講演会" 2005.3, pp29-30

設計期間：5人月以上、6人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数：**10,000以上、100,000未満 **試作ラン：**日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別：**TEG (特性評価回路など)

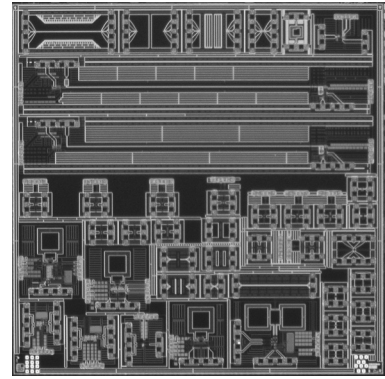


オンチップ伝送線路およびRFトランジスタ評価用 TEG

東京工業大学精密工学研究所 伊藤 浩之, 岡田 健一, 益 一哉

概要：本チップは、オンチップの差動伝送線路と擬差動伝送線路の特性評価、RFトランジスタのモデリングを目的に試作した。差動伝送線路 TEG は、配線幅や差動インピーダンスが異なる 10 種類のパターンと直交配線や並走配線がある 6 種類、曲げ構造 1 種類、de-embedding パターン 6 種類で構成されている。擬差動伝送線路は de-embedding パターンを含めた 5 種類からなる。また、RC 線路単体 2 種類も作成している。これらの配線 TEG はネットワークアナライザを用いた 50GHz までの周波数領域測定により評価した。トランジスタ TEG は nMOS と pMOS の 2 種類あり、それぞれ 2 種類のゲート幅で、ソース接地とスイッチのパターンで構成されている。また de-embedding パターンを各 4 種類作成している。

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：10 以上, 100 未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm 角 チップ種別：TEG (特性評価回路など)

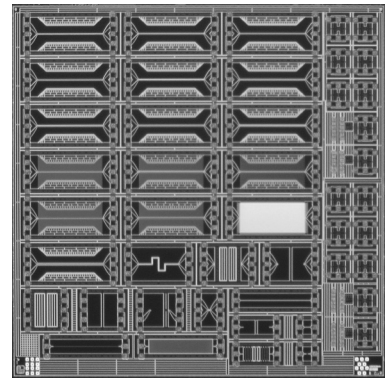


CMOS 高速信号伝送回路及び広帯域 RF アナログ回路の試作

東京工業大学精密工学研究所 菅原 弘雄, 五味 振一郎, 杉田 英之, 伊藤 浩之, 岡田 健一, 益 一哉

概要：本試作では、LSI 内で高速信号伝送を実現するための回路と GHz 帯での広帯域動作を目指したアナログ回路の試作を行った。高速信号伝送回路は GND 電圧から電源電圧 VDD までの電圧、つまり、CMOS インバータを用いて論理入出力可能となる回路構成とした。送信回路、受信回路共に差動増幅回路とした。伝送線路配線はコプレナ型の伝送線路を用いた。また比較のために従来の長距離配線で用いられている RC 線路についても試作を行った。広帯域 RF アナログ回路では、無線通信用の低雑音増幅器 (LNA) とミキサ (MIX) とその構成素子を試作した。回路内の受動素子であるインダクタを可変させることによって、広帯域化を目指している。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：10 以上, 100 未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm 角 チップ種別：通信 (RF 回路, ATM など)



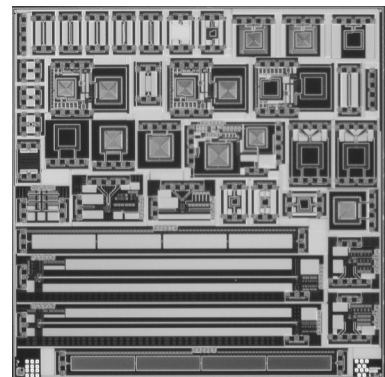
オンチップ伝送線路配線評価用 TEG

東京工業大学精密工学研究所 杉田 英之, 伊藤 浩之, 五味 振一郎, 吉原 義昭, 岡田 健一

益 一哉

概要：擬差動伝送分：本チップでは、擬差動伝送線路を用い高速信号伝送、低消費電力化と低面積化を実現する伝送線路の特性評価と擬差動伝送線路を用いた一対一伝送用の回路の試作を行っている。線路を特性評価するために線路単体の TEG を用い S-parameter で評価する。パッドの寄生成分を除去するために De-embedding パターンも試作している。一対一伝送用回路はパルスパターン発生器とデジタルオシロスコープを用い時間領域で評価する。配線の距離は 4mm である。また、回路の動作を確認するためにレシーバ単体の TEG も試作している。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：10 以上, 100 未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm 角 チップ種別：TEG (特性評価回路など)

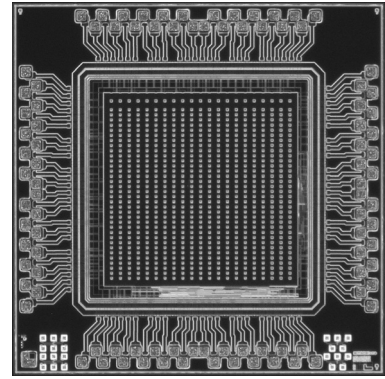


ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なダイナミック型の光再構成回路を有する光再構成型ゲートアレイ DORGA (Dynamic Optically Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $16\mu\text{m} \times 16\mu\text{m}$ 、その間隔を $38.4\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模である。ダイナミックタイプの光再構成回路の評価を行った。

設計期間：0.1 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**日立製作所 CMOS $0.18\mu\text{m}$ 2.9mm 角 **チップ種別：**その他

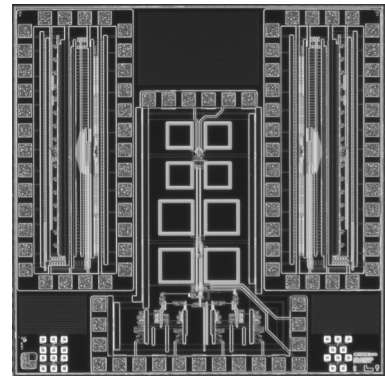


GHz サンプリング AD 変換器及び 10Gb/s 1:4 DEMUX

鹿児島大学工学部 上村 勇仁, 永吉 芳行, 小野 宏一, 大島 賢一, 山下 喜市

概要：高速 HDD, DVD, ギガビットイーサネットなどへの応用を目的に GHz サンプリング AD 変換器の低コスト化, 低消費電力化に取り組んでいる。今回, コンパレータの高速化, 低電力化, 及びエンコーダにバウリング対策を盛り込んで, 6 bit Flash 型 AD 変換器を試作した。試作チップの性能は, 入力範囲 800 mV で DNL は 1.5 LSB, INL は 2.0 LSB, 1.5 GS/s 動作時の消費電力は 188 mW であった。DNL 及び INL が大きい原因はコンパレータの差動 MOS トランジスタの V_{th} オフセットと推定している。また, 同じチップ内に光通信用 10 Gb/s 1:4 DEMUX も試作した。本 DEMUX では分周器及びクロックバッファにオンチップスパイラルインダクタによるピーキングを採用し広帯域化を図った。

設計期間：7 人月以上, 8 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**日立製作所 CMOS $0.18\mu\text{m}$ 2.9mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



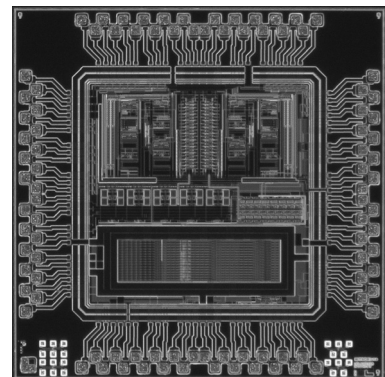
オンチップ信号検出マクロ

神戸大学工学部 野口 宏一朗, 深沢 光弥, 永田 永田

概要：本チップは 24 ビット 32 列シフトレジスタと, 2 個のオンチップマルチチャンネル波形取得回路で構成している。これらの構成は 2003 年度に同じプロセスで試作したオンチップ波形取得システムと等しいが, 機能向上と性能改善を目的に, 内部回路を変更している。主な改善項目は, 可変遅延ステップ生成回路のタイミング精度の高精度化, 参照電圧生成用 ADC の高精度化, 検出回路の小面積化/高帯域化, 測定対象回路とタイミング生成回路の同期調整機能で, 面積を増加すること無く各モジュールを高性能化した。また, I/O の整理や機能ブロックのレイアウト位置の調整, 信号配線ルーティングの変更を行ない, 利便性の高いハード IP として開発した。現在, 全てのオンチップ回路の基本動作を確認でき, 自動測定環境を構築中である。

参考文献：野口, 深澤, 野口, "オンチップ信号波形取得システム", 2004 年 VDEC 年報 (2004)

設計期間：1 人月以上, 2 人月未満 **設計ツール：**SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**日立製作所 CMOS $0.18\mu\text{m}$ 2.9mm 角 **チップ種別：**アナログ混載



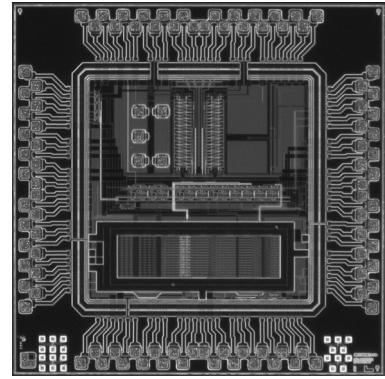
オンチップ信号モニタのためのS/H回路

神戸大学工学部 野口 宏一朗, 永田 真

概要：S/H回路は簡単な回路構造で回路面積が小さく、サンプリング動作により高帯域な信号検出を実現できる。しかしながら、オンチップ信号モニタ回路としてS/H回路を用いると、S/H回路からチップ外への信号経路上で、他の機能回路から簡単に外乱を受け検出波形が劣化してしまい、そのままではオンチップ振動モニタ回路として用いることはできない。本チップは、S/H回路と、S/H回路と電圧バッファあるいは電流バッファを統合したフロントエンド回路、の3種類の性能比較ができる構成となっている。S/H回路は合計13個であり、また被測定対回路として24ビット32列シフトレジスタを搭載した。S/H出力信号経路と、その下に配置された回路との寄生結合による雑音耐性の評価も可能である。現在のところ、3種類のS/H回路の基本動作を確認している。

参考文献：野口、深澤、野口、"オンチップ信号波形取得システム", 2004年VDEC年報(2004)

設計期間：1人月以上, 2人月未満 設計ツール：SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上, 10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：アナデジ混載



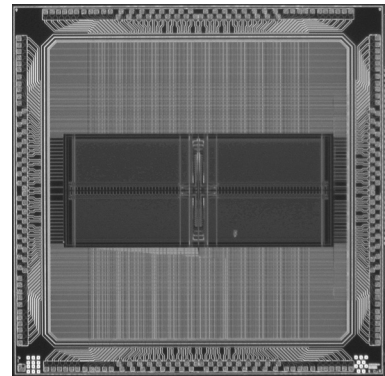
SRAM キャッシュ・メモリの設計

福岡大学大学院工学研究科 田中 秀和

九州大学大学院システム情報科学研究院情報理学部門 井上 弘士

概要：現在、トランジスタの微細加工技術の進歩に伴い、プロセッサ・チップの消費電力が問題になってきている。その中で、キャッシュ・メモリの消費電力が大半を占めるようになってきた。しかしながら、先端技術を用いたキャッシュ・メモリの消費電力は公にされていない。そこで、キャッシュ・メモリの消費電力を明らかにするために、16KBの4ウェイ・セット・アソシアティブ・キャッシュをカスタムレイアウトにより設計した。目標動作周波数は300MHzである。本チップは、アドレス・デコーダ、SRAMアレイ、センス・アンプ、タグ比較回路、参照データを選択するためのマルチプレクサを有している。また、SRAMアレイの構成に関しては、6トランジスタSRAMとした。なお、テストによる測定は行っていない。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：メモリ



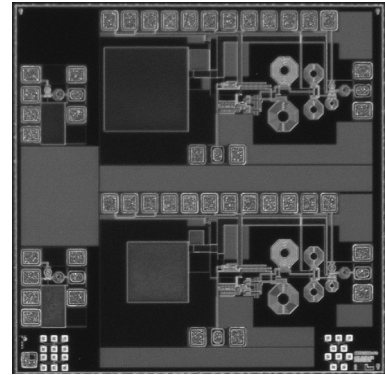
平成15年度 第3回 日立製作所CMOS0.18 μ m チップ試作 (HIT18033)

低消費電力PLL

東京大学新領域創成科学研究科 山本 憲, 藤島 実

概要：トランシーバにおける搬送波を発生させる位相同期ループ (PLL) の低消費電力動作を目指している。PLLの低消費電力化のためには電圧制御発振回路 (VCO) と周波数2分周回路の低消費電力化が重要になる。周波数2分周回路の低消費電力化に関しては、以前に消費面積が大きいオンチップインダクタを用いずに最も低消費電力化を実現できる方式を提案したため、これを利用した。VCOの低消費電力化に関しては、動作マージンを減らすことにより低消費電力化を測った。これらの回路を低消費電力化することにより、最も低消費電力動作をするPLLを作成した。また、PLLのアーキテクチャに関して、従来のデジタル回路を用いた方式ではノイズが大きいため、デジタル回路を用いない新しい方式を提案した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



Sorting Network TEG and Digital Pixel Sensor TEG

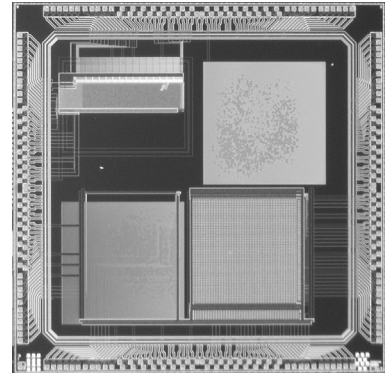
東京大学大学院新領域創成科学研究科基盤情報学専攻 伊藤 潔人

東京大学工学部電子情報工学科 トンプラシット ベンジャマース

東京大学工学部電気工学科 川原 邦男

概要：A prototype of high-speed sorting circuit is designed on this chip. We use sorting in various uses. But its expensive computation causes problems in realizing high speed and high throughput systems. Employing efficient word comparison sorting, the high-speed sorting is successfully realized. A prototype of digital pixel sensor (DPS) is also designed on the chip. The precedent image processors encounter the bottleneck in routing a large amount of image data from sensors to processing unit. In order to solve the interconnection problems, the image processing VLSI with built-in digital pixel sensors is proposed. The key features of this chip are as follow. First, A/D converters are implemented to each pixel, thus, pixel data are digitized inside their cell and readout as a digital value. Second, the block-readout method is developed. This read-out method reduces time delay before the computational operation begins. The novel searching circuit is also implemented on this chip. This circuit searches data in any ordinal number and the amount of data. A 64x64 pixel array digital pixel sensor is implemented on the test chip. Digital pixel sensor is a solution for high speed readout. It includes A/D converter in each pixel cell. Therefore, the A/D conversions in each cell work out in parallel. The block readout architecture is also developed in this circuit. With this architecture, a block of data is read out in the same time and passed to the next operation. The operation begins with less delay time.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：5.9mm角 チップ種別：イメージセンサ/スマートセンサ



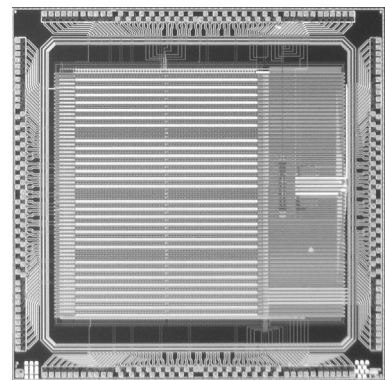
実時間認識のための画像特徴抽出プロセッサ

東京大学大学院工学系研究科 山崎 英男

東京大学工学部 川原 邦男

概要：画像のマッチング等の処理を行う際、2次元の画像データをそのまま扱おうと演算コストが膨大になってしまう。そこで我々の研究室では、画像から特徴のみをベクトル表現として抽出する Projected Principal Edge Distribution (PPED) というアルゴリズムが開発された。PPEDでは、まず水平、垂直、+45度、-45度の4方向のエッジ検出を行う。そして、4つのエッジ検出画像の2値データをそれぞれエッジと垂直な方向に投影し、得られた1次元のデータ列を並べることでベクトルを得る。本チップは、このPPEDアルゴリズムに基づいて高速にベクトルを生成することを目的としている。高解像度の画像をスキャンしてベクトルを連続的に生成することを想定し、ベクトルの連続生成を高速化するのに必要なエッジ検出画像を保持する2次元のシフトレジスタアレイを実装した。これにより、ソフトウェア処理の10,000倍の速度での処理が可能となった。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：5.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

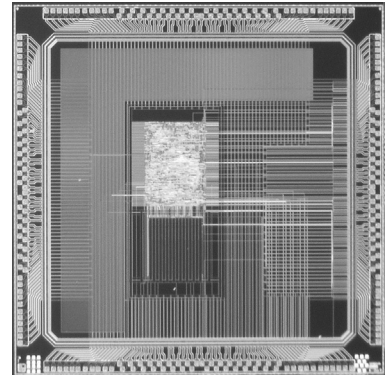


MIMD 連想プロセッサの MIMD エレメント (簡易 ALU 版)

東京大学工学系研究科 早川 仁

概要: ひとつのチップに入れられるトランジスタの数は年々増加しており、MIMD 構成のプロセッサも現実的となってきたが、分割されたメモリの容量とデータ転送の効率に問題が生じる。特に多種類の演算を行う場合は命令長も長くなり、メモリに占める命令の割合が増加し、結果として演算するためのデータを格納するための容量が制限される。また、内部メモリを用いずデータと同時に命令を与える形式では同じ命令が続いても命令を付加しなくてはならず、データの転送効率が落ちる。そこで、命令をグループに分けそれを切り替えることで少ない命令長で多くの命令を表現可能にし、メモリに占める命令の割合を削減することを考えた。本試作は、それを検証するための SIMD 型のプロセッサで、8ビットの演算を8並列で行う。この SIMD プロセッサを複数同時に動作させることで MIMD プロセッサを構成する。本チップでは、8ビットの命令長で約40種類の演算を可能にした。命令はメモリに格納しておき、64ビットのバスを通して外部と通信する。このバスは命令・データのどちらも転送可能で、先に送った命令に基づいてデータの扱いを決定する。このようにすることでデータと命令を分離し、データ転送の効率化を目指す。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 5.9mm 角 **チップ種別:** マイクロプロセッサ



Serial ATA の送受信部, FLASH AD コンバータ

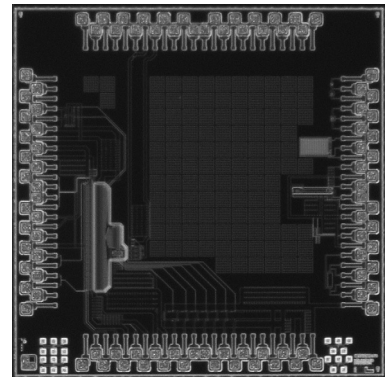
早稲田大学理工学研究科 横山 晋, 野沢 舞, 松本 隆

東京大学大規模集積システム設計研究教育センター 佐々木 昌浩

概要: 本チップでは、3.0Gbps のシリアル A T A の送受信部と、そこで使用するための 6GHz を出力する V C O 及びそれを分周してきれいな 3GHz の出力を得るため D I V I D E R を設計した。また、近年 A/D converter は、高速化・高精度化・低電圧化・小型化が求められる。その傾向に伴い、様々なノイズやデバイスのミスマッチが発生し、Flash A/D converter において、Comparator Array の出力である Thermometer Code にエラーを含んだ状態で出力されてしまう。通常、エンコーダでエラーを訂正しなければいけないが、logic 回路を組み合わせてエラーを訂正する回路では、高速化に対応できないため、高速なものでは、ROM 形式のエンコーダが用いられている。本 CHIP では、twin ROM encoder において、スイッチに全て NMOS を用いることによって、小型化・高速化を実現し、電源電圧 1.8V, 0.18um CMOS プロセスにおいて、6bit 2Gops で動作する Encoder を設計し、これを用いて、6-bit 2Gbps Flash A/D converter を実現した。

参考文献: Peter C. S. Scholtens, Maarten Vertregt, "A 6-b 1.6-Gsample/s Flash ADC in 0.18-um CMOS Using Averaging Termination," IEEE J. Solid-State Circuits, vol. 37, pp. 1599-1609 (2002)

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 2.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)



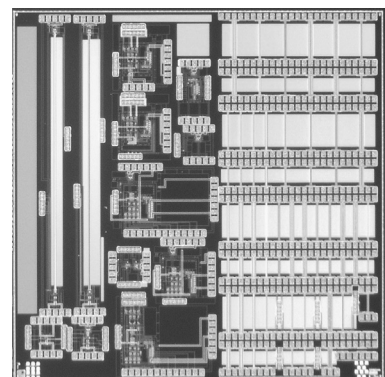
電流モード論理素子を用いたオンチップ高速信号伝送用回路 TEG

京都大学情報学研究科 新名 亮規

概要: 近年、LSI の製造プロセスの微細化に伴い、1チップ内に集積される回路規模は増大している。将来的には多数の機能ブロックが搭載された、大規模 SoC が実現されると考えられる。我々は次世代の超微細プロセスにおける、ブロック間の長距離高速信号伝送技術として、差動シリアル伝送を提案する。今回の試作では、シリアル伝送用 MUX, DE-MUX, 及びそれらを構成する要素回路 TEG を作成した。また、LSI 内部の配線特性評価 TEG, CML ドライバ, レシーバを使用した信号伝送評価 TEG を作成した。日立 0.18um CMOS プロセスを用いて、8Gbps の伝送レートを想定して回路設計を行なった。MUX に関しては、最大 6.4Gbps での動作が確認できた。想定した 8Gbps の伝送レートは実測で得られていない。原因を追求すると共に、さらなる伝送レートの向上、低消費電力な回路構成の検討を、今後行なっていく予定である。

参考文献: A. Shinmyo et al. "Design and Optimization of CMOS Current Mode Logic Dividers", IEEE Proc. AP-ASIC 2004

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 5.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

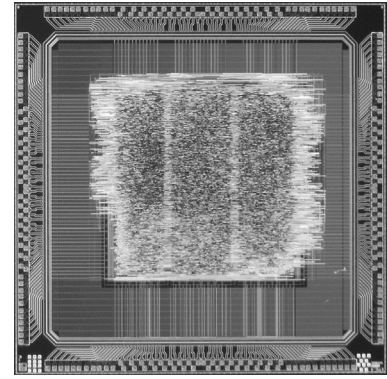


無線通信制御用マイクロコントローラ

金沢大学集積回路工学研究室 尾形 秀範, 北川 章夫

概要: 1チップ無線通信LSIに搭載するための無線通信制御用マイクロコントローラを設計した。試作したマイクロコントローラはMicrochipTechnology社マイクロコントローラPIC16F84の命令セットと互換である。これはソフトウェア開発環境を流用できるようにするためである。またハードアーキテクチャを採用し、パイプライン構造による高速化を行っている。またスリープ(省電力)機能も搭載している。評価にはLSIテスタを利用し、正常動作を確認した。性能は、最高動作周波数:140MHz, 消費電力:動作時45mA@50MHz, 3.3V 待機時<2uA @3.3Vであった。通信用プログラムも合わせて作成し、要求仕様を満足することを確認した。この設計した無線通信制御用マイクロコントローラはVDECにIP登録を行った。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 5.9mm角 **チップ種別:** マイクロプロセッサ

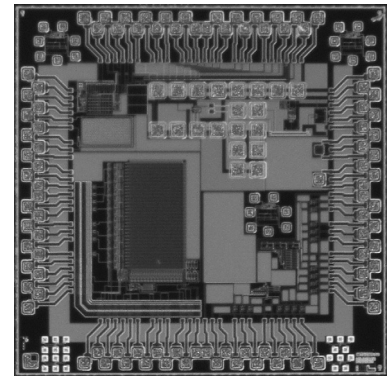


オンチップリニアドロップ型DC-DCコンバータほか

東京大学国際・産学共同研究センター 石田 光一, Tamtrakarn Atit, 鬼塚 浩平, 桜井 貴康

概要: ・チップ上における将来の分散電源方式実現に向け、小型で出力電圧を高速に変化させることができるリニアドロップ型DC-DCコンバータの設計を行った。高い出力電圧から低い出力電圧への変化時間はHSPICEシミュレーションにおいて約1ns, 実測で数nsであった。・チップ内の配線に流れる電流をオンチップで観測することができれば、チップに実装されたDC-DCコンバータのリプルおよび効率の最適化設計が可能となる。このための電流検出素子とアナログデジタル変換器を設計し実装した。・ウルトラワイドバンド向けのアナログコリレータ回路の設計を目的として、乗算機、低域通過フィルタ、パルス発信機を設計した。超低電力化のため、全ての回路はパッシブ回路で試作した。また、ウルトラワイドバンドパルスの送信機も実装した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 2.9mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



クロスバメモリの試作

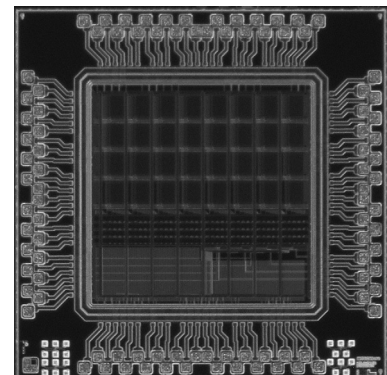
広島市立大学情報科学部 浅生 宗隆, 小澤 亮

広島市立大学大学院情報科学研究科 井上 智宏, 弘中 哲夫

広島大学ナノデバイス・システム研究センター マタウシュ ハンス ユルゲン, 小出 哲士

概要: 本チップは4ポート32バンク、総メモリ容量32Kbitのクロスバメモリである。クロスバメモリは、1ポートSRAMをバンクメモリとして利用することで、マルチポートメモリを小面積で実現できる。しかし、既存ツールによる自動生成では小面積である利点を発揮できない問題がある。そこで、この問題を解決するクロスバメモリジェネレータを製作するため本チップを試作した。本チップの試作では自動生成に向けたフロアプランや配線方法を検討した。この検討を基に製作したジェネレータでは、バンクメモリを既存ツールで生成するとし、指定したポート数、バンク数、アドレス幅、データ幅のクロスバメモリを生成できる。なお、現在「PowerMedusa」FPGAボードによる測定を行っている最中である。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** 2.9mm角 **チップ種別:** メモリ



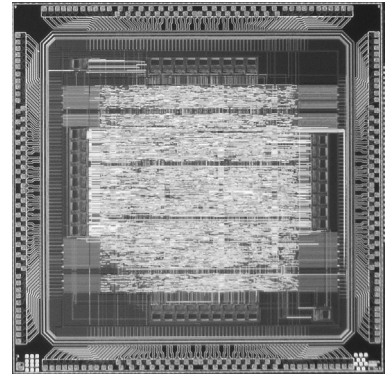
再構成情報の圧縮を実現した再構成型 PARS プロセッサの改良

広島市立大学情報科学部 谷川 一哉, 弘中 哲夫
 広島市立大学大学院情報科学研究科 川崎 貴之

概要: 近年, 再構成型アーキテクチャが高性能, 低消費電力, 省面積といった様々な点で注目を浴びている. 一方, 従来の再構成型アーキテクチャには実行モデルという概念がないため, あるプロセッサ用に記述されたソフトウェアを別のプロセッサで再利用しようと考えた場合に, ソフトウェアの大幅な変更が必要になると言う問題がある. そこで我々は I-PARS (Ideal PARAllel Structure) 実行モデルという実行モデルを提案し, 本研究では I-PARS 実行モデルの実行に最適化されたプロトタイププロセッサを試作している. 本試作では以前作成した unite プロセッサの改良を行った. 1) 複数の再構成情報にまたがっていた機能の再構成に関する情報を 1つの再構成情報内に格納する機能の実現方法の改良を行った. 2) 再構成情報を格納するオンチップキャッシュ用のメモリを単独でテストするための機構を付け加えた.

参考文献: 川崎貴之, 谷川一哉, 弘中哲夫, 児島彰. 再構成情報圧縮機構を備えた粗粒度再構成型アーキテクチャ. 第1回リコンフィギャラブルシステム研究会論文集, pp. 95.102, 2003

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** 5.9mm 角 **チップ種別:** ニューテクノロジー

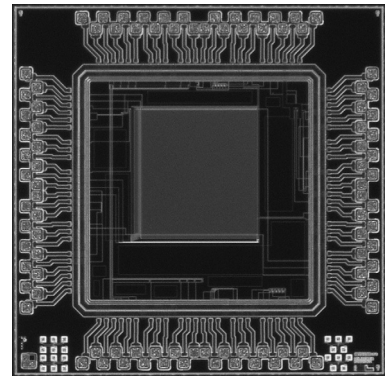


クライオデバイスモデル研究用 CMOS デバイス

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要: 我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している. 本メモリシステムは 4.2K での動作を仮定しており, メモリーセルには 3 トランジスタ DRAM セルを採用している. そのため, 不揮発, 非破壊のメモリ動作が可能である. また, 高感度の超伝導センス回路を用いることによりサブナノ秒のアクセスタイムが可能となる. 以上の高速ハイブリッドクライオメモリの設計, システム性能評価のためには, 低温での CMOS デバイスの特性評価, ならびにクライオデバイスモデルの構築が必要不可欠である. 本チップでは, クライオデバイスモデル構築用の幾つかの CMOS デバイスを試作した. CMOS デバイスの低温測定により, CMOS デバイスの 4.2K 動作の評価を行い, 低温 CMOS モデルの検討を行った.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 2.9mm 角 **チップ種別:** メモリ

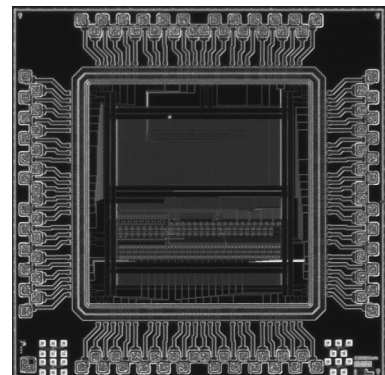


2 段 PLL を用いた超高精度時間測定回路用 TEG

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要: 我々は加速器実験で使用する時間精度数百ピコ秒の時間測定チップを数多く開発してきた. この技術をさらに発展させ, 発振周波数のわずかに違う PLL 回路を 2 段用い, 数十ピコ秒の時間精度で多チャンネルの信号の到達時間を測定できる LSI を開発したいと思っている. このようなチップは, 加速器実験でよく用いられる TOF (Time Of Flight) 検出器等で強く必要とされており, 又多くの応用が見込まれる. 今回の試作チップでは, 日立 0.18um プロセスの基本特性や PLL の設計のための試験回路, メモリーマクロ等を搭載した. このチップの試作で得られた経験と回路特性とにより, 次回以降の試作で時間測定回路の動作確認を行う予定である. また, 加速器実験や宇宙環境での使用を目指して, このプロセスのガンマ線, 粒子線に対する耐性の試験も行う予定である.

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 2.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

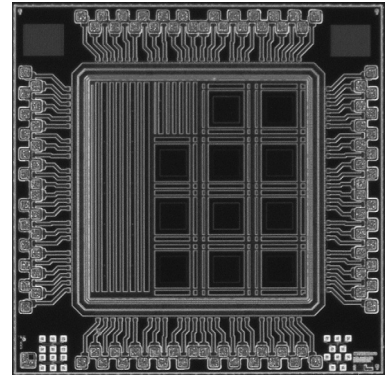


フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG

奈良先端科学技術大学院大学物質創成科学研究科 岡本 英樹, 山本 幸司, 香川 景一郎,
太田 淳

概要：異なるプロセス間でのフォトダイオード・CMOS イメージセンサ画素の基本特性を比較するために、以下の仕様に基づいた TEG チップを設計した。フォトダイオードの受光感度 (A/W) の波長依存性の測定には、200 μm 角の開口と接合領域をもつ PN 接合を用いた。CMOS イメージセンサの基本画素として 3-Tr 方式アクティブピクセルセンサを用い、フォトダイオードの接合面積を 10 μm 角とした。画素の中心間距離は 20 μm とし、フォトダイオード間距離を 10 μm とした。迷光を避けるために、フォトダイオード周囲に、千鳥格子状に VIA を配置して遮光した。5 画素を一行に配置し、1 画素のみを開口し、残りの画素を遮光した。これにより、受光感度 (V/lx-s) と拡散キャリアによる画素間クロストーク特性の波長依存性が測定できる。試作したチップを用いて、以上の特性を測定した。測定時には、光学系により照射領域をフォトダイオード開口部のみに限定した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10 以上, 100 未満 試作ラン：2.9mm 角 チップ種別：TEG (特性評価回路など)

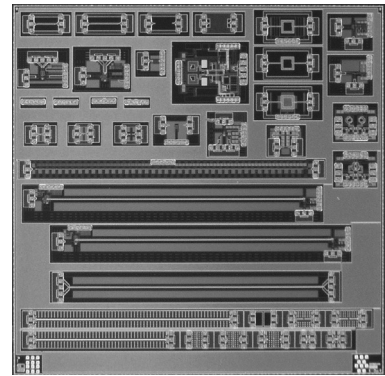


オンチップ伝送線路配線および RF アナログ回路評価用 TEG

東京工業大学精密工学研究所 伊藤 浩之, 中村 恒一, 五味 振一郎, 岡田 健一, 益 一哉

概要：LSI 内での超高速信号伝送を目指した伝送線路配線と、広帯域な GHz 帯 RF アナログ回路を実現するための要素回路の試作を行った。オンチップ伝送線路配線は時間領域測定により評価した。また、その要素回路であるドライバー/レシーバー回路などの TEG も試作し、評価した。伝送線路配線との特性比較のために RC 配線も試作し、時間領域測定により評価した。可変インダクタを用いた広帯域 VCO の特性評価を行った。また、新規小面積インダクタや可変インダクタの TEG, 伝送線路単体の TEG, それぞれの de-embedding パターンも試作している。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：5.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ

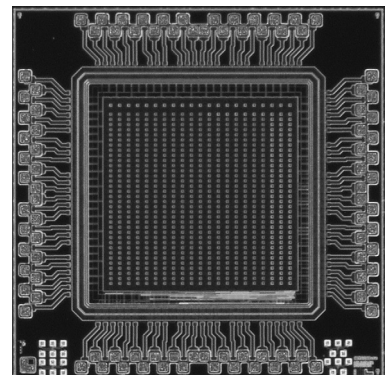


光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成可能なラッチタイプの光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを 16 μm \times 16 μm , その間隔を 38.4 μm とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリクス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模である。ラッチタイプの光再構成回路の評価を行った。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：2.9mm 角 チップ種別：その他



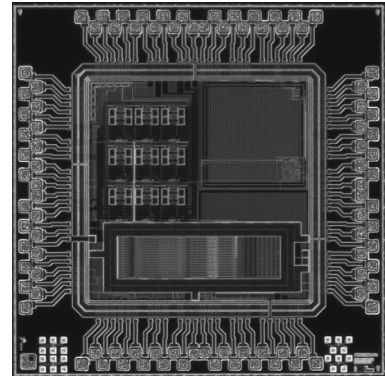
デジタル回路の電源雑音評価チップ

神戸大学工学部 深澤 光弥, 永田 真

概要：デジタル回路の電源／グラウンド雑音を実測，評価するチップを試作した．雑音源は汎用スタンダードセルライブラリに含まれる DFF を用いて 24 ビットシフトレジスタを構成し，これを 32 段並べた構成にした．測定回路には SF+LC 型雑音検出回路をアレイ状に 9 個搭載し，また埋め込み型 (SF+Gm) 雑音検出回路 [1] も搭載している．さらに，電源電位とグラウンド電位のそれぞれに適した回路構成の検出回路を搭載することで，電源からグラウンドまでの電圧範囲で測定を可能にした．現在，すべての回路の正常動作を確認済みであり，様々な動作条件での電源／グラウンド雑音の実測，評価を行っている．

参考文献：M. Nagata, T. Okumoto, K. Taki, "A Built-in Technique for Probing Power Supply and Ground Noise Distribution Within Large-Scale Digital Integrated Circuits," JSSC, to appear.

設計期間：1 人月以上，2 人月未満 設計ツール：SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上，100,000 未満 試作ラン：2.9mm 角 チップ種別：アナデジ混載



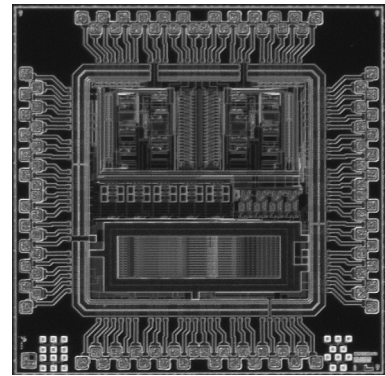
オンチップ信号波形取得システム

神戸大学工学部 野口 宏一朗, 深澤 光弥, 永田 永田

概要：ミックスドシグナル LSI 動作診断のためのオンチップ信号波形取得システムを開発した．複数の検出フロントエンドと，波形取得に必要な信号をオンチップで生成する波形取得機構から構成している．開発回路の機能確認と性能評価を目的として，24 ビット 32 列のシフトレジスタ，2 個の波形取得機構，および 8 個の検出回路，を搭載したテストチップを設計・試作・評価した．これまでに，可変ステップ遅延発生回路と R-2R 型 DA 変換回路を用いて，時間分解能 40psec，電圧分解能 200uV での波形取得を実現し，また測定時間も従来手法（検出回路のみオンチップ）に比べて 95%以上短縮できることを示した [1]．

参考文献：K. Noguchi, M. Nagata, "On-Chip Multi-Channel Waveform Monitoring for Diagnostics of Mixed-Signal VLSI Circuits," DATE2005, pp. 146-151, Mar. 2005.

設計期間：1 人月以上，2 人月未満 設計ツール：SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上，10,000 未満 試作ラン：2.9mm 角 チップ種別：アナデジ混載

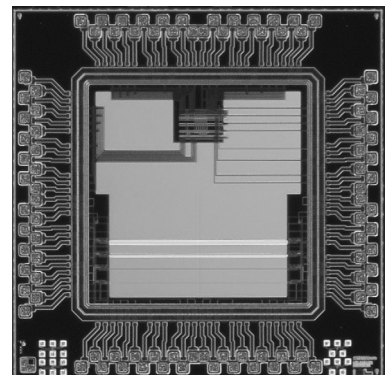


電流モード双方向非同期データ転送回路とそのスループット測定回路

東北大学電気通信研究所 高橋 知宏, 羽生 貴弘

概要：クロックスキューなど同期式制御の諸問題を本質的に解決するひとつの手法として，非同期式制御が知られている．本研究グループでは送信側と受信側で行われるハンドシェイク通信を，適切な符号化に基づき電流モードを用いて制御信号を多重化させることで，実質片道の配線遅延で非同期データ転送を可能とする方式を提案してきた．このチップでは，配線リソースや付加回路をほとんど増加させることなく，双方向にデータ転送可能なインタフェース回路を試作した．また，そのスループットを測定するためにインタフェースの入出力に FF を挿入し，配線長に異なるインタフェース回路を複数用意した．測定の結果，双方のモジュールの入力波形が反対のモジュールの出力波形に現れていることを確認し，双方向非同期データ転送の動作を実証した．スループット測定については現在進行中である．

設計期間：0.1 人月以上，0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：1,000 以上，10,000 未満 試作ラン：2.9mm 角 チップ種別：ニューテクノロジー



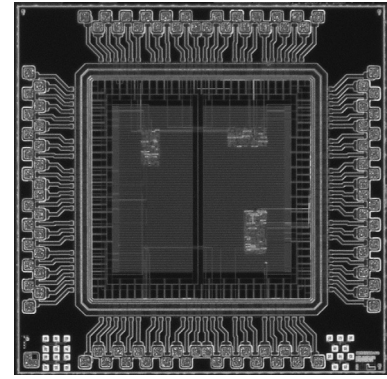
各種加算機能をもたせた演算回路の設計

法政大学大学院工学研究科 米本 友紀, 青木 勇樹, 清水 直樹, 藤田 実

概要：本チップでは、加算器に焦点を当て次に示す各種の機能をもたせた演算回路を設計した。あわせて、LSIの設計から評価を行うための研究環境を構築することも目的とした。

(1) 標準的な加算器：4ビットの2進数入力 a と b の加算を行い、結果 s を5ビットで出力する。(2) 小数点を持つ数値の加算器：入力する数値を10進数2桁とし、小数点の位置は任意とする。異なった小数点位置を持つ数値同士の加算を可能にする。結果が3桁以上になった場合は上位2桁のみを表示する。(3) メモリ付き加算器：電卓のようなメモリ機能を持つ加算器を作る。通常に加算もでき、加算した値をメモリに保存し、スイッチ一つで呼び出せるようにした。メモリから値を呼び出し、次の入力した値との加算も出来るようにした。(4) フィボナッチ数の計算器：1から始まり、入力スイッチを押す毎にフィボナッチ数を計算して出力する。演算は10回まで行えるようにした。本チップの特性測定により、周波数と動作電圧の範囲、スタティックおよびダイナミック消費電力特性などの評価結果を得ることが出来た。

設計期間：2人以上、3人未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラ
ン：2.9mm角 チップ種別：演算回路(乗算器, 除算器など)



平成16年度 第1回 NEC Bipolar0.6 μ m チップ試作 (NEC04)

4 GS/s 6-bit フラッシュ型 ADC の試作

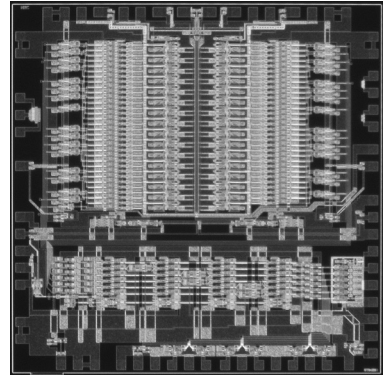
中央大学理工学研究科 川田 真也

中央大学理工学部 杉本 泰博

概要：フラッシュ型 ADC を、ECL 構成を用いて構成した。コンパレータの高速動作に必要なプリアンプの応答を高速化させるため、インダクタを負荷に使用し帯域の拡大を図った。さらに差動のインダクタをカップリングさせることにより、必要な自己インダクタンスを削減し面積の削減を図った。また、クロックの切り替わり時に生じるコンパレータのスイッチングノイズを軽減する構成を検討し高速動作を可能にした。プリアンプ部は補間型構成とし、エンコーダ部は Duplex-Gray コーディングを使用することにより、回路規模の削減およびエラー耐性の向上を図っている。本チップは、昨年度試作したチップの評価結果を基に、回路構成およびレイアウトの改良を行ったものである。特に電源周りの強化を行った。電源ライン及び GND ラインの線幅を負荷に応じて拡大し電位の変動を抑制した。また、コーディング部およびバイアス部の構成を見直し、配線抵抗やノイズなどの影響を受けにくい構成に変更した。

参考文献：S. Kawada, Y. Sugimoto, "A bipolar ECL comparator for a 4 GS/s and 6-bit flash A-to-D converter", 信学会英文論文誌 C 2004 年 6 月号

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.0mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



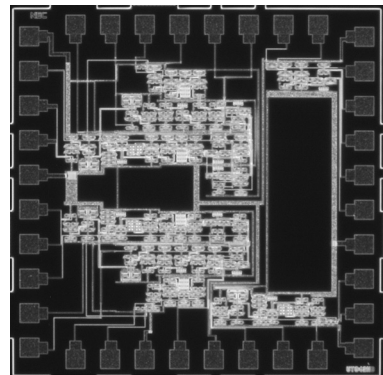
ダブルレート連続時間型 $\Delta\Sigma$ 変調器

上智大学理工学部 湯本 拓, 和保 孝夫

概要：バイポーラトランジスタの特徴である高速性・高駆動能力を生かした連続時間型 $\Delta\Sigma$ 変調器を設計した。高速動作で問題となるコンパレータのメタスタビリティに起因する誤動作を抑止する目的で2個のコンパレータを使用し、タイムインターリーブ方式で交互に切り替えて使う回路を設計した。今回採用したインターリーブ方式については、事前のブレッドボード実験で基本的な考え方が正しいことを確認した。コンパレータとしては、昨年の試作回路で動作確認ができた回路に対して、更に改良を加えたものを使用した。コモンモード電圧、エミッタ結合対テイル電流の調整により、クロック 1GHz, 入力 10MHz での動作を回路シミュレーションで確認した。チップには比較のための従来型回路と、要素回路としてコンパレータ、積分回路を搭載した。

参考文献：湯本, 田島, 和保, 「1 次連続時間型ローパス $\Delta\Sigma$ 変調器とその回路ブロックの設計」平成 16 年度 V D E C 年報, 137 頁 (2004)

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Specter トランジスタ数：100 以上, 1,000 未満 試作ラン：2.0mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

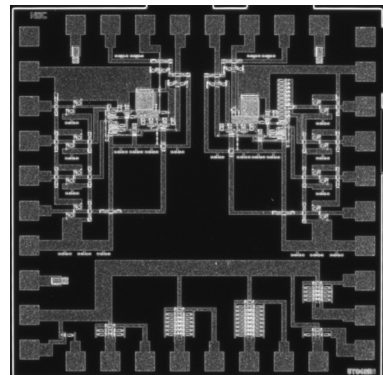


電流積分器

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸, 島崎 昇一

概要：電流源からのパルス電流を検知し積分するエレクトロニクス系の TEG である。前年度の試作時に問題であった部分を修正した。また内部で使用しているアンプおよびスイッチ部分の動作を確認するための TEG も入れている。アンプ部は差動入力能動負荷を使用したアンプでアナログ帯域はシミュレーション上では 500MHz を超えている。このアンプおよび帰還回路によって入力インピーダンスは 300MHz 以上までフラットな特性を示す。スイッチは ECL スイッチを用いているため ON/OFF 時間が短くでき 20nsec 程度の電流パルスの検出に使用できると思われる。問題点としてはダイナミックレンジが狭いことでありこれを広げる工夫が必要となる。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：2.0mm 角 チップ種別：アナログ混載



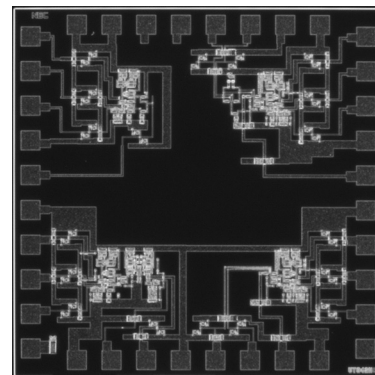
光検出器用フロントエンドエレクトロニクス TEG

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸

総合研究大学院大学素粒子原子核専攻 河合 克彦

概要：光検出器からの高速な信号に対しインピーダンス変換を行い電圧信号に直し後段の波形整形回路へ受け渡すための ASIC TEG を試作した。この応用の場合検出器からの信号が微弱であるためにフロントエンドエレクトロニクスの初段に用いられるトランジスタの低雑音特性が重要となるため数種のトランジスタ TEG を製作し雑音特性を調べた。結果は良好で我々の目的としている特性は得られそうである。またフロントエンドエレクトロニクスの動作も確認でき雑音特性についても計算と一致することが確認できた。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva **トランジスタ数：**10 以上, 100 未満 **試作ラン：**2.0mm 角 **チップ種別：**マイクロプロセッサ



平成15年度 第5回 MOSIS-TSMC CMOS0.25 μ m チップ試作 (MT25035)

インダクタ・カップリングによるチップ間無線通信用チップ

広島大学先端物質科学研究科 有菌 大介, 佐々木 守, 岩田 穆

概要：スパイラルインダクタ・カップリングによる隣接したチップ間無線通信用チップを試作した。従来の3次元IC実装技術ではチップ間配線行程が複雑になり、それに伴う高度な位置合わせや加工が必要になる。そこで、隣接するチップ間のデータ通信をスパイラルインダクタペアの共振特性を利用した無線インタコネクタ技術を提案している。本チップは、大きさ、巻き数の異なる送受信それぞれのインダクタと、データ再生のためコンパレータ、チップ間距離にあわせてコンパレータのバイアスを自動生成するオートリファレンス回路を搭載した。測定結果として、0.8Gbps/CH、チップ間距離100 μ m~300 μ m、インダクタ300 μ m角、200 μ m角それぞれの1Channelシリアル通信を実現した。今後は、高速化、低面積化、さらにパラレル通信の実現を目指す。

設計期間：2人月以上、3人月未満 設計ツール：SII社 SX9000, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10以上、100未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：通信 (RF回路, ATMなど)

広帯域LNA

広島大学大学院先端物質科学研究科 佐々木 守, 汐崎 充

概要：パルス位置変調のUWBに代表されるPulse-Based無線システムのための広帯域LNAである。入力インピーダンス整合の広帯域化およびゲイン特性の平坦化のために、多重共振特性を利用している。多重共振の共振点を最適化するため、非線形計画法を応用したパラメータ最適化ツールを自作した。その結果、ESD保護回路を備えながら、中心周波数2GHz、比帯域幅50%、ゲイン18dB、帯域内リプル0.6dB、(帯域内)入力反射係数-17dB以下、消費電流5.5mAを実現した。一方、外付けのチップコイルを1つだけにして実装を容易化した上で、入力インピーダンス整合のための多重共振を導入できるように、初段をゲート接地増幅器とした。従って、帯域内の最大NFは6.2dBとなり、アプリケーションによっては今後改善が必要である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 xCalibre, Cadence社 SpectreRF トランジスタ数：10以上、100未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：通信 (RF回路, ATMなど)

高速シリアルCDMA通信チップ

広島大学先端物質科学研究科 汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆

概要：ロボット制御向けネットワークを構築する通信チップを試作した。要求としては、(1)センサやアクチュエータ、プロセッサが扱う種々のデータをリアルタイムに通信、(2)少ない伝送路によるネットワーク構成、(3)高速通信が挙げられる。試作したチップは、シリアル通信にCDMA方式による多重化を取り入れ、1本の伝送路を仮想的に複数伝送路として扱う事でこれらの要求を満足する特徴を持つ。小振幅の多重波形に強固な2段階の同期手法(ビット同期, チップ同期)を提案し、これを取り入れた通信チップを設計・試作した。測定により2.7Gcps (chips per second)、7多重の通信を確認した。消費電力は送信回路148mW、受信回路264mWである。

参考文献：Mitsuru Shiozaki et al., "A 2 Gbps and 7-multiplexing CDMA Serial Receiver Chip for Highly Flexible Robot Control System," Symposium on VLSI Circuits, Digest of Technical Paper, pp. 194-197, June 2004.

設計期間：2人月以上、3人月未満 設計ツール：SII社 SX9000, Mentor社 Calibre, Mentor社 xCalibre トランジスタ数：10,000以上、100,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 16mm² チップ種別：通信 (RF回路, ATMなど)

2周波対応GPS受信機フロントエンドチップ

大阪大学大学院工学研究科 春岡 正起, 洞木 吉博, 松岡 俊匡, 谷口 研二

概要：L1/L2の2周波帯を同時に受信できる2周波対応GPS受信機フロントエンドチップを0.25 μ m CMOSプロセスを用いて設計，試作を行った。LNAの入力インピーダンス整合とPLLループフィルタ用の受動部品を除いて，GPSフロントエンドに必要な機能をすべて1チップ化した。小型化，低消費電力化のためにハートレー型のイメージリジエクト構成を採用し，L1/L2の2周波帯でLNA，イメージリジエクトミキサ，PLLシンセサイザを共有化している。実装面積は3.16mm \times 3.16mmであり，電源電圧2.5Vで消費電流は35mAであった。ダウンコンバータの最大電圧利得は85dB，利得の可変範囲は65dB，NFは8dB，イメージリジエクト比は32dBであった。

参考文献：春岡，洞木，松岡，谷口，"2周波型GPS受信機フロントエンドチップの研究"，電子情報通信学会技術研究報告，ICD-2004-50，pp. 47-52，July 2004.

設計期間：5人月以上，6人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist トランジスタ数：100以上，1,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：通信 (RF回路，ATMなど)

バイアス・オフセットを用いたLinear-in-dB可変利得増幅回路

大阪大学工学研究科 車 承佑, 井田 司, 松岡 俊匡, 谷口 研二

概要：受信機内信号レベルが一定になるように調節するIF帯可変利得増幅器 (VGA) の設計を行った。広範囲な利得特性を有する線形化トランスコンダクタンスVGAを用いて2段縦列接続し，3段の固定利得増幅器 (FGA) と合わせ，5段構成のVGAを設計した。本試作では，線形化トランスコンダクタンスVGAの無線通信用への適用を考慮し，多段構成による周波数特性の低下を緩和するためのVGA単体の3dB周波数帯域向上に着目した。測定により，試作したVGAは10dBから76.5dBまでの連続的な可変利得特性を示した。またIIP3とNFは周波数40MHzでそれぞれ-11.5dBmと15dBの結果が得られた。

参考文献：Sungwoo Cha, Tetsuya Hirose, Masaki Haruoka, Toshimasa Matsuoka, and Kenji Taniguchi, "A CMOS IF Variable Gain Amplifier with Exponential Gain Control," IEICE Trans. On Fundamentals, Vol. E88-A, No. 2, pp. 416-423 Feb. 2005.

設計期間：5人月以上，6人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist トランジスタ数：100以上，1,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：通信 (RF回路，ATMなど)

負帰還リセットを用いたCMOSイメージセンサ

北海道大学大学院情報科学研究科 加賀谷 亮, 池辺 将之, 浅井 哲也, 雨宮 好仁

概要：本チップは，CMOS Image Sensor (64x64) に負帰還によるリセットを実装したものである。画素回路と出力増幅器との間で負帰還ループを構成して画素回路のMOSFETしきい値バラツキを補正する。出力増幅器は，1列毎に配置する。出力増幅器の動作を切り替えることで，スロープ型A/D変換器としても利用する。測定器 (光源，及び信号発生器，オシロスコープ，Logic Analyzer) による実測で，MOSFETしきい値バラツキがリセット時に補正できていることを確認した。

参考文献：加賀谷 亮, 池辺 将之, 浅井 哲也, 雨宮 好仁, "負帰還リセットによるCMOSイメージセンサのバラツキ補償," 映像情報メディア学会誌, vol. 59, no. 3, pp. 415-421 (2005) .

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Analog Artist トランジスタ数：10,000以上，100,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：イメージセンサ/スマートセンサ

平成16年度 第3回 MOSIS-TSMC CMOS0.25 μ m チップ試作 (MT25043)

弱反転領域を用いたセンサのアナログフロントエンド部の設計

大阪大学工学研究科 井田 司, 松岡 俊匡, 谷口 研二

概要: 生体信号などのセンサからの微弱な信号を増幅し、デジタル化するための回路を弱反転領域を用いて設計を行った。増幅部は、フリッカ雑音とオフセットの影響を抑制するため、増幅部の前後にミキサーを挿入して、信号を高周波域で増幅するチョッパアンプを用いて設計を行った。デジタル変換部は $\Delta\Sigma$ モジュレータを用い、ノイズシェーピングによりS/N比の向上をはかった。測定を行ったところ、チョッパアンプにより、オフセット値が4分の1程度に低減されることを確認した。また、 $\Delta\Sigma$ モジュレータは帯域10kHzで、S/N比50dBの特性を確保していることを確認した。消費電流はアンプ単体で10 μ A、 $\Delta\Sigma$ モジュレータで17 μ Aであった。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** MOSIS-TSMC 0.25 μ m 10mm² **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

微小誘電率変化検出用センサTEG

大阪大学工学研究科 田中 智之, 松岡 俊匡, 谷口 研二

概要: 本チップは、センサ用微小容量変化検出チップの開発のためのTEGである。従来のガスセンサの多くは酸化物半導体を用いたセンサ部と処理回路からなり、面積的に大きなものである。我々は高分子膜を用いた小型高精度ワンチップセンサを提案する。高分子膜は、集積回路製造工程後に低温で製膜することができる。特定の気体がセンサ部に付着すると誘電率の変化が起き、その微小な変化に対応した電流変化を読み取る。センサ部は櫛型構造をとり、寄生容量及び寄生抵抗をキャンセルする回路方式を採用した。センサ部は集積回路製造工程後において、様々な高分子誘電体を塗布できるように、保護層を取り除いている。想定する容量値を可変とするため、センサ部の面積には2~8倍までの範囲のものを用意した。チップ上の誘電率変化を局所的に検出するために、アレイ状にセンサ部を構成し、制御信号によりその情報を得ることを可能にした。本試作では、センサ部の特性評価のみであるが、今後はこの基本回路を応用した高精度ガスセンサのワンチップ化を目標とする。テストによる測定の有無: 無

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** MOSIS-TSMC 0.25 μ m 10mm² **チップ種別:** TEG (特性評価回路など)

平成16年度 第4回 MOSIS-TSMC CMOS0.25 μ m チップ試作 (MT25044)

可視光通信用イメージセンサの TEG

慶應義塾大学理工学部 春山 真一郎

概要：現在, MOSIS のサービスを用いて 2005 年 5 月にデザインを提出する予定でいますので, それ以降に概要を書きたいと思います. 2004 年度はチップ試作は行いませんでした.

設計期間：0.1 人月未満 トランジスタ数：10 未満 試作ラン：MOSIS-TSMC 0.25 μ m
10mm² チップ種別：マイクロプロセッサ

平成16年度 第3回 MOSIS-TSMC CMOS0.18 μ m チップ試作 (MT18043)

低電圧動作アナログ回路 TEG

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 石田 尚也, 円林 晃一郎, 岩田 穆

概要: 生体活動と神経活動の関係を正確に把握するため、生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている。本研究では小脳の神経信号を検出し、検出信号を無線で送信する神経信号センシング LSI の設計・試作を行った。設計した神経信号センシング LSI は、ダイレクトチョッパ方式低雑音増幅回路、逐次比較形 Analog-to-Digital Converter (ADC)、無線送信回路によって構成されている。設計したダイレクトチョッパ方式低雑音増幅回路は、低周波雑音の存在する CMOS 演算増幅回路で、実際に数十 μ V 振幅の神経信号を検出できる。信号入力チャンネル数は 10ch とした。また逐次比較形 ADC は抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し、10 ビット分解能、サンプリング周波数 50kHz で動作する。無線送信回路は、発振周波数 100MHz の VCO を基とし、BPSK 変調で 500kbps のデータ伝送を実現する。

設計期間: 8 人月以上, 9 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** MOSIS-TSMC 0.18 μ m 10mm² **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

平成16年度 第4回 MOSIS-TSMC CMOS0.18 μ m チップ試作 (MT18044)

スパイラル・インダクタ対によるチップ間無線結合 I/O 回路

広島大学大学院先端物質科学研究科 佐々木 守, 岩田 穆

概要: 3次元 IC 実装を容易化するスパイラル・インダクタ対によるチップ間無線結合 I/O 回路を設計, 試作した. 低消費電力化を実現するため, スパイラル・インダクタの自己共振特性および2つのスパイラル・インダクタ間の相互共振特性を積極的に利用する回路構成を採用した. さらに, 高速シリアル通信で用いられ複雑な回路を要求する同期方式を採用せず, クロックを必要としない非同期通信方式とした. すなわち, 受信回路に自己プリチャージ機構を導入することで非同期受信を可能にしている. 評価システムによる実測から同期クロックなしで, チャンネル当たり 1.0Gbps の通信速度を 0.95mW で実現できることを確認した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre, Cadence 社 SpectreRF **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** MOSIS-TSMC 0.18 μ m 10mm² **チップ種別:** ニューテクノロジー

フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG

奈良先端大物質創成科学研究科 吉田 明洋, 山本 幸司, 香川 景一郎, 太田 淳

概要: 異なるプロセス間でのフォトダイオード・CMOS イメージセンサ画素の基本特性を比較するために, 以下の仕様に基づいた TEG チップを設計した. フォトダイオードの受光感度 (A/W) の波長依存性の測定には, 200 μ m 角の開口と接合領域をもつ PN 接合を用いた. CMOS イメージセンサの基本画素として 3-Tr 方式アクティブピクセルセンサを用い, フォトダイオードの接合面積を 10 μ m 角とした. 画素の中心間距離は 20 μ m とし, フォトダイオード間距離を 10 μ m とした. 迷光を避けるために, フォトダイオード周囲に, 千鳥格子状に VIA を配置して遮光した. 5 画素を一列に配置し, 1 画素のみを開口し, 残りの画素を遮光した. これにより, 受光感度 (V/lx-s) と拡散キャリアによる画素間クロストーク特性の波長依存性が測定できる. 試作したチップを用いて, 以上の特性を測定した. 測定時には, 光学系により光照射領域をフォトダイオード開口部にみに限定した. テスタは用いず, ASCOM 社 TIME98+低電圧ユニットによる駆動波形を生成し, 測定を行った.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** MOSIS-TSMC 0.18 μ m 10mm² **チップ種別:** TEG (特性評価回路など)

平成15年度 第1回 MOSIS-IBM BiCMOS0.5 μ m チップ試作 (MI5031)

3bit分解能 4GHz帯域 並列比較形 ADC の設計

広島大学先端物質科学研究科 部谷 圭彦, 安田 芳明, 岩田 穆

概要: 電波望遠鏡では, 高速, 広帯域なAD変換器の実現が要望されている. サンプリング周波数4GHz, 信号帯域4GHz, 分解能3bitの性能を目標として並列比較形AD変換器の設計・試作を行った. PLLクロック発生器をオンチップ化し, 外部クロック供給と内部供給が可能な構成として, クロストークによるジッターの評価も目的としている. SiGeヘテロバイポーラトランジスタによるプリアンプ付きラッチコンパレータとECLクロックドライバー, SCFL出力バッファを設計し, これらを用いて3bit分解能のAD変換器を実現した. アナログ入力フルスケール電圧は1V, 電源電圧は4V, 消費電力は4Wである. VCOは8GHzを発振させ, 2分周して4GHzクロックを得るように設計した. AD変換器は8GHzで動作することを確認したが, 誤動作する状態があることがわかった. LSI設計にはケーデンスのアナログ設ツールを用いた. 測定にはSGと高速オシロスコープを用いた.

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** MOSIS-IBM 0.5 μ m 15mm² **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

平成16年度 第1回 MOSIS-IBM BiCMOS0.5 μ m チップ試作 (MI5041)

3bit分解能 6GHz帯域 並列比較形 ADC の設計

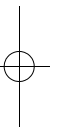
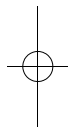
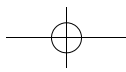
広島大学先端物質科学研究科 安田 芳明, 部谷 圭彦, 岩田 穆

概要: 電波望遠鏡に要求される高速, 広帯域なAD変換器の実現を目指して, 前年に設計・試作したADCの評価結果を活用して, サンプルング周波数4GHz, 信号帯域6GHz, 分解能3bitの性能の並列比較形ADCを設計・試作した. PLLクロック発生器をオンチップ化している. SiGeヘテロバイポーラトランジスタによるプリアンプ付きラッチコンパレータとECLクロックドライバー, SCFL出力バッファを高速化し, これらを用いて3bit分解能のAD変換器を実現した. アナログ入力部の帯域を拡大して, フルスケール電圧は1V, 帯域6GHzを達成した. 電源電圧は4V, 消費電力は4.4Wである. 評価の結果, AD変換器の設計修正による誤動作が改善されることが確認できた. LSI設計にはケーデンスのアナログ設計ツールを用いた. 測定にはSGと高速オシロスコープを用いた.

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社

Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** MOSIS-IBM 0.5 μ m 15mm² チップ種

別: アナログ (PLL, A-D/DC-DCコンバータなど)



100

