

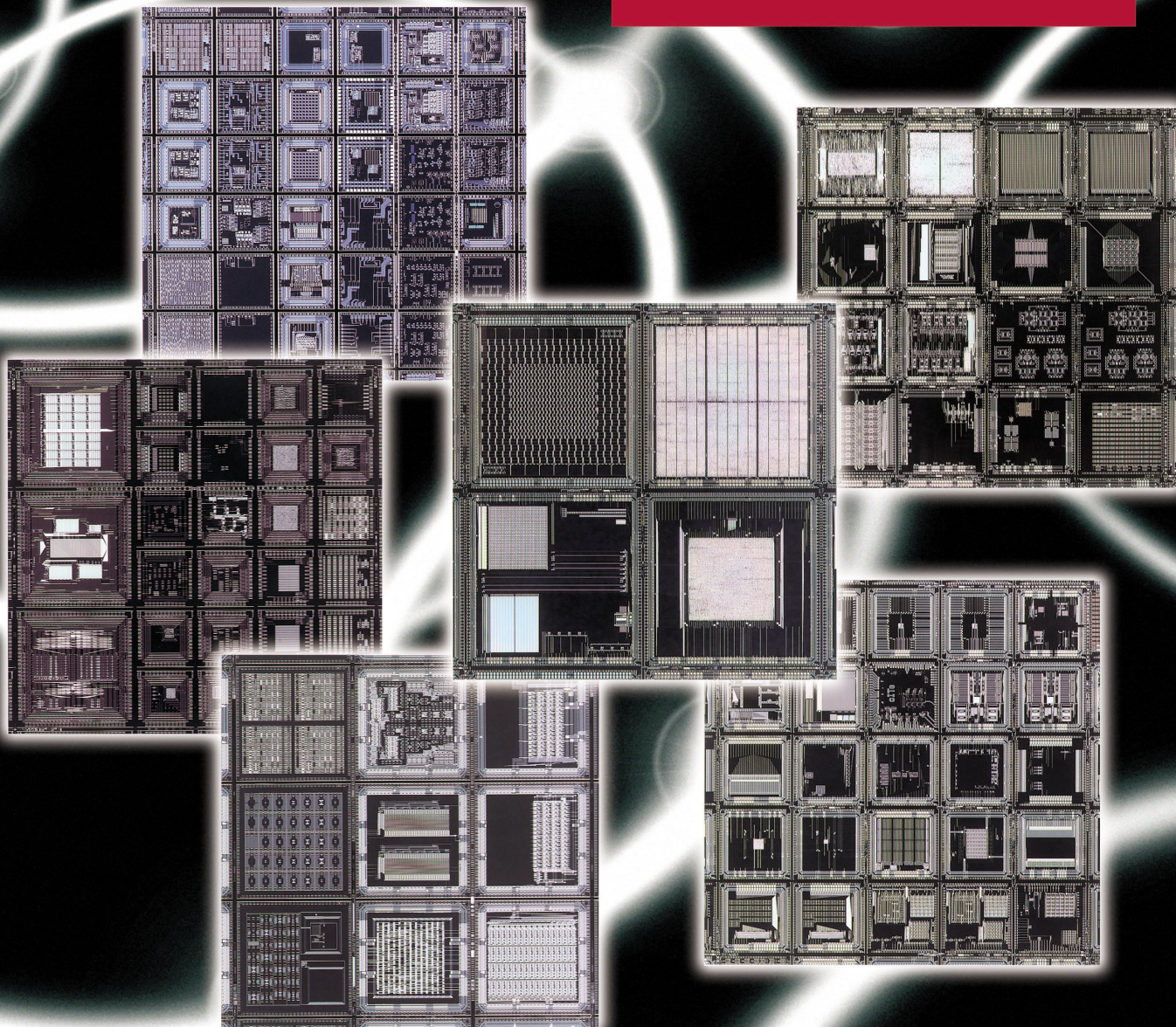
VDEC

VLSI Design and Education Center

The University of Tokyo

2001

Activity Report from April 2000 to March 2001



平成12年度

東京大学大規模集積システム設計教育研究センター年報

VLSI Design and Education Center

The University of Tokyo



VDEC

大規模集積システム設計教育研究センター（VDEC）の2000年度年報をお送りします。

VDECは1996年の発足以来5年が経過し、集積回路設計分野の教官・学生の方々の間にVDEC活動が身近なものとして定着してきたものと喜んでおります。

昨年度は100以上の研究室から400品種以上の設計データが寄せられ試作を行いました。

VDECを利用した研究成果の面でも300にのぼる論文発表が行われ、集積回路設計力強化のために着実に貢献し始めたこと実感しているところです。

これらの成果はVDECを利用されている教官・学生の方々の努力によることは当然ですが、協力いただいております多数のCADツールベンダー、チップ試作会社、マスクメーカー、チップ組立会社および半導体産業界のご厚意によるものが大きいと感謝いたしております。

現代のLSIチップ設計にはツールや設計規則のほか設計様式、設計フロー等の多くの技術要素をマスターしなくてはなりません。毎年入学される全国の新生指導には多くのマンパワーが必要ですが、これには各種セミナーでの講師の先生方や経験を積まれた全国の若い教官・学生の方々のインターネット上での日常的アドバイスが大きく貢献しています。このボランティア活動はVDECの大きな柱であると感謝いたしており、学校間の垣根を越えた全国的教官・学生の方々のインターネットによるアカデミックソサイエティの形成は、21世紀の新しい大学教育のあるべき一つの姿を率先して実現できたものと評価しています。

一方、半導体製造技術はいまだに留まるところを知らぬかのように微細化への道を進んでいます。集積回路設計技術に対しても常に大規模化・高速化への取り組みを要求しており、CADツールやライブラリーの更新だけでなく設計様式に関しても大きな変革を必要としてきています。このような状況の中、VDECではインフラストラクチャ整備の一環として2001年3月にCADライセンスの大幅な見直しとサーバ計算機の更新をいたしました。また2000年度から全国の有志の方々と産業界の協力のもとに新たにIP開発3カ年プロジェクトとIP利用3カ年プロジェクトを開始しました。これは来るべき本格的システムLSI時代に向けた先駆的研究・教育プロジェクトであり、次世代を担う若い研究者・技術者が育つことを期待しています。

VDECでは今後もより微細な試作プロセスのサポートをはじめ集積回路設計のためのインフラストラクチャの整備と先駆的研究・教育プロジェクトを推進し、みなさまのお役に立ちたいと考えています。

VDECは設立当初より、みなさまからの様々なご協力ご支援により成り立っている“生活協同組合”的組織です。この組織の維持発展のため、みなさまからの継続のご協力とご支援をお願いいたします。

平成13年7月

(全国共同利用施設)

東京大学大規模集積システム設計教育研究センター

センター長

浅田 邦博

VDEC

巻頭 センター長挨拶

第1章 概要

- 1. 1. VDEC組織概要
- 1. 2. 人事報告
- 1. 3. 決算報告

第2章 平成12年度VDEC事業報告

- 2. 1. VLSIチップ試作
- 2. 2. CADソフトウェアの整備
- 2. 3. セミナー開催
- 2. 4. 教材整備・情報発信
- 2. 5. 装置の整備・運用・利用公開

第3章 研究報告

- 3. 1. 研究室構成員
- 3. 2. 研究概要
- 3. 3. 発表文献

第4章 平成13年度の活動計画

第5章 チップ試作結果報告

- 5. 1. 試作結果
- 5. 2. チップ種別索引
- 5. 3. チップ試作者の発表文献リスト

第6章 付録

VDEC

第1章 VDEC 概要

1.1. 組織概要

VDEC は平成 8 年度に発足した。当初は専任教官 5 名と事務官 1 名という小さな組織であったが、平成 9 年度に専任教官 2 名と事務官 1 名が増員された。さらに、全国の大学と連携を密にする目的で、各大学から 2 年を単位として 2 名の教官を派遣する「流動教官ポスト制度」が平成 9 年度からスタートした。平成 10 年度までは東北大学と横浜国立大学からそれぞれ 1 名ずつ、平成 11 年度と平成 12 年度

は広島大学と金沢大学からそれぞれ 1 名ずつの流動助教授が VDEC に派遣された。平成 13 年度からは東京工業大学と千葉大学から流動助教授が派遣されている。また、産業界と協力を行うため、客員教授（I 種）が 1 名おかれている。現在、VDEC は現在、専任教官 9 名、客員教授 1 名、事務官 2 名の定員を有しているが、他にも多くの協力教官および事務官の援助を得ながら VDEC は運営されている。

1.2. 人事報告

VDEC 人事

センター長・教授	浅田 邦博
教授	鳳 紘一郎
客員教授	田中 正文（平成 13 年 3 月まで、平成 13 年 4 月から協力研究員）
客員教授	玉置 洋一（平成 13 年 4 月から）
助教授	平本 俊郎
助教授	北川 章夫（平成 13 年 3 月まで）
助教授	小出 哲士（平成 13 年 3 月まで）
助教授	一色 剛（平成 13 年 4 月から）
助教授	北神 正人（平成 13 年 4 月から）
助手	鄭 若彤
助手	三田 吉郎（平成 13 年 4 月から工学系研究科電気工学専攻講師）
助手	石原 亨
助手	小松 聡（平成 13 年 4 月から）
事務主任	岩下 健吾
会計掛長	清水 要
事務掛員	石井 肇雄
センター長秘書	吉田 直美
協力教官	柴田 直（東京大学新領域創成科学研究科教授）
	藤田 昌宏（東京大学工学系研究科電子工学専攻教授）
	藤島 実（東京大学新領域創成科学研究科助教授）
	池田 誠（東京大学工学系研究科電気工学専攻助教授）



浅田 邦博



鳳 紘一郎



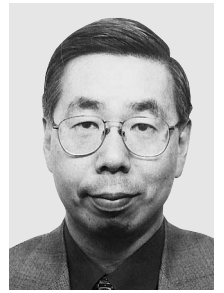
田中 正文



玉置 洋一



柴田 直



藤田 昌宏



平本 俊郎



北川 章夫



小出 哲士



藤島 実



一色 剛



北神 正人



池田 誠



鄭 若彤



三田 吉郎



石原 亨



小松 聡



岩下 健吾



清水 要



石井 肇雄



吉田 直美

新任職員紹介

客員教授 玉置 洋一 (たまき よういち)

本年4月より2年間の任期でVDECの客員教授を拝命いたしました。主に、LSIの試作、評価関係を担当します。これまで会社(日立)では大型計算機用に論理・メモリLSIの高集積化、高性能化を目的として新しいデバイス構造の研究、開発を行ってきました。そこでは、新デバイスのフィージビリティを評価するために、TEGの設計、試作、評価を行い、デバイスの性能評価と合わせてプロセスの品質

評価に取り組んできました。また、最近は通信分野や計測分野でニーズが高まっているミックスドシグナルLSIをBiCMOSおよびCMOS技術を用いて開発する仕事を担当しています。ここで、レイアウト設計からチップ試作、テストング、実装までLSI製造の一連のステップを経験しました。今後は、これらの経験を生かしてVDECの活動に貢献したいと考えております。よろしくお願い致します。

助教授 一色 剛 (いっしき つよし)

この度、流動助教授として、東京工業大学大学院理工学研究科集積システム専攻から転任致しました。研究分野として、マルチメディア用システムLSI、FPGALSIAーキテクチャ及びそのFPGA上での設計CAD(論理合成、配置配線)、C++言語から

のハードウェア合成CAD、画像処理、コンピュータグラフィックス、等を取り上げております。今後、VDECの一員として、微力ながら精いっぱい頑張っ て行きますので、よろしくお願い申し上げます。

助教授 北神 正人 (きたかみ まさと)

平成13年4月1日付けでVDECの流動教官になりました北神です。異動前は千葉大学工学部情報画像工学科に所属しておりました。専門はフォールトレラントシステムで、特に計算機のメモリシステム用誤り制御符号の研究をしてきました。VDECにはこれまで組み込み自己テスト機能を搭載したプロセッサや故障回避機能を持ったFPGAチップの作成でお世話になっていました。私の専門の中心である誤り制御符号の研究では一般に理論的検討が中心でチ

ップ製作までは至らない場合が多いです。しかし、実際の回路で生じる誤りの傾向を解析することで新たな機能の誤り制御符号が得られる場合も多く、実際の回路の動作の解析は重要になると考えております。このように、まだまだVDECを使いこなせているとはいえませんが、皆様のお役に立てるよう勉強していきますので、どうぞよろしくお願い致します。

助手 小松 聡 (こまつ さとし)

今年の3月に東京大学大学院工学系研究科電子工学専攻の博士課程を修了し、4月よりVDECの助手に着任しました。これまで、チップ試作サービスや設計技術、CAD利用技術などを通じてVDECとはユーザの立場で関係してきましたが、これからはVDECのサービスの提供側として利用者の皆様の力になれるように、微力ではありますが頑張ってい

ますのでよろしくお願い申し上げます。VDECの誕生以来、チップ試作やCAD利用技術の情報交換、CAD講習会、デザイナーズフォーラム(若手の会)などを通じて全国のVLSI関連の研究者のネットワークが急速に広がったと感じますが、今後もさらに発展させることができると考えています。私の研究分野は低消費電力回路/システム技術、VLSIでの

符号化データ伝送方式，システムレベル設計技術などですが，こちらに関しても興味のある方々と議論や情報交換ができれば幸いです．今後，VDECのさ

まざまな活動を通じて皆様のお世話になるかと思いますがその際にはよろしくお願ひします．

運営委員会構成（平成12年度）

委員長	浅田 邦博	東京大学大規模集積システム設計教育研究センター長	教授
委員	柳澤 幸雄	東京大学大学院新領域創成科学研究科，総長補佐	教授
	鳳 紘一郎	東京大学大規模集積システム設計教育研究センター	教授
	平本 俊郎	東京大学大規模集積システム設計教育研究センター	助教授
	南谷 崇	東京大学先端科学技術研究センター情報物理システム	教授
	宮永 喜一	北海道大学大学院工学研究科電子情報工学専攻	教授
	大見 忠弘	東北大学未来科学技術共同研究センター	教授
	國枝 博昭	東京工業大学大学院理工学研究科集積システム専攻	教授
	柳澤 政生	早稲田大学理工学部電子・情報通信学科	教授
	山田 実	金沢大学工学部電気電子システム工学科	教授
	高木 直史	名古屋大学大学院工学研究科情報工学専攻	教授
	小野寺 秀俊	京都大学大学院情報学研究科通信情報システム専攻	教授
	谷口 研二	大阪大学大学院工学研究科電子情報エネルギー工学専攻	教授
	岩田 穆	広島大学工学部第二類（電気系）	教授
	安浦 寛人	九州大学大学院システム情報科学研究科情報工学部門	教授
	山内 寛紀	立命館大学理工学部電気電子工学科	教授
	兵庫 明	東京理科大学理工学部電気工学科	助教授

協議会構成（平成12年度）

協議員	浅田 邦博	東京大学大規模集積システム設計教育研究センター長	教授
	小宮山 宏	東京大学工学系研究科長	教授
	柴田 直	東京大学大学院新領域創成科学研究科	教授
	田中英彦	東京大学大学院工学系研究科電気工学専攻	教授
	岡部 洋一	東京大学先端科学技術研究センター	教授
	荒川 泰彦	東京大学先端科学技術研究センター	教授
	鳳 紘一郎	東京大学大規模集積システム設計教育研究センター	教授
	平本 俊郎	東京大学大規模集積システム設計教育研究センター	助教授
	北川 章夫	東京大学大規模集積システム設計教育研究センター	助教授
	小出 哲士	東京大学大規模集積システム設計教育研究センター	助教授
オブザーバー	柳澤 幸雄	東京大学大学院新領域創成科学研究科，総長補佐	教授

1. 平成 12 年度経常経費

経費科目	金額	経費科目	金額
人件費	60,548,624	校費	135,922,000
電子計算機借料	83,234,173	職員旅費	754,000
講師等旅費	1,019,030	国有特許外国出願費	690,515

2. 平成 12 年度科学研究費補助金

研究代表者	研究題目	種類	金額(千円)
浅田 邦博	知的撮像・プリプロセス	特定 A(2)	65,017
平本 俊郎	量子効果を積極利用した薄膜 SOI MOSFET の性能ばらつき低減の研究	基盤 B(2)	3,200
小出 哲士	ディープサブミクロン高集積高性能 VLSI レイアウト自動設計システムの開発	基盤 B(2)	8,602
小出 哲士	距離最小検出機能を有する連想メモリチップの試作と画像処理への応用	奨励 A(2)	1,200

3. 平成 12 年度産学連携等経費

研究代表者	研究題目	種類	金額(千円)
浅田 邦博	システム LSI のための再利用可能な設計資産の構築手法の実験的研究	共同研究	17,991
浅田 邦博	ディープサブミクロン世代の回路挙動評価技術に関する研究	共同研究	1,790
浅田 邦博	半導体自動試験装置におけるデジアナ混在デバイスの検査手法の研究	共同研究	350
平本 俊郎	量子スケールデバイスのシステムインテグレーション	受託研究	1,987

4. 平成 12 年度奨学寄附金

以下の企業・個人から寄附を頂きました。

受入件数： 計 14 件 受入額 計 16,640 千円

(株)日立製作所, 日産自動車(株), 三菱電機システム LSI 事業化推進センター,

(株)富士通研究所, (財)電気・電子情報学術振興財団, 日本電気(株) NEC エレクトロニクスデバイス, (株)東芝セミコンダ

クター社, 北川章夫助教授, (株)半導体理工学研究センター

第2章 平成12年度VDEC事業報告

平成12年度も前年度までに引き続き、「VLSIチップ試作の安定的運用」、「CADソフトウェアの配布・運用」、「セミナー開催」、「教材整備による情報の発信」、および「装置の整備・運用・利用公開」により、『LSI教育情報の発信拠点形成』、『VLSI設計支援教育用CADソフトウェアの整備』、『VLSIチップ試作支援』の3つの柱の円滑な運営を目指した事業を展開した。図2.1に示すVDECの活動内容に基づき、以下に平成12年度の事業の概要を報告する。

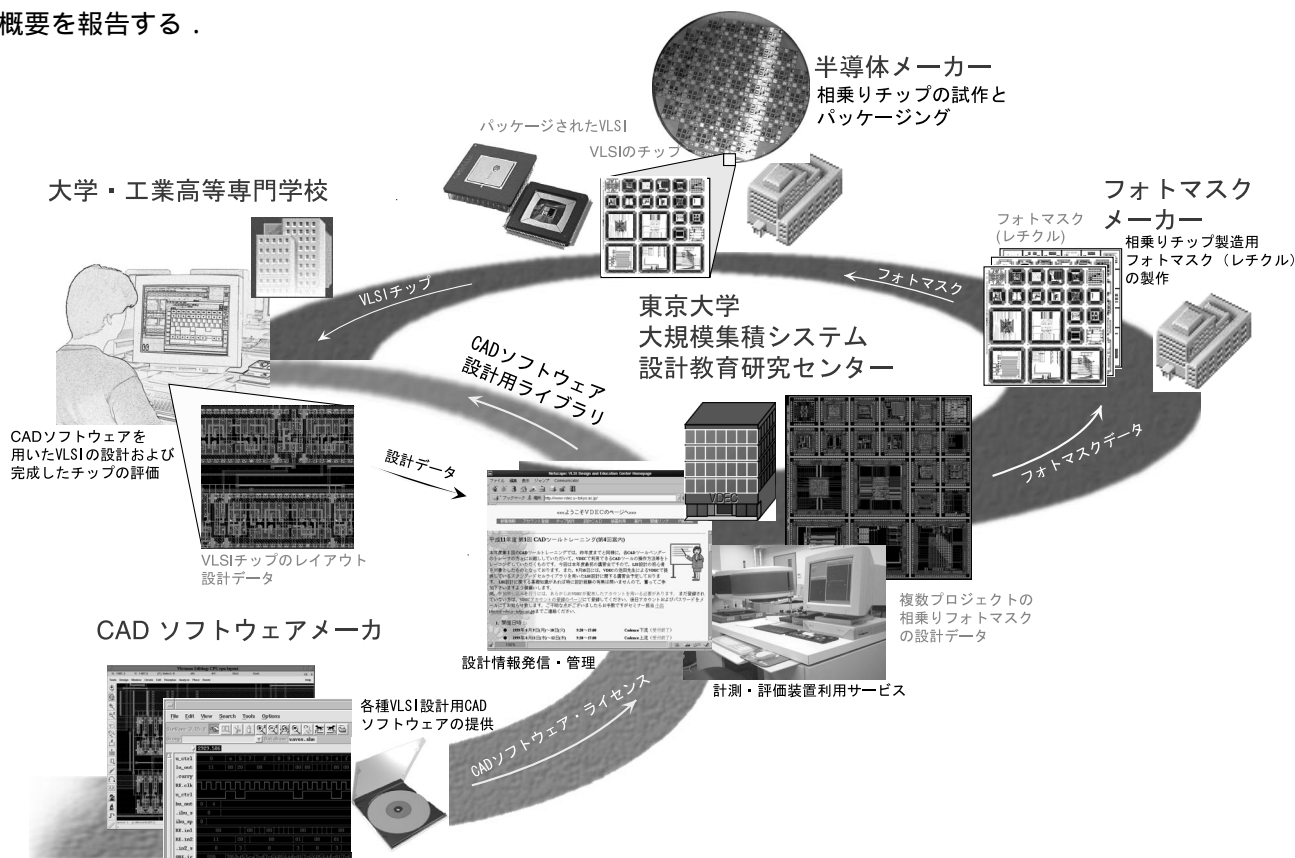


図2.1 VDECの活動内容

2.1. VLSIチップ試作

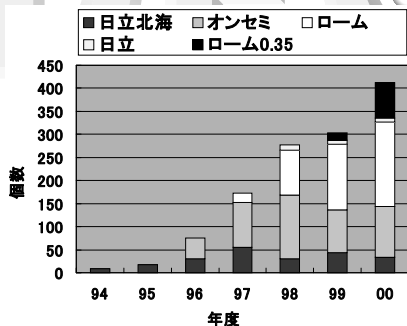
図2.2にVDECおよびそれに先行する通産省のパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSIチップ試作は、平成6,7年度(1994,1995年度)のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS 0.5 μm (現在当該プロセスは日立北海セミコンダクタ社にて継続されている)1社であったが、平成8年度(1996年度)のVDEC発足後、日本モトローラ社のCMOS 1.2 μm (平成11年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成9年度からはローム社のCMOS 0.6 μm が加わっ

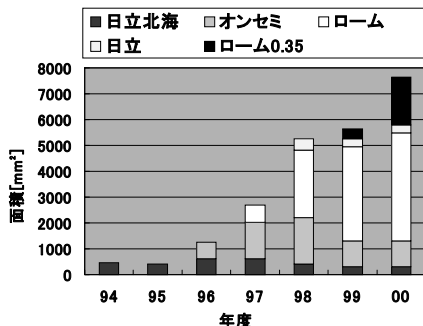
た。さらに平成10年度には日立製作所のCMOS 0.35 μm 、平成11年度にはローム社0.35 μm がそれぞれ加わり、試作品種数、試作面積ともに依然として増加傾向にある。

図2.2(a)は設計されたチップ品種数を示す。図中の折れ線は、試作品種数の累計を表しており、VLSI試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。

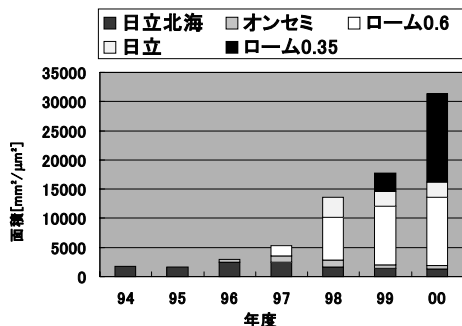
図2.2(b)に設計されたチップ面積を示す。試作プロセスが微細化すると、集積度が向上することで、見



(a) チップ試作数推移



(b) チップ試作面積推移



(c) 特性寸法で規格化したチップ試作面積推移

図 2.2 VDEC チップ試作実績の推移

かけ上試作面積が減少するように見える場合がある。そこで、図 2.2 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。

また、図 2.3 にこれまでに試作に参加した教官数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教官数は日立北海セミコンダクタが 35 名、日本モトローラが 100 名、ロームの 0.6 μm プロセスが 107 名、ロームの 0.35 μm プロセスが 51 名、日立製作所が 18 名となっている。

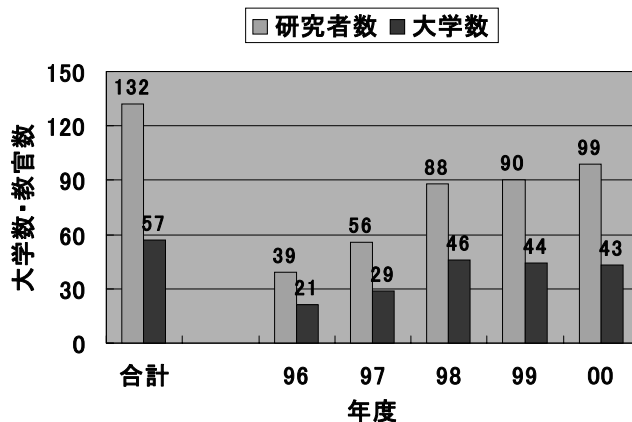


図 2.3 VDEC チップ試作参加教官数・大学数の推移とその累計

【平成 12 年度チップ試作概況】

平成 12 年度は、表 2.1 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 5

章のチップ試作報告を参照されたい。

表 2.1 チップ試作日程

設計締切日	チップ納品日	プロセス
平成 12 年 6 月 19 日	平成 12 年 12 月 20 日	CMOS 0.6 μm 2P3M ローム
平成 12 年 8 月 28 日	平成 12 年 12 月 27 日	CMOS 0.5 μm 1P3M 日立北海
平成 12 年 9 月 11 日	組立中	CMOS 0.35 μm 2P3M ローム
平成 12 年 10 月 2 日	平成 13 年 2 月 5 日	CMOS 1.2 μm 2P2M オンセミ
平成 12 年 10 月 30 日	組立中	CMOS 0.6 μm 2P3M ローム
平成 12 年 12 月 11 日	平成 13 年 2 月 2 日	CMOS ゲートアレイ 0.35 μm 1P5M 日立
平成 13 年 1 月 29 日	組立中	CMOS 0.5 μm 1P3M 日立北海
平成 13 年 2 月 26 日	プロセス中	CMOS 0.6 μm 2P3M ローム
平成 13 年 3 月 12 日	プロセス中	CMOS 0.35 μm 2P3M ローム
平成 13 年 4 月 2 日	プロセス中	CMOS 1.2 μm 2P2M オンセミ

【ライブラリ整備状況】

VDECにおけるチップ試作（主にデジタルLSI試作）では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ整備事業を行ってきた。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表2.2に示すとおりとなっている。

表2.2 プロセス毎のライブラリ整備状況

プロセス	名称	作成者	内容	状況
HHS (NEL) 0.5 μ m	P2lib	京都大学 田丸・小野寺研究室	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ CellEnsemble 用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html			
	EXDlib	九州大学安浦研究室	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ VHDL 用シミュレーションライブラリ ・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ ・ CellEnsemble 用配置配線ライブラリ 	試作チップの動作検証完了
http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html				
On Semi (MOT) 1.2 μ m	P2lib	京都大学 田丸・小野寺研究室	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ CellEnsemble 用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html			
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ 	
http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html				
ROHM0.6 μ m	EXDlib	豊橋技科大 田所・川人研究室	<ul style="list-style-type: none"> ・ CellEnsemble 用配置配線ライブラリ 	東大版をCellEnsembleに移植
	http://www.vdec.u-tokyo.ac.jp/DesignLib/TUT/ROHM06/index.html			
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ 	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM06/rule.html			
パスポートライブラリ		東京大学 VDEC	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ 	ロームから提供
	CDROMにて配布			
日立 0.35 μ m	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ 	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html			

2.2. CAD ソフトウェアの整備

平成8年度に導入されたCADソフトウェア(表2.3)は、図2.4に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、CADソフトウェアが利用できるという、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに500から1000程度のフローティングライセンスとなっており、全国の大学・高专において教育・研究目的に限り利用できるようになっている。VDECのCADの利用、および「2.1項」のチップ試作の利用のためには、あらかじめユーザ登録が必要と

なっているが、これまでVDECに利用登録をしている(a)全国教官数および(b)その所属する大学数および(c)CADの利用申請があった研究室(教官)数の推移は図2.5の通りである。

図2.6にVDECを利用した研究成果の指標として、VDECに関係する発表文件数の推移を示す。ただし、発表文件数の調査をはじめた当初は発表文献リストの提出率が良くなかったことや、文献リストの提出を徹底したのが98年度以降であることから、年度間の文献数を単純には比較できないが、発表文献の数は着実に増加しており、VDEC発足以来、集積回路に関する研究が活性化されていることが確認できる。

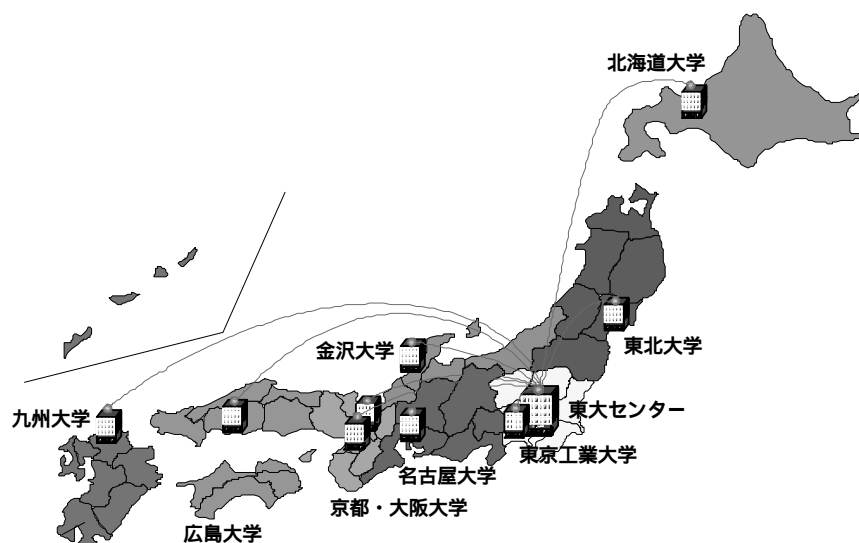
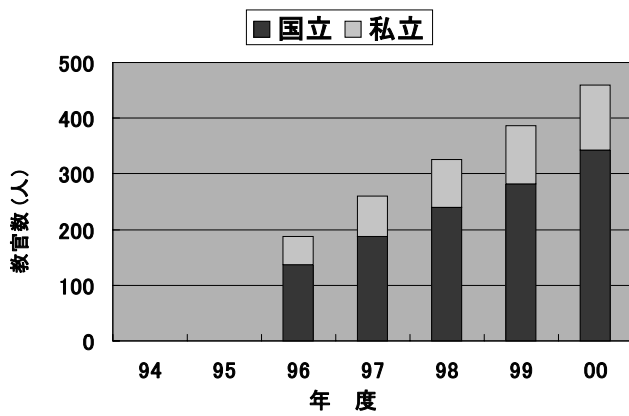


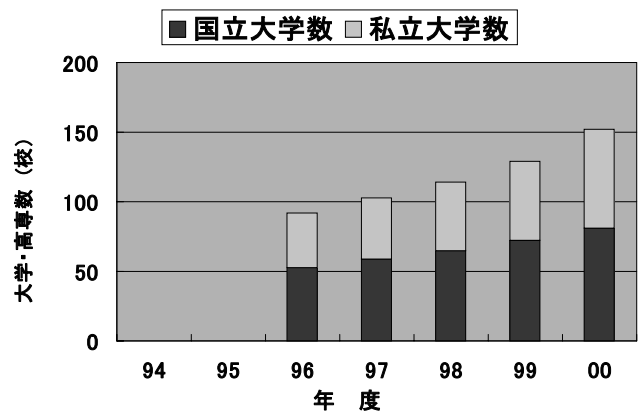
図2.4 全国地域拠点校

表2.3 導入されたCADシステム

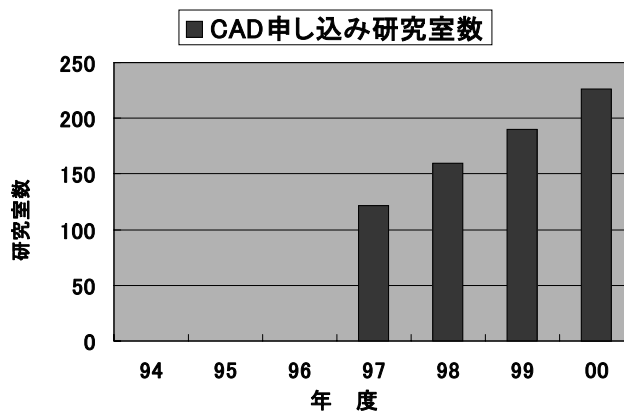
項目	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力, シミュレーション, 論理合成, テスト生成, マクロセルを含むセルベースの配置配線とバックアノテーション, 会話型の回路図およびマスキレイアウト入力, アナログ機能・回路シミュレーション, 設計検証, 回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション, 論理合成, テスト生成	Synopsys, Inc.
自動配置・配線設計システム	マクロセルを含むセルベースの配置配線設計とバックアノテーション, 回路シミュレーション	Avant! Co.



(a) 全国教員数の推移



(b) 大学数の推移



(c) CAD 利用申込研究室数の推移

図 2.5 ユーザー登録数およびCAD 申し込み数の推移

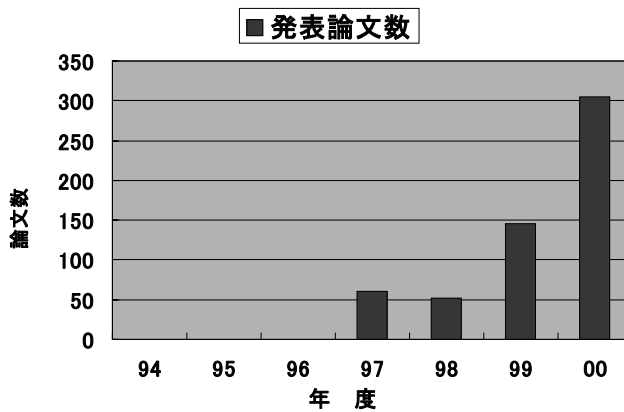


図 2.6 VDEC に関する発表文献数の推移

2.3. セミナー開催

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 12 年度には、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー

、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で現在使用可能な Cadence、Synopsys、Avant! のそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC で開発したライブラリを用いたチップ設計に関する講習も VDEC スタッフで実施している。平成 12 年度は、8 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した(表 1)。この技術セミナーでは、Cadence のツールを 5 日間、Synopsys のツールを 3 日間、Avant! のツールを 2 日間、Star-HSPICE の講習を 2 日間で実施し、各コースに約 50 名の教官・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーを地方拠点(北海道、東北、金沢、名古屋)で実施し、Cadence、Synopsys、Avant!、Star-HSPICE 等の最新のツールの上級トレーニングを行った(表 2.4)。



これら CAD 技術セミナーへの参加要望は非常に大きいため、VDEC 拠点校の協力を得ながら各地方拠点校で開催しているが、地方拠点開催でもその地方からの参加者にとどまらず、遠方からの参加希望が多く寄せられている。これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、より大規模な CAD 技術セミナー開催の仕組みの整備が急がれる状況にある。

表 2.4 平成 12 年度 CAD 技術セミナー開催状況

講習項目	会場	開催日	参加人数	講習概要
Cadence Verilog-XL	東京大学	平成 12 年 7 月 31 日	50	Verilog HDL を使用した回路の構造記述、動作記述の方法と Verilog-XL の実行方法を学習。
Cadence LayoutEditor	東京大学	平成 12 年 8 月 1 日	50	Layout Editor の使用方法、Parameterized Cell の概念と作成方法、Stream 変換を学習。
Cadence Diva	東京大学	平成 12 年 8 月 2 日	50	DRC、ERC、LVS、LPE を行うために必要なルールファイルの記述方法を学習。

講習項目	会場	開催日	参加人数	講習概要
Cadence SiliconEnsemble	東京大学	平成 12 年 8 月 3 ~ 4 日	50	デザイン・フロー，入力データ・フォーマット，配置，配線に関する基本操作を学習．
Avant! Star-HSPICE	東京大学	平成 12 年 8 月 17 ~ 18 日	50	Star-HSPICE の基本的な機能と回路記述方法を中心に，演習問題を通じて Star-HSPICE の操作までを学習．
Synopsys ツール を用いた論理設計	東京大学	平成 12 年 8 月 21 ~ 23 日	50	回路の合成，結果の解析等の DesignCompiler を用いた基本的な設計手法を習得．また，VSS を用いたシミュレーションの基礎を修得．
Avant! ツールを用いたセルベース設計	東京大学	平成 12 年 8 月 24 ~ 25 日	50	Milkyway での配置配線用ライブラリやデザインのセットアップ，自動配置配線コアツール Apollo のデザインフローと各フェーズでの機能を講義と実習を通して習得して頂く基本コース．
Cadence	北海道地区 (北海道大学 VDEC サブセンター)	平成 13 年 3 月 6 ~ 8 日	30	Layout Editor の使用方法，Parameterized Cell の概念と作成方法，Stream 変換を学習．DRC，ERC，LVS，LPE を行うために必要なルールファイルの記述方法を学習．
Star-HSPICE	中部地区 (名古屋大学 VDEC サブセンター)	平成 13 年 3 月 8 ~ 9 日	30	Star-HSPICE の基本的な機能と回路記述方法を中心に演習問題演習問題を通じて Star-HSPICE の操作方法の習得
Avant!	北陸地区 (金沢大学 VDEC サブセンター)	平成 13 年 3 月 12 ~ 13 日	30	セルライブラリデータベース構築や外部データの入出力を行う Milkyway と配置/配線ツールの Apollo に関する上級トレーニング，並びに，Avant! 社 PlanetPL (フロアプランナ) とタイミングドリブン配置配線に関する講習
Synopsys	東北地区 (東北大学 VDEC サブセンター)	平成 13 年 3 月 21 ~ 23 日	30	DesignCompiler に関する上級トレーニング Chip Synthesis2 の講習と演習，並びに Scirocco (VSS シミュレータの後継) の基本・応用シミュレーションの講習・演習

【社会人のためのリフレッシュセミナー】

平成12年度12月～1月には平成11年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表2.5)。このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。本年度はVLSI設計に関する3つのコース(コース1: HDLによるデジタル集積回路設計と演習(12/6～

12/9実施)、コース2: アナログ集積回路設計と演習(12/14～16実施)、コース3: 最先端VLSI設計実例(1/9～10)を開催し、講師として大学・企業の集積回路研究・教育に携わる教官や研究者約13名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコース1, 2はそれぞれ約50名、コース3は約120名あり、延べ220名程度となった。



表2.5 社会人向けリフレッシュセミナー開催状況

講習項目	開催日	講師	参加数	講習概要
コース1: HDLによるデジタル集積回路設計と演習	平成12年 12月6～9日	今井 正治(大阪大学教授), 越智 裕之(広島市立大学 助教授), 小林 和淑(京都大学助手), 池田 誠(東京大学講師)	50	ハードウェア記述言語(HDL)によるデジタル集積回路設計, Verilog HDLを用いたFPGAの設計演習, 論理合成と自動配置配線手法によるASIC設計の流れの演習

講習項目	開催日	講師	参加数	講習概要
コース2：アナログ集積回路設計と演習	平成12年 12月14～16日	岩田 穆（広島大学 教授），小野寺 秀俊（京都大学 教授），小谷 光司（東北大学 助教授）	50	アナログ集積回路の特徴と役割，レイアウト設計，設計検証，回路シミュレーション
コース3：最先端VLSI設計実例	平成13年 1月9～10日	岩田 穆（広島大学 教授），安浦 寛人（九州大学 教授），松澤 昭（松下電器），束原 恒夫（NTT），小久保 優（日立製作所），道山 淳児（松下電器）	120	アナログおよびAD混載VLSI，CMOSアナログ回路設計の基礎，RF回路と無線通信用LSIの設計，PLLとPLL搭載AD混載LSIの設計，MPEG4コーデックLSIの設計事例，システムレベル低消費電力化設計手法

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSIデザイナーフォーラム（VDEC LSI Designers Forum）を開催している。VDEC LSIデザイナーフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。平成12年度は、9月26日、27日に広島県宮島町で開催され、76名の参加者があった。新しい企画として、1) LSI設計の際に使うCADツールの動作概念

を学び、実践的な使い方の向上を図るための「チュートリアル講演」、2) 学生時代のLSI設計・評価の経験が就職後どのように役立っているかについて伺う「VDEC卒業生講演」を導入した。今回は、IEEE Solid-State Circuit Society, Japan Chapter, 電子情報通信学会中国支部、情報処理学会中国支部に共催団体として支援していただいた。また、本フォーラム開催にあたって、会場・宿泊設備その他の準備、スタッフの手配等は、地元幹事大学のご協力により実現されている。平成12年度は、広島大学の岩田穆先生、永田真先生の研究室に幹事を務めていただいた。

表2.6 平成12年度プログラム

9月26日（火）	
13:00～13:30	基調講演：広島大学 岩田穆 教授
13:30～16:30	チュートリアル講演（5件）
16:30～18:00	設計事例講演（3件）
18:30～20:00	懇親会
21:00～00:00	ポスターセッション（15件）
9月27日（水）	
09:00～10:00	VDEC卒業生講演：NTT通信エネルギー研究所 森澤文晴氏 ：ソニーLSIデザイン株式会社 廣瀬啓氏
10:15～12:00	パネルディスカッション



表 2.7 平成 12 年度 VDEC LSI デザイナーフォーラム発表内容一覧

1. 基調講演	
次世代情報処理システムにおけるアナデジ集積回路技術	岩田 穆 (広島大学)
2. チュートリアル講演	
2000 年 VDEC の現状と展開	池田 誠 (東京大学)
新しい VDEC ライブラリの開発	石原 亨 (東京大学)
汎用テストベンチ作成ツールを用いたシミュレーションからテストまで	小林 和淑 (京都大学)
PARTHENON と合成技術	泉 知論 (京都大学)
レイアウト設計と組合せ最適化-CAD ツールの中身はどうなっているか	小出 哲士 (東京大学)
3. 設計事例講演	
オンデマンドライブラリを用いた最適 LSI 設計手法	橋本 昌宜 (京都大学)
有線 CDMA バスインターフェースの設計とそれに関する考察	吉村 隆治, Tan Boon Keat, 松岡俊匡, 谷口 研二 (大阪大学)
学生実験「CMOS ゲートアレイの設計と試作と評価」紹介	三田 吉郎 (東京大学)
4. VDEC 卒業生講演	
VDEC の経験の活かし方とアドバイス	森澤 文晴 (NTT 通信エネルギー研究所)
会社と大学の LSI 設計環境と VDEC 経験の効用	廣瀬 啓 (ソニー LSI デザイン株式会社)
5. ポスターセッション	
オーバーサンプリング 変調器の設計およびチップ作製	北村 登, 伊藤 八十四, 宮崎 大輔*, 川人 祥二* (鈴鹿工業高等専門学校, * 静岡大学)
アナログ波形サンプリング LSI	南雲 崇 (東京農工大学)
スイッチトキャパシタ変成器による DC-DC コンバータの IC 化	松尾 嘉洋, 沖 和史 (福岡大学)
光インターフェースの高速化	中村 公亮, 藤田 隼人 (金沢大学)
マルチスレッドパイプラインプロセッサの VLSI による実現	高松 直樹, 中村 每良, 深山 正幸 (金沢大学)

電流制御発振器を用いた Δ -AD 変換器の設計	吉川 泰正, 永田 真, 森江 隆, 岩田 穆 (広島大学)
アナデジ混載レイアウト設計におけるデジタル自動配置配線ツール活用法	山本 美子, 今村 俊文, 永田 真, 森江 隆, 岩田 穆 (広島大学)
入力信号パターンを考慮した低電力演算器の設計	室山 真徳, 石原 亨, 兵頭 章彦, 安浦 寛人 (九州大学)
東京大学浅田研究室における設計事例	小松 聡, 山岡 寛明, 根塚 智裕 (東京大学)
ニューロン MOS 回路の低温直流特性	落合 忠博, 波多野 裕 (静岡理工科大学)
IP 向けプロセッサの設計試作	三谷 陽介, 内田 裕志*, 平松 健, 弘中 哲夫, Hans Juergen Mattausch* (広島市立大学, * 広島大学)
演算増幅器の試作例	Nicodimus Retdian Agung, 高木 茂孝, 藤田 信生 (東京工業大学)
LUT アレイ型 PLD の設計と試作	杉本 成範, 富田 明彦, 筒井 弘, 境 和久, 檜田 和浩, 泉 知論, 尾上 孝雄, 中村 行宏 (京都大学)
マルチポートキャッシュのための高速・小面積集中型アービタ	大森 伸彦, 岸 浩二, 行天 隆幸, ハンスユルゲン マタウシュ (広島大学)
マイクロプログラム制御交差突然変異回路をもつ遺伝的アルゴリズム専用ハードウェア	井村 紀道, 小泉 慎哉, 中塚 裕康, 小出 哲士*, 若林 真一 (広島大学, * 東京大学)

【その他の共催・協賛セミナー】

日本学術振興会第 165 委員会が主催する「VLSI 設計・夏の学校」への協賛を行い、こちらも盛況であった。

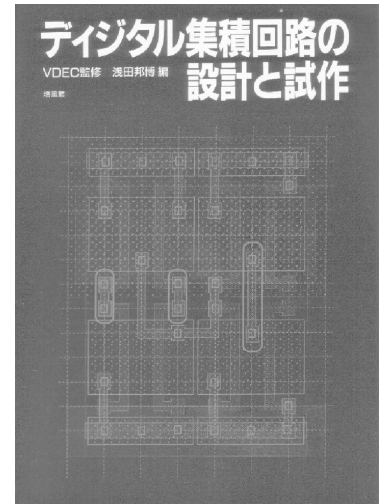
(社)電子情報通信学会 VLSI 設計技術研究会が主催する講習会「VLSI 設計演習」への協賛も行った。

2.4. 教材整備・情報発信

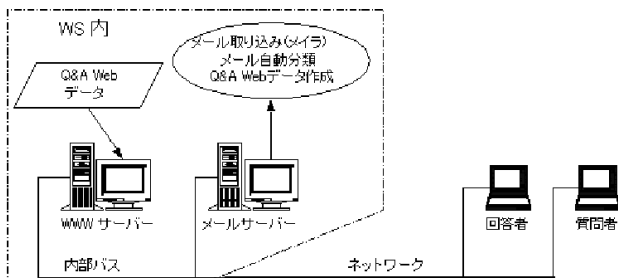
VLSI 設計法の教材整備では、平成 9 年度に作成した「論理合成・シミュレーション検証（上流設計）」、「セルベースによる自動配置配線（中流設計）」、「会話型設計（下流設計）」の教材、および平成 10 年度に作成した「マクロセル作成のための自習教材」を、CAD ツールのバージョンアップにあわせて内容の更新を行った。本教材は、Web により参照できるように設定されており、全国の教育関係者が研究・教育目的に自由に改定再配布できるようになっている。また、希望される方には、CDROM による配布も行っている。また平成 11 年度は、「QA システム」(図 2.7)の構築を行った。平成 12 年度には、質問とその回答を自動的にデータベース化するとともに、頻繁にされる質問 (FAQ: Frequenty Asked Question) に対する半自動応答システムの構築を行った。

2.3 項の「リフレッシュセミナー」、「VLSI 設計演習」における講習の内容をその講師の先生を中心に執筆していただき、平成 12 年度初旬に VDEC 教科書シリー

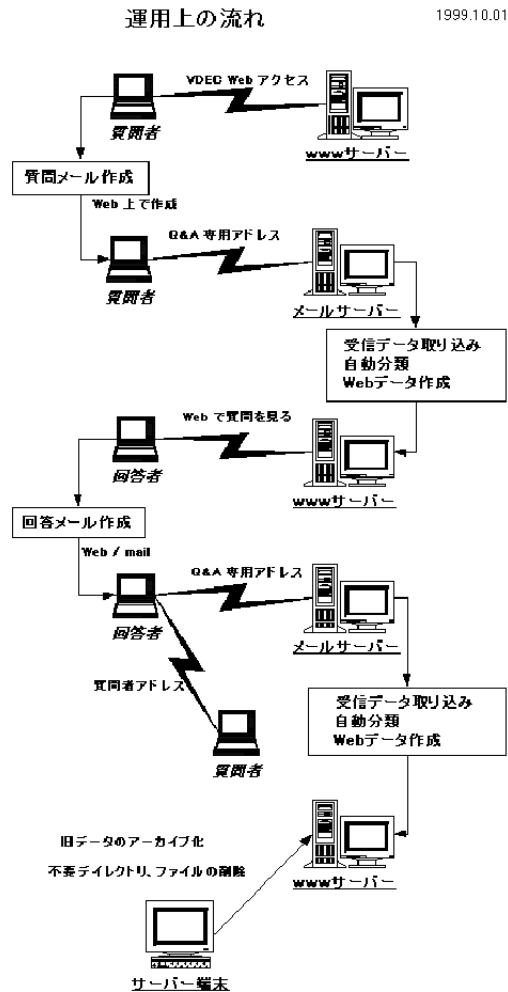
ズとして「デジタル集積回路の設計と試作」というタイトルで出版した。本 VDEC 教科書シリーズは「アナログ篇」も発行に向けた準備を行っているところである。



18



(a) Q&A システム概要



(b) Q&A システムの流れ

図 2.7 Q&A システムの模式図

2.5. 装置の整備・運用・利用公開

VDEC では、発足以来導入されてきた装置の運用を行うとともに、各装置を全国に利用公開を行っている（一部装置は、利用公開に向けた準備中）。表 2.9 に装置の一覧と利用公開の状況を示す。公開されている装置に関しては、前述の装置利用法セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としているが、必要に応じ、VDEC の職員などが対応することで、利用を認める場合もあるので、相談いただきたい。

その中で、特に試作チップの評価装置関係は、今後ますます評価に対する需要が増大することが予想されることから、平成 9 年度に、拠点校に設置されている LSI テスターの試作チップ評価用治具の共通化を目指して、共通ソケットを有するマザーボード（図 2.8）をテスターごとに準備し、共通ソケット上搭載する、LSI の品種毎のドータボード（図 2.9）を準備した。これにより、VDEC で標準ピン配置に基づき試作した

デジタル LSI に関しては、治具を新たに作成することなく、VDEC および拠点校の LSI テスターにより評価が行える体制が整っている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドータボードを 1 種類準備することで、全国の各大学における LSI テスターに対応可能な体制が整っている。今後、LSI テスト法および LSI テスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作した LSI の特性・性能評価が容易に行える環境の整備に努めたい。

試作チップの評価に関しては、試作チップの組み立てが QFP パッケージが多いことも有り、発足当初より、QFP パッケージを実装できるソケットの頒布および QFP ソケットのピンを標準 2.54mm ピッチに変換する変換ボードの頒布を行ってきている。詳細は Web のチップ試作の項目に掲載しているのでご活用いただきたい。

表 2.8 装置一覧および利用公開状況

項目	装置名	説明利用	公開状況	連絡先
ロジック LSI テストシステム	ミックスシグナル LSI テスター：ITS 9000Exa	100MHz/200MHz320 ピンのデジタルピンおよび 4 チャンネルのアナログピン有している。VDEC において標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@vdec.u-tokyo.ac.jp
	EB テスター：IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常 LSI テスターと組み合わせるため、上述テスターとのドッキング治具を備える	公開中	IDS5000@vdec.u-tokyo.ac.jp
	回路修正用 FIB：IDSP2X	LSI パターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp

項目	装置名	説明利用	公開状況	連絡先
	オートプローバ： PM-90-A	ウエハ上での LSI の動作検証を行うためのオートプローバ。上述の LSI テスターとドッキングして使用することが可能で、VDEC において標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	VDEC@vdec.u-tokyo.ac.jp
アナログ・RF 測定システム	アナログ・RF 測定装置一式：HP4156, HP4284, etc	DC パラメータ測定，容量測定，ネットワークアナライザ，スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但し VDEC の業務による利用を優先とする	VDEC@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ：Cascade 社	マニュアルにて 6 インチまでのウエハ上のチップの測定が可能。測定には，通常のプローブ針（6 本まで）のほか，50GHz までの測定が可能な高周波プローブを 2 本備える		
	低雑音・温度制御機構付きセミオートプローバ：Karl Suss 社	セミオートにてウエハ上のチップの測定が可能。ウエハを - 50 から 200 まで制御可能。プローブカードによる測定が可能のほか，GPIB を介した制御を行うことで半自動測定も可能		
	極低温プローバ	5 インチウエハを 25K まで冷やした測定が可能	要相談	VDEC@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置：JBX-7000SB	半導体製造用マスクの描画，およびシリコンウエハへのパターンの描画，およびそのエッチングが可能。最小描画寸法 0.5 μ m	試験的に学内向けに公開中	JEOLEB@vdec.u-tokyo.ac.jp
汎用 FIB システム	FIB 装置：SMI9800MSP	ガラスマスクの欠陥修正の他，断面観測のための加工等が可能	試験的に学内向けに公開中	SEIKOFIB@vdec.u-tokyo.ac.jp

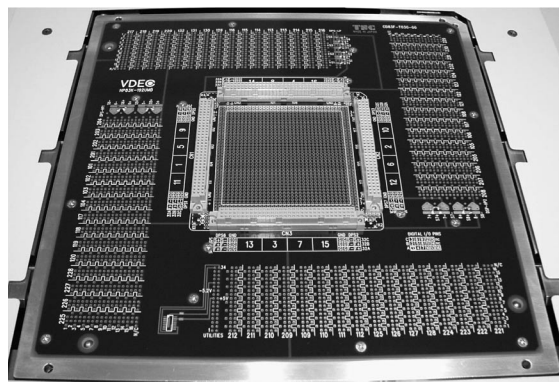


図 2.8 拠点校設置 LSI テスター用マザーボード

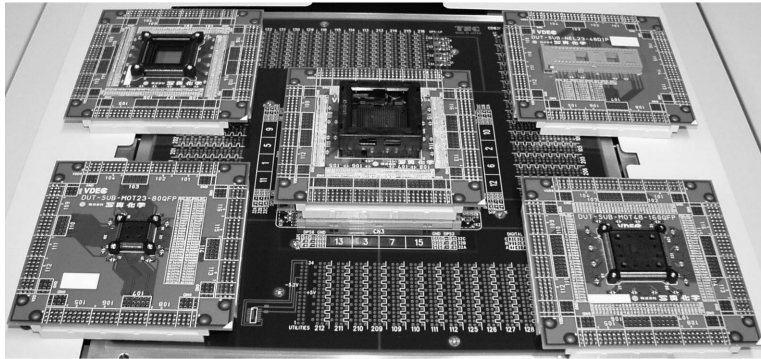


図 2.9 VDEC を利用した試作チップ用ドーターボード

2.6. VDEC のサービスを利用した学生実験

VDEC の CAD 環境やファウンドリを利用して学生実験を行う大学も年々増加傾向にある。その例として広島大学工学部で行っている学生実験を以下に紹介する。

【はじめに】

広島大学工学部第二類（電気系）の電子システム課程および電気電子工学課程では、平成 13 年度から学生実験の大幅な内容改訂を行い、学部 3 年生を対象に単体 MOSFET の動作特性を理解することを目的とする学生実験を行うこととなった。このテーマでは、単体 MOSFET の電流電圧特性の測定およびデバイスシミュレーションを行い、また、CMOS インバータの特性を測定することで、集積回路において重要な役割を果たす MOSFET とその回路応用の基礎的な部分を学習する。

【実験の概要】

本実験では、現在集積回路において欠かせない MOSFET の構造や動作原理および素子内部のキャリア輸送現象を、測定と 2 次元シミュレーションの両面から理解することを目的とする。また、MOSFET を用いた最も単純な回路の 1 つである CMOS インバータの動作についても理解し、MOSFET の回路応用を学ぶための橋渡しとしての役割も担っている。本実験は学部 3 年次の前期において、1 グループ 3 週間にわたって行われる。実験は 1 グループ 10 人程度の学生を 2 つに分けて並列に行われる。

【実験の流れ】

本実験は 3 週にわたり行われ、3 つの部分から構成されている。

1) 単体 MOSFET の電流電圧特性の測定

実験の第 1 週目は、単体 MOSFET の動作原理について学び、実際に特性を測定し、結果について考察す

ることによって、理解を深める。測定には、東京大学大規模集積システム設計教育研究センター（VDEC）の協力を得て作成された n および p チャネル MOSFET ($L = 4$ および $8\mu\text{m}$, $W = 20$ および $150\mu\text{m}$) を用いる。測定は直流電源とデジタルマルチメータを用いて行い、ゲート電圧をパラメータとしたドレイン電圧-ドレイン電流特性と、ドレイン電圧をパラメータとしたゲート電圧-ドレイン電流特性を測定する。測定結果を MOSFET の動作に関する理論式と併せて考察することにより、MOS デバイスの基本的な物理を学ぶ。

2) 単体 MOSFET の 2 次元デバイスシミュレーション

第 2 週目は、単体 MOSFET の 2 次元デバイスシミュレーションを行い、電流電圧特性等は第 1 週目の結果と併せて理解し、また、測定では知り得ないデバイス内部のポテンシャル等の様子を求めることによって、MOSFET の動作原理に関する理解をさらに深める。学生には基本となるシミュレーションのインプットファイルが与えられ、まずそのファイルを基に 2 次元デバイスシミュレータの基本概念や使い方を学ぶ。そのファイルの記述を必要に応じて変えていくことにより、様々な構造や条件下でのシミュレーションを行い、結果について考察する。

3) CMOS インバータ特性の測定

第 3 週目は、市販の CMOS インバータの DC 特性を測定し、その動作特性をおよび MOSFET の簡単な回路応用について学ぶ。CMOS インバータの入力に DC 電圧を用い、出力電圧を測定することにより入出力の反転動作を確認し、それが MOSFET の単体動作とどのように結び付いているのかを学ぶ。

【まとめ】

単体 MOSFET の動作特性を理解することは、集積回路の動作理解にも繋がる基本的かつ重要なポイントである。今回の学生実験テーマの改訂で単体 MOSFET の特性測定とデバイスシミュレーションが行われることにより、その理解を深めることができることを期待する。今後このテーマを改善していき、学部生がより半導体デバイス研究に対して興味を抱き、またそ

の得た知識を研究に役立てられるような学生実験にしていきたい。

VDEC では、今後このように学生実験等において VDEC の設備が有効に利用されることを期待すると共に、VDEC の提供するサービスが VLSI 設計教育の活性化につながることを期待する。

VDEC

第3章 研究報告

3.1. 研究室構成員（平成12年度）

鳳・藤島研究室

鳳 紘一郎	教授
藤島 実	助教授
北澤 清子	助手
天川 修平	博士3年（現在ケンブリッジ大学研究員）
大内 真一	博士2年
今村 晃	修士2年（現在大学院鳳・藤島研究室）
藤田 隆史	修士2年（現在NTT）
千葉 智子	修士2年（現在松下電器）
石田 光一	修士1年
近藤 裕也	修士1年
杉浦 学	修士1年
田島 卓郎	修士1年
田辺 亮	修士1年
ダナルドノ・ドゥイ・アントノ	学部4年（現在大学院桜井研究室）
南雲 俊治	学部4年生（現在大学院平本研究室）
本多 祐樹	学部4年生（現在警察庁）
柳瀬 健吾	学部4年生（現在大学院坂内研究室）

浅田・池田研究室

浅田 邦博	教授
池田 誠	講師（2001年4月1日より助教授 現在ケンブリッジ大学客員研究員）
鄭 若彤	助手
石原 亨	助手
鈴木 真一	技官
喬 健	博士4年（現在中国へ帰国）
山下 高廣	博士4年（現在STARC）
小松 聡	博士3年（現在VDEC助手）
村上 喜則	博士2年
瀬戸 謙修	博士2年（現在Pacific Design Instruments）
根塚 智裕	博士2年
中島 裕介	修士2年（現在三菱商事）
山岡 寛明	修士2年（現在浅田・池田研博士課程）

大池 祐輔	修士1年
吉田 浩章	修士1年
申 秀肇	修士1年
小玉 輝	学部4年（現在大学院鳳・藤島研）
杉山 聡	学部4年（現在大学院浅田・池田研）
高山 伸一	学部4年
中原 段	学部4年（現在大学院保立・山下研）
Ulkuhan Ekinciel	研究生（現在大学院浅田・池田研）

柴田研究室

柴田 直	教授
村井 徹	助手
三田 吉郎	助手（2001年4月1日より講師）
徐 懷宇	博士2年
八木 雅和	博士1年
顧 清荣	博士1年
山崎 俊彦	修士2年（現在柴田研究室博士1年）
小川 誠	修士1年
小林 大輔	修士1年
木村 弘枝	修士1年
野村 周央	修士1年
伊藤 潔人	学部4年（現在柴田研究室修士1年）
齊藤 康祐	学部4年（現在鳳・藤島研究室修士1年）
田口 晶康	学部4年（現在柴田研究室修士1年）
山本 憲	学部4年（現在鳳・藤島研究室修士1年）

藤田研究室

藤田 昌宏	教授
久保 賢生	学部4年（現在大学院藤田研究室）
黒羽 毅	学部4年
世羅 元啓	学部4年（現在総務省）
中谷 大介	学部4年（現在日立製作所）

平本研究室

平本 俊郎 助教授
更屋 拓哉 技官（2001年4月1日より助手）
任 玄植 博士研究員
犬飼 貴士 博士2年
間島 秀明 博士2年
後明 寛之 修士2年（現在，松下電器産業）
齋藤 俊樹 修士2年（現在，ソニー）
王 海寧 修士2年（現在，富士通）
永田 英次 修士2年
（中央大学からの研究実習生，現在日立超LSI）
齋藤 真澄 修士1年
大澤 淳真 修士1年（中央大学からの研究実習生）
齋藤 裕太 学部4年（中央大学からの研究実習生）

北川研究室

北川 章夫 助教授
（金沢大学工学部情報システム工学科集積回路工学研究室と共同研究）

小出研究室

小出 哲士 助教授
（広島大学大学院工学研究科複雑システム工学専攻の若林助教授グループ，並びに広島大学ナノデバイス・システム研究センターのマタウシュ教授グループと共同で研究）

田中研究室

田中 正文 客員教授
（ローム(株)）

鳳・藤島研究室 Hoh/Fujishima Laboratory

(<http://www.sf.t.u-tokyo.ac.jp/>)

1. 集積回路を用いた量子コンピューティングのハードウェアエミュレーション

鳳紘一郎, 藤島実, 大内真一, 千葉智子

我々は量子計算で用いられる情報処理方法を大規模並列演算機に応用する試みを行っている。汎用の量子計算エミュレータをシリコン CMOS LSI を用いて設計し、実用的な計算システムを構築する際の要件を検討した。量子ビット（キュビット）で構成される量子系の基底状態はそれぞれ周波数スロットを用いた周期信号で表現される。状態の重ね合わせは合成波として表され、各基底の観測確率は周波数成分のパワースペクトルに対応する。量子計算におけるキュビットに対するユニタリ発展は、複素 FIR (Finite Impulse Response) フィルタと周波数変換器を組み合わせて各基底の振幅に対し演算を施すことにより実現される。3量子ビットの量子アルゴリズムを実演し、その性能と規模の拡張性を詳細に議論した。

2. 単電子デバイス・回路の理論検証

鳳紘一郎, 藤島実, 天川修平, 大内真一

単一電子デバイス・回路のシミュレーションをおこなう上で重要な要素として、トンネリングレートの計算がある。これは、一般的にはトンネル接合が一定のトンネル抵抗を持つものと仮定して計算されている。より正確には、量子力学的にトンネル電流を計算すればよい。しかしながら、単一電子効果が発現する系ではトンネル障壁の形状がトンネリングの前後で変化するので、通常のトンネリングの問題とはやや事情が異なる。そこで、この障壁形状の変化を考慮に入れつつトンネリングレートを簡便に計算する方法を考察した。その結果、単一電子帯電効果がトンネル障壁に及ぼす影響が明らかになり、理想的に電圧バイアスされた微小トンネル接合では、(平行平板キャパシタ近似が成り立つ条件においても) トンネル電流が接合面積に比例しないことがわかった。アイランドが含まれる回路に含まれるトンネル接合では、この効果は現れない。また、この特異な電流のスケーリングを検証するための化合物半導体を用いた実験を考案し、計算によってトンネル電流の変化のしかたを見積もった。また、メモリのナノスケール集積を目指して、安定した記憶保持と高速な書き込みの両立可能な MOS 型単電子メモリの動作機構を解析し、高性能化の

1. Hardware Emulation of Quantum Computing Using VLSI Architecture

K. Hoh, M. Fujishima, S. O'uchi, and T. Chiba

We are studying the application of information processing based on quantum computing for a massive parallel computing system. For the first attempt, we have designed a general-purpose hardware emulator of quantum computing with silicon CMOS LSI in order to investigate the requirements for realization of a practical computer system. A basis of the quantum mechanical system consisting of quantum bits (qubits) corresponds to a periodic signal in each signal frequency slot. Superposition of states is represented by a synthetic signal and observation probability of each base corresponds to a power spectrum in the frequency domain. Unitary evolution of qubits in quantum computing is realized by operation on the amplitudes using complex Finite Impulse Response (FIR) filters and frequency converters. Three-qubit quantum computation has been demonstrated and its performance and scalability have been discussed quantitatively.

2. Theoretical Study on Single Electron Circuits and Devices

K. Hoh, M. Fujishima, S. Amakawa, S. O'uchi

The effect of a tunneling electron on the tunnel barrier shape is studied within the limit where a static image charge model is applicable. It is shown that the single-electron tunneling current through an ultrasmall voltage-biased junction is not proportional to the junction area because of charging at the electrodes. Simple expressions are presented for the effective static barrier shape of a voltage-biased junction and of a junction in a circuit, the former of which accounts for the anomalous current scaling. A possible experimental arrangement for verifying the scaling relationship and the corresponding calculated results are suggested. For the future integration of nano-scale memory, we have also studied operation mechanism of a metal-oxide-silicon (MOS) type single-electron memory that realizes stable retention and fast writing, and shown design guidelines for performance improvement of the single-electron memory. This memory utilizes the direct tunneling of electrons between a floating silicon dot and the conducting channel on the interface of silicon and oxide. By a simple analysis taking the structure of the energy band of silicon into consideration, we showed that the writing

ための設計指針を示した。このメモリでは、電子がフローティングドットとMOSのチャネルとの間を直接トンネルする現象を用いる。我々は、半導体のエネルギーバンド構造を考慮した簡潔なモデルを用いて解析を行うことにより、デバイス構造の最適化をもって室温でサブマイクロ秒程度の書き込み時間とこれより10桁程度長い保持時間が両立可能であり、これがエネルギーバンドギャップによるものであるとの知見を得た。

3. ショットキー MOSFET

鳳紘一郎, 藤島実, 田辺亮, 田島卓郎

シリコンデバイスやシリコン回路は高速ネットワーク社会の要求に見合うために、MOSFETの微細化プロセスの開発が必要とされている。しかしながら、MOSFETの微細化が進むと長チャネルの時代には問題にならなかった、ショートチャネル効果、パンチスルー、不純物原子のランダム分布のような様々な問題が顕著になる。そのような問題を解決するためのデバイスとしてソースおよびドレインにシリサイドを用いたMOSFETの研究を行っている。我々はシリサイドとしてチタンシリサイドを用い、同一基板を用いてn型にもp型にも同等の動作をするデバイスの作製を目指している。現在は同一基板に0.1 μm 程度のチャネル長までのデバイス作製に成功している。今後は更なる短チャネル化を目指すとともに、同一基板に、p型とn型に異なるシリサイドを用いたCMOSデバイスの作製にも挑戦していく。また、近年新しい材料として注目を集める希土類金属Erに焦点をあて、堆積方法、およびシリサイド形成プロセスの開発とシリサイドの特性を調べることと同時に、金属・シリコン反応によるシリサイドをソース/ドレイン領域に用いたnMOSFETの作製を行っている。研究の目的は、ディープサブミクロンMOSFET技術において、その構造の妥当性を検証し、その応用可能性を模索することにある。現在は、高品質エルビウムシリサイドを用いたnMOSFETの作製に従事している。

4. マイクロメディカルセンサーの実現に向けた低消費電力アナログ回路

藤島実, 鳳紘一郎, 藤田隆史, 近藤裕也, 石田光一

我々は、人体に装着したまま、心電図や体温等の生体情報を収集し、送信可能なマイクロメディカルセンサーの研究を行っている。システム全体を1チップで実現することにより消費電力やサイズ的大幅な低減が見込まれるため、デジタル回路と相性のよいCMOS技術を用いて無線通信回路を構成することを目指している。その一環として、電力増幅器を簡略化した回路構成とすることで低消費電力化を図った2.4GHzトランスミッタを試作した。また、

- ・ 1.5V (ボタン電池1個) で動作可能な低消費電力集積回路の実現
- ・ センサーからの微弱な出力をバッファアンプを介せずダイレクトに変換

time of less than one microsecond as well as the retention time of more than one hour was obtained at room temperature. It is also clarified that the features of the energy band were substantial for the memory function of the device.

3. Schottky MOSFET

K. Hoh, M. Fujishima, R. Tnabe, T. Tajima

In order that silicon-based devices and circuits satisfy the requirements for high-speed networking society, miniaturizing processes of MOSFETs need to be developed. Unwanted characteristics such as the short channel effect, punch through, and random distribution of doping atoms, however, have increasingly degraded device performance as the gate length of a MOSFET is scaled down. We have studied the Schottky MOSFET to overcome these difficulties. Titanium silicide in source and drain regions has been adopted in the MOSFET, which operate as both n- and p-type on the same substrate depending on a gate material. Currently, we have successfully fabricated 0.1- μm -gate devices. We are planning to scale down the gate length further and will challenge the CMOS devices using different silicide for PMOSFET and NMOSFET as well. We are also developing deposition and salicidation processes of one of the rare-earth metals, Erbium, which has received attention for a last decade, and to investigate formation kinetics and properties of erbium silicide ($\text{ErSi}_{1.7}$). We are currently fabricating Schottky Barrier nMOSFET with high-quality erbium silicide.

4. Low-Power Analog Circuits for Micro Medical Sensor Systems

M. Fujishima, K. Hoh, T. Fujita, Y. Kondo, K. Ishida

We are studying a low-power RF transceiver realized with CMOS process for "Micro Medical Sensor" system, where the whole system is integrated into a small chip with very low power consumption. The 2.4-GHz transmitter circuit with a simplified power amplifier is fabricated in order to realize low-power consumption. We are also studying a low-power sigma-delta A/D converter applying chopper-stabilized amplifier to meet the following requirements.

- ・ Low-voltage operation (Supply voltage is a silver-oxide battery of 1.5volt.)
- ・ No pre-amplifier is required to capture small input signals.

VDFEC
という制約条件のもと，DCオフセットや1/fノイズの影響を軽減可能な，チョッパースタビライズドアンプを応用した，型A/Dコンバータの研究を行っている．

5. カオスを利用したパイプライン型A/D変換器

藤島実，鳳紘一郎，今村晃

パイプライン型A/D変換器を，各段ごとにベルヌーイシフト型一次元写像を施すことによって時系列カオスを発生する回路として捉え，カオスが持続する条件と写像関数のパラメータ，さらにA/D変換器としての変換精度との間の関係を明らかにした．その結果を踏まえて，パイプライン型A/D変換器の特性を可変にしておき，カオス持続の成否によって判定しながらオンチップで適応的に理想的なパラメータ状態に合わせ込むことで変換精度を向上させる回路調整法を提唱し，その効果を実証し，集積回路上での実現法を提案した．

5. Pipelined A/D Converter Using Chaotic Dynamics

M. Fujishima, K. Hoh, A. Imamura

We have studied the chaos-generating nature of the pipelined A/D converters, which results from the function of each conversion stage with the chaos-generating return-map (Bernoulli shift map). As a result, we have clarified the relationship of three aspects, namely, the sustainability of chaotic output, the shape of the return-map, and the conversion accuracy. We have also proposed the on-chip calibration method for pipelined A/D converters to maximize conversion accuracy, where process-dependent variables, such as gain, threshold and offset, are adjusted with monitoring the sustainability of the chaotic output. The effect of the method has been simulated and estimated, and its implementation has been discussed.

浅田・池田研究室 Asada/Ikeda Laboratory

(<http://www.mos.t.u-tokyo.ac.jp/welcome-j.html>)

1. 多結晶シリコン薄膜トランジスタ及びGTBTパワーデバイスの動作解析

浅田邦博，村上善則

われわれは温度依存性を考慮したポリシリコン薄膜トランジスタのドレイン電流モデルを研究している．ドレイン電流の計算に薄膜トランジスタの構造パラメータ及び，計算パラメータとして，ガラス基板上のポリシリコン粒粒径，フラットバンド電圧，膜厚，実効ゲート長，実効ゲート幅，基板温度，バイアス条件を用いた一次元デバイスシミュレータを開発した．さらに，実デバイスの基板温度を変えた測定結果及び，計算結果から実効移動度の温度依存性の解析を行っている．新型パワーデバイスGTBT (Grounded Trench MOS assisted Bipolar-mode FET) のスイッチング特性とデバイス構造の関連について研究した．GTBTはn型基板領域並びにp型ゲート領域の一部と，n型ソース領域とを挟み込む固定電位のトレンチ絶縁電極を持つバイポーラ型パワーデバイスである．構造の最適化によって100 A/cm²の主電流を10 nsのオーダーで遮断できることをシミュレーションによってつきとめ，さらに素子を試作・評価してその傾向を確認した．

1. Studies on polycrystalline silicon thin-film-transistors and GTBT Power Devices

K.Asada, Y.Murakami

We have been studying a polycrystalline silicon TFT (Thin-Film-Transistor) model considering the drain current characteristics changing substrate temperature. The one-dimensional device simulator was developed for calculating the drain current with structural parameters, such as grain size of poly-silicon on the glass, flat band voltage, substrate temperature, film thickness, substrate concentration, effective gate width and effective gate length. We are also analyzing the effective mobility depending on the substrate temperature using some measurement results and simulation results. Relationship between the switching speed and the device structure of GTBT (Grounded Trench MOS assisted Bipolar-mode FET) has been investigated by simulations and fabrications. GTBT is a kind of bipolar-mode power switch having a functional trench MOS structure of which potential is permanently grounded. Geometrical design of the device can control the switching characteristics, such as the main current fall time. Less than 10 ns of current fall time for 100 A/cm² is possible, theoretically.

2. VLSI 中の信号線の最適化・特性抽出

浅田邦博, 池田誠, 中島祐介, 根塚智裕, 小玉輝

VLSI 中の配線の自己インダクタンス抽出に関する計算量を削減する手法の検討を行った。本手法は、配線断面の電流分布における表皮効果の影響を1次元で近似するもので、従来一般的に行われている行列演算による手法との比較により妥当性を確認した。また、電源インダクタンスのバンプの位置および数量の依存性の検討を行った。VLSI の複数の配線間の容量マトリクスを抽出するたあめのテストストラクチャを、VLSI の配線層間のアライメント誤差を計測に応用した。2つの層の配線の組を少しずつ配置をずらして複数配置して、その配線間の容量マトリクスを計測することにより、パーニヤ法に基づいたアライメント誤差の計測を行なう。実際には、配線の組の間の容量値が最大になる配線の組もしくは、2つの配線の組の間の容量マトリクスの対称性が最大となる配線の組を容量値の計測により決定することにより求めることが可能である。

3. VLSI 中の電源ノイズ解析と測定

浅田邦博, 池田誠, 石原亨, 杉山聡, 申秀攀

VLSI 中の電源配線における電圧変動の評価のために、パワースペクトルを用いて電源ノイズの影響を解析的に見積もる手法を提案した。伝達関数を用いて、電源ノイズを電力スペクトルで表すことで、電源ノイズを高速に予測できることを確認した。トランジスタの同時スイッチングにより VLSI の内部電源配線に生じる電圧降下ノイズを測定するため、サンプリング方式による電圧比較回路を用いて電源電圧変動を測定する回路を試作した。試作には0.13ミクロン CMOS プロセスを用いた。

4. 高速、低消費電力回路方式の検討

浅田邦博, 山下高廣, 山岡寛明, 中原段

パストラジスタ論理とセンスアンプを容量結合する CSPL (Capacitor-Separated Pass-transistor Logic) 回路方式の提案を行った。パストラジスタ部分の低振幅化による消費電力削減と、センスアンプのバイアスの最適化による動作速度の向上が可能であり、シミュレーションにより最大9.5倍の速度で動作した。組み合わせ回路の高速化および設計容易化を目指した回路方式として、PLA 構造とセンスアンプを用いた方式の提案を行った。提案回路を32ビットコンパレータに適用したところ、従来の CMOS スタティック回路に対し、最大2.58倍の高速化が実現され

2. Interconnections and Power Supply Line Optimization in VLSI

K.Asada, M. Ikeda, Y.Nakashima, T.Nezuka, H.Kodama

We have studied a new algorithm to reduce number of operations in extracting self inductance of interconnections in VLSIs. We employed an one-dimensional approximation of skin effects in calculating current distributions in cross-section of wires. We demonstrated this algorithm achieves good agreement with the conventional matrix solver. We have also studied trends of inductance in power supply systems according to positions and densities of bumps. We have developed a test structure for measurement of alignment error between metal layer in VLSI which is based on a test structure for capacitance matrix extraction. We can measure the alignment error by measuring capacitance matrixes in sets of two wires in different layer with various offsets. The alignment error is equal to the offset of two wires which have the maximum symmetry of capacitance matrix or the maximum capacitance between two wires.

3. Power Supply Noise Analysis

K. Asada, M. Ikeda, T. Ishihara, S. Sugiyama, X. B. Shen

We have proposed new a power supply noise estimation method. Our method use power spectrum to express noise waves. Power spectrum is a transformed value of self correlation function by the Fourier transformation method. By integrating this spectrum, we can estimate a probability of noise which violates noise margin of power supply line. We have developed a basic algorithm of this method. We have studied a new on-chip voltage monitor architecture for measuring VLSI power and ground bounce. We employed a simple voltage comparator using switched capacitors for measuring voltage bounce, and shift register structure for series data read-out just the same as the data scan path. Using this architecture, power and ground bounce in LSIs can be easily measured using logic testers. We have fabricated a test structure of this architecture, and demonstrated the measured voltage-bounce wave-form.

4. Studies on high-speed and low-power circuits

K.Asada, T.Yamashita, H.Yamaoka, D.Nakahara

We have proposed a CSPL (Capacitor-Separated Pass-transistor Logic), that separates pass-transistor logic part and sense-amplifier using a capacitor. The CSPL achieves low-power due to the signal-swing reduction in logic part, and performance improvement due to the bias optimization of sense-amplifiers. We demonstrated the CSPL operates 9.5 times faster than the conventional CMOS. We have proposed a sense-amplified PLA(Programmable Logic Array) structure, that aims to realize high-speed logic block using simple structured layout. We applied the proposed structure to a 32-bits comparator and

5. スマート画像センサの研究

浅田邦博, 根塚智裕, 大池祐輔

スポット光を用いたアクティブ方式の3次元計測向け高速位置検出センサの試作および3次元計測システムの構築を行なった。階層構造を持ったアクセスパスにより、従来のラスタスキャン方式と比較して、アクセス回数を削減し、高速な位置検出センサを実現した。構築したシステムにより3次元計測を行ない性能の評価を行なった。センサ面内で相関検波を用いることで、背景光の直流成分に対して独立に周波数変調を加えた投射光の座標検出を可能とするセンサを提案した。従来の輝度差による検出と異なり、外乱のある環境でのアクティブ方式による3次元計測を可能とし、直流成分に対して独立であるため広いダイナミックレンジが実現可能である。

6. プロセッサシステムの高速化に関する検討

浅田邦博, 池田誠, 鄭若彤, 小松聡

新しい同期概念を用いたプロセッサシステムの一環として、ダイナミックロジックを使用した加算器における演算終了信号の予測方式の検討を行い、従来のシフトレジスタを用いた予測方式より高速かつ低消費電力であることを示した。本方式は、シングルレール信号方式であるため、予測回路のハードウェアオーバーヘッドを最小限に抑えることが可能である。システムLSIのバスにおける符号化の検討に関しては、データ伝送の消費電力削減を目指して、統計的手法を用いたデータ符号化手法を提案し、信号遷移頻度の削減率の評価、エントロピーとの関係の考察を行なった。また、従来から提案してきた適応型コード帳符号化方式の符号化/復号化回路について他手法との比較、評価を行なった。

7. FPGA 向け論理合成手法および進んだ極性最適化の多段論理最適化への応用

浅田邦博, 鈴木真一, 喬健, 瀬戸謙修, 吉田浩章

関数のエンコーディングは関数分解の結果に大いに影響する。ここでは、多出力 CLB 構造の FPGA に対し、関数分解で得られた分解関数とイメージ関数を一つの CLB の中へ最大限共有化するため、お互いに共有可能な許容関数対を分解関数にするように新しいエンコーディング手法を提案した。最適化の効果の評価のため、提案手法を二出力 CLB のルックアップテーブルベースの FPGA に適用し、MCNC91 ベンチマーク回路の部分回路に対する実験を行

achieved 2.58 times faster than the conventional CMOS static circuit by SPICE simulation.

5. Studies on Smart Image Sensors

K.Asada, T.Nezuka, Y.Oike

We have developed high-speed position detection sensors for an active 3-D measurement system using laser spotlights, and a 3-D measurement system with the sensors. The sensor detects positions of spotlights projected on target objects with a novel scan method using a hierarchical access path. We can reduce the number of cycles in scanning images in comparison with conventional raster scan. We have evaluated the performance of the 3-D measurement system by measurements using developed system. We have been studying an image sensor for high flexible 3-D measurement system, which can acquire 3-D shapes in non-ideal environment. 3-D measurement system in such an environment has some difficulties caused by various background illuminations and needs weak laser intensity. We propose an image sensor for 3-D measurement with correlation technique, which can acquire the projected light independently of background illuminations.

6. Studies on High-Speed Processors

K.Asada, M.Ikeda, R.Zheng, S.Komatsu

We have proposed a method of addition completion prediction, which utilizes dynamic logic instead of a shift register as we did before. This scheme has features of high-speed and low power consumption. Besides, the hardware overhead of the prediction circuit is also decreased as single-rail data encoding is used. We proposed statistical encoding method for low power data transmission on VLSI bus. We evaluated the reduction of signal transitions and the relation between the entropy of data and the signal transition reduction. We also evaluated Adaptive Code-book Encoding method in terms of performance, circuit size, delay time and power dissipation.

7. Logic Synthesis for FPGA and Multi-Level Logic Minimization using Advanced Phase Assignment

K.Asada, S.Suzuki, J.Qiao, K.Seto, H.Yoshida

Function encoding is one of the critical factors that greatly impact the quality of the final decomposition results. In this study, we presented a novel encoding approach which can largely merge two compatible alpha functions or an alpha function and g function into a single CLB keeping the multiple-output architecture of the CLBs. To examine the approach, we applied our algorithms to logic synthesis for LUT-based FPGAs using subset of MCNC91 benchmarks, and compared the results with

った。二段論理合成における極性最適化を、多段論理合成に応用する方法を提案した。その応用を、進んだ極性最適化と呼ぶ。進んだ極性最適化と代数的分解によって、いくつかの論理関数のブール分解が得られることがわかった。進んだ極性最適化を面積および遅延の最適化に応用し、詳細な実験結果を得た。またマッピンググラフを使った最新のテクノロジー Mapper とともに実験し、その効果を調べた。本手法は、非常に単純で応用しやすいにもかかわらず、面積、遅延の削減に効果的であることを示した。

those from state-of-the-art methods. We have proposed an advanced phase assignment, where the phase assignment technique in two-level logic is applied to multi-level logic. We demonstrated that a combination of the advanced phase assignment and algebraic factoring produces Boolean decompositions of logic expressions in some cases. We have experimented the advanced phase assignment for area and delay optimization. We have also experimented the results of the advanced phase assignment with a state-of-art technology mapper, that employs mapping graph. The proposed method is very simple and easy to employ, yet it is effective both on area and delay optimization.

柴田・三田研究室 Shibata & Mita Laboratory

(<http://www.if.t.u-tokyo.ac.jp/>)

1. 右脳的情報処理集積回路

柴田直, Gu Qian Rong (顧清栄), Xu Huai Yu (徐懷宇), 小川誠, 伊藤潔人

現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを、シリコン超 LSI 技術で具現化する研究を進めている。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ (ニューロン MOS, neuMOS) を導入、膨大な template 群の中から最短距離ベクトルを約 500nsec で完全並列探索する連想相関器、これを用いた動きベクトルの瞬時検索チップ等を、これまで極めて簡単なハードで実現してきた。0.25 ミクロンプロセスで、1 チップ 20 TOPS 相当のプロセッサが実現できる。四則演算に代わり“連想を computing primitive” とする実時間事象認識知能システム実現を目指す研究である。現在、画像認識・音声認識をテーマに研究を進めている。

1. Right-Brain-Computing Integrated Circuits

T. Shibata, Q. R. Gu, H. U. Xu, M. Ogawa, and K. Ito

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking actions, which are effortless tasks in our daily life. This research aims at building intelligent LSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to a current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called “Neuron MOS Transistor” (neuMOS or vMOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such an architecture that “association” is the very computing primitive, we are pursuing human-intelligence system implementation directly on silicon integrated circuits. Currently research is in progress for image recognition and voice recognition processing.

2. 超高速書き込み・高密度アナログ不揮発性メモリ

柴田直, 山崎俊彦, 小林大輔, 山本憲

人間の脳は、いわば連想メモリの超高密度集積体であり、記憶を基にあらゆる知的演算が行われている。従って知能 LSI 実現には、演算機能を融合させた超高密度半導体メモリ技術が必須である。本研究は、過去の経験をテンプレートとして大量に保持する長期記憶、及び瞬間のエントを認識処理のためそのまま高精度に保持する短期記憶、この両方の目的に使える不揮発性アナログメモリ技術の開発を目指す。通常フラッシュメモリは、フローティングゲート

2. Ultra-High-Speed-Writing High-Density Non-Volatile Analog Memory

T. Shibata, T. Yamasaki, D. Kobayashi, K. Yamamoto

Human brain is a kind of a huge assembly of associative memories and intelligent information processing is carried out based on such a vast amount of memory. Therefore, the development of high-density semiconductor memory inseparably merged with processing functions is essential. In this research project, we are developing high-precision nonvolatile analog memory technology which is applicable to short-term memory for capturing high-

に注入した電子の有無により1ビットの情報を保持するが、ホットエレクトロン注入中のフローティングゲート電位を実時間でモニターすることにより注入電子量を正確に制御、これにより高精度のアナログデータ保持を可能にした。特にこれまで制御の難しかった高速書き込み現象の起こるバイアス条件下での高精度制御方式を新たに開発、10KHz程度のデータサンプリングしか出来なかったアナログフラッシュにおいて、30MHz以上のvideo rateでのデータ取り込みを目指し現在テストチップを設計中である。今後連想機能をメモリセルレベルで融合させ、高密度連想プロセッサのコア部として発展させていく。

3. 画像の特徴ベクトル抽出とそのパターン認識及び医用X線写真解析への応用

柴田直, 八木雅和, 足立真賢, 斉藤康祐, 田口晶康

我々の連想プロセッサアーキテクチャを画像認識に用いるには、2次元の画像情報を特徴ベクトル、即ち一次元の数値列で表現しなければならない。我々はこの目的で、主軸投影法 (PAP: Principal Axis Projection) と呼ぶ新たな特徴ベクトル表現法を開発した。2次元画像に対し、縦・横・斜め2方向、計4方向の線分を抽出してフィーチャーマップを作成、そのビットフラグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する。これらをつなぎ合わせて64次元ベクトルとし、64×64ピクセルの画像を表現する。これは、元画像の特徴を実にうまく表現しており、手書きによるパターンの変形、歪みに対しほとんど影響を受けない。従って、単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる。特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった。さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用、歯学部学生にも結構困難な解剖学的特徴点抽出がかなり正確にできることがわかった。今後、連想プロセッサと統合し、一般的な知的画像認識システム構築へと発展させていく。

4. 実時間動画像処理プロセッサの研究

柴田直, 木村弘枝, 野村周央

リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾する Saliency Catcher, 及びキャッチした物体の大まかな形状の特徴を、物体の位置や大きさは無関係に特徴ベクトルに変換する特徴抽出器の研究を行っている。そのハードウェアアルゴリズム検証を目

speed event as well as to long-term memory for storing past experience as template vectors. In contrast to the conventional flash memory in which one bit of data is stored by the presence of injected electrons in the floating gate, we are controlling the amount of electron injection by a real-time monitoring technique, thus having established analog data storage in a memory cell. In particular, we found a new writing scheme in which the very fast electron injection phenomenon occurring by a positive-feedback mechanism is well under control. This will allow us data capture as fast as that at a video rate while only about 10 KHz sampling is possible with conventional analog nonvolatile memories employing write/verify scheme. The memory technology is going to be integrated into the association processor architecture as the integral part in intelligent systems.

3. A Robust Characteristic-Vector Image Representation and its application to Handwriting Recognition and Medical X-ray Analysis

T. Shibata, M. Yagi, M. Adachi, K.Saito, and T.Taguchi

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a one-dimensional array of numerals, well representing the characteristic features of the original image. In the representation, two vectors representing two images looking similar to our eyes must be closer in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering and the generated feature maps are reduced to a 64-dimension vector by "Principal Axis Projection (PAP)" method. The representation has been applied to handwriting recognition and the cephalometric landmark identification, to investigate the performance. Interestingly, it is shown the separation of handwritten overlapping patterns is possible based on the representation. Using a simple template matching technique, identification of Sella (pituitary gland), Nasion, and Orbitale has been successfully carried out. Some false identifications are found very similar to typical errors made by humans. The algorithm is fully compatible to real-time processing on the hardware architecture under development in a separate project.

4. Real-Time Moving Image Processing System

T. Shibata, H. Kimura, S. Nomura

Aiming at real time processing of moving images, a saliency catcher that detects objects in motion in non-stationary as well as in stationary backgrounds is under research now. Two key components of the system were implemented as test chips through the VDEC chip fabrication program. They include the

的にテスト回路をVDECで設計・試作，その基本動作を確認した．Saliency Catcherについては，2フレーム間の画像のマッチングに際し，一致度の極大値を検出して複数の候補を選択する回路をつくった．また，特徴抽出器は，画像の大体の広がりをとらえ，特徴点の位置をその広がりの中での相対値として直接出力する回路であるが，これまではその広がり検出のための空間積分回路のみを試作検証した．現在，複数の移動物体を，変化する背景の中からロバーストに実時間検出する回路も開発，チップ試作を終えて評価中である．さらに，見つけた運動物体の3次元計測をリアルタイムで行うチップも研究中である．

5. センサ，プロセッサ，アクチュエータ融合型の知的マイクロマシン

三田吉郎

(共同研究者：Andreas Kaiser, Patrick Garda, 荒井誠, 藤田博之)

マイクロマシンが提案された1980年代以来，多分野にわたる精力的な研究の結果，機械部品そのものや，機械部品に単純な情報処理回路を付加した様々なシステムが提案，実用化されてきている．本研究は，その流れを踏まえ，自分で判断して行動を律することのできる，「知的なマイクロマシン」を提案し，実現可能性を示そうとするものである．具体例として，フォトセンサを内蔵して，物体の形状を判断し，その形状に応じて異なる方向に物体を搬送するシステムをとりあげ，必要とされる基礎技術すなわち，アルゴリズム，プロセッサアーキテクチャ，アクチュエータ，実装技術について幅広く検討ならびに試作実証を行った．その過程において，マイクロマシンの作製法に関するさまざまな新しい技術が生み出され，いくつかは実用化をめざした研究として広がっている．

circuit detecting local minima in the parallel matching architecture and the spatial integrator to be used in the scale- and translation-invariant characteristic vector extraction. The test chip of the saliency catcher was also fabricated and is now under evaluation. The chip informs the visual recognition system where to pay attention for detailed analysis for recognition. Furthermore, the system that extracts three-dimensional information from the object of interest is also under study now.

5. Sensor, Processor, Actuator integrated intelligent microsystems

Y. Mita

(Joint research with: A. Kaiser, P. Garda, M. Arai, and H. Fujita)

Since first demonstration of Micro Electro Mechanical Systems (MEMS) on 1980s, many pieces of research are carried in many fields. Some are industrialized as simple micro mechanical components, mechanical components with a small-scale integrated circuits, and so on. On the basis of these successes on MEMS field, the authors intend to propose and demonstrate a "Smart MEMS" that can make a decision by itself. An intelligent conveyance system made of microactuators is selected as an example. The system can detect the shape of objects with the integrated photo-detector-arrays and processors, and can carry them to the different directions depending on their shape. Performed research spans on many fields such as algorithm, architecture of processor, microactuators, and integration technologies. Many innovative technologies for MEMS are published through this research. Some of these technologies are being carried for practical uses.

藤田研究室

Fujita Laboratory

(<http://www.cad.t.u-tokyo.ac.jp/>)

1. ソフトウェア・ハードウェア協調システム設計技術に関する研究


藤田昌宏，黒羽毅，中谷大介

デジタルシステムを実現する際に，ソフトウェアとハードウェアが適切に役割を分担することにより，価格性能比を最適にする設計技術，および設計支援技術について研究している．与えられた仕様をすべてソフトウェアとして実現するものから，すべてハードウェアで実現するものまで，シミュレーションや静的な解析による性能評価を通して，ソフトウェアとハードウェアの適切な分割を決定する．結

1. Computer aided design for software/hardware combined systems

M. Fujita, T. Kuroha and D. Nakatani

Design methodologies and corresponding CAD techniques for software/hardware combined digital systems are studied. The goal is to partition given specifications into the ones for software and the ones for hardware so that the cost-performance of the designed systems is maximized. We are studying on performance analysis methods based on simulations and program compilation techniques that can utilize special hardware units that are



果として、ハードウェアは与えられた仕様に合わせて付加演算器などをもつようになり、またソフトウェアに関しては、付加演算器などを有効利用できるプログラムを生成できるコンパイラが合成される。

2. 論理回路合成技術に関する研究

藤田昌宏，久保賢生，世羅元啓

従来は、論理合成を実行し、その結果をレイアウトするという順に処理することでLSI設計を行ってきた。しかし、半導体が微細化するにつれ、レイアウト後でない回路の性能を的確に把握できない状態になっている。このため、従来の論理合成とレイアウトを分離して処理するやり方は限界に近づいている。本研究では、レイアウト特に配置を行ったあとの回路をレイアウトを考慮しながら最適化できる回路最適化技術を論理合成とレイアウトを融合したフレームワークとして実現することを目指している。また、レイアウト後に、何らかの理由で仕様変更が生じた場合でも、既に設計した回路をレイアウトも考慮して部分的に修正することで新しい仕様を実現する論理合成技術についても研究している。

3. 設計の形式的検証に関する研究

藤田昌宏

設計対象が大規模・複雑化し、設計している時間よりも、設計の正しさを確認している時間の方が支配的になってきており、途方もない量のシミュレーションをしなければならない場合も多い。このため、効率的なシミュレーションパターンの生成や、シミュレーションによらず設計の正しさを数学的に証明する形式的検証技術が重要になっている。本研究では、システム設計の各レベルであるシステムレベル、レジスタ転送レベル、ゲートレベルの各々に対し、実用規模の回路にも適用可能な形式的検証技術について、問題の特徴を有効利用できる手法について研究している。システムレベルでは、プログラムの一部を修正した場合に、修正前と修正後の2つのプログラムの等価性を効率よく検証できる手法を開発した。また、ゲートレベルでは、同様の問題に対し、数百万ゲート規模の回路にも適用可能な手法を開発している。

4. LSIチップ故障・誤設計診断技術に関する研究

藤田昌宏

LSIチップの故障診断技術、ならびに論理設計の自動誤設計修正技術について研究している。LSIの故障と、論理設計時の誤りを統一的に扱うモデルを提唱し、それをもとにした診断アルゴリズムについて研究している。また、従来から行われているゲートレベルだけでなく、レジスタ転送レベルやシステムレベルでの故障診断・誤設計診断技術についても研究している。

generated based on the analysis.

2. Logic synthesis and layout combined techniques

M. Fujita, M. Kubo and M. Sera

Traditionally logic synthesis of digital circuits and their layout processes are separated and are sequentially run. As the sizes of semiconductor becomes smaller and smaller, however, delays of routings dominate the entire delays and it is almost impossible to accurately estimate the final circuits delays in logic synthesis. As a result, logic synthesis and layout processes must be combined appropriately. This research is trying to identify effective and efficient ways to integrate logic synthesis and layout processes, and developing a common framework for both logic synthesis and layout. Also, we are studying on engineering change techniques that can rectify circuits with layout, even if specifications of them are changed after layout.

3. Formal verification of digital systems

M. Fujita

As digital systems become larger and more complex, it takes much more time to verify and validate designs than to build designs. Tremendous simulations are necessary to completely validate large and complicated designs. We are studying on techniques by which effective and compact simulation patterns can be generated and also studying on formal verification techniques that can mathematically prove the correctness of designs. Formal verification techniques for various design levels, such as system-level, register-transfer-level, and gate-level, are being studied. We have developed an equivalence checking technique that can be applied to the comparison of two programs, one is a slight modification of the other. We have also developed a formal verification technique for similar problems in gate-level that can be applied to designs having millions of gates.

4. Diagnosis techniques for manufacturing faults and design errors

M. Fujita

Diagnosis techniques for LSI manufacturing faults and automatic error correction techniques for logic design errors are studied. We have proposed an unified model that can capture both manufacturing faults and design errors, and are studying on circuit analysis techniques based on that model. Diagnosis and error correction techniques not only in gate-level designs, but also in register-transfer-level and system-level are being studied.

平本研究室 Hiramoto Laboratory

(<http://www.vlsi.iis.u-tokyo.ac.jp/>)

1. しきい値制御による 0.5V 動作超低消費電力 MOSFET

犬飼貴士, 任玄植, 後明寛之, 平本俊郎

VLSI には低消費電力化が強く要求されており, デバイスの超低電圧, 超低消費電力化は必須の技術である. 本研究では, 0.5V 動作を目標とし, 動作時とスタンバイ時でしきい値電圧を変化させる Variable Threshold CMOS (VTCMOS) 方式について, デバイスサイドから研究を行っている. 今年度は, 本方式のスケラビリティについて検討した. 本方式は, 現在の電源電圧 (約 1.5V) では超低消費電力デバイスとして極めて有効であるが, 電源電圧が低減するとリーク電流を抑制することが困難となる. 一方, 本方式を高速デバイスとして用いるとスケラビリティは維持される. 次項の BGMOS と組み合わせれば VTCMOS は超高速デバイス用途に有望であることを示した.

2. Boosted Gate MOS (BGMOS) によるスタンバイリークフリー回路の提案

犬飼貴士, 大澤淳真, 平本俊郎

MOSFET の微細化が進むと, MOSFET はもはや理想的なスイッチとしては動作せず, オフ状態において大きなリーク電流が流れるようになり, スタンバイ電力の増大をもたらす. しきい値が低くなることによるサブスレシヨルド電流, ゲート酸化膜厚の薄膜化によるゲートトンネル電流, ドーピング濃度増大による接合電流などである. 本研究では, これらのリーク電流をデバイスと回路の協調により抑制する方法を検討している. メイン回路に直列にリーク遮断用 MOS スイッチを挿入する. このスイッチにはメイン回路よりゲート酸化膜の厚い MOSFET を用い, リーク電流を遮断する. また, この MOSFET に電源電圧より高いゲート電圧を印加することにより, メイン回路のスピード劣化を抑制する. この回路・デバイス形式を BGMOS (Boosted Gate MOS) と命名した. 将来, スタンバイリークは必ず実際に VLSI で問題となるので, BGMOS 方式はその数少ない解決策の一つになると考えられる.

3. 微細 SOI MOSFET の物理と短チャネル効果

更屋拓哉, 齋藤俊樹, 平本俊郎

本研究では, 将来の低消費電力デバイスとして有望な SOI MOSFET について, そのデバイス物理と短チャネル効果について研究を行っている. 短チャネル抑制を狙ったデバイスとして, チャネルを三角形の細線アレーとした MOSFET を SOI 基板上に実際に試作した. この構造は, 三角形チャネルの上 2 辺のみをゲートが覆っている構造な

1. Extremely low power MOSFET operating at 0.5 V by the threshold voltage control

T. Inukai, H. Im, H. Gomyo, and T. Hiramoto

Extremely low voltage and low power operation is essential for VLSI circuits and devices. In this study, we aim at the 0.5 V operation and discuss the possibility of variable threshold voltage CMOS (VTCMOS) where the threshold voltage at the active mode and stand-by mode is controlled by well potential. This year, the scalability of VTCMOS is investigated. It is found that VTCMOS scheme is effective when the supply voltage is above 1.5 V, but the subthreshold leak can not be suppressed when the supply voltage is scaled down. It is also found that VTCMOS acts as a high-speed scheme at low supply voltage in combination with BGMOS described below.

2. Boosted Gate MOS (BGMOS) for leakage free integrated circuits

T. Inukai, A. Ohsawa, and T. Hiramoto

As the device size shrinks, a MOSFET is no longer an ideal switching device. Large leakage current flows even when the device is off, resulting in the increase in the stand by power. The leakage current includes subthreshold current due to low threshold voltage, gate tunnel current due to very thin gate oxide below 2 nm, and junction leak current due to high doping concentration. In this study, a new circuit/device cooperative scheme has been proposed for the suppression of stand by leakage current. A MOS switch and main circuits are connected in series. The MOS switch has thicker gate oxide than devices in main circuits and has much smaller leak current. The gate voltage higher than supply voltage is applied to the MOS switch in order to suppress the speed degradation in main circuits. This boosted gate MOS (BGMOS) scheme is one of the most promising circuit schemes for the future VLSI.

3. Physics and short channel effects in scaled SOI MOSFETs

T. Saraya, T. Saito, and T. Hiramoto

Silicon-on-Insulator (SOI) MOSFETs attracted much attention as a low power device. In this study, physics and short channel effects in SOI MOSFETs are widely investigated. MOSFETs with triangular wire channel array have been fabricated on SOI substrate. In this structure, gate electrodes cover only two upper

ので、ダブルゲート構造などに比べて容易なプロセスで作製が可能である。実測により単純なシングルゲート完全空乏型 SOI デバイスに比べて短チャンネル効果が大幅に抑制されることを示した。また、部分空乏型 SOI デバイスの基板浮遊効果の代表例であるダイナミックパスゲートリーク現象の実験的解明や、完全空乏型 SOI デバイスにおける不純物の統計的揺らぎの増大等についても検討を進めている。

4. 極微細 MOSFET における量子効果

間島秀明, 平本俊郎

極薄膜 SOI MOSFET では、キャリアの面内閉じこめにより量子効果が起こり、しきい値電圧が上昇することが知られている。本研究では、極狭チャンネル MOSFET においては、キャリアが面内のみでなく横方向にも閉じこめられ、さらに強い量子効果が起こることを実験とシミュレーションにより実証してきた。これまでに、デバイス作製プロセスを改良し、極めて細いチャンネルを持つ極狭チャンネル MOSFET を試作し、チャンネル長が 10 nm を切る領域でしきい値電圧が急激に上昇することを確認した。また、シミュレーションにより狭チャンネル MOSFET の電子状態を計算し、しきい値電圧の上昇が量子効果によるものであることを明らかにした。この現象を我々は量子力学的狭チャンネル効果と呼ぶ。

5. シリコン単電子デバイスの物理

齋藤真澄, 平本俊郎

将来の超低消費電力 VLSI デバイスへの応用を考慮して、Si において極微細構造を作製し、単一電子現象の物理の探究を行っている。我々は当初からシリコンを材料に用い VLSI への整合性を考慮したアプローチをとっており、その先駆的な研究のひとつに数えられる。ポイントコンタクト構造を持つ MOSFET では、チャンネル狭窄部にシリコンドットが自然形成され、室温においても単電子トンネルによるクーロンブロック振動が観測される。また、高温で動作するシリコン単電子デバイスでは、シリコンドットにおける量子効果が重要な役割を果たす。今年度は、山谷比が 2 と極めて大きいクーロンブロック振動を室温で観測することに成功し、量子効果による負性微分抵抗の物理的起源やシリコンドットが自然形成される機構等について検討を進めた。

6. シリコン量子ドットメモリ

永田英次, 王海寧, 齋藤真澄, 平本俊郎

シリコン微結晶をフローティングゲートとする単一電子メモリの特性と電子数の制御について研究を行っている。これまでに室温において明瞭なメモリ動作（ヒステリシス特性）を観測した。今年度は、極めて細いチャンネルを有するメモリで、しきい値電圧シフトが大きくなる現象を見出

side of the triangle, the fabrication process is much easier than that of double gate devices. It is demonstrated that the short channel effects are much more suppressed than fully depleted single gate SOI devices. We also discuss the mechanisms of the dynamic pass gate leakage problem in partially depleted SOI devices and the enhancement of statistical impurity fluctuations in fully depleted SOI devices.

4. Quantum mechanical effects in very narrow MOSFETs

H. Majima and T. Hiramoto

It is well known that the threshold voltage increases in very thin SOI MOSFETs by quantum confinement effects. In this study, we have demonstrated by experiments and simulation that the carriers are confined not only vertically but also horizontally and that a stronger quantum confinement is attained in very narrow channel MOSFETs. The fabrication process has been improved and extremely narrow channel MOSFETs have been fabricated. The threshold voltage increase due to the quantum confinement has been clearly observed when the width is less than 10 nm. The numerical calculation of energy states in narrow channel is also performed and it is verified that the observed threshold voltage increase is due to the quantum confinement effects. We refer to this phenomena as the quantum mechanical narrow channel effect.

5. Physics of silicon single electron devices

M. Saitoh and T. Hiramoto

Fabrication and physics of silicon single electron devices have been extensively studied for the future ultra-low power VLSI device applications. We adopt silicon as a material to consider the compatibility with the VLSI process, and our research work is recognized as one of the pioneering works in this field. In a MOSFET with point-contact channel, a silicon dot is naturally formed, and the device acts as a single electron transistor even at room temperature. The quantum mechanical effects in dots play an important role in transport. This year, we observed large Coulomb blockade oscillations whose peak/valley ratio is as high as 2 at room temperature. The origin of negative differential conductance and the formation mechanism of a quantum dot have been studied.

6. MOSFET memory with silicon nano-crystal quantum dots

E. Nagata, H.-N. Wang, M. Saitoh, and T. Hiramoto

Characteristics of MOS memories with silicon floating nano-crystal gates have been studied. The memory effect is demonstrated at room temperature. This year, it is found that the threshold voltage shift increases in MOSFET memories with

した。一方、この構造のデバイスでは、理想的にはクーロン閉塞によりドット中の電子数が制御される。この現象が観測されるデバイス条件について検討し、ドットサイズのばらつきが10%程度以下である必要があることを見出した。

extremely narrow channels. In the ideal memory devices, the number of electrons in the dots is precisely controlled. The device parameters for the electron number control are simulated and it is found that the dot size distribution should be less than about 10%.

北川研究室 Kitagawa Laboratory

(<http://gaas.ec.t.kanazawa-u.ac.jp/merl/>)

1. 相変化型不揮発性メモリ

中山和也, 今井豊, 笠井稔彦, 福島早奈恵, 北川章夫, 鈴木正國

電気パルスによりアモルファスと結晶間で相変化を繰り返すカルコゲナイド半導体を利用した不揮発性メモリを開発している。これまで、書き換え動作が不安定なため実用化されていなかったが、メモリセルのサイズを0.5 μm 程度まで縮小することにより数10万回程度の安定な書き換え動作をさせることに成功した。書き換え動作は、活性領域をさらに微細化することにより安定化すると予想している。素子構造が非常に簡単なため、高速大容量の不揮発性メモリカードとしての応用を目指したメモリチップの試作実験を進めている。

1. Nonvolatile Memory Devices Based on Reversible Phase Transition in Chalcogenide Glasses

K. Nakayama, Y. Imai, T. Kasai, S. Fukushima, A. Kitagawa, and M. Suzuki

The chalcogenide amorphous semiconductors show the reversible amorphous-crystalline phase transition by means of electric pulses. The purpose of the project is to fabricate non-volatile memory devices based on reversible phase transition phenomenon. This device was not reliable, because of set/reset error that is attributable to degradation of the clear-cut transitions in the reset process. The breakthrough was brought by the scaledown of the feature size of memory cells into deep submicrons. The decreased volume of the cells has the advantage of low power dissipation. Then, we attempt to fabricate the non-volatile memory card devices with a very large capacity.

2. 非半導体による集積回路

小谷明也, 辻川隆俊, 北川章夫

シリコンデバイスの微細化限界を超えるため、誘電体や有機超薄膜をベースとする新しい集積回路デバイスの研究を行っている。筆者が提案している歪みトンネリングデバイスは、圧電性薄膜に金属パターンを描くことで各種論理機能を実現でき、素子を微細化するほど利得が大きくなるという特長を持っている。トンネルギャップの加工寸法に電気的特性が極めて敏感なため、試作実験は行っていないが、電極配置の工夫により、基本的な論理機能の他、1素子で特異な型負性抵抗を実現できることが解ったので、ナノスケールで動作するメモリデバイスへの応用を検討している。

2. Strained Tunneling Devices for ULSIs

A. Kotani, T. Tsujikawa, A. Kitagawa

An active device based on strained tunneling gap properties has been proposed in this project. The computed current-voltage characteristics of this device show high current gain and low voltage gain for device dimensions around several nano-meters. A fabrication technology with precise control of the device dimension is required in practical application, because the current gain is sensitive to the tunneling gap length. According to computer simulation, it is predicted that a negative transconductance is observed in a STD, and it is supposed that static random access memory devices are composed of only a STD.

3. 連続性のある自己を認識するシステム

北川章夫

人間と機械を分ける本質的な違いの1つとして自己を認識する能力があげられる。通常、この能力は生命に特有の現象であると考えられているが、遺伝情報は、あくまでシステムの構造を定義する情報であり、個体の内部状態を逐

3. LSI Architectures to Generate A Continuous Self-Projection of An Identity

A. Kitagawa

Animated nature, especially intelligent beings can be positively discriminated from edp systems on account of their ability for clear self-recognition. An objective self-definition with a con-

VDECO

次規定するものではないことから、LSIシステムのような情報処理機構の上に自己認識機構を実装することも可能ではないかと推察される。主観的な自己そのものの定義は論理的に無意味であるため、知覚空間の情報を基に、自己の内部状態を過去から現在に因果的に関連付けることで自己同一性を保証するようなシステムを、過去の多数の状態が縮退した構造をもつステートマシンとして構成する方法について検討している。

4. 高駆動力多結晶 SOI

水野浩樹, 横山貴巨, 北川章夫, 鈴木正國

大面積または特殊形状基板上に集積回路を形成することを目的に、多結晶 SOI MOSFET 集積回路を開発している。特に、ポリシリコン SOI デバイスの高動力を生かし、出力段を集積化したデバイスを作るため、本研究プロジェクトでは、プロセスの低温化にはこだわらず、平板型ガスフレームを用いた融点直下の高温アニールにより多結晶の高移動度化処理を経た SOI 基板を用いる。この結果、高 ON/OFF 比、低リーク電流特性を持つドライブ力の高い薄膜トランジスタの試作に成功した。

5. 急速加熱プロセスにおける固体の相挙動モデル

北川章夫, 鈴木正國

ガラス転移は、過冷却液体から非晶質固体への相転移として観測される。この転移点は冷却速度が大きくなると低温化することが実験的に知られているが、速く冷やすと体積やエントロピーが小さくなるというパラドクスを避けるためには、温度変化の経路依存を考慮したガラス状態の微視的モデルが必要である。本研究プロジェクトでは、フラグメンテーションと過渡的状態図という概念を考案し、ガラス転移の微視的モデルを組み立てることに成功した。このモデルによると、シリコンを含むあらゆる物質がガラス転移を示し、例えば非晶質化したシリコンに対して RTP を行うと昇温過程で過冷却液体状態を瞬間的に通過し、不純物分布が大きく乱れることが明らかになった。

textual description, however, is nonsignificant solution for the definition of immanent self and subjective imagery. Therefore, we can have a mechanism to generate a self from a cognitive space and to follow an etiologic sequence. If we find this mechanism, it makes easy to develop LSI systems that have self-recognition. Some psychiatric lucubrations suggest that an algorithm of self-recognition is similar to a system structure of a state-machine with multiple-regression.

4. Polycrystalline SOI structure for Power MOSFETs

H. Mizuno, T. Yokoyama, A. Kitagawa, and M. Suzuki

A polycrystalline SOI (Silicon On Insulator) structure is applicable to devices with large area and particular geometry of LSI. The goal of this project is to fabricate the integrated power devices on the poly-SOI structure. The electron mobility and electronic property of the grain boundaries in the poly-Si films on the quartz substrates are improved through the very high temperature thermal process with the gas flame apparatus. The high ON/OFF ratio and low leakage currents of fully depleted SOI MOSFETs (Metal-Oxide-Semiconductor Field Effect Transistors) have been attained using the gas-flame-annealed SOI (Silicon-On-Insulator) substrates.

5. Model for the glass transition in amorphous solids based on fragmentation

A. Kitagawa and M. Suzuki

The glass transition (2nd order) between supercooled liquid and glass state is experimentally observed in various non-crystalline solids. The transition point depends on the heating rate and cooling rate in a thermal process, and it, however, conflict with the entropy change at the glass transition. The model of the glass transition should be considered that the glass transition point is dependent on the trace of the thermodynamic variables. We have proposed a model for the glass transition in a heating process with ideas of fragmentation of amorphous solid and a transient phase diagram. To examine the present model, applications of the model to the phase changes of amorphous Si in heating processes are carried out and it is found that impurities in amorphized layer of Si surface are anomalously redistributed, because the amorphous layer is passed through the supercooled liquid state in the heating stage of rapid thermal processes.

小出研究室 Koide Laboratory

(<http://www.rcis.hiroshima-u.ac.jp/rcns/>)

1. マイクロプログラム制御交差突然変異回路をもつ遺伝的アルゴリズム専用ハードウェアの開発

小泉慎哉, 中塚裕康, 小出哲士, 若林真一

複雑な制約を持つ大規模最適化問題を解く手法の一つとして遺伝的アルゴリズム (GA) が知られている。GA は数値計画法などの通常の最適化手法が適用困難な問題にも適用できるという利点を持つ反面、多くのパラメータを持つため、それらの値を調整して GA の探索能力を最大限に引き出すことは難しいという問題点がある。そのためパラメータ値を GA 実行中に動的に調整し、効率的に GA を実行する方法が数多く提案されている。一方、GA は一般に多大な計算時間を必要とするため、GA をハードウェアで実現することが研究されている。本研究では我々が提案したエリート度に基づく交差手法の適応的選択機能を組み込んだ GA の LSI 化を行った。著者らはこれまでにエリート度に基づく交差手法の動的選択機能を組み込んだ GA ハードウェア GAA-I (Genetic Algorithm Accelerator-I), GAA-II を開発し、LSI チップとして実現し、シミュレーションおよび実機による検証によりその有効性を確認しているが、これらは選択できる交差、突然変異手法に限られており、他の手法が有効な問題に対しては適用できないという問題点があった。そこで本研究では、GAA-II の交差突然変異回路にマイクロプログラム制御方式を導入し、交差、突然変異のアルゴリズムをマイクロプログラムとして記述可能とすることにより任意の交差、突然変異を実行可能とした。試作 LSI の性能評価のためにソフトウェアによるシミュレーションと実機による検証を行った結果、適応的 GA のハードウェア化はパフォーマンスの向上に大変有効であることがわかった。

2. 遺伝的アルゴリズムの高速実行に適した命令セットを持つ RISC プロセッサ DLX-GA

小泉慎哉, 若林真一, 小出哲士, 藤原一成, 井村紀道

本研究では、遺伝的アルゴリズム (GA) の効率的な実行に適した命令セットを持つ新しい RISC プロセッサ DLX-GA を提案する。提案プロセッサ DLX-GA は、DLX アーキテクチャをベースとして設計されており、ロード/ストアや算術論理演算等の通常の命令に加えて、GA の実行において多用される特別な命令を追加している。新しく追加した命令は 3 つに分類できる。1 つ目は交差などの GA のオペレータのためのビット演算命令である。2 つ目は乱数発生命令であり、GA では頻繁に乱数を使用するた

1. Hardware Implementation of a Genetic Algorithm with a Crossover and Mutation Circuit using Microprogrammed Control

S. Koizumi, H. Nakatsuka, T. Koide and S. Wakabayashi

Genetic Algorithms (GAs) have been widely used to solve large-scaled optimization problems with complex constraints. Since GAs have many parameters, it is difficult to set these parameters to appropriate values to obtain good solutions. Therefore, many parameter-setting methods have been proposed. On the other hand, GAs generally requires a large amount of computation time, and to solve this problem, many research results for hardware implementation of a GA have been reported. We have proposed an LSI implementation of a GA, which selects crossover operators adaptively during the algorithm execution based on a new measure called "elite degree," that we have proposed to estimate potential superiority of an individual. We have performed software simulation to evaluate the LSI chip and verified the LSI chip with evaluation board. We have developed GA hardware called GAA-I (Genetic Algorithm Accelerator-I) and GAA-II, in which the crossover operator to be applied to each individual is dynamically selected during the algorithm execution. The GAA-I and GAA-II were implemented as LSI chips, and their effectiveness were verified by simulation and experiments with the evaluation board. However, we could not apply them to some problems, for which other crossover and mutation methods are effective. In this paper, we introduced microprogrammed control to the crossover and mutation circuit of GAA-II and enabled users to implement any crossover and mutation algorithms as a microprogram. From the experiments, we have demonstrated that the hardware implementation of the proposed adaptive GA is effective for performance improvement.

2. DLX-GA : A RISC Processor for High-Speed Execution of Genetic Algorithms

S. Koizumi, S. Wakabayashi, T. Koide, K. Fujiwara, N. Imura

In this research, we propose a new RISC processor, whose instruction set is tailored to the efficient execution of GAs. The proposed RISC processor is designed based on the DLX instruction set, and we add several special instructions, which are effective to high-speed execution of GAs. Newly added instructions can be classified into three groups. The first group consists of bit-oriented instructions, because GA operators such as crossover often require bit-oriented operations. The second group consists of instructions concerning with random numbers.

め、ソフトウェアでの疑似乱数発生の計算時間を減少させるために用意した。3つ目はSIMD型命令で交差を実現するために主として使用している。そして、これらの命令を6段のパイプラインで処理することにより高速な命令実行を実現する。また、プロセッサには、並列GAとして動作させる場合における他のプロセッサとの通信のための割込み機構を備え、さらに処理の高速化のためにオンチップの命令キャッシュを備えている。このようなシステム構成により任意のGAを高速に実行可能とする。GAは、提案プロセッサ上にソフトウェアとして実現するため、任意のGAが実行可能となる。提案プロセッサの命令セットを用いると、2点交差等の遺伝オペレータの実行に要するクロック数の90%以上の減少が達成可能である。

3. 遺伝パラメータの適応的調整機能をもつ並列遺伝的アルゴリズム

利根直佳, 岩内宣之, 若林真一, 小出哲士, 西村勲

工学の様々な分野における多くの大規模最適化問題を解くためのヒューリスティック手法の一つとして、遺伝的アルゴリズム (Genetic Algorithm, GA) が注目されている。GAは優れた解探索能力を持つ一方で、(1) 遺伝パラメータを最適に調整するのが難しく、パラメータ値の効率的な調整法が知られていない、(2) 計算時間が大きい、という2つの問題点を持つ。これらの解決法として、(1) に対しては適応的GA、(2) に対しては並列GAや専用ハードウェア化が提案されている。ここで適応的GAとは、GAの実行中にGAパラメータを適応的に自動調整することができるGAである。しかし、適応的GAと並列化についてはほとんど報告されていない。そこで、本研究では、部分人口間で遺伝パラメータの適応的調整を行う並列GAと、共同体の概念を用いた新しい階層人口モデルを提案する。提案手法により、パラメータに対して最適値を事前に調整することなく、少ない試行回数で高速に優良解を得ることを可能とする。また、提案手法をPVM (Parallel Virtual Machine) を用いてネットワークで結合された複数のワークステーション上に並列プログラムとして実現し、実験的に評価した結果、適応的調整機能がない並列GAと比べて提案手法が有効であることを示した。

4. Sequence-Pair 表現を用いたVLSIフロアプランニングに対する適応的遺伝的アルゴリズム

中矢真吾, 小出哲士, 若林真一

VLSIレイアウト設計において、既設計モジュール (ハードマクロ) と新規設計モジュール (ソフトマクロ) を組み合わせる回路を実現する方式が広く用いられている。フロアプランニングは、チップ面積の最小化とパフォーマンス

Since a GA frequently uses random numbers, the computation time for generating a pseudo random number has a heavy effect on the performance of GA execution. The proposed processor has a pseudo random number generation circuit, and in each clock cycle, a pseudo random number is generated. The processor has several instructions using random numbers, which are very effective to shorten the computation time of selection, crossover, and mutation. Finally, the third group of instructions added to the proposed processor consists of SIMD instructions, which are mainly used to implement a crossover operation. Using the instruction set of the proposed processor, more than 90% reduction of the number of clocks to execute GA operators such as 2-point crossover can be achieved. The processor has been designed with the Verilog Hardware Description Language to be implemented as a VLSI chip with a 0.35 μ m standard cell technology.

3. A Parallel Genetic Algorithm with Adaptive Adjustment of Genetic Parameters

N. Toshine, N. Iwauchi, S. Wakabayashi, T. Koide, I. Nishimura

Genetic Algorithms (GAs) are known as one of robust heuristic algorithms for complex large optimization problems. However, there are two notorious problems on GAs to realize their performance. One is the difficulty of setting genetic parameters to appropriate values so as to draw out a maximum capability of GA. The other is its large amount of computation time. To solve the former problem, the concept of adaptive GAs has been proposed. An adaptive GA is a GA, in which genetic parameters are adaptively tuned automatically during the algorithm execution, and many results on adaptive GAs have been presented. On the other hand, to solve the latter problem, introduction of parallel and/or distributed processing into GAs has been also intensively investigated. In this research, we propose a new parallel genetic algorithm with adaptive adjustment of genetic parameters, which runs on a hierarchical island model. During the execution of the parallel GA, each subpopulation executes an adaptive GA, and genetic parameters of a subpopulation with low performance are adaptively adjusted by exchanging the values of genetic parameters among the neighboring subpopulations. Experimental results show the effectiveness of the proposed algorithm compared to a parallel genetic algorithm without adaptive parameter adjustment among subpopulations.

4. An Adaptive Genetic Algorithm Using the Sequence-Pair Representation for VLSI Floorplanning

S. NAKAYA, T. KOIDE, S. WAKABAYASHI

In VLSI layout design, the circuits are usually implemented by combination of designed modules (hard macro) and new designed modules (soft macro). A floorplanning is one of the most important element techniques of minimizing the chip area

スの向上のため、重要な要素技術の1つとなっている。我々はVLSIレイアウト設計におけるフロアプランニング問題に対し、適応的遺伝的アルゴリズムに基づく新しい手法を提案した。提案手法においては、問題の解をシーケンスペア (Sequence-Pair) で表現し、更に、新たに提案する複数の交差手法を個体ごとに動的に選択することにより、短い計算時間で優良解を求めることを可能にしている。シミュレーティッドアニーリング (SA) や通常の遺伝的アルゴリズムを用いたフロアプランニング手法との比較実験の結果、提案手法の有効性を検証することができた。

5. 正確な面積と配線遅延の見積が可能なバッファ挿入、配線幅調整を考慮したパフォーマンスドリブンフロアプランニング手法

中矢真吾, 小出哲士, 若林真一

本研究では、ディープサブミクロン ULSI のフロアプラン設計に対し、モジュール配置、および、バッファ挿入と配線幅調整を考慮した概略配線を同時に求めるフロアプラン手法を提案する。本手法はシミュレーティッドアニーリング (SA) に基づいており、その実行過程を3段階に分け、それぞれの段階においてフロアプランを評価するコスト関数を変えることにより、質のよい解を高速に求めることを可能にする。バッファ挿入と配線幅調整を考慮した概略配線を高速に求めるため、端子位置に基づくテーブル検索によりネットの配線を見積もる。計算機上でのシミュレーション実験により、与えられたタイミング制約のもとで優れたフロアプランを求めるのに本手法が有効であることがわかった。

6. 最小ハミング距離検索機能を有する全並列型アーキテクチャによる小面積・高速連想メモリの開発

行天隆幸, 早田嘉浩, マタウシュ ハンス ユルゲン, 小出哲士

W ビット長の入力データと R 個の参照データ間の最小距離検索はパターン認識やデータ圧縮などでは基本的なオペレーションである。本研究ではハミング距離検索のための高面積効率かつ高速な連想メモリアーキテクチャを提案する。提案アーキテクチャでは高速なアナログ原理を用いたワード比較と自己適応型の winner-line-up 増幅回路により、高面積効率かつ高速性を実現している。提案アーキテクチャに基づく 32 ワード \times 128 行の連想メモリを $0.6 \mu\text{m}$, 2-poly, 2-metal CMOS テクノロジーで設計し、提案アーキテクチャの有効性を検証した。

7. RISC プロセッサを用いたリアルタイム画像分割処理システムの開発

森本高志, 小出哲士, マタウシュ ハンス ユルゲン

画像分割処理は一般的な画像処理における重要な処理の

and improving performance. We have proposed a genetic algorithm (GA) for the floorplanning problem in VLSI layout design. In the proposed algorithm, a solution of the problem is represented as a sequence-pair. The proposed algorithm has an adaptive strategy, which dynamically selects an appropriate operator among newly proposed crossover operators as well as the one of two mutation rates to be applied to individuals during the algorithm execution. Experimental results have demonstrated the effectiveness of the proposed adaptive GA compared with conventional methods based on a simulated annealing (SA) and non-adaptive GAs.

5. A Performance-Driven Floorplanning Method with Precise Area and Interconnect Delay Estimation with Wire Sizing and Buffer Insertion

S. NAKAYA, T. KOIDE, S. WAKABAYASHI

In this research, we propose a floorplanning method for ULSI building block layout. The proposed method produces a floorplan under the timing constraint for a given netlist. To evaluate the wiring delay, the proposed method estimates the global routing cost for each net with buffer insertion and wire sizing. The slicing structure is adopted to represent a floorplan, and the Elmore delay is used to estimate the wire delay. The proposed method is based on simulated annealing. To shorten the computation time, a table look-up method is adopted to calculate the wiring delay. Experimental results show that the proposed algorithm performs well for producing a floorplan for an instance with 200 modules and 20,000 nets in a practical computation time.

6. Architecture for Compact and Fast Associative-Memories with All-Parallel Nearest-Match Hamming-Distance Search


T. Gyohten, Y. Soda, H. J. Mattausch, T. Koide

Finding the nearest-match between an input-data word of W bit length and a number R of reference-data words is a basic operation for pattern recognition as well as data compression. Associative-memory architecture for Hamming-distance search, compact implementation and short nearest-matches times up to large distances is proposed. Main ideas are fast analog word comparison and self-adaptive winner-line-up amplification. A $0.6 \mu\text{m}$, 2-poly, 3-metal CMOS design with 32 rows and 128 columns verifies the key concepts.

7. RISC processor based read-time picture-segmentation system

T. Morimoto, T. Koide, H. J. Mattausch

Picture segmentation is an important general picture-processing



1つであり、画像認識処理の最初のステップである。画像分割処理のソフトウェアによるリアルタイム処理は不可能であると考えられていたが、最近、我々はリアルタイムでのソフトウェアによる画像分割処理ができそうなアルゴリズムを提案している。本研究では、このアルゴリズムのさらなる改良と性能検証のために RISC プロセッサを用いたプロトタイプシステムを構築を行う。まず、LEGION アルゴリズムをデジタル処理向けに改良し（改良 LEGION と呼ぶ）、次に改良 LEGION アルゴリズムを M・CORE 上へ実装して、リアルタイム処理システム構築のための調査並びに検討を行い、そして、その結果に基づいて改良 LEGION アルゴリズムを M・CORE プロセッサ上へ実装し、画像分割処理システムを構築すると共に、必要に応じて画像分割アルゴリズムの専用ハードウェア化を行う。最後に、リアルタイム画像分割処理システムを構築を行う。

task and the first step in the process of picture recognition. Recently we have proposed an algorithm, which promises the possibility of real-time software-based picture segmentation, which was previously considered to be impossible. The task of this research is to further improve this algorithm and to build a RISC-processor based prototype system for performance verification. First, the original LEGION algorithm is improved and modified for digital processing (we call this algorithm the Improved-LEGION algorithm for short). Next, the Improved-LEGION algorithm is implemented as a program on a M.CORE system, which is a RISC processor based system, verified performance of the algorithm, and the necessary resources for real time processing is investigated. Finally, based on the preliminary study, a picture-segmentation hardware/system with M.CORE processor is designed and implemented.

3.3. 研究発表

1. 研究論文

- [1] T. Inukai and T. Hiramoto, "Suppression of Stand-by Tunnel Current in Ultra-Thin-Gate Oxide MOSFETs by Dual Oxide Thickness MTCMOS (DOT-MTCMOS)", Japanese Journal of Applied Physics, Vol. 39, No. 4B, pp. 2287-2290, April, 2000.
- [2] H. Koura, M. Takamiya, and T. Hiramoto, "Optimum Conditions of Body Effect Factor and Substrate Bias in Variable Threshold Voltage MOSFETs", Japanese Journal of Applied Physics, Vol. 39, No. 4B, pp. 2312-2317, April, 2000.
- [3] 若林真一, 小出哲士, 八田浩一, 中山喜勝, 後藤睦明, 利根直佳, 「交差手法の適応的選択機能を組み込んだ遺伝的アルゴリズムのLSIチップによる実現」, 情報処理学会論文誌, 第41巻, 第6号, pp. 1766-1776, 2000年4月.
- [4] T. Mido H. Ito K. Asada, "A Simple and Efficient Measurement Method for Characterizing Capacitance Matrix of Multilayer Interconnection in VLSI", IEEE Transactions on Semiconductor Manufacturing, Vol. 13, No. 2, pp. 145-151, May, 2000.
- [5] H. M. Bu, Y. Shi, X. L. Yuan, J. Wu, S. L. Gu, and Y. D. Zheng, H. Majima, H. Ishikuro, and T. Hiramoto, "Random telegraph signals and low-frequency noise in n-metal-oxide-semiconductor field-effect transistors with ultranarrow channels," Applied Physics Letters, Vol. 76, No. 22, pp. 3259-3261, May, 2000.
- [6] H. M. Bu, Y. Shi, X. L. Yuan, Y. D. Zheng, S. H. Gu, H. Majima, H. Ishikuro, and T. Hiramoto, "Impact of the Device Scaling on the Low-Frequency Noise in n-MOSFETs", Applied Physics A Material and Processing, Vol. A71, No. 2, pp. 133-136, June, 2000.
- [7] 山下高廣, 浅田邦博, "CSPL : キャパシタ分離型低電圧用高速パストランジスタ回路", 電子情報通信学会論文誌 C, Vol. J83-C, No. 6, pp. 479-486, 2000年6月.
- [8] Y. Mita, A. Tixier, S. Oshima, M. Mita, J.P. Gouy, and H. Fujita, "A Silicon Shadow Mask with Unlimited Patterns and a Mechanical Alignment Structure by Al-Delay Masking Process.", Trans. IEEJ, Vol.120-E, No. 7, pp. 357-362, 2000.
- [9] A. Garnier, T. Bourouina, H. Fujita, T. Hiramoto, E. Orsier, J.-C. Peuzin, "Magnetic actuation of bending and torsional vibrations for 2D-optical scanner application," Sensors and Actuators A, Physical, Vol. 84, No. 1-2, pp. 156-160, August, 2000.
- [10] 平本俊郎, 「電子1個で動くトランジスタ」, 電気学会誌, Vol. 120, No. 8/9, pp. 518-521, 2000年8月.
- [11] X. L. Yuan, Y. Shi, S. L. Gu, J. M. Zhu, Y. D. Zheng, K. Saito, H. Ishikuro, and T. Hiramoto, "Effects of interface traps in silicon-quantum-dots-based memory structures", Physica E, Vol. 8, No. 2, pp. 189-193, August, 2000.
- [12] H. Majima, H. Ishikuro, and T. Hiramoto, "Experimental Evidence for Quantum Mechanical Narrow Channel Effect in Ultra-Narrow MOSFETs", IEEE Electron Devices Letters, Vol. 21, No. 8, pp. 396-398, August, 2000.
- [13] 武川茂樹, 若林真一, 小出哲士, 「任意時刻の複数プロセス故障を考慮したコータリに基づく分散相互排除アルゴリズム」, 電子情報通信学会論文誌, D-I, Vol. J83-D-I, No.8, pp. 823-833, 2000年8月.
- [14] T. Hiramoto (Invited), "To fill the gap between Si-ULSI and nanodevices", International Journal of High Speed Electronics and Systems (IJHSES), Vol. 10, No. 1, pp. 197-203, 2000.
- [15] A. Tixier, Y. Mita, J. P. Gouy and H. Fujita, "A silicon shadow mask for deposition on isolated areas", J. Micromech. Microeng., Vol. 10, pp. 157-162, 2000.
- [16] Y. Yasuda, M. Takamiya, and T. Hiramoto, "Separation of Effects of Statistical Impurity Number Fluctuations and Position Distribution on Vth Fluctuations in Scaled MOSFETs", IEEE Transactions on Electron Devices, Vol. 47, No. 10, pp. 1838-1842, October, 2000.
- [17] M. Mita, Y. Mita, H. Toshiyoshi, and H. Fujita, "Multiple-height Microstructures Fabricated by ICP-RIE and Embedded Masking Layers", Trans. IEEJ, Vol. 120-E, No. 11, pp. 493-497, 2000.
- [18] K. Nakayama, K. Kojima, F. Hayakawa, Y. Imai, A. Kitagawa, and M Suzuki, "Submicron Nonvolatile Memory Cell Based on Reversible Phase Transition in Chalcogenide Glasses", Japanese Journal of Applied Physics, Vol. 39, Part 1, No. 11, pp. 6157-6161, November, 2000.
- [19] Y. Yasuda, M. Takamiya, and T. Hiramoto, "Threshold Voltage Fluctuations Induced by Statistical "Position" and "Number" Impurity Fluctuations in Bulk MOSFETs", Superlattices and Microstructures, Vol. 28, No. 5/6, pp. 357-361, November/December, 2000.

[20] Y. Shi, X. L. Yuan, J. Wu, H. M. Bu, H. G. Yang, P. Han, Y. D. Zheng, and T. Hiramoto, “Dynamics of Tunneling into Charge-Tunable Si Quantum Dots”, *Superlattices and Microstructures*, Vol. 28, No. 5/6, pp. 387-392, November / December, 2000.

[21] J. Minami, T. Koide, S. Wakabayashi, “An Iterative Improvement Circuit Partitioning Algorithm under Path Delay Constraints,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E83-A, No. 12, pp. 2569-2576, December 2000.

[22] 山下高廣, 浅田邦博, 「パストランジスタ回路に摘要したオフセット電圧自己補償センスアンプ回路の試作評価」, *電子情報通信学会論文誌 C*, Vol. J84-C, No. 2, pp. 144-150, 2001年2月.

[23] 根塚智裕, 秋田純一, 池田 誠, 浅田邦博, “4進木スキャン機能を有するスマートセンサ”, *映像情報メディア学会誌*, Vol. 55, No. 2, pp. 287-292, 2001年2月.

[24] I. Ghosh, M. Fujita, “Automatic test pattern generation for functional register-transfer level circuits using assignment decision diagrams,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 20, No. 3, pp. 402-415, March 2001.

[25] 松浦 研, 福岡哲也, 田辺 亮, 藤島 実, 鳳紘一郎, 「金属ゲートを用いた相補型集積の容易なショットキー障壁 MOS トランジスタ」, *電気学会論文誌 C*, Vol. 121-C, No. 3, pp. 499-508, 2001年3月.

[26] 鳳紘一郎, 浅田邦博, 池田 誠, 「大規模集積システム設計教育研究センターによる VLSI 設計教育・研究の支援」, *電気学会論文誌 C*, Vol. 121-C, No. 3, pp. 488 -491, 2001年3月.

[27] M. Saitoh, N. Takahashi, H. Ishikuro, and T. Hiramoto, “Large Electron Addition Energy above 250 meV in the Silicon Quantum Dot in a Single Electron Transistor”, *Japanese Journal of Applied Physics*, Vol. 40, Part 1, No. 3B, pp. 2010-2012, March, 2001.

[28] H. N. Wang, N. Takahashi, H. Majima, T. Inukai, and T. Hiramoto, “Effects of Dot Size and its Distribution on Electron Number Control in Metal-Oxide-Semiconductor-Field-Effect-Transistor Memories Based on Silicon Nanocrystal Floating Dots”, *Japanese Journal of Applied Physics*, Vol. 40, Part 1, No. 3B, pp. 2038-2040, March, 2001.

2 . 国際会議

[1] Y. Mita, A. Kaiser, P. Garda, B. Stefanelli, and H. Fujita, “Sensor-Microactuator Collocated MEMS for Fully-Integrated Microsystems”, *International Power Electronics Conference (IPEC-Tokyo 2000)*, Tokyo, Japan, pp. 1422-1427, April, 2000.

[2] A. Jain, V. Boppana, R. Mukherjee, J. Jain, M. Fujita, and M. Hsiao, “Testing, verification, and diagnosis in the presence of unknowns,” *18th IEEE VLSI Test Symposium*, Montreal, Canada, pp. 263-269, April-May, 2000.

[3] T. Inukai, M. Takamiya, K. Nose, H. Kawaguchi, T. Hiramoto, T. Sakurai, “Boosted Gate MOS (BG MOS): Device/Circuit Cooperation Scheme to Achieve Leakage-Free Giga-Scale Integration”, *Custom Integrated Circuits Conference*, Florida, USA, pp. 409-412, May, 2000.

[4] S. Nakaya, T. Koide, S. Wakabayashi, “An Adaptive Genetic Algorithm for VLSI Floorplanning Based on Sequence-Pair,” *2000 IEEE International Symposium on Circuits and Systems, (ISCAS2000)*, Vol. 3, pp. 65-68, Geneva, Switzerland, May, 2000.

[5] M. Ikeda and K. Asada, “A New Trial on HDL Exercise Class for Undergraduate School in EE Department”, *2000 European Workshop on Microelectronics Education (EWME 2000)*, France, pp. 146-147, May 2000.

[6] K. Seto, H. Yoshida, M. Ikeda and K. Asada, “Multi-Level Logic Optimization Using Node Complementation”, *IEEE International Workshop on Logic Synthesis*, June, Dana Point, CA, USA, pp. 291-294, May-2000.

[7] Y. Yasuda, M. Takamiya, and T. Hiramoto, “Threshold Voltage Fluctuations Induced by Statistical “Position” and “Number” Impurity Fluctuations in Bulk MOSFETs”, *2000 Silicon Nanoelectronics Workshop*, Hilton Hawaiian Village, Hawaii, USA, pp. 40-41, June, 2000.

[8] Y. Shi, X. L. Yuan, J. Wu, H. M. Bu, H. G. Yang, P. Han, T. Hiramoto, and Y. D. Zheng, “The Dynamics of Tunneling into Charge-Tunable Si Quantum Dots”, *2000 Silicon Nanoelectronics Workshop*, Hilton Hawaiian Village, Hawaii, USA, pp. 67-68, June, 2000.

[9] I. Ghosh and M. Fujita, “Automatic Test Pattern Generation for Functional RTL Circuits Using Assignment Decision Diagrams,” *ACM/IEEE Design Automation Conference*, Los Angeles, CA, USA, June, 2000.

- [10] D. W. Currie, A. J. Hu, S. Rajan, M. Fujita, "Automatic Formal Verification of DSP Software," ACM/IEEE Design Automation Conference, Los Angeles, CA, USA, June, 2000.
- [11] Y. Lu, J. Jain, E. Clarke, and M. Fujita, "Efficient Variable Ordering Using a BDD Based Sampling," ACM/IEEE Design Automation Conference, Los Angeles, CA, USA, June, 2000.
- [12] V. Boppana, S. Rajan, K. Takayama, M. Fujita (Invited), "Sequential ATPG Techniques for Model Checking," 4th World Multiconference on Systemics, Cybernetics and Informatics SCI 2000, July, 2000.
- [13] D.W. Currie, A.J. Hu, S. Rajan, M. Fujita (Invited), "Semi-Formal Verification of Low-Level DSP Software," 4th World Multiconference on Systemics, Cybernetics and Informatics SCI 2000, July, 2000.
- [14] J. Qiao, M. Ikeda, and K. Asada, "Optimum Functional Decomposition for LUT-based FPGA Synthesis", The 10th International Conference on Field-Programmable Logic and applications, pp. 555-564, August, 2000.
- [15] T. Hiramoto, M. Takamiya, H. Koura, T. Inukai, H. Gomyo, H. Kawaguchi, and T. Sakurai (Invited), "Optimum Device Parameters and Scalability of Variable Threshold CMOS (VTCMOS)", 2000 International Conference on Solid State Devices and Materials (SSDM), Sendai, Japan, pp. 372-373, August, 2000.
- [16] T. Nezuka, J. Akita, M. Ikeda and K. Asada, "A Smart Image Sensor with Novel Implementation of Quad-tree Scan," 2nd IEEE Asia-Pacific Conference on ASIC, Korea, pp. 135-138, August, 2000.
- [17] T. Hiramoto and H. Majima (Invited), "Characteristics of Silicon Nano-Scale Devices", International Conference on Simulation of Semiconductors Processes and Devices (SISPAD 2000), Seattle, USA, pp. 179-183, September, 2000.
- [18] M. Yagi, M. Adachi, and T. Shibata, "A Hardware-Friendly Soft-Computing Algorithm for Image Recognition," Proceedings of 10th European Signal Processing Conference (EUSIPCO 2000), Tampere, Finland, pp. 729-732, September, 2000.
- [19] M. Fujita (Invited), "Boolean problems that have real application in CAD for digital systems," 4th International Workshop Boolean Problems, Freiberg, Germany, September, 2000.
- [20] T. Hiramoto, N. Takahashi, H. Ishikuro, and M. Saito, "Large Electron Addition Energy above 250 meV in the Silicon Quantum Dot in a Single Electron Transistor", Third International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS 2000), Hokkaido University, Sapporo, Japan, p. 4, September, 2000.
- [21] H. N. Wang, N. Takahashi, H. Majima, T. Inukai, and T. Hiramoto, "Device Parameters for Electron Number Control in MOSFET Memories Based on Silicon Nanocrystal Floating Dots", Third International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS 2000), Hokkaido University, Sapporo, Japan, p. 116, September, 2000.
- [22] T. Hiramoto, N. Takahashi, H. Ishikuro, and M. Saitoh, "Large Electron Addition Energy in the Silicon Quantum Dot in a Single Electron Transistor", Japan-UK Meeting, Maiko Villa Kobe, Kobe, Japan, September, 2000.
- [23] T. Nezuka, M. Hoshino, M. Ikeda and K. Asada, "A Position Detection Sensor for 3-D Measurement", 26th European Solid-State Circuits Conference, Stockholm, Sweden, pp. 412-415, September, 2000.
- [24] H. Kimura and T. Shibata, "A Hardware-Friendly Algorithm for Motion-Based Saliency Detection," in the Proceedings of 6th International Conference on Soft Computing (IIZUKA 2000), Iizuka, Fukuoka, Japan, pp. 703-709, October, 2000.
- [25] T. Hiramoto (Invited), "Integration of Silicon Single Electron Transistors", Strategy in Nanoelectronics: Japanese German Symposium, Japanese-German Center Berlin, Berlin, Germany, October, 2000.
- [26] Q.-R. Gu and T. Shibata, "A Low-Cost Vector Quantization System for Voice Compression Based on Analog and Neuron MOS Technology," 2000 IEEE International Symposium on Intelligent Signal Processing and Systems (ISPACS 2000), Honolulu, Hawaii, U.S.A., pp. 222-227, November, 2000.
- [27] T. Shibata, "Intelligent VLSI Systems Based on a Psychological Brain Model," 2000 IEEE International Symposium on Intelligent Signal Processing and Systems (ISPACS 2000), Honolulu, Hawaii, U.S.A., pp. 323-332, November, 2000.
- [28] M. Saitoh and T. Hiramoto, "Effects of quantum level spacing on transport in silicon single electron transistors with an ultra-small quantum dot", 4th International Workshop on Quantum Functional Devices (QFD2000), Kanazawa Art Hall, Kanazawa, Japan, pp. 135-136, November, 2000.
- [29] S. Komatsu, M. Ikeda, K. Asada, "Bus Data Encoding with

- [30] R. Ohigashi, K. Tsuchiya, Y. Mita, and H. Fujita, "Micro Capillaries Array Head for Direct Drawing of Fine Patterns", IEEE International Conference on MicroElectroMechanical Systems (MEMS 2001), Interlaken, Switzerland, January, 2001.
- [31] H. Yamaoka, M. Ikeda, and K. Asada, "A High-Speed PLA using Array Logic Circuits with Latch Sense Amplifiers and a Charge Sharing Scheme", Asia and South Pacific Design Automation Conference 2001 (ASP-DAC), Pacifico Yokohama, Japan, pp. 3-4, January-February, 2001.
- [32] T. Ishihara and K. Asada, "A System Level Memory Power Optimization Technique Using Multiple Supply and Threshold Voltages", Asia and South Pacific Design Automation Conference 2001 (ASP-DAC), Pacifico Yokohama, Japan, pp. 456-461, January-February, 2001.
- [33] J. Qiao, M. Ikeda, K. Asada, "Finding an Optimal Functional Decomposition for LUT-based FPGA Synthesis", Asia and South Pacific Design Automation Conference 2001 (ASP-DAC), Pacifico Yokohama, Japan, pp. 225-230, January-February, 2001.
- [34] T. Nezuka, M. Hoshino, M. Ikeda and K. Asada, "A Smart Position Sensor for 3-D Measurement", Asia and South Pacific Design Automation Conference 2001 (ASP-DAC), pp. 21-22, January-February, 2001.
- [35] H. J. Mattausch, T. Gyohten, Y. Soda, T. Koide, "An architecture for compact associative memories with deca-ns nearest-match capability up to large distances", 2001 IEEE International Solid-State Circuits Conference (ISSCC 2001), San Francisco, CA, USA, pp. 170-171, February, 2001.
- [36] T. Hiramoto (Invited), "Integration of Silicon Single Electron Transistors", 2001 International Symposium on Nano Device and Display Technology, Yonsei University, Korea, p. 28, February, 2001.
- [37] M. Fujita and I. Ghosh, "Automatic Test Bench Generation for Equivalence Checking of C Programs Based on ATPG techniques," 5th International Workshop on Software and Compilers for Embedded Systems SCOPES 2001, St. Goar, Germany, March, 2001.
- [38] K. Seto, T. Kuroha, D. Nakatani, K. Asada, M. Fujita, "Co-Design of Custom VLIW-DSP Type Data-path Architecture and its Parallel Program for Loops based on Formal Verification Technique," 5th International Workshop on Software and Compilers for Embedded Systems SCOPES 2001, St. Goar, Germany, March, 2001.
- [39] Y. Nakashima, M. Ikeda, and K. Asada, "Computational Cost Reduction in Extracting Inductance", International Symposium on Quality Electronic Design, San Jose, CA, USA, March, 2001.
- [40] T. Hiramoto and H. Majima (Invited), "Quantum Mechanical Narrow Channel Effect in Nano-Scale MOSFETs", Second International Symposium on ULSI Process Integration, The 199th Meeting of The Electrochemical Society (ECS), Washington D. C., No. 401, March, 2001.
- [41] T. Hiramoto, N. Takahashi, H. Ishikuro, and M. Saitoh (Invited) "Single Electron Transistors and Other Nanodevices on SOI", Tenth International Symposium on Silicon-on-Insulator Technology and Devices, The 199th Meeting of The Electrochemical Society (ECS), Washington D. C., No. 472, March, 2001.

3. 国内学会，研究会等

- [1] J. Qiao, M. Ikeda, and K. Asada, "Optimum Functional Decomposition for LUT-based FPGA Synthesis", 第13回回路とシステム(軽井沢)ワークショップ, The 13th Workshop on Circuits and Systems, pp. 119-124, 2000年4月.
- [2] 鳳紘一郎 浅田邦博, 「大規模集積システム設計教育研究センター - (VDEC) による集積回路の設計教育と試作の支援」, 平成12年度工学教育連合講演会「21世紀における日本の工学教育 “ものづくり” と “創造性”」, 2000年5月.
- [3] 根塚智裕, 星野将史, 池田 誠, 浅田邦博, “動き検出および3次元計測機能を有する多階調イメージセンサ”, ロボティクスメカトロニクス講演会, 1A1-50-069, 2000年5月.
- [4] 星野将史, 根塚智裕, 池田 誠, 浅田邦博, “スマートボジションセンサを用いた3次元計測システムの構築”, DAシンポジウム, pp. 133-138, 2000年7月.
- [5] 小泉慎哉, 中塚裕康, 若林真一, 小出哲士, 「マイクロプログラム制御交差突然変異回路をもつ遺伝的アルゴリズム専用ハードウェア」, STARCシンポジウム2000, Vol.1, pp. 47-55, 2000年7月.
- [6] 犬飼貴士, 高宮真, 野瀬浩一, 川口 博, 桜井貴康, 平本俊郎, 「Boosted Gate MOS (BGMOS) : デバイスと回

- 路の協調によるリークフリー回路の提案」, 電子情報通信学会集積回路研究会・電子デバイス研究会・シリコン材料・デバイス研究会合同研究会, 北見工業大学(北海道), ED2000-124, SDM2000-106, ICD2000-60, 2000年8月.
- [7] 犬飼貴士, 高宮 真, 野瀬浩一, 川口 博, 桜井貴康, 平本俊郎, 「Boosted Gate MOSとSuper Cut-off CMOSによるリークフリー回路」, 2000年秋季第61回応用物理学会学術講演会, 北海道工業大学, 6a-ZE-3, 2000年9月.
- [8] H. N. Wang, N. Takahashi, H. Majima, T. Inukai, and T. Hiramoto, "Effects of Dot Size and Its Distribution on Electron Number Control in MOSFET Memories Based on Silicon Nanocrystal Floating Dots", 2000年秋季第61回応用物理学会学術講演会, 北海道工業大学, 4p-R-6, 2000年9月.
- [9] 齋藤真澄, 石黒仁揮, 平本俊郎, 「量子効果を考慮したシリコン極微細ドット単電子トランジスタの電気伝導シミュレーション」, 2000年秋季第61回応用物理学会学術講演会, 北海道工業大学, 4a-R-11, 2000年9月.
- [10] 中島祐介, 池田 誠, 浅田邦博, 「VLSI配線におけるインダクタンス抽出方法の提案とそれを用いた回路評価」, 信学技法, VLD2000-50, SDM2000-123, pp. 17-22, 2000年9月.
- [11] 山岡寛明, 中島祐介, 根塚智裕, 小松 聡, 池田 誠, 浅田邦博, 「東京大学浅田・池田研究室における設計事例」, VDEC LSI デザイナーズフォーラム 2000, 2000年9月.
- [12] T. Hiramoto, H. N. Wang, H. Majima, T. Inukai, and M. Saitoh, "Control of Electron Number in Silicon Quantum Dots for Clustered Electron Memory Application", The First CREST Symposium on "Function Evolution of Materials and Devices Based on Electron/Photon Related Phenomena", JA ホール(東京), p. 82, 2000年10月.
- [13] 若林真一, 小出哲士, 小泉慎哉, 中塚裕康, 「交差突然変異をマイクロプログラム制御で実現する遺伝的アルゴリズム専用ハードウェアの開発」, 情報処理学会第61回(平成12年後期)全国大会, Vol.1, pp. I-139-I-140, 2000年10月.
- [14] 小泉慎哉, 若林真一, 小出哲士, 「遺伝的アルゴリズムの高速実行に適した命令セットを持つRISCプロセッサの開発」, 情報処理学会第61回(平成12年後期)全国大会, Vol.1, pp. I-141-I-142, 2000年10月.
- [15] 中矢真吾, 若林真一, 小出哲士, 「概略配線, バッファ挿入, タイミング制約を考慮したフロアプランニング手法」, 情報処理学会第61回(平成12年後期)全国大会, Vol.1, pp. I-107-I-108, 2000年10月.
- [16] 中矢真吾, 若林真一, 小出哲士, 「バッファ挿入を考慮した概略配線とフロアプランを同時に求めるフロアプランニング手法」, 電子情報通信学会コンピュータシステム研究会, CPSY2000-64, pp. 29-34, 2000年11月.
- [17] 石原 亨, 浅田 邦博, 「コアベースシステムLSIにおけるプログラムメモリの電力削減手法」, 電子情報通信学会技術研究報告, VLD200-85, pp. 95-100, 2000年11月.
- [18] 山岡寛明, 池田 誠, 浅田邦博 「ラッチ型センスアンブを用いた高速PLA」, 第4回システムLSI琵琶湖ワークショップ, pp. 223-226, 2000年11月.
- [19] 小松 聡, 池田 誠, 浅田邦博, 「高スループットデータ伝送のための圧縮符号化手法の提案と評価」, 第4回システムLSI琵琶湖ワークショップ, pp. 215-218, 2000年11月.
- [20] 根塚智裕, 池田 誠, 浅田邦博, 「4進木スキャン機能を有するポジション検出向けスマートイメージセンサ」, 第4回システムLSI琵琶湖ワークショップポスター, pp. 183-185, 2000年11月.
- [21] 平本俊郎, 「シリコン単電子トランジスタとその集積化」, 第3回分子エレクトロニクス研究会, メルパルク松山(愛媛), 2000年11月.
- [22] 齋藤真澄, 高橋信義, 平本俊郎, 「シリコン単電子トランジスタにおける室温での大きなクーロンブロックード振動」, 第12回日本MRS学術シンポジウム, かながわサイエンスパーク(川崎), p. 164, H2-P01-M, 2000年12月.
- [23] 千葉智子, 大内真一, 藤島 実, 鳳紘一郎, 「プログラマブル量子計算エミュレータ」, 電子情報通信学会 回路とシステム研究会, 那覇, p. 1, CAS2000-78, 2001年1月.
- [24] 鳳紘一郎, 藤島 実, 大内真一, 千葉智子, 「シリコン集積回路による量子コンピューティングへの挑戦」, 第13回電気電子情報学術振興財団ワークショップ「発展する電子・光子機能制御研究」, 赤門学会館(東京), p. 1, 2001年1月.
- [25] 平本俊郎, 高橋信義, 王 海寧, 齋藤真澄, 犬飼貴士, 間島秀明, 「シリコンドットメモリにおける電子数制御と単電子デバイス集積化」, 第13回電気電子情報学術振興財団ワークショップ「発展する電子・光子機能制御研究」, 赤門学会館(東京), pp. 25-32, 2001年1月.
- [26] 小泉慎哉, 若林真一, 小出哲士, 井村紀道, 藤原一成, 「遺伝的アルゴリズムの高速実行に適した命令セットを持

VDFE@
つ RISC プロセッサ DLX-GA」, 電子情報通信学会計算機アーキテクチャ研究会, Vol.141-12, pp. 65-70, 2001 年 1 月.

- [27] 平本俊郎, 「IEDM 全般 (I) デバイス」, 応用物理学会シリコンテクノロジー分科会第 25 回研究集会, 武蔵工業大学 (東京), 2001 年 1 月.
- [28] 平本俊郎, 犬飼貴士, 後明寛之, 川口博, 野瀬浩一, 桜井貴康, 「デバイス・回路の協調による低消費電力化」, 電子情報技術産業協会極低電力情報端末用 LSI の研究開発委員会, 機械振興会館 (東京), 2001 年 1 月.
- [29] 平本俊郎, 更屋拓哉, 「SOI MOSFET におけるダイナミックパスリークの評価」, 共同プロジェクト研究 H12/B05 「超高速・高精度気体絶縁金属基板 SOI デバイス・プロセスの研究」研究会, 東北大学電気通信研究所 (仙台), 2001 年 2 月.
- [30] 王 海寧, 間島秀明, 犬飼貴士, 齋藤真澄, 後明寛之, 平本俊郎, 「シリコン微結晶を用いたメモリデバイスにおけるドットサイズとサイズばらつきの影響評価とポテンシャル分布」, 電子情報通信学会シリコン材料・デバイス研究会・電子デバイス研究会合同研究会, 北海道大学, ED2000-258, SDM2000-212, 2001 年 2 月.
- [31] 齋藤真澄, 高橋信義, 平本俊郎, 「減圧 CVD で形成したゲート酸化膜を有するシリコン単電子トランジスタの伝導特性」, 電子情報通信学会シリコン材料・デバイス研究会・電子デバイス研究会合同研究会, 北海道大学, ED2000-262, SDM2000-216, 2001 年 3 月.
- [32] T. Hiramoto, E. Nagata, and H. Majima, "Formation of silicon quantum dots for silicon nano-crystal memories", The Fifth Symposium on Atomic-Scale Surface and Interface Dynamics, はあといん乃木坂健保会館 (東京), pp. 21-23, 2001 年 3 月.
- [33] 間島秀明, 平本俊郎, 「極狭チャネル MOSFET における量子力学的狭チャネル効果」, 電子情報通信学会シリコン材料・デバイス研究会, 機械振興会館 (東京), SDM2000-244, 2001 年 3 月.
- [34] 今村 晃, 藤島 実, 鳳紘一郎, 「カオスを用いたパイプライン型 AD 変換器のオートキャリブレーション」, 2001 年電子情報通信学会総合大会, SA-1-5, 立命館大学, 2001 年 3 月 26 日.
- [35] 千葉智子, 大内真一, 藤島 実, 鳳紘一郎, 「プログラマブル量子計算エミュレータ」, 電子情報通信学会 2001 年総合大会, D-6-3, 立命館大学, 2001 年 3 月 27 日.
- [36] 藤田隆史, 藤島 実, 鳳紘一郎, 「低雑音増幅器におけるオンチップインダクタの寄生抵抗の影響」, 2001 年電子情報通信学会総合大会, A-1-16, 立命館大学, 2001 年 3 月 27 日.
- [37] 鳳紘一郎, 「JABEE への取り組み・特化領域毎の状況: エレクトロニクス」, 2001 年電子情報通信学会総合大会, 一般公開シンポジウム, 立命館大学, 2001 年 3 月 28 日.
- [38] 大池祐輔, 池田 誠, 浅田邦博, 「相関検波を用いた 3 次元計測向けイメージセンサ」, 2001 年電子情報通信学会総合大会, 立命館大学, C-12-27, 2001 年 3 月.
- [39] 行天隆幸, 早田嘉浩, 小出哲士, マタウシュ ハンス ユルゲン, 「最小ハミング距離検索機能を有する小面積・高速連想メモリの開発」, 2001 年電子情報通信学会総合大会, 立命館大学, Vol.2, p.133, 2001 年 3 月.
- [40] 平本俊郎, 「サブ 100nm 世代 CMOS の問題点の回路・システムの救済策」, 第 28 回応用物理学会スクール B 「サブ 100nm CMOS トランジスタ技術の動向と展望」, 明治大学駿河台キャンパス (東京), pp. 61-75, 2001 年 3 月.
- [41] Hyunsik Im, T. Inukai, H. Gomyo, T. Sakurai, and T. Hiramoto, 「Study of VTCMOS characteristics and its optimum conditions with a compact analytical model」, 2001 年春季第 48 回応用物理学関連連合講演会, 明治大学駿河台キャンパス (東京), 29a-B-9, 2001 年 3 月.
- [42] 犬飼貴士, 高宮 真, 小宇羅寛, 後明寛之, 川口 博, 桜井貴康, 平本俊郎, 「High-Speed モード VTCMOS とそのスケラビリティ」, 2001 年春季第 48 回応用物理学関連連合講演会, 明治大学駿河台キャンパス (東京), 29a-B-8, 2001 年 3 月.
- [43] 間島秀明, 齋藤真澄, 平本俊郎, 「極狭シリコン細線におけるポテンシャル揺らぎの評価」, 2001 年春季第 48 回応用物理学関連連合講演会, 明治大学駿河台キャンパス (東京), 28a-ZN-6, 2001 年 3 月.
- [44] 後明寛之, 犬飼貴士, 平本俊郎, 「微細 MOSFET における短チャネル効果抑制と駆動力のトレードオフ」, 2001 年春季第 48 回応用物理学関連連合講演会, 明治大学駿河台キャンパス (東京), 29a-B-1, 2001 年 3 月.
- [45] 齋藤俊樹, 更屋拓哉, 犬飼貴士, 間島秀明, 高橋信義, 平本俊郎, 「三角形並列細線チャネルを有する MOSFETs の試作と特性評価」, 2001 年春季第 48 回応用物理学関連連合講演会, 明治大学駿河台キャンパス (東京), 30p-ZL-1, 2001 年 3 月.
- [46] 齋藤真澄, 齋藤俊樹, 高橋信義, 平本俊郎, 「減圧 CVD

で形成したゲート酸化膜を有するシリコン単電子トランジスタの伝導特性」, 2001 年春季第 48 回応用物理学関連連合講演会, 明治大学駿河台キャンパス (東京), 28a-ZN-3, 2001 年 3 月 .

- [47] 永田英次, 間島秀明, 平本俊郎, 「シリコンフローティングドットを有する極狭チャネル MOSFET メモリにおける閾値シフトの増加」, 2001 年春季第 48 回応用物理学関連連合講演会, 明治大学駿河台キャンパス (東京), 28p-ZN-5, 2001 年 3 月 .

4. 紀要, その他

- [1] M. Fujita, “Formal Verification Based on Recurrence Equations and Equivalence,” *Journal of the School of Engineering, The University of Tokyo*, Vol. 47, 2000.
- [2] 平本俊郎, 「21 世紀のデバイス技術: 微細化の先にあるもの」, *Break Through*, No. 174, pp. 8-10, 2001 年 1 月 .
- [3] 平本俊郎, 「特集: LSI 製造技術で出し抜く「テクノロジー・パラノイア」 Part2 トランジスタ技術 技術の本命 争い激化 0.05 μ m 以降 3 候補」, *日経マイクロデバイス*, pp. 50-59, 2001 年 2 月 .
- [4] 犬飼貴士, 平本俊郎, 桜井貴康, 「スタンバイゲートリーク電流削減のための回路技術」, *Break Through*, No. 175, pp. 17-20, 2001 年 2 月 .
- [5] 平本俊郎, 高橋信義, 石黒仁揮, 齋藤真澄, 「異方性エッ

チングにより作製したシリコン単電子トランジスタの室温動作」, *生産研究*, Vol. 53, No. 2, pp. 116-118, 2001 年 2 月 .

5. 著書

- [1] 浅田邦博, 越智裕之, 池田 誠, 小林和淑, “デジタル集積回路の設計と試作” , 培風館, 2000 年 6 月 .
- [2] K. Hoh, T. Tsujita, T. Irita, Y. Aihara, J. Irisawa, A. Imamura and M. Fujishima, “Brainware: Bio-Inspired Architecture and its Hardware Implementation”, edited by T. Miki, *World Scientific*, 2001, Chapt. 7.
- [3] 鳳紘一郎, 浅田邦博, 池田 誠, 平本俊郎 (共著), *電気工学ハンドブック第 6 版*, 電気学会, 2001 年 2 月 .
- [4] T. Hiramoto and H. Majima, “Quantum Mechanical Narrow Channel Effect in Nano-Scale MOSFETs”, *ULSI Process Integration II*, edited by C.L. Claeys, F. Gonzalez, J. Murota, and K. Saraswat, pp. 102-111, *Electrochemical Society*, March, 2001.
- [5] T. Hiramoto, N. Takahashi, H. Ishikuro, and M. Saitoh, “Single Electron Transistors and Other Nanodevices on SOI”, *Silicon-on-Insulator Technology and Devices X*, edited by S. Cristoloveanu, P.L.F. Hemment, K. Izumi, G.K. Celler, F. Assaderaghi, and Y.-W. Kim, *Electrochemical Society*, pp. 379-389, March, 2001.

VDEC

第4章 平成13年度の活動計画

平成13年度からは、従来の設計情報発信、CADツール提供、チップ試作支援に加え、プロジェクト型研究の推進に関して事業内容を充実拡充していく予定である。

【設計情報発信・セミナー開催】

本年度は、平成12年度に開催した、CADツール利用法に関する技術セミナー、社会人向けの「リフレッシュセミナー」、若手のための「デザイナーズフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行うことを予定している。これにより自然な形で、若手のVLSI設計者の層を厚くし、定期的な情報交換の場を確立していきたい。

試作チップ数の増加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSIテスト技術および、VDECおよび拠点校に設置されて

いるLSIテスター利用法のセミナーも継続して開催し、VDECおよび拠点校のテスターに対し「利用資格」を有する学生・研究者の数を増やす努力をしていく予定である。同時に各拠点校のテスター関係者の連携を密にすることで多様化していくテストの需要に全国レベルで対応する体制を整えていきたい。これは、大きなコストを必要とするテスターの維持・管理を効率化し、維持コストを抑えつつ有効利用を促進するねらいを持っている。

【CADツール提供】

上流設計（Cadence, Synopsys）、中流設計（Avant!, Cadence）、下流設計（Cadence）の各基本ツールを、平成13年度もサポートしていく。

CADツールに必要な論理設計用ライブラリについては、ファウンドリ提供のものに加え、京都大学、九州大学、早稲田大学、豊橋科学技術大学などの協力を得て、VDECのチップ試作テストラン等を通じて構築されたライブラリの整備が進んでおり、平成13年

度は、より信頼性の高いものの提供、およびライブラリに応じたより進んだ設計フローの構築などを目指していきたい。

また、後述のプロジェクト型研究などの推進により、IPベース設計手法の確立、および大学で利用できるIP（マクロライブラリ）の構築、整備を進めたい。これらの整備活動には広く各大学からの協力を期待している。

【チップ試作支援】

平成12年度からは、従来の日本モトローラ株式会社の試作が、オン・セミコンダクターに引き継がれ、日立北海セミコンダクタ株式会社、ローム株式会社、日立製作所の協力により、5種類のプロセスで計10回の試作を行った。平成13年度においても同様に計10

回の試作を設定する予定である（すでに一部の試作は進行中である）。

これに加え、一層の微細プロセスによるチップ試作機会の提供に向けての協力を依頼していきたい。

表4.1 VDECチップ試作スケジュール（平成13年度）

【CMOS 1.2 μ m 2P2M】オン・セミコンダクタ（旧日本モトローラ）

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成13年4月2日	平成13年7月2日	平成13年10月1日	平成14年2月1日
第2回	平成13年10月1日	平成14年1月15日	平成14年4月1日	平成14年7月19日

【CMOS 0.6 μ m 2P3M】ローム

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成13年4月9日	平成13年4月20日	平成13年6月25日	平成13年10月12日
第2回	平成13年5月8日	平成13年8月6日	平成13年11月5日	平成14年3月1日
第3回	平成13年9月24日	平成13年12月17日	平成14年3月18日	平成14年7月5日

【CMOS 0.5 μ m 1P3M】日立北海セミコンダクター（旧NEL）

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成13年4月20日	平成13年5月8日	平成13年7月23日	平成13年11月9日
第2回	平成13年7月16日	平成13年10月15日	平成14年1月14日	平成14年4月19日

【CMOS 0.35 μ m ゲートアレイ 1P5M】日立製作所

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成13年4月26日	平成13年7月10日	平成13年12月10日	平成14年2月6日

【CMOS 0.35 μ m 2P3M】ローム

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成13年4月13日	平成13年5月25日	平成13年8月27日	平成13年12月21日
第2回	平成13年4月13日	平成13年7月10日	平成14年2月4日	平成14年5月31日

表4.2 チップ試作料金

設計規則	チップサイズ	税抜価格（千円）	設計規則	チップサイズ	税抜価格（千円）
CMOS 1.2 μ m 2P2M	2.3mm 角	66.5	CMOS 0.5 μ m 1P3M	2.3mm 角	138
	4.8mm 角	230		4.8mm 角	535.9
		7.3mm 角	451	CMOS 0.35 μ m GA 1P5M	5.9mm 角
CMOS 0.6 μ m 2P3M	3.9mm 角	160	CMOS 0.35 μ m 2P3M	4.9mm 角	350
	4.6mm 角	240			
	8.9mm 角	950			

【プロジェクト型研究】

VLSI技術は日々進歩しており、VDECがサポートしているCADツールやライブラリ、チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており、各方面の協力を随時お願いする予定である。

平成12年度は新たな取り組みとして、特定のテーマごとに研究グループを組織しVDECにおけるチップ試作を利用した研究を推進し、その成果物として、大学において自由に利用できるようなIPライブラリの構築を目指したプロジェクトを開始した。具体的には米国モトローラ社からの提供によるマイクロプロセッサIP (M. CORE) をプラットフォームとした設計プロジェクト、デジタル及びアナログIP開発プロジ

ェクトを推進した。平成13年度は、これまでに各グループから提案された興味深い提案を実際のLSIチップとして実装し、その有効性を評価する予定である。

(a) IP (M. CORE) 開発研究の参加者および概要

本プロジェクトは、コア設計者以外のシステム設計者がIPコアを利用して大規模システムを設計するための環境および技術を構築することを目的として、平成12年度より3年間の計画でスタートした。参加グループの構成および概要は表4.3に示すとおりである。

(b) IP 利用技術研究の参加者および概要

本プロジェクトもIP (M. CORE) 開発研究同様、3

表4.3 IP開発プロジェクトの構成および研究概要

グループ名	代表者	参加者	概要
デジタルプロセッサコアIP開発研究	安浦 寛人 (九州)	柳沢 (早稲田), 越智 / 弘中 (広島市立), 末吉 / 久我 (熊本)	ソフトコアプロセッサ, ソフトコアプロセッサ, ピヘイビア記述からのLSI設計教育向きプロセッサ開発
デジタル演算ユニットIP開発研究	高木 直史 (名古屋)	天野 (慶応), 今井 / 武内 (大阪), 木村 (奈良), 村上 (九州), 南谷 (東京)	算術演算回路, 基本的な演算ユニット, PPRAMインターフェース, スマートコア, 同期・非同期インタフェース
高速AD/PLL/OP-Amp IP開発研究	谷口 研二 (大阪大学)	小野寺 (京都), 高木 (東工業大)	8-10ビットFlash/Pipeline, Rail-to-rail OP-Amp, 差動OP-Amp, クロック生成用PLL, 低電圧・高周波OP-Amp, イメージセンサA/D変換 / 多重解像度フィルタリング / 動き検出回路
PWM/ AD IP研究開発	岩田教授 / 森江助教授 / 永田助手 (広大)	佐々木 (熊本), 川人 (静岡), 雨宮 / 浅井 (北海道), 八木 (九工大), 杉本 (中央), 相澤助教授 (東大)	容量アレイ型AD, DA変換器, オーバサンプリング型AD変換器, デシメーションフィルタ, PWM方式演算回路, VCO回路, PLL回路, カオス発生回路, アナログフィルタ (カレントモッドフィルタ), パイプラインA/D変換器 (10ビット, 20MSps), アナログ / デジアナ反応拡散チップ, 動き検出イメージセンサ, ハフ変換チップ, ゼロ交差画素検出回路, 14ビット, 400MSps, 2V動作D/A変換器
機能メモリIP研究開発	池田講師 / 石原助手 (東京大学)	小林 (京都), 柴田 (東京), マタウシュ (広島)	機能メモリ, 最小ハミング距離探索メモリ, 標準的なSRAM

年間でIPコアベースの設計手法の会得，それによる設計とLSI化における課題の検討を目的としている．研究のグループの構成および概要は表4.4に示すとおりである．プロジェクトのおよそのスケジュールは表

4.5となっている．昨年度は4月にM. COREの利用法に関する講習会を開催し，11月に中間報告会を開催した．それぞれの模様は図4.1，4.2に示すとおりである．

表4.4 研究グループの構成と研究概要

大 学	氏 名	概 要
東京大学	池田/石原	低電力SoC設計を目的としたコデザイン技術の開発
九州大学	村上	M. COREを2個，その間にコプロセッサとしてのFPGAならびにPPRAM-Link I/F (PLIF) を搭載し，いくつかの実験を実施
金沢大学	深山	インターネット携帯端末向けシステムLSIを設計
東京工業大学	國枝	Multimedia Vehicular LAN System using IEEE1394
東京大学	柴田	M. COREを用いた話者認識システムの研究
広島大学	小出	M. COREを用いたプロトタイピングシステムの開発
北海道大学	山本	電子透かしによる音声信号とデジタル情報の重畳とその1チップシステム化
大阪大学	今井	リアルタイムOSのLSIと周辺回路を含むSoCの設計．自動車のリアルタイム制御をターゲットとする．
熊本大学	末吉	M. COREの周辺回路として(自作の)FPGAを搭載し，M. COREをFPGAのコントローラとして用いるようなCustom Computing Machineの設計．FPGAは対象となるプロセスに合わせて設計
立命館大学	山内	M. COREによるリアルタイムビデオタイトル作成システムの開発

表4.5 M. COREプロジェクトのスケジュール

時 期	内 容
2000/4月3, 4日	M. COREセミナー (VDEC) を開催しM. COREの利用技術を取得
2000/6月	FPGA評価ボード，コンパイラを参加者に配布．これを用いてFPGAプロトタイピングを開始
2000/11月27日	中間報告会
2001/8月頃	0.13 μ m用M. CORE/セルベースをVDEC経由で提供
2001/9月頃	セルベース設計終了・試作開始 (0.13 μ m CMOSプロセス)，ここでは必要に応じて参加者の中から試作するチップを取捨選択する
2002/2月頃	試作終了・評価開始
2002/3月頃	報告会



図4.1 平成12年4月3日, 4日に開催されたM. CORE講習会の様子



図4.2 平成12年11月27日に開催されたM. CORE中間報告会の様子

第5章 チップ試作結果報告

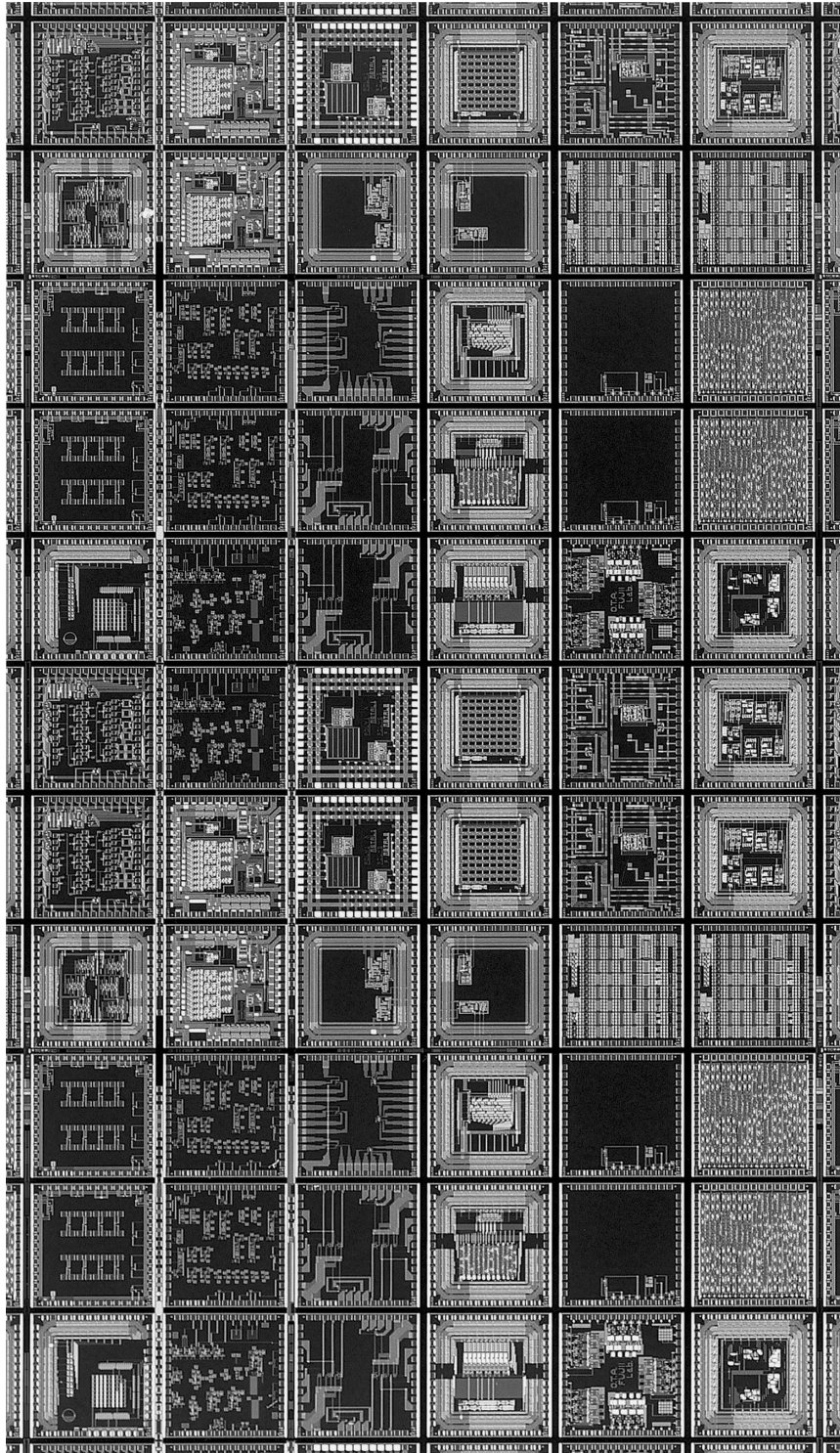


図5.1 「相乗りチップ」の顕微鏡写真

平成11年度 第2回オンセミコンダクタチップ試作 (MOT992)

題 名	大 学 名	研 究 者	掲載頁
スイッチドキャパシタ容量型センサ・インターフェース	静岡大学電子工学研究所	小川 覚美, 渡辺 健蔵	71
CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	71
デジタル雑音低減回路	東京工業大学大学院理工学研究科	和田 和千, 高木 茂孝, 藤井 信生	71
低雑音演算増幅器の試作(2)	東京工業大学大学院理工学研究科	和田 和千, 高木 茂孝, 藤井 信生	72
信号分割型構成回路のための制御回路	東京工業大学大学院理工学研究科	和田 和千, 高木 茂孝, 藤井 信生	72
移動度の減少と基板効果の影響を受けないOTA	東京理科大学理工学部	茨木 栄武, 兵庫 明, 関根 慶太郎	72
ノイズ特性評価用増幅型CMOSイメージセンサ	広島市立大学大学院情報科学研究科	梅田 昌宏, 堀居 賢樹	73
ノイズ特性評価回路の設計	広島市立大学大学院情報科学研究科	梅田 昌宏, 堀居 賢樹	73
新しいテール電流制御回路を用いた低消費電力OTA回路とADCL回路TEG	山形大学工学部	須藤 敏志, 齋藤 裕寿, 水沼 充, 高橋 一清	73
形ハードウェアニューロンモデルの試作	日本大学理工学部電子工学科	隅山 正巳, 袁 立晨, 佐伯 勝敏, 関根 好文	74
八木型ハードウェアニューロンモデルの試作	日本大学理工学部電子工学科	鳥田 季代子, 袁 立晨, 佐伯 勝敏, 関根 好文	74
アナログ回路用デバイスTEG	富山県立大学工学部	山本 真也, 松田 敏弘, 大曾根 隆志	74
デジタル可変容量チップ	玉川大学学術研究所 玉川大学工学部	中村 真次 小池 卓郎	75
負性微分抵抗回路TEG	上智大学理工学部	越坂 亮介, 和保 孝夫	75
広い可変レンジを持つ遅延器を用いたクロック周波数逡倍回路の設計	東京大学生産技術研究所	神田 浩一, 桜井 貴康	75
16ビットCPUの試作	広島工業大学工学部	大村 道郎, 田村 哲也, 田中 武	76

平成12年度 第1回オンセミコンダクタチップ試作 (MOT001)

題 名	大 学 名	研 究 者	掲載頁
スイッチドキャパシタ容量型センサ・インターフェース	静岡大学電子工学研究所	小川 覚美, 渡辺 健蔵	77
スイッチドキャパシタ容量型センサ・インターフェース	静岡大学電子工学研究所	小川 覚美, 渡辺 健蔵	77
CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	77
低入力インピーダンスAB級CMOSカレント・コンペア	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	78
4ビットマイクロプロセッサとニューロンMOS回路	静岡理工科大学電子工学科 静岡理工科大学大学院材料科学専攻 静岡理工科大学材料科学専攻電子工学科	増田 智美, 笹ヶ瀬 喬也, 田中 順一, 山田 浩之 落合 忠博 波多野 裕	78
2000年度学部学生のフルカスタム設計演習	金沢大学工学部	小谷 明也, 福島 早奈恵, 横山 貴巨, 伊藤 康朗, 中村 毎良, 深山 正幸, 北川 章夫	78
相変化型不揮発性メモリ(CR時定数読み出し回路)	金沢大学工学部	福島 早奈恵	79
LSIテスト/EBブローパ実用チップ	金沢大学工学部情報システム工学科	北川 章夫 数馬 晋吾, 渡辺 晃	79
電力線データ通信用受信回路のIC設計	福岡大学工学部	木村 圭, 末次 正	79
スイッチトキャパシタ変成器を用いたDC-DCコンバータの設計	福岡大学大学院工学研究科	松尾 嘉洋, 末次 正	80
スイッチトキャパシタ変成器を用いたDC-DCコンバータの設計	福岡大学大学院工学研究科 福岡大学工学部	沖 和史, 松尾 嘉洋 末次 正	80
低雑音演算増幅器の試作(2)	東京工業大学大学院理工学研究科	和田 和千, 高木 茂孝, 藤井 信生	80
バックゲートバイアス技術を用いた低歪みOTA	東京工業大学大学院理工学研究科	和田 和千, 高木 茂孝, 藤井 信生	81
網膜機能に学んだ動き検出チップの試作	豊橋技術科学大学工学部	山田 仁, 米津 宏雄	81
局所適応機能を有する二次元エッジ検出網膜チップ	豊橋技術科学大学工学部	山田 仁, 米津 宏雄	81
生体の初期視覚機構に学んだ接近検知センサの設計	豊橋技術科学大学工学部	西尾 公裕, 米津 宏雄	82
方向選択性動き検出神経細胞モデルのアナログ集積回路化	豊橋技術科学大学工学部	大谷 真弘, 米津 宏雄	82
低消費電力OTA回路を用いた完全差動4次チェビシェフ・ローパス・フィルタ	山形大学工学部	須藤 敏志, 水沼 充, 高橋 一清	82
MOSアナログ集積回路および電流モード多値論理回路	宮崎大学工学部	串間 宗夫, 永里 政嗣, 田中 寿, 朱 大松, 淡野 公一, 石塚 興彦	83
ニューロンMOSFETを用いた多値論理回路の試作	宮崎大学工学部	堤 貴彦, 真方 弘志, 三宅 由紀, 淡野 公一, 石塚 興彦	83
多値ディジットORNSを用いた4x4ビット乗算器チップの試作	宮崎大学工学部	古庄 雅幸, 稲葉 基, 近藤 絢哉, 佐竹 恵理子, 淡野 公一, 石塚 興彦	83
A/D変換基本回路TEG	上智大学理工学部	増田 貴志, 三澤 奈穂子, 和保 孝夫	84
電流モードCMOS演算回路およびオペアンプTEG	上智大学理工学部	角田 正人, 織田 淳, 和保 孝夫	84
評価回路Inverter Chainの設計	富山県立大学大学院工学研究科	野田 宗邦, 松田 敏弘, 大曾根 隆志	84
高精度CMOS定電圧回路	富山県立大学工学部	山本 真也, 松田 敏弘, 大曾根 隆志	85
VDECのCAD導入を目的としたタイマー回路(2)	富山県立大学工学部	山本 真也, 松田 敏弘, 大曾根 隆志	85
ハードウェアバーストニューロンモデルの試作	日本大学理工学部電子工学科	柏木 直人, 佐伯 勝敏, 関根 好文	85

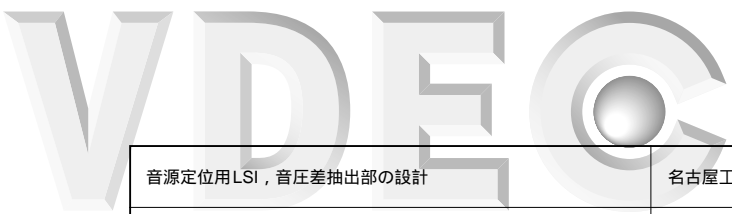
八木型ハードウェアニューロンモデルとシナプスモデルの試作	日本大学理工学部電子工学科	鳥田 季代子, 袁 立晨, 佐伯 勝敏, 関根 好文	86
EM評価用チップの試作	武蔵工業大学工学部	木下 雅彦, 柳沢 宏美, 秋谷 昌宏	86
Switched-Opampの設計	東京理科大学理工学部	三ツ屋 明香, 兵庫 明, 関根 慶太郎	86
電流モードフィルタの試作	東京理科大学理工学部	丸山 佑樹, 高重 英明, 兵庫 明, 関根 慶太郎	87
カウンタ及び直列加算器	玉川大学工学部 玉川大学学術研究所	佐野 有介, 大石 健太 中村 真次	87
シンプルCPU	玉川大学工学部 玉川大学学術研究所	堀 浩一郎, 今井 嘉朋 中村 真次	87
FG-MOSFETを用いたアナログ機能回路の作製	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏, 浦元 大志 中根 秀夫, 二宮 竜也, 平山 陽一郎	88
Josephson/CMOSハイブリッドシステム用低温動作CMOSチップの設計	横浜国立大学工学部電子情報工学科	阿部 高志, 本告 圭, 吉川 信行	88
三相時間相関光位置検出素子	東京大学大学院工学系研究科 東京大学工学部	来海 暁, 安藤 繁 五嶋 健治	88
離散時間型電流モードアナログCMOSカオス回路	熊本大学工学部 熊本電波工業高等専門学校	羽野 光隆, 濱里 主巳, 常田 明夫, 井上 高宏 江口 啓	89
ニューロンMOSFETを用いた4進SD数全加算器のフローティングゲート部分の共有化	関西大学工学部	今西 茂, 浅香 篤, 村中 徳明, 徳丸 正孝	89
電源電圧3Vで動作可能なSiカオス集積回路	熊本電波工業高等専門学校情報工学科	江口 啓	89
新型CMOSシナプス回路	電気通信大学電気通信学部電子工学科	範 (Pham) 公可 (Cong-Kha)	90
MOSFETにおけるフローティングゲートの影響評価	京都大学エネルギー科学研究科	山口 直人, 関本 大郷, 野澤 博	90
MOS構成に適したアナログ形PLLの試作	秋田大学工学資源学部	川元 雅紀, 伊藤 文人, 井上 浩	90
動的雑音特性研究用ニューラルネットワーク・チップ	東京大学新領域 / 先端研	廣瀬 明, 本多 正明, 中沢 一彦, 長嶋 知行	91
三相時間相関イメージセンサ	東京大学大学院工学系研究科	来海 暁, 安藤 繁	91
三相時間相関イメージセンサ (キャパシタ変更版)	東京大学大学院工学系研究科	来海 暁, 安藤 繁	91
動的再構成型桁直列演算によるDCT回路	埼玉大学工学部	伊藤 和人	92

平成11年度 第2回日立北海セミコンダクタチップ試作 (HHS992)

題 名	大 学 名	研 究 者	掲載頁
中断法動きベクトル検出の渦巻き探索を実現するレジスタレイとD-FF TEG	中央大学理工学部情報工学科	松本 純一, 宮崎 雄一郎, 榎本 忠儀	93
SRAMおよびMOS容量測定TEGの試作	中央大学理工学部情報工学科	榎園 康憲, 鹿野 裕明, 榎本 忠儀	93
大面積LSIにおける高速同期クロック回路評価チップ	東京電機大学理工学研究科	竹内 崇, 星野 洋	93
動画像符号化用ME回路TEGと64bit浮動小数点除算回路用S生成回路・乗算回路	中央大学理工学部情報工学科	小田部 晃, 堀口 智哉, 榎本 忠儀	94
バックゲートバイアス制御CMOSリングオシレータとそれを用いたPLL	中央大学理工学部情報工学科	早船 明, 榎本 忠儀	94
ウェーブパイプライン化ALU	札幌学院大学社会情報学部 弘前大学理工学部 東北大学大学院情報科学研究科	佐藤 友暁 深瀬 政秋 江川 隆輔, 中村 雄男	94
多入力EXORゲートの評価用TEG	広島市立大学情報科学部	越智 裕之	95
量子コンピュータ ハードウェアエミュレータ専用エンジン	東京大学工学系研究科 東京大学新領域創成科学研究科	大内 真一 藤島 実, 鳳 紘一郎	95
IP公開を目的とした乗算器チップの試作設計	九州大学工学部	田上 暢顕, 室山 真徳, 兵頭 章彦, 安浦 寛人	95
入力信号パターンを考慮した低電力乗算器の試作	九州大学大学院システム情報科学府情報工学専攻 東京大学大規模集積システム設計教育センター	室山 真徳, 兵頭 章彦, 安浦 寛人 石原 亨	96
低消費電力加算器における加算回路方式比較用回路	東京大学生産技術研究所	平林 雅之, 桜井 貴康	96
32bitRISCマイクロプロセッサの設計	東京工業大学大学院理工学研究科	大戸 友博, 石島 誠一郎, 内海 哲章, 畔上 謙吾, 高橋 篤司	96

平成12年度 第1回日立北海セミコンダクタチップ試作 (HHS001)

題 名	大 学 名	研 究 者	掲載頁
有機LEDディスプレイドライバIC	九州大学大学院システム情報科学研究科	服部 励治	97
光インターフェースLSIのI-V変換回路の設計	金沢大学工学部	深山 正幸, 藤田 隼人, 中村 公亮	97
光インターフェースLSIのI-V変換回路の設計	金沢大学工学部	深山 正幸, 藤田 隼人, 中村 公亮	97
光源探索ロボット用DCモータコントローラ	東京大学大学院工学系研究科	保東 孝宏, 安田 隆, 下山 勲	98
RCヘリコプタの高さ制御用回路	東京大学大学院工学系研究科	中井 亮仁, 安田 隆, 下山 勲	98
音源定位用LSI, 信号変換部の設計	名古屋工業大学工学部	中島 裕明, 岸野 裕介, 高木 晋吾, 内田 秀雄, 市村 正也, 荒井 英輔	98



音源定位用LSI, 音圧差抽出部の設計	名古屋工業大学工学部	岸野 裕介, 中島 裕明, 高木 晋吾, 内田 秀雄, 市村 正也, 荒井 英輔	99
音源定位用LSI, 時間差抽出部の設計	名古屋工業大学工学部	高木 晋吾, 岸野 裕介, 中島 裕明, 内田 秀雄, 市村 正也, 荒井 英輔	99
EBテストによるセル特性測定用TEGその1	京都大学大学院情報学研究所	李 翔, 小林 和淑, 小野寺 秀俊	99
EBテストによるセル特性測定用TEGその2	京都大学大学院情報学研究所	李 翔, 小林 和淑, 小野寺 秀俊	100
低電圧OTAとCFの設計	東京理科大学理工学部	鈴木 誠人, 高重 英明, 兵庫 明, 関根 慶太郎	100
バックゲートバイアス制御CMOSリングオシレータとそれを用いたPLL回路	中央大学理工学部情報工学科	原田 知親, 榎本 忠儀	100
階層構造型マルチポートメモリ (全体)	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	岸 浩二 Mattausch Hans Jurgen	101
階層構造型マルチポートメモリ (メモリブロック)	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	岸 浩二 Mattausch Hans Jurgen	101
階層構造型マルチポートメモリのための衝突処理回路	広島大学ナノデバイス・システム研究センター	大森 伸彦	101

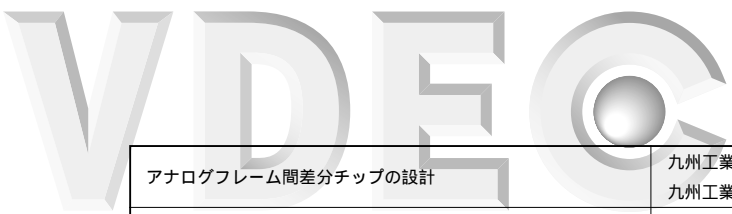
平成11年度 第3回ローム0.6μmチップ試作 (ROHM993)

題 名	大 学 名	研 究 者	掲載頁
共鳴トンネル素子のエミュレーションとカオス生成回路	名古屋大学工学研究科 名古屋大学工学部	上村 朋典, 水谷 孝 前澤 宏一	102
CMOSイメージセンサ用受光回路TEG	東京大学工学系研究科 東京大学VDEC	根塚 智裕, 池田 誠 浅田 邦博	102
ラッチ型センスアンプを用いた高速 PLA	東京大学工学系研究科	山岡 寛明, 池田 誠, 浅田 邦博	102
故障の検出および回復が可能な高信頼FPGAの試作	東北大学大学院情報科学研究科 仙台電波工業高等専門学校	青木 孝文, 樋口 龍雄 鹿股 昭雄	103
8×8ビット乗算器と非対称誤りDフリップフロップの設計	仙台電波高専情報通信工学科 仙台電波高専情報工学科	中林 撰, 本郷 裕行 鹿股 昭雄, 池田 茂	103
1KbitDRAMの試作	東京工業大学フロンティア創造共同研究センター 東京工業大学大学院総合理工学研究科	山本 修一郎, 石原 宏 中野 雅史, 栗原 淳司, 前島 英雄	103
素子特性測定用TEGの試作	東京工業大学大学院理工学研究科	和田 和千, 高木 茂孝, 藤井 信生	104
小型ロボットのためのSMAアクチュエータ駆動制御回路の試作	東京大学大学院工学系研究科	長澤 純人, 下山 勲	104
複眼薄型撮像システムにむけたCMOSイメージセンサのTEG試作	大阪大学大学院工学研究科	北野 洋司, 谷田 純	104
ゼロ交差検出回路の設計	九州工業大学情報工学部 九州工業大学大学院生命体工学研究科	下ノ村 和弘 八木 哲也	105
係数と次数が再構成可能なFIRフィルタ専用FPGA	東北大学大学院情報科学研究科	青木 孝則, 青木 孝文, 樋口 龍雄	105
リコンフィギュラブルロジックを用いた暗号方式のVLSI化設計	大阪大学大学院工学研究科 京都大学大学院情報学研究所	密山 幸男, Zaldy Andales, 三木 裕介, 古家 眞, 白川 功 尾上 孝雄	105
PAP法に基づく画像ベクトル化回路	東京大学 工学部	足立 真賢, 柴田 直	106
CMOS共鳴エージェンツ連想回路	東京大学 工学部	山崎 俊彦, 柴田 直	106
アナログ連想回路	東京大学 新領域創成科学研究科	小川 誠, 柴田 直	106
Associate Processor	東京大学 工学部	徐 懷宇, 柴田 直	107
Saliency Catcher 回路	東京大学 工学部	木村 弘枝, 柴田 直	107
キャパシタカップリングによる拡散符号通信インターフェース	大阪大学工学研究科	TAN BOON KEAT, 谷口 研二	107
DS-CDMA有線バスの設計 (1)	大阪大学工学研究科	吉村 隆治, TAN BOON KEAT, 松岡 俊匡, 谷口 研二	108
Dynamically Programmable Parallel Processor	大阪大学工学研究科	TAN BOON KEAT, 吉村 隆治, 松岡 俊匡, 谷口 研二	108
高周波LC発振回路の設計	大阪大学大学院工学研究科	Yew Lim Guan, 桜 俊幸, 松岡 俊匡, 谷口 研二	108
型ADコンバータの設計に関する研究	大阪大学大学院工学研究科電子情報エネルギー工学専攻	岩村 宏, 畠中 信伍, 小川 徹, 谷口 研二	109
チャージポンプ回路の試作	大阪大学工学部 大阪大学大学院工学研究科	清水 由幸 吉村 隆治, 谷口 研二	109
神経回路用アナログ長期記憶回路の試作	東北大学電気通信研究所	金城 光永, 佐藤 茂雄, 中島 康治	109
低温動作マイクロプロセッサ要素回路の試作	横浜国立大学工学部電子情報工学科	本告 圭, 宮川 英明, 吉川 信行	110
フォトダイオードチップ1	オーミック株式会社 奈良先端科学技術大学院大学情報科学研究科	山本 猛, 渡辺 國寛 堀山 貴史, 木村 晋二, 渡邊 勝正	110
過渡電源電流試験法検証用テスト回路の試作	東北大学大学院工学研究科	石田 雅裕, 小谷 光司, 大見 忠弘	110
フレキシブルプロセッサ / 演算増幅器 相乗りチップ	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	堺谷 智, 高橋 和史, 小谷 光司 大見 忠弘	111
ATLAS実験用 タイミング調整ICのアナログ部テスト用ASIC	東京大学理学系研究科 高エネルギー加速器研究機構	仁木 太一 佐々木 修	111

ATLAS実験用ICの放射線耐性試験用ASIC	東京大学理学系研究科 高エネルギー加速器研究機構	香取 勇一 佐々木 修	111
立方根計算回路	名古屋大学大学院工学研究科	南 利明, 高木 一義, 高木 直史	112
ユークリッドノルム計算回路及び有限体GF(2 ¹⁶)上の除算回路	名古屋大学大学院工学研究科	武内 大輔, 渡辺 恭章, 高木 一義, 高木 直史	112
3次元計測向けスマートポジションセンサ	東京大学工学系研究科 東京大学VDEC	星野 将史, 根塚 智裕, 池田 誠 浅田 邦博	112
高周波電圧制御移相共振回路の設計	大阪大学大学院工学研究科	松岡 俊匡, 中村 光男, 谷口 研二	113
平滑化機能を持った人工網膜チップの設計	九州工業大学大学院情報工学研究科 九州工業大学大学院生命体工学研究科	亀田 成司 八木 哲也	113
画像転写型人工網膜チップの設計	九州工業大学大学院情報工学研究科 九州工業大学大学院生命体工学研究科	亀田 成司 八木 哲也	113
ATLAS実験用 タイミング調整IC ver(-1)	東京大学理学系研究科 高エネルギー加速器研究機構	仁木 太一 佐々木 修	114
ATLAS測定器用トリガーステム回路の設計	東京都立大学理学研究科 高エネルギー加速器研究機構(KEK)	狩野 博之, 福永 力 佐々木 修, 池野 正弘	114
中心窩構造を有するneuromorphic vision chip	東北大学大学院工学研究科	中川 源洋	114
32bitRISCマイクロプロセッサ	東京大学国際・産学共同研究センター	川口 博, 桜井 貴康	115

平成12年度 第1回ローム0.6μmチップ試作(ROHM001)

題 名	大 学 名	研 究 者	掲載頁
高エネルギー物理実験用フロントエンドエレクトロニクス	東京農工大学工学研究科	南雲 崇	116
パイプライン型A/D変換器を拡張したカオス発生回路	東京大学大学院工学系研究科 東京大学工学部 東京大学大学院新領域創成科学研究科	今村 晃 ダナルドノドゥイアントノ 藤田 隆史, 藤島 実, 鳳 紘一郎	116
ラッチ型センスアンブ及び自己プリチャージ機構を用いた高速PLA	東京大学工学系研究科	山岡 寛明, 池田 誠, 浅田 邦博	116
4進木スキャン機能を有するスマートポジションセンサ	東京大学工学系研究科 東京大学VDEC	根塚 智裕, 池田 誠 浅田 邦博	117
ニューロンMOSFETを用いた多値論理回路の試作	宮崎大学工学部	稲葉 基, 串間 宗夫, 堤貴彦, 永里 正嗣, 淡野 公一, 石塚 興彦	117
各種フォトディテクタの特性評価用CMOSイメージセンサ	広島大学工学部	今村 俊文, 永田 真, 森江 隆, 岩田 穆	117
電荷逐次型積分回路	東京大学宇宙線研究所 高エネルギー加速器研究機構素粒子原子核研究所	増田 正孝, 青木 利文, 佐々木 真人 新井 康夫	118
6脚ロボット用歩容生成チップ	東京大学大学院工学系研究科	岩瀬 英治, 安田 隆, 下山 勲	118
昆虫の嗅覚情報処理系を模倣したリカレント・ニューラルネットワーク回路の試作	東京大学大学院工学系研究科	長澤 純人, 下山 勲	118
マルチチップ型薄型撮像システム用CMOSイメージセンサ	大阪大学大学院工学研究科	北野 洋司, 仁田 功一, 谷田 純	119
シリコン網膜チップ要素回路TEGの設計	九州工業大学情報工学部 九州工業大学大学院生命体工学研究科	下ノ村 和弘, 亀田 成司 八木 哲也	119
電気泳動マイクロディスプレイ用IC	九州大学大学院システム情報科学研究科	服部 励治	119
光インターフェースLSIのためのTEG	金沢大学工学部	北川 章夫, 藤田 隼人, 中村 光亮	120
光インターフェースLSIのためのTEG	金沢大学工学部	北川 章夫, 藤田 隼人, 中村 光亮	120
DRAM混載マルチコンテキストFPGAの設計と試作	慶應義塾大学理工学部 慶應義塾大学理工学部	川上 大輔 柴田 裕一郎, 天野 英晴	120
ATLAS実験用 タイミング調整IC ver0	東京大学理学系研究科 高エネルギー加速器研究機構	香取 勇一 佐々木 修	121
ISFET特性評価TEG	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦, 堀池 靖浩 柴田 直	121
ラッチ型コンパレータを用いたWinner-Take-All回路, およびバイナリサーチ方式によるWinner-Take-All回路の開発	東京大学 新領域創成科学研究科	斉藤 康祐, 田口 晶康	121
32ビットマイクロプロセッサの試作	金沢工業大学電気系	吉村 豊, 福田 一郎	122
型ADコンバータの試作(1)	大阪大学大学院工学研究科電子情報エネルギー工学専攻	岩村 宏, 北谷 卓哉, 畠中 信伍, 小川 徹, 谷口 研二	122
高周波低雑音増幅回路の設計	大阪大学大学院工学研究科	Yew Lim Guan, 松岡 俊匡, 谷口 研二	122
LSI間DS-CDMA有線バスの設計	大阪大学工学研究科	吉村 隆治, TAN BOON KEAT, 松岡 俊匡, 谷口 研二	123
多ビット対応DS-CDMA有線バスの設計	大阪大学工学研究科	TAN BOON KEAT, 吉村 隆治, 松岡 俊匡, 谷口 研二	123
高機能化大規模アナログ神経回路の設計	東北大学電気通信研究所	金城 光永, 佐藤 茂雄, 中島 康治	123
大規模アナログ神経回路用メモリアレイ	東北大学電気通信研究所	金城 光永, 佐藤 茂雄, 中島 康治	124
多数決を用いたメディアフィルタ回路の試作	東北大学電気通信研究所	鈴木 康介, 佐藤 茂雄, 中島 康治	124
低温動作マイクロプロセッサの試作	横浜国立大学工学部電子情報工学科	本告 圭, 宮川 英明, 吉川 信行	124



アナログフレーム間差分チップの設計	九州工業大学情報工学部 九州工業大学大学院生命体工学研究科	下ノ村 和弘 八木 哲也	125
再構成可能部を持つJavaプロセッサ	名古屋大学大学院工学研究科 奈良先端科学技術大学院大学情報科学研究科	鬼頭 秀明, 高木 一義, 高木 直史 木村 晋二	125
基数4のユークリッドノルム計算回路	名古屋大学大学院工学研究科	武内 大輔, 高木 一義, 高木 直史	125
電流制御発振器を用いた AD変換器の設計	広島大学工学部	吉川 泰正, 永田 真, 森江 隆, 岩田 穆	126
高速CMOSイメージセンサ	広島大学工学部	今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆	126
最小ハミング距離検索機能を有する小面積・高速連想メモリの設計(1)	広島大学ナノデバイス・システム研究センター 東京大学大規模集積システム設計教育研究センター	行天 隆幸, 早田 嘉浩, Mattausch Hans Jurgen 小出 哲士	126
機能可変1次元セルラーニューラルネットワーク回路・任意カオス生成回路	広島大学工学部	三宅 誠, 西島 誠一, 村越 健一, 森江 隆, 永田 真, 岩田 穆	127
基板バイアス制御を可能にする自動設計手法を用いたプロセッサ firing delay buffer 回路TEG群	東京大学生産技術研究所	平林 雅之, 桜井 貴康	127
異常リーク電流抑制方式を実装したSRAMの設計	東京大学生産技術研究所	野瀬 浩一, 桜井 貴康	127
異相リーク電流抑制方式を実装したSRAMの設計	東京大学生産技術研究所	神田 浩一, 桜井 貴康	128
配線インダクタンス測定回路, 高効率DC-DCコンバータ, Adiabaticクロックドライバの試作	東京大学生産技術研究所	稲垣 賢一, 浅野 雄太郎, 張 綱, 桜井 貴康	128
フレキシブルプロセッサ(24×20モジュール搭載版)	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	堺谷 智, 小谷 光司, 須川 成利 大見 忠弘	128
フレキシブルモジュール測定用チップ	東北大学工学部	宮本 直人	129
配線間クロストーク測定用テスト回路の試作	東北大学大学院工学研究科	石田 雅裕, 小谷 光司, 大見 忠弘	129
高速ロック可能PLL回路の設計	大阪大学大学院工学研究科	佐野 智弘, 松岡 俊匡, 谷口 研二	129
DS-CDMA有線バスの設計(2)	大阪大学工学研究科	吉村 隆治, TAN BOON KEAT, 松岡 俊匡, 谷口 研二	130
疑似2次元型アナログ人工網膜チップの設計	九州工業大学大学院情報工学研究科 九州工業大学大学院生命体工学研究科	亀田 成司 八木 哲也	130
2次元アナログ人工網膜チップの設計	九州工業大学大学院情報工学研究科 九州工業大学大学院生命体工学研究科	亀田 成司 八木 哲也	130
双方向電流モード多値FPDFの設計	東北大学大学院情報科学研究科	斎藤 雄哉, 青木 孝文, 樋口 龍雄	131

平成12年度 第2回ローム0.6μmチップ試作(ROHM002)

題 名	大 学 名	研 究 者	掲載頁
CMOS無線通信要素回路及び高速OTAの設計	東京大学大学院新領域創成科学研究科基盤情報学専攻 東京大学大学院工学系研究科電子工学専攻	藤田 隆史, 近藤 裕也, 藤島 実, 鳳 紘一郎 石田 光一	132
非単調ニューロンを用いたストカスティックニューロシステム	東北大学電気通信研究所	根本 憲, 金城 光永, 佐藤 茂雄, 中島 康治	132
LSI設計実習における16ビットパイラインプロセッサの設計(1)	奈良先端科学技術大学院大学情報科学研究科	中西 正樹, 石井 淳, 鈴木 真人, 中本 義人, 堀山 貴史, 木村 晋二	132
LSI設計実習における16ビットパイラインプロセッサの設計(2)	奈良先端科学技術大学院大学情報科学研究科	中西 正樹, 堀山 貴史, 木村 晋二	133
高速CMOS受光素子TEG	奈良先端科学技術大学院大学物質創成科学研究科	平井 隆夫, 太田 淳	133
12ビットCMOSパイラインADコンバータ	大阪大学大学院工学研究科	畠中 信伍, 谷口 研二	133
型ADコンバータの設計(2)	大阪大学大学院工学研究科電子情報エネルギー工学専攻	岩村 宏, 畠中 信伍, 小川 徹, 谷口 研二	134
MOS Current Mode Logicを用いた拡散符号生成器	大阪大学工学部	清水 新策, Tan Boon Keat, 谷口 研二	134
最小ハミング距離検索機能を有する小面積・高速連想メモリの設計(2)	広島大学ナノデバイス・システム研究センター 東京大学大規模集積システム設計教育研究センター	行天 隆幸, 早田 嘉浩, Mattausch Hans Jurgen 小出 哲士	134
ゼロ交差検出回路の設計	九州工業大学情報工学部 九州工業大学大学院生命体工学研究科	下ノ村 和弘 八木 哲也	135
ステレオ奥行き抽出回路 & 電流モード距離演算回路TEG	東京大学工学部 東京大学新領域創成科学研究科	野村 周央 小川 誠, 柴田 直	135
パイラインADC	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	高橋 和史, 小谷 光司 大見 忠弘	135
フレキシブルプロセッサ(24×20モジュール搭載版)	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	堺谷 智, 小谷 光司, 須川 成利 大見 忠弘	136
カップリングノイズ測定用テスト回路の試作	東北大学大学院工学研究科	石田 雅裕, 小谷 光司, 大見 忠弘	136
CMOS共鳴エージェン트連想回路(改良版)	東京大学工学部	山崎 俊彦, 山本 憲, 柴田 直	136

CMOS共鳴エージェント連想回路(改良版)	東京大学工学部	山崎 俊彦, 山本 憲, 柴田 直	137
デジタル連想回路	東京大学新領域創成科学研究科	小川 誠, 伊藤 潔, 柴田 直	137
複眼薄型撮像システム用CMOSイメージセンサ	大阪大学大学院工学研究科	北野 洋司, 谷田 純	137
ATLAS実験用 タイミング調整IC ver1	東京大学理学系研究科 高エネルギー加速器研究機構	香取 勇一 佐々木 修	138
光インターフェースLSIのためのプリアンプの試作	金沢大学工学部	深山 正幸, 藤田 隼人, 中村 公亮	138
機能メモリ構造を用いた並列平均値処理回路の設計	京都大学エネルギー科学研究科	常村 修, 関本 大郷, 山口 直人, 野澤 博	138
PLLクロック・ジェネレータ回路	大阪大学工学部	伴 彰浩, 谷口 研二	139
アナログ要素回路TEG	大阪大学工学研究科	吉村 隆治, 小川 徹, 谷口 研二	139
相関検波を用いた輝点検出センサの試作	東京大学 大学院工学系研究科 東京大学工学部 東京大学大規模集積システム設計教育センター	大池 祐輔 池田 誠 浅田 邦博	139
テスト回路群と2ビットマイクロプロセッサ	静岡理科大学電子工学科 静岡理科大学大学院材料科学専攻 静岡理科大学材料科学専攻, 電子工学科	山田 浩之, 増田 智美, 丹治 影齊, 山下 真彦 落合 忠博 波多野 裕	140
BSチューナーの実現を目指した基本回路の試作	東京工業大学大学院理工学研究科	和田 和千, 高木 茂孝, 藤井 信生	140
ソース電位で制御するCMOSリングオシレータとそれを用いたPLL回路, およびCMOSイメージセンサの試作	中央大学理工学部情報工学科	松本 純一, 鹿野 裕明, 原田 知親, 榎本 忠儀	140
各種演算回路および低電力メモリの試作	中央大学理工学部情報工学科	小田部 晃, 江井 友美, 鹿野 裕明, 岡 住憲, 原田 知親, 榎本 忠儀	141
アナログ時系列情報連想相関システム	東北大学電気通信研究所 東北大学 電気通信研究所	鈴木 暁人 金城 光永, 佐藤 茂雄, 中島 康治	141
単体MOSFETとCDTOS回路のTEG	広島市立大学情報科学部	寺田 和夫, 永光 正知	141
Simple TMC LSI	東京農工大工学部 高エネルギー加速器研究機構素粒子原子核 研究所	宿口 泰弘, El-Farabi Razali 新井 康夫	142
12ビット逐次比較形AD変換器, DA変換器	仙台電波工業高等専門学校専攻科電子シス テム専攻 仙台電波工業高等専門学校電子工学科	佐藤 泰一 松浦 洋, 新穂 哲郎, 浅見 誠治	142
複眼光学系を利用した薄型撮像システムのためのイメージセンサ	大阪市立大学工学部	岸 隆史, 宮崎 大介, 松下 賢二	142
光インターフェースLSIのためのプリアンプの試作	金沢大学工学部	深山 正幸, 藤田 隼人, 中村 公亮	143
光インターフェースLSIのためのプリアンプの試作	金沢大学工学部	深山 正幸, 藤田 隼人, 中村 公亮	143
2次元アナログ人工網膜チップの設計	九州工業大学大学院情報工学研究科 九州工業大学大学院生命体工学研究科	亀田 成司 八木 哲也	143
2次元アナログ人工網膜チップの設計	九州工業大学大学院情報工学研究科 九州工業大学大学院生命体工学研究科	亀田 成司 八木 哲也	144
2次元アナログシリコン網膜チップの設計	九州工業大学情報工学科 九州工業大学大学院生命体工学研究科	下ノ村 和弘, 亀田 成司 八木 哲也	144
4進木スキャン機能を有するスマートポジションセンサ	東京大学工学系研究科 東京大学VDEC	根塚 智裕, 池田 誠 浅田 邦博	144
遺伝的アルゴリズム専用ハードウェアのVLSI	名古屋大学大学院工学研究科	早川 貴仁, 松崎 元昭, 小林 良太郎, 安藤 秀樹, 島田 俊夫	145
フレキシブルモジュール評価用チップ	東北大学工学部	宮本 直人	145

平成12年度 第1回ローム0.35 μ mチップ試作(RO35001)

題 名	大 学 名	研 究 者	掲載頁
DRAM混載マルチコンテキストFPGAの試作	慶応義塾大学理工学部	川上 大輔, 柴田 裕一郎, 天野 英晴	146
16bitマイクロプロセッサの試作	武蔵工業大学工学部	大内 康行, 沼端 健悟, 秋谷 昌宏	146
IFシステムLSI及びADCモジュレータの設計	広島大学工学部	吉田 和史, 小川 卓臣, 岩田 穆	146
IF用Gm-Cフィルタの設計	広島大学工学部	花嶋 直之, 岩田 穆	147
クロックドライバ内蔵6ビットフォールディング型AD変換器の設計	広島大学工学部	野曾 幹雄, 吉川 泰正, 永田 真, 森江 隆, 岩田 穆	147
各種フォトディテクタの特性評価用CMOSイメージセンサ	広島大学工学部	今村 俊文, 永田 真, 森江 隆, 岩田 穆	147
アダマール変換機能を有するイメージセンサ回路の設計	広島大学工学部	片山 光亮, 永田 真, 森江 隆, 岩田 穆	148
PWM方式画素並列2次元ガボール型フィルタ回路・任意カオス生成回路	広島大学工学部	西島 誠一, 村越 健一, 森江 隆, 永田 真, 岩田 穆	148
PWM方式2次元抵抗ヒューズネットワーク回路	広島大学工学部	三宅 誠, 森江 隆, 永田 真, 岩田 穆	148
高周波PLL周波数シンセサイザを公正する素子回路の設計	大阪大学大学院工学研究科	佐野 智弘, Yew Lim Guan, 清水 由幸, 松岡 俊匡, 谷口 研二	149
高性能2線式多値電流モード回路の試作	東北大学大学院情報科学研究科	池 司, 羽生 貴弘, 龜山 充隆	149

実時間視線推定 LSI	奈良先端科学技術大学院大学情報科学研究科	中村 一博, 中西 正樹, 堀山 貴史, 鈴木 真人, 木村 晋二, 渡邊 勝正	149
ユークリッドノルム計算回路及び立方根計算回路	名古屋大学大学院工学研究科	武内 大輔, 南 利明, 高木 一義, 高木 直史	150
MIPS互換準同期式プロセッサの設計	東京工業大学大学院理工学研究科	大戸 友博, 石島 誠一郎, 内海 哲章, 畔上 謙吾, 高橋 篤司	150
マルチスレッドパイプラインプロセッサの設計	金沢大学工学部	高松 直樹, 高松 直樹, 遠山 治, 深山 正幸	150
無線通信要素回路及びCMOS高周波回路用TEGの設計	東京大学大学院新領域創成科学研究科基盤情報学専攻 東京大学大学院工学系研究科電子情報工学専攻	藤田 隆史, 近藤 裕也, 藤島 実, 鳳 紘一郎 今村 晃	151
テスト容易化設計練習用チップ	大阪大学大学院工学研究科	三浦 克介, 中前 幸治, 藤岡 弘	151
低消費電力用バストランジスタ型ラッチ・フリップフロップTEG回路	東北大学大学院工学研究科	朴 起台, 水草 智勝, 栗野 浩之, 小柳 光正	151
非同期式プロセッサの設計とカスタムLSIへの実装及び評価	電気通信大学情報工学科	天笠 裕也, 阿部 公輝	152
スーパースカラ・プロセッサの設計とカスタムLSIへの実装及び評価	電気通信大学情報工学科	川口 英一郎, 阿部 公輝	152
異常リーク電流抑制方式を実装したSRAMの設計(2)	東京大学生産技術研究所	神田 浩一, 川口 博, 桜井 貴康	152
高効率容量型DC-DCコンバータ	東京大学生産技術研究所	張 綱, 桜井 貴康	153
Simple TMC LSI	東京農工大工学部 高エネルギー加速器研究機構素粒子原子核研究所	宿口 泰弘, El-Farabi Razali 新井 康夫	153
128 × 128画素時間相関イメージセンサ	東京大学大学院工学系研究科	来海 暁, 安藤 繁	153
全デジタル32 × 32画素時間相関イメージセンサ	東京大学大学院工学系研究科	来海 暁, 土屋 恵太, 安藤 繁	154
シリコン網膜チップ要素回路TEGの設計	九州工業大学情報工学部 九州工業大学大学院生命体工学研究科	下ノ村 和弘 八木 哲也	154
シリコン網膜の試験回路の製作	九州工業大学大学院情報工学研究科 九州工業大学大学院生命体工学研究科	亀田 成司 八木 哲也	154
BISC型プロセッサBISC-2	東京工業大学大学院理工学研究科	水谷 竜也, 山下 幸彦	155

平成12年度 日立製作所0.35 μ mゲートアレイチップ試作(HITGA00)

題 名	大 学 名	研 究 者	掲載頁
測定, 検証を目的とした乗算器チップの試作設計	九州大学工学部	田上 暢顕, 室山 真徳, 兵頭 章彦, 安浦 寛人	156
Data Transfer Controllerの試作	慶應義塾大学理工学部	阿部 剛	156
マルチプロセッサ用多段結合網の要素スイッチ	慶應義塾大学理工学部	森村 知弘	156
単精度浮動小数点除算器の評価用チップ	広島市立大学情報科学部	越智 裕之, 松永 清香	157
ATLAS測定器用トリガシステム回路の設計2	東京都立大学理学研究科 KEK	狩野 博之, 福永 力 佐々木 修, 池野 正弘	157
適応的通信を行うための同期検波用周波数制御ニューラルネットワーク・チップ	東京大学新領域 / 先端研	廣瀬 明, 本多 正明, 長嶋 知行, 中沢 一彦	157

チップ種別索引

TEG (特性評価回路など)

ラン名	タイトル	研究者	掲載頁
HHS001	光インターフェースLSIのI-V変換回路の設計	深山 正幸 藤田 隼人 中村 公亮	97
HHS001	光インターフェースLSIのI-V変換回路の設計	深山 正幸 藤田 隼人 中村 公亮	97
HHS001	EBテストによるセル特性測定用 TEG その1	李 翔 小林 和淑 小野寺 秀俊	99
HHS001	EBテストによるセル特性測定用 TEG その2	李 翔 小林 和淑 小野寺 秀俊	100
HHS992	多入力EXORゲートの評価用TEG	越智 裕之	95
HHS992	低消費電力加算器における加算回路方式比較用回路	平林 雅之 桜井 貴康	96
MOT001	評価回路Inverter Chainの設計	野田 宗邦 松田 敏弘 大曾根 隆志	84
MOT001	高精度CMOS定電圧回路	山本 真也 松田 敏弘 大曾根 隆志	85
MOT001	EM評価用チップの試作	木下 雅彦 柳沢 宏美 秋谷 昌宏	86
MOT001	MOSFETにおけるフローティングゲートの影響評価	山口 直人 関本 大郷 野澤 博	90
MOT992	アナログ回路用デバイスTEG	山本 真也 松田 敏弘 大曾根 隆志	74
RO35001	低消費電力用バストランジスタ型ラッチ・フリップフロップTEG回路	朴 起台 水草 智勝 栗野 浩之 小柳 光正	151
RO35001	シリコン網膜チップ要素回路TEGの設計	下ノ村 和弘 八木 哲也	154
RO35001	シリコン網膜の試験回路の製作	亀田 成司 八木 哲也	154
ROHM001	シリコン網膜チップ要素回路TEGの設計	下ノ村 和弘 亀田 成司 八木 哲也	119
ROHM001	光インターフェースLSIのためのTEG	北川 章夫 藤田 隼人 中村 公亮	120
ROHM001	光インターフェースLSIのためのTEG	北川 章夫 藤田 隼人 中村 公亮	120
ROHM001	ISFET特性評価TEG	山崎 俊彦 堀池 靖浩 柴田 直	121
ROHM001	firing delay buffer回路TEG群	野瀬 浩一 桜井 貴康	127
ROHM001	配線インダクタンス測定回路, 高効率DC-DCコンバータ, Adiabaticクロックドライバの試作	稲垣 賢一 浅野 雄太郎 張 綱 桜井 貴康	128
ROHM001	フレキシブルモジュール測定用チップ	宮本 直人	129
ROHM001	配線間クロストーク測定用テスト回路の試作	石田 雅裕 小谷 光司 大見 忠弘	129
ROHM002	カップリングノイズ測定用テスト回路の試作	石田 雅裕 小谷 光司 大見 忠弘	136
ROHM002	光インターフェースLSIのためのプリアンプの試作	深山 正幸 藤田 隼人 中村 公亮	138
ROHM002	アナログ要素回路TEG	吉村 隆治 小川 徹 谷口 研二	139
ROHM002	テスト回路群と2ビットマイクロプロセッサ	山田 浩之 増田 智美 丹治 影齊 山下 真彦 落合 忠博 波多野 裕	140
ROHM002	単体MOSFETとCDTOS回路のTEG	寺田 和夫 永光 正知	141
ROHM002	光インターフェースLSIのためのプリアンプの試作	深山 正幸 藤田 隼人 中村 公亮	143
ROHM002	光インターフェースLSIのためのプリアンプの試作	深山 正幸 藤田 隼人 中村 公亮	143
ROHM002	フレキシブルモジュール評価用チップ	宮本 直人	145
ROHM993	素子特性測定用TEGの試作	和田 和千 高木 茂孝 藤井 信生	104
ROHM993	複眼薄型撮像システムにむけたCMOSイメージセンサのTEG試作	北野 洋司 谷田 純	104
ROHM993	神経回路用アナログ長期記憶回路の試作	金城 光永 佐藤 茂雄 中島 康治	109
ROHM993	フレキシブルプロセッサ/演算増幅器相乗リチップ	堺谷 智 高橋 和史 小谷 光司 大見 忠弘	111

アナデジ混載

ラン名	タイトル	研究者	掲載頁
HHS001	音源定位用LSI, 信号変換部の設計	中島 裕明 岸野 裕介 高木 晋吾 内田 秀雄 市村 正也 荒井 英輔	98
HHS001	音源定位用LSI, 音圧差抽出部の設計	岸野 裕介 中島 裕明 高木 晋吾 内田 秀雄 市村 正也 荒井 英輔	99
HHS001	音源定位用LSI, 時間差抽出部の設計	高木 晋吾 岸野 裕介 中島 裕明 内田 秀雄 市村 正也 荒井 英輔	99



ラン名	タイトル	研究者	掲載頁
HHS992	大面積LSIにおける高速同期クロック回路評価チップ	竹内 崇 星野 洋	93
MOT001	Josephson/CMOSハイブリッドシステム用低温動作CMOSアンプの設計	阿部 高志 本告 圭 吉川 信行	88
MOT992	デジタル雑音低減回路	和田 和千 高木 茂孝 藤井 信生	71
ROHM001	大規模アナログ神経回路用メモリアレイ	金城 光永 佐藤 茂雄 中島 康治	124
ROHM002	アナログ時系列情報連想相関システム	鈴木 暁人 金城 光永 佐藤 茂雄 中島 康治	140
ROHM993	CMOSイメージセンサ用受光回路TEG	根塚 智裕 池田 誠 浅田 邦博	102

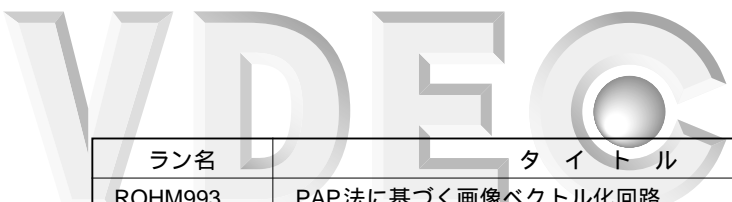
アナログ (PLL A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
HHS001	低電圧OTAとCFの設計	鈴木 誠人 高重 英明 兵庫 明 関根 慶太郎	100
HHS001	バックゲートバイアス制御CMOSリングオシレータとそれを用いたPLL回路	原田 知親 榎本 忠儀	100
HHS992	バックゲートバイアス制御CMOSリングオシレータとそれを用いたPLL	早船 明 榎本 忠儀	94
MOT001	スイッチドキャパシタ容量型センサ・インターフェース	小川 覚美 渡辺 健蔵	77
MOT001	スイッチドキャパシタ容量型センサ・インターフェース	小川 覚美 渡辺 健蔵	77
MOT001	CMOSカレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健蔵	77
MOT001	低入力インピーダンスAB級CMOSカレント・コンペア	倉科 隆 小川 覚美 渡邊 健蔵	78
MOT001	電力線データ通信用受信回路のIC設計	木村 圭 末次 正	79
MOT001	スイッチトキャパシタ変成器を用いたDC-DCコンバータの設計	松尾 嘉洋 末次 正	80
MOT001	スイッチトキャパシタ変成器を用いたDC-DCコンバータの設計	沖 和史 松尾 嘉洋 末次 正	80
MOT001	低雑音演算増幅器の試作(2)	和田 和千 高木 茂孝 藤井 信生	80
MOT001	バックゲートバイアス技術を用いた低歪みOTA	和田 和千 高木 茂孝 藤井 信生	81
MOT001	低消費電力OTA回路を用いた完全差動4次チェビシェフ・ローパス・フィルタ	須藤 敏志 水沼 充 高橋 一清	82
MOT001	MOSアナログ集積回路および電流モード多値論理回路	串間 宗夫 永里 政嗣 田中 寿 朱 大松 淡野 公一 石塚 興彦	83
MOT001	A/D変換基本回路TEG	増田 貴志 三澤 奈穂子 和保 孝夫	84
MOT001	Switched-Opampの設計	三ツ屋 明香 兵庫 明 関根 慶太郎	86
MOT001	電流モードフィルタの試作	丸山 佑樹 高重 英明 兵庫 明 関根 慶太郎	87
MOT001	MOS構成に適したアナログ形PLLの試作	川元 雅紀 伊藤 文人 井上 浩	90
MOT992	スイッチドキャパシタ容量型センサ・インターフェース	小川 覚美 渡辺 健蔵	71
MOT992	CMOSカレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健蔵	71
MOT992	低雑音演算増幅器の試作(2)	和田 和千 高木 茂孝 藤井 信生	72
MOT992	信号分割型構成回路のための制御回路	和田 和千 高木 茂孝 藤井 信生	72
MOT992	移動度の減少と基板効果の影響を受けないOTA	茨木 栄武 兵庫 明 関根 慶太郎	72
MOT992	新しいテール電流制御回路を用いた低消費電力OTA回路とADCL回路TEG	須藤 敏志 齋藤 裕寿 水沼 充 高橋 一清	73
MOT992	広い可変レンジを持つ遅延器を用いたクロック周波数逓倍回路の設計	神田 浩一 桜井 貴康	75
RO35001	クロックドライバ内蔵6ビットフォールディング型AD変換器の設計	野曾 幹雄 吉川 泰正 永田 真 森江 隆 岩田 穆	147
RO35001	高効率容量型DC-DCコンバータ	張 綱 桜井 貴康	153
RO35001	Simple TMC LSI	宿口 泰弘 El-Farabi Razali 新井 康夫	153

ラン名	タイトル	研究者	掲載頁
ROHM001	高エネルギー物理実験用フロントエンドエレクトロニクス	南雲 崇	116
ROHM001	電荷逐次型積分回路	増田 正孝 青木 利文 佐々木 真人 新井 康夫	118
ROHM001	型ADコンバータの試作(1)	岩村 宏 北谷 卓哉 畠中 信伍 小川 徹 谷口 研二	122
ROHM001	電流制御発振器を用いた AD変換器の設計	吉川 泰正 永田 真 森江 隆 岩田 穆	126
ROHM001	高速ロッキング可能なPLL回路の設計	佐野 智弘 松岡 俊匡 谷口 研二	129
ROHM002	12ビットCMOSパイプラインADコンバータ	畠中 信伍 谷口 研二	133
ROHM002	型ADコンバータの設計(2)	岩村 宏 畠中 信伍 小川 徹 谷口 研二	134
ROHM002	パイプラインADC	高橋 和史 小谷 光司 大見 忠弘	135
ROHM002	PLLクロック・ジェネレータ回路	伴 彰浩 谷口 研二	139
ROHM002	BSチューナーの実現を目指した基本回路の試作	和田 和千 高木 茂孝 藤井 信生	140
ROHM002	ソース電位で制御するCMOSリングオシレータとそれを用いたPLL回路, およびCMOSイメージセンサの試作	松本 純一 鹿野 裕明 原田 知親 榎本 忠儀	140
ROHM002	Simple TMC LSI	宿口 泰弘 El-Farabi Razali 新井 康夫	142
ROHM002	12ビット逐次比較形AD変換器 DA変換器	佐藤 泰一 松浦 洋 新穂 哲郎 浅見 誠治	142
ROHM993	型ADコンバータの設計に関する研究	岩村 宏 畠中 信伍 小川 徹 谷口 研二	109
ROHM993	チャージポンプ回路の試作	清水 由幸 吉村 隆治 谷口 研二	109

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
HHS001	有機LEDディスプレイドライバーIC	服部 励治	97
HHS001	光源探索ロボット用DCモータコントローラ	保東 孝宏 安田 隆 下山 勲	98
HHS001	RCヘリコプタの高さ制御用回路	中井 亮仁 安田 隆 下山 勲	98
HHS992	量子コンピュータ ハードウェアエミュレータ専用エンジン	大内 真一 藤島 実 鳳 紘一郎	95
MOT001	電源電圧3Vで動作可能なSIカオス集積回路	江口 啓	89
MOT001	新型CMOSシナプス回路	範 (Pham) 公 (Cong-Kha)	90
MOT992	デジタル可変容量チップ	中村 眞次 小池 卓郎	75
RO35001	実時間視線推定LSI	中村 一博 中西 正樹 堀山 貴史 鈴木 真人 木村 晋二 渡邊 勝正	148
ROHM001	6脚口ロボット用歩容生成チップ	岩瀬 英治 安田 隆 下山 勲	118
ROHM001	昆虫の嗅覚情報処理系を模擬したリカレント・ニューラルネットワーク回路の試作	長澤 純人 下山 勲	118
ROHM001	電気泳動マイクロディスプレイ用IC	服部 励治	119
ROHM001	ATLAS実験用 タイミング調整IC ver0	香取 勇一 佐々木 修	121
ROHM001	ラッチ型コンパレータを用いたWinner-Take-All回路, およびバイナリサーチ方式によるWinner-Take-All回路の開発	斉藤 康祐 田口 晶康 柴田 直	121
ROHM001	高機能化大規模アナログ神経回路の設計	金城 光永 佐藤 茂雄 中島 康治	123
ROHM001	多数決を用いたメディアンフィルタ回路の試作	鈴木 康介 佐藤 茂雄 中島 康治	124
ROHM001	係数と次数が再構成可能なFIRフィルタ専用FPGA	青木 孝則 青木 孝文 樋口 龍雄	105
ROHM002	ステレオ奥行き抽出回路 & 電流モード距離演算回路TEG	野村 周央 小川 誠 柴田 直	135
ROHM002	CMOS共鳴エージェント連想回路(改良版)	山崎 俊彦 山本 憲 柴田 直	136
ROHM002	CMOS共鳴エージェント連想回路(改良版)	山崎 俊彦 山本 憲 柴田 直	137
ROHM002	デジタル連想回路	小川 誠 伊藤 潔 柴田 直	137
ROHM002	ATLAS実験用 タイミング調整IC ver1	香取 勇一 佐々木 修	138
ROHM993	小型ロボットののためのSMAアクチュエータ駆動制御回路の試作	長澤 純人 下山 勲	104
ROHM993	リコンフィギュラブルロジックを用いた暗号方式のVLSI化設計	密山 幸男 Zaldy Andales 三木 裕介 古家 眞 白川 功 尾上 孝雄 柴田 直	105



ラン名	タイトル	研究者	掲載頁
ROHM993	PAP法に基づく画像ベクトル化回路	足立 真賢 柴田 直	106
ROHM993	CMOS共鳴エージェン特連想回路	山崎 俊彦 柴田 直	106
ROHM993	アナログ連想回路	小川 誠 柴田 直	106
ROHM993	過渡電源電流試験法検証用テスト回路の試作	石田 雅裕 小谷 光司 大見 忠弘	110
ROHM993	ATLAS実験用タイミング調整ICのアナログ部テスト用ASIC	仁木 太一 佐々木 修	111
ROHM993	ATLAS実験用ICの放射線耐性試験用ASIC	香取 勇一 佐々木 修	111
ROHM993	ATLAS実験用タイミング調整IC ver (-1)	仁木 太一 佐々木 修	114

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
MOT001	網膜機能に学んだ動き検出チップの試作	山田 仁 米津 宏雄	81
MOT001	局所適応機能を有する二次元エッジ検出網膜チップ	山田 仁 米津 宏雄	81
MOT001	生体の初期視覚機構に学んだ接近検知センサの設計	西尾 公裕 米津 宏雄	82
MOT001	方向選択性動き検出神経細胞モデルのアナログ集積回路化	大谷 真弘 米津 宏雄	82
MOT001	三相時間相関光位置検出素子	来海 暁 安藤 繁 五嶋 健治	88
MOT001	三相時間相関イメージセンサ	来海 暁 安藤 繁	91
MOT001	三相時間相関イメージセンサ (キャパシタ変更版)	来海 暁 安藤 繁	91
MOT992	ノイズ特性評価用増幅型CMOSイメージセンサ	梅田 昌宏 堀居 賢樹	73
MOT992	ノイズ特性評価回路の設計	梅田 昌宏 堀居 賢樹	73
RO35001	各種フォトディテクタの特性評価用CMOSイメージセンサ	今村 俊文 永田 真 森江 隆 岩田 穆	147
RO35001	アダプタ変換機能を有するイメージセンサ回路の設計	片山 光亮 永田 真 森江 隆 岩田 穆	148
RO35001	128 x 128画素時間相関イメージセンサ	来海 暁 安藤 繁	153
RO35001	全デジタル32 x 32画素時間相関イメージセンサ	来海 暁 土屋 恵太 安藤 繁	154
ROHM001	各種フォトディテクタの特性評価用CMOSイメージセンサ	今村 俊文 永田 真 森江 隆 岩田 穆	117
ROHM001	マルチチップ型薄型撮像システム用CMOSイメージセンサ	北野 洋司 仁田 功一 谷田 純	119
ROHM001	高速CMOSイメージセンサ	今村 俊文 山本 美子 永田 真 森江 隆 岩田 穆	126
ROHM001	疑似2次元型アナログ人工網膜チップの設計	亀田 成司 八木 哲也	130
ROHM001	2次元アナログ人工網膜チップの設計	亀田 成司 八木 哲也	130
ROHM002	高速CMOS受光素子TEG	平井 隆夫 太田 淳	123
ROHM002	複眼薄型撮像システム用CMOSイメージセンサ	北野 洋司 谷田 純	137
ROHM002	相関検波を用いた輝点検出センサの試作	大池 祐輔 池田 誠 浅田 邦博	139
ROHM002	複眼光学系を利用した薄型撮像システムのためのイメージセンサ	岸 隆史 宮崎 大介 松下 賢二	142
ROHM002	2次元アナログ人工網膜チップの設計	亀田 成司 八木 哲也	143
ROHM002	2次元アナログ人工網膜チップの設計	亀田 成司 八木 哲也	144
ROHM002	2次元アナログシリコン網膜チップの設計	下ノ村 和弘 亀田 成司 八木 哲也	144
ROHM993	Saliency Catcher 回路	木村 弘枝 柴田 直	107
ROHM993	フォトダイオードチップ1	山本 猛 渡辺 國寛 堀山 貴史 木村 晋二 渡邊 勝正	110
ROHM993	平滑化機能を持った人工網膜チップの設計	亀田 成司 八木 哲也	113
ROHM993	画像転写型人工網膜チップの設計	亀田 成司 八木 哲也	113
ROHM993	中心窩構造を有するneuromorphic vision chip	中川 源洋	114

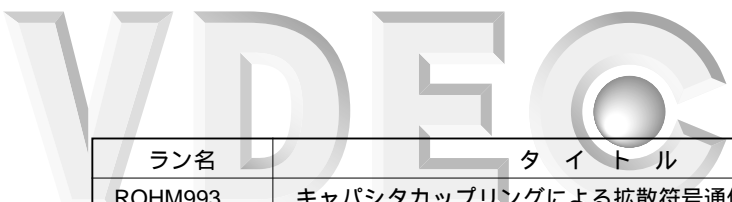
その他

ラン名	タイトル	研究者	掲載頁
HHS992	中断法動きベクトル検出の渦巻き探索を実現するレジスタアレイとD-FF TEG	松本 純一 宮崎 雄一朗 榎本 忠儀	93
HITGA00	マルチプロセッサ用多段結合網の要素スイッチ	森村 知弘	156

ラン名	タイトル	研究者	掲載頁
HITGA00	ATLAS測定器用トリガーシステム回路の設計2	狩野 博之 福永 力 佐々木 修 池野 正弘	157
MOT001	2000年度学部学生のフルカスタム設計演習	小谷 明也 福島 早奈恵 横山 貴巨 伊藤 康朗 中村 每良 深山 正幸 北川 章夫	78
MOT001	LSIテスト/EBブローバ実習用チップ	北川 章夫 数馬 晋吾 渡辺 晃	79
MOT001	離散時間型電流モードアナログCMOSカオス回路	羽野 光隆 濱里 主巳 常田 明夫 井上 高宏 江口 啓	89
ROHM002	非単調ニューロンを用いたストカスティックニューロシステム	根本 憲 金城 光永 佐藤 茂雄 中島 康治	132
ROHM002	遺伝的アルゴリズム専用ハードウェアのVLSI	早川 貴仁 松崎 元昭 小林 良太郎 安藤 秀樹 島田 俊夫	145
ROHM993	ATLAS測定器用トリガーシステム回路の設計	狩野 博之 福永 力 佐々木 修 池野 正弘	114

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
MOT001	ニューロンMOSFETを用いた多値論理回路の試作	堤 貴彦 真方 弘志 三宅 由紀 淡野 公一 石塚 興彦	83
MOT001	ハードウェアバーストニューロンモデルの試作	柏木 直人 佐伯 勝敏 関根 好文	85
MOT001	八木型ハードウェアニューロンモデルとシナプスモデルの試作	鳥田 季代子 袁 立晨 佐伯 勝敏 関根 好文	86
MOT001	動的雑音特性研究用ニューラルネットワーク・チップ	廣瀬 明 本多 正明 中沢 一彦 長嶋 知行	91
MOT992	形ハードウェアニューロンモデルの試作	隅山 正巳 袁 立晨 佐伯 勝敏 関根 好文	74
MOT992	八木型ハードウェアニューロンモデルの試作	鳥田 季代子 袁 立晨 佐伯 勝敏 関根 好文	74
MOT992	負性微分抵抗回路TEG	越坂 亮介 和保 孝夫	75
RO35001	DRAM混載マルチコンテキストFPGAの試作	川上 大輔 柴田 裕一郎 天野 英晴	145
RO35001	PWM方式画素並列2次元ガボール型フィルタ回路・任意カオス生成回路	西島 誠一 村越 健一 森江 隆 永田 真 岩田 穆	148
RO35001	PWM方式2次元抵抗ヒューズネットワーク回路	三宅 誠 森江 隆 永田 真 岩田 穆	148
ROHM001	パイプライン型A/D変換器を拡張したカオス発生回路	今村 晃 ダナルドノドゥイアントノ 藤田 隆史 藤島 実 鳳 紘一郎	116
ROHM001	ニューロンMOSFETを用いた多値論理回路の試作	稲葉 基 串間 宗夫 堤 貴彦 永里 正嗣 淡野 公一 石塚 興彦	117
ROHM001	DRAM混載マルチコンテキストFPGAの設計と試作	川上 大輔 柴田 裕一郎 天野 英晴	120
ROHM001	LSI間DS-CDMA有線バスの設計	吉村 隆治 TAN BOON KEAT 松岡 俊匡 谷口 研二	123
ROHM001	多ビット対応DS-CDMA有線バスの設計	TAN BOON KEAT 吉村 隆治 松岡 俊匡 谷口 研二	123
ROHM001	機能可変1次元セルラーニューラルネットワーク回路・任意カオス生成回路	三宅 誠 西島 誠一 村越 健一 森江 隆 永田 真 岩田 穆	127
ROHM001	DS-CDMA有線バスの設計(2)	吉村 隆治 TAN BOON KEAT 松岡 俊匡 谷口 研二	130
ROHM002	MOS Current Mode Logicを用いた拡散符号生成器	清水 新策 Tan Boon Keat 谷口 研二	134
ROHM993	共鳴トンネル素子のエミュレーションとカオス生成回路	上村 朋典 水谷 孝 前澤 宏一	102
ROHM993	故障の検出および回復が可能な高信頼FPGAの試作	阿部 茂樹 青木 孝文 樋口 龍雄 鹿股 昭雄	103



ラン名	タイトル	研究者	掲載頁
ROHM993	キャパシタカップリングによる拡散符号通信インターフェース	TAN BOON KEAT 谷口 研二	107
ROHM993	DS-CDMA 有線バスの設計 (1)	吉村 隆治 TAN BOON KEAT 松岡 俊匡 谷口 研二	108
ROHM993	双方向電流モード多値FPDFの設計	斎藤 雄哉 青木 孝文 樋口 龍雄	131

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
HHS992	32bitRISC マイクロプロセッサの設計	大戸 友博 石島 誠一郎 内海 哲章 畔上 謙吾 高橋 篤司	96
HITGA00	Data Transfer Controllerの試作	阿部 剛	156
MOT001	4ビットマイクロプロセッサとニューロンMOS回路	増田 智美 笹ヶ瀬 喬也 田中 順一 山田 浩之 落合 忠博 波多野 裕	78
MOT001	シンプルCPU	堀 浩一郎 今井 嘉朋 中村 眞次	87
MOT992	16ビットCPUの試作	大村 道郎 田村 哲也 田中 武	76
RO35001	16bit マイクロプロセッサの試作	大内 康行 沼端 健悟 秋谷 昌宏	146
RO35001	MIPS 互換準同期式プロセッサの設計	大戸 友博 石島 誠一郎 内海 哲章 畔上 謙吾 高橋 篤司	150
RO35001	テスト容易化設計練習用チップ	三浦 克介 中前 幸治 藤岡 弘	151
RO35001	非同期式プロセッサの設計とカスタムLSIへの実装及び評価	天笠 裕也 阿部 公輝	152
RO35001	スーパースカラ・プロセッサの設計とカスタムLSIへの実装及び評価	川口 英一郎 阿部 公輝	152
RO35001	BISC型プロセッサBISC-2	水谷 竜也 山下 幸彦	155
ROHM001	4進木スキャン機能を有するスマートポジションセンサ	根塚 智裕 池田 誠 浅田 邦博	117
ROHM001	32ビットマイクロプロセッサの試作	吉村 豊 福田 一郎	122
ROHM001	低温動作マイクロプロセッサの試作	本告 圭 宮川 英明 吉川 信行	124
ROHM001	再構成可能部を持つJava プロセッサ	鬼頭 秀明 高木 一義 高木 直史 木村 晋二	125
ROHM001	基板バイヤス制御を可能にする自動設計手法を用いたプロセッサ	平林 雅之 桜井 貴康	127
ROHM001	フレキシブルプロセッサ (24 × 20 モジュール搭載版)	堺谷 智 小谷 光司 須川 成利 大見 忠弘	128
ROHM002	LSI設計実習における16ビットパイプラインプロセッサの設計 (1)	中西 正樹 石井 淳 鈴木 真人 中本 義人 堀山 貴史 木村 晋二	132
ROHM002	LSI設計実習における16ビットパイプラインプロセッサの設計 (2)	中西 正樹 堀山 貴史 木村 晋二	133
ROHM002	フレキシブルプロセッサ (24 × 20 モジュール搭載版)	堺谷 智 小谷 光司 須川 成利 大見 忠弘	136
ROHM002	4進木スキャン機能を有するスマートポジションセンサ	根塚 智裕 池田 誠 浅田 邦博	144
ROHM993	Associate Processor	徐 懐宇 柴田 直	107
ROHM993	Dynamically Programmable Parallel Processor	TAN BOON KEAT 吉村 隆治 松岡 俊匡 谷口 研二	108
ROHM993	低温動作マイクロプロセッサ要素回路の試作	本告 圭 宮川 英明 吉川 信行	110
ROHM993	3次元計測向けスマートポジションセンサ	星野 将史 根塚 智裕 池田 誠 浅田 邦博	112
ROHM993	32bitRISC マイクロプロセッサ	川口 博 桜井 貴康	115

メモリ

ラン名	タイトル	研究者	掲載頁
HHS001	階層構造型マルチポートメモリ(全体)	岸 浩二 Mattausch Hans Jurgen	101
HHS001	階層構造型マルチポートメモリ(メモリブロック)	岸 浩二 Mattausch Hans Jurgen	101
HHS001	階層構造型マルチポートメモリのための衝突処理回路	大森 伸彦	101
HHS992	SRAMおよびMOS容量測定TEGの試作	榎園 康憲 鹿野 裕明 榎本 忠儀	93
MOT001	相変化型不揮発性メモリ(CR時定数読み出し回路)	福島 早奈恵	79
RO35001	異常リーク電流抑制方式を実装したSRAMの設計(2)	神田 浩一 川口 博 桜井 貴康	152
ROHM001	最小ハミング距離検索機能を有する小面積・高速連想メモリの設計(1)	行天 隆幸 早田 嘉浩 Mattausch Hans Jurgen 小出 哲士	126
ROHM001	異常リーク電流抑制方式を実装したSRAMの設計	神田 浩一 桜井 貴康	128
ROHM002	最小ハミング距離検索機能を有する小面積・高速連想メモリの設計(2)	行天 隆幸 早田 嘉浩 Mattausch Hans Jurgen 小出 哲士	134
ROHM993	1KbitDRAMの試作	山本 修一郎 石原 宏 中野 雅史 栗原 淳司 前島 英雄	103

演算回路(乗算器 除算器など)

ラン名	タイトル	研究者	掲載頁
HHS992	動画像符号化用ME回路TEGと64bit浮動小数点除算回路用S生成回路・乗算回路	小田部 晃 堀口 智哉 榎本 忠儀	94
HHS992	ウェーブパイプライン化ALU	佐藤 友暁 深瀬 政秋 江川 隆輔 中村 維男	94
HHS992	IP公開を目的とした乗算器チップの試作設計	田上 暢頭 室山 真徳 兵頭 章彦 安浦 寛人	95
HHS992	入力信号パターンを考慮した低電力乗算器の試作	室山 真徳 兵頭 章彦 安浦 寛人 石原 亨	96
HITGA00	測定 検証を目的とした乗算器チップの試作設計	田上 暢頭 室山 真徳 兵頭 章彦 安浦 寛人	156
HITGA00	単精度浮動小数点除算器の評価用チップ	越智 裕之 松永 清香	157
MOT001	多値ディジットORNSを用いた4×4ビット乗算器チップの試作	古庄 雅幸 稲葉 基 近藤 絢哉 佐竹 恵理子 淡野 公一 石塚 興彦	83
MOT001	電流モードCMOS演算回路およびオペアンプTEG	角田 正人 織田 淳 和保 孝夫	84
MOT001	VDECのCAD導入を目的としたタイマー回路(2)	山本 真也 松田 敏弘 大曾根 隆志	85
MOT001	カウンタ及び直列加算器	佐野 有介 大石 健太 中村 眞次	87
MOT001	FG-MOSFETを用いたアナログ機能回路の作製	井上 高宏 浦元 大志 中根 秀夫 二宮 竜也 平山 陽一朗	88
MOT001	ニューロンMOSFETを用いた4進SD数全加算器のフローティングゲート部分の共有化	今西 茂 浅香 篤 村中 徳明 徳丸 正孝	89
MOT001	動的再構成型桁直列演算によるDCT回路	伊藤 和人	92
RO35001	高性能2線式多値電流モード回路の試作	池 司 羽生 貴弘 亀山 充隆	149
RO35001	ユークリッドノルム計算回路及び立方根計算回路	武内 大輔 南 利明 高木 一義 高木 直史	150
RO35001	マルチスレッドパイプラインプロセッサの設計	高松 直樹 高松 直樹 遠山 治 深山 正幸	150
ROHM001	ラッチ型センスアンプ及び自己プリチャージ機構を用いた高速PLA	山岡 寛明 池田 誠 浅田 邦博	116
ROHM001	アナログフレーム間差分チップの設計	下ノ村 和弘 八木 哲也	125
ROHM001	基数4のユークリッドノルム計算回路	武内 大輔 高木 一義 高木 直史	125
ROHM002	ゼロ交差検出回路の設計	下ノ村 和弘 八木 哲也	135
ROHM002	機能メモリ構造を用いた並列平均値処理回路の設計	常村 修 関本 大郷 山口 直人 野澤 博	138



ラン名	タイトル	研究者	掲載頁
ROHM002	各種演算回路および低電力メモリの試作	小田部 晃 江井 友美 鹿野 裕明 岡 佳憲 原田 知親 榎本 忠儀	141
ROHM993	ラッチ型センスアンプを用いた高速 PLA	山岡 寛明 池田 誠 浅田 邦博	102
ROHM993	8×8ビット乗算器と非対称誤りDフリップフロップの設計	中林 撰 本郷 裕行 鹿股 昭雄 池田 茂	103
ROHM993	ゼロ交差検出回路の設計	下ノ村 和弘 八木 哲也	105
ROHM993	立方根計算回路	南 利明 高木 一義 高木 直史	112
ROHM993	ユークリッドノルム計算回路及び有限体GF(2 ¹⁶)上の除算回路	武内 大輔 渡辺 恭章 高木 一義 高木 直史	112

通信 (RF回路 ATMなど)

ラン名	タイトル	研究者	掲載頁
ROHM002	CMOS無線通信要素回路及び高速OTAの設計	藤田 隆史 近藤 裕也 藤島 実 鳳 紘一郎 石田 光一	132
HITGA00	適応的通信を行うための同期検波用周波数制御ニューラルネットワーク・チップ	廣瀬 明 本多 正明 長嶋 知行 中沢 一彦	157
RO35001	IFシステムLSI及びADCモジュレータの設計	吉田 和史 小川 卓臣 岩田 穆	146
RO35001	IF用Gm-Cフィルタの設計	花嶋 直之 岩田 穆	147
RO35001	高周波PLL周波数シンセサイザを公正する素子回路の設計	佐野 智弘 Yew Lim Guan 清水 由幸 松岡 俊匡 谷口 研二	149
RO35001	無線通信要素回路及びCMOS高周波回路用TEGの設計	藤田 隆史 近藤 裕也 藤島 実 鳳 紘一郎 今村 晃	151
ROHM001	高周波低雑音増幅回路の設計	Yew Lim Guan 松岡 俊匡 谷口 研二	122
ROHM993	高周波LC発振回路の設計	Yew Lim Guan 桜 俊幸 松岡 俊匡 谷口 研二	108
ROHM993	高周波電圧制御移相発振回路の設計	松岡 俊匡 中村 光男 谷口 研二	113

5.1. 試作結果

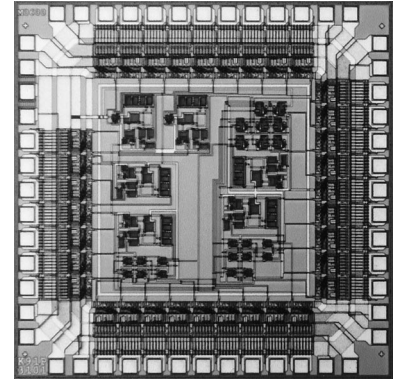
平成11年度 第2回 オンセミコンダクタ チップ試作 (MOT992)

スイッチドキャパシタ容量型センサ・インターフェース

静岡大学電子工学研究所 小川 覚美, 渡辺 健蔵

概要: 圧力, 位置, 加速度, 回転角度等の物理量の検知に広く使われている差動容量型センサのインターフェース回路に関する研究を行っている。高速, 高精度のインターフェース回路の実現を目指してスイッチドキャパシタ技術を用いたインターフェース回路を試作した。試作チップには, 基本インターフェース回路の他に, 高精度化のためのダブルサンプリング・インターフェース回路, S/H 回路, 差動増幅器が含まれている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



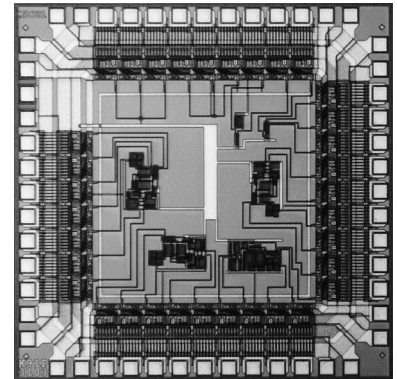
CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡辺 健蔵

概要: 電流モード信号処理の基本構成素子である第二世代カレント・コンペア (CC) は, 電流モード信号処理における演算増幅器として位置付けられる。今回の CC の設計では, 電圧入力に差動段, 定電圧源から成るバイアス段, 電流入力に AB 級プッシュプル段を用いた構成とし, シミュレーションにより得られた性能が, 実際の IC でも得られるかどうかを確認するため設計した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

参考文献: JOSE E. FRANCA, YANNIS TSIVIDIS, "DESIGN OF ANALOG-DIGITAL VLSI CIRCUITS FOR TELECOMMUNICATIONS AND SIGNAL PROCESSING" Prentice Hill



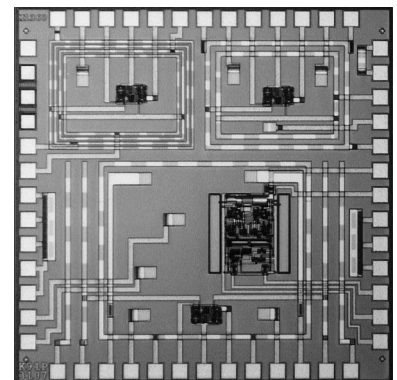
デジタル雑音低減回路

東京工業大学大学院理工学研究科 和田 和千, 高木 茂孝, 藤井 信生

概要: アナログデジタル混載 LSI において, デジタル回路部分から基板などを伝わるクロック信号等はアナログ回路部分では性能を低下させる雑音となる。これを低減するために, 雑音を検出し, その位相を反転し, アナログ回路のガードリング部分に加える回路, すなわち, アクティブガードバンド回路を作成した。このアクティブガードバンド回路は, 基本的にはカレントミラー回路を組み合わせて実現したインバータ回路である。シミュレーションでは, 10MHz までの雑音を低減できることを確認している。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナデジ混載

参考文献: S. Takagi, N. R. Agung, K. Wada, N. Fujii, "Substrate Noise Suppression Using Active Guard Band Circuit", pp. 107-112, ECT-00-59, 電気学会研究会資料 (2000)

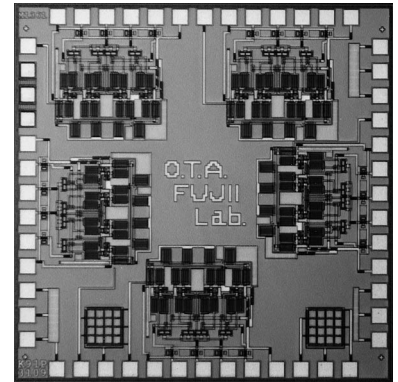


低雑音演算増幅器の試作(2)

東京工業大学大学院理工学研究科 和田 和千, 高木 茂孝, 藤井 信生

概要: 演算増幅器はアナログ回路設計において極めて有用な能動素子であり, 非常に幅広い分野で用いられている. この演算増幅器の特性を表す指標として, 利得帯域幅積や直流利得, 出力インピーダンス, スルーレートなどがある. これ以外の重要な指標として雑音特性が挙げられる. 本試作では, 利得帯域幅積などの特性も考慮した上で, 特に入力換算雑音の低い演算増幅器の実現を目的としている. また, 設計者は, 回路設計やレイアウトをした経験の無い修士1年や学部4年の学生3名である. 全部で3種類の演算増幅器を構成している. なお, その内の一つは, 当研究室で開発した自動回路合成プログラムにより設計されている.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** 佐藤, 中村, 高木, 和田, 藤井 “キャリアの移動度の変化及び基板効果の影響を受けない低歪み OTA”, pp.19-24, ECT-00-36, 電気学会研究会資料 (2000)

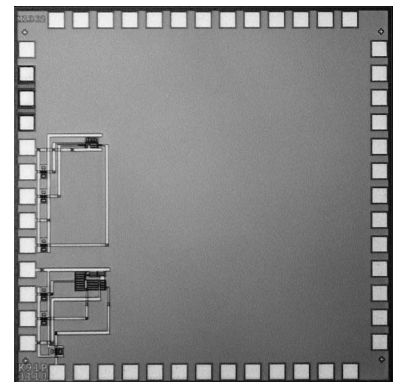


信号分割型構成回路のための制御回路

東京工業大学大学院理工学研究科 和田 和千, 高木 茂孝, 藤井 信生

概要: 信号分割型構成は, 原理的には電源電圧の制約を受けずに等価的に処理できる信号振幅を任意に拡大することのできるアナログ回路設計手法である. 信号分割型構成回路は, 例えば増幅器をトランスコンダクタと抵抗により実現する場合, これら以外に, 制御回路と呼ばれる, 信号の分割配分を制御する回路が必要である. 従来の制御回路は, 1.5V という電源電圧下での動作が困難であり, 低電源電圧の回路には不向きであった. 今回の試作では, 1.5V の電源電圧で動作可能な制御回路を提案し, 作成している.

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** 和田, 高木, 藤井 “ダイナミックレンジの拡大が容易な非線形電圧信号処理手法” pp.65-70, ECT-00-12, 電気学会研究会資料 (2000)

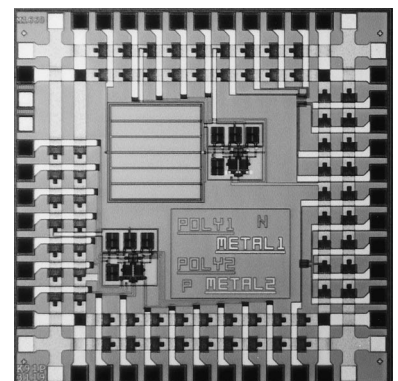


移動度の減少と基板効果の影響を受けない OTA

東京理科大学理工学部 茨木 栄武, 兵庫 明, 関根 慶太郎

概要: OTA (Operational Transconductance Amplifier) は, 非常に有用なアナログ集積回路ブロックであり, フィルタ, 変復調などの応用がある. 従来のアナログ集積回路ブロックの伝達関数は, グラデュアルモデルというトランジスタモデルにより実現されていた. このトランジスタモデルは, 移動度の減少と基板効果 (以下, 二次的効果) が考慮されていない. そのため, 従来の回路ブロックの特性は二次的効果により劣化する. これは, アナログ信号処理の際に, 誤差や歪みの原因となる. 以上のような背景から, 二次的効果の影響も考慮され, アナログ集積回路ブロックが必要となる. 我々は, 以上の要求を満足する二次的効果の影響を受けない OTA を参考文献 [1] で提案した. この回路の伝達関数は, 二次的効果をも含むトランジスタモデルにより実現されているため, 従来のような問題が生じることはない. 今回のランでは, 提案した二次的効果の影響を受けない伝達関数を有する OTA を設計した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** [1] Eitake Ibaragi, Akira Hyogo and Keitaro Sekine, “A CMOS OTA Free from Mobility Reduction and Body Effect”, Proceedings of ISPACS'99, FAD-02, pp.633-636, Dec. 10, 1999.

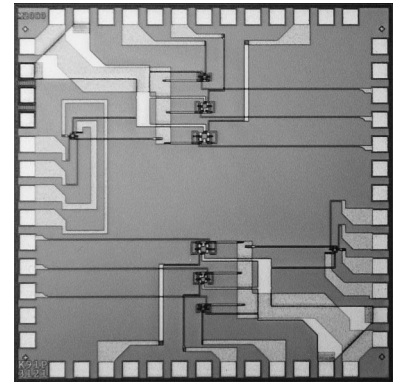


ノイズ特性評価用増幅型 CMOS イメージセンサ

広島市立大学大学院情報科学研究科 梅田 昌宏, 堀居 賢樹

概要: CMOS イメージセンサは低消費電力, 多機能化に対応できるため注目されており, 情報処理機能を持たせたビジョンチップの研究が活発である. しかし, ビジョンチップについては, ほとんど画像の根幹である画室を無視したものに終始している. 一方, CMOS イメージセンサは画像部に信号を増幅させる機能を持たせることで, 高感度化が計れるものの, 画素マイの増幅率の違いによる固定パターンノイズが発生する. これを抑制回路を設けられ, こうした構成により CCD イメージセンサの感度に近づきつつある. しかし, このタイプのノイズ評価, 抱える課題については不明確で, 十分な評価がなされていないのが現状である. 今回, こうした問題を明確にし, 性能向上を計るための素子を設計した. 提案されているノイズ抑制回路, 新しく提案したノイズ抑制回路を領域分割して組み入れ, 相対評価と数値評価を行えるようにしている.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ

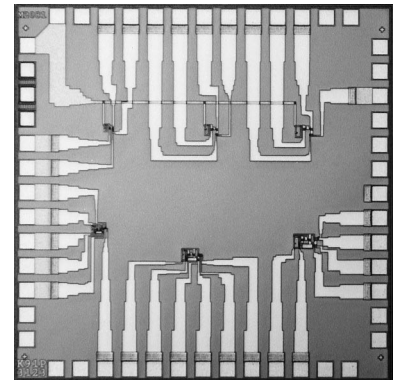


ノイズ特性評価回路の設計

広島市立大学大学院情報科学研究科 梅田 昌宏, 堀居 賢樹

概要: CMOS イメージセンサは低消費電力, 多機能化に対応できるため注目されており, 情報処理機能を持たせたビジョンチップの研究が活発である. しかし, ビジョンチップについては, ほとんど画像の根幹である画室を無視したものに終始している. 一方, CMOS イメージセンサは画像部に信号を増幅させる機能を持たせることで, 高感度化が計れるものの, 画素マイの増幅率の違いによる固定パターンノイズが発生する. これを抑制回路を設けられ, こうした構成により CCD イメージセンサの感度に近づきつつある. しかし, このタイプのノイズ評価, 抱える課題については不明確で, 十分な評価がなされていないのが現状である. 今回, こうした問題を明確にし, 性能向上を計るため, 提案されているノイズ抑制回路, 新しく提案したノイズ抑制回路の設計を行った.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ



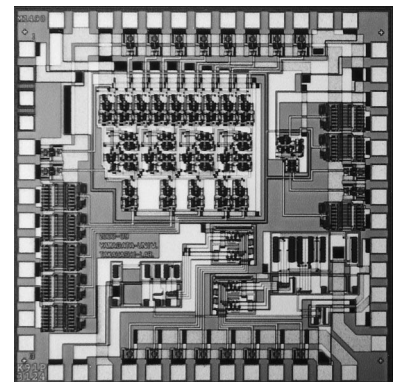
新しいテール電流制御回路を用いた低消費電力 OTA 回路と ADCL 回路 TEG

山形大学工学部 須藤 敏志, 齋藤 裕寿, 水沼 充, 高橋 一清

概要: 低消費電力 OTA (Operational Transconductance Amplifier) 回路では入力電圧によって動的にテール電流を制御するテール電流制御回路が用いられている. 消費電力をさらに低減した新しいテール電流制御回路を提案[1], 集積化し, 評価した. 比較のための Wang's OTA 回路やレベルシフト回路, テール電流測定用回路も集積化した. 提案回路を用いた低消費電力 OTA 回路では入力電圧によってテール電流が制御され, Wang's OTA 回路と比較して消費電力が少なく, 線形入力電圧範囲は Wang's OTA 回路, 提案回路ともにほぼ同じ範囲であることも確認できた. また, CMOS 回路技術以上の超低消費電力動作を実現する回路方式として当研究室では断熱的ダイナミック CMOS 論理 (ADCL) 回路を提案している. ここでは, TEG 回路として ADCL-ExOR, ADCL-半加算器, ADCL-1 ビット全加算器, ADCL-4 ビット全加算器等を入れ, 動作を確認した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** SHI 社 SX9000, SX-9000 LAYVER/DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

参考文献: [1] 須藤, 高橋, 水沼, “新しいテール電流制御回路を用いた低消費電力 OTA 回路”, 平成 12 年度電気関係学会東北支部連合大会講演論文集, 1D1, 2000 年 8 月.

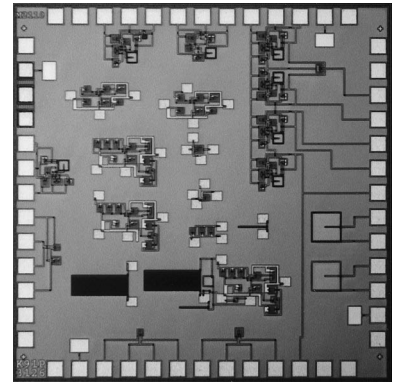


形ハードウェアニューロンモデルの試作

日本大学理工学部電子工学科 隅山 正巳, 袁 立晨, 佐伯 勝敏, 関根 好文

概要: 脳内に存在する神経回路網をモデル化する研究がなされており, アナログ回路方式でニューロンチップを実現するという試みが行われている. 我々は, 工学的な応用を目指して, 4端子の負性抵抗素子を用いた 形ニューロンモデルの IC 化について検討を行っている. このモデルは, MOSFET, コンデンサによって実現できるモデルであり, PSpice にて動作を確認している. 今回, ケーデンスのアナログ回路設計ツールを用いて, 形ニューロンモデルを試作した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, PSpice **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** ニューテクノロジー

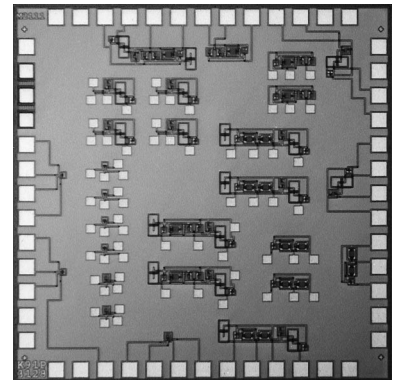


八木型ハードウェアニューロンモデルの試作

日本大学理工学部電子工学科 鳥田 季代子, 袁 立晨, 佐伯 勝敏, 関根 好文

概要: 脳内における情報の伝達はパルス信号により行われており, パルスを出力する神経回路をモデル化する研究がなされている. 中でも, 古くから八木のモデルが, パルス形ニューロンモデルとして提案され, 研究が進められてきている. しかし, このモデルはバイポーラトランジスタを用いており, 標準の CMOS プロセスでは IC 化が困難である. 我々は, 工学的な応用を目指して, パルス形のモデルについて IC 化に対する検討を行っている. そこで, 今回, エンハンスメント形 MOSFET とコンデンサを用いた八木型ハードウェアニューロンモデルを構成し, ケーデンスのアナログ回路設計ツールを用いて, 八木型ハードウェアニューロンモデルを試作した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, PSpice **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** ニューテクノロジー

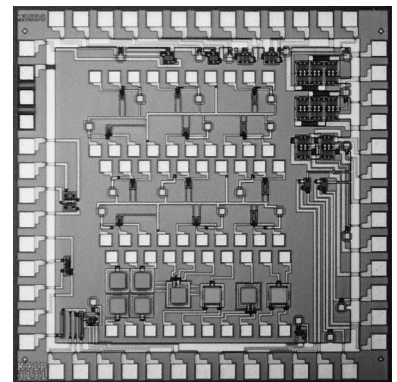


アナログ回路用デバイス TEG

富山県立大学工学部 山本 真也, 松田 敏弘, 大曾根 隆志

概要: アナログ回路設計に必要な基礎データを収集するための TEG (Test Element Group) を設計した. W/L を変化させた NMOS トランジスタを中心に PMOS トランジスタ, 各種抵抗, 容量を配置した. 完成したチップを測定し, トランジスタおよび抵抗の温度特性を含めた基本的なデータを収集した. とくに, MOS トランジスタのサブスレッショルド領域の特性に着目し, シミュレーションパラメータの最適化も行った. 今後は, 本 TEG のデータを基にアナログ回路の設計を行うとともに, ブレッドボード用のトランジスタとしても利用して行く予定である.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)



デジタル可変容量チップ

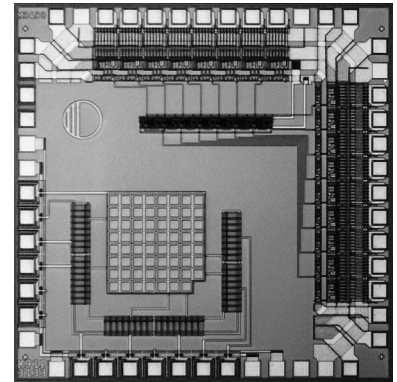
玉川大学学術研究所 中村 眞次

玉川大学工学部 小池 卓郎

概要：チップ概要：デジタル回路とアナログ回路の全く独立した二つのデザインを同一チップ上に乗せたものである。デジタル回路は擬似乱数発生を目的としたテスト回路で7ビットの $(1 + X^6 + x^7)$ によるサイクリックなシフトレジスタの各ビットに並列入/出力線をつけて適宜、初期設定と中間結果を調べられるようにしたものである。残念ながら、この回路は誤ってVIAを入れしまいVddとGNDが短絡しているため動作しなかった。アナログ回路は、可変容量回路でその容量値を6ビットの2進デジタル入力で指定するようにしたものである。最小可変量が2.5pF程度で最大この63倍まで変更可能としたが詳細評価はまだ行っていない。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Tanner社L-Edit V8.1 **トランジスタ数：**100以上、1,000未満

試作ラン：オンセミCMOS 1.2 μ m 2.3mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



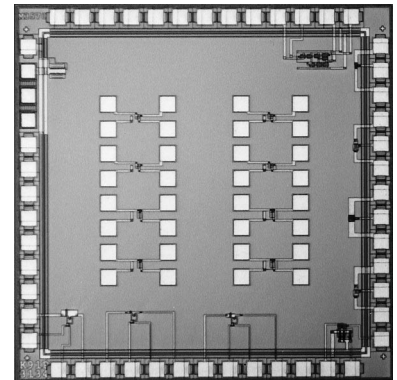
負性微分抵抗回路 TEG

上智大学理工学部 越坂 亮介, 和保 孝夫

概要：共鳴トンネルダイオードなどの量子効果デバイスで顕著に見られる負性微分抵抗特性(NDR)を利用して、新しい動作モードに基づく多値回路が提案されている[1]。もし、標準的なCMOSプロセスを用いてNDR特性が実現できれば、この種の回路の大規模化が可能になる。我々はダイオードにヒントを得て、エンハンスメント型CMOSを用いたNDR基本回路を99年度第1回オンセミコンダクタチップ試作にて製作した。今回設計したNDR回路は、基本的には前回と同じ構成であるが、ピーク電圧、P/V比を調整することで大きな設計自由度を得るため、様々な組み合わせの素子パラメータを有する回路を設計した。チップ上には将来これらの回路と組み合わせて使用する目的で、標準CMOSプロセスで形成できるバイポーラトランジスタ(BJT)も搭載した。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社Virtuoso, Avanti社Star-HSPICE, Cadence社Dracula DRC, Cadence社Diva **トランジスタ数：**10以上、100未満 **試作ラン：**オンセミCMOS 1.2 μ m 2.3mm角 **チップ種別：**ニューテクノロジー

参考文献：[1]和保, 伊藤：“超高速共鳴トンネル多値回路”, 信学会論文, Vol. J82-C-II, No. 8, pp.421-431, 1999年.



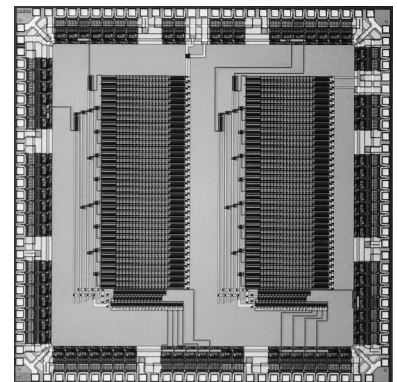
広い可変レンジを持つ遅延器を用いたクロック周波数逡倍回路の設計

東京大学生産技術研究所 神田 浩一, 桜井 貴康

概要：デバイスの微細化に伴い、CMOS回路の電源電圧は低下し続けている。SIAの予想によれば、2010年にはメインストリームの電源電圧は0.5V程度まで下がる。マイクロプロセッサの中で、このような極低電圧での動作が問題になるのは、PLL/DLLのようなアナログ回路やSRAM/DRAM等のメモリである。本試作ではデジタル制御を用いたクロックジェネレータで用いられる可変遅延器を設計した。この遅延器を多数並べてマルチフェーズのクロック信号を生成し、これらを用いて400MHz程度まで周波数逡倍を行う。しきい値電圧やチャンネル長などのバラツキや、動作中の温度ドリフトがあっても常に出力ジッタが一定になるよう、可変遅延器のトランジスタのサイズを最適化した。また、低電圧で問題となる位相周波数比較器の不感帯を低減するため、ダイナミック回路を用いてこれを構成した。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社Virtuoso, Avanti社Star-HSPICE, Cadence社Dracula DRC

トランジスタ数：10,000以上、100,000未満 **試作ラン：**オンセミCMOS 1.2 μ m 4.8mm角 **チップ種別：**アナログ(PLL, A-D/DC-DCコンバータなど)

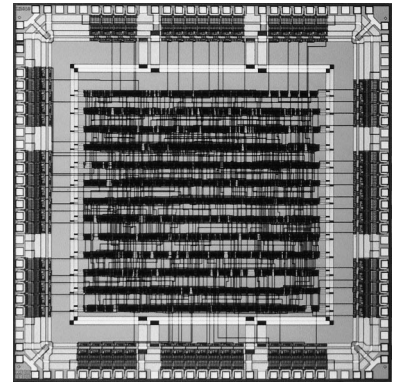


16 ビット CPU の試作

広島工業大学工学部 大村 道郎, 田村 哲也, 田中 武

概要: CPU の動作原理, および構造を理解することは重要なことである。広島工業大学工学部電気工学科における電子計算機工学の授業では, CPU を構成する各回路を学生に VHDL 言語で記述させ, シミュレーション結果を確認させながら授業を行っている。今回はこれらをベースに新たに 16 ビット CPU を設計し, 試作を行った。試作した CPU は “ADD r0, r1” “SUB r0, r1”, “INC r0” 等, 23 の命令を持つ。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** 田中,大村: “広島工業大学における IP を用いた LSI 設計教育”, pp.17-23, 広島工業大学研究紀要 第 35 巻 (2001)。



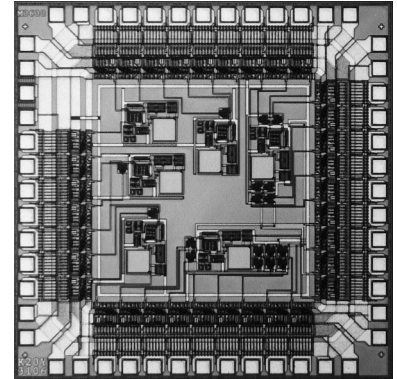
平成 12 年度 第 1 回 オンセミコンダクタ チップ試作 (MOT001)

スイッチドキャパシタ容量型センサ・インターフェース

静岡大学電子工学研究所 小川 覚美, 渡辺 健蔵

概要: 差動容量型センサの高速, 高精度インターフェース回路の実現を目指してスイッチドキャパシタ技術を用いたインターフェース回路を試作した。試作チップには, 基本インターフェース回路の他に 高精度化のためのダブルサンプリング・インターフェース回路, S/H 回路, 差動増幅器が含まれている。スイッチドキャパシタ回路において非線形誤差の最も大きな要因となるアナログスイッチに付随するクロックフィードスルーの影響を調べるために異なるスイッチサイズの回路を設計し搭載した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

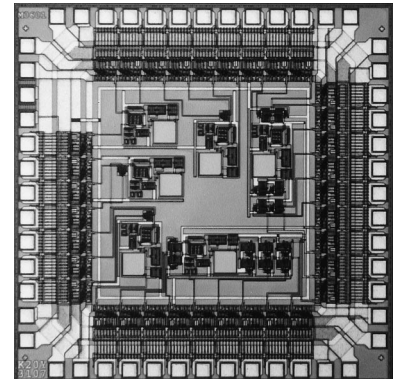


スイッチドキャパシタ容量型センサ・インターフェース

静岡大学電子工学研究所 小川 覚美, 渡辺 健蔵

概要: 差動容量型センサの高速, 高精度インターフェース回路の実現を目指してスイッチドキャパシタ技術を用いたインターフェース回路を試作した。試作チップには, 基本インターフェース回路の他に 高精度化のためのダブルサンプリング・インターフェース回路, S/H 回路, 差動増幅器が含まれている。スイッチドキャパシタ回路において非線形誤差の最も大きな要因となるアナログスイッチに付随するクロックフィードスルーの影響を調べるために異なるスイッチサイズの回路を設計し搭載した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

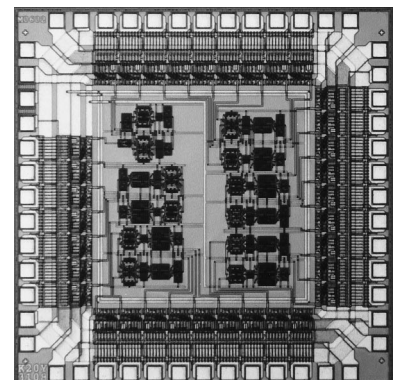


CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡辺 健蔵

概要: 電流モード信号処理の基本構成素子である第二世代カレント・コンペア (CC) は, 電流モード信号処理における演算増幅器として位置付けられる。今回の CC の設計では, 電圧入力に差動段, 定電圧源から成るバイアス段, 電流入力に AB 級プッシュプル段を用いた構成とし, シミュレーションにより得られた性能が, 実際の IC でも得られるかどうかを確認するため設計した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** JOSE E. FRANCA, YANNIS TSIVIDIS, "DESIGN OF ANALOG-DIGITAL VLSI CIRCUITS FOR TELECOMMUNICATIONS AND SIGNAL PROCESSING" Prentice Hill



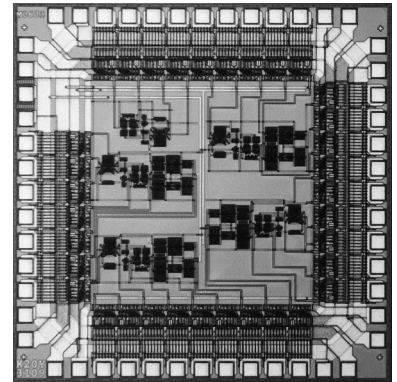
低入力インピーダンス AB 級 CMOS カレント・コンペア

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

概要: これまでの第二世代カレント・コンペア (CC) には, 電流入力端子におけるインピーダンスが高く, 電流入力端子と電圧入力端子間のオフセット電圧も大きいため理想的な伝達特性が得られないという問題点がある. そこで今回の CC は, 電圧入力にフィードバック構成を用いた差動増幅器 (folded cascode op-amp), 定電流源から成るバイアス段, 電流入力に AB 級プッシュプル段, 位相補償部で構成した. シミュレーションにより得られたカレント・コンペアの性能が, 実際の IC でも得られるかどうかを確認するため試作した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10 以上, 100 未満

試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



4 ビットマイクロプロセッサとニューロン MOS 回路

静岡理科大学電子工学科 増田 智美, 笹ヶ瀬 喬也, 田中 順一, 山田 浩之

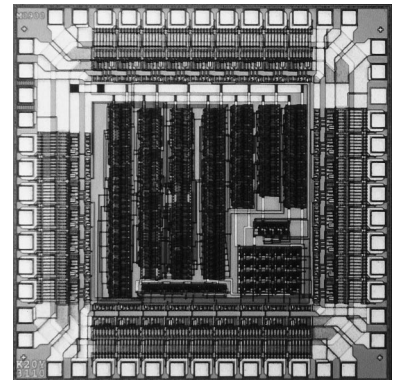
静岡理科大学大学院材料科学専攻 落合 忠博

静岡理科大学材料科学専攻電子工学科 波多野 裕

概要: ニューロン MOS トランジスタを用いたデジタル回路として, 4 ビットニューロン MOS 乗算器, 4 ビットニューロン MOS 全加算器を, CMOS デジタル回路として, 4 ビットマイクロプロセッサ, 4 ビット ALU を, それぞれ設計した. 4 ビットマイクロプロセッサは前年度に試作を行った 2 ビットマイクロプロセッサをもとにデータバスを拡張したものである. チップ面積の大部分をゲートアレイの 4 ビットマイクロプロセッサが占め, 残りを 4 ビットニューロン MOS 乗算器, 4 ビット ALU, 4 ビットニューロン MOS 全加算器を割り当てた.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Dracula DRC

トランジスタ数: 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** マイクロプロセッサ



2000 年度学部学生のフルカスタム設計演習

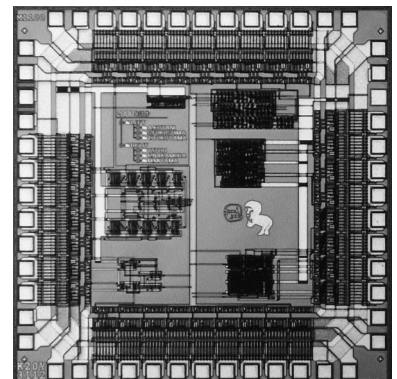
金沢大学工学部 小谷 明也, 福島 早奈恵, 横山 貴巨, 伊藤 康朗,

中村 每良, 深山 正幸, 北川 章夫

概要: 学部学生が卒業研究で集積回路の研究をするにあたり, 小規模な回路をボトムアップでレイアウトレベルから設計する経験をもつことで, 集積回路に対する理解を深めることを目的として本チップの設計を行った. 本チップは 8 本の入力を共通に用意し, 学部生 5 人と教官 1 名それぞれが設計した回路に応じて出力ピン数を割り当て設計・検証を行った. 設計した回路は, 全加算器 2 種, メモリ読み出し回路, カウンタ 2 種, エンコーダである.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC

トランジスタ数: 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** その他

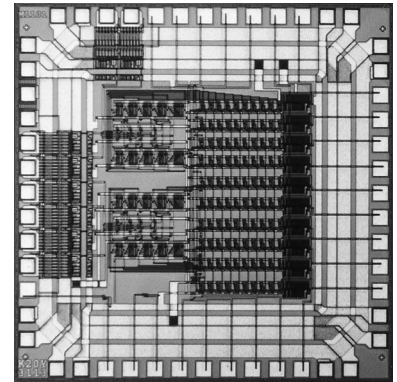


相変化型不揮発性メモリ (CR 時定数読み出し回路)

金沢大学工学部 福島 早奈恵

概要: 相変化型不揮発性メモリにおいてメモリ素子の相変化の2つの状態の違いを2値に割り当ててデータを記録する。今回の試作ではカルコゲナイド薄膜を記憶材料としたメモリ素子を想定しカルコゲナイドメモリの特性(抵抗値が3桁程異なる)を利用して、CR 時定数の違いから読み取り波形の立上りの差で2つの状態を2値として読み出す。今回の試作では、カルコゲナイドメモリが2つの状態で1K と100K の抵抗値となるので、メモリ素子部に2種類の抵抗を置いた読みだし専用の回路となっている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** メモリ

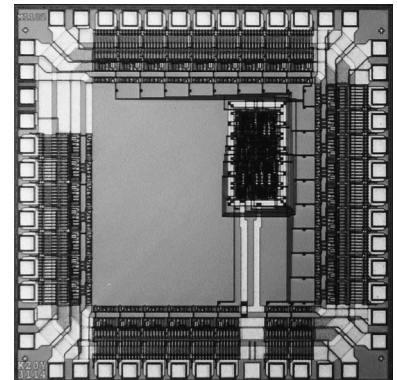


LSI テスタ/EB プローバ実習用チップ

金沢大学工学部情報システム工学科 北川 章夫, 数馬 晋吾, 渡辺 晃

概要: VDEC サブセンター設備である LSI テスタおよび電子ビームプローバを公開するため、講習会テキストと専用の実習用チップを作成した。講習会の内容としては、2 ~ 3 時間程度で VerilogHDL により生成したテストベクトルによる機能テストや DC テストを行うことを想定している。また、同チップを用いた集束イオンビーム装置の講習会も考えている。チップには、カウンタ、リングオシレータ、基本ゲート、縮退故障を含む回路、遅延線路等を含める予定であったが、計算機の不調により設計データが失われ、一部完成していない。各信号線にはメタル2 による微細なパッドを付加し、EB プローバによる信号波形の観測が行いやすいようになっている。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** その他 **参考文献:** IMS ATS-100, Advantest E1380A Users Guide

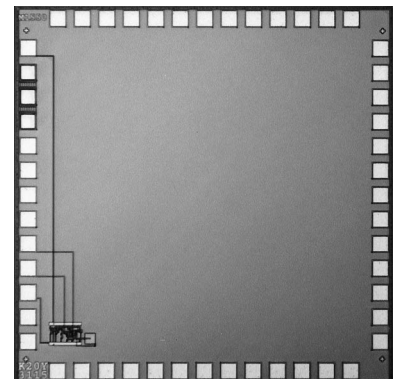


電力線データ通信用受信回路の IC 設計

福岡大学工学部 木村 圭, 末次 正

概要: 商用の電灯線を用いてデジタルデータを通信する電力線データ通信においてはスペクトル拡散や CDMA 等の通信方式が用いられる。これらの通信方式においては広い周波数帯においてフラットな増幅特性をもったオペアンプが必要となる。今回 50kHz ~ 1MHz の帯域を使用する CDMA を想定し、電灯線間の差動により信号成分を取り出すオペアンプを設計した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

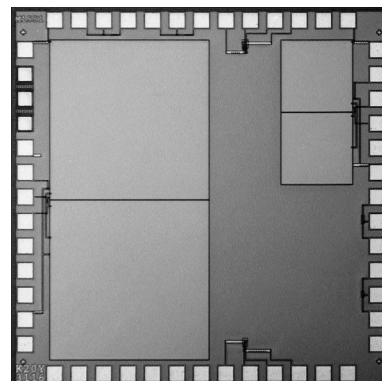


スイッチトキャパシタ変成器を用いた DC - DC コンバータの設計

福岡大学大学院工学研究科 松尾 嘉洋, 末次 正

概要: システムの小型化や低コスト化, 低消費電力化を図るために, チップ集積型の DC-DC コンバータの設計が望まれている. そこで我々はスイッチトキャパシタ変成器を用いた DC-DC コンバータの設計を行った. 今回, 設計した回路は 5V の入力電圧を 2.5V で出力する, 1/2 降圧型のコンバータである. スイッチング周波数 0.5MHz において Hspice でシミュレーションを行ったところ, 平均出力電力は 367 μ W, 効率は 59% であった.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数:** ~ 10 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** 上野, 井上, 梅野 “スイッチトキャパシタ DC-DC コンバータの解析とそのハイブリット IC 化 小型化・大容量化の実現”, 信学技報, PE89-52, (1989).



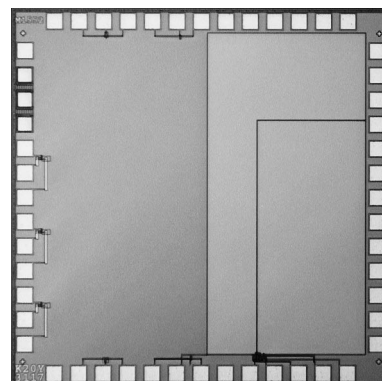
スイッチトキャパシタ変成器を用いた DC-DC コンバータの設計

福岡大学大学院工学研究科 沖 和史, 松尾 嘉洋

福岡大学工学部 末次 正

概要: LSI の低消費電力化を行うための有効手段として, LSI 内部の駆動電圧の低減化があげられる. そこで, チップ内蔵用の DC-DC コンバータをスイッチトキャパシタ回路を用いて試作した. この回路では, コイルなどの磁性部品を用いないため, 集積化に適し, 磁束による他の回路への影響も抑えることができる. また, MOSFET の測定評価を再確認することを目的にそれらのテスト回路の試作も行った.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数:** ~ 10 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** 上野, 井上, 梅野 “スイッチトキャパシタ DC-DC コンバータの解析とそのハイブリット IC 化 小型化・大容量化の実現”, 信学技報, PE89-52, (1989).



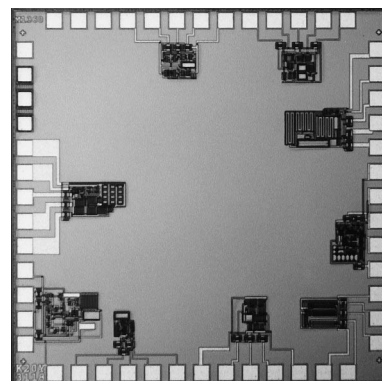
80

低雑音演算増幅器の試作 (2)

東京工業大学大学院理工学研究科 和田 和千, 高木 茂孝, 藤井 信生

概要: 演算増幅器はアナログ回路設計において極めて有用な能動素子であり, 非常に幅広い分野で用いられている. この演算増幅器の特性を表す指標として, 利得帯域幅積や直流利得, 出力インピーダンス, スルーレートなどがある. これ以外の重要な指標として雑音特性が挙げられる. 本試作では, 利得帯域幅積などの特性も考慮した上で, 特に入力換算雑音の低い演算増幅器の実現を目的としている. また, 設計者は, 回路設計やレイアウトをした経験の無い修士 1 年や学部 4 年の学生 3 名である. 全部で 3 種類の演算増幅器を構成している. なお, その内の一つは, 当研究室で開発した自動回路合成プログラムにより設計されている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

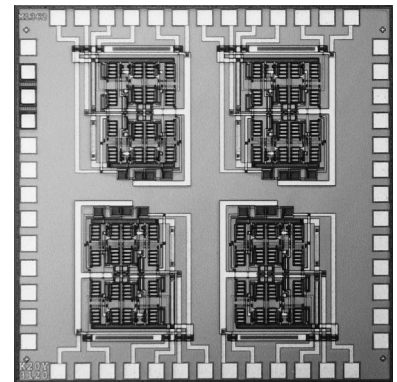


バックゲートバイアス技術を用いた低歪み OTA

東京工業大学大学院理工学研究科 和田 和千, 高木 茂孝, 藤井 信生

概要: MOS トランジスタを非飽和領域で動作させ、ドレイン端子から入力を加えて Operational Transconductance Amplifier (OTA) を実現する方法は、モビリティリダクションの影響を受けずに、より低歪みの OTA を構成できることが知られている。しかし、この手法は、ドレイン電流を簡単な式で表しているため、実際の構成では、歪みが予想以上に増加する。この問題を解決するために、より厳密な式を用いてドレイン電流を表し、MOS トランジスタのバックゲートにバイアス電圧を加える手法がある。本チップでは、この手法の原理を確認することを目的とし、ドレイン端子に入力電圧を加え、ドレイン電流を取り出す回路を付加すると共に、バックゲートに自動的に最適バイアス電圧が加わる回路も付加して低歪み OTA を構成している。シミュレーションではバックゲートにバイアス電圧を加えない場合の歪み率が 0.35% であるのに対して、バックゲートに最適バイアス電圧を加える手法は歪み率が 0.1% 未満になることを確認している。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** 佐藤, 中村, 高木, 和田, 藤井 “ キャリアの移動度の変化及び基板効果の影響を受けない低歪み OTA ”, pp.19-24, ECT-00-36, 電気学会研究会資料 (2000)

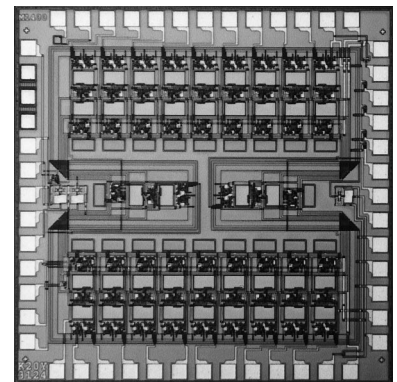


網膜機能に学んだ動き検出チップの試作

豊橋技術科学大学工学部 山田 仁, 米津 宏雄

概要: 網膜は、光受容器である視細胞側の外網膜と脳へインパルス信号を送り出す神経節細胞側の内網膜の二つに大別される。外網膜では、視細胞、水平細胞、そして双極細胞により、視覚対象のエッジ情報を検出していると考えられている。これまで、我々はこのような外網膜の機能に学んだエッジ検出網膜チップを提案し、集積回路化してきた。現在、外網膜のエッジ情報から動き情報を生成する内網膜の機能に注目し、そのモデル化とアナログ電子回路化を試みている[1]。その鍵となる細胞は受容野の大きさの異なる二つのアマクリン細胞である。今回の試作では、局所適応機能を有する外網膜回路と動き情報生成機能を有する内網膜回路を統合した動き検出チップを設計した。チップには二値化回路を介して 20 個の外網膜回路と内網膜回路を一次元配列した。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 山田, 大谷, 西尾, 古川, 米津, “ 網膜に範を得た速度検出とその電子回路化 ”, 信学技報, Vol. 100, No. 688, pp.183-190, 2001.

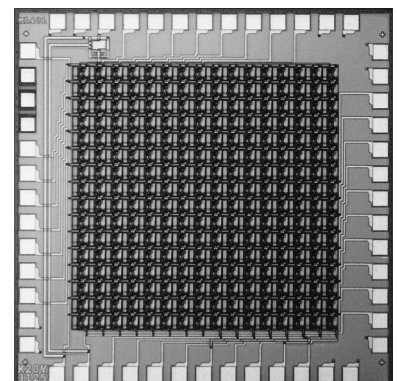


局所適応機能を有する二次元エッジ検出網膜チップ

豊橋技術科学大学工学部 山田 仁, 米津 宏雄

概要: 我々は、網膜の視覚情報処理機構に学んで、そのアナログ集積回路化を試み、これまで実質的な配線の無い非常にシンプルなエッジ検出網膜チップを提案してきた。しかし、この網膜チップはダイナミックレンジが比較的狭く、広範囲にわたる光強度分布をもつ視覚対象のエッジ検出が困難であった。そこで、局所空間での光強度分布に従って、画素中の回路パラメータが自動的に適応する機構を有するエッジ検出網膜チップを提案し、豊橋技術科学大学・固体機能デバイス研究施設で試作を行ない、その基本的な動作を確認した[1]。今回の試作では、提案した網膜チップの大規模集積化にあたり、画素数 16 × 16 と比較的小規模な二次元網膜チップを構成し、その動作を確認することを目的とした。画素は、1 個のフォトダイオードと 14 個の MOS トランジスタから構成され、その画素サイズは 85 μ m × 85 μ m であった。試作した網膜チップは、上述した局所適応機能を有するにも関わらず、非常にシンプルな回路構成で実現できた。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 宮下, 大谷, 高崎, 山田, 西尾, 米津: “ 局所的な明暗順応機能を有するエッジ検出機構の集積回路化 ”, 信学技報, Vol. 99, No. 686, pp.213-220, 2000.

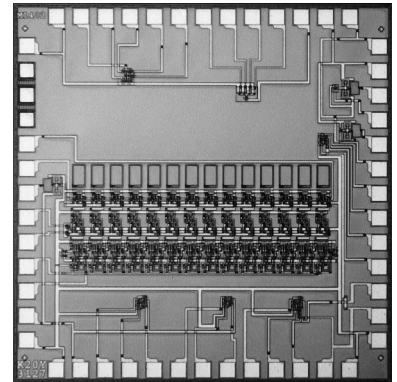


生体の初期視覚機構に学んだ接近検知センサの設計

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要: 我々は、生体の初期視覚機構に学び、物体の接近を検知する機能を実現するネットワークの提案とその集積回路化を試みてきた[1]。バッタなどの視覚系では、網膜上に投影された物体の大きさとその拡大速度から物体の接近を検知している。提案したネットワークにおいて、ネットワーク上に投影された物体の拡大速度は、投影された物体のエッジの移動速度から見積もられる。このエッジの移動速度と投影された物体の大きさから、提案したネットワークは生体の視覚系と同様に物体の接近を検出する。今回の試作では、上述の接近検知機構を検証するため、一次元ネットワークを設計した。また、チップにはネットワークを構成する基本回路の TEG も含めた。試作チップの測定では、各基本回路の動作を確認するとともに、一次元ネットワークの接近検知機能を評価する。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 西尾, 大谷, 山田, 高崎, 古川, 米津, “昆虫の視覚系に学んだ物体の接近を検知する集積回路”, 第 23 回日本神経科学大会・第 10 回日本神経回路学会大会 合同大会, 抄録集, O-212, p302, 2000.

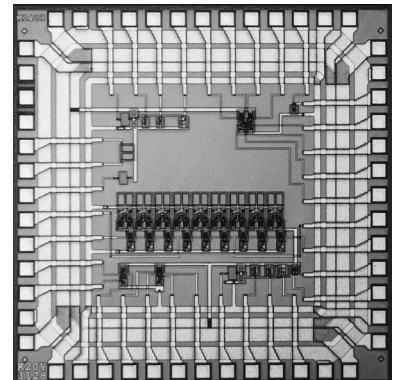


方向選択性動き検出神経細胞モデルのアナログ集積回路化

豊橋技術科学大学工学部 大谷 真弘, 米津 宏雄

概要: 我々は、生体の視覚系に存在する方向選択性動き検出神経細胞の機能を実現するネットワークの提案とそのアナログ集積回路化を行ってきた[1]。方向選択性動き検出神経細胞は、その樹状突起の形態に依存した方向選択性を有する。一般的に、樹状突起は電気刺激に対して容量性の伝達経路であり、これにより局所速度の空間的な重み付けが行われている。ネットワークは、Miller 効果などによる寄生容量の顕在化に着目し、上述の伝達経路をキャパシタを用いることのないスマートなアナログ回路によって実現した。今回の試作では、上述の回路の基本特性を検証するため、一次元のネットワークを設計した。また、チップには、ネットワークを構成する基本回路の TEG も含めた。これらの TEG を用いてその基本特性を確認するとともに、視覚対象の一次元の動きに対するネットワークの応答を測定する。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 大谷, 山田, 西尾, 高崎, 古川, 米津, “方向選択性を持つ動き検出神経細胞モデルのアナログ集積回路化”, 第 23 回日本神経科学大会・第 10 回日本神経回路学会大会 合同大会, 抄録集, O-210, p301, 2000.

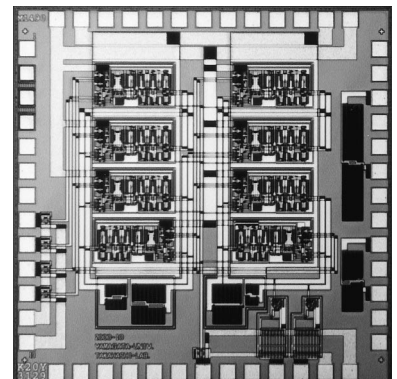


低消費電力 OTA 回路を用いた完全差動 4 次チェビシェフ・ローパス・フィルタ

山形大学工学部 須藤 敏志, 水沼 充, 高橋 一清

概要: 低消費電力 OTA (Operational Transconductance Amplifier) 回路では入力電圧によって動的にテール電流を制御するテール電流制御回路が用いられている。筆者らは消費電力をさらに低減した新しいテール電流制御回路を提案している。前回の試作では、提案回路を用いた低消費電力 OTA 回路、比較のための Wang's OTA 回路やレベルシフト回路、テール電流測定用回路を集積化し、評価した[1]。今回の試作では、提案した低消費電力 OTA 回路を用いた完全差動の 4 次チェビシェフ・ローパス・フィルタ (LPF) を設計し、集積化した。4 次チェビシェフ LPF は 2 次 LPF を 2 つカスケード接続して構成し、2 次 LPF は 4 つの完全差動の低消費電力 OTA 回路と 2 つのキャパシタを用いて構成している。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** SII 社 SX9000, SX-9000 LAYVER/DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** [1] 須藤, 高橋, 水沼, “新しいテール電流制御回路を用いた低消費電力 OTA 回路の試作・評価”, 2001 年電子情報通信学会総合大会, 立命館びわこ・くさつ, C-12-2, 2001 年 3 月。

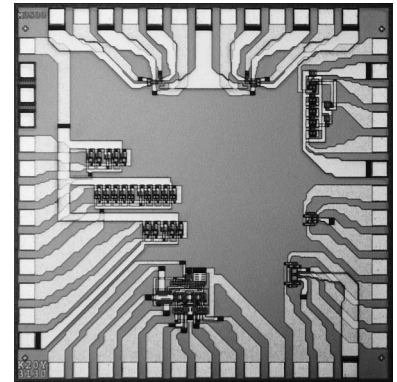


MOS アナログ集積回路および電流モード多値論理回路

宮崎大学工学部 串間 宗夫, 永里 政嗣, 田中 寿, 朱 大松, 淡野 公一, 石塚 興彦

概要: 本チップでは, FG-MOSFET を用いた電圧制御線形可変抵抗回路と電流モード完全作動形回路, FG-MOSFET で構成したソースフォロワ回路, および, 初期電荷キャンセル回路の試作を行った. これらの回路の試作とチップの測定を行うことで, 回路の特性を評価することができた.

設計期間: 6 人月以上, 7 人月未満 設計ツール: SII 社 SX9000, Avanti 社 Star-HSPICE
トランジスタ数: 100 以上, 1,000 未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別: アナログ (PLL, A-D/DC-DC コンバータなど)

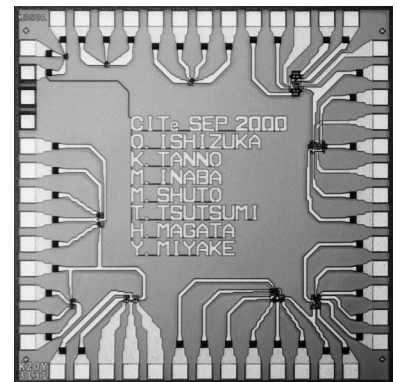


ニューロン MOSFET を用いた多値論理回路の試作

宮崎大学工学部 堤 貴彦, 真方 弘志, 三宅 由紀, 淡野 公一, 石塚 興彦

概要: 本研究室では多値論理回路の研究を行っており, その基本回路となるダウンリテラル回路, パスゲート, 2 値インバータ, ニューロン MOSFET をそれぞれ数種試作した.

設計期間: 3 人月以上, 4 人月未満 設計ツール: SII 社 SX9000, Avanti 社 Star-HSPICE
トランジスタ数: 10 以上, 100 未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別: ニューテクノロジー

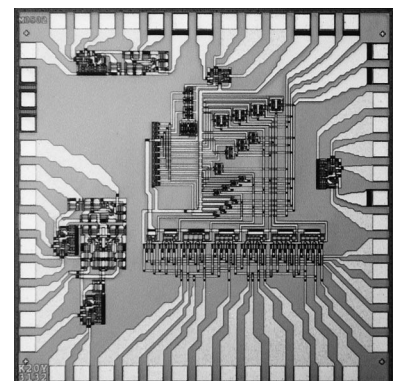


多値ディジット ORNS を用いた 4 x 4 ビット乗算器チップの試作

宮崎大学工学部 古庄 雅幸, 稲葉 基, 近藤 絢哉, 佐竹 恵理子, 淡野 公一, 石塚 興彦

概要: 多値ディジット ORNS を用いた 4 x 4 ビット乗算器チップの試作を行った. 近年提案された数系 ORNS は, CVD (Continuous Valued Digits) とというアナログ値を用いており D/A コンバータが必要であったが, このチップは CVD を MVD (Multi Valued Digits) に置き換えているため, カレントミラー, しきい値判別器, パストランジスタの基本回路のみで構成している. なお, チップ面積の関係上乘算器の設計ブロックは, 2 値-多値変換回路, シフト加算回路までとなっている. これらの回路は, 今後の多ビット乗算器の基本回路となる.

設計期間: 4 人月以上, 5 人月未満 設計ツール: SII 社 SX9000, Avanti 社 Star-HSPICE
トランジスタ数: 100 以上, 1,000 未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別: 演算回路 (乗算器, 除算器など)

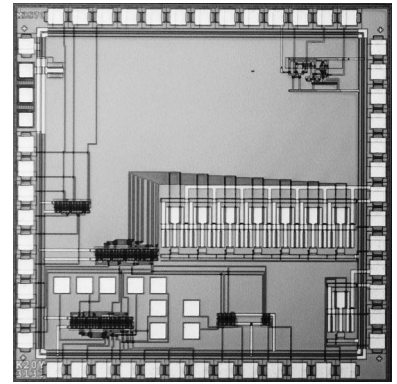


A/D 変換基本回路 TEG

上智大学理工学部 増田 貴志, 三澤 奈穂子, 和保 孝夫

概要: A/D 混合シグナル回路を構成する上で基本となるコンパレータおよび DAC の基本特性を評価するための TEG を設計した。前者では、ソース結合差動対からなるプリアンプ、正帰還をかけた判別回路、セルフバイアス差動対からなる出力バッファの 3 段構成とした。また、後者では、将来高速動作を狙うことを念頭に置き、電流切り替え方式を採用することとし、電流スイッチ、バイナリコード・温度計コード変換器 (NAND 構成)、およびそれらを接続した DAC (3 ビット分, 1LSB = 15 μ A) を設計し搭載した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

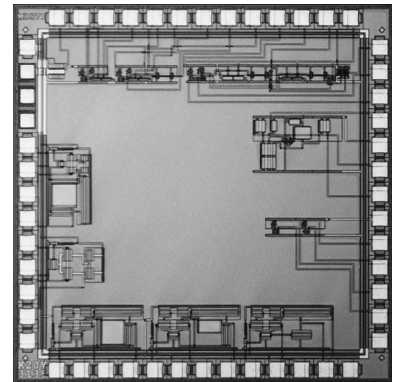


電流モード CMOS 演算回路およびオペアンプ TEG

上智大学理工学部 角田 正人, 織田 淳, 和保 孝夫

概要: 冗長数系, アナログ・デジットなど多値論理の考え方を取り入れた新しい高速演算方式が提案されている。これを実現するためには、結線により線形加算が可能な電流モード CMOS 演算回路が適していると考えられる。今回は、結線により線形加算した電流値を複製するカレントミラー回路、桁上げ信号発生回路、および、桁上げ時に線形加算値から基数分を差し引く和信号発生回路を設計し、搭載した。また、高度のアナログ信号処理を可能とするために、2 段構成オペアンプの基本設計を行ない、搭載した。L, W の設計値に基づき HSPICE シミュレーションを行なった結果では、 $f_o = 5\text{MHz}$, $A_o = 67\text{dB}$, $PM = 45^\circ$, $CMRR = 70\text{dB}$ などの数値を得ているが、実測値と比較してデバイスモデルの妥当性を検討する必要があると思われる。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

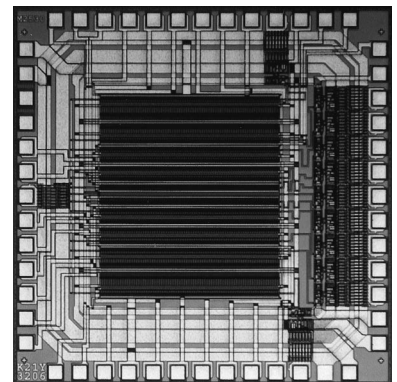


評価回路 Inverter Chain の設計

富山県立大学大学院工学研究科 野田 宗邦, 松田 敏弘, 大曾根 隆志

概要: LSI の高集積化にともない相反する問題となっている高速化と低消費電力化について、これらを同時に実現することが求められている。これを実現するための方法として基板バイアスの印加による方法についての検討を行うこととした。基板バイアス効果により、順バイアスで動作速度が上がり、逆バイアスで電力の消費を押さえることができると考えられる。そこで実際の効果についての検討を行うための評価回路として Inverter Chain の設計を行った。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

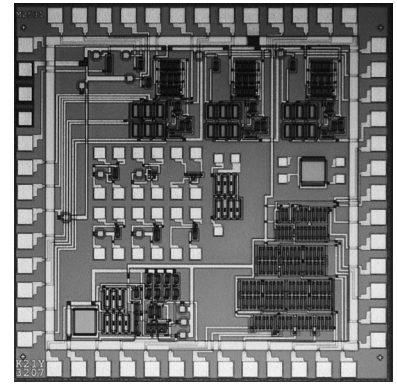


高精度 CMOS 定電圧回路

富山県立大学工学部 山本 真也, 松田 敏弘, 大曾根 隆志

概要: アナログ回路に不可欠な高精度の定電圧回路を CMOS デバイスによって実現するための TEG (Test Element Group) を設計した。所定の電源電圧および温度範囲で中心値からの変動が $\pm 1\%$ 以内の定電圧源を得ることを目標としている。回路構成はバンドギャップ型の原理を応用しており, 低消費電力化も同時に実現している。試作を完了した回路を測定した結果, 基本的な回路動作を確認し, ほぼ目標どおりの性能が得られた。今後, さらに詳細な特性について測定, 検討する予定である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

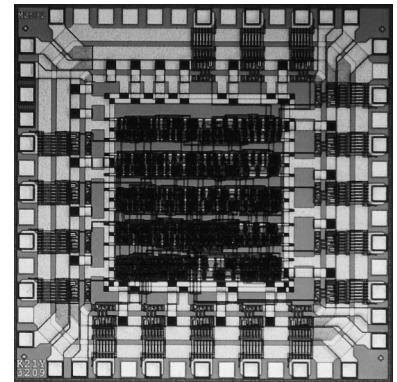


VDEC の CAD 導入を目的としたタイマー回路 (2)

富山県立大学工学部 山本 真也, 松田 敏弘, 大曾根 隆志

概要: 富山県立大学への VDEC の CAD システムを導入するためのテスト回路としてタイマーを回路を設計・試作した。前回の試作では, 基本動作は問題なかったが, 一部に設計仕様と異なる部分があったので, 今回, 修正した。試作が完了したチップを評価した結果, 仕様どおりの動作が得られていることを確認した。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

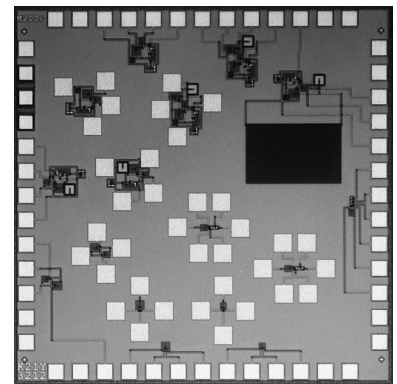


ハードウェアバーストニューロンモデルの試作

日本大学理工学部電子工学科 柏木 直人, 佐伯 勝敏, 関根 好文

概要: 最近, 生体の脳が持っている情報処理能力が着目され, 脳に存在する神経回路網をモデル化し, 工学的に応用するために集積回路技術を用い, 脳型情報処理システムの実装に対する研究が行われている。脳内ではパルスで情報が伝達されていることより, 実際のパルス波形をそのままモデル化するパルス形のモデルが, ニューロンの有する基本的性質を考慮しているため有効である。その中でも発火・非発火を繰り返すバースト発火現象が得られるモデルの研究は最近注目を集め, 生理実験と理論モデルの両面から行われている。我々はバースト発火現象を示すことができるパルス形バーストニューロンモデルを, CMOS プロセスを用いた標準方式に適用できるエンハンスメント型 MOSFET とコンデンサのみで構成し, 試作を行った。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, PSpice **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** ニューテクノロジー

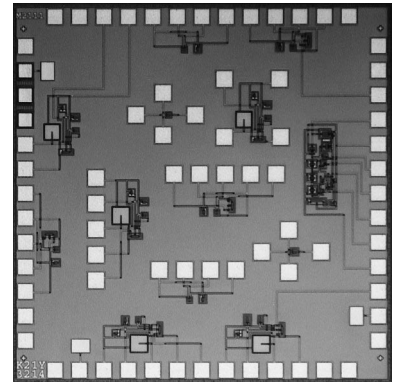


八木型ハードウェアニューロンモデルとシナプスモデルの試作

日本大学理工学部電子工学科 鳥田 季代子, 袁 立展, 佐伯 勝敏, 関根 好文

概要: 近年, 生体の神経回路網の持つ情報処理機構の工学的応用を目的に, パルス形のニューロンやニューラルネットワークに対する様々な研究が行われている. 大規模なパルス形ニューラルネットワークの研究を行う場合, コンピュータシミュレーションには限界があり, ハードウェア化が望まれている. ハードウェアでニューラルネットワークを実現する場合, 基本構成単位である単体のニューロンモデルをIC化する必要がある. 今回, パルス形ハードウェアニューロンモデルの一つである八木のモデルを参考に, 簡単な回路構成で, CMOS IC化可能な八木型ハードウェアニューロンモデルを試作した. また, シナプスモデルをOPアンプを用い構成し, 試作した.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, PSpice **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** ニューテクノロジー

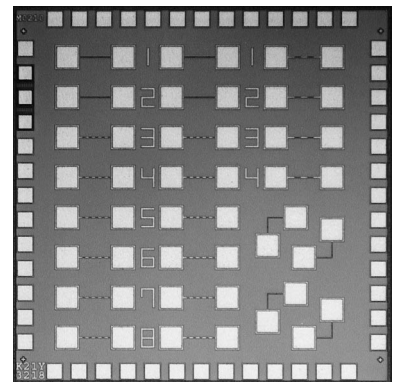


EM 評価用チップの試作

武蔵工業大学工学部 木下 雅彦, 柳沢 宏美, 秋谷 昌宏

概要: エレクトロマイグレーション耐性のパタン効果を調べるために各種のTEGパタンを設計した. 設計は2層配線の上部配線のみを用いてチップ内部に耐性評価用パタン並びにこれに連なるボンディング用パッドを作りペアチップ支給後に独自のセラミックケースに収容しワイヤーボンディングを行う予定である.

設計期間: 0.1人月未満 **設計ツール:** SX-9000, Cadence社 Dracula DRC **トランジスタ数:** 10未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)

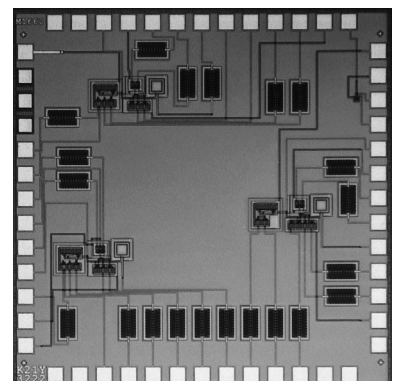


Switched-Opamp の設計

東京理科大学理工学部 三ツ屋 明香, 兵庫 明, 関根 慶太郎

概要: 当研究室で提案した, アナログ回路ブロックの一種である Switched-Opamp の設計を行なった. SC (スイッチトキャパシタ) 回路は低電源電圧時においてキャパシタは影響を受けないが, MOSスイッチは駆動電圧が減少するため, スイッチの動作が困難になるという問題が生じる. この問題の解決法としてスイッチをスイッチング可能な Opamp で置き換える Switched-Opamp がある. 今回, 提案した利得を改善した Switched-Opamp, 2種類を試作した.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど) **参考文献:** [1] 茨木 栄武, 三ツ屋明香, 兵庫明, 関根慶太郎: “利得を改善した Switched-Opamp の構成法”, 電気学会電子回路研究会, ECT-00-5, pp23-28, 2000

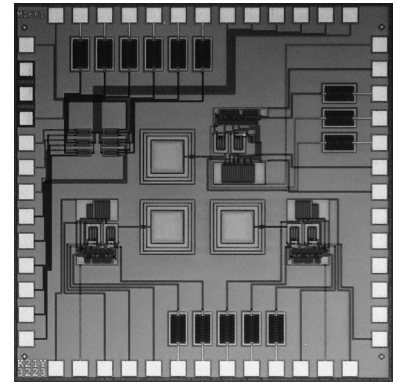


電流モードフィルタの試作

東京理科大学理工学部 丸山 佑樹, 高重 英明, 兵庫 明, 関根 慶太郎

概要: 当研究室で提案した電流モードバイカッドフィルタの試作を行った。今回試作したフィルタは、高速動作、電源電圧の低電圧化に適するとされる電流モード回路で実現している。試作したフィルタは MOSFET の小信号特性を利用したものであるため、各積分器を MOS トランジスタ数個で構成することが出来、回路規模を抑制することが可能である。この種のフィルタは特に VHF 帯域での使用が期待されている。今回試作したのはローパスフィルタ (LPF)、バンドパスフィルタ (BPF)、Q エンハンスメントを施したバンドパスフィルタの 3 種類である。設計遮断 (中心) 周波数はいずれも 10MHz とした。今回試作した 3 種類のフィルタはいずれも理論上ではそれぞれキャパシタが 3 つ必要であるが、その内 2 つをサイズを意図的に拡大した MOSFET のゲート・ソース間容量で代用した。このことにより広大な面積を専有するキャパシタの削減を実現している。

設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** [1] 長沢俊伸, 丸山佑樹, 半田幸久, 兵庫明, 関根慶太郎: “電流モード積分器を用いた CMOS ユニバーサルバイカッドフィルタ”, 電気学会電子回路研究会資料, ECT01-1, pp.1-6, Jan. 2001



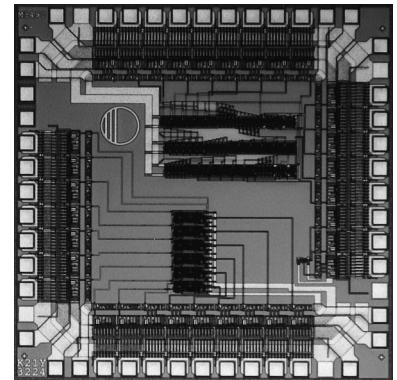
カウンタ及び直列加算器

玉川大学工学部 佐野 有介, 大石 健太

玉川大学学術研究所 中村 眞次

概要: 大学院の授業「デジタル回路特論」で実習設計したチップで二つのデザインが入っている。一つは、外部から入力された正弦波の信号をカウントし、出力させるようにしたもの。家庭用の電源を入力と想定したため、6 ビットのカウンターを用い 1 秒単位で出力できるようにした。しかし、国内では 50hz と、60hz と異なる。そのため、初期値を外部から入力することにより、この問題を回避した。他のデザインは直列演算器で比較と加算を上桁から演算するものである。従来の下桁からの計算では 1 桁ごとに最上位まで計算をしないと結果が得られないが、上桁から計算すると最下位の桁まで計算しなくても結果が得られる場合が多く、また、下桁へ計算が進むに従って結果が真の値に近づくことになる。従って精度に合わせて処理時間や消費電力を制御するには合理的である。回路はひどく複雑になるが、それが実際にどの程度になるか調べる目的で試作設計を行った。一緒に入れたテスト回路の動作確認は行ったが詳細は未評価。

設計期間: 2 月以上, 3 月未満 **設計ツール:** Tanner 社 L-Edit V8.1 **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



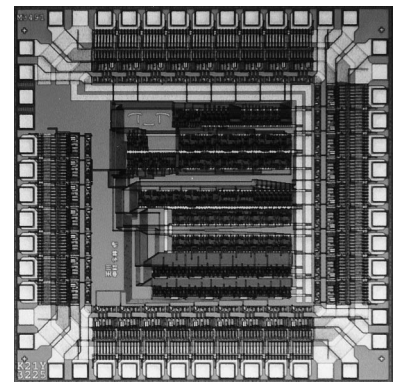
シンプル CPU

玉川大学工学部 堀 浩一郎, 今井 嘉朋

玉川大学学術研究所 中村 眞次

概要: 大学院の授業「デジタル回路特論」で実習設計した極簡単な 8 ビットのマイクロプロセッサである。内部に論理演算装置、プログラムカウンタ、アキュムレータ等と、付随する制御回路が組み込まれており、動作時に外部に必要な装置は、クロック発生器、プログラムの書き込まれた RAM、リセット回路、電源等である。CPU が直接アクセス出来るメモリ空間は、6 ビットとなっており、また、プログラムとデータを同一メモリ空間に配置するようになっている。論理演算は、加減算が可能となっている。また付随する制御として、CPU 内ワークレジスタ (アキュムレータ) からのデータを取り出し、演算結果を条件としたジャンプが可能である。

設計期間: 2 月以上, 3 月未満 **設計ツール:** Tanner 社 L-Edit V8.1 **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** マイクロプロセッサ



FG-MOSFET を用いたアナログ機能回路の作製

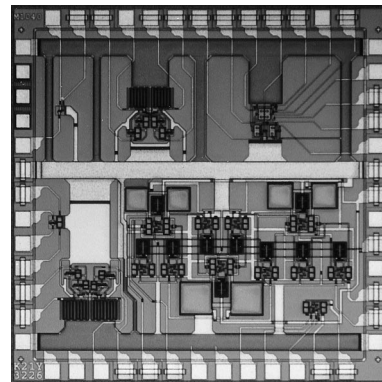
熊本大学工学部 井上 高宏, 浦元 大志

熊本大学大学院自然科学研究科 中根 秀夫, 二宮 竜也, 平山 陽一朗

概要: 低電圧完全差動型電流モード 3 次チエビシェフ低域通過フィルタ, トランスリニア型の乗算・除算回路と 1.6 乗の冪回路, それにテント写像型離散時間型カオス回路を, いずれもフローティングゲート MOSFET (FG-MOSFET) を用いて構成し, 1 個のチップ内に集積化した. これら各機能回路は, 個別のテスト用の回路を同一チップに相乗りさせたもので, 全体としてあるシステムの構築を目指したのではなく, 各機能回路において FG-MOSFET が所望の動作や特性を実現しているかを確認することを主目的として, 本チップを試作した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** MAGIC, Cadence 社 Dracula DRC,

Cadence 社 HSPICE **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** T. Inoue, Y. Fukuju, and H. Nakane, "A Design of a Low-Voltage FG-MOSFET Translinear Circuit Realizing Multiplication, Division, and Power Functions", Proc. of 2000 IEEE Int'l Analog VLSI Workshop, pp.84-89, June 2000.



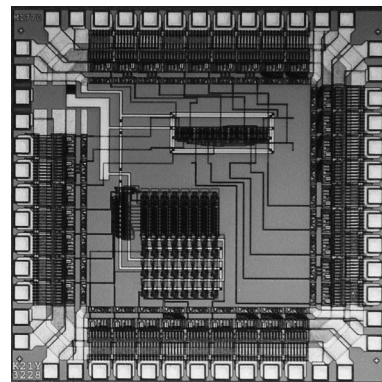
Josephson/CMOS ハイブリッドシステム用低温動作 CMOS アンプの設計

横浜国立大学工学部電子情報工学科 阿部 高志, 本告 圭, 吉川 信行

概要: 我々は超伝導 RSFQ 論理回路と CMOS 回路かならるハイブリッドシステム用のインターフェイスである高感度高速アンプの設計を行った. RSFQ 論理回路からの出力電圧レベルならびに周波数はそれぞれ 100 μ A, 16GHz である. それをまず, 超伝導デマルチプレクサと超伝導アンプにより 20mV, 500MHz に変換する. 本 CMOS アンプはこの出力信号を CMOS の電圧レベルまで増幅するための回路である. 回路は動作速度の向上のため, 77K で動作させる. また, スループットを増加させるためにパイプライン方式とし, クロックフリップフロップとラッチで構成される基本増幅回路を 3 段, ならびに TSPC ドライバ 1 段で構成さる. HSPICE シミュレーションにより本回路は 77K において, 500MHz, 500mV の信号を CMOS 電圧レベルに増幅できることが示された. また, 予備的な実験により, 本回路は 77K において, 100MHz, 400mV の電圧信号を CMOS の電圧レベルに増幅できることが示された.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナデジ混載 **参考**

文献: N. Yoshikawa, T. Abe, Y. Kato and H. Hoshina, "Component Development for a 16 Gb/s RSFQ-CMOS Interface System", to be published in IEEE Trans. Appl. Superconductivity, March, 2001.



三相時間相関光位置検出素子

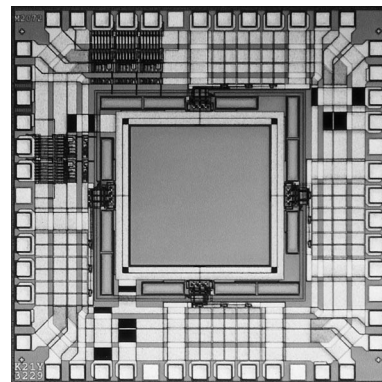
東京大学大学院工学系研究科 来海 暁, 安藤 繁

東京大学工学部 五嶋 健治

概要: 我々の研究室では MOT98-2 において, 参照信号との時間相関により特定の時間波形を有する光の輝点の位置のみを検出可能な時間相関光位置検出素子の試作を行い, 基本原理および動作を確認した [1]. 本試作ではこれを発展させ, 各電極における MOS トランジスタ - キャパシタの相関演算ユニットを従来の 2 つから 3 つに増やす構成を採用した. この検出回路の特色として, 参照信号を三相で加えることにより直交検波出力の対を一度に得ることが可能であり, これにより輝点の位置のみならず, その重心や広がりなども 1 回の同時直交検波の結果のみから直接得られるようになり, 高速かつ高機能な位置検出への応用が期待される.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社

Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 安藤, 高橋, "時間相関型 PSD", p.59, 1998 年 VDEC 年報 (1998).



離散時間型電流モードアナログ CMOS カオス回路

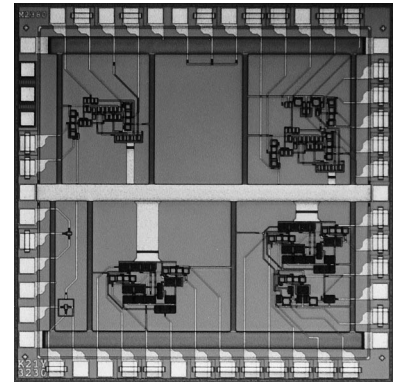
熊本大学工学部 羽野 光隆, 濱里 主巳, 常田 明夫, 井上 高宏

熊本電波工業高等専門学校 江口 啓

概要: 一次元写像に基づいた離散時間型カオス系列の生成回路を設計した。一次元写像として、アナログ回路での実現が容易(不可避な雑音等による揺らぎに対して頑健)で、かつ良好な統計的性質をもつ区分線形 N 型写像を用いた[1]。試作した回路は、スイッチトカレント技術を用いた離散時間型電流モードアナログ CMOS 回路で実現しており、演算部と遅延部で構成されている。また、これとは別に、演算部の動作を確認するために演算部のみの回路も試作した。いずれの回路もユニットトランジスタを用いており、また、電源電圧 5.0V で動作するように試作した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** トランジスタ数: 100 以上, 1,000

未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** その他 **参考文献:** [1 羽野, 常田, 濱里, 江口, 井上, “区分線形 N 型写像に基づいた CMOS アナログカオス回路の設計”, 電気学会研究会資料, 電子回路研究会, ECT-01-9, pp.41-46 (2001 年 1 月)

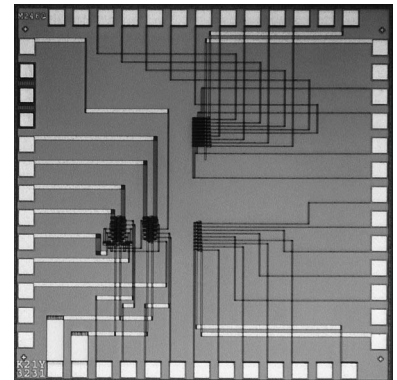


ニューロン MOSFET を用いた 4 進 SD 数全加算器のフローティングゲート部分の共有化

関西大学工学部 今西 茂, 浅香 篤, 村中 徳明, 徳丸 正孝

概要: 電圧モードで動作が可能なニューロン MOSFET はしきい論理を扱う素子である。このニューロン MOSFET を用いれば、フローティングゲート部において、電荷の加重平均が取れる。これを利用することにより、本研究室においても、ニューロン MOSFET を用いた 4 値全加算器や、3 進 SD 数系全加算器の設計を行ってきた。今回は、4 進 SD 数系全加算器の設計を行っている。4 進 SD 数全加算器のレイアウトにおいては、フローティングゲート部分の占める割合が大きくなって、レイアウト面積の増加になっている。このために、フローティングゲート部分の共有化を行うことによって、レイアウト面積の縮小を図っている。今回のチップ試作では、しきい値の異なるニューロン MOS インバータ等の素子を作成し、その素子の動作特性も検証している。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** 演算回路(乗算器, 除算器など) **参考文献:** 浅香, 徳丸, 村中, 今西: “ニューロン MOSFET を用いた 4 進 SD 数全加算器の改善”, 2000 年電気関係学会関西支部連合大会, G-10-6, (2000-11)

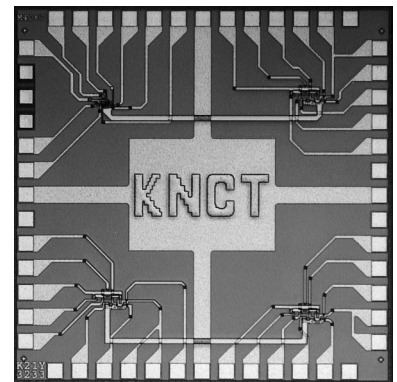


電源電圧 3V で動作可能な SI カオス集積回路

熊本電波工業高等専門学校情報工学科 江口 啓

概要: 近年、工学分野においてカオスを利用した様々な応用システムが提案されている。これらのカオス応用システムのビルディングブロックとして用いられるカオス回路は、低電圧で動作できかつ、簡素な回路構成であることが望ましい。本研究においては、電源電圧 3V で動作可能な離散時間型カオス集積回路を設計する。提案の低電圧回路は 13 個の MOSFET と 2 個のコンデンサで実現可能であり、カオス応用システム実現の一助となる。今回の試作においては、コンデンサを外付けにするハイブリッド構成の回路を想定し、レイアウト設計を行った。提案回路は、オンセミコンダクタ社 1.2 μ m, 2.3mm 角のチップとして実現した。試作チップ内には、4 つのカオス発生回路が実装されている。設計は筆者(若手助教授)1 名で行った。VDEC を利用した IC 試作は初めてであったため、試作開始からデータ提出まで約 4 ヶ月を要した。

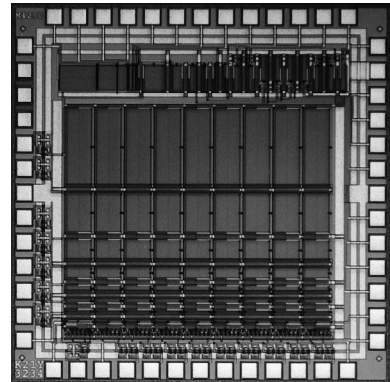
設計期間: 2 人月以上, 3 人月未満 **設計ツール:** MAGIC, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** K.Eguchi, F.Ueno, T.Tabata, H.Zhu, T.Inoue, “Simple design of a discrete-time chaos circuit realizing a tent map”, IEICE Trans. on Fundamentals, vol.83-C, no.5, pp.777-778, 2000



新型 CMOS シナプス回路

電気通信大学電気通信学部電子工学科 範 (Pham) 公可 (Cong-Kha)

概要: シングルチャンネル MOS トランジスタ及び CMOS トランジスタの相互コンダクタンス値 g_m を用いて重み値を実現しているシナプス回路はインバータ回路を並列に接続させ、それぞれのインバータを構成しているトランジスタのチャンネル形状 (W/L) を用いて重み値を決めていた。それぞれのインバータ入力にはハイレベル又はローレベルのデジタル信号を入力させ、インバータを構成しているトランジスタをオン又はオフ状態として動作させていた。この時、オンの状態で動作しているトランジスタのチャンネルのオン抵抗とスイッチの組合せで、電源とグランドの間に電圧が分割され、設定されている重み値に対応する電圧レベルが出力端子より得られる。しかし、トランジスタのドレイン端子は出力端子としているため、常時に一定の電圧レベルが保っていきなくオン抵抗値を変化させてしまう。今回、新型 CMOS シナプス回路を設計した。回路を構成している CMOS インバータ回路に、トランジスタのオン抵抗値を無視できる抵抗値を持つ抵抗体を導入し、正確にシナプスの重み値を実現することができた。

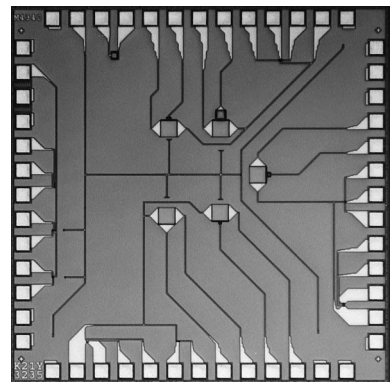


設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** 範 公可, “ 新型 CMOS シナプス回路 ”, pp.246-248, 電子情報通信学会論文誌 2001/2 Vol. J84-A No. 2

MOSFET におけるフローティングゲートの影響評価

京都大学エネルギー科学研究科 山口 直人, 関本 大郷, 野澤 博

概要: 近年、強誘電体薄膜をゲート絶縁膜として用いた MFS (Metal-Ferroelectric-Semiconductor) FET が、非破壊読み出し可能な不揮発性メモリとして注目されている。しかし、この MFS-FET 作製には、強誘電体/Si 界面特性の問題などが示唆されている。現在、その解決策としてパツファ層に導電層と絶縁層を用いた MFMIS (Metal-Ferroelectric-Metal-Insulator-Semiconductor) 構造の FET が提案され、実用化に向けての研究が行われている。この MFMIS 構造にはフローティングノードが存在し、それに起因した各種特性 (記憶保持特性等) への影響が懸念されている。そこで我々は、この MFMIS-FET のモデル化、動作方式の検討、動作解析・信頼性評価等を目的として、フローティングゲートにおけるドレイン・ソースとのカップリング容量やノード抵抗等の測定及びその影響の見積もりを行う為、パラメータ抽出測定用チップの試作を行った。今回作製した素子は W/L 比の異なる各種サイズの MOSFET、MOSFET のゲートにキャパシタを接続したフローティングゲートを有する MOSFET (容量比が異なるもの数種)、ノード抵抗を見積もる為の接触抵抗測定用素子である。(尚、テストによる測定は行っていない。)

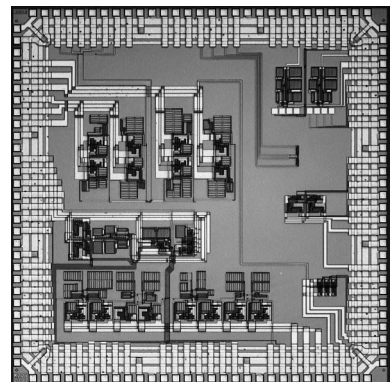


設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Silvaco Expert 2.5.8.R **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

MOS 構成に適したアナログ形 PLL の試作

秋田大学工学資源学部 川元 雅紀, 伊藤 文人, 井上 浩

概要: デジタル形として製作されることが多い PLL をアナログ形 PLL とすることで、大幅な回路の簡単化が可能と考えられる[1]。本研究では、CMOS プッシュプル回路を応用し、分周器やチャージポンプ回路等を用いないアナログ形 PLL を提案し、動作検証を目的に LSI を設計・試作した。従来必要とされてきた回路ブロックを用いない PLL 回路を構成することができ、回路規模の縮小と回路全体の LSI 化が容易となった。試作した IC は、アナログ形 PLL の全体回路を構成する個別回路ブロック・テスト回路を、前年度の修正版に加えて作成した。数 MHz 程度の周波数帯域を想定したため使用する容量が大きくなったが、高周波化を計ることにより回路およびその面積の縮小は可能と考えられる。



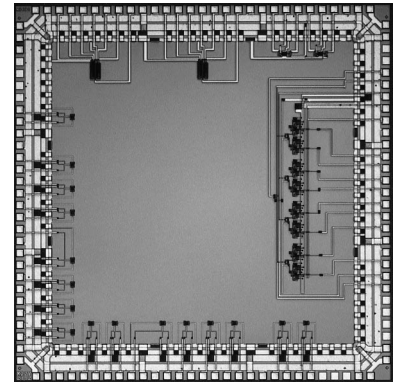
設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** [1] 伊藤, 井上: “ CMOS LSI アナログ PLL の一設計 ”, 1999 年電子情報通信学会総合大会, 基礎・境界, p.51.

動的雑音特性研究用ニューラルネットワーク・チップ

東京大学新領域/先端研 廣瀬 明, 本多 正明, 中沢 一彦, 長嶋 知行

概要: 従来, 連続電位を信号とするアナログ・ニューラルネットワーク・チップは, その芳しくない雑音性能と荷重制御性能が処理ダイナミクスに限界を与えて良い結果が得られ難いとされてきた. 一方でその広い有効帯域幅は, パルス・ニューラルネットワークやデジタル・ニューラルネットワークに比べて格段に優位にある. 将来的にハードウェア(チップ)ニューラルネットワークが意味を持つ可能性のある分野は, センサ等と組み合わせられたインターフェイス, およびアクティブ・アンテナ等の真に超高速が要求される非線形分散処理にあると, 我々は考えている. 後者への応用のために, アナログ・ニューラルネットワークの動的雑音特性の解明とその制御を目的とした研究を進めている. 最も基本的なニューロ課題である連想記憶を行うチップを作成し, 現在計測を進めている.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** ニューテクノロジー

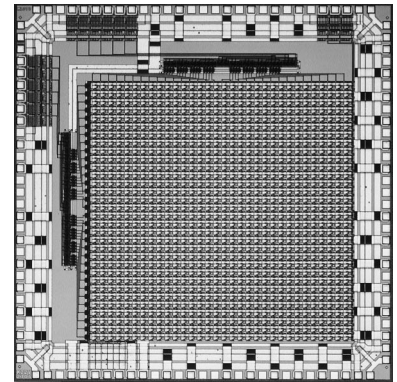


三相時間相関イメージセンサ

東京大学大学院工学系研究科 来海 暁, 安藤 繁

概要: 我々の研究室で提案し開発を続けている時間相関イメージセンサは, 入射光強度と各画素共通の外部参照信号との時間相関を出力する撮像素子であり, 画像の時間軸情報を活用した様々な新しい画像計測応用を可能にする. 本試作ではこれまでに基本動作を確認してきた可変伝達コンダクタンス乗算器型画素 1 を発展させ, MOS トランジスタ・キャパシタの相関演算ユニットを従来の 2 つから 3 つに増やした画素構成を採用した. この画素回路の特色は, 参照信号を三相で加えることにより, 最小の素子数で直交検波出力の対を一度に得ることが可能な点にある. 直交検波出力が 1 フレーム出力として同時取得可能なことは, 本イメージセンサを用いた画像計測応用が文字通り実時間で実現可能であることを意味する. 本試作ではまず理論検証と動作確認を目的とし, 32 x 32 画素を集積した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1 来海, 安藤, “時間相関型イメージセンサ(第3報)”, p.47, 1998 年 VDEC 年報(1998)].

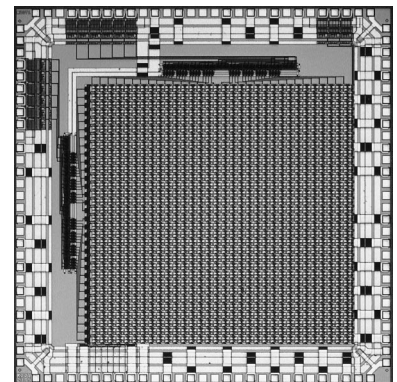


三相時間相関イメージセンサ(キャパシタ変更版)

東京大学大学院工学系研究科 来海 暁, 安藤 繁

概要: 本チップでは, 時間相関イメージセンサこれまでの試作において問題とされてきたダイナミックレンジを拡大するため, 本ランで試作している三相時間相関イメージセンサにおいて, 相関演算用キャパシタを従来の接合容量からゲート酸化膜容量に変更し, 容量の増加を試みている. 三相時間相関イメージセンサについては当該ページを参照.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ

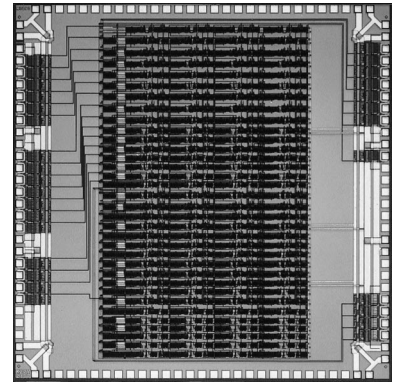


動的再構成型桁直列演算による DCT 回路

埼玉大学工学部 伊藤 和人

概要: 集積回路の微細化により、配線を用いたデータ通信時間が相対的に増加しており、データ通信時間が要因となって処理速度向上を妨げると予想されている。回路の動作中に一部の演算器の再構成が可能な動的再構成型回路を用いれば、近傍の未使用演算器を所要の演算器に再構成することで長距離の演算器間データ通信を不要とし、データ通信時間を低減して高速な処理を達成できる。固定小数点桁直列演算では桁直列乗算器と桁直列加算器の間の再構成が容易であることに着目し、動的再構成型桁直列演算によって 8 ポイント一次元離散コサイン変換をコンパクトかつ高速に行う回路を考案した。今回の試作では、制御部を除いたデータ演算部のレイアウト設計を行った。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** 伊藤, “動的再構成型桁直列演算による離散コサイン変換回路”, 情処研報 2001-SLDM-99, pp.49-56, 2001.



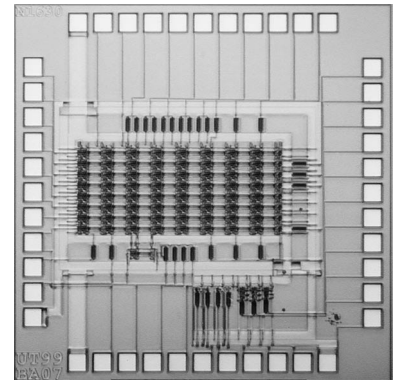
平成 11 年度 第 2 回 日立北海セミコンダクタ チップ試作 (HHS992)

中断法動きベクトル検出の渦巻き探索を実現するレジスタアレイと D-FF TEG

中央大学理工学部情報工学科 松本 純一, 宮崎 雄一朗, 榎本 忠儀

概要: 本研究室で開発した中断法動きベクトル検出アルゴリズムは, ME 処理を中心から渦巻き状に探索を行うため, ME 回路にデータを転送するために, 画素データを左右水平方向, 上下垂直方向に 1 画素ずつ転送できるレジスタアレイが必要となる. 出力に 1 : 5 デマルチプレクサを設けて, 5 方向 (上, 下, 左, 右, 右上) にデータを転送できる D-FF を開発し, 機能と特性評価のため, 簡単なレジスタアレイを設計した. レジスタアレイは 8 画素 \times 8 ラインで, 各画素はそれぞれ 1bit である. また, 入出力レジスタ, パイプラインレジスタ, レジスタアレイ, 等に用いる CMOS D-FF を設計した. マスターとスレーブのスイッチとフィードバック回路の違いによる特性を評価するために 7 種類の D-FF を設計し, 搭載した.

設計期間: 6 月以上, 7 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** その他 **参考文献:** [1] 宮崎, 松本, 榎本, “中断法アルゴリズムに階層探索法を併用した動画像動きベクトル検出と低消費 CMOS 動きベクトル検出回路”, 信学技報, ICD2000-22, pp.1-8, 2000 年 5 月

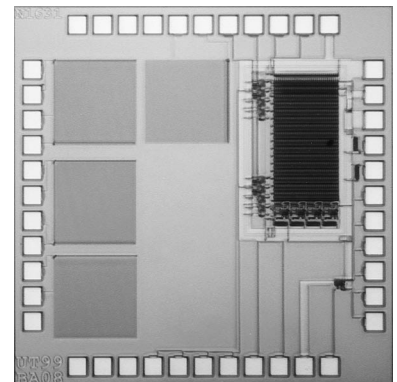


SRAM および MOS 容量測定 TEG の試作

中央大学理工学部情報工学科 榎園 康憲, 鹿野 裕明, 榎本 忠儀

概要: CPU, DSP, ASIC などに搭載する高速 1k ビットスタティック RAM (SRAM) と, MOS 容量の測定を目的とした, nMOSFET, pMOSFET, n 形 MOS および p 形 MOS を試作した. SRAM のワード構成は 4 ビット \times (8 \times 32) ワードである. またメモセル 1 ビットおよび差動増幅器単体も TEG として搭載する.

設計期間: 3 月以上, 4 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** メモリ **参考文献:** [1] 榎本, “CMOS 集積回路 入門から実用まで”, pp.177-205, 培風館, 1996 年 10 月.

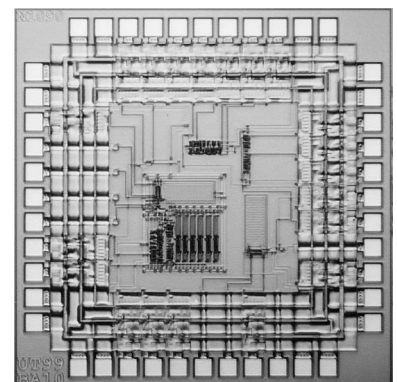


大面積 LSI における高速同期クロック回路評価チップ

東京電機大学理工学研究科 竹内 崇, 星野 洋

概要: 近年, 半導体技術の向上によりチップの大面積化・微細化が進み, 減少するゲート遅延に対し配線遅延の問題が年々大きくなっている. 特に同期式回路ではクロック配線の遅延増大がチップ性能向上の大きな阻害要因となっている. そこで本研究では PLL 回路を応用したフィードバックループをクロックジェネレータと論理ブロックの間に形成し, 動的にクロックスキューを補正するクロック補正回路を試作・検証した.

設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** アナデジ混載

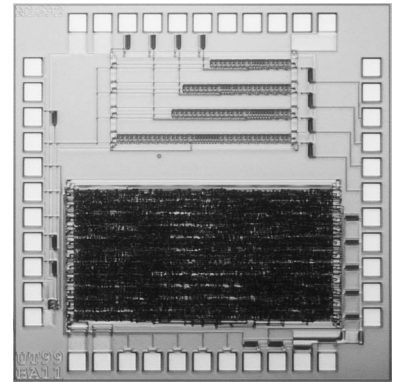


動画画像符号化用 ME 回路 TEG と 64bit 浮動小数点除算回路用 S 生成回路・乗算回路

中央大学理工学部情報工学科 小田部 晃, 堀口 智哉, 榎本 忠儀

概要: 本研究室で開発した中断法を用いた動画画像符号化用 ME 回路のクリティカルパス測定用 TEG を試作した. 本 TEG を測定することで, 構成と演算ビット数の違いによる遅延時間の差を評価できる. 除算回路についてはアルゴリズムとしてスケーリング法と高基数非回復型除算を用いた. 基数 4 と基数 8 の 64 ビット浮動小数点除算回路の仮数部を設計し, 比較した結果, 基数 4 の FET 数 (49.6K 個) に比べ, 基数 8 の FET 数 (74.3K 個) の方が大きい, 高速であることがわかった. 基数 8 の仮数部の回路規模を小型化するため, 加減算回路の共通性を利用した結果, 35.3K 個まで削減できた. この回路のクリティカルパスを含むスケーリング係数生成回路と乗算回路を試作した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** [1] 堀口, 榎本, “基数 8 非回復型除算回路用の 0.5 μ m-CMOS スケーリング係数生成回路, 乗算回路の設計” 電子情報通信学会総合大会講演論文集 C-12-19, p.114, 2000 年 3 月.

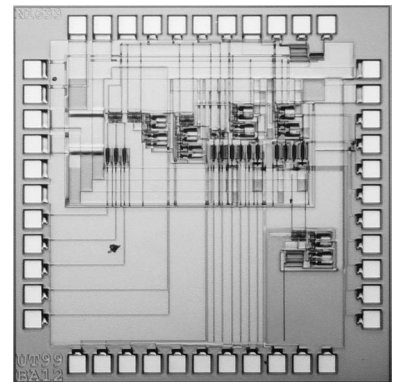


バックゲートバイアス制御 CMOS リングオシレータとそれを用いた PLL

中央大学理工学部情報工学科 早船 明, 榎本 忠儀

概要: バックゲートバイアス制御 CMOS リングオシレータ (Back-Gate Voltage Controlled Oscillator : BG-VCO) とそれを用いた PLL を HHS0.5 μ m CMOS 技術を用いて開発した. BG-VCO はバックゲートバイアスで発振周波数を制御するリングオシレータ型 VCO である. また, 位相周波数比較器, レベル変換器, 及びチャージポンプを設計し, BG-VCO を用いて PLL を構成できる.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** [1] 早船, 榎本, “バックゲートバイアス制御リングオシレータを用いた CMOSPLL の設計”, 電子情報通信学会総合大会, C-12-58, pp.153, 2000 年 3 月



ウェーブパイプライン化 ALU

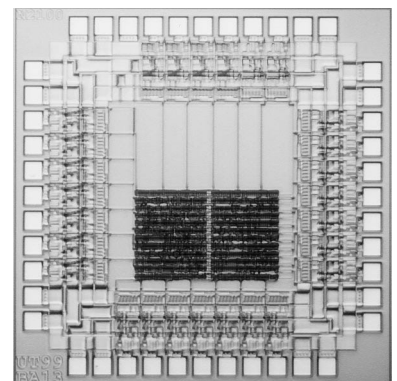
札幌学院大学社会情報学部 佐藤 友暁

弘前大学理工学部 深瀬 政秋

東北大学大学院情報科学研究科 江川 隆輔, 中村 維男

概要: ウェーブパイプライン手法は, 面積, 遅延時間, 消費電力の増大を引き起こす同期用のパイプラインレジスタを使用せずに, パイプライン手法を実現する. しかし, ウェーブパイプラインは加算器, 乗算器といった単機能回路にのみ適用されてきた. これまでのところ, 多機能回路には適用されていない. 本チップでは, ワード幅 8 ビットのウェーブパイプライン ALU を試作した. 本試作では, VHDL 言語を用いたトップダウン設計を行い, 使用したスタンダードセルライブラリ P2lib である. VSS を用いたシミュレーションの結果, 1GHz で動作することを確認した. ロジックアナライザによるチップ測定の結果, 50MHz での正常動作を確認した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Cadence 社 Cell Ensemble, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** [1] M. Fukase, T. Sato, R. Egawa, and T. Nakamura, “Scaling up of Wave Pipelines”, THE FOURTEENTH INTERNATIONAL CONFERENCE ON VLSI DESIGN, Jun.2000.

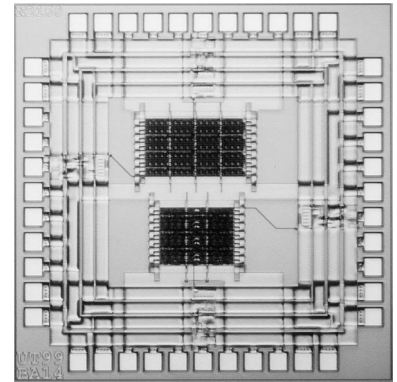


多入力 EXOR ゲートの評価用 TEG

広島市立大学情報科学部 越智 裕之

概要: AND-EXOR 論理およびその最適化に関する理論的な研究は盛んに行われているが、それを実設計に生かそうという研究例は少ない。AND-EXOR 論理を直接実現すると仮定すると、多入力の EXOR ゲートが必要になる。本チップは、2 種類 (CMOS 論理およびパストランジスタ論理) の 64 入力 AND-EXOR ゲートの評価を目的とした TEG である。遅延時間を評価するため、同じ 64 入力 EXOR ゲートを 7 段直列に接続し、リングオシレータを形成している。遅延時間の実測結果は、回路シミュレーション結果とほぼ一致することが確認できた。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Synopsys 社 PowerMill **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)



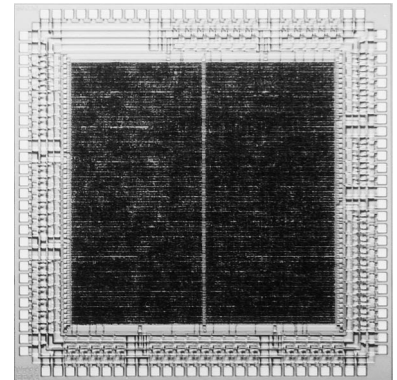
量子コンピュータ ハードウェアエミュレータ専用エンジン

東京大学工学系研究科 大内 真一

東京大学新領域創成科学研究科 藤島 実, 鳳 統一郎

概要: 量子アルゴリズムを実装可能なハードウェアエミュレータ^[1]専用エンジンを作製した。今回試作したチップを複数組み合わせ、制御部等を付加することにより、量子アルゴリズムをエミュレート可能となる。エミュレーションは量子系の確率振幅を FIR で操作することにより遂行される。本専用エンジンは、4 タップの複素 FIR を備えている。この複素 FIR は符号ビットと仮数部 5bit, 指数部 5bit の変則 11bit 浮動小数点演算を行う。チップ内には浮動小数点加算器 14 個, 同乗算器 16 個が含まれる。演算の性質上桁落ちが起きやすいため、加算器の配置を工夫し、さらに飽和演算を導入した。また、高速化を図るため、パイプライン処理を加算および乗算に導入した。本チップは Verilog-HDL により記述された。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 4.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** [1] S. O'uchi, M. Fujihsima and K. Hoh, Extended Abstracts of 1999Int. Conf. Solid State Devices Materials, pp. 96-97 (1999).

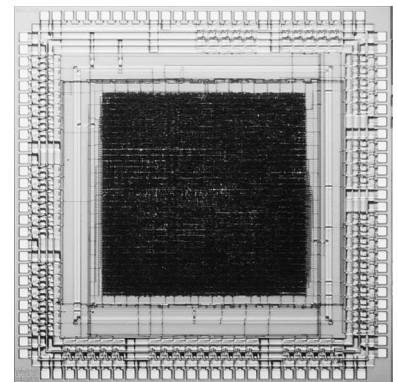


IP 公開を目的とした乗算器チップの試作設計

九州大学工学部 田上 暢頭, 室山 真徳, 兵頭 章彦, 安浦 寛人

概要: 近年の LSI 設計はますます大規模かつ複雑な対象を取り扱っている。同時に設計期間の短縮やコストの削減が求められているため、設計の再利用を目的とした IP (Intellectual Property) の活用が重要になる。今後、IP の需要がますます大きくなることは明らかであり、IP を実際にユーザが利用しやすい形で提供していく必要がある。我々は、各種の乗算回路を設計し、乗算器 IP として公開する事を目指している。この目的はビット数の違う乗算器を、さまざまな乗算器構成に従って設計し、それぞれの性能データを添付した上で IP として公開することにより、利用者の必要に応じて、速度、消費電力、および面積の異なる乗算器群より、要求する性能の乗算器を選択して手軽に利用することを可能とする事である。今回は、現在設計している十数種類の乗算器の中から、Array 型, CarrySelect 型, CarryLookAheadSelect 型, FastLookAhead 型, Ripple 型のそれぞれの乗算器について 16 ビットの物を選択し、実装を行った。回路面積は約 2.26 平方 mm, 総セル数は 6427 である。試作チップの完成後、これらの 5 つの回路について動作確認、測定、検証、ドキュメント化を行う予定である。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 design_compiler, Synopsys 社 Module Compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 4.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

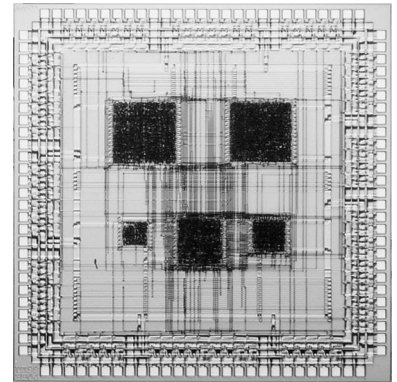


入力信号パターンを考慮した低電力乗算器の試作

九州大学大学院システム情報科学府情報工学専攻 室山 真徳, 兵頭 章彦, 安浦 寛人
東京大学大規模集積システム設計教育センター 石原 亨

概要: 我々は入力信号パターンを考慮した低消費電力な乗算器を設計した。今回試作した回路は乗算器を構成する各1ビット全加算器(FA)の入力信号パターンを考慮して(1)複数のFAセルから適当なセルを選択し,(2)入力端子の接続を変更することで低電力な乗算器を構成できる実験用16ビット乗算器である。FAとして2種類の回路構造の異なるセルを用意し,それぞれトランジスタサイズを調整した低電力向けと高性能向けの2つを作成した。3ビットの乗算回路において回路シミュレータSPICEを用いた結果32.1%の電力の削減が達成できた。乗算器のトップの入出力端子は通常の乗算器の入力データ用と出力データ用の端子以外に,入力端子の接続方法を選択可能な制御線,どのFAセルの出力を有効にするかの制御線および,どのFAセルにこれらのデータを与えるか制御できる入力端子を用意した。

設計期間: 0.5人月日以上,1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上,100,000未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 4.8mm角 **チップ種別:** 演算回路(乗算器,除算器など) **参考文献:** [1] 室山,石原,兵頭,安浦,“入力信号パターンを考慮した低電力算術演算回路の設計手法”,情報処理学会論文誌,Vol.4,(2001)。

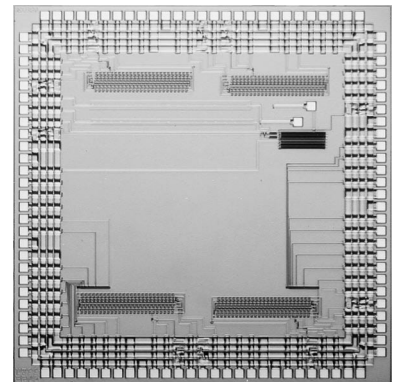


低消費電力加算器における加算回路方式比較用回路

東京大学生産技術研究所 平林 雅之, 桜井 貴康

概要: 集積回路を低消費電力化する手法として,動的に電源電圧を変化させる Voltage Hopping (VH) があり,近年注目されている。VHを用いて低消費電力化を図る際に最適な加算回路形式について検討するため本回路を試作した。検討に用いる加算回路形式は CMOS Logic (CMOS), Complementary Pass-Transistor Logic (CPL), Transmission Gate Logic (TG) の3つであり,それぞれの形式で全加算器(FA)を構成した。FAの3入力にあらかじめ信号を与えておき,その後信号を変化させる。出力信号が入力に追従して変化するまでの時間を遅延とした。その結果,動作電圧が $V_{dd}/3$ まで下がってくると CPL や TG の動作が著しく下がってくることがわかった。つまり CMOS は電源電圧の変動に強く電源電圧が変動してもある程度の動作速度を維持することができる。それを考慮すると FA を CMOS で実現するのがもっとも低消費電力であると考えられる。

設計期間: 0.1人月以上,0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva **トランジスタ数:** 100以上,1,000未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 4.8mm角 **チップ種別:** TEG(特性評価回路など) **参考文献:** 平林雅之, 桜井貴康,「低消費電力乗算器における加算回路形式の検討」応用物理学学会学術講演会講演予稿集, pp. 800, 2000年9月

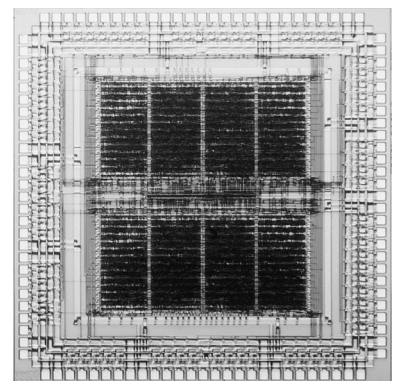


32bitRISC マイクロプロセッサの設計

東京工業大学大学院理工学研究科 大戸 友博, 石島 誠一郎, 内海 哲章, 畔上 謙吾, 高橋 篤司

概要: 各レジスタへ必ずしも同時刻にクロックを分配をしない準同期式設計手法の有効性を確認するため,32bitRISC マイクロプロセッサを制作した。チップ間の製造誤差の影響を排除し,準同期式設計手法および従来の完全同期設計手法によって得られたプロセッサコアの速度を比較するために,両設計手法で設計した二つのプロセッサコアを,試作チップには搭載する予定であったが,設計期間の都合により,完全同期式設計手法で設計された同一のプロセッサコアを二つ搭載した。プロセッサコアは四段パイプラインで構成されており,32bitの汎用レジスタを4本内蔵している。命令セットはR2000/R3000を参考に作成した。詳細なチップの性能評価は行っていないが,自作の評価ボードにより低速での動作を確認した。この試作においては,スタンダードセル方式によるカスタムチップ開発フローの習得が主な成果としてあげられる。実際のチップを作成することによって,開発環境の構築やツールの使用方法など,さまざまなノウハウを得た。

設計期間: 6人月以上,7人月未満 **設計ツール:** Cadence社 Verilog-XL, Avanti社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 4.8mm角 **チップ種別:** マイクロプロセッサ



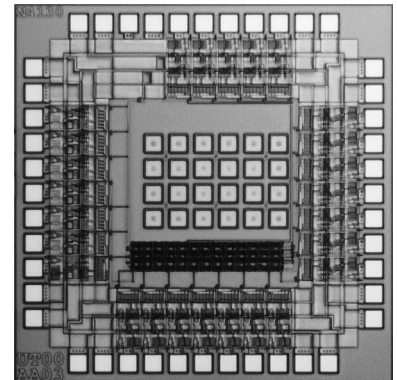
平成 12 年度 第 1 回 日立北海セミコンダクタ チップ試作 (HHS001)

有機 LED ディスプレイドライバー IC

九州大学大学院システム情報科学研究院 服部 励治

概要: アクティブマトリクス駆動有機 LED ディスプレイにおいてピクセル回路のスイッチング TFT の閾値電圧, 移動度のバラツキによる輝度不均一性が最大の問題となっている。これを解決する方法として定電流源からの電流値として直接有機 LED に流れる電流を指定する電流指定型アクティブマトリクス駆動法が有効と考えられる。我々はこの駆動法を用いたディスプレイを実現するための専用ドライバー IC を開発する。この設計では, 第一段階としてレベルシフターとして使われる高耐圧 MOS の最適化をメインに行った。また, MOS をラダー抵抗として用いた高耐圧インバーターを試作した。同時に余った領域を利用して, 4 ビット入力をディスプレイ信号に変換するシフトレジスター, ラインラッチなどのロジック部分を設計した。

設計期間: ~ 0.1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VSS, Cadence 社 Cell Ensemble, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

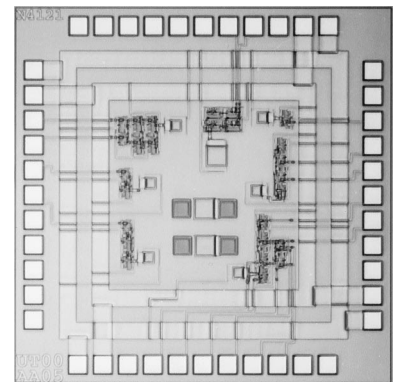


光インターフェース LSI の I-V 変換回路の設計

金沢大学工学部 深山 正幸, 藤田 隼人, 中村 公亮

概要: 本チップ試作では光インターフェース LSI のための, フォトダイオード付きの I-V 変換回路を試作した。光インターフェース LSI の性能を決める初段の I-V 変換回路を試作した。光通信用 LSI のため, 非常に高速な動作必要とする。しかし本チップでは光検出用のフォトダイオードも集積しているため, この容量がボトルネックになっている。そこでフォトダイオードの容量で帯域幅が狭くならないように, 低入力インピーダンの I-V 変換回路を試作した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

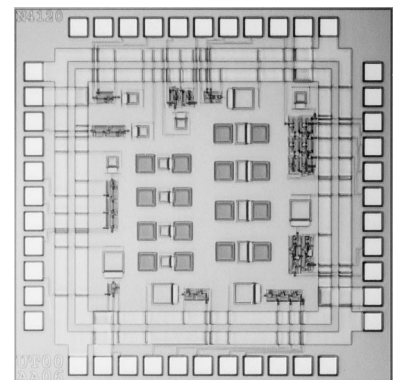


光インターフェース LSI の I-V 変換回路の設計

金沢大学工学部 深山 正幸, 藤田 隼人, 中村 公亮

概要: 本チップ試作では光インターフェース LSI のための, フォトダイオード付きの I-V 変換回路を試作した。光インターフェース LSI の性能を決める初段の I-V 変換回路を試作した。光通信用 LSI のため, 非常に高速な動作必要とする。しかし本チップでは光検出用のフォトダイオードも集積しているため, この容量がボトルネックになっている。そこでフォトダイオードの容量で帯域幅が狭くならないように, 低入力インピーダンの I-V 変換回路を試作した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

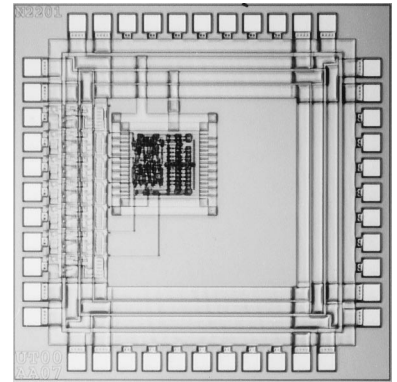


光源探索ロボット用 DC モータコントローラ

東京大学大学院工学系研究科 保東 孝宏, 安田 隆, 下山 勲

概要: 昆虫の行動を理解するために、その行動をモデル化したロボットを製作することが行われている。昆虫とロボットの行動の比較を厳密に行うには、ロボットを昆虫と同じサイズまで小さく製作する必要がある。MEMS (Micro Electro Mechanical Systems) 技術などにより、微小なセンサやアクチュエータの製作が可能になっている。そこで、ロボット全体を小型化するには制御部の小型化が鍵となるが、小さな回路素子を用いたり実装方法を工夫する従来の方法では限界がある。そこで我々は、回路設計を行って制御部をチップ化することを目指した。今回の試作では、光源探索ロボット用のデジタル信号処理プロセッサを製作した。プロセッサはロボットの前面に取り付けられたフォトトランジスタからの入力信号を受け、左右2個のDCモータに制御信号を出力する。ロボットは回転と前進を繰り返しながら光源に到達する。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

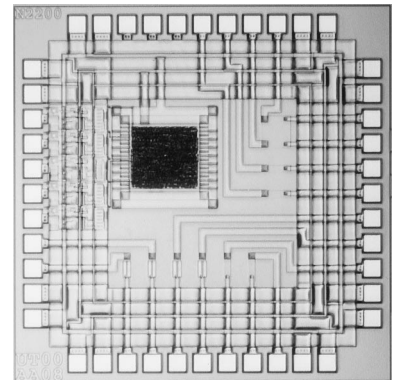


RC ヘリコプタの高さ制御用回路

東京大学大学院工学系研究科 中井 亮仁, 安田 隆, 下山 勲

概要: 昆虫の複眼は、隣り合った受光部で知覚される光信号から時間差を検出していることが知られている。我々はこの時間差を用いることで物体との距離を認識することが可能であると考え、マイクロコンピュータを利用して上記の原理に基づいた複眼型センサ及び制御回路を製作し、床との距離を検出することでRCヘリコプタの高さ制御を実現した。しかし、飛行時間や実装の観点からセンサ及び制御回路の小型・軽量化が強く望まれている。そこで本試作では、複眼型センサのうち外部の光の強弱を電気信号に変換するフォトダイオード部と、二つのトリガー信号を入力とし、その立ち上がりエッジの時間差に応じてヘリコプタの高さを制御する回路をチップ化した。フォトダイオードは受光部の大きさやその形状によって信号がどのように変化するかを確かめるため、いくつかのパターンを設計した。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

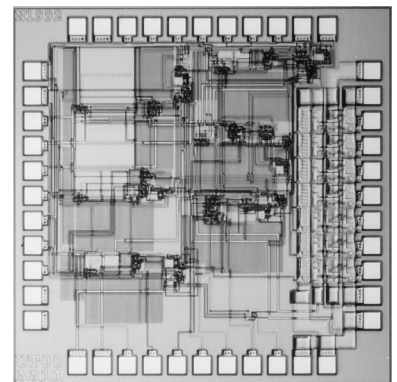


音源定位用 LSI, 信号変換部の設計

名古屋工業大学工学部 中島 裕明, 岸野 裕介, 高木 晋吾, 内田 秀雄,
市村 正也, 荒井 英輔

概要: 人間の脳内で行なわれている信号処理をモデル化したパルス伝達型ニューロンモデルを用いた音源定位システムが提案されている。人間の音源定位は、両耳間で発生する音信号の到着時間差、音圧差を用いて行なわれていると言われている。本研究室では、補聴器に付加情報を与える意味で、この人間の音源定位機構を模倣したアナログ LSI の開発を行なった。本チップは、その音源定位機能のうち、周波数分解部、非線型変換部、ピークタイミング検出部、ピークレベル検出部を LSI 化したもので、実際の音源定位機構の前処理部分に相当する。なお、本来であると入力された信号をパルスの発生頻度に置き換えるべきであるが、今回は動作確認が目的であるのでより簡易に、タイミングを表すパルスと音圧を表すアナログ値を用いて設計を行なった。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** アナデジ混載 **参考文献:** 黒柳 奨: "音源方向定位聴覚神経系モデルによる ITD, ILD の脳内マッピングの実現" 電子情報通信学会論文誌 D-II No.2 pp.267-276 (1996)

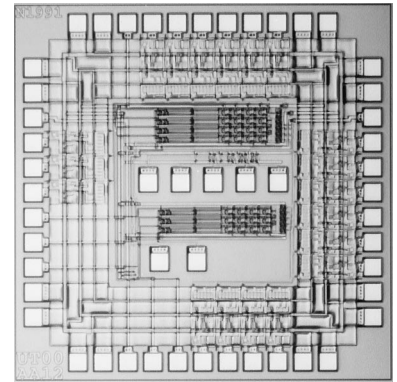


音源定位用 LSI, 音圧差抽出部の設計

名古屋工業大学工学部 岸野 裕介, 中島 裕明, 高木 晋吾,
内田 秀雄, 市村 正也, 荒井 英輔

概要: 人間の脳内で行なわれている信号処理をモデル化したパルス伝達型ニューロンモデルを用いた音源定位システムが提案されている。人間の音源定位は、両耳間で発生する音信号の到着時間差、音圧差を用いて行なわれていると言われている。この音源定位モデルのうち、音圧差抽出回路を半導体デバイス上で実現することを試みた。音圧差抽出回路は音圧差抽出部・音圧差マッピングに分かれている。このうち、音圧差抽出部・音圧差マッピングではニューロン MOS (MOS) FET を用いた。MOSFET はフローティングゲートと容量結合の重み付けで和が計算できるため、左右の入力比で出力したり、多数決出力をすることが可能である。なお、本試作ランはポリシリコン堆積が 1 層しか使用できないため、ポリシリコンと n 型拡散層間の容量を利用して MOSFET を実現している。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** アナデジ混載 **参考文献:** 黒柳奨: “音源方向定位聴覚神経系モデルによる ITD, ILD の脳内マッピングの実現”, 電子情報通信学会論文誌 D-II No.2 pp.267-276 (1996)

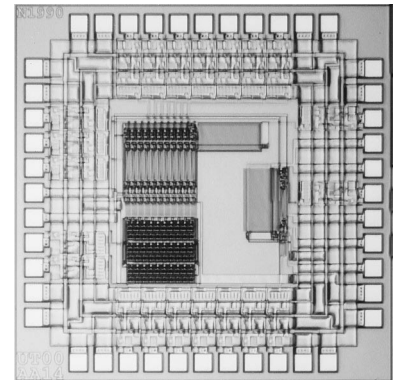


音源定位用 LSI, 時間差抽出部の設計

名古屋工業大学工学部 高木 晋吾, 岸野 裕介, 中島 裕明,
内田 秀雄, 市村 正也, 荒井 英輔

概要: 人間の脳内で行なわれている信号処理をモデル化したパルス伝達型ニューロンモデルを用いた音源定位システムが提案されている。人間の音源定位は、両耳間で発生する音信号の到着時間差、音圧差を用いて行なわれていると言われている。本研究室では、補聴器に付加情報を与える意味で、この人間の音源定位機構を模倣したアナログ LSI の開発を行なった。本チップではこの音源定位機構のうち時間差を用いて音源方向を推定する機構を実現することを試みた。時間差抽出部分は時間差抽出回路とマッピング部で構成されている。時間差抽出回路は CMOS ディレイタイプフリップフロップ、2 入力 AND 回路を用いて構成し、マッピング部は加算回路、蓄積回路、コンパレータを用いて構成することで、左右の入力信号の時間差から音源方向の推定を行うことを可能としている。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** アナデジ混載 **参考文献:** 黒柳奨: “音源方向定位聴覚神経系モデルによる ITD, ILD の脳内マッピングの実現” 電子情報通信学会論文誌 D-II No.2 pp.267-276 (1996)

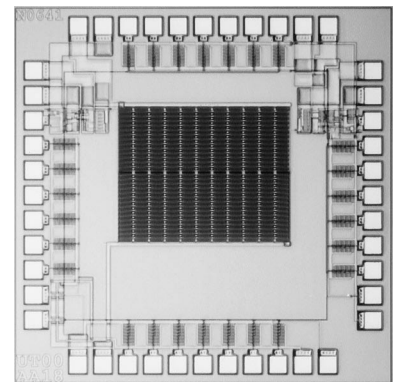


EB テスタによるセル特性測定用 TEG その 1

京都大学大学院情報学研究所 李 翔, 小林 和淑, 小野寺 秀俊

概要: 本 TEG は、インバータ列を並べたものである。各インバータには遅延を大きくするための負荷用のインバータが付加されている。インバータ各列間のディレイを EB テスタを用いて測定することにより、インバータセルひとつひとつの遅延を直接測定する。本 TEG を EB テスタを用いて測定を行ったところ、インバータセルの遅延が、セルによりばらついているのが確認できた。その 1 とその 2 とは、負荷用のインバータの数とその大きさが異なる。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** 李, 小林, 小野寺, EB テスタを用いた論理ゲート遅延ばらつき測定手法の検討, 電子情報通信学会技術研究報告, vol 100, no 473, pp. 23-28, 2000/11



EB テスタによるセル特性測定用 TEG その 2

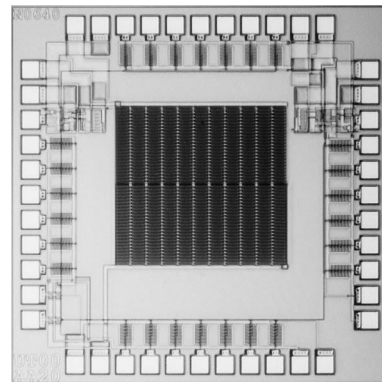
京都大学大学院情報学研究所 李 翔, 小林 和淑, 小野寺 秀俊

概要: 本 TEG は, インバータ列を並べたものである. 各インバータには遅延を大きくするための負荷用のインバータが付加されている. インバータ各列間のデレイを EB テスタを用いて測定することにより, インバータセルひとつひとつの遅延を直接測定する. 本 TEG を EB テスタを用いて測定を行ったところ, インバータセルの遅延が, セルによりばらついているのが確認できた. その 1 とその 2 とは, 負荷用のインバータの数とその大きさが異なる.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ**

数: 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角

チップ種別: TEG (特性評価回路など) **参考文献:** 李, 小林, 小野寺, EB テスタを用いた論理ゲート遅延ばらつき測定手法の検討, 電子情報通信学会技術研究報告, vol 100, no 473, pp. 23-28, 2000/11



低電圧 OTA と CF の設計

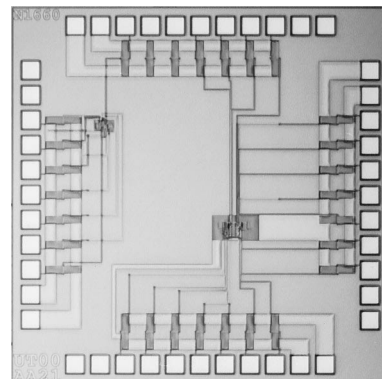
東京理科大学理工学部 鈴木 誠人, 高重 英明, 兵庫 明, 関根 慶太郎

概要: 我々の研究室で提案した, アナログブロックの一つである OTA (Operational Transconductance Amplifier) と CF の設計を行った. OTA とは入力電圧に比例した電流を出力するアナログ回路ブロックである. また, 低電圧 OTA は我々が提案した低電圧 CMOS コンポジットセルを用いた平方根回路を用いて設計した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ**

数: 10 以上, 100 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 2.3mm 角

チップ種別: アナログ (PLL, A-D/DC-DC コンバータなど)



バックゲートバイアス制御 CMOS リングオシレータとそれを用いた PLL 回路

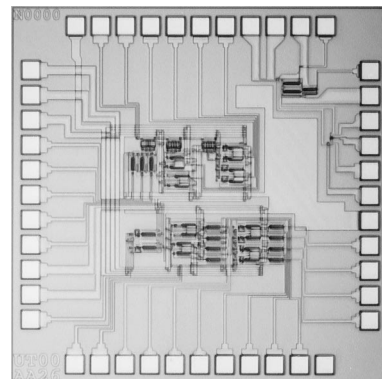
中央大学理工学部情報工学科 原田 知親, 榎本 忠儀

概要: バックゲートバイアス制御 CMOS リングオシレータ (Back-Gate Voltage Controlled Oscillator : BG-VCO) とそれを用いた PLL を HHS0.5 μ m CMOS 技術を用いて設計し, 試作を行なった. 本試作チップでは, BG-VCO と, 位相周波数比較器, レベル変換器, 及びチャージポンプを搭載しており, これらを用いて PLL を構成できるようにしている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トラン**

ジスタ数: 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m

2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



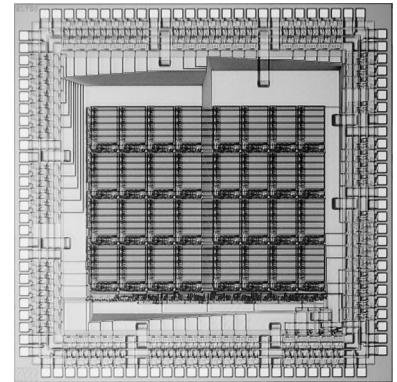
階層構造型マルチポートメモリ (全体)

広島大学先端物質科学研究科 岸 浩二

広島大学ナノデバイス・システム研究センター Mattausch Hans Jurgen

概要: 我々は高集積化に適したマルチポートメモリとして階層構造型マルチポートメモリを提案している [1]. 本マルチポートメモリは, メモリセルに 1 ポート SRAM を用い, 高面積効率を実現できる. 今回試作したチップは, 昨年度試作した, 容量 32kbit (1kbit × 32 ブロック) の 4 ポートメモリを改良したもので, 25% の高速化を達成した. 本チップはロジックアナライザにより動作検証済みである.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 4.8mm 角 **チップ種別:** メモリ **参考文献:** [1] H.J.Mattausch, "Hierarchical architecture for area-efficient integrated N-port memories with latency-free multi-gigabit per second access bandwidth", ELECTRONICS LETTERS, Vol35, pp1441-1443, Aug. 1999.



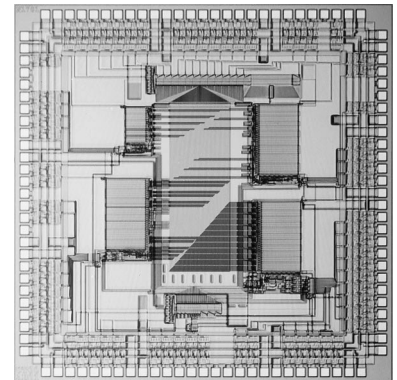
階層構造型マルチポートメモリ (メモリブロック)

広島大学先端物質科学研究科 岸 浩二

広島大学ナノデバイス・システム研究センター Mattausch Hans Jurgen

概要: 我々は高集積化に適したマルチポートメモリとして階層構造型マルチポートメモリを提案している [1]. 本マルチポートメモリは, メモリセルに 1 ポート SRAM を用い, 高面積効率を実現できる. 今回試作したチップは, 本マルチポートメモリの核となるメモリブロック部分を (ポート数, 容量) = (4, 1k), (4, 4k), (8, 4k), (16, 4k) の場合で設計した. 本チップはロジックアナライザにより動作検証済みである.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 4.8mm 角 **チップ種別:** メモリ **参考文献:** [1] H.J.Mattausch, "Hierarchical architecture for area-efficient integrated N-port memories with latency-free multi-gigabit per second access bandwidth", ELECTRONICS LETTERS, Vol35, pp1441-1443, Aug. 1999.

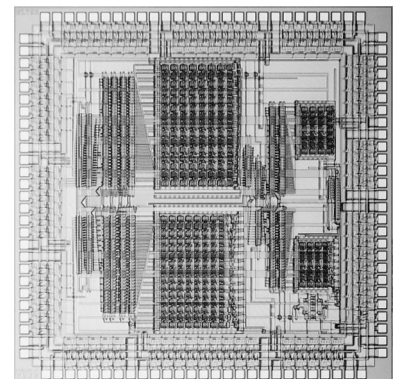


階層構造型マルチポートメモリのための衝突処理回路

広島大学ナノデバイス・システム研究センター 大森 伸彦

概要: 試作したチップは我々が提案している高面積効率を実現する階層構造型マルチポートメモリの特徴的な回路, 衝突処理回路である. マルチポートメモリはポート同士のアクセス衝突が発生するため, アクセス衝突を検知し, 制御する回路が必要になる. アクセス制御には 2 つのアルゴリズムがあり, 各ポートに与えるアクセス優先順位が異なる. 今回の試作では, 各ポートのアクセス拒否確率が 3% 以下になるように, 2 つのアルゴリズムに対してそれぞれ 8 ポートと 16 ポートを作製した. テスタによる測定はまだ行っていない.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 μ m 4.8mm 角 **チップ種別:** メモリ



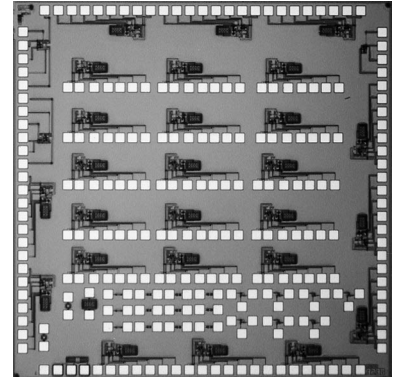
共鳴トンネル素子のエミュレーションとカオス生成回路

名古屋大学工学研究科 上村 朋典, 水谷 孝

名古屋大学工学部 前澤 宏一

概要: 当研究室では, 超高速, 超周波動作が可能な共鳴トンネル素子と高集積 Si-LSI の融合を目指した研究を行っている. 本研究は, 共鳴トンネルエミュレーション回路を Si-CMOS で構成することにより, 将来の共鳴トンネル / CMOS 集積回路の動作およびその優位性を検討することを目的としている. ピーク電流の制御可能な負性抵抗素子を CMOS で構成するとともに, その簡単な応用としてシフトマップ型入出力変換回路を設計し, その動作を実証した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** ニューテクノロジー



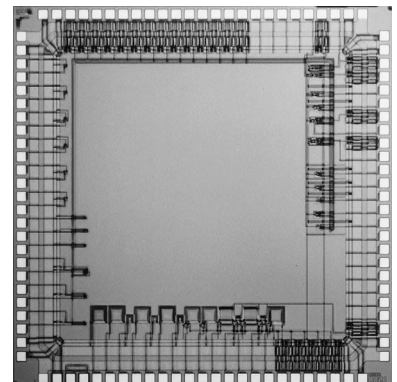
CMOS イメージセンサ用受光回路 TEG

東京大学工学系研究科 根塚 智裕, 池田 誠

東京大学 VDEC 浅田 邦博

概要: ROHM0.6 μ m CMOS プロセスを用いて CMOS イメージセンサを試作する際の, 受光素子の基本特性を計測するための TEG の試作を行った. チップには, 各種のフォトダイオードおよびフォトゲートの TEG を集積した. また, CMOS イメージセンサにおいて, 画素レベル A/D 変換機能 [1] を実現するための画素回路の TEG を集積した. 画素回路 TEG は, フォトダイオード, コンパレータおよびラッチから構成される. 複数種のフォトダイオード, コンパレータおよびラッチを用いた画素回路の特性の評価を行う.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナデジ混載 **参考文献:** [1] 根塚 智裕, 池田 誠, 浅田 邦博, “動き検出および 3 次元計測機能を有する多階調イメージセンサ”, 日本機械学会ロボティクスメカトロニクス講演会, 1A1-50-069, (2000).

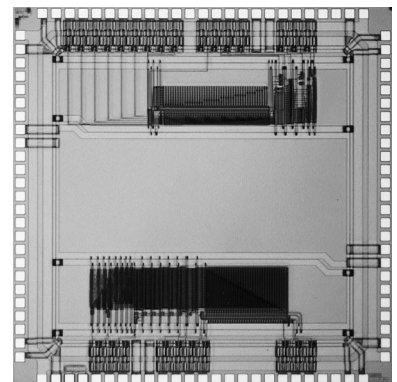


ラッチ型センスアンプを用いた高速 PLA

東京大学工学系研究科 山岡 寛明, 池田 誠, 浅田 邦博

概要: 半導体微細化技術の進展による集積度増加に伴い, 従来のランダムロジックを用いた設計手法は複雑性を増し, 設計生産性の低下が問題となっている. 我々は, 設計容易性及び高速性を有する回路方式としてラッチ型センスアンプを用いた PLA を提案した [1]. 従来の PLA では回路規模が大きくなると共に遅延時間の増加が顕著となるが, 提案回路においてはセンスアンプを用いることにより, 回路規模が大きな場合においても高速動作を実現している. 今回, 提案 PLA を用いて加算器及び比較器の試作を行った. 測定は EB テスタを用いて行い, シミュレーション結果との良い一致を確認することができた.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** [1] H. Yamaoka, M. Ikeda, and K. Asada, “A High-Speed PLA using Array Logic Circuits with Latch Sense Amplifiers and a Charge Sharing Scheme,” Proc. Asia and South Pacific Design Automation Conference 2001, pp. 3-4, Jan. 2001.



故障の検出および回復が可能な高信頼 F P G A の試作

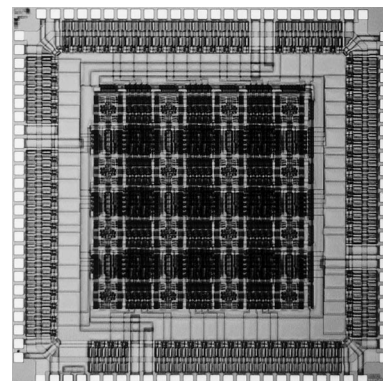
東北大学工学部 阿部 茂樹

東北大学大学院情報科学研究科 青木 孝文, 樋口 龍雄

仙台電波工業高等専門学校 鹿股 昭雄

概要: プログラムによって構成を柔軟に変更可能な FPGA (Field-Programmable Gate Array) の可能性に着目し, 故障の検出と回復を可能にする新しい高信頼 FPGA の試作を行った. 本チップでは, ハードウェアリソースの徹底的な 2 重化によって, すべての論理ブロックおよび配線経路上における動作中の故障を検出できるとともに故障箇所を特定することが可能となる. さらに, 故障検出から得られる情報を用いて, 故障箇所を回避するように規則的な回路の再構成を行うことで, 同一のハードウェア上で正常な機能を回復することができる. 本チップは 3×3 の論理ブロックを集積化し, 4 ビット加算回路で評価した場合, 初期回路と再構成後でそれぞれ 75 ns と 80 ns で動作することが L S I テスタを用いて測定されている.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS $0.6 \mu\text{m}$ 3.8 mm 角 **チップ種別:** ニューテクノロジー **参考文献:** [1] 阿部, 青木, 樋口, 鹿股, “故障の検出および回復が可能な FPGA アーキテクチャ”, 信学技法, FTS2000-1, pp.1-8.



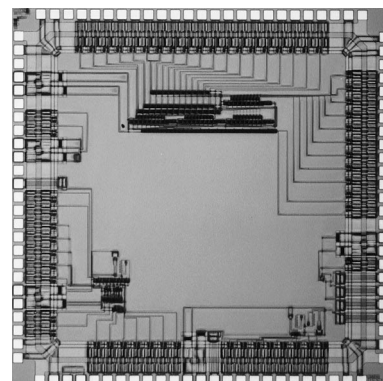
8 × 8 ビット乗算器と非対称誤り D フリップフロップの設計

仙台電波高専情報通信工学科 中林 撰, 本郷 裕行

仙台電波高専情報工学科 鹿股 昭雄, 池田 茂

概要: 本チップには大きく分けて 2 種類の回路を実装した. 1 つは 8×8 ビットの乗算器である. 昨年度試作した Booth アルゴリズムを用いた 4×4 ビット乗算器の設計ミスを修正すると共に, 8×8 ビットに拡張し, 入力を直列に行えるように改良した. もう 1 つは非対称誤り D フリップフロップである. チップ内にコンデンサ, 抵抗, ダイオードからなる充放電回路を組み込み, 電源ノイズによって, 例え誤ったとしても出力が論理 “0” に非対称に偏るような D フリップフロップを試作した. また, この D フリップフロップを用いて設計したフェールセーフウォッチドックタイマの試作も行った. ノイズシミュレータを用いた実験の結果, これらの回路は期待通りに動作していることが確認できた.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS $0.6 \mu\text{m}$ 3.8 mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



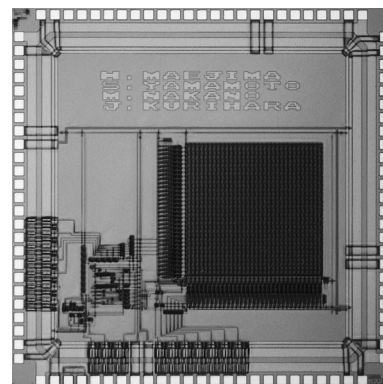
1 Kbit DRAM の試作

東京工業大学フロンティア創造共同研究センター 山本 修一郎, 石原 宏

東京工業大学大学院総合理工学研究科 中野 雅史, 栗原 淳司, 前島 英雄

概要: 我々はゲート絶縁膜に強誘電体を使用したトランジスタを用いた 1Kbit の強誘電体メモリ (FeRAM) の開発を目指しており, その実現に必要な設計システムの導入と, 設計技術の習得を目的として, 1Kbit の DRAM を設計, 試作した. メモリセル, センスアンプ, 書き込み回路, デコーダ回路など, ほぼ全ての回路をカスタム設計した. キャパシタサイズ (容量値) が大きかったため, 書き込み動作が不十分である場合があったが, 書き込み, 読み出し動作が実際に行われていることを確認した.

設計期間: 9 人月以上, 10 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS $0.6 \mu\text{m}$ 3.8 mm 角 **チップ種別:** メモリ

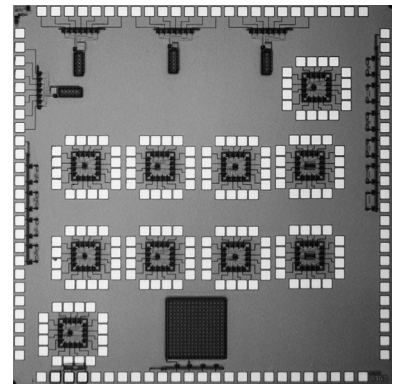


素子特性測定用 TEG の試作

東京工業大学大学院理工学研究科 和田 和千, 高木 茂孝, 藤井 信生

概要: 本試作では, チャンネル幅が等しく, チャンネル長の異なる n チャンネル及び p チャンネル MOS トランジスタ 8 種類からなる MOS トランジスタアレイを構成し, このアレイ 10 個をチップ上に点在させ, MOS トランジスタの整合性と配置との関係を明らかにすることを目的としている. MOS トランジスタ以外にも, 値の異なるキャパシタや, ゲートを利用した抵抗, n 型拡散層や p 型拡散層を利用した抵抗, n ウェルを利用した抵抗も構成し, 特に整合性の違いに着目した測定ができるレイアウトとなっている.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)

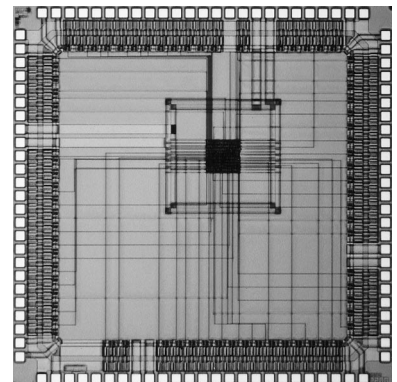


小型ロボットのための SMA アクチュエータ駆動制御回路の試作

東京大学大学院工学系研究科 長澤 純人, 下山 勲

概要: 我々は昆虫を規範とした小型ロボットの研究を行っている. 数センチサイズのロボットを製作するときの問題の一つにアクチュエータの選択とエネルギーのマネジメントがある. SMA (形状記憶合金) ワイヤは細いほど応答性に優れ, 且つ小型ロボットを駆動するのに十分なトルクを発生できる[1]. しかし, 通電による加熱では数十~数百ミリアンペアの駆動電流を必要とするため, 同時に複数の SMA ワイヤを駆動する場合には PWM によって温度制御とタイムシェアリングを行う. 本チップは SMA ワイヤを駆動するスイッチング素子の制御信号を生成する. PWM 駆動によって同時に最大 16 個の SMA ワイヤを制御できる仕様となっており, 設定を変えることで, 供給電源の系統数や通電加熱の条件変化に柔軟に対応できるように設計されている. 小型軽量ロボットのアクチュエータ制御チップを目的としているため, 最終的にはフリップチップ・ボンディングによるロボット本体へのペアチップの搭載が前提となっており, ピン配置などのレイアウトは, ロボットのシャーシの設計を意識して設計されている.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** [1] James M. Conrad et al, "STIQUITO advanced experiments with a simple and inexpensive robot", IEEE Computer Society, 1998.

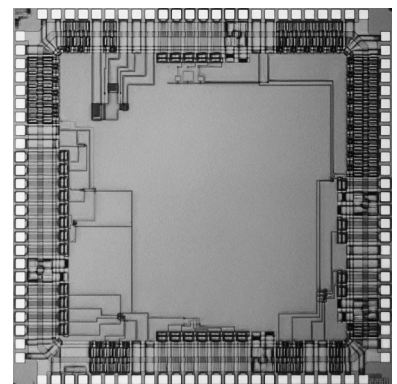


複眼薄型撮像システムにむけた CMOS イメージセンサの TEG 試作

大阪大学大学院工学研究科 北野 洋司, 谷田 純

概要: 焦点距離の短いマイクロレンズを多数用いた複眼光学系を利用することにより, 極めて薄型の撮像装置を実現できる. 我々は, 複眼光学系を用いた薄型撮像システムの試作を検討している. 今回の試作は, このシステムに用いる CMOS イメージセンサ作製の準備として, 光センサ回路の基本動作確認や受光素子の特性評価, また LSI チップの設計フロー, および設計ツールの使用方法の修得を目的とした. 光センサ回路として Active Pixel Sensor (APS), 受光素子として n 型拡散領域および n ウェル領域と p 型基板により形成した pn 接合を用いたフォトダイオード (PD) の TEG を試作した. APS は画素サイズ 25 μ m \times 25 μ m で, 異なるデバイスパラメータ, 開口率を持つ 8 種類の回路を, また, 異なる構造, 受光面積を持つ 9 種類の PD をそれぞれ試作した.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)



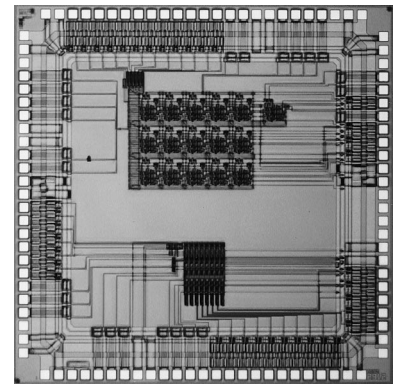
ゼロ交差検出回路の設計

九州工業大学情報工学部 下ノ村 和弘

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 本チップは、視覚センサから1画素ずつ入力されるアナログ画像信号に対してゼロ交差を検出することにより、入力に対して実時間で輪郭画像を出力する。ゼロ交差検出回路は、サンプルホールド回路部、アナログ差分演算回路部、アナログコンパレータ、及び論理ゲート部から構成される。本回路は連続2画素間の入力値について、外部から与えられる基準レベルを交差し、かつその傾きが外部から与えられる傾きレベルよりも大きいとき、その点をゼロ交差点として出力する。また、六角格子状の画素配置を有する2次元型視覚センサからの入力を想定し、これに対して2次的にゼロ交差を検出できるように、ゼロ交差検出回路のアレイを構成した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

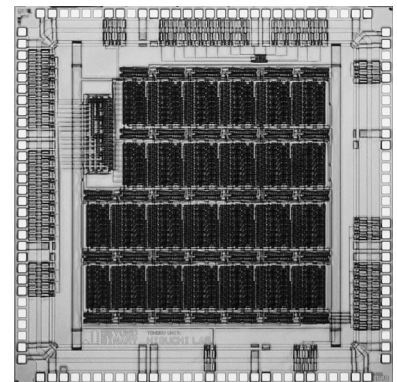


係数と次数が再構成可能な FIR フィルタ専用 FPGA

東北大学大学院情報科学研究科 青木 孝則, 青木 孝文, 樋口 龍雄

概要: チップ概要 数十 ~ 100MHz 程度の高いサンプリング周期が実現可能で、かつ、係数や演算語長が任意にプログラムできるフィールドプログラマブルデジタルフィルタ (FPDF) チップの設計を行った。本チップでは、本研究グループが提案している新しい冗長数系 (Signed - Weight 数系) に基づく低オーバーヘッドの再構成型積和演算回路を使用することにより、FPGA のような再構成可能なデバイスでありながら、ASIC などのフィルタリング性能を実現することが可能である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** T. Aoki, Y. Sawada, and T. Higuchi, "Signed-Weight Arithmetic and Its Application to a Field-Programmable Digital Filter Architecture", IEICE Trans. on Electronics, pp. 1687-1698, September 1998



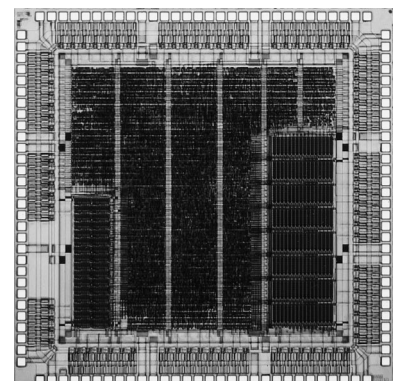
リコンフィギュラブルロジックを用いた暗号方式の VLSI 化設計

大阪大学大学院工学研究科 密山 幸男, Zaldy Andales, 三木 裕介, 古家 眞, 白川 功

京都大学大学院情報学研究科 尾上 孝雄

概要: 本チップは、マルチコンテキスト型リコンフィギュラブルロジックを用いた暗号方式を設計、試作したものである。リコンフィギュラブルロジックを用いて暗号処理を高速に行う研究は数多く報告されている。しかし、これらの暗号処理 LSI は、ソフトウェアで実現することを前提とした既存の暗号方式を実装したにすぎない。そこで、2種類の暗号処理向きマルチコンテキスト型リコンフィギュラブルロジックを基本要素としてもつ、組込み用途向けブロック暗号方式 [1] を提案し、その試作を行った。本暗号方式は 128 ビットの共通鍵を用いて 64 ビットのブロック単位で暗号/復号化処理を行い、最大 317.5Mbps のスループットを実現する。本試作設計にあたり、2種類のリコンフィギュラブルロジックは Cadence 社 Virtuoso を使用してカスタムレイアウトをおこない、制御部も含めたその他の処理部は Verilog-HDL で記述した。

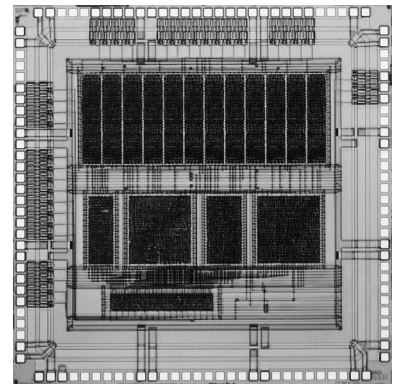
設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** [1] Y. Mitsuyama, Z. Andales, T. Onoye, and I. Shirakawa : "A Dynamically Reconfigurable Hardware-Based Cipher Chip", Proc. ASP-DAC2001, pp.11-12, Jan. 2001.



PAP 法に基づく画像ベクトル化回路

東京大学 工学部 足立 真賢, 柴田 直

概要: 画像認識を行うためのチップを試作した。画像処理を行う場合、画像データは膨大な量となるため専用のチップを用いてデータ処理を行う必要がある。特に、このチップで用いられている画像認識のためのアルゴリズムはハードウェアを前提として作られている為、実際にハードウェアを試作しその有用性を確認した。このチップで行われる画像処理は、2次元のデータ列として画像を入力するとその画像の特徴を表す1次元のデータ列として出力されるというものである。画像の入力は16x16ピクセルの2値画像を列並列、即ち16ピクセルのデータを並列に入力する。入力された画像はその特徴を1次元のデータ列であるベクトルとして出力され、64次元のベクトルとして表現する。画像の特徴を少ない次元のベクトルとして表現する方法は我々の研究室で開発された Principal Axis Projection (PAP) という手法が用いている。チップの内部は大きくわけてエッジ検出部分、ベクトル作成部分、出力制御部分の3つに分かれている。PAPでは画像のエッジ成分を必要とするため、入力された画像は5x5ピクセルのカーネルを用いてエッジ検出が行われる。得られた画像のエッジ成分をベクトル作成部分によって特徴ベクトルに変換する。出力制御部分は外部信号によって特徴ベクトルを出力するものである。

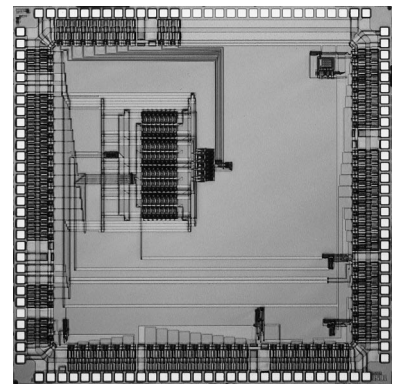


設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6μm 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

CMOS 共鳴エージェント連想回路

東京大学 工学部 山崎 俊彦, 柴田 直

概要: ベクトル同士の距離評価はベクトル量子化、連想メモリなどを始め、様々なシステムに欠かすことのできない重要な演算である。集積回路ではユークリッド距離回路やマンハッタン距離回路などが用いられているがそれらは1度作ってしまうと演算特性は固定される。より柔軟な演算を実現するためには演算特性をユーザが自由に変更できる必要がある。そこで本チップではベクトル間同士の類似度(または距離)を演算し、その演算特性を実時間で変更することができるアナログ類似度演算回路を開発した。演算特性の基本となるのはCMOSインバータの貫通電流である。CMOSインバータの貫通電流を用いた回路は以前にも論文が報告されているが、我々はそれにゲート接地トランジスタ, neuMOSトランジスタを組み合わせることにより、テンプレート値の変更機能に加え、重み付け、類似度評価の厳密性をベクトルの要素ごとに自由に変更できる機能を実現した。また、開発した類似度演算回路の出力端子にnMOSトランジスタ1つを追加するだけで容易にWinner-Take-All回路を構成する回路方式も新たに考案した。測定によりすべての機能が正確に実現されることが確認された。

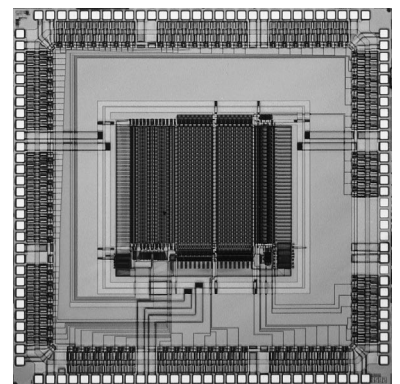


設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6μm 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** [1] T. Yamasaki and T. Shibata, "AN ANALOG SIMILARITY EVALUATION CIRCUIT FEATURING VARIABLE FUNCTIONAL FORMS", to be published in Proc. IEEE International Symposium on Circuits and Systems, Sydney, Australia, 2001

アナログ連想回路

東京大学 新領域創成科学研究科 小川 誠, 柴田 直

概要: 知的情報処理などでよく用いられるパターンマッチングは従来の汎用プロセッサなどで行うと非常にコストの高い演算となる。そこで演算部にアナログを用いて超並列に処理することで連想想起を高速に行うプロセッサの研究を行っている。今回、32次元のテンプレートベクトル16個の中から入力と最小距離にあるものを検索するプロセッサを試作した。距離演算は全ベクトル距離演算部は1次元あたり6個のトランジスタと2個のキャパシタで構成される簡単なものを考案しこれを用いた。また、内部の演算はアナログで行うが入力はデジタルとなっているためDAコンバータが必要となるが、超並列の処理が可能な省電力でシンプルなDAコンバータを考案し、64個並列に動作させている。



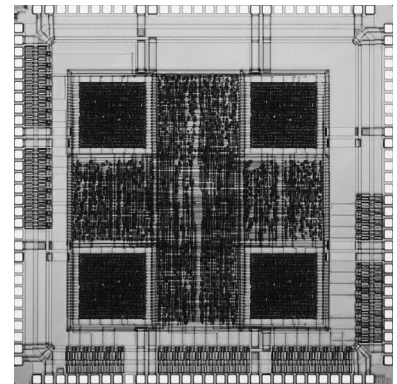
設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6μm 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

Associate Processor

東京大学工学部 徐 懷宇, 柴田 直

概要: The Associate Processor is a very powerful VQ (Vector Quantization) processor featuring flexible architecture. As compared to our earlier chip which was developed for real-time motion picture compression, the vector length (number of elements/Vector) and the weight parameter to each element are made variable. In addition, according to the score, top N can be calculated.

設計期間: 1 人以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** マイクロプロセッサ

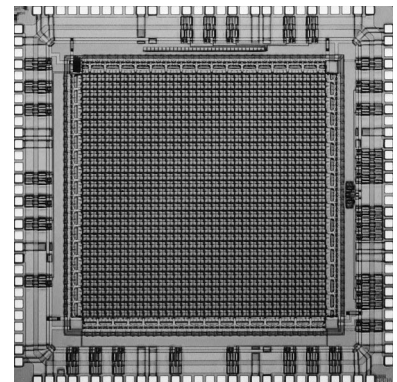


Saliency Catcher 回路

東京大学工学部 木村 弘枝, 柴田 直

概要: 動画の中から動いている物体がどこにあるかを検出するチップである。主な機能は2つあり、 64×64 のイメージセンサアレイから画像を読み込む、画像の時間的な絶対値差分演算をおこなう、である。イメージセンサはフォトダイオードとリセットスイッチから公正され、出力電圧の減少時間は光の強度に比例する。読み込む際に、縦方向・横方向それぞれに画像のプロジェクションをおこなう。ある一定の時間間隔を置いた2つの画像を読み込み、キャパシタに電圧を保持しておく。キャパシタに保持された2つの電圧はバッファのPMOSソースフォロワを介して絶対値差分演算回路へ送られる。絶対値差分回路はMOSを用いて構成され、イメージセンサ1列・1行に1つ配置している。絶対値差分を取ると動いている部分の出力電圧だけ高い値をとるため、動いている物体があるかどうか、あるとすればどこにあるかを検出することができる。縦方向・横方向の結果を照合することにより、2次元での位置を特定することができる。画像を取得する段階で画像のプロジェクションを行うため、画素中に演算回路を含まず高い開口率が実現されている。また、イメージセンサの蓄積時間が短くなることも、このチップの特徴である。

設計期間: 1 人以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** イメージセンサ/スマートセンサ

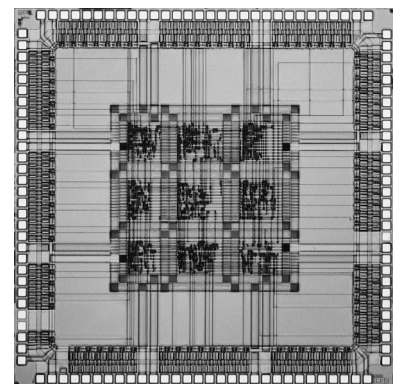


キャパシタカップリングによる拡散符号通信インターフェース

大阪大学工学研究科 TAN BOON KEAT, 谷口 研二

概要: 拡散符号を用いた電力線を経由した通信方式が研究されている。今回の設計ではキャパシタカップリングの手法を用いて、ボード配線や電線上での多重通信を検証する目的で、拡散符号生成回路を設計した。試作した拡散符号生成回路はMK列の拡散符号を生成するLFSR (Linear Feedback Shift Register) と複数のレジスタから構成される。このレジスタの値を変えることにより拡散符号長や符号など自由に選ぶことができる。チップには拡散符号生成器のほか制御や検証のためのカウンタなど多数組み込まれている。

設計期間: 0.5 人以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** ニューテクノロジー



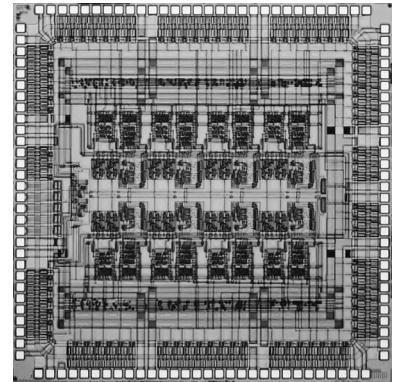
DS-CDMA 有線バスの設計 (1)

大阪大学工学研究科 吉村 隆治, TAN BOON KEAT, 松岡 俊匡, 谷口 研二

概要: 本設計では, DS-CDMA 有線バスの実現に向けたテスト用回路の組み込みを行なった. DS-CDMA 有線バスは, CDMA 方式を用い複数の通信を同時に有線バスラインを介して行なうことができる新しい技術である. 試作したチップに設けた 8 対の送受信回路を通して拡散符号による多重通信を検証することが目的である. 送受信回路のほか, テスト用回路や検証用の回路も組み込んだ. チップの実測評価により, 8 対の送受信回路が同時動作可能であることを確認した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** ニューテクノロジー **参考文献:**

R.Yoshimura et al. "DS-CDMA Wired Bus with Simple Interconnection Topology for Parallel Processing System LSIs", IEEE International Solid-State Circuit Conference, pp.370-371

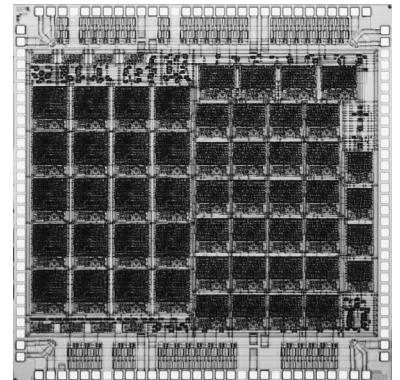


Dynamically Programmable Parallel Processor

大阪大学工学研究科 TAN BOON KEAT, 吉村 隆治, 松岡 俊匡, 谷口 研二

概要: プログラム可能なデバイスへの配線の自由度を高める目的で DS-CDMA 有線バスを使用した DPPP (Dynamically Programmable Parallel Processor) を設計した. 本チップは約 60 個の簡単な機能を有するプロセッサから構成され, 各プロセッサが多重通信可能な DS-CDMA 有線バスに接続されている. このため, DS-CDMA 有線バスはすべてのプロセッサが同時に動作する並列コンピューティング・アーキテクチャに適用できるインターフェースである. 本チップには最大 20 個乗算, 24 個の加算, 4 個のシフト演算及び 4 個の比較演算が組み込まれており, それらが同時に動作できる. 本提案回路の特徴として, 高集積度, 高使用率のほか, プログラムの容易性などあげられる.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** B.K.Tan et al. "Dynamically Programmable Parallel Processor (DPPP): A Novel Reconfigurable Architecture with Simple Program Interface", 26th European Solid-State Circuits Conference, Stockholm Sweden, pp.316-319 (2000).

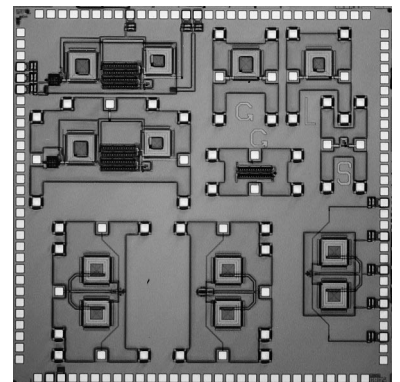


高周波 LC 発振回路の設計

大阪大学大学院工学研究科 Yew Lim Guan, 桜 俊幸, 松岡 俊匡, 谷口 研二

概要: 近年のワイヤレス端末は急速に発展し, 無線通信技術の重要性が増している. 外付け部品削除, 小型化, 低消費電力化のため, CMOS 技術を用いた 1 チップ集積化無線送受信機が期待されている. 今回試作したのは, 900MHz 付近で発振する CMOS LC 発振器と低雑音増幅回路である. 発振回路は差動型負性コンダクタンス発振器である. 本発振回路は 2.5V の電源電圧を用い, 0V から 5V までの正弦波の差動信号を発生する. 電磁界解析ソフトを使ってスパイラルインダクタを設計することにより, 所望のインダクタンス, 寄生容量, 寄生抵抗を求めた. 設計した低雑音増幅回路では, 雑音指数の劣化を抑えつつインピーダンス整合をとるため, 入力段の NMOS のソースにインダクタを付けている.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

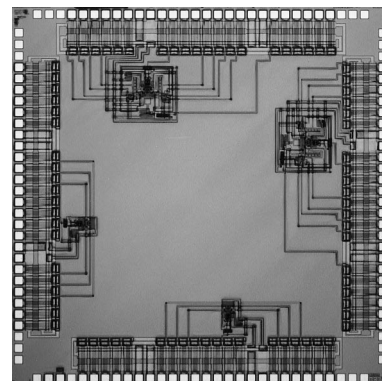


型 AD コンバータの設計に関する研究

大阪大学大学院工学研究科電子情報エネルギー工学専攻 岩村 宏, 畠中 信伍,
小川 徹, 谷口 研二

概要: 型 AD, DA コンバータはオーディオ用コンバータとして広く実用化されている. 今回は低速高精度 AD, DA コンバータの基本構成回路である変調器部分を取りあげて, 設計を行なった. 全差動型 OTA, キャパシタ, ポジティブエッジトリガ D フリップフロップ, ノンオーバーラップクロック回路を用いて 1 次の変調器を構成した. またアナログ信号のサンプリング部分には Switched-Capacitor を用いた. 今回は温度が変化しても電流源を流れる電流値の変化を少なくすることができる電流源を設計した. 環境温度を-10 度から 100 度まで変化させてシミュレーションを行ない, 電流変化が少なく, 回路を安定して動作させることができることを確認した. 回路は全差動で構成した. 電源電圧は 5V, 最大オーバーサンプリング周波数は 5MHz で動作する.

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



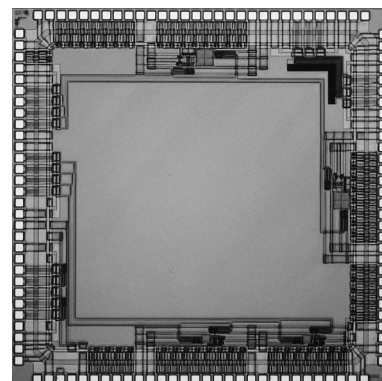
チャージポンプ回路の試作

大阪大学工学部 清水 由幸

大阪大学大学院工学研究科 吉村 隆治, 谷口 研二

概要: 一本の伝送路に複数の信号を多重化して伝送するための基本回路を設計した. 多重化する各々の信号は微小かつ精密であることが求められる. そこでその微小信号の制御に, 伝送路を容量に見立て, そこへの電荷の充放電によって伝送路の電圧値を微小な値で変化させる方法を考えた. 今回試作したチャージポンプ回路では, 伝送路の代わりにキャパシタを置き, そこへ充放電する電荷を決めるキャパシタと, それと伝送路容量キャパシタの間, 参照電圧との間を繋ぐスイッチ回路で構成されている. また伝送路電圧を, 電荷を移動させることなくキャパシタへ伝えるために, レベルシフト回路を置いている. この回路を複数接続して一つの伝送路容量に信号を多重する際に, 各信号の値は同じ容量のキャパシタにより固定されるので, 全ての信号が同じ精度で制御される. 他にスイッチの制御回路, 参照電圧の極性を入れ替える回路, 伝送路容量の電位を取り出すためのオペアンプ回路を搭載している.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

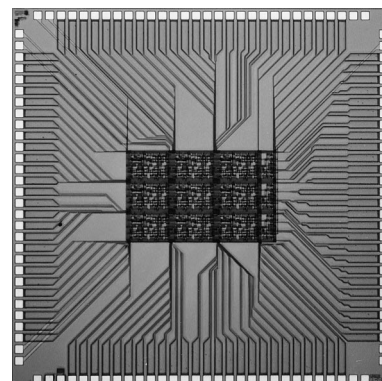


神経回路用アナログ長期記憶回路の試作

東北大学電気通信研究所 金城 光永, 佐藤 茂雄, 中島 康治

概要: 人間の脳を工学的モデル化したニューラルネットワークは, 非ノイマン型計算機として情報認識システム分野への応用が期待できる. 特に学習による環境への適応能力は重要なファクターである. その学習機能を実現するには脳の神経細胞にあるシナプスに見られるようなアナログ値の長期保持用素子が必要不可欠である. 長期記憶素子としてフローティングゲート形成技術及びトンネルデバイス形成技術を用いた不揮発性メモリが適しているが, それ専用の製作プロセスが必要であるため実現は容易ではない. また, SRAM や DRAM のようなデジタルメモリを利用する方法も考えられるが, A/D 及び D/A コンバータが必要となるため高集積化及び高速化が望めない. そこで本研究では, キャパシタに電荷リークを補うためのフィードバック回路を付加したアナログ長期記憶回路の実現を目指す. 今回試作したチップは, スタンダード CMOS プロセスで製作可能な長期記憶用アナログメモリの実現に向けたもので, キャパシタに対しフィードバック回路として OTA, 完全差動型 OTA 及びリーク電流を自律的に補う回路を利用した試作回路 3 種である.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** [1] J.T.Morie, O.Fujita, and Y.Amemiya, pp.303-311, IEEE Trans. Electron., 1992.

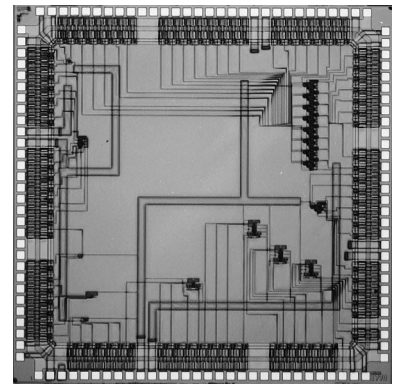


低温動作マイクロプロセッサ要素回路の試作

横浜国立大学工学部電子情報工学科 本告 圭, 宮川 英明, 吉川 信行

概要: 我々は CMOS の低温動作によるパフォーマンスの向上を利用したマイクロプロセッサの設計を行っている。本チップでは、低温動作 8 ビットマイクロプロセッサの要素回路を試作し、各回路の動作確認を行った。低温における各要素回路のパフォーマンスの向上を調べるために、デバイスモデル抽出用 MOS トランジスタ、リングオシレータ、レジスタ、プログラムカウンタ、マルチプレクサ、ALU、デコーダ、ならびに 256 ビット SRAM 等を作成した。リングオシレータの測定により、77K において約 30% の速度向上が見られた。また、室温において、全ての要素回路の正常動作を確認した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角



チップ種別: マイクロプロセッサ

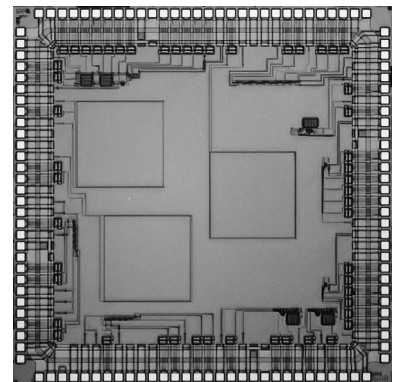
フォトダイオードチップ 1

オーミック株式会社 山本 猛, 渡辺 國寛

奈良先端科学技術大学院大学情報科学研究科 堀山 貴史, 木村 晋二, 渡邊 勝正

概要: 奈良先端科学技術大学院大学・情報科学研究科では受託研究員を受け入れ汎用半導体プロセスにおけるセンシング技術の研究をおこなった。本チップは汎用 MOS プロセスにおける光電変換性能の確認の為に製作された。各種接合型ダイオードの光電変換効率や応答速度などの基礎データ取得の一環として製作された。受光部は 10 μ 角から 300 μ 角までのもので、ndiff・pdiff・nwell・psub の各接合を利用した、フォトダイオードを形成してある。複数の接合部を持つ構造のものには逆バイアスを印加する為の端子を設けた。また、一部フォトダイオードには I-V 変換部を設けてある。バイアス及び出力端子は全てアナログ IO とした。受託研究員が素子構造設計からレイアウト設計まで行い助手がツールの指導を行った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Analog Artist, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** イメージセンサ/スマートセンサ

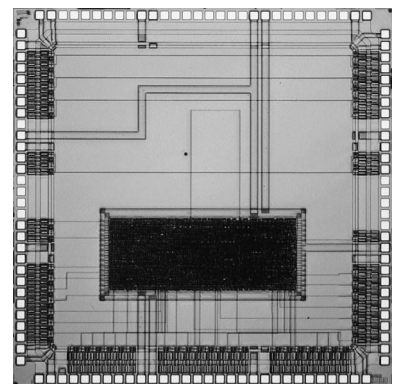


過渡電源電流試験法検証用テスト回路の試作

東北大学大学院工学研究科 石田 雅裕, 小谷 光司, 大見 忠弘

概要: CMOS 集積回路の高速化に伴って、遅延故障（タイミング故障）を生じる断線故障が問題となっている。われわれは、集積回路の過渡電源電流をもちいて断線故障を効率的に検出できる試験法（IDDT 試験法）を提案した。これまでの実験により、IDDT 試験法で組み合わせ回路内の断線故障を検出できることを明らかにしている。今回の設計では、IDDT 試験法検証用のテスト回路（順序回路）を設計した。試作したテスト回路は、Viterbi 復号器で、回路内部に抵抗性の断線故障をモデル化したトランスミッションゲート（TG）[1]をもつ。TG の制御入力は外部ピンに接続した。これにより、断線故障モデルである TG の抵抗値を外部から自由に設定できる。テストをもちいた実験により、IDDT 試験法により順序回路内の断線故障も効率的に検出できることを明らかにした。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** [1] N. Weste and K. Eshraghian, Principles of CMOS VLSI Design, 2nd Edition, Addison-Wesley Publishing Co., pp. 86-90, 1993.



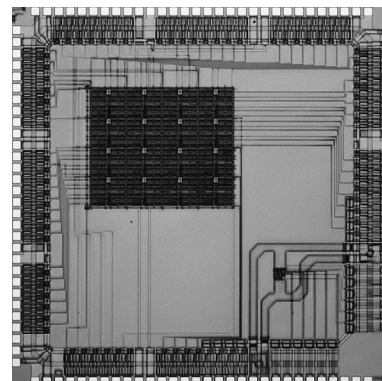
フレキシブルプロセッサ / 演算増幅器 相乗りチップ

東北大学大学院工学研究科 堺谷 智, 高橋 和史, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要: [フレキシブルプロセッサ] 半導体集積回路の高集積化が進みシステム LSI の時代が進むにつれ, 現在の LSI 製造技術は少品種大量生産向きであるにもかかわらず多品種少量のシステム LSI をも製造していかなければならない根本命題に直面している. 更に, システム開発にはきわめて多くの人的労力と開発期間を要し, システム開発期間の短縮がシステム LSI 開発の最大の鍵となっている. そこで今回は, 上記システム LSI 開発における困難を解決するために, 同一のハードウェアで種々の回路構成を実現し機能を動的に切替えることが可能な「フレキシブルプロセッサ」の試作を行った. [演算増幅器] システムの高機能化に伴い, より高速で高精度な AD 変換が求められている. デジタル回路の微細化・低電圧化が進行する中で, それに適合した低電圧・極微小信号で動作するパイプライン AD 変換器の開発を行っている. 今回はその要となる演算増幅器の試作を行った.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** [1] Satoshi Sakaidani, Naoto Miyamoto, and Tadahiro Ohmi, "Dynamically reconfigurable Processor with Multi-Mode Operation Based on Newly Developed Full-Adder / D-Flip-Flop Merged Module (FDMM)", Int. Conf. on SSDM, Sendai, pp. 358-359, August 2000.



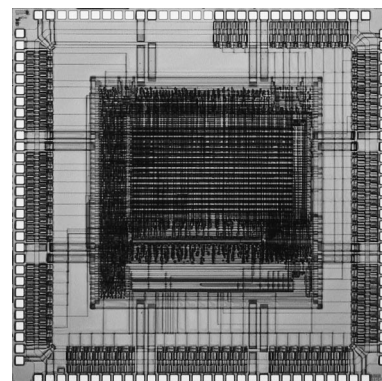
ATLAS 実験用タイミング調整 IC のアナログ部テスト用 ASIC

東京大学理学系研究科 仁木 太一

高エネルギー加速器研究機構 佐々木 修

概要: 2006 年から欧州原子核研究機構において, ヒッグス粒子, 超対称性粒子の探索を目的とした ATLAS 実験が開始される予定である. 本チップは ATLAS 検出器において, 信号処理, 特にタイミング調整のために使われるチップのうちのアナログ部分のテストを行なうための IC である. このチップには LVDS レシーバー, DLL (Delay Lock Loop) 回路を使った可変遅延回路, また差動のパルス発生回路を搭載した. この試作の結果, LVDS レシーバー, 差動パルス発生回路では実験に使うために十分な性能が得られた. DLL 回路の検証により一部設計の不具合が発見された. このことにより回路動作に若干の問題が観測された.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



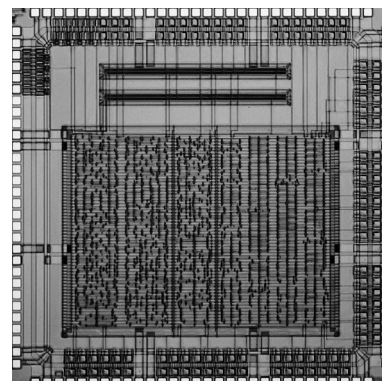
ATLAS 実験用 IC の放射線耐性試験用 ASIC

東京大学理学系研究科 香取 勇一

高エネルギー加速器研究機構 佐々木 修

概要: 2006 年から欧州原子核研究機構において, ヒッグス粒子, 超対称性粒子の探索を目的とした ATLAS 実験が開始される予定である. 本チップは ATLAS 検出器において, 信号処理のために使われる IC が, 放射線環境下で安定した動作をすることを確認するための IC である. このチップには単体の CMOS を 20 個と, リングオシレータを 4 個搭載した. この IC に対し 100krad の 線の照射を行ない, CMOS のパラメータの変化, またリングオシレータの発振周波数の変化を測定した. その結果, CMOS では若干リーク電流が増えたのみで, またリングオシレータに関しては有意な変化が見られなかった. よってローム 0.6 μ m フルカスタム技術で製作される CMOS 回路 (あるいはすべての) VLSI は積算 100Krad までの 線照射での動作が保証された. これは ATLAS 実験 10 年分の照射量に相当する.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

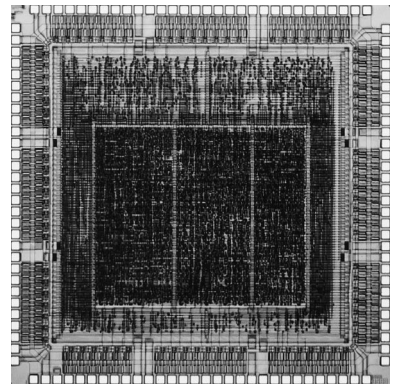


立方根計算回路

名古屋大学大学院工学研究科 南利明, 高木一義, 高木直史

概要: 三次方程式の求解などで用いられる立方根計算の専用回路を試作した。この回路は我々が提案した減算シフト型立方根計算ハードウェアアルゴリズムに基づいている。この回路は、1 サイクルにつき解を1桁ずつ上位から決定する。解の1桁の値を冗長な桁集合から選ぶことにより、剰余と中間解の上位数桁の値から決定できるようにしている。また、内部加算では桁上げ保存加算を用いて計算の高速化を実現している。回路の入力 X は小数点以下 26 ビットの 2 進数 ($1/8 < X < 1$) であり、出力 Y は小数点以下 24 ビットの 2 進数 ($1/2 < Y < 1$) である。内部演算における基数は 2 であるため、計算には 24 クロックを要する。出力解の丸め処理は行っていない。FPGA を搭載した汎用実験基板を用いてこの回路の動作を確認した。

設計期間: 4 月以上, 5 月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** 南利明, 高木直史, 高木一義, “減算シフト型立方根計算回路”, 第 4 回システム LSI 琵琶湖ワークショップ (2000)

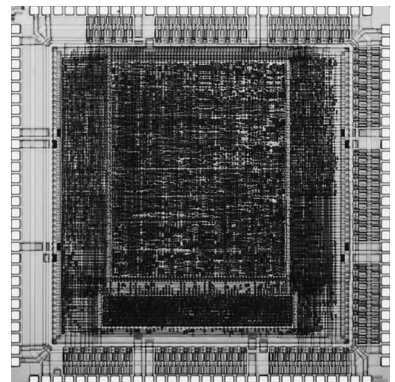


ユークリッドノルム計算回路及び有限体 GF(2^16) 上の除算回路

名古屋大学大学院工学研究科 武内大輔, 渡辺 恭章, 高木一義, 高木直史

概要: 1. ユークリッドノルム計算は、三次元ベクトル (X, Y, Z) に対し $X^2+Y^2+Z^2$ を計算する演算であり、グラフィックス等でベクトルの正規化に必要な重要な演算である。今回は、我々が提案した基数 2 のノルム計算アルゴリズムに基づき、IEEE754 標準の単精度の仮数部を想定し小数点以下 24 ビットまでノルムを計算する回路を試作した。回路は 1 サイクル毎にノルムを 1 ビットずつ計算する順序回路として設計した。計算は 28 サイクルで終了する。2. 有限体 (2^m) 上の除算は、誤り訂正符号の復号や、暗号の暗号化や復号に用いられる重要な演算である。今回は、我々が提案しているアルゴリズムに基づき、GF(2^16) 上の除算を行う回路を試作した。この回路は、有限体 GF(2^16) 上の元 A, B, Q と原始多項式 G について、GF(2^16) 上の除算 $Q=A/B \text{ mod } G$ の計算を行う。入力 A, B は各 16 ビット、 $G(x)$ は 15 ビット、出力 Q は 16 ビットである。FPGA を搭載した汎用実験基板を用いて回路の動作を確認した。

設計期間: 2 月以上, 3 月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** 渡辺 恭章, 高木直史, “バイナリ法に基づく GF(2^m) 上の除算の VLSI アルゴリズム”, 2000 年電子情報通信学会基礎・境界ソサイエティ大会 (2000)



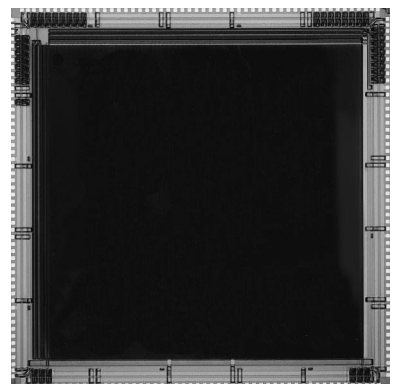
3次元計測向けスマートポジションセンサ

東京大学工学系研究科 星野 将史, 根塚 智裕, 池田 誠

東京大学 VDEC 浅田 邦博

概要: 3次元計測の方式の1つであるスポット光投影法においては、センサ面上におけるスポット光の座標を求めることにより、3角測量の原理に基づき、対象物の3次元形状を計測する。本試作では、センサ面上におけるスポット光の座標を高速に検出するための、スマートポジションセンサの設計を行った。チップは、可変のサイズの矩形領域内の画素値の論理和を取得することが可能な 256 x 256 画素の画素アレイおよび可変のサイズ領域を選択する専用のアドレスデコーダから構成される。可変ブロックアクセスの機能を用いることにより、高速なポジション検出を可能とする 4 進木スキャンを実現した。本試作では、従来のポジションセンサ [1] の画素回路を改良して信号振幅の最適化を行うことにより、フレームレートの向上を図った。

設計期間: ~ 0.1 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** [1] T. Nezuka, M. Hoshino, M. Ikeda and K. Asada “A Position Detection Sensor for 3-D Measurement”, Proc. of ESSCIRC, pp.412-415, (2000).

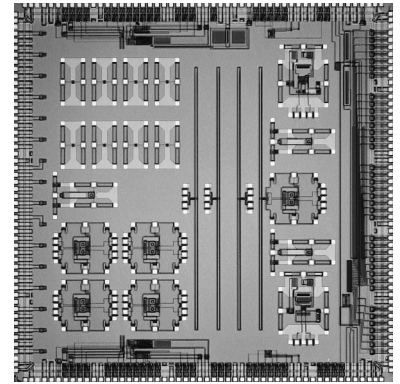


高周波電圧制御移相発振回路の設計

大阪大学大学院工学研究科 松岡 俊匡, 中村 光男, 谷口 研二

概要: 近年の MOS 素子の微細化の進展により高周波回路も CMOS 回路で実現されてつ
つある。今回、短距離無線通信用に特化し、位相雑音特性を緩和した電圧制御移相発振回
路を設計した。この発振回路は、LC 発振回路よりもインダクタが無い分、小面積化がで
きる。作製した発振器をウェーハレベルで評価した結果、590 ~ 630MHz で発振周波数が
可変できることを確認した。位相雑音は、オフセット周波数 10kHz で -60 dBc/Hz であ
った。消費電流は 2 mA 程度であった。その他、1 チップ短距離無線通信回路のための要素
ブロックを設計した。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-
HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm
角 **チップ種別:** 通信 (RF 回路, ATM など) **参考文献:** [1] 中村, 桜, Yew, 松岡, 谷口, “短距離無線通信用 CMOS 発振回
路に関する研究”, 電気学会電子回路研究会 ECT-01-14 (2001)



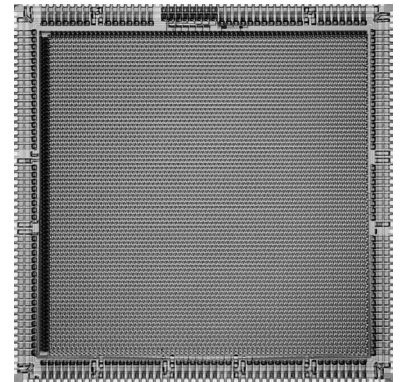
平滑化機能を持った人工網膜チップの設計

九州工業大学大学院情報工学研究科 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 人工網膜は、生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実
現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった利点を持つ。
今回の設計では、自然照明下における実時間画像処理を基本視座とし、アナログ人工網
膜チップを試作した。各画素は六角格子状に配置され、チップは 2 次元ガウシアン型
のフィルタ特性を持つ。今回試作した人工網膜チップは、網膜初段の外網膜の回路構造を
模擬したもので、光センサ回路と抵抗回路網により入力画像の平滑化機能を持つ。集積
回路の素子のばらつきを補償する機構を付加し、光センサ部にはアクティブピクセルセ
ンサを用いた。画素数は 70 \times 80 で、画素サイズは 103.5 μ m \times 89.6 μ m、開口率は 7.47 %
となった。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ
数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 八木,
亀田, 飯塚: “可変受容野を備えた超並列アナログ知能視覚センサ”, pp.104-113, 信学論 D-II, J81-D-1, 2, (1998)。



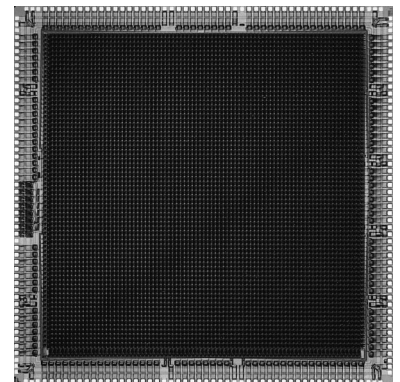
画像転写型人工網膜チップの設計

九州工業大学大学院情報工学研究科 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 人工網膜は、生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実
現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった利点を持つ。
今回試作した人工網膜チップは、網膜初段の外網膜の回路構造を模擬している。各画素は
アナログメモリ部、抵抗回路網、ばらつき補償回路部で構成されている。外部イメージャ
からの画像情報を各画素のアナログメモリに転写し、抵抗回路網により並列演算すること
で実時間のアナログ画像処理が実現できる。抵抗回路網に与えるバイアス電圧を調節す
ることでフィルタサイズ、方向選択性を変えることができる。画素数は 70 \times 80 で、画素サ
イズは 103.5 μ m \times 89.6 μ m となった。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ
数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 八木,
亀田, 飯塚: “可変受容野を備えた超並列アナログ知能視覚センサ”, pp.104-113, 信学論 D-II, J81-D-1, 2, (1998)。

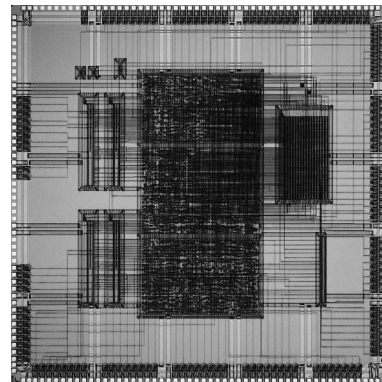


ATLAS 実験用 タイミング調整 IC ver (-1)

東京大学理学系研究科 仁木 太一
高エネルギー加速器研究機構 佐々木 修

概要: 2006 年から欧州原子核研究機構において、ヒッグス粒子、超対称性粒子の探索を目的とした ATLAS 実験が開始される予定である。本チップは ATLAS 検出器において、信号処理、特にタイミング調整のために使われるチップのプロトタイプである。この IC は、検出器からの LVDS 信号を受け、これを TTL に変換する。信号はさらに DLL (Delay Lock Loop) を使った可変遅延回路を通過し、クロックと同期がとられて出力される。また遅延の値などのパラメータを設定するために JTAG プロトコルも搭載している。アナログ部分である LVDS レシーバと DLL は、HSPICE を使いながらレイアウトレベルから設計を行なった。また JTAG などのデジタル部分は Verilog-HDL を使って開発を行なった。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

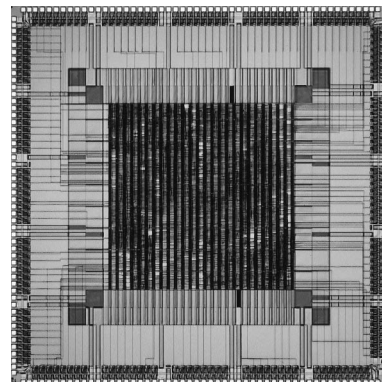


ATLAS 測定器用トリガースystem回路の設計

東京都立大学理学研究科 狩野 博之, 福永 力
高エネルギー加速器研究機構 (KEK) 佐々木 修, 池野 正弘

概要: このチップは高エネルギー実験 ATLAS で用いられる検出器用トリガー生成回路である。このチップは粒子トラックの検出、及びその位置、曲率の検出を行う回路を含んでいる。処理時間の短縮化を目指しており、独自開発の選択回路を用いて高速な処理が可能である。このチップは、圧縮された約 400ch の入力信号を用いて処理を行う。処理は、入出力バッファを含めて 2 クロック以内に行うことが可能である。目標動作周波数 40MHz に対し、57MHz 程度まで動作し、また、定格動作電圧 5V に対し 3.3V 動作も可能であった。テストには、オリジナルテスト基板と、パルスジェネレータ、オシロスコープ等を用いた。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** その他

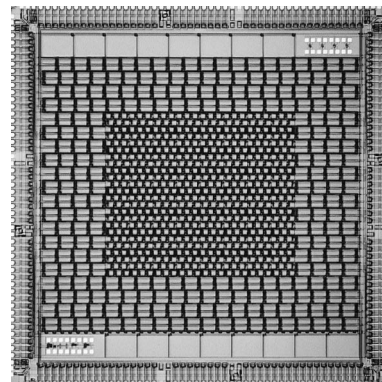


中心窩構造を有する neuromorphic vision chip

東北大学大学院工学研究科 中川 源洋

概要: 人間の網膜細胞である、視細胞、水平細胞、双極細胞、更に、第一次大脳皮質視覚野の方位選択性を持つ単純細胞と複雑細胞の機能を盛り込んだ neuromorphic vision chip を試作した。本チップの機能は、人間の網膜の持つコントラスト強調と、第一次大脳皮質視覚野の細胞が持つ、方位選択である。また、本チップは、中心部は解像度が高く、周辺部にいくに従って低くなるという人間の網膜を模擬した“中心窩”構造を有している。網膜部分の回路には、アナログ回路技術を利用し、視細胞回路や水平細胞回路、双極細胞回路には、フォトダイオードと増幅回路、そしてバストランジスタを利用した空間平滑化回路、差動増幅器をそれぞれ用いた。また、第一次大脳皮質視覚野の単純細胞は加算回路と比較器を、複雑細胞回路には論理和回路を利用した。中心窩部分には 122 x 135 μ m² のフォトダイオードを、周辺部分には 291 x 301 μ m² のフォトダイオードを持つ単位セルを配した。画素数はそれぞれ、中心窩部分は 24 x 24 画素、その周辺部は更に 4 画素ずつ配した。双極細胞回路の出力の測定結果より、入力画像のコントラストを強調した結果が得られ、本チップの基本機能であるコントラスト強調が実現できたことを確認した。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ

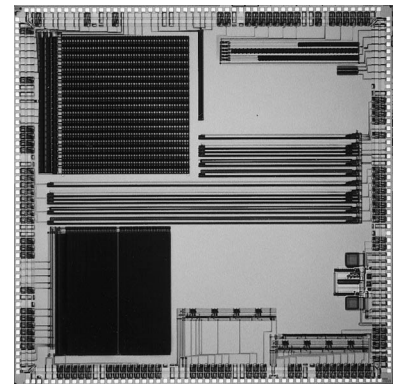


32bitRISC マイクロプロセッサ

東京大学国際・産学共同研究センター 川口 博, 桜井 貴康

概要: 32bitRISC 型マイクロプロセッサを設計した。例外やサブルーチンには対応しておらず、レジスタ相互間転送も実装していない。最小構成のマイクロプロセッサを意識して設計した。命令数は 16。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** マイクロプロセッサ

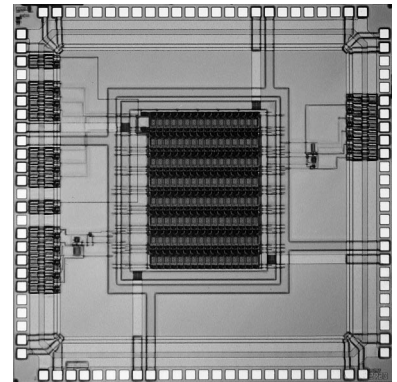


高エネルギー物理実験用フロントエンドエレクトロニクス

東京農工大学工学研究科 南雲 崇

概要: チップ概要本チップの目的は、高エネルギー物理学実験におけるフロントエンドエレクトロニクスの開発である。高エネルギー物理学実験におけるフロントエンドエレクトロニクスは、多チャンネル、大規模、高速という実験の性質から省電力、省スペース、省タイムを実現するエレクトロニクスが必須であり、今回の試作ではフロントエンドエレクトロニクスの中心となるプリアンプと、アナログ波形サンプリング回路を製作したプリアンプは、カスコード接続によって構成されており、アナログ波形サンプリング回路は、シフトレジスタとスイッチドキャパシタによって構成されている。これらを用いて検出器から送られる信号に必要な処理を行う。

設計期間: 2 人以上, 3 人未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μm 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



パイプライン型 A/D 変換器を拡張したカオス発生回路

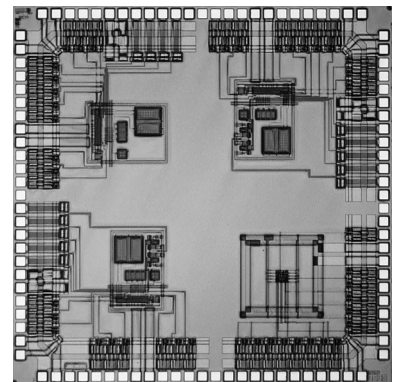
東京大学大学院工学系研究科 今村 晃

東京大学工学部 ダナルドノドゥイアントノ

東京大学大学院新領域創成科学研究科 藤田 隆史, 藤島 実, 鳳 絨一郎

概要: 本研究ではパイプライン型 A/D 変換器を、各段ごとにベルヌーイシフト型一次元写像を施すことによって時系列カオスを発生する回路として捉え、カオスが持続する条件と写像関数のパラメータ、さらに A/D 変換器としての変換精度との間の関係を明らかにした。その結果を踏まえて、パイプライン型 A/D 変換器の特性を可変にし、カオスの持続時間を観測しながらオンチップで回路パラメータを最適化し、変換精度を向上させる手法を提唱している。1 ビット/段パイプライン型 A/D 変換器を巡回型構成にし、理論的には無限時間 A/D 変換することによりカオスを発生する回路を試作した。本回路は、スイッチトキャパシタを利用した増幅回路、コンパレータ、サンプル/ホールド回路などからなっており、3 種類のパラメータを用いて試作を行った。また、他には、修士 1 年生と学部 4 年生による演習として行った 4 ビット全加算器が入っている。

設計期間: 1 人以上, 2 人未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μm 3.8mm 角 **チップ種別:** ニューテクノロジー

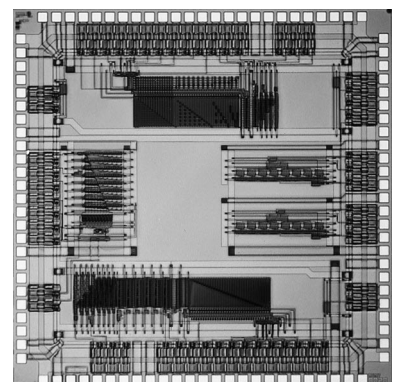


ラッチ型センスアンプ及び自己プリチャージ機構を用いた高速 PLA

東京大学工学系研究科 山岡 寛明, 池田 誠, 浅田 邦博

概要: 半導体微細化技術の進展による集積度増加に伴い、従来のランダムロジックを用いた設計手法は複雑性を増し、設計生産性の低下が問題となっている。我々は、設計容易性及び高速性を有する回路方式としてラッチ型センスアンプを用いた PLA を提案した [1]。しかし、ビット線の信号振幅が大きく、消費電力やサイクル時間が大きいことが問題であった。そこで我々は、配線間の電荷分配則を利用した自己プリチャージ回路を用いることにより更なる高速化及び低消費電力化を実現する PLA 回路方式を提案し、今回、比較器、プライオリティー・エンコーダ及び比較用の CMOS 回路の試作を行った。測定は EB テスタを用いて行い、シミュレーション結果と良く一致し、従来の CMOS 回路に対し高速化が実現されていることを確認した。

設計期間: 0.5 人以上, 1 人未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μm 3.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** [1] H. Yamaoka, M. Ikeda, and K. Asada, "A High-Speed PLA using Array Logic Circuits with Latch Sense Amplifiers and a Charge Sharing Scheme", Proc. Asia and South Pacific Design Automation Conference 2001, pp. 3-4, Jan. 2001.



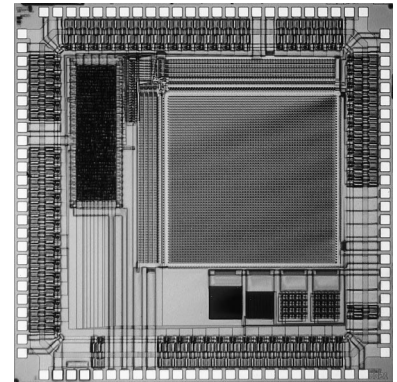
4 進木スキャン機能を有するスマートポジションセンサ

東京大学工学系研究科 根塚 智裕, 池田 誠

東京大学 VDEC 浅田 邦博

概要: 3次元計測の方式の1つであるスポット光投影法においては, 対象物にスポット光を投影し, センサ面上におけるスポット光の座標を求めることにより, 3角測量の原理に基づき, 対象物の3次元形状を計測する. 本試作では, センサ面上におけるスポット光の座標を高速に検出するための, スマートポジションセンサの設計を行った. チップは, 可変のサイズの矩形領域内の画素値の論理和を取得することが可能な 64×64 画素の画素アレイ, 可変のサイズ領域を選択する専用のアドレスデコーダ, 4進木スキャン制御回路, および重心演算回路から構成される. 本試作では, 従来のポジションセンサ[1]と比較して, 画素回路の開口率の改善, 画素サイズの小型化, アドレスデコーダの高速化, 制御回路および演算回路の集積を行い, 従来型に対して, 約1桁の性能向上を図った.

設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 3.8mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** [1] T. Nezuka, M. Hoshino, M. Ikeda and K. Asada "A Position Detection Sensor for 3-D Measurement", Proc. of ESSCIRC, pp.412-415, (2000).

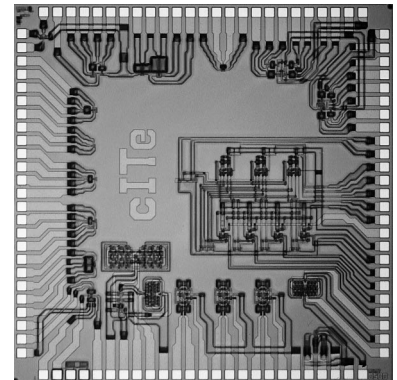


ニューロン MOSFET を用いた多値論理回路の試作

宮崎大学工学部 稲葉 基, 串間 宗夫, 堤 貴彦, 永里 正嗣, 淡野 公一, 石塚 興彦

概要: 多値論理回路の基本セルとなるニューロン MOSFET を用いた 2 値インバータ, ダウンリテラル回路, カレントミラー, 線形抵抗回路, 多値 NAND, 多値 NOR, 完全作動形多値論理回路をそれぞれ数種試作した.

設計期間: 8 月以上, 9 月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 3.8mm 角 **チップ種別:** ニューテクノロジー

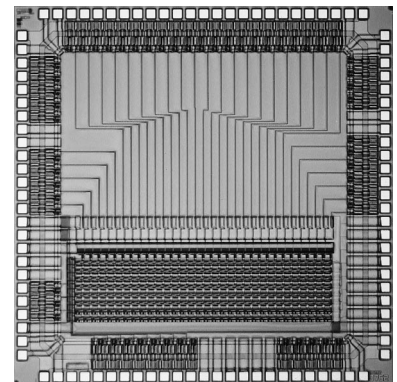


各種フォトディテクタの特性評価用 CMOS イメージセンサ

広島大学工学部 今村 俊文, 永田 真, 森江 隆, 岩田 穆

概要: 本チップは, CMOS イメージセンサを試作する際に必要となるフォトディテクタの特性を評価するためのものである. ピクセルサイズ $80\mu\text{m} \times 80\mu\text{m}$, ピクセル数 8×32 , 開口率 25% である. フォトディテクタとして, フォトトランジスタ (PNP)・フォトダイオード (n-well/p-sub) (n+/p-sub), フォトゲートの 4 種類を試作した. ピクセル内部のキャパシタで光電流を積分し, その電圧をソースフォロア回路を介して外部で読み出す構成である. 試作チップを用いて, ハログランプと, 分光器を用いて各フォトディテクタの分光感度特性を評価した. また, 分光感度特性を元に量子効率を算出した. 各フォトディテクタの量子効率は, 1.5 (600nm), 0.5 (600nm), 0.25 (500nm), 0.008 (700nm) となった.

設計期間: 1 月以上, 2 月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Synopsys 社 PowerMill **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 3.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ

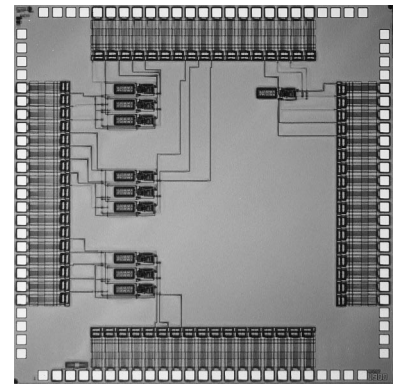


電荷逐次型積分回路

東京大学宇宙線研究所 増田 正孝, 青木 利文, 佐々木 真人
 高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要: 我々は、空気シャワー現象を光電子増倍管を用いて測定するための回路の一部である電荷逐次型積分回路の試作を行った。電荷積分回路では、電荷を飽和させないように積分容量に蓄積された電荷を放電することが必要である。そのためこの回路では OP アンプを用いた 3ch の積分器を一組としていて、各積分器は 200ns ごとにサンプル・ホールド・リセットをおこない、1 つの入力チャンネルに対して電荷積分器 3ch を切り替えて出力する。設計は HSPICE でのシミュレーションをもとに Cadence 社の Layout Editor を用いてすべて手作業で行った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

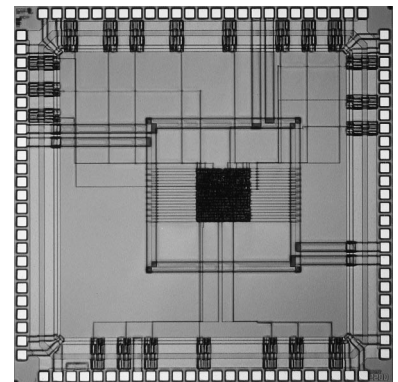


6 脚口ボット用歩容生成チップ

東京大学大学院工学系研究科 岩瀬 英治, 安田 隆, 下山 勲

概要: 直進する昆虫の歩容 (脚運び) には、歩行する速度によって 3 脚歩容 (tripod gait) と波歩容 (wave gait) とがあり、これらは同じ神経網の構成から生成できることが知られている [1]。我々はこの神経網のモデルとして、周囲の環境によって自然と歩容が変化する歩容生成ネットワークを考案した。またこれを CPLD に組み込み、実際に 6 脚口ボットを環境に応じた歩容が生成できることを確認した。本試作では、CPLD に組み込んだ歩容生成ネットワークを 1 チップ化し、歩容生成部のモジュール化を目指した。これにより、触角センサなどの各種センサを 6 脚口ボットに搭載しようとしたときに、脚運びにはほとんど気を配ることなくセンサと行動の統合をできるものと考えられる。試作したチップのテストを行ない、CPLD で得られた信号と同じ結果を得ることができた。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** [1] K. Pearson, "The control of walking", pp. 72-86, Scientific American, Vol.235, No.6 (1976).

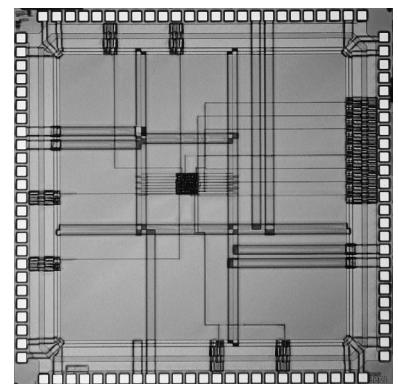


昆虫の嗅覚情報処理系を模擬したリカレント・ニューラルネットワーク回路の試作

東京大学大学院工学系研究科 長澤 純人, 下山 勲

概要: 昆虫は比較的単純な体性感覚情報処理を用いて、複雑な実環境に適応した行動を獲得している。我々は雄カイコガの、フェロモン刺激によって発現する雌への定位行動に注目している。本チップでは、この行動を発現させる嗅覚情報処理系を模擬した回路を試作した。嗅覚情報処理系のモデルはリカレント・ニューラルネットワークによって構成される。左右 2 つのフェロモン刺激を入力として、リカレント・ニューラルネットワークが駆動され、最終的に 2 系統のモータ出力を生成する。カイコガの定位行動は、左右のモータ出力がリズミックに交番する Flip-Flop 機能と、新しい刺激によって行動が初期化される Reset 機能が、生物学的実験によって神経系レベルで報告されており、この機能を併せ持つようなリカレント・ネットワークが考案されている [1]。回路としては単純な論理回路であり、設計は容易であるが昆虫サイズのロボットに搭載することを目的としているため、ASIC による小型化が望まれていた。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** [1] Y. Kuwana, I. Shimoyama, "A Pheromone-Guided Robot that Behaves like a Silkworm Moth with Living Antennae as Pheromone Sensors", The International Journal of Robotic Research, pp.924-933, 1998.

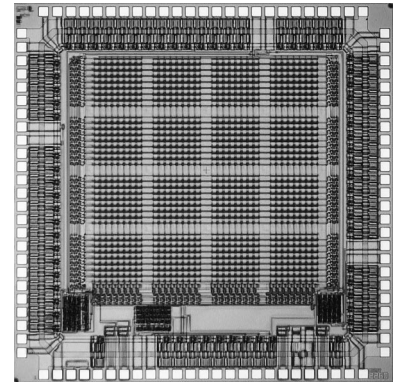


マルチチップ型薄型撮像システム用 CMOS イメージセンサ

大阪大学大学院工学研究科 北野 洋司, 仁田 功一, 谷田 純

概要: 複眼光学系は、昆虫の視覚系にみられる複眼構造を模した光学系であり、これを用いることにより極めて薄型の撮像装置を実現できる。本研究では、複眼光学系としてマイクロレンズアレイを用いた CMOS イメージセンサを複数個組み合わせることにより、広い視野を持つ薄型撮像システムの試作をめざす。そこで、このシステムに用いる CMOS イメージセンサを設計した。口径 600 μm 、焦点距離 1.5mm、レンズ数 4 × 4 のマイクロレンズアレイとの組み合わせを想定し、各レンズごとに対応する画素アレイを偏心配置させ視野の拡大を図った。画素回路としてアクティブピクセルセンサを用い、画素数 32 × 32、画素サイズ 60 μm × 60 μm 、開口率は 56.3% とした。また、複数のチップを組み合わせるため、配線の複雑化への対策としてイメージセンサ回路を駆動する制御回路を内蔵し、チップ外部との入出力信号を必要最小限に抑えた。その結果、入力信号としてリセット信号と読み出し信号、出力信号に減らすことができた。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Cadence 社 Cell Ensemble, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μm 3.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ



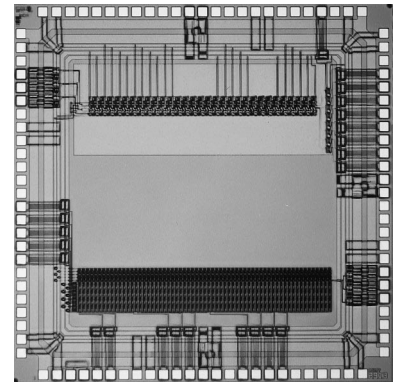
シリコン網膜チップ要素回路 TEG の設計

九州工業大学情報工学部 下ノ村 和弘, 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: シリコン網膜は、生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった特徴を持つ。本チップはこのシリコン網膜を構成する要素回路の特性を評価するための TEG であり、光センサ回路及び抵抗ネットワークを含む。光センサ回路 TEG は、受光面サイズの異なる 8 個の光センサ回路の出力電圧をシフトレジスタにより順に読み出す。抵抗ネットワーク TEG は、MOS 抵抗により構成された抵抗ネットワークのノードに外部から電圧入力を与え、このときの各ノードの電圧を読み出す。なお、テストによる測定は行っていない。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μm 3.8mm 角 **チップ種別:** TEG (特性評価回路など)

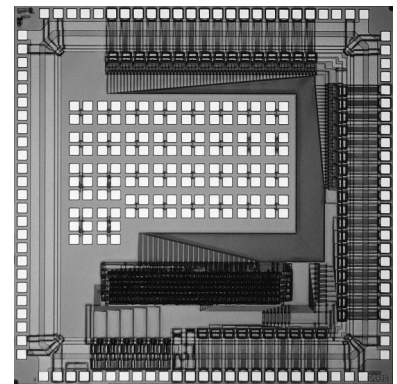


電気泳動マイクロディスプレイ用 IC

九州大学大学院システム情報科学研究所 服部 励治

概要: 我々の開発している新構造電気泳動ディスプレイは高反射率高コントラストを同時に実現し、さらにそのメモリー効果を生かした超低消費電力ディスプレイを実現し得るものである。よって次世代携帯端末用ディスプレイとして非常に有望である。我々の目的はこの電気泳動ディスプレイを信号処理、ピクセル回路を持つ LSI チップ上に作成しマイクロディスプレイを完成させることである。第一段階として電気泳動のための高電圧を発生させるレベルシフター的设计と信号処理回路的设计を行った。特にフィールド酸化膜を利用した LDD 構造をもつ高耐圧 MOS の開発に重点をおいた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VSS, Synopsys 社 design_compiler, Cadence 社 Cell Ensemble, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μm 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



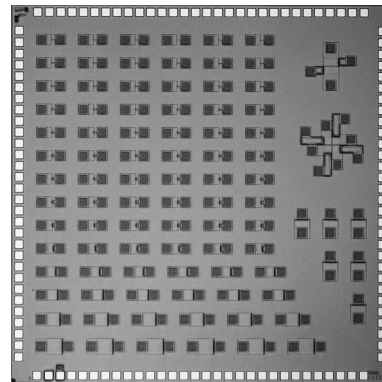
光インターフェース LSI のための TEG

金沢大学工学部 北川 章夫, 藤田 隼人, 中村 公亮

概要: このチップ試作は光インターフェース LSI のためのフォトダイオードと, 光電流を電圧に変換する I-V 変換回路の TEG である. ワンチップにフォトダイオードと I-V 変換回路を集積するため, フォトダイオードの容量がボトルネックとなる. よって今回はフォトダイオードの容量の見積もりを目的とした TEG を試作した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満

試作ラン: ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** TEG (特性評価回路など)



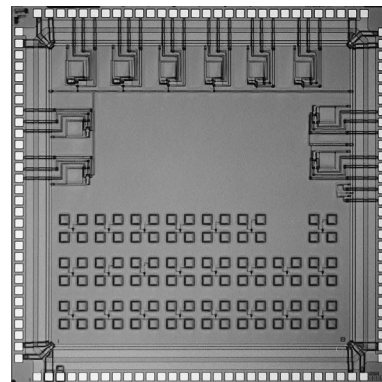
光インターフェース LSI のための TEG

金沢大学工学部 北川 章夫, 藤田 隼人, 中村 公亮

概要: このチップ試作は光インターフェース LSI のためのフォトダイオードと, 光電流を電圧に変換する I-V 変換回路の TEG である. ワンチップにフォトダイオードと I-V 変換回路を集積するため, フォトダイオードの容量がボトルネックとなる. よって今回はフォトダイオードの容量の見積もりを目的とした TEG を試作した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満

試作ラン: ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** TEG (特性評価回路など)

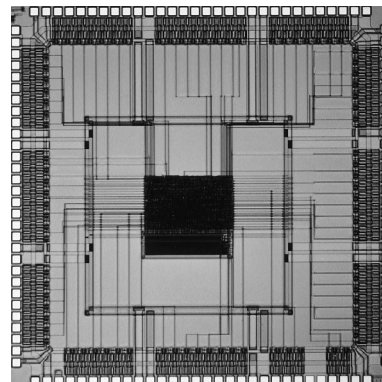


DRAM 混載マルチコンテキスト FPGA の設計と試作

慶應義塾大学工学部 川上 大輔, 柴田 裕一郎, 天野 英晴

概要: ユーザーが自由に回路をプログラムすることが可能な FPGA や CPLD が急速に普及, 発達してきたことにより, アプリケーションにあわせて動的に最適な回路を構成し, 処理を行うリコンフィギュラブルシステムの研究が盛んに行われている. そのようなシステム向けに, 既存の FPGA を拡張し, チップ内に複数の回路構成情報を持たせたマルチコンテキスト FPGA と呼ばれるデバイスが開発されてきている. 既存の FPGA が利用している SRAM の代わりに DRAM を用いることで, より多くの構成情報をチップ内に格納することが可能になり, システムの性能をあげることが可能である. 今回は検証用に FPGA の最小構成単位となるセルとそのセルを構成するためのメモリのみを搭載している.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** ニューテクノロジー



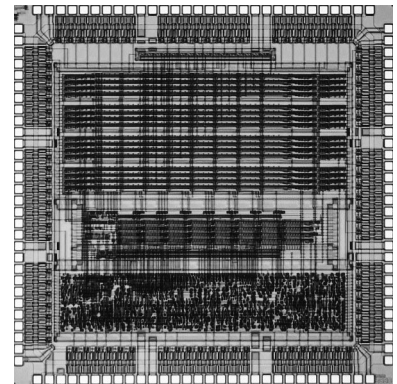
ATLAS 実験用タイミング調整 IC ver0

東京大学理学系研究科 香取 勇一

高エネルギー加速器研究機構 佐々木 修

概要：2006 年から欧州原子核研究機構において、ヒッグス粒子、超対称性粒子の探索を目的とした ATLAS 実験が開始される予定である。本チップは ATLAS 検出器において、信号処理、特にタイミング調整のために使われるチップである。この IC は、検出器からの LVDS 信号を受け、これを TTL に変換する。信号はさらに DLL (Delay Lock Loop) を使った可変遅延回路を通過し、クロックと同期がとられて出力される。また遅延の値などのパラメータを設定するために JTAG プロトコルも搭載している。この試作の結果、LVDS レシーバー、差動パルス発生回路、JTAG プロトコルでは実験に使うために十分な性能が得られた。DLL に関しては実際のロックが 25ns とならなければならないところ、4ns ほど早めに起きてしまうことがわかった。HSPICE シミュレーションの見直し、あるいは設計の変更 (DLL の限界か) など現在原因を究明中である。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



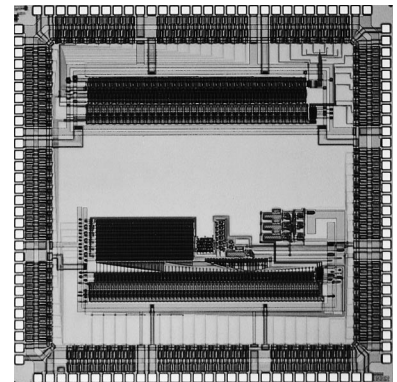
ISFET 特性評価 TEG

東京大学工学系研究科 山崎 俊彦, 堀池 靖浩

東京大学新領域創成科学研究科 柴田 直

概要：ISFET (Ion Sensitive Field Effect Transistor) とは FET のゲート上にあるイオン感応膜上を流れる液体の pH によってゲート電圧が変化するトランジスタのことである。今回は ISFET を集積化することを目指し、基本特性評価用の TEG を設計した。ゲートの電位の変化をそのまま正確に読み出すソースフォロワ型の ISFET 回路、簡単な増幅作用を持つインバータ型 ISFET 回路、温度変化に対しても比較的正確に演算を行える作動増幅器型 ISFET 回路を設計した。

設計期間：0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別：**TEG

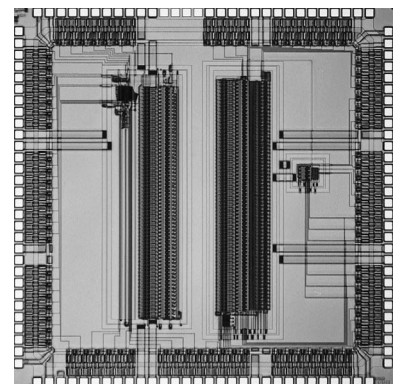


ラッチ型コンパレータを用いた Winner-Take-All 回路, およびバイナリサーチ方式による Winner-Take-All 回路の開発

東京大学 新領域創成科学研究科 齊藤 康祐, 田口 晶康, 柴田 直

概要：本研究室で研究されている連想・認識システムにおいて重要な位置を占める Winner-Take-All 回路 (以下, WTA 回路) の方式として 1)ラッチ型コンパレータを用いた WTA 回路, 2)同コンパレータを用い, バイナリサーチロジックによる WTA 回路を, VLSI の設計手順および CAD ツールの使用法に習熟することも兼ねて設計した。ラッチ型コンパレータは, 各種コンパレータに比べ, 動作速度, 消費電力の面で優る。この 2 入力 of ラッチ型コンパレータをピラミッド状に配置することにより, 64 入力の中から最も小さいもののアドレスを検索する回路を設計した。各入力の前には, 与えた値を保持する Sample and Hold 回路を挿入した。バイナリサーチ方式 WTA 回路はラッチ型コンパレータに 6bit 精度の MOS-D/A コンバータ, バイナリサーチコントローラ回路を組み合わせ, 64 入力のアナログ入力から 6 サイクルで最大値を検索する回路を設計した。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

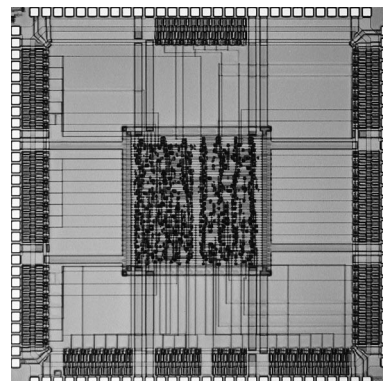


32 ビットマイクロプロセッサの試作

金沢工業大学電気系 吉村 豊, 福田 一郎

概要: 本課題では, 教材用 32 ビットマイクロプロセッサの試作を行った. RISC タイプの設計は, 研究室ではいわばゼロからのスタートであることから, 命令セットは MIPS 社の R3000 を参考に, 機能のある程度絞った第 1 段階と完成度の高い設計を目指した第 2 段階に分けて行った. チップの試作を行った第 1 段階の基本アーキテクチャは, RISC タイプの特徴であるレジスタ・レジスタタイプ, パイプライン方式は最大 2 命令の並列処理とした. データバス, アドレスバスは 32 ビット, 命令語長は 1 ワードで 32 ビットで, 命令数は 58 である. レジスタは 2 ビットのフラグレジスタ, 32 ビットの命令レジスタ, プログラムカウンタ, メモリ・アドレス・レジスタ, そして汎用レジスタを 32 個用意している. クロックは 10MHz である. 設計は修士 1 名が担当し, 設計期間は調査期間を含めて約 1 年であった. FPGA を用いて検証回路を製作し, 試作チップの検証を行った. 検証の結果, プロセッサ内部に一部動作不良が認められた. 調査した結果, 設計ミスで動作しないものと, 配線遅延と思われるものがあった. 前者は全体の機能シミュレーションを行わないでチップ作製依頼の設計データを提出したためである.

設計期間: 10 人月以上 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** Gerry Kane 著, 前川守 監訳, "mips RISC アーキテクチャ R2000/R3000", 共立出版

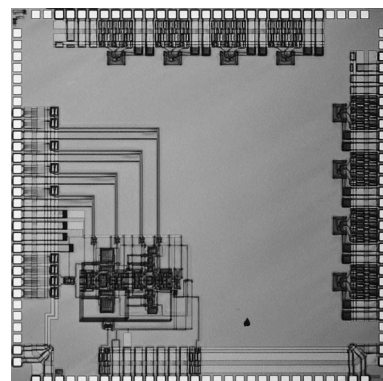


型 AD コンバータの試作 (1)

大阪大学大学院工学研究科電子情報エネルギー工学専攻 岩村 宏, 北谷 卓哉, 畠中 信伍, 小川 徹, 谷口 研二

概要: 型 AD コンバータについては低速高精度 AD, DA コンバータの理論的背景 (オーバーサンプリング技術とノイズシエーピング技術) についての理解を深め, また, デジアナ混載回路におけるノイズを考慮したレイアウトについて学習することを目的として, その変調器部分の設計を行った. 回路には, 全差動型 A/AB 級 OP-AMP, キャパシタ, ポジティブエッジトリガ D フリップフロップ, ノンオーバーラップクロック生成回路を用い, 2 次の 変調器を構成した. また, ノイズ対策のためにアナログ部にガードリングを配置し, レイアウト面でも回路の対称性を重視したレイアウトを行った. OP-AMP に関しては一連の設計フローを体験することを目的とし, シングルエンドで 2 段構成の OP-AMP の設計を行った. 設計段階でのゲインは 45dB であった. 2 種類のバイアス回路を内蔵している.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

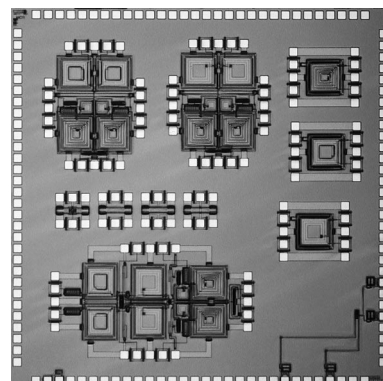


高周波低雑音増幅回路の設計

大阪大学大学院工学研究科 Yew Lim Guan, 松岡 俊匡, 谷口 研二

概要: 近年の MOS 素子の微細化の進展により高周波回路も CMOS 回路で実現されてつつある. 今回, 2.4 GHz で動作する差動低雑音増幅器 (LNA) とミキサを設計した. LNA の仕様は, 低雑音 (NF < 6dB), インピーダンス整合 (50 Ω), 高利得 (> 20dB), 低消費電力 (< 10mW) である. 今回の設計ではオンチップ化を前提とし, 集積回路上の金属配線インダクタと多結晶 Si キャパシタを用いて CMOS 構造の LNA とミキサを設計した. LNA の設計については, 与えられた消費電力 (5mW) 下での雑音整合から, 最適な雑音指数 (NF) を与えるデバイスのゲート幅とバイアスを決めた. 今後, トランジスタの微細化によって, NF が小さくなり, 雑音特性がよくなることが期待できる. また入力段のゲート電極とソースに接続されたインダクタンスの値を調整することにより 50 Ω のインピーダンス整合も実現した. レイアウトに際して, ガードリングを用いて基板とのカップリングを抑える工夫をした. また, オンチップ化したスパイラルインダクタをグラウンドからシールドして基板での損失を低減した.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

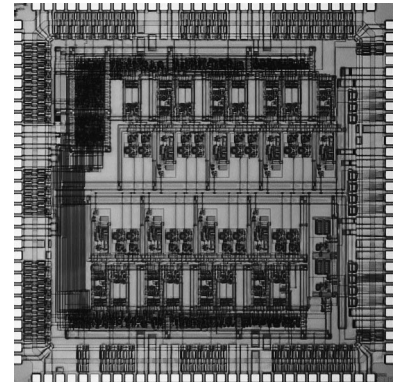


LSI 間 DS-CDMA 有線バスの設計

大阪大学工学研究科 吉村 隆治, TAN BOON KEAT, 松岡 俊匡, 谷口 研二

概要: 本設計では, LSI 間の DS-CDMA 有線バスの実現に向けたテスト用回路の組み込みを行なった. DS-CDMA 有線バスは, CDMA 方式を用い複数の通信を同時に有線バスラインを介して行なうことを可能とする技術である. 試作したチップに設けた 8 対の送受信回路を通して拡散符号を使用した多重通信を検証することが目的である. 送受信回路のほか, テスト用回路や検証用の回路も実装されている. チップの実測評価の結果, 正常なチップの動作確認ができた.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** ニューテクノロジー

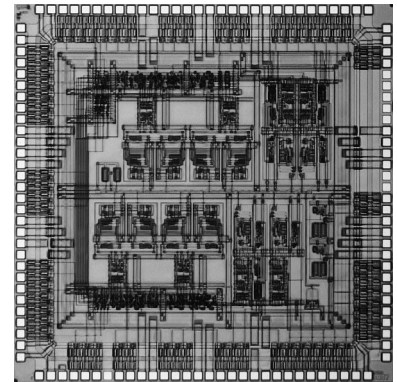


多ビット対応 DS-CDMA 有線バスの設計

大阪大学工学研究科 TAN BOON KEAT, 吉村 隆治, 松岡 俊匡, 谷口 研二

概要: 本設計では, DS-CDMA 有線バスの実現に向けてテスト用回路の組み込みを行なった. DS-CDMA 有線バスは, CDMA 方式を用い複数の通信を同時に有線バスラインを介して行なうことを可能とする技術である. 但し, 従来の DS-CDMA バスと違い, ビット毎で送受信するのではなく, 同時に同じ拡散符号で多ビットのデータを同時に送受信を行う. 試作したチップに設けた 6 対の送受信回路を通して拡散符号による多重通信を検証することが目的である. 送受信回路のほか, テスト用回路や検証用の回路も実装されている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** ニューテクノロジー

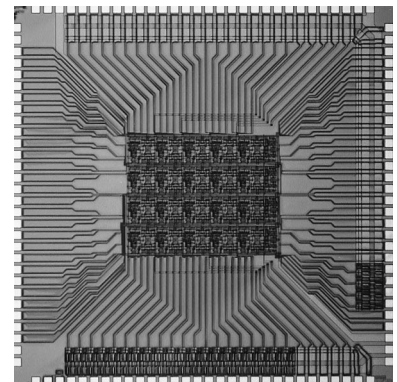


高機能化大規模アナログ神経回路の設計

東北大学電気通信研究所 金城 光永, 佐藤 茂雄, 中島 康治

概要: ニューラルネットワークは非ノイマン型計算機として, 適応的情報認識システムの分野への応用が期待できる. 文字認識システムの実現には一般的に 1000 ニューロンを超える大規模ニューラルネットワークが必要であると言われており, そのシステムの実時間処理を実現するためには集積化が不可欠である. また, ニューラルネットワークはその環境適応能力と冗長性から集積デバイス単体のばらつきを吸収し, システム全体として高い性能を持つ事が可能である. さらに従来とは異なる入出力特性をもつニューロン (非単調ニューロン) を利用することでニューラルネットワークの全体的な性能の高機能化が可能である. そこで本研究では, 情報処理の高速化に不可欠なアナログ技術を用いて, 非単調ニューロンを利用した大規模ニューラルネットワークの集積化を目指す. 今回試作したチップは, 高集積化大規模神経回路の実現に向けた 4 ニューロンで構成される学習機能付きアナログニューロチップである. 但しアナログ値を長期的に記憶する素子は含まれていない.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ **参考文献:** [1] C. ミード著, 臼井支朗・米津宏雄訳, “アナログ VLSI と神経システム”, 株式会社トッパン発行

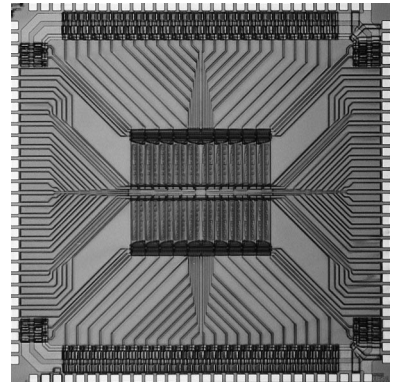


大規模アナログ神経回路用メモリアレイ

東北大学電気通信研究所 金城 光永, 佐藤 茂雄, 中島 康治

概要: ニューラルネットワークは非ノイマン型計算機として, 適応的情報認識システムの分野への応用が期待できる. 文字認識システムの実現には一般的に 1000 ニューロンを超える大規模ニューラルネットワークが必要であると言われており, そのシステムの実時間処理を実現するためには集積化が不可欠である. また, 実社会とのインターフェースをより高速化するためにアナログ技術を導入することが望ましい. 一般的にアナログ回路は, 回路面積は小さいが耐ノイズ性が低く集積化における回路特性のばらつきも大きい. その欠点をニューラルネットワークが持つ適応能力で補うことで, 高集積なニューロチップの実現が期待できる. そこで本研究では, アナログ技術を用いた大規模ニューラルネットワークの集積化を目指す. 今回試作したチップは, 高集積化大規模神経回路の実現に向けたメモリアレイである. メモリは SRAM により構成され, アナログ出力を実現するために D/A コンバーターが付加されている. メモリ精度は 1 セルあたり 6bit 相当であり, そのメモリセル 20 個をローム社 0.6 μ m ルール, 4.5mm 角のチップとして実現した.

設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ混載

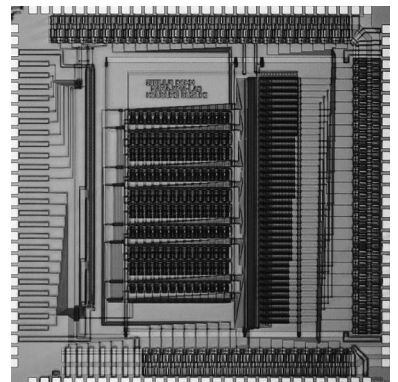


多数決を用いたメディアンフィルタ回路の試作

東北大学電気通信研究所 鈴木 康介, 佐藤 茂雄, 中島 康治

概要: ノイズの除去のためには, ぼかしのフィルタをかけることも利用できるが, 解像度が低下してしまう問題点がある. 解像度の低下をおさえてノイズを除去するフィルタの一つに, メディアン (中央値) フィルタがある. メディアンフィルタでは処理する画像におけるある画素と近傍領域内の画素の濃度を求め, その中間値を取ることでノイズを除去する. 小さな画像におけるノイズは, 3 \times 3 などの小さなメディアンフィルタでも処理することができるが, 画像のサイズが大きくなり大きなノイズがのよると, より大きなサイズのメディアンフィルタによる処理が必要となる. デジタル回路を用いたメディアンフィルタではそのサイズが大きくなるにつれて, その処理時間は大幅に大きくなってしまふ. 今回試作した多数決を用いたメディアンフィルタ回路を用いることにより, 大きなサイズのメディアンフィルタでも高速な処理を行うことができる.

設計期間: 2 月以上, 3 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセス

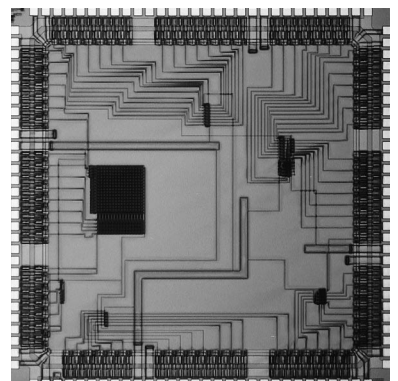


低温動作マイクロプロセッサの試作

横浜国立大学工学部電子情報工学科 本告 圭, 宮川 英明, 吉川 信行

概要: 我々は CMOS の低温動作によるパフォーマンスの向上を利用したマイクロプロセッサの設計を行っている. 本チップでは, 低温動作 8 ビットマイクロプロセッサを試作し, 基本動作の検証を行った. 本設計ではマイクロプロセッサは 256 バイトの SRAM を伴うが, これを 3 トランジスタで構成される DRAM に置き換えることにより更なる集積度の向上が見込まれる. 更に, チップを 77K で動作させることにより, メモリのリフレッシュタイムは非常に大きくなり, ほぼ不揮発性とみなせるようになる. 本回路は 77K において約 30% のパフォーマンスの向上が期待できる.

設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** マイクロプロセッサ



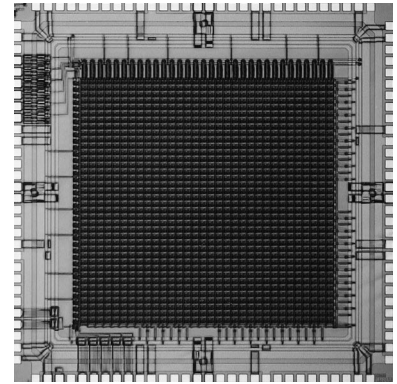
アナログフレーム間差分チップの設計

九州工業大学情報工学部 下ノ村 和弘

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 本チップは、視覚センサから1画素ずつ入力されるアナログ画像信号に対して、各画素について連続2フレーム間での差分をアナログ計算することにより、入力に対して実時間で動き情報を抽出する。チップは、サンプルホールド機能及びアナログ差分演算機能をもつ画素回路のアレイ、データ読み込み読み出しのためのシフトレジスタから構成される。各画素回路は、現フレームの値が読み込まれると同時に、ホールドしていた前フレームの値との差分を計算し出力する。また現フレームの値を次フレームの値が読み込まれるまでホールドする。本設計では、画素数 38×32 、1画素のサイズ $74.3\mu\text{m} \times 91.2\mu\text{m}$ となった。なお、テストによる測定は行っていない。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 4.5mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



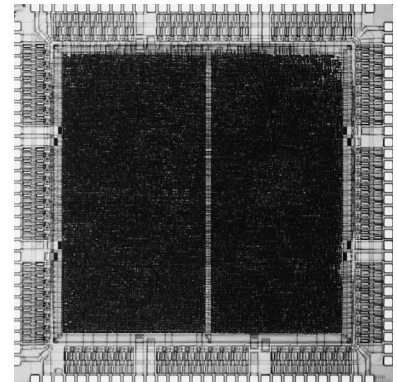
再構成可能部を持つ Java プロセッサ

名古屋大学大学院工学研究科 鬼頭 秀明, 高木 一義, 高木 直史

奈良先端科学技術大学院大学情報科学研究科 木村 晋二

概要: 組み込みシステム向けの言語として Java が注目されている。我々は、Java バイトコードを効率よく処理するための機構として再構成可能部を持つ Java プロセッサ (R-Java) を設計してきた。R-Java プロセッサは5段のパイプライン構成を持ち Java バイトコードを直接実行する。D201 命令中 112 命令を実装しており、内部演算器は 32bit である。本プロセッサは、プログラム可能命令レジスタへの書き込みにより命令コードに異なる機能を与えることができ、また、外部演算器 (FPGA 等) へのインタフェースを持つ。これらの機構を用いて、再構成可能な外部演算素子に繰り返し利用される演算に対する専用ハードウェアを構成することで、処理の高速化が可能である。今回試作したチップでは、1 命令コード当り 8 クロック分の機能を記述できる命令書き換え用レジスタを 3 命令分搭載した。FPGA を搭載した汎用実験基板を用いて動作を確認した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 4.5mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** 鬼頭 秀明, 高木 一義, 木村 晋二, 高木 直史, “再構成可能部を持つ Java プロセッサにおける高速化方式およびハードウェア JIT 方式の検討”, 2000 年電子情報通信学会基礎・境界ソサイエティ大会 (2000)

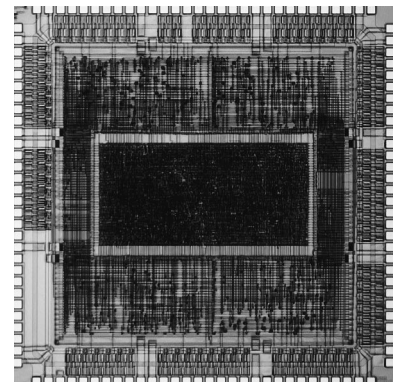


基数 4 のユークリッドノルム計算回路

名古屋大学大学院工学研究科 武内 大輔, 高木 一義, 高木 直史

概要: ユークリッドノルム計算は、三次元ベクトル (X, Y, Z) に対し $X^2 + Y^2 + Z^2$ を計算する演算であり、グラフィックス等でベクトルの正規化に必要な重要な演算である。この計算を専用回路化することは、ノルム計算の高速化のみならず、乗加算器をノルム計算から開放することができるので、プロセッサ全体の演算性能向上に大きく寄与できるものと考えられる。この回路では、我々が提案している減算シフト型のアルゴリズムを用いており、出力は上位桁から順に求められる。アルゴリズムには基数の選択などにより様々なバリエーションが存在するが、今回は基数 4 のノルム計算アルゴリズムを採用し、1 サイクル毎にノルムを 1 桁ずつ計算する順序回路として設計した。この回路では IEEE754 標準の浮動小数点数の単精度の仮数部を想定しており、小数点以下 24 ビットまでの値を計算する。計算は 18 サイクルで終了する。FPGA を搭載した汎用実験基板を用いてこの回路の動作を確認した。

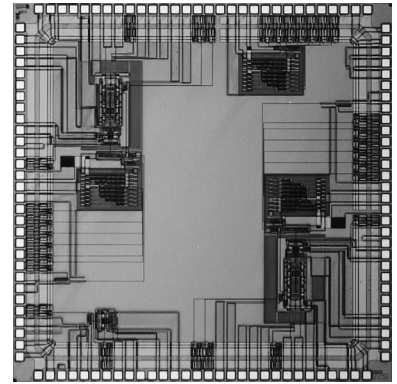
設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 4.5mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** 武内 大輔, 高木 一義, 高木 直史, “三次元ベクトルのユークリッド・ノルム計算回路の設計”, 2000 年電子情報通信学会基礎・境界ソサイエティ大会 (2000)



電流制御発振器を用いた AD 変換器の設計

広島大学工学部 吉川 泰正, 永田 真, 森江 隆, 岩田 穆

概要: LSI 化に最適な高精度 AD 変換方式である AD 変換器を通信・ビデオ帯へ拡張するために, VCO を用いた AD 変換器が提案されている[1]. この AD 変換方式では VCO の電圧-周波数の非線形性により S/N が低下するという課題があったが, 今回, VCO にマルチバイブレータ方式の電流制御型発振回路を採用し, 線形性誤差 0.15% の高線形特性を達成, この問題を解決した. また, 積分器は電流モード回路で構成している. 電源電圧は 3.3V とし, オーバサンプリング周波数 100MHz, 信号帯域 500kHz で変換精度 12 ビット (S/N=72dB) を得た. 試作チップの予備測定より, オーバサンプリング周波数 100MHz で設計どおりの動作を確認し, また信号帯域 500kHz において, S/N + D=57.8dB を得た.

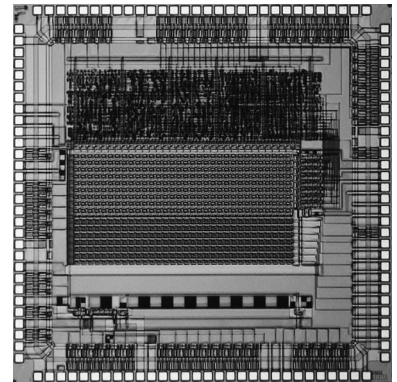


設計期間: 1 月以上, 2 月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Synopsys 社 PowerMill **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** A.Iwata, et al., "The Architecture of Delta Sigma Analog-to-Digital Converters Using a Voltage-Controlled Oscillator as a Multibit Quantizer", IEEE TCASII, vol. 46, no. 7, July. 1999.

高速 CMOS イメージセンサ

広島大学工学部 今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆

概要: 本チップは, ピクセルサイズ 80 μ m \times 80 μ m (開口率 13%), ピクセル数 8 \times 32 の CMOS イメージセンサである. 自動搬送車 (AGV) のような高速なフィードバック制御が必要なシステムへの適応を考え, フォトディテクタに量子効率の高いフォトトランジスタを用いている. ピクセル内部で光電流をサンプル容量 (1pF) を用い積分する. その結果を電流モードのパルス幅変調 (PWM) 信号に変換して各ピクセルから出力する. 電流出力することで出力バス上でピクセル間の加減算を行うことができる. 隣接ピクセル間で差分演算を行うことによりチップ上で原画像からエッジを検出することができる. 演算結果はチップ内部で A/D 変換を行いデジタル出力 (8bit) する. 試作チップの予備測定により, チップ上での加減算など, 基本的な動作確認を行った.



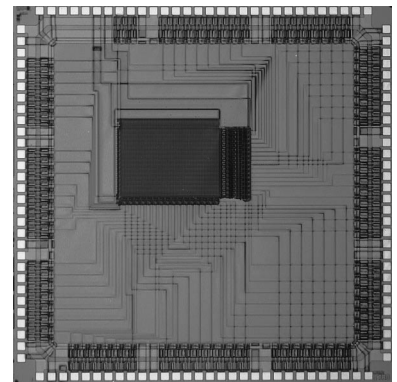
設計期間: 1 月以上, 2 月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Synopsys 社 PowerMill **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** イメージセンサ/スマートセンサ

最小ハミング距離検索機能を有する小面積・高速連想メモリの設計 (1)

広島大学ナノデバイス・システム研究センター 行天 隆幸, 早田 嘉浩,
Mattausch Hans Jurgen

東京大学大規模集積システム設計教育研究センター 小出 哲士

概要: 我々のグループは, 従来のアーキテクチャと比べて高速化・高集積化を同時に満たすことができる全並列型アーキテクチャによる新しい連想メモリを提案している[1]. 本連想メモリは, メモリ領域内にコンパクトに距離演算回路を実現することで高集積化を実現し, 全参照データに対する距離の演算と最小距離の検索を高速なアナログの原理を用いて並列に処理することによって高速化を実現している. 今回試作したチップは, 最小ハミング距離検索機能を有する 32 行 128 列連想メモリ (メモリ容量 4kbit) である. レイアウト設計はフルカスタムで行い, 完成したレイアウトから回路を抽出し, HSPICE を用いて動作の検証を行った. また完成した試作チップを測定すると, 測定結果にややばらつきが見られたが, 基本動作を確認することができた.



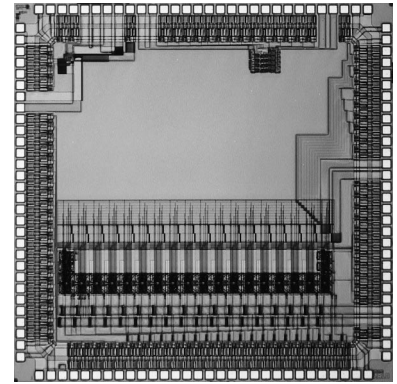
設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** メモリ **参考文献:** [1] H.J.Mattausch, T.Gyohten, Y.Soda and T.Koide, "An architecture for compact associative memories with deca-ns nearest-match capability up to large distance", ISSCC Digest of Tech. Papers, pp.170-171, 2001.

機能可変 1 次元セルラーニューラルネットワーク回路・任意カオス生成回路

広島大学工学部 三宅 誠, 西島 誠一, 村越 健一, 森江 隆, 永田 真, 岩田 穆

概要: リアルタイム自然画像認識システムを構築するため, パルス変調方式による画素並列動作型の領域抽出・特徴抽出 LSI を開発中であり, 本チップはそのためのプロトタイプである. 隣接ユニットと任意の非線形関数で結合し, 自身の状態を更新していくことにより画像処理を行う. 処理機能として, 大局的領域分割を行う抵抗ヒューズネットワークと局所的空間周波数を抽出するガボール型変換を実現できる. 今回は 1 次元 20 ピクセルのネットワークを構成した. また, パルス変調方式任意カオス生成回路も搭載している. 99 年度に設計した回路の改良・発展版である. 測定の結果, 期待通りの機能を確認した.

設計期間: 8 人月以上, 9 人月未満 **設計ツール:** SII 社 SX9000, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** ニューテクノロジー **参考文献:** T. Morie, et al., "A Multi-Functional Cellular Neural Network Circuit Using Pulse Modulation Signals for Image Recognition", ICONIP-2000, pp. 613-617, 2000.

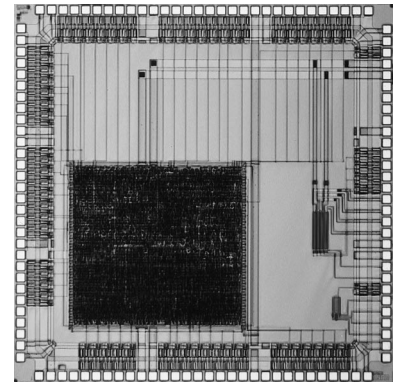


基板バイアス制御を可能にする自動設計手法を用いたプロセッサ

東京大学生産技術研究所 平林 雅之, 桜井 貴康

概要: VLSI テクノロジーの進歩によって微細化が進み回路が高速化する一方, サブスレッシュホールドリークによる電力消費が無視できなくなりつつある. この解決策のひとつとして, しきい値を制御する VTCMOS など多くの方法が考えられている. しきい値を制御するために基板バイアスを制御しようとする, 基板バイアス用の電源線が必要となる. 自動配置配線によって基板バイアス制御が可能な VLSI の設計を行う場合, スタンダードセルライブラリに既存のものを用いることができず, V_{nsub} 線や V_{psub} 線を加えた新たなスタンダードセルライブラリの作成, 機能チェックを行わなければならない. そこで既存のスタンダードセルライブラリを用い, 基板バイアス制御が可能な回路の設計方法を提案し, 当該手法を用いて自動配置配線を行い動作を検証した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** 平林雅之, 桜井貴康, 「基板バイアス制御を可能にする自動設計手法」電子情報通信学会ソサイエティー大会, pp. 28, 2000 年 10 月

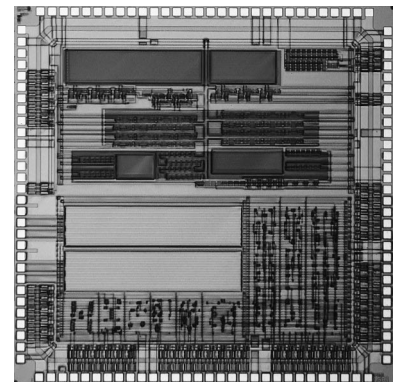


firing delay buffer 回路 TEG 群

東京大学生産技術研究所 野瀬 浩一, 桜井 貴康

概要: 近年, LSI のクリティカルパスがデータパス遅延から配線遅延へと移りつつある. 特に長距離配線となる事が多いバス配線ではその遅延削減が大きな課題となる. そこで本 TEG ではバス配線における遅延削減回路を双方向バス, 単方向バスそれぞれについて設計および評価を行った. 1 つ目は, 双方向バスでは従来は配線遅延に最も効果的とされるバッファ挿入が困難であるという理由からその遅延が問題視されている. そこで, 新しい双方向バッファ回路を設計した. TEG には本手法と従来型の 2 種類を設計した. 2 つ目は, 単方向バスにおいて, 高速化手法を検討した. 提案手法では, firing delay buffer 回路を用いて高速化を実現できる. 測定の結果, 両手法とも正常動作 (高速化) を確認することができた.

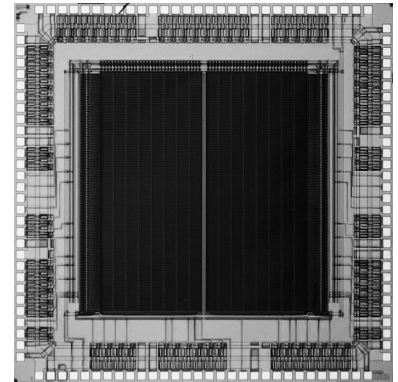
設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** TEG (特性評価回路など)



異常リーク電流抑制方式を実装した SRAM の設計

東京大学生産技術研究所 神田 浩一, 桜井 貴康

概要: SRAM はスタンバイ時において、データ保持に必要なリーク電流しか消費しないはずであるが、実際にはデバイス欠陥を介して異常なリーク電流が流れる場合がある。従来の冗長回路技術によって故障セルの記憶機能を擬似的に復元できるものの、置き換えられた故障セルは依然として電源線とグランド線につながっており、異常リーク電流を取り除くことはできなかった。このような故障はスタンバイ時の電力増加や製造歩留まりの低下をもたらす。設計した SRAM にはリーク電流センサ、DFF 及びヒューズを新たに加えた。各リーク電流センサは各セル電源線と各ビット線に流れる電流を監視する。この電流がある許容値を超えるとセンサは 1 を出力する。この 0,1 の情報は DFF に送られる。DFF は互いに接続され、シフトレジスタを構成する。シフトレジスタから出力されたビットパターンにおける 1 の位置を見ることで異常箇所を同定する。最後に 1 の位置に対応するヒューズを切ると異常リーク電流は流れなくなる。64Kb の SRAM チップ試作を通して本手法の有効性を確認した。付加回路の面積オーバーヘッドは 7% 程度だった。

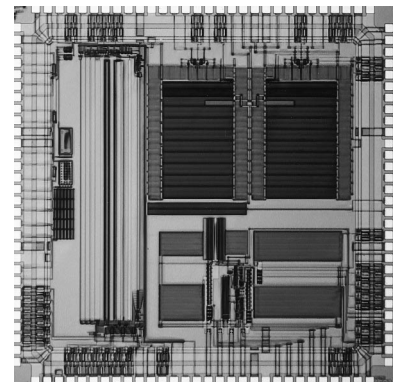


設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** メモリ **参考文献:** K.Kanda, Nguyen.D.M, H.Kawaguchi, and T.Sakurai

配線インダクタンス測定回路、高効率 DC-DC コンバータ, Adiabatic クロックドライバの試作

東京大学生産技術研究所 稲垣 賢一, 浅野 雄太郎, 張 綱, 桜井 貴康

概要: 本試作チップにはディープサブミクロン世代における LSI 設計に必要な技術検証として、3 つの試作 TEG を含む。信号伝送が高速化されるに伴い、ディープサブミクロン配線においてインダクタンスの影響による信号伝播特性の悪化が懸念されている。本試作では実際の配線におけるインダクタンスの影響を測定し、実際の LSI 上でインダクタンスを考慮する必要があるかどうかを判定する。4.5mm 長の配線を駆動し両端の電圧波形をラッチ型センスアンプにより測定して、波形よりインダクタンス成分を計算できる。LSI の動作時、電源電圧を動的に変化させることによって低消費電力化を図るため、高効率の DCDC コンバータが求められている。従来のコイル型コンバータと比較し寄生抵抗ロス等を減らした容量型コンバータを試作した。集積回路の高性能化に伴い、クロックの消費電力は相当な割合を占めている。クロック発生回路の消費電力を抑えるために電荷再利用型のクロックドライバを試作した。



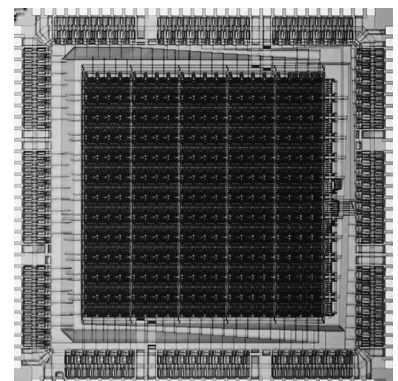
設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** 浅野雄太郎, 桜井貴康, 「Adiabatic 概念を応用した CMOS 用クロック回路」応用物理学学会学術講演会講演予稿集, pp.800, 2000 年 9 月

フレキシブルプロセッサ (24 x 20 モジュール搭載版)

東北大学大学院工学研究科 堺谷 智, 小谷 光司, 須川 成利

東北大学未来科学技術共同研究センター 大見 忠弘

概要: 半導体集積回路の高集積化が進みシステム LSI の時代が進むにつれ、現在の LSI 製造技術は少品種大量生産向きであるにもかかわらず多品種少量のシステム LSI をも製造していかなければならない根本命題に直面している。更に、システム開発にはきわめて多くの人的労力と開発期間を要し、システム開発期間の短縮がシステム LSI 開発の最大の鍵となっている。そこで、ソフトウェアの処理を高速化する手法である「ソフトウェアアクセラレータ」により上記システム LSI 開発における困難を解決するために、同一のハードウェアで種々の回路構成を実現し機能を動的に切替えることが可能な高機能フィールドプログラマブル集積回路である「フレキシブルプロセッサ」の試作・開発を行った。本チップは、テストによる測定は行っているが動作確認は出来なかった。



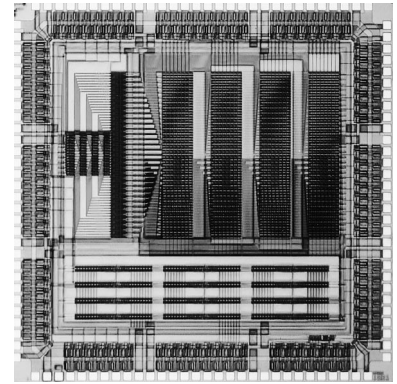
設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** [1] Satoshi Sakaidani, Naoto Miyamoto, and Tadahiro Ohmi, "Flexible Processor Based on Full-Adder / D-Flip-Flop Merged Module (FDMM)", Accepted to JJAP (in press).

フレキシブルモジュール測定用チップ

東北大学工学部 宮本 直人

概要: 我々は「動的再構成可能な FPGA を作ることを目標として掲げている。このチップは後述するフレキシブルモジュール（以下 FM と呼ぶ）の動作周波数及びフレキシブルプロセッサ（以下 FP と呼ぶ）の機能切換え時間を測定するための評価用 TEG である。FM とは FPGA に含まれる CLB の 1 種である。現在市販されている FPGA に含まれる CLB の大半がコースグレインの LUT をベースにしているが、それでは演算部と記憶部の比率を変えられない等の欠点がある。一方、FM は論理演算を行う部分（Full-Adder）と信号を記憶する部分（D-Flip-Flop）をマージすることにより、利用効率の良いファイングレインな CLB を実現できると考えている。この FM を搭載した FPGA を FP と呼ぶ。FP は回路機能の動的切換えができる。なぜならば、FP にはコンフィグレーションデータを格納するメモリプレーンを 2 枚持っていて、一方のメモリプレーンが FPGA の回路機能を実現している間、他方が次の演算処理に使用されるコンフィグレーションデータの読み込みを行うことができるからである。よって、回路機能の切換えはメモリプレーンをチェンジするだけで実現でき、オーバーヘッドタイムを最小限に抑えることが可能となる。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** [1] 堺谷, 宮本, 大見, “Dynamically reconfigurable Processor with Multi-Mode Operation Based on Newly Developed Full-Adder / D-Flip-Flop Merged Module (FDMM)”, pp.358-359, SSDM (2000).



配線間クロストーク測定用テスト回路の試作

東北大学大学院工学研究科 石田 雅裕, 小谷 光司, 大見 忠弘

概要: CMOS 集積回路の高速化・高集積化・多層配線化に伴い、配線間に生じるクロストークが問題となっている。クロストークは、信号に生じるノイズや信号の伝搬遅延を増加させるなど、振る舞いが複雑であり、実デバイスによるモデル化が必要である。今回の設計では、配線間クロストークをモデル化するためのテスト回路を設計した。試作したテスト回路は、11 組の隣接配線構造をもつ。各配線ペアは、metal1 および metal2 をもちいて構成され、配線を駆動するドライバの強度、配線長、配線幅、信号の伝搬方向のそれぞれ異なる組み合わせをもつ。クロストークの影響は、入力信号にたいする出力信号の伝搬遅延の変化をテストで観測することにより定量化する。実験の結果をもとに、クロストークのモデル化をおこなう。

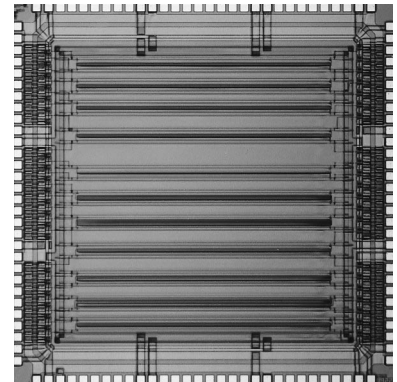
設計期間: 0.1 人月以上, 0.5 人月未満

設計ツール: Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC

トランジスタ数: 100 以上, 1,000 未満

試作ラン: ローム CMOS 0.6 μ m 4.5mm 角

チップ種別: TEG (特性評価回路など)

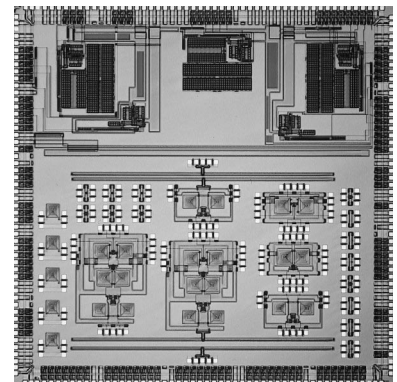


高速ロック可能な PLL 回路の設計

大阪大学大学院工学研究科 佐野 智弘, 松岡 俊臣, 谷口 研二

概要: 従来、高速ロックを目標とする PLL ではジッタ性能が劣化する。今回、位相比較器で検出される位相差信号に応じてチャージポンプ電流を変えることにより、高速ロックと良好なジッタ特性を両立させる PLL 回路を設計した。今回用いた方法により、従来よりもロック時間を半減できることをシミュレーションにより確認した。その他、短距離無線通信用に特化し、仕様を緩和した無線送信回路を設計した。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



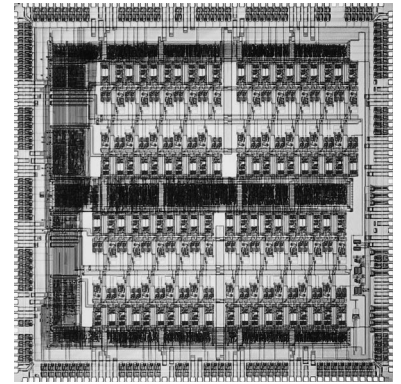
DS-CDMA 有線バスの設計 (2)

大阪大学工学研究科 吉村 隆治, TAN BOON KEAT, 松岡 俊匡, 谷口 研二

概要: 本設計では, DS-CDMA 有線バスの実現に向けたテスト用回路の組み込みを行なった. DS-CDMA 有線バスは, CDMA 方式を用い複数の通信を同時に有線バスラインを介して行なうことを可能とする技術である. 試作したチップに組み込んだ 40 対の送受信回路で拡散符号を使った多重通信を検証することが目的である. 送受信回路のほか, テスト用回路や検証用の回路も実装されている. チップの実測評価の結果, 一部の送受信回路に不具合が発見された

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** ニューテクノロジー **参考文献:** R.Yoshimura et al.

“DS-CDMA Wired Bus with Simple Interconnection Topology for Parallel Processing System LSIs”, IEEE International Solid-State Circuit Conference, pp.370-371



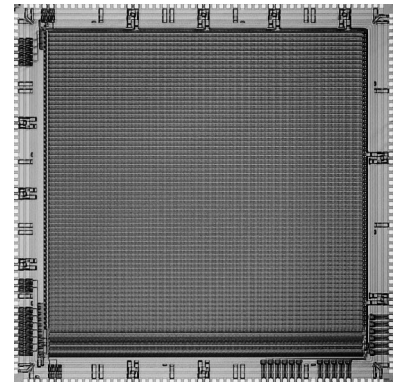
疑似 2 次元型アナログ人工網膜チップの設計

九州工業大学大学院情報工学研究科 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 人工網膜チップは, 生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので, 実時間画像処理, 小規模ハードウェア, 低消費電力といった利点を持つ. 今回の設計では, 自然照明下における実時間画像処理を基本視座とし, 疑似 2 次元型アナログ人工網膜チップを製作した. 今回試作した人工網膜チップは, 224 \times 66 画素の光センサ部と 224 \times 1 画素の処理部から構成される. 水平方向について 1 列ずつ並列に 1 次元ラプラシアン-ガウシアン型のフィルタ処理が行われ, 処理結果が 1 画素ずつ順に読み出される. また, 十分な出力精度を得るために, 光センサ部にアクティブピクセルセンサを用い, 回路の特性のばらつきを補償する機構を付加している. 画素サイズは光センサ部 32.1 μ m \times 103.65 μ m, 処理部 32.1 μ m \times 631.3 μ m, 開口率は 8.36 % となった. テスタによる測定は行っていない.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 亀田, 石村, 八木: “アナログ人工網膜の衝突時間予測システムへの応用”, pp.121-125, 信学技報 NC99-166, (2000).



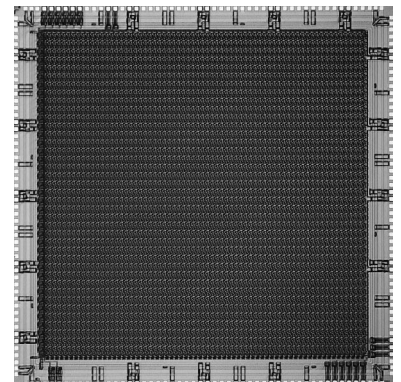
2 次元アナログ人工網膜チップの設計

九州工業大学大学院情報工学研究科 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 人工網膜は, 生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので, 実時間画像処理, 小規模ハードウェア, 低消費電力といった特徴を持つ. 今回の設計では, 自然照明下における実時間画像処理を基本視座とし, アナログ人工網膜チップを製作した. 各画素は六角格子状に配置され, チップは 2 次元ラプラシアン ガウシアン型のフィルタ特性を持つ. 今回試作した人工網膜チップは, 網膜初段の外網膜の回路構造を模擬したものである. 集積回路の素子のばらつきを補償する機構を付加し, 光センサ部にはアクティブピクセルセンサを用いた. 水平, 垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す. 画素の出力回路を共通化することで空間解像度を向上させる工夫を行っている. 画素数は 67 \times 78, 画素サイズは 109 μ m \times 95 μ m, 開口率は 1.75% となった. テスタによる測定は行っていない.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 八木, 亀田, 飯塚: “可変受容野を備えた超並列アナログ知能視覚センサ”, pp.104-113, 信学論 D-II, J81-D-1, 2, (1998).

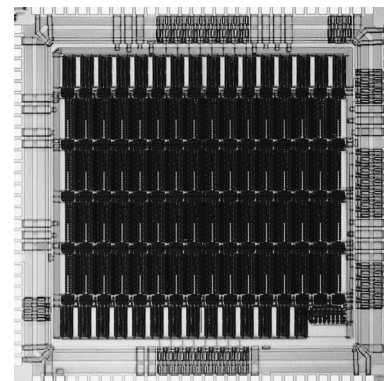


双方向電流モード多値 FPDF の設計

東北大学大学院情報科学研究科 齋藤 雄哉, 青木 孝文, 樋口 龍雄

概要: 近年の集積回路技術における微細化技術の急速な発展により, 1 チップに搭載可能な回路規模および機能はますます増大・複雑化しており, デバイスの増加による内部配線の激増が, 深刻な問題を引き起こす原因となりつつある. そこで本研究グループでは, 演算アルゴリズムとして, 2 進 Signed-Digit 数演算アルゴリズムを用いるとともに, 回路技術としては, 多値電流モード集積回路技術を用いて, FIR フィルタリング用の FPGA であるフィールドプログラマブルディジタルフィルタ(Field-Programmable Digital Filter : FPDF) を設計した. 今回作成したチップは, 演算を行う CAB ブロックをを 60 個搭載し, 最大 30 次の FIR フィルタをマッピング可能である. 同様の FPDF を 2 値論理により実現したものと比較すると, 11 次 FIR フィルタマッピング時, 動作周波数 40MHz で, 回路規模が 41.6%, 消費電力が 73.5%で実現が可能となった.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, **トランジスタ数:** 100,000 以上
試作ラン: ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** ニューテクノロジー



CMOS 無線通信要素回路及び高速 OTA の設計

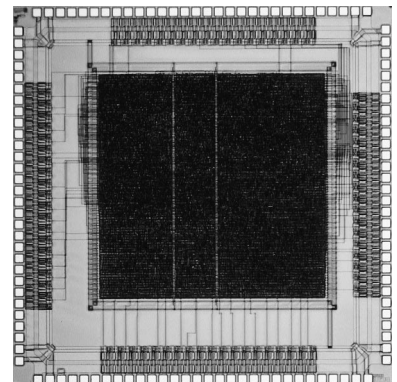
東京大学大学院新領域創成科学研究科基盤情報学専攻

藤田 隆史, 近藤 裕也,
藤島 実, 鳳 紘一郎

東京大学大学院工学系研究科電子工学専攻 石田 光一

概要: 高速広帯域型の通信は有線から無線, 光など様々なプラットフォーム上で実現されるが, 高度な高周波アナログ技術が必要とする. CMOS 回路はバイポーラ回路や化合物回路に比べて高周波特性が悪化することが知られている. しかし, 回路の低コスト化, システム・オン・チップ化には CMOS による RF (Radio-Frequency) /アナログ回路の実現が望ましい. 当研究室では, 低コスト CMOS プロセスによる無線通信回路の設計に関する研究に取り組んでいる. 今回試作したのは (1) 2.45GHzISM 帯域用受信回路 (低雑音増幅器・ミキサなど), 及び (2) アナログ集積回路設計技術習得を目的とした高速 OTA (Operational Transconductance Amplifier) 回路である.

設計期間: 2 月以上, 3 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1000 未満 **試作ラン:** ローム CMOS0.6μm 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

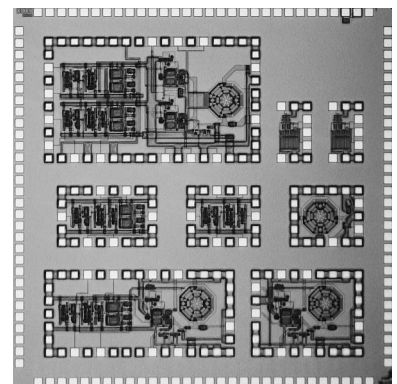


非単調ニューロンを用いたストカスティックニューロシステム

東北大学電気通信研究所 根本 憲, 金城 光永, 佐藤 茂雄, 中島 康治

概要: ニューラルネットワークを集積化する際, デジタル方式はノイズに強いなどの利点を持つ. だが, 乗算回路および活性化関数部を実現するためには多くのトランジスタ数が必要のため, 1 チップに格納可能なニューロン数には限界がある. よって大規模なデジタルニューロシステムの実現にむけ, ストカスティックロジックを取り入れたシステムの集積化を行った. ストカスティックロジックを用いると乗算回路を AND ゲート 1 つで実現でき, また活性化関数部を XOR ゲートで簡単に実現できるため, 一般的なデジタル方式より多くのニューロンを 1 チップに格納可能である. 今回は決定論的ボルツマンマシン学習機能をもった, 8 ビットの荷重値精度をもつシステムのチップを試作した. またシステムに非単調ニューロンを用いた. 非単調ニューロンを用いることは単調ニューロンを用いる場合よりも少ないニューロン数で問題を解くことが可能であるため集積化の観点から非常に有効であると考えられる.

設計期間: 3 月以上, 4 月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6μm 4.5mm 角 **チップ種別:** その他 **参考文献:** [1] 近藤, 矢内, 沢田, “ストカスティックロジックで構成された神経回路網の能力とコーディング雑音”, 信学技報, NC90-27, 1990



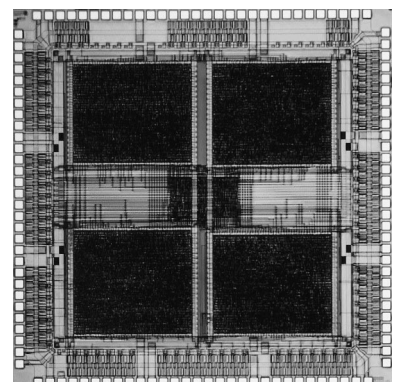
LSI 設計実習における 16 ビットパイプラインプロセッサの設計 (1)

奈良先端科学技術大学院大学情報科学研究科

中西 正樹, 石井 淳, 鈴木 真人,
中本 義人, 堀山 貴史, 木村 晋二

概要: 奈良先端科学技術大学院大学・情報科学研究科ではハードウェア記述言語を用いた LSI 設計実習を行っている. 本チップは実習の一環として製作されたもので, 4 名分のパイプラインプロセッサを 1 チップにまとめたものとなっている. 設計課題は DLX アーキテクチャに従うパイプライン制御のプロセッサで, ストール処理, データフォワードリング等の基本機能を有する他, 内部レジスタを可観測にしている. 修士 1 年生 3 名と助手 1 名が, 基本機能と入出力端子を共通仕様とし, 命令セットから各自が独立に VHDL で設計し, マクロセルとしてレイアウトまでを行った. 4 個のプロセッサと外部の I/O との接続を決定するプロセッサの選択回路の設計および全体のレイアウトは助手が担当した. 自作の汎用テスト基板により, 本 LSI の動作確認を行ったが, テスタによる測定は現在のところ行っていない.

設計期間: 8 月以上, 9 月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6μm 4.5mm 角 **チップ種別:** マイクロプロセッサ

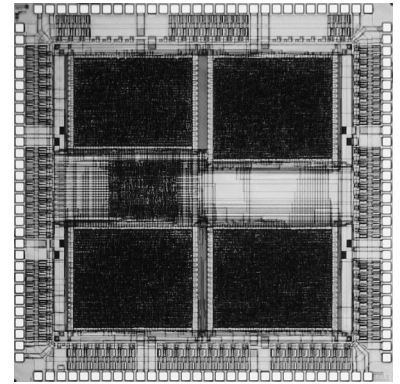


LSI 設計実習における 16 ビットパイプラインプロセッサの設計 (2)

奈良先端科学技術大学院大学情報科学研究科 中西 正樹, 堀山 貴史, 木村 晋二

概要: 奈良先端科学技術大学院大学・情報科学研究科ではハードウェア記述言語を用いた LSI 設計実習を行っている。本チップは実習の一環として製作されたもので、4 名分のパイプラインプロセッサを 1 チップにまとめたものとなっている。設計課題は DLX アーキテクチャに従うパイプライン制御のプロセッサで、ストール処理、データフォワーディング等の基本機能を有する他、内部レジスタを可観測にしている。岩垣剛, 岡充, 河野智彦, 古川哲也の修士 1 年生 4 名が、基本機能と入出力端子を共通仕様とし、命令セットから各自が独立に VHDL で設計し、マクロセルとしてレイアウトまでを行った。4 個のプロセッサと外部の I/O との接続を決定するプロセッサの選択回路の設計および全体のレイアウトは助手が担当した。自作の汎用テスト基板により、本 LSI の動作確認を行ったが、テストによる測定は現在のところ行っていない。

設計期間: 8 人月以上, 9 人月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** マイクロプロセッサ

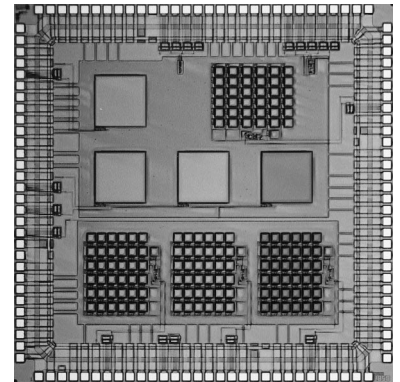


高速 CMOS 受光素子 TEG

奈良先端科学技術大学院大学物質創成科学研究科 平井 隆夫, 太田 淳

概要: 本試作チップは CMOS による高速受光素子に関するものである。横方向の楕円形受光素子により容量低減を図り高速化を目指している。また高速変調用のトランスインピーダンスアンプを組んでいる。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** イメージセンサ/スマートセンサ

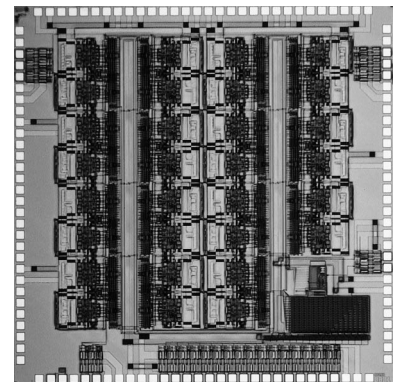


12 ビット CMOS パイプライン AD コンバータ

大阪大学大学院工学研究科 畠中 信伍, 谷口 研二

概要: はじめに 高精度パイプライン方式の AD コンバータを実現する際、キャパシタのバラツキが問題となる。従来、これを軽減するため、面積の大きなキャパシタを利用した 2 ステップ・アーキテクチャ設計が一般的に用いられている。本試作では大きな面積のキャパシタを用いることなく、一つのキャパシタを繰り返し用いて電荷の送・蓄積を行う新しいアーキテクチャのパイプライン ADC を提案し試作・設計を行った。試作チップ 今回の設計では 1 サイクル 4 相の制御クロックを用いて同一キャパシタでサンプリング・加減算を行うことで、キャパシタのバラツキによる精度劣化を改善する方法を用いた。このパイプライン ADC の特徴は、(1) キャパシタのミスマッチを考慮してサイズを大きくする必要がない (2) キャパシタのサイズを kT/C ノイズが許す限り小さく設計できる (3) チップ面積の削減が可能である。電源電圧 3V で 12 ビット, 10MHz のスペックを狙って設計した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



型 AD コンバータの設計 (2)

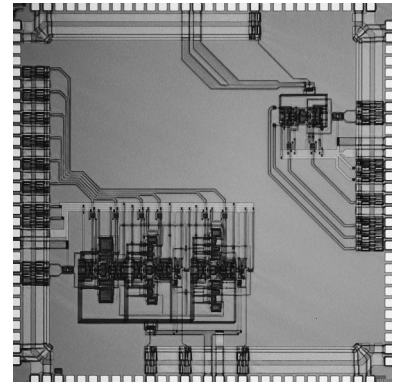
大阪大学大学院工学研究科電子情報エネルギー工学専攻

岩村 宏, 畠中 信伍,
小川 徹, 谷口 研二

概要: 低速高精度 AD, DA コンバータの理論的背景についての理解を深め, また, デジアナ混載回路におけるノイズを考慮したレイアウトについて学習することを目的として,

型 AD コンバータの変調器部分の設計を行った. 回路には, 全差動型 A/AB 級 OP-AMP, キャパシタ, ポジティブエッジトリガ D フリップフロップ, ノンオーバーラップクロック生成回路を用いた. また, ノイズ対策のためにアナログ部にガードリングを配置し, レイアウト面でも回路の対称性を重視したレイアウトを行った. 今回の設計では, 前回設計した AD コンバータをベースにして 3 次の 変調器を構成した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

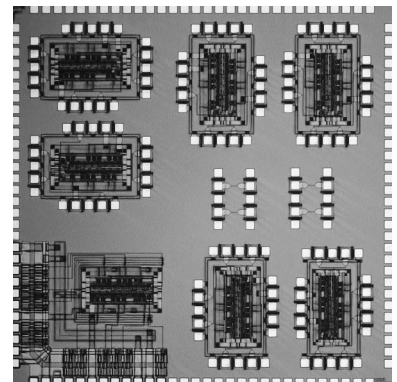


MOS Current Mode Logic を用いた拡散符号生成器

大阪大学工学部 清水 新策, Tan Boon Keat, 谷口 研二

概要: CDMA 通信方式の変復調回路で用いられる拡散符号生成器を MOS 電流モード論理回路を用いて設計した. 拡散符号生成器は回路ブロックの中でも最も高速で動作するため, 低消費電力化が要請されている. MOS 電流モード論理回路は動作周波数に対し消費電力が一定である特徴を持っている. シミュレーションの結果, 従来の CMOS 論理回路で構成した場合の 1/3 以下の消費電力で 200MHz 動作の拡散符号生成器が設計できることを確認した. 符号生成器は 5 段の線形帰還シフトレジスタで構成され, 異なる初期値により 31 種類の拡散符号を生成することができる. チップ内には, 素子によるばらつきを調べるために計 7 種類の拡散符号生成器を組み込んだ. 電源電圧は 3.3V である.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** ニューテクノロジー



最小ハミング距離検索機能を有する小面積・高速連想メモリの設計 (2)

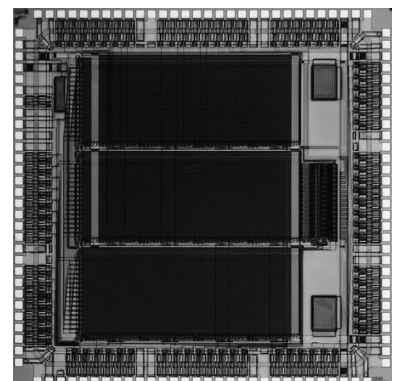
広島大学ナノデバイス・システム研究センター

行天 隆幸, 早田 嘉浩,
Mattausch Hans Jurgen

東京大学大規模集積システム設計教育研究センター 小出 哲士

概要: 我々のグループでは, 高集積化・高速化を同時に満足できる全並列型アーキテクチャによる新しい連想メモリを提案している[1]. 今回は, 高度な検索能力を必要とする画像認識や画像圧縮などのアプリケーションに本連想メモリを応用させるために, 検索能力を高めるための回路の改良を行った. 回路を改良することにより, 前回の試作チップと比べてデータ長が 6 倍長いデータを同じ時間で処理することが可能となった. 今回設計したチップは, 最小ハミング距離検索機能を有する 32 行 128 列連想メモリ (メモリ容量 24kbit) である. レイアウト設計はフルカスタム設計で行い, 完成したレイアウトから回路を抽出し, HSPICE を用いて動作の検証を行った. 検証した結果, 条件が最も悪い場合においても, 検索時間が 100nsec 以下で実現可能であることを見積もることができた.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** メモリ **参考文献:** [1] H.J.Mattausch, T.Gyohten, Y.Soda and T.Koide, "An architecture for compact associative memories with deca-ns nearest-match capability up to large distance", ISSCC Digest of Tech. Papers, pp.170-171, 2001.



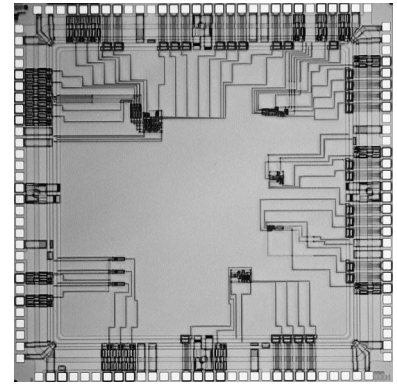
ゼロ交差検出回路の設計

九州工業大学情報工学部 下ノ村 和弘

九州工業大学大学院命体工学研究科 八木 哲也

概要: ラプラシアン ガウシアン型の空間フィルタリングが施された画像においてはゼロ交差を検出することで輪郭画像が抽出できる。本回路では、空間フィルタ機能をもつビジョンチップから1画素ずつ入力されるアナログ画像信号に対して連続2画素間の入力値を比較し、それらが外部から与えられる基準レベルを交差し、かつその傾きが外部から与えられる傾きレベルよりも大きいとき、その点をゼロ交差点として出力する。ゼロ交差検出回路は、サンプルホールド回路部、アナログ差分演算回路部、アナログコンパレータ、及び論理ゲート部から構成される。本チップには、これらの要素回路それぞれの特性を評価するためのTEG回路も含まれる。なお、テストによる測定は行っていない。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



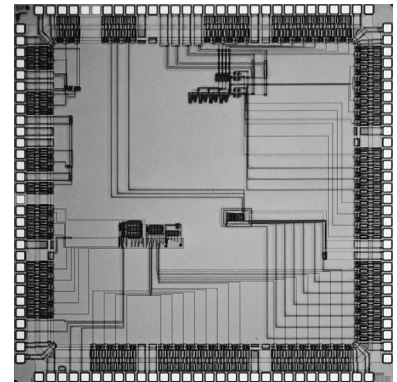
ステレオ奥行き抽出回路 & 電流モード距離演算回路 TEG

東京大学工学系研究科 野村 周央

東京大学新領域創成科学研究科 小川 誠, 柴田 直

概要: 両眼視による奥行き抽出を実現するには、マッチングを行うためにベクトル間の距離を求める演算が必要になる。ベクトル間のマンハッタン距離を求めるには、差分絶対値演算と総和演算が必要となる。本チップには、ソースフォロワを利用した差分絶対値演算回路4つと、キャパシタによってそれらの総和をとる回路をTEGとして実装した。また、別の距離演算回路として電流モードで距離演算を行うものもTEGとして入れた。これはトランジスタ6個とキャパシタ2個で構成される。スカラーの距離演算回路とそれを並列に接続して4次元のベクトル間の距離演算を行う回路、また出力される距離の大小を判断するためのコンパレータをTEGとして入れた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



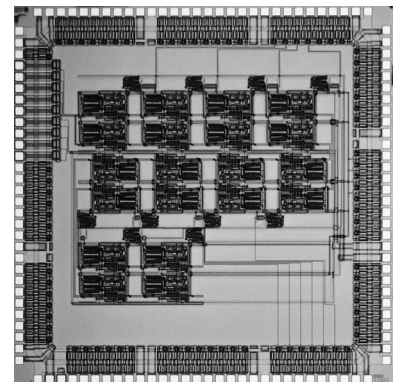
パイプライン ADC

東北大学大学院工学研究科 高橋 和史, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要: システム・アプリケーションの高機能化に伴い、より高速で高精度なAD変換が求められている。しかし一方、デジタル回路の微細化・低電圧化が進行する中、アナログ回路は様々な理由によりその恩恵を受けられていない。そこで、それに適合した低電圧・極微小信号で動作する高速高精度なAD変換器を目指し開発を行っている。前述のようなAD変換を行うにはパイプラインADCが最も適しているのだが、その中の演算増幅器の性能に全体の性能が左右される。そこで今回は低精度だが上述の条件で高速動作可能な演算増幅器を設計し、その低精度によるエラーを回避する機構を備えたパイプライン型のA/Dコンバータを試作した。

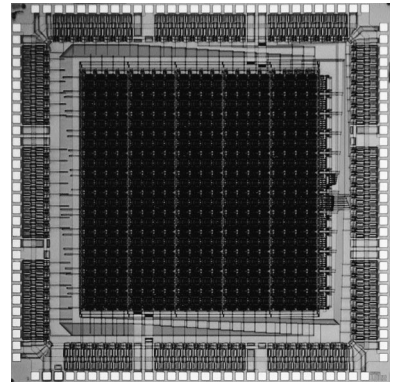
設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** [1] J. Ohmi, S. Imai, and T. Hashimoto, Proceeding of VMIC Conf., pp.261-267, 1988.



フレキシブルプロセッサ (24 × 20 モジュール搭載版)

東北大学大学院工学研究科 堀谷 智, 小谷 光司, 須川 成利
 東北大学未来科学技術共同研究センター 大見 忠弘

概要: 半導体集積回路の高集積化が進みシステム LSI の時代が進むにつれ, 現在の LSI 製造技術は少品種大量生産向きであるにもかかわらず多品種少量のシステム LSI をも製造していかなければならない根本命題に直面している. 更に, システム開発にはきわめて多くの人的労力と開発期間を要し, システム開発期間の短縮がシステム LSI 開発の最大の鍵となっている. そこで, ソフトウェアの処理を高速化する手法である「ソフトウェアアクセラレータ」により上記システム LSI 開発における困難を解決するために, 同一のハードウェアで種々の回路構成を実現し機能を動的に切替えることが可能な高機能フィールドプログラマブル集積回路である「フレキシブルプロセッサ」の試作・開発を行った. 本チップは, テスタによる測定は行っていない.

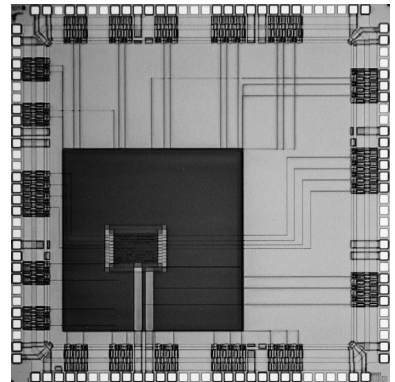


設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6μm 4.5mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** [1] Satoshi Sakaidani, Naoto Miyamoto, and Tadahiro Ohmi, "Flexible Processor Based on Full-Adder / D-Flip-Flop Merged Module (FDMM)", Accepted to JJAP (in press).

カップリングノイズ測定用テスト回路の試作

東北大学大学院工学研究科 石田 雅裕, 小谷 光司, 大見 忠弘

概要: CMOS 集積回路の高速化・高集積化に伴い, クロストークによるカップリングノイズが問題となっている. クロストークノイズは, 高速デジタルシステムにおいて論理故障やタイミング故障を生じうる. 今回の設計では, クロストークによるカップリングノイズの影響を測定・モデル化するためのテスト回路を設計した. 試作したテスト回路は, リングオシレータとノイズカップリングのための配線構造をもつ. リングオシレータは, 制御入力により発振のオン/オフを自由に切り替えることができる. クロストークによるカップリングノイズの影響は, 配線に印加するノイズを制御し, リングオシレータの出力信号の変化を測定することにより定量化する. 出力信号の測定には, テスタとオシロスコープをもちいる. 実験の結果をもとに, クロストークカップリングのモデル化をおこなう.

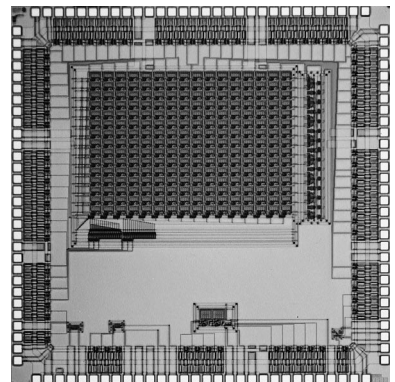


設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6μm 4.5mm 角 **チップ種別:** TEG (特性評価回路など)

CMOS 共鳴エージェント連想回路 (改良版)

東京大学工学系研究科 山崎 俊彦, 山本 憲, 柴田 直

概要: ROHM99_3 で設計した「CMOS 共鳴エージェント連想回路」の測定結果を踏まえた改良版の回路である. 2 つの演算回路の平均を取ることで演算特性をより高精度にする回路, 演算の厳密性すなわち類似度評価関数の特性を変化させるための新しい方式を評価する回路, 入力信号の増減を簡単に調べるためのスロープ・ディテクタ回路 (簡易型微分回路) などを追加してより詳細にデータが取れるテスト回路群を設計した. また, 16 次元, 15 テンプレートの連想システムを設計した. この回路ではベクトルの要素ごとに重み付け, 類似度演算の厳密性を変化させることができる. また, テンプレートベクトルの中から入力ベクトルにもっとも似通ったものを見つけた Winner-Take-All 回路も備えている. これにより「柔軟な」連想システムの評価を行う. 実際に測定を行い, すべての回路が正確に動くことが確認された. また, 連想回路を用いて手書き文字の柔軟な認識にも成功した.



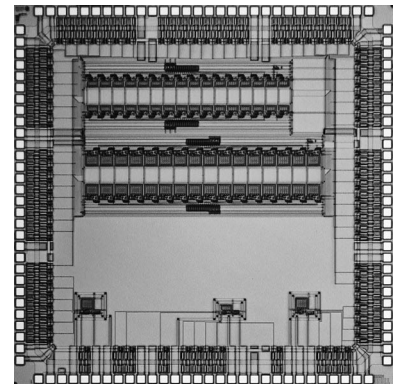
設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6μm 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

CMOS 共鳴エーエージェント連想回路 (改良版)

東京大学工学系研究科 山崎 俊彦, 山本 憲, 柴田 直

概要: ROHM99_3 で設計した「CMOS 共鳴エーエージェント連想回路」の測定結果を踏まえた改良版の回路である。2つの演算回路の平均を取ることで演算特性をより高精度にする回路, 演算の厳密性すなわち類似度評価関数の特性を変化させるための新しい方式を評価する回路, 入力信号の増減を簡単に調べるためのスロープ・ディテクタ回路 (簡易型微分回路) などを追加してより詳細にデータが取れるテスト回路群を設計した。また, 16次元, 15テンプレートの連想システムを設計した。この回路ではベクトルの要素ごとに重み付け, 類似度演算の厳密性を変化させることができる。また, テンプレートベクトルの中から入力ベクトルにもっとも似通ったものを見つけ出す Winner-Take-All 回路も備えている。これにより「柔軟な」連想システムの評価を行う。実際に測定を行い, すべての回路が正確に動くことが確認された。また, 連想回路を用いて手書き文字の柔軟な認識にも成功した。

設計期間: 2 月以上, 3 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

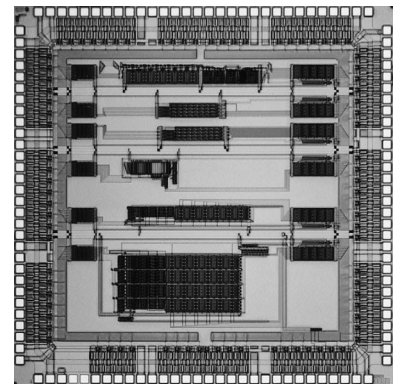


デジタル連想回路

東京大学新領域創成科学研究科 小川 誠, 伊藤 潔人, 柴田 直

概要: 知的情報処理などでよく用いられるパターンマッチングは従来の汎用プロセッサなどで行うと非常にコストの高い演算となる。そこで連想起を専用プロセッサで高速に処理する研究を行っている。今回, デジタルで距離演算を効率よく行うためのデジタル回路単体を TEG として試作した。具体的には, 重み付き差分絶対値和演算に特化した ALU, 最小距離を高速に検索することができる Winner-Take-All 回路をいれた。ALU は重み付き差分絶対値和を単一命令で実行するため汎用プロセッサで同演算をおこない, より回路的にも小さくなっている。WTA 回路では 24 ビット 128 ワードの中から最小値を 4 サイクル @100MHz で検索することが可能になっており, 入力するワードを自由にマスクすることで自由度の高い Winner-Take-All を実現する。

設計期間: 2 月以上, 3 月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

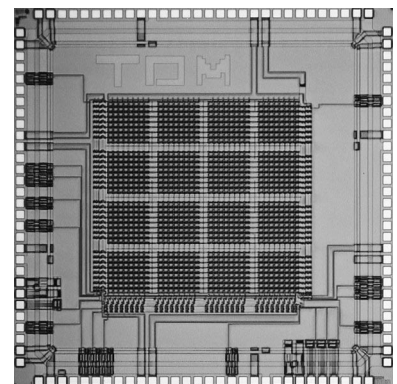


複眼薄型撮像システム用 CMOS イメージセンサ

大阪大学大学院工学研究科 北野 洋司, 谷田 純

概要: 多数の微小レンズからなる複眼光学系を用いた CMOS イメージセンサを, さらに複数個組み合わせ, 広い視野を実現する薄型撮像システムの試作を行っている。今回, このシステムに用いる CMOS イメージセンサの作製をめざし, CMOS イメージセンサの設計を行った。本チップは, イメージセンサ回路の動作確認を目的とする。そのために, 前回搭載したイメージセンサの駆動回路を削除し, 外部から駆動信号を供給することにより, 回路動作の細かな制御を詳細に行えるようにした。イメージセンサ回路は, 口径 600 μ m, 焦点距離 1.5mm, レンズ数 4 \times 4 のマイクロレンズアレイとの組み合わせを想定し, 画素数 32 \times 32, 画素サイズ 60 μ m \times 60 μ m, 開口率 56.3% とした。また, 前回の試作チップにおいてチップ面積の制限から配線領域を十分に確保できなかったため, 今回はチップ面積を大きくして余裕を持って配線を行えるようにした。

設計期間: 2 月以上, 3 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** イメージセンサ/スマートセンサ

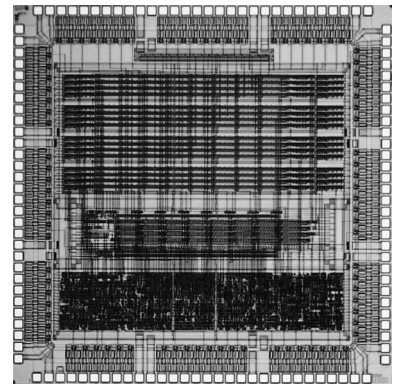


ATLAS 実験用 タイミング調整 IC ver1

東京大学理学系研究科 香取 勇一
高エネルギー加速器研究機構 佐々木 修

概要: 2006 年から欧州原子核研究機構において、ヒッグス粒子、超対称性粒子の探索を目的とした ATLAS 実験が開始される予定である。本チップは ATLAS 検出器において、信号処理、特にタイミング調整のために使われるチップである。この IC は、検出器からの LVDS 信号を受け、これを TTL に変換する。信号はさらに DLL (Delay Lock Loop) を使った可変遅延回路を通過し、クロックと同期がとられて出力される。また遅延の値などのパラメータを設定するために JTAG プロトコルも搭載している。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

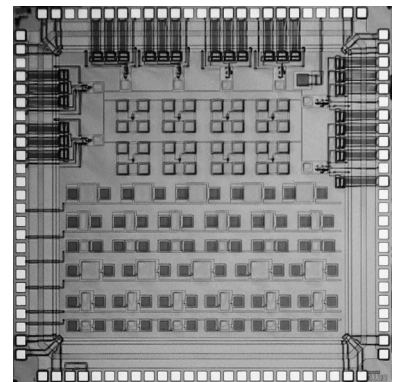


光インターフェース LSI のためのプリアンプの試作

金沢大学工学部 深山 正幸, 藤田 隼人, 中村 公亮

概要: 光インターフェース LSI において、受光器と受信回路をワンチップ化するためには高速応答プリアンプが必要である。しかし受光器であるフォトダイオードの容量が非常に大きく、受信回路の高速化を困難にしている。今回の試作したのは、並列帰還型のプリアンプである。並列帰還抵抗により回路の入力インピーダンスを低減し、高速動作するプリアンプを設計した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)

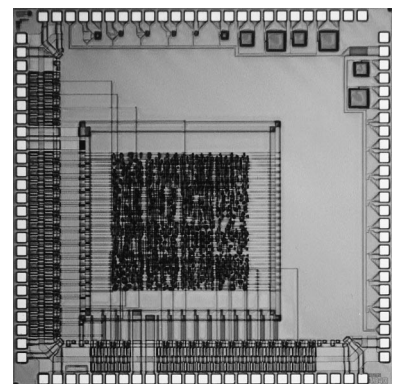


機能メモリ構造を用いた並列平均値処理回路の設計

京都大学エネルギー科学研究科 常村 修, 関本 大郷, 山口 直人, 野澤 博

概要: 現在の機能メモリの多くは加算機能を基本としている。機能メモリの応用範囲を更に広げる為、除算機能に特化した機能メモリについて調べることが有用である。今回、その第一段階として、除算処理に逆数表参照方式を採用し、ビット直列ワード並列演算を基本とした機能メモリ型並列プロセッサの設計・試作を行った。回路は演算部と制御部からなる。演算部は機能メモリ構造を基本とし、加減算機能を付加した数個のレジスタ+入出力インタフェースを最小単位とする。並列度に応じてこの基本ブロックを並列させる。制御部は入力データ数カウンタ、制御回路及び逆数表からなる。複数の演算ブロックに加えらる制御信号は共通で、全てこの制御部から生成される。除算処理は、制御部の入力データ数カウンタ、逆数表と演算部で保持されているデータ総和を利用して行われる。(尚、テストによる測定は行っていない。)

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Silvaco 社 Expert 2.5.8.R, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** [1] 藤井, 野澤, 小林, 田丸, 干場, 松本, “強誘電体を用いたビット直列ワード並列型機能メモリの設計”, Proceedings of the 1999 IEICE General Conference, Electronics[2] (1999)。

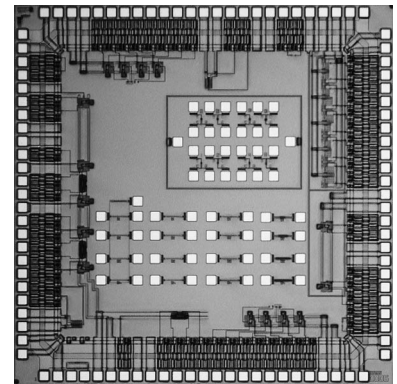


PLL クロック・ジェネレータ回路

大阪大学工学部 伴 彰浩, 谷口 研二

概要: アナログ回路ブロックの1つである, PLL クロック・ジェネレータ回路を設計・試作した. この回路は位相・周波数比較器, チャージポンプ回路, ループフィルタ, VCO 回路から構成されている. 本設計ではチャージポンプ回路に工夫を施し, (1)回路と NMOS, PMOS のスイッチを用いた基本的なチャージポンプ回路と, (2)スイッチング電流による影響を軽減するためのパスを設けたチャージポンプ回路, の2種類の回路を設計した. 位相・周波数比較器は NAND ゲートを用いた論理回路で構成し, ループ・フィルタはパッシブ・フィルタを用いた. VCO は7段のインバータから構成される current-starved VCO である. さらに16分周器を用いることにより, 電源電圧 $\pm V_{DD}$ の下で, 入力周波数 4MHz を 64MHz の出力信号として取り出すことができる. 設計期間は, 約2ヶ月間であった.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** 小沢 利行, “PLL 周波数シンセサイザ回路設計”, 総合電子出版, 1998

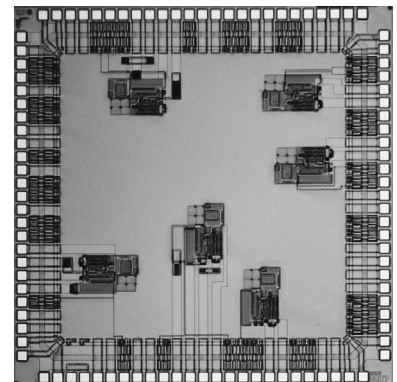


アナログ要素回路 TEG

大阪大学工学部 吉村 隆治, 小川 徹, 谷口 研二

概要: 本チップは IP プロジェクトに関連して試作したチップである. アナログ回路を設計するために欠かせない基本的な部品の試作を行なった. (i) バンドギャップリファレンス回路: n-well を用いたバイポーラトランジスタを利用し回路を構成した. (ii) アナログバッファ回路: アナログ信号を出力するためのバッファ回路をオペアンプを用いて構成した. 10MHz のアナログ信号を取り出す事ができるように設計した. (iii) 差動アンプ: アナログ要素回路として CMFB 用の端子を持った差動アンプを設計した. (iv) ノイズ測定用回路: ノイズを発生させるためのリングオシレータを配置し, 基板およびウェルに設けたコンタクトの電位と外部から入力した基準電圧をコンパレータで比較する事によってノイズ源の影響を調べる回路を構成した. また, コンタクトの周りにガードリングを設けてその影響も測定できるような構成とした. (v) コンタクト抵抗を測定 TEG: 高精度のアナログ回路ではコンタクトにおける抵抗などの影響が懸念される. そこで, 多数のコンタクトを直列に接続しそれらの抵抗を測定する事によってコンタクト1個当たりの抵抗が測定できる.

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)



相関検波を用いた輝点検出センサの試作

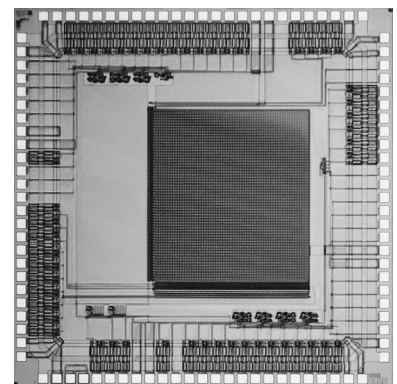
東京大学 大学院工学系研究科 大池 祐輔

東京大学工学部 池田 誠

東京大学大規模集積システム設計教育センター 浅田 邦博

概要: 光投影法を用いた3次元計測システムにおいて, 背景光などの外乱の存在する理想的でない環境では, 背景光などの光源とは独立に照射した光源を検出する必要がある. また, 開かれた空間での光投影法の適用には, 照射光の強度を安全なレベルまで落とす必要があり, 従来の輝点検出法では対応できない. これらの問題を解決する方法のひとつとして, 周波数変調を加えた光を照射しセンサ面内でこれを相関検波することで, 背景光などのその他の周波数成分とは独立に照射光を検出することが可能である. Rohm 0.6 μ m プロセスを用いて相関検波をセンサ内で行うための回路を有した画素回路を試作した. 相関検波の動特性改善のための工夫をしたものや, 相関検波の方法の異なるものなど数種類のテスト回路を試作した. 照射した光の約8倍の輝度を持つ背景光の中で輝点検出が可能であり, 異なる周波数成分とは独立に検出可能である. 設計は修士課程1年の学生が1名で行った. 設計には約1ヶ月を要し, 回路規模は39k トランジスタとなった.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ



テスト回路群と 2 ビットマイクロプロセッサ

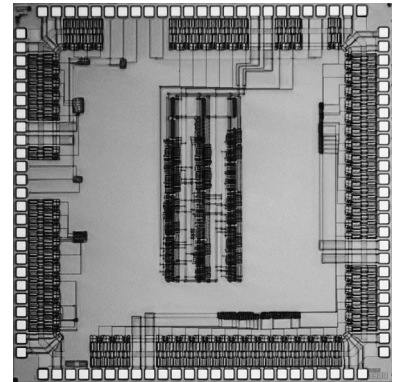
静岡理科大学電子工学科 山田 浩之, 増田 智美, 丹治 影斉, 山下 真彦

静岡理科大学大学院材料科学専攻 落合 忠博

静岡理科大学材料科学専攻電子工学科 波多野 裕

概要: 今回設計した回路は, ゲートアレイ方式の 2 ビットマイクロプロセッサ, 2 ビット ALU, JKFF, JKFF クリア付き, DFF, DFF クリア付き, 及び, フルカスタムの 4 ビット SRAM メモリセル, 更に, ロームのセルライブラリを使用したカウンタ, シフトレジスタ, 全加算器, 全減算器である. ニューロン MOS を使用した 3 入力インバータ, 全加算器も設計した.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** , Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)

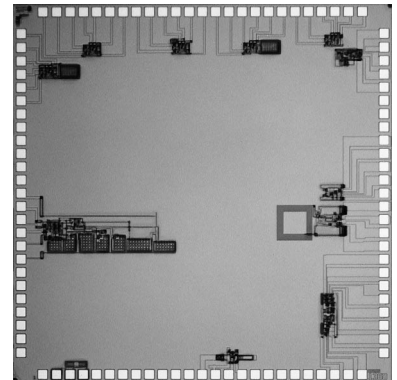


BS チューナーの実現を目指した基本回路の試作

東京工業大学大学院理工学研究科 和田 和千, 高木 茂孝, 藤井 信生

概要: 本試作では, BS チューナーの実現を目指して, BS チューナーで必要となる各回路ブロックの基本動作の確認を目的としている. 例えば, BS チューナーで必要となる実際の低雑音増幅器は 1GHz 程度の高い周波数で増幅作用を示す必要があるが, 今回のプロセスでは周波数が高すぎるので, スパイラルインダクタの特性, 雑音性能などの基本的な事項の確認に主眼を置いている. 具体的には, 低雑音増幅器や FM 信号検波用の PLL, ディエンファシス機能を兼ねた, 画像と音声を分離するためのフィルタ, 15Hz の三角波であるエネルギー拡散信号を除去するためのクランプ回路を構成している.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

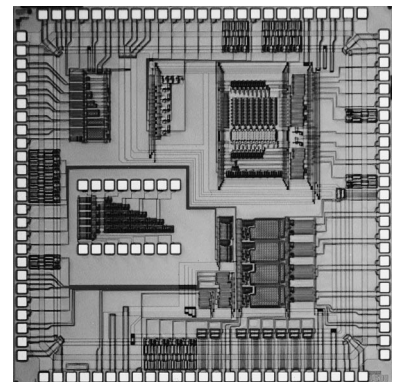


ソース電位で制御する CMOS リングオシレータとそれを用いた PLL 回路, および CMOS イメージセンサの試作

中央大学理工学部情報工学科 松本 純一, 鹿野 裕明, 原田 知親, 榎本 忠儀

概要: ソース電位で制御する CMOS リングオシレータ (Source Voltage-Controlled Oscillator: SVCO) とそれを用いた PLL 回路, および, 動作確認と基本特性評価を目的とした CMOS イメージセンサ TEG を設計し, 試作した. PLL については, SVCO と, 位相周波数比較器, レベル変換器, 及びチャージポンプ, ループフィルタを搭載しており, これらを用いて PLL を構成できるようにしている. また, CMOS イメージセンサについては, センサー部 (画素数: 8 \times 8 画素), 1 画素の特性評価用 TEG, そしてアナログ出力バッファを搭載している. 1 画素あたりの画素回路は 3Tr, 画素サイズは 15 μ m \times 36 μ m である.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

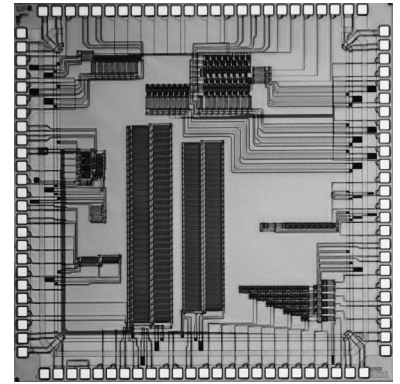


各種演算回路および低電力メモリの試作

中央大学理工学部情報工学科 小田部 晃, 江井 友美, 鹿野 裕明,
岡 佳憲, 原田 知親, 櫻本 忠儀

概要: 桁上げ選択形差分絶対値和回路, 低電力 8 ビット平方根回路および待機時低電力 SRAM を試作した. 差分絶対値和回路については 1 画素分の差分絶対値を得る“8 ビット差分絶対値回路”と 1MB 分の差分絶対値を累算する“16 ビット累算回路”から構成される. 平方根回路については非回復アレイ配列型平方根除算アルゴリズムを用い, 2 種類の減算機能付全加算器を 20 個配列することにより, 平方根演算を実現する. SRAM については, 動的に制御可能な DC/DC コンバータを搭載し, 待機時消費電力の削減効果, および動作時の安定性等を測定する 1k ビットメモリセルアレイ, 16 ビット SRAM から構成される.

設計期間: 5 月以上, 6 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

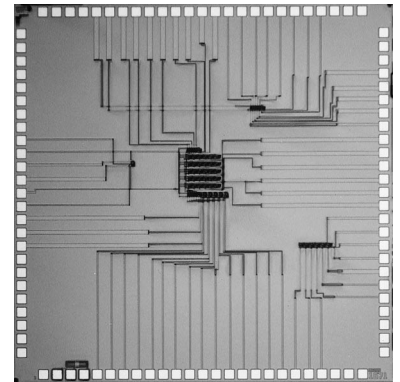


アナログ時系列情報連想相関システム

東北大学電気通信研究所 鈴木 暁人
東北大学 電気通信研究所 金城 光永, 佐藤 茂雄, 中島 康治

概要: 時系列のアナログ信号を入力とし, 予め保持している最も近い記憶 (アナログ信号) を判定する, 時系列情報連想記憶システムである. まず, アナログ入力信号とアナログ記憶信号の差を減算回路で計算する. 本チップでは, 減算回路は 5 つあり, 5 つの記憶信号まで対応できる. この出力を 5 入力 WTA (Winner Takes All) 回路で受け, アナログ入力信号に最も近い記憶のフラグ (デジタル) を立てる. このフラグは次段の SRAM を利用した加算器で時間的に加算され, 再度 WTA を利用して, 最終的に, 入力に最も類似した一つの候補に絞りこむ. 入力段に近い部分ではアナログ技術, 出力段に近い部分ではデジタル技術を用いることで, アナログ信号の実時間処理を指向した.

設計期間: 2 月以上, 3 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** アナデジ混載

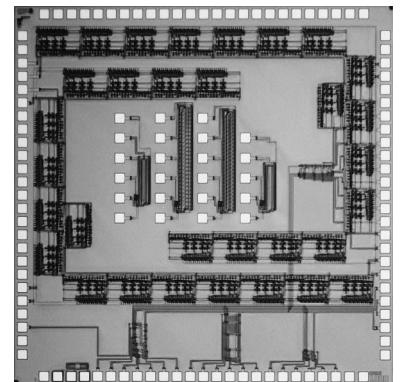


単体 MOSFET と CDTMOS 回路の TEG

広島市立大学情報科学部 寺田 和夫, 永光 正知

概要: 少数の入出力端子で大量の単体 MOSFET の諸特性を測定するための TEG (Test Element Group) と容量結合を利用した動的しきい値電圧制御 MOS 回路 (CDTMOS) の TEG である. 前者では, カウンタとデコーダを用いて入出力端子に接続する単体 MOSFET を切り換えることができるようにして, 設計寸法の異なる大量の単体 MOSFET を測定できるように配置してある. 入出力端子と単体 MOSFET の間にデコーダが入るため, 単純な配置ではデコーダが精密な測定の邪魔になる. この邪魔を防ぐため, 幾つかの工夫をしている. この TEG は MOSFET モデルに対する設計寸法の影響を調べるために使用する. 後者は以前設計試作した「容量結合型 CDTMOS インバータ」[1]の改良版である. 以前の設計ではソースと基板を共に接地線に接続したため, 基板電圧の効果を評価できなかった. 特にこの回路では MOSFET のしきい値電圧が動作に大きな影響を与えるため, 基板電圧によってある程度自由にしきい値電圧を変化できることが回路評価に取って重要である.

設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** [1] 寺田, 寺内, 木島, “容量結合型 CDTMOS インバータ”, 1999 年 VDEC 年報 (1999).

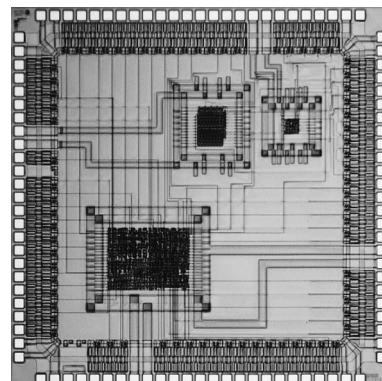


Simple TMC LSI

東京農工大工学部 宿口 泰弘, El-Farabi Razali

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要: TMC (Time Memory Cell) LSI は, 高エネルギー加速器実験用に開発された時間測定用 LSI で, さまざまな素粒子が検出器を通過する際に得られる信号の到着時間を高精度 (~ 250ps) に測定することが出来る. 現在までに数種類の TMC LSI が開発され, 使用されているが, いずれも大規模な衝突ビーム型実験用に開発されたため, 小規模な固定標的型実験などでは使いづらい面がある. そこで, 今回のようなでも実験使いやすい汎用で安価な TMC LSI を開発することにした. TMC 回路の基本 LSI 構成は, インバータチェーンによるリングオシレーターに PLL (Phase Locked Loop) 回路を組み合わせたもので, クロック周期の 1/32-1/16 の時間間隔を持った基準信号により, 時間測定を行うことが出来る. 今回の試作は第 1 回目だったので, これらの基本回路を設計し, 性能評価を行うことを目的とした.



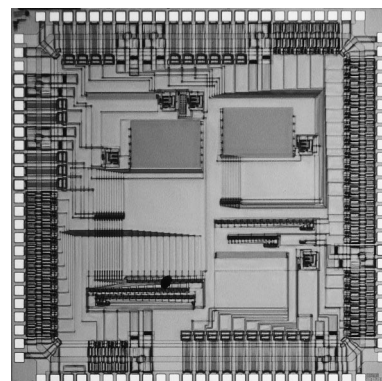
設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Synopsys 社 VSS, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6μm 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** [1] Y. Arai, "Multi-Hit Time-to-Digital Converter VLSI for High-Energy Physics Experiments", Proceedings of the Asia and South Pacific Design Automation Conference 2001 (ASP-DAC 2001), pp. 5-6.

12 ビット逐次比較形 AD 変換器, DA 変換器

仙台電波工業高等専門学校専攻科電子システム専攻 佐藤 泰一

仙台電波工業高等専門学校電子工学科 松浦 洋, 新穂 哲郎, 浅見 誠治

概要: デジタルとアナログ回路の混在する 12 ビットの逐次比較形 AD, DA 変換用 LSI を設計した. この回路は校内の学生実習に用いているプリント基板に実装された 3 ビットの同形式の変換器の高度化を目的として計画されたものでもある. 試作に当たっては, スタandardな設定のもの他に, 基本部分のレイアウト設計から自作して, 設計を積み上げていった回路も別に挿入して, 両者の特性の比較を行う予定である. また, オペアンプ, リングカウンタ, 抵抗等もそれぞれ単体でも配置してあり, その回路部分の特性と精度も測定できるように留意した.

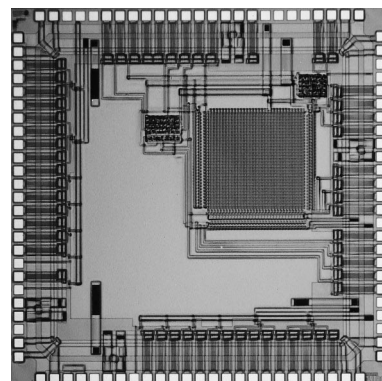


設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6μm 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

複眼光学系を利用した薄型撮像システムのためのイメージセンサ

大阪市立大学工学部 岸 隆史, 宮崎 大介, 松下 賢二

概要: 複眼光学系はマイクロレンズアレイを使用することによって光学系の厚さを小さくし, 薄型の撮像システムを構築することができる. 本研究では複眼光学系に適したイメージセンサを試作し, 実際に薄型の撮像システムを構築する予定である. 今回の試作では, 画素数 32 × 32, 画素ピッチ 30μm のセンサを設計した. 各画素はフォトダイオード, 水平選択用のトランジスタ, リセット用のトランジスタ, ソースフォロアの 3 つのトランジスタからなる. また, 水平選択, 垂直選択用をするためにそれぞれシフトレジスタを設置した. HSPICE によるシミュレーションで動作を確認した. また, フォトダイオードの特性を測るために TEG を入れた.



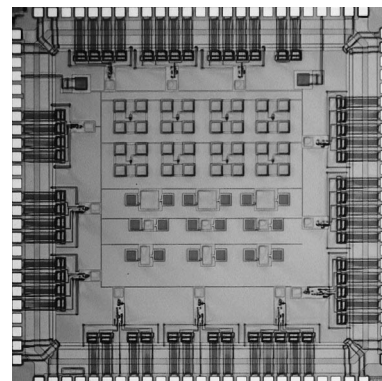
設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6μm 3.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ

光インターフェース LSI のためのプリアンプの試作

金沢大学工学部 深山 正幸, 藤田 隼人, 中村 公亮

概要: 光インターフェース LSI において, 受光器と受信回路をワンチップ化するためには高速応答プリアンプが必要である. しかし受光器であるフォトガイドの容量が非常に大きく, 受信回路の高速化を困難にしている. 今回の試作したのは, 並列帰還型のプリアンプである. 並列帰還抵抗により回路の入力インピーダンスを低減し, 高速動作するプリアンプを設計した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)

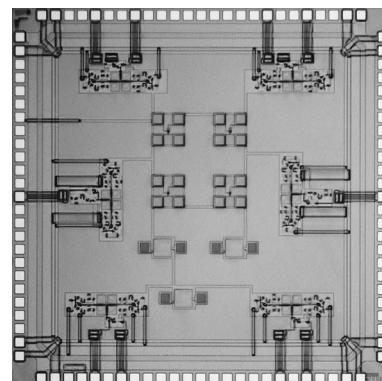


光インターフェース LSI のためのプリアンプの試作

金沢大学工学部 深山 正幸, 藤田 隼人, 中村 公亮

概要: 光インターフェース LSI において, 受光器と受信回路をワンチップ化するためには高速応答プリアンプが必要である. しかし受光器であるフォトガイドの容量が非常に大きく, 受信回路の高速化を困難にしている. 今回の試作したのは, 並列帰還型のプリアンプである. 並列帰還抵抗により回路の入力インピーダンスを低減し, 高速動作するプリアンプを設計した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 μ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)



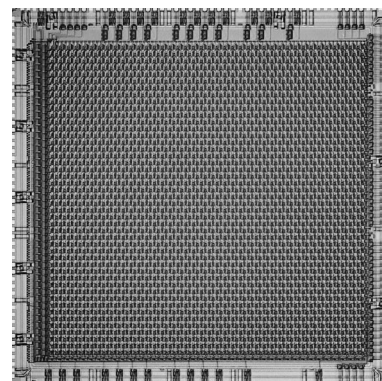
2次元アナログ人工網膜チップの設計

九州工業大学大学院情報工学研究科 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 人工網膜は, 生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので, 実時間画像処理, 小規模ハードウェア, 低消費電力といった特徴を持つ. 今回の設計では, 自然照明下における実時間画像処理を基本視座とし, アナログ人工網膜チップを製作した. 各画素は六角格子状に配置され, チップは2次元ラプラシアン ガウシアン型のフィルタ特性を持つ. 今回試作した人工網膜チップは, 網膜初段の外網膜の回路構造を模擬したものである. 集積回路の素子のばらつきを補償する機構を付加し, 光センサ部にはアクティブピクセルセンサを用いた. 水平, 垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す. 画素の出力回路を共通化することで空間解像度を向上させる工夫を行っている. 画素数は 67×78 , 画素サイズは $109\mu\text{m} \times 95\mu\text{m}$, 開口率は 1.75% となった. テスタによる測定は行っていない.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 八木, 亀田, 飯塚: "可変受容野を備えた超並列アナログ知能視覚センサ", pp.104-113, 信学論 D-II, J81-D-1, 2, (1998).



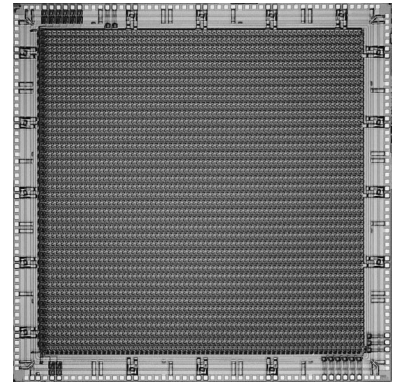
2次元アナログ人工網膜チップの設計

九州工業大学大学院情報工学研究科 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 人工網膜は、生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった特徴を持つ。今回の設計では、自然照明下における実時間画像処理を基本視座とし、アナログ人工網膜チップを製作した。各画素は六角格子状に配置され、チップは2次元ラプラシアン ガウシアン型のフィルタ特性を持つ。今回試作した人工網膜チップは、網膜初段の外網膜の回路構造を模擬したものである。集積回路の素子のばらつきを補償する機構を付加し、光センサ部にはアクティブピクセルセンサを用いた。水平、垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す。また、水平シフトレジスタで列を選択することで、画像データの読み出しを列並列に行うことができる。画素数は 40×46 で、画素サイズは $179\mu\text{m} \times 155\mu\text{m}$ 、開口率は 3.14% となった。テストによる測定は行っていない。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 8.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 八木, 亀田, 飯塚: “可変受容野を備えた超並列アナログ知能視覚センサ”, pp.104-113, 信学論 D-II, J81-D-1, 2, (1998).



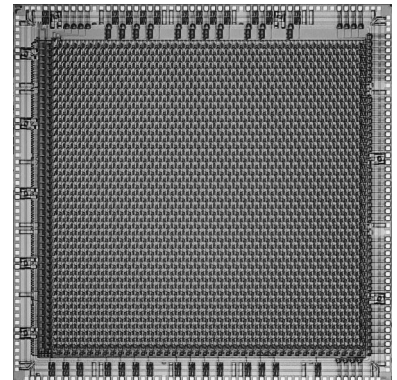
2次元アナログシリコン網膜チップの設計

九州工業大学情報工学部 下ノ村 和弘, 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: シリコン網膜は、生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった特徴を持つ。今回の設計では、自然照明下における実時間画像処理を基本視座とし、アナログシリコン網膜チップを製作した。各画素は六角格子状に配置され、チップは2次元ラプラシアン ガウシアン型のフィルタ特性を持つ。今回試作したシリコン網膜チップは、網膜初段の外網膜の回路構造を模擬したものである。集積回路の素子のばらつきを補償する機構を付加し、光センサ部にはアクティブピクセルセンサを用いた。水平、垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す。これらのシフトレジスタとしてリセット、双方向データシフトできるものを採用し、より柔軟な出力読み出しを可能にした。画素数は 40×46 で、画素サイズは $179\mu\text{m} \times 155\mu\text{m}$ 、開口率は 3.14% となった。なお、テストによる測定は行っていない。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 8.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ



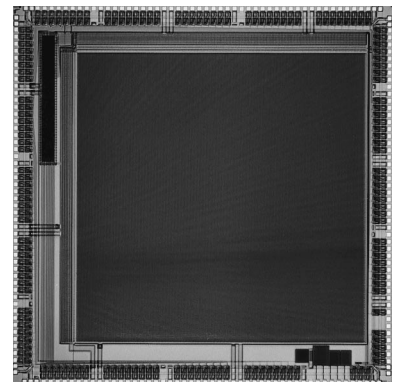
4進木スキャン機能を有するスマートポジションセンサ

東京大学工学系研究科 根塚 智裕, 池田 誠

東京大学 VDEC 浅田 邦博

概要: 3次元計測の方式の1つであるスポット光投影法においては、対象物にスポット光を投影し、センサ面上におけるスポット光の座標を求めることにより、3角測量の原理に基づき、対象物の3次元形状を計測する。本試作では、センサ面上におけるスポット光の座標を高速に検出するための、スマートポジションセンサの設計を行った。チップは、可変のサイズの矩形領域内の画素値の論理和を取得することが可能な 256×256 画素の画素アレイ、可変のサイズ領域を選択する専用のアドレスデコーダ、4進木スキャン制御回路、および重心演算回路から構成される。本試作では、従来のポジションセンサ [1] と比較して、画素回路の開口率の改善、画素サイズの小型化、アドレスデコーダの高速化、制御回路および演算回路の集積を行い、従来型に対して、約1桁の性能向上を図った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS $0.6\mu\text{m}$ 8.9mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** [1] T. Nezuka, M. Hoshino, M. Ikeda and K. Asada “A Position Detection Sensor for 3-D Measurement”, Proc. of ESSCIRC, pp.412-415, (2000).

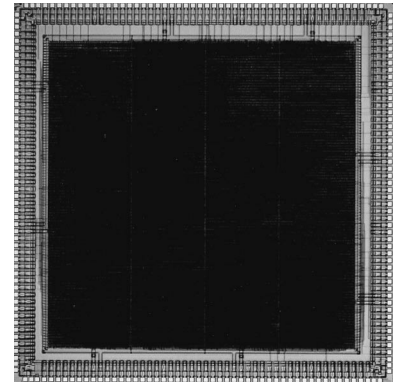


遺伝的アルゴリズム専用ハードウェアの VLSI

名古屋大学大学院工学研究科 早川 貴仁, 松崎 元昭, 小林 良太郎,
安藤 秀樹, 島田 俊夫

概要: 遺伝的アルゴリズムは組合せ最適化問題をはじめとした様々な分野において用いられている解探索アルゴリズムである。我々が提案した遺伝的アルゴリズム専用ハードウェア H³ エンジンにはパイプラインストールが全く起こらないアーキテクチャであり、高い並列性を実現している。実際に FPGA に実装した結果、ソフトウェア処理に対して非常に高速であることが判明した。しかし FPGA では実現可能な回路規模や動作速度が十分なものではなかった。今回、回路規模や動作速度の向上のため、H³ エンジンの LSI 化を行った。今回試作したチップは、チップ外部の FPGA や DSP 等とデータ通信を行いながら動作させることを前提としているが、単独でも動作可能である。またチップが動作するために必要なパラメータ等は外部から入力できるようにした。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** その他 **参考文献:** [1] 北浦理, 浅田英昭, 松崎元昭, 川合隆光, 安藤秀樹, 島田俊夫: “パイプラインストールを除去した遺伝的アルゴリズム専用ハードウェア”, 計測自動制御学会論文集, Vol.35, No.11, pages 1496-1504, 1999.

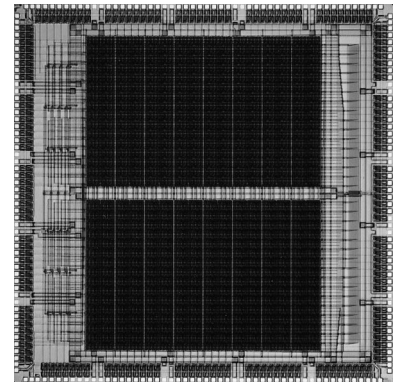


フレキシブルモジュール評価用チップ

東北大学工学部 宮本 直人

概要: 我々は「動的再構成可能な FPGA を作ることを目標として掲げている。このチップは後述するフレキシブルモジュール（以下 FM と呼ぶ）を 1,024 個敷き詰めたフレキシブルプロセッサ（以下 FP と呼ぶ）であり、このプロセッサ上に実現できる論理回路の動作周波数及び機能切換え時間を測定するための評価用 TEG である。FM とは FPGA に含まれる CLB の 1 種である。FM は論理演算を行う部分（Full-Adder）と信号を記憶する部分（D-Flip-Flop）をマージすることにより、利用効率の良いファイングレインな CLB を実現できると考えている。この FM を搭載した FPGA を FP と呼ぶ。FP は回路機能の動的切換えができる。なぜならば、FP にはコンフィグレーションデータを格納するメモリプレーンを 2 枚持っていて、一方のメモリプレーンが FPGA の回路機能を実現している間、他方が次の演算処理に使われるコンフィグレーションデータの読み込みを行うことができるからである。よって、回路機能の切換えはメモリプレーンをチェンジするだけで実現でき、オーバーヘッドタイムを最小限に抑えることが可能となる。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 μ m 8.9mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** [1] 堺谷, 宮本, 大見, “Dynamically reconfigurable Processor with Multi-Mode Operation Based on Newly Developed Full-Adder / D-Flip-Flop Merged Module (FDMM)”, pp. 358-359, SSDM (2000).



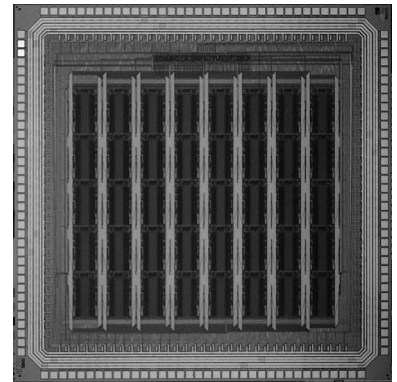
平成 12 年度 第 1 回 ローム 0.35 μm チップ試作 (RO35001)

DRAM 混載マルチコンテキスト FPGA の試作

慶応義塾大学理工学部 川上 大輔, 柴田 裕一郎, 天野 英晴

概要: 既存の FPGA を拡張し, チップ内に複数の回路構成情報を持たせたマルチコンテキスト FPGA と呼ばれるデバイスが開発されてきている. 既存の FPGA が利用している SRAM の代わりに DRAM を用いることで, より多くの構成情報をチップ内に格納することが可能になり, システムの性能をあげることが可能である. 本チップは内部に保持できる構成情報を 16 個持つことが可能であり, FPGA の基本構成単位である論理セルを 40 セル, 2 次元アレイ状に並べた構成をとっている. また各論理セルからのデータの出力にいくつかの制限を持たせている. また, 回路構成用の DRAM は, MOS トランジスタのゲート容量を DRAM セルに利用したものをカスタム設計し, 利用した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm 角 **チップ種別:** ニューテクノロジー **参考文献:** M.Motomura, et al, "An Embedded DRAM-FPGA Chip with Instantaneous Logic Reconfiguration", Proceeding of the Symposium on VLSI Circuits, 1997.

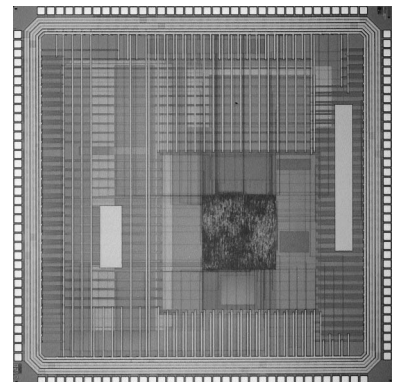


16bit マイクロプロセッサの試作

武蔵工業大学工学部 大内 康行, 沼端 健悟, 秋谷 昌宏

概要: 16bit マイクロプロセッサをトップダウンにより設計を行なった. マイクロプロセッサは, AND, OR, XOR の基本論理演算, 加減算の演算命令, 比較命令, シフト命令, データ転送命令, 分岐命令, スタック操作命令のマイクロプロセッサとしての基本的な機能を有している. 前回の ALU の試作を踏まえて, レジスタ, 制御回路等を追加し, マイクロプロセッサとして動作するものになった. 今回の試作にメモリを含めると, 入出力 pin 数の不足, 作業時間の増大, チップ面積の不足が予想されたため, 外付けとすることにした. また, 回路のチェック用として, マイクロプロセッサの ALU 部分と, 3 段のインタバータチェインを含め設計を行った.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm 角 **チップ種別:** マイクロプロセッサ

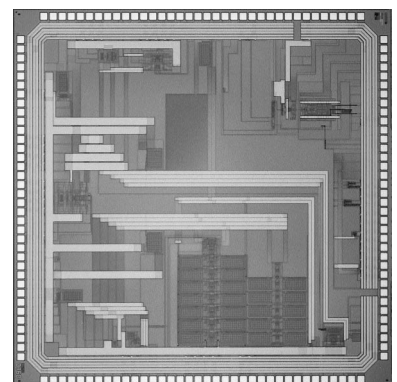


IF システム LSI 及び ADC モジュレータの設計

広島大学工学部 吉田 和史, 小川 卓臣, 岩田 穆

概要: 無線通信端末において, 最も一般的なスーパーヘテロダイン方式の受信機では, IF 周波数帯を持つためローカル発振器, ダウンコンバージョンミキサーが必要であり, また受信機に要求される電圧利得の多くは, 周波数の低い IF 帯に割り振られる. PI/4QPSK のような位相・振幅いずれにも情報をもつ変調方式を高精度で実現するためには位相雑音特性に優れたローカル発振器, フェーズリニアで利得を自動制御するアナログ増幅器が IF 帯で求められる. これらの IF システムのワンチップ化を目指し MIXER, VCOPLL, AGCAMP の設計を行った. 測定では, DC カット回路の寄生容量により AGCAMP の位相特性が劣化しており, DC カット回路の再検討を行っている. また, 高い線形性を有する電流制御発信器 (CCO) を用い, 高い S/N 比が期待できる CCO 型 ADC モジュレータを 0.35 μm プロセスにて設計した. 電流制御型発振器は, 0.17%FS の高い線形性を維持しつつ 100 μA 通電時 121MHz の発振周波数を得た (値はシミュレーション値). 高い線形性は, 高調波歪の減少, また発振周波数の増加は OSR (オーバーサンプリング比) に反映され, ADC の性能が向上する.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

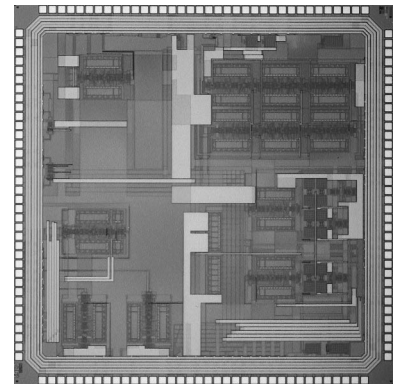


IF 用 Gm-C フィルタの設計

広島大学工学部 花嶋 直之, 岩田 穆

概要: 移動体無線機の IF 回路をワンチップ化を実現するための IF フィルタの回路方式として、高速領域動作に適している Gm-C フィルタ方式が注目されている。Gm-C フィルタ方式では、自己調整回路が必要となる。今回の試作では、Q 値 50,100 の 2ndBPF を用いて 12thBPF を設計試作した。また、中心周波数制御回路、Q 値制御回路も設計試作した。これにより、中心周波数、Q 値がどれくらいの精度で制御することが出来るのかを確認することができる。測定の結果、今回の試作では、前回試作時に実現できた Q 値 100 が実現できていなかった。また、周波数制御に関して、基準周波数と BPF 中心周波数が 15kHz 程ずれていた。この原因として、マスターとスレーブ間のバラツキと制御回路内の不具合（位相ズレ等）が考えられる。中心周波数を 450kHz に制御した状態で、VDD を 2.7V ~ 3.3V 変化した場合でも中心周波数を $450\text{kHz} \pm 0.5\text{kHz}$ (0.22%) に抑えることができた。また、Q 値制御回路に関しては、うまく動作しなかった。この原因が整流器にあることが FAST/SLOW のシミュレーションによって明らかになった。今回試作の整流器は、MOS の FAST・SLOW に大きく影響を受けることが分かった。今後の試作では、これら不具合な点を部分回路にて検討したいと考えている。

設計期間: 1 月以上, 2 月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

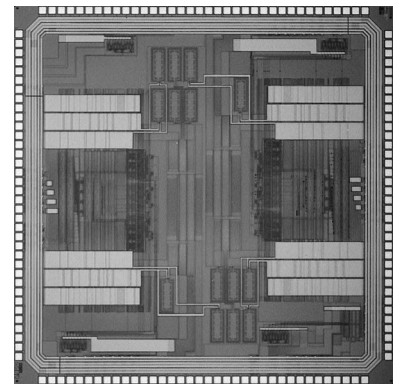


クロックドライバ内蔵 6 ビットフォールディング型 AD 変換器の設計

広島大学工学部 野曾 幹雄, 吉川 泰正, 永田 真, 森江 隆, 岩田 穆

概要: 当研究室では平成 11 年度に分解能 6 ビット, サンプル周波数 200MS/s のパイプライン・フォールディング型 AD 変換器が設計されている。しかし、このチップには 13 本のクロック信号を外部から与える必要があり、治具上の寄生容量結合により AD 変換器のアナログ入力にノイズがのること、またクロック間のタイミング制御が困難なこと、により高速 AD 変換動作時に設計どおりの性能が得られなかった。そこで、1 本の外部入力クロックから 13 本の内部クロック信号を発生するクロックドライバ回路を設計し、これを搭載したチップを設計した。治具上での結合ノイズの削減および AD 変換回路への安定したクロック供給が可能となる。サンプル周波数 200MS/s で積分非線形性誤差および微分非線形性誤差は共に 0.25LSB, S/N は 33.7dB を得た。試作チップの測定より、サンプル周波数 150MS/s で積分非線形性誤差 1.19LSB, 微分非線形性誤差 0.94LSB, S/N28.8dB を得た。

設計期間: 1 月以上, 2 月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

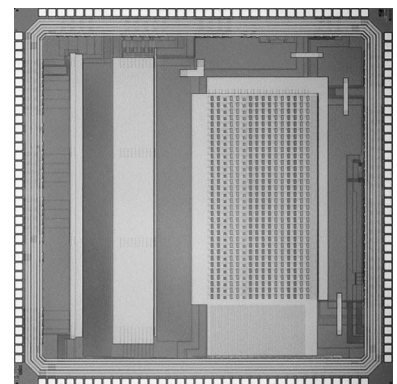


各種フォトディテクタの特性評価用 CMOS イメージセンサ

広島大学工学部 今村 俊文, 永田 真, 森江 隆, 岩田 穆

概要: 本チップは、CMOS イメージセンサを試作する際に必要となるフォトディテクタの特性を評価するためのものである。ピクセルサイズ 80 μm \times 80 μm , ピクセル数 8 \times 32, 開口率 25% である。フォトディテクタとして、フォトトランジスタ (PNP)・フォトダイオード (n-well/p-sub) (n+/p-sub), フォトゲートの 4 種類を試作した。ピクセル内部のキャパシタで光電流を積分し、その電圧をソースフォロア回路を介して外部で読み出す構成である。本チップでは、外部からの制御信号の数を削減し、測定を容易にするため内部にマルチプレクサを入れている。

設計期間: 1 月以上, 2 月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Synopsys 社 PowerMill **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μm 4.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ

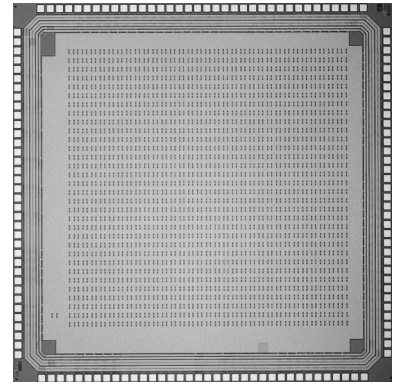


アダマール変換機能を有するイメージセンサ回路の設計

広島大学工学部 片山 光亮, 永田 真, 森江 隆, 岩田 穆

概要: CMOS イメージセンサは通常の CMOS プロセスで構成可能なことからアナログ・デジタル回路と組み合わせた機能イメージセンサが報告されている。我々は、直交変換の 1 つであり、画像圧縮や特徴抽出に有効なアダマール変換を回路化することでイメージセンサに新たな機能を付加した [1]。設計したチップは 4096 ピクセルを実装し、各ピクセルでは、光強度とアダマール係数の積がパルス幅変調技術により計算される。計算された値はピクセル毎の容量に電荷量として一旦保持され、容量に共通のバスラインでチャージシェアすることで瞬間的にアダマール係数が求まる。現在試作チップは動作確認中であるが、今後オンチップアダマール変換イメージセンサによる画像変換システムを構築し、本回路がシステムの小規模化に寄与することを示す予定である。

設計期間: 1 月以上, 2 月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] K. Katayama, et al., "A High-Resolution Hadamard Transform Circuit Using Pulse Width Modulation Technique", International Conference on Solid State Device and Materials (SSDM), pp. 366-367, Sendai, August 29-31, 2000

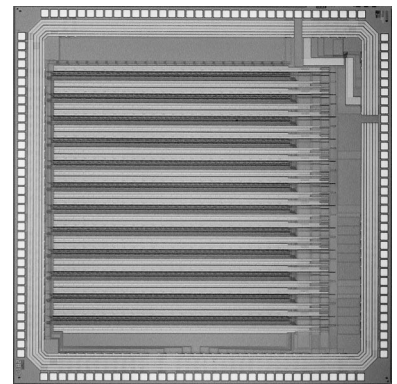


PWM 方式画素並列 2 次元ガボール型フィルタ回路・任意カオス生成回路

広島大学工学部 西島 誠一, 村越 健一, 森江 隆, 永田 真, 岩田 穆

概要: リアルタイム自然画像認識システムを構築するため、パルス変調方式による画素並列動作型特徴抽出 LSI を開発中であり、本チップはそのためのプロトタイプである。隣接ユニットとの結合強度をもとに自身の状態を更新していくことにより、局所的空間周波数を抽出するガボール型変換を実行する。今回は 2 次元 12x24 ピクセルのネットワークを構成した。また、パルス変調方式任意カオス生成回路も搭載している。本年度に 0.6 μ m プロセスで設計した回路の改良・発展版である。

設計期間: 5 月以上, 6 月未満 **設計ツール:** SII 社 SX9000, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** ニューテクノロジー **参考文献:** T. Morie, et al., "A Multi-Functional Cellular Neural Network Circuit Using Pulse Modulation Signals for Image Recognition", ICONIP-2000, pp. 613-617, 2000.

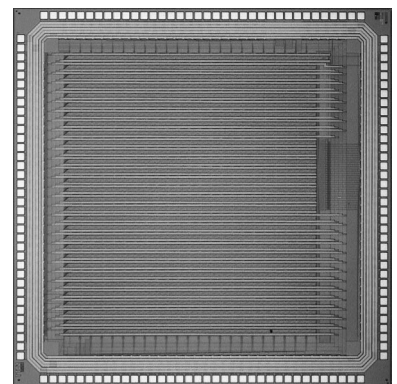


PWM 方式 2 次元抵抗ヒューズネットワーク回路

広島大学工学部 三宅 誠, 森江 隆, 永田 真, 岩田 穆

概要: 多様多様な物体を含む自然な情景を認識・理解するためには、まず画像全体をいくつかのまとまった領域に分割する必要がある。このとき、細かい濃淡を無視して大域的な領域分割を行うことが重要である。そのために、抵抗ヒューズネットワークモデルを用いることとした。このモデルは非線形な入出力特性を有する素子で画素ノード間を接続する必要があるが、通常のアナログ回路では特性の制御が難しい。そこで、我々が提案しているパルス変調方式による任意非線形関数生成回路を用いて、このモデルを実現した。このチップでは 30 x 23 の画素ユニットを集積している。領域分割に要する時間は約 80 μ s、消費電力は 55mW と見積もっている。本年度に 0.6 μ m プロセスで設計した回路の改良・発展版である。

設計期間: 2 月以上, 3 月未満 **設計ツール:** SII 社 SX9000, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** ニューテクノロジー **参考文献:** T. Morie, et al., "A Multi-Functional Cellular Neural Network Circuit Using Pulse Modulation Signals for Image Recognition", ICONIP-2000, pp. 613-617, 2000.

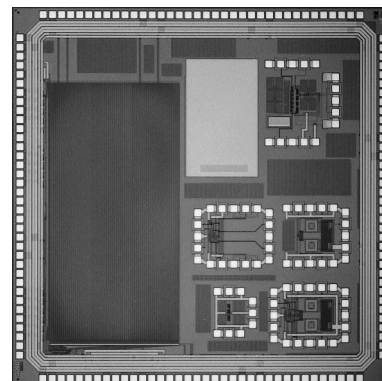


高周波 PLL 周波数シンセサイザを公正する素子回路の設計

大阪大学大学院工学研究科 佐野 智弘, Yew Lim Guan, 清水 由幸,
松岡 俊匡, 谷口 研二

概要: 本チップは大きく分けて, 下記の3つの回路ブロックから構成されている. (1) スパイクの影響を除去する構成をした CP を用いた 200MHz PLL (2) 高周波発振器をリミッタ (Limiter) を介して出力振幅を安定させた VCO (3) 回路特性評価用 TEG (スイッチングマトリックス付) (1) スイッチ回路である CP のスパイクは, PLL のループ性能及びジッタ性能に大きな影響を及ぼす. そのため本チップでは, 逆位相の信号を利用し, スパイクの影響を除去する回路を提案・試作した. (2) 高周波 VCO に関しては 1.6GHz 付近で発振する CMOS の LC 発振器を試作した, 回路構成は, NMOS による差動型負性 Gm 発振器の入力部, PMOS によるダイオードの可変容量とスパイラルインダクタの出力部である. (3) トランジスタをアレイ状に配置し, 簡単なデジタル制御回路を付加することで任意のトランジスタの動作特性を測定できる回路を設計した.

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

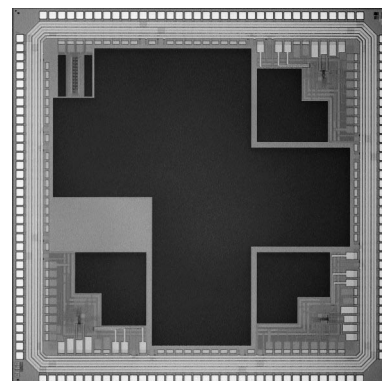


高性能 2 線式多値電流モード回路の試作

東北大学大学院情報科学研究科 池 司, 羽生 貴弘, 亀山 充隆

概要: 本研究グループでは, 低電源電圧下においても高速動作可能な 2 線式多値電流モード回路を提案してきた. これは, 入出力信号に多レベル電流信号を用いることにより線形加算を結線のみで実現しており, 算術演算回路の高速化および小型化に有用である. また, 高い電流駆動能力を有する差動対回路を活用することにより, 低電源電圧下における電流信号の高速スイッチングが可能である. 今回の試作では, 複数電源およびバイアス電流源を積極的に活用することにより, より小さな信号振幅で動作可能な新しい回路構成を提案すると共に, 2 線式多値電流モード回路のさらなる高速化および低消費電力化に対する本提案回路の有用性を示すことを目的としている. すなわち, 本試作では, 上記提案の回路構成を適用した回路の動作検証および性能評価を目的として, 高並列算術演算回路として知られている 2 進 SD 数加算器および Ring Oscillator の設計を行った. なお, 本試作チップの測定については現在進行中である.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** T.Ike, T.Hanyu and M.Kameyama, "Dual-Rail Multiple-Valued Current-Mode VLSI with Biasing Current Sources," Proc. 2001 31st IEEE Int. Symposium on Multiple-Valued Logic, Warsaw, Poland, May 2001. (to be published)

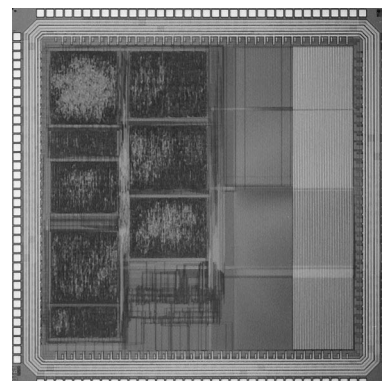


実時間視線推定 LSI

奈良先端科学技術大学院大学情報科学研究科 中村 一博, 中西 正樹, 堀山 貴史,
鈴木 真人, 木村 晋二, 渡邊 勝正

概要: 利用者に負担の少ない非接触型の計算機インタフェースの実現が求められている. そこで我々は, 視線を用いたインタフェースに着目し, ディスプレイ上のウィンドウを特定するためのコアとなる LSI の試作を行った. 本 LSI は, 1 台のカメラからの, 毎秒 19 フレームの 4-bit グレースケールの 640 x 480 の顔画像を入力とし, 各画像に対して, 目領域と黒目領域の抽出を行い, それらの相対位置に基づいて, リアルタイムで視線の推定を行う. 視線のある領域は, 縦横それぞれ 3 分割されているとし, 9 個の部分領域のどこに視線があるかを推定する. 設計では, メモリ使用量を抑えたアルゴリズムを新たに開発し, さらに並列化によりクロック周波数を低く抑えた. 本ハードウェアは低消費電力で組み込み用途に適している. 自作のテスト基板により, 本 LSI の動作確認を行う予定である. テスタによる測定は現在のところ行っていない.

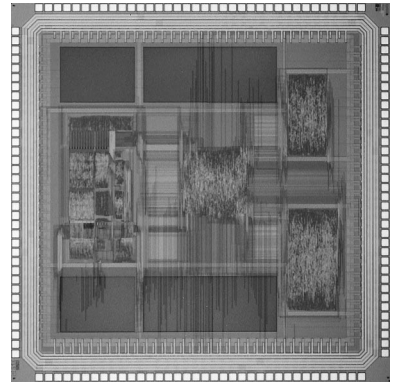
設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



ユークリッドノルム計算回路及び立方根計算回路

名古屋大学大学院工学研究科 武内 大輔, 南 利明, 高木 一義, 高木 直史

概要: 1. 三次元ベクトル (X, Y, Z) のユークリッドノルム計算 $\sqrt{X^2+Y^2+Z^2}$ は, コンピュータグラフィックス等でベクトルの正規化に必要な重要な演算である. 今回は, 我々が提案した減算シフト型ノルム計算アルゴリズムの実現法の違いによる回路性能の違いを実測するため, 基数 2 及び 4 でそれぞれ 1 サイクルで 1 桁を計算する順序回路を設計し, これら 2 つの回路を試作した. データ長は基数 2, 4 とともに 24 ビットとした. 2. 我々が提案している減算シフト型立方根計算ハードウェアアルゴリズムに基づき立方根計算回路の設計を行った. この回路では, 各値の更新のための計算やレジスタへの値の記憶の効率化を図り, 我々の従来の設計よりも高速でかつ小面積な回路を実現している. 回路の入力 X は小数点以下 26 ビットの 2 進数 ($1/8 < X < 1$) であり, 出力 Y は小数点以下 24 ビットの 2 進数 ($1/2 < Y < 1$) である. 内部演算における基数は 2 であり, 計算には 23 クロックを要する.

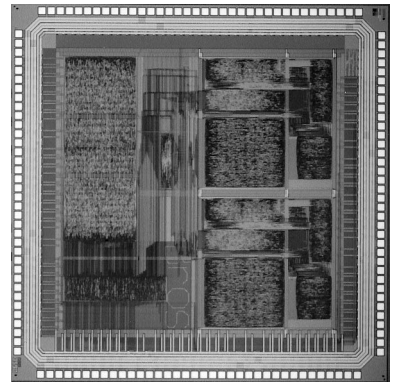


設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など) **参考文献:** 武内 大輔, 高木 一義, 高木 直史, “三次元ベクトルのユークリッド・ノルム計算回路の設計”, 2000 年電子情報通信学会基礎・境界ソサイエティ大会 (2000)

MIPS 互換準同期式プロセッサの設計

東京工業大学大学院理工学研究科 大戸 友博, 石島 誠一郎, 内海 哲章,
畔上 謙吾, 高橋 篤司

概要: 各レジスタへ必ずしも同時刻にクロックを分配をしない準同期式設計手法の有効性を確認するため, 32bitRISC マイクロプロセッサを制作した. プロセッサコアの速度を, チップ間誤差の影響を排除し比較するため, 準同期式設計手法および従来の完全同期設計手法によって得られた二つのプロセッサコアを, 試作チップには搭載した. 準同期式プロセッサコアは, CAD システムなどの制約から, 完全同期式プロセッサコアのレイアウトから動作クロック周波数の向上を目的にクロック分配回路を 4 箇所修正することで得た. プロセッサは四段パイプライン構成, 32bit 汎用レジスタを 32 本内蔵している. 命令セットは R2000/R3000 互換で, 浮動小数点命令以外のユーザーモード命令を実行できる. 納品遅延により実チップ評価は出来ていないが, シミュレーションでは, 動作周波数は準同期化により 10% 以上向上することが確認された.

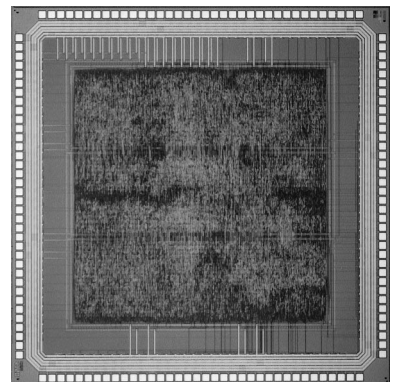


設計期間: 9 人月以上, 10 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** 大戸, 石島, 内海, 畔上, 高橋, “準同期式設計法を用いたプロセッサ設計”, 信学技報 (VLD2000-101), Vol.100, No.473, pp.191-196 (2000)

マルチスレッドパイプラインプロセッサの設計

金沢大学工学部 高松 直樹, 高松 直樹, 遠山 治, 深山 正幸

概要: CPU を高速化するための手法として現在パイプライン方式が広く用いられている. この方式では, 理想的には 1 ステージにかかる時間 (1 サイクル) 当たり 1 命令を平均的に実行できる. ところが一般的には単一の命令流 (スレッド) がパイプラインに投入されるので, 命令間の依存関係により, データハザード, 制御ハザードといった問題が発生し, 実際には 1 命令/サイクルとはならない. この他 CPU のさらなる高速化手法として, スーパースカラや VLIW といった方式が知られているが, これらも単一スレッドをパイプラインに投入するのでキャッシュミス, 分岐予測失敗, 割り込みや例外の発生により無効なサイクルが生じる. そこで, これら単一スレッドのパイプラインの問題を解決する方式としてマルチスレッドパイプラインプロセッサが提案されている. そして, この方式を用いた CPU を設計し, マルチスレッドコンパイラを含めたシステム全体の性能 (動作周波数と消費電力) の定量的見積りと他の方式との比較を行うことを目的としてチップ試作を行った.



設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

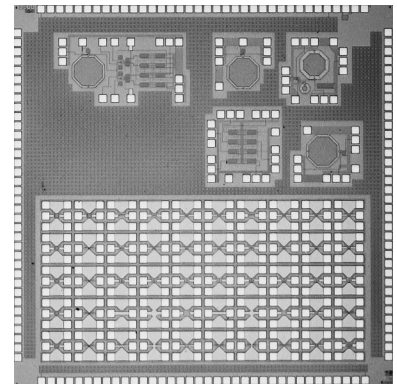
無線通信要素回路及び CMOS 高周波回路用 TEG の設計

東京大学大学院新領域創成科学研究科基盤情報学専攻 藤田 隆史, 近藤 裕也
藤島 実, 鳳 紘一郎

東京大学大学院工学系研究科電子情報工学専攻 今村 晃

概要: 高速広帯域型の通信は有線から無線, 光など様々なプラットフォーム上で実現されるが, 高度な高周波アナログ技術を必要とする. CMOS 回路はバイポーラ回路や化合物回路に比べて高周波特性が悪化することが知られている. しかし, 回路の低コスト化, システム・オン・チップ化には CMOS による RF (Radio-Frequency) アナログ回路の実現が望ましい. 当研究室では, 低コスト CMOS プロセスによる無線通信回路の設計に関する研究に取り組んでいる. 今回試作したのは, (1) 無線通信の要素回路 (低雑音増幅器・ミキサ・電力増幅器など) 及び (2) トランジスタ及び受動回路要素 (抵抗及びキャパシタ) の高周波特性測定用 TEG である.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence Diva, Cadence 社 Analog Artist **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS0.35 μ m 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

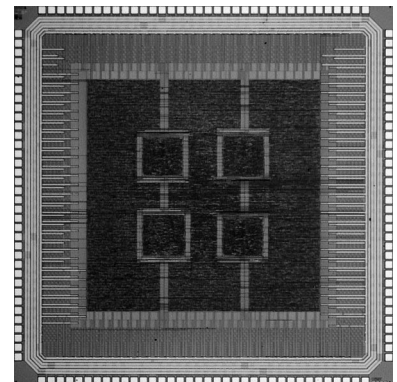


テスト容易化設計練習用チップ

大阪大学大学院工学研究科 三浦 克介, 中前 幸治, 藤岡 弘

概要: テスト容易化設計の練習用チップを設計・試作した. 同一の機能を持った, 1) テスト容易化なし, 2) 部分スキャン設計, 3) フルスキャン設計の 3 つのマイクロプロセッサを設計し, 一つのチップ内に収めている. テストを困難にするために, リセットのみが可能な 8 ビットカウンタ回路を含めてあり, 部分スキャン設計では, この部分のフリップ・フロップ (FF) をスキャン可能にしてある. FF の総数は 174 個であり, 部分スキャン設計でスキャン可能にした FF は 30 個である. 部分スキャン設計, フルスキャン設計にしたことにより, レイアウト面積は, それぞれ 3%, 12% 増加し, クリティカルパスの遅延は, それぞれ 0.2%, 1.0% 増加した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** マイクロプロセッサ

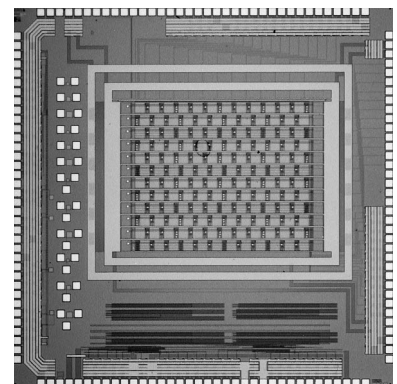


低消費電力用パストラジスタ型ラッチ・フリップフロップ TEG 回路

東北大学大学院工学研究科 朴 起台, 水草 智勝, 栗野 浩之, 小柳 光正

概要: パストラジスタ回路は Static CMOS 回路に比べて高速化, 低消費電力化, 小面積化が可能のためにロジック回路への応用の研究が広く行われてきた. 今回我々は初めてデータを保存するラッチやフリップフロップ回路にパストラジスタを適用することを提案し, その評価のための TEG 回路を構成した.

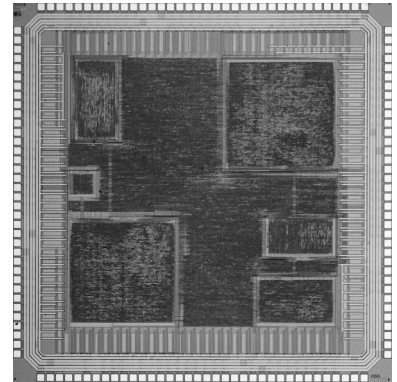
設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** I. S. Abu-Khater, et.al., "Circuit Techniques for CMOS Low-Power High-Performance Multipliers", IEEE JSCC, vol. 31, pp. 1535-1546, 1996



非同期式プロセッサの設計とカスタム LSI への実装及び評価

電気通信大学情報工学科 天笠 裕也, 阿部 公輝

概要: VLSI 技術の微細化により, 回路のゲート遅延が小さくなる一方, 配線による遅延の影響が大きくなっている. 今まで配線による遅延の影響を無視することができたが, 今後は配線による遅延を無視することができなくなるどころか, 配線遅延のほうがゲート遅延よりも速度に与える影響が大きくなるといわれている. このため, 今までのように VLSI 技術の向上に比例してクロック周波数を増やすことが難しくなるといわれている. この問題を解決する方法の 1 つに, クロックを使用せずに制御を行う非同期式回路がある. 今回は, 16 ビットの非同期式プロセッサの設計および評価を行った. 試作チップの製造条件は ROHM0.35 μ m, 4.9mm 角である. スタндарт・セル方式で実装し, ライブラリには VDEC の EXD 版ライブラリを使用した. 設計したチップでは, 命令/データ・キャッシュ, ライトバッファ, レジスタ・ファイル, 演算回路, テスト用の乗算回路をマクロ化した. 本チップは修士 2 年の学生が約 6 ヶ月で設計した.

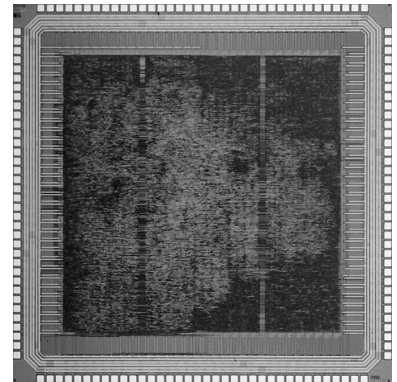


設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** A. Takamura, M. Kuwako, T. Fujii, M. Ozawa, I. Fukasaku, Y. Ueno, and T. Nanya, TITAC-2: An asynchronous 32-bit microprocessor based on Scalable-Delay-Insensitive model, Proc. ICCD, pp.284-294 (1997).

スーパースカラ・プロセッサの設計とカスタム LSI への実装及び評価

電気通信大学情報工学科 川口 英一郎, 阿部 公輝

概要: 標準的なスーパースカラ・プロセッサの LSI への実装を行った. その設計は既に性能がトレースシミュレーションにより様々な視点から評価されているハードウェアモデルに基づく. パイプラインは 5 段であり, 最大 4 命令/クロックの命令フェッチ/デコードを行う. 実行ユニットには, 2 個の ALU, 1 個のシフタ, 1 個の分岐ユニット, および, 1 個のロード/ストアユニットを備える. なお, 整数加減算・論理演算・シフト・分岐・ロード/ストアのみとし, 乗除算や浮動小数点演算は行わない. ここでは, スーパースカラ方式で採用される種々の設計選択肢についての回路量の評価も目的とする. 評価項目は 1) 連想検索つきリオーダー・バッファ 対 連想検索なしリオーダー・バッファ +Future File, 2) Out-Of-Order 発行リザベーション・ステーション 対 In-Order 発行リザベーション・ステーション, 3) 集中ウィンドウ対リザベーション・ステーションである. 評価において, 16bit 版と 32bit 版の 2 通りを設計し, 実装は 16bit 版スーパースカラ・プロセッサを 4.9mm 角の LSI に行った. 本チップは修士 2 年の学生が約 3 ヶ月で設計した.



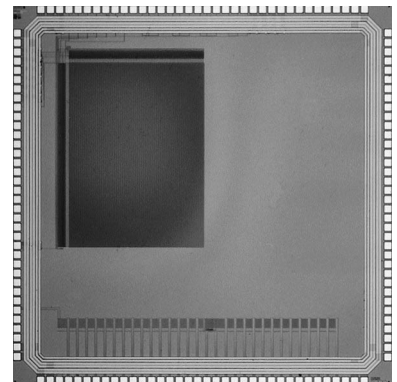
設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** M.Johnson, "Superscalar Microprocessor Design Prentice-Hall, Inc., 1991.

異常リーク電流抑制方式を実装した SRAM の設計 (2)

東京大学生産技術研究所 神田 浩一, 川口 博, 桜井 貴康

概要: SRAM のスタンバイ時において, デバイス欠陥によって流れる異常リーク電流を検知し, 削除するための回路を設計した. 従来の SRAM に対して, リーク電流センサ, DFF 及びヒューズの 3 つの回路が新たに付加される. 以前に設計したセンサ回路と DFF に改良を加えると同時に, レイアウト面積を縮小することで面積オーバーヘッドを更に低減した. 又, 異なるテクノロジーでの設計及び検証を通して, 本手法の有効性を確認した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** メモリ **参考文献:** K. Kanda, Nguyen. D. M, H. Kawaguchi, and T. Sakurai

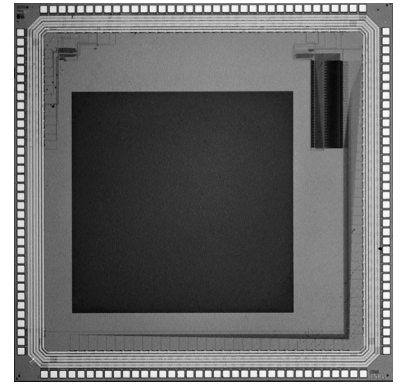


高効率容量型 DC-DC コンバータ

東京大学生産技術研究所 張綱, 桜井 貴康

概要: 電池駆動システムでは LSI の低消費電力を実現したり, LSI 動作時に電源電圧を動的に変化させることによって低消費電力化を図るため, 高効率の DC-DC コンバータが必要である. しかし, 従来のコイル型コンバータは寄生抵抗ロス等が多く問題もある. そこで, 本試作ではコイルレスの容量型コンバータを試作し, 検証を行った. この方式はトラッキングタイムが少なく, 最適制御が行えるため不可に依存しない高い電圧変換効率が得られる予定であったが期待通り動作せず, 論理の問題点を確認できた.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** 張綱, 桜井貴康, 「高効率容量型 DC - DC コンバータ」 応用物理学会学術講演会講演予稿集, pp.801, 2000 年 9 月



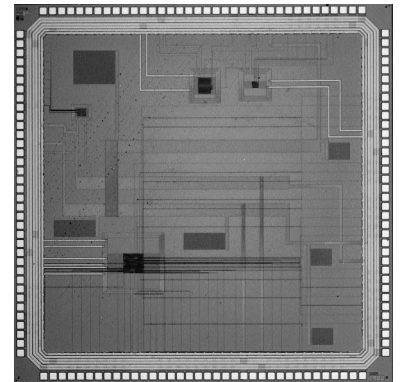
Simple TMC LSI

東京農工大工学部 宿口 泰弘, El-Farabi Razali

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要: TMC (Time Memory Cell) LSI は, 高エネルギー加速器実験用に開発された時間測定用 LSI で, さまざまな素粒子が検出器を通過する際に得られる信号の到着時間を高精度 (~250ps) に測定することが出来る. 現在までに数種類の TMC LSI が開発され, 使用されているが, いずれも大規模な衝突ビーム型実験用に開発されたため, 小規模な固定標的型実験などでは使いづらい面がある. そこで, 今回このようなでも実験使いやすい汎用で安価な TMC LSI を開発することにした. TMC 回路の基本 LSI 構成は, インバータチェーンによるリングオシレーターに PLL (Phase Locked Loop) 回路を組み合わせたもので, クロック周期の 1/32-1/16 の時間間隔を持った基準信号により, 時間測定を行うことが出来る. 現在 ROHM0.6 μ m プロセスで試作を行っているが, より時間精度を高めるため 0.35 μ m プロセスでも試作を行い性能評価を行うことにした. また, 0.35 μ m プロセスは始めてなので, 放射線耐性試験を行うことを考慮して, 単体のトランジスタやリングオシレーター等の回路も含めた.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Synopsys 社 VSS, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど) **参考文献:** [1] Y. Arai, "Multi-Hit Time-to-Digital Converter VLSI for High-Energy Physics Experiments", Proceedings of the Asia and South Pacific Design Automation Conference 2001 (ASP-DAC 2001), pp. 5-6.

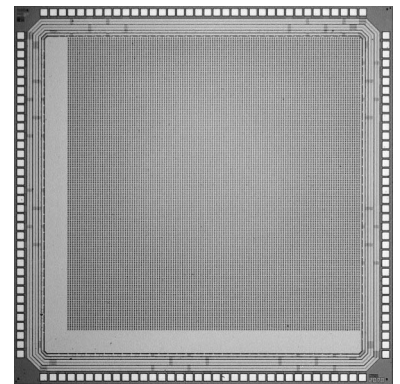


128 × 128 画素時間相関イメージセンサ

東京大学大学院工学系研究科 来海 暁, 安藤 繁

概要: 我々の研究室で提案し開発を続けている時間相関イメージセンサは, 入射光強度と各画素共通の外部参照信号との時間相関を出力する撮像素子であり, 画像の時間軸情報を活用した様々な新しい画像計測応用を可能にする. 本試作では 0.35 μ m という最も細密なプロセスを生かし, これまでに 64 × 64 画素までの集積化に成功した可変伝達コンダクタンス乗算器型画素 [1] の 128 × 128 画素への拡大を試みた. 画素の大きさは製造誤差の影響を抑えるため 29 μ m × 29 μ m にとどめたが, 現在のレイアウトのままもう一回り小さくすることが可能である. また乗算器には, PMOS 対を用いた以前の試作に比べ安定な動作が確認された MOT99-1 と同じく, NMOS 対を用いた.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ **参考文献:** [1] 来海, 安藤, "時間相関型イメージセンサ (第 3 報)", p.47, 1998 年 VDEC 年報 (1998).

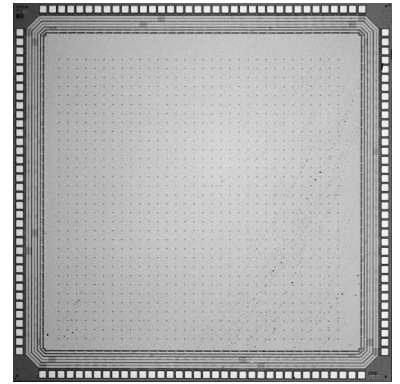


全デジタル 32 × 32 画素時間相関イメージセンサ

東京大学大学院工学系研究科 来海 暁, 土屋 恵太, 安藤 繁

概要: 我々の研究室では ROHM99-2 において, 時間相関をデジタル的に実行する時間相関イメージセンサの 16 × 16 画素の集積化を行い, 基本原理および動作を確認した. 本試作ではこの改良を図るとともに, 0.35 μ m という最も細密なプロセスを利用し 32 × 32 画素への拡大を試みた. 各画素は前回と同じく, 光キャリアをパルス列に変換するリング発振回路, 2 値参照信号との論理乗算を行う NAND ゲート, およびフリップフロップのカスケードによる 11 ビット積分用カウンタによって構成し, さらにこの乗算 - 積分ユニットを 3 チャンネル分並列化し高機能化を図った. 具体的な改良としてはフリップフロップの動作の安定化を行い, これを実験により確認した. 一方新たな問題として, 発振回路が定格の 3.3V 以下でないとパルスを生成しないことを TEG により確認した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ



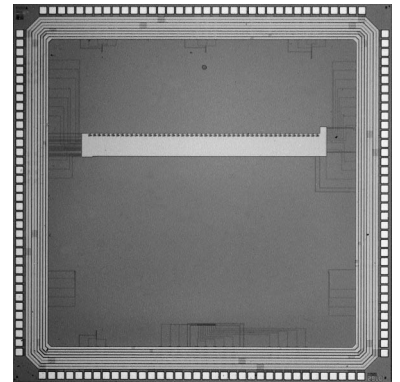
シリコン網膜チップ要素回路 TEG の設計

九州工業大学情報工学部 下ノ村 和弘

九州工業大学大学院生命体工学研究科 八木 哲也

概要: シリコン網膜は, 生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので, 実時間画像処理, 小規模ハードウェア, 低消費電力といった特徴を持つ. 本チップはこのシリコン網膜を構成する要素回路の特性を評価するための TEG であり, 光センサ回路及びノイズ補償バッファ回路を含む. 光センサ回路 TEG は, 受光面サイズの異なる 8 個の光センサ回路の出力電圧をシフトレジスタにより順に読み出す. ノイズ補償バッファ回路はオフセットノイズを補償する機能を持った回路であり, トランスコンダクタンス増幅器, キャパシタ, アナログスイッチにより構成される. 本 TEG 回路においては, MOS キャパシタを用いて構成した. なお, テスタによる測定は行っていない.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)



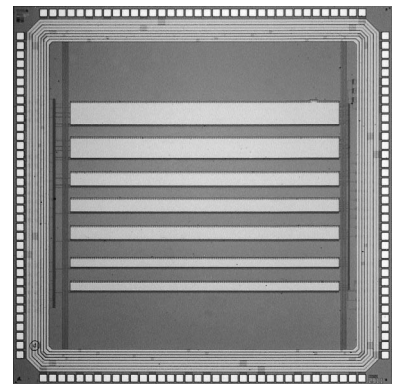
シリコン網膜の試験回路の製作

九州工業大学大学院情報工学研究科 亀田 成司

九州工業大学大学院生命体工学研究科 八木 哲也

概要: 人工網膜は, 生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので, 実時間画像処理, 小規模ハードウェア, 低消費電力といった利点を持つ. 今回はシリコン網膜のテスト回路として, 7 種類のシリコン網膜を 1 次元 100 画素のラインセンサとして設計した. 種々の光センサの構造の特性, ばらつき補償回路の効果, 抵抗回路網の効果等が試験できるようにしている. テスタによる測定は行っていない.

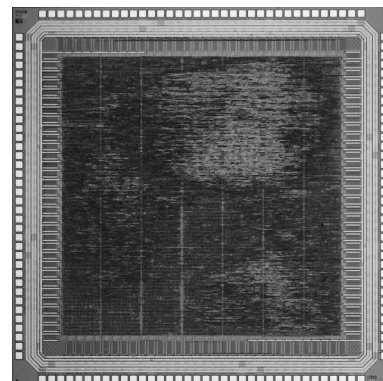
設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など) **参考文献:** [1] 八木, 亀田, 飯塚: “可変受容野を備えた超並列アナログ知能視覚センサ”, pp.104-113, 信学論 D-II, J81-D-1, 2, (1998).



BISC 型プロセッサ BISC-2

東京工業大学大学院理工学研究科 水谷 竜也, 山下 幸彦

概要: 機能の追加・変更の容易な実現を目的とする BISC アーキテクチャに基づく新しいプロセッサ BISC-2 の試作を行った。BISC アーキテクチャでは、命令がレジスタ間のデータ転送のみに限定されている。また、内部バス、レジスタファイル、機能ユニット間が特有の構成となっている。この 2 つの特徴によって、プロセッサの設計時における機能の追加・変更を容易に行うことができる。BISC-2 では、まず命令の効率的な並列実行によって処理を高速化するために、内部バスを多重化し、アウトオブオーダー実行機能を追加している。また、従来の BISC 型プロセッサの問題点を改善するために、メモリアクセス機能の改良、アンパックユニットの追加、割り込み機能の追加を行っている。今回の試作では、チップサイズの制約のため機能を省略し、キャッシュとシステム制御ユニットを除いたものとなっている。配置配線後のシミュレーションにおいて、周波数 30MHz での動作を確認しており、Dhrystone 2.1 ベンチマークで 17.3 VAX MIPS を達成している。



設計期間: 2 月以上, 3 月未満 **設計ツール:** Synopsys 社 VSS, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** [1] 水谷, 吉田, 新居, 山下, “BISC (Bus Instruction Set Computer) 型プロセッサ BISC-2”, 情報処理学会研究報告, 2001-ARC-142/2001-HPC-85, pp.1-6 (2001)

VDEC

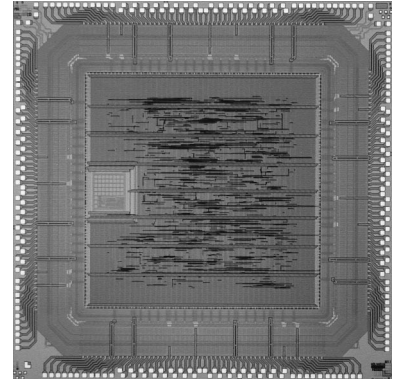
平成 12 年度 日立製作所 0.35 μm ゲートアレイ チップ試作 (HITGA00)

測定, 検証を目的とした乗算器チップの試作設計

九州大学工学部 田上 暢頭, 室山 真徳, 兵頭 章彦, 安浦 寛人

概要: 我々は IP 公開を目的とした乗算器, 低消費電力乗算器の設計を行っている。まず IP 公開を目的とした乗算器について述べる。今回は, 現在設計している十数種類の乗算器の中から, Wallace 木を用い, Booth のアルゴリズムを利用した 8 ビット, 16 ビット, 32 ビットの 3 種類の乗算器を選択し, 実装を行った。次に, 低消費電力向け乗算器について述べる。今回試作した回路は乗算器を構成する各 1 ビット全加算器 (FA) の入力信号パターンを考慮して (1) 複数の FA セルから適当なセルを選択し, (2) 入力端子の接続を変更することで低電力な乗算器を構成できる実験用 8 ビット乗算器である。回路シミュレーション SPICE を用いた結果 32.1 % の電力の削減が達成できた。乗算器のトップの入出力端子は通常の乗算器の入力データ用と出力データ用の端子以外に, 入力端子の接続方法を選択可能な制御線, どの FA セルの出力を有効にするかの制御線および, どの FA セルにこれらのデータを与えるか制御できる入力端子を用意した。試作チップの完成後, これらの回路について, 動作確認, 測定, 検証を行いたいと考えている。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 design_compiler, Synopsys 社 Module Compiler, Avanti 社 ApolloGA, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.35 μm 6.0mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

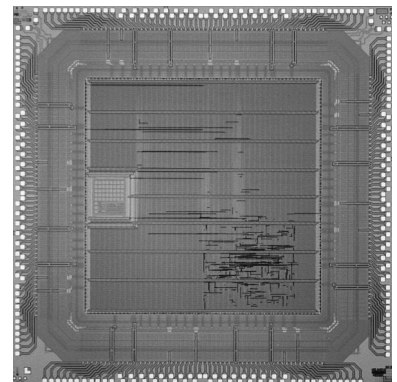


Data Transfer Controller の試作

慶應義塾大学理工学部 阿部 剛

概要: コンパイラによる静的解析を利用し, 効率の良いデータ転送を実現するためのプロセッサ及びキャッシュコントローラを試作した。プロセッサ部は, 64-bit 3 段パイプラインプロセッサでキャッシュメモリに対するデータ転送を制御する。キャッシュコントローラ部は, プロセッサ部により発行される要求に応じてデータの転送を行なう。また, モードを切り替えることにより一般的な 4-way キャッシュコントローラとしても動作する。タグメモリとしては 9 bit x 64 word, 2 port のメモリマクロを 12 個使用した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 design_compiler, ApolloGA, Apollo GA, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.35 μm 6.0mm 角 **チップ種別:** マイクロプロセッサ **参考文献:** なし

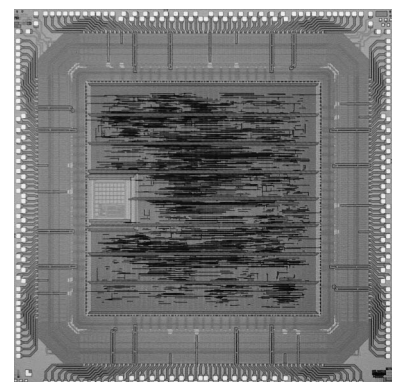


マルチプロセッサ用多段結合網の要素スイッチ

慶應義塾大学理工学部 森村 知弘

概要: 5 入力 5 出力のクロスバススイッチを実装。リンクあたり 16bit であるが, 内部では 32bit 化して処理をおこなっている。特徴はリンクあたり 2 つの通信チャンネルをもつことと, このためのクロスバ (5 x 5) を 2 つ備えている点である。パケットバッファは入力側に各チャンネルごとにつけられ, 2 つのうちの 1 つのチャンネルのバッファは, このためのモジュールとして 18 bit x 8 words のメモリセルを使用している。もう一つのチャンネルは, スケジューリングによってアクセスを調整されたパケットのための転送路で, こちらはバッファの深さは要求されないために, レジスタで実現されている。回路の規模は, 約 45000BC 程度で実現され, 動作周波数は約 50Mhz。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 design_compiler, ApolloGA, ApolloGA, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.35 μm 6.0mm 角 **チップ種別:** その他

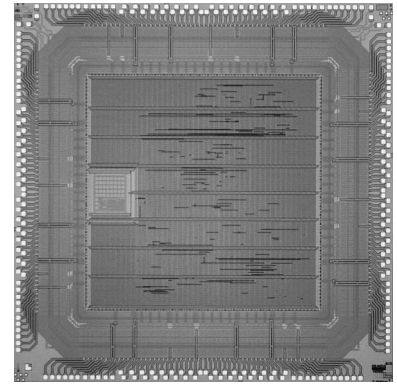


単精度浮動小数点除算器の評価用チップ

広島市立大学情報科学部 越智 裕之, 松永 清香

概要: 本チップは, IEEE-754 規格準拠の単精度浮動小数点除算器 3 種類 (パイプライン動作するもの 1 種類, そうでないもの 2 種類) の評価用チップである. いずれも目標動作周波数は 100MHz である. 消費電力の測定のため, LFSR を用いたランダムパターン発生回路も搭載している. HDL 記述までは 4 年生が行い, 配置配線などは教員が行った. 4 年生が IEEE-754 規格を理解し除算アルゴリズムを修得して HDL 記述を完成するまでに多くの時間を費やしたが, 配置配線はスタンダードセル方式よりも簡単であった.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avant!社 ApolloGA, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** 日立製作所 CMOS 0.35 μ m 6.0mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



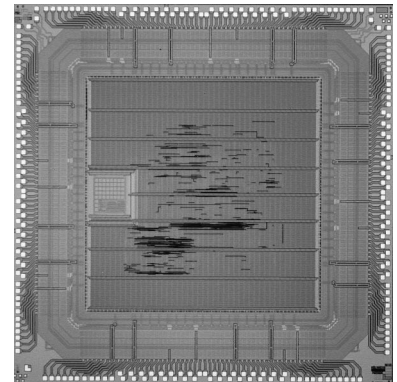
ATLAS 測定器用トリガーシステム回路の設計 2

東京都立大学理学研究科 狩野 博之, 福永 力

KEK 佐々木 修, 池野 正弘

概要: このチップは高エネルギー実験 ATLAS で用いられる検出器用トリガー生成回路である. このチップは粒子トラックの検出, 及びその位置, 曲率の検出を行う回路を含んでいる. 処理時間の短縮化を目指しており, 独自開発の選択回路を用いて高速な処理が可能である. このチップは, 圧縮された約 400ch の入力信号を用いて処理を行う. 処理は, 入出力バッファを含めて 2 クロック以内に行うことが可能である. 前回設計のチップと比較し, タイミング調節回路の追加, 外部データ転送方法の改良, テストパルス生成回路が追加されている. 現在はテスト基板作成中である.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VSS, Avanti 社 Apollo, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 6.0mm 角 **チップ種別:** その他



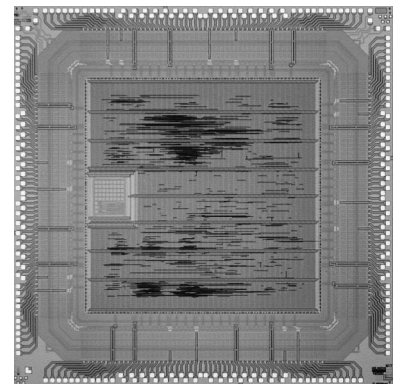
試作ラン: 日立製作所 CMOS 0.35 μ m

適応的通信を行うための同期検波用周波数制御ニューラルネットワーク・チップ

東京大学新領域/先端研 廣瀬 明, 本多 正明, 長嶋 知行, 中沢 一彦

概要: マルチパスかつドブラー周波数シフトのある環境下では, 通信に使われる電力の多くが無駄になっている. 信号の振幅と位相 (および周波数) を適応的に扱うニューラルネットワークによって, 電波利用効率の高い通信方式を考案し, 基礎評価のためのモジュールのチップ化を行った. 現在, 計測を進めている. このような高周波キャリアを有する信号の処理には, 専用のチップを作成して高速性を追求することが, その応用分野を広げることにつながる. 従来, ニューラルネットワークの多くは, その適応性を最大限に生かすためソフトウェア的に実現されることが多かった. しかし今後, このような専門的処理機能を持ったハードウェア・ニューロならではアーキテクチャ開発も重要であると考えられる.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.35 μ m 6.0mm 角 **チップ種別:** 通信 (RF 回路, ATM など)



5 2 . チップ試作者の発表文献リスト

- [1] M. Nagata, J. Nagai, T. Morie, and A. Iwata, "Measurements and Analyses of Substrate Noise Waveform in Mixed Signal IC Environment", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 19, No. 6, pp. 671-678, 2000.
- [2] M. Nagata, J. Nagai, T. Morie, and A. Iwata, "Quantitative Characterization of Substrate Noise for Physical Design Guides in Digital Circuits", Proc. IEEE 2000 Custom Integrated Circuits Conference, #5-7, pp. 95-98, May. 2000.
- [3] A. Iwata, M. Nagata, N. Takeda, M. Homma, and T. Morie, "Pulse Modulation Circuit Architecture and its Application to Functional Image Sensors", Proc. IEEE International Symposium on Circuits and Systems 2000, #0113-4, pp. II-301-304, May. 2000.
- [4] K. Katayama, M. Nagata, T. Morie, and A. Iwata, "A High-Resolution Hadamard Transform Circuit Using Pulse Width Modulation Technique", Extended Abstracts of the 2000 Int. Conf. Solid State Devices and Materials (SSDM2000), pp. 366-367, Aug. 2000.
- [5] A. Iwata, T. Morie, and M. Nagata, "Merged Analog-Digital Circuits Using Pulse Modulation for Intelligent SoC Applications (Invited)", IEICE Trans. Fundamentals, Vol. E84-A, No. 2, pp. 486-496, 2001.
- [6] M. Nagata, T. Ohmoto, J. Nagai, T. Morie, and A. Iwata, "Test Circuits for Substrate Noise Evaluation in CMOS Digital ICs", Proc. Asia and South Pacific Design Automation Conference (ASP-DAC2001), A1. 7, pp. 13-14, Jan. 2001.
- [7] M. Nagata, J. Nagai, K. Hijikata, T. Morie, and A. Iwata, "Physical Design Guides for Substrate Noise Reduction in CMOS Digital Circuits", IEEE Journal. of Solid-State Circuits, Vol. 36, No. 3, pp. 539-549, 2001.
- [8] M. Nagata and A. Iwata, "Substrate Noise Simulation Techniques for Analog-Digital Mixed LSI Design", Analog Integrated Circuits and Signal Processing, Vol. 25, No. 3, pp. 209-217, 2000.
- [9] 永田 真, 永井 仁, 森江 隆, 岩田 穆, 「CMOS デジタル回路の基板雑音定量評価と低雑音化レイアウト指針」, 電子情報通信学会 信学技報 ICD2000-75 (2000 年 9 月).
- [10] 永田真, 土方克昌, 永井 仁, 森江 隆, 岩田 穆, 「AD 混載 LSI のための基板雑音低減化デジタル回路設計法」, 電子情報通信学会 信学技報 ICD2000-17, (2000 年 5 月).
- [11] Y. Ohtsuka, T. Hamamoto, K. Aizawa: "A new image sensor with space variant sampling control", on a focal plane, IEICE Trans. IEICE Trans. Information and Systems, Vol. E83-D, No. 7, pp. 1331-1337, July 2000.
- [12] 杉浦, 呉, 相澤: 「電流モード逐次比較方式によるセンサ面上 ADC の検討」, 電気学会論文誌 E Vol. 120, No. 8/9, pp. 405-409, Sep. 2000.
- [13] 大塚, 大田, 相澤: 「多重解像度イメージセンサ」, 映像情報メディア学会誌, Vol. 55, No. 2, pp. 279-286, Feb. 2001.
- [14] 相澤, 大塚: 「多重解像度イメージセンサ」, エレクトロニクス誌, No. 562, pp. 14-17, Mar. 2001.
- [15] Y. Otsuka, I. Ohta, K. Aizawa: "A new computational image sensor with programmable spatially variant mutiresolution readout capability", IAPR workshop on Machine Vision Applications (MVA2000), 8-10 pp. 287-290, Nov. 28-30, 2000, Tokyo.
- [16] 大塚, 相澤: 「多重解像度イメージセンサの設計と試作」, ロボティクスメカトロニクス 2000 (ROBOMECH2000) IP1-68-104, May 11 ~ 13, 2000 .
- [17] 大塚, 相澤: 「ブロックサイズ選択が可能な新しい多重解像度イメージセンサの設計と試作」, 第 6 回 画像センシングシンポジウム, pp. 217-222, June. 15-16, 2000 .
- [18] 大塚, 大田, 相澤: 「新しい多重解像度イメージセンサの検証」, 電子情報通信学会 集積回路研究会 ICD2000-90, pp. 43-50, Sep. 2000 .
- [19] 大塚, 大田, 相澤: 「新しい多重解像度イメージセンサ」, 画像符号化・映像メディア処理シンポジウム (PCSJ ・ IMPS2000) I-P2.06, pp. 63-64, Nov. 13-15, 2000 .
- [20] 大田, 大塚, 相澤: 「動体を中心としたサンプリング制御を行なうコンピュータショナルイメージセンサ」, 画像符号化・映像メディア処理シンポジウム (PCSJ ・ IMPS2000) I-P2.08, pp. 67-68, Nov. 13-15, 2000 .
- [21] 大塚, 大田, 相澤: 「128x128 画素多重解像度イメージセンサの新たな試作」, 第 4 回システム LSI 琵琶湖ワーク

シヨップ, pp. 303-306, Nov. 27-29, 2000.

Mechatronics, Vol. 12, No. 5, pp. 508-514, Oct. 2000.

- [22] 大田, 大塚, 相澤: 「動物体中心の検出とサンプリング制御を行うコンピュータショナルイメージセンサ」, 第4回システム LSI 琵琶湖ワークショップ, pp. 299-302, Nov. 27-29, 2000.
- [23] 大塚, 相澤: 「多重解像度出力型イメージセンサの設計」, 映像情報メディア学会年次大会 pp. 163-164, Aug. 2000.
- [24] 大塚, 大田, 相澤: 「多重解像度空間可変サンプリングイメージセンサの試作」, 電子情報通信学会 総合大会 D-11-124, Mar. 26-29, 2001.
- [25] 大田, 大塚, 相澤: 「コンピュータショナルイメージセンサのためのメジアン処理による動物体の中心検出」, 電子情報通信学会 総合大会 D-11-125, Mar. 26-29, 2001.
- [26] 相澤, 大塚: 「多重解像度空間可変サンプリングセンサ」, 特定領域 A 知的瞬時処理複合化集積システム, pp. 15-24, Mar. 2001.
- [27] 木島, 関根, 寺内, 寺田, 「新しいDTMOS回路構造の動作評価」, 2000年電子情報通信学会総合大会 C-11-16, (2000).
- [28] 根塚智裕, 星野将史, 池田 誠, 浅田邦博, 「動き検出および3次元計測機能を有する多階調イメージセンサ」, ロボティクスメカトロニクス講演会, 1A1-50-069, 2000年5月.
- [29] 星野将史, 池田 誠, 浅田邦博, 「スマートポジションセンサを用いた3次元計測システムの構築」, DAシンポジウム, pp. 133-138, 2000年7月.
- [30] 根塚智裕, 池田 誠, 浅田邦博, 「4進木スキャン機能を有するポジション検出向けスマートイメージセンサ」, 第4回システム LSI 琵琶湖ワークショップポスター資料集, pp. 183-185, 2000年11月.
- [31] T. Nezuka, J. Akita, M. Ikeda and K. Asada, "A Smart Image Sensor with Novel Implementation of Quad-tree Scan", Proceedings of the 2nd IEEE Asia-Pacific Conference on ASIC, pp. 135-138, Oct. 2000.
- [32] T. Nezuka, M. Hoshino, M. Ikeda and K. Asada, "A Position Detection Sensor for 3-D Measurement", Proceedings of the 26th European Solid-State Circuits Conference, pp. 412-415, Sep. 2000.
- [33] T. Nezuka, T. Fujita, M. Ikeda and K. Asada, "A Binary Image Sensor for Motion Detection", Journal of Robotics and Mechatronics, Vol. 12, No. 5, pp. 508-514, Oct. 2000.
- [34] T. Nezuka, M. Hoshino, M. Ikeda and K. Asada, "A Smart Position Sensor for 3-D Measurement", Proceedings of ASP-DAC 2001, pp. 21-22, Feb. 2001.
- [35] 根塚智裕, 秋田純一, 池田 誠, 浅田邦博, 「4進木スキャン機能を有するスマートセンサ」, 映像情報メディア学会誌, Vol. 55, No. 2, pp. 287-292, Feb. 2001.
- [36] 星野将史, 根塚智裕, 池田 誠, 浅田邦博, 「スマートポジションセンサを用いた3次元計測システムの構築」, DAシンポジウム, pp. 133-138, 2000年7月.
- [37] T. Mido, H. Ito, K. Asada, "A Simple and Efficient Measurement Method for Characterizing Capacitance Matrix of Multilayer Interconnection in VLSI", IEEE Transactions on Semiconductor Manufacturing, Vol. 13, No. 2, pp. 145-151, May 2000.
- [38] 山下高廣, 浅田邦博, 「パストランジスタ回路に適用したオフセット電圧事故補償センスアンプ回路の試作評価」, 電子情報通信学会論文誌 C, Vol. J84-C, No. 2, pp. 144-150, Feb. 2001.
- [39] 山下高廣, 浅田邦博, 「CSPL: キャパシタ分離型低電圧用高速パストランジスタ回路」, 電子情報通信学会論文誌 C, Vol. J84-C, No. 6, pp. 479-486, 2001年6月.
- [40] M. Ikeda and K. Asada, "A New Trial on HDL Exercise Class for Undergraduate School in EE Department", Proc. of 2000 European Workshop on Microelectronics Education, pp. 146-147, May 2000.
- [41] 山岡寛明, 池田 誠, 浅田邦博, 「ラッチ形センスアンプを用いた高速PLA」, 第4回システム LSI 琵琶湖ワークショップ(滋賀), pp. 223-226, 2000年11月.
- [42] H. Yamaoka, M. Ikeda, and K. Asada, "A High-Speed PLA using Array Logic Circuits with Latch Sense Amplifiers and a Charge Sharing Scheme", Proc. Asia and South Pacific Design Automation Conference 2001 (Yokohama), pp. 3-4, Jan. 2001.
- [43] 小松 聡, 池田 誠, 浅田邦博, 「高スループットデータ伝送のための圧縮符号化手法の提案と評価」, 第4回システム LSI 琵琶湖ワークショップ, pp. 215-218, 2000年11月.
- [44] S. Komatsu, M. Ikeda and K. Asada, "Bus Data Encoding with Adaptive Code-book Method for Low Power IP Based Design", International Workshop on IP-Based Synthesis and SoC Design, pp. 77-81, Dec. 2000.

- [45] 大池祐輔, 池田 誠, 浅田邦博, 相関検波を用いた 3 次元計測向けイメージセンサ, 電子情報通信学会総合大会, 2001 年 3 月 .
- [46] 石原 亨, 浅田邦博, 「コアベースシステム LSI におけるプログラムメモリの電力削減手法」, 電子情報通信学会技術研究報告 VLD200-85, pp. 95-100, 2000 年 11 月 .
- [47] T. Ishihara, and K. Asada, “A System Level Memory Power Optimization Technique using Multiple Supply and Threshold Voltages”, Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC2001), January 2001.
- [48] H. Hatano and T. Ochiai, “Neuron MOS circuit performance improvements by low temperature operation”, Proc. of 4th European Workshop on Low Temperature Electronics, The Netherland, pp. 49-53, June 2000.
- [49] H. Hatano and T. Ochiai, “77K DC characteristics for floating gate neuron MOS circuits”, Proc. of 4th European Workshop on Low Temperature Electronics, The Netherland, pp. 271-275, June 2000.
- [50] 落合忠博, 波多野裕, 「低温動作ニューロン MOS 回路の最適化」, 電子情報通信学会エレクトロニクスソサイエティ大会講演論文集, p. 84, 2000 年 9 月, 名古屋 .
- [51] 伊藤, 「動的再構成型桁直列演算による離散コサイン変換回路」, 情処研報 2001-SLDM-99, pp. 49-56, 2001 .
- [52] Xueliang Song, Naoki Futakuchi, Yoshiaki Nakano, etc., “InGaAsP/InP Monolithic SOA Mach-Zehnder Interferometer Optical Switches Fabricated Entirely by Selective Area MOVPE”, European Conference on Integrated Optics (ECIO'01), Paderborn, Germany, 2001.
- [53] H. J. Mattausch, K. Kishi and T. Gyohten, “Area-efficient multi-port SRAMs for on-chip data-storage with high random-access bandwidth”, IEICE Trans. on Electronics, Vol. E84-C, No. 3, pp. 410-417, 2001.
- [54] N. Omori, K. Kishi, T. Gyohten, J. Kim and H. J. Mattausch, “Fast and Compact Central Arbitrator for High Access-Bit-Rate Multi-Port Caches”, Extended Abstracts of the 2000 International Conference on Solid State Devices and Materials (SSDM'2000), pp. 360-361, Aug. 2000.
- [55] K. Kishi, T. Gyohten, J. Kim, H. J. Mattausch, Y. Tatsumi and S. Nara, “Super-Compact Shared-Cache Memories with Low Power Consumption for Multi-Issue Single-Chip Processors”, Proceedings of the 26th European Solid-State Circuits Conference (ESSCIRC'2000), pp. 340-343, Sept. 2000, Sweden.
- [56] H. J. Mattausch, T. Gyohten, Y. Soda and T. Koide, “An Architecture for Compact Associative Memories with Deca-ns Nearest-Match Capability up to Large Distances”, 2001 IEEE International Solid State Circuits Conference (ISSCC'2001), pp. 170-171, Feb. 2001, USA.
- [57] 岸 浩二, 行天隆幸, 龍見嘉之, 金 宗是, H. J. Mattausch, 「Tbit/s バンド幅実現のための高面積効率マルチポートメモリの開発」, 2000 年電子情報通信学会総合大会, C-12-69, 2000 年 3 月, 広島大学 (広島県).
- [58] 大森伸彦, 岸 浩二, 行天隆幸, H. J. Mattausch, 「多ポート階層構造型マルチポートメモリのための衝突処理回路設計」, 2000 年電子情報通信学会総合大会, C-12-70, 2000 年 3 月, 広島大学 (広島県).
- [59] 龍見嘉之, 奈良真治, 三浦道子, H. J. Mattausch, 熊代成孝, 山口哲哉, 小田中紳二, 中山範明, 「MOSFET モデル評価用テスト回路 (1) しきい値電圧付近の電流領域の評価」, 2000 年電子情報通信学会総合大会, A-1-44, 2000 年 3 月, 広島大学 (広島県).
- [60] 奈良真治, 龍見嘉之, 三浦道子, H. J. Mattausch, 熊代成孝, 山口哲哉, 小田中紳二, 中山範明, 「MOSFET モデル評価用テスト回路 (2) 入力電圧の微小変化の増幅」, 2000 年電子情報通信学会総合大会, A-1-45, 2000 年 3 月, 広島大学 (広島県).
- [61] 李, 小林, 小野寺, 「EB テスタを用いた論理ゲート遅延ばらつき測定手法の検討」, pp. 23-28, ol. 100, No. 473, 電子情報通信学会 技術研究報告 (2000).
- [62] 岩橋, 柴山, 李, 中西, 高井, 小林, 小野寺, 「低ビットレートに適した動画像圧縮-ベクトル量子化による動画像圧縮とカメラベクトルによる動き補償」, pp. 251-254, Vol., No., 第 4 回システム LSI 琵琶湖ワークショップ講演資料集およびポスター資料集 (2000).
- [63] 岩橋, 柴山, 李, 小林, 小野寺, 「ベクトル量子化を用いた実時間動画像圧縮システム」, pp. 155-160, Vol., No., DA シンポジウム 2000 論文集 (2000).
- [64] Kobayashi, Eguchi, Iwahashi, Shibayama, Li, Takai, Onodera, “A Low-Power High-Performance Vector-Pipeline DSP for Low-Rate Videophones”, pp. 193-201, Vol. E84-C, No. 2, IEICE Transactions on Electronics (2001).
- [65] Okada, Onodera, “Stastical Modeling of Device Characteristics with Systematic Variability”, pp. 529-536, Vol. E84-A, No. 2, IEICE Transactions on Fundamentals (2001).

- [66] Yasuda, Fujita, Onodera, "A Dynamically Phase Adjusting PLI with a Variable Delay", pp. 275-280, Vol. , No. , Proceedings of ASP-DAC 2001 (2001).
- [67] Kobayashi, Eguchi, Iwahashi, Shibayama, Li, Takai, Onodera, "A Vector-Pipeline DSP for Low-Rate Videophones", pp. 1-2, Vol. , No. , Proceedings of ASP-DAC 2001 (2001).
- [68] Kobayashi, Yamaoka, Kobayashi, Onodera, Tamaru, "Architecture and Performance Evaluation of a New Functional Memory: Functional Memory for Addition", pp. 2400-2408, Vol. E83-A, No. 12, IEICE Transactions Fundamentals (2000).
- [69] Iwahashi, Shibayama, Hahsimoto, Kobayashi, Onodera, "Vector Quantization Processor for Mobile Video Communication", pp. 75-79, Vol. , No. , Proc. of 13th IEEE SOC/ASIC Conference 2000 (2000).
- [70] Okada, Onodera, "Statistical Modeling of Device Characteristics with Systematic Fluctuation", pp. II437-II440, Vol. , No. , Proc. of ISCAS 2000 (2000).
- [71] 松尾, 沖, 木村, 小柳, 末次, 「スイッチトキャパシタ DC-DC コンバータの出力電圧の周波数特性」, 電気関係学会九州支部大会, pp. 858 (2000. 9).
- [72] 池 司, 羽生貴弘, 亀山充隆, 「2 線式電流モード多値論理に基づくセルフチェックング VLSI システム」, 信学論 (C), Vol. J83-C, No. 4, pp. 318-325, April 2000 .
- [73] 池 司, 羽生貴弘, 亀山充隆, 「セルフチェックング性を有する 2 線式電流モード多値集積回路と高性能算術演算 VLSI への応用」, 信学技報, Vol. 100, No. 30, pp. 17-24, April 2000 .
- [74] Takahiro Hanyu, Tsukasa Ike, and Michitaka Kameyama, "Low-power dual-rail multiple-valued current-mode logic circuit using multiple input-signal levels", Proc. 30th IEEE Int. Symposium on Multiple-Valued Logic, No. 30, pp. 382-387, Portland, Oregon, USA, May 2000.
- [75] 池 司, 羽生貴弘, 亀山充隆, 「カレントミラーの高速化に基づく 2 線式多値電流モード集積回路の構成」, 2000 信学ソ大 (エレクトロニクス), 分冊 2, No. C-12-20, p. 100, Sept. 2000.
- [76] T. Hanyu, T. Ike and M. Kameyama, "Integration of Asynchronous and Self-Checking Multiple-Valued Current-Mode Circuits Based on Dual-Rail Differential Logic", Proc. 2000 IEEE Pacific Rim Int. Symposium on Dependable Computing, No. 7, pp. 27-33, Los Angeles, California, December 2000.
- [77] 池 司, 羽生貴弘, 亀山充隆, 「ソース結合形論理に基づく多値集積回路の構成」, 2001 信学総大, エレクトロニクス 2, No. C-12-19, p. 114, March 2001 .
- [78] T. Ike, T. Hanyu and M. Kameyama, "Dual-Rail Multiple-Valued Current-Mode VLSI with Biasing Current Sources", Proc. 31st IEEE Int. Symposium on Multiple-Valued Logic, Warsaw, Poland, May 2001. (to be published) .
- [79] J. Tatebayashi, S. Ishida, M. Nishioka, T. Someya and Y. Arakawa: "Areal Control of Formation of InAs Quantum Dots Using Selective Area MOCVD Growth", Extended Abstracts of 18th Electronic Materials Symposium, Kii-shirahama, June 1999.
- [80] J. Tatebayashi, S. Ishida, M. Nishioka, T. Someya and Y. Arakawa: "Area-Controlled Growth of InAs Quantum Dots by Selective MOCVD", Extended Abstracts of 1999 International Conference on Solid State Devices and Materials, Tokyo, September 1999.
- [81] J. Tatebayashi, M. Nishioka, T. Someya and Y. Arakawa, "Control of Formation Area of Self-Assembled InAs Quantum Dots Using Selective MOCVD Growth", Extended Abstracts of the Fourth Symposium on Atomic-Scale Surface and Interface Dynamics, Tsukuba, March 2000.
- [82] J. Tatebayashi, S. Ishida, M. Nishioka, T. Someya, and Y. Arakawa, "Area-Controlled Growth of InAs Quantum Dots by Selective MOCVD", Jpn. J. Appl. Phys. 39 pp. 2344-2346, Part 1, No. 4B, 2000.
- [83] J. Tatebayashi, M. Nishioka, T. Someya, and Y. Arakawa, "Area-controlled growth of InAs quantum dots and improvement of density and size distribution", Appl. Phys. Lett. 77 pp. 3382-3384, 2000.
- [84] Jun Tatebayashi, Satomi Ishida, Takao Someya, and Yasuhiko Arakawa, "Growth area control of InAs quantum dots for photonic crystal-based optical devices by selective MOCVD", Extended Abstracts of the International Society for Optical Engineering (SPIE), San-Jose, January 2001.
- [85] K. Nakamura, Q. Zhu, S. Maruoka, T. Horiyama, S. Kimura, and K. Watanabe, "A Real-time 64-Monosyllable Recognition LSI with Learning Mechanism", In Proc. of the 11th Asia and South Pacific Design Automation Conference 2001 (ASP-DAC 2001), pp. 31-32, Jan. 2001.
- [86] K. Nakamura, Q. Zhu, S. Maruoka, T. Horiyama, S. Kimura,

and K. Watanabe, "Speech Recognition Chip for Monosyllables", In Proc. of the 11th Asia and South Pacific Design Automation Conference 2001 (ASP-DAC 2001), pp. 396-399, Jan. 2001.

[87] 中村一博, 中西正樹, 堀山貴史, 鈴木真人, 木村晋二, 渡邊勝正, 「視線インタフェースのためのリアルタイム視線推定 LSI」, 第 4 回システム LSI 琵琶湖ワークショップ, pp. 267-270, Nov. 2000.

[88] 中村一博, 朱 強, 丸岡新治, 堀山貴史, 木村晋二, 渡邊勝正, 「C 言語を用いた音声認識・学習 LSI の設計と実現について」, 電子情報通信学会 VLSI 設計技術研究会 VLD2000-90, ICD200-147, FTS2000-55, Nov. 2000.

[89] 尾辻 崇, 堀山貴史, 木村晋二, 渡邊勝正, 「冗長 2 進 CORDIC 演算器を有する 16 ビットパイプラインプロセッサ」, 電子情報通信学会基礎・境界ソサイエティ大会, A-3-11, Oct. 2000.

[90] 中村一博, 朱 強, 丸岡新治, 堀山貴史, 木村晋二, 渡邊勝正, 「学習回路インタフェースを持ち不特定話者に対応できる音声認識回路」, 電子情報通信学会基礎・境界ソサイエティ大会, A-3-13, Oct. 2000.

[91] B. K. Tan, R. Yoshimura, T. Matsuoka and K. Taniguchi, "A Novel Dynamically Programmable Arithmetic Array (DPAA) Processor for Digital Signal Processing", IEICE Trans. on Fundamentals Vol. E84-A, No. 3, pp. 741-747, (2001).

[92] 畠中信伍, 小川 徹, 吉村隆治, 谷口研二, 「CMOS Rail-to-Rail オペアンプ」, 電子情報通信学会論文誌 C Vol. J83-C, No. 6, pp. 559-566 (2000).

[93] B. K. Tan, R. Yoshimura, T. Matsuoka, and K. Taniguchi, "Dynamically Programmable Parallel Processor (DPPP) : A Novel Reconfigurable Architecture with Simple Program Interface", 26th European Solid-State Circuits Conference, Stockholm Sweden, pp. 316-319 (2000).

[94] B. K. Tan, R. Yoshimura, T. Matsuoka, and K. Taniguchi, "DS-CDMA Wired Bus for Parallel Processing Systems", International Symposium on Advanced Analog CMOS Circuits, pp. 39-44 (2000).

[95] T. Matsuoka, T. Sano and K. Taniguchi, "Adaptive Aperture Phase Detection Technique capable of Dividerless Locking for Low Power Phase Locked Loops", IEEE 4th International Analog VLSI Workshop, pp. 10-15 (2000).

[96] B. K. Tan, R. Yoshimura, T. Matsuoka, and K. Taniguchi, "A Novel Dynamically Programmable Arithmetic Array Processor

for Digital Signal Processing", 第 13 回 回路とシステム軽井沢ワークショップ論文集, pp. 373-378 (2000).

[97] 清水由幸, 吉村隆治, Tan Boon Keat, 松岡俊匡, 谷口研二, 「有線 CDMA バスインターフェースの設計及びそれを用いた並列プロセッサの開発」, 第 4 回 システム LSI 琵琶湖ワークショップ・ポスターセッション (2000).

[98] Yew Lim Guan, 松岡俊匡, 谷口研二, 「CMOS 発振器に関する研究」, 電気学会電子回路研究会, ECT-00-51, pp. 63-65 (2000).

[99] 清水由幸, 中村光男, 松岡俊匡, 谷口研二, 「しきい値のばらつきの統計に見る MOSFET の特性の研究」, 電気学会電子回路研究会, ECT-00-55, pp. 83-87 (2000).

[100] 佐野智弘, 松岡俊匡, 谷口研二, 「PLL のループゲインに関する研究」, 電気学会電子回路研究会, ECT-00-56, pp. 89-93 (2000).

[101] 清水新策, Tan Boon Keat, 小川 徹, 吉村隆治, 畠中信伍, 松岡俊匡, 谷口研二, 「MOS 電流モードロジックを用いた拡散符号生成器」, 電気学会電子回路研究会, ECT-01-15, pp. 27-31 (2001).

[102] 中村光男, 桜 俊幸, Yew Lim Guan, 松岡俊匡, 谷口研二, 「短距離無線通信用 CMOS 発振回路に関する研究」, 電気学会電子回路研究会, ECT-01-14, pp. 21-25 (2001).

[103] 尾関俊明, 小川 徹, 谷口研二, 「スイッチトキャパシタを用いたブッシュ・ブル出力バッファ」, 電子情報通信学会関西支部学生会, C-15, pp. 59 (2001.3).

[104] 伴 彰浩, 佐野智弘, 谷口研二, 「CMOS 電圧制御発振器の設計に関する研究」, 電子情報通信学会関西支部学生会, C-11, pp. 55 (2001.3).

[105] 岩村 宏, 吉村隆治, Tan Boon Keat, 谷口研二, 「CDMA 有線インターフェースの復調回路の設計」, 電子情報通信学会関西支部学生会, C-12, pp. 54 (2001).

[106] 北谷卓哉, 小川 徹, 谷口研二, 「低リプル倍電圧発生回路の設計」, 電子情報通信学会関西支部学生会, C-14, pp. 58 (2001).

[107] M. Eltokhy, S. Hatanaka, and K. Taniguchi, "A5Ms/s 0-965mw Swtched-capacitor Integrator in 0.6 micrometer CMOS Technology" 2001 年電子情報通信学会総合大会, A-3-3, pp. 81, 2001 年 3 月.

[108] Kazuya Nakayama, Kazuhiko kojima, Fumihiko Hayakawa, Yutaka Imai, Akio Kitagawa, and Masakuni Suzuki,

- “Submicron Nonvolatile Memory Cell Based on Reversible”, Jpn. J. Appl. Phys., Vol. 39, Part 1, No. 11, November, pp. 6157-6161 (2000).
- [109] Kazuya Nakayama, Kazuhiko Kojima, Fumihiko Hayakawa, Yutaka Imai, Akio Kitagawa, and Masakuni Suzuki, “Submicron Nonvolatile Memory Cell Based on Reversible”, Jpn. J. Appl. Phys., Vol. 39, Part 1, No. 11, November, pp. 6157-6161 (2000).
- [110] A. Oki, S. Adachi, Y. Takamura, K. Ishihara, H. Ogawa, Y. Ito, T. Ichiki and Y. Horiike, “Electroosmosis injection of blood serum into biocompatible microcapillary chip fabricated on quartz plate”, Electrophoresis, pp. 341-347, Vol. 22 (2001).
- [111] 北村, 伊藤, 宮崎, 川人, 「オーバーサンプリング A/D 変換器の設計およびチップ作製」, 電気学会電子回路研究会資料, ETC-00-87 (2000).
- [112] 水谷, 吉田, 新居, 山下, 「BISC (Bus Instruction Set Computer) 型プロセッサ BISC-2」, pp. 1-6, 情報処理学会研究報告計算機アーキテクチャ研究会 142-1 (2001).
- [113] H. Yamada, T. Miyashita, K. Nishio, M. Ohtani and H. Yonezu, “An analog MOS circuit for formation of edge motion signals with local adaptation based on a biological retinal system”, 7th Int. Conf. on Neural Information Processing, Taejeon, Korea, 2000.
- [114] 山田, 宮下, 西尾, 大谷, 古川, 米津, 「外網膜機能と内網膜機能の統合によるエッジの動き情報生成と集積回路化」, 第 23 回日本神経科学大会・第 10 回日本神経回路学会大会 合同大会, O-211, 2000 年 9 月, パシフィコ横浜 (神奈川県).
- [115] 山田, 大谷, 西尾, 古川, 米津, 「網膜に範を得た速度検出とその電子回路化」, 電子情報通信学会 ニューロコンピューティング研究会, NC2000-181, 2001 年 3 月, 玉川大学 (東京都).
- [116] 大谷, 山田, 西尾, 古川, 米津, 「動き検出神経細胞モデルのアナログ集積回路化 - 樹状突起による方向選択性の生成 -」, 電子情報通信学会 ニューロコンピューティング研究会, NC2000-182, 2001 年 3 月, 玉川大学 (東京都).
- [117] 武内大輔, 高木一義, 高木直史, 「三次元ベクトルのユークリッド・ノルム計算回路の設計」, 2000 年電子情報通信学会基礎・境界ソサイエティ大会 (2000).
- [118] 武内大輔, 高木直史, 「三次元ベクトルのユークリッド・ノルム計算回路の LSI 実現」, 第 4 回システム LSI 琵琶湖ワークショップ予稿集 (2000).
- [119] 南 利明, 高木直史, 高木一義, 「減算シフト型立方根計算回路」, 第 4 回システム LSI 琵琶湖ワークショップ (2000).
- [120] 鬼頭秀明, 高木一義, 木村晋二, 高木直史, 「再構成可能部を持つ Java プロセッサにおける高速化方式およびハードウェア JIT 方式の検討」, 2000 年電子情報通信学会基礎・境界ソサイエティ大会 (2000).
- [121] 鬼頭秀明, 高木一義, 木村晋二, 高木直史, 「再構成可能部を持つ Java プロセッサにおけるハードウェア JIT 機構について」, デザインガイア 2000 (2000).
- [122] 渡辺恭章, 高木直史, 「バイナリ法に基づく GF (2^m) 上の除算の VLSI アルゴリズム」, 2000 年電子情報通信学会基礎・境界ソサイエティ大会 (2000).
- [123] 渡辺恭章, 高木直史, 「バイナリ法に基づく GF (2^m) 上の除算アルゴリズムと LSI 実現」, 第 4 回システム LSI 琵琶湖ワークショップ (2000).
- [124] 高松, 遠山, 深山, 「マルチスレッドパイプラインプロセッサの VLSI による実現」, pp. 307-310, 第 4 回システム LSI 琵琶湖ワークショップ講演資料集およびポスター資料集.
- [125] 高松, 遠山, 深山, 「マルチスレッドパイプラインプロセッサの VLSI による実現」, pp. 230, 平成 12 年度電気関係学会北陸支部連合大会講演論文集 (2000).
- [126] 秋田純一, 渡辺 晃, 遠山 治, 「2 次元抵抗網中の電位分布を用いた高速領域検出回路」 pp. 145-149 DA シンポジウム 2000 論文集 (2000).
- [127] 渡辺 晃, 高瀬信二, 遠山 治, 秋田純一, 「抵抗網中の電位分布の局所性を用いた高速重心検出回路」信学論 C Vol. J84-C No. 1, pp. 46-50, 2001 年 1 月.
- [128] 遠山 治, 高瀬信二, 渡辺 晃, 秋田純一, 「画素並列処理系のための平面中の複数点に対する高速座標生成回路」信学論 C Vol. J84-C No. 4, pp. 1-5, 2001 年 4 月.
- [129] 尾崎, 大山, 安田, 下山, “An air flow sensor modeled on wind receptor hairs of insects”, pp. 531-536, Proc. of IEEE MEMS 2000 (2000).
- [130] Y. K. Lee, I. Shimoyama, “A skeletal framework artificial hand actuated by pneumatic artificial muscles”, 1999 IEEE International Conference on Robotics and Automation, pp. 926-931, 1999.
- [131] (解説) 李 湧権, 下山 勲, 空気圧ゴム人工筋の魅力

- [132] Y. K. Lee, I. Shimoyama : A micro rubber artificial muscle driven by a microcompressor for artificial limbs, International Conference on New Actuators, B3. 2, pp. 272-275 (2000).
- [133] M. Gel and I. Shimoyama, "High Aspect Ratio Micro Actuation Mechanism", Proc. Micro Electro Mechanical Systems (MEMS2001), pp. 582-585, 2001.
- [134] 竹内昌治, 下山勲, TiNi 薄膜マイクロアクチュエータの研究, 精密工学会誌, Vol. 67, No. 2, pp. 246-250, 2001.
- [135] K. Hoshino, F. Mura, I. Shimoyama, "A One-chip Scanning Retina with an Integrated Micro-Mechanical Scanning Actuator for Compound Eye Visual Sensor", Proceedings of MEMS 2000, pp. 721-726.
- [136] K. Hoshino, I. Shimoyama, "An Elastic Thin-film Microlens Array with a Pneumatic Actuator", Proceedings of MEMS 2001, pp. 321-324.
- [137] K. Hoshino, F. Mura, I. Shimoyama, "Design and Performance of a Micro-Sized Biomorphic Compound Eye with a Scanning Retina.", Journal of Microelectromechanical systems, Vol. 9, No. 1, March, 2000, pp. 32-37.
- [138] 星野一憲, Fabrizio Mura, 下山 勲, 「静電アクチュエータによる網膜振動機構を持つマイクロ複眼センサ」, 電気学会論文誌 E, 121 巻 2 号, 平成 13 年, pp. 70-76.
- [139] Masa-aki Fukase, Tomoaki Sato, Ryusuke Egawa, and Tadao Nakamura, "Breakthrough of Superscalar Processors by Multifunctional Wave-Pipelines", 9th NASA Symposium on VLSI Design, pp. 6. 3. 1-pp. 6. 3. 17, Nov. 2000.
- [140] Masa-aki Fukase, Tomoaki Sato, Ryusuke Egawa, and Tadao Nakamura, "Scaling up of Wave Pipelines", Proc. of THE 14th International Conference on VLSI Design, pp. 439-445, Jan. 2001.
- [141] H. Matsubara, T. Watanabe, and Tadao Nakamura, "A Clocking Scheme for Lowering Peak-Current in Dynamic Logic Circuits", IEICE Trans. Electron., Vol. E83-C, No. 11, pp. 1733-1738, Nov. 2000.
- [142] H. Matsubara, T. Watanabe, and Tadao Nakamura, "A Fine Grain Cooled Logic Architecture for Low-Power Processors", IEICE Trans. Fundamentals, Vol. E84-A, No. 3, pp. 735-740, Mar. 2001.
- [143] H. Matsubara, T. Watanabe, and Tadao Nakamura, "An Architecture for Secure Encryption VLSI Processors using a Constant-Characteristic Power Dissipation Concept", J. IPSJ, Vol. 42, No. 4, Apr. 2001. (to be published).
- [144] H. Matsubara, T. Watanabe, and Tadao Nakamura, "Cooled Logic Architecture using Fine-Grain Power Control for Low-Power", 13th Karuizawa Workshop, Vol. 42, No. C4-2, pp. 545-548. Apr. 2000.
- [145] 森江隆, 安藤博士, 永田真, 岩田穆, 「反応拡散系を模擬した画像処理システム - LEGION モデルにもとづく画像分割 LSI - 」, 応用物理学関係連合講演会, 29p-ZR-6, 2001, 明治大学 (東京都).
- [146] T. Sato, K. Wada, S. Takagi, N. Fujii, "1. 5-V OTA USING MOSFET'S IN WEAK-INVERSION REGION", pp. 643-646, Proceedings of 2000 IEEE International Symposium on Intelligent Signal Processing and Communication Systems (2000).
- [147] 河野, 越智, 津田, 「FPAccA model 2. 0 チップの設計再構成可能な浮動小数点演算器アレイ」, 信学技報, Vol. 99, No. 530 (VLSI 設計技術研究会), pp. 45-52 (2000).
- [148] 河野, 越智, 津田, 「再構成可能な浮動小数点演算器アレイ」, STARC シンポジウム 2000 講演予稿集, pp. 56-62 (2000).
- [149] K. Nitta, K. Kagawa, J. Tanida, "Design and Fabrication of Pipelined Digital Correlator for Opto-Electronic Discrete Correlation Processor", IEICE Trans. Electron., Vol. E84-C, No. 3, pp. 312-317 (2001).
- [150] J. Ohta, A. Uehara, T. Tokuda, and M. Nunoshita, "Pulse-Modulated Vision Chips with Versatile-Interconnected Pixels", 5th Workshop on Optics and Computer Science (WOCS), Cancun, Mexico, May, 2000.
- [151] J. Ohta, A. Uehara, T. Tokuda, and M. Nunoshita, "A pulsed vision chip with inhibitory interconnections", Proc. SPIE 4089 488-495 (2000).
- [152] 太田 淳, 阪田裕彦, 平井隆夫, 田 崇, 布下正宏, 「パルス周波数変調方式ビジョンチップ低電圧駆動」, 電子情報通信学会技術報告, ICD2000-91, pp. 51-56, 2000.
- [153] 時田直幸, 田 崇, 太田 淳, 布下正宏, 「SiGe-BiCMOS プロセスを適用したイメージセンサ」, 映像情報メディア学会技術報告 Vol. 25, No. 28, 99. 13-18, 2001.

- [154] Daiji Fukuda, Hiroyuki Takahashi, Masashi Ohno and Masaharu Nakazawa, "Ir TES for X-ray microcalorimeters", pp. 241-244, Nucl. Instrum. and Meth. A 444 (2000).
- [155] 高田賢吾, 神野元彰, 黒木修隆, 沼 昌宏, 瀧 和男, 山本啓輔, 「CMOS / パス・トランジスタ論理の混在による低消費電力回路の合成」, 情報処理学会論文誌, Vol. 42, No. 4, 2001 年 4 月. (掲載予定).
- [156] Y. Nakagawa, K. W. Lee, T. Nakamura, Y. Yamada, K. T. Park, H. Kurino, M. Koyanagi, "Neuromorphic Analog Circuits for Three Dimensional Stacked Vision Chip", Proc. of International Conference of Neural Information Processing, Vol. 1, pp. 636-641, 2000.
- [157] H. Kurino, Y. Nakagawa, K. W. Lee, T. Nakamura, Y. Yamada, K. T. Park, M. Koyanagi, "Smart Vision Chip Fabricated Using Three Dimensional Integration Technology", Abst. of Neural Information Processing System, 2000.
- [158] M. Koyanagi, Y. Nakagawa, K. W. Lee, T. Nakamura, Y. Yamada, K. Inamura, K. T. Park, H. Kurino, "Neuromorphic Vision Chip Fabricated Using Three-Dimensional Integration Technology", IEEE International Solid-State Circuits Conference Dig. of Tech. Paper, pp. 270-271, 2001.
- [159] 若林, 小出, 八田, 中山, 後藤, 利根, 「交差手法の適応的選択機能を組み込んだ遺伝的アルゴリズムの LSI チップによる実現」 pp. 1766-1776, 情報処理学会論文誌, Vol. 41, No. 6 (2000).
- [160] 小泉, 若林, 小出, 井村, 藤原, 「遺伝的アルゴリズムの高速実行に適した命令セットを持つ RISC プロセッサ DLX-GA」, 情報処理学会計算機アーキテクチャ研究会研究報告, ARC141-12 (2001).
- [161] 若林, 小出, 小泉, 中塚, 「交差突然変異をマイクロプログラム制御で実現する遺伝的アルゴリズム専用ハードウェアの開発」, pp. 1-139-1-140, 情報処理学会第 61 回 (平成 12 年後期) 全国大会講演論文集 (1), 5E-7 (2000).
- [162] 小泉, 若林, 小出, 「遺伝的アルゴリズムの高速実行に適した命令セットを持つ RISC プロセッサの開発」, pp. 1-141-1-142, 情報処理学会第 61 回 (平成 12 年後期) 全国大会講演論文集 (1), 5E-8 (2000).
- [163] 秦, 若林, 「遺伝的アルゴリズムアクセラレータ GAA-II の評価ボードの開発」, pp. 92-93, 平成 12 年度電気・情報関連学会中国支部第 51 回連合大会講演論文集, 032315 (2000).
- [164] Shuu'ichirou Yamamoto, Takumi Kato and Hiroshi Ishiwara, "A Novel SPICE Model of Ferroelectric Capacitors Using Schmitt Trigger Circuit", Ext. Abstr. of the 2000 Int. Conf. on Solid State Devices and Materials, pp. 270-271 (2000).
- [165] 山本修一郎, 石原 宏, 「シュミットトリガ回路を用いた回路要素並列型強誘電体 SPICE モデルの構築」, 第 61 回応用物理学学会学術講演会, 札幌, 6a-G-11, p. 447, 2000 年 9 月.
- [166] 山本修一郎, 平山智久, 石原 宏, 「強誘電体キャパシタシミュレーション支援 LSI の設計」, 2001 年電子情報通信学会総合大会, 立命館大学草津キャンパス, C-12-33, エレクトロニクス 2, p. 128, 2001 年 3 月.
- [167] 井上 進, 山本修一郎, 石原 宏, 「強誘電体ゲート FET を用いた不揮発性ラッチ回路の動作解析」, 第 48 回応用物理学関係連合講演会, 東京, 29p-YA-4, p. 549, 2001 年 3 月.
- [168] 具 本宰, 尹 聖民, 石原 宏, 「SPICE 解析による強誘電体メモリアレイにおける読み出し方法の検討」, 第 48 回応用物理学関係連合講演会, 東京, 28p-ZX-10, p. 541, 2001 年 3 月.
- [169] T. Aoki, I. Kitaori, and T. Higuchi, "Radix-2-4-8 CORDIC for fast vector rotation", IEICE Transactions on Fundamentals, Vol. E83-A, No. 6, pp. 1106-1114, June (2000).
- [170] T. Aoki, K. Nakazawa and T. Higuchi, "High-radix parallel VLSI dividers without using quotient digit selection tables", Proc. of the 30th IEEE International Symposium on Multiple-Valued Logic, pp. 345-352, May (2000).
- [171] T. Aoki and T. Higuchi, "Beyond-binary arithmetic - Algorithms and implementations", Extended Abstracts of the 9th International Workshop on Post-Binary Ultra-Large-Scale Integration Systems, pp. 7-10, May (2000).
- [172] 浅香 篤, 徳丸正孝, 村中徳明, 今西 茂: 「ニューロン MOS を用いた 4 進 SD 数全加算器の構成」, 多値論理研究会, 第 23 回多値論理研究フォーラム, Vol. 23, No23, pp23. 1-23. 8 (2000-07).
- [173] 浅香 篤, 徳丸正孝, 村中徳明, 今西 茂: 「ニューロン MOSFET を用いた 4 進 SD 数全加算器の改善」, 2000 年電気関係学会関西支部連合大会, G-10-6 (2000-11).
- [174] S. Kameda, T. Yagi, "An Analog Vision Chip Applicable to Real-Time Image Processings in Indoor Illumination", The IEEE-INNS-ENNS International Joint Conference on Neural Networks, Como, Italy, (2000).

- [175] S. Kameda, T. Yagi, "Application of A Silicon Retina to Target Tracking", Vol. 1, pp. 140-144, Proceedings of ICONIP, Taejan, Korea, (2000).
- [176] T. Yagi, "Hybrid parallel vision system inspired by vertebrate retina", Vol. 2, pp. 1459-1462, Proceedings of ICONIP, Taejan, Korea, (2000).
- [177] 大村道郎, 田中 武, 「LSI 設計教育のための設計支援 IP データベース」, 平成 12 年度電気・情報関連学会中国支部第 51 回連合大会, 岡山大学, p. 564, 2000 年 10 月 .
- [178] 田中 武, 大村道郎, 「広島工業大学における IP を用いた LSI 設計教育」, 広島工業大学研究紀要, 第 35 巻, pp. 17-23, 2001 年 2 月 .
- [179] 荒屋敷, 熱海 「パルス率変調形センサインタフェース用集積化電圧比較器の設計」 p. 170, 1E7 平成 12 年度電気関係学会東北支部連合大会講演論文集 .
- [180] N. Yoshikawa, T. Abe, Y. Kato and H. Hoshina, "Component Development for a 16 Gb/s RSFQ-CMOS Interface System", to be published in IEEE Trans. Appl. Superconductivity, March, 2001.
- [181] J. Koshiyama and N. Yoshikawa, "A Cell-Based Design Approach for RSFQ Circuits Based on Binary Decision Diagram", to be published in IEEE Trans. Appl. Superconductivity, March, 2001.
- [182] N. Yoshikawa and J. Koshiyama, "Top-Down RSFQ Logic Design Based on a Binary Decision Diagram", to be published in IEEE Trans. Appl. Superconductivity, March, 2001.
- [183] 吉川信行, 森 静香, 越山潤一, 「Verilog HDL による RSFQ 論理回路のタイミング設計手法の検討」, 電子情報通信学会論文誌 C Vol. J83-C, No. 7 pp. 643-650 2001 年 7 月 .
- [184] 越山潤一, 吉川信行, 「RSFQ 論理回路のセルベース設計手法の検討」, 電子情報通信学会論文誌 C Vol. J83-C, No. 7 pp. 636-642 2000 年 7 月 .
- [185] N. Yoshikawa, "Cell-Based Top-Down Design Methodology for RSFQ Digital Circuits", Abstract of 13th International Symposium on Superconductivity (ISS200), Tokyo, Japan, October, 2000, pp. 75.
- [186] 星名 博, 吉川信行, 「抵抗結合マルチ磁束量子論理ゲート II」, 2000 年秋期応用物理学学会学術講演会, 6a-ZL-2, 北海道工業大学, 2000 年 9 月 .
- [187] 藤原 完, 吉川信行, 「BDD RSFQ 論理回路の新しい実現法」, 2000 年秋期応用物理学学会学術講演会, 6a-ZL-3, 北海道工業大学, 2000 年 9 月 .
- [188] 越山潤一, 吉川信行, 「セルベース BDD RSFQ 論理回路の動作測定」, 2000 年秋期応用物理学学会学術講演会, 6a-ZL-7, 北海道工業大学, 2000 年 9 月 .
- [189] 阿部高志, 吉川信行, 「超伝導/CMOS ハイブリッドシステム用低温 CMOS 回路の動作特性」, 2000 年秋期応用物理学学会学術講演会, 6a-ZL-9, 北海道工業大学, 2000 年 9 月 .
- [190] 加藤洋介, 吉川信行, 「ジョセフソン/CMOS ハイブリッドシステム用 SQUID アンプの検討 II」, 2000 年秋期応用物理学学会学術講演会, 6a-ZL-10, 北海道工業大学, 2000 年 9 月 .
- [191] 越山潤一, 吉川信行, 「RSFQ 論理回路の抵抗結合型セルベース設計法の検討」, 2000 年電子情報通信学会エレクトロニクスソサイエティ大会, C-8-4, pp. 36, 広島大学, 2000 年 9 月 .
- [192] 依田健一, 越山潤一, 吉川信行, 「BDD RSFQ 論理回路のセルベース設計法 - ばらつき の検討」, 2001 年春期応用物理学関係連号講演会, 29p-ZC-6, 明治大学, 2001 年 3 月 .
- [193] 藤原 完, 越山潤一, 吉川信行, 「RSFQ パケットスイッチ回路の設計」, 2001 年春期応用物理学関係連号講演会, 29p-ZC-8, 明治大学, 2001 年 3 月 .
- [194] 本告 圭, 阿部高志, 吉川信行, 「低温動作 CMOS ロジックの検討 (1)」, 2001 年春期応用物理学関係連号講演会, 29p-ZC-12, 明治大学, 2001 年 3 月 .
- [195] 松崎二葉子, 越山潤一, 依田健一, 吉川信行, 「トップダウン設計法による RSFQ マイクロプロセッサの設計」, 2001 年電子情報通信学会総合大会, C-8-7, 立命館大学, 2001 年 3 月 .
- [196] 越山潤一, 藤原 完, 松崎二葉子, 依田健一, 吉川信行, 「RSFQ 論理回路のスタンダードセルの設計と動作測定」, 2001 年電子情報通信学会総合大会, C-8-8, 立命館大学, 2001 年 3 月 .
- [197] 宮川英明, 本告 圭, 阿部高志, 吉川信行, 「Josephson - CMOS ハイブリッド低温メモリの検討」, 2001 年電子情報通信学会総合大会, C-8-15, 立命館大学, 2001 年 3 月 .
- [198] 吉川信行, 「大規模 SFQ 論理回路設計技術の課題と展望」,

応用物理学会超伝導分科会第 21 回研究会，東京，2000 年 7 月。

- [199] 越山潤一，吉川信行，「RSFQ 論理回路の抵抗結合型セルベース設計法の検討」，電気学会東京支部連合研究会，MC-00-15，pp. 77-82，東京，工学院大学，2000 年 9 月。
- [200] B. Le Pioufle, P. Surbled, H. Nagai, Y. Murakami, K. S. Chun, E. Tamiya, H. Fujita, Living cells captured on a bio-microsystem devoted to DNA injection Materials Science and Engineering: C Volume 12, Issues 1-2, pp. 77-81, 2000. 8. 18.
- [201] K. Chun, G. Hashiguchi, H. Toshiyoshi, H. Fujita, Fabrication of array of hollow microcapillaries used for injection of genetic materials into animal/plant cells, Japan. J. Appl. Phys., Vol. 38, pp L279-281, 1999. Mar.
- [202] P. Helin, M. Mita and H. Fujita, Self-aligned Mirror and V-grooves in free-space micromachined optical switches, Electronics Letters, Vol. 36. No. 6, IEE, pp. 563-564, 2000. 03. 16.
- [203] Y. Mita, A. Tixer, S. Oshima, M. Mita, J. P. Gouy, H. Fujita, A Silicon Shadow Mask with Unlimited Patterns and a Mechanical Alignment Structure by Al-Delay Masking Process，電気学会論文誌 E，センサマイクロマシン準部門誌，Vol. 120-E，No. 7，pp. 357-362，電気学会 2000. 07.
- [204] H. Toshiyoshi, D. Kobayashi, M. Mita, G. Hashiguchi, H. Fujita, J. Endo, Y. Wada, “Microelectromechanical Digital-to-Analog Converters of Displacement for Step Motion Actuators”, Journal of Microelectromechanical Systems, Vol. 9, No. 2, pp. 218-225, 2000. 06.
- [205] A. Garnier, T. Bourouina, H. Fujita, T. Hiramoto, E. Orsier, J.-C. Peuzin, “Magnetic actuation of bending and torsional vibrations for 2D optical-scanner application”, Sensors and Actuators, Vol. A84 (2000) 1-186, pp. 156-160, 2000. 08.
- [206] A. Tixier, Y. Mita, J. P. Gouy and H. Fujita, “A silicon shadow mask for deposition on isolated areas”, J. Micromech. Microeng. 10 (2000), pp. 157-162, 2000. 08.
- [207] M. Mita, Y. Mita, H. Toshiyoshi, H. Fujita, “Multiple-height Microstructures Fabricated by ICP-RIE and Embedded Masking Layers” ，電気学会論文誌 E，センサマイクロマシン準部門誌，Vol. 120-E，No. 11，pp. 493-497，電気学会，2000. 11.
- [208] H. Maekoba, P. Helin, G. Reyne, T. Bourouina, H. Fujita, “Self-Aligned Vertical Mirror and V-grooves Applied to an Optical Switch : Modeling and Optimization of Bi-stable Operation by Electromagnetic Actuation”, Sensors & Actuators. Part A : Physical , Vol. A (87), 2000, pp. 172-178.
- [209] P. Helin, M. Mita, T. Bourouina, G. Reyne, H. Fujita, “Self-aligned Micromachining Process for Large-scale, Free-space Optical Cross-connects” IEEE/LEOS Journal of Lightwave Technology, Vol. 18, No. 12 (2000), pp. 1-8.
- [210] D. Saya, K. Fukushima, H. Toshiyoshi, H. Fujita, G. Hashiguchi, H. Kawakatsu, “Fabrication of Silicon-Based Filiform-Necked Nanometric Oscillators”, Jpn. J. Appl. Phys. Vol. 39, Part 1. No. 6B (June 2000), pp. 3793-3798. 2000. 6.
- [211] H. Kawakatsu, H. Toshiyoshi, D. Saya, K. Fukushima, H. Fujita, “Fabrication of a silicon based nanometric oscillator with a tip form mass for scanning force microscopy operating in the GHz range”, J. Vac. Sci. & Tech. B18, No. 2 (2000), pp. 607-11. 2000.
- [212] P. Helin, T. Bourouina, M. Mita, G. Reyne, H. Fujita, “New self-aligned micromachining process for large free-space optical cross-connects”, MOEMS 2000, IEEE/LEOS Proc. International Conference on Optical MEMS, pp. 119-120, August 2000.
- [213] E. Lebrasseur, T. Bourouina, J.-B. Pourciel, M. Ozaki, T. Masuzawa, H. Fujita, “Resonant-type Micro-probe for Vertical Profiler”, IEEE/AMCM MSM’2000, 3rd conference on Modelling and Simulation of Microsystems, San-Diego, USA, pp. 285-288. Mar. 27-29 2000.
- [214] Y. Mita, A. Kaiser, P. Garda, B. Stefanelli, H. Fujita, “Sensor-Microactuator Collocated MEMS for Fully-Integrated Microsystems”, IPEC-Tokyo 2000 Proceedings Vol. 3, The Institute of Electrical Engineers of Japan, April 3-7, Keio Plaza Hotel, Shinjuku, Tokyo, Japan, pp. 1422-1427, Apr. 2000.
- [215] I. Kobayashi, M. Nakajima, K. Chun, Y. Kikuchi, H. Fujita, “Fabrication of Through-type Microchannels for Monodispersed Microspheres”, Proceedings NFRI-BRAIN International Workshop on Monodisperse Microspheres and Microchannel Technologies, Satellite Session of the Third International Soybean Processing and Utilization Conference (ISPUC-III), Tsukuba, Japan, pp. 674-675, Oct. 16-17, 2000.
- [216] T. Iizuka, T. Oba, H. Fujita, “Fabrication of Metallic and Silicon Micro actuators with High-Aspect-ratio Driving Gaps”, Digests of APMRC2000 on Mechanical and Manufacturing Aspect of HDD, TP13, 3rd Asia-Pacific Magnetic Recording Conference, KOKUYO Hall, Tokyo, Japan, Nov. 6-8, 2000.
- [217] H. Kawakatsu, H. Toshiyoshi, D. Saya, K. Fukushima, H.

Fujita, "Strength measurement and calculations on silicon-based nanometric oscillators for scanning force microscopy operating in the gigahertz range", Applied Surface Science, Vol. 157, (No. 4), (NC-AFM'99. Second International Workshop on Noncontact Atomic Force Microscopy, Pontresina, Switzerland, 1-4 Sept. 1999.) Elsevier, p. 320-325 April 2000.

2000.

[218] 大島 聡, 三田吉郎, A. Tixier, J.-P. Gouy, 藤田博之, 「高異方性エッチングで作製したシリコンシャドウマスクによる三次元構造へのパターニングと精度の評価」平成 12 年電気学会全国大会講演論文集 [3], pp. 1111-1112 Mar. 21-24, 2000 .

[219] P. Helin, T. Bourouina, M. Mita, G. Reyne, L. Houlet, H. Fujita, "New Self-Aligned Micromachining Process for Large Free-Space Optical Cross Connect", JST2000, Journees Science et Technologie, p. 2. Tokyo, Nov. 2000.

[220] 角嶋邦之, 三田 信, 橋口 原, 藤田博之, 「ナノ領域計測用 Si ツインプローブの製作」, 平成 12 年電気学会全国大会講演論文集 [3], p. 1114, Mar. 21-24, 2000.

[221] 天坂洋一, 三田 信, 小林 大, 藤田博之, 「静電インパクト機構を用いたマイクロアクチュエータ」, 平成 12 年電気学会全国大会講演論文集 [3], pp. 1117-1118, Mar. 21-24, 2000 .

[222] 山下幸一, 藤田博之, 年吉 洋, 「SOI ウエハによる音響の周波数分析センサの製作と測定」, 平成 12 年電気学会全国大会講演論文集 [3], p. 1125, Mar. 21-24, 2000 .

[223] 三田吉郎, 年吉 洋, A. Tixier, 大島聡, J.-P. Gouy, 藤田博之, 「多機能マイクロマシンのチップレベル実装技術」, マイクロマシンの実用化, センサ・アクチュエータ・マイクロマシン・ウィーク 2000 総合シンポジウム Session 3, 次世代センサ協議会, pp. 19-26 Apr. 27, 2000 .

[224] K. Kakushima, M. Mita, G. Hashiguchi, H. Fujita, J. Endo, Y. Wada, "Fabrication of Twin Nano Probes for Nano Scale Measurement", Technical Digest of THE 17TH SENSOR SYMPOSIUM 2000, The Institute of Electrical Engineers of Japan, pp. 427-431, May, 2000.

[225] 荒井 誠, 三田 信, 天坂洋一, 小林 大, 藤田博之, 「静電インパクト型マイクロアクチュエータの製作と駆動特性」, 電気学会マイクロマシン研究会資料, MSS-00-8, pp. 7-12, 電気学会, Sep. 2000.

[226] 藪部 忠, 三田 信, 藤田博之, 「静電ワブルモータの解析とディープ RIE による製作」, 電気学会マイクロマシン研究会資料, MSS-00-9, pp. 13-18, 電気学会, Sep. 2000.

[227] A. Tixier, L. Griscom, K. Cozic, H. Nagai, B. Le Pioufle, Y. Murakami, E. Tamiya, H. Fujita, "Catching and attaching cells using an array of microholes", 第 2 回化学とマイクロシステム研究会 講演要旨集, p. 31, 化学とマイクロシステム研究会, Sep. 2000.

[228] 飯塚哲彦, 大場寿彦, 藤田博之, 「ピギーバックアクチュエータのマイクロ加工と制御」, 電気学会 センサ・マイクロマシン準部門総合研究会, マイクロマシン・センサシステム研究会 MSS-00-30, pp. 95-102, Dec. 2000.

[229] 内海哲章, 高橋篤司, 「準同期式設計による乗算器の作成」, 電子情報通信学会技術報告書 (VLD2000-2), Vol. 100, No. 35, pp. 9-14 (2000) .

[230] 大戸友博, 石島誠一郎, 内海哲章, 畔上謙吾, 高橋篤司, 「準同期式設計法を用いたプロセス設計」, 電子情報通信学会技術報告書 (VLD2000-101), Vol. 100, No. 473, pp. 191-196 (2000) .

[231] 石島誠一郎, 高橋篤司, 「同期回路設計環境を用いた準同期クロック木構成手法」, 情報処理学会研究報告 (2000-SLDM-99), Vol. 2001, No. 2, pp. 73-79 (2001) .

[232] K. Nose, and T. Sakurai, "Analysis and Future Trend of Short-Circuit Power", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 19, No. 9, pp. 1023-1030, Sep. 2000.

[233] H. Kawaguchi, K. Nose, and T. Sakurai, "A Super Cut-off CMOS (SCCMOS) Scheme for 0.5-V Supply Voltage with Picoampere Stand-by Current", IEEE Journal of Solid-State Circuits, Vol. 35, No. 10, pp. 1498-1501, Oct. 2000.

[234] K. Kanda, K. Nose, H. Kawaguchi, and T. Sakurai, "Design Impact of Positive Temperature Dependence of Drain Current in Sub 1V CMOS VLSIs", IEEE Journal of Solid-State Circuits, 2001 (Submitted) .

[235] K. Nose, S. Chae, and T. Sakurai, "Voltage Dependent Gate Capacitance and Its Impact in Estimating Power and Delay of CMOS Digital Circuits with Low Supply Voltage", Proceedings of International Symposium on Low Power Electronics and Design, pp. 228-230, July 2000.

[236] K. Kanda, N. D. Minh, H. Kawaguchi, and T. Sakurai, "Abnormal Leakage Suppression (ALS) Scheme for Low Standby Current SRAMs", IEEE International Solid-State Circuits Conference Digest of Technical Papers, Feb. 2001.

- [237] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee, and T. Sakurai, "VTH-Hopping Scheme for 82% Power Saving in Low-Voltage Processors", Proceedings of IEEE Custom Integrated Circuits Conference, May 2001.
- [238] H. Kawaguchi, G. Zhang, S. Lee, and T. Sakurai, "An LSI for VDD-Hopping and MPEG4 System Based on the Chip", Proceedings of IEEE International Symposium on Circuits and Systems, May 2001.
- [239] 野瀬浩一, 桜井貴康, 「マイクロ IDDQ テストのための電流測定デバイス」 電子情報通信学会論文誌, Vol. J83-C, No. 6, pp. 516-522, June 2000.
- [240] 平林雅之, 桜井貴康, 「低消費電力乗算器における加算回路形式の検討」 応用物理学会学術講演会講演予稿集, pp. 800, 2000年9月.
- [241] 浅野雄太郎, 桜井貴康, 「Adiabatic 概念を応用した CMOS 用クロック回路」 応用物理学会学術講演会講演予稿集, pp. 800, 2000年9月.
- [242] 張 綱, 桜井貴康, 「高効率容量型 DC - DC コンバータ」 応用物理学会学術講演会講演予稿集, pp. 801, 2000年9月.
- [243] 平林雅之, 桜井貴康, 「基板バイアス制御を可能にする自動設計手法」 電子情報通信学会ソサイエティ大会, pp. 28, 2000年10月.
- [244] 浅野雄太郎, 野瀬浩一, 桜井貴康, 「デブリーション形 CMOS ゲートの特性」 電子情報通信学会ソサイエティ大会, pp. 28, Oct. 2000.
- [245] 張 綱, 桜井貴康, 「高速周波数切り替え可能なクロック生成系」 電子情報通信学会ソサイエティ大会, pp. 28, Oct. 2000.
- [246] 稲垣賢一, 神田浩一, 桜井貴康, 「ITRS ロードマップ準拠標準 SPICE モデルの構築」 電子情報通信学会ソサイエティ大会, pp. 28, Oct. 2000.
- [247] 川口 博, 張 綱, 李 誠洙, 桜井貴康, 「電圧ホッピングとアプリケーションスライシングによるリアルタイムアプリケーション向け低電力プロセッサシステム」 IP アワード (応募中), 2001.
- [248] 関根好文, 鳥田季代子, 松岡 淳: 「CMOS による八木型ハードウェアニューロンモデル」, 電子情報通信学会論文誌 C, (採録決定).
- [249] K. Torita, J. Matsuoka and Y. Sekine: "CMOS-IC Implementation of a Pulse-type Hardware Neuron Model with Bipolar Transistors", Proc. The 2000 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC'00), Pusan, Korea., 2000. 7.
- [250] K. Saeki, Y. Sekine, and K. Aihara: "A Study on a Pulse-type Hardware Neuron Model using CMOS", Proc. 2000 International Symposium on Nonlinear Theory and Its Applications (NOLTA00), Vol. 2, Dresden, Germany, pp. 23-26, 2000. 9.
- [251] 隅山正巳, 佐伯勝敏, 関根好文: 「形ニューロンモデルの IC 設計に対する一検討」, 第 13 回回路とシステム (軽井沢) ワークショップ論文集, pp. 41-46, 2000. 4.
- [252] 関根好文, 染谷和孝, 佐伯勝敏, 合原一幸: 「パルス形ハードウェアカオスニューロンモデル」, 第 13 回回路とシステム (軽井沢) ワークショップ論文集, pp. 439-444, 2000. 4.
- [253] 佐伯勝敏, 染谷和孝, 関根好文, 合原一幸: 「パルス形ハードウェアニューロンモデルの実装と汎用化」, CREST 第 1 回公開シンポジウム, pp. 9, JST, 2000. 4.
- [254] 鳥田季代子, 松岡 淳, 関根好文: 「CMOS を用いた八木型ベースメーカーニューロンモデル」, 電気学会電子回路研究会資料, ECT-00-38, pp. 1-4, 2000. 6.
- [255] 佐伯勝敏, 関根好文: 「CMOS で構成した形ニューロンモデル」, 電気学会電子・情報システム部門大会, TC4-5, pp. 95-98, 2000. 9.
- [256] 松岡 淳, 北 悦子, 関根好文: 「パルス形ハードウェアカオスニューロンモデルの回路構成」, 電気学会電子回路研究会資料, ECT-01-8, pp. 37-40, 2001. 1.
- [257] 佐伯勝敏, 関根好文: 「パルス形ニューロンモデルによる信号処理回路」, 電気学会全国大会, SC9-3, 2001. 3.
- [258] 板垣昌秀, 関根好文: 「能動的樹状突起ハードウェアモデルに対する一検討」, 2001 年電子情報通信学会総合大会講演論文集, A-1-9, p. 9, 2001. 3.
- [259] 柏木直人, 佐伯勝敏, 関根好文: 「IC 化を考慮したパルス形ハードウェアバーストニューロンモデルの発火特性に対する一検討」, 2001 年電子情報通信学会総合大会講演論文集, A-1-13, p. 13, 2001. 3.
- [260] 佐伯勝敏, 関根好文: 「エンハンスメント形 MOSFET を用いたパルス形ハードウェアバーストニューロンモデルに対する一検討」, 2000 年電子情報通信学会情報・システム大会講演論文集, A-1-34, p. 34, 2000. 9.

- [261] 諏訪 勝, 戸川 望, 柳澤政生, 大附辰夫, 「システム VLSI の動作合成におけるレイアウト面積・遅延見積もり手法」, 第 13 回回路とシステム (軽井沢) ワークショップ, pp. 125-130, April 2000 .
- [262] 家長真行, 戸川 望, 柳澤政生, 大附辰夫, 「制御処理ハードウェアの高位合成のための高速な面積/時間最適化アルゴリズム」, 情報処理学会 DA シンポジウム 2000, pp. 27-32, July 2000 .
- [263] Tatsuhiko Wakui, Tatsuhiko Yoden, Makoto Terajima, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “A Behavioral Synthesis System for Processors with Content Addressable Memories”, Proc. Synthesis and System Integration of Mixed Technologies (SASIMI2000), pp. 56-63, April 2000.
- [264] 余傳達彦, 戸川 望, 柳澤政生, 大附辰夫, 「機能メモリを使用したプロセッサの面積/遅延見積もり手法」, 電子情報通信学会 VLSI 設計技術研究会技術報告, Vol. 2000, No. 83, pp. 83-88, Nov. 2000.
- [265] 涌井達彦, 戸川 望, 柳澤政生, 大附辰夫, 「CAM プロセッサを対象とするハードウェア/ソフトウェア協調合成システム」, 電子情報通信学会 VLSI 設計技術研究会技術報告, Vol. 2000, No. 84, pp. 89-94, Nov. 2000.
- [266] Nozomu Togawa, Takashi Sakurai, Masao Yanagisawa, Tatsuo Ohtsuki, “A Hardware/Software Partitioning Algorithm for Digital Signal Processor Cores with Two Types of Register Files”, Proc. IEEE Asia-Pacific Conf. on Circuits and Systems (APCCAS2000), pp. 544-547, Dec. 2000.
- [267] Nozomu Togawa, Tatsuhiko Wakui, Tatsuhiko Yoden, Makoto Terajima, Masao Yanagisawa, Tatsuo Ohtsuki, “CAM Processor Synthesis Based on Behavioral Descriptions”, IEICE Trans. Fundamentals, Vol. E83-A, No. 12, pp. 2464-2473, Dec. 2000.
- [268] 中村 洋, 戸川 望, 柳澤政生, 大附辰夫, 「発見的算法と分枝限定法を用いた計算時間予測に基づくリソースバインディング手法」, 電子情報通信学会 VLSI 設計技術研究会技術報告, Vol. 2000, No. 119, pp. 17-24, Jan. 2001.
- [269] Yuichiro Miyaoka, Yoshiharu Kataoka, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “Area/Delay Estimation for Digital Signal Processor Cores”, Proc. of ASP-DAC 2001, pp. 156-161, 2001.
- [270] 余田貴幸, 戸川 望, 柳澤政生, 大附辰夫, 「制御処理ハードウェアの高位合成システムにおける面積/遅延見積もり手法」, 情報処理学会システム LSI 設計技術研究会研究報告, Vol. SLDM2001, No. 100, pp. 25-32, Feb. 2001.
- [271] 野々垣直浩, 戸川 望, 柳澤政生, 大附辰夫, 「画像処理を対象とした Packed SIMD 型命令セットを持つプロセッサのハードウェア/ソフトウェア協調合成システムにおける並列化 C コンパイラ」, 電子情報通信学会 VLSI 設計技術研究会技術報告, Vol. VLD2000, No. 139, pp. 31-36, March 2001 .
- [272] 小田龍之介, 磯田新平, 戸川 望, 橋 昌良, 柳澤政生, 大附辰夫, 「システム LSI を対象としたハードウェア/ソフトウェア分割システム」, 電子情報通信学会 VLSI 設計技術研究会技術報告, Vol. VLD2000, No. 140, pp. 37-42, March 2001 .
- [273] 佐々木敬泰, 西村直己, 弘中哲夫, 吉田典可, 「マルチプロセッサ・システムに於けるスケジューリング支援ハードウェアのシミュレーション評価」, 情報処理学会研究報告 2000-ARC-139, Vol. 2000, No. 74, pp. 121-126 (2000 年).
- [274] 谷川一哉, 弘中哲夫, 吉田典可, 「PARS プログラミングモデルと PARS アーキテクチャ」, 情報処理学会研究報告 2000-ARC-140, pp. 247-2508 (2000 年).
- [275] 葛, 阿部, 浜田, 「URR を用いた浮動小数点乗算回路の設計と評価および VLSI への実装」, 情報処理学会論文誌, Vol. 41, No. 4, pp. 1018-1027 (2000).
- [276] 前田, 阿部, 森田, 鈴木, 奈良岡, 中川, 渡辺, 「RISC プロセッサの FPGA への実装とカスタム LSI 化」, 電気通信大学紀要, Vol. 13, No. 1, pp. 21-28 (2000).
- [277] 皆川, 阿部, 森田, 鈴木, 奈良岡, 中川, 渡辺, 「ネットワークスイッチの FPGA への実装とカスタム LSI 化」, 電気通信大学紀要, Vol. 13, No. 1, pp. 29-35 (2000).
- [278] 川口, 阿部, 「スーパースカラ・プロセッサの設計とカスタム LSI への実装および評価」, 情報処理学会第 62 回全国大会講演論文集 (1), pp. 91-92 (2001).
- [279] 天笠, 阿部, 「非同期式プロセッサの設計とカスタム LSI への実装および評価」, 情報処理学会第 62 回全国大会講演論文集 (1), pp. 93-94 (2001).
- [280] Takahiro Inoue, Hideo Nakane, Yuuji Fukuju, Edgar Sanchez-Sinencio, “A Low-Voltage Fully-Differential Current-Mode Analog CMOS Integrator Using Floating-Gate MOSFETs”, Proc. of 2000 IEEE ISCAS, pp. IV-145 -IV-148, Geneva, Switzerland, May 2000.
- [281] Takahiro Inoue, Yuuji Fukuju, Hideo Nakane, “A Design of a

- Low-Voltage FG-MOSFET Translinear Circuit Realizing Multiplication, Division, and Power Functions”, Proc. of 2000 IEEJ International Analog VLSI Workshop, pp. 84-89, Stockholm, Sweden, June 2000.
- [282] 井上高宏, 福寿雄二, 中根秀夫, 「FG-MOSFET を用いた低電圧電流モード乗除算・冪乗回路の一構成とその解析」, 電気学会電子回路研究会資料, ECT-00-37, pp. 25-28, 2000年4月.
- [283] 井上高宏, 二宮竜也, 中根秀夫, 「FG-MOSFET を用いた MOS 浮遊抵抗回路の一設計とその解析」, 電気学会電子回路研究会資料, ECT-00-52, pp. 67-70, 2000年6月.
- [284] 井上高宏, 二宮竜也, 中根秀夫, 飯尾義徳, 「FG-MOSFET を用いた MOS 浮遊抵抗回路の一改良とその解析」, 電気学会電子回路研究会資料, ECT-01-5, pp. 23-28, 2001年1月.
- [285] 井上高宏, 二宮竜也, 中根秀夫, 飯尾義徳, 「改良型浮遊電源回路を用いた FG-MOSFET 浮遊抵抗回路」, 第8回電子情報通信学会九州支部学生会講演会論文集, p. 53, 2000年9月.
- [286] 中根秀夫, 井上高宏, 飯田裕一, 「FG-MOSFET 電流モード積分器を用いた帯域通過フィルタの一設計」, 第8回電子情報通信学会九州支部学生会講演会論文集, p. 55, 2000年9月.
- [287] 井上高宏, 中根秀夫, 平山陽一郎, 「VDEC で試作した FG-MOSFET 静特性の実験的評価と一検討」, 第8回電子情報通信学会九州支部学生会講演会論文集, p. 57, 2000年9月.
- [288] 江口啓, 井上高宏, 浦元大志, 「1.8V で動作可能な離散時間型カオス集積回路の一検討」, 第8回電子情報通信学会九州支部学生会講演会論文集, p. 58, 2000年9月.
- [289] 井上高宏, 二宮竜也, 中根秀夫, 「FG-MOSFET を用いた電流モード乗除算・冪乗回路の設計法」, 平成12年度電気関係学会九州支部連合大会講演論文集, p. 391, 2000年9月.
- [290] 井上高宏, 中根秀夫, 米村洋幸, 「FG-MOSFET 電流モード積分器を用いた連続時間完全差動型 CMOS 低域通過フィルタの設計とその解析」, 平成12年度電気学会電子・情報・システム部門大会講演論文集, pp. 83-86, 2000年9月.
- [291] 井上高宏, 中根秀夫, 平山陽一郎, 「VDEC による FG-MOSFET 試作チップの実験的評価とその検討」, 第15回熊本県産学官技術交流会講演論文集, 203, 2001年1月.
- [292] 土屋, 来海, 安藤, 「全デジタル画素時間相関型イメージセンサ: 16 × 16 画素 CMOS センサの試作」, 第39回計測自動制御学会学術講演会予稿集, pp. 201B-1, 飯塚, 2000.
- [293] 土屋, 来海, 安藤, 「全デジタル画素時間相関型イメージセンサの試作と評価」, 電気学会 E 部門総合研究会, MSS-00-37, pp. 135-140, 東京, 2000.
- [294] 来海, 栗原, 高本, 安藤, 「時間相関型イメージセンサを用いた実時間三次元計測システム」, 第6回画像センシングシンポジウム, pp. 309-314, 横浜, 2000.
- [295] 栗原, 高本, 来海, 安藤, 「時間相関型イメージセンサを用いた立体計測システム」, 第39回計測自動制御学会学術講演会予稿集, pp. 201B-2, 飯塚, 2000.
- [296] A. Kimachi, T. Kurihara, M. Takamoto and S. Ando, “Novel range finding system using correlation image sensor”, Proc. SPIE, Vol. 4309, pp. 259-266, 2001.
- [297] M. Takahashi, A. Kimachi and S. Ando, “Time-domain correlation PSD (position-sensitive detector): design, fabrication and new applications”, Tech. Digest 17th Sensor Symp., pp. 131-136, Kawasaki, 2000.
- [298] 来海, 安藤, 「時間相関イメージセンサを用いたスペクトルマッチングイメージャ」, 電気学会 E 部門総合研究会, MSS-00-36, pp. 131-134, 東京, 2000.
- [299] A. Kimachi, T. Kurihara, M. Takamoto and S. Ando, “A novel range finding system using correlation image sensor”, Tech. Digest 17th Sensor Symp., pp. 125-130, Kawasaki, 2000.
- [300] 酒井雅司, 福富雅彦, 田中義人, 「逐次電荷積分 LSI の量産化試作」, 平成12年度電気関係学会第53回九州支部連合大会論文集, pp. 398.
- [301] 田中一成, 後田 司, 田中義人, 「再構成可能なマルチスレッドプロセッサの試作 II」, 平成12年度電気関係学会第53回九州支部連合大会論文集, pp. 774.
- [302] 服部 慎, 福富雅彦, 田中義人, 「シリアル設定可能な可変増幅器の設計と評価」, 平成12年度電子情報通信学会九州支部学生会公演論文集, pp. 46.
- [303] 増田隆志, 福富雅彦, 田中義人, 「VDEC プロセスによるオペアンプの設計と評価」, 平成12年度電子情報通信学会九州支部学生会公演論文集, pp. 50.

- [304] 山城正史, 清山浩司, 田中義人, 「VDEC プロセスを用いた低周波 SCF の試作・検討」, 平成 12 年度電子情報通信学会九州支部学生会公演論文集, pp. 56.
- [305] Y. Mitsuyama, Z. Andales, T. Onoye, and I. Shirakawa, “A Dynamically Reconfigurable Hardware-Based Cipher Chip”, Proc. Asia and South Pacific Design Automation Conference (ASP-DAC 2001), Yokohama, Japan, pp. 11-12, Jan. 2001.
- [306] 密山幸男, Zaldy Andales, 尾上孝雄, 白川 功, 「リコンフィギュラブルロジックを用いた暗号方式」, 電子情報通信学会基礎・境界ソサイエティ大会, 名古屋工業大学(名古屋), A-4-42, 2000 年 10 月 .
- [307] K. Takahashi, S. Hashimoto, M. Mizunuma, “An Ultra-Low Power Expandable 4-bit ALU IC using Adiabatic Dynamic CMOS Logic Circuit Technology”, Proceedings of ITC-CSCC 2000, pp. 937-940, July. 2000.
- [308] 須藤, 高橋, 水沼, 「新しいテール電流制御回路を用いた低消費電力 OTA 回路の試作・評価」, 2001 年電子情報通信学会総合大会, 立命館びわこ・くさつ, C-12-2, 2001 年 3 月 .
- [309] Tutomu Kimura, Shin-ichi Shibahara, Yoshinori Takeuchi, Masaharu Imai, Akira Kitajima, Michiaki MuraokaTutomu Kimura, Shin-ichi Shibahara, Yoshinori Takeuchi, Masaharu Imai, Akira Kitajima, and Michiaki Muraoka, “A Power Estimation Method for ASIPs Considering Data Types of Variables in Application Programs”, Proceedings of 2000 International Technical Conference on Circuits/Systems, Computers and Communications, pp. 387-390, July 11-13, 2000.
- [310] T. Nozawa, M. Konda, M. Fujibayashi, M. Imai and T. Ohmi, “A parallel vector quantization processor eliminating redundant calculations for real-time motion picture compression”, in IEEE 2000 ISSCC Dig. Technical Papers, pp. 234-235, Feb. 2000.
- [311] T. Nozawa, M. Konda, M. Fujibayashi, M. Imai, K. Kotani, S. Sugawa and T. Ohmi, “A parallel vector-quantization processor eliminating redundant calculations for real-time motion picture compression”, IEEE J. Solid-State Circuits, Vol. 35, pp. 1744-1751, Nov. 2000.
- [312] T. Nozawa, M. Imai, K. Mochizuki and T. Ohmi, “Eliminating Needless Calculations on Circuit Level: Most-Significant-Digit-First Digit-Serial Processing”, Extended Abstracts of 2000 International Conference on Solid State Device and Materials, pp. 354-355, Aug. 2000.

付 録

6.1 . 利用規定

【VDEC WWWページアカウント】

1. VDECの提供する全てのサービスの詳細な情報（機密情報を含む）にアクセス，もしくは申し込みを行うためには，前もってWWWページのアカウントを申請する必要がある．
2. VDECのWWWページ
http://www.vdec.u-tokyo.ac.jp/にアクセスし，「アカウント登録」 「新規登録」の順にリンクをたどって，必要事項を記入して申し込む．
3. アカウント申請は，**各大学・高専の教官**が行い，学生からの利用申し込み受付は行わない．
4. 詳細情報のダウンロードや，申し込み等は，センターが発行するアカウントとパスワードに加えて，ブラウザを起動している計算機のIPアドレスによって制限をかける．したがって，新規登録の際に，VDECのWWWページを読むコンピュータのIPアドレスを，半角数字で入力する．
5. アカウントの内容に変更が生じた場合は，WWWページの「アカウント登録」 「登録内容変更」のページで変更を行う．**学内のネットワーク工事等で，IPアドレスが変更になる場合，あらかじめ新旧IPアドレスを登録しておくことが大事である．**

【VDEC ホスト計算機アカウント】

1. VDECの所有するホスト計算機にログインするためのアカウント．計算機利用の目的は主としてセンターが提供するCADソフトウェアを利用した設計・検証のほか，チップ設計・評価に係る大学に所属する研究者独自のプログラムの開発と実行とし，一般の**VLSI教育と関係のない計算には原則として用いないこと**を前提に申込を受け付ける．
2. **VLSIチップ試作申し込みを前提**とし，チップ試作申し込み時に同時にホスト計算機利用申請をす

る必要がある．

3. **申込者はVLSIチップ試作申し込み単位である各大学・高専教官**とし，学生毎には利用者アカウントの発行は行わない．
4. **利用期間は利用承認時期から該当試作チップの納品時期まで**とする．利用期間終了後はユーザファイル等が消去されることがあるため，ユーザの責任で利用期間内にバックアップするものとする．

【チップ試作】

1. 試作日程はVDEC運営委員会で各大学の学部授業日程ならびに大学院教育に配慮して決める．
2. チップ試作申し込み期間は，**設計締め切りの6ヶ月前から3ヶ月前までの期間**とする．
3. チップ試作**申込者は各大学・高専の教官**とし，学生からのチップ試作受付はおこなわない．
4. 申し込みはセンターWebのホームページで行い，別途書面による**秘密保持規約**において正式確認する．
5. チップ試作費は試作チップ納品時に送付される請求書類等に応じ，**ユーザ毎に遅滞なくチップ試作会社に支払う**．
6. チップ試作費用ならびに納品チップ数は，別途これを定め，センターWebページその他のセンター情報誌等に掲載する．
7. チップ試作申し込みの**取り消しは設計締め切りの1ヶ月前まで**とし，それ以降は基本的に試作費の支払い義務を負う．
8. チップの**品質検査は同一チップ上に作られるテスト回路**で行い，センターおよびチップ試作会社は基本的に試作チップの動作，性能等についてそれ以上の責任を負わない．
9. チップ試作申し込みでは**同時に別途規定するホスト計算機利用申請を行う必要がある**．

【CAD利用】

1. CAD利用は、演習・授業でも必要であり、VLSIチップ試作申し込みを条件とはしない。
2. ユーザが必要なライセンス数を把握するため、CAD項目単位で申し込みを受け付ける。
3. CAD利用申込者は、各大学・高専の教官とし、学生からの利用申し込み受付は行わない。

- VHDL論理設計ツール
 - 自動配置配線ツール
 - 会話型回路・レイアウト設計ツール
 - アナログ回路・レイアウト設計ツール
 - アナログ回路シミュレータ
- サポートされるOS（平成13年4月現在）
- SUN Sparc: Solaris 7以上推奨
 - HP9000: hpux 10.20以降

【CAD項目とサポートされるOS】

CAD項目

- Verilog HDL論理設計ツール

6.4. 申し込みガイド

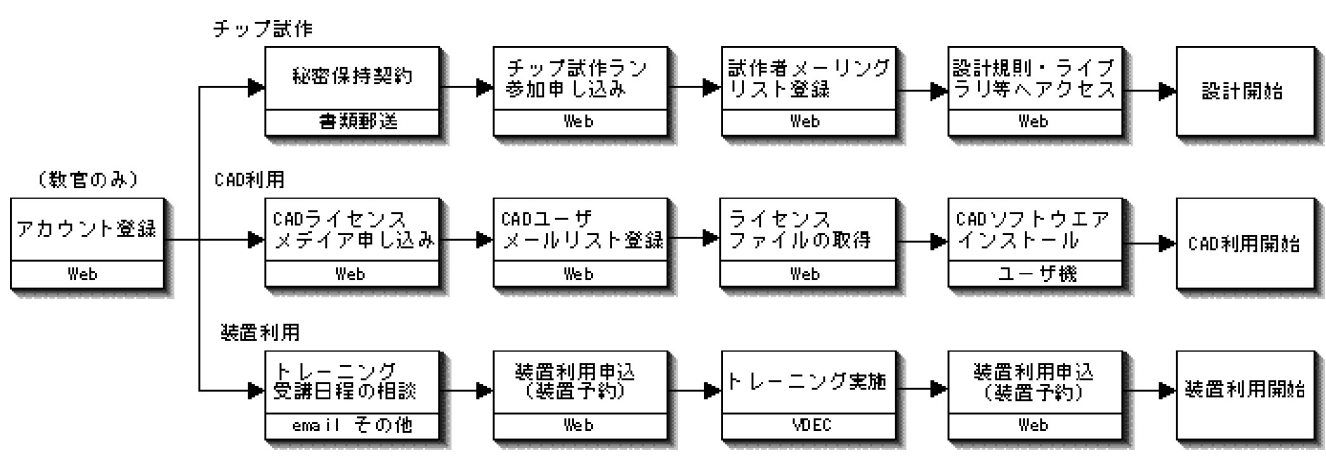


図6.1 VDEC利用申込の流れ

【VDEC利用方法の概要】

1. VDECの利用までの手順をまとめると図6.1のようになる。VDEC 計算機アカウントは、大学・高専の教官にのみ発行され、チップ試作費用は、アカウント所有者宛てに請求される。
2. VDECにおける利用申請およびユーザへの案内は主にVDECホームページ(<http://www.vdec.u-tokyo.ac.jp/>)上で行われる。VDECのホームページを正常に表示するためには日本語が表示できるWebブラウザが必要である。Netscape Communicator, Microsoft Internet Explorer, SUN HotJavaなどのブラウザでの動作を確認済みであ

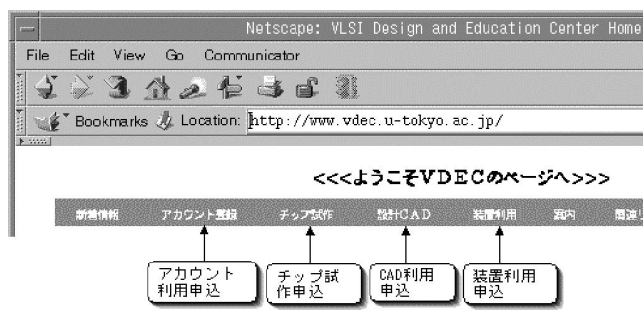


図6.2 VDECホームページのインデクスフレーム

る。VDECホームページの上部にインデクスフレーム(図6.2)が表示されるので、これを用いて、

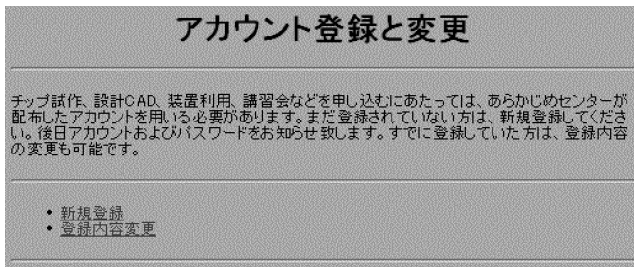


図6.3 アカウント登録・変更ページの入口

アカウント申込，チップ試作申込，CAD利用申込，公開装置の利用申込のためのページ等を表示することができる。

【アカウント利用申込】

1. はじめてVDECを利用する場合は，先ずアカウント登録のページに入り（図6.3），アカウントを取得する必要がある．ここから新規アカウントを申請する場合は「新規登録」のページへ，登録内容の変更またはアクセスホストの追加・変更の場合は「登録内容の変更」のページへと進む．
2. 「新規登録」のページでは，フォームを全て埋めて内容を確認してから“Submit”ボタンをクリックする．特にemailアドレスに間違いがあると，パスワードその他の情報が送付されない．また，間違ったIPアドレスまたは後述の「登録するIPアドレスに関する要件」を満たさないIPアドレスを登録すると，アカウントが発行されたとしても，アクセス制限を行っているページへのアクセスができないので，申請情報を送信する前によく確認すること．
3. ここで登録するIPアドレスは，各種サービスの申し込み，アクセス制限を行っているwebページ（機密情報等）へのアクセスを必要とするコンピュータ，および試作チップ設計データ提出に用いるコンピュータのIPアドレスである．

入力に関する注意点（図6.4）:

- 全ての入力項目について半角カタカナは使用

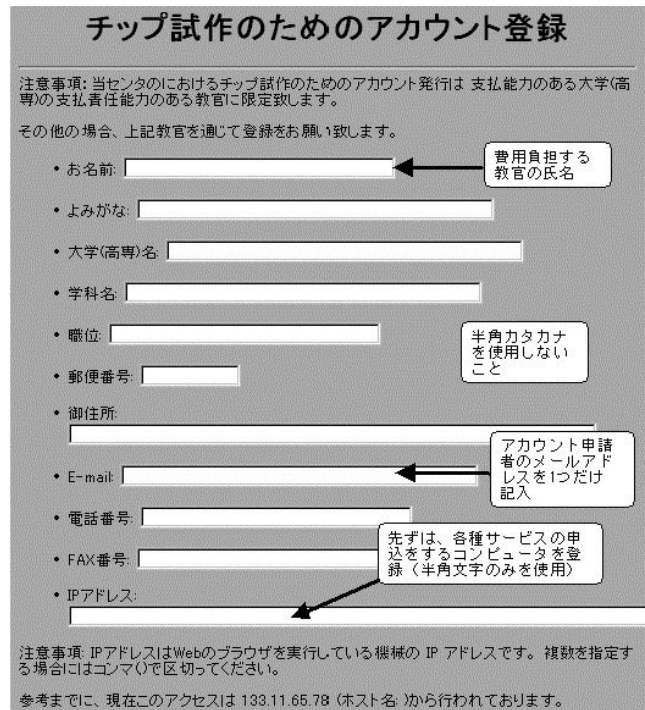


図6.4 アカウントの新規登録の注意点

しないこと

- emailアドレスは，半角文字のみを使用すること
- IPアドレスは，半角文字のみを使用すること
- IPアドレスやドメイン名の区切りを表す（ピリオド）と，複数のアドレスの区切りを表す（コンマ）を間違えないように注意すること
- 名前の前後に不要なスペースが混入されないよう注意すること

登録するIPアドレスに関する要件

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けませんが，管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割当てられたIPアドレスやローカルアドレスなどは登録できない

アカウント登録内容の変更

変更がある場合にはその項目のチェックボックスをチェックの上、内容の変更を行ってください。

変更する項目のみチェックを付ける

半角カタカナは使用しないこと

費用負担する教官の氏名

アカウント申請者のメールアドレスを1つだけ入力

先ずは、各種サービスの申込をするマシンを登録（半角文字のみを使用）

ユーザID
パスワード
お名前
所属
住所
E-mail
電話番号
FAX番号
アクセスホスト(、で分割)

以上、再度入力をご確認ください。 [登録]

図6.5 アカウントの登録内容変更の注意点

チップ申し込み確認のページ

99年度 第1回モトローラ 1.2umチップ試作申込

申込の際には、該当チップのチェックボックスをチェックした上で、新たな品種数を入力して下さい。なお、入力には半角数字を用いるようお願い致します。

希望チップの品種数を入力。同一品種のチップ個数ではないので注意（半角数字のみ使用）

チップ数を入力するとき必ずチェックを付けること

2.3mm角チップ
4.8mm角チップ
7.3mm角チップ

[申込]

図6.6 チップ申込ページでの注意点

(しても意味が無い)

- Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

5. 「登録内容の変更」のページでは、変更したい項目のみ、チェックボックスチェックの上、新しい内容を記入し、「登録」ボタンをクリックする。この際も、アクセスホストのIPアドレスの指定には十分注意をすること。(図6.5)

MOT99_1メーリングリスト登録フォーム

先生のメールアドレス：
以下に設計される方のメールアドレスを記入して下さい。複数の場合には、“.”で区切るかもしくは複数回登録して下さい。

実際の設計者のメールアドレス（半角カタカナや全角文字を用いないこと）

追加 [更新] [登録]

現在のアドレスをリセットして更新

なお、現在の登録者は以下の通りです。

アドレス追加ラジオボタン

図6.7 チップ試作メーリングリスト登録ページでの注意点

【チップ試作申込】

1. チップ試作申込には前項アカウント利用申込を行い発行されたアカウントが必要である。また、アカウント利用申込の際に登録したIPアドレスを割り当てたコンピュータからアクセスする必要がある。
2. 「チップ試作（チップサービスの案内）」のページで申込条件、試作チップの種類、試作日程、試作料金を見て試作するチップの品種が決まったら「チップ試作申込」の個所へ移動し、「受付中」の文字をクリックする。この時、ユーザIDとパスワードが要求されるので半角文字で入力すると、「チップ申込」のページが表示される。必要事項を記入して「申込」ボタンをクリックする。

チップ申込フォームの入力に関する注意点（図6.6）

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力は、半角数字のみを用いること

3. 「チップ試作申込確認のページ」(チップ試作申込の下方にリンクがある)を開いて、チップ寸法、品種数等が正しく申し込まれていることを確認する。
4. 5. 「チップ試作（チップサービスの案内）」または「チップ試作申込」ページの左側のフレームに

表示されている“チップ試作者のメーリングリスト”をクリックして、「設計者のメールリスト登録ページ」を表示させ、試作を行う予定の試作ランをクリックして実際に設計を行う設計者のメールアドレスをメーリングリストに登録する。

メーリングリスト登録での入力に関する注意点 (図6.7)

- 全角文字や半角カタカナを決して用いないこと
- 入力フォームの文字数には制限があるので、多数の試作者が参加する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- . (ピリオッド) と , (コンマ) を間違えない

ように注意する (Web上ではこの見分けが困難である！)

- .ac.jp で終わるアドレス以外は、登録できない

チップ試作メーリングリストの利用に関する注意

- チップ試作の技術的な質問に関しては全てメーリングリストに流すようにすること。また、チップ試作を申し込むとチップ試作者のためのメーリングリストの過去の記事が参照できるようになっているので、一度目を通されたい
- メーリングリストに登録したメールアドレスのアカウントについては各ユーザまたは管理者で厳重な管理をお願いしたい。学生が卒業後も登録メールアドレスを使用することのないように注意して頂きたい
- メーリングリストに登録されたメールアドレスからネットワークプロバイダ等へのメールの転送を行わないこと

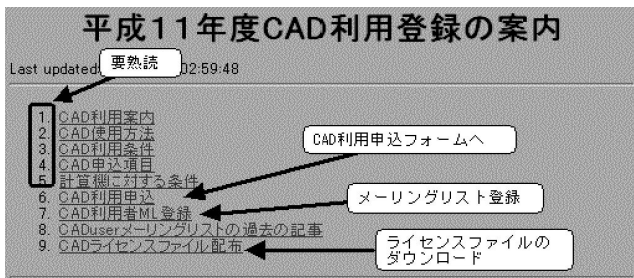


図6.8 CAD利用登録案内のページ

6. 当該プロセスにて始めて試作を行う場合、各ファウンダリー毎に秘密保持契約が必要となる。秘密保持契約書面は、「チップ試作申込完了」のページから迎れるようになっているので、ページをプリントアウトした上で内容を確認し書名の上VDEC宛てに送付すること。この手続きが完了するまで、設計規則等の機密情報にはアクセスできない。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

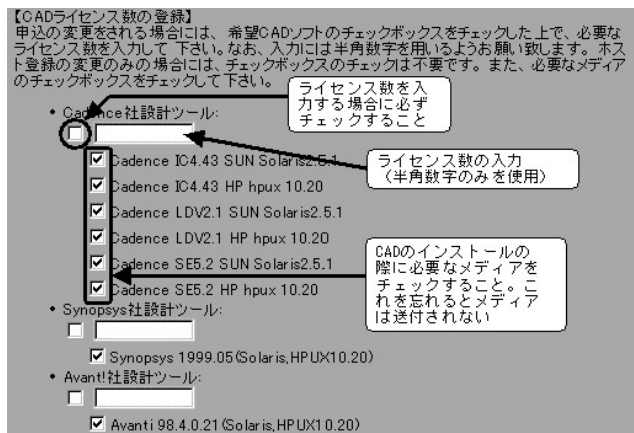


図6.9 CAD利用申込フォームの「ライセンス数の登録」

【CAD利用申込】

1. CADの利用申込には、アカウント登録申請を行い発行されたアカウントが必要である。また、アカウント利用申込の際に登録したIPアドレスを持つコンピュータからアクセスする必要がある。
2. VDECホームページ上部のインデクスフレームで“設計CAD”をクリックすると「CAD利用登録の案内」のページ (図6.8) が現れるので“CAD利

【計算機アドレスの登録】

- 以下の欄にフルドメイン形式で(例: www.vdec.u-tokyo.ac.jp) CADを使用する計算機のアドレスを記入して下さい。
- 従来登録している計算機に追加する場合のみ追加ボタンを、従来の計算機と置き換える場合には更新ボタンを選択して下さい。ただしライセンス数の変更のみの場合にはいずれのボタンも選択しないで下さい。
- 複数の計算機を登録する場合には、"/"で区切って複数個入力するか、複数回登録を繰り返して下さい。
- 利用登録可能な計算機はネームサーバに登録されておりDNSを介して名前の参照が可能であるものに限っておりますので御了承下さい。なお、毎月末にライセンスサーバアクセス制限ホストの更新を行なう際にDNSの参照を行なうため、その際にDNSを介した名前の参照が行なえなかった場合、当該月間のCADの利用が出来なくなりますので、DNSの管理には十分ご注意ください。
- 計算機のアドレス変更はライセンスサーバの再起動を行なうまで反映されません。原則としてライセンスサーバの再起動は月末に行ないます。急を要する場合は御連絡下さい。

追加 更新

なお、現在の利用登録されている計算機のアドレスは次の通り

追加用ラジオボタン

現在登録されているアドレスをリセットして更新するラジオボタン

CADの利用を予定しているコンピュータのアドレスを全てフルドメイン形式で入力すること。但し、DNSの逆引きによりホスト名とIPアドレスの確認を行うので、不明な場合にはネットワーク管理者等に相談すること

図6.10 CAD利用申込フォームの「計算機アドレスの登録」パート記入における注意点

用申込”を選ぶと「申込用フォーム」が表示される。ライセンス数は、原則として最大同時利用者数分を申し込むこと。これは次回のCADソフトウェア入札の際の基礎データ収集の意味をかねている。

CADライセンス数入力に関する注意点 (図6.9)

- 希望するCAD項目のチェックボックスをチェックした上で必要なライセンス数を入力すること。チェックを行わないと入力した数字は無効となる
- ライセンス数の入力には、半角数字のみを使用すること
- 必要に応じてCADのインストールの際に必要なメディアのチェックを行うこと。これを忘れるとメディアは送付されず、ライセンスのみが発行される

3. 「計算機アドレスの登録」のパート (図6.10) では、本CADソフトウェアの利用を考えている全てのコンピュータのアドレスを入力する必要がある。なお、登録する計算機のアドレスは、不正アクセスを防止するため、DNSによるホスト名の照合を行うため、DNSの逆引きが行えないコンピュータ、大学機関外に設置されているコンピュ

99CAD利用者メーリングリスト登録フォーム

先生のメールアドレス: _____

以下にCADを利用される方のメールアドレスを記入して下さい。複数場合には、"/"で区切るかもしくは複数回登録して下さい。

追加 更新

現在の登録アドレスをリセットして更新するラジオボタン

CADツールの使用者のメールアドレス (半角カタカナや全角文字を用いないこと)

追加用ラジオボタン

登録

卒業生のアドレスは消去すること

図6.11 CAD利用者メーリングリスト登録における注意点

ータなどは登録しても利用できないので注意すること。

計算機アドレス入力に関する注意点 (図6.10)

- アドレスの指定はフルドメイン形式で行うこと
- 全角文字は用いないこと
- 入力フォームの文字数には制限があるので、多数の計算機アドレスを登録する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- .(ピリオッド)と,(コンマ)を間違えないように注意する (Web上ではこの見分けが困難である)

4. フォームの記入後、“申込”ボタンをクリックすると送信確認画面が現れるので、表示された情報が正しいことを確認して“確認”ボタンをクリックする。ただし、CADライセンスサーバのアクセス制限の更新およびメディアの送付は原則として毎月月末に行うため、月の途中での申し込みの場合即応ができないので注意すること。どうしても急遽必要な場合には別途連絡頂きたい。
5. 申込完了後に必ず申込のページをリロードしてライセンス数、計算機アドレスなどが正しく申し込

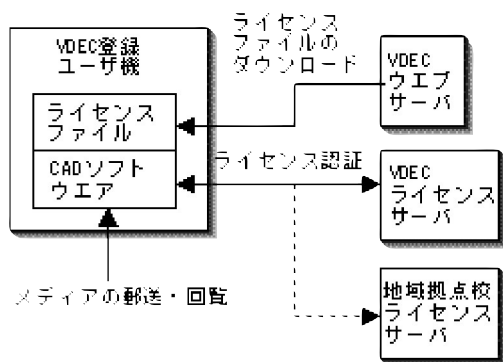


図6.12 CADライセンシングの方法

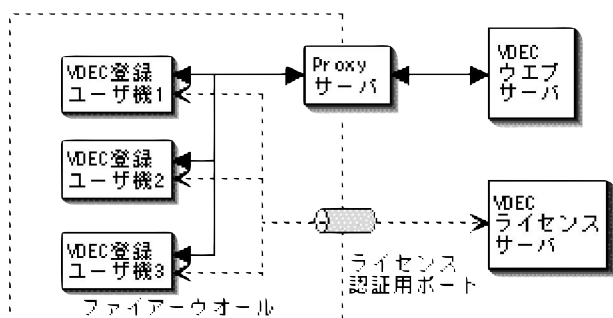


図6.13 ファイアーウォールを通したVDECへのアクセス方法

まれていることを確認すること。

6. CADツールのメディアに関しては、周囲で既に所有している教官から借りてインストールすることは一向に差し支えない。また、メディアは当該年度に標準と考えるバージョンのみとなっているが、それ以前のバージョンに関する希望があれば送付するので、別途ご連絡されたい。
7. CADライセンスサーバに関する情報、その他CAD関係の情報はすべてCAD利用者メーリングリスト(CADuser@vdec.u-tokyo.ac.jp)上で行うので、CADツールを利用する方と管理者を登録すること。但し、CADツールの利用申込をしないと登録が出来ないようにしている。「CAD利用者メーリングリストの登録」のページは、「CAD利用登録の案内」ページから迎れる。

メーリングリスト登録フォームの入力に関する注意点 (図6.11)

- 全角文字や半角カタカナを用いないこと
- 入力フォームの文字数には制限があるので、多数の試作者が参加する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- .(ピリオッド)と,(コンマ)を間違えないこと。
- .ac.jpで終わるアドレス以外は、登録できない

CAD利用者メーリングリストの利用に関する注意

- CADのインストール、その他の質問はすべてメーリングリスト上で行うこと。また、過去のメールが参照できるようになっているので、一度目を通されたい。
- 機密保持にかかわるような内容のメールは、CADuserではなくて各試作のメーリングリストに送ること。
- CAD利用申込を行ったVDECアカウント管理者には、時々「CAD利用者メーリングリストフォーム」のページをチェックし、**卒業生のメールアドレスをメーリングリストから除く**などアカウントのメンテナンスにご協力頂きたい。
- メーリングリストのセキュリティのため、**登録者が登録アドレスからプロバイダ他のメールの転送を行わない**ように注意して頂きたい。

[参考] CADツールのを実行するためには、ユーザ機へのライセンスファイルのインストールとCADツールの実行時におけるVDECまたは地域拠点校のライセンスサーバによる認証が必要である(図6.12)。ライセンスファイルの変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは

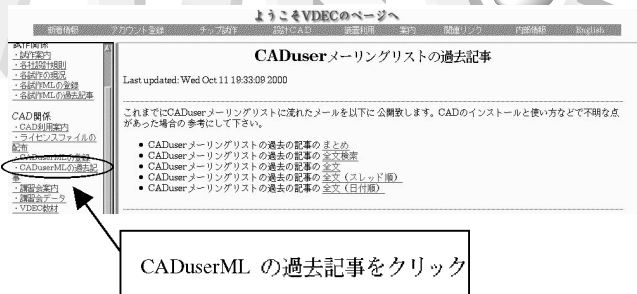


図6.13 CADuser メールリスト 過去記事の検索

地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADソフトウェアを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も定期的に行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない。ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校のライセンスサーバへのアクセスを可能にするための特別な設定が必要である(図6.13)。この場合、各大学・高専のネットワーク管理者と相談すること。

- 1 ライセンスサーバとして東京大学VDECと最寄り地域拠点校を選択可能

【メールリスト記事の検索】

1. 計算機管理、ソフトウェアの不具合等の問題が生じたときは、CADuserメールリストで質問する前に、あらかじめ同様の問題がなかったかどうか、調べることが強く勧められる。
2. VDEC WWWページのトップから、「CAD関係」 「CADuserMLの過去記事」リンクをたどることで、全文をダウンロードできるほか、過去記事の検索を行える。

【忘れがちな点】

1. VDECでは毎月、CADを使用できるコンピュータのリス



図6.14 キーワードによる過去記事の検索が行える

ト(アクセスリストと呼ぶ)を更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、**アクセスリスト更新前に対処する必要がある**。サーバの停止は、全国ユーザーに影響が及ぶため頻繁には行えないので、**万が一アクセスリストの不備に気づかなかった場合は、最悪一ヶ月CADが使用できなくなるので注意**。

2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、**必ず**チェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認は、「CADライセンスファイル配布」ページに、「現在ライセンスサーバに登録されているホストのリストはこちら」というリンクがあるので、そのリンクをたどって行う。
4. IPアドレス(ホスト名) registered という表示が出ていれば登録されている。
5. false(false(ホスト名)) FAILという表示が出ていれば登録に失敗しているので、原因を探る。
6. 一般的に、DNSの逆引き(ホスト名からIPアドレスを引く)に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

【VDEC 所有公開装置の利用】

1. WWWページでVDECが所有する大型装置(テス

タ等)の情報を開示している。このうちいくつかの装置は公開利用可能であるので、WWWページ

に書いてある手順にそれぞれ従い、利用申し込みをする。

平成12年度
東京大学大規模集積システム設計教育研究センター年報

2001年 8 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒113 8656 東京都文京区弥生 2 丁目11番16号
東京大学工学部 9 号館 7 階715号室
電話 03 5841 8900
FAX 03 5841 8910
E-mail:vdec@vdec.u-tokyo.ac.jp

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里5 9 8
電話 03 3803 3131(大代表)



VDEC

*VLSI Design and Education Center
The University of Tokyo*

2001

Activity Report from April 2000 to March 2001