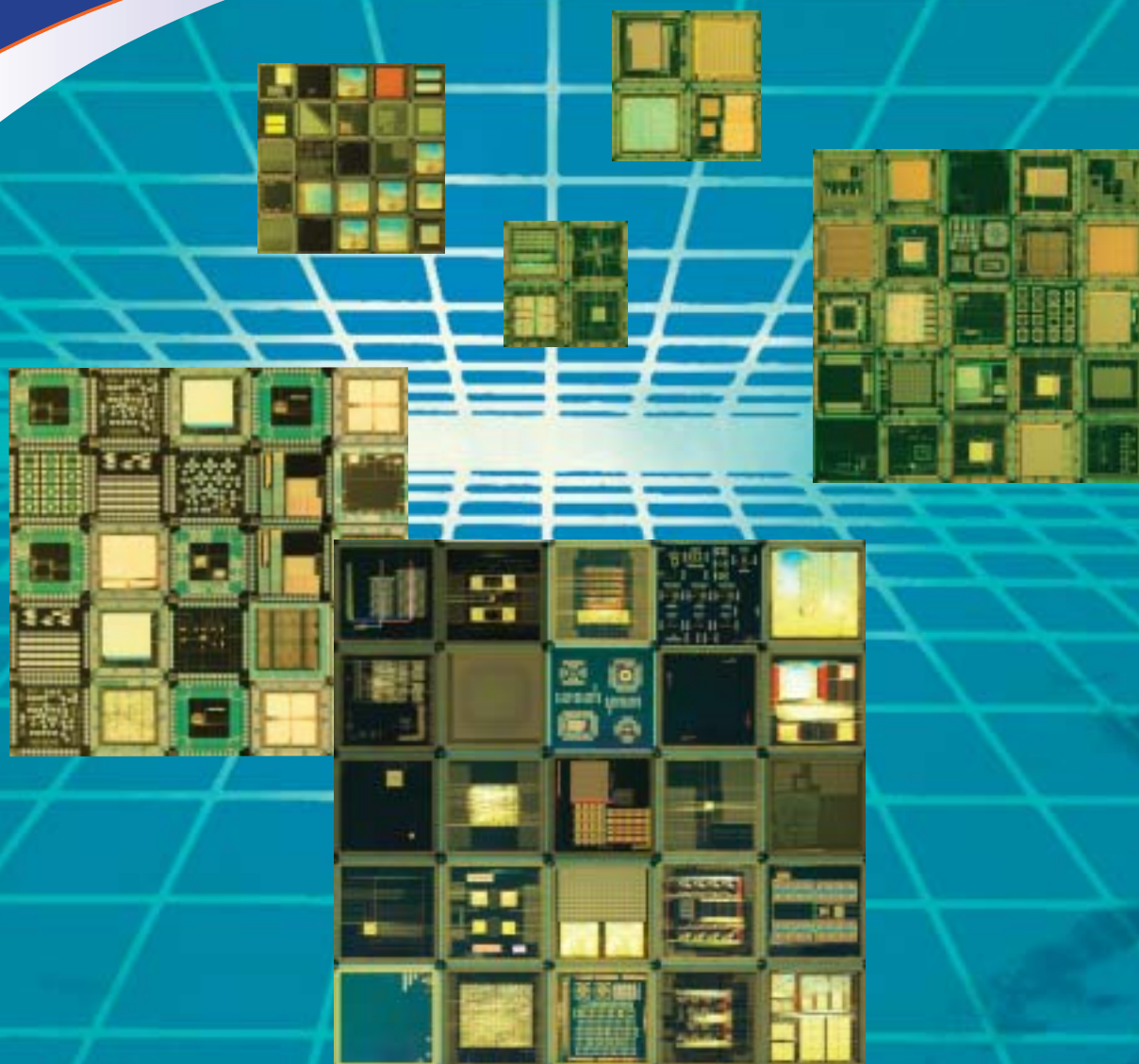


# VDEC

VLSI Design and Education Center  
The University of Tokyo

# 2002

Activity Report from April 2001 to March 2002



平成14年度

東京大学 大規模集積システム設計教育センター 年報



VDEC

大規模集積システム設計教育研究センター(VDEC)の2002年度年報をお送りします。

VDECは1996年の発足以来6年が経過し、集積回路設計分野の教官・学生の方々の間にVDEC活動が身近なものとして定着してきたものと喜んでおります。

昨年度は130以上の研究室から450品種以上の設計データが寄せられ試作を行いました。

VDECを利用した研究成果の面でも350にのぼる論文発表が行われ、集積回路設計力強化のために着実に貢献し始めた実感しているところです。

これらの成果はVDECを利用されている教官・学生の方々の努力によるところは当然ですが、協力いただいています多数のCADツールベンダー、チップ試作会社、マスクメーカー、チップ組立会社および半導体産業界のご厚意によるところが大きいと感謝いたしております。

現代のLSIチップ設計にはツールや設計規則のほか設計様式、設計フロー等の多くの技術要素をマスターしなくてはなりません。毎年入学される全国の新生指導には多くのマンパワーが必要ですが、これには各種セミナーでの講師の先生方や経験を積まれた全国の若い教官・学生の方々のインターネット上での日常的アドバイスが大きく貢献しています。このボランティア活動はVDECの大きな柱であると感謝しています。学校間の垣根を越えた全国的教官・学生の方々のインターネットによるアカデミックサイエティの形成は、21世紀の新しい大学教育のあるべき一つの姿を率先して実現できたものと評価しています。

一方、半導体製造技術はいまだに留まるところを知らぬかのように微細化への道を歩んでいます。集積回路設計技術に対しても常に大規模化・高速化への取り組みを要求しており、CADツールやライブラリーの更新だけでなく、設計様式に関しても大きな変革を要求してきています。このような状況の中、VDECではインフラストラクチャの整備の一環として2001年3月にCADライセンスの大幅な見直しとサーバ計算機の更新をいたしました。

また2000年度から全国の有志の方々と産業界の協力をもとに新たにIP開発3カ年プロジェクトとIP利用3カ年プロジェクトを開始しました。これは来るべき本格的システムLSI時代に向けた先駆的研究・教育プロジェクトであり、次世代を担う若い研究者・技術者が育つことを期待しています。

VDECでは今後もより微細な試作プロセスのサポートをはじめ集積回路設計のためのインフラストラクチャの整備と先駆的研究・教育プロジェクトを推進し、みなさまのお役に立ちたいと考えています。

VDECは設立当初より、みなさまからの様々なご協力ご支援により成り立っている“生活協同組合”的組織です。この組織の維持発展のため、みなさまからの継続のご協力とご支援をお願いいたします。

平成14年7月

VDEC

(全国共同利用施設)  
東京大学大規模集積システム設計教育研究センター

センター長 浅田 邦博

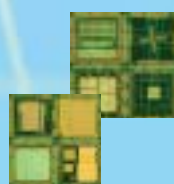
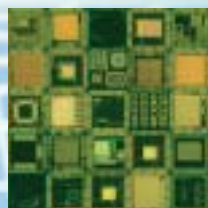


# VDEC

VLSI Design and Education Center  
The University of Tokyo

## 2002

～ Activity Report from April 2001 to March 2002 ～



### 第1章 VDEC事業の紹介と平成13年度事業報告 ————— 2

- 1.1 VDECにおけるLSI設計教育
- 1.2 CADソフトウェアの整備
- 1.3 平成13年度VDEC事業報告
- 1.4 CADセミナー
- 1.5 教材整備・情報発信
- 1.6 装置の整備・運用・利用公開
- 1.7 IP/M.COREプロジェクト

### 第2章 チップ試作結果報告 ————— 28

- 2.1 チップ種別索引
- 2.2 試作結果
- 2.3 チップ試作者の発表文献リスト

### 第3章 平成14年度の活動計画 ————— 154

### 第4章 VDEC概要 ————— 157

- 4.1 組織概要
- 4.2 人事報告
- 4.3 決算報告

### 第5章 研究報告 ————— 163

- 5.1 研究室構成員（平成13年度）
- 5.2 研究概要
- 5.3 研究発表

### 第6章 付録 ————— 189

# 第1章 VDEC 事業の紹介と平成13年度事業報告

## 1.1. VDEC における LSI 設計教育

東京大学大規模集積システム設計教育研究センター（VDEC）は発足後6年目を迎える。

平成13年度も『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を3つの柱として、円滑な運営を目指した事業を展開した。図1.1に示すVDECの活動内容に基づき、以下に平成13年度の概要を報告する。

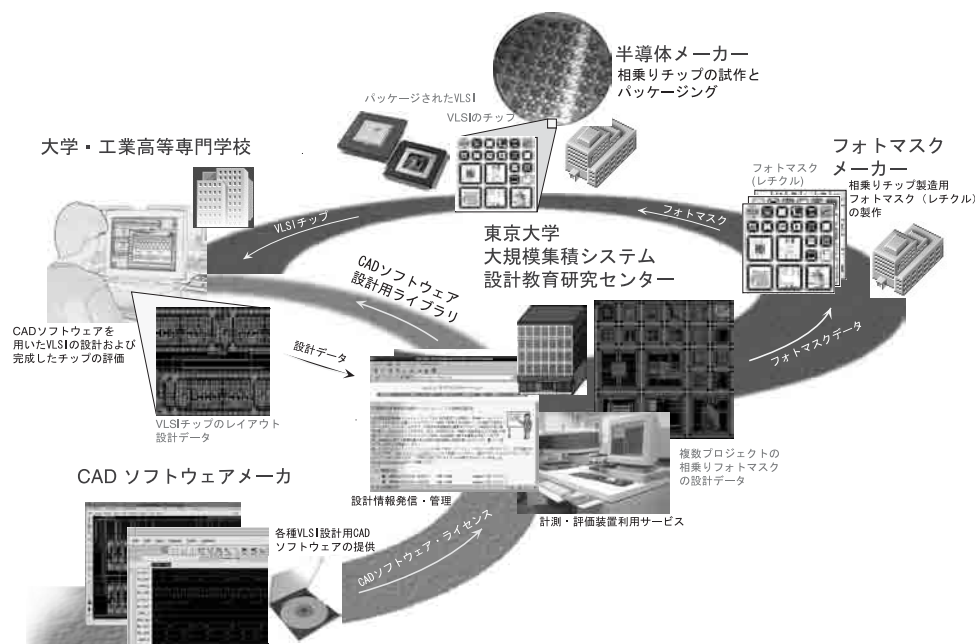


図1.1 VDECの活動内容

VDECではLSI設計教育を目的として様々なセミナーを開催している。CADソフトウェアの利用技術に関してはCADベンダーが独自の設計技術を有しているため、これをVDECのCAD利用技術として導入している。大学院学生、若手教官を対象としてCADベンダーから講師を招き、それぞれのCADソフトウェア毎に年2回のセミナーを開催している。これまで年2回の内1回はVDECで、残り1回は地方拠点校で実施している。参加定員は設備の関係でそれぞれ20～50名程度であり必ずしも十分とはいえないが、VDECとしては各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなってCAD利用技術が全国的に広がることを期待している（1.3章参

照）。

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である。この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを年1回（12月～1月）開催している。このコースは“デジタル設計コース”、“アナログ設計コース”、“最先端設計事例コース”の3コースからなっている。前2者は演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。最先端設計事例コースは講義主体のコースであるが、大学および企業から第一線の講師を招き、設計経験をもとにした講演を行っている。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。このフォーラムの成果はプロシーディングとして印刷物、CDROMの形で入手できる。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとっ

てはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するのがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる(図1.2)。

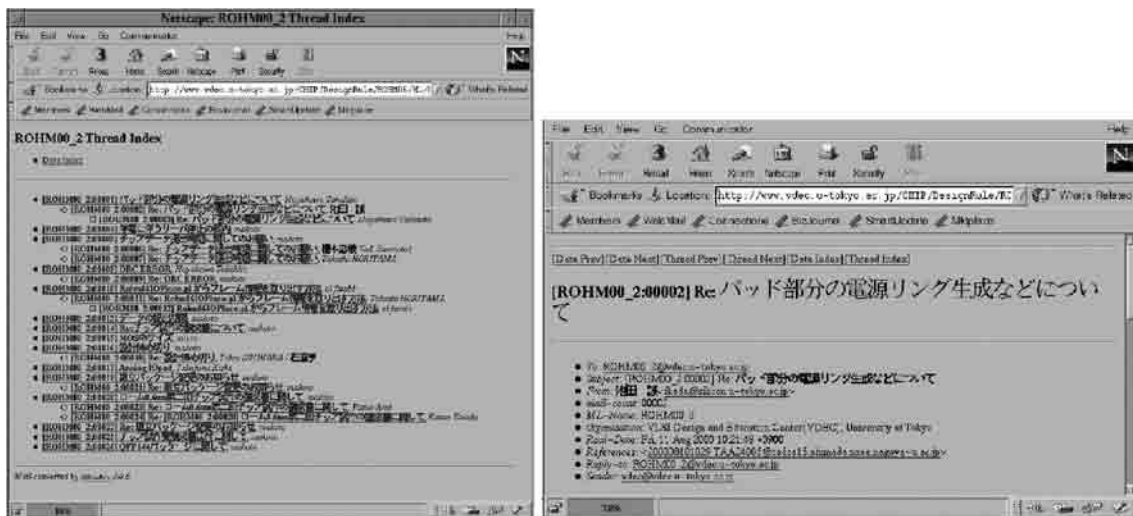


図 1.2 VDEC メールリングリスト検索システム

VDECではこの支援活動に参加していただいているユーザに感謝の意を込めて、VDECデザイナー・フォーラムにて“最多回答ユーザ賞”をさしあげている。

VLSIチップ試作支援に関しては、2002年度からの本格運用を目指して日立製作所0.18 $\mu$ m CMOSテストランを実施した。さらに、VDECでは現在のサービス項目に載っていないBiCMOS、SiGe等について、CMC等と同様のMOSISとの連携をスタートした。

また、一流のLSI設計者を目指す学生に対してインセンティブを与える仕組みとして3年前よりLSI IPアワードを実施している。本アワードは半導体各社と日

経BP社の支援でスタートしたIP開発支援のしくみであり、すでに4回目の募集を始めている。前回は約60の応募にたいしその上位約1/4の優秀IPに対して100万円～200万円の賞金を授与している(図1.3)。

VDEC発足以来6年目を迎え、5年余の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育がスタートしている。図1.4にVDECを利用した研究成果の指標として、VDECに関係する発表文件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC発足以来、集積回路に関する研究が活性化されていることが確

**IPアワード**

INDEX

- 第4回募集
  - 大学関連
  - 企業関連
- 第3回受賞論文
- 第2回受賞論文
- 第1回受賞論文



IPアワード運営委員会は、5月23日横浜で開催された「IP JAPAN2001」の中で第3回IPアワードの表彰式を行いました。大学、高等専門学校、および公的研究機関を対象に、64件の応募の中からIP優秀賞3件、IP賞6件、開発奨励賞10件を選出し、さらに10件の応募を研究助成対象に選んで表彰致しました。当日、運営委員長の田中昭二から受賞者に盾、目録が授与されました。

2001年第3回IPアワード受賞論文公開中  
2001年第3回IPアワード表彰式・懇親会風景

第4回募集

締め切り	2001年12月3日
募集要項	大学関連 企業関連

IPアワードについて

この賞は、システムLSIに使う、独創的で優れたIP（回路やソフトウェアなどの設計資産）の開発を支援

図 1.3 LSI IP 賞

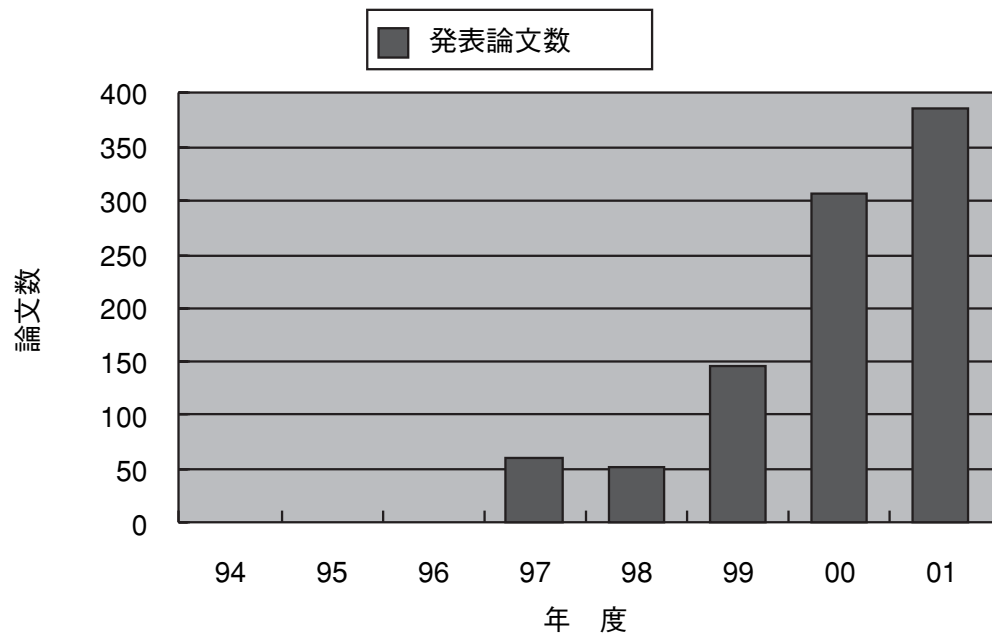


図 1.4 VDEC を利用した発表文献数の推移

認できる。

図 1.5 に VDEC に関する発表文献の VDEC ファシリティー利用状況を示す。論文執筆にあたり CAD ソフトウェアが幅広く利用されていることが確認できる。CAD ソフトウェアはチップ設計だけでなくチッ

プ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり、平成 14 年度からサービスを開始する日立製作所の 0.18μm テクノロジ

の利用が期待できる。そのほかのファシリティーとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

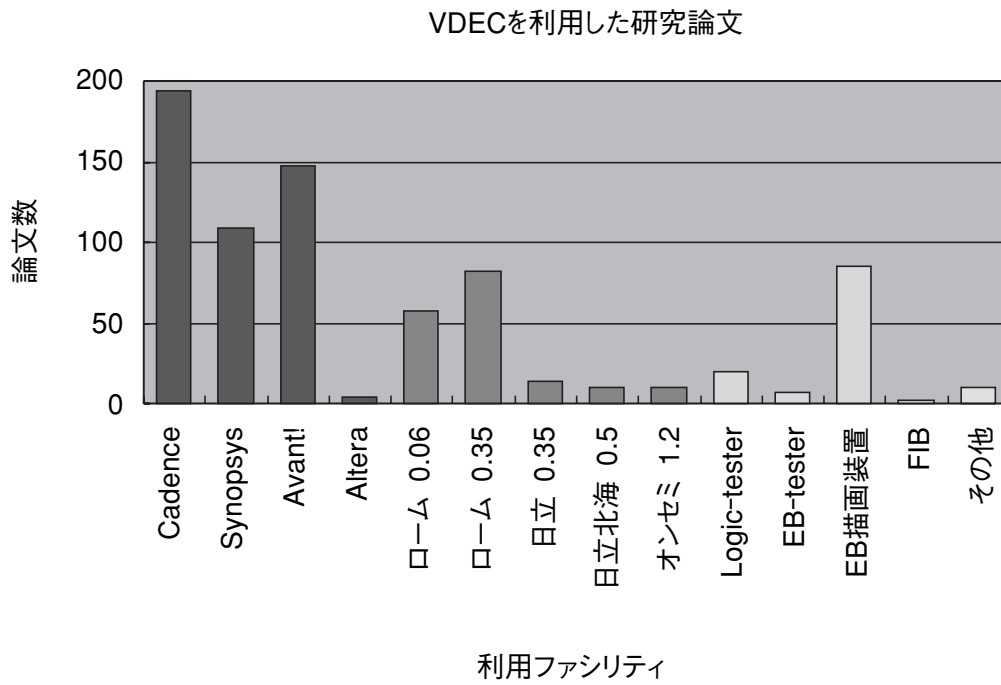


図 1.5 VDEC ファシリティー利用状況



## 1.2. CAD ソフトウェアの整備

平成8年度に導入されたCADソフトウェア（表1.1）は、図1.6に示す全国地域拠点校10箇所にてライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄りのライセンスサーバにおいて認証を行うことで、CADソフトウェアが利用できるという、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに500から1000程度のフローティン

グライセンスとなっており、全国の大学・高専において教育・研究目的に限り利用できるようになっていいる。VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている（a）全国教官数および（b）その所属する大学数および（c）CADの利用申請があった研究室（教官）数の推移は図1.7の通りである。

表 1.1 導入されたCADシステム

項目	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成	Synopsys, Inc.
自動配置・配線設計システム	マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション	Avant! Co.

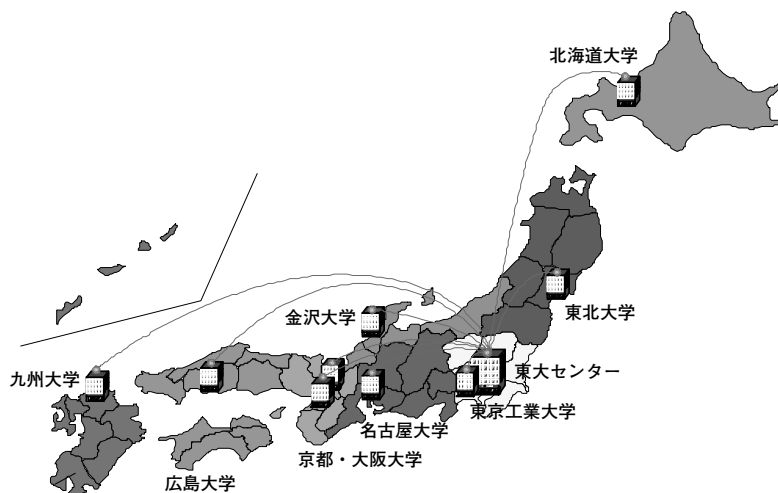
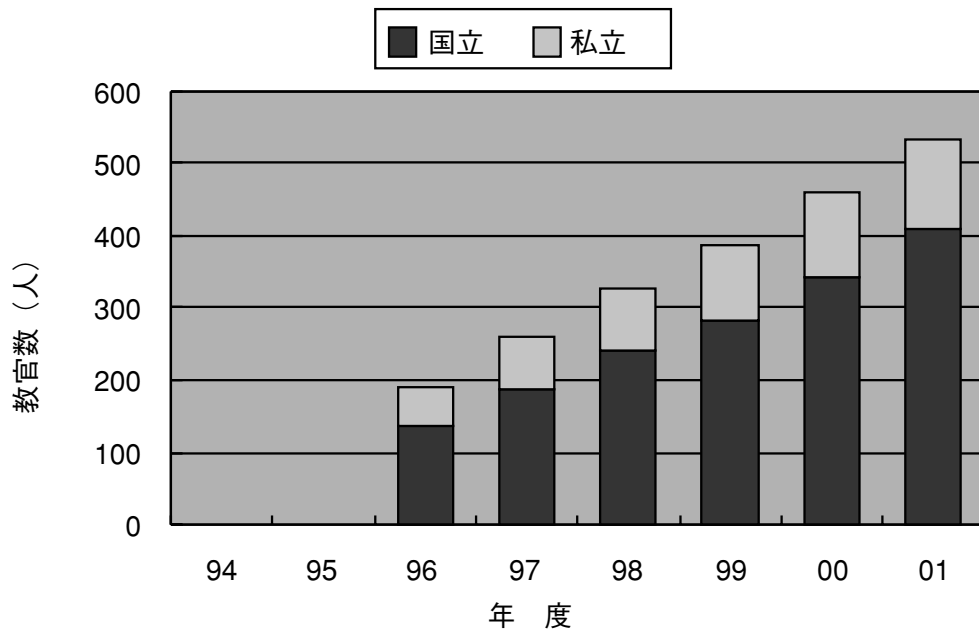
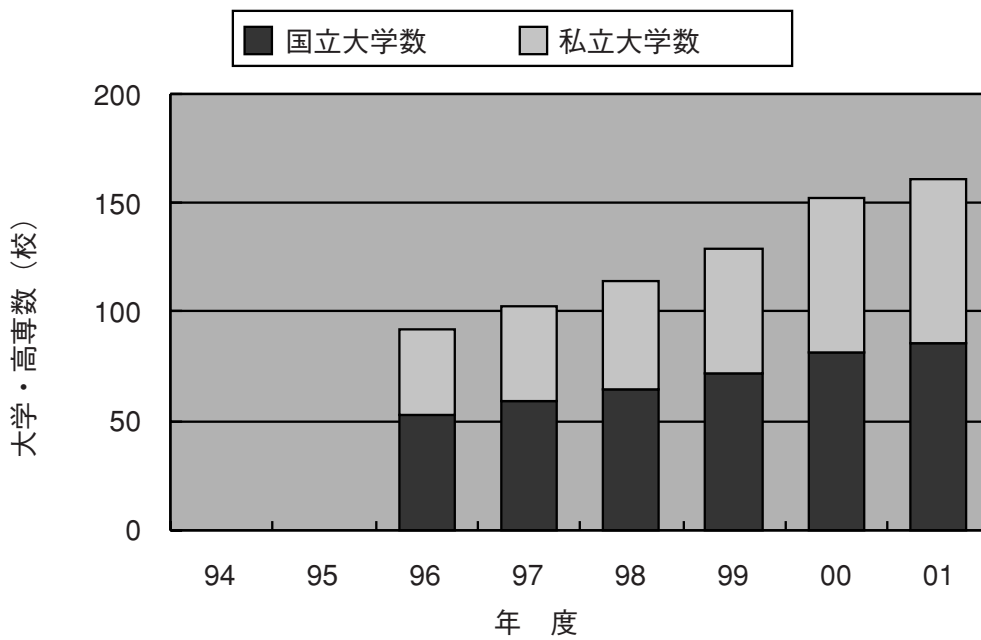


図 1.6 全国地域拠点校

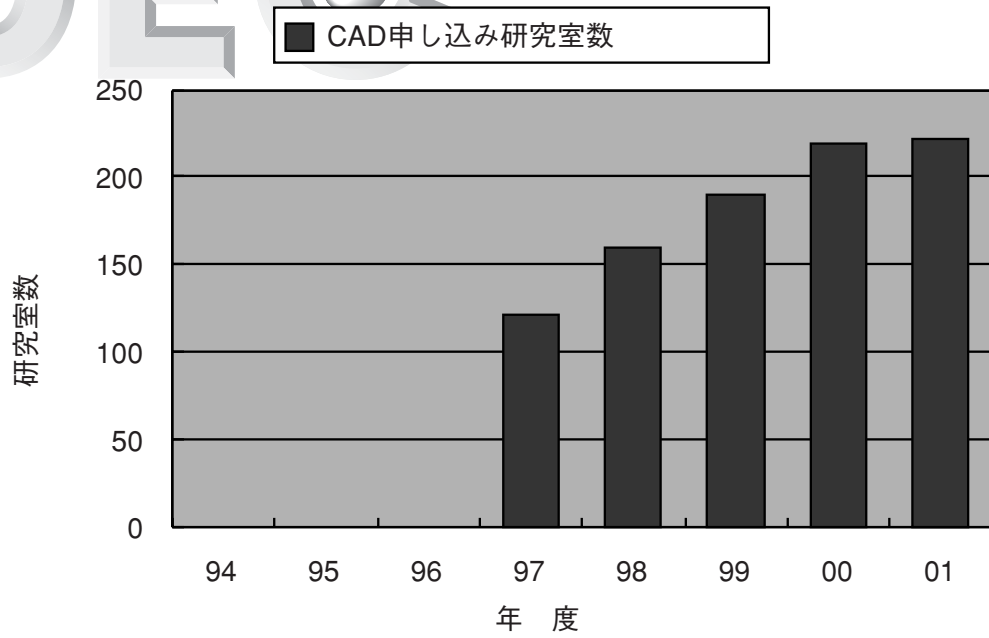




(a) 利用登録教官数



(b) パスワード発行教官の大学・高専数



(c) CAD 申し込み研究室数

図 1.7 ユーザ登録数および CAD 申込数の推移

# 1.3. 平成 13 年度 VDEC 事業報告

## 1.3.1 VLSI チップ試作

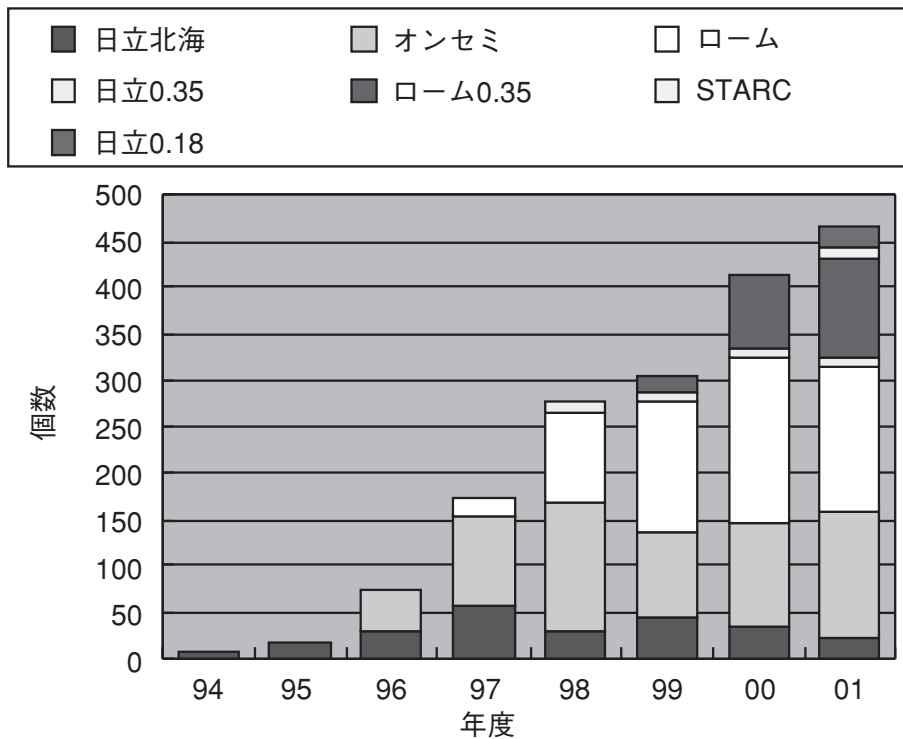
図 1.8 は、VDEC および、それに先行して STARC (半導体理工学研究センター) と共同で行ったパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSI チップ試作は、平成 6, 7 年度 (1994, 1995 年度) のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS 0.5 $\mu\text{m}$  (現在当該プロセスは日立北海セミコンダクタ社にて継続されている) 1 社であったが、平成 8 年度 (1996 年度) の VDEC 発足後、日本モトローラ社の CMOS 1.2 $\mu\text{m}$  (平成 11 年度からは、オン・セミコンダクターにて継続) が協力を開始し、平成 9 年度からはローム社の CMOS 0.6 $\mu\text{m}$  が加わった。さらに平成 10 年度には日立製作所の CMOS 0.35 $\mu\text{m}$ 、平成 11 年度にはローム社 0.35 $\mu\text{m}$  がそれぞれ加わり、試作品種数、試作面積ともに依然として増加傾向にある。また、平成 13 年度からの定常運用に向

けて、日立製作所の CMOS 0.18 $\mu\text{m}$  のテストランを実施した。さらには、IP 開発プロジェクトの一環として STARC 0.13 $\mu\text{m}$  の試作を行った。

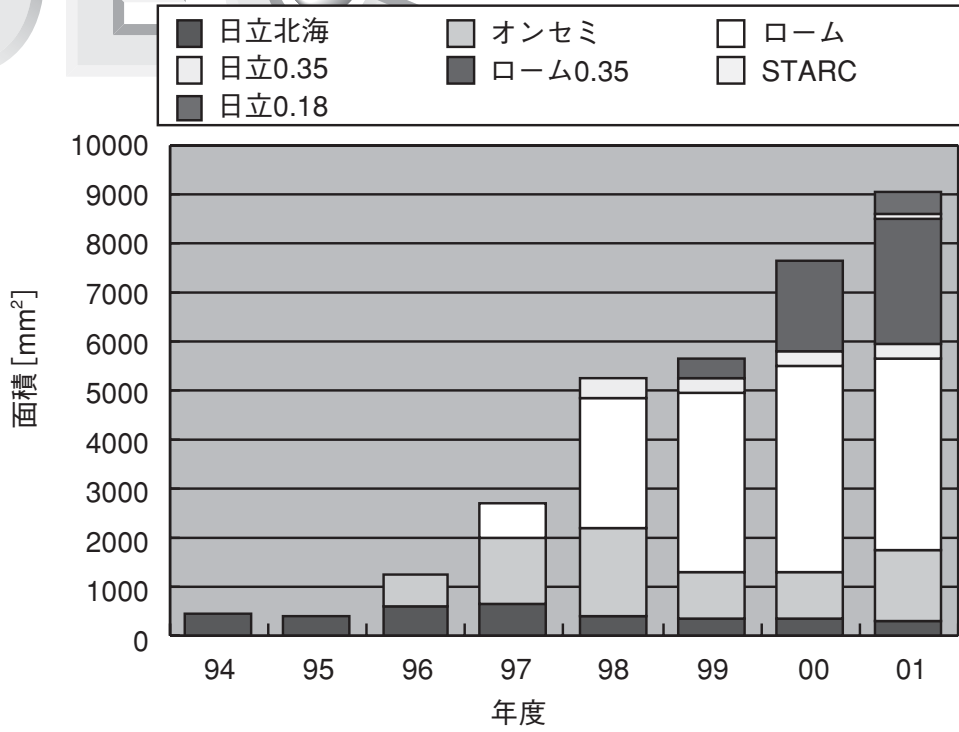
図 1.8 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。

図 1.8 (b) に設計されたチップ面積を示す。試作プロセスが微細化すると、集積度が向上することで、見かけ上試作面積が減少するよう見える場合がある。そこで、図 1.8 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。

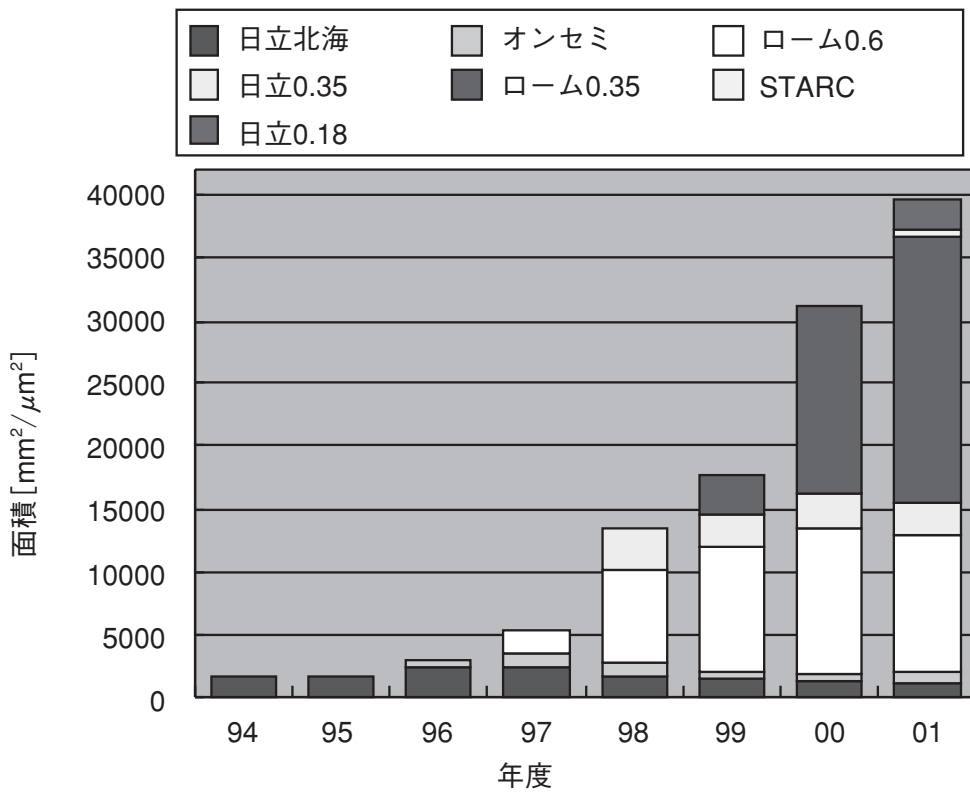


(a) チップ試作数推移





(b) チップ試作面積推移



(c) 特性寸法で規格化したチップ試作面積推移

図 1.8 チップ試作数・面積推移

また、図 1.9 にこれまでに試作に参加した教官数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教官数は

日立北海セミコンダクタが 45 名、日本モトローラが 108 名、ロームの 0.6 $\mu$ m プロセスが 122 名、ロームの 0.35 $\mu$ m プロセスが 83 名、日立製作所が 16 名となっている。

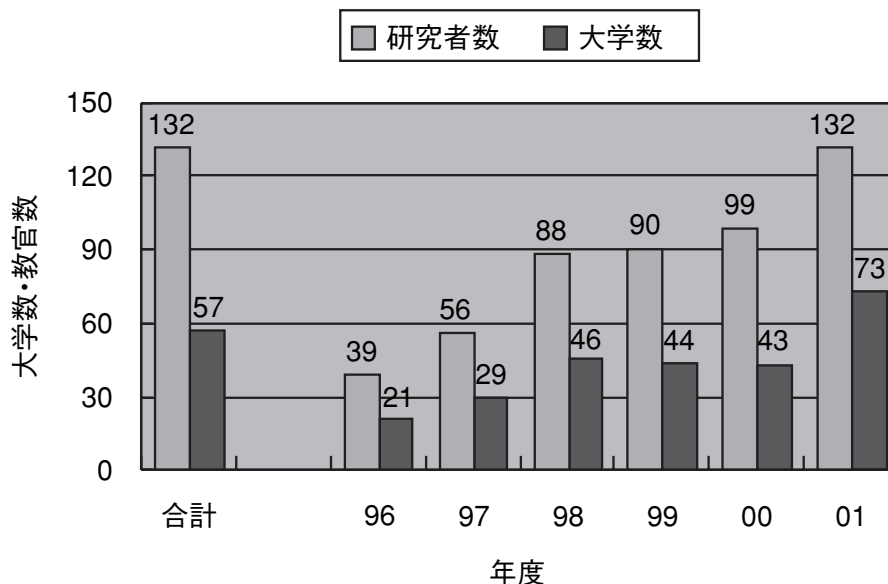


図 1.9 VDEC チップ試作参加教官数・大学数の推移とその累計

### 1.3.2 平成 13 年度チップ試作概況

平成 13 年度は、表 1.2 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 2 章のチップ試作報告を参照されたい。

表 1.2 平成 13 年度チップ試作日程

設計締切日	チップ納品日	プロセス
平成 13 年 6 月 25 日	平成 13 年 10 月 19 日	CMOS 0.6 $\mu$ m 2P3M ローム
平成 13 年 8 月 27 日	組み立て中	CMOS 0.35 $\mu$ m 2P3M ローム
平成 13 年 9 月 17 日	平成 14 年 1 月 15 日	CMOS 0.5 $\mu$ m 1P3M 日立北海
平成 13 年 10 月 1 日	平成 14 年 2 月 1 日	CMOS 1.2 $\mu$ m 2P2M オンセミ
平成 13 年 11 月 5 日	平成 14 年 5 月 7 日	CMOS 0.6 $\mu$ m 2P3M ローム
平成 13 年 12 月 10 日	平成 14 年 2 月 7 日	CMOS ゲートアレイ 0.35 $\mu$ m 1P5M 日立
平成 14 年 1 月 25 日	平成 14 年 3 月 30 日	CMOS 0.18 $\mu$ m 1P5M 日立製作所
平成 14 年 2 月 4 日	組み立て中	CMOS 0.35 $\mu$ m 2P3M ローム
平成 14 年 3 月 18 日	プロセス中	CMOS 0.6 $\mu$ m 2P3M ローム
平成 14 年 4 月 1 日	プロセス中	CMOS 1.2 $\mu$ m 2P2M オンセミ

## 1.3.3 ライブラリ整備状況

VDECにおけるチップ試作（主にデジタルLSI試作）では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ラ

イブラリ整備事業を行ってきた。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3に示すとおりとなっている。

**表 1.3 ライブラリ整備状況**

プロセス	名称	作成者	内容	状況
HHS (NEL) 0.5μm	P2lib	京都大学 田丸・小野寺研究室	<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ CellEnsamble 用配置配線ライブラリ</li> </ul>	試作チップの動作検証完了
	<a href="http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html">http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html</a>			
	EXDlib	九州大学安浦研究室	<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ VHDL 用シミュレーションライブラリ</li> <li>・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ</li> <li>・ CellEnsamble 用配置配線ライブラリ</li> </ul>	試作チップの動作検証完了
<a href="http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html">http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html</a>				
MOT1.2μm	P2lib	京都大学 田丸・小野寺研究室	<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ CellEnsamble 用配置配線ライブラリ</li> </ul>	試作チップの動作検証完了
	<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html</a>			
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ</li> </ul>	
<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html</a>				
ROHM0.6μm	EXDlib	豊橋技科大 田所・川人研究室	<ul style="list-style-type: none"> <li>・ CellEnsamble 用配置配線ライブラリ</li> </ul>	東大版を CellEnsamble に移植
	<a href="http://www.vdec.u-tokyo.ac.jp/DesignLib/TUT/ROHM06/index.html">http://www.vdec.u-tokyo.ac.jp/DesignLib/TUT/ROHM06/index.html</a>			
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ</li> </ul>	
	<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM06/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM06/rule.html</a>			
	パスポートライブラリ		<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ VHDL 用シミュレーションライブラリ</li> <li>・ ApolloXO 用配置配線ライブラリ</li> <li>・ RAM, ROM モジュール</li> </ul>	ロームから提供
CDROM にて配布				



日立 0.35 $\mu$ m	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ</li> </ul>	
		<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html</a>		
	日立ゲートアレイ		<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ</li> </ul>	日立から提供のセルに ApolloGA を移植
CDROM にて配布				
ROHM0.35 $\mu$ m	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ AquariusXO (ApolloXO 対応済み) 用配置配線ライブラリ</li> </ul>	
		<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html</a>		
	パスポートライブラリ		<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ VHDL 用シミュレーションライブラリ</li> <li>・ ApolloXO 用配置配線ライブラリ</li> <li>・ RAM, ROM モジュール</li> </ul>	ロームから提供
CDROM にて配布				
日立 0.18 $\mu$ m	京大 lib	京都大学 小野寺・小林・橋本研究室	<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ ApolloII 用配置配線ライブラリ</li> </ul>	
		<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html</a>		
	日立ゲートアレイ		<ul style="list-style-type: none"> <li>・ Synopsys 用論理合成ライブラリ</li> <li>・ VerilogXL 用シミュレーションライブラリ</li> <li>・ AquariusII 用配置配線ライブラリ</li> </ul>	日立から提供のセルを ApolloII に移植
CDROM にて配布				

## 1.4. CAD セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 13 年度には、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、

若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

### 【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で現在使用可能な Cadence, Synopsys, Avant! のそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC で開発したライブラリを用いたチップ設計に関する講習も VDEC スタッフで実施している。平成 13 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツール

を 5 日間、Synopsys のツールを 5 日間、Avant! のツールを 2 日間、Star-HSPICE の講習を 2 日間で実施し、各コースに約 40 名の教官・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 2 月と 3 月には上級者を対象とした CAD 技術セミナーを地方拠点（金沢、名古屋、広島、九州）で実施し、Cadence, Synopsys, Avant!, Star-HSPICE 等の最新のツールの上級トレーニングを行った（表 1.4）。

表 1.4 平成 13 年度 CAD 技術セミナー開催状況

講習項目	開催地	開催時期	参加人数	講習内容
Synopsys Scirocco 講習会	東京大学	平成 13 年 8 月 20 日	40	VHDL シミュレータの基本操作、効果的な VHDL 記述スタイル、Virsim GUI によるデバッグおよび解析機能。
Synopsys Design Compiler 講習会	東京大学	平成 13 年 8 月 21 ~ 22 日	40	回路合成・解析ツールの基本操作、クロック・設計制約の設定、階層コンパイル及び最適化を習得。
Synopsys TimeMill/ PowerMill 講習会	東京大学	平成 13 年 8 月 23 ~ 24 日	40	ダイナミック・タイミング及びパワー解析ツールの基本操作、必要となる入力データ及び出力データの解説。
Avant!	東京大学	平成 13 年 8 月 27 ~ 28 日	40	Milkyway での配置配線用ライブラリやデザインのセットアップ、自動配置配線コアツール Apollo のデザインフローと各フェーズでの機能を講義と実習を通して使い方の習得。
Star-HSPICE	東京大学	平成 13 年 9 月 6 ~ 7 日	40	Star-HSPICE の基本的な機能と回路記述方法を中心に、演習問題を通じて Star-HSPICE の操作までを学習。
Cadence Virtuoso Layout Editor	東京大学	平成 13 年 9 月 10 日	40	Layout Editor の使用方法、Parameterized Cell の概念と作成方法、Stream 変換を学習。

Cadence Diva	東京大学	平成 13 年 9 月 11 日	40	DRC, ERC, LVS, LPE を行うために必要なルールファイルの記述方法を学習.
Cadence Silicon Ensemble	東京大学	平成 13 年 9 月 12 ~ 13 日	40	デザイン・フロー, 入力データ・フォーマット, 配置, 配線に関する基本操作を学習. (ただしタイミング・デザインを除く)
Cadence Verilog-XL	東京大学	平成 13 年 9 月 14 日	40	Verilog HDL を使用した回路の構造記述, 動作記述の方法と Verilog-XL の実行方法を学習.
Cadence (Diva/Virtuoso)	名古屋大学	平成 14 年 3 月 4 ~ 6 日	20	Layout Editor の使用方法, Parameterized Cell の概念と作成方法, Stream 変換を学習. DRC, ERC, LVS, LPE を行うために必要なルールファイルの記述方法を学習.
HSPICE (Star-HSPICE)	名古屋大学	平成 14 年 3 月 7 ~ 8 日	20	Star-Hspice の基本的な機能と回路記述方法をベースに, 演習問題を通じて Star-Hspice の操作方法とシミュレーション統合環境 CosmosSE を用いたシミュレーション・フローを学習.
Synopsys (Design Compiler)	金沢大学	平成 14 年 3 月 7 ~ 8 日	20	回路合成・解析ツールの基本操作, クロック・設計制約の設定, 階層コンパイル及び最適化を習得.
Cadence (SPW)	広島大学	平成 14 年 3 月 14 ~ 15 日	20	Signal Processing Work-System (SPW) と Hardware Design System (HDS) の基本的な使用方法, 及び SPW の画像処理ライブラリである MDK の使い方を学習.
Avant! (Milkyway/Apollo)	九州大学	平成 14 年 3 月 18 ~ 20 日	20	Milkyway での配置配線用ライブラリやデザインのセットアップ, 自動配置配線コアツール Apollo のデザインフローと各フェーズでの機能を講義と実習を通して習得.





これら CAD 技術セミナーへの参加要望は非常に大きいため、VDEC 拠点校の協力を得ながら各地方拠点校で開催しているが、地方拠点開催でもその地方からの参加者にとどまらず、遠方からの参加希望が多く寄せられている。これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、より大規模な CAD 技術セミナー開催の仕組みの整備が急がれる状況にある。

## 【社会人のためのリフレッシュセミナー】

平成 13 年度 12 月～1 月には平成 12 年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育として VLSI 設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI

設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した（表 1.5）。

**表 1.5 社会人向きリフレッシュセミナー開催状況**

講習項目	開催日	講師	参加数	講習概要
コース 1: HDL によるデジタル集積回路設計と演習	平成 12 年 12 月 6～9 日	今井正治（大阪大学教授）、越智裕之（広島市立大学助教授）、小林和淑（京都大学助手）、池田誠（東京大学講師）	40	ハードウェア記述言語（HDL）によるデジタル集積回路設計、Verilog HDL を用いた FPGA の設計演習、論理合成と自動配置配線手法による ASIC 設計の流れの演習
コース 2: アナログ集積回路設計と演習	平成 12 年 12 月 14～16 日	岩田穆（広島大学教授）、小野寺秀俊（京都大学教授）、小谷光司（東北大学助教授）	40	アナログ集積回路の特徴と役割、レイアウト設計、設計検証、回路シミュレーション
コース 3: 最先端 VLSI 設計事例	平成 13 年 1 月 9～10 日	岩田穆（広島大学教授）、安浦寛人（九州大学教授）、松澤昭（松下電器）、東原恒夫（NTT）、小久保優（日立製作所）、道山淳児（松下電器）	40	アナログおよび AD 混載 VLSI、CMOS アナログ回路設計の基礎、RF 回路と無線通信用 LSI の設計、PLL と PLL 搭載 AD 混載 LSI の設計、MPEG4 コーデック LSI の設計事例、システムレベル低消費電力化設計手法

平成13年度VDECリフレッシュ教育  
**VLSI設計教育コース**  
<http://www.vdec.u-tokyo.ac.jp/refresh/announce.html> のご案内



VDECリフレッシュ教育では、集積回路産業に関わる職業人を対象としたリフレッシュ教育として、VLSI設計に関する最新の知識・技術の習得を目的として実施します。本コースでは、各種設計手法の講義に加え、実際に簡単な集積回路を設計し、シミュレーションやFPGAボードなどによる検証までを行うVLSI設計演習を実施します。更に、実際に最先端VLSIを設計した設計事例を詳しく紹介するコースを設定します。教育機関に在籍する教員・学生の方の参加も可能です。

**コース1：HDLによるデジタル集積回路設計と演習**  
 【講師】 今井 正幸 (大阪大学 教授)、越智 祐之 (名古屋市立大学 助教授)、小川 祐樹 (京都大学 助教)、石原 亨 (東京大学 助手)  
 【講義内容】  
 12/20(木) Verilog-HDLの文法解説とシミュレーション演習 (越智)  
 Verilog-HDLによる論理合成・シミュレーションとFPGA実装演習1 (小川)  
 12/21(金) Verilog-HDLによる論理合成・シミュレーションとFPGA実装演習2 (小川)  
 12/22(土) ハードウェア実装環境(HDL)によるデジタル集積回路設計 (今井)  
 LSI実装設計演習1 (石原)  
 12/23(日) LSI実装設計演習2 (石原)

**コース2：アナログ集積回路設計と演習**  
 【講師】 岩田 隆 (東北大学 教授)、小野寺 秀雄 (東北大学 教授)、小谷 光明 (東北大学 教授)  
 【講義内容】  
 12/7(金) アナログ集積回路の特徴と役割 (岩田)  
 回路設計、回路シミュレーション (小野寺)  
 回路設計、回路シミュレーション (小野寺)  
 レイアウト設計、検証 (ORC, LVS) (小谷)  
 12/9(日) レイアウト設計、検証 (ORC, LVS) (小谷)

**コース3：最先端VLSI設計実例**  
 【コーディネータ 講師】 岩田 隆 (東北大学 教授)、村上 和彰 (九州大学 教授)  
 【講師】 北澤 昭 (松下電器)、実原 徳大 (NTT)、小久保 慶 (日立製作所)、若林一俊 (NEC)  
 【講義内容】  
 1/11(金) RF回路と無線通信用ICの設計 (実原)  
 CMOSアナログ回路設計の基礎 (岩田)  
 PLLの設計と最新PLL技術状況 (小久保)  
 1/12(土) 最先端VLSI設計・工業製品化の分析検証と検証 (若林)  
 システムLSI設計プロセス・アーキテクチャの開発動向 (村上)

【コース内容・スケジュール】  
 内容に関しては若干変更になる場合があります。最新の情報は必ずWebページを参照下さい。  
<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

【受講料】  
 コース1：社会人 35,000円、学生 10,000円  
 コース2：社会人 25,000円、学生 8,000円  
 コース3：社会人 8,000円、学生 2,000円

【申込方法】  
 11月から申込み受付開始を予定しております。  
 詳細は<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>をご覧ください。

【問合せ先】  
 東京大学先端科学システム設計教育研究センター (VDEC) 野田 正幸 先生 担当  
 〒113-8656 東京都文京区文京2-1-16 東京大学工学部9号館  
 電話：03-5841-8301 FAX：03-5841-8910  
 担当：北澤 昭 (企業・通商)、清水 泰治 (自営)、岩田 隆 (専業/職人)  
 E-mail: refresh@vdec.u-tokyo.ac.jp

【開催場所】 東京大学本郷キャンパス



ンター (VSAC)、半導体理工学研究センター (STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。本年度はVLSI設計に関する3つのコース (コース1：HDLによるデジタル集積回路設計と演習 (12/6～12/9実施)、コース2：アナログ集積回路設計と演習 (12/14～12/16実施)、コース3：最先端VLSI設計実例 (1/9～1/10) を開催し、講師として大学・企業の集積回路研究・教育に携わる教員や研究者約13名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコース1、2はそれぞれ約40名、コース3は約100名あり、延べ180名程度となった。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援セ

## 【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSIデザイナーズフォーラム (VDEC LSI Designers Forum) を開催している (表1.6, 表1.7)。VDEC LSIデザイナーズフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、CAD業界の裏話、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。平成13年度は、9月16日、17日に石川県加賀山代温泉で開催

され、67名の参加者があった。新しい企画として、素朴の疑問集のパネルディスカッションを開設した。今回は、IEEE Solid-State Circuit Society, Japan Chapter, 電子情報通信学会北陸支部に共催団体として支援していただいた。また、本フォーラム開催にあたって、会場・宿泊設備その他の準備、スタッフの手配等は、地元幹事大学のご協力により実現されている。平成13年度は、金沢大学の北川先生、深山先生の研究室に幹事を務めていただいた。

**表 1.6 平成 13 年度デザイナーズフォーラムプログラム**

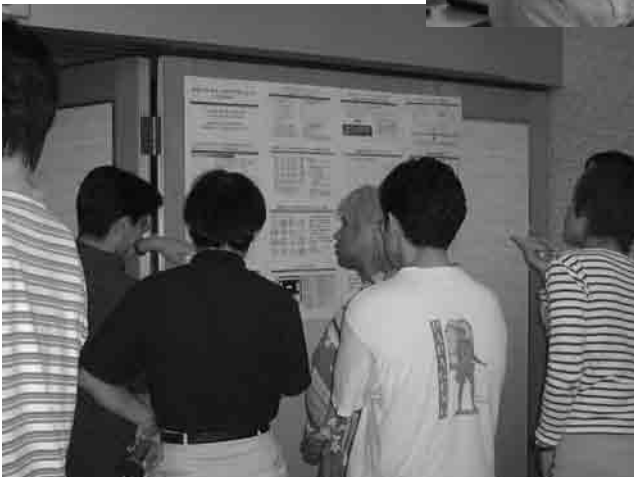
9 月 16 日	
13:00	基調講演 「MPEG2/MPEG4 システム LSI の技術動向」 吉本雅彦 (金沢大学) チュートリアル 「初心者に分かる VDEC の利用法」 石原亨 (東京大学) 「VDEC プロセス友の会活動」 三田吉郎 (東京大学)
14:45	CAD 技術講演 「CAD の技術動向と業界こぼれ話」 深山正幸 (金沢大学) 設計事例講演 「アナログ・ファジィプロセッサの開発とその応用」 神酒勤 (九州工業大学)
16:00	学生講演 「LSI 設計における製造ばらつきの考慮」 岡田健一 (京都大学)
18:00	懇親会
21:00	ポスターセッション
9 月 17 日	
9:00	学生講演 「低電圧・低消費電力 VLSI プロセッサのための回路設計」 野瀬浩一 (東京大学) 「低電力 SRAM のための異常リーク電流抑制方式」 神田浩一 (東京大学)
10:15	パネルディスカッション 「素朴な疑問集」 次回開催地の決定
12:00	閉会

18

**表 1.7 平成 13 年度 VDEC LSI デザイナーズフォーラム発表内容一覧**

人工視覚用ビジョンチップ	香川 景一郎 (奈良先端科学技術大学院大学)
Measurement Results On Active Guard Band Circuit	ニコデムス レディアン (東京工業大学)
相変化不揮発性メモリ	福島 早奈恵, 笠井 稔彦, 中山 和也, 北川 章夫 (金沢大学)
ファイアーウォール内での CAD 利用方法	小松 聡 (東京大学)
光インターフェース LSI の設計と試作	中村 公亮 (金沢大学)
Perl によるシミュレーションとテスト環境の構築	小林 和淑 (京都大学)
Bach を用いた SystemC からの合成	湯山 洋一 (京都大学)
VDEC 公開向け 0.35um スタンダードセルライブラリの開発	藤森 一憲 (京都大学)
VDEC の EB 露光装置を利用した 0.3μm ライン & スペースマスクの作製	田辺 亮 (東京大学)
高周波アナログ回路の設計手法の一例	井口 誠 (京都大学)
東京大学浅田・池田研究室における設計事例	大池 祐輔 (東京大学)
寄生成分を考慮した高速 CMOS アナログ回路設計	吉田 毅 (広島大学)





### 【その他の共催・協賛セミナー】

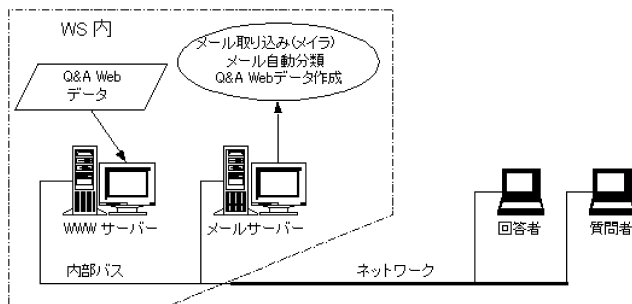
日本学術振興会第165委員会が主催する「VLSI設計・夏の学校」への協賛を行い、こちらも盛況であった。(社)電子情報通信学会 VLSI設計技術研究会が主催する講習会「VLSI設計演習」への協賛も行った。

# VDEC

## 1.5. 教材整備・情報発信

VLSI 設計法の教材整備では、平成 9 年度に作成した「論理合成・シミュレーション検証（上流設計）」「セルベースによる自動配置配線（中流設計）」「会話型設計（下流設計）」の教材、および平成 10 年度に作成した「マクロセル作成のための自習教材」を、平成 13 年度の CAD ツールのバージョンアップにあわせて内容の更新を行った（凸版印刷 Online VLSI Design Experience 2001 年度版）。本教材は、Web により参照できるように設定されており、全国の教育関係者が研究・教育目的に自由に改定再配布できるようになっている。また、希望される方には、CDROM による配布も行っている。

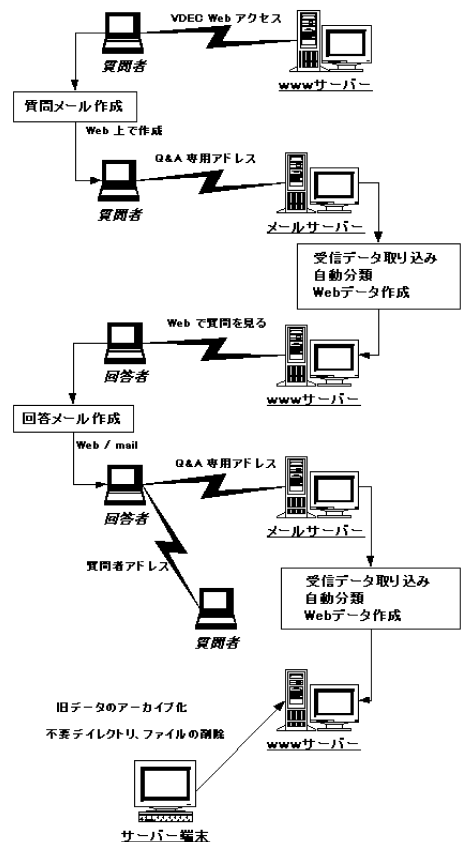
また平成 11 年度は、「QA システム」（図 1.10）の構築を行った。平成 12 年度には、質問とその回答を自動的にデータベース化するとともに、頻繁にされる質問（FAQ：Frequently Asked Question）に対する半自動応答システムの構築を行った。1.4 章の「リフレッシュセミナー」、「VLSI 設計演習」における講習の内容をその講師の先生を中心に執筆していただき、平成 12 年度初旬に VDEC 教科書シリーズとして「デジタル集積回路の設計と試作」というタイトルで出版した。本 VDEC 教科書シリーズは「アナログ篇」も発行に向けた準備を行っているところである。



(a) Q&A システム概要

運用上の流れ

1999.10.01



(b) Q&A システムの流れ

図 1.10 QA システム

## 1.6. 装置の整備・運用・利用公開

VDECでは、発足以来導入されてきた装置の運用を行うとともに、各装置を全国に利用公開を行っている（一部装置は、利用公開に向けた試験運用中）。表1.8に装置の一覧と利用公開の状況を示す。公開されている装置に関しては、前述の装置利用法セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としているが、必要に応じ、VDECの職員などが対応することで、利用を認める場合もあるので、相談いただきたい。

その中で、特に試作チップの評価装置関係は、今後ますます評価に対する需要が増大することが予想されることから、平成9年度に、拠点校に設置されているLSIテスターの試作チップ評価用治具の共通化を目指して、共通ソケットを有するマザーボードをテスターごとに準備し、共通ソケット上搭載する、LSIの品種毎のドーターボードを準備した。これにより、VDECで標準ピン配置に基づき試作したデジタルLSIに関しては、治具を新たに作成することなく、VDECおよび拠点校のLSIテスターにより評価が行える体制が整っ

ている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドーターボードを1種類準備することで、全国の各大学におけるLSIテスターに対応可能な体制が整っている。今後、LSIテスト法およびLSIテスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作したLSIの特性・性能評価が容易に行える環境の整備に努めたい。試作チップの評価に関しては、発足当初よりQFPやBGAパッケージを実装できるソケットの頒布およびソケットのピンを標準2.54mmピッチに変換する変換ボードの頒布を行ってきた。諸事情によりソケットならびに変換ボードは実費配布となった。詳細はWEBを参照いただきたい。

電子線描画装置、集束イオンビーム加工装置は、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を考案し、試験運用を行っている。年間350枚以上のマスク描画実績がある。

**表 1.8 平成 13 年度デザイナーズフォーラムプログラム**

項目	装置名	説明	利用公開状況	連絡先
ロジック LSI テストシステム	ミックスシグナル LSI テスター： ITS90Exa	100MHz/200MHz320 ピンのデジタル ピンおよび 4 チャンネルのアナログピン を有している。VDEC において標準ピン 配置で試作したチップを測定するた めの治具を揃えている	公開中	ITS9000@vec.u- tokyo.ac.jp
	EB テスター： IDS5000ZX	動作状態におけるチップ表面の電位を 観測することで動作・不良解析を行う。 通常 LSI テスターと組み合わせて使用 するため、上述テスターとのドッキング 治具を備える 384 ピン、1GHz までのデジタル回路の テストを行える。	公開中	IDS5000@vdec. u-tokyo.ac.jp
	LSI テスター： HP8300	384 ピン、1GHz までのデジタル回路の テストを行える。	公開中	HP83000@vdec. u-tokyo.ac.jp
	回路修正用 FIB： IDSP2X	LSI パターンの設計ミス等による配線 ショート、オープンに対して、配線の 切断、白金膜の生成によるジャンパー の生成が可能	公開中	IDSP2X@vdec.u- tokyo.ac.jp
	オートプローバ： PM-90-A	ウエハ上での LSI の動作検証を行うた めのオートプローバ。上述の LSI テス ターとドッキングして使用することが 可能で、VDEC において標準ピン配置 で試作したチップを測定するためのプ ローブカードを備えている	希望に応じ 利用可能	VDEC@vdec.u- tokyo.ac.jp
アナログ・RF 測定システム	アナログ・RF 測定 装置一式：HP4156, HP4284, etc.	DC パラメータ測定、容量測定、ネッ トワークアナライザ、スペクトラムア ナライザ等の測定装置	希望に応じ 利用可能。 但し VDEC の業務によ る利用を優 先とする	VDEC@vdec.u- tokyo.ac.jp
	低雑音マニュアル プローバ：Cascade 社	マニュアルにて 6 インチまでのウエハ 上のチップの測定が可能。測定には、 通常のプローブ針（6 本まで）のほか、 50GHz までの測定が可能な高周波プ ローブを 2 本備える		
	低雑音・温度制御 機構付きセミオー トプローバ： KarlSuss 社	8 インチまでのウエハ上のチップの測 定が可能。ウエハ温度を - 50℃ から 200℃ まで制御可能。プローブカード による測定。 GPIB を介した制御を行 うことで半自動測定も可能		
	極低温プローバ	5 インチウエハを 25K まで冷やした測 定が可能	要相談	VDEC@vdec.u- tokyo.ac.jp
電子線描画シス テム	マスク描画・ウエ ハ直描装置：JBX- 7000SB	半導体製造用マスクの描画およびエッ チング、ウエハへ直接描画が可能。最 小描画寸法 0.5μm.	試験的に 公開中	JEOLEB@vdec. u-tokyo.ac.jp
汎用 FIB システ ム	FIB 装置： SMI9800MSP	ガラスマスクの欠陥修正の他、断面観 測のための加工等が可能	試験的に 公開中	SIIFIB@vdec.u- tokyo.ac.jp

## 1.7. IP/M. CORE プロジェクト

VLSI 技術は日々進歩しており、VDEC がサポートしている CAD ツールやライブラリ、チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており、各方面の協力を随時お願いする予定である。

平成 12 年度より新たな取り組みとして、特定のテーマごとに研究グループを組織し VDEC におけるチップ試作を利用した研究を推進し、その成果物として、大学において自由に利用できるような IP ライブラリの構築を目指したプロジェクトを開始した。具体的には米国モトローラ社からの提供によるマイクロプロセッサ IP (M. CORE) をプラットフォームとした設計プロジェクト、デジタル及びアナログ IP 開発プロジェクトを推進した。平成 13 年度は、これまでに各

グループから提案された興味深い提案を STARC が仲介する 0.13 $\mu$ m CMOS 技術と日立製作所デバイス開発センターの 0.18 $\mu$ m CMOS 技術を利用した試作を行った。本試作・評価をもとに平成 14 年度以降も同様にプロジェクトを遂行する予定である。

### (a) IP 開発研究の参加者および概要

本プロジェクトは、コア設計者以外のシステム設計者が IP コアを利用して大規模システムを設計するための環境および技術を構築することを目的として、平成 12 年度より 3 年間の計画でスタートした。参加グループの構成および概要は表 1.9 に示すとおりである。平成 13 年度は 11 月に北九州にて M. CORE プロジェクトとの合同中間報告会を開催した。

表 1.9 IP 開発プロジェクトの構成および研究概要

グループ名	代表者	参加者	概要
デジタルプロセッサ コア IP 開発研究	安浦寛人 (九州)	柳沢 (早稲田), 越智/弘中 (広島市立), 末吉/久我 (熊本)	ソフトコアプロセッサ, ソフトコアプロセッサ, ビヘイビア記述からの LSI 設計教育向きプロセッサ開発
デジタル演算ユニット IP 開発研究	高木直史 (名古屋)	天野 (慶応), 今井/武内 (大阪), 木村 (奈良), 村上 (九州), 南谷 (東京)	算術演算回路, 基本的な演算ユニット, PPRAM インターフェース, スマートコア, 同期・非同期インターフェース
高速 AD/PLL/ OP-Amp IP 開発研究	谷口研二 (大阪大学)	小野寺 (京都), 高木 (東工大)	8-10 ビット Flash/Pipeline, Rail-to-rail OP-Amp, 差動 OP-Amp, クロック生成用 PLL, 低電圧・高周波 OP-Amp, イメージセンサ A/D 変換/多重解像度フィルタリング/動き検出回路
PWM/ $\Delta\Sigma$ AD IP 研究開発	岩田教授/森江助教授/永田助手 (広大)	佐々木 (熊本), 川人 (静岡), 雨宮/浅井 (北海道), 八木 (九工大), 杉本 (中央), 相澤助教授 (東大)	容量アレイ型 AD, DA 変換器, オーバサンプリング型 AD 変換器, デシメーションフィルタ, PWM 方式演算回路, VCO 回路, PLL 回路, カオス発生回路, アナログフィルタ (カレントモードフィルタ), パイプライン A/D 変換器 (10 ビット, 20MSps), アナログ/デジアナ反応拡散チップ, 動き検出イメージセンサ,



			ハフ変換チップ，ゼロ交差画素検出回路，14ビット，400MSps，2V動作D/A変換器
機能メモリーIP研究開発	池田講師/石原助手（東京大学）	小林（京都），柴田（東京），マタウシュ（広島）	機能メモリ，最小ハミング距離探索メモリ，標準的なSRAM

(b) IP 利用技術研究の参加者および概要 (M. CORE プロジェクト)

本プロジェクトも IP 開発研究同様，3 年間で IP コアベースの設計手法の会得，それによる設計と LSI 化における課題の検討を目的としている．研究のグループの構成および概要は表 1.10 に示すとおりである．

プロジェクトのおよそのスケジュールは表 1.11 となっている．平成 12 年度には M. CORE の利用法に関する講習会および中間報告会を開催し，平成 13 年度は 11 月に北九州にて IP 開発プロジェクトとの合同中間報告会を開催した．

**表 1.10 研究グループの構成と研究概要**

大 学	氏 名	概 要
東京大学	池田/石原	低電力 SoC 設計を目的としたコデザイン技術の開発
九州大学	村上	M. CORE を 2 個，その間にコプロセッサとしての FPGA ならびに PPRAM-Link I/F (PLIF) を搭載し，いくつかの実験を実施
金沢大学	深山	インターネット携帯端末向けシステム LSI を設計
東京工業大学	國枝	Multimedia Vehicular LAN System using IEEE1394
東京大学	柴田	M. CORE を用いた話者認識システムの研究
広島大学	小出	M. CORE を用いたプロトタイピングシステムの開発
北海道大学	山本	電子透かしによる音声信号とデジタル情報の重畳とその 1 チップシステム化
大阪大学	今井	リアルタイム OS の LSI と周辺回路を含む SoC の設計．自動車のリアルタイム制御をターゲットとする．
熊本大学	末吉	M. CORE の周辺回路として（自作の）FPGA を搭載し，M. CORE を FPGA のコントローラとして用いるような Custom Computing Machine の設計．FPGA は対象となるプロセスに合わせて設計
立命館大学	山内	M. CORE によるリアルタイムビデオタイトル作成システムの開発

表 1.11 IP/M. CORE プロジェクトのスケジュール

時期	内容
2000/4月3,4日	M. CORE セミナー (VDEC) を開催し M. CORE の利用技術を取得
2000/6月	FPGA 評価ボード, コンパイラを参加者に配布. これを用いて FPGA プロトタイピングを開始
2000/11月27日	中間報告会
2001/9月	0.13 $\mu$ m 用 MCore/セルベースを VDEC 経由で提供
2001/10月	セルベース設計終了・試作開始 (STARC 経由, 0.13 $\mu$ m CMOS)
2001/11月	中間報告会 (北九州) 0.18 $\mu$ m 用 MCore/セルベースを VDEC 経由で提供
2001/1月	セルベース設計終了・試作開始 (日立製作所 0.18 $\mu$ m CMOS) 2002/3月試作終了・評価開始
2002/9月	チップ試作報告会
2003/3月	最終報告会

(c) IP 開発/M. CORE プロジェクト合同チップ試作 CMOS 技術を利用し図 1.11 に示す計画で試作を行った。  
平成 13 年度は STARC が仲介する 0.13 $\mu$ m CMOS 技術と日立製作所デバイス開発センターの 0.18 $\mu$ m

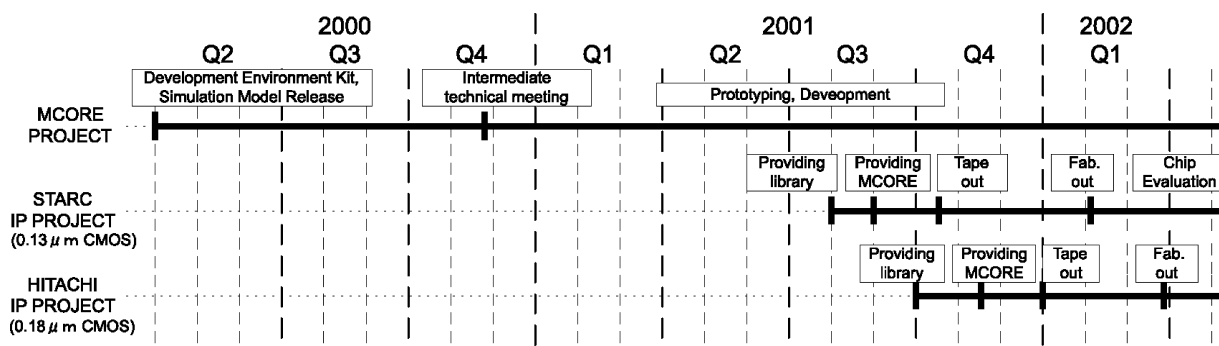


図 1.11 IP/M. CORE 合同試作スケジュール, 中: 0.13 $\mu$ m CMOS 試作, 下: 0.18 $\mu$ m CMOS 試作

◎ 0.13 $\mu$ m 試作参加者

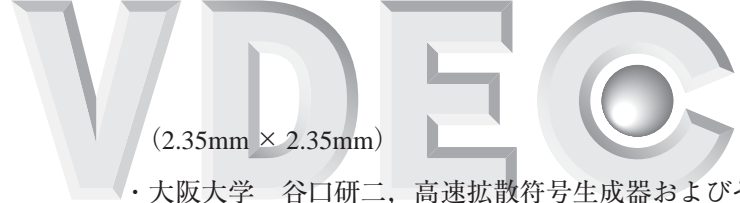
0.13 $\mu$ m 試作には M. CORE プロジェクトとして参加したのは 2 グループであり, 残りは IP プロジェクトからの参加であった。

【MCore】

- ・ VDEC 石原亨, 小松聡, MCore 評価用 TEG の実装と評価 (1.05mm × 2.5mm)
- ・ 金沢大学 吉本雅彦, 深山正幸, 高解像度, 低消費電力実時間画像圧縮符号化処理 LSI (3.65mm × 4.80mm)

【デジタル IP】

- ・ 広島市立大学 弘中哲夫, 動的再構成型コンピュータである PARS アーキテクチャ (2.35mm × 3.65mm)
- ・ 広島市立大 越智裕之, IEEE-754 準拠単精度浮動小数点演算器 IP (1.05mm × 2.35mm)
- ・ 九州大学 安浦寛人, パイプライン段数可変超低消費電力マイクロプロセッサ (2.35mm × 2.35mm)
- ・ 東京大学 南谷崇, 今井雅, 出力部を二重化ダイナミックゲート非同期式パイプライン回路の設計



(2.35mm × 2.35mm)

- ・大阪大学 谷口研二，高速拡散符号生成器およびその評価回路 (1.05mm × 2.35mm)

### 【アナログIP】

- ・京都大学 小野寺秀俊，6種類のTEGの設計と評価 (1.05mm × 2.35mm)
- ・東京大学 藤島実，ミリ波帯高周波基本モジュールの設計 (2.35mm × 2.35mm)

### 【メモリIP】

- ・広島大学 小出哲士，マタウシュハンス ユルゲン，

面積効率の高い階層型多ポートメモリの設計と評価 (2.65mm × 3.65mm)

- ・VDEC 石原亨，浅田邦博，閾値論理による高速連想メモリの実装と評価，および，時間領域を用いたハミング距離探索連想メモリの実装と評価 (1.05mm × 2.35mm, 1.05mm × 2.35mm)

これらの設計は3つのサブチップに相乗りして試作完了し，現在測定中である (図 1.12)。

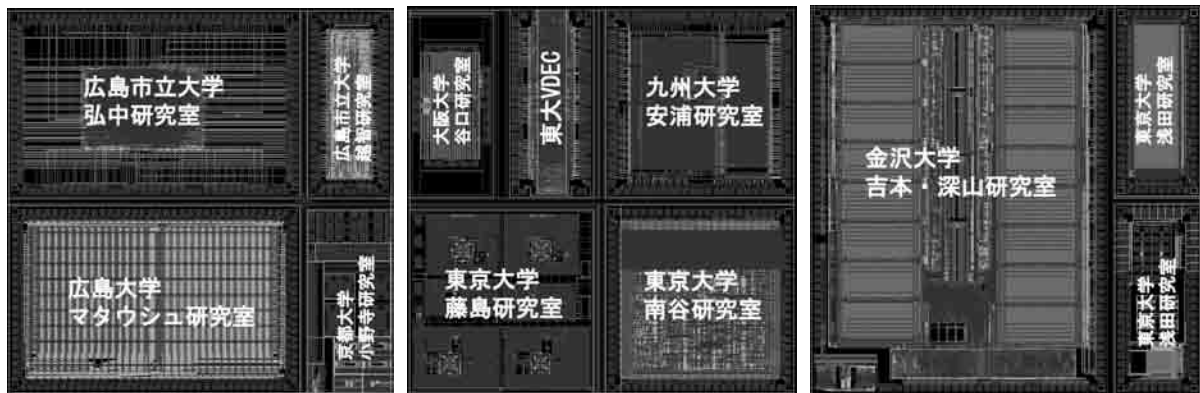


図 1.12 0.13μm CMOS/STARC 相乗りチップレイアウトイメージ

### ◎ 0.18μm 試作参加者

この試作ではVDECの従来のチップサイズ割の方針に従い，2種類のVDEC標準チップフレーム (5.98mm角，2.8mm角) を用いている。参加者は以下の通りある。

### 【MCORE】

- ・金沢大学 深山正幸，動きベクトル検出回路のTEG，ゲノム解析アクセラレータ，3ポートSRAMのTEG，送信用LVDSメインバッファ，PLLのTEG (5.98mm角)
- ・VDEC 石原亨，小松聡，M. CORE評価用TEGおよびI/Oバッファ評価用TEG (5.98mm角)

### 【IP開発プロジェクト】

- ・東京大学 浅田邦博，光投影法による三次元動画撮像のための高速ポジション検出センサ (5.98mm角)

- ・早稲田大学 柳澤政生，16ビット加算器，乗算器等の基本演算回路 (2.8mm角)
- ・広島市立大学 越智裕之，IEEE754準拠の単精度浮動小数点除算器IPの遅延・消費電力計測用チップ (2.8mm角)
- ・京都大学 小野寺秀俊，スタンダードセルライブラリ検証用TEG，配線の伝送特性測定用TEG (2.8mm角)
- ・京都大学 小野寺秀俊，インバータ型VCOを用いた出力周波数およそ1GHzのクロック生成を目的としたPLL (2.8mm角)
- ・奈良先端大 木村晋二，高速シリアル通信モジュールおよびPLL回路 (2.8mm角)
- ・九州大学 安浦寛人，IP提供を目的としたZ80 (8ビットCISCプロセッサ) の設計 (5.98mm角)

- ・九州大学 村上和彰, Goldshmit 法に, 倍精度浮動小数点除算回路および開閉逆数演算回路 (5.98mm 角)
- ・広島市立大大学 弘中哲夫,  $4 \times 5$  の 8 ビット ALU アレイを内蔵する粗粒度型再構成型プロセッサ (5.98mm 角)
- ・東京大学 柴田直, 知的情報処理のための高性能デジタル VQ プロセッサ (5.98mm 角)
- ・東京大学 柴田直, 画像処理のためのフィルタリング回路融合メモリ (5.98mm 角)
- ・大阪大学 谷口研二, 1.5GHz LNA, イメージ・リジェクト・ミキサおよび 2.4GHz サブサンプリング・ミキサ (5.98mm 角)
- ・東京大学 藤島実, ミリ波帯動作を目標とした PLL

(2.8mm 角)

- ・名古屋大学 高木直史, 減算シフト型除算回路および Overturned-Stairs Tree 乗算回路 (2.8mm 角)
- ・広島大学 岩田穆, LSI 内雑音検出に用いるアナログ回路部分の評価用テストチップ (2.8mm 角)
- ・明星大学 大塚寛治, スタックドペア線路基板用の CMOS ドライバ回路 (2.8mm 角)

### 【その他】

- ・VDEC 三田吉郎, デバイス特性測定用 TEG (2.8mm 角)

これらの設計は 1 つのチップに相乗りして試作完了し, 現在測定中である (図 1.13).

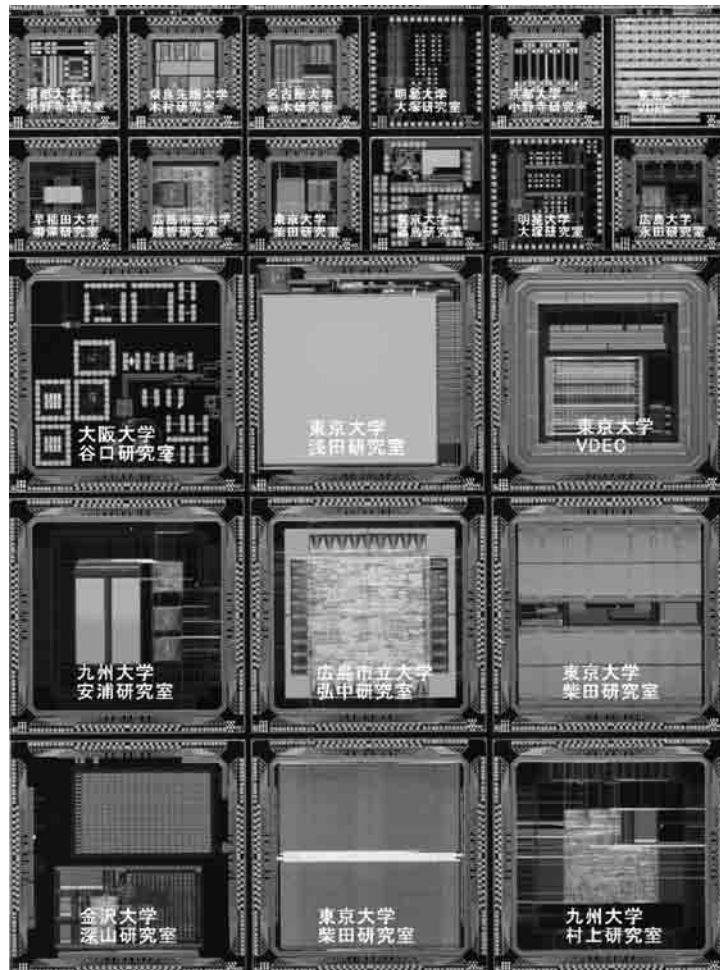


図 1.13 0.18  $\mu$ m CMOS/日立 相乗りチップ写真



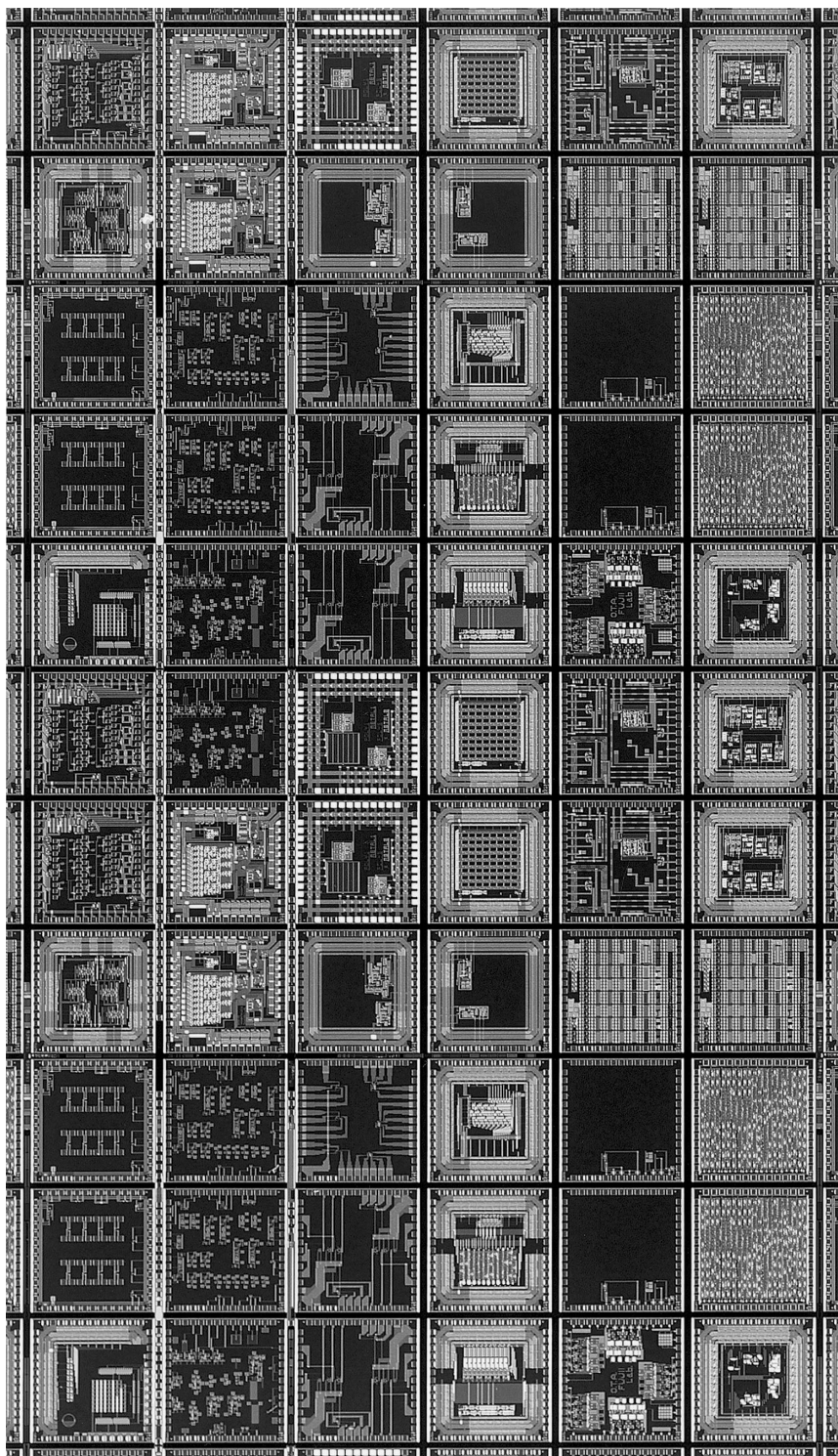


図2.1 「相乗りチップ」の顕微鏡写真



## 平成12年度 第2回 オンセミコンダクタ チップ試作

題 名	大 学 名	研 究 者	掲載頁
学部3年向けチップ試作演習の予備実験	広島市立大学情報科学部	越智 裕之	45
演算増幅器、発振回路の試作	日本大学理工学部電子情報工学科	泉妻 まり子, 薛 宗陽, 岡田 英樹, 塩田 智基, 佐伯 勝敏, 関根 好文	45
パルス形ニューロンモデルの試作	日本大学理工学部電子情報工学科	今野 勇司, 柏木 直人, 松岡 淳, 佐伯 勝敏, 関根 好文	45
ボルテージダウンコンバータの試作	福岡大学工学研究科 福岡大学工学部	沖 和史 末次 正	46
埋め込み型FES用制御回路	埼玉大学工学部	高橋 誠, 高橋 幸郎	46
リングアレイ前方視超音波イメージャ用集積回路の試作	東北大学ベンチャー・ビジネス・ラボラトリー 東北大学未来科学技術共同研究センター	中村 和浩 江刺 正喜	46
リングアレイ前方視超音波イメージャ用集積回路の試作	東北大学ベンチャー・ビジネス・ラボラトリー 東北大学未来科学技術共同研究センター	中村 和浩 江刺 正喜	47
スイッチドキャパシタ容量型センサ・インターフェースの設計 —その1	静岡大学電子工学研究所	小川 覚美, 渡邊 健蔵	47
スイッチドキャパシタ容量型センサ・インターフェースの設計 —その2	静岡大学電子工学研究所	小川 覚美, 渡邊 健蔵	47
CMOSカレントミラーの設計	静岡大学電子工学研究所	小川 覚美, 渡邊 健蔵	48
CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	48
低入カインピーダンスAB級CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	48
Rail-to-Rail AB級CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	49
Self Bias Circuitを導入した一次元エッジ検出ネットワークの設計	豊橋技術科学大学工学部	Kariyawasam Amal Bandula, 米津 宏雄	49
一次元方向選択性動き検出ネットワークの試作	豊橋技術科学大学工学部	大谷 真弘, 米津 宏雄	49
網膜機能に学んだ動き検出チップの設計	豊橋技術科学大学工学部	山田 仁, 米津 宏雄	50
生体の初期視覚機構に学んだ物体の接近検出機能のアナログ集積 回路化	豊橋技術科学大学工学部	西尾 公裕, 米津 宏雄	50
高精度CMOS定電圧回路	富山県立大学工学部	金森 章, 松田 敏弘, 大曾根 隆志	50
定電流源および基板バイアス発生回路	富山県立大学工学部	野田 宗邦, 大曾根 隆志, 松田 敏弘	51
集積化コイルの検討	富山県立大学工学部	金森 章, 松田 敏弘, 大曾根 隆志	51
ヒューズ回路を用いた画像処理回路の試作	東京工業大学大学院理工学研究科	高木 茂孝, 藤井 信生	51
高スルーレート演算増幅器の試作	東京工業大学大学院理工学研究科	高木 茂孝, 藤井 信生	52
4進SD数全加算器におけるニューロンMOSFETのフローティング ゲート面積の縮小	関西大学工学部	今西 茂, 浅香 篤, 村中 徳明, 徳丸 正孝	52
D/A変換器TEGおよびオペアンプTEG	上智大学大学院理工学研究科	増田 貴志, 角田 正人, 和保 孝夫	52
スイッチトキャパシタ電源回路の試作 (5)	熊本電波工業高等専門学校情報通信工学科 熊本電波工業高等専門学校情報工学科	大田 一郎 江口 啓	53
スイッチトキャパシタ電源回路の試作 (6)	熊本電波工業高等専門学校情報通信工学科 熊本電波工業高等専門学校情報工学科	大田 一郎 江口 啓	53
スイッチトキャパシタ電源回路の試作 (3)	熊本電波工業高等専門学校情報通信工学科 熊本電波工業高等専門学校情報工学科	大田 一郎 江口 啓	53
スイッチトキャパシタ電源回路の試作 (4)	熊本電波工業高等専門学校情報通信工学科 熊本電波工業高等専門学校情報工学科	大田 一郎 江口 啓	54
相変化メモリ (32Kbit)	金沢大学工学部	福島 早奈恵	54
クラスタリング・ラベリングアナログ3層パーセプトロンアナログ 回路	北海道大学大学院工学研究科	樺沢 正之	54
フィルタリング処理機能搭載CMOSイメージセンサ	広島市立大学大学院情報科学研究科	堀井 賢樹, 吉本 卓己	55
アナログビルディングブロックTEG	神奈川大学工学研究科	平井 真志, 鹿山 正規, 伊藤 類, 鳥 健	55
並列デッドロック回復ルータ Recover-x	宇都宮大学大学院工学研究科 電気通信大学大学院情報システム学研究科 宇都宮大学工学部	御代田 雅俊 吉永 努 横田 隆史, 大津 金光, 馬場 敬信	55
3次元スイッチボックスのためのハードウェアルータの試作	広島工業大学工学部	大村 道郎, 門田 亘弘	56
128×128画素時間相関イメージセンサ (第2報)	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	56

## 平成13年度 第1回 オンセミコンダクタ チップ試作

題 名	大 学 名	研 究 者	掲載頁
7セグ表示付き10進カウンタ	広島市立大学情報科学部	赤瀬 秀夫, 磯井 太地, 伊藤 大輔, 藤岡 英明, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57

サイレン付きナイトライダー	広島市立大学情報科学部	上田 晃司, 合田 武弘, 竹内 達, 浜崎 淳, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57
クリスマスツリーの電飾	広島市立大学情報科学部	川崎 貴之, 河野 健一郎, 小林 一彦, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57
8進バイナリカウンタを用いたルーレット	広島市立大学情報科学部	岩田 健, 高地 真吾, 榊 知広, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
7セグ表示付き16進カウンタ	広島市立大学情報科学部	岡 武志, 岡部 朋宏, 川口 俊文, 吉永 純也, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
3差路の信号機	広島市立大学情報科学部	北堀 剛広, 佐藤 将之, 鳥本 拓, 南 智史, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
1日を28時間にしたいあなたへ是非勧めたい時報	広島市立大学情報科学部	大石 祥子, 成瀬 由希, 南 寛子, 田中 真由美, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	59
メトロノーム	広島市立大学情報科学部	盛谷 大輔, 杉上 洋平, 増田 崇志, 都築 右典, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	59
6進バイナリカウンタを用いたサイコロ	広島市立大学情報科学部	上木 彰彦, 岡 宜史, 河野 臣和, 田辺 泰弘, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	59
3ビットジョンソンカウンタを用いたナイトライダー	広島市立大学情報科学部	今村 光佐, 小林 浩之, 豊田 弦気, 原田 史, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	60
3ビットジョンソンカウンタを用いたサイコロ	広島市立大学情報科学部	川元 智, 瀬戸 淳一, 榊 貴史, 吉村 賢吾, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	60
6進バイナリカウンタを用いたナイトライダー	広島市立大学情報科学部	富田 智, 藤本 清, 吉田 英憲, 若槻 学, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	60
経過時間を知らせるLED付きクッキングタイマー	広島市立大学情報科学部	加藤 慶一, 川上 貴宏, 村島 大介, 森田 洋介, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	61
1次連続時間電流スイッチデルタシグマ変調器の設計	上智大学大学院理工学研究科	増田 貴志, 和保 孝夫	61
スイッチトキャパシタ積分器の設計	上智大学理工学部	角田 正人, 和保 孝夫	61
全差動OTA回路の設計	上智大学理工学部	武井 一史, 和保 孝夫	62
クロック付きコンパレータおよびフラッシュ型A/D変換器	上智大学理工学部	田島 康博, 和保 孝夫	62
ストップウォッチ	九州大学工学部電気情報工学科	山崎 秀哉	62
DPWMコントローラの設計	九州大学大学院システム情報科学府	樋口 浩太郎	63
断熱的ダイナミックCMOS論理回路を用いたSD1bit加算器の試作	山形大学工学部	高橋 康宏, 水沼 充, 庄野 和宏, 横山 道央, 高橋 一清	63
櫛形構造MOSトランジスタとトランスコンダクタTEGの設計試作	山形大学工学部	今田 圭一, 祭城 直人, 船山 広輔, 庄野 和宏, 横山 道央, 高橋 一清	63
Rail-to-Rail AB級CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	64
R-2R ラダー型DA変換器の試作 (1)	静岡大学電子工学研究所	深津 康徳, 渡邊 健蔵	64
R-2R ラダー型DA変換器の試作 (2)	静岡大学電子工学研究所	深津 康徳, 渡邊 健蔵	64
CMOSカレントミラーの設計	静岡大学電子工学研究所	小川 覚美, 渡邊 健蔵	65
ボルテージダウンコンバータの試作	福岡大学工学研究科	福岡大学工学部, 沖 和史, 末次 正	65
チャージポンプ型DC-DCコンバータとオペアンプの設計	福岡大学工学部	小柳 裕彦, 池本 孝之	65
スイッチトキャパシタ変成器を用いたDC-DCコンバータの設計	福岡大学工学部	大津 正裕	66
離散時間型電流モードアナログCMOSカオス回路	熊本大工学部 熊本電波工業高等専門学校	濱里 主巳, 常田 明夫, 井上 高宏 江口 啓	66
大規模システム設計を目指したテストチップの試作	中京大学情報科学部	中塚 昌樹, 磯 直行	66
LSI設計演習における試作チップ (4bit全加算器)	茨城大学工学部メディア通信工学科	尾保手 茂樹, 鹿子嶋 憲一	67
生体の初期視覚機構に学んだ物体の接近検出チップの試作	豊橋技術科学大学工学部	西尾 公裕, 米津 宏雄	67
広ダイナミックレンジを有するエッジ検出回路の電子回路化	豊橋技術科学大学工学部	高崎 哲, 米津 宏雄	67
局所適応機能を有する二次元エッジ検出網膜チップの設計	豊橋技術科学大学工学部	Amal Bandula Kariyawasam, 米津 宏雄	68
小型加速度センサ用増幅器の設計	富山県立大学工学部	麻生 啓太, 大菅根 隆志, 松田 敏弘	68
高精度CMOS定電圧回路 (2)	富山県立大学工学部	金森 章, 松田 敏弘, 大菅根 隆志	68
Charge Pump回路	富山県立大学工学部	野田 宗邦, 大菅根 隆志, 松田 敏弘	69
改良型定電流源	富山県立大学工学部	野田 宗邦, 大菅根 隆志, 松田 敏弘	69

マイクロプロセッサ検討用回路の設計	静岡理科大学理工学部電子工学科	村松 透, 縣 伸史, 北村 義徳, 永野 肇, 望月 秀幸, 波多野 裕	69
リングアレイ前方視超音波イメージャ用集積回路の試作	東北大学ベンチャー・ビジネス・ラボラトリー 東北大学未来科学	中村 和浩 江刺 正喜	70
リングアレイ前方視超音波イメージャ用集積回路の試作	東北大学ベンチャー・ビジネス・ラボラトリー 東北大学未来科学技術共同研究センター	中村 和浩 江刺 正喜	70
アナディジ混載回路におけるディジタル雑音のための回路の試作	東京工業大学大学院理工学研究科	高木 茂孝, 藤井 信生	70
各種演算増幅器設計の試作	東京工業大学大学院理工学研究科	高木 茂孝, 藤井 信生	71
リング型DC-DC電圧変換回路用のCMOSスイッチ	熊本電波情報工学科	江口 啓	71
アレイ構造をもつカオス発生回路	熊本電波工業高等専門学校情報工学科	江口 啓	71
CMOS シナプス回路によるDA/ADコンバータ	電気通信大学電気通信学部	範 公可 (Pham Cong-Kha)	72
ORGA (Optically Reconfigurable Gate Array) の実現に向けて	九州工業大学情報工学科	松本 昇, 渡邊 実, 小林 史典	72
LSI設計コンテスト (1)	金沢大学工学部	北畑 隼遠, 小島 康, 高田 雅史, 高橋 司, 源 貴利, 北川 章夫	72
LSI設計コンテスト (2)	金沢大学工学部	小竹 剛, 杉木 智恵, 西 吉彦, 前田 喬行, 源 貴利, 福島 早奈恵	73
LSI テスタ/EB ブローバ実習用チップ Ver.3	金沢大学工学部	北川 章夫	73
複素数乗算器/逐次比較コントローラ	金沢大学工学部	北川 章夫	73
FG-MOSFETを用いた電子可変浮遊抵抗回路の試作	熊本大学工学部	飯尾 義徳, 井上 高宏	74
FG-MOSFETのみかけのしきい電圧プログラミング回路の試作とそのフィルタへの応用	熊本大学工学部	平山 陽一郎, 井上 高宏	74
特性改善したFG-MOSFET低電圧完全差動型電流モード低域通過フィルタの試作	熊本大学工学部	中根 秀夫, 平山 陽一郎, 井上 高宏	74
集積回路設計実習用チップの試作	熊本大学工学部	山川 俊貴, 安成 潤, 中根 秀夫, 平山 陽一郎, 飯尾 義徳, 井上 高宏	75
ニューロンMOSFET・インバータの試作	佐賀大学大学院工学系研究科 佐賀大学理工学部	石川 洋平 深井 澄夫	75
PMOSゲート容量型三相時間相関イメージセンサ	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	75
フォトランジスタ型三相時間相関イメージセンサ	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	76
オンチップクロック試験用要素回路の試作	東北大学大学院工学研究科	石田 雅裕, 小谷 光司, 大見 忠弘	76
MOS構成に適したアナログ形PLLの試作	秋田大学工学資源学部	川元 雅紀, 佐藤 紀章, 伊藤 文人, 井上 浩	76
64×64画素三相時間相関イメージセンサ	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	五嶋 健治, 安藤 繁 来海 暁	77
埋め込み型FES用デジタル制御集積回路	埼玉大学工学部	高橋 誠, 高橋 幸郎	77
100×100画素単相時間相関イメージセンサ	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	五嶋 健治, 安藤 繁 来海 暁	77

## 平成12年度 第2回 日立北海セミコンダクタ チップ試作

題 名	大 学 名	研 究 者	掲載頁
フラクタルキャパシタ	東京大学大学院新領域創成科学研究科 東京大学工学部	藤島 実 柳瀬 健吾	78
共鳴トンネル論理ゲートMOBILEのエミュレーション回路	名古屋大学工学研究科	丹羽 壮平, 前澤 宏一, 水谷 孝	78
除算器及び正弦・余弦計算回路	名古屋大学工学部 名古屋大学大学院工学研究科	水野 知秀, 熊澤 文雄 高木 一義, 高木 直史	78
64×64高感度・広ダイナミックレンジボジションセンサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター (VDEC)	大池 祐輔 池田 誠 浅田 邦博	79
IP公開を目的とした乗算器チップの試作設計	九州大学工学部 九州大学大学院システム情報科学府 九州大学大学院システム情報科学研究科	田上 暢頭 室山 真徳, 兵頭 章彦 安浦 寛人	79
入力信号パターンを考慮した低電力乗算器の試作	九州大学大学院システム情報科学府 九州大学大学院システム情報科学研究科	室山 真徳, 兵頭 章彦 安浦 寛人	79

## 平成13年度 第1回 日立北海セミコンダクタ チップ試作

題 名	大 学 名	研 究 者	掲載頁
共鳴トンネル論理ゲートMOBILEのエミュレーション回路とそれを用いたCellular Neural Network	名古屋大学工学研究科	丹羽 壮平, 前澤 宏一, 水谷 孝	80
Winner take all回路	東京大学新領域創成科学研究科	柳井 孝介	80
CMOS シナプス回路によるDA/ADコンバータ	電気通信大学電気通信学部	範 公可	80
対称構造を採用したアナログ連想記憶ニューロチップの試作	東京大学工学系研究科 東京大学新領域創成科学研究科	中沢 一彦 廣瀬 明	81

高性能Network Processor用Multi Channel DMA Controllerの設計 とRandom Accessing Processorの設計	東北大学大学院工学研究科	劉 哲, 張 俊	81
プラスチック・セル・アーキテクチャの設計と試作 : PCA-chip2.001	京都大学情報学研究科	冨田 明彦, 杉本 成範, 曾我 祐紀, 岡本 卓也, 泉 知論, 尾上 孝雄, 中村 行宏	81
聴覚における音源定位機構を有するLSI	名古屋工業大学工学部	高木 晋吾, 岸野 裕介, 中島 裕明, 内田 秀雄, 市村 正也, 荒井 英輔	82
マルチポートメモリのためのクロスバスイッチの設計	広島大学ナノデバイス・システム研究センター 広島市立大学情報科学部	深江 誠二, 大森 伸彦, 小出 哲士, Mattausch Hans Juergen 井上 智宏, 弘中 哲夫	82

### 平成11年度 第3回 ローム0.6μmチップ試作

題 名	大 学 名	研 究 者	掲載頁
プラスチック・セル・アーキテクチャの設計と試作	京都大学情報学研究科	杉本 成範, 境 和久, 檜田 和浩, 泉 知論, 尾上 孝雄, 中村 行宏	83

### 平成12年度 第3回 ローム0.6μmチップ試作

題 名	大 学 名	研 究 者	掲載頁
高速CMOSイメージセンサ ver2	広島大学大学院先端物質科学研究科	今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆	84
高速CMOSイメージセンサ ver2	広島大学大学院先端物質科学研究科	今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆	84
実時間誤り検出機構を有する高信頼FPGAの試作	仙台電波工業高等専門学校 東北大学工学部・工学研究科 東北大学大学院情報科学研究科	津田 真人, 鹿股 昭雄 阿部 茂樹 青木 孝文, 樋口 龍雄	84
単調, 非単調ニューロンの切り替え機能を持った量子化結合 ニューラルネットワークの設計	東北大学電気通信研究所	安部 正夫, 佐藤 茂雄, 中島 康治	85
擬似2次元アルゴリズムを用いた動き検出回路用 Time-Derivative Generator	東京大学工学系研究科 東京大学新領域創成科学研究科	木村 弘枝 柴田 直	85
擬似2次元アルゴリズムを用いた動き検出回路用Velocity Detector	東京大学工学系研究科 東京大学新領域創成科学研究科	木村 弘枝 柴田 直	85
画像特徴抽出におけるメディアン値演算回路	東京大学新領域創成科学研究科	斎藤 康祐, 柴田 直	86
電荷転送増幅型低消費電力コンパレータ及びWTA回路	東京大学工学系研究科 東京大学新領域創成科学研究科	野村 周央 柴田 直	86
フローティングゲートMOS技術を用いた高速・低消費電力CDMA マッチフィルタ	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦 田口 晶康, 柴田 直	86
ψMOS技術を用いた高速・低消費電力CDMAマッチフィルタ/ 低消費電力アナログバッファを用いたマンハッタン距離演算回路	東京大学工学系 東京大学新領域創成科学	山崎 俊彦, 野村 周央 田口 晶康, 柴田 直	87
非同期スイッチ	慶應義塾大学理工学部	石川 健一郎	87
アナログ集積回路における基本線形回路の設計	静岡大学電子科学研究科 静岡大学理工学研究科 静岡大学工学部システム工学科	大浦 崇央, Tantry Shasidhar 鈴木 勉 浅井 秀樹	87
生体の初期視覚機構に学んだ動き検出チップの設計	豊橋技術科学大学工学部	大谷 真弘, 山田 仁, 西尾 公裕, 米津 宏雄	88
光インタフェースLSI用の試作	金沢大学工学部	藤田 隼人, 中村 公亮, 深山 正幸, 吉本 雅彦	88
光インタフェースLSI用の試作	金沢大学工学部	藤田 隼人, 中村 公亮, 深山 正幸, 吉本 雅彦	88
光インタフェースLSI用の試作	金沢大学工学部	藤田 隼人, 中村 公亮, 深山 正幸, 吉本 雅彦	89
SFQ/CMOSハイブリッドメモリ用要素回路の試作	横浜国立大学大学院工学研究院	吉川 信行	89
CMOSイメージセンサTEGの設計	茨城大学工学部	木村 孝之, 白木 廣光	89
演算増幅器と静電容量型センサ用信号処理回路	慶應義塾大学理工学部 物理情報工学科	阿波谷 佳朗, 中谷 泰文, 松本 佳宣	90
分周技術を応用した周波数選倍回路	九州東海大学工学部 九州東海大学産業技術研究所	佐々木 博文 藤本 邦昭	90
スイッチトキャパシタ電源回路の試作 (1)	熊本電波工業高等専門学校情報通信工学科 熊本電波工業高等専門学校情報工学科	大田 一郎 江口 啓	90
スイッチトキャパシタ電源回路の試作 (2)	熊本電波工業高等専門学校情報工学科 熊本電波工業高等専門学校情報通信工学科	江口 啓 大田 一郎	91
DS-CDMA有線バスの設計 (3)	大阪大学工学研究科	清水 新策, Tan Boon Keat, 吉村 隆治, 松岡 俊匡, 谷口 研二	91
CDMA有線インターフェース復調回路における要素回路の試作	大阪大学工学研究科	岩村 宏, Tan Boon Keat, 松岡 俊匡, 谷口 研二	91
低リプル倍電圧発生回路の設計	大阪大学工学研究科	北谷 卓哉, 谷口 研二	92



強誘電体キャパシタシミュレーション支援LSIの設計 (1)	東京工業大学フロンティア創造共同研究センター	山本 修一郎, 平山 智久, 石原 宏	92
MVD乗算器とニューロンMOSFETを用いたアナログ回路/多値論理回路	宮崎大学工学部	稲葉 基, 淡野 公一, 石塚 興彦	92
CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	93
低入カインピーダンスAB級CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	93
Rail-to-Rail AB級CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	93
8ビットマイクロプロセッサ	群馬工業高等専門学校電子情報工学科	木村 真也, 狩野 亮, 倉持 拓郎	94
E級DC-DCコンバータの設計	福岡大学大学院工学研究科	桐生 周一	94
電荷逐次積分VLSIプロトタイプJ	長崎総合科学大学大学院工学研究科 長崎総合科学大学工学部	酒井 雅司 田中 義人	94
高エネルギー実験用アナログメモリLSI	東京農工大学工学部 高エネルギー加速器研究機構素粒子原子核研究所	南雲 崇, 江村 恒夫 新井 康夫	95
光通信信号処理回路	慶應義塾大学理工学部 物理情報工学科	三浦 淳平, 松本 佳宣	95
認識処理のための汎用デジタル連想プロセッサ	東京大学新領域創成科学研究科	小川 誠, 伊藤 潔人, 柴田 直	95
認識処理のための汎用デジタル連想プロセッサ	東京大学新領域創成科学研究科	小川 誠, 伊藤 潔人, 柴田 直	96

### 平成13年度 第1回 ローム0.6μmチップ試作

題 名	大 学 名	研 究 者	掲 載 頁
16kb SFQ/CMOSハイブリッドメモリの試作	横浜国立大学大学院工学研究院	吉川 信行	97
SFQ/CMOSハイブリッドD-S ADコンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院	吉川 信行	97
完全差動型低ジッタPLLの設計	大阪大学工学研究科	北谷 卓哉, 尾関 俊明, 谷口 研二	97
マルチチップ化を指向したOn-Chip学習可能な量子化結合ニューラルネットワークの集積化	東北大学電気通信研究所	安部 正夫, 佐藤 茂雄, 中島 康治	98
50ニューロン搭載ストカスティックニューロチップ	東北大学電気通信研究所	根本 憲, 金城 光永, 佐藤 茂雄, 中島 康治	98
近似AD変換による三次元動画撮像用高速ボジションセンサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター (VDEC)	大池 祐輔, 池田 誠 浅田 邦博	98
画像分割用非線形振動子ネットワーク回路	広島大学大学院工学研究科 広島大学大学院先端物質科学研究科	安藤 博士 森江 隆, 永田 真, 岩田 穆	99
離散フーリエ変換回路の設計	茨城大学工学部	木村 孝之, 白木 廣光	99
非同期スイッチ	慶應義塾大学理工学部	石川 健一郎	99
ATLAS実験TGC検出器用読み出し初段回路	東京都立大学理学研究科 東京大学素粒子物理国際研究センター 高エネルギー加速器研究機構素核研	田中 賢一 狩野 博之 池野 正弘, 佐々木 修	100
CPU作成学生実験におけるLSI設計事例	大阪大学基礎工学研究科	小林 真輔	100
スパイラルインダクタTEG	中央大学理工学部	杉本 泰博	100
高周波動作電圧制御発振器・周波数分周器の設計	東京大学工学系研究科 東京大学新領域創成科学研究科	今村 晃, 山本 憲 藤島 実	101
相変化不揮発性メモリ	金沢大学工学部	福島 早奈恵	101
相変化不揮発性メモリ	金沢大学工学部	福島 早奈恵	101
擬似2次元アルゴリズムを用いた動き検出回路用Velocity Detector (修正版)	東京大学工学系研究科 東京大学新領域創成科学研究科	木村 弘枝 柴田 直	102
擬似2次元処理を用いた動き検出イメージセンサLSI	東京大学工学系研究科 東京大学新領域創成科学研究科	木村 弘枝 柴田 直	102
ニューロンMOSをもちいたアナログ画像特徴抽出回路	東京大学新領域創成科学研究科	田口 晶康, 柴田 直	102
メモリ融合型イメージフィルタリング・プロセッサのテスト回路	東京大学新領域創成科学研究科	伊藤 潔人, 柴田 直	103
電荷転送増幅型低消費電力コンバータを用いたステレオビジョンプロセッサ	東京大学工学系研究科 東京大学新領域創成科学研究科	野村 周央 柴田 直	103
電荷転送増幅型低消費電力コンバータを用いたステレオビジョンプロセッサ2	東京大学工学系研究科 東京大学新領域創成科学研究科	野村 周央 柴田 直	103
コンダクタンス型共鳴回路を用いたアナログ連想プロセッサ	東京大学新領域創成科学研究科	小川 誠, 柴田 直	104
強誘電体キャパシタシミュレーション支援LSIの設計 (2)	東京工業大学フロンティア創造共同研究センター	山本 修一郎, 平山 智久, 石原 宏	104
生体の視覚機能に学んだ二次元動き検出チップの試作	豊橋技術科学大学工学部	山田 仁, 米津 宏雄	104
方向選択性動き検出ネットワークの二次元配置方法の検討	豊橋技術科学大学工学部	大谷 真弘, 米津 宏雄	105
1T2C型強誘電体メモリ用周辺回路の設計とTEG試作	東京工業大学フロンティア創造共同研究センター	山本 修一郎, 平山 智久, 石原 宏	105
Bluetooth用ベースバンド復調回路	九州大学大学院システム情報科学府 九州大学工学部電気情報工学科	中井 貴之 山崎 秀哉	105
単位電流可変方式2進SD数全加算器の設計	東北大学大学院情報科学研究科	齋藤 雄哉, 青木 孝文, 樋口 龍雄	106
初歩的なアナログ集積回路 (5次Low Pass Filter) の試作	広島工業大学工学部	田中 武, 大村 道郎, 中村 正孝	106



光インタフェースLSI用の試作	金沢大学工学部	中村 公亮, 深山 正幸, 吉本 雅彦	106
光インタフェースLSI用の試作	金沢大学工学部	中村 公亮, 深山 正幸, 吉本 雅彦	107
CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	107
低入力インピーダンスAB級CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	107
Rail-to-Rail AB級CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆, 小川 覚美, 渡邊 健蔵	108
シフトレジスタおよび電流-電圧変換回路のTEG試作	豊橋技術科学大学工学部	高崎 哲, Amal Bandula Kariyawasam, 米津 宏雄	108
電荷逐次積分VLSIプロトタイプL	長崎総合科学大学大学院工学研究科 長崎総合科学大学工学部	酒井 雅司 田中 義人	108
フローティングゲートMOS技術を用いた柔軟なアナログ理想回路	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦 柴田 直	109
行並列処理による高速ポジションセンサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター (VDEC)	大池 祐輔, 池田 誠, 浅田 邦博	109
低消費電力化を志向したデマルチプレクサ回路の特性評価用TEGの試作	東北大学大学院工学研究科 東北大学電気通信研究所	吉田 樹誉満, 須永 和久, 遠藤 哲郎, 舩岡 富士雄	109
中心窩構造有する画像処理チップ	東北大学工学研究科	中川 源洋	110
高速レベル変換回路	東京大学生産技術研究所	神田 浩一, 山田 大祐, 稲垣 賢一, 桜井 貴康	110

### 平成12年度 第2回 ローム0.35μmチップ試作

題 名	大 学 名	研 究 者	掲載頁
Gm-C方式を用いた8次バンドパスフィルタ	広島大学大学院先端物質科学研究科	村坂 佳隆, 岩田 穆	111
電流モード連続時間波形整形フィルタ	熊本大学工学部	佐々木 守	111
IP用R3000コア・プロセッサ	広島市立大学大学院情報科学研究科	弘中 哲夫, 佐々木 敬泰, 西村 直己	111
浮動小数点演算器IPの評価用チップ	広島市立大学情報科学部	河野 陽一, 松永 清香, 越智 裕之	112
短距離無線通信用RF回路	大阪大学大学院工学研究科	中村 光男, 島 秀樹, 松岡 俊匡, 谷口 研二	112
受動素子の高周波特性評価用TEG	大阪大学工学研究科	島 秀樹, 松岡 俊匡, 谷口 研二	112
アダマール変換機能を有するイメージセンサ回路の設計	広島大学大学院工学研究科 広島大学大学院先端物質科学研究科	片山 光亮 岩田 穆, 森江 隆, 永田 真	113
IF用Gm-Cフィルタの設計	広島大学大学院先端物質科学研究科	花嶋 直之, 岩田 穆	113
IFシステムLSI及びADCモジュレータの設計	広島大学大学院先端物質科学研究科	吉田 和史, 小川 卓臣, 岩田 穆	113
動的可変ネットワークを実現するための送受信回路の設計	広島大学大学院先端物質科学研究科	汐崎 充, 永田 真, 森江 隆, 岩田 穆	114
無線チップ間通信回路の試作 (1)	大阪大学大学院工学研究科	清水 由幸, 松岡 俊匡, 谷口 研二	114
無線チップ間通信回路の試作 (2)	大阪大学大学院工学研究科	清水 由幸, 松岡 俊匡, 谷口 研二	114
ミリ波帯PLL用周波数分周器の設計	東京大学工学系研究科 東京大学新領域創成科学研究科	山本 憲 藤島 実	115
高周波受信回路用要素回路の試作	東京工業大学大学院理工学研究科	高木 茂孝, 藤井 信生	115
低振幅ビット線を用いた低消費電力SRAM	東京大学生産技術研究所	服部 貞昭, 桜井 貴康	115
アナログ能動素子TEG	長崎総合科学大学工学部 長崎総合科学大学大学院工学研究科	田中 義人, 増田 隆志, 山城 正史, 清山 浩司, 田中 一成	116
PET用ブリアンプ	東京大学工学系研究科 東京大学人工物工学研究センター	Deng Zhi, 中村 亜由知 高橋 浩之	116
カオスニューラルネットワーク回路 (3)	広島大学大学院先端物質科学研究科	伊井 慎一郎, 森江 隆, 永田 真, 岩田 穆	116
SH-3互換プロセッサIPの試作	広島市立大学情報科学研究科 広島大学ナノデバイス・システム研究センター	三谷 陽介, 弘中 哲夫 内田 裕志, Mattausch Hans Juergen, 小出 哲士	117
動き補償用PEアレイ	京都大学情報学研究科	小林 和淑, 柴山 武英, 山口 準司, 小野寺 秀俊	117
高周波帯域における素子特性評価TEG	京都大学情報学研究科	井口 誠, 星野 洋昭, 小野寺 秀俊	117
低消費電力アナログマッチトフィルタの試作	早稲田大学理工学部 早稲田大学理工学総合研究センター	佐々木 昌浩, 松本 隆 坂井 文泰	118
サッカー検出用イメージセンサの設計	東北大学工学部	生居 譲, 河江 大輔, 栗野 浩之, 小柳 光正	118
高性能ネットワーク・プロセッサ用32ビットマイクロプロセッサ	東北大学工学部	張 俊, 小野 泰三, 栗野 浩之, 小柳 光正	118
ブロック暗号向けアクセラレータの設計	大阪大学大学院工学研究科 京都大学大学院情報科学研究科	密山 幸男, ZALDY ANDALES, 古家 真, 島中 理英, 白川 功 尾上 孝雄	119
低消費電力多値VLSIプロセッサのための基本集積回路の試作チップ	東北大学大学院情報科学研究科	池 司, 南 正樹, 望月 孝祥, 山口 通智, 羽生 貴弘, 亀山 充隆	119

遺伝的アルゴリズム専用RISCプロセッサDLX-GA	広島大学大学院工学研究科 広島大学ナノデバイス・システム研究センター 広島大学工学部	若林 真一, 小泉 慎哉, 藤原 一成, 小出 哲士 井村 紀道	119
8ポート, 64Kbit階層型SRAM	広島大学広島大学ナノデバイス・システム研究センター 広島市立大学情報科学部	大森 伸彦, Mattausch Hans Juergen, 小出 哲士 弘中 哲夫	120

## 平成13年度 第1回 ローム0.35 $\mu$ mチップ試作

題 名	大 学 名	研 究 者	掲載頁
OEICフロントエンド試作のためのTEG (1)	金沢大学工学部	北川 章夫, 山田 裕志, 源 貴利	121
OEICフロントエンド試作のためのTEG (2)	金沢大学工学部	北川 章夫, 山田 裕志, 源 貴利	121
OEICフロントエンド回路の高速化に対する受光面構造の検討	金沢大学工学部	山田 裕志	121
配線特性測定チップ	東京大学生産技術研究所	稲垣 賢一	122
低振幅ビット線とレベルコンバータ	東京大学生産技術研究所	服部 貞昭	122
極短距離無線スーパーコネクタ	東京大学生産技術研究所	神田 浩一, Danaldono dwi antono	122
遺伝的アルゴリズムを用いた不連続閉曲線抽出処理用チップ	東北大学大学院工学研究科	小林 亮一, 阿部 正英, 川又 政征	123
進化論的デジタルフィルタの並列実現のための性能評価用チップ	東北大学大学院工学研究科	村馬 尚之, 阿部 正英, 川又 政征	123
低消費電力A/Dコンバータと高周波電圧制御発振器・周波数分周器の設計	東京大学工学系研究科 東京大学新領域創成科学研究科	今村 晃, 石田 光一, 山本 憲 近藤 裕也, 藤島 実	123
シフトレジスタ機能を内蔵したLUTを有する高密度ビットシリアル	東京大学大規模集積システム設計教育研究センター 東京工業大学集積システム専攻	一色 剛 廣井 康生, 渡辺 究, 中田 太郎, 赤羽 克仁, Susila I Putu	124
2段階演算省略機能を備えたベクトル量子化プロセッサ	東北大学大学院工学研究科電子工学専攻大見研究室	望月 健司	124
MOSFETの特性ばらつきを測定する為のTEG	長崎総合科学大学工学部 長崎総合科学大学大学院電子情報学専攻	田中 義人 清山 浩司, 服部 慎	124
DCT演算回路およびリングオシレータによるばらつき測定TEG	京都大学情報学研究所	小林 和淑, 湯山 洋一, 岡田 健一, 小野寺 秀俊	125
スタンダードセルライブラリ, スパイラルインダクタ, 高周波VCO, トランジスタ特性ばらつき評価TEG	京都大学情報学研究所	橋本 昌宜, 藤森 一憲, 井口 誠, 星野 洋昭, 岡田 健一, 小野寺 秀俊	125
ATLAS実験TGC検出器用読み出し初段回路	東京都立大学理学研究科 東京大学素粒子物理国際研究センター 高エネルギー加速器研究機構素核研	田中 賢一 狩野 博之 池野 正弘, 佐々木 修	125
ATLAS実験用VMEバスブリッジ (HSC-CCI) に用いるプロトコルエンコード回路 (PPE)	東京大学素粒子物理国際研究センター 高エネルギー加速器研究機構素核研	狩野 博之, 中村 佳央, 蓮子 和巳 池野 正弘, 佐々木 修	126
CMOS/バス・トランジスタ混在論理回路	神戸大学大学院自然科学研究科 神戸大学工学部	高田 賢吾, 福岡 一樹, 藤田 克也 岩崎 隆弘, 竹内 寛高, 沼 昌宏	126
S/H回路を用いたCMOSアナログマッチトフィルタ, フローティングゲート付差動増幅器を用いたインテリジェントイメージセンサ	早稲田大学理工学部	河津 大志, 伊藤 和則	126
SFQ/CMOSハイブリッドメモリ用要素回路の試作	横浜国立大学大学院工学研究院	吉川 信行	127
128 $\times$ 128画素時間相関イメージセンサ (第3報)	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学	安藤 繁 来海 暁	127
電流テストポイント評価用チップ	大阪大学大学院工学研究科	三浦 克介, 中前 幸治, 藤岡 弘	127
放射線センサ用フロントエンド回路	東京大学工学系研究科 東京大学人工物工学研究センター	Deng Zhi, 中村 亜由知, 石津 崇章 高橋 浩之	128
低雑音増幅器と電力増幅器の設計	大阪大学工学研究科	島 秀樹, 車 承佑, 松岡 俊匡, 谷口 研二	128
チップ内 Multi Bit CDMA有線バスの設計	大阪大学工学研究科	清水 新策, Tan Boon Keat, 岩村 宏, 松岡 俊匡, 谷口 研二	128
チップ内 DS-CDMA有線バスの設計 (4)	大阪大学工学研究科	Tan Boon Keat, 岩村 宏, 松岡 俊匡, 谷口 研二	129
3Dユークリッドノルム計算回路, 平方根の逆数計算回路及び有限体GF (2 <sup>16</sup> ) 上の除算回路	名古屋大学大学院工学研究科	熊澤 文雄, 松岡 大輔, 渡辺 恭章, 高木 一義, 高木 直史	129
ハードウェアJIT機構を持つJavaプロセッサ	名古屋大学大学院工学研究科 奈良先端科学技術大学院大学情報科学研究科	鬼頭 秀明, 高木 一義, 高木 直史 木村 晋二	129
実時間対顔 (たいがん) 判定LSI	奈良先端科学技術大学院大学情報科学研究科	梶原 裕嗣, 早川 朋一, 松本 剛英, 森下 真秀, 鈴木 真人, 中西 正樹, 堀山 貴史, 木村 晋二, 渡邊 勝正	130
バストラジスタ型フリップフロップを用いた低電力LSI	東北大学大学院工学研究科	水草 智勝, 沈 正七, 栗野 浩之, 小柳 光正	130
ALU基本回路の試作	九州大学大学院システム情報科学研究院	水野 和彦	130
多チャンネル入力生体情報観測LSI用TEG (1)	広島大学大学院先端物質科学研究科	吉田 毅, 岩田 穆	131

多チャンネル入力生体情報観測LSI用TEG (2)	広島大学工学部 広島大学大学院先端物質科学研究科	真下 隆行, 山口 圭治, 吉田 毅 岩田 穆	131
適応型CMOSイメージセンサ	広島大学大学院先端物質科学研究科	今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆	131
適応型CMOSイメージセンサ	広島大学大学院先端物質科学研究科	今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆	132
2入力論理セルを有する高速2線式PLA及びハミング距離検索機能を有する機能メモリ	東京大学大学院工学系研究科	山岡 寛明, 池田 誠, 浅田 邦博	132

### 平成13年度 第1回 日立制作ゲートアレイ チップ試作

題 名	大 学 名	研 究 者	掲載頁
対数演算及びDFT演算回路の試作	北海道大学工学部	吉川 健太郎, 宮永 喜一, 吉沢 真吾	133
高速フーリエ変換 (FFT) 回路の試作	北海道大学工学部	吉沢 真吾, 宮永 喜一, 菅原 崇行, 吉川 健太郎	133
帯域消去型フィルタチップ	北海道大学工学部	ブンクムクラオ ウィチャイ, 宮永 善一	133
ATLAS実験LVL1トリガー用High-pTトラック検出回路	東京大学素粒子物理国際研究センター 東京都立大学理学研究科 高エネルギー加速器研究機構素核研	狩野 博之 福永 力 池野 正弘, 佐々木 修	134
ATLAS実験LVL1トリガー用High-pTトラック検出回路	東京大学素粒子物理国際研究センター 東京都立大学理学研究科 高エネルギー加速器研究機構素核研	狩野 博之 福永 力 池野 正弘, 佐々木 修	134
ATLAS実験TGC検出器用読み出し回路	京都大学理学研究科 東京大学素粒子物理国際研究センター 高エネルギー加速器研究機構素核研	溝内 健太郎 狩野 博之 池野 正弘, 佐々木 修	134

## 2.1. チップ種別索引

### TEG（特性評価回路など）

ラン名	タイトル	研究者	掲載頁
RO35011	OEICフロントエンド試作のためのTEG（1）	北川 章夫 山田 裕志 源 貴利	121
RO35011	OEICフロントエンド試作のためのTEG（2）	北川 章夫 山田 裕志 源 貴利	121
RO35011	OEICフロントエンド回路の高速化に対する受光面構造の検討	山田 裕志	121
RO35011	配線特性測定チップ	稲垣 賢一	122
RO35011	MOSFETの特性ばらつきを測定する為のTEG	田中 義人 清山 浩司 服部 慎	124
RO35011	スタンダードセルライブラリ、スパイラルインダクタ、高周波VCO、トランジスタ特性ばらつき評価TEG	橋本 昌宜 藤森 一憲 井口 誠 星野 洋昭 岡田 健一 小野寺 秀俊	125
RO35011	CMOS/バス・トランジスタ混在論理回路	高田 賢吾 福岡 一樹 藤田 克也 岩崎 隆弘 竹内 寛高 沼 昌宏	126
RO35011	多チャンネル入力生体情報観測LSI用TEG（1）	吉田 毅 岩田 穆	131
RO35011	多チャンネル入力生体情報観測LSI用TEG（2）	真下 隆行 山口 圭治 吉田 毅 岩田 穆	131
ROHM003	光インタフェースLSI用の試作	藤田 隼人 中村 公亮 深山 正幸 吉本 雅彦	88
ROHM003	光インタフェースLSI用の試作	藤田 隼人 中村 公亮 深山 正幸 吉本 雅彦	88
ROHM003	光インタフェースLSI用の試作	藤田 隼人 中村 公亮 深山 正幸 吉本 雅彦	89
ROHM003	CMOSイメージセンサTEGの設計	木村 孝之 白木 廣光	89
ROHM011	1T2C型強誘電体メモリ用周辺回路の設計とTEG試作	山本 修一郎 平山 智久 石原 宏	105
ROHM011	光インタフェースLSI用の試作	中村 公亮 深山 正幸 吉本 雅彦	106
ROHM011	光インタフェースLSI用の試作	中村 公亮 深山 正幸 吉本 雅彦	107
ROHM011	シフトレジスタおよび電流-電圧変換回路のTEG試作	高崎 哲 Kariyawasam Amal Bandula 米津 宏雄	108
ROHM011	低消費電力化を志向したデマルチプレクサ回路の特性評価用TEGの試作	吉田 樹誉満 須永 和久 遠藤 哲郎 舛岡 富士雄	109
ROHM011	高速レベル変換回路	神田 浩一 山田 大祐 稲垣 賢一 桜井 貴康	110
RO35002	アナログ能動素子TEG	田中 義人 増田 隆志 山城 正史 清山 浩司 田中 一成	116
RO35002	高周波帯域における素子特性評価TEG	井口 誠 星野 洋昭 小野寺 秀俊	117
MOT011	高精度CMOS定電圧回路（2）	金森 章 松田 敏弘 大曾根 隆志	68
MOT011	Charge Pump回路	野田 宗邦 大曾根 隆志 松田 敏弘	69
MOT011	改良型定電流源	野田 宗邦 大曾根 隆志 松田 敏弘	69
MOT011	マイクロプロセッサ検討用回路の設計	村松 透 縣 伸史 北村 義徳 永野 肇 望月 秀幸 波多野 裕	69
MOT011	ニューロンMOSFET・インバータの試作	石川 洋平 深井 澄夫	75
MOT002	高精度CMOS定電圧回路	金森 章 松田 敏弘 大曾根 隆志	50
MOT002	定電流源および基板バイアス発生回路	野田 宗邦 大曾根 隆志 松田 敏弘	51
MOT002	集積化コイルの検討	金森 章 松田 敏弘 大曾根 隆志	51
MOT002	アナログビルディングブロックTEG	平井 真志 鹿山 正規 伊藤 類 島 健	55
HHS002	フラクタルキャパシタ	藤島 実 柳瀬 健吾	78

### アナデジ混載

ラン名	タイトル	研究者	掲載頁
RO35011	放射線センサ用フロントエンド回路	Deng Zhi 中村 亜由知 石津 崇章 高橋 浩之	128
ROHM003	電荷逐次積分VLSIプロトタイプJ	酒井 雅司 田中 義人	94

ROHM003	高エネルギー実験用アナログメモリLSI	南雲 崇 江村 恒夫 新井 康夫	95
ROHM011	電荷逐次積分VLSIプロトタイプL	酒井 雅司 田中 義人	108
MOT011	アナディジ混載回路におけるディジタル雑音のための回路の試作	高木 茂孝 藤井 信生	70
MOT011	埋め込み型FES用ディジタル制御集積回路	高橋 誠 高橋 幸郎	77
HHS011	聴覚における音源定位機構を有するLSI	高木 晋吾 岸野 裕介 中島 裕明 内田 秀雄 市村 正也 荒井 英輔	82

### アナログ (PLL A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
RO35011	低消費電力A/Dコンバータと高周波電圧制御発振器・周波数分周器の設計	今村 晃 石田 光一 山本 憲 近藤 裕也 藤島 実	123
ROHM003	フローティングゲートMOS技術を用いた高速・低消費電力CDMAマッチトフィルタ	山崎 俊彦 田口 晶康 柴田 直	86
ROHM003	ν MOS技術を用いた高速・低消費電力CDMAマッチトフィルタ/低消費電力アナログバッファを用いたマンハッタン距離演算回路	山崎 俊彦 野村 周央 田口 晶康 柴田 直	87
ROHM003	アナログ集積回路における基本線形回路の設計	大浦 崇央 Tantry Shasidhar 鈴木 勉 浅井 秀樹	87
ROHM003	演算増幅器と静電容量型センサ用信号処理回路	阿波谷 佳朗 中谷 泰文 松本 佳宣	90
ROHM003	スイッチトキャパシタ電源回路の試作 (1)	大田 一郎 江口 啓	90
ROHM003	スイッチトキャパシタ電源回路の試作 (2)	江口 啓 大田 一郎	91
ROHM003	低リプル倍電圧発生回路の設計	北谷 卓哉 谷口 研二	92
ROHM003	E級DC-DCコンバータの設計	桐生 周一	94
ROHM011	SFQ/CMOSハイブリッドD-S ADコンバータ用デシメーションフィルタの試作	吉川 信行	97
ROHM011	完全差動型低ジッタPLLの設計	北谷 卓哉 尾関 俊明 谷口 研二	97
ROHM011	初歩的なアナログ集積回路 (5次Low Pass Filter) の試作	田中 武 大村 道郎 中村 正孝	106
ROHM011	フローティングゲートMOS技術を用いた柔軟なアナログ連想回路	山崎 俊彦 柴田 直	109
RO35002	Gm-C方式を用いた8次バンドパスフィルタ	村坂 佳隆 岩田 穆	111
RO35002	電流モード連続時間波形整形フィルタ	佐々木 守	111
RO35002	IFシステムLSI及びADCモジュレータの設計	吉田 和史 小川 卓臣 岩田 穆	113
RO35002	PET用プリアンプ	Deng Zhi 中村 亜由知 高橋 浩之	116
MOT011	1次連続時間電流スイッチデルタシグマ変調器の設計	増田 貴志 和保 孝夫	61
MOT011	スイッチトキャパシタ積分器の設計	角田 正人 和保 孝夫	61
MOT011	全差動OTA回路の設計	武井 一史 和保 孝夫	62
MOT011	クロック付きコンパレータおよびフラッシュ型A/D変換器	田島 康博 和保 孝夫	62
MOT011	櫛形構造MOSトランジスタとトランスコンダクタTEGの設計試作	今田 圭一 祭城 直人 船山 広輔 庄野 和宏 横山 道央 高橋 一清	63
MOT011	R-2Rラダー型DA変換器の試作 (1)	深津 康徳 渡邊 健蔵	64
MOT011	R-2Rラダー型DA変換器の試作 (2)	深津 康徳 渡邊 健蔵	64
MOT011	CMOSカレントミラーの設計	小川 覚美 渡邊 健蔵	65
MOT011	ボルテージダウンコンバータの試作	沖 和史 末次 正	65
MOT011	チャージポンプ型DC-DCコンバータとオペアンプの設計	小柳 裕彦 池本 孝之	65
MOT011	スイッチトキャパシタ変成器を用いたDC-DCコンバータの設計	大津 正裕	66
MOT011	リングアレイ前方視超音波イメージャ用集積回路の試作	中村 和浩 江刺 正喜	70
MOT011	各種演算増幅器設計の試作	高木 茂孝 藤井 信生	71
MOT011	FG-MOSFETを用いた電子可変浮遊抵抗回路の試作	飯尾 義徳 井上 高宏	74
MOT011	MOS構成に適したアナログ形PLLの試作	川元 雅紀 佐藤 紀章 伊藤 文人 井上 浩	76
HHS011	対称構造を採用したアナログ連想記憶ニューロチップの試作	中沢 一彦 廣瀬 明	81
MOT002	ボルテージダウンコンバータの試作	沖 和史 末次 正	46
MOT002	リングアレイ前方視超音波イメージャ用集積回路の試作	中村 和浩 江刺 正喜	46



MOT002	スイッチドキャパシタ容量型センサ・インターフェースの設計 —その1	小川 覚美 渡邊 健藏	47
MOT002	スイッチドキャパシタ容量型センサ・インターフェースの設計 —その2	小川 覚美 渡邊 健藏	47
MOT002	CMOS カレントミラーの設計	小川 覚美 渡邊 健藏	48
MOT002	高スルーレート演算増幅器の試作	高木 茂孝 藤井 信生	52
MOT002	D/A 変換器 TEG およびオペアンプ TEG	増田 貴志 角田 正人 和保 孝夫	52
MOT002	スイッチトキャパシタ電源回路の試作 (5)	大田 一郎 江口 啓	53
MOT002	スイッチトキャパシタ電源回路の試作 (6)	大田 一郎 江口 啓	53
MOT002	スイッチトキャパシタ電源回路の試作 (3)	大田 一郎 江口 啓	53
MOT002	スイッチトキャパシタ電源回路の試作 (4)	大田 一郎 江口 啓	54

## アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO35011	遺伝的アルゴリズムを用いた不連続閉曲線抽出処理用チップ	小林 亮一 阿部 正英 川又 政征	123
RO35011	進化的デジタルフィルタの並列実現のための性能評価用チップ	対馬 尚之 阿部 正英 川又 政征	123
RO35011	2段階演算省略機能を備えたベクトル量子化プロセッサ	望月 健司	124
RO35011	DCT 演算回路およびリングオシレータによるばらつき測定 TEG	小林 和淑 湯山 洋一 岡田 健一 小野寺 秀俊	125
RO35011	ATLAS 実験 TGC 検出器用読み出し初段回路	田中 賢一 狩野 博之 池野 正弘 佐々木 修	125
RO35011	実時間対顔 (たいがん) 判定 LSI	梶原 裕嗣 早川 朋一 松本 剛英 森下 真秀 鈴木 真人 中西 正樹 堀山 貴史 木村 晋二 渡邊 勝正	130
ROHM003	非同期スイッチ	石川 健一郎	87
ROHM003	強誘電体キャパシタシミュレーション支援 LSI の設計 (1)	山本 修一郎 平山 智久 石原 宏	92
ROHM003	CMOS カレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健藏	93
ROHM003	低入力インピーダンス AB 級 CMOS カレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健藏	93
ROHM003	Rail-to-Rail AB 級 CMOS カレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健藏	93
ROHM003	認識処理のための汎用デジタル連想プロセッサ	小川 誠 伊藤 潔人 柴田 直	95
ROHM003	認識処理のための汎用デジタル連想プロセッサ	小川 誠 伊藤 潔人 柴田 直	96
ROHM011	非同期スイッチ	石川 健一郎	99
ROHM011	ニューロン MOS をもちいたアナログ画像特徴抽出回路	田口 晶康 柴田 直	102
ROHM011	電荷転送増幅型低消費電力コンパレータを用いたステレオビジョンプロセッサ1	野村 周央 柴田 直	103
ROHM011	電荷転送増幅型低消費電力コンパレータを用いたステレオビジョンプロセッサ2	野村 周央 柴田 直	103
ROHM011	コンダクタンス型共鳴回路を用いたアナログ連想プロセッサ	小川 誠 柴田 直	104
ROHM011	強誘電体キャパシタシミュレーション支援 LSI の設計 (2)	山本 修一郎 平山 智久 石原 宏	104
ROHM011	CMOS カレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健藏	107
ROHM011	低入力インピーダンス AB 級 CMOS カレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健藏	107
ROHM011	Rail-to-Rail AB 級 CMOS カレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健藏	108
RO35002	動き補償用 PE アレイ	小林 和淑 柴山 武英 山口 準司 小野寺 秀俊	117
RO35002	ブロック暗号向けアクセラレータの設計	密山 幸男 ZALDY ANDALES 古家 眞 畠中 理英 白川 功 尾上 孝雄	119
MOT011	Rail-to-Rail AB 級 CMOS カレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健藏	64
MOT011	大規模システム設計を目指したテストチップの試作	中塚 昌樹 磯 直行	66
MOT011	CMOS シナプス回路による DA/AD コンバータ	範 公可 (Pham Cong-Kha)	72
HHS011	Winner take all 回路	柳井 孝介	80



HHS011	CMOS シナプス回路によるDA/ADコンバータ	範 公可	80
HITGA01	帯域消去型フィルタチップ	ブンクムクラオ ウィチャイ 宮永 善一	133
MOT002	埋め込み型FES用制御回路	高橋 誠 高橋 幸郎	46
MOT002	CMOS カレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健蔵	48
MOT002	低入力インピーダンスAB級CMOSカレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健蔵	48
MOT002	Rail-to-Rail AB級CMOSカレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健蔵	49
MOT002	クラスタリング・ラベリングアナログ/3層パーセプトロンアナログ回路	樺沢 正之	54
MOT002	3次元スイッチボックスのためのハードウェアルータの試作	大村 道郎 門田 亘弘	56

### イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO35011	128×128画素時間相関イメージセンサ (第3報)	安藤 繁 来海 暁	127
RO35011	適応型CMOSイメージセンサ	今村 俊文 山本 美子 永田 真 森江 隆 岩田 穆	131
RO35011	適応型CMOSイメージセンサ	今村 俊文 山本 美子 永田 真 森江 隆 岩田 穆	132
ROHM003	高速CMOSイメージセンサ ver2	今村 俊文 山本 美子 永田 真 森江 隆 岩田 穆	84
ROHM003	高速CMOSイメージセンサ ver2	今村 俊文 山本 美子 永田 真 森江 隆 岩田 穆	84
ROHM003	擬似2次元アルゴリズムを用いた動き検出回路用 Time-Derivative Generator	木村 弘枝 柴田 直	85
ROHM003	生体の初期視覚機構に学んだ動き検出チップの設計	大谷 真弘 山田 仁 西尾 公裕 米津 宏雄	88
ROHM011	近似AD変換による三次元動画撮像用高速ポジションセンサ	大池 祐輔 池田 誠 浅田 邦博	98
ROHM011	擬似2次元処理を用いた動き検出イメージセンサLSI	木村 弘枝 柴田 直	102
ROHM011	生体の視覚機能に学んだ二次元動き検出チップの試作	山田 仁 米津 宏雄	104
ROHM011	方向選択性動き検出ネットワークの二次元配置方法の検討	大谷 真弘 米津 宏雄	105
ROHM011	行並列処理による高速ポジションセンサ	大池 祐輔 池田 誠 浅田 邦博	109
ROHM011	中心窩構造有する画像処理チップ	中川 源洋	110
RO35002	アダマール変換機能を有するイメージセンサ回路の設計	片山 光亮 岩田 穆 森江 隆 永田 真	113
RO35002	サッカー検出用イメージセンサの設計	生居 讓 河江 大輔 栗野 浩之 小柳 光正	118
MOT011	生体の初期視覚機構に学んだ物体の接近検出チップの試作	西尾 公裕 米津 宏雄	67
MOT011	広ダイナミックレンジを有するエッジ検出回路の電子回路化	高崎 哲 米津 宏雄	67
MOT011	局所適応機能を有する二次元エッジ検出網膜チップの設計	Amal Bandula Kariyawasam 米津 宏雄	68
MOT011	PMOSゲート容量型三相時間相関イメージセンサ	安藤 繁 来海 暁	75
MOT011	フォトランジスタ型三相時間相関イメージセンサ	安藤 繁 来海 暁	76
MOT011	64×64画素三相時間相関イメージセンサ	五嶋 健治 安藤 繁 来海 暁	77
MOT011	100×100画素単相時間相関イメージセンサ	五嶋 健治 安藤 繁 来海 暁	77
MOT002	Self Bias Circuitを導入した一次元エッジ検出ネットワークの設計	Amal Bandula Kariyawasam 米津 宏雄	49
MOT002	一次元方向選択性動き検出ネットワークの試作	大谷 真弘 米津 宏雄	49
MOT002	網膜機能に学んだ動き検出チップの設計	山田 仁 米津 宏雄	50
MOT002	生体の初期視覚機構に学んだ物体の接近検出機能のアナログ集積回路化	西尾 公裕 米津 宏雄	50
MOT002	ヒューズ回路を用いた画像処理回路の試作	高木 茂孝 藤井 信生	51
MOT002	フィルタリング処理機能搭載CMOSイメージセンサ	堀井 賢樹 吉本 卓己	55
MOT002	128×128画素時間相関イメージセンサ (第2報)	安藤 繁 来海 暁	56
HHS002	64×64高感度・広ダイナミックレンジポジションセンサ	大池 祐輔 池田 誠 浅田 邦博	79

## その他

ラン名	タイトル	研究者	掲載頁
ROHM993	プラスチック・セル・アーキテクチャの設計と試作	杉本 成範 境 和久 檜田 和浩 泉 知論 尾上 孝雄 中村 行宏	83
RO35011	ATLAS実験用VMEバスブリッジ (HSC-CCI) に用いる プロトコルエンコード回路 (PPE)	狩野 博之 中村 佳央 蓮子 和巳 池野 正弘 佐々木 修	126
ROHM003	分周技術を応用した周波数通倍回路	佐々木 博文 藤本 邦昭	90
ROHM011	50ニューロン搭載ストカスティックニューロチップ	根本 憲 金城 光永 佐藤 茂雄 中島 康治	98
ROHM011	ATLAS実験TGC検出器用読み出し初段回路	田中 賢一 狩野 博之 池野 正弘 佐々木 修	100
RO35002	動的可変ネットワークを実現するための送受信回路の設計	汐崎 充 永田 真 森江 隆 岩田 穆	114
MOT011	7セグ表示付き10進カウンタ	赤瀬 秀夫 磯井 太地 伊藤 大輔 藤岡 英明 越智 裕之 窪田 昌史 児島 彰 寺内 衛	57
MOT011	サイレン付きナイトライダー	上田 晃司 合田 武弘 竹内 達 浜崎 淳 越智 裕之 窪田 昌史 児島 彰 寺内 衛	57
MOT011	クリスマスツリーの電飾	川崎 貴之 河野 健一郎 小林 一彦 越智 裕之 窪田 昌史 児島 彰 寺内 衛	57
MOT011	8進バイナリカウンタを用いたルーレット	岩田 健 高地 真吾 榊 知広 越智 裕之 窪田 昌史 児島 彰 寺内 衛	58
MOT011	7セグ表示付き16進カウンタ	岡 武志 岡部 朋宏 川口 俊文 吉永 純也 越智 裕之 窪田 昌史 児島 彰 寺内 衛	58
MOT011	3差路の信号機	北堀 剛広 佐藤 将之 鳥本 拓 南 智史 越智 裕之 窪田 昌史 児島 彰 寺内 衛	58
MOT011	1日を28時間にしたいあなたへ是非勧めたい時報	大石 祥子 成瀬 由希 南 寛子 田中 真由美 越智 裕之 窪田 昌史 児島 彰 寺内 衛	59
MOT011	メトロノーム	盛谷 大輔 杉上 洋平 増田 崇志 都築 右典 越智 裕之 窪田 昌史 児島 彰 寺内 衛	59
MOT011	6進バイナリカウンタを用いたサイコロ	上木 彰彦 岡 宜史 河野 臣和 田辺 泰弘 越智 裕之 窪田 昌史 児島 彰 寺内 衛	59
MOT011	3ビットジョンソンカウンタを用いたナイトライダー	今村 光佐 小林 浩之 豊田 弦気 原田 史 越智 裕之 窪田 昌史 児島 彰 寺内 衛	60
MOT011	3ビットジョンソンカウンタを用いたサイコロ	川元 智 瀬戸 淳一 榊 貴史 吉村 賢吾 越智 裕之 窪田 昌史 児島 彰 寺内 衛	60
MOT011	6進バイナリカウンタを用いたナイトライダー	富田 智 藤本 清 吉田 英憲 若槻 学 越智 裕之 窪田 昌史 児島 彰 寺内 衛	60
MOT011	経過時間を知らせるLED付きクッキングタイマー	加藤 慶一 川上 貴宏 村島 大介 森田 洋介 越智 裕之 窪田 昌史 児島 彰 寺内 衛	61
MOT011	ストップウォッチ	山崎 秀哉	62
MOT011	DPWMコントローラの設計	樋口 浩太郎	63
MOT011	離散時間型電流モードアナログCMOSカオス回路	濱里 主巳 常田 明夫 井上 高宏 江口 啓	66
MOT011	リング型DC-DC電圧変換回路用のCMOSスイッチ	江口 啓	71
MOT011	ORGA (Optically Reconfigurable Gate Array) の実現に向けて	松本 昇 渡邊 実 小林 史典	72



MOT011	LSI テスタ/EB プローバ 実習用チップ Ver.3	北川 章夫	73
MOT011	集積回路設計実習用チップの試作	山川 俊貴 安成 潤 中根 秀夫 平山 陽一朗 飯尾 義徳 井上 高宏	75
MOT011	オンチップクロック試験用要素回路の試作	石田 雅裕 小谷 光司 大見 忠弘	76
HHS011	プラスチック・セル・アーキテクチャの設計と試作 : PCA-chip2.001	富田 明彦 杉本 成範 曾我 祐紀 岡本 卓也 泉 知論 尾上 孝雄 中村 行宏	81
HHS011	マルチポートメモリのためのクロスバスイッチの設計	深江 誠二 大森 伸彦 小出 哲士 Mattausch Hans Juergen 井上 智宏 弘中 哲夫	82
HITGA01	ATLAS 実験 LVL1 トリガー用 High-pT トラック検出回路	狩野 博之 福永 力 池野 正弘 佐々木 修	134
HITGA01	ATLAS 実験 LVL1 トリガー用 High-pT トラック検出回路	狩野 博之 福永 力 池野 正弘 佐々木 修	134
HITGA01	ATLAS 実験 TGC 検出器用読み出し回路	溝内 健太郎 狩野 博之 池野 正弘 佐々木 修	134
MOT002	学部3年向けチップ試作演習の予備実験	越智 裕之	45

## ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
RO35011	シフトレジスタ機能を内蔵したLUTを有する高密度ビットシリアル	一色 剛 廣井 康生 渡辺 究 中田 太郎 赤羽 克仁 Susila I Putu	124
RO35011	チップ内 Multi Bit CDMA有線バスの設計	清水 新策 Tan Boon Keat 岩村 宏 松岡 俊匡 谷口 研二	128
RO35011	チップ内 DS-CDMA有線バスの設計 (4)	Tan Boon Keat 岩村 宏 松岡 俊匡 谷口 研二	129
ROHM003	単調, 非単調ニューロンの切り替え機能を持った量子化結合ニューラルネットワークの設計	安部 正夫 佐藤 茂雄 中島 康治	85
ROHM003	DS-CDMA有線バスの設計 (3)	清水 新策 Tan Boon Keat 吉村 隆治 松岡 俊匡 谷口 研二	91
ROHM003	CDMA有線インターフェース復調回路における要素回路の試作	岩村 宏 Tan Boon Keat 松岡 俊匡 谷口 研二	91
ROHM011	マルチチップ化を指向したOn-Chip学習可能な量子化結合ニューラルネットワークの集積化	安部 正夫 佐藤 茂雄 中島 康治	98
ROHM011	画像分割用非線形振動子ネットワーク回路	安藤 博士 森江 隆 永田 真 岩田 穆	99
ROHM011	単位電流可変方式2進SD数全加算器の設計	齋藤 雄哉 青木 孝文 樋口 龍雄	106
RO35002	カオスニューラルネットワーク回路 (3)	伊井 慎一郎 森江 隆 永田 真 岩田 穆	116
RO35002	低消費電力多値VLSIプロセッサのための基本集積回路の試作チップ	池 司 南正樹 望月 孝祥 山口 通智 羽生 貴弘 亀山 充隆	119
HHS011	共鳴トンネル論理ゲートMOBILEのエミュレーション回路とそれを用いたCellular Neural Network	丹羽 壮平 前澤 宏一 水谷 孝	80
MOT002	演算増幅器, 発振回路の試作	泉妻 まり子 薛 宗陽 岡田 英樹 塩田 智基 佐伯 勝敏 関根 好文	45
MOT002	パルス形ニューロンモデルの試作	今野 勇司 柏木 直人 松岡 淳 佐伯 勝敏 関根 好文	45
HHS002	共鳴トンネル論理ゲートMOBILEのエミュレーション回路	丹羽 壮平 前澤 宏一 水谷 孝	78

## マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO35011	電流テストポイント評価用チップ	三浦 克介 中前 幸治 藤岡 弘	127

RO35011	ハードウェアJIT機構を持つJavaプロセッサ	鬼頭 秀明 高木 一義 高木 直史 木村 晋二	129
ROHM003	8ビットマイクロプロセッサ	木村 真也 狩野 亮 倉持 拓郎	94
ROHM011	CPU作成学生実験におけるLSI設計事例	小林 真輔	100
RO35002	IP用R3000コア・プロセッサ	弘中 哲夫 佐々木 敬泰 西村 直己	111
RO35002	SH-3互換プロセッサIPの試作	三谷 陽介 弘中 哲夫 内田 裕志 Mattausch Hans Juergen 小出 哲士	117
RO35002	高性能ネットワーク・プロセッサ用32ビットマイクロプロセッサ	張 俊 小野 泰三 栗野 浩之 小柳 光正	118
RO35002	遺伝的アルゴリズム専用RISCプロセッサDLX-GA	若林 真一 小泉 慎哉 藤原 一成 小出 哲士 井村 紀道	119
HHS011	高性能Network Processor用Multi Channel DMA Controllerの設計とRandom Accessing Processorの設計	劉 哲 張 俊	81

## メモリ

ラン名	タイトル	研究者	掲載頁
RO35011	低振幅ビット線とレベルコンバータ	服部 貞昭 桜井 貴康	115
RO35011	SFQ/CMOSハイブリッドメモリ用要素回路の試作	吉川 信行	127
ROHM003	SFQ/CMOSハイブリッドメモリ用要素回路の試作	吉川 信行	89
ROHM011	16kb SFQ/CMOSハイブリッドメモリの試作	吉川 信行	97
ROHM011	相変化不揮発性メモリ	福島 早奈恵	101
ROHM011	相変化不揮発性メモリ	福島 早奈恵	101
RO35002	低振幅ビット線を用いた低消費電力SRAM	服部 貞昭	122
RO35002	8ポート、64Kbit階層型SRAM	大森 伸彦 Mattausch Hans Juergen 小出 哲士 弘中 哲夫	120
MOT002	相変化メモリ (32KBit)	福島 早奈恵	54

## MEMS

ラン名	タイトル	研究者	掲載頁
MOT011	リングアレイ前方視超音波イメージャ用集積回路の試作	中村 和浩 江刺 正喜	70
MOT002	リングアレイ前方視超音波イメージャ用集積回路の試作	中村 和浩 江刺 正喜	47

## 演算回路 (乗算器 除算器など)

ラン名	タイトル	研究者	掲載頁
RO35011	3Dユークリッドノルム計算回路、平方根の逆数計算回路及び有限体GF (2160) 上の除算回路	熊澤 文雄 松岡 大輔 渡辺 恭章 高木 一義 高木 直史	129
RO35011	パストランジスタ型フリップフロップを用いた低電力LSI	水草 智勝 沈 正七 栗野 浩之 小柳 光正	130
RO35011	ALU基本回路の試作	水野 和彦	130
RO35011	2入力論理セルを有する高速2線式PLA及びハミング距離検索機能を有する機能メモリ	山岡 寛明 池田 誠 浅田 邦博	132
ROHM003	実時間誤り検出機構を有する高信頼FPGAの試作	津田 真人 鹿股 昭雄 阿部 茂樹 青木 孝文 樋口 龍雄	84
ROHM003	擬似2次元アルゴリズムを用いた動き検出回路用 Velocity Detector	木村 弘枝 柴田 直	85
ROHM003	画像特徴抽出におけるメディアン値演算回路	斉藤 康祐 柴田 直	86
ROHM003	電荷転送増幅型低消費電力コンパレータ及びWTA回路	野村 周央 柴田 直	86
ROHM003	MVD乗算器とニューロンMOSFETを用いたアナログ回路/多値論理回路	稲葉 基 淡野 公一 石塚 興彦	92
ROHM011	離散フーリエ変換回路の設計	木村 孝之 白木 廣光	99





ROHM011	擬似2次元アルゴリズムを用いた動き検出回路用 Velocity Detector (修正版)	木村 弘枝 柴田 直	102
ROHM011	メモリ融合型イメージフィルタリング・プロセッサのテスト回路	伊藤 潔人 柴田 直	103
RO35002	浮動小数点演算器IPの評価用チップ	河野 陽一 松永 清香 越智 裕之	63
MOT011	断熱的ダイナミックCMOS論理回路を用いたSD1bit加算器の 試作	高橋 康宏 水沼 充 庄野 和宏 横山 道央 高橋 一清	63
MOT011	LSI設計演習における試作チップ (4bit全加算器)	尾保手 茂樹 鹿子嶋 憲一	67
MOT011	小型加速度センサ用増幅器の設計	麻生 啓太 大曾根 隆志 松田 敏弘	68
MOT011	アレイ構造をもつカオス発生回路	江口 啓	71
MOT011	LSI設計コンテスト (1)	北畑 隼遠 小島 康 高田 雅史 高橋 司 源 貴利 北川 章夫	72
MOT011	LSI設計コンテスト (2)	小竹 剛 杉木 智恵 西 吉彦 前田 喬行 源 貴利 福島 早奈恵	73
MOT011	複素数乗算器/逐次比較コントローラ	北川 章夫	73
MOT011	FG-MOSFETのみかけのしきい電圧プログラミング回路の試作 とそのフィルタへの応用	平山 陽一朗 井上 高宏	74
MOT011	特性改善したFG-MOSFET低電圧完全差動型電流モード低域 通過フィルタの試作	中根 秀夫 平山 陽一朗 井上 高宏	74
HITGA01	対数演算及びDFT演算回路の試作	吉川 健太郎 宮永 喜一 吉沢 真吾	133
HITGA01	高速フーリエ変換 (FFT) 回路の試作	吉沢 真吾 宮永 喜一 菅原 崇行 吉川 健太郎	133
MOT002	4進SD数全加算器におけるニューロンMOSFETのフローティング ゲート面積の縮小	今西 茂 浅香 篤 村中 徳明 徳丸 正孝	52
HHS002	除算器及び正弦・余弦計算回路	水野 知秀 熊澤 文雄 高木 一義 高木 直史	78
HHS002	IP公開を目的とした乗算器チップの試作設計	田上 暢顕 室山 真徳 兵頭 章彦 安浦 寛人	79
HHS002	入力信号パターンを考慮した低電力乗算器の試作	室山 真徳 兵頭 章彦 安浦 寛人	79

### 通信 (RF回路 ATMなど)

ラン名	タイトル	研究者	掲載頁
RO35011	極短距離無線スーパーコネクタ	神田 浩一 Danardono Dwi Antono	122
RO35011	SH回路を用いたCMOSアナログマッチフィルタ, フローティング ゲート付差動増幅器を用いたインテリジェントイメージセンサ	河津 大志 伊藤 和則	126
RO35011	低雑音増幅器と電力増幅器の設計	島 秀樹 車 承佑 松岡 俊匡 谷口 研二	128
ROHM003	光通信用信号処理回路	三浦 淳平 松本 佳宣	95
ROHM011	スパイラルインダクタTEG	杉本 泰博	100
ROHM011	高周波動作電圧制御発振器・周波数分周器の設計	今村 晃 山本 憲 藤島 実	101
ROHM011	Bluetooth用ベースバンド復調回路	中井 貴之 山崎 秀哉	105
RO35002	短距離無線通信用RF回路	中村 光男 島 秀樹 松岡 俊匡 谷口 研二	112
RO35002	受動素子の高周波特性評価用TEG	島 秀樹 松岡 俊匡 谷口 研二	112
RO35002	IF用Gm-Cフィルタの設計	花嶋 直之 岩田 穆	113
RO35002	無線チップ間通信回路の試作 (1)	清水 由幸 松岡 俊匡 谷口 研二	114
RO35002	無線チップ間通信回路の試作 (2)	清水 由幸 松岡 俊匡 谷口 研二	114
RO35002	ミリ波帯PLL用周波数分周器の設計	山本 憲 藤島 実	115
RO35002	高周波受信回路用要素回路の試作	高木 茂孝 藤井 信生	115
RO35002	低消費電力アナログマッチフィルタの試作	佐々木 昌浩 松本 隆 坂井 丈泰	118
MOT002	並列デッドロック回復ルータ Recover-x	御代田 雅俊 吉永 努 横田 隆史 大津 金光 馬場 敬信	55

## 2.2. 試作結果

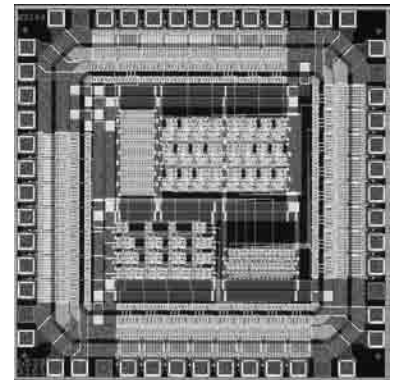
# 平成 12 年度 第 2 回 オンセミコンダクタ チップ試作 (MOT002)

### 学部 3 年向けチップ試作演習の予備実験

広島市立大学情報科学部 越智 裕之

概要：平成 13 年度より本学の情報工学科 3 年生向けの授業において，集積回路の仕組みやトランジスタレベルおよびゲートレベルの回路についての理解を深めるべく，レイアウトエディタや回路シミュレータなどの必要最小限の CAD ツールを用いて実際にチップ設計を行なう演習を実施することとなった。本チップは，1 チップ上に実装可能な回路の規模やレイアウト設計・DRC・回路シミュレーションなどに要する時間などの目安を得るために教員が設計したものである。このチップ上には，リングオシレータ，分周器，7 セグメント LED 用デコーダ，および 4 ビットアレイ乗算器を搭載している。動作確認は，ブレッドボード上に並べた LED などの外付け部品と VDEC の変換ボードをジャンパ線で結線して行なった。なお，授業で実際に学生らが設計したチップについては，平成 13 年度第 1 回オンセミコンダクタチップ試作 (MOT01\_1) を参照されたい。

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：1,000 以上，10,000 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他

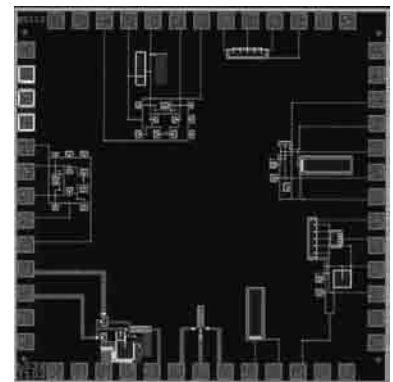


### 演算増幅器，発振回路の試作

日本大学理工学部電子情報工学科 泉妻 まり子，薛 宗陽，岡田 英樹，塩田 智基，佐伯 勝敏，関根 好文

概要：脳内に存在する神経回路網をモデル化する研究がなされており，アナログ回路方式でニューロンチップを実現するという試みが行われている。我々は，工学的な応用を目指して，演算増幅器を用い，シナプス部について検討を行っている。今回，ケーデンスのアナログ回路設計ツールを用いて，シナプス用演算増幅器を試作した。また，近年，移動体通信の発展に伴い，小型化，高周波化を目指し研究が行われている。我々は発振器の周波数安定化，低電圧・小電力化に関する研究を行っており，今回，ケーデンスのアナログ回路設計ツールを用いて，発振回路を試作した。

設計期間：2 人月以上，3 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上，100 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：ニューテクノロジー

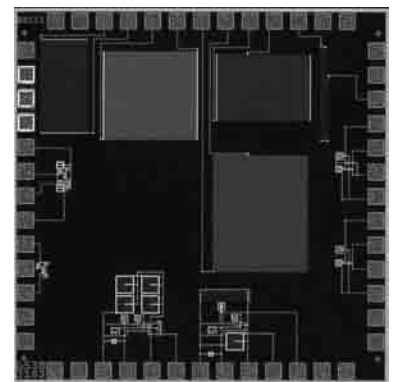


### パルス形ニューロンモデルの試作

日本大学理工学部電子情報工学科 今野 勇司，柏木 直人，松岡 淳，佐伯 勝敏，関根 好文

概要：脳内における情報の伝達はパルス信号により行われており，パルスを出力する神経回路をモデル化する研究がなされている。パルス形ニューロンモデルとして提案した八木型のモデル， $\Lambda$ 型モデルについて，それぞれ，工学的な応用を目指して，標準の CMOS プロセスで IC 化可能なモデルを提案している。我々は，パルス形のモデルについて IC 化を行っており，今回，なるべく小面積で，安定動作する八木型ニューロンモデルと  $\Lambda$ 型ニューロンモデルに対する検討を行い，エンハンスメント形 MOSFET とコンデンサを用いて構成し，ケーデンスのアナログ回路設計ツールを用いて，試作を行った。

設計期間：2 人月以上，3 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, PSpice トランジスタ数：10 以上，100 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：ニューテクノロジー



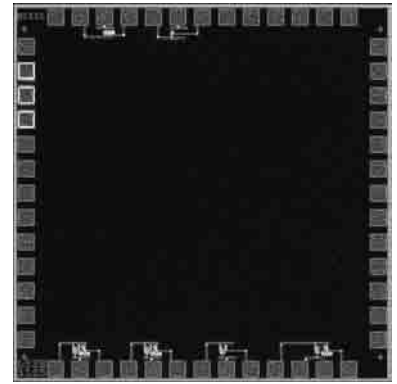
## ボルテージダウンコンバータの試作

福岡大学工学研究科 沖 和史

福岡大学工学部 末次 正

**概要：**現在、携帯電子機器の急速な普及にともなって、機器の小型化、軽量化が進んでいる。このため、バッテリーへの制限は一層厳しくなり、低消費電力化が要求されている。その解決策としては、電源電圧の低圧化が最も有効である。また、年々微細化と共に、トランジスタ、配線の耐圧も低下しており、それらに対応する意味でも電源電圧の低圧化を行う必要がある。オンチップ型の降圧回路を用いることで、小型で安定した電源供給が可能となる。本回路は、基準電圧発生回路と差動回路と出力部から構成されている。今回、試作したオンチップボルテージダウンコンバータでは、各パーツごとに動作確認ができるように、同じ回路を分割したものをいくつか配置した。

**設計期間：**0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数：**10 以上、100 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

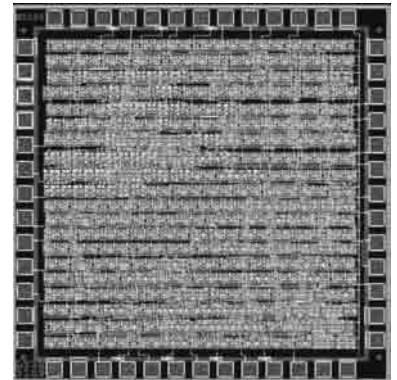


## 埋め込み型 FES 用制御回路

埼玉大学工学部 高橋 誠, 高橋 幸郎

**概要：**事故等により脊髄や神経に損傷を受けて四肢麻痺により運動機能を喪失した患者に対し、機能的電気刺激 (FES) により運動機能の再建が可能である。刺激電極からの感染や煩わしさを避けるためには刺激電極と刺激装置共に完全に体内に埋め込むことが望ましい。このため刺激電力と、刺激情報を電磁結合により体内に伝送し、これを体内で整流、復調するための電子回路を有する埋め込み装置を開発した。装置の仕様は、刺激制御用情報の伝送には 123kHz のシリアルデータを 1.23MHz のバースト波の有無による ASK 方式を、また電力伝送には 123kHz を用い、刺激電極数は最大 32 チャンネルとした。この装置には低消費電力化と小型化が必要であることから、カスタム集積回路が有効である。本設計では、スタンダードセルを用いて、2mm 角のチップ面積に 1422 ゲートで回路を構成することができた。

**設計期間：**0.5 人月以上、1 人月未満 **設計ツール：**Synopsys 社 design\_compiler, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**100 以上、1,000 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



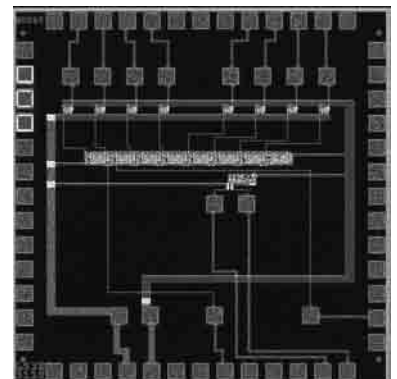
## リングアレイ前方視超音波イメージャ用集積回路の試作

東北大学ベンチャー・ビジネス・ラボラトリー 中村 和浩

東北大学未来科学技術共同研究センター 江刺 正喜

**概要：**マイクロマシン技術を利用して、圧電素子 8 個からなるリングアレイを作成している。このリングアレイは医療用カテーテルの先端に搭載し、前方の血管壁や狭窄部、異物などの情報をリアルタイムに取得する前方視超音波イメージャを構成するものである。このリングアレイからの信号取得時の省線化を主な目的として、プローブ近傍に信号増幅および、信号切り替えのための集積回路を搭載する事にした。試作したチップは、カテーテル先端形状に合わせ、レイアウトしたもので、8ch 分の電流帰還型オペアンプの出力を CMOS スイッチで選択し、後段に配置したドライブ用の電流帰還型オペアンプから出力する、2 段増幅素子となっている。入力部には素子保護用のダイオードを配置している。

**設計期間：**0.1 人月以上、0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10 以上、100 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)





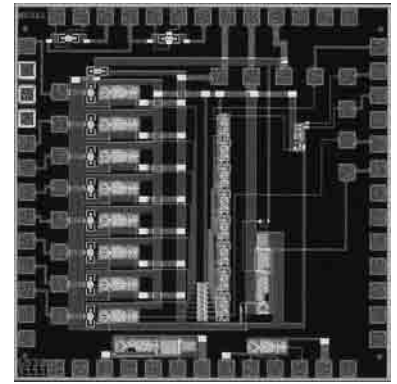
## リングアレイ前方視超音波イメージャ用集積回路の試作

東北大学ベンチャー・ビジネス・ラボラトリー 中村 和浩

東北大学未来科学技術共同研究センター 江刺 正喜

**概要：**マイクロマシン技術を利用して、圧電素子8個からなるリングアレイを作成しており、このリングアレイを医療用カテーテルの先端に搭載することで、前方の血管壁や狭窄部、異物などの情報をリアルタイムに取得する前方視超音波イメージャを構成することを目的としている。超音波の送信パルスは高圧であるため、自作したマイクロリレーを介して選択するが、このリレー駆動用のドライブ回路が必要となった。試作したチップはこのマイクロリレーを駆動するためのドライブ回路となっている。カテーテル先端形状に合わせ、レイアウトされており、カレントミラー回路を用いた、8ch分のリレードライブ回路をシフトレジスタ回路で選択する構成となっている。

**設計期間：**0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**10以上、100未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別：**MEMS

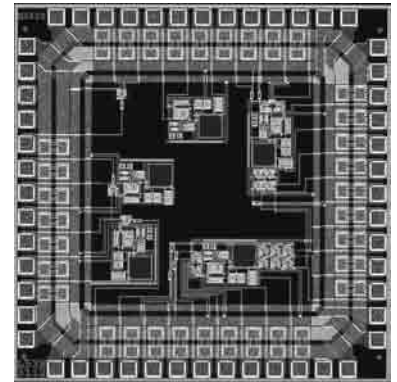


## スイッチドキャパシタ容量型センサ・インターフェースの設計—その1

静岡大学電子工学研究所 小川 覚美, 渡邊 健蔵

**概要：**圧力、位置、加速度、回転角度等の物理量の検知に広く使われている差動容量型センサの高速、高精度インターフェース回路の実現を目指してスイッチドキャパシタ技術を用いたインターフェース回路の試作を行った。インターフェース回路はスイッチドキャパシタ S/H 回路を用いた構成で、重なり合わない2相クロック信号で動作する。試作チップには基本インターフェース回路と共に、高精度化が期待できるダブルサンプリング・インターフェース回路、及び、S/H 回路、差動増幅器が含まれている。基本インターフェース回路を駆動する2相クロック信号、及び、ダブルサンプリング・インターフェース回路を駆動する4相クロック信号は外部回路により与えられる。スイッチドキャパシタ回路における非線形誤差の最も大きな要因となるアナログスイッチに付随するクロックフィードスルーの影響を比較するためにスイッチサイズの異なるその1とその2の2種類のチップを試作した。試作回路の測定を行い、その動作を確認した。

**設計期間：**0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**10以上、100未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

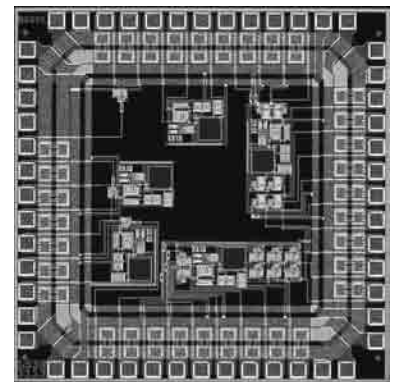


## スイッチドキャパシタ容量型センサ・インターフェースの設計—その2

静岡大学電子工学研究所 小川 覚美, 渡邊 健蔵

**概要：**圧力、位置、加速度、回転角度等の物理量の検知に広く使われている差動容量型センサの高速、高精度インターフェース回路の実現を目指してスイッチドキャパシタ技術を用いたインターフェース回路の試作を行った。インターフェース回路はスイッチドキャパシタ S/H 回路を用いた構成で、重なり合わない2相クロック信号で動作する。試作チップには基本インターフェース回路と共に、高精度化が期待できるダブルサンプリング・インターフェース回路、及び、S/H 回路、差動増幅器が含まれている。基本インターフェース回路を駆動する2相クロック信号、及び、ダブルサンプリング・インターフェース回路を駆動する4相クロック信号は外部回路により与えられる。スイッチドキャパシタ回路における非線形誤差の最も大きな要因となるアナログスイッチに付随するクロックフィードスルーの影響を比較するためにスイッチサイズの異なるその1とその2の2種類のチップを試作した。試作回路の測定を行い、その動作を確認した。

**設計期間：**0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**10以上、100未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

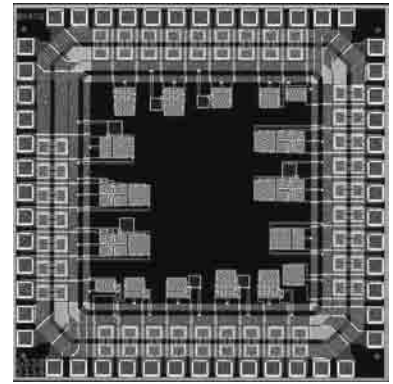


## CMOS カレントミラーの設計

静岡大学電子工学研究所 小川 覚美, 渡邊 健蔵

**概要:** アナログ集積回路設計において電流モード信号処理回路が注目されるに伴い, アナログ電子回路の基本構成素子の1つであるカレントミラーの果たす役割は益々大きくなっている. ここでは, 高速の信号処理に用いることができる広帯域, 高精度のカレントミラーを実現するために, まず, 基本的な CMOS カレントミラーの試作を行った. 試作チップにはそれぞれ nMOS と pMOS 構成の基本カレントミラー, ウィルソン・カレントミラー, 改良型ウィルソン・カレントミラーが含まれている. また, ウィルソン・カレントミラー, 改良型ウィルソン・カレントミラーの電流伝達特性に生じるピークを補償し, フラットな特性を得るための周波数補償カレントミラーも同チップ上に搭載された. 試作チップのカレントミラーの特性を測定し, シミュレーション結果と比較した.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



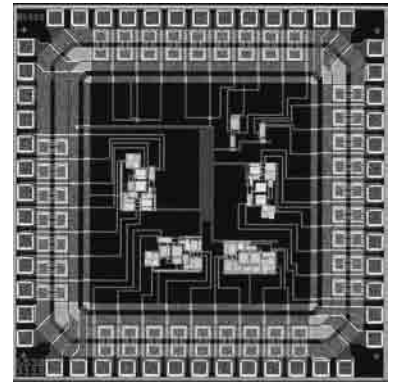
## CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 電流モード信号処理の基本構成素子である第二世代カレント・コンペア (CC II) は, 電流モード信号処理における演算増幅器として位置付けられる. 今回の CC II の設計では, 電圧入力に差動段, 定電圧源から成るバイアス段, 電流入力に AB 級プッシュプル段を用いた構成とし, 電圧入力端子, 電流入力端子, 電流出力端子の三端子と, バイアス電流のための電流入力端子を外部入出力端子とした. シミュレーションにより得られた CC II の性能が, 実際の IC でも得られるかどうかを確認するため設計した. Hspice によるシミュレーション結果と, 試作した IC の測定結果が, ほぼ一致する結果が得られた.

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986 **設計期間:** 0.1 人月以上, 0.5 人月未満

**設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



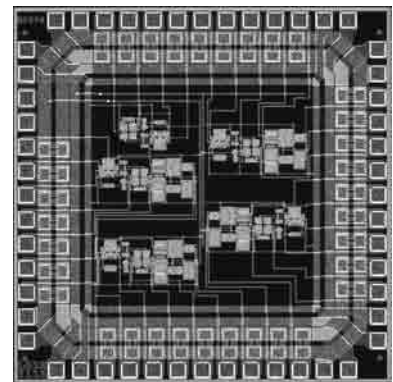
## 低入カインピーダンス AB 級 CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 今までの第二世代カレント・コンペア (CC II) は, 電流入力端子におけるインピーダンスが高く, 電流入力端子と電圧入力端子間のオフセット電圧も大きいために理想的な伝達特性が得られないという問題点がある. ここで今回の CC II は, 電圧入力にフィードバック構成を用いた差動増幅器 (folded cascode op-amp), 定電流源から成るバイアス段, 電流入力に AB 級プッシュプル段, そして位相補償部で構成した. 外部入出力端子は, 電圧入力端子, 電流入力端子, 電流出力端子の三端子と, バイアス電流のための電流入力端子, バイアス電圧のための電圧入力端子である. シミュレーションにより得られたカレント・コンペアの性能が, 実際の IC でも得られるかどうかを確認するため試作した.

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986 **設計期間:** 0.1 人月以上, 0.5 人月未満

**設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ





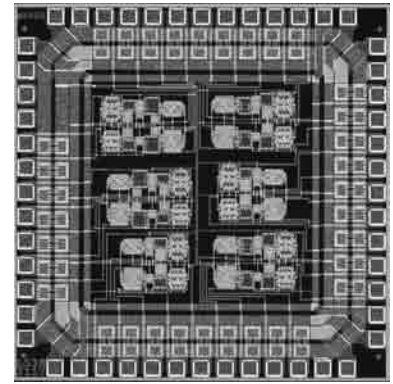
## Rail-to-Rail AB 級 CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 電流モード信号処理の特徴は、低電圧動作で広いダイナミックレンジが得られることにある。したがって、その基本構成素子としての CC II にも Rail-to-Rail の入出力電圧範囲が要求される。さらに入出力すべてに AB 級 Rail-to-Rail を用いることで、低電源電圧動作時においても、できる限り大きな S/N 比を得ることができる構成となっている。ここで今回の CC II は、電圧入力に Rail-to-Rail で使用するための相補型 Nch, Pch 差動入力段、電流入力に AB 級プッシュプル段、電流ミラー、定電流源、及び位相補償部で構成した。外部入出力端子は、電圧入力端子、電流入力端子、電流出力端子の三端子と、バイアス電流のための電流入力端子である。シミュレーションにより得られたカレント・コンペアの性能が、実際の IC でも得られるかどうかを確認するため試作した。

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

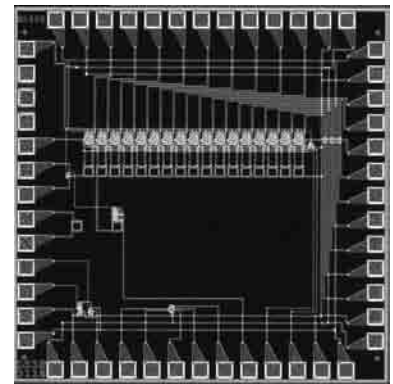


## Self Bias Circuit を導入した一次元エッジ検出ネットワークの設計

豊橋技術科学大学工学部 Kariyawasam Amal Bandula, 米津 宏雄

**概要:** 網膜は、視細胞、水平細胞、そして双極細胞により、視覚対象のエッジ情報を検出していると考えられている。我々は、これまでに網膜の視覚情報処理機構に学び、エッジ検出網膜チップの提案とその集積回路化を試みてきた [1]。しかし、水平細胞に当たる MOS トランジスタのゲート電圧を、光強度に応じて外部から調整する必要があった。この問題を解決するため、その MOS トランジスタのゲート電圧を自動調節する機能を有する回路 (Self Bias Circuit) を導入した。今回の試作では、提案した Self Bias Circuit を導入した単位画素 17 個を一次元に配列したエッジ検出ネットワークを設計した。また、チップにはネットワークを構成する基本回路の TEG も含めた。これらの TEG を用いてその基本特性を確認するとともに、一次元ネットワークの応答を測定する。

**参考文献:** [1] 宮下, 大谷, 高崎, 山田, 西尾, 米津 “局所的な明暗順応機能を有するエッジ検出機構の集積回路化” 信学技報, Vol. 99, No. 686, pp. 213-220, 2000. **設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ

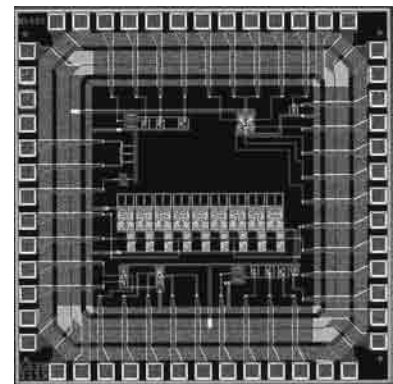


## 一次元方向選択性動き検出ネットワークの試作

豊橋技術科学大学工学部 大谷 真弘, 米津 宏雄

**概要:** 我々は、生体の視覚系に存在する方向選択性動き検出神経細胞の機能を実現するネットワークの提案とそのアナログ集積回路化を行ってきた [1]。方向選択性動き検出神経細胞は、その樹状突起の形態に依存した方向選択性を有する。一般的に、樹状突起は電気刺激に対して容量性の伝達経路であり、これにより局所速度の空間的な重み付けが行われている。ネットワークは、Miller 効果などによる寄生容量の顕在化に着目し、スマートなアナログ回路によって実現した。今回の試作では、上述の回路の基本特性を検証するため、一次元のネットワークを設計した。また、チップには、ネットワークを構成する基本回路の TEG も含めた。これらの TEG を用いてその基本特性を確認するとともに、視覚対象の一次元の動きに対するネットワークの応答を測定する。

**参考文献:** [1] 大谷 真弘, 山田 仁, 西尾 公裕, 高崎 哲, 古川 雄三, 米津 宏雄, “方向選択性を持つ動き検出神経細胞モデルのアナログ集積回路化”, 第 23 回日本神経科学大会・第 10 回日本神経回路学会大会 合同大会, 抄録集, O-210, p301, 2000. **設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ

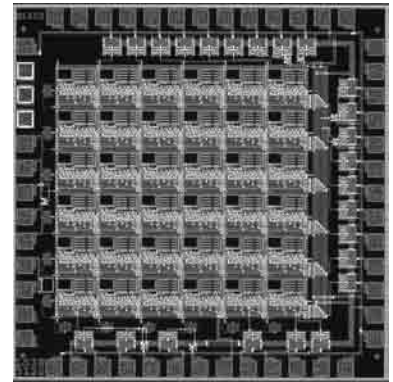


## 網膜機能に学んだ動き検出チップの設計

豊橋技術科学大学工学部 山田 仁, 米津 宏雄

**概要：**網膜は、光受容器である外網膜と脳へインパルス信号を送り出す内網膜の二つに大別される。外網膜では、視細胞、水平細胞、そして双極細胞により、視覚対象のエッジ情報を検出していると考えられる。また、内網膜では、アマクリン細胞により、視覚対象の動き情報を検出していると考えられる。これまで、我々は外網膜と内網膜の機能に学んで、エッジ検出を行う二次元網膜チップおよび動き検出を行う一次元網膜チップを提案し、集積回路化してきた。エッジ情報から動き情報を生成する内網膜機能のアナログ電子回路化において、その鍵は受容野の大きさの異なる二つのアマクリン細胞である。今回の試作では、局所適応機能を有する外網膜回路と動き情報生成機能を有する内網膜回路を統合した二次元動き検出チップを設計した。チップには二値化回路を介して6×6個の外網膜回路と内網膜回路を一次元配列した。

**設計期間：**0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**オンセミ CMOS 1.2μm 2.3mm角 **チップ種別：**イメージセンサ/スマートセンサ



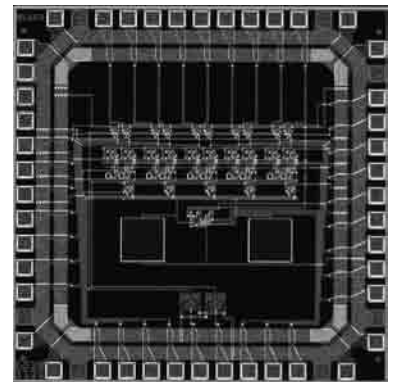
## 生体の初期視覚機構に学んだ物体の接近検出機能のアナログ集積回路化

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

**概要：**生体の初期視覚機構に学び、物体の接近を検出する機能を実現するネットワークの提案とその集積回路化を試みてきた [1]。バッタなどの視覚系では、衝突寸前の網膜上に投影される画像の大きさ（投影像）およびその拡大速度の情報から物体の接近を検出している。提案したネットワークでは、投影像の拡大速度は、投影像のエッジの移動速度から見積もられる。投影像のエッジの速度と大きさの情報から、ネットワークは接近を検出する。今回の試作では、上述した接近検出ネットワークを検証するため、一次元ネットワークを設計した。また、チップにはネットワークを構成する基本回路の TEG も含めた。試作チップの測定では、各基本回路の動作を検証するとともに、一次元ネットワークの接近検出機能を評価する。

**参考文献：**[1] 西尾, 大谷, 山田, 高崎, 古川, 米津, “昆虫の視覚系に学んだ物体の接近を検知する集積回路”, 第23回日本神経科学大会・第10回日本神経回路学会 合同大会, 抄録集, O-212, p302, 2000.

**設計期間：**0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数：**100以上, 1,000未満 **試作ラン：**オンセミ CMOS 1.2μm 2.3mm角 **チップ種別：**イメージセンサ/スマートセンサ

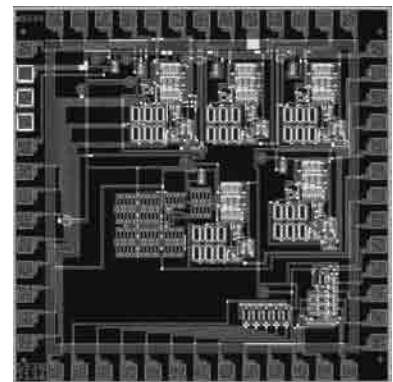


## 高精度 CMOS 定電圧回路

富山県立大学工学部 金森 章, 松田 敏弘, 大曾根 隆志

**概要：**A/D, D/A コンバータ等のアナログ回路に不可欠な高精度の定電圧回路（基準電圧源）を CMOS デバイスによって実現するための TEG (Test Element Group) を設計した。所定の電源電圧および温度範囲で中心値からの変動が±1%以内の定電圧源を得ることを目標としている。回路構成はバンドギャップ型の原理を応用しており、従来の回路では NWELL 抵抗を使用していた部分を NMOS に置き換えることによって回路面積を約半分にすることが出来た。また、その NMOS のゲートをコントロールすることによって、NMOS のオン抵抗を常に調整している。その結果、NWELL 抵抗を使用した回路よりも更に出力電圧の変動を抑えることができ、高精度化が期待される。また、低消費電力化も同時に実現している。試作を完了した回路を測定した結果、基本的な回路動作を確認し、ほぼ目標どおりの性能が得られた。今後、更に高精度の特性が得られる回路構成について検討する予定である。

**設計期間：**2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数：**100以上, 1,000未満 **試作ラン：**オンセミ CMOS 1.2μm 2.3mm角 **チップ種別：**TEG (特性評価回路など)



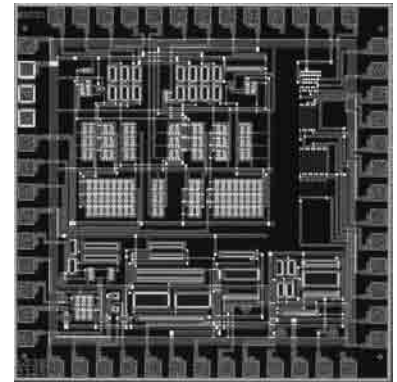


## 定電流源および基板バイアス発生回路

富山県立大学工学部 野田 宗邦, 大曾根 隆志, 松田 敏弘

**概要:** LSI の高集積化に伴い, 回路の高速化は実現してきたものの, そのためには同時に多くの駆動電流が必要となり, 高速化と低消費電力化は相反する問題となっている. そこで, 回路の動作時と待機時を想定し, 基板バイアスを印加することで動作時には高速化を, 待機時には低消費電力化を実現できるようなシステムについての検討を行った. このチップでは, LSI の低消費電力・高速動作を実現するための基板バイアス発生回路と, それに必要な定電流源の設計を行った. このチップの主要部分は定電流源であり, 温度や電源電圧の変動に対して安定なものを目指した. 今回設計した定電流源は, その発生する 2 種類の電流の差分をとることで安定化させる電流減算式定電流源とした. また, 基板バイアス発生回路については, 基本となる定電流源から発生した電流と通常の回路を流れる電流とを比較し, その差分を基板バイアスの印加によってなくすことのできるような電流比較式基板バイアス発生回路とした.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

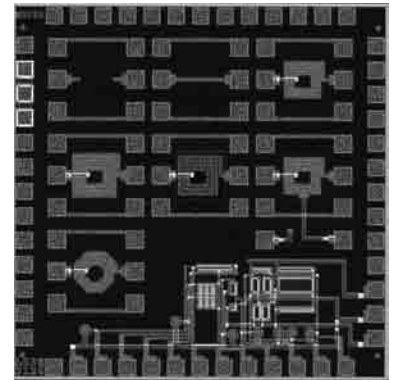


## 集積化コイルの検討

富山県立大学工学部 金森 章, 松田 敏弘, 大曾根 隆志

**概要:** RF 回路において非常に重要な受動素子であるインダクタを CMOS デバイスで実現するための TEG (Test Element Group) を設計した. チップの構成は回転数 3.5 の正方形のインダクタ, 回転数が 4.5 の正方形のインダクタ, 回転数 3.5 の正方形の n + 拡散層シールド付きのインダクタ, 回転数 3.5 の八角形のインダクタ, 回転数 3.5 の正方形でアルミ配線間のスペースが広いインダクタなどが配置してある. これらのインダクタは中空としてある. これは, 中心までインダクタを満たした場合には高周波で渦のように流れる電流の生成により, コイルの最も内側の回転部分の抵抗が極めて大きくなるためである. そのため全体的なクオリティファクターが下がる. したがって, 中空のコイルを使用することが必要である. また, インダクタを配置せずパッド間がオープンとなっているもの, パッド間をアルミ配線でショートしたものなども配置した構成となっている. インダクタの形, 配線幅, 回転数による周波数特性を測定し, 評価検討を行う.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, トランジスタ数: 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

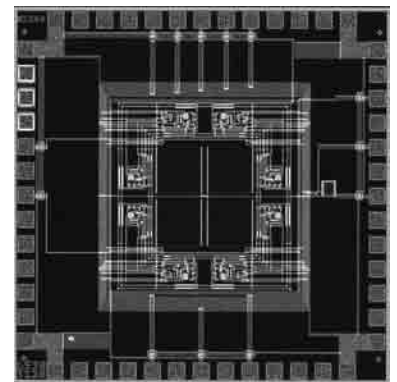


## ヒューズ回路を用いた画像処理回路の試作

東京工業大学大学院理工学研究科 高木 茂孝, 藤井 信生

**概要:** 画像データに含まれる雑音を除去しつつ, 画像のエッジを保存することのできる回路の一つとしてヒューズ回路が知られている. 本チップでは, ヒューズ回路を用いた画像処理回路の動作確認を目的とし, 試作を行っている. ヒューズ回路単体は 2 個の MOS-FET と 1 個の不正インピーダンス変換回路, 制御回路により構成している. 画像処理を行うため, 各画素回路とヒューズ回路とを単純に接続した場合, それぞれのヒューズ回路が個別に動作すると, 雑音の除去が行われず, 逆に誤差が生じるという現象がシミュレーションにより確認された. このため, 特定のヒューズ回路の制御回路を共有化し, 同時にヒューズ回路がオフ状態となるように制御することにより, 誤差を低減する方法を用いている.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ

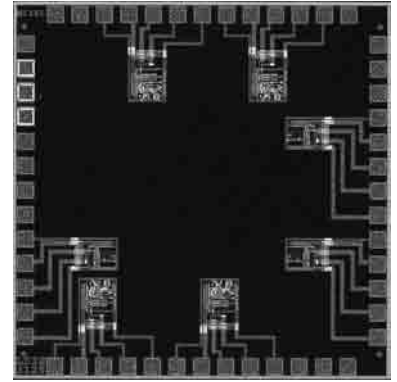


## 高スルーレート演算増幅器の試作

東京工業大学大学院理工学研究科 高木 茂孝, 藤井 信生

**概要:** 演算増幅器のスルーレートは一般に入力段の差動対をバイアスするための電流と補償容量によって決まっている。従来、高スルーレートを達成するための手法として、このバイアス電流を、入力信号に応じて制御する手法が知られている。しかし、この方法では、スルーレートの増加とともに、消費電力も増加する。この問題に対して、我々はキャパシタンスマルチプライヤを用いてスルーレートを高める手法を提案している。このキャパシタンスマルチプライヤは、演算増幅器が通常動作しているときは等価的に補償用の大容量として働き、大きな入力信号が加わったときは、元の値の容量値に戻り、小さなバイアス電流でも十分大きな充電速度が得られる。本チップでは、このスルーレート向上の手法の正当性を確認するため、キャパシタンスマルチプライヤおよびキャパシタンスマルチプライヤの動作を制御するための回路を組み込んだ演算増幅器を試作している。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

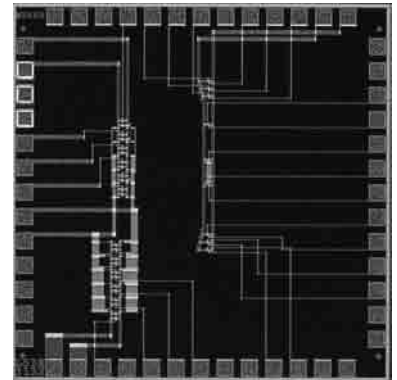


## 4進SD数全加算器におけるニューロンMOSFETのフローティング面積の縮小

関西大学工学部 今西 茂, 浅香 篤, 村中 徳明, 徳丸 正孝

**概要:** 本チップはしきい論理を実現できる素子であるニューロンMOSインバータを用いることにより回路を構成した。このニューロンMOSFETを用いれば、フローティングゲート部において、電荷の加重平均が取れる。これを利用することにより、4進SD数系加算器の設計を行っている。4進SD数全加算器のレイアウトにおいては、フローティングゲートの占める割合が大きくなって、レイアウト面積の増加になっている。このため、フローティングゲート部の共有化を行うことによって、レイアウト面積の縮小を図っている。今回のチップ試作では、しきい値の異なるニューロンMOSインバータ等の素子を作成し、その素子の動作も検証している。

**参考文献:** 浅香篤, 今西茂, 村中徳明, “4進SD数全加算器におけるニューロンMOSFETのフローティングゲート面積の縮小” 電気学会論文誌, Vol.121-C, No.12, pp. 1926-1933 (2001-12) **設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



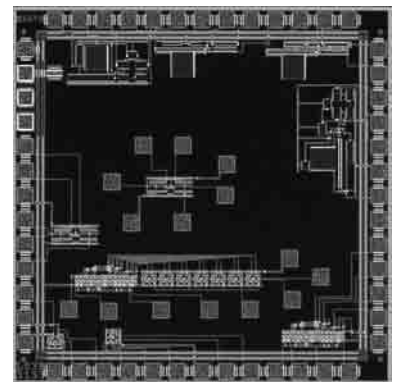
## D/A変換器TEGおよびオペアンプTEG

上智大学大学院理工学研究科 増田 貴志, 角田 正人, 和保 孝夫

**概要:** 高度の信号処理を可能とするためのオペアンプおよびDACの基本特性を評価するためのTEGを設計した。前者は、2段構成のオペアンプとなっており、L, Wの設計値に基づきHSPICEシミュレーションを行った結果では、 $\omega_o=5\text{MHz}$ ,  $A_o=67\text{dB}$ ,  $\text{PM}=45^\circ$ ,  $\text{CMRR}=70\text{dB}$ などの数値を得ているが、実測値を比較してこれらの妥当性を検討する。後者は、将来高速動作を狙うことを念頭に置き、電流切り替え方式を採用することとし、電流スイッチ、バイナリコード・温度計コード変換器(NAND構成)、およびそれらを接続したDAC(3ビット分,  $1\text{LSB}=15\mu\text{A}$ )を設計し搭載した。今後は、この電流スイッチを更に改良し、デルタシグマ変調器の部品として使用する予定である。

**参考文献:** R. Jacob Baker, Harry W. Li, David E. Boyce “CMOS CIRCUIT DESIGN, LAYOUT, AND SIMULATION,” IEEE PRESS, New York, 1998.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



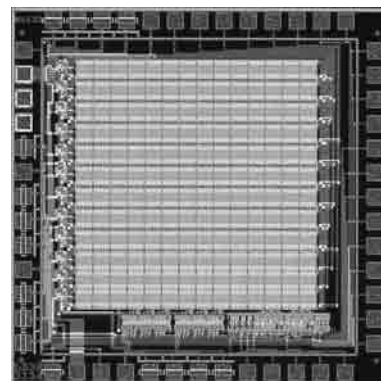
### スイッチトキャパシタ電源回路の試作 (5)

熊本電波工業高等専門学校情報通信工学科 大田 一郎

熊本電波工業高等専門学校情報工学科 江口 啓

概要： スwitchトキャパシタ電源回路の試作 (3) とほぼ同様で、試作 (3) との違いは、4.8mm 角のを 2.3mm 角に納まるように、並列接続する MOS の数を減らし、パワースイッチの面積を小さくした。試作 (3) と同様に、クロック置換回路に外部から加える 2 ビットの信号により、クロック発生回路で得られたクロックを、シフトすることで、入力側に直列に繋がるキャパシタ数と出力側に直列に繋がるキャパシタ数 (1~3) を自由に变化できる。このため、1/3 から 3 倍まで 7 通りの昇降圧比をプログラマブルに変えられる。なお、キャパシタ 4 個は外付けで構成するようにした。試作 (3) と比較することで、チップ面積と得られる出力電力の関係を明らかにする。

設計期間： 0.5 人月以上, 1 人月未満 設計ツール： SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数： 1,000 以上, 10,000 未満 試作ラン： オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別： アナログ (PLL, A-D/DC-DC コンバータなど)



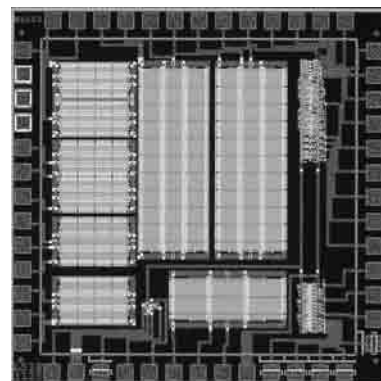
### スイッチトキャパシタ電源回路の試作 (6)

熊本電波工業高等専門学校情報通信工学科 大田 一郎

熊本電波工業高等専門学校情報工学科 江口 啓

概要： スwitchトキャパシタ電源回路の試作 (5) で使用するパワースイッチの特性を明らかにするため、チャンネル幅と並列数およびガードリングをいろいろ変えてレイアウトした。具体的には、2.3mm 角に納まるように、次の 4 種類の組合せでスイッチを構成した。チャンネル幅 32 $\mu$ m の MOS を 744 個並列接続、64 $\mu$ m のを 372 個並列、128 $\mu$ m のを 1000 個並列接続、および 256 $\mu$ m のを 212 個並列接続した。シミュレーションおよび実測によって、チップ面積が最小になる組合せを求めた。また、並列数の違いによるスイッチング特性の影響も調べた。更に、クロック発生回路、クロック置換回路、FET ドライバ回路を単独に配置して、各単体の特性を検証した。

設計期間： 0.5 人月以上, 1 人月未満 設計ツール： SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数： 1,000 以上, 10,000 未満 試作ラン： オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別： アナログ (PLL, A-D/DC-DC コンバータなど)



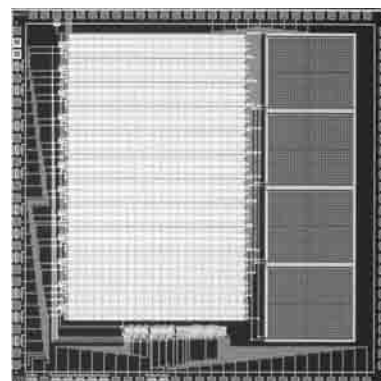
### スイッチトキャパシタ電源回路の試作 (3)

熊本電波工業高等専門学校情報通信工学科 大田 一郎

熊本電波工業高等専門学校情報工学科 江口 啓

概要： スwitchトキャパシタ電源回路の試作 (1) とほぼ同様で、パワースイッチ (12 個) とキャパシタ (4 個) を配置して、リング形 DC-DC コンバータを設計した。各パワースイッチは合成オン抵抗が 0.5  $\Omega$  になるよう、チャンネル幅 64 $\mu$ m の MOS を 2000 個並列接続している。試作 (1) (2) との違いは、全て内部配線で回路を構成して、クロック発生回路、クロック置換回路、FET ドライバ回路を全て内蔵している。クロック置換回路に外部から加える 2 ビットの信号により、クロック発生回路で得られたクロックを、シフトすることで、入力側に直列に繋がるキャパシタ数と出力側に直列に繋がるキャパシタ数 (1~3) を自由に变化できる。このため、1/3 から 3 倍まで 7 通りの昇降圧比をプログラマブルに変えられる。

設計期間： 0.5 人月以上, 1 人月未満 設計ツール： SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数： 10,000 以上, 100,000 未満 試作ラン： オンセミ CMOS 1.2 $\mu$ m 4.8mm 角 チップ種別： アナログ (PLL, A-D/DC-DC コンバータなど)





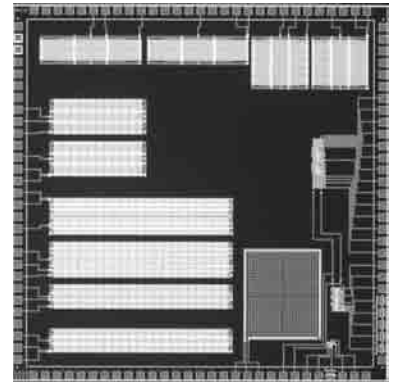
## スイッチトキャパシタ電源回路の試作 (4)

熊本電波工業高等専門学校情報通信工学科 大田 一郎

熊本電波工業高等専門学校情報工学科 江口 啓

**概要：**スイッチトキャパシタ電源回路の試作 (3) で使用するパワースイッチの特性を明らかにするため、チャンネル幅と並列数およびガードリングをいろいろ変えてレイアウトした。具体的には、合成オン抵抗が  $0.5 \Omega$  になるよう次の 5 種類の組合せでスイッチを構成した。チャンネル幅  $32\mu\text{m}$  の MOS を 4000 個並列接続、 $64\mu\text{m}$  のを 2000 個並列、 $128\mu\text{m}$  のを 1000 個並列接続、 $256\mu\text{m}$  のを 500 個並列接続、および  $512\mu\text{m}$  のを 240 個並列接続した。シミュレーションおよび実測によって、チップ面積が最小になる組合せを求めた。また、並列数の違いによるスイッチング特性の影響も調べた。更に、キャパシタ、クロック発生回路、クロック置換回路、FET ドライバ回路を単独に配置して、各単体の特性を検証した。

**設計期間：**0.5 人月以上、1 人月未満 **設計ツール：**SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数：**10,000 以上、100,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $4.8\text{mm}$  角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

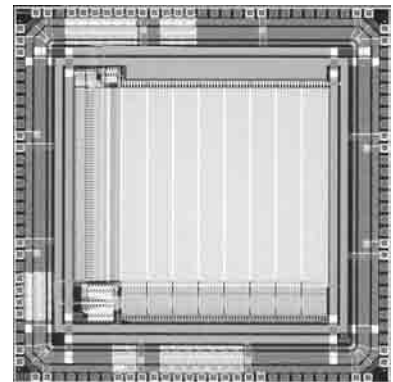


## 相変化メモリ (32KBit)

金沢大学工学部 福島 早奈恵

**概要：**相変化型不揮発性メモリの回路部のチップである。相変化素子とは室温でアモルファスと結晶の 2 つの安定した状態を持つ半導体素子に、ある特定の電気パルスを印加することによって 2 つの状態間を自由に遷移することができる素子である。この 2 つの状態を論理値「0」と「1」に当てはめることによってメモリとして利用することができる。このチップは、この特性を利用した相変化メモリを想定して回路設計を行い、X-デコーダ、メモリセル、センスアンプ、Y-デコーダ等を 1 つのチップに実装したものであり、32KBit 相当のメモリとなる。このチップに、6 族元素を含むカルコゲナイド半導体をあとから加工し、蒸着することによって、カルコゲナイド半導体を記録媒体として利用した相変化メモリとなる。

**設計期間：**0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10,000 以上、100,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $4.8\text{mm}$  角 **チップ種別：**メモリ

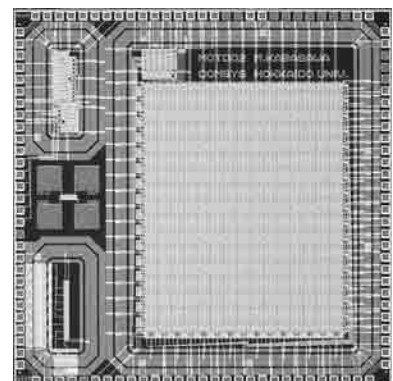


## クラスタリング・ラベリングアナログ/3層パーセプトロンアナログ回路

北海道大学大学院工学研究科 樺沢 正之

**概要：**本チップは音声特徴認識を行えるように設計された、30 次元 16 ノード 5 出力のクラスタリング・ラベリング回路と、入力層 10 ノード、中間層 10 ノード、出力層 5 ノードの 3 層パーセプトロン回路で構成されている。クラスタリング・ラベリング回路は、vMOS を用いた類似度回路と C マトリクスからなり、女性 1 名の学習内の音声特徴認識が行える。チップの大部分が 30 次元  $\times$  16 ノードの類似度回路が占める。また、3 層パーセプトロン回路は、C マトリクスが 2 段重なった構造をしており、こちらも同じ音声特徴認識を行う。C マトリクスはキャパシタをマトリクス状に並べ、OP アンプをつなげた構造をしている。動作は vMOS と同様、プリチャージと実行サイクルを繰り返す。C マトリクスは行列演算と正負判別を瞬時に行う演算器である。

**設計期間：**2 人月以上、3 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Avanti 社 Apollo, SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10,000 以上、100,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $4.8\text{mm}$  角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



## フィルタリング処理機能搭載 CMOS イメージセンサ

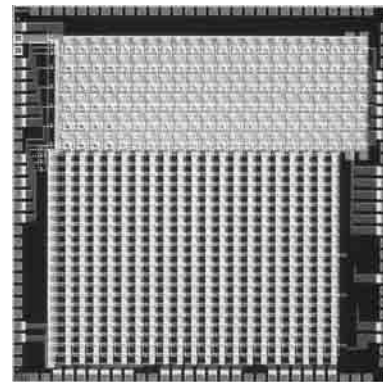
広島市立大学大学院情報科学研究科 堀井 賢樹, 吉本 卓己

概要：CMOS イメージセンサは低消費電力、多機能化に対応できるため注目されたおり、情報処理機能を持たせたビジョンチップの研究が活発である。本研究では、画像の特徴や状態に対して柔軟性を持ったフィルタリング処理可能な、ビジョンチップの設計を行った。提案する回路では、画像を走査しながら8近傍までの任意の空間フィルタ処理を行う。各画素回路は、光検出器（フォトダイオード）と重み制御回路（差動増幅器）から構成されている。電流の形で出力された画素値に重み付けをして、8近傍の画素間で加減算することで、フィルタリング処理を実現する。フィルタリング処理に用いるオペレータは、走査回路へ入力するパルスによって設定する。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社

Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満

試作ラン：オンセミ CMOS 1.2 $\mu$ m 4.8mm 角 チップ種別：イメージセンサ/スマートセンサ



## アナログビルディングブロック TEG

神奈川大学工学研究科 平井 真志, 鹿山 正規, 伊藤 類, 島 健

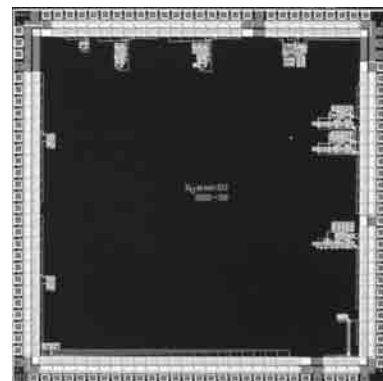
概要：アナログビルディングブロック TEG の試作内容はつぎの通り。(1) チャンネル長 1.2 $\mu$ m, 4.8 $\mu$ m, 12 $\mu$ m, チャンネル幅 1.2 $\mu$ m, 4.8 $\mu$ m, 12 $\mu$ m の9個の nMOS と pMOS, コモンセントロイド評価用のトランジスタアレー。(2) 最小デメンションのトランジスタにより作成して、入力換算オフセットを 1mV 以下にできる A 級出力のバッファ回路。(3) チャンネル電荷の影響を緩和できる帰還型 SH 回路。アナログビルディングブロック TEG は次の研究に役立てることを目的としている。(1) は SPICE のレベル3 のモデルパラメータ算出法の研究。(2) は微細化と排反するアナログ MOS の課題に関する研究。(3) は帰還型 SH 回路の高精度化に関する研究。特に、(2) については評価を終了した。

参考文献：Rui Ito and Takeshi Shima, "Some analog building blocks for TFT circuits," Proc. of 44th IEEE MWSCAS, OH, Aug., pp. 417-421, 2001.

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC,

Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 4.8mm 角

チップ種別：TEG (特性評価回路など)



## 並列デッドロック回復ルータ Recover-x

宇都宮大学大学院工学研究科 御代田 雅俊

電気通信大学大学院情報システム学研究科 吉永 努

宇都宮大学工学部 横田 隆史, 大津 金光, 馬場 敬信

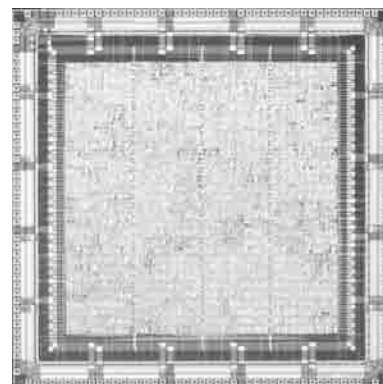
概要：並列計算機の相互結合網、特にメッセージ転送に用いられるルータは、ノード間の転送性能ひいてはシステム性能の鍵となる重要な要素である。転送性能向上のためには、動的なメッセージ経路選択を行う適応ルーティングが有望であるが、同時にデッドロックの発生を招きやすい問題がある。そこで我々は、その問題の解決策として、デッドロックの検出・回復の機能を持ち、最小限のハードウェア量でデッドロックから回復する、並列デッドロック回復ルータ Recover-x を提案している。その実証のため、今回、仕様をやや縮小したプロトタイプ・チップを試作した。検討段階ではビット幅 32, 最大ノード数 1024 であったが、試作チップのピン数制限からビット幅 4, 最大ノード数 16 として必要な機能を 1 チップに収めた。トランジスタ数は約 50.4K, 最大動作周波数は 52.7MHz と見積もられている。テストによる測定は行っていない。

参考文献：御代田, 吉永, 横田, 大津, 馬場 "並列デッドロック回復ルータ Recover-x の LSI 試作", 信学技報, ICD2001-69, pp. 31-38, 2001 年 8 月

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo,

Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：

オンセミ CMOS 1.2 $\mu$ m 7.3mm 角 チップ種別：通信 (RF 回路, ATM など)



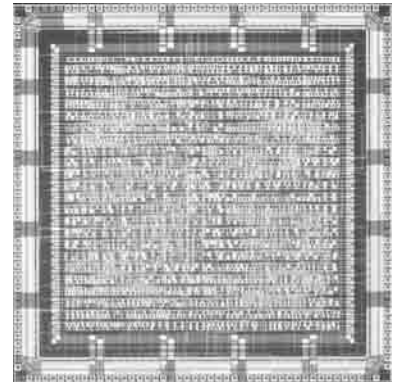
## 3次元スイッチボックスのためのハードウェアルータの試作

広島工業大学工学部 大村 道郎, 門田 亘弘

**概要:** 著者らは3次元 VLSI のスイッチボックス配線に関して, 従来の2次元の迷路法を3次元に拡張し, 1本のネットの配線を並列に求めるハードウェアアルゴリズムを提案している. ここで3次元スイッチボックスは, その内部に配線のための立方格子を持ち, また4つの側面に1本のネットの端子が与えられる. 各セルを通過するときの配線コストがxおよびy方向とz方向で異なるものとする. 各立方格子に対し, 回路セルを1つ割り当てるが, 回路セルは各端子から並列に伝播してくる信号の方向を独立に記憶している. 提案手法では(1)まず各端子から迷路法と同様な信号を同時に伝播させる.(2)次に各端子間の距離を比べ, 各端子への最長距離が最も小さくなる端子を求める.(3)最後に求めた端子より, 共通する方向が多い経路を選んで伝播を逆にたどり, スタイナー木の経路を決定する. ここでは提案手法のうち(1)と(3)を実現する回路をVHDL言語を用いて記述し, チップの試作を行った.

**参考文献:** [1] 門田, 大村, “3次元スイッチボックス配線のためのハードウェアアルゴリズム”, p. 86, 2001年電子情報通信学会総合大会(基礎・境界)(2001).

**設計期間:** 2人月以上, 3人月未満 **設計ツール:** Synopsys社 design\_compiler, Avanti社 Apollo, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 7.3mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



## 128 × 128 画素時間相関イメージセンサ (第2報)

東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

**概要:** 我々の研究室で提案し, 開発を続けている時間相関イメージセンサは, 入射光強度と各画素共通の外部参照信号との時間相関を出力する撮像素子であり, 画像の時間軸情報を活用した新しい画像計測への応用を可能とする. 本試作は, これまで基本的な動作を確認してきた [1] 可変伝達コンダクタンス乗算型時間相関イメージセンサにおいて, ほぼ限界までの高密度画素設計を行ない, 128 × 128 画素への拡大を試みたものである. 乗算器と相関演算用キャパシタについては, 以前の試作で安定な動作が確認されている NMOS 対, 接合容量を用いた構成とした.

**参考文献:** 来海, 安藤, “時間相関型イメージセンサ (第3報)”, p. 47, 1998年 VDEC 年報 (1998)

**設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 7.3mm角 **チップ種別:** イメージセンサ/スマートセンサ





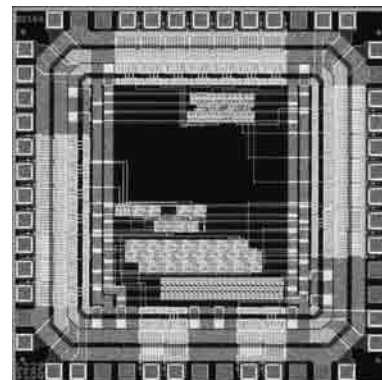
# 平成 13 年度 第 1 回 オンセミコンダクタ チップ試作 (MOT011)

## 7セグ表示付き 10進カウンタ

広島市立大学情報科学部 赤瀬 秀夫, 磯井 太地, 伊藤 大輔, 藤岡 英明, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0から9までを順に繰り返し表示するものであり、回路は、リングオシレータ、分周器、10進バイナリカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてNAND4セルのA→Yピン間の遅延を測定することができる。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他

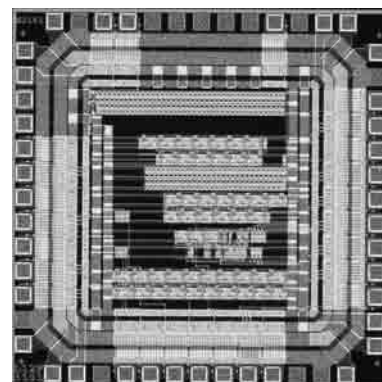


## サイレン付きナイトライダー

広島市立大学情報科学部 上田 晃司, 合田 武弘, 竹内 達, 浜崎 淳, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、「ナイトライダー」のようにLEDを点滅しながら圧電スピーカでサイレンを鳴らすものであり、回路は、リングオシレータ、分周器、3ビットジョンソンカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてNAND4セルのB→Yピン間の遅延を測定することができる。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他

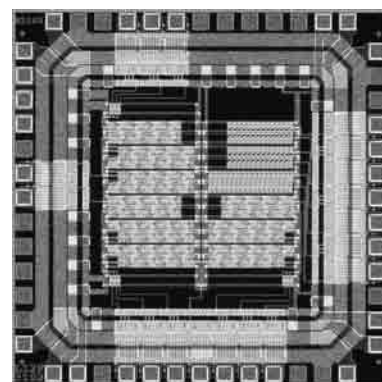


## クリスマスツリーの電飾

広島市立大学情報科学部 川崎 貴之, 河野 健一郎, 小林 一彦, 越智 裕之, 窪田 昌史,  
児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生3名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、LEDの点滅によりクリスマスツリーの電飾を実現するものであり、回路は、周期の異なるリングオシレータ3個、および分周器3個から構成されている。3つのリングオシレータ部を用いて、(1) NAND4セルのC→Yピン間の遅延、(2) NAND4セルのD→Yピン間の遅延、(3) NOR4セルのA→Yピン間の遅延を測定することができる。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他

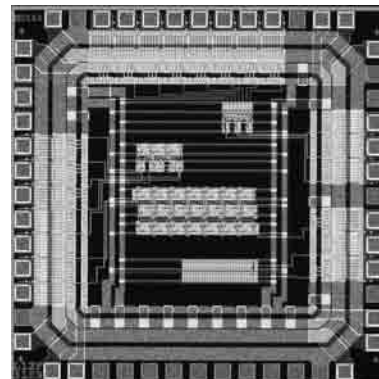


## 8進バイナリカウンタを用いたルーレット

広島市立大学情報科学部 岩田 健, 高地 真吾, 榊 知広, 越智 裕之, 窪田 昌史,  
児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生3名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、8個のLEDを順に1個ずつ繰り返し点滅するものであり、回路は、リングオシレータ、分周器、8進バイナリカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてBUF1セルのA→Yピン間の遅延を測定することができる。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm角 チップ種別：その他

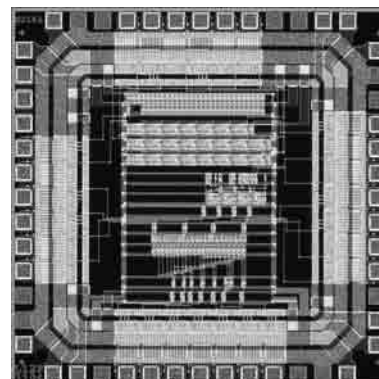


## 7セグ表示付き16進カウンタ

広島市立大学情報科学部 岡 武志, 岡部 朋宏, 川口 俊文, 吉永 純也, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0からFまでを順に繰り返し表示するものであり、回路は、リングオシレータ、分周器、16進バイナリカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてNOR4セルのB→Yピン間の遅延を測定することができる。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm角 チップ種別：その他

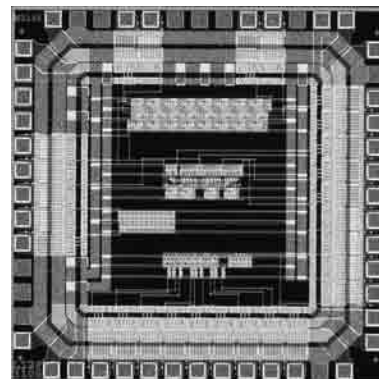


## 3差路の信号機

広島市立大学情報科学部 北堀 剛広, 佐藤 将之, 鳥本 拓, 南 智史, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、3色のLED3組を3差路の信号機のように点滅させるものであり、回路は、リングオシレータ、分周器、15進バイナリカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてNOR4セルのC→Yピン間の遅延を測定することができる。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm角 チップ種別：その他



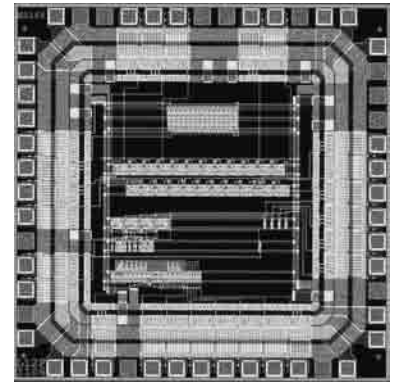


## 1日を28時間にしたいあなたへ是非勧めたい時報

広島市立大学情報科学部 大石 祥子, 成瀬 由希, 南 寛子, 田中 真由美, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、圧電スピーカから「ピピピピッポーン」という音を繰り返し出力するものであり、回路は、リングオシレータ、分周器、11進バイナリカウンタ、およびデコーダ・セレクタから構成されている。リングオシレータ部を用いてNOR4セルのD→Yピン間の遅延を測定することができる。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他

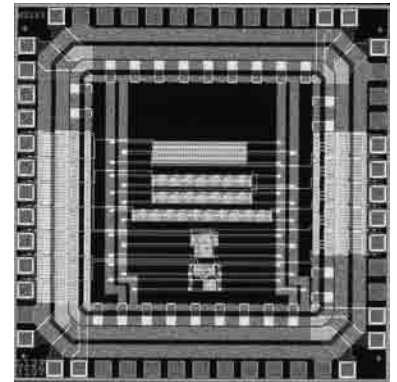


## メトロノーム

広島市立大学情報科学部 盛谷 大輔, 杉上 洋平, 増田 崇志, 都築 右典, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、圧電スピーカから約880Hzの音と約440Hzの音を4拍子で繰り返し出力するものであり、回路は、リングオシレータ、分周器、4進カウンタ、およびデコーダ・セレクタから構成されている。リングオシレータ部を用いてNOR2セルのA→Yピン間の遅延を測定することができる。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他

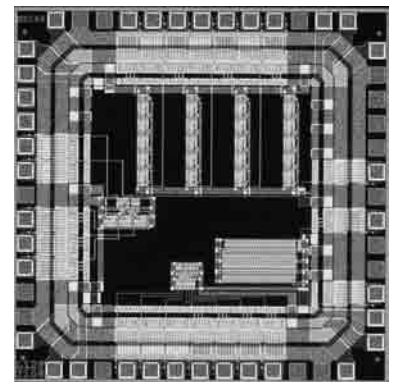


## 6進バイナリカウンタを用いたサイコロ

広島市立大学情報科学部 上木 彰彦, 岡 宜史, 河野 臣和, 田辺 泰弘, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7個のLEDをサイコロの目に見立て、これを1から6まで繰り返し点滅するものであり、回路は、リングオシレータ、分周器、6進バイナリカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてNAND2セルのB→Yピン間の遅延を測定することができる。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他

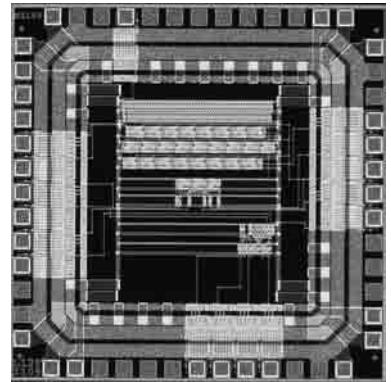


## 3ビットジョンソンカウンタを用いたナイトライダー

広島市立大学情報科学部 今村 光佐, 小林 浩之, 豊田 弦気, 原田 史, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

**概要:** 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、「ナイトライダー」のようにLEDを点滅させるものであり、回路は、リングオシレータ、分周器、3ビットジョンソンカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてNAND2セルのA→Yピン間の遅延を測定することができる。

**設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別:** その他

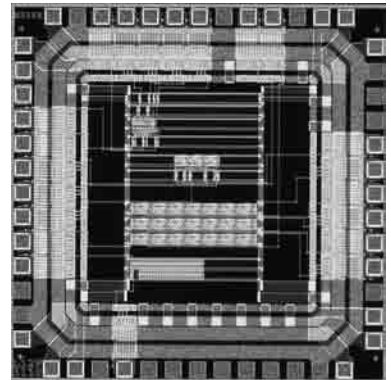


## 3ビットジョンソンカウンタを用いたサイコロ

広島市立大学情報科学部 川元 智, 瀬戸 淳一, 梶田 貴史, 吉村 賢吾, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

**概要:** 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7個のLEDをサイコロの目に見立て、これを1から6まで繰り返し点滅するものであり、回路は、リングオシレータ、分周器、3ビットジョンソンカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてNOR2セルのB→Yピン間の遅延を測定することができる。

**設計期間:** 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別:** その他

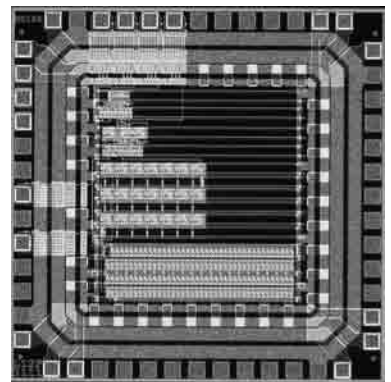


## 6進バイナリカウンタを用いたナイトライダー

広島市立大学情報科学部 富田 智, 藤本 清, 吉田 英憲, 若槻 学, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

**概要:** 集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、「ナイトライダー」のようにLEDを点滅させるものであり、回路は、リングオシレータ、分周器、6進バイナリカウンタ、およびLED用デコーダから構成されている。リングオシレータ部を用いてNAND2PセルのA→Yピン間の遅延を測定することができる。

**設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別:** その他

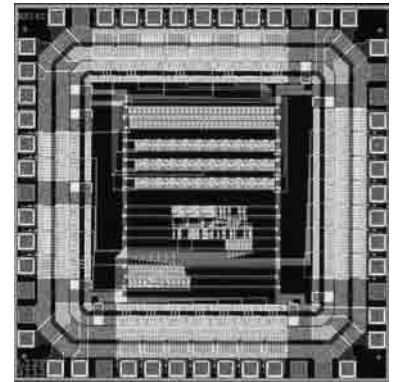


## 経過時間を知らせる LED 付きクッキングタイマー

広島市立大学情報科学部 加藤 慶一, 川上 貴宏, 村島 大介, 森田 洋介, 越智 裕之,  
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、約1分刻みで最長約7分まで時間が設定できるアラームが圧電スピーカから鳴り、経過時間を知らせる7個のLEDを点滅するものであり、回路は、リングオシレータ、分周器、8進カウンタ、LED用デコーダ、およびセレクトから構成されている。リングオシレータ部を用いてNAND2PセルのB→Yピン間の遅延を測定することができる。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Avanti社 Star-HSPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他



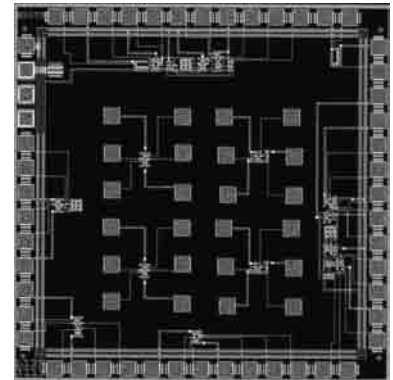
## 1 次連続時間電流スイッチデルタシグマ変調器の設計

上智大学大学院理工学研究科 増田 貴志, 和保 孝夫

概要：高分解能・高速動作するA/D変換器を実現する目的で $\Delta\Sigma$ 変調器(DSM)の基本特性を評価するためのTEGを設計した。高分解能・中速で動作するDSMを電流切り替え方式、連続時間で動作させることにより高速化を狙う。今回は、1次連続時間電流スイッチDSMを設計し搭載した。また、要素回路ブロックの特性を個別に測定できるように、電流スイッチ、差動積分器、クロック付コンパレータ、電圧-電流変換回路、カレントミラーも搭載した。現在、動作評価中であるが、基本回路においてほぼ目標通り結果が得られた。また、DSMの測定においてもOSR = 16, 入力周波数 = 100kHzでSNR = 25dBが得られ、ほぼシミュレーションと一致することが確認できた。

参考文献：R. Jacob Baker, Harry W. Li, David E. Boyce “CMOS CIRCUIT DESIGN, LAYOUT, AND SIMULATION,” IEEE PRESS, New York, 1998.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

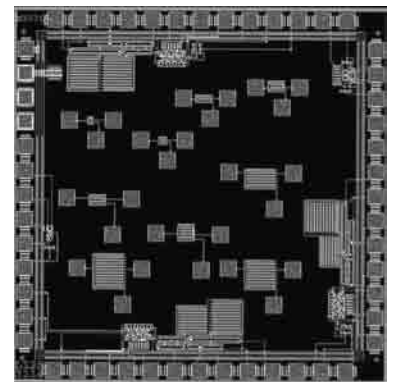


## スイッチトキャパシタ積分器の設計

上智大学理工学部 角田 正人, 和保 孝夫

概要：今回、デルタシグマ積分器を実現するための主要な回路となるスイッチトキャパシタ積分器を設計した。内容としては、実測値とシミュレーション値を比較するため積分器のオペアンプのフィードバック部に含まれるキャパシタの値を、5p, 8p, 10pと変化させたものを搭載した。また、スイッチトキャパシタ積分器を構成する要素回路として、キャパシタ及び、スイッチを搭載した。キャパシタに関しては、設計どおりの値を示しているか実際に測定し検討するために、値を変化させたものを10通り搭載した。また、スイッチに関しては、動作確認のため搭載した。積分器のクロック周波数は、900kHzまで動作する事が、HSPICEシミュレーションによって確認出来ている。その値の妥当性を測定により検討する。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)





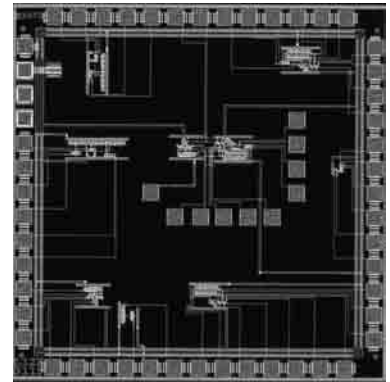
## 全差動 OTA 回路の設計

上智大学理工学部 武井 一史, 和保 孝夫

**概要：**Operational Transconductance Amplifier (OTA) は可変抵抗をはじめとして、増幅器、乗算器、除算器、積分器、インダクタンス、フィルタ等を実現することができるアナログ汎用回路である。現在では、スイッチトキャパシタ回路などの容量が負荷となる回路が多くなってきているため重要な回路となっている。今回は、OTA の中でも基本的なシングルエンドのもの、全差動フォールデッドカスコードの2つのOTAを搭載した。後者には、Common Mode Feed-Back (CMFB) 回路を付加し、回路の安定を図った。HSPICE シミュレーションの予測値では、シングルエンドOTAではバンド幅1.7MHzを得ており、実測値と比較してこの妥当性を検討する。また、CMFB回路を個別に測定できるように搭載した。

**参考文献：**R. Jacob Baker, Harry W. Li, David E. Boyce “CMOS CIRCUIT DESIGN, LAYOUT, AND SIMULATION,” IEEE PRESS, New York, 1998.

**設計期間：**1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**10以上, 100未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



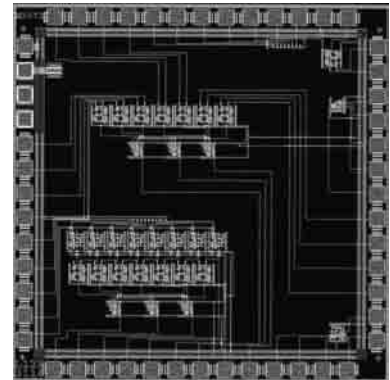
## クロック付きコンパレータおよびフラッシュ型 A/D 変換器

上智大学理工学部 田島 康博, 和保 孝夫

**概要：**アナログからデジタルへ変換するインターフェースとなるA/D変換器の中でも高速に動作することのできるフラッシュ型A/D変換器を設計することを目的とした。フラッシュ型A/D変換器の構成ブロックとして、差動回路、正帰還をかけた判定回路、出力を保持するラッチからなるクロック付きのコンパレータを設計した。さらに基本的な2入力XOR, 4入力OR, 抵抗を設計し、これらからオーバーレンジ出力を加えた3ビットのフラッシュ型のA/D変換器を設計し搭載した。またフラッシュA/D変換器以外に個々の回路の性能評価を行う目的で、設計した各回路ブロックをそれぞれ搭載した。

**参考文献：**R. Jacob Baker, H. W. Li and David E. Boyce, CMOS Circuit Design, Layout, and Simulation, IEEE PRESS, New York, pp. 685-700 1998.

**設計期間：**2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100以上, 1,000未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

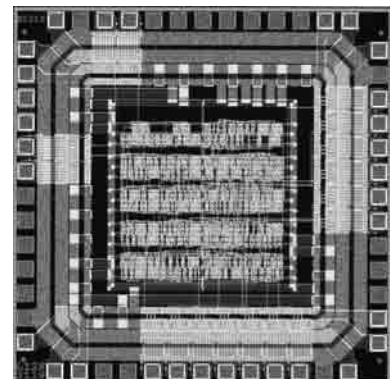


## ストップウォッチ

九州大学工学部電気情報工学科 山崎 秀哉

**概要：**本チップはデジタル回路を設計し、集積回路に対する理解を深めることを目的とした学部学生向けの講義の中で設計した。作成したチップは1/100秒桁から10分桁までカウントできる1/100秒ストップウォッチである。電源入力後、内部回路がリセットされ、スタート/ストップスイッチによる計時の開始/停止が行うことができ、計時中でもリセットができるようなストップウォッチとしての基本的な動作のみを行う回路である。7セグメントLED6桁の表示方法は、表示装置の配線が少なく表示用のデコードが1個ですむように、瞬時にはある1桁だけを点灯し高速で順次点灯させるダイナミック駆動方法を使用した。またスイッチ入力のON/OFFが安定するまでの不安定状態(チャタリング)の除去も行うように設計を行った。

**設計期間：**0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 design\_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm角 **チップ種別：**その他

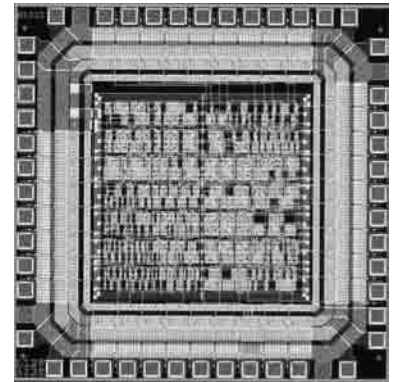


## DPWM コントローラ的设计

九州大学大学院システム情報科学府 樋口 浩太郎

**概要：**太陽電池などの「環境エネルギー」と呼ばれるエネルギー源により駆動可能な超低消費電力回路を対象とした安定化電源回路の制御回路を試作した。「環境エネルギー」を利用する際の課題は、得られる電力量が不安定であり、如何に安定した電力（電圧）を負荷回路に供給するか、また、得られる電力量そのものが小さいため、電源回路の高効率化が必要なことである。このような課題を克服する為、電源回路の出力電圧を常に監視し、出力電圧を一定値（目標値）に保つ DPWM コントローラを低消費電力で実現することが必要となる。電源回路には降圧型 DC/DC コンバータを用い、DPWM コントローラによりそのデューティサイクルを制御することによって出力電圧を安定化する。本試作では、低周波数動作および回路構造の簡素化により低消費電力を目指した。

**設計期間：**1 月以上、2 月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数：**1,000 以上、10,000 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**その他

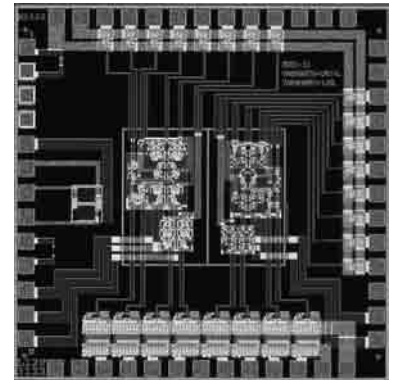


## 断熱的ダイナミック CMOS 論理回路を用いた SD1bit 加算器の試作

山形大学工学部 高橋 康宏, 水沼 充, 庄野 和宏, 横山 道央, 高橋 一清

**概要：**Signed Digit (SD) 数系表現を用いた定係数 FIR フィルタは、乗算器を用いずに加算器のみで構成できる。また、フィルタ係数の演算共有化を行えるために、使用する加算器を低減でき、乗算器を用いる FIR フィルタと比較した場合、小面積でフィルタを実現できることが知られている。この性質を生かし、Canonic Signed Digit (CSD) 係数 FIR フィルタを用いたヒルベルト変換器の設計を行った [1]。その TEG として、CMOS 論理回路と低消費電力特性を備えた断熱的ダイナミック CMOS 論理回路 (ADCL 回路) からなる SD1bit 加算器をそれぞれ設計し、試作を行った。フルカスタム設計により設計を行った結果、チップ占有面積は CMOS 論理回路、ADCL 回路ともに 370 $\mu$ m  $\times$  740 $\mu$ m である。シミュレーションと実際に試作した加算器により評価を行い、正常動作することを確認している。

**参考文献：**[1] Y. Takahashi, T. Kitajima, K. Takahashi, Hilbert Transformer Design Using CSD FIR Filter, Proc. ITC-CSCC 2001, pp. 921-924, June 2001. **設計期間：**0.5 月以上、1 月未満 **設計ツール：**SII 社 SX9000, Orcad PSPICE **トランジスタ数：**100 以上、1,000 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**演算回路 (乗算器, 除算器など)

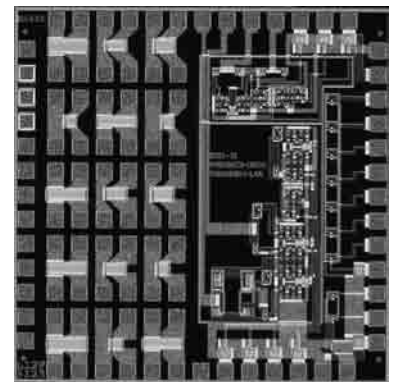


## 櫛形構造 MOS トランジスタとトランスコンダクタ TEG の設計試作

山形大学工学部 今田 圭一, 祭城 直人, 船山 広輔, 庄野 和宏, 横山 道央, 高橋 一清

**概要：**今回は、幾つかの櫛形構造 MOS トランジスタと、トランスコンダクタを主として試作した。これらのうち前者は、その素子の特性を調べることを目的としており、様々なサイズのトランジスタについて検討を行うために設計されている。さらに、後者の回路の入出力端子は、従来の OTA (Operational Transconductance Amplifier) の入出力端子を片接地形とした回路構成となっている。この回路は、CMOS インバータ回路に似たコンプリメンタリ回路構成のトランジスタをトランスコンダクタとして用いており、そのトランスコンダクタンス制御回路やオフセット電流キャンセル回路からなっている。さらに、トランスコンダクタンス特性を測定するための幾つかの TEG を含んでいる。

**設計期間：**1 月以上、2 月未満 **設計ツール：**SII 社 SX9000, Orcad PSPICE **トランジスタ数：**10 以上、100 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)





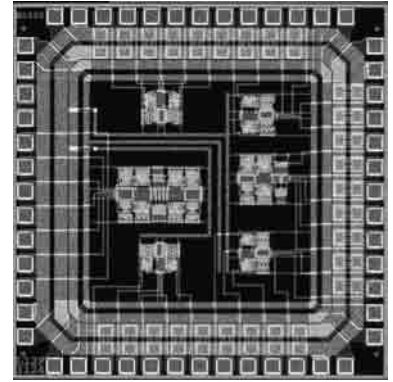
## Rail-to-Rail AB 級 CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 電流モード信号処理の特徴は、低電圧動作で広いダイナミックレンジが得られることにある。したがって、その基本構成素子としての CC II にも Rail-to-Rail の入出力電圧範囲が要求される。さらに入出力すべてに AB 級 Rail-to-Rail を用いることで、低電源電圧動作時においても、できる限り大きな S/N 比を得ることができる構成となっている。ここで今回の CC II は、電圧入力に Rail-to-Rail で使用するための相補型 Nch, Pch 差動入力段、電流入力に AB 級プッシュプル段、電流ミラー、及び定電流源で構成した。外部入出力端子は、電圧入力端子、電流入力端子、電流出力端子の三端子と、バイアス電流のための電流入力端子である。シミュレーションにより得られたカレント・コンペアの性能が、実際の IC でも得られるかどうかを確認するため試作した。

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

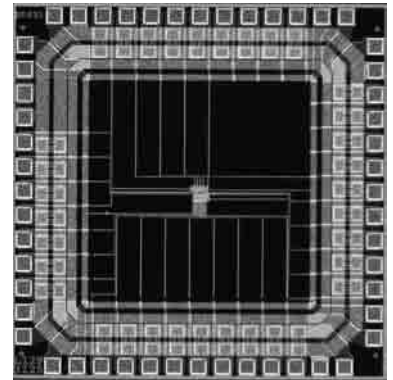


## R-2R ラダー型 DA 変換器の試作 (1)

静岡大学電子工学研究所 深津 康徳, 渡邊 健蔵

**概要:** 6ビットの R-2R ラダー型の DA 変換器を試作した。回路を構成する各抵抗値を、入出力、デジタル入力信号及び本来グランドとして用いる端子から理論的に算出する方法を求めた。目的は、この算出方法が集積化された場合にも適用出来るかを実証するためである。それによって、どの抵抗がどれだけ設計した値と乖離しているかを求めるものである。更に配線抵抗が精度におよぼす影響についても調べた。ある程度の配線抵抗が入り込むものとして、ならばどれだけの大きさの抵抗を用いれば、配線抵抗が無視できるようになるかを求めた。そして実際に集積化し、精度があるかを確認する。試作 (2) では、その抵抗の値を変えて設計し同様のことを行っている。

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

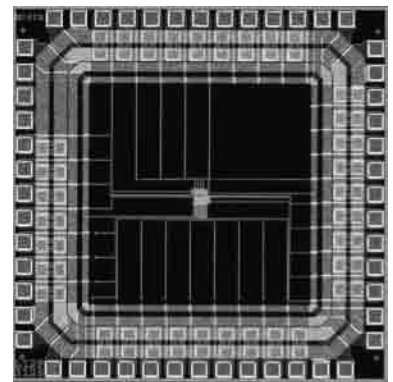


## R-2R ラダー型 DA 変換器の試作 (2)

静岡大学電子工学研究所 深津 康徳, 渡邊 健蔵

**概要:** 6ビットの R-2R ラダー型の DA 変換器を試作した。回路を構成する各抵抗値を、入出力、デジタル入力信号及び本来グランドとして用いる端子から理論的に算出する方法を求めた。目的は、この算出方法が集積化された場合にも適用出来るかを実証するためである。それによって、どの抵抗がどれだけ設計した値と乖離しているかを求めるものである。更に配線抵抗が精度におよぼす影響についても調べた。ある程度の配線抵抗が入り込むものとして、ならばどれだけの大きさの抵抗を用いれば、配線抵抗が無視できるようになるかを求めた。そして実際に集積化し、精度があるかを確認する。試作 (1) では、その抵抗の値を変えて設計し同様のことを行っている。

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

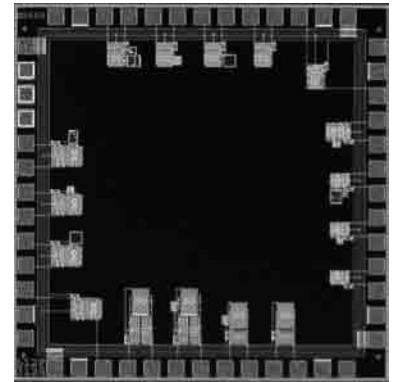


## CMOS カレントミラーの設計

静岡大学電子工学研究所 小川 覚美, 渡邊 健藏

**概要:** アナログ集積回路設計において電流モード信号処理回路が注目されるに伴い, アナログ電子回路の基本構成素子の1つであるカレントミラーの果たす役割は益々大きくなっている. ここでは, 高速の信号処理に用いることができる広帯域, 高精度のカレントミラーを実現するために, 周波数補償 CMOS カレントミラーを試作した. この構成でウィルソン・カレントミラー, 改良型ウィルソン・カレントミラーの電流伝達特性に生じるピークを補償し, フラットで広帯域の特性を得ることができることがシミュレーションで示されている. 回路構成は非常に簡単であり, 小さなチップ面積に集積化が可能である. この試作チップには補償回路のない基本的なカレントミラーも含まれている. 試作した周波数補償 CMOS カレントミラーの特性を測定し, 補償のないカレントミラーの特性と比較する.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



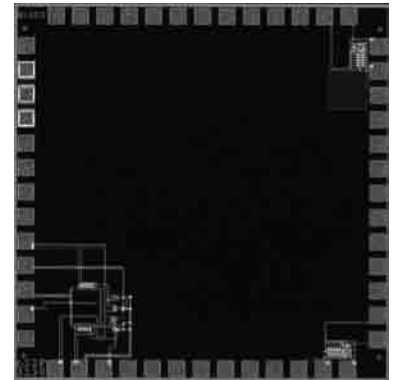
## ボルテージダウンコンバータの試作

福岡大学工学研究科 沖 和史

福岡大学工学部 末次 正

**概要:** 現在, 携帯電子機器の急速な普及にともなって, 機器の小型化, 軽量化が進んでいる. このため, バッテリーへの制限は一層厳しくなり, 低消費電力化が要求されている. その解決策としては, 電源電圧の低圧化が最も有効である. また, 年々微細化と共に, トランジスタ, 配線の耐圧も低下しており, それらに対応する意味でも電源電圧の低圧化を行う必要がある. オンチップ型のレギュレータを用いることで, 小型で安定した電源供給が可能となる. 今回, 試作したオンチップボルテージレギュレータは, 差動回路を用いて出力電流を調節し, 安定した出力電圧を供給する. 同じ回路構造のものを違った配置でレイアウト設計を行っている. この回路の動作確認ができたなら, より高精度の差動回路の設計に取り組みたい.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

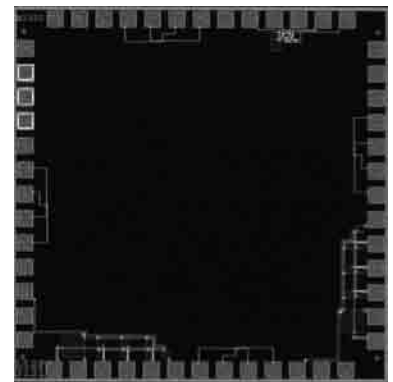


## チャージポンプ型 DC-DC コンバータとオペアンプの設計

福岡大学工学部 小柳 裕彦, 池本 孝之

**概要:** 今回は, アナログ回路設計のノウハウを習得するために低電圧, 高利得, 広帯域化を試みたアナログオペアンプの設計及び試作を行った. また, 通常の電源のほかに比較的高い電圧を供給する電源を必要とする場合, 多種類の電源を独立に用意するのはシステムとして不都合であり, 単一電源化が望まれているので, それを解決するためにチャージポンプ型 DC-DC コンバータが挙げられ, 今回は 5V を 10V に昇圧することを目的とした. しかし従来型の回路では 2 相のクロック信号を用いているにもかかわらず, 半周期でしか負荷に電荷を供給しないので, 今回全周期にわたって電荷を供給させるために相補型のチャージポンプ昇圧回路を設計し試作を行った.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

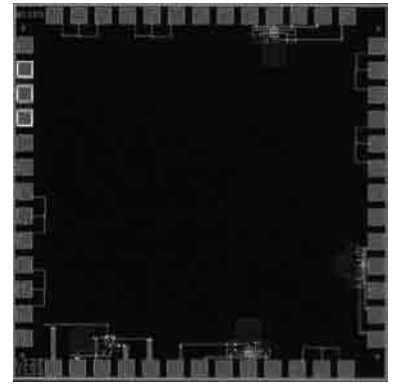


## スイッチトキャパシタ変成器を用いた DC-DC コンバータの設計

福岡大学工学部 大津 正裕

**概要：**スイッチトキャパシタ変成器は、MOS スイッチとキャパシタ（コンデンサ）で構成されており、MOS スイッチを ON と OFF することにより電圧変換（昇圧，降圧，極性反転）を行う回路である。また、周囲に磁束を作るコイルやトランスといった磁性部品を使う必要がなく、IC 化に適した電源回路である。今回、私たちの研究室では、システムの小型化や低コスト化、低消費電力をはかるために、チップ集積型の DC-DC コンバータの設計を行った。そこで、スイッチトキャパシタ変成器を用い、4 種類のレイアウトを変えた DC-DC コンバータの試作を行った。今回試作した DC-DC コンバータ回路は、3.3v の入力電圧を 1v で出力する降圧型のコンバータでスイッチング周波数 100MHz、平均出力電力 100 $\mu$ W である。

**参考文献：** Switched-Capacitor-Based DC-to-DC Converter with Improved Input Current Waveform **設計期間：** 0.1 人月以上，0.5 人月未満 **設計ツール：** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：** 100 以上，100 未満 **試作ラン：** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：** アナログ（PLL, A-D/DC-DC コンバータなど）



## 離散時間型電流モードアナログ CMOS カオス回路

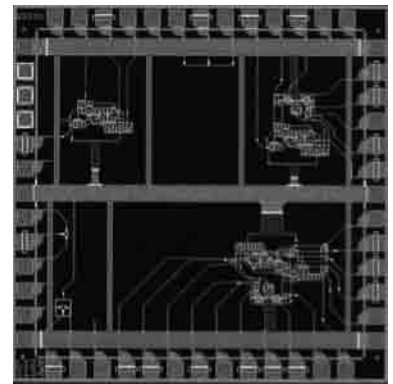
熊本大工学部 濱里 主巳, 常田 明夫, 井上 高宏

熊本電波工業高等専門学校 江口 啓

**概要：**一次元写像に基づいた離散時間型カオス系列の生成回路を設計した。一次元写像として、アナログ回路での実現が容易（不可避な雑音等による揺らぎに対して頑健）で、かつ良好な統計的性質をもつ区分線形 N 型写像を用いた。[1] 試作した提案回路は、スイッチトカレント技術を用いた離散時間型電流モードアナログ CMOS 回路で実現しており、演算部と遅延部で構成されている。また、これとは別に、演算部の動作を確認するために演算部のみの回路も試作した。さらに、2 値化回路を付加した回路も試作した。いずれの回路も電源電圧 5.0V で動作し、ユニットトランジスタを用いて設計した。

**参考文献：** [1] K. Hamazato, A. Tsuneda, T. Inoue, K. Eguchi, An Analog CMOS Circuit Generating Chaotic Sequences Based on Piecewise Linear N-Shaped Maps, pp. 604-607, Proceeding of the ITC-CSCC 2001 (2001).

**設計期間：** 1 人月以上，2 人月未満 **設計ツール：** MAGIC, Avanti 社 Star-HSPICE **トランジスタ数：** 100 以上，1,000 未満 **試作ラン：** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：** その他

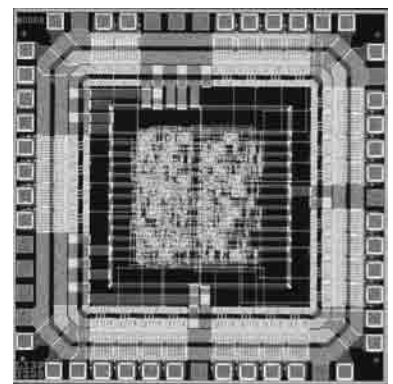


## 大規模システム設計を目指したテストチップの試作

中京大学情報科学部 中塚 昌樹, 磯 直行

**概要：**我々の研究室では CAD アルゴリズムに関する研究を行っている。今回はその一環として試作ランに参加した。本試作は大規模システムを実現する LSI の開発環境の整備と、CAD を用いたチップ設計フローの習得を目的とした。設計には Verilog-HDL を用いた。また、設計した回路は単純な非同期式 12 時間時計回路である。設計中不明な点は VDEC のホームページや CAD メーリングリストを参考にして解決した。LSI の設計段階では、計算機の設定や CAD の操作方法の習得に時間がかかった。特に CAD の操作方法に関しては VDEC により行われている CAD 講習会に参加して習得した。試作したチップは自作ボード上で設計通り動作することを確認した。

**設計期間：** 3 人月以上，4 人月未満 **設計ツール：** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：** 100 以上，1,000 未満 **試作ラン：** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：** アナログ/デジタル信号処理プロセッサ



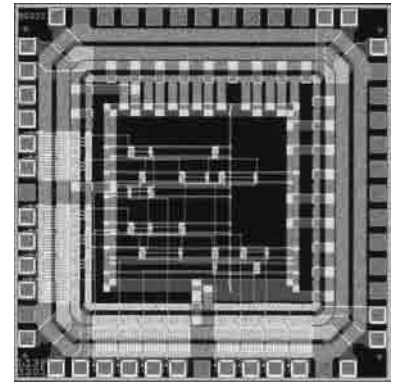


## LSI 設計演習における試作チップ (4bit 全加算器)

茨城大学工学部メディア通信工学科 尾保手 茂樹, 鹿子嶋 憲一

**概要:** 茨城大学工学部メディア通信工学科では, 平成 14 年度より学部 4 年及び大学院学生に対して「LSI 設計演習」を実施する。内容は座学と演習に分かれている。座学では LSI の概要, 半導体物理の基礎, MOS-FET, CMOS ロジック, プロセス技術, トップダウン設計について講義を行う。一通り LSI に関する知識が習得できたところで, Verilog の文法から始まり, 論理合成, 配置配線, 設計規則検証の順で演習を実施する。本回路はその準備段階とし試作したものである。初めての設計であったため, オシロスコープと直流電源を用いて簡単に動作確認が行えるものとして 4bit 全加算器を選択した。実験により所望の動作を確認でき, LSI 設計演習を実施できる環境を立ち上げることができた。実験は VDEC から提供されるソケットボードを用いて行った。CAD は HP のマシンにインストールし, この 1 台に X 端末 20 台がアクセスして使用した。今回のような簡単な回路であれば問題なく設計が行えた。今後は順次, 教育内容の見直しを行い, 演習内容の充実を図る予定である。

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

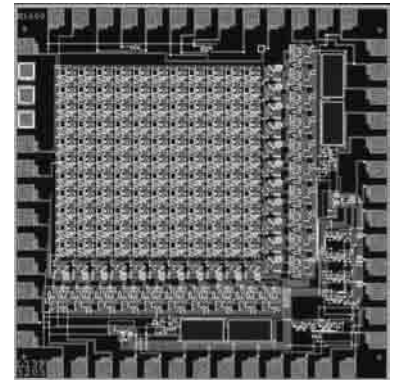


## 生体の初期視覚機構に学んだ物体の接近検出チップの試作

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

**概要:** 生体の初期視覚機構に学び, 物体の接近速度および接近方向を検出する機能を実現するネットワークの提案とその集積回路化を行ってきた [1]。バットの脳に存在する下行性反対側運動検知細胞 (DCMD) では, 網膜上に投影された画像の大きさおよび拡大速度の情報を組み合わせて, 物体の接近を検出している。その応答は衝突寸前にピーク値を示し, その値は接近速度および接近方向に対応している。提案したネットワークでは, 衝突寸前に出力信号がピーク値を示し, 接近速度および接近方向を検出する。今回の試作では, 上述した接近検出ネットワークを検証するため, 二次元ネットワークを設計した。また, チップにはネットワークを構成する基本回路の TEG も含めた。試作チップの測定では, 各基本回路の動作を検証するとともに, 二次元ネットワークの接近検出機能を評価する。

**参考文献:** [1] 西尾, 大谷, 山田, 高崎, 古川, 米津, 昆虫の視覚系に学んだ接近方向検出機構の二次元ネットワーク化, 日本神経回路学会第 11 回全国大会講演論文集, pp. 141-142, 2001. **設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ

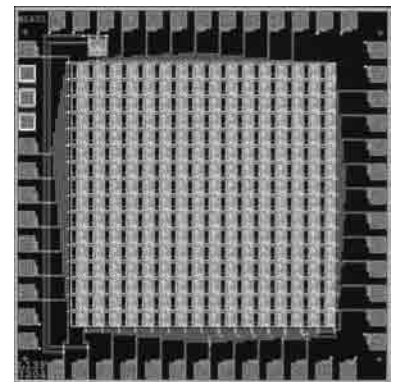


## 広ダイナミックレンジを有するエッジ検出回路の電子回路化

豊橋技術科学大学工学部 高崎 哲, 米津 宏雄

**概要:** 我々は, 網膜の視覚情報処理に学び, 物体の輪郭情報を形成するエッジ検出ネットワークの提案とその集積回路化を試みてきた。このネットワークは, 視覚対象の広範囲にわたる入力光強度に対して, 各画素の回路パラメータを自動的に適応させ, 広ダイナミックレンジを実現することができる。しかし, このネットワークでは, 出力信号の大きさが小さく, ノイズや素子のミスマッチの影響を強く受ける傾向があった。そこで, この問題を改善するために, エッジ検出ネットワークの入力段において, 入力信号を増幅する機能を追加した。この機能により, エッジ検出回路の出力強度が高くなり, ダイナミックレンジがさらに拡大することをシミュレーションによって確認した [1]。今回の試作では, 画素数 16  $\times$  16 と比較的小規模な二次元網膜ネットワークを構成し, その動作を確認することを目的とした

**参考文献:** [1] 高崎, 大谷, 山田, 西尾, 古川, 米津: 広ダイナミックレンジを有するエッジ検出機構の電子回路化, 日本神経回路学会第 11 回全国大会講演論文集, pp. 137-138, 2001 **設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ





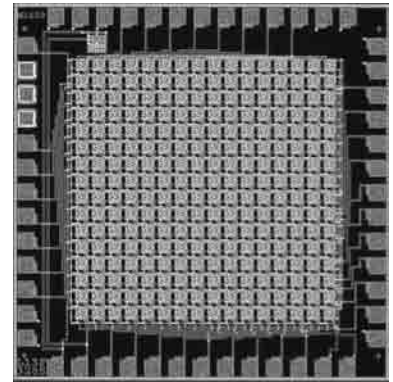
## 局所適応機能を有する二次元エッジ検出網膜チップの設計

豊橋技術科学大学工学部 Amal Bandula Kariyawasam, 米津 宏雄

**概要：**我々は、これまでに網膜の視覚情報処理機構に学び、局所空間での光強度分布に従って、画素中の回路パラメータが自動的に適応する機構を有するエッジ検出網膜チップの提案とその集積回路化を試みてきた [1]。今回の試作では、提案したエッジ検出網膜チップの大規模集積回路化にあたり、画素数  $16 \times 16$  と比較的小規模な二次元網膜チップを設計し、その動作確認を目的とした。画素は、1個のフォトダイオードと14個のMOSトランジスタから構成され、その画素サイズは  $85\mu\text{m} \times 85\mu\text{m}$  であり、非常にシンプルな回路構成で実現することができた。

**参考文献：**[1] 宮下, 大谷, 高崎, 山田, 西尾, 米津 “局所的な明暗順応機能を有するエッジ検出機構の集積回路化”, 信学技報, Vol. 99, No. 686, pp. 213-220, 2000.

**設計期間：**0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $2.3\text{mm}$  角 **チップ種別：**イメージセンサ/スマートセンサ

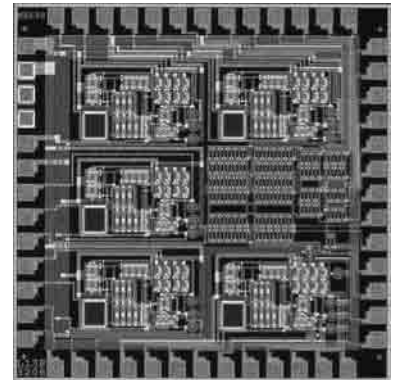


## 小型加速度センサ用増幅器の設計

富山県立大学工学部 麻生 啓太, 大曾根 隆志, 松田 敏弘

**概要：**本チップは演算増幅器を利用して小型加速度検出センサの出力電圧を増幅することを目的し、設計、試作したものである。小型加速度センサとは加速度に応じた電圧を出力するセンサであり、用途としては携帯電話やPDAなどがある。しかしその出力電圧は微小であるため、増幅器を接続する必要がある。またその増幅器は、小型センサチップの近傍に配置することを目標としているため、小型化が求められる。増幅器は高利得な演算増幅器4つと抵抗を組み合わせて、高入力インピーダンスな増幅器回路を形成する。各演算増幅器と抵抗回路はチップ外部で接続するようにし、また演算増幅器単体の回路内部の特性を測るため、測定点を設けたものを1つ配置した。

**設計期間：**1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $2.3\text{mm}$  角 **チップ種別：**演算回路 (乗算器, 除算器など)

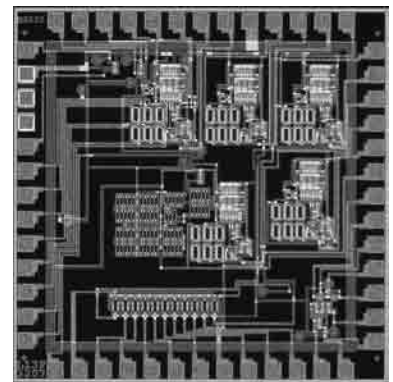


## 高精度 CMOS 定電圧回路 (2)

富山県立大学工学部 金森 章, 松田 敏弘, 大曾根 隆志

**概要：**A/D, D/A コンバータ等のアナログ回路に不可欠な高精度の定電圧回路 (基準電圧源) を CMOS デバイスによって実現するための TEG (Test Element Group) を設計した。所定の電源電圧および温度範囲で中心値からの変動が  $\pm 1\%$  以内の定電圧源を得ることを目標としている。回路構成はバンドギャップ型の原理を応用しており、NWELL 抵抗を使用していた部分を NMOS に置き換えることによって回路面積を約半分にすることが出来た。また、その NMOS のゲートをコントロールすることによって、NMOS のオン抵抗を常に調整している。今回は定電圧回路に入力される電源電圧の変動をあらかじめ抑えるための回路を導入した。その回路と定電圧回路を接続する事で、更に出力電圧の変動を抑えることができ、高精度化が期待される。また、低消費電力化も同時に実現している。試作を完了した回路を測定した結果、基本的な回路動作を確認し、ほぼ目標どおりの性能が得られた。今後、更に高精度の特性が得られる回路構成について検討する予定である。

**設計期間：**2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $2.3\text{mm}$  角 **チップ種別：**TEG (特性評価回路など)

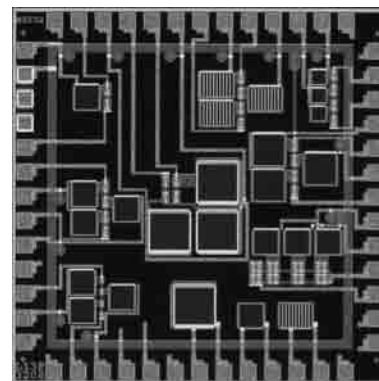


## Charge Pump 回路

富山県立大学工学部 野田 宗邦, 大曾根 隆志, 松田 敏弘

**概要:** LSI の高集積化に伴い, 回路の高速化は実現してきたものの, そのためには同時に多くの駆動電流が必要となり, 高速化と低消費電力化は相反する問題となっている. 今回は特に, 回路の待機時に低消費電力化を実現するために印加する逆方向バイアスについて, より深いバイアス値を得ることのできるようなシステムについての検討を行った. Charge Pump 回路は, 入力信号に対し, コンデンサを通じて電荷をポンプのように押し出して反対側で大きな出力電圧を得ることができる. このチップでは, 基板バイアス発生回路のひとつとして Charge Pump 回路の設計を行った. この中には基本回路とトータム・ポール回路を入れ, Charge Pump 回路の基本特性を評価することを目的としている. さらにトータム・ポール回路においては, デバイスサイズの異なるものを数種類入れることで, それによる出力電圧の変化についても評価を行えるようにした.

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

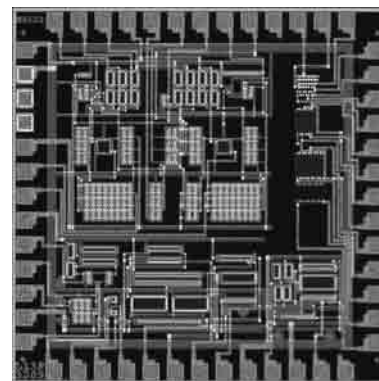


## 改良型定電流源

富山県立大学工学部 野田 宗邦, 大曾根 隆志, 松田 敏弘

**概要:** LSI の高集積化に伴い, 回路の高速化は実現してきたものの, そのためには同時に多くの駆動電流が必要となり, 高速化と低消費電力化は相反する問題となっている. そこで, 回路の動作時と待機時を想定し, 基板バイアスを印加することで動作時には高速化を, 待機時には低消費電力化を実現できるようなシステムについての検討を行った. 前回, このシステムの実現のために電流比較式基板バイアス発生回路とそれに必要な電流減算式定電流源の設計を行った. 今回は前回の方法を改良し, 定電流源について更なる精度の向上を目指して検討を行った. このチップは, LSI の低消費電力・高速動作を実現するための基板バイアス発生回路と, それに必要な定電流源の設計をした前回のチップに対し, さらに定電流源の精度をあげるために改良を加えたものである.

**設計期間:** 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)



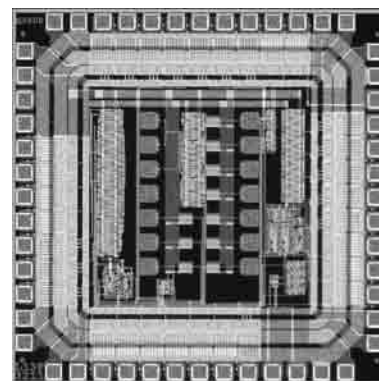
## マイクロプロセッサ検討用回路の設計

静岡理科大学理工学部電子工学科 村松 透, 縣 伸史, 北村 義徳, 永野 肇,  
望月 秀幸, 波多野 裕

**概要:** マイクロプロセッサ検討用回路の設計を行った. 今回の設計では 11 種類の回路を設計した. 当研究室で開発したベーシックセルを使用した独自のゲートアレイ方式で, 4 ビットカウンタ, D-FF, JK-FF, 2 ビット ALU を設計した. ニューロン MOS 回路の動作を確認するため, ニューロン MOS 乗算器, ニューロン MOS 全加算器を設計し, ニューロン MOS との比較検討用として, CMOS 全加算器をフルカスタム方式で設計した. さらに, シフトレジスタ, 4 ビット SRAM, SRAM セルをフルカスタム方式で設計した. 2 月に入荷した試作チップを測定した結果, 測定した全ての回路 (CMOS 全加算器, 4 ビットカウンタ, 2 ビット ALU, シフトレジスタ, 4 ビット SRAM) の正常な動作を実測で確認する事に成功した.

**参考文献:** [1] 山田, 増田, 丹治, 山下, 落合, 波多野, “テスト回路群と 2 ビットマイクロプロセッサ”, p. 140, 平成 12 年度 VDEC 年報 (2001).

**設計期間:** 4 人月以上, 5 人月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)



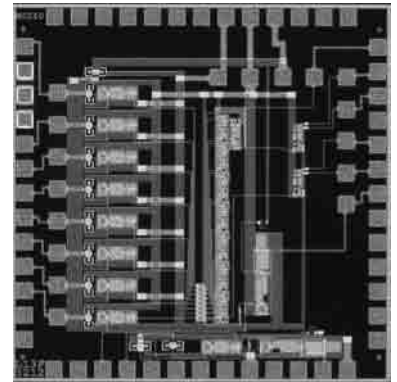


## リングアレイ前方視超音波イメージャ用集積回路の試作

東北大学ベンチャー・ビジネス・ラボラトリー 中村 和浩  
東北大学未来科学 江刺 正喜

**概要：**マイクロマシン技術を利用して、圧電素子 8 個からなるリングアレイを作成している。このリングアレイは医療用カテーテルの先端に搭載し、前方の血管壁や狭窄部、異物などの情報をリアルタイムに取得する前方視超音波イメージャを構成するものである。試作したチップは、この超音波エコーの受信増幅に用いるためのものであり、カテーテル先端形状に合わせ、レイアウトされている。受信信号を、8ch それぞれの電流帰還型オペアンプを介して増幅した後、CMOS スイッチで選択し、終段に配置したドライブ用の電流帰還型オペアンプから出力する構成である。入力部には素子保護用のダイオードを配置している。

**設計期間：**0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10 以上, 100 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

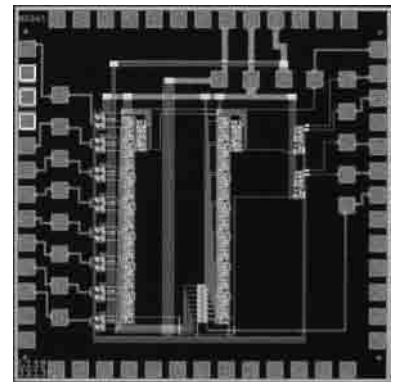


## リングアレイ前方視超音波イメージャ用集積回路の試作

東北大学ベンチャー・ビジネス・ラボラトリー 中村 和浩  
東北大学未来科学技術共同研究センター 江刺 正喜

**概要：**マイクロマシン技術を利用して、圧電素子 8 個からなるリングアレイを作成しており、このリングアレイを医療用カテーテルの先端に搭載することで、前方の血管壁や狭窄部、異物などの情報をリアルタイムに取得する前方視超音波イメージャを構成することを目的としている。試作したチップは、この超音波パルスの送信信号の切り替えに用いるためのものであり、カテーテル先端形状に合わせ、レイアウトされている。パルス用の電圧を、CMOS スイッチにより選択する事で、スイッチングすることを目指しており、シフトレジスタ回路を用いて、CMOS スイッチを選択している。

**設計期間：**0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10 以上, 100 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**MEMS

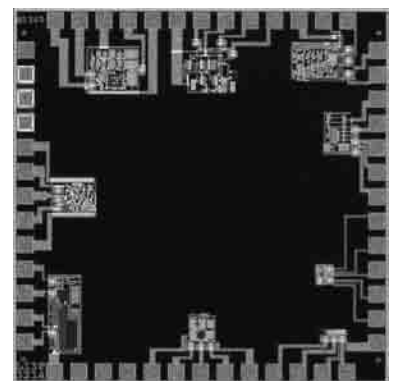


## アナログ・デジタル混載回路におけるデジタル雑音のための回路の試作

東京工業大学大学院理工学研究科 高木 茂孝, 藤井 信生

**概要：**アナログ・デジタル混載回路における最大の問題点の一つは、デジタル回路を駆動するためのクロック信号が基板を通してアナログ回路へ漏れ、雑音となり、アナログ回路の性能を劣化させることである。この問題に関して、我々は、アナログ回路をガードリングで囲み、その外部にデジタル雑音を検出するためのバンドを配置し、このバンドから検出された雑音信号と大きさが等しく、位相が反転した信号を出力する回路を用いて能動的にデジタル回路からの雑音を打ち消す手法を提案している。従来手法は、カレントミラー回路を基本としていたため、カレントミラー回路を流れる信号電流に、電源電圧の変動や参照する直流電圧源の出力抵抗が影響し、性能が劣化するという問題点を有していた。今回の試作では、一部のカレントミラー回路を電流源に置き換えることにより、これらの問題点を取り除いた回路を試作している。また、この回路以外に演算増幅器の試作も行っている。

**設計期間：**0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数：**10 以上, 100 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**アナログ混載

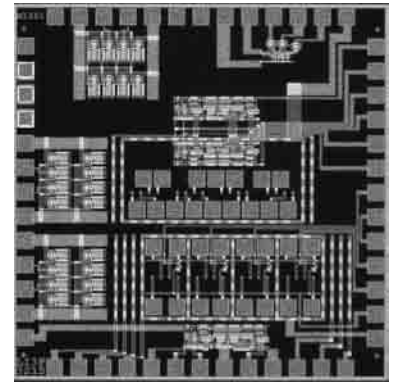


## 各種演算増幅器設計の試作

東京工業大学大学院理工学研究科 高木 茂孝, 藤井 信生

概要：従来より、我々のグループでは、アナログ回路設計に関して初心者である、学部4年生ならびに修士1年生を対象とし、集積回路設計の体験を目的として、演算増幅器の試作を行っている。回路構成は、教科書に出てくる中から選んだり、各自で工夫を加えたりするなど、各学生の判断に任せている。今回試作した演算増幅器は、差動対とカレントミラーという極めて単純な回路から、高速動作を目的とした電流帰還型演算増幅器、同相除去比を改善するために同相帰還回路を付加した演算増幅器、1.9Vで動作する低電源電圧演算増幅器、電源電圧変動には弱いものの8 $\mu$ Wの消費電力で動作する演算増幅器など多岐にわたる。また、我々のグループで研究を進めているアナログ回路自動合成ツールを用いて設計した演算増幅器も含まれている。

設計期間：9 人月以上, 10 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

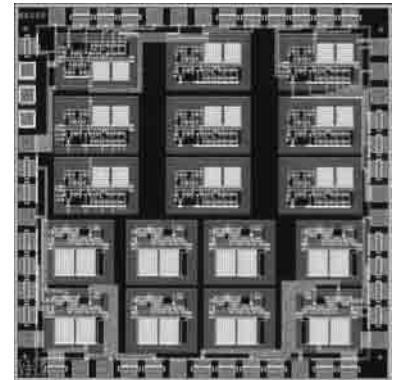


## リング型 DC-DC 電圧変換回路用の CMOS スイッチ

熊本電波情報工学科 江口 啓

概要：スイッチトキャパシタ技術を用いた電圧変換回路は、ノイズが少なく、集積化に適するという特徴をもつ。このため、磁性素子を用いない、これらの電圧変換回路が注目を集めている。なかでも、リング型の DC-DC 電圧変換回路は、プログラマブルに入力電圧を昇降圧可能である。本研究においては、スイッチトキャパシタ技術を用いたリング型 DC-DC 電圧変換回路を設計する。今回の試作においては、コンデンサを外付けにするハイブリッド構成の回路を想定し、レイアウト設計を行った。提案回路は、オンセミコンダクタ社 1.2 $\mu$ m, 2.3mm 角のチップとして実現し、試作チップ内には8つの CMOS スイッチが実装されている。設計は筆者(若手助教)1名で行った。試作においては、開始からデータ提出まで約1ヶ月を要した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：MAGIC, Avanti 社 Star-HSPICE トランジスタ数：1,000 以上, 10,000 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他



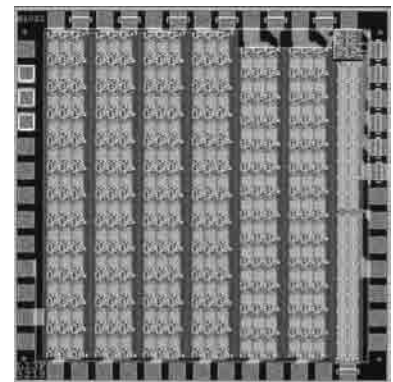
## アレイ構造をもつカオス発生回路

熊本電波工業高等専門学校情報工学科 江口 啓

概要：近年、工学分野においてカオスを利用した様々な応用システムが提案されている。故障時の修理が困難な遠隔地で利用されるシステムのビルディングブロックとして、カオス発生回路が用いられる場合、故障に対して頑健であることが望ましい。本研究においては、故障に対して頑健な構造をもつ離散時間型カオス集積回路を設計する。提案のカオス発生回路はアレイ構造を用いることにより、回路の長寿命化を実現している。試作 IC には、オンセミコンダクタ社 1.2 $\mu$ m, 2.3mm 角のチップ上に、提案のアレイ回路のセルとなる一次元カオス回路が15個レイアウトされている。今回の設計は、筆者(若手助教)1名で行った。試作においては、開始からデータ提出まで約1ヶ月を要した。

参考文献：K. Eguchi, F. Ueno, T. Tabata, H. Zhu, T. Inoue, "Simple design of a discrete-time chaos circuit realizing a tent map," IEICE Trans. on Fundamentals, vol. 83-C, no. 5, pp. 777-778, 2000

設計期間：0.5 人月以上, 1 人月未満 設計ツール：MAGIC, Avanti 社 Star-HSPICE トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：演算回路 (乗算器, 除算器など)





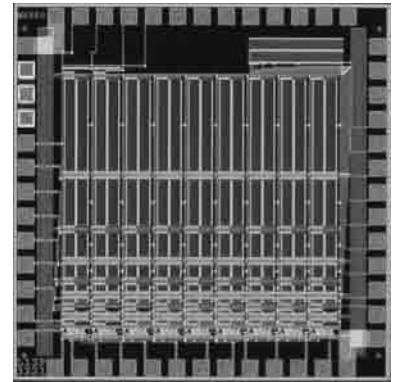
## CMOS シナプス回路による DA/AD コンバータ

電気通信大学電気通信学部 範 公可 (Pham Cong-Kha)

**概要：**従来の CMOS インバータのみで構成されているシナプス回路において、重み値は CMOS インバータの構成要素である PMOS と NMOS トランジスタの相互コンダクタンス  $g_m$  として実現されていた。しかし、CMOS インバータの出力端子の電圧レベルによって、これらの PMOS と NMOS トランジスタの相互コンダクタンス  $g_m$  が変動してしまい、シナプス回路に非線形な出力特性をもたらしてきた。今回、CMOS インバータ回路を構成する PMOS 及び NMOS トランジスタにトランジスタのオン抵抗値を無視できる抵抗値を持つ抵抗体を直列に接続し、正確なシナプスの重み値を実現できる CMOS シナプス回路である。この回路を用いて D/A コンバータ及びその D/A コンバータを用いたニューラルベース A/D コンバータを構成した。トランジスタのスイッチング機能だけを利用し、重み値を線形素子の抵抗体の抵抗値で対応させることが有効であることがわかった。このチップに用いられている抵抗体はポリシリコンによって実現されていた。

**参考文献：** C-K. Pham, "A Novel Synapses Circuit And It's Application To A Neural-Based A/D Converter", IEEE International Symposium on Circuits and Systems ISCAS'01 Proceedings, Sydney, May 201, vol. 3, pp. 612-615.

**設計期間：**0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

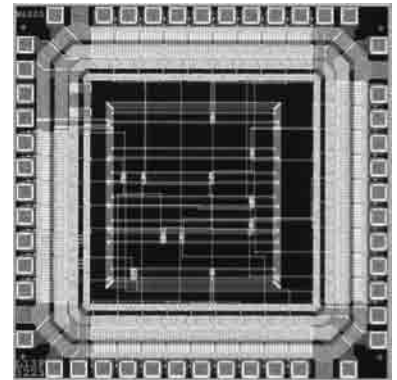


## ORGA (Optically Reconfigurable Gate Array) の実現に向けて

九州工業大学情報工学部 松本 昇, 渡邊 実, 小林 史典

**概要：**既存の FPGA では、configuration data をシリアル転送によって FPGA 内部にあるフリップフロップに格納するため、回路の実装に時間がかかる。近年、FPGA をマルチプロセッサとして実装する応用もあり、実装時間が短いことが望まれる。その問題点を解決するために、ORGA について研究している。ORGA は Photo Detector 受光部を持ち、configuration data を光によって並列に与えることで回路の実装の高速化を図っている。また、ORGA に照射する光は、あらかじめパターンを記録しておいたホログラムに光を照射して復元することで実現する。今回試作したチップは、ORGA を LSI として試作する前に、LSI 設計法を習得するためのものである。オンセミコンダクター社の 1.2 $\mu$ m ルール、2.3mm 角のチップで行った。VHDL で簡単な記述をして、スタンダードセルを配置させた。

**設計期間：**0.1 人月未満 **設計ツール：**Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10 以上, 100 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**その他

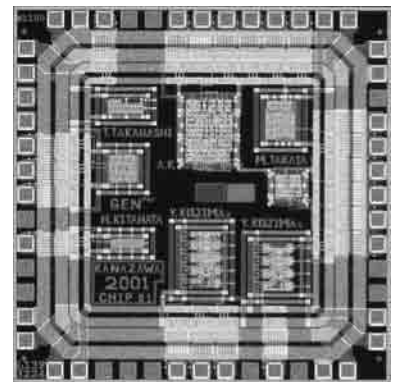


## LSI 設計コンテスト (1)

金沢大学工学部 北畑 隼遠, 小島 康, 高田 雅史, 高橋 司, 源 貴利, 北川 章夫

**概要：**学部4年生を対象に LSI 設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験を持ってもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを考えてもらうために実施している。各参加者に 5I/O ピンと 1/6 の面積を割り当て、5 名で 1 チップを相乗りとして設計を行い、担当 TA が 1 つのチップフレーム上にマージした。競技部門と自由設計部門を設け、競技部門では 8bit 加算器を設計し、B0 から S7 までの伝播遅延時間、使用面積、動作電圧マージンを総合して順位を決定した。設計内容は、8bit 加算器 5 種の他、リングオシレータが 2 種、論理合成による 8bit 加算器 1 種である。

**設計期間：**1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 **チップ種別：**演算回路 (乗算器, 除算器など)

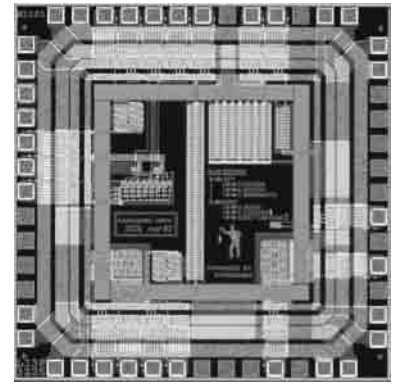


## LSI 設計コンテスト (2)

金沢大学工学部 小竹 剛, 杉木 智恵, 西 吉彦, 前田 喬行, 源 貴利, 福島 早奈恵

概要：学部4年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験を持ってもらうことと、実際のチップを設計する際にどのような点を考慮すべきか考えてもらうために実施している。各参加者に5IOピンと1/6の面積を割り当て、5名で1チップを相乗りとして設計を行い、担当TAが1つのチップフレーム上にマージした。競技部門と自由設計部門を設け、競技部門では8bit加算器を設計し、B0からS7までの伝播遅延時間、使用面積、動作電圧マージンを総合して順位を決定した。設計内容は、8bit加算器4種の他、リングオシレータが4種、パリティチェックが1種である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：演算回路（乗算器、除算器など）

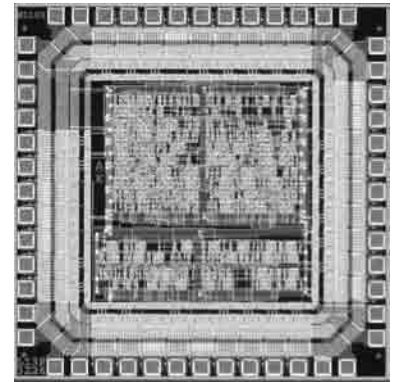


## LSI テスタ/EB プローバ実習用チップ Ver.3

金沢大学工学部 北川 章夫

概要：金沢大学 VDEC サブセンター設備のLSI テスタ (IMS ATS-100) および電子ビームプローバ (ADVANTEST E1380A) を公開するため、講習会テキストと実習用チップを作成した。LSI テスタの講習内容として、VDEC DUT ボード上でのピンアサイン、Verilog HDL により生成したテストベクトルによる機能テスト、タイミングテスト、動作マージンテスト等を行うことを想定している。また、EB プローバの講習内容としては、真空系の取扱い、LSI テスタの同期、像観察、波形測定、位相観察等の基本操作を行う。チップには、8bit カウンタ、リングオシレータ、遅延線付多段バッファ、縮退故障を含む論理ゲート、チップ内微細パッド、グレーティング等が含まれており、容易にCAD ナビゲーションと像観察が行えるレイアウトになっている。

参考文献：IMS ATS-100, ADVANTEST E1380A Users Guide 設計期間：0.1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design\_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上、10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他

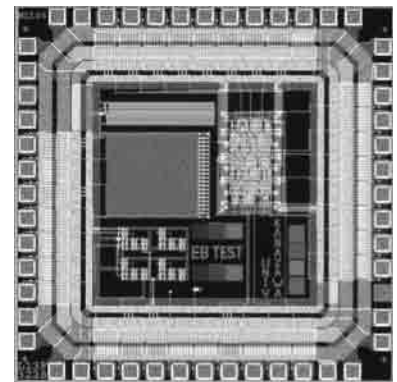


## 複素数乗算器/逐次比較コントローラ

金沢大学工学部 北川 章夫

概要：複素数乗算器：量子コンピュータを模倣する波動駆動型コンピュータのレジスタとして働く微分量子セルを考案した。微分量子セルは、量子コンピュータにおける1/2量子ビットに相当する機能を持つレジスタであり、1次元または2次元に多数接続することにより多量子ビットを実現するための単位機能である。微分量子セルを位置の固有関数に対する座標と考えると、システムの状態は、各微分量子セルの確率振幅によって表現されるため、各セルごとにユニタリ演算子を作用させるための複素乗算器（整数演算で代用可能）が必要となる。複素状態ベクトル演算回路の規模と性能評価を行うために、複素数乗算器の試作を行った。今回は、時間が無かったため、論理合成と自動配置配線により試作を行った。逐次比較コントローラ：学部3年生の電子回路の講義で使用される逐次比較AD変換器の設計例の動作確認と性能評価のため、逐次比較コントローラ部分のみをチップの空き面積に載せた。

参考文献：IEICE 2002年総合大会 A-1-7, 3月27日 (2002) 設計期間：0.1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design\_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上、10,000未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：演算回路（乗算器、除算器など）





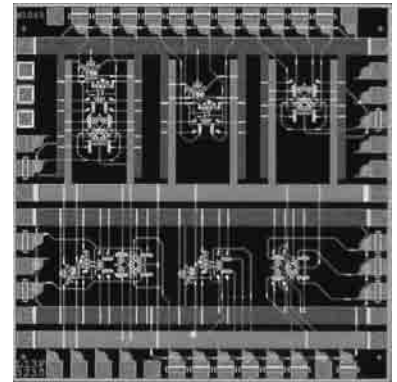
## FG-MOSFET を用いた電子可変浮遊抵抗回路の試作

熊本大学工学部 飯尾 義徳, 井上 高宏

概要：FG-MOSFET を用いた電子可変浮遊抵抗回路を集積化した。本チップには、浮遊電圧源回路単体、抵抗回路単体、それに浮遊電圧源回路と抵抗回路を一体化した回路の3種類を作り込んだ。このチップに作り込んだ浮遊抵抗回路の動作原理は、cross-coupled OTA pair 構成に基づいており、それをみかけ上デプレッション型の動作をするFG-MOSFET を用いて実現し、標準的なCMOSプロセスでの製作を可能にしている。このチップは、各回路が電源電圧4Vのもとで所望の特性をもつことを確認すること、及びシミュレーション結果と実験結果との照合を行うことを目的として試作した。

参考文献：[1] 井上, 二宮, 中根, 飯尾, “FG-MOSFET を用いた MOS 浮遊抵抗回路の一改良とその解析 ECT-01-5”, pp. 23-28, 2001

設計期間：1 人月以上, 2 人月未満 設計ツール：Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



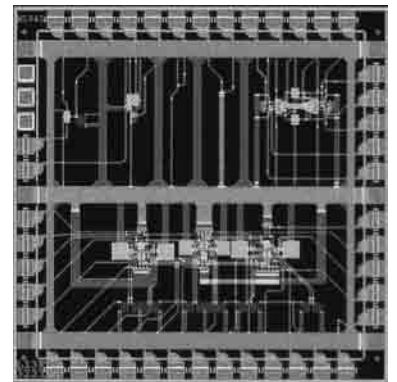
## FG-MOSFET のみかけのしきい電圧プログラミング回路の試作とそのフィルタへの応用

熊本大学工学部 平山 陽一郎, 井上 高宏

概要：パストランジスタを介してフローティングゲート上の電荷を制御して、フローティングゲート MOSFET (FG-MOSFET) のみかけのしきい電圧を任意にプログラミングできる回路、フローティングゲート上の初期電荷によらず制御電圧と制御電流によってみかけのしきい電圧を設定できる回路、加えてそれを低電圧完全差動型電流モード3次チェビシェフ低域通過フィルタに応用した回路を1チップに集積化した。これらは、個別のテスト用の回路を同一チップに相乗りさせたもので、各回路が所望の動作や特性を実現しているかを確認することを主目的として、本チップを試作した。

参考文献：[1] 井上, 平山, 市原, 日野, “FG-MOSFET のみかけのしきい電圧  $V_{th}$  のプログラミング法とその検討 ECT-02-10”, 電気学会電子回路研究会資料, pp. 49-54, 2002

設計期間：1 人月以上, 2 人月未満 設計ツール：magic-6.5.1, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：演算回路 (乗算器, 除算器など)



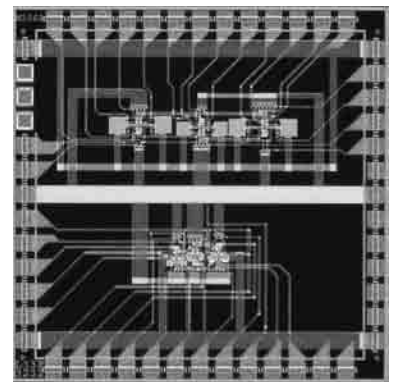
## 特性改善した FG-MOSFET 低電圧完全差動型電流モード低域通過フィルタの試作

熊本大学工学部 中根 秀夫, 平山 陽一郎, 井上 高宏

概要：FG-MOSFET を用いた低電圧完全差動型電流モード積分器を用いた3次の低域通過フィルタを2種類集積化した。本チップに作り込んだ積分器では、従来同相除去比 (CMRR) が低いという問題点があり、今回 CMRR の改善のため、CMFF (Common-Mode Feedforward) 回路を組み込んでいる。各フィルタのカットオフ周波数はそれぞれ 1MHz と 5MHz である。このチップは、各フィルタ単体が 1.5V 電源のもとで所望の特性を実現すること、CMFF の組み込みによる CMRR の改善効果を確認すること、及びシミュレーション結果と実験結果との照合を行うことを目的として試作した。

参考文献：[1] 中根, 井上, 松永, “CMFF による FG-MOSFET 電流モード積分器の CMRR 改善に関する一検討 ECT-02-12”, 電気学会電子回路研究会資料, pp. 59-62, 2002

設計期間：0.5 人月以上, 1 人月未満 設計ツール：magic-6.5.1, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：演算回路 (乗算器, 除算器など)



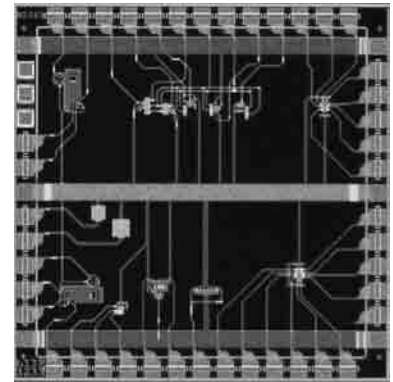
### 集積回路設計実習用チップの試作

熊本大学工学部 山川 俊貴, 安成 潤, 中根 秀夫, 平山 陽一郎, 飯尾 義徳, 井上 高宏

概要：MIN 回路, およびテストのための 4 種類の寸法をもった FG-MOSFET を本チップに集積化した。本チップは今年度から電気システム工学科 3 年生を対象として始まったチップ製作セミナーにおいて, その受講者が回路設計, レイアウト設計を行ったチップである。本チップは, 研究用ではなく, 学部生にチップ製作の実習をさせることを目的としている。回路自体に新しさはないが, 学部生が自主的に回路を選択し, 設計からレイアウトまでを行った。このチップは, 回路設計について詳しくない学部生が 3 週間程で作り上げた。

参考文献：[1] 井上, 二宮, 中根, 飯尾, “FG-MOSFET を用いた MOS 浮遊抵抗回路の一改良とその解析 ECT-01-5”, pp. 23-28, 2001

設計期間：1 人月以上, 2 人月未満 設計ツール：magic-6.5.1, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：その他



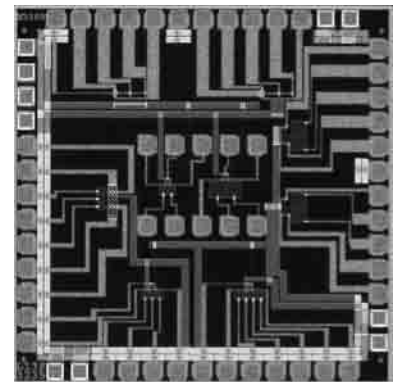
### ニューロン MOSFET ・インバータの試作

佐賀大学大学院工学系研究科 石川 洋平

佐賀大学理工学部 深井 澄夫

概要：本研究室では, ニューロン MOSFET を用いたアナログ・デジタル回路設計の研究を行っており, 現在研究中の変換論理回路, ニューロン MOSFET カレントミラー回路, アナログ信号処理回路 (オペアンプ, トランスコンダクタンスアンプ, フィルタ) の試作用 TEG を設計した。今回は, 基本電子回路ブロックの構築のためにまず, MOS トランジスタ及びニューロン MOSFET の各種特性評価を目的とし, アスペクト比の異なる n,pMOS トランジスタ (W/L = 20/4, 20/20, 20/80, 20/100), 入力端子数 (2 入力~4 入力) の異なる n,p ニューロン MOSFET (W/L = 20/20, 20/100) 及びニューロン MOS インバータ (W/L = 20/20, 20/80, 20/100) の作成を行った。その他, チップ中央に佐賀大学 VBL のプローバーを用いた測定を行うため, パッド及び 2 入力ニューロン MOS インバータを作成した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Avanti 社 Star-HSPICE, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 2.3mm 角 チップ種別：TEG (特性評価回路など)



### PMOS ゲート容量型三相時間相関イメージセンサ

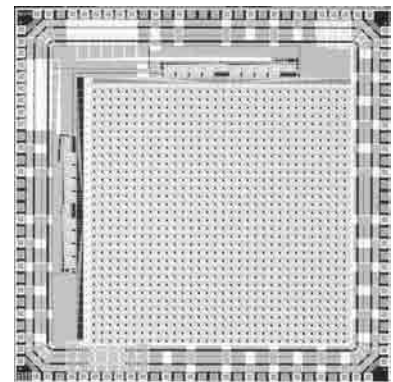
東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

概要：我々は, 画像の時間軸情報を活用する新しいイメージセンサとして時間相関イメージセンサを提案し, 研究・開発を続けている。これまでの試作における問題の一つはダイナミックレンジであり, 近年, これを拡大するため, 従来の試作とは異なるいくつかの画素設計を試みている。昨年の MOT00-1 では [1], 相関演算用キャパシタを従来の接合容量からゲート酸化膜容量に変更し, 基本的な動作を確認した。本試作も, 引き続きこの構成を採用し, 三相時間相関イメージセンサの試作を試みたものである。三相時間相関イメージセンサについては当該ページを参照。

参考文献：来海, 安藤, 三相時間相関イメージセンサ (キャパシタ変更版), p. 91, 2001 年 VDEC 年報 (2001)

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：オンセミ CMOS 1.2 $\mu$ m 4.8mm 角 チップ種別：イメージセンサ/スマートセンサ





## フォトトランジスタ型三相時間相関イメージセンサ

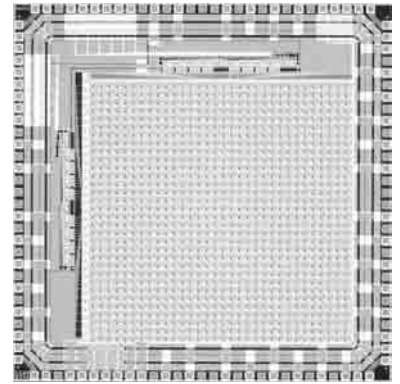
東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

**概要：**我々は、画像の時間軸情報を活用する新しいイメージセンサとして時間相関イメージセンサを提案し、研究・開発を続けている。昨年 MOT00-1 においては [1]、時間相関イメージセンサの相関演算ユニットを 2 つから 3 つに拡張した三相時間相関イメージセンサを試作し、基本的な動作を確認した。本試作では、三相時間相関イメージセンサの感度拡大を目的として、各画素の光検出部にフォトトランジスタ構造を導入した新たなデザインを試みた。本試作では、まず理論検証と動作確認のため、画素数は  $32 \times 32$  とし、乗算部、容量構成部、読み出し部等の構成は本ランで試作している PMOS ゲート容量型のもので採用している。

**参考文献：**来海, 安藤, 三相時間相関イメージセンサ, p.91, 2001 年 VDEC 年報 (2001)

**設計期間：**1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $4.8\text{mm}$  角 **チップ種別：**イメージセンサ/スマートセンサ

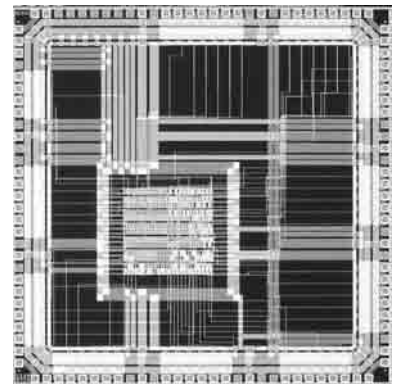


## オンチップクロック試験用要素回路の試作

東北大学大学院工学研究科 石田 雅裕, 小谷 光司, 大見 忠弘

**概要：**マイクロプロセッサのクロック周期が短くなるにつれて、システム動作におけるタイミング不良を解析するためにクロックジッタを正確に測定することがきわめて重要となる。GHz レンジの高周波クロックをオフチップに取り出して試験するのは非常にコストがかかる。このため、オンチップでクロック試験をおこなう方法の開発が望まれている。今回は、オンチップクロック試験回路を構成する要素回路を設計した。試作した回路は、高周波クロック信号の分周をおこなう周波数分周器と複数のクロック信号を選択するためのマルチプレクサである。また、クロック信号源としてリングオシレータを作成した。リングオシレータは、制御入力により発振のオン/オフを自由に切り替えることができる。周波数分周器とマルチプレクサがクロックジッタにあたえる影響は、テストとオシロスコープをもちいて測定する。測定結果をもとに、オンチップクロック試験回路の性能を評価する。

**設計期間：**0.1 人月以上, 0.5 人月未満 **設計ツール：**Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $4.8\text{mm}$  角 **チップ種別：**その他



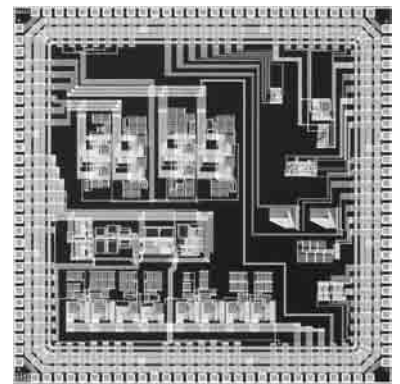
## MOS 構成に適したアナログ形 PLL の試作

秋田大学工学資源学部 川元 雅紀, 佐藤 紀章, 伊藤 文人, 井上 浩

**概要：**近年、デジタル通信の発展と LSI の高性能化の要求に伴い、デジタル形の PLL 回路を利用した機能集積回路が増えてきた。しかし我々は、デジタル形 PLL に対し、アナログ形 PLL の利点を生かしながらも大幅な回路の単純化が可能となる新しい回路構成を考案してきた [1]。本試作研究では、CMOS プッシュプル回路を応用し、分周器やチャージポンプ回路等を用いないアナログ形 PLL を提案し、その動作を検証することを目的に LSI を設計・試作した。本方法では、従来必要とされてきた回路ブロックを用いない PLL 回路を構成することができ、回路全体の LSI 化が容易となると考えられる。試作した IC は、アナログ形 PLL の全体回路を構成する個別回路ブロックおよびそのテスト回路と、個別ブロックに含まれる基本回路、ならびに回路内に用いられる諸抵抗および諸容量の特性評価用回路で構成される。テスト回路の特性を評価することにより、精度向上のための基礎データを得ることができた。本回路は 1 チップ化がし易く、更に回路規模縮小が可能と考えられる。

[1] 伊藤, 井上: “CMOS LSI アナログ PLL の一試作”, 1999 年電子情報通信学会総合大会, 基礎・境界, p. 51

**設計期間：**1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**オンセミ CMOS  $1.2\mu\text{m}$   $4.8\text{mm}$  角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



### 64 × 64 画素三相時間相関イメージセンサ

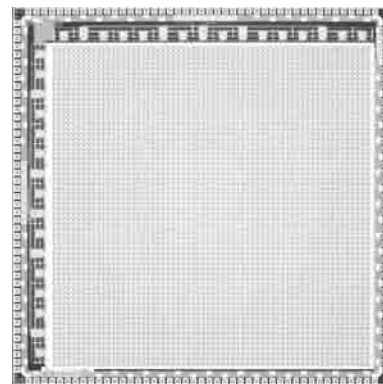
東京大学大学院情報理工学系研究科 五嶋 健治, 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

**概要:**我々は昨年 MOT00-1 において [1], 時間相関イメージセンサの相関演算ユニットを2つから3つに拡張した三相時間相関イメージセンサを試作し, 基本的な動作を確認した. このイメージセンサの特色は, 外部から与える参照信号を三相で加えることにより, 直交検波出力の対を1フレームで取得できる点にある. 昨年のチップによる動作確認をふまえ, 本試作は, 応用実験へ適用可能な性能の実現を目的として行なった. 具体的には, 画素回路に雑音対策の修正を加え, 乗算器, 相関演算用キャパシタ, 読み出し部には前回の試作で動作を確認した構成を採用し, 64 × 64 画素への拡張を行なった.

**参考文献:**来海, 安藤, 三相時間相関イメージセンサ, p. 91, 2001 年 VDEC 年報 (2001)

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 7.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ

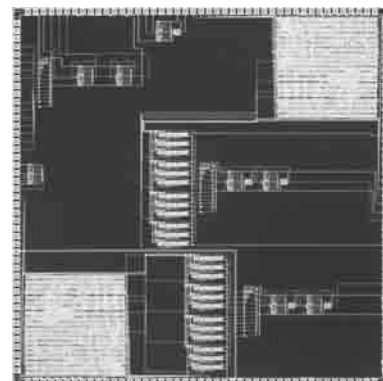


### 埋め込み型 FES 用デジタル制御集積回路

埼玉大学工学部 高橋 誠, 高橋 幸郎

**概要:**事故等により脊髄や神経に損傷を受けて四肢運動機能麻痺になった患者の運動機能再建を行うために機能的電気刺激 (FES) が有効である. 刺激装置と刺激電極を体内に完全に埋め込んだ完全埋め込み型 FES 装置の開発を行っているが, これには装置の小型化と低消費電力化が必要である. スタンドセルを用いた設計により, デジタル制御回路部分を 2.3mm 角に 1422 ゲートで納めることができた. また第一試作段階で用いた FPGA によるデジタル制御回路では, FPGA のコンフィグレーション時に多くの電流が必要である欠点を有していたが, 今回の試作によって得られた回路により, コンフィグレーション電流の削除だけでなく, 無信号時の消費電流も少なくすることができた.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Silicon Ensemble, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 7.3mm 角 **チップ種別:** アナデジ混載



トランジスタ数: 100 以上, 1,000 未満

### 100 × 100 画素単相時間相関イメージセンサ

東京大学大学院情報理工学系研究科 五嶋 健治, 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

**概要:**我々の研究室で提案し, 開発を続けている時間相関イメージセンサは, 入射光強度と各画素共通の外部参照信号との時間相関を出力する撮像素子であり, 画像の時間軸情報を活用した新しい画像計測への応用を可能とする [1]. 本試作は, 応用実験へ適用可能な性能をもつチップを得ることを目的として行なった. 具体的には, 画素回路に雑音対策の修正を加え, 乗算器, 相関演算用キャパシタ, 読み出し部にはこれまでの試作により動作を確認してきた構成を採用し, 画素数を 100 × 100 へ拡大した.

**参考文献:**来海, 安藤, 時間相関型イメージセンサ (第3報), p. 47, 1998 年 VDEC 年報 (1998) **設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** オンセミ CMOS 1.2 $\mu$ m 7.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ



## 平成 12 年度 第 2 回 日立北海セミコンダクタ チップ試作 (HHS002)

### フラクタルキャパシタ

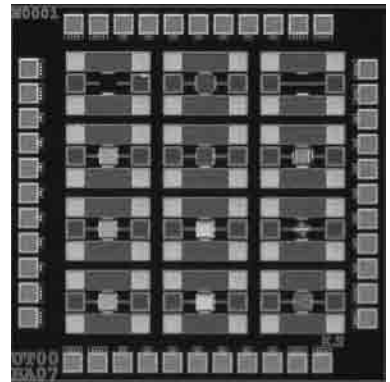
東京大学大学院新領域創成科学研究科 藤島 実

東京大学工学部 柳瀬 健吾

概要：アナログ回路をデジタルプロセスを用いて設計することができれば、最先端のトランジスタを利用できる、プロセスコストを削減することができるなどのメリットが生まれる。そのためには、デジタルプロセスを用いてキャパシタを集積回路中に作りこまなくてはならない。我々は、単位面積あたりの容量を大きくすることの可能な集積回路用メタル・メタルキャパシタの試作を行った。フラクタル形状を用いることにより寄生インダクタンスをキャンセルしつつ単位面積あたりの容量を大きくとることのできる構造を検証するために、コッホ関数とヒルベルト関数に基づく形状について試作を行っている。あわせて、並行平板キャパシタやくし型キャパシタについてもレイアウトを行った。

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 未満

試作ラン：日立北海セミコンダクター CMOS 0.5 $\mu$ m 2.3mm 角 チップ種別：TEG (特性評価回路など)



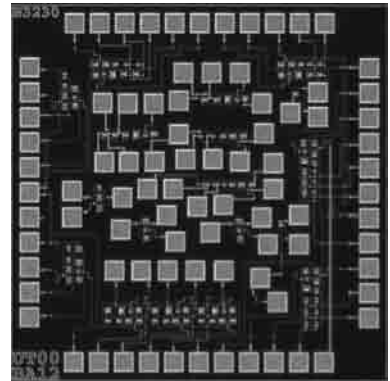
### 共鳴トンネル論理ゲート MOBILE のエミュレーション回路

名古屋大学工学研究科 丹羽 壮平, 前澤 宏一, 水谷 孝

概要：当研究室では、超高速、超高周波動作が可能な共鳴トンネル素子と高集積 Si-LSI の融合を目指した研究を行っている。本研究は、共鳴トンネル素子のエミュレーション回路を Si-CMOS で構成することにより、将来の共鳴トンネル/CMOS 集積回路の動作およびその優位性を検討することを目的としている。昨年度検討した共鳴トンネル素子のエミュレーション回路を用いて、超高速・高機能な共鳴トンネル論理ゲート MOBILE (MONostable-BIstable transition Logic Element) のエミュレーション回路を考案した。MOBILE ではドライバー、負荷共に共鳴トンネル素子であるため、エミッタ電位が変動しても正しく共鳴トンネル素子の特性がエミュレートできるよう工夫した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 未満 試作ラン：日立北海セミコンダクター CMOS 0.5 $\mu$ m 2.3mm 角

チップ種別：ニューテクノロジー



### 除算器及び正弦・余弦計算回路

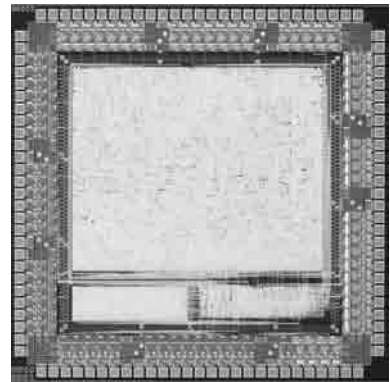
名古屋大学工学部 水野 知秀, 熊澤 文雄

名古屋大学大学院工学研究科 高木 一義, 高木 直史

概要：1.IEEE754 浮動小数点単精度形式の仮数部の計算を対象とし、減算シフト法に基づく除算器を試作した。現在実用されている減算シフト型除算器は、各クロックで商を 1 ビット分ずつ求める基数 2, または、2 ビット分ずつ求める基数 4 のものが多い。今回試作した除算器は、基数 2 を二段重ねたものであり、基数 4 のものと同様、各クロックで商を 2 ビット分ずつ求める。二段の桁選択の一部を重畳させ並列に行うことで、基数 4 と比べて高速になる。2.種々の応用で現れる正弦・余弦の計算を高速に行う回路の試作を行った。正弦・余弦の計算法として CORDIC 法が知られており、その高速化の手法として、内部計算に冗長 2 進表現を用いた二重回転法と補正回転法が提案されている。今回、12 回に一度補正を行う補正回転法に基づく正弦・余弦の計算回路を組合せ回路として試作した。0 <  $\theta$  <  $\pi/4$  の範囲の 24 ビット 2 進小数  $\theta$  を入力とし、 $\sin \theta$  および  $\cos \theta$  を 24 ビット 2 進小数として求める計算を対象としている。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立北海セミコンダクター CMOS 0.5 $\mu$ m 4.8mm 角

チップ種別：演算回路 (乗算器, 除算器など)





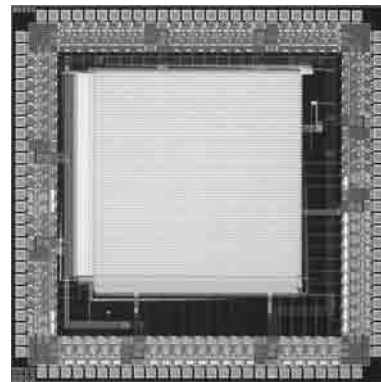
## 64 × 64 高感度・広ダイナミックレンジポジジョンセンサ

東京大学工学系研究科 大池 祐輔, 池田 誠

東京大学大規模集積システム設計教育研究センター (VDEC) 浅田 邦博

**概要:** さまざまな対象や環境における光投影法三次元計測を実現するため, 対数関数的応答および相関検波回路を画素が有することで, 広いダイナミックレンジと高いポジジョン検出感度を実現するスマートポジジョンセンサを試作した. 画素は MOS キャパシタを含めて 24 トランジスタとフォトダイオードで構成され, 画素のサイズは 40 $\mu\text{m}$  × 40 $\mu\text{m}$ , 開口率は 18.05% である. 測定により背景光に対する投射光の比 (SBR) が -10dB 以下の高感度を 46dB にわたって実現可能であり, 最高感度が -14.4dB であることを確認した. フレームレートは最大で 2000fps であった. また, このセンサを用いた三次元計測システムを構築し, 強い背景光下での三次元計測を行った.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 $\mu\text{m}$  4.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ



## IP 公開を目的とした乗算器チップの試作設計

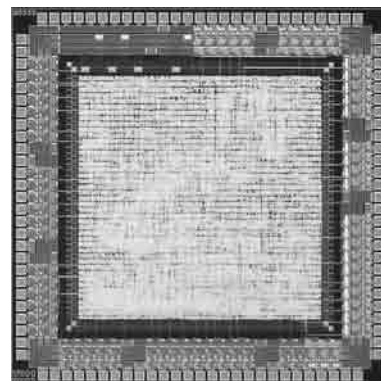
九州大学工学部 田上 暢頭

九州大学大学院システム情報科学府 室山 真徳, 兵頭 章彦

九州大学大学院システム情報科学研究院 安浦 寛人

**概要:** 近年の LSI 設計はますます大規模かつ複雑な対象を取り扱っている. 同時に設計期間の短縮やコストの削減が求められているため, 設計の再利用を目的とした IP の活用が重要になる. 今後, IP の需要がますます大きくなることは明らかであり, IP を実際にユーザが利用しやすい形で提供していく必要がある. 我々は, 各種の乗算回路を設計し, 乗算器 IP として公開する事を目指している. この目的はビット数の違う乗算器を, さまざまな乗算器構成に従って設計し, それぞれの性能データを添付した上で IP として公開することにより, 利用者の必要に応じて, 速度, 消費電力, および面積の異なる乗算器群より, 要求する性能の乗算器を選択して手軽に利用することを可能とする事である. 今回は, 現在設計している十数種類の乗算器の中から, Array 型, CarrySelect 型, CarryLookAheadSelect 型, FastLookAhead 型, Ripple 型のそれぞれの乗算器について 16 ビットのものを選択し, 実装を行った. 試作チップの完成後, これらの 5 つの回路について動作確認, 測定, 検証, ドキュメント化を行う予定である.

**設計期間:** 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 $\mu\text{m}$  4.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



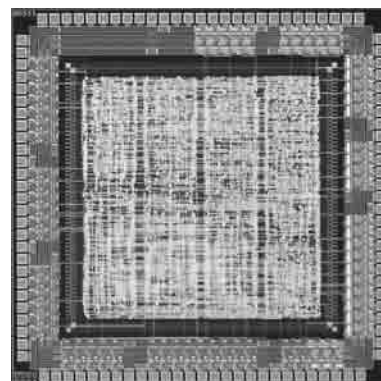
## 入力信号パターンを考慮した低電力乗算器の試作

九州大学大学院システム情報科学府 室山 真徳, 兵頭 章彦

九州大学大学院システム情報科学研究院 安浦 寛人

**概要:** 我々は入力信号パターンを考慮した低消費電力な乗算器を設計した. 今回試作した回路は乗算器を構成する各 1 ビット全加算器 (FA) の入力信号パターンを考慮して (1) 複数の FA セルから適当なセルを選択し, (2) 入力端子の接続を変更することで低電力な乗算器を構成できる実験用 16 ビット乗算器である. FA として 2 種類の回路構造の異なるセルを用意し, それぞれトランジスタサイズを調整した低電力向けと高性能向けの 2 つを作成した. 3 ビットの乗算回路において回路シミュレータ SPICE を用いた結果 32.1% の電力の削減が達成できた. 乗算器のトップの入出力端子は通常の乗算器の入力データ用と出力データ用の端子以外に, 入力端子の接続方法を選択可能な制御線, どの FA セルの出力を有効にするかの制御線および, どの FA セルにこれらのデータを与えるか制御できる入力端子を用意した.

**参考文献:** [1] 室山, 石原, 兵頭, 安浦, “入力信号パターンを考慮した低電力算術演算回路の設計手法”, 情報処理学会論文誌, Vol.4, (2001) **設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 $\mu\text{m}$  4.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)





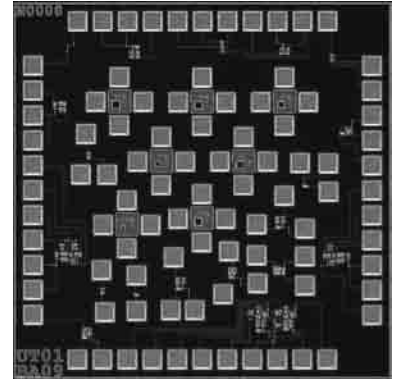
## 平成 13 年度 第 1 回 日立北海セミコンダクタ チップ試作 (HHS011)

### 共鳴トンネル論理ゲート MOBILE のエミュレーション回路とそれを用いた Cellular Neural Network

名古屋大学工学研究科 丹羽 壮平, 前澤 宏一, 水谷 孝

**概要:** 我々は, 超高速, 超高周波動作が可能な量子効果素子である共鳴トンネル素子と高集積 Si-LSI の融合を目指した研究を行っている. 本研究は, 共鳴トンネル素子のエミュレーション回路を Si-CMOS で構成することにより, 将来の共鳴トンネル/CMOS 集積回路の動作およびその優位性を検討することを目的としている. ここでは超高速・高機能な共鳴トンネル論理ゲートである MOBILE を用いた Cellular Neural Network の実現を目指し, その基本回路を検討した. 搭載した回路は MOBILE のエミュレータ回路, 光入力用のフォトダイオード, 重み可変可能な積和演算回路などである. MOBILE の特徴である単安定-双安定転移を利用し, 非常に簡単な回路で機能可変な Cellular Neural Network セルを設計できた.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 $\mu$ m 2.3mm 角 **チップ種別:** ニューテクノロジー

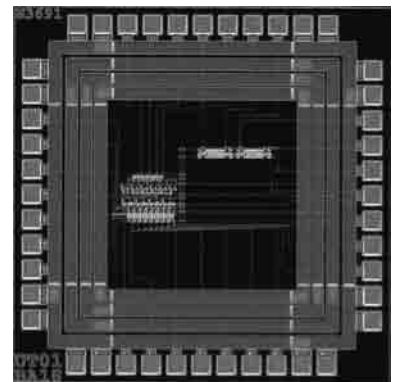


### Winner take all 回路

東京大学新領域創成科学研究科 柳井 孝介

**概要:** 教師なし学習が可能なモデルの代表としてコホーネンの自己組織化マップ (SOM) が挙げられる. 自己組織化マップでは, 出力として入力信号に最も近い代表点を選び, またそれに伴って選ばれた代表点の更新を行う. 本チップでは, 4つの複素信号を代表点として入力し, 別に入力された複素信号に最も近い代表点のラベルを出力する. 距離の計算には 2乗距離を用いている. 回路は, 減算器, 2乗器, 加算器, コンパレータおよびビットパターンを処理する論理回路から成る. まず 8 器の減算器により, 入力信号と 4つの代表点の電位の差をとり, それぞれの代表点における実部の差と虚部の差を, それぞれ 2乗して加算器にかける. 出力された 4つの差信号を 6 器のコンパレータで比較し, 出力されたビットパターンを論理回路に通じて代表点のラベルを出力する.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** LAYOUT EDITOR (Cadence), Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 $\mu$ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



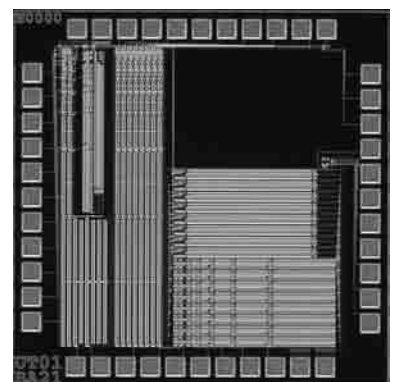
### CMOS シナプス回路による DA/AD コンバータ

電気通信大学電気通信学部 範 公可

**概要:** 従来の CMOS インバータのみで構成されているシナプス回路において, 重み値は CMOS インバータの構成要素である PMOS と NMOS トランジスタの相互コンダクタンス  $g_m$  として実現されていた. しかし, CMOS インバータの出力端子の電圧レベルによって, これらの PMOS と NMOS トランジスタの相互コンダクタンス  $g_m$  が変動してしまい, シナプス回路に非線形な出力特性をもたらしてきた. 今回, CMOS インバータ回路を構成する PMOS 及び NMOS トランジスタにトランジスタのオン抵抗値を無視できる抵抗値を持つ抵抗体を直列に接続し, 正確なシナプスの重み値を実現できる CMOS シナプス回路である. この回路を用いて D/A コンバータ及びその D/A コンバータを用いたニューラルベース A/D コンバータを構成した. トランジスタのスイッチング機能だけを利用し, 重み値を線形素子の抵抗体の抵抗値で対応させることが有効であることがわかった. このチップに用いられている抵抗体はポリシリコン及び高抵抗値を持つ CMOS スwitch のオン抵抗によって実現されていた.

**参考文献:** C-K. Pham, "A Novel Synapses Circuit And It's Application To A Neural-Based A/D Converter", IEEE International Symposium on Circuits and Systems ISCAS'01 Proceedings, Sydney, May 2001, vol. 3, pp. 612-615.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立北海セミコンダクター CMOS 0.5 $\mu$ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



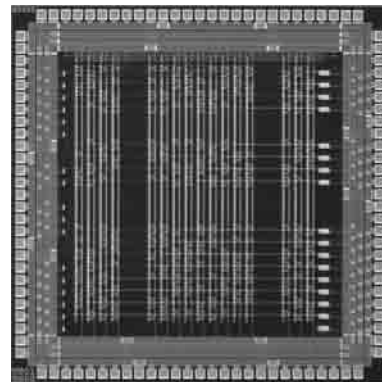
## 対称構造を採用したアナログ連想記憶ニューロチップの試作

東京大学工学系研究科 中沢 一彦  
東京大学新領域創成科学研究科 廣瀬 明

概要：アナログニューラルネットワークはデジタル方式やパルス方式に比べ高速である。また、ニューロ素子を少数のトランジスタで実現できるため高集積化することが可能である。しかし、シナプスの精度や雑音特性に問題があるとも言われ、ニューラルネットワーク・ハードウェア研究の主流とはなっていない。本試作ではアナログニューラルネットワークのそのような弱点を克服するために、(1) 小信号特性および大振幅特性の電圧対称性が高く高速な、対称結合 CMOS シナプス回路と、(2) 高速で反転・非反転出力に時間遅延非対称性や電圧非対称性の少ない非帰還対称並列ニューロン連想記憶回路を設計した。

参考文献：C・ミード：“アナログ VLSI と神経システム”，トッパン。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上，10,000 未満 試作ラン：日立北海セミコンダクター CMOS 0.5 $\mu$ m 4.8mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

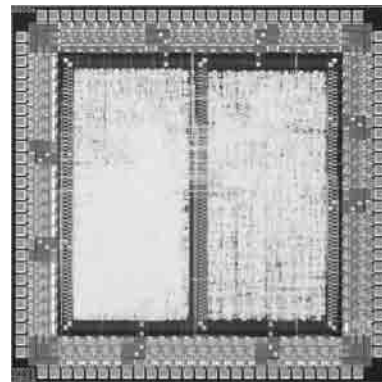


## 高性能 Network Processor 用 Multi Channel DMA Controller の設計と Random Accessing Processor の設計

東北大学大学院工学研究科 劉 哲，張 俊

概要：本チップには次の2つのテストモジュールが組み込まれている。[1] 高性能 Network Processor 用 Multi Channel DMA Controller DMA 転送を用いた高性能 Network Processor を実現するために Multi Channel DMA Controller を試作した。本 Controller には、独立に転送可能な9つのチャンネルが実装され、Byte, Word 単位の転送と任意長での転送が可能である。[2] Random Accessing Processor の設計大量のランダムデータを高速に処理するために Random Accessing Processor を試作した。本 Processor では専用の Random Address Generator を用いてアドレスを発生し、従来のアドレス発生器を使う場合に比べ、データベースへの高速ランダムアクセスを可能にした。VSS を用いたシミュレーションの結果、32 種類の命令を実装した本 Processor は 100MHz で動作するものと予想している。

設計期間：2 人月以上，3 人月未満 設計ツール：Synopsys 社 design\_compiler, Modelsim EE, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, VSS トランジスタ数：10,000 以上，100,000 未満 試作ラン：日立北海セミコンダクター CMOS 0.5 $\mu$ m 4.8mm 角 チップ種別：マイクロプロセッサ



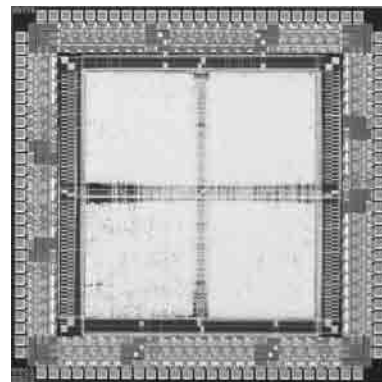
## プラスチック・セル・アーキテクチャの設計と試作: PCA-chip2.001

京都大学情報学研究科 富田 明彦, 杉本 成範, 曾我 祐紀, 岡本 卓也, 泉 知論,  
尾上 孝雄, 中村 行宏

概要：プラスチック・セル・アーキテクチャ (PCA) は、従来の可変論理デバイス (PLD) により柔軟な再構成能力を付加したアーキテクチャであり、部分的・動的・適応的な再構成能力を活かしたりコンフィギュラブル・コンピューティングを目指している。また、PCA では複数の小規模回路がパイプライン通信路を介して協調動作することにより機能を実現し、大域的な配線が存在せず速度の頭打ちの回避も狙う。PCA はプラスチックセルとよばれる基本単位を二次元アレイ状に配置した構造をとっている。各セルは可変論理素子として動作するだけでなくメモリとしても利用できる。本試作では前回 PCA 試作により得られた知見から、命令セットなど制御部を中心に改良を行なった。本試作チップにはセルが1個搭載されている。

参考文献：筒井, 富田, 杉本, 境, 尾上, 中村, “LUT-Array-Based PLD and Synthesis Approach Based on Sum of Generalized Complex Terms Expression”, pp. 2681-2689, IEICE Trans. Fundamentals, Vol. E84-A, No.11, November 2001.

設計期間：5 人月以上，6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上，100,000 未満 試作ラン：日立北海セミコンダクター CMOS 0.5 $\mu$ m 4.8mm 角 チップ種別：その他

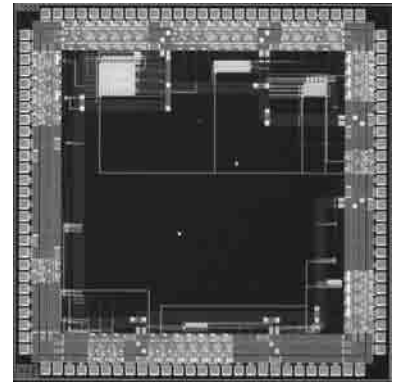


## 聴覚における音源定位機構を有する LSI

名古屋工業大学工学部 高木 晋吾, 岸野 裕介, 中島 裕明, 内田 秀雄, 市村 正也,  
荒井 英輔

**概要：**聴覚の機能の一つに音を発する物体の位置を知るというものがあり、これを音源定位という。音源定位機構は音源から両耳までの距離の差によって生じる、両耳に到達する音の時間差と音圧差を用いて音源の方向を検出する。本研究の目的はこの音源定位機構を LSI 上に実現することである。音源定位用 LSI を設計するにあたり、種々ある音源定位モデルの一つであるパルス伝達型ニューロンモデルによる聴覚神経回路モデルを採用している。今回の試作ではこの音源定位機構を LSI 上で実現するために設計した、時間差検出回路、音圧差検出回路、マッピング用回路の原理動作の確認のために、各回路のテスト回路の試作を行った。

**参考文献：**黒柳 奨：パルス伝達型ニューロンモデルによる聴覚神経回路モデル，名古屋工業大学学位論文，1997. **設計期間：**1 人月以上，2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**1,000 以上，10,000 未満 **試作ラン：**日立北海セミコンダクター CMOS 0.5 $\mu$ m 4.8mm 角 **チップ種別：**アナデジ混載



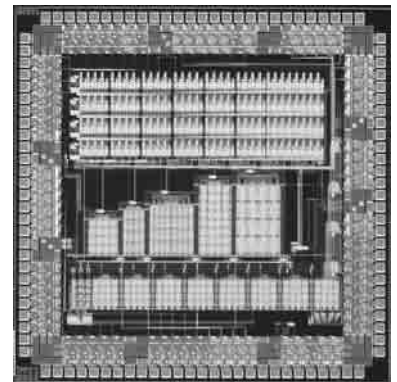
## マルチポートメモリのためのクロスバスイッチの設計

広島大学ナノデバイス・システム研究センター 深江 誠二, 大森 伸彦, 小出 哲士,  
Mattausch Hans Juergen

広島市立大学情報科学部 井上 智宏, 弘中 哲夫

**概要：**我々が提案している階層構造型マルチポートメモリ [1] とクロスバスイッチを用いたものと比較を行うためにクロスバスイッチの設計を行った。我々のグループは従来型のマルチバンク型より、より効率的に階層構造型マルチポートメモリの方がより高面積効率でよりレイテンシの少ないメモリを実現するを示したい。そこで我々はこのクロスバスイッチによるメモリと HMA メモリを比較することを目標とする。クロスバスイッチは、以前試作した階層構造型マルチポートメモリと同条件の 4 ポート、32k ビットのマルチポートメモリを想定している。また、クロスバスイッチの拡張性やクロスバスイッチを用いた数学的モデルの作成のために、ポート数など各種パラメータを変更したクロスポイントの設計も行った。

**参考文献：**[1] H. J. Mattausch, Hierarchical Architecture for Area-Efficient N-Port Memories with Latency-Free Multi-Gbits/s Access Bandwidth, IEE Electron. Lett., 35, pp. 1441-1443, 1999. **設計期間：**3 人月以上，4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数：**10,000 以上，100,000 未満 **試作ラン：**日立北海セミコンダクター CMOS 0.5 $\mu$ m 4.8mm 角 **チップ種別：**その他





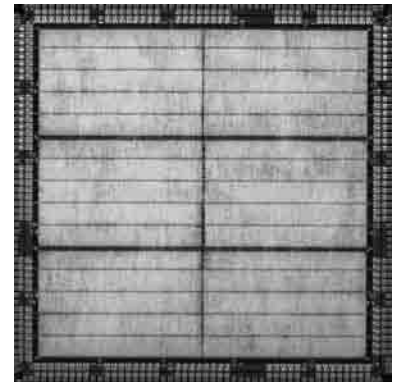
# 平成 11 年度 第 3 回 ローム 0.6 $\mu$ m チップ試作 (ROHM993)

## プラスチック・セル・アーキテクチャの設計と試作

京都大学情報学研究科 杉本 成範, 境 和久, 檜田 和浩, 泉 知論, 尾上 孝雄,  
中村 行宏

**概要:** プラスティック・セル・アーキテクチャ (PCA) は可変論理デバイス (PLD) のアーキテクチャであり, 単一の大規模な同期回路ではなく小規模な回路群の非同期的協調によって機能を実現し, 大域配線による速度の頭打ちを回避することを目指している. さらに従来の PLD よりも柔軟な再構成能力を付加し, リコンフィギュラブル・コンピューティングへの適用も視野に入れている. PCA はプラスチックセルとよばれる基本単位を二次元メッシュ状に配した構造をもち, セル間は相互にバイプラインで接続されている. セルの内部構造は小規模な回路の搭載に適したものとなっており, 本研究ではこの構造に適した論理埋め込み手法も同時に開発した. 各セルは論理回路として動作するだけでなくメモリとしても利用できる. 論理回路の近隣にメモリを配置することで配線遅延の短縮を狙うことができる. 本試作チップにはセルが 6 個搭載されている.

**設計期間:** 富田, 杉本, 筒井, 境, 檜田, 泉, 尾上, 中村, LUT アレイ型 PLD の設計と試作, 信学技報 VLD2000-98, ICD2000-155, FTS2000-63 (2000) **設計期間:** 6 月以上, 7 月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 $\mu$ m 8.9mm 角 **チップ種別:** その他



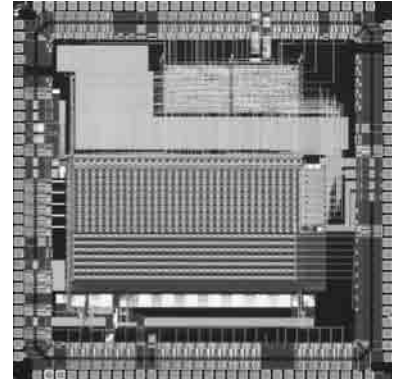
## 平成 12 年度 第 3 回 ローム 0.6 $\mu$ m チップ試作 (ROHM003)

### 高速 CMOS イメージセンサ ver2

広島大学大学院先端物質科学研究科 今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆

**概要:** 本チップは、ピクセルサイズ 80 $\mu$ m  $\times$  80 $\mu$ m (開口率 14%), ピクセル数 8  $\times$  32 の CMOS イメージセンサである。フォトディテクタには、以前に用いたフォトトランジスタと比較して、入射光量に対する出力の線形性がよいフォトダイオード構造 (p-sub/n-well) を用いている。ピクセル内部で光電流をサンプル容量 (1pF) を用い積分する。その結果を電流モードのパルス幅変調 (PWM) 信号に変換して各ピクセルから出力する。電流出力することで出力バス上でピクセル間の加減算を行うことができる。隣接ピクセル間で差分演算を行うことによりチップ上で原画像からエッジを検出することができる。演算結果はチップ内部で A/D 変換を行いデジタル出力 (8bit) する。試作チップの測定により、エッジ検出動作等を実現できることを確認した。

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Avanti 社 Millkyway, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** イメージセンサ/スマートセンサ

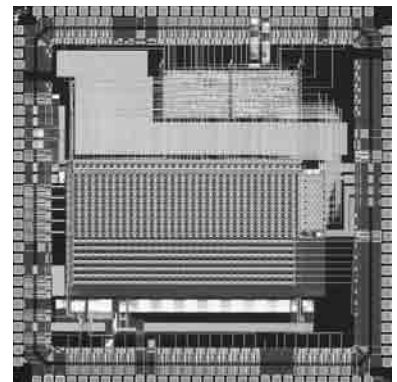


### 高速 CMOS イメージセンサ ver2

広島大学大学院先端物質科学研究科 今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆

**概要:** 本チップは、ピクセルサイズ 80 $\mu$ m  $\times$  80 $\mu$ m (開口率 14%), ピクセル数 8  $\times$  32 の CMOS イメージセンサである。フォトディテクタには、以前に用いたフォトトランジスタと比較して、入射光量に対する出力の線形性がよいフォトダイオード構造 (p-sub/n-well) を用いている。ピクセル内部で光電流をサンプル容量 (1pF) を用い積分する。その結果を電流モードのパルス幅変調 (PWM) 信号に変換して各ピクセルから出力する。電流出力することで出力バス上でピクセル間の加減算を行うことができる。隣接ピクセル間で差分演算を行うことによりチップ上で原画像からエッジを検出することができる。本チップを視覚として用い、白線のエッジをチップ上で検出し、その結果を用いて自走するライントレーサを製作した。

**参考文献:** 今村, 山本, 山本, 長谷川, 馬場, 永田, 森江, 岩田, “エッジ検出機能を持つ CMOS イメージセンサを用いた高速ライントレーサ”, 第 19 回日本ロボット学会学術講演会 (2001) **設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Avanti 社 Millkyway, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** イメージセンサ/スマートセンサ

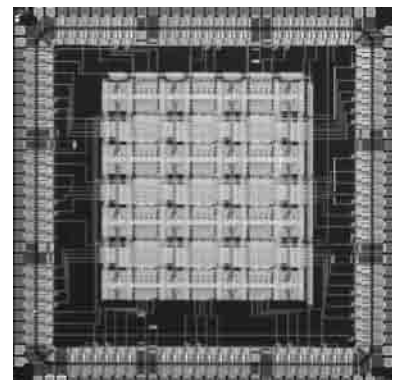


### 実時間誤り検出機構を有する高信頼 FPGA の試作

仙台電波工業高等専門学校 津田 真人, 鹿股 昭雄  
東北大学工学部・工学研究科 阿部 茂樹  
東北大学大学院情報科学研究科 青木 孝文, 樋口 龍雄

**概要:** 再構成が可能であるという FPGA の特徴に着目し、すべての論理ブロックおよび配線経路上における動作中の故障を実時間で検出できるとともに機能回復が可能な高信頼 FPGA の試作を行った。本チップでは、ハードウェアリソースを徹底的に 2 重化し、論理ブロックに入出力されるすべての信号に対しエラーディテクタを配置することにより故障の検出および故障箇所の特定を可能としている。実時間誤り検出機構は、チップ内の故障の有無を検出するために用意されており、すべてのエラーディテクタの結果を多入力論理和回路で一括集計する構成となっている。この多入力論理和回路は、入力数 126 ビットの演算が必要とされ回路規模が増大するため、今回の試作ではダイナミック回路 (プリチャージロジック) を用いてコンパクトに実現されている。

**参考文献:** [1] 津田, 鹿股, 阿部, 青木, 樋口, “機能回復が可能な高信頼 FPGA アーキテクチャ”, Electronic Design and Solution Fair 2002, FPGA/PLD Design Conference (ユーザ・プレゼンテーション), pp. 107-113. **設計期間:** 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



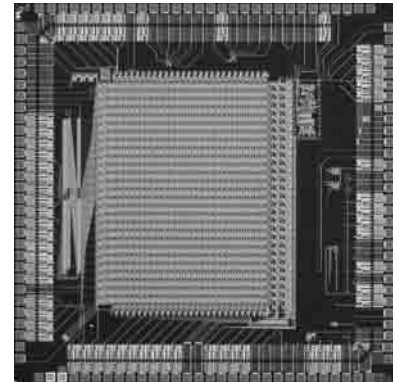
## 単調、非単調ニューロンの切り替え機能を持った量子化結合ニューラルネットワークの設計

東北大学電気通信研究所 安部 正夫, 佐藤 茂雄, 中島 康治

概要：ニューラルネットワークを工学的に応用するためには、高速に学習と想起が可能であり且つシステムを大規模化する必要がある。そのための方法の1つとしてニューラルネットワークのVLSI化が挙げられる。システムを大規模化するため、結合荷重を量子化(低ビット化)することで一般に大きな面積を占めるシナプス回路を小型化し高集積化を目指した。本チップでは3値(1, 0, -1)の荷重値を持つ27ニューロン729シナプスのon-chip学習可能なニューラルネットワークを設計した。また単調ニューロンとともに、より高機能な非単調ニューロンも組み込んだ。

参考文献：片山, 佐藤, 中島：“量子化結合ニューラルネットワークの学習とその集積回路による実現”2000年電子情報通信学会総合大会講演論文集, D-2-3, (2000)。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ロームCMOS 0.6mm 4.5mm角 チップ種別：ニューテクノロジー



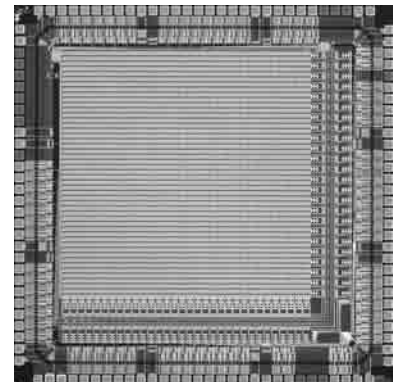
## 擬似2次元アルゴリズムを用いた動き検出回路用 Time-Derivative Generator

東京大学工学系研究科 木村 弘枝

東京大学新領域創成科学研究科 柴田 直

概要：平成12年度に製作したチップの改良版である。後述のvelocity detectorと共にシステムを構成する。動き検出アルゴリズムの中で前半の部分にあたる、物体の存在の有無と存在する場合の物体の位置を検出するのが目的である。機能はイメージセンサによる画像の取り込み、画像データの縦方向・横方向プロジェクション、時間微分データの演算の3つである。構成は48×64のイメージセンサアレイ、時間微分演算回路である。簡単なアルゴリズムでシンプルな回路構成であるにもかかわらず、複雑な背景の中の物体や複数の物体の動きを、瞬時に検出することが最大の特徴である。画像データは取り込むと同時にプロジェクションを行うため、時間微分回路は1列毎に1つ配置するだけでよく、イメージセンサの1画素内に演算回路が無いのも特徴の1つである。昨年度のチップとの違いは、時間微分の際に用いる差分に絶対値差分演算方式ではなく符号付き差分演算方式を用いている点である。このことにより、動きの向きを取り入れることが可能であるため、絶対値差分演算方式を用いるより信頼性が高くなる。また、より簡単な回路で実現できるというメリットもある。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 チップ種別：ロームCMOS 0.6mm 4.5mm角 チップ種別：イメージセンサ/スマートセンサ



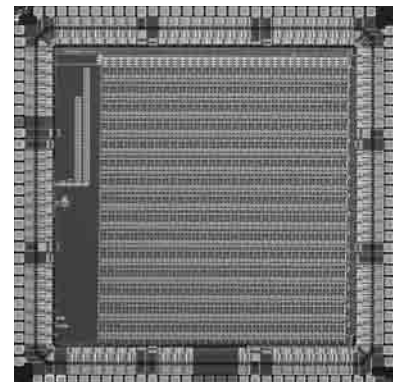
## 擬似2次元アルゴリズムを用いた動き検出回路用 Velocity Detector

東京大学工学系研究科 木村 弘枝

東京大学新領域創成科学研究科 柴田 直

概要：動き検出アルゴリズムの中で後半の部分にあたる、2つの物体の位置を示すデータから物体の動き量を検出するのが目的である。チップの動作は、2つのデータのうち一方を-7ピクセルから+7ピクセルシフトさせ各ピクセルにおけるデータの差を計算し、求めた差のシフト量における平均値を演算・出力することである。出力値はマッチング残余と呼ばれ、2つのデータをずらした時のマンハッタン距離を表しており、データの差を数値化したものである。この数値が最も小さい値を取る、すなわち2つのデータがもっともマッチするシフト量が、2つのデータの時間間隔における動き量といえる。各画素の差は絶対値差分を用いており、入力データ数は64である。チップには-7ピクセルから+7ピクセルまで絶対値差分回路をずらして配置し、完全並列に処理が行える構成となっている。差分結果の平均化にはvMOSの加算回路を用いており、こちらも並列に演算を行うことができる。よって、2つのデータを入力すると同時にマッチング残余の演算が可能である。シフトによって生じるデータの空白部には、差分データのゼロに相当する値が入力されるように設定されている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ロームCMOS 0.6mm 4.5mm角 チップ種別：演算回路(乗算器, 除算器など)



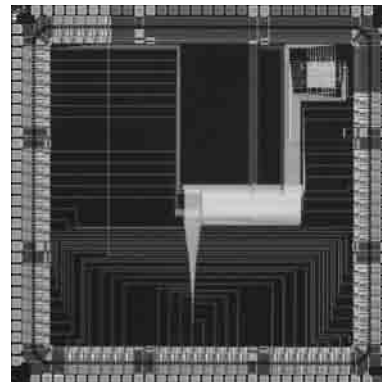


## 画像特徴抽出におけるメディアン値演算回路

東京大学新領域創成科学研究科 齊藤 康祐, 柴田 直

**概要:** 我々の研究室ではグレースケール画像の特徴抽出アルゴリズムが開発されている。このアルゴリズムでは、エッジ情報の抽出の際に、周辺情報のメディアン値（中間値）を閾値として用いている。閾値を外部入力とする画像特徴抽出アルゴリズムを実装したハードウェアは既に 1999 年度に Rohm の VDEC 試作で実現されている。そこで、本チップでは前回の試作では実現されていない閾値決定部の実装を行った。しかし、一般的にメディアン値を演算するのは非常に計算コストが高く、我々の研究室ではバイナリサーチ方式を採用している。バイナリサーチ方式では、デジタルで実現するには非常に計算コストが高い多入力多数決部がある。そこで、本チップではこのような機能部にアナログ的な手法を用いることで、高速にメディアン値を検索する小規模、低消費電力の回路を新たに考案、これをチップ化した。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



## 電荷転送増幅型低消費電力コンパレータ及び WTA 回路

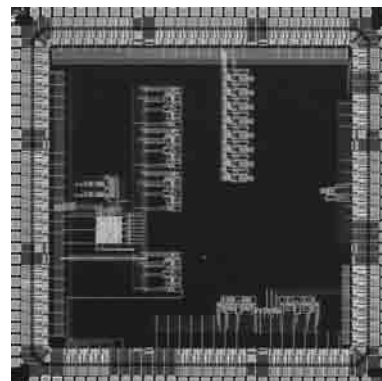
東京大学工学系研究科 野村 周央

東京大学新領域創成科学研究科 柴田 直

**概要:** 低消費電力 WTA (Winner-Take-All) 回路実現のための電荷転送型アナログコンパレータを設計した。電荷転送増幅器は大きさの異なるキャパシタンスを用いて、そのキャパシタンス間で電荷を転送することでキャパシタンス比に応じた電圧増幅率を得る回路である。すでに、NMOS タイプの電荷転送増幅器は報告されているが、入力電圧のレンジが制限されるなど問題があった。そこで、本チップでは CMOS ソースフォロワを用いた回路方式、NMOS, PMOS ソースフォロワを直列に接続する回路方式、の 2 種類を考案した。CMOS ソースフォロワ方式では NMOS 用, PMOS 用それぞれバイアスを分けることによりほぼフルレンジの動作を実現した。また、ソースフォロワを直列にする回路方式ではトリガタイプのコンパレータを採用した。さらに、これらの電荷転送増幅器を用いた WTA も実現した。WTA 回路に関してもフィードバック方式とトリガ方式の 2 種類の回路を考案し、それぞれ設計した。これらすべての回路は測定を終了し、正しく動作することを確認済みである。

**参考文献:** S. Nomura and T. Shibata, "Pure-Capacitance-Load Source-Follower Comparators for Low-Power Winner-Take-All Circuitry, to be published in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), Arizona, May 26-29, 2002

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



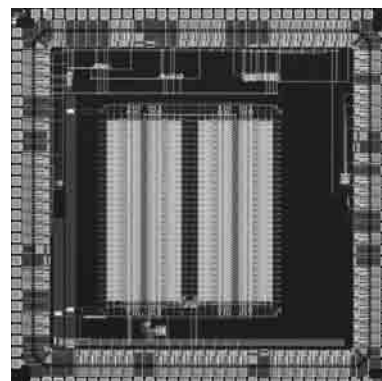
## フローティングゲート MOS 技術を用いた高速・低消費電力 CDMA マッチトフィルタ

東京大学工学系研究科 山崎 俊彦

東京大学新領域創成科学研究科 田口 晶康, 柴田 直

**概要:** フローティングゲート (neuMOS) 技術を用いて高速・低消費電力なアナログ CDMA マッチトフィルタを開発した。1999 年に VDEC で試作した旧方式 CDMA マッチトフィルタ回路に比べ、演算ステップ数を減らして回路の負担を押さえる方式を新たに開発したことによりサンプル・ホールド回路の消費電力を低減した。また、相関演算アルゴリズムの見直しを行った結果、演算に参加するキャパシタンスの量を減らすことに成功し、トータルで消費電力 85% 減を実現した。さらに、PN コードをシフトレジスタで巡回させることにより、従来用いられてきたようなアナログシフトレジスタ回路が必要なくなり、簡素で高精度な演算を実現した。この試作で作られたチップにより相関演算の各要素回路の動作を確認した。また、回路全体の動作は HSPICE により確認した。

**参考文献:** Toshihiko Yamasaki, Teruyasu Taguchi, and Tadashi Shibata, "Low-Power CDMA Analog Matched Filters Based on Floating-Gate Technology," accepted for publication in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), Arizona, May 26-29, 2002. **設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



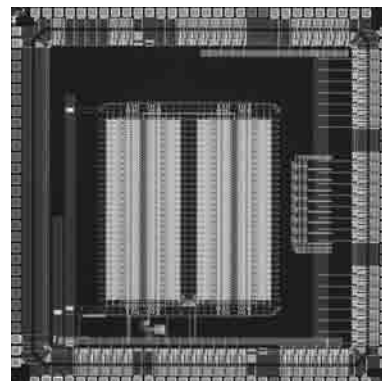
## vMOS 技術を用いた高速・低消費電力 CDMA マッチトフィルタ/低消費電力アナログバッファを用いたマンハッタン距離演算回路

東京大学工学系 山崎 俊彦, 野村 周央

東京大学新領域創成科学 田口 晶康, 柴田 直

**概要:** vMOS 技術を用いた高速・低消費電力アナログ CDMA マッチトフィルタ回路。1999 年に試作した旧方式回路に比べ、演算ステップ数を減らして回路の負担を抑える方式の開発によりサンプル・ホールド回路の消費電力を低減した。またアルゴリズムの見直しの結果、演算に参加するキャパシタの量を減らすことに成功し、全体で消費電力 85% 減を実現した。さらに PN コードをシフトレジスタで巡回させることにより従来用いられてきたアナログシフトレジスタ回路が必要なくなり、簡素で高精度な演算を実現した。この試作で作られたチップにより相関演算の各要素回路の動作を確認した。また、回路全体の動作は HSPICE により確認した。また、直流電流を流さない低消費電力型マンハッタン距離演算回路も開発した。アナログバッファ回路には容量負荷を用いたソースフォロワを採用し、加算回路もキャパシタによる電荷再分配を用いているため、直流電流を流さない低消費電力な回路になっている。

**参考文献:** T. Yamasaki, T. Taguchi, and T. Shibata, "Low-Power CDMA Analog Matched Filters Based on Floating-Gate Technology," accepted for publication in the Proc. of ISCAS 2002. **設計期間:** 2 月以上, 3 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

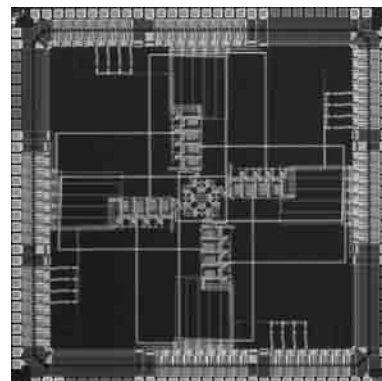


## 非同期スイッチ

慶應義塾大学理工学部 石川 健一郎

**概要:** 研究室の非同期分野進出の第 1 弾として、企画されたチップである。非同期 LSI を作った経験がなく、ツールも貧弱なものしか使えなかったため、できるだけ簡単な LSI をたいていしようとスイッチが企画された。手でレイアウトをして行くという形で製作するためスイッチでも高機能なものは考えず、動作することを優先し機能を絞った。その結果、機能は入力ポートに入力したデータを、指定された出力ポートに出力する機能に限定し、確実に動作することを主眼に置いて設計が行われた。分散アービトレーションを行う特殊な設計でシミュレーション上では非同期で動作することが確認されたがスピードが奮わず 200Mbit/s/line 程度の性能しか達成できなかった。加えて、レイアウト提出後に動作するのに必要な信号線が足りないことが発覚し、テストされずに終わった。

**設計期間:** 2 月以上, 3 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



## アナログ集積回路における基本線形回路の設計

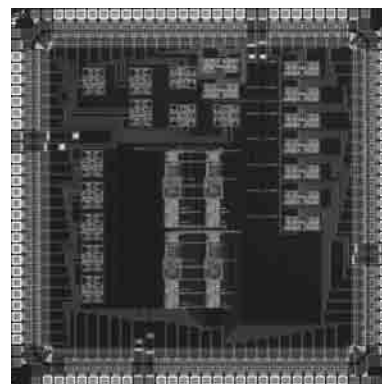
静岡大学電子科学研究科 大浦 崇央, Tantry Shasidhar

静岡大学理工学研究科 鈴木 勉

静岡大学工学部システム工学科 浅井 秀樹

**概要:** アナログ集積回路の構成要素となる Operational Transconductance Amplifier (OTA), フローティングレジスタ, 4 象限乗算器を設計した。設計した OTA は, MOSFET の線形領域と飽和領域を相補的に組み合わせることにより, 入力信号範囲をしきい値電圧から電源電圧までの範囲でどうすることが可能である。これは, 電源の低電圧化に対して有利と考えられる。また, この OTA を組み合わせると 4 象限乗算器に拡張している。フローティングレジスタは制御電圧により集積回路内で可変抵抗として用いることができる。設計したフローティングレジスタには, 等価抵抗値を拡張したもの, 低電源電圧化したもの, 正負両方の等価抵抗値を持つものなどがある。これらフローティングレジスタはニューラルネットワーク, フィルタなどで有効であると考えられる。

**設計期間:** 3 月以上, 4 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6mm 4.5mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

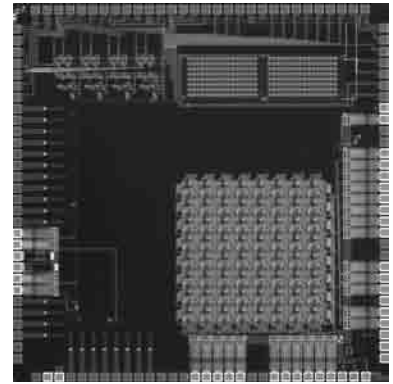




## 生体の初期視覚機構に学んだ動き検出チップの設計

豊橋技術科学大学工学部 大谷 真弘, 山田 仁, 西尾 公裕, 米津 宏雄

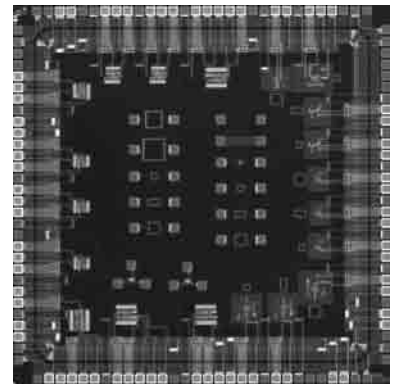
**概要：**網膜は、外網膜と内網膜の二つに大別される。外網膜では、視覚対象のエッジ情報を検出し、内網膜では、外網膜のエッジ情報から動き情報を生成する。我々は、網膜の機能を実現する電子回路の提案とその集積回路化を試みてきた。また、昆虫の視覚系に学び、物体の接近を検出する機能を実現するネットワークの提案とその集積回路化も試みてきた。今回の試作では、上述した網膜の機能を有する電子回路を検証するため、二次元ネットワークを設計した。また、接近検出ネットワークを検証するため、一次元ネットワークを設計した。チップにはネットワークを構成する基本回路の TEG も含めた。試作チップの測定では、各基本回路の動作を検証するとともに、各ネットワークの機能を評価する。  
**設計期間：**0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.6mm 4.5mm 角 **チップ種別：**イメージセンサ/スマートセンサ



## 光インタフェース LSI 用の試作

金沢大学工学部 藤田 隼人, 中村 公亮, 深山 正幸, 吉本 雅彦

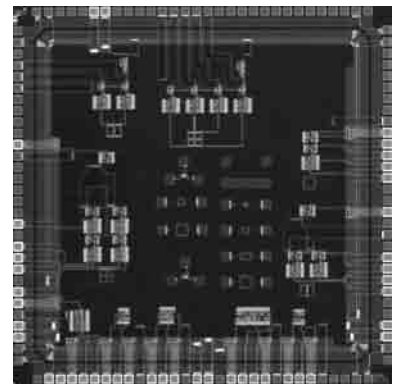
**概要：**光インタフェース LSI において、受光器と受信回路をワンチップ化するためには高速応答プリアンプが必要である。そこで今回の試作では CMOS インバータ型とフォールデットカスコード型の 2 種類のプリアンプを試作した。フォールデットカスコード型のプリアンプは帰還抵抗に n 型 MOS トランジスタを使用したタイプと高抵抗ポリを使用したタイプの 2 種類を試作した。またフォトダイオード、プリアンプ、加算器を接続して光受信回路を試作した。このときフォトダイオードの大きさ、個数、プリアンプの種類、加算器の種類を変えて 5 種類の光受信回路を試作した。評価の結果、CMOS インバータ型よりフォールデットカスコード型のプリアンプの周波数特性が優れていることが分かった。  
**設計期間：**2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数：**10 以上, 100 未満 **試作ラン：**ローム CMOS 0.6mm 4.5mm 角 **チップ種別：**TEG (特性評価回路など)



## 光インタフェース LSI 用の試作

金沢大学工学部 藤田 隼人, 中村 公亮, 深山 正幸, 吉本 雅彦

**概要：**光インタフェース LSI において、受光器と受信回路をワンチップ化するためには高速応答プリアンプが必要である。そこで今回の試作では CMOS インバータ型とフォールデットカスコード型の 2 種類のプリアンプを試作した。フォールデットカスコード型のプリアンプは帰還抵抗に n 型 MOS トランジスタを使用したタイプと高抵抗ポリを使用したタイプの 2 種類を試作した。またフォトダイオード、プリアンプ、加算器を接続して光受信回路を試作した。このときフォトダイオードの大きさ、個数、プリアンプの種類、加算器の種類を変えて 5 種類の光受信回路を試作した。評価の結果、CMOS インバータ型よりフォールデットカスコード型のプリアンプの周波数特性が優れていることが分かった。  
**設計期間：**2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数：**10 以上, 100 未満 **試作ラン：**ローム CMOS 0.6mm 4.5mm 角 **チップ種別：**TEG (特性評価回路など)





## 光インタフェース LSI 用の試作

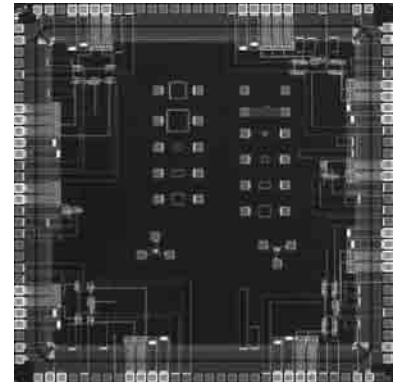
金沢大学工学部 藤田 隼人, 中村 公亮, 深山 正幸, 吉本 雅彦

**概要:** 光インタフェース LSI において, 受光器と受信回路をワンチップ化するためには高速応答プリアンプが必要である. そこで今回の試作では CMOS インバータ型とフォールデットカスコード型の 2 種類のプリアンプを試作した. フォールデットカスコード型のプリアンプは帰還抵抗に n 型 MOS トランジスタを使用したタイプと高抵抗ボリを使用したタイプの 2 種類を試作した. またフォトダイオード, プリアンプ, 加算器を接続して光受信回路を試作した. このときフォトダイオードの大きさ, 個数, プリアンプの種類, 加算器の種類を変えて 5 種類の光受信回路を試作した. 評価の結果, CMOS インバータ型よりフォールデットカスコード型のプリアンプの周波数特性が優れていることが分かった.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-

HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数: 10 以上, 100 未満

**試作ラン:** ローム CMOS 0.6mm 4.5mm 角 チップ種別: TEG (特性評価回路など)



## SFQ/CMOS ハイブリッドメモリ用要素回路の試作

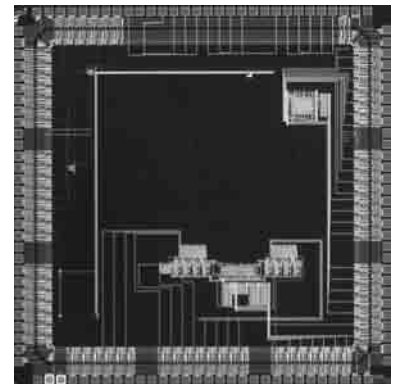
横浜国立大学大学院工学研究院 吉川 信行

**概要:** 我々は SFQ 回路の高速性と CMOS 集積回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している. 本メモリシステムは 4.2K での低温動作を前提にしている. そのため, メモリーノードのリーク電流が小さいく, DRAM 用 3 トランジスタメモリセルを用いているにも関わらず不揮発性で非破壊のメモリ動作が可能である. また, 超伝導センスアンプの採用により, サブナノ秒の高速アクセスタイムが可能となる. さらに, チップ間に超伝導配線を用いるため出力バッファの消費電力を小さくできる. 本チップではそれらの要素回路である入力用高感度高速 Josephson/CMOS ハイブリッドアンプ, 3 トランジスタメモリセル, ワードライン・ビットラインデコーダの設計を行った.

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Diva

トランジスタ数: 100 以上, 1,000 未満

**試作ラン:** ローム CMOS 0.6mm 4.5mm 角 チップ種別: メモリ



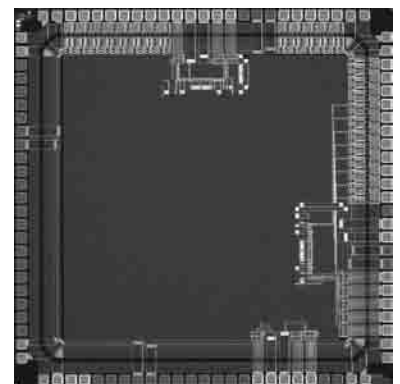
## CMOS イメージセンサ TEG の設計

茨城大学工学部 木村 孝之, 白木 廣光

**概要:** 近年, CMOS プロセスを用いたイメージセンサに関して研究が盛んに行われている. CMOS の標準的なプロセスを用いるため, 駆動信号の生成回路や画像の信号処理回路などを集積化できる利点がある. この様なイメージングシステムを集積するための要素技術である, CMOS-APS (Active Pixel Sensor) 型のイメージセンサの TEG (Test Element Group) 設計を行った. 画素サイズを 10, 12, 15 $\mu\text{m}$   $\square$  としたセンサと, 10 $\mu\text{m}$   $\square$  のセンサを 3  $\times$  3 に配列したセンサを設計した. また, 増幅用アンプにはソースフォロワを採用し, CDS (Correlated dual sampling) 回路を含んでいる. 測定結果より, 試作した回路の動作を確認した. 画素サイズの異なるセンサを測定したが, 出力に画素による違いは見られなかった. なお, 設計は Cadence 社の Virtuoso を用いてフルカスタムで行った.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC,

Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数: 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 チップ種別: TEG (特性評価回路など)

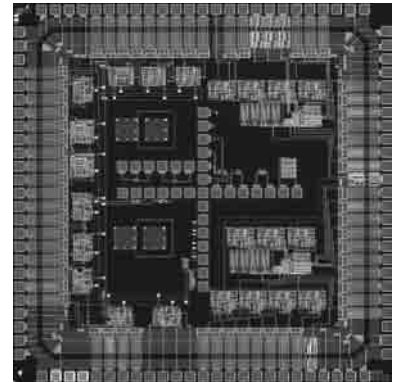


## 演算増幅器と静電容量型センサ用信号処理回路

慶應義塾大学工学部 物理情報工学科 阿波谷 佳朗, 中谷 泰文, 松本 佳宣

概要：アナログ集積回路の設計技術の習得を兼ねて、0.6 ミクロン CMOS 技術を用いて折り返しカスコード型の Rail to Rail 演算増幅器を設計した。第一次試作ということもありゲイン、周波数特性の異なるいくつかの回路構成を考案して設計した。また、オフセットを評価するために、回路パラメータやレイアウトを変えた演算増幅器を設計して、その評価を行った。この演算増幅器を用いて、近年、研究開発が盛んに行われている静電容量型センサ用の信号処理回路を設計した。この回路はクロック発生器、スイッチトキャパシタ方式の容量検出器ならびに利得約 50 倍の非反転増幅器が集積化されており、フェムトファラッドオーダーの微小容量が検出できると期待される。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.6mm 3.8mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



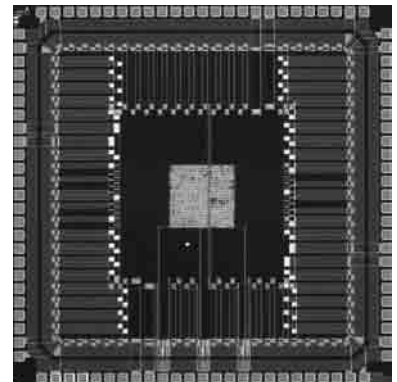
## 分周技術を応用した周波数通倍回路

九州東海大学工学部 佐々木 博文

九州東海大学産業技術研究所 藤本 邦昭

概要：周波数と位相差の両方を利用した周波数通倍回路の試作を行った。この方式は、従来の分周技術を応用した周波数通倍回路と違い、位相の一致した通倍出力を得ることができる。また、デジタル PLL を用いた周波数通倍回路に比べて広い入力周波数範囲にわたって通倍出力を得ることができる。試作回路では、基準クロックを通倍比設定用プログラマブル分周器で  $n$  分周し、基準クロックの  $1/n$  の分周クロックを発生させ、これを入力信号 1 周期間計数して出力用プログラマブル分周器の分周比を自動的に設定することによって  $n$  通倍出力を得た。また、出力を  $n$  分周させた信号と入力信号の位相を比較し、位相差がある場合には位相差間に通過した分周クロックを計数し、出力用プログラマブル分周器の分周比に加算または減算することにより位相を一致させた。完成した試作チップによる実験では、シミュレーションの場合と同様位相が一致する通倍出力を得ることができた。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.6mm 3.8mm 角 チップ種別：その他



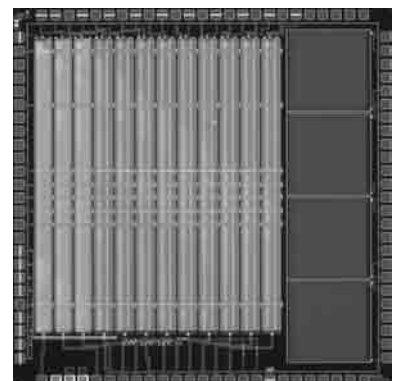
## スイッチトキャパシタ電源回路の試作 (1)

熊本電波工業高等専門学校情報通信工学科 大田 一郎

熊本電波工業高等専門学校情報工学科 江口 啓

概要：スイッチトキャパシタ (SC) 技術を用いた電圧変換回路は、ノイズが少なく、集積化に適している。このため、磁性素子を用いない、これらの電圧変換回路が注目を集めている。中でも、リング形の DC-DC コンバータは、プログラマブルに入力電圧を昇降圧可能という特長をもつため、デジタルカメラなどのモバイル機器の電源回路として有効であると考えられる。この SC 技術を用いた電源回路は、主にパワースイッチとキャパシタにより構成されているため、それらの構成素子を試作し、その特性を明らかにすることは非常に重要である。今回の試作においては、スイッチトキャパシタ技術を用いたリング形 DC-DC コンバータの主構成要素である、パワースイッチとキャパシタを設計した。試作チップ内には 12 個のパワースイッチと 4 個のキャパシタが実装されている。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：SHI 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.6mm 3.8mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



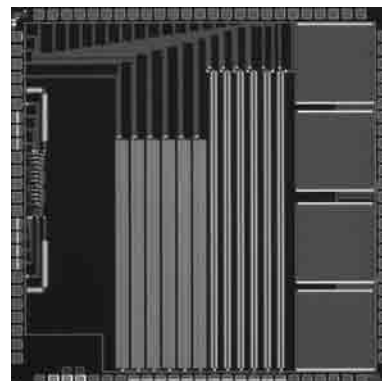
### スイッチトキャパシタ電源回路の試作 (2)

熊本電波工業高等専門学校情報工学科 江口 啓

熊本電波工業高等専門学校情報通信工学科 大田 一郎

概要：スイッチトキャパシタ電源回路の試作 (1) とほぼ同様で、リング形 DC-DC コンバータの主構成要素である、パワースイッチ (ソース接地のスイッチ 3 個とフローティングスイッチ 9 個) とキャパシタ (4 個) を設計した。試作 (1) と同様に、パワースイッチおよびキャパシタの特性を単独に測定できるようにするため、12 個のパワースイッチはそれぞれ、スイッチの両端とゲートの 3 個の端子をパッドに接続して、パワースイッチとキャパシタ間の接続は外部回路で行う。各パワースイッチは合成オン抵抗が  $0.5 \Omega$  になるよう、チャンネル幅  $9.6 \mu\text{m}$  の MOS を 2500 個並列接続している。試作 (1) との違いは、フローティングスイッチの構成、およびガードリングの有無である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.6mm 3.8mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

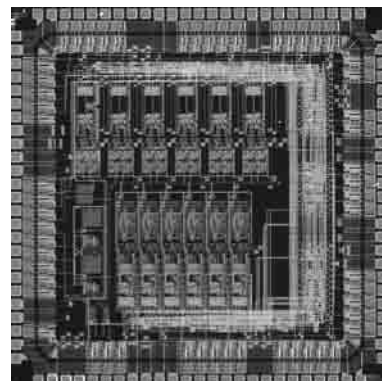


### DS-CDMA 有線バスの設計 (3)

大阪大学工学研究科 清水 新策, Tan Boon Keat, 吉村 隆治, 松岡 俊匡, 谷口 研二

概要：DS-CDMA 有線バスの実現に向け、送信器、受信器をそれぞれ 6 個搭載したチップの設計を行った。DS-CDMA 有線バスは、データを PN (Pseudo-Noise) コードにより変復調することによって、複数のモジュールが 1 対の差動バスを介して同時に通信を行なうことを可能とする技術である。今回の設計では送信器、受信器それぞれに与える拡散符号を外から挿入し、レジスタに蓄えることで自由に変更できるようにした。今回の目的は 6 対の送受信 1 対の差動バスを通して多重通信を行うことを検証することである。今回は送受信回路の他にテスト用回路や検証用の回路も実装されている。本チップは主に、ROHM00\_1 で試作した回路の改善版である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.6mm 3.8mm 角 チップ種別：ニューテクノロジー

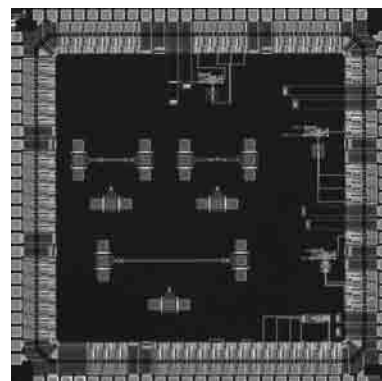


### CDMA 有線インターフェース復調回路における要素回路の試作

大阪大学工学研究科 岩村 宏, Tan Boon Keat, 松岡 俊匡, 谷口 研二

概要：CDMA 有線バスは、データを PN (Pseudo-Noise) コードにより変復調することによって、複数のモジュールが 1 対の差動バスを介して同時に通信を行なうことを可能とする技術である。CDMA 有線インターフェースで使用する復調回路は、ミキサー、積分回路、相関判定回路で構成されている。復調回路の高速化を図るには積分回路に 20dB 程度の利得の増幅器を用いることが望ましい。本設計では、この低利得増幅回路の動作検証を行うことを目的としている。増幅回路は 1 段構成。また、CMFB 回路には MOS のオン抵抗を用い、増幅回路の利得を 20dB 程度に設定した。なお、この増幅回路を用いた積分回路を用いて一定電圧を積分するシミュレーションを行うと、積分結果は若干弓なりの曲線を描くが、問題無く復調ができることを確認した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.6mm 3.8mm 角 チップ種別：ニューテクノロジー





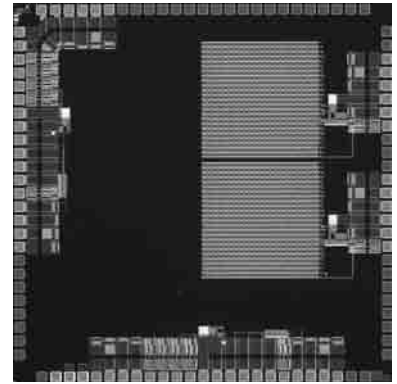
## 低リップル倍電圧発生回路の設計

大阪大学工学研究科 北谷 卓哉, 谷口 研二

**概要:** 倍電圧発生回路は高い電力変換効率, 低リップル出力電圧であることが要求される。本設計ではスイッチングのタイミングを最適化した新たな回路方式の倍電圧発生回路を設計した。組み込んだ回路は, オンチップ・2層ポリキャパシタとオフチップ・キャパシタを使用した4種類である。設計した倍電圧発生回路は, ポンプキャパシタ 100pF, 出力キャパシタ 10nF, スwitching周波数 2MHz ~ 15MHz で動作する。シミュレーションの結果, 最大電力効率 90.5% を得, 従来回路に比べて効率で 0.1 ~ 1%, リプルについても 5 ~ 10% 改善されている。従来回路に比べて小さなキャパシタンスまたは低スイッチング周波数で所望の出力電圧が得られることが確認した。オンチップキャパシタを用いた場合, 寄生抵抗の影響により変換効率の低下起こることが懸念されるので, 実測による評価が必須と考える。

**参考文献:** 北谷卓哉: “低リップル倍電圧発生回路の設計”, 第6回電子情報通信学会関西支部学生発表講演会論文集 (2001)

**設計期間:** 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



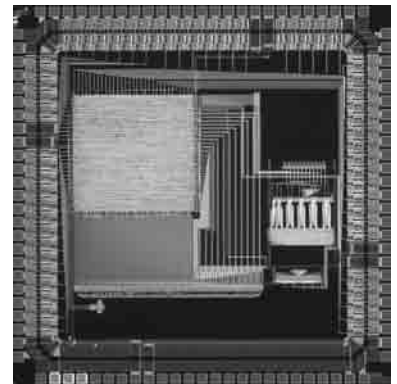
## 強誘電体キャパシタシミュレーション支援 LSI の設計 (1)

東京工業大学フロンティア創造共同研究センター 山本 修一郎, 平山 智久, 石原 宏

**概要:** 近年, 強誘電体メモリの研究開発が盛んであるが, 任意入力に対して正確な強誘電体 SPICE モデルがないために, 新規提案回路等の動作検証が難しいという問題があった。これを解決するために, 我々は新規な強誘電体 SPICE モデルの構築を行ってきた。[1] しかし, 提案モデルでは精度向上とともに回路規模が増大し, 結果として計算時間が大きくなるという問題点があった。そこで我々は計算時間の短縮を目標にして, 計算支援用 LSI の設計を行った。63 個のシュミットトリガ回路とその出力に接続された容量を並列に接続して, 強誘電体の分極量をアナログ的に表現する。本 LSI はシュミットトリガ回路の他, D-A 変換, A-D 変換, VCO, 入出力インターフェース, 一時記憶レジスタ等で構成されている。

**参考文献:** [1] Shuu'ichirou Yamamoto, Takumi Kato and Hiroshi Ishiwara, Jpn. J. Appl. Phys., Vol.40 (2001) pp. 2928-2934.

**設計期間:** 5 月以上, 6 月未満 **設計ツール:** Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

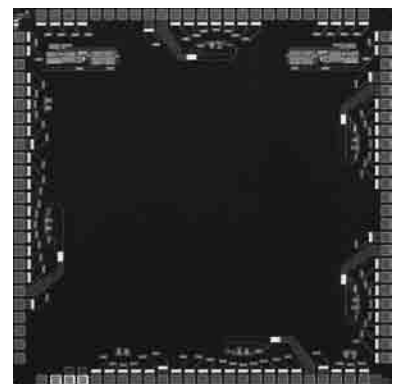


## MVD 乗算器とニューロン MOSFET を用いたアナログ回路/多値論理回路

宮崎大学工学部 稲葉 基, 淡野 公一, 石塚 興彦

**概要:** 4ビット MVD 乗算器の構成回路およびアナログ/多値論理信号処理のためのニューロン CMOS 回路の試作をおこなった。MVD 乗算器はバイナリのかげ算を多値論理信号 (多値ディジット: MVD) を用いておこなう乗算器であり, キャリーが発生しないことから高速演算が期待できる。その構成回路であるモジュロ回路, 低電圧カレントミラー, 電流源などを試作し, MVD 乗算器の実用化に向けた基礎を築くと共に他のプロセスで作成した回路との比較をおこなう。また, ニューロン MOSFET を数個用いて構成できるアナログ回路と多値論理回路もあわせて試作し, そのフローティングゲートの初期電荷除去回路の効果も含め, 各提案回路の有効性を検証する。具体的には, ニューロン MOSFET 2 個でそれぞれ構成されるダウンリテラル回路 (DLC) とアナログインバータ (AINV) を設計しており, DLC は 2 つの外部印加電圧で任意に変化できるしきい値電圧で入力電圧信号を識別する回路であり, AINV は単一電源電圧下で連続的に入力電圧信号を反転させる。各提案・試作回路とも電圧モードにおいて重要な回路であり, これらの実験結果は CMOS-VLSI の開発をさらに推進するものと期待される。”

**設計期間:** 1 月以上, 2 月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



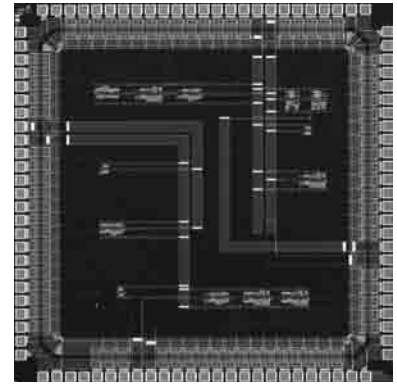
## CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 電流モード信号処理の基本構成素子である第二世代カレント・コンペア (CC II) は, 電流モード信号処理における演算増幅器として位置付けられる. 今回の CC II の設計では, 電圧入力に差動段, 定電圧源から成るバイアス段, 電流入力に AB 級プッシュプル段を用いた構成とし, 電圧入力端子, 電流入力端子, 電流出力端子の三端子と, バイアス電流のための電流入力端子を外部入出力端子とした. シミュレーションにより得られた CC II の性能が, 実際の IC でも得られるかどうかを確認するため設計した. Hspice によるシミュレーション結果と, 試作した IC の測定結果が, ほぼ一致する結果が得られた.

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986 **設計期間:** 0.1 人月以上, 0.5 人月未満

**設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



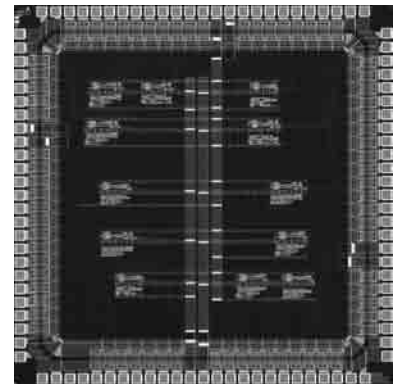
## 低入カインピーダンス AB 級 CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 今までの第二世代カレント・コンペア (CC II) は, 電流入力端子におけるインピーダンスが高く, 電流入力端子と電圧入力端子間のオフセット電圧も大きいため理想的な伝達特性が得られないという問題点がある. ここで今回の CC II は, 電圧入力にフィードバック構成を用いた差動増幅器 (folded cascode op-amp), 定電流源から成るバイアス段, 電流入力に AB 級プッシュプル段, そして位相補償部で構成した. 外部入出力端子は, 電圧入力端子, 電流入力端子, 電流出力端子の三端子と, バイアス電流のための電流入力端子, バイアス電圧のための電圧入力端子である. シミュレーションにより得られたカレント・コンペアの性能が, 実際の IC でも得られるかどうかを確認するため試作した.

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



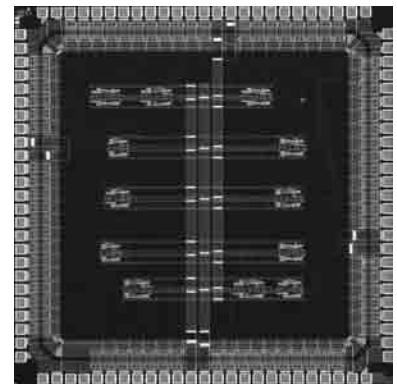
## Rail-to-Rail AB 級 CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 電流モード信号処理の特徴は, 低電圧動作で広いダイナミックレンジが得られることにある. したがって, その基本構成素子としての CC II にも Rail-to-Rail の入出力電圧範囲が要求される. さらに入出力すべてに AB 級 Rail-to-Rail を用いることで, 低電源電圧動作時においても, できる限り大きな S/N 比を得ることができる構成となっている. ここで今回の CC II は, 電圧入力に Rail-to-Rail で使用するための相補型 Nch, Pch 差動入力段, 電流入力に AB 級プッシュプル段, 電流ミラー, 定電流源, 及び位相補償部で構成した. 外部入出力端子は, 電圧入力端子, 電流入力端子, 電流出力端子の三端子と, バイアス電流のための電流入力端子である. シミュレーションにより得られたカレント・コンペアの性能が, 実際の IC でも得られるかどうかを確認するため試作した.

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

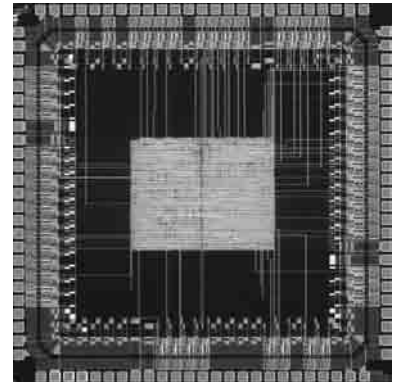


## 8ビットマイクロプロセッサ

群馬工業高等専門学校電子情報工学科 木村 真也, 狩野 亮, 倉持 拓郎

**概要:** 当研究室における LSI 設計試作のテストランとして 8 ビットマイクロプロセッサを開発した。レジスタセットは 16 ビットのプログラムカウンタ, スタックポインタ, インデックスレジスタ (2 個) があり, さらに 8 ビット汎用レジスタが 4 個ある。メモリ空間と I/O 空間はそれぞれ 64K バイトあり, 命令は 59 種類ある。また, 割り込み機能, バス開放機能, メモリアクセスウェイト機能があり, 内部リソースを観測するための端子も備えている。当初, 状態遷移記述中にレジスタトランスファオペレーションを記述する拡張状態遷移記述で設計を行ったが, FPGA を利用した検証のための論理合成結果, 回路規模がかなり大きくなったため, データパス部を設計して接続記述し制御部を状態遷移記述する形式とした。使用した記述言語は Verilog-HDL で, VDEC 提供のセルライブラリを利用した。現在, 全命令について機能確認を終了している。

**設計期間:** 9 人月以上, 10 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Model Technology 社 ModelSim, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** マイクロプロセッサ

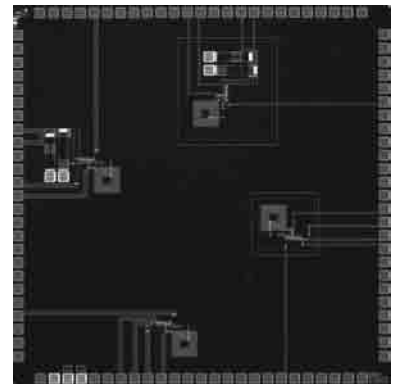


## E 級 DC-DC コンバータの設計

福岡大学大学院工学研究科 桐生 周一

**概要:** システムの小型化や低コスト化, 低消費電力を図るために, チップ集積型の DC-DC コンバータの設計が望まれている。そこで, 我々は, スイッチングコンバータである E 級 DC-DC コンバータの設計を行った。この E 級 DC-DC コンバータは, スイッチング素子であるトランジスタのターンオン, ターンオフ時に生じる電力損失とスイッチング雑音を低減することを目的として設計された回路である。この E 級 DC-DC コンバータは, インダクタを含んでおり, インダクタは, 3 層メタルでのスパイラル・インダクタで実現した。スイッチング周波数を 800 [MHz] とし, Hspice でシミュレーションを行ったところ, 平均出力電力 200 [mW], 効率 72 [%] という値を得た。また, テスタによる測定は, 行っていない。

**参考文献:** M. K. Kazimierczuk and J. Jozwik, "Resonant dc/dc Converter with Class-E inverter and Class-E Rectifier," IEEE Trans. Ind. Electron., vol. 36, no. 4, pp. 568-578, Nov. 1989. **設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



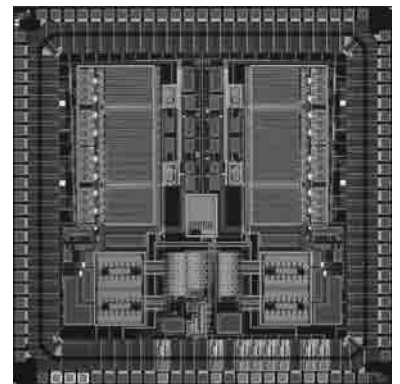
## 電荷逐次積分 VLSI プロトタイプ J

長崎総合科学大学大学院工学研究科 酒井 雅司

長崎総合科学大学工学部 田中 義人

**概要:** 東京大学宇宙線研究所を中心として進められているテレスコープアレイ実験計画用のアナログ・デジタル混載 LSI の開発を行った。昨年度まで開発したものの変形版プロトタイプである。本チップは, 逐次電荷積分回路を 4ch 搭載している。レイアウト設計では, 4ch のバラツキを抑えるための 2ch ずつ左右対称に配置し, 信号の配線距離も同じになるように心がけて設計した。また, ノイズ対策としてクロックラインのシールド, アナログ, デジタルブロック毎の電源ラインの分離に重点をおいて設計をした。この試作では, 電源を対称配線とし, 電圧効果の均等化を図っている。量産のための評価用チップの一つとしてとして試作した。

**参考文献:** 福富雅彦, "高分解能電荷逐次積分 LSI の開発", 1999 年度電気関係学会九州支部連合大会講演論文集 (1999). **設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** アナデジ混載





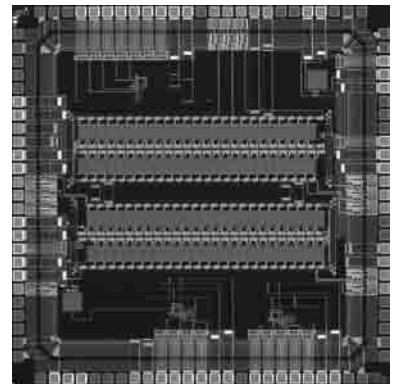
## 高エネルギー実験用アナログメモリ LSI

東京農工大学工学部 南雲 崇, 江村 恒夫

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

**概要:** 高エネルギー物理実験では, さまざまな素粒子反応を測定するために, 検出器からの微小電荷を多数高速に測定する必要がある。この為我々は, 検出器に接続される LSI 内に内蔵するための多段アナログメモリ回路を開発している。加速器を使用した高エネルギー実験では, 検出器からの信号は帯域が数十 MHz, 頻度が $\sim 1$ MHz と高速であるが, 測定対象となる事象が起こる頻度は 100kHz 以下と低くなる。この為, 全チャンネルに高速 ADC を装備するよりも, 100usec 程度の間アナログ値が保持できるスイッチドキャパシタ方式のサンプリング (アナログメモリ) が有効である。今回のチップはサンプリング速度 100MHz, 読み出し速度 1MHz, サンプリング段数 128, ダイナミックレンジ 10 ビットを目標に試作を行ったものである。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** アナデジ混載

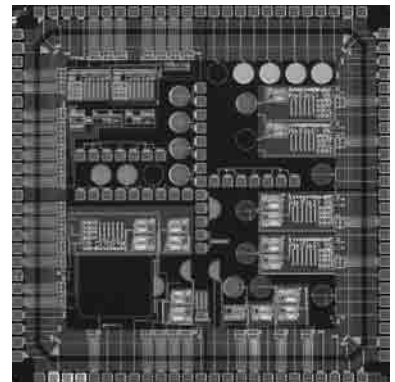


## 光通信信号処理回路

慶應義塾大学理工学部物理情報工学科 三浦 淳平, 松本 佳宣

**概要:** 近年, FTTH や Home LAN などの短距離光通信に高速・低価格の光通信素子とその回路が必要とされている。本チップでは 0.6 ミクロン CMOS 技術を用いて 400Mbps 以上の伝送速度を有するトランスインピーダンス回路, Rail to Rail Amp, レーザダイオード駆動回路などを設計した。トランスインピーダンス回路に必要なとされる抵抗は PMOSFET に適当なバイアス電圧をかけることで実現した, また, Rail to Rail Amp にはオフセット補正機能を持たせた。さらに, CMOS 技術で製作されるフォトダイオードの応答感度, 周波数特性を評価するために, 異なるレイアウトのフォトダイオードを設計した。また, フォトダイオードとトランスインピーダンス回路, レーザダイオード駆動回路などを集積化した素子についても設計をおこなった。

**設計期間:** 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6mm 3.8mm 角 **チップ種別:** 通信 (RF 回路, ATM など)



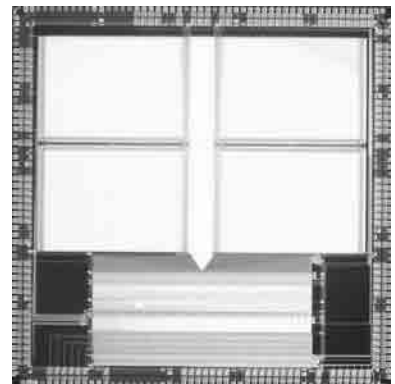
## 認識処理のための汎用デジタル連想プロセッサ

東京大学新領域創成科学研究科 小川 誠, 伊藤 潔人, 柴田 直

**概要:** これはオンチップのキャッシュに記憶されたテンプレートベクトルから入力ベクトルに最も距離に近いものを高速にかつ柔軟に検索するプロセッサである。距離演算では各エレメントの重みが可変になっておりマンハッタン距離やユークリッド距離など柔軟な演算が可能となっている。最小距離を検索する Winner-Take-All 部では Two-Dimensional Bit-Propagating 方式により高速な検索 (6 ビット長 128 ワードの入力から最大値を 1 サイクルで検索) が可能となっている。また, WTA の入力をブロックアドレス方式でマスクすることで検索対象を柔軟かつ高速に変更できるようになっている。33MHz で動作。

**参考文献:** Makoto Ogawa, Kiyoto Ito, and Tadashi Shibata, "A general-purpose vector-quantization processor employing two-dimensional bit-propagating winner-take-all," to be published in the Digest of Technical Papers of 2002 Symposium on VLSI Circuits, Honolulu, June 13-15, 2002.

**設計ツール:** Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6mm 8.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



# VDEC

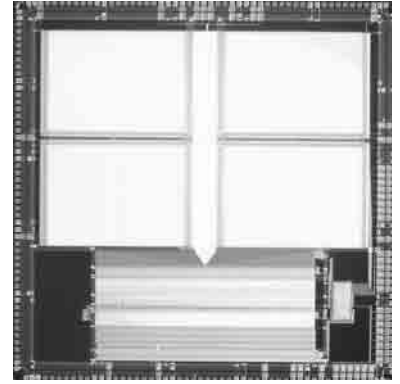
## 認識処理のための汎用デジタル連想プロセッサ

東京大学新領域創成科学研究科 小川 誠, 伊藤 潔人, 柴田 直

概要：これはオンチップのキャッシュに記憶されたテンプレートベクトルから入力ベクトルに最も距離が近いものを高速かつ柔軟に検索するプロセッサである。距離演算では各エレメントの重みが可変になっておりマンハッタン距離やユークリッド距離など柔軟な演算が可能となっている。最小距離を検索する Winner-Take-All 部では Two-Dimensional Bit-Propagating 方式により高速な検索（6 ビット長 128 ワードの入力から最大値を 1 サイクルで検索）が可能となっている。また、WTA の入力をブロックアドレス方式でマスクすることで検索対象を柔軟かつ高速に変更できるようになっている。33MHz で動作。

参考文献：Makoto Ogawa, Kiyoto Ito, and Tadashi Shibata, "A general-purpose vector-quantization processor employing two-dimensional bit-propagating winner-take-all," to be published in the Digest of Technical Papers of 2002 Symposium on VLSI Circuits, Honolulu, June 13-15, 2002.

設計期間：4 人月以上, 5 人月未満  
設計ツール：Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.6mm 8.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



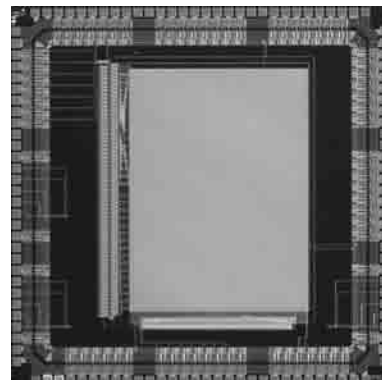
# 平成 13 年度 第 1 回 ローム 0.6 $\mu$ m チップ試作 (ROHM011)

## 16kb SFQ/CMOS ハイブリッドメモリの試作

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は SFQ 回路の高速性と CMOS 集積回路の高集積性を組み合わせたハイブリッドクライオメモリの実現を目指している。本メモリシステムは 4.2K での低温動作を前提にしている。そのため、メモリーノードのリーク電流が小さいく、DRAM 用 3 トランジスタメモリセルを用いているにも関わらず不揮発性で非破壊のメモリ動作が可能である。また、超伝導センスアンプの採用により、サブナノセカンドの高速アクセスタイムが可能となる。さらに、チップ間に超伝導配線を用いるため出力バッファの消費電力を小さくできる。本チップでは超伝導回路部すなわち入力用高感度高速 Josephson/CMOS ハイブリッドアンプと出力用超伝導センスアンプを除く、16kb SFQ/CMOS ハイブリッドメモリシステムの試作を行った。

設計期間：1 月以上、2 月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva トランジスタ数：10,000 以上、100,000 未満 試作ラン：ローム CMOS 0.6 $\mu$ m 4.5mm 角 チップ種別：メモリ

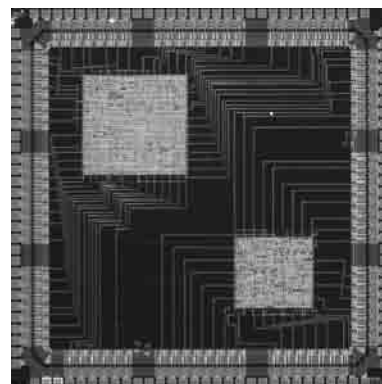


## SFQ/CMOS ハイブリッド D-S AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

概要：SFQ/CMOS ハイブリッド デルタ シグマ AD コンバータは、SFQ デルタ シグマ モジュレータの高速性、高感度性のために、高いオーバーサンプリング周波数が可能であり、高速、高分解能の AD コンバータを作ることができる。一方、超伝導デルタ シグマ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となるが、集積度の小さい超伝導回路技術では製作が困難である。そのため、本研究では SFQ デルタシグマ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ デルタシグマ モジュレータからの 20GHz におよぶ高速な入力信号はまず、マルチプレクサによりパラレル化され、低速の入力信号に変換される。さらにパラレル化アルゴリズムにより、高速なクロック周波数での処理を狙った。

設計期間：1 月以上、2 月未満 設計ツール：Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Diva, トランジスタ数：10,000 以上、100,000 未満 試作ラン：ローム CMOS 0.6 $\mu$ m 4.5mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



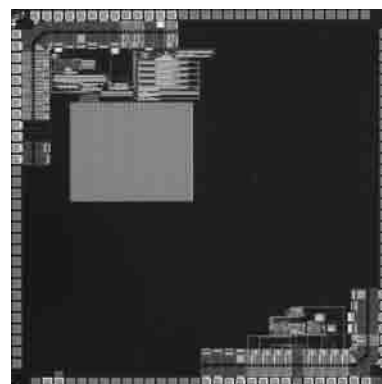
## 完全差動型低ジッタ PLL の設計

大阪大学工学研究科 北谷 卓哉, 尾関 俊明, 谷口 研二

概要：高速マイクロプロセッサやメモリ向けクロック生成応用の PLL は雑音発生源である他のデジタル回路ブロックと同一の基板で製造され、一般的には雑音が多いグローバルな電源電圧、グランドバスで動作することを要求される。この雑音は、PLL の出力ジッタとして現れる。低ジッタを実現するには、電源電圧感度が高い VCO の耐性を高め、外部雑音に対して PLL システム周波数変調を低く抑えることが鍵となる。今回の設計では、電源電圧雑音に対して耐性がある差動 PLL を構成し、内部電圧制御回路を PLL に組み込んだ低ジッタ PLL の実現を試みた。高性能を実現するために、CP 電流ミスマッチキャンセル、電源雑音高耐性、ゼロデッドゾーン、二重遅延パスなどのアナログ CMOS 技術を駆使している。PLL の出力周波数は 30-180MHz、16 固定分周である。

参考文献：“差動構成を用いた PLL の低ジッタ化”，pp. 21-25, ECT-01-73, 電気学会研究会資料 (2001)

設計期間：3 月以上、4 月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：1,000 以上、10,000 未満 試作ラン：ローム CMOS 0.6 $\mu$ m 4.5mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)





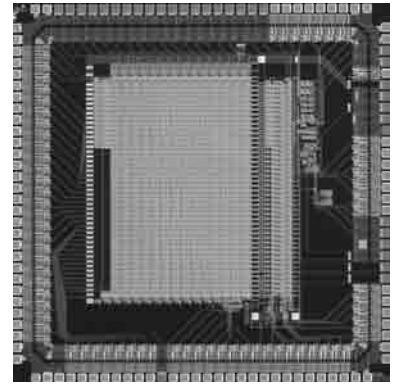
## マルチチップ化を指向した On-Chip 学習可能な量子化結合ニューラルネットワークの集積化

東北大学電気通信研究所 安部 正夫, 佐藤 茂雄, 中島 康治

**概要:** ニューラルネットワークを工学的に応用するためには, 高速に学習と想起が可能であり且つシステムを大規模化する必要がある. そのための方法の1つとしてニューラルネットワークのVLSI化が挙げられる. システムを大規模化するため, 結合荷重を量子化(低ビット化)することで一般に大きな面積を占めるシナプス回路を小型化し高集積化を目指した. 本チップでは3値(1, 0, -1)の荷重値を持ち, アナログ回路でマルチチップ化を可能とするための外部入力を持った14ニューロン630シナプスのon-chip学習可能なニューラルネットワークを設計した.

**参考文献:** 片山, 佐藤, 中島: “量子化結合ニューラルネットワークの学習とその集積回路による実現”, 2000年電子情報通信学会総合大会講演論文集, D-2-3, (2000).

**設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 4.5mm角 **チップ種別:** ニューテクノロジー



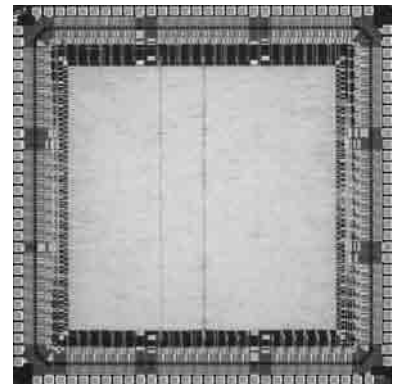
## 50ニューロン搭載ストカスティックニューロチップ

東北大学電気通信研究所 根本 憲, 金城 光永, 佐藤 茂雄, 中島 康治

**概要:** ニューラルネットワークを実用化するためには集積化は必要不可欠である. だがデジタル方式で集積化を行う場合, 回路面積が大きくなるといった欠点がある. そこで大規模なデジタルニューロシステムの実現に向け, パルス密度変調システムの1つであるストカスティックニューロシステムの集積化を行った. ストカスティックニューロシステムは基本的にデジタル方式であるが, 演算回路を基本ゲート1つで実現でき, また活性化関数も容易に実現できるため, 回路面積を大幅に抑えることが可能である. 試作はマルチチップでの構成を考慮に入れ, シナプス荷重値メモリを外付けとした. また, 活性化関数として非単調関数を用いた非単調ニューロンが実現できるように設計を行った. 一般的に用いられている単調ニューロンの代わり非単調ニューロンを用いることでネットワークの学習性能が向上するため, システムに非単調ニューロンを用いることは非常に有効である. 本チップでは50ニューロンのチップを試作できた.

**参考文献:** [1] K. Nemoto, M. Kinjo, S. Sato, K. Nakajima, “A Non-monotonic Neurochip using Stochastic logic”, Proc. 2001 Int. Symp. NOLTA, pp605-608, 2001

**設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design\_compiler, Avanti社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.6 $\mu$ m 4.5mm角 **チップ種別:** その他



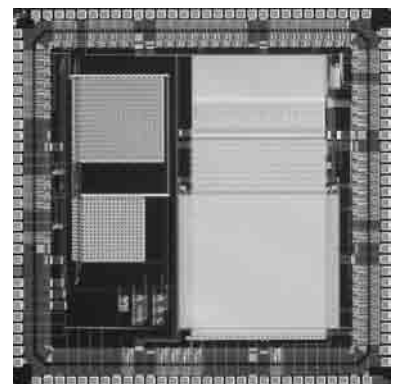
## 近似AD変換による三次元動画撮像用高速ポジションセンサ

東京大学工学系研究科 大池 祐輔, 池田 誠

東京大学大規模集積システム設計教育研究センター (VDEC) 浅田 邦博

**概要:** 光投影法による三次元計測では, 投射した光を走査しながら多くのフレームを取得する必要があるため, リアルタイム三次元計測には非常に高速に投射光を検出し, その位置を取得しなければならない. また, 多くの高速ポジションセンサは画素内に処理回路を持つことで高フレームレートを実現しており, 画素サイズが大きいため高解像度化が難しかった. そこで, 一般的な3トランジスタとフォトダイオードを用いたCMOS APSの画素回路を用い, 画素値に応じた出力電位の勾配を利用して有意画素を高速に検出するセンサを試作した. 画素サイズが小さいため高解像度化に向いており, 動画撮像可能な高フレームレートを実現できる. また, 画素回路の拡張なしで通常の二次元画像も取得可能である. 試作したポジションセンサは128 $\times$ 128画素を有し, 画素サイズ12 $\mu$ m $\times$ 12 $\mu$ mであり開口率29.5%である. このセンサを用いて三次元計測システムを構築し, 三次元画像および二次元画像の取得に成功した. 最高速度などの性能は現在評価中である.

**設計期間:** 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Avanti社 Star-sim, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.6 $\mu$ m 4.5mm角 **チップ種別:** イメージセンサ/スマートセンサ



## 画像分割用非線形振動子ネットワーク回路

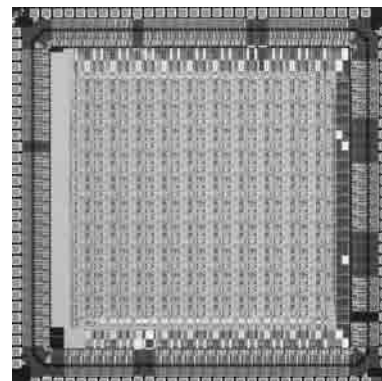
広島大学大学院工学研究科 安藤 博士

広島大学大学院先端物質科学研究科 森江 隆, 永田 真, 岩田 穆

**概要:** 自然画像認識において重要な画像分割処理を実行するモデルとして、非線形振動子ネットワークが提案されている。このモデルを用いてリアルタイム画像処理を実現するために、我々が提案しているパルス変調回路アーキテクチャによりVLSI化を行った [1]。今回試作した振動子ネットワークは、前回試作の修正版であり、その仕様は前回と同様である。このチップは主に振動子回路・荷重係数演算回路からなる。振動子回路は、任意非線形変換回路と電荷積分による積和演算回路を用いて、振動子のアナログダイナミクスを実現する。荷重係数演算回路はパルス変調方式により画像強度の絶対値差分および除算を実行し、荷重係数を求める。画素数は  $11 \times 11$ 、画素サイズは  $210\mu\text{m} \times 230\mu\text{m}$  である。

**参考文献:** H. Ando, et al., IEICE Trans. Fundamentals, Vol. E83-A, pp. 329-336, 2000.

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS  $0.6\mu\text{m}$   $4.5\text{mm}$  角 **チップ種別:** ニューテクノロジー

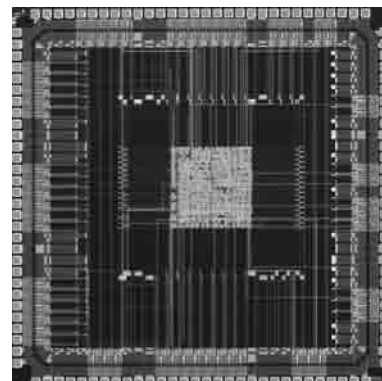


## 離散フーリエ変換回路の設計

茨城大学工学部 木村 孝之, 白木 廣光

**概要:** 近年、CMOS プロセスを用いたイメージセンサに関して研究が盛んに行われている。CMOS の標準的なプロセスを用いるため、駆動信号の生成回路や画像の信号処理回路などを集積化できる利点がある。このようなイメージングシステムで信号処理を行うために、DFT (離散フーリエ変換) 回路の設計を行った。これまで配置配線などを行ったことが無かったため、本試作ではその手法を習得する事も目的として行った。試作した DFT 回路は演算語長は固定小数点で 8bit とした。乗算器は 2 つ用意し、高速な計算が実現できるように工夫した。現在測定中であるが、うまく動いていない。Cadence 社の LVS にて検証し、設計に問題がないことは確認できている。測定系を含めて検討しなおしている。

**設計期間:** 4 人月以上, 5 人月未満 **設計ツール:** Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS  $0.6\mu\text{m}$   $4.5\text{mm}$  角 **チップ種別:** 演算回路 (乗算器, 除算器など)

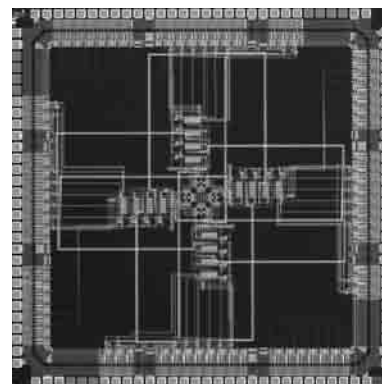


## 非同期スイッチ

慶應義塾大学理工学部 石川 健一郎

**概要:** 研究室の非同期分野進出の第 1 弾として、企画されたチップの改良版である。非同期 LSI を作った経験がなく、ツールも貧弱なものしか使えなかったため、できるだけ簡単な LSI を対象にしようとスイッチが企画された。手でレイアウトをして行くという形で製作するためスイッチでも高機能なものも考えず、動作することを優先し機能を絞った。その結果、機能は入力ポートに入力したデータを、指定された出力ポートに出力する機能に限定し、確実に動作することを主眼に置いて設計が行われた。分散アービトレーションを行う特殊な設計でシミュレーション上では非同期で動作することが確認され、シミュレーション上では最高で  $2\text{Gbit/s/line}$ 、 $32\text{Gbit/s/chip}$  のスピードを達成した。実機が製作され条件付きながら全ての機能が動くことが確認されたが、スピードが奮わず  $200\text{Mbit/s/line}$  程度の性能しか達成できなかった。原因としては出力パッドのドライブ能力が足りなかったためだと思われる。

**設計期間:** 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS  $0.6\mu\text{m}$   $4.5\text{mm}$  角 **チップ種別:** アナログ/デジタル信号処理プロセッサ





## ATLAS 実験 TGC 検出器用読み出し初段回路

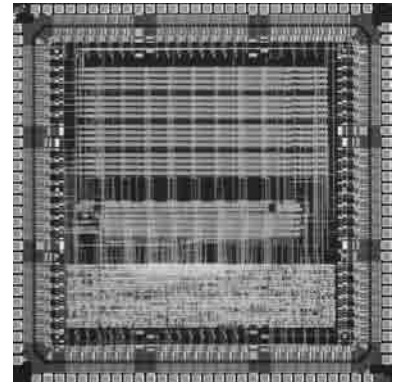
東京都立大学理学研究科 田中 賢一

東京大学素粒子物理国際研究センター 狩野 博之

高エネルギー加速器研究機構素核研 池野 正弘, 佐々木 修

**概要:** 今回設計した ASIC は、素粒子実験 ATLAS で用いられる測定器のトリガーロジックの一部を担う回路であり、テストパルス、LVDS レシーバ、ディレイ、同期回路からなっている。このチップを用いたボードにより検出器からの信号のタイミング調節、およびシステムクロックへの同期を行う。ディレイ部には PLL が用いられており、CLK/32 の単位で読み出しタイミングの調節が可能である。このチップは、検出器からの信号を 16ch 分同時に処理を行う事が可能となっている。チップは既にテストが完了しており、それぞれの回路は設計通りに動作していることが確認された。今後は 0.35 $\mu$ m 化による低消費電力、集積化を行い本実験に向けた最終版の完成を目指す。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 4.5mm 角 **チップ種別:** その他

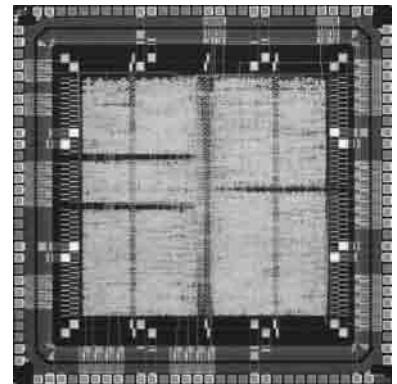


## CPU 作成学生実験における LSI 設計事例

大阪大学基礎工学研究科 小林 真輔

**概要:** 大阪大学基礎工学部情報科学科では、学部 3 年生が CPU を作成する実験を行っている。通常のコースでは、設計した CPU は FPGA 上に実装するが、今回は希望者 5 名を対象にスタンダードセルによる LSI 設計を行った。5 名それぞれが設計した CPU をマクロセルとして実装し、外部からの CPU 選択信号を用いて動作させる CPU を選択する形式で 5 個の CPU を 1 チップ上に実装している。設計した CPU は、いずれも非パイプライン 8 ビット CPU であり、指定の 31 命令以上からなる命令セットを持つ。そして、制御部は、ジョンソンカウンタを用いた複数状態機械群から構成される。配置配線の結果、コアの面積は約 6mm<sup>2</sup> であることが確認された。また、ポストレイアウト・シミュレーションにより、動作周波数は 100MHz であることが確認された。

**設計期間:** 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Synopsys 社 VSS, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 4.5mm 角 **チップ種別:** マイクロプロセッサ

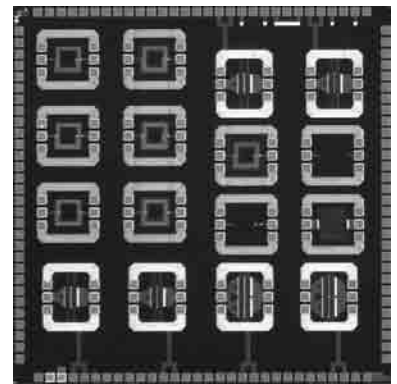


## スパイラルインダクタ TEG

中央大学理工学部 杉本 泰博

**概要:** RF 回路に用いられるスパイラルインダクタにつき、その Q 値を上げる目的で挿入されるグラウンドシールドの形状を検討した TEG である。加えて RF 用の MOS トランジスタも製作した。両素子とも単純なものであり、もちろん動作した。スパイラルインダクタに関しては、寄生容量を最小にする形状を提案しているが、この確認のため本チップを試作した。また試作前に電磁界シミュレータを用いて特性をシミュレーションしたが、チップの特性は、このシミュレーション結果と良く一致しており、併せてシミュレーションツールの検証が出来た。MOS トランジスタは、高周波パラメータの抽出を目的としてチップに搭載したが、所望の高周波パラメータ (S パラメータ) を測定することが出来た。今後の回路シミュレーションに役立つことと思う。

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** なし, 手動, Cadence 社 Virtuoso, なし **試作ラン:** ローム CMOS 0.6 $\mu$ m 4.5mm 角 **チップ種別:** 通信 (RF 回路, ATM など)



**トランジスタ数:** 10 以上, 100 未満



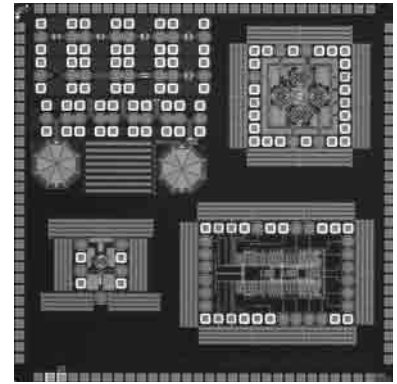
## 高周波動作電圧制御発振器・周波数分周器の設計

東京大学工学系研究科 今村 晃, 山本 憲

東京大学新領域創成科学研究科 藤島 実

概要：アナログ回路の特性が化合物半導体に劣るため、従来はトランシーバのフロントエンド部にはCMOSは用いられなかった。しかし、近年トランジスタの微細化が進みCMOSでも高速動作が可能になったため、トランシーバ回路全体を1チップで実現する方法が盛んに提案されるようになってきている。トランシーバ回路全体を1チップで構成すると、チップ間伝送が不要となるため、化合物半導体を用いる場合に比べて低コスト化と低消費電力化を同時に達成することができる。そこで、本研究室ではミリ波帯で動作するCMOSトランシーバ回路の研究を行っている。CMOSトランシーバ回路の送受信部の中で最も基本的な回路となるのがPLL回路である。本設計ではPLLの要素回路で最も高速な動作を要求される電圧制御発振器や周波数分周器の高速化を目指し、0.6 [μm] ルールのプロセスにおいて2 [GHz] で動作する電圧制御発振器や周波数分周器の設計を行った。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.6μm 4.5mm角 チップ種別：通信 (RF回路, ATMなど)

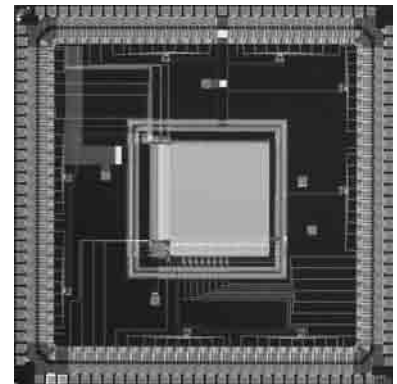


## 相変化不揮発性メモリ

金沢大学工学部 福島 早奈恵

概要：相変化素子とは、室温でアモルファス状態と、結晶状態の2つの安定した状態をもち、特定の電気パルスを印加することによって、その状態間を自由に転移することができる素子のことである。その相変化特性を利用して、2つの状態を論理値の「0」「1」に割り当てることによってメモリとして利用することができる。本チップは6族元素であるカルコゲン元素を相変化素子として用いる相変化メモリである。また、メモリを構成するのに重要となるのがメモリセルの設計である。このチップには、メモリセルのサイズを決定するためのTEGが周囲に8こ配置されており、中央に32KBit相当のメモリが配置されている。TEGもメモリも相変化素子は堆積されていないので、チップを後から加工して、カルコゲナイド相変化素子を蒸着する。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.6μm 4.5mm角 チップ種別：メモリ

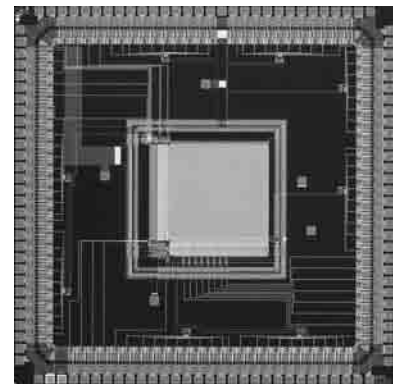


## 相変化不揮発性メモリ

金沢大学工学部 福島 早奈恵

概要：相変化素子とは、室温でアモルファス状態と、結晶状態の2つの安定した状態をもち、特定の電気パルスを印加することによって、その状態間を自由に転移することができる素子のことである。その相変化特性を利用して、2つの状態を論理値の「0」「1」に割り当てることによってメモリとして利用することができる。本チップは6族元素であるカルコゲン元素を相変化素子として用いる相変化メモリである。また、メモリを構成するのに重要となるのがメモリセルの設計である。このチップには、メモリセルのサイズを決定するためのTEGが周囲に8こ配置されており、中央に32KBit相当のメモリが配置されている。TEGもメモリも相変化素子は堆積されていないので、チップを後から加工して、カルコゲナイド相変化素子を蒸着する。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.6μm 4.5mm角 チップ種別：メモリ



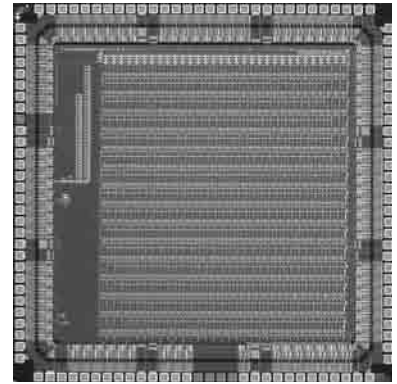
## 擬似 2 次元アルゴリズムを用いた動き検出回路用 Velocity Detector (修正版)

東京大学工学系研究科 木村 弘枝

東京大学新領域創成科学研究科 柴田 直

**概要：**動き検出アルゴリズムの後半にあたる、2つの物体の位置から物体の動き量を検出するのが目的である。2つのデータのうち一方を $-7$ ピクセルから $+7$ ピクセルシフトさせ各ピクセルにおけるデータの差を計算し、求めた差のシフト量における平均値を演算・出力する。出力値はマッチング残余と呼ばれ、2つのデータをずらした時のマンハッタン距離を表しており、データの差を数値化したものである。この数値が最も小さい値を取る、すなわち2つのデータがもっともマッチするシフト量が、2つのデータの時間間隔における動き量といえる。各画素の差は絶対値差分を用いており、入力データ数は64である。チップには $-7$ ピクセルから $+7$ ピクセルまで絶対値差分回路をずらして配置し、完全並列に処理が行える構成となっている。差分結果の平均化には $v$ MOSの加算回路を用いており、こちらも並列に演算を行うことができる。よって、2つのデータを入力すると同時にマッチング残余の演算が可能である。イメージセンサと接続できるようサンプル・ホールド回路が挿入されており、アルゴリズム全体を2枚のチップで実現し、動きの位置と大きさを検出できる。

**設計期間：**1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**ローム CMOS 0.6 $\mu$ m 4.5mm角 **チップ種別：**演算回路(乗算器, 除算器など)



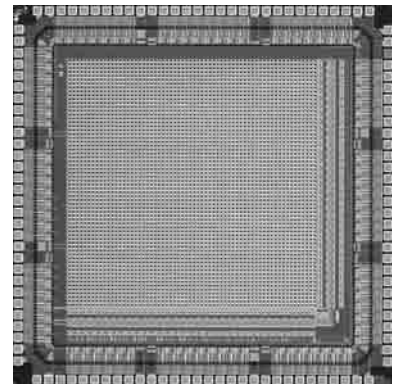
## 擬似 2 次元処理を用いた動き検出イメージセンサ LSI

東京大学工学系研究科 木村 弘枝

東京大学新領域創成科学研究科 柴田 直

**概要：**動き検出アルゴリズムの中で前半の部分にあたる、物体の有無と物体の位置を検出するのが目的である。機能はイメージセンサによる画像の取り込み、画像データの縦方向・横方向斜め方向プロジェクション、時間微分データの演算の3つである。構成は $64 \times 64$ のイメージセンサアレイ、時間微分演算回路である。簡単なアルゴリズムでシンプルな回路構成であるにもかかわらず、複雑な背景の中の物体や複数の物体の動きを、瞬時に検出することができる。画像データは取り込むと同時にプロジェクションを行うため、時間微分回路は1列に1つ配置するだけでよく、イメージセンサの1画素内に演算回路が無い。そのため、41%というビジョンチップとしては非常に高いフィルファクターを有する。従来のチップとの違いは、時間微分の際に用いる差分に絶対値差分演算方式ではなく符号付き差分演算方式を用いていること、複数の物体が動いている場合にも物体の2次元の位置を確定できるように斜めのプロジェクションも採用したことの2点である。Velocity Detectorと接続できるようバッファ回路が挿入されており、アルゴリズム全体を2枚のチップで実現し、動きの位置と大きさを検出できる。

**設計期間：**1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**ローム CMOS 0.6 $\mu$ m 4.5mm角 **チップ種別：**イメージセンサ/スマートセンサ

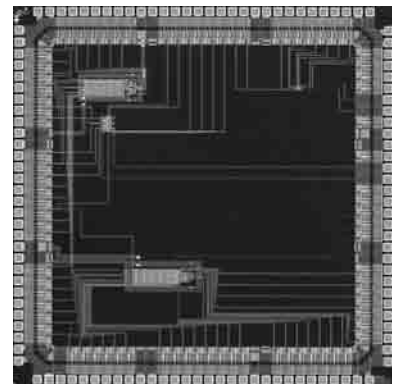


## ニューロン MOS をもちいたアナログ画像特徴抽出回路

東京大学新領域創成科学研究科 田口 晶康, 柴田 直

**概要：**画像認識のための、アナログ特徴抽出回路である。画像データはチップの外部から入力される。我々の研究室では柔軟な情報処理技術の確立を目指しており、中でも画像認識技術はその根幹をなすものである。我々は画像を認識する際に入力データからエッジ情報を特徴として用いており、エッジ情報から1次元特徴ベクトルを生成する。エッジ検出のためのフィルタ回路にはフローティングゲートMOS ( $v$ MOS)による相関演算回路を用いており、それにより低消費電力によるエッジ抽出機能の実現が期待できる。フィルタサイズは $5 \times 5$ の固定である。今回の設計では縦方向、および横方向エッジ検出回路のテスト回路の設計を行った。

**設計期間：**0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.6 $\mu$ m 4.5mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ





## メモリ融合型イメージフィルタリング・プロセッサのテスト回路

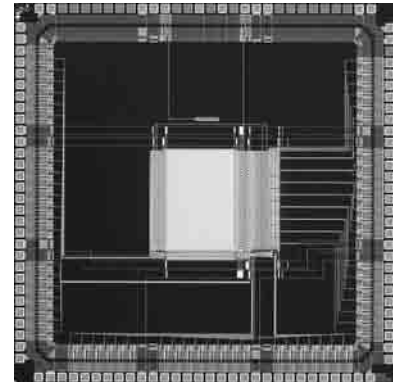
東京大学新領域創成科学研究科 伊藤 潔人, 柴田 直

**概要:** 画像処理では, メモリに蓄えられたピクセルデータをプロセッサに転送するデータ量が膨大となる. そのため我々の研究室では画像処理の一部の機能をメモリ側に持たせて, 効率よく画像処理を行う手法の研究を行っている. 具体的には一定面積のピクセルデータに一度にアクセスして, メモリ読み出し直後に加算をすることで, 画像の任意の領域に効率よくフィルタリング処理を施すことができる. 今回の設計では 1KBytes の SRAM および,  $4 \times 4$  ピクセルに対する 1bit マスク処理回路,  $8\text{bit} \times 16\text{word}$  入力 Carry Save Adder 回路を接続したテスト回路をハンドレイアウトにより作成した. 現在回路の動作の検証中であるが, 3.3V, 50MHz でのメモリの書き込み/読み出し処理に成功している.

**設計期間:** 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-

HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作**

**ラン:** ローム CMOS  $0.6\mu\text{m}$   $4.5\text{mm}$  角 **チップ種別:** 演算回路 (乗算器, 除算器など)



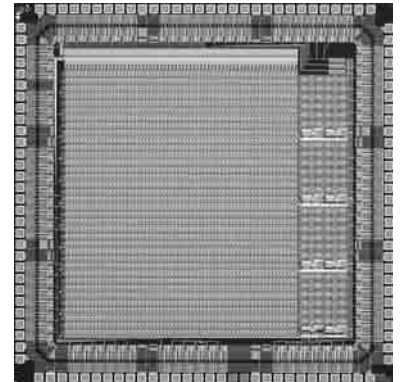
## 電荷転送増幅型低消費電力コンパレータを用いたステレオビジョンプロセッサ 1

東京大学工学系研究科 野村 周央

東京大学新領域創成科学研究科 柴田 直

**概要:** ステレオビジョンは, 複数台のカメラに写る物体画像の位置のずれを画像処理により検出し, 三角法によって奥行きマップを得る手法である. 応用例としては自動制御のためのセンサーなど, リアルタイム性が重視されるアプリケーションが多いが, 非常に膨大な量の相関演算を必要とするためソフトウェアと汎用プロセッサの組み合わせで実時間処理を行うことは困難である. 本ステレオビジョンプロセッサは, 直流電流の流れないアナログ電荷演算回路を用いてステレオ処理回路を構成しており, チップ全体の消費電力を低く抑え, しかも並列アーキテクチャによって高速な処理を実現している. WTA (ウィナー・テイク・オール) 回路についてはランプ電圧方式とバイナリサーチ方式の 2 種類を開発し, 本設計ではランプ電圧方式を採用した. また, 実際に測定して動作を確認した.

**設計期間:** 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS  $0.6\mu\text{m}$   $4.5\text{mm}$  角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



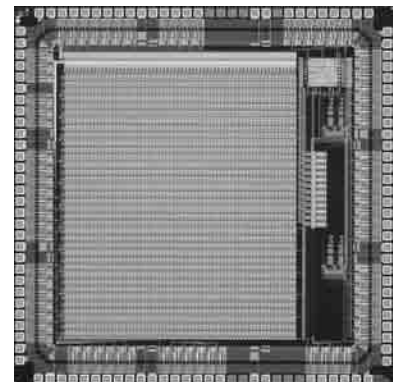
## 電荷転送増幅型低消費電力コンパレータを用いたステレオビジョンプロセッサ 2

東京大学工学系研究科 野村 周央

東京大学新領域創成科学研究科 柴田 直

**概要:** ステレオビジョンは, 複数台のカメラに写る物体画像の位置のずれを画像処理により検出し, 三角法によって奥行きマップを得る手法である. 応用例としては自動制御のためのセンサーなど, リアルタイム性が重視されるアプリケーションが多いが, 非常に膨大な量の相関演算を必要とするためソフトウェアと汎用プロセッサの組み合わせで実時間処理を行うことは困難である. 本ステレオビジョンプロセッサは, 直流電流の流れないアナログ電荷演算回路を用いてステレオ処理回路を構成しており, チップ全体の消費電力を低く抑え, しかも並列アーキテクチャによって高速な処理を実現している. WTA (ウィナー・テイク・オール) 回路についてはランプ電圧方式とバイナリサーチ方式の 2 種類を開発し, 本設計ではバイナリサーチ方式を採用した. また, 実際に測定して動作を確認した.

**設計期間:** 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS  $0.6\mu\text{m}$   $4.5\text{mm}$  角 **チップ種別:** アナログ/デジタル信号処理プロセッサ





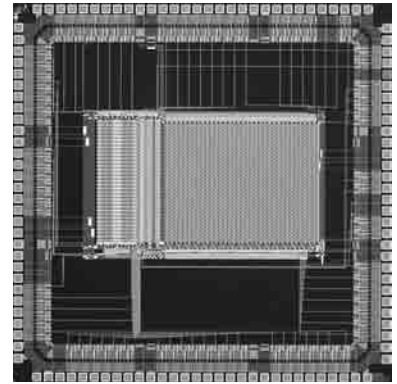
## コンダクタンス型共鳴回路を用いたアナログ連想プロセッサ

東京大学新領域創成科学研究科 小川 誠, 柴田 直

**概要:** 入力に最も近いパタンを高速に検索するアナログ連想プロセッサ。テンプレートメモリは 32 次元のベクトルを最大 64 個記憶可能。マッチングはガウシアンの特徴を持つアナログの電流モードの回路で超並列演算で行われ、電流値が遅延に変換された後時間領域の Winner-Take-All 回路により最も一致度の高いパタンが検出される。入力データはデジタル値で入力され、オンチップの DA コンバータでアナログ値に変換される。また、各エレメントのマスク、重み付けもデジタル処理で行うことが可能となっている。

**参考文献:** Makoto Ogawa and Tadashi Shibata, "NMOS-based Gaussian-Element-Matching Analog Associative Memory," Proceedings of the 27th European Solid-State Circuits Conference (ESSCIRC 2001), Ed. by F. Dielacher and H. Grunbacher, pp. 272-275 (Frontier Group), Villach, Austria, September 18-20, 2001.

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.6 $\mu$ m 4.5mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



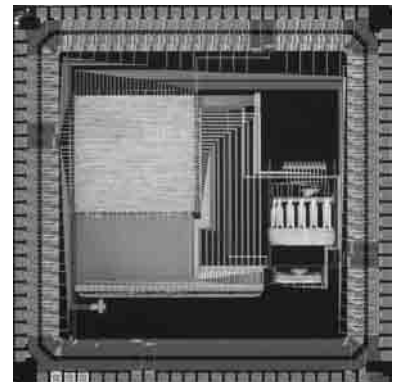
## 強誘電体キャパシタシミュレーション支援 LSI の設計 (2)

東京工業大学フロンティア創造共同研究センター 山本 修一郎, 平山 智久, 石原 宏

**概要:** 近年、強誘電体メモリの研究開発が盛んであるが、任意入力に対して正確な強誘電体 SPICE モデルがないために、新規提案回路等の動作検証が難しいという問題があった。これを解決するために、我々は新規な強誘電体 SPICE モデルの構築を行ってきた。[1]しかし、提案モデルでは精度向上とともに回路規模が増大し、結果として計算時間が大きくなるという問題点があった。そこで我々は計算時間の短縮を目標にして、計算支援用 LSI の設計を行った。63 個のシュミットトリガ回路とその出力に接続された容量を並列に接続して、強誘電体の分極量をアナログ的に表現する。本 LSI はシュミットトリガ回路の他、D-A 変換、A-D 変換、VCO、入出力インターフェース、一時記憶レジスタ等で構成されている。「強誘電体キャパシタシミュレーション支援 LSI の設計 (1)」の回路のレイアウト上の問題点を修正した。

**参考文献:** [1] Shuu'ichirou Yamamoto, Takumi Kato and Hiroshi Ishiwar, "A Novel Simulation Program with Integrated Circuit Emphasis (SPICE) Model of Ferroelectric Capacitors Using Schmitt Trigger Circuit", Jpn. J. Appl. Phys., Vol.40 (2001) pp. 2928-2934.

**設計期間:** 5 人月以上, 6 人月未満 **設計ツール:** Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

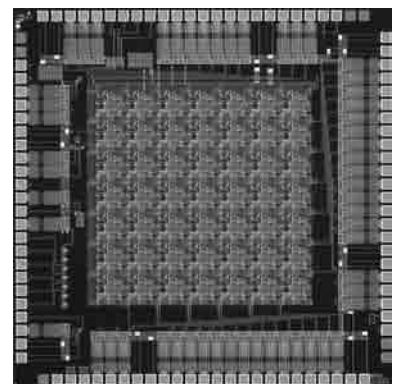


## 生体の視覚機能に学んだ二次元動き検出チップの試作

豊橋技術科学大学工学部 山田 仁, 米津 宏雄

**概要:** 網膜は、光受容器である外網膜と脳へインパルス信号を送り出す内網膜の二つに大別される。外網膜では、視細胞、水平細胞、そして双極細胞により、視覚対象のエッジ情報を検出していると考えられる。また、内網膜では、アマクリン細胞により、視覚対象の動き情報を検出していると考えられる。さらに、生体の脳では外界の速度に適応して動き信号を変化させていると考えられる。これまで、我々は外網膜と内網膜の機能に学んで、エッジ検出を行う二次元網膜チップおよび動き検出を行う一次元網膜チップを提案し、集積回路化してきた。現在、外・内網膜機能のアナログ電子回路化および速度適応機能の電子回路化を試みている。今回の試作では、局所適応機能を有する外網膜回路と動き情報生成機能を有する内網膜回路を統合し、さらに局所的に平均化した速度信号を速度適応に用いる二次元動き検出チップを設計した。チップには二値化回路を介して 7 × 7 個の外網膜回路、内網膜回路および速度平均化回路を二次元配列した。

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 3.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ



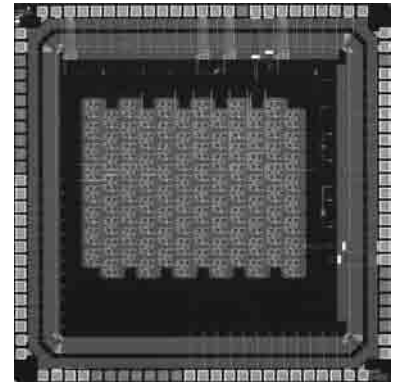
## 方向選択性動き検出ネットワークの二次元配置方法の検討

豊橋技術科学大学工学部 大谷 真弘, 米津 宏雄

概要：我々は、生体の視覚系に存在する方向選択性動き検出神経細胞の機能を実現するネットワークの提案とそのアナログ集積回路化を行ってきた [1]。この動き検出神経細胞は、その樹状突起の形態に依存した方向選択性を有する。樹状突起は、局所速度の空間的な重み付けを行っていると考えられ、これにより方向選択性が形成される。ネットワークは、Miller 効果などによる寄生容量の顕在化に着目し、スマートなアナログ回路によって実現した。今回の試作は、上述のネットワークの二次元配置方法を検討することを目的として行った。また、チップには、ネットワークを構成する基本回路の TEG も含めた。これらの TEG を用いてその基本特性を確認するとともに、視覚対象の二次元の動きに対する応答を調べ、ネットワークの配置方法を検討する。

参考文献：[1] 大谷 真弘, 山田 仁, 西尾 公裕, 高崎 哲, 古川 雄三, 米津 宏雄, “方向選択性を持つ動き検出神経細胞モデルのアナログ集積回路化”, 第 23 回日本神経科学大会・第 10 回日本神経回路学会大会 合同大会, 抄録集, O-210, p301, 2000.

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.6 $\mu$ m 3.8mm 角 チップ種別：イメージセンサ/スマートセンサ



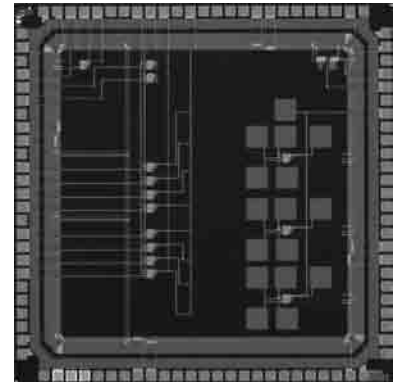
## 1T2C 型強誘電体メモリ用周辺回路の設計と TEG 試作

東京工業大学フロンティア創造共同研究センター 山本 修一郎, 平山 智久, 石原 宏

概要：強誘電体ゲート FET を用いた 1T2C 型強誘電体メモリ [1] に用いる周辺回路の設計を行い、TEG の試作を行なった。1T2C 型強誘電体メモリの動作には書き込み回路、読み出し回路、コントローラが必要となる。書き込みにはデータ破壊を防ぐために複数電圧を使用しなければならない。そこで、必要となる回路のうちセンスアンプ、定電圧発生回路について TEG を作製した。センスアンプはカレントミラー型の構成とした。定電圧発生回路は参照電圧発生にポリシリコン抵抗を用いた。測定の結果、定電圧発生回路においては、電源電圧 5V 供給時にほぼ設計通りの 1.7V および 3.3V を得ることが出来た。

参考文献：[1] H. Ishiware, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage,” Ext. Abst. Int. Conf. SSDM (1998) pp. 222-223.

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.6 $\mu$ m 3.8mm 角 チップ種別：TEG (特性評価回路など)



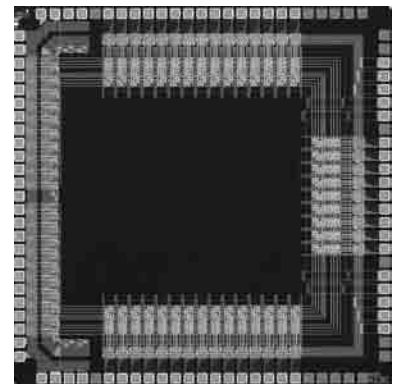
## Bluetooth 用ベースバンド復調回路

九州大学大学院システム情報科学府 中井 貴之

九州大学工学部電気情報工学科 山崎 秀哉

概要：近年、デジタル機器の進化、普及に伴い次世代標準ワイヤレス技術として Bluetooth が注目されている。本チップはこの Bluetooth システムに適用できるベースバンド復調器をつくることを目的として設計を行った。設計したチップは flash 型 ADC, アークタンジェント・エンコーダ, 微分器 0/1 判定器から構成されている。flash 型 ADC は回路規模が大きくなるという問題があるが ADC のエンコーダをアークタンジェント・エンコーダに組み込み、ADC の比較器出力から直接位相抽出を行うような方法を提案し、回路規模縮小を図った。またこのエンコーダはアークタンジェント演算の際 ROM を用いず、これにより回路規模縮小、低消費電力化、回路の高速化を実現した。

設計期間：7 人月以上, 8 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.6 $\mu$ m 3.8mm 角 チップ種別：通信 (RF 回路, ATM など)

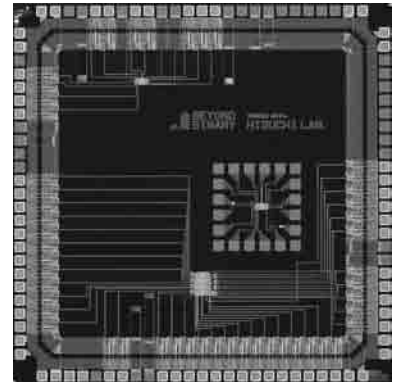


## 単位電流可変方式 2 進 SD 数全加算器の設計

東北大学大学院情報科学研究科 齋藤 雄哉, 青木 孝文, 樋口 龍雄

**概要:** 単位電流可変方式の多値集積回路を設計するにあたり, その基本回路となる 2 進 SD 数全加算器 (SDFA) が実際のチップではどのような誤差を出力に含むかを知ることは重要である. 今回の設計では単位電流可変方式 2 進 SDFA の実際の動作確認と誤差を測定する目的で設計し, チップには電流信号を入出力できるようにした. 今回試作したチップに実際に単位電流を変化させ 10uA, 20uA, 30uA の単位電流の測定を行った. それぞれの単位電流ごと入力電流値を変化させたときの出力電流値を測定した. トランジスタの製造誤差による影響が心配されたが, ほぼシミュレーション通りの結果が得られた.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6μm 3.8mm 角 **チップ種別:** ニューテクノロジー

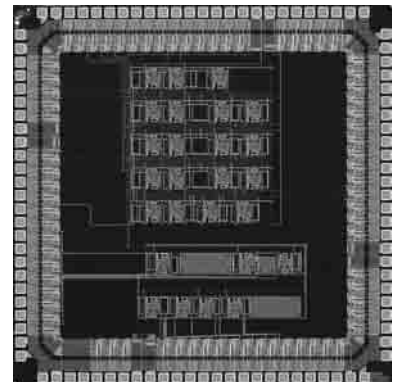


## 初歩的なアナログ集積回路 (5 次 Low Pass Filter) の試作

広島工業大学工学部 田中 武, 大村 道郎, 中村 正孝

**概要:** はじめに 本学では, 平成 10 年度から特色のある教育研究の推進として「大規模集積回路関連設計・プロセス工学教育支援システム」の開発を行なっております. 現在まで, デジタル集積回路の試作を行なってきました. 今回は, アナログ集積回路のレイアウト設計を理解し, SX9000, Pspice などのレイアウト関連の設計ツールの利用に馴染むために, 大学院生および学部学生が, 初歩的なアナログ集積回路 (5 次 Low Pass Filter) の試作を行った. 試作したチップ 最初に, 初歩的なアナログ集積回路回路 (5 次 Low Pass Filter) の基本素子であるオペアンプの基本設計を MOS トランジスタ等を用いて行った. このオペアンプは, 8 個の MOS トランジスタ, 2 個の抵抗, 1 つの容量で構成されている. このオペアンプを基本素子として 19 個用いて, 5 次 LPF フィルタの回路の設計を行なった.

**設計期間:** 1 人月以上, 2 人月未満, **設計ツール:** SII 社 SX9000, Cadence 社 Dracula DRC, PSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6μm 3.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

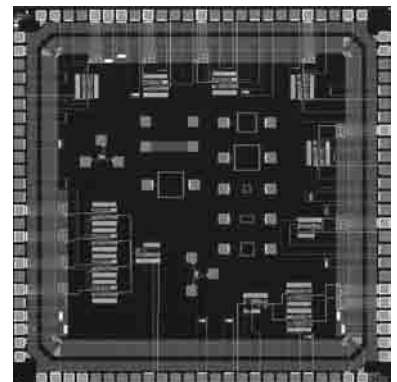


## 光インタフェース LSI 用の試作

金沢大学工学部 中村 公亮, 深山 正幸, 吉本 雅彦

**概要:** 光インタフェース受光回路は, フォトダイオード, プリアンプ, メインアンプ (加算器), リミッタアンプから構成される. 今回, フォトダイオード, プリアンプの他に, 内部の回路構成が簡単で特性の良い加算回路を考案し, 試作した. また, CMOS インバータ型のリミッタアンプを試作した. そして, これらを接続して構成した光受信回路を試作した. このときフォトダイオードの大きさ, 個数, メインアンプの種類を変えて 5 種類の光受信回路を試作した. 評価の結果, フォトダイオードを 2 分割し, プリアンプをフォールドバックカスコード型とすることにより 100Mbps の速度と雑音性能を同時に満たす光受信回路が実現できることが分かった.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6μm 3.8mm 角 **チップ種別:** TEG (特性評価回路など)



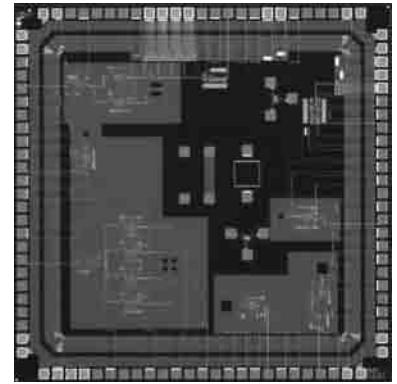


## 光インタフェース LSI 用の試作

金沢大学工学部 中村 公亮, 深山 正幸, 吉本 雅彦

**概要:** 光インタフェース受光回路は, フォトダイオード, プリアンプ, メインアンプ (加算器), リミッタアンプから構成される. 今回, フォトダイオード, プリアンプの他に, 内部の回路構成が簡単で特性の良い加算回路を考案し, 試作した. また, CMOS インバータ型のリミッタアンプを試作した. そして, これらを接続して構成した光受信回路を試作した. このときフォトダイオードの大きさ, 個数, メインアンプの種類を変えて5種類の光受信回路を試作した. 評価の結果, フォトダイオードを2分割し, プリアンプをフォールドバックカスケード型とすることにより 100Mbps の速度と雑音性能を同時に満たす光受信回路が実現できることが分かった.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)

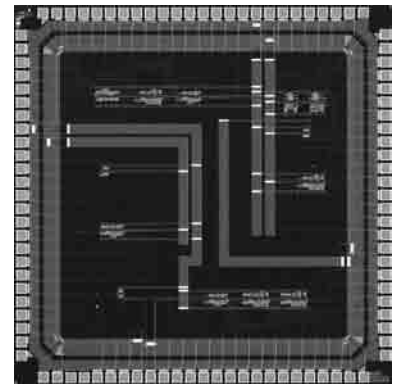


## CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 電流モード信号処理の基本構成素子である第二世代カレント・コンペア (CC II) は, 電流モード信号処理における演算増幅器として位置付けられる. 今回の CC II の設計では, 電圧入力に差動段, 定電圧源から成るバイアス段, 電流入力に AB 級プッシュプル段を用いた構成とし, 電圧入力端子, 電流入力端子, 電流出力端子の三端子と, バイアス電流のための電流入力端子を外部入出力端子とした. シミュレーションにより得られた CC II の性能が, 実際の IC でも得られるかどうかを確認するため設計した. Hspice によるシミュレーション結果と, 試作した IC の測定結果が, ほぼ一致する結果が得られた.

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986 **設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

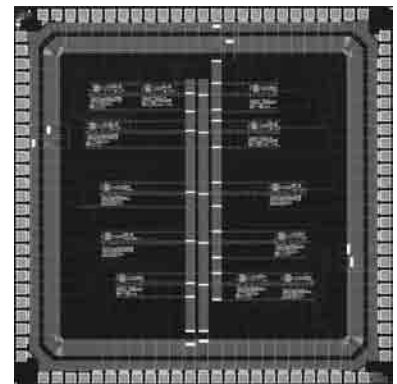


## 低入カインピーダンス AB 級 CMOS カレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 今までの第二世代カレント・コンペア (CC II) は, 電流入力端子におけるインピーダンスが高く, 電流入力端子と電圧入力端子間のオフセット電圧も大きいために理想的な伝達特性が得られないという問題点がある. ここで今回の CC II は, 電圧入力にフィードバック構成を用いた差動増幅器 (folded cascode op-amp), 定電流源から成るバイアス段, 電流入力に AB 級プッシュプル段, そして位相補償部で構成した. 外部入出力端子は, 電圧入力端子, 電流入力端子, 電流出力端子の三端子と, バイアス電流のための電流入力端子, バイアス電圧のための電圧入力端子である. シミュレーションにより得られたカレント・コンペアの性能が, 実際の IC でも得られるかどうかを確認するため試作した.

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986 **設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



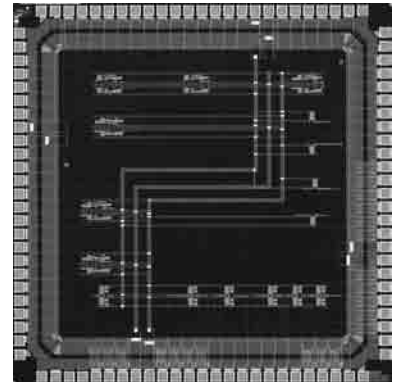
## Rail-to-Rail AB級CMOSカレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**概要:** 電流モード信号処理の特徴は、低電圧動作で広いダイナミックレンジが得られることにある。したがって、その基本構成素子としてのCC IIにもRail-to-Railの入出力電圧範囲が要求される。さらに入出力すべてにAB級Rail-to-Railを用いることで、低電源電圧動作時においても、できる限り大きなS/N比を得ることができる構成となっている。ここで今回のCC IIは、電圧入力にRail-to-Railで使用するための相補型Nch, Pch差動入力段、電流入力にAB級プッシュプル段、電流ミラー、定電流源、及び位相補償部で構成した。外部入出力端子は、電圧入力端子、電流入力端子、電流出力端子の三端子と、バイアス電流のための電流入力端子である。シミュレーションにより得られたカレント・コンペアの性能が、実際のICでも得られるかどうかを確認するため試作した。

**参考文献:** Roubik Gregorian, Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 3.8mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



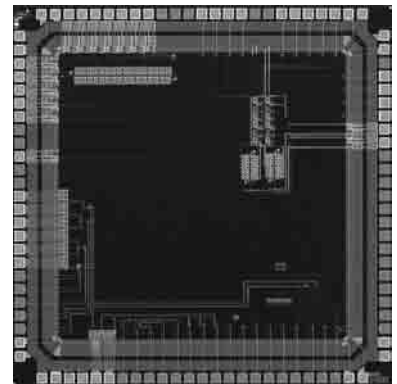
## シフトレジスタおよび電流-電圧変換回路のTEG試作

豊橋技術科学大学工学部 高崎 哲, Kariyawasam Amal Bandula, 米津 宏雄

**概要:** 我々は、網膜の視覚情報処理に学び、物体の輪郭情報を形成するエッジ検出ネットワークの提案とその集積回路化を試みてきた [1]。現在、我々は、このネットワークの出力信号を外部的に取り出すため、シフトレジスタによるデータのサンプリングを検討している。また、このため、各画素から出力される電流信号を電圧信号に変換する回路が必要となる。そこで、今回の試作では、上述した2つの回路特性を評価するため、Dフリップフロップにより構成された4段のシフトレジスタとキャパシタを用いた電流-電圧変換回路を試作し、その動作を確認することを目的とした。

**参考文献:** [1] 高崎, 大谷, 山田, 西尾, 古川, 米津: “広ダイナミックレンジを有するエッジ検出機構の電子回路化”, 日本神経回路学会第11回全国大会講演論文集, pp. 137-138, 2001.

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 3.8mm 角 **チップ種別:** TEG (特性評価回路など)



## 電荷逐次積分VLSIプロトタイプL

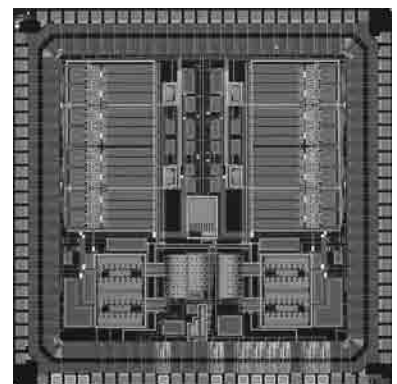
長崎総合科学大学大学院工学研究科 酒井 雅司

長崎総合科学大学工学部 田中 義人

**概要:** 東京大学宇宙線研究所を中心として進められているテレスコープアレイ実験計画用のアナログ・デジタル混載LSIの開発を行った。昨年度まで開発したものの変形版プロトタイプである。本チップは、逐次電荷積分回路を4ch搭載している。レイアウト設計では、4chのパラツキを抑えるための2chずつ左右対称に配置し、信号の配線距離も同じになるように心がけて設計した。また、ノイズ対策としてクロックラインのシールド、アナログ、デジタルブロック毎の電源ラインの分離に重点をおいて設計をした。この試作では、フェイズマージンの大きなOPアンプを使用している。量産のための評価用チップの一つとしてとして試作した。

**参考文献:** 酒井雅司, “逐次電荷積分LSIの試作・評価”, 1999年度電子情報通信学会九州支部学生会講演論文集 (1999).

**設計期間:** 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.6 $\mu$ m 3.8mm 角 **チップ種別:** アナデジ混載



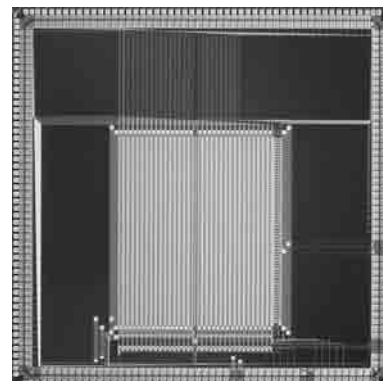
## フローティングゲート MOS 技術を用いた柔軟なアナログ連想回路

東京大学工学系研究科 山崎 俊彦

東京大学新領域創成科学研究科 柴田 直

**概要：** Principal Axes Projection (PAP) 方式との連携を目指した柔軟なアナログ連想回路を開発した。回路中では相関演算（類似度演算）のテンプレート値、要素毎の重み付け、類似度判定の厳密性を柔軟に、実時間で変化させることができる。これまで16次元、15ベクトルの規模を持つテスト回路によって手書き文字の認識、重なり画像の分離・分類、医療用 X 線画像解析など様々な分野に応用できることが実験により立証されている。また、演算に sub-threshold 領域を用いることにより、超低消費電力な演算も実現できる。本設計ではそのような実験結果をふまえて64次元、64ベクトルの比較的規模の大きなアナログ連想回路を設計した。次元数、記憶できるベクトルの数が増えたことによりさらに規模の大きな実験を行うことができる。このチップについては現在評価用のボードを試作中である。

**参考文献：** T. Yamasaki and T. Shibata, "Analog Soft-Pattern-Matching Classifier Using Floating-Gate MOS Technology," to be published in Advances in Neural Information Processing Systems 14. **設計期間：** 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数：** 100,000 以上 **試作ラン：** ローム CMOS 0.6 $\mu$ m 8.9mm 角 **チップ種別：** アナログ (PLL, A-D/DC-DC コンバータなど)



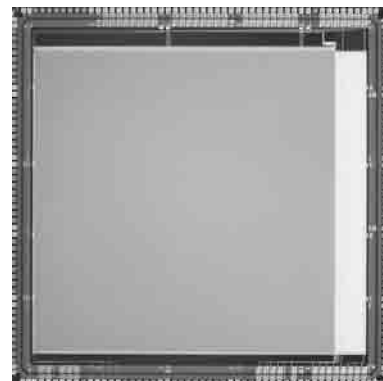
## 行並列処理による高速ポジションセンサ

東京大学工学系研究科 大池 祐輔, 池田 誠

東京大学大規模集積システム設計教育研究センター (VDEC) 浅田 邦博

**概要：** 光投影法による三次元計測では、投射した光を走査しながら多くのフレームを取得しなければいけない。このため、リアルタイム三次元計測には非常に高速な投射光を検出し、その位置を取得しなければならない。そこで、投射したシート状の光を行並列に探索し、高速に検出された有意画素のアドレスをエンコードするスマートセンサを提案、試作した。画素は18トランジスタとフォトダイオードで構成され、探索信号伝搬回路と行並列エンコード回路を含む。画素サイズは27 $\mu$ m  $\times$  27 $\mu$ m であり、開口率は21.36%であった。試作したセンサは256  $\times$  256画素有し、シミュレーションでは1本のシート光の中心のアドレスを1080nsで取得可能であり、複数サンプリングによる高精度化と三次元動画撮像に十分な高フレームレートを実現できる。

**設計期間：** 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula DRC **トランジスタ数：** 100,000 以上 **試作ラン：** ローム CMOS 0.6 $\mu$ m 8.9mm 角 **チップ種別：** イメージセンサ/スマートセンサ



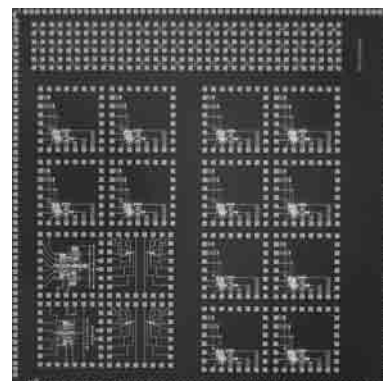
## 低消費電力化を志向したデマルチプレクサ回路の特性評価用 TEG の試作

東北大学大学院工学研究科 吉田 樹誉満, 須永 和久

東北大学電気通信研究所 遠藤 哲郎, 舛岡 富士雄

**概要：** 高速化・高集積化に伴う集積回路の消費電力の増加は、回路の性能向上の妨げとなる要因のひとつである。通常集積回路で最も多く用いられている CMOS ロジック回路の消費電力は、動作周波数の増加に伴い増加する。本チップの試作では、高速な動作が要求される回路を消費電力が動作周波数に依存しないカレントモードロジックで構成した。本試作は、カレントモードロジックが理論通りに低消費電力化に有効であることを検証することが目的である。トランジスタモデルと実際のトランジスタの電気的特性の差を調べるための TEG も実装している。テストによる測定は行っていない。

**設計期間：** 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数：** 100 以上, 1,000 未満 **試作ラン：** ローム CMOS 0.6 $\mu$ m 8.9mm 角 **チップ種別：** TEG (特性評価回路など)

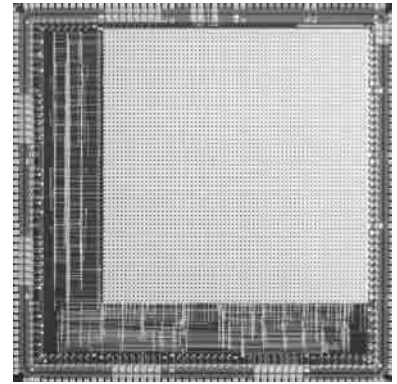




## 中心窩構造有する画像処理チップ

東北大学工学研究科 中川 源洋

**概要：**人の視覚情報処理システムでは、網膜の中心に解像度の高い領域（中心窩）を持ち、周辺部分では解像度を落とすことで、全体のデータ量を抑えている。また周辺視野内のデータ量不足に関しては、サッカードと呼ばれる高速の眼球運動によって、注視したい領域を中心窩で捉え、画像を再構成することで補っている。しかし、そのような高速な眼球運動を機械的に実現することは困難である為、電氣的に中心窩の位置を移動できる画像処理チップを設計した。本チップは、入力最大の値を検出し、最大となる画素の位置情報を出力する。出力後は、中心窩からの距離に比例する潜伏期に入る。これにより電氣的な中心窩構造を実現すると共に、この潜伏期に入ったピクセルは、潜伏期が終わるまで最大の検出から除かれる。つまり、長い潜伏期を持つ周辺の画素は発火頻度を減らすことができるため、全体のデータ量を減らすことが可能となる。そして、単位時間あたりの発火数をカウントすることで、入力画像を得られる。カウントの際に、潜伏時間を考慮して、入力画像を再構成する。シミュレーションにおいて、通常の操作と比べて約 60% のデータ削減を確認した。本チップはフォトセンサ、Winner-Take-All 回路、遅延回路、抵抗回路網で構成され、画素数は 64 × 64 で、現在評価中である。



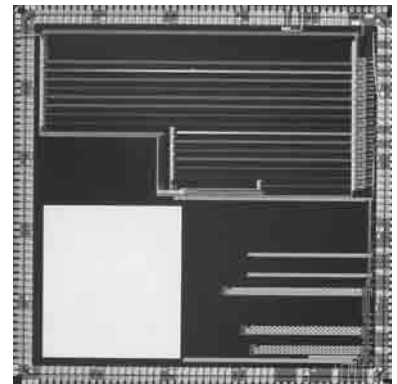
**設計期間：**4 人月以上、5 人月未満 **設計ツール：**Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上、10,000 未満 **試作ラン：**ローム CMOS 0.6μm 8.9mm 角 **チップ種別：**イメージセンサ/スマートセンサ

## 高速レベル変換回路

東京大学生産技術研究所 神田 浩一, 山田 大祐, 稲垣 賢一, 桜井 貴康

**概要：**一つのチップの内部で動的（又は静的）に複数種類の電源電圧を用いることで低電力化を達成する様々な手法が既に提案されている。従来の PMOS クロスカプルを用いたレベル変換回路では遅延が大きという難点があった。また、低電圧化の流れの中で幅広い動作マージンを確保することが難しくなっており、この問題を解決する為の新しい回路を考案し、設計評価を行った。従来のものに比べて遅延は半分以下に収まる事が測定によって確かめられた。またこれとは別に、配線特性測定パターンも作りこんであり、LSI 内配線の特性を TDR 法的な手法で求めることができる。観測波形より配線のインダクタンス、キャパシタンス、抵抗、誘電損の各パラメータを抽出する。

**設計期間：**0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10,000 以上、100,000 未満 **試作ラン：**ローム CMOS 0.6μm 8.9mm 角 **チップ種別：**TEG（特性評価回路など）



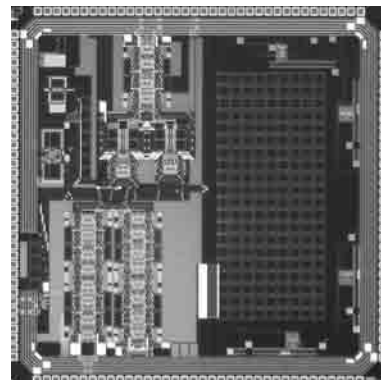
# 平成12年度 第2回 ローム0.35 $\mu$ m チップ試作 (R035002)

## Gm-C方式を用いた8次バンドパスフィルタ

広島大学大学院先端物質科学研究科 村坂 佳隆, 岩田 穆

**概要:** 移動体無線通信 LSI において, IF 部及び Baseband 部の回路の CMOS プロセスによる 1 チップ化が望まれている. ここで, IF フィルタの回路方式として Gm-C フィルタ方式が注目されている. 本試作では, ベッセル型をベースにカスタマイズした, 8 次バンドパスフィルタ (BPF) を設計した. 中心周波数 10MHz 前後, Q 値が 9 ~ 15 の二次 BPF を 4 個連続接続し回路を構成している. また, この回路方式では, MOS トランジスタの特性や抵抗, 容量値の製造時の誤差によって特性が大きく変動するために, トリミング処理や自動調整回路が必須となる. 本試作では対策として自動調整回路を搭載している. 自動調整回路により, フィルタの中心周波数及び Q 値の制御を行い, 特性が仕様値に入るように補正を行っている. シミュレーションでは中心周波数: 10MHz, 通過帯域: 700kHz を得た.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



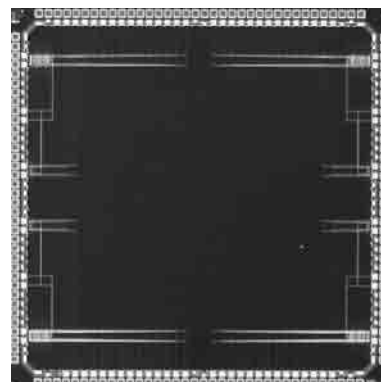
## 電流モード連続時間波形整形フィルタ

熊本大学工学部 佐々木 守

**概要:** ゲート接地電流ミラーを広帯域の 2 次低域通過特性で近似できることを利用して, それらを縦続接続することで高次低域通過フィルタが実現できることを報告した. 今回は, リードチャネル IC などの波形整形フィルタへの応用を考えて, ゲート接地電流ミラーの伝達関数に零点を導入する方法を考案し, ゲインブースト機能を備えた高次フィルタの設計を可能にした. 具体的に, 遮断周波数 400MHz 2 次ブースト 8 次位相線形フィルタを設計, 試作した. HSPICE シミュレーションによって, ゲイン偏差 < 0.14dB, 群遅延偏差 < 1.5%, THD (400MHz) < 0.5%, 消費電力 45mW, チップ占有面積 0.05mm  $\times$  mm の性能を確認した. これは, 800Mb/s のベースバンド デジタル伝送システムの波形整形フィルタとして実用可能と考える.

**参考文献:** 佐々木, “ブースト機能を備えた電流モード連続時間波形整形フィルタ”, ICD, Vol. 101, No. 281, pp. 39-45 (2001)

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

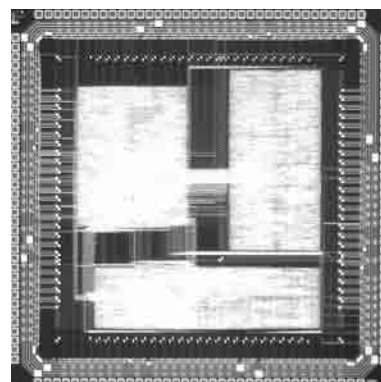


## IP 用 R3000 コア・プロセッサ

広島市立大学大学院情報科学研究科 弘中 哲夫, 佐々木 敬泰, 西村 直己

**概要:** 近年, LSI の微細化が進み, 複数の CPU やキャッシュメモリ, 主記憶等を混載した SoC (System on Chip) の実現が可能となってきた. SoC の設計期間短縮に IP は重要であるが, しかしながら, 現在流通している IP は高価であり, またハードマクロで提供されていることが多く, 内部構成を自由に変更することが困難である. そこで, アーキテクチャ研究者/設計者が内部構成を自由に変更でき, かつ無償で使用できる IP として, 32 ビット整数乗除算器, レジスタファイル, 連想メモリによる TLB, CPU コア及び, それらを組み合わせた R3000 CPU コアを, Verilog-HDL を用いて設計し, 試作した. プロセッサは, 32 ビット 5 段パイプラインの RISC 型プロセッサで, 整数乗除算器を実装している. TLB は 32 エントリであり, MIPS R3000 の TLB 構成のサブセットとなっている. 試作したチップのゲート規模は, 32 ビット整数乗除算器 10,485 ゲート, レジスタファイル 20,035 ゲート, TLB 51,205 ゲート, CPU 23,077 ゲートで合計 104,802 ゲートとなった. 試作したチップの評価は今後行う予定である.

**設計期間:** 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** マイクロプロセッサ

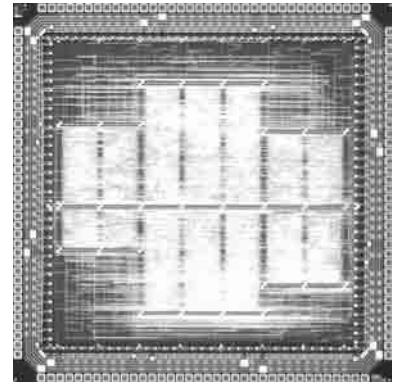


## 浮動小数点演算器 IP の評価用チップ

広島市立大学情報科学部 河野 陽一, 松永 清香, 越智 裕之

**概要:** 浮動小数点演算器は実数の演算に不可欠であり, グラフィックエンジンや音声処理など多くの研究で必要とされている. しかし浮動小数点演算器の設計は煩雑であり, 研究目的の試作で自由に利用できる浮動小数点演算器 IP の需要が高まっている. 本研究では IP としての提供を目的として浮動小数点演算器の設計を行い, その評価用チップを試作した. 本チップは四則演算に必要な浮動小数点加減算器および浮動小数点乗算器各 1 種類 (目標動作周波数 100MHz でパイプライン動作するもの) と, 浮動小数点除算器 4 種類 (目標動作周波数が 50MHz のものと 100MHz のものそれぞれについてパイプライン動作するものとししないもの) を搭載しており, いずれも IEEE-754 規格に準拠している.

**設計期間:** 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

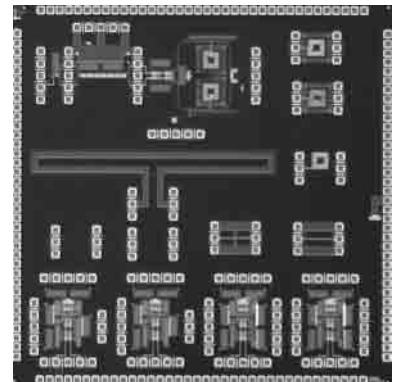


## 短距離無線通信用 RF 回路

大阪大学大学院工学研究科 中村 光男, 島 秀樹, 松岡 俊匡, 谷口 研二

**概要:** チップ間無線データ通信インタフェース回路においては, その回路規模がコアの回路ブロックに比べて極めて小型であることが求められる. 無線通信システムにおいて重要な回路ブロックの 1 つとして, 位相雑音が小さい LC 発振回路が多用される. しかし, オン・チップ・インダクタを用いた LC 発振回路を用いると, 占有面積が大きくなる欠点がある. チップ間無線データ通信インタフェース回路では, 小面積化が要求される一方, 短距離無線通信のため, 携帯電話等に比べて, 位相雑音等の仕様をより軽減することが可能となる. 以上の事から, チップ間無線データ通信インタフェース用に回路規模の小型化を目的とした電圧制御発振回路として CMOS 移相回路の試作を行った. さらにチップ間無線通信用に試作したフォールデッド・ダイポールアンテナ, RF 基本要素技術として高周波特性を評価するためのスパイラルインダクタを搭載した. 他に, ダブルチューニング方式 LC 発振回路及び分周回路を搭載した.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

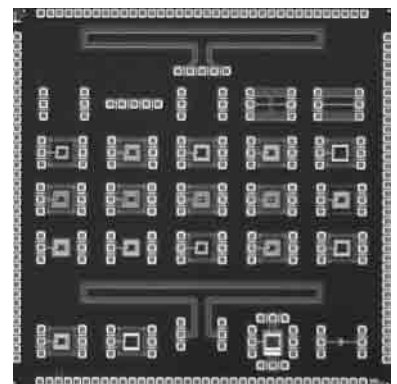


## 受動素子の高周波特性評価用 TEG

大阪大学工学研究科 島 秀樹, 松岡 俊匡, 谷口 研二

**概要:** チップ間無線通信でキーとなる受動素子の高周波特性評価を目的とした TEG を試作した. 具体的には, オンチップアンテナ及びスパイラルインダクタである. アンテナは全長 3mm のフォールデッドダイポールアンテナを採用した. ダイポールアンテナと比べると, 放射に寄与する電流が倍になり, 大きな放射抵抗を得る事ができる. インダクタは, 単層のスパイラルインダクタと積層したスパイラルインダクタの 2 種類について試作した. これらは, インダクタの自己共振特性が評価できるように設計したものと, 実際に回路に組み込んだインダクタが期待した特性を示すか評価できるように設計したものである (注: 回路は他のチップに試作した). 積層したインダクタは, 単層のインダクタと比較して少ない面積で大きなインダクタンスを得る事ができるメリットがあり, 回路の小型化に利用できる.

**設計期間:** 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)





## アダマール変換機能を有するイメージセンサ回路の設計

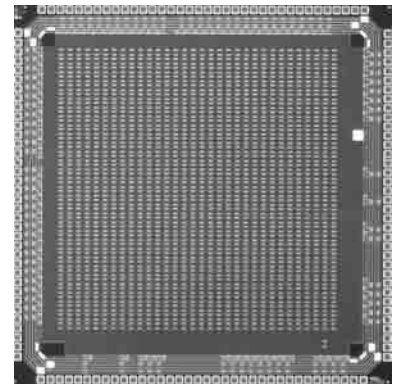
広島大学大学院工学研究科 片山 光亮

広島大学大学院先端物質科学研究科 岩田 穆, 森江 隆, 永田 真

**概要:** CMOS イメージセンサは通常の CMOS プロセスで構成可能なことからアナログ・デジタル回路と組み合わせた機能イメージセンサが報告されている。我々は、直交変換の1つであり、画像圧縮や特徴抽出に有効なアダマール変換を回路化することでイメージセンサに新たな機能を付加した。前回の  $64 \times 64$  ピクセルを搭載した試作チップの測定結果をもとに、今回各ピクセル回路を見直すことで  $256 \times 256$  ピクセルを搭載可能となった。各ピクセルでは光強度に応じた電流がアダマール基底により分流され、共通線を通じて加算される。加算されたアナログ値はアダマール係数なので簡易 AD 変換器をとおしてデジタル値としてチップから出力される。現在試作チップ測定のための治具を作成中である。今後オンチップアダマール変換イメージセンサによる画像変換システムを構築し、本回路がシステムの小規模化に寄与することを目指す予定である。

**参考文献:** 片山他, アダマール変換機能を有するイメージセンサ回路の設計, p. 148, 2001 年 VDEC 年報 (2001)。

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ

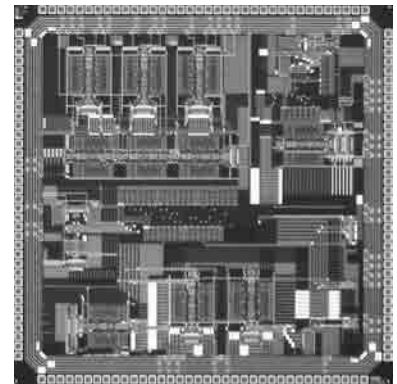


## IF 用 Gm-C フィルタの設計

広島大学大学院先端物質科学研究科 花嶋 直之, 岩田 穆

**概要:** 現在、移動体無線機の IF 回路において、IF フィルタは主に SAW フィルタや誘電体フィルタが使用されている。IF 回路をワンチップ化するためには、IF フィルタを LSI 化する必要がある。IF フィルタは、帯域が狭いため周波数特性において高い精度が要求される。IF フィルタを LSI 化する回路方式としては、高速領域動作に適している Gm-C フィルタ方式が注目されている。Gm-C フィルタ方式では、自己調整回路が必要となる。今回自動制御に Master-Slave 制御法を用いた。測定の結果、2% の中心周波数ずれが存在した。またそのずれは、ランダムに分布する。この 2% のずれは、MasterFilter と SlaveFilter の 2 つの同じ回路の特性ずれによるものであることが分かった。中心周波数制御精度 2% では、450kHz の帯域幅 10kHz のような狭帯域フィルタの制御法としては採用できない。今回、6thBPF を構成しました。この 6thBPF の各中心周波数は、同電圧で 5kHz 離れにトランジスタのゲート幅によって制御したが、バラツキにより正確には制御されなかった。電圧を個々に調節することによってフラットな帯域を持つ、6thBPF が実現できた。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

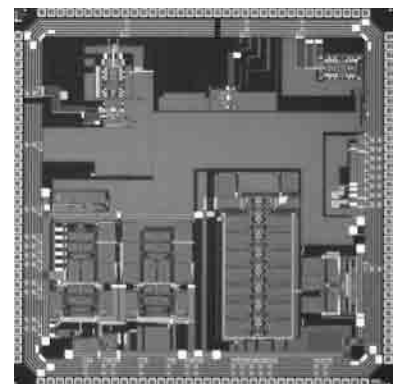


## IF システム LSI 及び ADC モジュレータの設計

広島大学大学院先端物質科学研究科 吉田 和史, 小川 卓臣, 岩田 穆

**概要:** 無線通信端末において、受信機に要求される電圧利得の多くは周波数の低い IF 帯に割り振られる。PI/4QPSK のような位相・振幅いずれにも情報をもつ変調方式を高精度で実現するには C/N 特性に優れたローカル発振器、フェーズリニアで利得を自動制御するアナログ増幅器が IF 帯で求められる。これらの IF システムのワンチップ化を目指し、VCOPLL, AGCAMP, 100kHz 帯で使用可能な DC カット回路を試作した。VCO に関しては 6.25kHz 離調で C/N=108dBc/Hz を実現し、AGCAMP に関しては NF=17dB を達成した。DC カット回路に関してはハイパスカットオフ周波数 155Hz を実現した。CCO 型 D $\Sigma$  ADC モジュレータで以下の変更を行い、0.35 $\mu$ m プロセスを用いて設計を行った。変更点は、DAC の逆相 2 入力信号のディレイ調整によるノイズ低減及びバッファ付加による DAC 用スイッチング回路の駆動力の増加、CCO 量子化器用カウンター回路のバッファ付加によるジッタ低減、電流制御型発信器出力のバッファ付加、である。本 ADC モジュレータで帯域付近の入力周波数を用いた場合、PowerMill によるシミュレーション値で 75dB の S/N 比を得ている。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

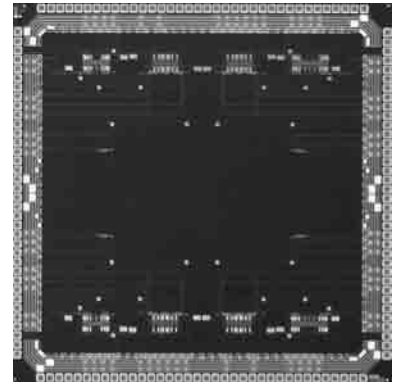


## 動的可変ネットワークを実現するための送受信回路の設計

広島大学大学院先端物質科学研究科 汐崎 充, 永田 真, 森江 隆, 岩田 穆

**概要：**感覚運動統合理論に基づくロボット制御に必要な脳型情報処理の実現を目指して、動的可変ネットワークを実現するアーキテクチャを提案している。これに用いる通信用チップ間では、少ないバスラインで複数のデータを同時に送る必要がある、拡散符号の割り当てを変えることでネットワークの接続が切り替わったようにみせられるといった点からCDMA方式による多重通信を考えている。今回の試作で、この通信用チップに組み込む送受信回路の部品であるチャージポンプ回路とミキサ回路の評価を行うつもりである。回路は内部の構成を少し変えたものをそれぞれ4つずつ作成した。単一チップの状態での測定した結果、外部クロック 200MHz による回路動作は確認できた。

**設計期間：**1 人月以上, 2 人月未満 **設計ツール：**SII 社 SX9000, Cadence 社 Dracula DRC **トランジスタ数：**10 以上, 100 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**その他

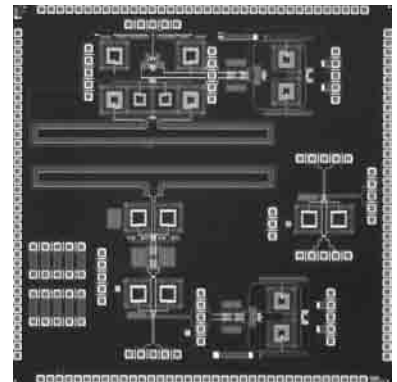


## 無線チップ間通信回路の試作 (1)

大阪大学大学院工学研究科 清水 由幸, 松岡 俊匡, 谷口 研二

**概要：**本チップでは、チップ間のデータ通信を無線で行なうインターフェース回路を試作している。RF周波数は2.4GHzとし、変復調方式はBPSKとした。送信回路は、アップコンバージョン・ミキサ、電圧制御発振回路 (VCO)、パワーアンプを含み、受信回路は、低雑音増幅回路 (LNA)、VCO、ダウンコンバージョン・ミキサ、ローパスフィルタから構成される。VCOにはLCタンク発振回路を用いている。各々に、チップ間データ通信用の微細アンテナを搭載している。同相ノイズ除去のため、送受信回路それぞれで差動信号を用いている。この回路をさらに小型化することにより、LSIのピン数を削減することが期待できる。他に、本回路で使用するアップコンバージョン・ミキサの評価用回路も搭載した。

**設計期間：**2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**通信 (RF 回路, ATM など)

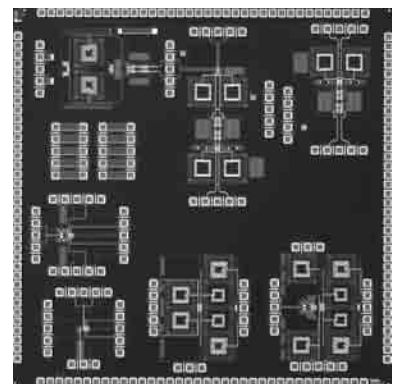


## 無線チップ間通信回路の試作 (2)

大阪大学大学院工学研究科 清水 由幸, 松岡 俊匡, 谷口 研二

**概要：**本チップでは、チップ間のデータ通信を無線で行なうインターフェース回路を試作している。RF周波数は2.4GHzとし、変復調方式はBPSKとした。送信回路は、アップコンバージョン・ミキサ、電圧制御発振回路 (VCO)、パワーアンプを含み、受信回路は、低雑音増幅回路 (LNA)、VCO、ダウンコンバージョン・ミキサ、ローパスフィルタから構成される。VCOにはLCタンク発振回路を用いている。本チップでは、回路のみの評価を行なうため、オンチップ・アンテナを搭載していない。同相ノイズ除去のため、送受信回路それぞれで差動信号を用いている。この回路をさらに小型化することにより、LSIのピン数を削減することが期待できる。他に、本回路で使用するダウンコンバージョン・ミキサ、パワーアンプ、LNAの評価用回路も搭載した。

**設計期間：**2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**通信 (RF 回路, ATM など)



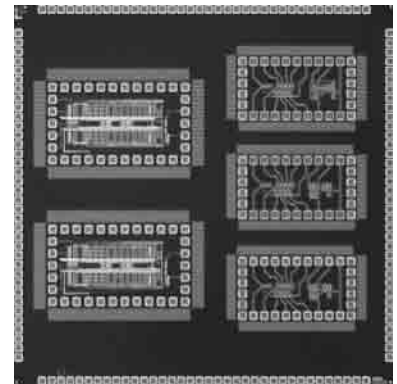


### ミリ波帯 PLL 用周波数分周器の設計

東京大学工学系研究科 山本 憲

東京大学新領域創成科学研究科 藤島 実

**概要：**PLL 回路において周波数分周器は最も高速動作する回路の1つであるので、PLL 回路の高速化を実現する上で非常に重要になってくる回路である。周波数分周器を高速化するためにはオンチップインダクタを用いた LC 共振によって周波数分周を行う方法が有効であるが、オンチップインダクタは消費する面積が大きいのという問題点がある。特に、PLL 回路では複数の周波数分周器を直列に接続して用いるが、そこで用いられる周波数分周器の動作周波数は段階的に低下していくため、オンチップインダクタが消費する面積は段階的に大きくなる。そこで、PLL 回路に用いる周波数分周器ではオンチップインダクタを用いない周波数分周器の高速化も重要になってくる。本設計では 0.35 [μm] のプロセスにおいて、30 [GHz] で動作するオンチップインダクタを用いた周波数分周器と 10 [GHz] で動作するオンチップインダクタを用いない周波数分周器を作成した。

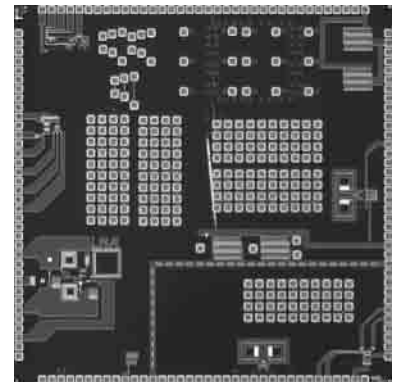


**設計期間：**0.5 人月以上，1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10 以上，100 未満 **試作ラン：**ローム CMOS 0.35μm 4.9mm 角 **チップ種別：**通信 (RF 回路, ATM など)

### 高周波受信回路用要素回路の試作

東京工業大学大学院理工学研究科 高木 茂孝, 藤井 信生

**概要：**本チップでは、BS チューナーの実現を目指し、1GHz 帯域で動作する受信回路部の構成を目的として、低雑音増幅回路 (LNA)、復調用 PLL、フィルタ、クランプ回路の試作を行っている。LNA は集積回路上にスパイラルインダクタを構成し、これを用いてインピーダンスマッチングを取り、1GHz 程度の信号を低雑音で増幅する。復調用 PLL の構成で用いたミキサは良く知られている Gilbert 型のミキサであり、電圧制御発振回路は電圧制御型マルチバイブレータを基に実現し、ダウンコンバージョン後の約 100MHz の信号を復調することを目的としている。フィルタは、Gm-C 積分器を基本として構成した、5MHz 程度の周波数を扱う画像信号処理用低域通過フィルタである。クランプ回路は、テレビ信号に含まれる 15Hz の三角波を取り除くための回路である。

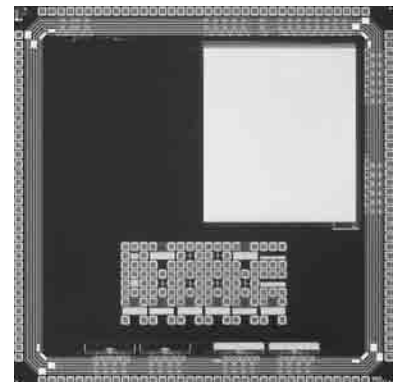


**設計期間：**10 人月以上 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数：**100 以上，1,000 未満 **試作ラン：**ローム CMOS 0.35μm 4.9mm 角 **チップ種別：**通信 (RF 回路, ATM など)

### 低振幅ビット線を用いた低消費電力 SRAM

東京大学生産技術研究所 服部 貞昭, 桜井 貴康

**概要：**SRAM の書き込み時の低消費電力化を目指した。従来は書き込み時に、配線容量やトランジスタの寄生容量のために大きな負荷容量をビット線をフルスイングさせていたのでビット線の充電に大きな電力を消費した。そこで、ビット線を低振幅にして書き込みを行う方法を考案した。具体的には、従来の6つのトランジスタから成る SRAM セルのドライバトランジスタのソース端に一つ NMOS スイッチを付加し、書き込み時にはこのスイッチを切ることで、低振幅ビット線による書き込みを実現した。1セルに1つの NMOS スイッチをつけるとレイアウト面積の増加が大きいのので、4セルで1つの NMOS スイッチを共有させてレイアウトした。この試作チップは、ビット線の負荷の充放電に要する電力を測定して、考案した書き込み方式を評価することが目的であるので、デコーダ、センスアンプ等の周辺回路はレイアウトせず、セルアレイ及びチャージ回路、入出力バッファのみをレイアウトした。



**参考文献：**Kenneth W. Mai, Toshihiko Mori, Bharadwaj S. Amrutur, Ron Ho, Bennett Wilburn, Mark, A. Horowitz, Isao Fukushi, Tetsuo Izawa, and Shin Mitarai, "Low-Power SRAM Design Using Half-Swing Pulse-Mode Techniques", IEEE J. Solid-State Circuits, vol. 33, No. 11, pp. 1659-1671, Nov., 1998

**設計期間：**0.1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35μm 4.9mm 角 **チップ種別：**メモリ

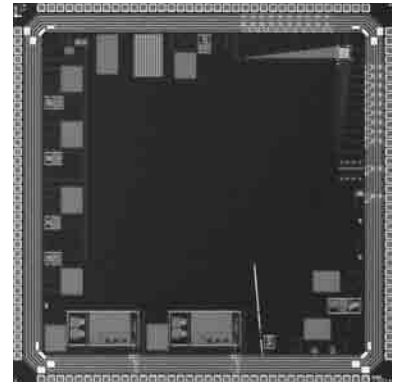


## アナログ能動素子 TEG

長崎総合科学大学工学部 田中 義人, 増田 隆志, 山城 正史  
 長崎総合科学大学大学院工学研究科 清山 浩司, 田中 一成

**概要:** アナログ要素回路の中で最も有用な演算増幅器 (Single-end OPamp, Fully Differential OPamp) を中心とし, ヒステリシスコンパレータ, スイッチト・キャパシタフィルタ (SFC), 及び SCF に使用する分周器の試作を行った. OPamp は, 低オフセット電圧, 及び回路毎のオフセット電圧ばらつきを少なくする設計を試みた. また, MOSFET のチャンネル長と OPamp のオフセット電圧の関係を探るために W, L 値を変化させた回路を数個搭載している. SCF は, バタワース型 LPF を Single-end OPamp を基にする SC 積分器で構成した. なお, 分周器は, テスト容易化設計を行っておりスキャンテスト端子を有している. 試作チップの測定結果, OPamp のオフセット電圧は, Hspice との間に約 1mV の誤差が出た. しかし, 回路より導いた計算値と比較するとその誤差が約 0.04mV と近似した. SCF は, 測定個数 20 個と少量のため標準偏差が大きいがほぼ期待通りの結果が得られ Hspice による動作確認の有効性が確認できた.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)

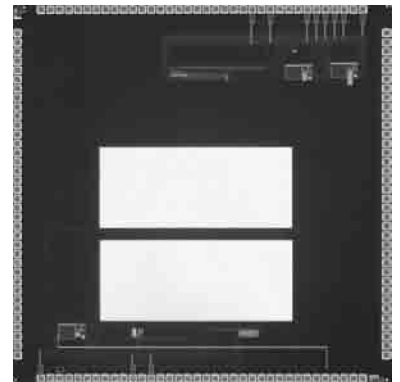


## PET 用プリアンプ

東京大学工学系研究科 Deng Zhi, 中村 亜由知  
 東京大学人工物工学研究センター 高橋 浩之

**概要:** 次世代 PET (Positron Emission Tomography) 用に low-noise, high-speed, 低消費電力の放射線検出器用プリアンプを開発した. 新しい PET においては検出器の数は 10 万個程度と非常に大きくなるため, 検出器に対応するフロントエンドエレクトロニクスの消費電力を $\sim 10$ mW に抑えなくてはならない. PET では対消滅によって生成した 2 本の  $\gamma$  線をとらえるために時間によるふるい分けを使っているため, 検出器数が多くなれば精度をあげるために高速化が必要になる. 結果, スピードと消費電力のトレードオフが大きな問題となった. Folded-cascode 回路を使用し, スピード・消費電力のマッチングを図った. また, 入力トランジスタのサイズの調整によりノイズの低減を狙う.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計期間:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



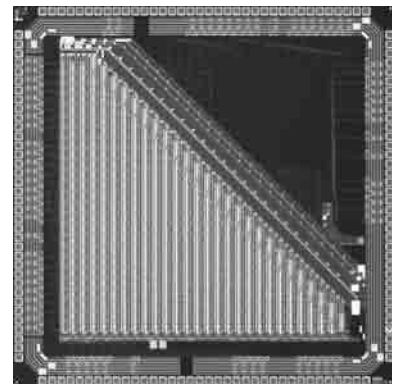
## カオスニューラルネットワーク回路 (3)

広島大学大学院先端物質科学研究科 伊井 慎一郎, 森江 隆, 永田 真, 岩田 穆

**概要:** 我々が提案している任意の非線形ダイナミカルシステムのためのパルス変調回路アーキテクチャ [1] により, 任意の非線形活性化関数を有し, カオスダイナミクスを実現する相互結合型ニューラルネットワーク回路を設計した. 25 ニューロンを組み込み, 信号の伝送に PWM 信号を, ニューロン内部の処理に PPM 信号を用いている. シナプス回路部分では, アナログ荷重をキャパシタに電荷として記憶し, 高精度にスイッチト電流源の値を制御することで積和演算を実行する. このチップは, 99 年に 0.6 $\mu$ m ルールで設計したものの, 0.35 $\mu$ m ルールでの改良・再設計版である.

**参考文献:** T. Morie, et al., NOLTA'98, pp. 447-450, 1998.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** ニューテクノロジー

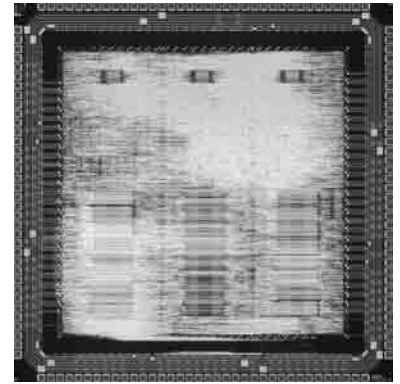


### SH-3 互換プロセッサ IP の試作

広島市立大学情報科学研究科 三谷 陽介, 弘中 哲夫  
広島大学ナノデバイス・システム研究センター 内田 裕志, Mattausch Hans Juergen,  
小出 哲士

概要: SoC (System on Chip) 設計における設計期間の短縮化, および効率化のために必要不可欠となっているプロセッサ IP の開発を行った. 我々の研究用プロセッサ IP は次のような特長を持つ. (1) 既存のソフトウェア開発環境が利用できるように, 広く普及している SH-3 命令セットを使用した. (2) プロセッサの回路面積を可能な限り小さくするため, アーキテクチャ的な工夫をした (ノンパイプライン方式, 内部メモリをシングルポートで設計など). (3) ソフトマクロおよびハードマクロを提供する予定であるので, 目的に応じて自由に IP の改造が可能である. テスタによる測定についてはまだ行っていない.

設計期間: 4 月以上, 5 月未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別: マイクロプロセッサ

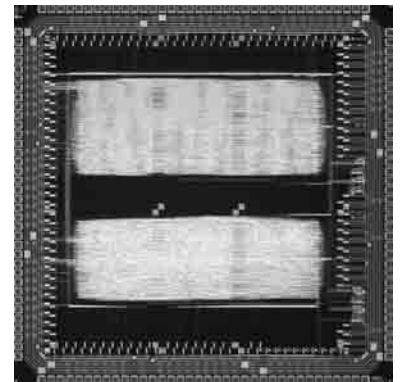


### 動き補償用 PE アレイ

京都大学情報学研究科 小林 和淑, 柴山 武英, 山口 準司, 小野寺 秀俊

概要: 動き補償用の PE アレイの試作を行った. LSI 上に 2 個の PE アレイを搭載した. 一つは通常の完全同期型, もうひとつはクロックをずらして, 電源ノイズの低減を図るための準同期型である. ロジックテスターによる測定の結果, 両方の PE アレイとも正常に動作していることを確認した. また, この LSI 上には, 電源ノイズ (IR ドロップ) を測定するための回路も搭載した. 測定の結果, IR ドロップ以外の成分は多いものの, 何とか IR ドロップらしきものが観測できた. この詳細は, CICC'03 で発表する予定である. 参考文献: [1] 柴山, 小林, 小野寺, “動きベクトル検出用準同期一次元 PE アレイの設計”, pp. 33-38, 電子情報通信学会技術研究報告 ICD2000-208 (2001).

設計期間: 1 月以上, 2 月未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別: アナログ/デジタル信号処理プロセッサ

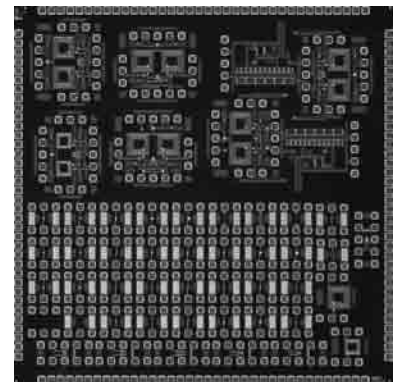


### 高周波帯域における素子特性評価 TEG

京都大学情報学研究科 井口 誠, 星野 洋昭, 小野寺 秀俊

概要: 本試作は, 高周波帯域における CMOS 基板上の素子特性を調べ, 基本特性パラメータを取得するためのものである. スパイラルインダクタと MOS の素子を設計した. RF 用プローバとネットワークアナライザを用いて S パラメータの測定を行なった. 20GHz までの測定を行なったが, 高周波部分についてはノイズの影響で高精度な測定が行なえなかった. スパイラルインダクタの測定値については, 等価回路へのモデリングを行った. また, S パラメータに対する応答曲面を求め最適設計値導出環境を構築した. 設計変数は半径, 線幅, 巻数とした. スパイラルインダクタの素子特性との比較のために, VCO 回路も合わせて試作した. VCO は, LC タンク型で発振周波数は 1.8GHz であった. 発振周波数のシミュレーションには Cadence 社の Analog Artist を用いた. 試作した回路についてスペクトルアナライザを用いて位相雑音等の特性を測定した. また, この VCO 回路を用いた PLL 回路を設計した. 設計した回路は, 各要素回路ごとに TEG として試作を行なった.

設計期間: 1 月以上, 2 月未満 設計ツール: Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数: 10 未満 試作ラン: ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別: TEG (特性評価回路など)

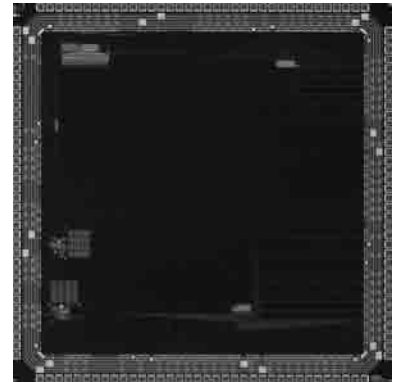


## 低消費電力アナログマッチトフィルタの試作

早稲田大学理工学部 佐々木 昌浩, 松本 隆  
早稲田大学理工学総合研究センター 坂井 丈泰

**概要：** Matched Filter は、携帯移動端末での採用が進みつつある DS-CDMA 方式で、拡散符号の同期捕捉のために必要であり、その構成法が多数発表されている。特に、携帯移動端末用 LSI に適用するために、消費電力とチップ面積の低減が重要な課題となっている。主な構成法としては、Digital Matched Filter があるが、単体での消費電力は低減されているものの、Matched Filter 以外にも受信信号を逐一精度良く量子化する為の高速・高精度 A/D コンバータが必要となり、消費電力やチップ面積の多くを占めている。今回は、高速・高精度 A/D コンバータや A/D 量子化ビット数×タップ数分のシフトレジスタを必要としない回路構成により低消費電力化・小面積化を可能にした、キャパシタ積和演算を用いた Analog Matched Filter の試作を行なった。

**設計期間：** 0.5 人月以上, 1 人月未満 **設計ツール：** Cadence 社 Virtuoso **トランジスタ数：** 1,000 以上, 10,000 未満 **試作ラン：** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：** 通信 (RF 回路, ATM など)

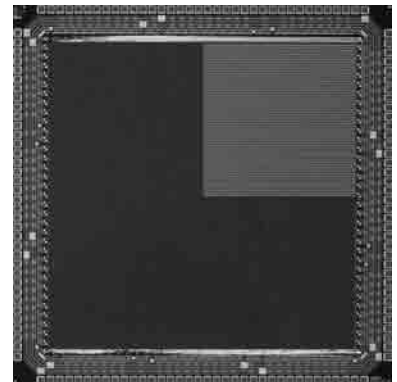


## サッカー検出用イメージセンサの設計

東北大学工学部 生居 謙, 河江 大輔, 栗野 浩之, 小柳 光正

**概要：** 眼球運動検査法として、汎用画像処理が可能となる CCD カメラ—信号処理系を用いた計測が幾つか提案されているが、シリアル伝送がボトルネックとなり、特に最大角速度が 600deg/sec にも及ぶ衝動性眼球運動 (サッカー) のリアルタイム検出が不可能であった。そこで、センサと同一チップ内に画像処理回路を集積化した新しいサッカー検出チップを試作した。本回路では、瞳孔画像の重心を瞳孔中心座標としその座標値を出力することをサッカー検出と定義した上で、機能を重心検出に特化しており、センサアレイ、メモリ、重心計算部からなる。センサは 2 次元マトリックス状に 64 × 64 個配列されており、入力画像データは光電変換後メモリに格納される。メモリはシフトレジスタで構成されており、列並列に画素データを取り出すことができる。重心計算部は面積計算部と 1 次モーメント計算部で構成されており、それぞれの計算を並列に行う。詳細な評価はまだ行っていないが、シミュレーションでは 260k フレーム/sec という性能を得ており、これはサッカーの実時間検出が充分可能な値となっている。

**設計期間：** 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Mentor 社 ICgraph, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 ICverify **トランジスタ数：** 100,000 以上 **試作ラン：** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：** イメージセンサ/スマートセンサ

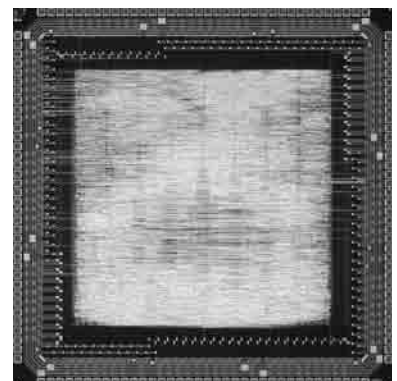


## 高性能ネットワーク・プロセッサ用 32 ビットマイクロプロセッサ

東北大学工学部 張 俊, 小野 泰三, 栗野 浩之, 小柳 光正

**概要：** トップダウン設計手法を用いて、高性能ネットワーク・プロセッサ用 32 ビットマイクロプロセッサを設計した。ネットワーク・プロセッサは、データのセグメンテーション分割・構成、中継処理、プロトコル認識と他のプロトコル専用ソフトウェアの実行を高速に行うことを目的としたチップである。チップは RISC アーキテクチャを採用して、パイプライン方式は 6 ステージとした。データパスとアドレスパスは 32 ビット、命令語長は 1 ワードで 32 ビットである。命令セットとして、算術演算 10 個、論理演算 15 個、シフト演算 4 個、ロード・ストア命令 12 個、分岐命令 12 個を実装した。クロック周波数は 100MHz であり、シミュレーションでは全ての論理演算及び算術演算などについて動作を確認した。

**設計期間：** 3 人月以上, 4 人月未満 **設計ツール：** Synopsys 社 design\_compiler, ModelSim, Avanti 社 Apollo, Cadence 社 Virtuoso, Mentor IC Station, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor IC Verify **トランジスタ数：** 100,000 以上 **試作ラン：** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：** マイクロプロセッサ





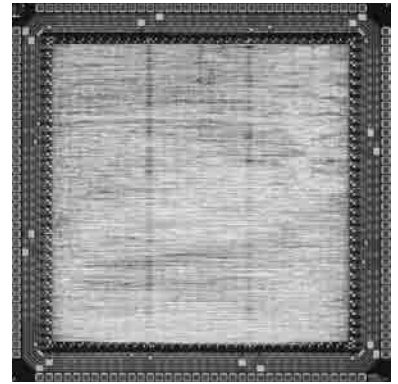
## ブロック暗号向けアクセラレータの設計

大阪大学大学院工学研究科 密山 幸男, ZALDY ANDALES, 古家 眞, 畠中 理英,  
白川 功

京都大学大学院情報学研究科 尾上 孝雄

概要：ブロック暗号の安全性と複雑性を向上させるため、暗号化処理の再帰構造を利用したさまざまな暗号モードが広く利用されている。しかし、これらの暗号モードではブロック暗号処理が全処理の大半を占めるため、その処理速度は適用するブロック暗号アルゴリズムに大きく依存する。そこで我々は、暗号強度を損なうことなくスループットを大きく向上させることのできる、ブロック暗号向け高速化暗号モードを考案した。本暗号モードは、ストリーム暗号の構造を採り、16回のブロック暗号処理によって64ブロックの平文に対して暗号処理を行うことにより処理速度の向上を実現する。本試作では、考案した暗号モードを用いたブロック暗号向けアクセラレータを設計した。本アクセラレータを用いることにより、暗号処理速度を4倍まで向上させることができ、最大で1.32Gbpsのスループットを得ることができる。

参考文献：Z. Andales, Y. Mitsuyama, T. Onoye, and I. Shirakawa: "System performance evaluation of high-speed mode for 128-bit block ciphers," Proc. 10th Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI 2001), pp. 332-339, Oct. 2001. 設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 design\_compiler, Avanti社 Apollo, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 $\mu$ m 4.9mm角 チップ種別：アナログ/デジタル信号処理棟プロセッサ

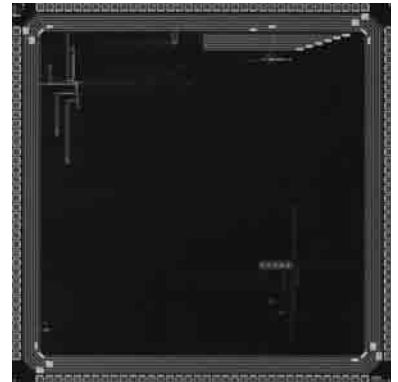


## 低消費電力多値 VLSI プロセッサのための基本集積回路の試作チップ

東北大学大学院情報科学研究科 池 司, 南 正樹, 望月 孝祥, 山口 通智, 羽生 貴弘,  
亀山 充隆

概要：低消費電力性を有する世界最高性能のデジタル集積回路の開発を目指し、以下の4個の基本ブロックからなるチップ試作を行った。(1) ソース結合形多値集積回路の試作：多値電流信号の線形加算を結線のみで実現できるためコンパクト性に優れると共に、微小信号振幅で高速スイッチング動作が可能で、フルソース結合形多値集積回路の基本動作を確認した。(2) ダイナミック論理に基づく低消費電力ソース結合形多値集積回路の試作：電流モード回路で問題となる定常電流をカットするため、ダイナミック論理を活用した低消費電力多値ソース結合形回路を考案し、その基本動作を確認した。(3) 適応的電源電圧制御に基づく低消費電力デジタル集積回路の試作：入力ビットパターンに依存して演算終了時間がばらつくことに着目して、電源電圧を適応的かつリアルタイムで制御する低電力集積回路を考案し、その基本動作を確認した。(4) 超並列モルフォロジー画像処理のための多値演算集積回路：ロジックインメモリアーキテクチャに基づく超並列モルフォロジー演算多値集積回路の動作を確認した。

参考文献：T. Ike, T. Hanyu and M. Kameyama, Fully Source-Coupled Logic Based Multiple-Valued VLSI, Proc. 32nd Int. Symposium on Multiple-Valued Logic, Boston, May 15-18, 2002. 設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 $\mu$ m 4.9mm角 チップ種別：ニューテクノロジー



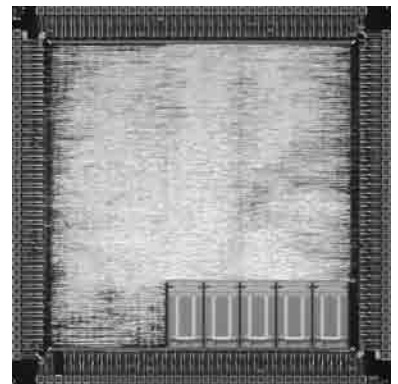
## 遺伝的アルゴリズム専用 RISC プロセッサ DLX-GA

広島大学大学院工学研究科 若林 真一, 小泉 慎哉, 藤原 一成  
広島大学ナノデバイス・システム研究センター 小出 哲士  
広島大学工学部 井村 紀道

概要：遺伝的アルゴリズム (GA) の効率的な実行に適した命令セットを持つ RISC プロセッサ DLX-GA を開発した。本プロセッサは DLX アーキテクチャをベースとしており、算術論理演算等の通常の命令に加えて、GA の実行において多用されるビット演算命令や乱数発生命令など、GA の高速実行に有効な命令を備えている。提案プロセッサ DLX-GA を、ローム (株) 製の 4.93mm 角 CMOS スタンドセルチップに実装した。ライブラリとしてローム (株) が提供しているパスポートライブラリを使用し、Verilog-HDL を用いて RTL 設計を行った。配置配線後、レイアウトデータから抽出した遅延情報をネットワークリストにバックアノテートし、シミュレーションを行った結果、クロック周波数 70MHz での動作が確認された。さらにチップ納入後、評価ボードを用いて実チップの動作検証を行い、仕様通りの機能が実現されていることを確認した。

参考文献：小泉, 若林, 小出, 井村, 藤原, "遺伝的アルゴリズムの高速実行に適した命令セットを持つ RISC プロセッサ DLX-GA", 情報処理学会計算機アーキテクチャ研究会研究報告, ARC141-12 (2001).

設計期間：10人月以上 設計ツール：Synopsys社 design\_compiler, Avanti社 Apollo, Cadence社 Dracula LVS トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 $\mu$ m 4.9mm角 チップ種別：マイクロプロセッサ



# VDEC

## 8ポート, 64Kbit 階層型 SRAM

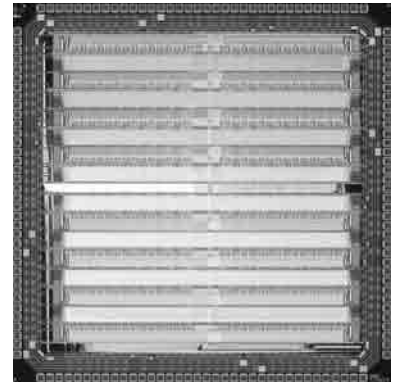
広島大学広島大学ナノデバイス・システム研究センター

大森 伸彦, Mattausch Hans Juergen, 小出 哲士

広島市立大学情報科学部 弘中 哲夫

**概要:** 我々の研究グループでは、高面積効率と低アクセス競合を実現する新しいアーキテクチャの階層構造型マルチポートメモリを提案している [1]。本マルチポートメモリは、メモリブロックというポート変換機能を有するメモリブロックを用いることで面積の削減を行う。また、メモリブロック数を増やすことにより各ポートのアクセスを分散させることで低アクセス競合を実現する。8ポート, 64kbit (512bit × 128メモリブロック) 階層構造型マルチポートメモリを ROHM 社 0.35 $\mu$ m CMOS 技術を用い 4.3mm 角チップに設計を行った。回路規模は約 70 万トランジスタであり、フルカスタム設計により 4 ヶ月を費やした。今回の設計では以前我々の研究グループで試作したもののポート数とメモリブロック数を拡張を行った。メモリブロック数は 128 と大きいため、アクセス競合により、アクセス拒否される確率を小さくできる。ランダムアクセスを仮定した場合、アクセス拒否確率が最も大きなポートでも 6% 以下である。

**参考文献:** [1] H. J. Mattausch, "Hierarchical Architecture for Area-Efficient N-Port Memories with Latency-Free Multi-Gbits/s Access Bandwidth", IEE Electron. Lett., 35, pp. 1441-1443, 1999. **設計期間:** 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** メモリ



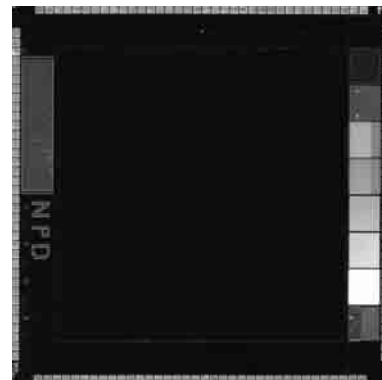
# 平成 13 年度 第 1 回 ローム 0.35 $\mu$ m チップ試作 (R035011)

## OEIC フロントエンド試作のための TEG (1)

金沢大学工学部 北川 章夫, 山田 裕志, 源 貴利

概要： CMOS テクノロジを使用して 200Mbps 以上の OEIC 受光フロントエンドを実現するためには、受光素子の寄生容量と受光感度のトレードオフが重要な課題となる。寄生容量を減らすために、通常は WELL 接合を使用するが、正確なデバイスシミュレーションとモデリング、さらに基板電流の評価を行うために、接合位置と不純物勾配による正確な内部電界分布の情報が必要となる。今回の試作では、フォトダイオード、タンデムフォトダイオード、フォトトランジスタ、フォトゲート等の特性をモデリングするのに必要な情報を収集するための TEG を試作した。チップには、n-ch MOSFET のソース領域を拡大した構造の他、ゲートポリ、メタル、絶縁層、保護膜の透過率を見積もるための構造が含まれている。

参考文献： IEICE 2002 年総合大会 C-11-9, 3 月 30 日 (2002) 設計期間： 0.1 人月未満 設計ツール： Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数： 10 未満 試作ラン： ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別： TEG (特性評価回路など)

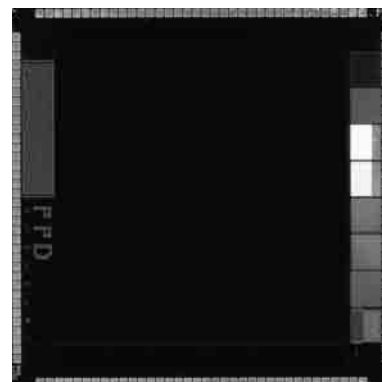


## OEIC フロントエンド試作のための TEG (2)

金沢大学工学部 北川 章夫, 山田 裕志, 源 貴利

概要： CMOS テクノロジを使用して 200Mbps 以上の OEIC 受光フロントエンドを実現するためには、受光素子の寄生容量と受光感度のトレードオフが重要な課題となる。寄生容量を減らすために、通常は WELL 接合を使用するが、正確なデバイスシミュレーションとモデリング、さらに基板電流の評価を行うために、接合位置と不純物勾配による正確な内部電界分布の情報が必要となる。今回の試作では、フォトダイオード、タンデムフォトダイオード、フォトトランジスタ、フォトゲート等の特性をモデリングするのに必要な情報を収集するための TEG を試作した。チップには、p-ch MOSFET のソース領域を拡大した構造の他、ゲートポリ、メタル、絶縁層、保護膜の透過率を見積もるための構造が含まれている。

参考文献： IEICE 2002 年総合大会 C-11-9, 3 月 30 日 (2002) 設計期間： 0.1 人月未満 設計ツール： Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数： 10 未満 試作ラン： ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別： TEG (特性評価回路など)

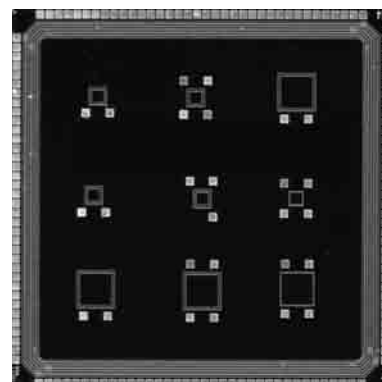


## OEIC フロントエンド回路の高速化に対する受光面構造の検討

金沢大学工学部 山田 裕志

概要： OEIC フロントエンド回路において 200Mbps 以上の高速化を実現させるためには、回路構成も重要であるが、受光部分における受光感度、および寄生容量も問題となる。前述の二つの項目はともにトレードオフの関係があるため、最適な値を見積もる必要がある。そこで本試作では、受光部分における受光感度、および寄生容量についての検討を試みた。まず、標準 CMOS テクノロジの pn 接合で構成可能な受光面構造に対して、応答速度、受光感度および寄生容量を検討するためにフォトダイオード、フォトトランジスタ、フォトゲートを設計した。次に、これらの各構造に対して、受光感度と寄生容量の比較をするために受光面の大きさを変えた設計を行った。さらに、寄生容量の削減をねらい、受光感度に影響がないと推測される正方形型受光面の四隅部分をカットした正八角形構造の受光面を設計した。最後に、受光感度の改善につながると思われる電極の配置を検討して設計を行った。以上、4つの観点から高速化実現へのアプローチを試み、この試作より受光面として最適な構造を検討する予定である。

設計期間： 0.5 人月以上, 1 人月未満 設計ツール： Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数： 10 以上, 100 未満 試作ラン： ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別： TEG (特性評価回路など)



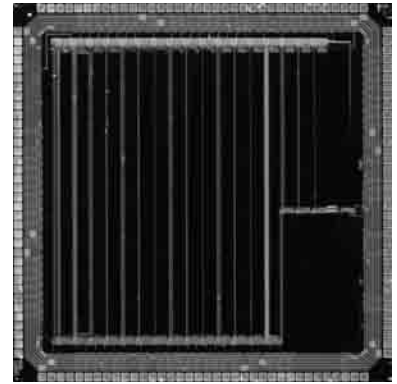


## 配線特性測定チップ

東京大学生産技術研究所 稲垣 賢一

**概要：**ディープサブミクロン世代における LSI 設計では、信号伝送が高速化されるに伴いシグナルインテグリティの保証が重要となる。配線における遅延、クロストーク、オーバーシュート、アンダーシュートなどを正確に見積もり設計にフィードバックするには、配線のパラメータを測定し設計指針を作る必要がある。信号波形を乱す原因としては、今後インダクタンスの影響が重要になると考えられている。本試作では、実際の配線におけるインダクタンスの影響を測定し、実際の LSI 上でインダクタンスを考慮する必要があるかどうかを判定する。4mm および 2mm 長の配線を駆動し両端の電圧をラッチ型センスアンプによりサンプリングし配線近端、遠端の波形を再現する。波形より配線のインダクタンス、キャパシタンス、抵抗、誘電損の各パラメータを算出できる。

**設計期間：**0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**TEG (特性評価回路など)



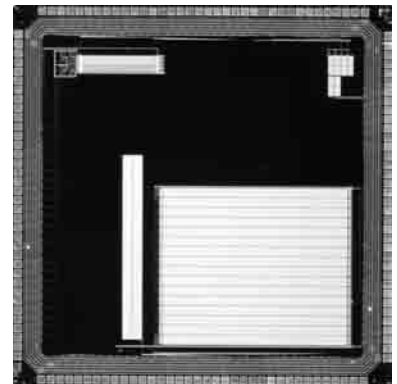
## 低振幅ビット線とレベルコンバータ

東京大学生産技術研究所 服部 貞昭

**概要：**前回の低振幅ビットを用いた低消費電力 SRAM の試作では、新たに付加した NMOS スイッチのレイアウトを十分に考慮しなかったため面積が大きくなってしまった。そこで、今回の試作では、前回と同じ構成でレイアウトを考慮して面積増加を抑えた。SRAM の低振幅ビット線書き込み方式をレジスタファイルにも応用し、2 Read Port, 1 Write Port のレジスタファイルも試作した。リードポートに関して読み出し時に記憶ノードに影響を与えるものと与えないものの 2 種類のセルを用意した。上記の低振幅書き込み方式によって SRAM のビット線における電力の削減は可能であるが、今度は周辺回路の電力が支配的になってくる。そこで、周辺回路を低い電圧で動作させメモリセル部は高い電圧で動作させることを考える。そのために、低振幅電圧を高振幅電圧に高速に変換するためのレベルコンバータについて考察した。従来のものと新たに考案したものと合わせて 4 種類のコンバータを試作した。

**参考文献：**Kenneth W. Mai, Toshihiko Mori, Bharadwaj S. Amrutur, Ron Ho, Bennett Wilburn, Mark, A. Horowitz, Isao Fukushima, Tetsuo Izawa, and Shin Mitarai, "Low-Power SRAM Design Using Half-Swing Pulse-Mode Techniques", IEEE J. Solid-State Circuits, Vol. 33, no. 11, pp. 1659-1671, Nov., 1998

**設計期間：**0.1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**メモリ

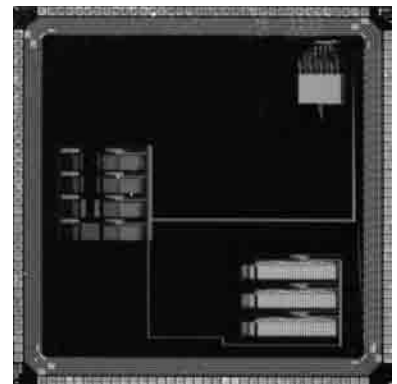


## 極短距離無線スーパーコネクタ

東京大学生産技術研究所 神田 浩一, Danardono Dwi Antono

**概要：**電子システムの複雑化に伴い、プロセッサとメモリ LSI あるいはサブシステム LSI など LSI 間接続の高速大容量化が進み、「スーパーコネクタ (チップの高性能接続)」が必要となっている。本試作では、高速大容量のみならず物理的な永久接続がない着脱可能で積層可能なスーパーコネクタを実現するために通信用キャパシタンスを搭載し、容量結合を用いてチップ間接続を無線で行う試験を実行する。具体的な実験方法としては、送信キャパシタンスの対応する位置に受信キャパシタンスが重なるようにチップを重ねあわせ、擬似ランダム信号の送受信を行い伝送状況の調査を行う。電源の供給は液体金属を通して別途行い、プロービングを行う必要は無い。

**設計期間：**0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**通信 (RF 回路, ATM など)



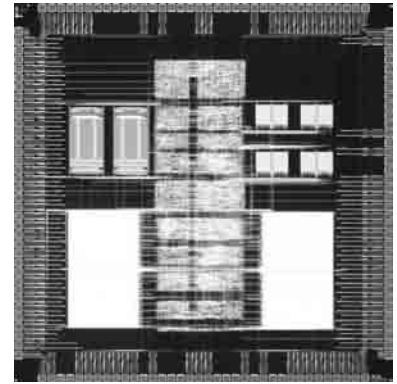
### 遺伝的アルゴリズムを用いた不連続閉曲線抽出処理用チップ

東北大学大学院工学研究科 小林 亮一, 阿部 正英, 川又 政征

**概要:** 画像処理の分野において、画像中に存在する物体の輪郭情報を抽出する処理が必要である。2値画像中から未知形状の物体の輪郭情報を抽出する処理として、遺伝的アルゴリズム (Genetic Algorithm: GA) を用いた不連続閉曲線抽出手法が提案されている。本チップは、この抽出手法を高速に実行するための GA プロセッサ (Genetic Algorithm Processor: GAP) [1] である。GA の各演算をビットシリアルで行い、計算の効率を向上させている。また、1ビット単位で染色体の長さを設定できる。さらに、外部に接続した適合度計算回路と接続することで、閉曲線抽出以外の GA アプリケーションに適用することもできる。

**参考文献:** [1] 小林亮一, 阿部正英, 川又政征, “不連続閉曲線抽出のための遺伝的アルゴリズムのハードウェア設計”, B6-1, pp. 505-510, 第16回デジタル信号処理シンポジウム講演論文集, November, 2001

**設計期間:** 3 月以上, 4 月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu\text{m}$  4.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

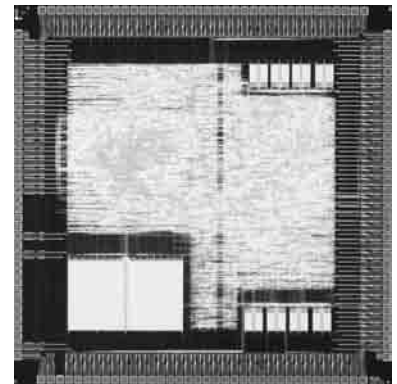


### 進化論的デジタルフィルタの並列実現のための性能評価用チップ

東北大学大学院工学研究科 対馬 尚之, 阿部 正英, 川又 政征

**概要:** 進化論的デジタルフィルタ (EDF) は、進化論的計算手法に基づく適応アルゴリズムによる適応デジタルフィルタである。EDF は勾配法による適応デジタルフィルタよりも収束速度や定常誤差の点で高い性能を持っている。しかし、EDF はその内部に複数個のフィルタを有するため計算量が多い。このため、ハードウェアによる並列化によって内部フィルタを並列動作させることで計算時間の短縮が期待される。本チップは、フィルタリングを行うモジュールと、係数更新を行うモジュールの2モジュールによって構成される。設計したフィルタリングモジュールではその内部の演算モジュールを複数個並列に動作させることが可能である。しかし、チップの規模の制約と、各モジュールの基本性能を評価するために、内部演算モジュールの並列度を1として実装した。

**参考文献:** [1] 対馬, 阿部, 川又, “進化論的デジタルフィルタのハードウェア実現,” 第16回デジタル信号処理シンポジウム講演論文集, no. A6-5, pp. 499-504, November 2001. **設計期間:** 3 月以上, 4 月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu\text{m}$  4.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



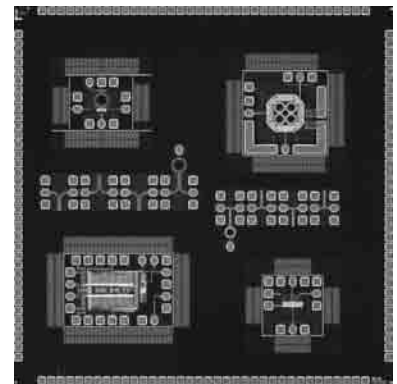
### 低消費電力 A/D コンバータと高周波電圧制御発振器・周波数分周器の設計

東京大学工学系研究科 今村 晃, 石田 光一, 山本 憲

東京大学新領域創成科学研究科 近藤 裕也, 藤島 実

**概要:** マイクロメディカルセンサは人体に常時接続する目的から、装置の小型化・軽量化が不可欠である。そのためにボタン型の酸化銀電池で動作可能な低消費電力集積回路を目指している。本設計では低消費電力を実現するために、プリアンプやプリフィルタを必要としないチョップスタビライズドアンプを応用した  $\Sigma\Delta$  型 A/D コンバータの設計を行った。また、CMOS トランシーバ回路の送受信部の中で最も基本的な回路となるのが PLL 回路である。本設計では PLL の要素回路で最も高速な動作を要求される電圧制御発振器や周波数分周器の高速化を目指し、0.35 [ $\mu\text{m}$ ] ルールのプロセスにおいて 10 [GHz] で動作する電圧制御発振器や周波数分周器の設計を行った。また、これらの回路において非常に重要な役割を担っているのがオンチップインダクタである。高性能なオンチップインダクタを実現するにはシールドが不可欠である。このシールドの構造を工夫し、その効果を確認するためにオンチップインダクタの TEG を作成した。

**設計期間:** 3 月以上, 4 月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu\text{m}$  4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



## シフトレジスタ機能を内蔵した LUT を有する高密度ビットシリアル

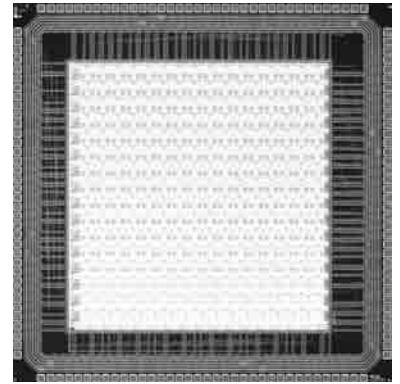
東京大学大規模集積システム設計教育研究センター 一色 剛

東京工業大学集積システム専攻 廣井 康生, 渡辺 究, 中田 太郎, 赤羽 克仁,

Susila I Putu

**概要:** ビットシリアル回路は、省面積・高速駆動・高配線性の特徴を持ち、特に FPGA へのマッピングに適している。我々はビットシリアル回路に特化した独自の FPGA アーキテクチャを考案しその VLSI 設計を行った。ロジックブロック内部の LUT (ルックアップテーブル) 回路は、ビットシリアル回路で大量に必要となるシフトレジスタを実現することが可能な構造になっており、この新しい LUT により、従来の固定小数点ビットシリアル回路が更に小面積で実現できるようになった他、浮動小数点ビットシリアル回路の実装が可能となり、信号処理系アプリケーションやコンピュータグラフィックスへの応用が期待できる。本チップは、 $16 \times 16$  個のロジックブロックが格子状に配置されており、総トランジスタ数は 980,000 個、プログラマブルなゲート数は、18,000 ~ 30,000 ゲートである。

**設計期間:** 10 人月以上 **設計ツール:** Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** ニューテクノロジー

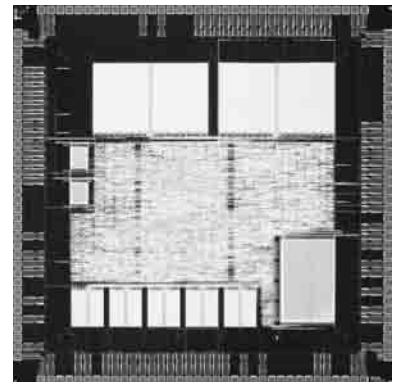


## 2 段階演算省略機能を備えたベクトル量子化プロセッサ

東北大学大学院工学研究科電子工学専攻大見研究室 望月 健司

**概要:** ベクトル量子化 (VQ) は、膨大な数のテンプレートベクトルから入力ベクトルに最も近いパターンを見つけ出す処理であるが、例えば黒っぽいパターンに対し、白っぽいパターンは明らかに検索を行う必要はなく、その全てのパターンの検索は不要であると考えられる。不要なパターンの検索を省略することで、VQ の高速化が実現できる。ベクトルの特徴量を利用し、検索を行う必要のあるテンプレートベクトル数を減らすことを 1 段階目の処理とし、さらに検索を行うテンプレートベクトルの距離演算を上位の桁から順に行うことで、演算のステップ数を減少させることのできる上位桁先行演算処理を 2 段階目の処理とした 2 段階の演算省略機能を備えた VQ プロセッサを設計した。ベクトルの特徴量として、従来からよく用いられているベクトル要素の総和では、ブロックの平均値情報が除去されてしまう平均値除去方式では演算の省略効果が得られないため、ベクトル要素を部分的に反転させブロックの輝度変化方向の特徴を得る反転法アルゴリズムを提案し、回路設計を行った。このチップは演算の省略の行わない場合に比べ、約 5% の演算時間で VQ 処理を終わらせることができる。

**設計期間:** 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



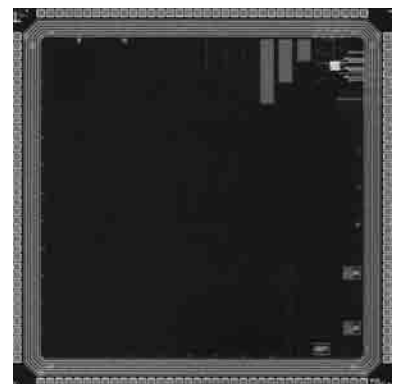
## MOSFET の特性ばらつきを測定する為の TEG

長崎総合科学大学工学部 田中 義人

長崎総合科学大学大学院電子情報学専攻 清山 浩司, 服部 慎

**概要:** アナログ素子においては、電圧精度や電流精度が重要である。本チップは、アナログ回路設計に必要な基礎データ、特にばらつきに関する基礎データを収集することを目的として設計した TEG (Test Element Group) である。搭載した素子及び回路は以下のとおりである。(i) ゲート面積 LW としきい値の関係、製造工程やレイアウトに起因する MOSFET 特性のばらつきを調べるため、NMOS トランジスタを中心とした基本増幅回路、(ii) Poly, 高抵抗 Poly, N+ 抵抗と容量、(iii) OP アンプやコンパレータに用いる、プロセスや温度特性に影響を受けにくいバイアス回路。今回は、レイアウトの違いによるアナログ回路特性の検討も含めている。OP アンプの差動増幅器やカレントミラー回路や受動素子において、フィンガー構造及びコモンセントロイドによる影響についても評価を行うようにしている。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)





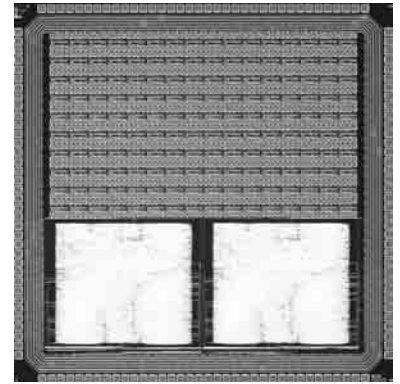
## DCT 演算回路およびリングオシレータによるばらつき測定 TEG

京都大学情報学研究所 小林 和淑, 湯山 洋一, 岡田 健一, 小野寺 秀俊

概要: C 言語記述からの高位合成実験として, DCT 演算器を設計試作した. SystemC で記述した DCT 演算器を, シャープで開発された Bach 高位合成システムを用いて高位合成した. 現在構築中の SystemC を用いた設計手法の有効性が確認できた. リングオシレータ TEG では, 1 チップ内に 32 のリングオシレータを作成した. それらの発振周期から, チップ内のばらつきを見積もる. リングオシレータは, 17, 23, 31, 53, 73 の 5 種類あり, チップ内ばらつきと段数の関係を調べる. セミオートプローバによる自動測定を行なう.

参考文献: [1] 湯山, 高井, 小林, 小野寺, “SystemC と Bach を用いた LSI 設計手法”, pp. 133-138, no. ICD2001-156, VLD2001-111, FTS2001-58, 電子情報通信学会技術研究報告 (2001). 設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Verilog-XL,

Synopsys 社 Scirocco, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別: アナログ/デジタル信号処理プロセッサ



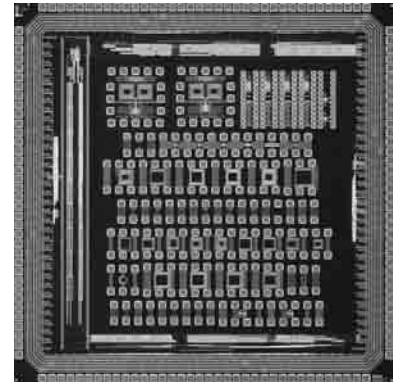
## スタンダードセルライブラリ, スパイラルインダクタ, 高周波 VCO, トランジスタ特性ばらつき評価 TEG

京都大学情報学研究所 橋本 昌宜, 藤森 一憲, 井口 誠, 星野 洋昭, 岡田 健一, 小野寺 秀俊

概要: (1) 本プロセス用に開発したスタンダードセルライブラリの論理検証, 基本セルの遅延特性評価用の TEG を設計した. 低電力用, 高速回路用の 2 種類のライブラリを開発した. 各ライブラリは 310 種類のセルを持つ. 本ライブラリは VDEC を通じて公開する予定である. (2) スパイラルインダクタの特性評価用の TEG を設計した. ネットワークアナライザを用いて S パラメータを測定する. スパイラルインダクタの応答曲面法を用いた最適設計手法に利用する特性の基礎データとして測定結果を用いる. (3) スパイラルインダクタを用いた発振周波数 2.4GHz の回路を設計した. 位相雑音等の特性を調べる. (4) トランジスタ特性ばらつき評価 TEG では, SPICE モデルパラメータの抽出とそのばらつきのモデル化を目的とする. TEG には nMOS, pMOS それぞれについて寸法の異なる 10 のトランジスタが含まれる.

参考文献: [1] 藤森, 橋本, 小野寺, “駆動力可変セルレイアウト生成システムによるスタンダードセルライブラリの開発”, no. VLD2001-147/ICD2001-222, 信学技報 (2002).

設計期間: 2 人月以上, 3 人月未満 設計ツール: Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数: 10,000 以上, 100,000 未満 試作ラン: ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別: TEG (特性評価回路など)



## ATLAS 実験 TGC 検出器用読み出し初段回路

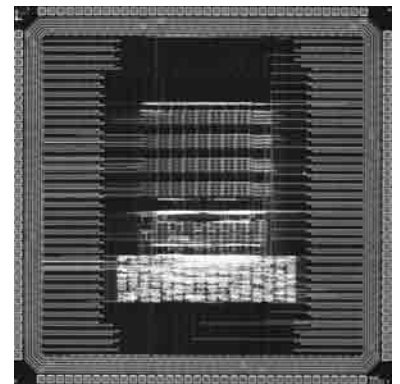
東京都立大学理学研究科 田中 賢一

東京大学素粒子物理国際研究センター 狩野 博之

高エネルギー加速器研究機構素核研 池野 正弘, 佐々木 修

概要: 今回設計した ASIC は, 素粒子実験 ATLAS で用いられる測定器のトリガーロジックの一部を担う回路であり, テストパルス, LVDS レシーバ, デイレイ, 同期回路からなっている. このチップを用いたボードにより検出器からの信号のタイミング調節, およびシステムクロックへの同期を行う. デイレイ部には PLL が用いられており, CLK/32 の単位で読み出しタイミングの調節が可能である. このチップは, 検出器からの信号を 16ch 分同時に処理を行う事が可能となっている. 配置配線では, 一部手動による設計を行いコア領域を最大限使用している. 前回の試作では 0.6 $\mu$ m デバイスを用いた設計を行ったが, 本実験用チップを目指し今回新たに 0.35 $\mu$ m デバイスによる再設計を行った. テストセットアップは 0.6 $\mu$ m と同様であり, 現在 ASIC 待ちである.

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別: アナログ/デジタル信号処理プロセッサ

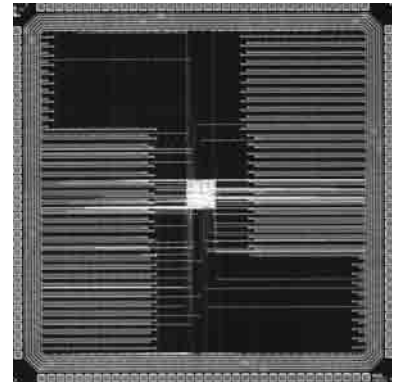


## ATLAS 実験用 VME バスブリッジ (HSC-GCI) に用いるプロトコルエンコーダ回路 (PPE)

東京大学素粒子物理国際研究センター 狩野 博之, 中村 佳央, 蓮子 和巳  
 高エネルギー加速器研究機構素核研 池野 正弘, 佐々木 修

**概要:** 今回設計した ASIC は, 素粒子実験 ATLAS で用いられる測定器のコントロールに用いるシステムの一部の機能を担う回路である. このシステムは ATLAS 実験において, 異なる VME バス間でのデータのやり取りを可能にするもので, 測定器の規模, 及び構造上必要不可欠なシステムである. この CHIP は, VME と転送プロトコルの仲立ちを行うものである. このロジックは, 処理速度, 回路規模ともプログラマブルデバイスにより実現可能であり, 実際に試作も行った. しかし, ATLAS 実験では放射線耐性が要求されており, 本実験使用を視野に入れ, ASIC 化を行った. テストでは, 通常の動作確認はもちろんのこと, 放射線環境下での動作についてもテストを行う必要がある.

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** その他

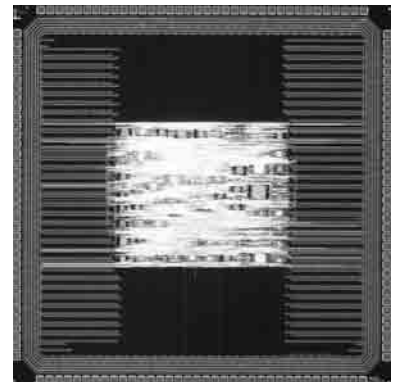


## CMOS/バス・トランジスタ混在論理回路

神戸大学大学院自然科学研究科 高田 賢吾, 福岡 一樹, 藤田 克也  
 神戸大学工学部 岩崎 隆弘, 竹内 寛高, 沼 昌宏

**概要:** CMOS/バス・トランジスタ混在論理回路の評価を行うための設計事例として, 本試作チップを設計した. 本チップは, 16 例のベンチマーク回路で構成されており, 各回路を, CMOS 論理回路, バス・トランジスタ論理回路, CMOS/バス・トランジスタ論理回路の 3 種類の構成で実現している. これらの 3 種類の構成を切り替えることで, 各論理の性能を測定することを目的とする. 本チップではこれら 3 種類の構成を混在させるため, 既存の CMOS セル・ライブラリのみでは構成不可能である. そこで, 専用のセル・ライブラリを開発した. CMOS セル・ライブラリとの混在を考慮して, バス・トランジスタ論理回路を構成するセルや, CMOS 論理用セルとバス・トランジスタ論理用セルの境界に生じる設計ルール違反を解消する境界用セル, 一つのセルに CMOS 論理とバス・トランジスタ論理の両方を含む混在セルなどを用意している. 本チップでは, このセル・ライブラリを使用することで, CMOS/バス・トランジスタ混在論理回路を実現した.

**設計期間:** 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)

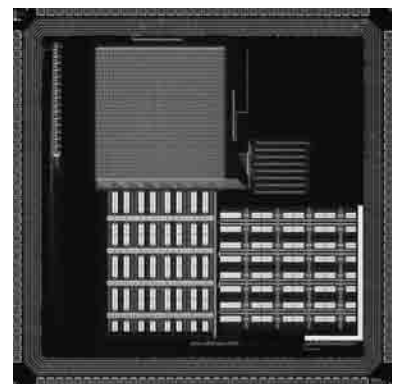


## S/H 回路を用いた CMOS アナログマッチトフィルタ, フローティングゲート付差動増幅器を用いたインテリジェントイメージセンサ

早稲田大学理工学部 河津 大志, 伊藤 和則

**概要:** マッチトフィルタは SS 通信の DS-CDMA 方式において, 良好な通信状態を確保するために必要なデバイスである. 従来のデジタル方式を用いると精度良く量子化を行うための A/D 変換器や, 量子化ビット数分のデータシフトレジスタが必要となるため, 電力消費量が大きくなる傾向にあった. 本チップではデータシフトレジスタ部に S/H 回路を用いてアナログ回路化し, この部分の電力消費を減らすことによって回路全体の低消費電力化を図った. また今回のチップにはフローティングゲート付差動増幅器を用いたインテリジェントイメージセンサも搭載している. この回路の構成は 64  $\times$  64 画素の画素アレイを配置し, 水平・垂直方向のコントロール回路を用いて 8  $\times$  8 画素を同時に読み出しフローティングゲート付差動増幅器を用いた演算回路により画素アレイに対して垂直方向・水平方向の順に離散コサイン変換を行う. その後, 演算結果 64 点を MOS スイッチと出力コントロール回路を用いて 8 本の出力ラインから出力する. 1 画素のサイズは 25.0 $\mu$ m  $\times$  25.0 $\mu$ m, 開口率は 27.8% となった. なおテストによる測定は行っていない.

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

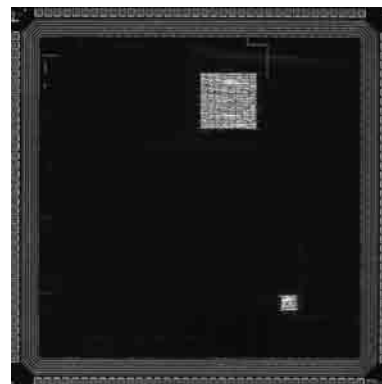


## SFQ/CMOS ハイブリッドメモリ用要素回路の試作

横浜国立大学大学院工学研究院 吉川 信行

**概要：**我々は SFQ 回路の高速性と CMOS 集積回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは 4.2K での低温動作を前提にしている。そのため、メモリーノードのリーク電流が小さいく、DRAM 用 3 トランジスタメモリセルを用いているにも関わらず不揮発性で非破壊のメモリ動作が可能である。また、超伝導センスアンプの採用により、サブナノ秒の高速アクセスタイムが可能となる。さらに、チップ間に超伝導配線を用いるため出力バッファの消費電力を小さくできる。本チップではそれらの要素回路である Josephson/CMOS ハイブリッドアンプ、3 トランジスタメモリセルの設計を行った。また低温デバイスモデル構築のための MOS デバイスを作成した。

**設計期間：**0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**メモリ



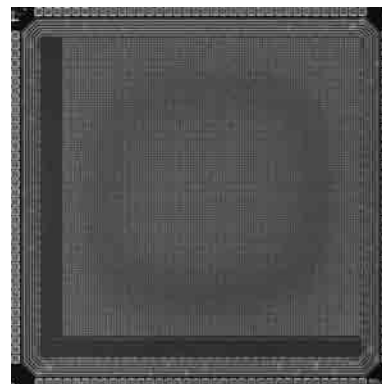
## 128 × 128 画素時間相関イメージセンサ (第 3 報)

東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

**概要：**我々の研究室で提案し、開発を続けている時間相関イメージセンサは、入射光強度と各画素共通の外部参照信号との時間相関を出力する撮像素子であり、画像の時間軸情報を活用した新しい画像計測への応用を可能とする。本試作では、昨年の RO3500-1 と同様 [1], 0.35 $\mu$ m という最も細密なプロセスを活かし、これまで基本的な動作を確認してきた可変伝達コンダクタンス乗算型時間相関イメージセンサの 128 × 128 画素への拡大を行なった。乗算器と相関演算用キャパシタについては、以前の試作で安定な動作が確認されている NMOS 対、接合容量を用いた構成とした。

**参考文献：**来海, 安藤, “128 × 128 画素時間相関イメージセンサ”, p. 153, 2001 年 VDEC 年報 (2001) **設計期間：**1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**イメージセンサ/スマートセンサ

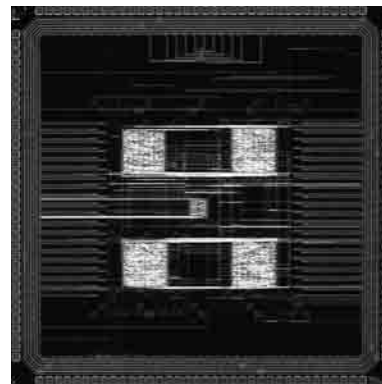


## 電流テストポイント評価用チップ

大阪大学大学院工学研究科 三浦 克介, 中前 幸治, 藤岡 弘

**概要：**VLSI テスト容易性改善の為の内部電流テストポイント [1] を導入したマイクロプロセッサを試作した。内部電流テストポイントは、CMOS 静的電源電流の測定値からテストポイント挿入箇所の論理値を得ることを可能とするものである。試作チップには 4 つの同じプロセッサが組み込まれており、それぞれに対して、(1) テスト容易化無し、(2) 128 個のテストポイント (タイプ A) を挿入、(3) 128 個のテストポイント (タイプ B) を挿入、(4) スキャン設計、が施されている。なお、タイプ A ではセレクタのみでテストポイントを選択し、タイプ B ではカウンタ+セレクタでテストポイントを選択する構成となっている。テスト容易化無し (1) に対する面積増加は、(2) では 12%, (3) では 13%, (4) では 13% であった。(1) に対する入出力端子数の増加は、(2) では 6, (3) では 3, (4) では 3 であった。さらに、BIST 設計練習用の加算器モジュール、電流テストポイントの電流精度測定用 TEG も含まれている。

**参考文献：**[1] 山崎, 中前, 藤岡, “LSI テスタビリティ改善のための内部電流テストポイント導入”, LSI テスティングシンポジウム/1999 会議録, pp. 13-18 (1999). **設計期間：**1 人月以上, 2 人月未満 **設計ツール：**Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**マイクロプロセッサ



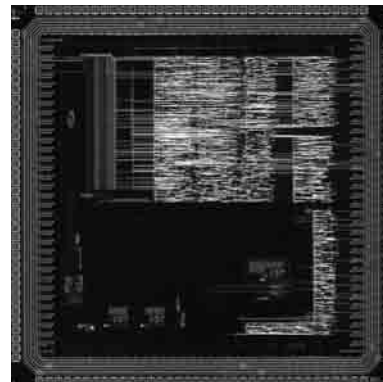


## 放射線センサ用フロントエンド回路

東京大学工学系研究科 Deng Zhi, 中村 亜由知, 石津 崇章  
 東京大学人工物工学研究センター 高橋 浩之

**概要：**イメージング分野等，多チャンネル化が求められるようになった放射線センサのフロントエンドを小型化，高性能化するため ASIC を使用している．今回は放射線センサのフロントエンドを構築するための基本要素となる回路の製作を行った．信号処理をデジタルで行うことで性能の向上が望めることから，我々の研究室ではチップ内で A/D を行うことを目指している．このチップでは 6Bit の Full-Flush タイプ，12bit の Wilkinson 型と違った型の ADC を載せ，性能の評価を行う．また，センサのプリアンプとして使用するために OPAMP を設計している．R-R 型や高速 OPAMP を設計し，比較を行う．信号の補正，レベルの調整に必要となるであろう DAC も併せて設計した．これらの回路を用いてフロントエンド回路としての総合的な性能の評価を行う．

**設計期間：**1 人月以上，2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula DRC **トランジスタ数：**10,000 以上，100,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**アナデジ混載

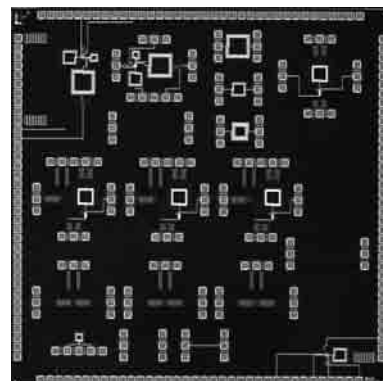


## 低雑音増幅器と電力増幅器の設計

大阪大学工学研究科 島 秀樹, 車 承佑, 松岡 俊匡, 谷口 研二

**概要：**送信器と受信器のフロントエンドの開発を目的として低雑音増幅器と電力増幅器を試作した．また，電力増幅器の線形性改善のため，線形化器も試作した．動作周波数は 2.4GHz である．低雑音増幅器は，高周波特性の良いカスコード型を採用した．入力インピーダンスのマッチングをとるため，inductive source degeneration の方法を用いた．インダクタのインダクタンスは 13nH と 1nH である．また，出力負荷用に 2.5nH のインダクタを用いた．電力増幅器は，線形化器と結合させたカスコード型であり，入力電力の変化により，動作クラスが変わる．線形化器は，回路の小型化のため，ダイオードを利用したプレディストーション式を採用した．また，その非線形パラメータの変化による特性を観測するために三種類試作した．

**設計期間：**1 人月以上，2 人月未満 **設計ツール：**Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10 以上，100 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**通信 (RF 回路, ATM など)

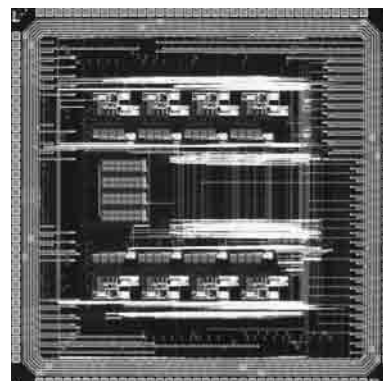


## チップ内 Multi Bit CDMA 有線バスの設計

大阪大学工学研究科 清水 新策, Tan Boon Keat, 岩村 宏, 松岡 俊匡, 谷口 研二

**概要：**Multi Bit CDMA 有線バスの実現に向け送信器，受信器をそれぞれ 8 個搭載したテスト回路の設計を行った．CDMA 有線バスは CDMA 方式を用いることで 1 対の差動バスを介して多重通信を行う技術であるが，今回は PN コードによる変復調に加え，振幅による変復調も行うことで，1 サイクルに 1 対の送受信器が授受するデータを 3bit に拡張し，高速化を実現した．また受信器内の電圧判定回路を Dynamic Current Mode Comparator を用いて設計することで低消費電力を実現した．今回の目的は，試作したチップに設けた 8 対の送受信回路が 1 対の差動バスを通して多重通信を行うことと，1 対の送受信器が 1 サイクルあたり 3bit のデータ授受を行うことを検証することである．

**設計期間：**0.5 人月以上，1 人月未満 **設計ツール：**Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE **トランジスタ数：**10,000 以上，100,000 未満 **試作ラン：**ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別：**ニューテクノロジー

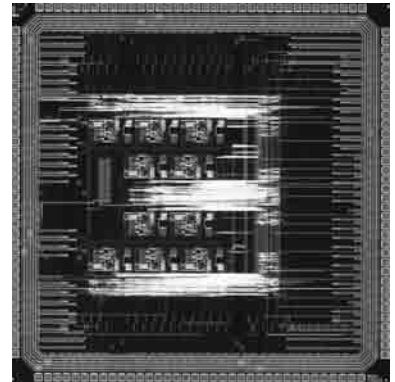


### チップ内 DS-CDMA 有線バスの設計 (4)

大阪大学工学研究科 Tan Boon Keat, 岩村 宏, 松岡 俊匡, 谷口 研二

概要：DS-CDMA 有線バスの実現に向け、送信器、受信器をそれぞれ 10 個搭載したチップの設計を行った。DS-CDMA 有線バスは、データを PN コードにより変復調することによって、複数のモジュールが 1 対の差動バスを介して同時に通信を行なうことを可能とする技術である。今回の設計では送信器、受信器それぞれに与える拡散符号を外部から挿入することで自由に変更できるようにした。また差動バスに挿入される信号を、チップ内送信器からの信号だけでなく、チップ外部からも信号を挿入でき、チップ外の実装の評価や検証も可能とした。今回の目的は 10 対の送受信 1 対の差動バスを通して多重通信を行うことを検証することである。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別：ニューテクノロジー

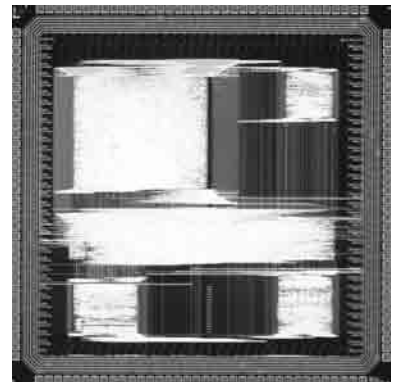


### 3D ユークリッドノルム計算回路、平方根の逆数計算回路及び有限体 GF (2<sup>160</sup>) 上の除算回路

名古屋大学大学院工学研究科 熊澤 文雄, 松岡 大輔, 渡辺 恭章, 高木 一義, 高木 直史

概要：1.3D ユークリッドノルム計算は、ベクトル (X,Y,Z) に対し  $\sqrt{X^2+Y^2+Z^2}$  を計算する演算であり、グラフィクス等でベクトルの正規化に必要な演算である。今回、入出力を IEEE754 標準の単精度基本フォーマットで表される浮動小数点数とした回路を試作した。回路は我々が提案している基数 2 のアルゴリズムに基づく。桁合せ処理を仮数部計算に埋め込む手法により回路面積を削減した。2.平方根の逆数計算は、マルチメディア応用などでしばしば現れる演算である。今回、我々が提案している平方根の逆数計算アルゴリズムに基づく基数 2 及び基数の二種類の回路を試作した。入出力は IEEE754 標準の単精度浮動小数点基本フォーマットである。3.我々が提案している拡張バイナリ GCD アルゴリズムに基づく、有限体 GF (2<sup>160</sup>) 上の除算器を試作した。GF (2<sup>160</sup>) 上の元 A,B,Q と原始多項式 G について、GF (2<sup>160</sup>) 上の乗算  $Q=A/B \text{ mod } G$  の計算を行う。

参考文献：熊澤, 高木, 高木, 「浮動小数点 3D ユークリッドノルム計算回路」, 信学技報 VLD2001-89, Nov. 2001. 設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別：演算回路 (乗算器, 除算器など)

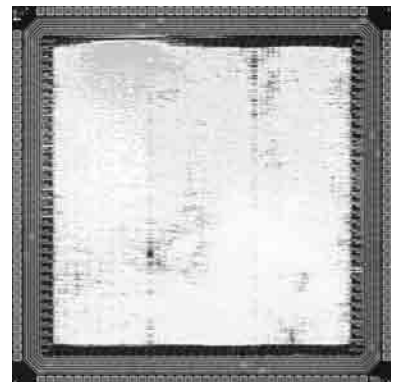


### ハードウェア JIT 機構を持つ Java プロセッサ

名古屋大学大学院工学研究科 鬼頭 秀明, 高木 一義, 高木 直史  
奈良先端科学技術大学院大学情報科学研究科 木村 晋二

概要：近年、組み込みシステム向けの言語として Java が注目されている。我々は、ハードウェアの動的再構成機構であるハードウェア JIT 機構を持つ Java プロセッサ (J-Java プロセッサ) の設計を行なった。J-Java プロセッサは 2000 年度に試作した R-Java プロセッサの改良版であり、5 段のパイプライン構造を持ち、Java のバイトコードを直接実行する。Java の命令 201 命令中 112 命令を実装しており、内部演算器は 32bit である。命令の書換え機能及び外部再構成可能ハードウェアとのインタフェースを有しており、演算の高速化や未実装命令の実行のためにこれらを利用できる。J-Java プロセッサにおけるハードウェア JIT 機構は、プログラム実行中にバイトコード列を解析し、複数のバイトコードの処理をまとめて実行できる回路を再構成可能ハードウェア上に動的に再構成し、命令キャッシュ上のバイトコード列を書換えてこれを利用する機構である。この機構により、繰り返し実行される命令列に対する専用ハードウェアを動的に構成することができ、処理の高速化が可能である。

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 $\mu$ m 4.9mm 角 チップ種別：マイクロプロセッサ





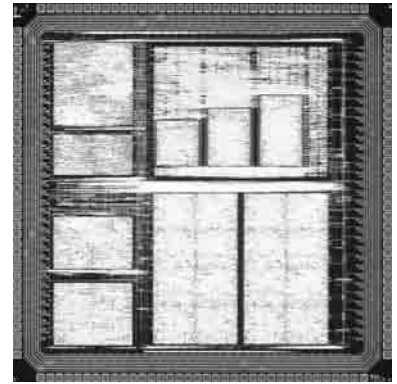
## 実時間対顔（たいがん）判定 LSI

奈良先端科学技術大学院大学情報科学研究科

梶原 裕嗣, 早川 朋一, 松本 剛英,  
森下 真秀, 鈴木 真人, 中西 正樹,  
堀山 貴史, 木村 晋二, 渡邊 勝正

**概要:** 人間の意図をくみ取る高度なインタフェースとして、顔の向きを利用することを考え、顔がシステムに向けられているか、すなわち顔とカメラが対顔しているかを判定する LSI の試作を行った。本 LSI の特徴として、距離に対してロバストである、対象を特定しない、リアルタイムに処理できる、省メモリである、などが挙げられる。本 LSI は 1 台のカメラからの、毎秒 30 フレームの RGB24bit (320 × 240pixel) の画像を入力とし、顔の対称性に着目して対顔しているかを判定する。ポストレイアウトシミュレーションでは 30MHz で動作することを確認した。今後、自作のテスト基盤により、本 LSI の動作確認を行う予定である。テストによる測定は現在のところ行っていない。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



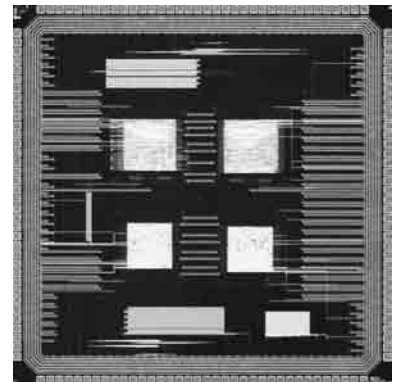
## パストランジスタ型フリップフロップを用いた低電力 LSI

東北大学大学院工学研究科 水草 智勝, 沈 正七, 栗野 浩之, 小柳 光正

**概要:** LSI の高速・低電力化には回路の寄生容量の削減が最も効果的である。そこで、我々は寄生容量の小さい回路方式であるパストランジスタ回路をフリップフロップに応用した CPFF (Complementary Pass-transistor-based Flip-Flop) を提案した。CPFF は従来の TGFF (Transmission-Gate Flip-Flop) のようなマスター・スレーブ構造をとっておらず、2 対のパストランジスタをクロック遅延回路によって制御することでフリップフロップの機能を実現している。よって、TGFF と比較してトランジスタ数が少なくなるため、寄生容量が削減でき、高速かつ低電力なフリップフロップとして動作する。さらに、この CPFF を低電圧回路の一種である MTCMOS 回路に応用して、待機時にデータ保持可能な CPFF (DP-CPFF) も提案している。本試作チップは、このパストランジスタ型フリップフロップの性能を確認することを目的としている。DSP のコア回路としてよく使用される MAC (Multiplier and Accumulator) 回路に CPFF, TGFF, DP-CPFF, BDF (Balloon DFF) の 4 つのフリップフロップで構成したものをそれぞれ設計し、評価を行った。

**参考文献:** K. Park, T. Mizukusa, H. Won, K. Choi, J. Kong, H. Kurino and M. Koyanagi, "Low-Power Data-Preserving Complementary Pass-Transistor-Based Circuit for Power-Down Circuit Scheme", Ext. Abst. SSDM'01, pp. 100-101, 2001

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



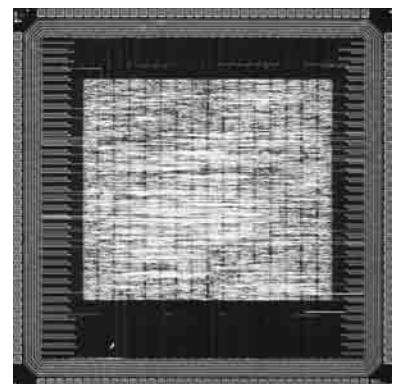
## ALU 基本回路の試作

九州大学大学院システム情報科学研究院 水野 和彦

**概要:** 論理設計から実装までの各開発工程を行うことにより、各担当者の考え方を実感することを目的とし、ALU 基本回路の試作を行った。今回試作した ALU 基本回路は整数加算、整数減算、整数乗算、浮動小数点加算、浮動小数点減算及び浮動小数点乗算の機能を持っている。浮動小数点加減算及び乗算については IEEE754 浮動小数点規格に準拠させた演算処理を行う。整数加減算については 30 ビットの演算、整数乗算については 15 ビットの演算をそれぞれ処理する。また、制御信号として 3 ビットの入力信号を設置し、この制御信号に各処理を対応させ演算する。実装後の総ゲート数は 103458 ゲートである。

**参考文献:** [1] 高木, "加算回路のアルゴリズム", pp. 80-85, Vol. 37, no. 1, 情報処理 (1996)

**設計期間:** 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



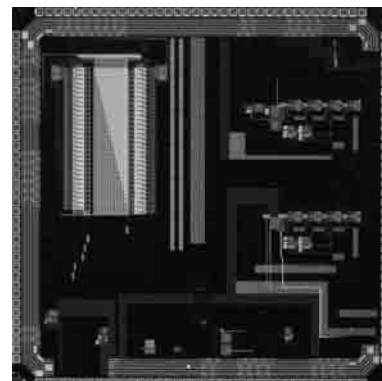


## 多チャンネル入力生体情報観測 LSI 用 TEG (1)

広島大学大学院先端物質科学研究科 吉田 毅, 岩田 穆

**概要:** 神経信号と生体活動の関係を詳細に調べるには、局所的な領域で多数の神経信号を取得する必要がある。従って、我々は多チャンネル入力の神経情報を、ワイヤレスで観測できる LSI の実現を目指している。多チャンネル入力に対応した生体情報観測 LSI は、多チャンネル入力を単チャンネルに変換する MUX 回路、神経信号を増幅する OpAmp 回路、増幅した神経信号をデジタル値に変換する AD 変換回路、観測した信号を外部に送信する RF トランスミッタ回路および LSI 制御信号を受信する RF レシーバ回路で構成される。本チップでは、生体情報観測 LSI 構成回路の動作を確認するため、以下の3つの要素回路を試作した。(i) 分解能 10 ビット、サンプリング周波数 1MHz、直並列型 AD 変換回路、(ii) キャリア周波数 100MHz、変調周波数 500kHz、伝送方式 ASK のトランスミッタ回路、(iii) キャリア周波数 100MHz、変調周波数 50kHz、伝送方式 ASK のレシーバ回路

**設計期間:** 1 人月以上, 2 人月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)



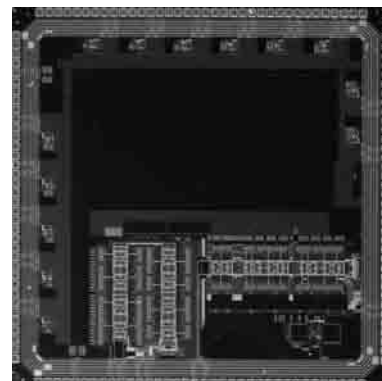
## 多チャンネル入力生体情報観測 LSI 用 TEG (2)

広島大学工学部 真下 隆行

広島大学大学院先端物質科学研究科 山口 圭治, 吉田 毅, 岩田 穆

**概要:** 神経信号と生体活動の関係を詳細に調べるには、局所的な領域で多数の神経信号を取得する必要がある。従って、我々は多チャンネル入力の神経情報を、ワイヤレスで観測できる LSI の実現を目指している。多チャンネル入力に対応した生体情報観測 LSI は、多チャンネル入力を単チャンネルに変換する MUX 回路、神経信号を増幅する OpAmp 回路、増幅した神経信号をデジタル値に変換する AD 変換回路、観測した信号を外部に送信する RF トランスミッタ回路および LSI 制御信号を受信する RF レシーバ回路で構成される。本チップでは最適な多チャンネル入力回路構成を明らかにするため、以下の3つの OpAmp 回路を試作した。(i) ゲイン 75.1dB、帯域 11.3kHz の OpAmp 回路、(ii) ゲイン 64.9dB、帯域 165kHz の OpAmp 回路、(iii) ゲイン 54.5dB、帯域 1840kHz の OpAmp 回路

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)

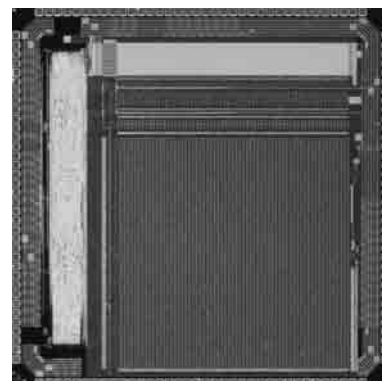


## 適応型 CMOS イメージセンサ

広島大学大学院先端物質科学研究科 今村 俊文, 山本 美子, 永田 真, 森江 隆, 岩田 穆

**概要:** 本チップは、ダイナミックレンジ (DR) を拡大する機能を持つ CMOS イメージセンサである。ピクセルサイズ 45 $\mu$ m  $\times$  45 $\mu$ m (開口率 12%), ピクセル数 64  $\times$  64, フォトダイテクタには p-sub/n-well のフォトダイオードを用い、チップ内部で A/D 変換を行いデジタル値 (8bit) を出力する。各ピクセル毎にピクセル内部のサンプル容量 (0.5pF) の端子電圧と基準電圧を比較し、その大小関係を元に入射光が強い場合には露光時間を短く、弱い場合には露光時間を長くする。ピクセル毎に入射光に適応した独立な露光時間を設定することでイメージセンサの DR を拡大する。また、入射光が弱い場合の露光時間の増大を抑えるため、ピクセルの出力電圧が小さい場合には、A/D 変換時に適切なゲインを設定する。本チップを用いて、各回路ブロックの基本的な特性評価及び、光に対するデジタル出力値の線形性等の評価を行う予定である。

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Avanti 社 Milkyway, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 $\mu$ m 4.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ



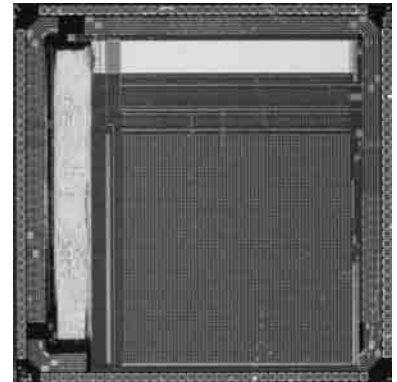
## 適応型 CMOS イメージセンサ

広島大学大学院先端物質科学研究科

今村 俊文, 山本 美子, 永田 真, 森江 隆,  
岩田 穆

**概要:** 本チップは、ダイナミックレンジ (DR) を拡大する機能を持つ CMOS イメージセンサである。ピクセルサイズ  $45\mu\text{m} \times 45\mu\text{m}$  (開口率 12%)、ピクセル数  $64 \times 64$ 、フォトディテクタには p-sub/n-well のフォトダイオードを用い、チップ内部で A/D 変換を行いデジタル値 (8bit) を出力する。各ピクセル毎にピクセル内部のサンプル容量 (0.5pF) の端子電圧と基準電圧を比較し、その大小関係を元に入射光が強い場合には露光時間を短く、弱い場合には露光時間を長くする。ピクセル毎に入射光に適応した独立な露光時間を設定することでイメージセンサの DR を拡大する。また、入射光が弱い場合の露光時間の増大を抑えるため、ピクセルの出力電圧が小さい場合には、A/D 変換時に適切なゲインを設定する。本チップをパソコンと接続し、イメージセンサで取り込んだ画像をモニタに表示するシステムを構築する予定である。

**設計期間:** 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Avanti 社 Millkyway, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS  $0.35\mu\text{m}$   $4.9\text{mm}$  角 **チップ種別:** イメージセンサ/スマートセンサ

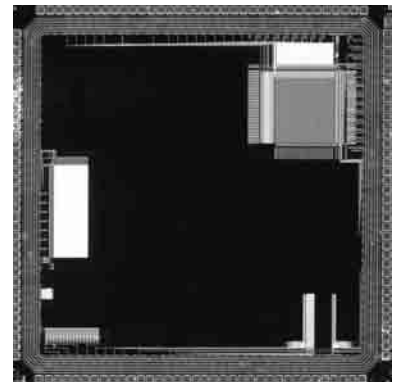


## 2 入力論理セルを有する高速 2 線式 PLA 及びハミング距離検索機能を有する機能メモリ

東京大学大学院工学系研究科 山岡 寛明, 池田 誠, 浅田 邦博

**概要:** 任意の 2 入力論理関数を実現する論理セルの埋め込み可能な 2 線式 PLA の試作を行った。64 入力, 1 出力のランダム論理を実装している。2 入力論理セルを埋め込むことにより、従来の PLA に対し積項数は 220 から 136 に削減されており、大幅なチップ面積の削減が実現されている。また、出力部にセンスアンプを用いることにより高速動作を実現し、2 線式構造であることからノイズに強い回路構造となっている。また、外部から与えられたハミング距離内にあるデータ検索が可能である機能メモリを試作した。回路規模は  $32 \times 128\text{-bit}$  である。入力データと記憶データの比較回路にしきい値論理回路を用いることにより、与えられた距離内にある記憶データのアドレスを高速に出力することが可能である。これらの回路に対し、EB テスタを用いて遅延時間の測定評価を行い、シミュレーション結果との良い一致を確認している。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS  $0.35\mu\text{m}$   $4.9\text{mm}$  角 **チップ種別:** 演算回路 (乗算器, 除算器など)



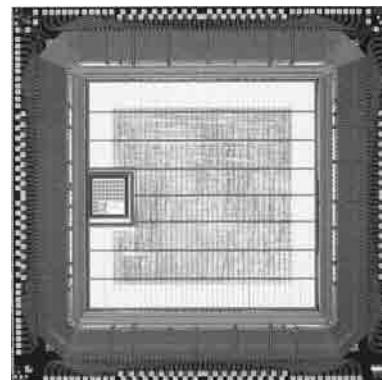
# 平成 13 年度 第 1 回 日立制作ゲートアレイ チップ試作 (HITGA01)

## 対数演算及び DFT 演算回路の試作

北海道大学工学部 吉川 健太郎, 宮永 喜一, 吉沢 真吾

概要：LSI の初歩的な設計技術習得と IP 化についての研究に伴い制作した対数演算回路と DFT 演算回路を搭載したチップ。対数演算回路は入出力を 32bit 浮動小数点とし、入力の指数部は  $(\log_2)$  との乗算、仮数部は STL 法を用いた演算とし、それぞれの結果の加算より対数を求める方式である。DFT 演算回路は我々が取り組んでいる LSI システムの IP 化の一環として Verilog-HDL の RTL での自由な仕様変更を意識した設計を行った。今回試作した回路の仕様は、入力 16bit、出力 21bit (いずれも固定小数点の 2 の補数表現) で 32 ポイント入出力、加算器と乗算器をそれぞれ 2 つずつ搭載し、回転因子との演算で生じる複素数の実部、虚部を並列に演算を行う。今後はチップレベルでの性能評価を行い、IP 化の際のデータとしていきたい。

設計期間：3 月以上、4 月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：日立製作所 CMOS 0.35 $\mu$ m 6.0mm 角 チップ種別：演算回路 (乗算器, 除算器など)

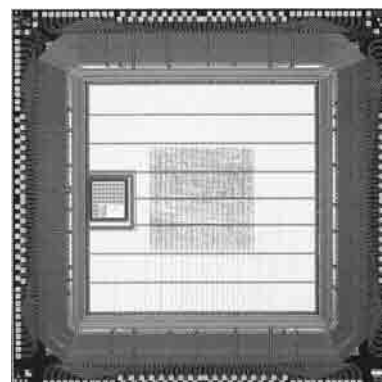


## 高速フーリエ変換 (FFT) 回路の試作

北海道大学工学部 吉沢 真吾, 宮永 喜一, 菅原 崇行, 吉川 健太郎

概要：我々は現在、音声認識システムの LSI 化に取り組んでいる。本試作では音声認識回路のうち、音声の前処理部へ搭載する予定である高速フーリエ変換 (FFT) 回路の設計を行い、集積化した。FFT の演算アルゴリズムには、基数 2、周波数間引き型を採用した。また、我々のグループのもう一つの取り組みである LSI システムの IP 化を意識し、本 FFT 回路の設計は Verilog-HDL を使い、RTL レベルで FFT ポイント数、固定小数点演算幅を簡単かつ自由に変更可能な記述を行った。そのうち今回試作を行った FFT 回路は、ポイント数が 256、演算幅が 16bit という仕様である。今後は実際のチップレベルでの性能評価を行い、音声認識システムへの実装に向けて参考としていく予定である。

設計期間：1 月以上、2 月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS 0.35 $\mu$ m 6.0mm 角 チップ種別：演算回路 (乗算器, 除算器など)

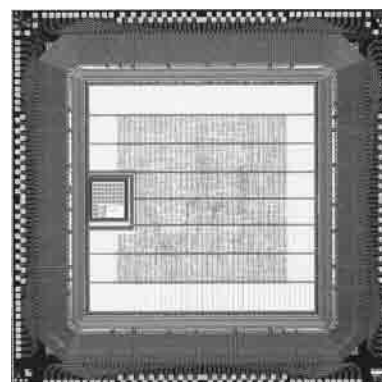


## 帯域消去型フィルタチップ

北海道大学工学部 ブンクムクラオ ウィチャイ, 宮永 善一

概要：この帯域消去型フィルタは、ある移動体の通信システムに音声とプッシュホン信号 DTMF (Dual Tone Multiple Frequency) が混在する信号を音声だけ抽出するのが特徴である。この DTMF 信号は 500 ~ 2000Hz に存在するため、音声信号の情報を出来るだけ失わないためには、遷移帯域が急峻な特性を要するフィルタが必要となる。フィルタの実現方法と、コストを安くするために、フィルタの内部に使われる演算器を固定小数点演算器にした。このような特性は、ハードウェア量、フィルタの構造を考慮して、楕円型特性設計法の 2 次カスケードフィルタで実現した。フィルタの設計仕様は、阻止帯域 500 ~ 2000 Hz, 阻止帯域減衰量 -50dB 以下, 次数 12, 係数 13 ビット, 入出力 32bit の 2 補数表示。

設計期間：1 月以上、2 月未満 設計ツール：Synopsys 社 design\_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：日立製作所 CMOS 0.35 $\mu$ m 6.0mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ





## ATLAS 実験 LVL1 トリガー用 High-pT トラック検出回路

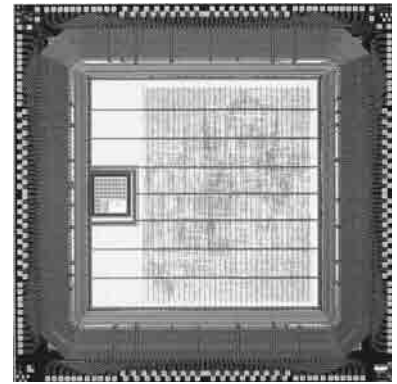
東京大学素粒子物理国際研究センター 狩野 博之

東京都立大学理学研究科 福永 力

高エネルギー加速器研究機構素核研 池野 正弘, 佐々木 修

**概要:**今回設計した ASIC は、素粒子実験 ATLAS で用いられる測定器の初段トリガーに用いる回路である。この CHIP は ATLAS 実験において、高速、大容量データ処理が必要とされる初段トリガー回路用のロジックであり、専用のハードウェアでなければ実現は困難である。ロジックはマトリックス、及び選択回路を含んでおり、如何に高速で処理できるかが鍵である。この ASIC には、High-pT 用に開発した高速化回路を用いており、ATLAS 実験での要求を十分満たすことが可能となっていることが確認された。今試作では、以前に開発したもののバグを取り除き、新たに機能がアップデートされている。現在テスト中である。HDL4HANKW23 と 22 は同一のロジックである。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.35 $\mu$ m 6.0mm 角 **チップ種別:** その他



## ATLAS 実験 LVL1 トリガー用 High-pT トラック検出回路

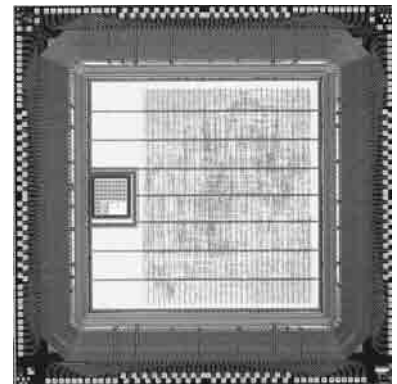
東京大学素粒子物理国際研究センター 狩野 博之

東京都立大学理学研究科 福永 力

高エネルギー加速器研究機構素核研 池野 正弘, 佐々木 修

**概要:**今回設計した ASIC は、素粒子実験 ATLAS で用いられる測定器の初段トリガーに用いる回路である。この CHIP は ATLAS 実験において、高速、大容量データ処理が必要とされる初段トリガー回路用のロジックであり、専用のハードウェアでなければ実現は困難である。ロジックはマトリックス、及び選択回路を含んでおり、如何に高速で処理できるかが鍵である。この ASIC には、High-pT 用に開発した高速化回路を用いており、ATLAS 実験での要求を十分満たすことが可能となっていることが確認された。今試作では、以前に開発したもののバグを取り除き、新たに機能がアップデートされている。現在テスト中である。HDL4HANKW23 と 22 は同一のロジックである。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.35 $\mu$ m 6.0mm 角 **チップ種別:** その他



## ATLAS 実験 TGC 検出器用読み出し回路

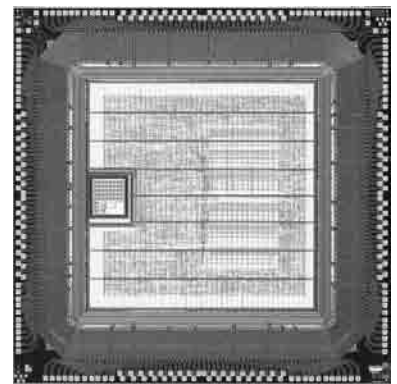
京都大学理学研究科 溝内 健太郎

東京大学素粒子物理国際研究センター 狩野 博之

高エネルギー加速器研究機構素核研 池野 正弘, 佐々木 修

**概要:**今回設計した ASIC は、素粒子実験 ATLAS で用いられる TGC 検出器の読み出しロジックの一部を担う回路であり、シリアル-パラレル変換、バッファ、メモリが主な構成要素である。このチップを用いたボードは検出器からの信号を蓄え、トリガー信号によりデータの選択を行い、データを再構築して出力する。このチップは、同様の回路を2セット組み込んでおり、同時に2ch処理を行う。このロジックは、処理速度に関してはプログラマブルデバイスにより実現可能であり、実際に試作も行った。しかし、ATLAS 実験では処理すべきチャンネル数が多く、また放射線耐性が要求されており、本実験使用を視野に入れ ASIC 化を行った。テストでは、通常の動作確認はもちろんのこと、放射線環境下での動作についてもテストを行う必要がある。

**設計期間:** 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.35 $\mu$ m 6.0mm 角 **チップ種別:** その他



## 2.3. チップ試作者の発表文献リスト

- [1] 石田光一, 藤島 実, “ハイパス型シグマデルタモジュレータ”, 電子情報通信学会総合大会 基礎・境界, p. 29, 2002年3月
- [2] 近藤裕也, 藤島 実, “小出力高周波パワーアンプにおける電力付加効率の解析的最適化”, 電子情報通信学会総合大会 基礎・境界, p. 39, 2002年3月
- [3] M. Nagata, T. Ohmoto, Y. Murasaka, T. Morie, and A. Iwata, “Effects of Power-Supply Parasitic Components on Substrate Noise Generation in Large-Scale Digital Circuits”, Symp. on VLSI Circuits, #15-1, pp. 159-162, June 2001, Kyoto
- [4] A. Iwata, T. Morie, and M. Nagata, “Bio-Inspired VLSIs Based on Analog/Digital Merged Technologies (Invited)”, Extended Abstracts of the 2001 Int. Conf. Solid State Devices and Materials (SSDM2001), pp. 88-89, Tokyo, Sept. 26, 2001
- [5] Atushi Iwata, Takafumi Oomoto, Yoshitaka Murasaka and Makoto Nagata, “Measurement and Simulation Techniques for Cross-talk Noise on Mixed Signal SoC”, SEMI Technology Symposium (STS2001) Proceedings, session5 p35-37, Chiba, Dec 5-7, 2001
- [6] 岩田 穆, “ミックスドシグナル SoC の技術動向バイオや生命体と IT 技術との融合を目指す”, Semiconductor FPD World, プレスジャーナル, p. 130-132 2001年9月
- [7] 村坂佳隆, 永田 真, 西森陽一, 森江 隆, 岩田 穆, “基板等価回路と論理回路の雑音発生モデルを用いたチップレベル基板雑音解析手法”, 電子情報通信学会 集積回路研究会, ICD2001-79, 2001年9月
- [8] 永田 真, 大本貴文, 村坂佳隆, 森江 隆, 岩田 穆, “大規模論理回路における基板雑音発生と電源寄生素子の効果”, 電子情報通信学会 集積回路研究会, ICD2001-80, 2001年9月
- [9] 今村俊文, 山本美子, 麥田憲司, 長谷川尚哉, 馬場祥宏, 森江 隆, 永田 真, 岩田 穆, “エッジ検出機能を持つ CMOS イメージセンサを用いた高速ライントレーサ”, 第19回日本ロボット学会, 1F33, 2001年9月
- [10] 岩田穆, 森江隆, “アナログ・デジタル融合回路による視覚情報処理アーキテクチャ”, 電子情報通信学会 TECHNICAL REPORT OF IEICE. CAS2001-94, 2002年1月
- [11] M. Nagata, Y. Murasaka, Y. Nishimori, T. Morie, and A. Iwata, “Substrate Noise Analysis with Compact Digital Noise Injection and Substrate Models”, Proc. 7th Asia and South Pacific Design Automation Conf, pp. 71-76, Bangalore, Jan. 2002
- [12] M. Nagata, T. Morie, and A. Iwata, “Modeling Substrate Noise Generation in CMOS Digital Integrated Circuits”, IEEE 2002 Custom Integrated Circuit Conf, Orlando, May 2002
- [13] T. Hamamoto and K. Aizawa, “A computational image sensor with adaptive pixel-based integration time”, IEEE Journal of Solid State Circuits, Vol. 36, No.4, pp. 580-585, April 2001
- [14] 呉, 大塚, 相澤, “スマートイメージセンサのためのネットインタフェース構築”, 映像情報メディア学会誌, Vol. 55, No. 6, pp. 920-922, June, 2001
- [15] R. Oi, T. Hamamoto, K. Aizawa, “Image acquisition by pixel-based random access image sensor for a real-time IBR system”, IEICE Trans. Electronics Vol. E85-C, No. 3, pp. 505-510, Mar. 2002
- [16] Y. Ohtsuka, I. Ohta, K. Aizawa, “Programmable spatially variant multiresolution readout capability on a sensor focal plane”, IEEE Int. Symp. Circuit and Systems (SCAS2001), pp. III 632-635, Sydney May 6-9, 2001
- [17] T. Hamamoto, T. Wakamatsu, K. Aizawa, “New method of on-sensor A/D conversion”, IEEE Int. Symp. Circuit and Systems (ISCAS2001), pp. IV 818-811, Sydney May 6-9, 2001
- [18] Y. Ohtsuka, I. Ohta, K. Aizawa, “A new image sensor with programmable spatially variant multiresolution readout capability”, IEEE Workshop on CCD and Advanced Image Sensors, pp. 40-43, June 7-9, 2001, Nevada
- [19] T. Hamamoto, T. Wakamatsu, K. Aizawa, “Column parallel A/D conversion on CMOS image sensor”, IEEE Workshop on CCD and Advanced Image Sensors, pp. 165-168, June 7-9, 2001, Nevada
- [20] R. Ooi, T. Hamamoto, M. Akaike, K. Aizawa, “Real time IBR system with pixel based random access image sensor”, 2001 URSI Int. Symposium on Signals, Systems, and Electronics, (ISSSE'01) pp. 359-362, July 24-27, 2001, Tokyo
- [21] T. Hamamoto, T. Wakamatsu, N. Inokihara, K. Aizawa, “Digital CMOS image sensor using non-destructive readout”, 2001 URSI Int. Symposium on Signals, Systems, and

- [22] M. Oh, K. Aizawa, "Large-scale image sensing by a group of smart image sensors", Int. Conf. Parallel Computing, Special session on Distributed Image and Video Processing (Parim'01), Italy 2001
- [23] R. Ooi, T. Hamamoto, T. Naemura, K. Aizawa, "Pixel independent random access image sensor for real time imagebased rendering", IEEE Int. Conf. on Image Processing (ICIP2001), Vol. II, pp. 193-196, Oct. 7-10 2001 Thessaloniki, Greece
- [24] 相澤, 大塚, 大田, "多重解像度イメージセンサ", 画像ラボ Vol. 12, No. 10, pp. 13-19, 2001
- [25] 相澤, "多重解像度イメージセンサの提案と試作", SCAT Technical Journal telecomFrontier, No. 33, pp. 2-7, Nov. 2001
- [26] 相澤, "多重解像度イメージセンサ", 日本工業技術振興協会, 次世代画像入力・ビジョン研究会, July 3 2001
- [27] 呉, 大塚, 相澤, "スマートイメージセンサを用いたネットワークイメージング", 画像センシングシンポジウム, pp. 163-166, July 6-8, 2001, Yokohama
- [28] 大田, 大塚, 相澤, "イメージセンサのためのメディアン処理を用いた動物体中心検出方法の検討", 画像センシングシンポジウム, pp. 173-176, July 6-8, 2001, Yokohama
- [29] 大井, 浜本, 相澤, "多眼画像処理システムのための選択画素出力イメージセンサ", 映像情報メディア学会 情報センシング研究会, July, 2001, Tokyo
- [30] 呉, 相澤, "スマートイメージセンサ群を用いたネットワークセンシングにおける動的レートコントロールの検討", 映像情報メディア学会 情報センシング研究会, July, 2001, Tokyo
- [31] 若松 武, 猪木原信幸, 浜本隆之, 相澤清晴, "64 × 32 画素 A/D 変換イメージセンサ", 映像情報メディア学会 技術研究報告, vol. 25, no. 54, pp. 73-80 (2001-9)
- [32] 長尾祥一, 吉川千里, 浜本隆之, 相澤清晴, "スマートセンサと FPGA を用いたリアルタイム動物体追跡", 映像情報メディア学会 技術研究報告, vol. 25, no. 55, pp. 75-82 (2001-9)
- [33] 安田, 浜本, 相澤, "即時再構成回路を搭載した適応蓄積時間イメージセンサの設計", 画像符号化・映像メディア処理シンポジウム (PCSJ・IMPS2001) I-2.17, pp. 59-60, Nov. 12-14, 2001
- [34] 若松, 猪木原, 浜本, 相澤, "64 × 32 画素 A/D 変換イメージセンサの試作と評価", 画像符号化・映像メディア処理シンポジウム (PCSJ・IMPS2001) I-2.18, pp. 61-62, Nov. 12-14, 2001
- [35] 大井, 相澤, 浜本, "ランダムアクセスイメージセンサを用いた実時間 IBR システム", 画像符号化・映像メディア処理シンポジウム (PCSJ・IMPS2001) I-3.03, pp. 71-72, Nov. 12-14, 2001
- [36] 吉川, 浜本, 相澤, "A/D 変換イメージセンサと FPGA を用いた動物体追跡", 画像符号化・映像メディア処理シンポジウム (PCSJ・IMPS2001) I-4.16, pp. 103-104, Nov. 12-14, 2001
- [37] 大田, 相澤, "中心検出を行うイメージセンサの検討", 第 5 回システム LSI ワークショップ, pp. 259-262, Nov. 26-28, 2001
- [38] 安田隆哉, 浜本隆之, 相澤清晴, "画像再構成機能を有する適応蓄積時間イメージセンサの設計", 映像情報メディア学会 技術研究報告, vol. 25, no. 71, pp. 1-6 (2001-11)
- [39] 相澤, 呉, 大井, "空間可変イメージセンサの疎密な統合による応用システムの検討", 特定領域研究「知的瞬時処理複合化集積システム」シンポジウム, pp. 19-27, Mar. 2002
- [40] 大井, 苗村, 相澤, 浜本, "実時間 IBR システムの為に選択画素出力イメージセンサ設計と評価", 映像情報メディア学会 年次大会 25-6, Aug. 2001
- [41] 大田, 大塚, 相澤, "動物体中心検出イメージセンサの構成に関する検討", 映像情報メディア学会 年次大会 25-10, Aug. 2001
- [42] 長尾, 喜多, 浜本, 相澤, "動画画像圧縮センサと FPGA を用いた動物体追跡", 映像情報メディア学会 年次大会 25-12, Aug. 2001
- [43] 若松 武, 猪木原信幸, 浜本隆之, 相澤, "蓄積中間画像を用いた 64 × 32 画素 A/D 変換イメージセンサ", 映像情報メディア学会 年次大会 25-13, Aug. 2001
- [44] 呉, 相澤, "スマートイメージセンサのためのネットワークインタフェースを用いた画像センシング", 映像情報メディア学会 年次大会 25-16, Aug. 2001
- [45] 安田, 浜本, 相澤, "広いダイナミック撮像のための適応蓄積時間イメージセンサの設計", 映像情報メディア学会 年次大会 25-4, Aug. 2001



- [46] 若松, 猪木原, 浜本, 相澤, “64 × 32 画素 A/D 変換イメージセンサの設計と試作”, 電子情報通信学会ソサイエティ大会, D-11-52, Sep. 18-21, 2001
- [47] 長尾祥一, 浜本隆之, 相澤清晴, “動画像圧縮センサと FPGA による複数動物体追跡”, 電子情報通信学会ソサイエティ大会, D-11-89, Sep. 18-21, 2001
- [48] 呉, 相澤, “Dynamic Rate Control for Large-Scale Image Sensing Using Spatially Variant Smart Sensors”, 電子情報通信学会ソサイエティ大会 D-11-74, Sep. 18-21, 2001
- [49] 長尾, 浜本, 相澤, “動画像圧縮センサと FPGA による複数動物体追跡”, 電子情報通信学会ソサイエティ大会 D-11-89, Sep. 18-21, 2001
- [50] 長尾, 浜本, 相澤, “スマートセンサを用いた複数動物体の高速追跡”, 電子情報通信学会総合大会 D-11-121 Mar. 27-30, 2002
- [51] 若松, 猪木原, 浜本, 相澤, “蓄積中間画像を用いた 64 × 32 画素 A/D 変換イメージセンサの試作・評価”, 電子情報通信学会総合大会 D-11-137 Mar. 27-30, 2002
- [52] 安田, 浜本, 相澤, “64 × 48 画素適応蓄積時間イメージセンサの試作”, 電子情報通信学会総合大会 D-11-138 Mar. 27-30, 2002
- [53] 大井, 浜本, 相澤, “選択画素読み出しイメージセンサによる任意視点画像取得システム”, 電子情報通信学会総合大会 D-11-162 Mar. 27-30, 2002
- [54] 呉, 相澤, “A study on system implementation for networked image sensing and processing by using smart image sensors”, 電子情報通信学会総合大会 D-12-153 Mar. 27-30, 2002
- [55] T. Ishihara, K. Asada, “A System Level Optimization Technique for Application Specific Low Power Memories”, IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E84-A no. 11, pp. 2755-2761, Nov., 2001
- [56] T. Ishihara, K. Asada, “An Architectural Level Energy Reduction Technique for Deep-Submicron Cache Memories”, ASP-DAC 2002, pp. 274-287, Jan. 2, 2002
- [57] 石原 亨, 浅田邦博, “ディープサブミクロン時代におけるキャッシュメモリのリーク電流削減手法”, 信学技報, CPSY2001-61, pp. 1-6, 2001 年 11 月.
- [58] Y. Oike, M. Ikeda, and K. Asada, “High-sensitivity and Wide-dynamic-range Position Sensor Using Logarithmic-response and Correlation Circuit”, presented at IEEE Int. Conf. on VLSI Design & ASP-DAC, Jan. 2002.
- [59] Y. Oike, M. Ikeda, and K. Asada, “Wide Dynamic Range Photo Detector for Smart Position Sensor Using Log-response and Correlation Circuit”, Ext. Abst. of Int. Conf. on Solid State Devices and Materials, pp. 282-283, Sep. 2001.
- [60] 大池祐輔, 池田 誠, 浅田邦博, “相関検波機能を有する画素回路の設計と評価”, DA シンポジウム 2001 論文集, pp. 159-161, 2001 年 7 月.
- [61] 大池祐輔, 池田 誠, 浅田邦博, “3次元計測のための行並列処理による高速な多階調重心検出回路”, 電子情報通信学会技術研究報告, vol. 101, no. 282, pp. 83-88, 2001 年 9 月.
- [62] 大池祐輔, 池田 誠, 浅田邦博, “対数応答回路および相関検波回路を用いた高感度・高ダイナミックレンジポジションセンサの試作と評価”, 第 5 回システム LSI ワークショップ, pp. 307-310, 2001 年 11 月.
- [63] 大池祐輔, 池田 誠, 浅田邦博, “高感度ポジション検出のための新しい画素回路の検討”, 電子情報通信学会総合大会論文集, C-12-47, pp. 129, 2002 年 3 月.
- [64] 山岡寛明, 浅田邦博, “しきい値論理による高速ハミング距離検出回路とその評価”, 電子情報通信学会技術研究報告, SDM2001-134, pp. 37-42, 2001 年 8 月.
- [65] 石川, 川上, 柴田, 天野, 非同期スイッチの試作”, pp. 65-72, 情報処理学会研究報告, Vol. 2001, No. 42
- [66] 柴田, 小栗, 非同期式プロセッサにおける演算器構成の検討”, pp. 123-128, 情報処理学会研究報告, Vol. 2001, No. 117 (2001)
- [67] T. Hamamoto, K. Aizawa, “A computational image sensor with adaptive pixel-based integration time”, IEEE trans. on Solid-State Circuits, Vol. 36, No. 4, pp. 580-585 (2001).
- [68] T. Hamamoto, T. Wakamatsu, K. Aizawa, “New method of on-sensor A/D conversion”, IEEE Int. Symp. on Circuits and Systems (ISCAS'01), Vol. IV, pp. 818-821 (2001).
- [69] T. Hamamoto, T. Wakamatsu, N. Inokihara, K. Aizawa, “Column Parallel A/D Conversion on CMOS Image Sensor” IEEE Workshop on CCD and Advanced Image Sensors, pp. 165-168 (2001).
- [70] T. Hamamoto, T. Wakamatsu, N. Inokihara, K. Aizawa, “Digital CMOS image sensor using non-destructive readout”,

- [71] R. Ooi, T. Hamamoto, M. Akaike, T. Naemura, K. Aizawa, "Real time IBR system with pixel based random access image sensor", Int. Symp. on Signals, Systems, and Electronics (ISSSE'01), pp. 359-362 (2001).
- [72] R. Ooi, T. Hamamoto, T. Naemura, K. Aizawa, "Pixel independent random access image sensor for real time image-based rendering system", IEEE Int. conf. on Image Processing (ICIP'01), TA6, pp. 193-196 (2001).
- [73] 大井隆太郎, 浜本隆之, 相澤清晴, "多眼画像処理システムのための選択画素出力イメージセンサ", 映情学技報, vol. 25, no. 47, pp. 13-18 (2001).
- [74] 若松 武, 猪木原信幸, 浜本隆之, 相澤清晴, "64 × 32 画素 A/D 変換イメージセンサ", 映情学技報, vol. 25, no. 54, pp. 73-80 (2001).
- [75] 安田隆哉, 浜本隆之, 相澤清晴, "画像再構成機能を有する適応蓄積時間イメージセンサの設計", 映情学技報, vol. 25, no. 71, pp. 1-6 (2001).
- [76] 若松 武, 浜本隆之, 相澤清晴, "64 × 32 画素 A/D 変換イメージセンサの試作と評価", Image Media Processing Symposium (IMPS01), pp. 61-62 (2001).
- [77] 安田隆哉, 浜本隆之, 相澤清晴, "即時再構成回路を搭載した適応蓄積時間イメージセンサの設計", Image Media Processing Symposium (IMPS01), pp. 59-60 (2001).
- [78] 大井隆太郎, 浜本隆之, 相澤清晴, "ランダムアクセスイメージセンサと用いた実時間 IBR システム", Image Media Processing Symposium (IMPS01), pp. 71-72 (2001).
- [79] 安田隆哉, 浜本隆之, 相澤清晴, "広ダイナミックレンジ撮像のための適応蓄積時間イメージセンサの設計", 2001 映像情報メディア学会年次大会, 25-4, pp. 370-371 (2001).
- [80] 若松 武, 猪木原信幸, 浜本隆之, 相澤清晴, "蓄積中間画像を用いた 64 × 32 画素 A/D 変換イメージセンサ", 2001 映像情報メディア学会年次大会, 25-13, pp. 387-388 (2001).
- [81] 大井隆太郎, 浜本隆之, 苗村 健, 相澤清晴, "実時間 IBR システムの為の選択画素出力イメージセンサの設計と評価", 2001 映像情報メディア学会年次大会, 25-6, pp. 374-375 (2001).
- [82] 大井隆太郎, 浜本隆之, 相澤清晴, 苗村 健, "選択読み出しイメージセンサによる実時間 IBR システム", ロボット学術講演会 RSJ2001, 1F16, 2pages (2001).
- [83] 若松 武, 猪木原信幸, 浜本隆之, 相澤清晴, "64 × 32 画素 A/D 変換イメージセンサの設計と試作", 2001 信学ソサイエティ大, D-11-52 (2001).
- [84] Hiroaki Yoshida, Motohiro Sera, Masao Kubo, Masahiro Fujita, "Integration of Logic Synthesis and Layout Processes by Generating Multiple", 10th International Workshop on Logic and Synthesis, Granlibakken Conference Center (Lake Tahoe), pp. 196-200, Jun. 2001.
- [85] "Bus Data Encoding with Coupling-driven Adaptive Codebook Method for Low Power Data Transmission", 27th European Solid-State Circuits Conference, Villach (Austria), pp. 312-315, Sep. 2001.
- [86] 小松 聡, 池田 誠, 浅田邦博, "低消費電力データ伝送のための配線間結合容量を考慮した適応型コード帳符号化方式の提案と評価", DA シンポジウム 2001, 遠鉄ホテルエンパイア (浜松市), pp. 101-106, 2001 年 7 月.
- [87] K. Hamazato, A. Tsuneda, M. Hano, T. Inoue, K. Eguchi, "An Analog CMOS Circuit Generating Chaotic Sequences Based on Piecewise Linear N-Shaped Maps", pp.604-607, Proceeding of the ITC-CSCC 2001 (2001).
- [88] 河津, 佐々木, 坂井, 松本, "S/H 回路を用いた CMOS マッチトフィルタの設計", 電子情報通信学会総合大会, C-12-32, Mar, 2002
- [89] 伊藤和, 釣井, 佐々木, 坂井, 松本, "2次元 DCT インテリジェントイメージセンサの試作", 電子情報通信学会総合大会, C-12-48, Mar, 2002
- [90] N. Omori and H.J. Mattausch, "Compact central arbiters for memories with multiple ports", IEE Electronics Letters, Vol. 37, No. 13, pp. 811-813 (2001)
- [91] H.J. Mattausch, T. Gyohten, Y. Soda and T. Koide, "Compact Associative-Memory Architecture with Fully-Parallel Search Capability for the Minimum Hamming Distance", IEEE Journal of Solid-State Circuits, Vol. 37, No. 2, pp. 218-227, (2002)
- [92] T. Koide, T. Gyohten, Y. Soda, H. J. Mattausch, "Architecture for Compact and Fast Associative-Memories with All-Parallel Nearest-Match Hamming-Distance Search", Technical Report of the IEICE, ICD2001-5 (2001-04), pp. 27-34, (2001)

- [93] 山田祐嗣, 橋本昌宜, 小野寺秀俊, “ゲート出力波形導出時の誤差要因とその影響の評価”, pp. 82, no. A-3-3, 電子情報通信学会総合大会 (2002)
- [94] 藤森一憲, 橋本昌宜, 小野寺秀俊, “駆動力可変セルレイアウト生成システムによるスタンダードセルライブラリの開発”, no. VLD2001-147/ICD2001-222, 電子情報通信学会技術研究報告 (2002)
- [95] 橋本昌宜, 高橋正郎, 小野寺秀俊, “ポストレイアウトトランジスタ寸法最適化によるクロストークノイズ削減手法”, pp. 39-44, no. SLDM103-6, 情報処理学会研究報告 (2001)
- [96] 土谷 亮, 橋本昌宜, 小野寺秀俊, “長距離高速配線における RC モデルに基づく回路設計の限界”, pp. 60, no. A-3-6, 2001 年電子情報通信学会基礎・境界ソサイエティ大会 (2001)
- [97] 橋本昌宜, 高橋正郎, 小野寺秀俊, “ポストレイアウトトランジスタ寸法最適化によるクロストークノイズ削減手法”, pp. 62, no. A-3-8, 2001 年電子情報通信学会基礎・境界ソサイエティ大会 (2001)
- [98] 高橋正郎, 橋本昌宜, 小野寺秀俊, “波形重ね合せによるクロストーク遅延変動量の見積もり手法”, pp. 63, no. A-3-9, 2001 年電子情報通信学会基礎・境界ソサイエティ大会 (2001)
- [99] 土谷 亮, 小野寺秀俊, “VLSI 配線の伝送線路化を考慮した駆動力決定手法”, pp. 13-18, DA シンポジウム 2001 (2001)
- [100] 高橋正郎, 橋本昌宜, 小野寺秀俊, “隣接位置を考慮した解析的クロストークノイズ見積もり手法”, pp. 19-24, DA シンポジウム 2001 (2001)
- [101] M. Hashimoto, H. Onodera, “Post-Layout Transistor Sizing for Power Reduction in Cell-Base Design”, pp. 2769-2777, vol. E84-A, no. 11, IEICE Trans. on Fundamentals (2001)
- [102] A. Tsuchiya, M. Hashimoto, H. Onodera, “Driver Sizing for High-Performance Interconnects Considering Transmission-Line Effects”, pp. 377-381, Proc. SASIMI (2001)
- [103] M. Takahashi, M. Hashimoto, H. Onodera, “Crosstalk Noise Estimation for Generic RC Trees”, pp. 110-116, Proc. ICCD (2001)
- [104] H. Onodera, M. Hashimoto, T. Hashimoto, “ASIC Design Methodology with On-Demand Library Generation”, pp. 57-60, Proc. Symposium on VLSI Circuits (2001)
- [105] M. Hashimoto, H. Onodera, “Increase in Delay Uncertainty by Performance Optimization”, pp. 379-382, vol. V, Proc. IEEE International Symposium on Circuits and Systems (2001)
- [106] 岡田健一, 小野寺秀俊, “ゲート遅延におけるチップ内ばらつきを考慮した統計遅延解析手法”, pp. 80, no. A-3-1, 電子情報通信学会総合大会 (2002)
- [107] 山岡健人, 岡田健一, 小野寺秀俊, “チップ内ばらつきを考慮したゲート遅延の統計モデル作成手法”, pp. 81, no. A-3-2, 電子情報通信学会総合大会 (2002)
- [108] 岡田健一, 小野寺秀俊, “トランジスタ特性におけるチップ内ばらつきモデル化手法”, pp. 58, no. A-3-4, 2001 年電子情報通信学会基礎・境界ソサイエティ大会 (2001)
- [109] 岡田健一, 小野寺秀俊, “チップ内でのばらつきを考慮したトランジスタ特性ばらつきモデル化手法”, pp. 241-246, DA シンポジウム 2001 (2001)
- [110] T. Yasuda, H. Fujita, H. Onodera, “A Dynamically Phase Adjusting PLL for Improvement of Lock-up Performance”, pp. 2793-2801, vol. E84-A, no. 11, IEICE Trans. on Fundamentals (2001)
- [111] 井口 誠, 星野洋昭, 岡田健一, 小野寺秀俊, “スパイラルインダクタのモデル化と最適化”, pp. 363-366, 第 5 回システム LSI ワークショップ講演資料集およびポスタ資料集 (2001)
- [112] 岡田健一, 藤田智弘, 小野寺秀俊, “トランジスタ製造ばらつきにおけるチップ内特性変動を考慮した統計遅延解析手法”, pp. 7-12, no. ICD2001-158, VLD2001-113, FTS2001-60, 電子情報通信学会技術研究報告 (2001)
- [113] 荒本雅夫, 湯山洋一, 小林和淑, 小野寺秀俊, “SystemC を用いた MPEG-4 エンコーダの設計”, pp. 88, no. A-3-9, 電子情報通信学会総合大会 (2002)
- [114] 山口隼司, 小林和淑, 小野寺秀俊, “実チップにおける IR ドロップの測定”, pp. 100, no. A-3-21, 電子情報通信学会総合大会 (2002)
- [115] 湯山洋一, 高井幸輔, 小林和淑, 小野寺秀俊, “SystemC と Bach を用いた LSI 設計手法”, pp. 133-138, no. ICD2001-156, VLD2001-111, FTS2001-58, 電子情報通信学会技術研究報告 (2001)
- [116] 中西龍太, 荒本雅夫, 小林和淑, 小野寺秀俊, “ジャイロセンサを用いた動画像圧縮システム”, pp. 263-266, 第 5 回システム LSI ワークショップ講演資料集およびポスタ資料集 (2001)



- [117] 中西龍太, 荒本雅夫, 小林和淑, 小野寺秀俊, “ジャイロセンサを用いた動画像符号化の検討”, pp. 71-72, no. P4.04, 第16回動画像符号化シンポジウム資料 (2001)
- [118] 中西龍太, 荒本雅夫, 小林和淑, 小野寺秀俊, “ジャイロセンサを用いた動き補償”, pp. 433-438, no. B5-4, 第16回デジタル信号処理シンポジウム講演論文集 (2001)
- [119] 中西龍太, 小林和淑, 小野寺秀俊, “カメラの動きを用いた動き補償の検討”, pp. 525-530, 第14回 回路とシステム (軽井沢) ワークショップ論文集 (2001)
- [120] 湯山洋一, 高井幸輔, 小林和淑, 小野寺秀俊, “SystemCを用いたハードウェア・ソフトウェア協調設計”, pp. 399-404, 第14回 回路とシステム (軽井沢) ワークショップ論文集 (2001)
- [121] Y. Yuyama, K. Takai, K. Kobayashi, H. Onodera, “Hardware and Software Codesign with Using SystemC and Bach”, pp. 30-34, Proc. DATE Designers' Forum (2002)
- [122] K. Kobayashi, H. Onodera, “ST Perl Package for Simulation and Test Environment”, pp. 89-92, vol. V, Proc. IEEE International Symposium on Circuits and Systems (2001)
- [123] H. Kimura, T. Hanyu and M. Kameyama, “Dynamic-Storage-Based Logic-in-Memory Circuit and Its Application to a Fine-Grain Pipelined System”, IEICE Trans. Electron., Vol. E85-C, No. 2, pp. 288-296, 2002.
- [124] T. Ike, T. Hanyu, and M. Kameyama, “Dual-Rail Multiple-Valued Current-Mode VLSI with Biasing Current Sources”, Proc. 31st IEEE Int. Symposium on Multiple-Valued Logic, no. 31, pp. 21-26, Warsaw (Poland), May 22-24, 2001.
- [125] T. Hanyu, M. Kameyama, K. Shimabukuro and C. Zukeran, “Multiple-Valued Mask-Programmable Logic Array Using One-Transistor Universal-Literal Circuits”, Proc. 31st IEEE Int. Symposium on Multiple-Valued Logic, no. 31, pp. 167-172, Warsaw (Poland), May 22-24, 2001.
- [126] H. Kimura, T. Hanyu and M. Kameyama, “Dynamic-Storage-Based Multiple-Valued Logic-in-Memory Circuit and Its Application”, Proc. 2nd Korea-Japan Joint Symposium on Multiple-Valued Logic, No. 2, pp. 147-15, Miyazaki (Japan), Aug. 27-29, 2001.
- [127] T. Hanyu, H. Kimura, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu, “Ferroelectric-Based Functional Pass-Gate for Fine-Grain Pipelined VLSI Computation”, IEEE Int. Solid-State Circuits Conf. (ISSCC) Digest Technical Papers, 12.7, pp. 208-209, San Francisco (USA), Feb. 3-7, 2002.
- [128] T. Ike, T. Hanyu and M. Kameyama, “Fully Source-Coupled Logic Based Multiple-Valued VLSI”, Proc. 32nd IEEE Int. Symposium on Multiple-Valued Logic, Boston (USA), May 15-18, 2002 (to be published).
- [129] H. Kimura, T. Hanyu and M. Kameyama, “Multiple-Valued Logic-in-Memory VLSI Based on Ferroelectric Capacitor Storage and Charge Addition”, Proc. 32nd IEEE Int. Symposium on Multiple-Valued Logic, Boston (USA), May 15-18, 2002 (to be published).
- [130] H. Kimura, T. Hanyu, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu, “Ferroelectric-Based Functional Pass-Gate for Low-Power VLSI”, 2002 Symposium on VLSI Circuits, Honolulu (USA), June 13-15, 2002 (to be published).
- [131] 南 正樹, 羽生貴弘, 亀山充隆, “ロジックインメモリアーキテクチャに基づくモルフォロジー画像処理用多値VLSI プロセッサ”, 多値論理とその応用研究会, 多値技報 MVL01-11, pp. 87-93, 2001.
- [132] 望月孝祥, 羽生貴弘, 亀山充隆, “ダイナミック記憶に基づく2線式電流モード多値集積回路の高性能化とその応用”, 多値論理とその応用研究会, 多値技報 MVL01-6, pp. 42-49, 2001.
- [133] 古川剛志, 羽生貴弘, 亀山充隆, “2線式電圧・電流ハイブリッドモード多値集積回路とそのロジックインメモリVLSIへの応用”, 多値論理とその応用研究会, 多値技報 MVL01-7, pp. 50-57, 2001.
- [134] 南 正樹, 羽生貴弘, 亀山充隆, “ロジックインメモリ構造モルフォロジー画像処理 VLSI プロセッサの構成”, 計測自動制御学会学術講演会 2001, p. 310A-1, 2001.
- [135] H. Kimura, T. Hanyu and M. Kameyama, “Dynamic-Storage-Based Multiple-Valued Logic-in-Memory Circuit and Its Application”, The 2nd Korea-Japan Joint Symposium on Multiple-Valued Logic, J-13, pp. 147-151, 2001.
- [136] 木村啓明, 羽生貴弘, 亀山充隆, “ゲートレベルバイブライ用ロジックインメモリ VLSI の構成”, 2001 信学ソ大 (エレクトロニクス), 分冊 2, no. C-12-8, p. 69, Sept. 2001.
- [137] 古川剛志, 羽生貴弘, 亀山充隆, “ソース結合形回路を用いた多値ロジックインメモリ VLSI の構成”, 2001 信学ソ大 (エレクトロニクス), 分冊 2, no. C-12-9, p. 70, Sept. 2001.

- [138] 池 司, 羽生貴弘, 亀山充隆, “高性能多値電流モード集積回路の設計”, 2001 信学ソ大 (エレクトロニクス), 分冊 2, no. C-12-15, p. 76, Sept. 2001.
- [139] 金尚 賢, 羽生貴弘, 亀山充隆, “電圧・電流ハイブリッドモード多値集積回路とステレオビジョン VLSI プロセッサへの応用”, 多値技報, MVL02-8, No. 1, pp. 56-64, Jan. 2002.
- [140] 山口通智, 羽生貴弘, 亀山充隆, “適応的電源電圧制御に基づく低消費電力 VLSI アーキテクチャ”, 2002 信学総大, no. C-12-21, March 27-29, 2002.
- [141] Masanori Hariyama, Seunghwan Lee, Michitaka Kameyama, “Highly-Parallel Stereo Vision VLSI Processor Based on an Optimal Parallel Memory Access Scheme”, IEICE Trans. Electron, vol. E84-C, no. 3, pp. 382-389, 2001.
- [142] 張山昌論, 山口文武, 亀山充隆, “読み出し専用連想メモリを用いた超高速軌道計画 VLSI プロセッサの試作”, 計測自動制御学会論文集, vol. 37, no. 3, pp. 235-241, 2001.
- [143] 張山昌論, 工藤隆男, 亀山充隆, “最適アロケーションに基づく道路抽出 VLSI プロセッサとその高安全知能自動車への応用”, 電子情報通信学会論文誌, vol. J84-D-I, no. 6, 2001.
- [144] Masanori Hariyama, Toshiki Takeuchi and Michitaka Kameyama, “VLSI Processor for Reliable Stereo Matching Based on Adaptive Window-Size Selection”, Proc. International Conference on Robotics and Automation, pp. 168-1173, 2001.
- [145] 大澤尚学, 張山昌論, 亀山充隆, “データフローグラフの直接マッピングに基づくフィールドプログラマブル VLSI の構成”, 電子情報通信学会総合大会, C-12-21, 2001.
- [146] 竹内俊樹, 張山昌論, 亀山充隆, “高性能ステレオビジョン VLSI プロセッサの試作”, 日本機会学会ロボティクス・メカトロニクス講演会講演論文集, 2P1-N3, 2001.
- [147] 渡辺郷史, 張山昌論, 亀山充隆, “高信頼オプティカルフロー抽出アルゴリズムとその VLSI 化”, 計測自動制御学会学術講演会, 310A-3, 2001.
- [148] 竹内俊樹, 張山昌論, 亀山充隆, “最適スケジューリングに基づくステレオビジョン VLSI プロセッサのアーキテクチャ”, 計測自動制御学会学術講演会 2001, 310A-2, 2001.
- [149] 青山哲也, 張山昌論, 亀山充隆, “複数電源電圧を用いた低消費電力化のためのハイレベルシンセシス”, 電気関係学会東北支部連合大会, 1H2, 2001.
- [150] 佐々木明夫, 張山昌論, 亀山充隆, “捕球ロボット制御システムの構成”, 電気関係学会東北支部連合大会, 2G1, 2001.
- [151] 大澤尚学, 張山昌論, 亀山充隆, “高性能フィールドプログラマブル VLSI プロセッサのアーキテクチャ”, 電子情報通信学会集積回路研究会, ICD2001-55, 2001.
- [152] 張山昌論, 竹内俊樹, 亀山充隆, “高性能ステレオビジョン VLSI プロセッサとその応用”, 電子情報通信学会集積回路研究会 (信学技報), ICD2001-70, 2001
- [153] 張山昌論, 竹内俊樹, 亀山充隆, “最適スケジューリングに基づくステレオビジョン VLSI プロセッサ”, 日本ロボット学会学術講演会, 1F24, 2001.
- [154] 大澤尚学, 張山昌論, 亀山充隆, “リアルワールド応用フィールドプログラマブル VLSI プロセッサ”, 日本ロボット学会学術講演会, 1F25, 2001.
- [155] 張山昌論, 亀山充隆, “周期的メモリアロケーションに基づく画像処理 VLSI プロセッサの構成”, 電子情報通信学会集積回路研究会 (信学技報), ICD2001-116, 2001.
- [156] 稲垣, 舩永, 中尾, 泉, “蟻の行動様式を模した LSI の設計”, P1301, 第 49 回応用物理学関係連合講演会, (2002)
- [157] T. Izumi, R. Kan, Y. Nakamura, “Array-Based Mapping Algorithm of Logic Functions into Plastic Cell Architecture”, IEICE Trans. on Fundamentals, Vol. E83-A, No. 12, pp. 2538-2544, December 2000.
- [158] H. Tsutsui, K. Hiwada, T. Izumi, T. Onoye, Y. Nakamura, “A Design of LUT-Array-Based PLD and a Synthesis Approach Based on Sum of Generalized Complex Terms Expression”, in Proc. of 2001 IEEE International Symposium on Circuits and Systems, pp. V203-206, May 2001.
- [159] 岡本卓也, 富田明彦, 杉本成範, 境和久, 泉知論, 尾上孝雄, 中村行宏, “プラスチックセルアーキテクチャのための回路設計環境の構築”, 第 18 回パルテノン研究会, pp. 41-50, May 2001.
- [160] T. Okamoto, K. Sakai, A. Tomita, S. Sugimoto, T. Izumi, T. Onoye, Y. Nakamura, “C-Based Design Automation Environment for Plastic Cell Architecture”, in Proc. of 10th Workshop of Synthesis And System Integration of MIXed Technologies, pp. 45-49, October 2001.

- [161] 曾我祐紀, 杉本成範, 泉 知論, 尾上孝雄, 中村行宏, “プラスチックセルアーキテクチャへの回路実装密度に関する一考察” 電子情報通信学会技術研究報告, VLD2001-115, Vol. 101 No. 468, pp 21-26, November 2001.
- [162] 曾我祐紀, 杉本成範, 泉 知論, 尾上孝雄, 中村行宏, “プラスチックセルアーキテクチャへの回路実装密度に関する一考察” 第五回システム LSI ワークショップ, pp 327-330, November 2001.
- [163] H. Tsutsui, A. Tomita, S. Sugimoto, K. Sakai, T. Izumi, T. Onoye, Y. Nakamura, “LUT-Array-Based PLD and Synthesis Approach Based on Sum of Generalized Complex Terms Expression”, IEICE Trans. on Fundamentals, Vol. E84-A, No. 11, pp2681-2689, November 2001.
- [164] 曾我祐紀, 杉本成範, 泉 知論, 尾上孝雄, 中村行宏, “論理実装効率に基づく PCA-chip2 の粒度検討”, 第 19 回バルテノン研究会資料集 pp 13-20, December 2001.
- [165] 曾我祐紀, 杉本成範, 泉 知論, 尾上孝雄, 中村行宏, “プラスチックセルアーキテクチャにおける可変論理部の粒度検討” 電子情報通信学会総合大会, March 2002.
- [166] X. Li, T. Fukushima, T. Izumi, T. Onoye, Y. Nakamura, “A HW/SW Design of an MP3 Decoder”, in Proc. of 10th Workshop of Synthesis And System Integration of Mixed Technologies, pp. 327-331, October 2001.
- [167] 福島徹也, 李 星日, 境 和久, 泉 知論, 尾上孝雄, 中村行宏, “PARTHENON を用いた MP3 デコーダの HW/SW 設計”, 第 18 回バルテノン研究会, pp. 6-13, May 2001.
- [168] 増崎隆彦, 筒井弘, 親松昌幸, 泉知論, 尾上孝雄, 中村行宏, “スケーラブル符号化のための JPEG2000 符号器の設計”, 電子情報通信学会技術研究報告, CAS2001-9/VLD2001-26/DSP2001-28, June 2001.
- [169] 筒井 弘, 増崎隆彦, 泉 知論, 尾上孝雄, 中村行宏, “JPEG2000 スケーラブル符号化器の構成法”, 電子情報通信学会基礎・境界ソサイエティ大会 (於東京都調布市電気通信大学), September 2001.
- [170] Hiroshi Tsutsui, Takahiko Masuzaki, Masayuki Oyamatsu, Tomonori Izumi, Takao Onoye, and Yukihiko Nakamura, “Design of JPEG2000 Encoder for Fully Scalable Image Coding”, in Proc of World Multi-Conference on Systemics, Cybernetics and Informatics, Orlando, Florida USA, Vol. XV, pp. 546-551, July 2001.
- [171] 山本啓史, 増崎隆彦, 曾我祐紀, “差集合巡回符号エラー訂正符号回路”, シノプシスデザインコンテスト 2002, March, 2002
- [172] 中西龍太, 富田明彦, “マッチドフィルタ型 CDMA 受信機的设计”, シノプシスデザインコンテスト 2001, Interesting Design 賞, March, 2001
- [173] K. Chikamura, T. Izumi, T. Onoye, Y. Nakamura, “IEEE1394 System Simulation Environment and a Design of its Link Layer Controller”, in Proc. of 2001 IEEE International Symposium on Circuits and Systems, pp.V1-4, May 2001.
- [174] T. Oura, T. Yoneyama, S. Tantry, and H. Asai, “A CMOS Floating Resistor Circuit having both Positive and Negative resistance Values”, IEICE Trans. Fundamenrals, vol. E85-A, no. 2, pp. 399-402, Feb, 2002.
- [175] 大浦, Tantry, 米山, 浅井, “正負両方の抵抗値を持つフローティングレジスタの設計”, 電気学会電子回路研究会資料, ECT-02-37, pp. 77-80, 2002.
- [176] S. Tantry, T. Oura, T. Yoneyama, and H. Asai, “A Positive Negative Resistor for Synaptic Weights”, 電気学会電子回路研究会資料, ECT-02-38, pp. 81-84, 2002.
- [177] S. Tantry, T. Yoneyama, and H. Asai, “Two Floating Resistor Circuits and Their Applications to Synaptic Weights in Analog Neural Networks”, Proc. ISCAS'01, May 2001.
- [178] 鈴木, 大浦, 米山, 浅井, “MOSFET の線型・飽和領域を用いた四象限乗算器の設計”, 電気学会電子回路研究会資料, ECT-02-39, pp. 85-88, 2002.
- [179] T. Suzuki, T. Yoneyama, and H. Asai. “Design of 4Q-Multiplier Using Linear and Saturation Regions of MOSFET Complementally”, ITC-CSCC'01, pp. 128-131, July, 2001.
- [180] 石井 淳, 梶原裕嗣, 中西正樹, 堀山貴史, 木村晋二, 渡邊勝正, “論理関数の重ね合わせに基づく加減算向き LUT”, 電子情報通信学会総合大会, A-3-25, Mar. 2002.
- [181] 早川朋一, 木村晋二, 中西正樹, 堀山貴史, 渡邊勝正, “リング発振器を用いたオンチップ高速シリアル通信方式”, 電子情報通信学会総合大会, A-3-4, Mar. 2002.
- [182] 鈴木真人, 木村晋二, 渡邊勝正, “動的命令変更機構を持つ組込み向け Java プロセッサの設計と評価”, 情報処理学会 システム LSI 設計技術研究会 SLDM105-6, pp. 33-40, Mar. 2002.
- [183] 梶原裕嗣, 早川朋一, 松本剛英, 森下真秀, 鈴木真人,



- 中西正樹, 堀山貴史, 木村晋二, 渡邊勝正, “顔の対称性を利用した不特定対象リアルタイム対顔判定チップ”, 第5回システム LSI ワークショップ, pp. 255-258, Nov. 2001.
- [184] K. Nakamura, M. Nakanishi, T. Horiyama, M. Suzuki, S. Kimura, and K. Watanabe, “A Real-Time User-Independent Eye Tracking LSI with Environment Adaptability”, In Proc. of the 10th Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI 2001), pp. 357-361, Oct. 2001.
- [185] B-K Tan, R. Yoshimura, T. Matsuoka and K. Taniguchi, “An Efficient Data Transmission Interface for VLSI Systems using Code-Division Multiple Access Technique”, Proceedings of 27th European Solid-State Circuits Conference (ESSCIRC 2001), pp. 176-179, Sept. 2001.
- [186] B-K Tan, R. Yoshimura, Y. Shimizu, S. Shimizu, T. Matsuoka and K. Taniguchi, “A Balanced Switched-Capacitor Charge Pump Circuit for CDMA Bus Interface”, Proceedings of 2001 IEEE International Analog VLSI Workshop, pp. 138-143, May 2001.
- [187] B-K Tan, R. Yoshimura, T. Matsuoka and K. Taniguchi, “A Novel Dynamically Programmable Arithmetic Array Using Code Division Multiple Access Bus”, Proceedings of the 8th IEEE International Conference on Electronics, Circuits and Systems, pp. 913-916, Sept. 2001.
- [188] B-K Tan, R. Yoshimura, T. Matsuoka and K. Taniguchi, “Dynamically Programmable Parallel Processor (DPPP): A Novel Reconfigurable Architecture with Simple Program Interface”, IEICE Trans. Information & Systems, vol. E84-D, no. 11, Nov. 2001.
- [189] S. Hatanaka and K. Taniguchi, “A Ratio-Independent Algorithmic Pipeline Analog-to-Digital Converter”, Proceedings of the 8th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2001), pp. 345-348, Sept. 2001.
- [190] S. Hatanaka, T. Ogawa and K. Taniguchi, “Gain-Boosted Operational Amplifier for Low Supply Voltage”, Extended Abstracts of the 2001 International Conference on Solid State Devices and Materials, Sept. 2001.
- [191] Y. Fujii, R. Yoshimura, T. Matsuoka and K. Taniguchi, “Compact device model for partially depleted SOI-MOSFETs”, Proceedings of International Conference on Simulation of Semiconductor Device and Process (SISPAD 2001), Sept. 2001.
- [192] H. Iwamura, R. Yoshimura, B-K Tan, T. Matsuoka and K. Taniguchi, “Error Analysis on Simultaneous Data Transfers in CDMA Wired Interface”, Extended Abstracts of International Conference on Solid State Devices and Materials, pp. 408-409, Sept. 2001.
- [193] 畠中, 谷口, “キャパシタばらつきに依存しないアルゴリズムを用いた高精度パイプライン AD コンバータ”, 電子情報通信学会論文誌 C Vol. J85-C, No. 1, pp. 8-13, Jan. 2002.
- [194] 首藤 真, 佐竹恵理子, 飯田陽子, 淡野公一, 石塚興彦, “SD 数表現を用いた高速 2 進—剰余数変換アルゴリズム”, 電気関係学会九州支部連合大会, p275, Oct. 2001.
- [195] Makoto Syuto, Eriko Satake, Koichi Tanno and Okihiko Ishizuka, “A High-Speed Binary to Residue Converter Using a Signed-Digit Number Representation”, IEICE Trans. Inf. and Syst. vol. E85-D, no. 5, May 2002.
- [196] Y. Nakamura et al, A Remote Control System for On-Detector VME Modules of the ATLAS Endcap Muon Trigger, pp. 391-395, Proceedings of the seventh workshop on electronics for LHC experiments, Stockholm, Sweden, 10-14, September 2001.
- [197] K. Hasuko et al, “A Remote Control System for On-Detector VME Modules of the ATLAS Endcap Muon Trigger”, IEEE 12th Conference on Real-Time Computer (RT2001), Valencia, Spain, 4-8 June 2001.
- [198] K. Hasuko et al, A Remote Control System for On-Detector VME Modules of the ATLAS Endcap Muon Trigger, Proceedings of the 7th Workshop on Electronics for LHC Experiments (LEB2001), Stockholm, Sweden, 10-14 September 2001.
- [199] Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa and T. Mizutani, “High-Speed Operation of a Novel Frequency Divider Using Resonant Tunneling Chaos Circuit”, 2001 Int. Conf. InP and Related Materials, pp. 236-239, Nara, Japan (2001).
- [200] K. Maezawa, Y. Kawano, Y. Ohno, S. Kishimoto and T. Mizutani, “Chaos Generator MMIC’s using Resonant Tunneling Diodes”, 59th Device Research Conference, pp. 55-56, Notre Dome, USA (2001).
- [201] Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa and T. Mizutani, “50 GHz Frequency Divider Using Resonant Tunneling Chaos Circuit”, 28th Int. Symp. on Compound Semiconductors, late news, Tokyo, Japan (2001).

- [202] Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa and T. Mizutani, "High-Speed Operation of a Novel Frequency Divider Using Resonant Tunneling Chaos Circuit", *Jpn. J. Appl. Phys.*, vol. 41, pp. 1150-1153 (2002).
- [203] 川野陽一, 大野雄高, 岸本 茂, 前澤宏一, 水谷 孝, "共鳴トンネルカオス回路用いた 50GHz 分周器", 2002 年電子情報通信学会総合大会 C-10-4 2002 年 3 月 早稲田大学.
- [204] 波多江秀典, 橋本浩二, 村上和彰, "指数関数演算回路における性能/面積間のトレードオフに関する評価", 電子情報通信学会技術研究報, pp. 15-21, (2002).
- [205] Rui Ito and Takeshi Shima, "Some analog building blocks for TFT circuits", *Proc. of 44th IEEE MWSCAS*, OH, Aug., pp. 417-421, 2001.
- [206] 伊藤類, 島健, "ボルテージフォロワ回路に関する一考察", 電気学会 平成 13 年電子・情報・システム部門大会
- [207] 伊藤類, 島健, "製造偏差に強靱なアナログ電子回路に関する研究", 神奈川県産業技術総合研究所 平成 13 年度神奈川県産学公交流研究会
- [208] 渡辺, 高木, 高木, "Stein のアルゴリズムに基づく有限体上の除算アルゴリズム", pp. 96-102, 信学技報 CAS2001-42, VLD2001-59, DSP2001-61 (2001).
- [209] 熊澤, 高木, 高木, "浮動小数点 3D ユークリッドノルム計算回路", pp. 1-6, 信学技報 VLD2001-89, ICD2001-134, FTS2001-36 (2001).
- [210] 松岡, 高木, 高木, "平方根の逆数計算回路の設計と評価", pp. 7-12, 信学技報 VLD2001-90, ICD2001-135, FTS2001-37 (2001).
- [211] 小川, 高木, 高木, "算術演算回路のレイアウトのためのビットスライス構造の抽出", pp. 13-18, 信学技報 CPSY2001-63 (2001).
- [212] 山本昌治, 市川周一: データ依存回路による部分グラフ同型判定, 2002 年電子情報通信学会総合大会 D-6-1, 2002 年 3 月.
- [213] M. Gel, S. Takeuchi and I. Shimoyama, "Fabrication Method for Out-of Plane Coil by Surface Micromachining", *The 11th International Conference on Solid-State Sensors and Actuators (Transducers'01/Eurosensors XV)*, 4C2.10P, 2001.
- [214] K. Hoshino, A. Nakai and I. Shimoyama, "An All-Polymer Thin-Film Scanning Optical Filter for 3D-Image Displays", *Proc. of IEEE International Micro Electro Mechanical Systems (MEMS'02)*, pp. 487-490, 2002.
- [215] N. Futai, K. Matsumoto, and I. Shimoyama, "Fabrication of High-Aspect-Ratio PZT Thick Film Structure using Sol-Gel Technique and SU-8 Photoresist", *IEEE International Micro Electro Mechanical Systems (MEMS'02)*, pp. 168-171, 2002.
- [216] E. Iwase, S. Takeuchi, and I. Shimoyama, "Sequential Batch Assembly of 3-D Microstructures with Elastic Hinges by a Magnetic Field", *IEEE International Micro Electro Mechanical Systems (MEMS'02)*, pp. 188-191, 2002.
- [217] Akihito. Nakai, Kiyoshi. Matsumoto, and Isao. Shimoyama, "A Stereoscopic Display with a Vibrating Microlens Array", *IEEE International Micro Electro Mechanical Systems (MEMS'02)*, pp. 524-527, 2002.
- [218] Yun Cao and Hiroto Yasuura, "A System-level Energy Minimization Approach Using Datapath Width Optimization", *International Symposium on Low Power Electronics and Design (ISLPED'01)*, pp. 231-236, Aug. 6-7, 2001
- [219] 曹 ユン, 大隈孝憲, 安浦寛人, "Low-Energy Memory Allocation and Assignment Based on Variable Analysis for Application-Specific Systems", 電子情報通信学会技術研究報告, VLD2001-150, ICD2001-225 (2002-03), pp. 31-38, 2002 年 3 月.
- [220] Masanori Muroyama, Tohru Ishihara, Akihiko Hyodo, Hiroto Yasuura, "A Power Minimization Technique for Arithmetic Circuits by Cell Selection", *Asia South Pacific Design Automation Conference 2002*, pp. 268-273 (2002).
- [221] 室山真徳, 石原 亨, 兵頭章彦, 安浦寛人, "入力信号パターンを考慮した低電力算術演算回路の設計手法", 情報処理学会論文誌, vol. 4, 2001.
- [222] S. Kinoshita, T. Morie, M. Nagata and A. Iwata, "A PWM Analog Memory Programming Circuit for Floating-Gate MOSFETs with 75us Programming Time and 11b Updating Resolution", *IEEE J. Solid-State Circuits*, Vol. 36, No. 8, pp. 1286-1290, August, 2001
- [223] T. Yamanaka, T. Morie, M. Nagata, and A. Iwata, "A CMOS Stochastic Associative Processor Using PWM Chaotic Signals", *IEICE Trans. Electronics*, Vol. E84-C, No. 12, pp. 1723-1729, 2001
- [224] T. Morie, M. Miyake, M. Nagata, and A. Iwata, "A 1-D CMOS PWM Cellular Neural Network Circuit and Resistive-Fuse Network Operation", *Extended Abstracts of the 2001 Int. Conf.*

Solid State Devices and Materials (SSDM2001), pp. 90-91, Tokyo, Sept. 26, 2001

- [225] T. Morie, M. Nagata, and A. Iwata, "Design of a Pixel-Parallel Feature Extraction VLSI System for Biologically-Inspired Object Recognition Methods", Proc. International Symposium on Nonlinear Theory and its Application (NOLTA2001), pp. 371-374, Zao, Oct. 31, 2001
- [226] 森江 隆, 岩田 穆, "量子ドットを用いた知能情報処理回路", 電気学会誌, Vol. 122, No. 2. pp. 94-96, 2002
- [227] T. Morie, M. Nagata and A. Iwata, "An Analog-digital Merged Circuit Architecture Using PWM Techniques for Bio-inspired Nonlinear Dynamical Systems", in Tsutomu Miki, Ed., "Brainware: Bio-Inspired Architecture and its Hardware Implementation" (FLSI Soft Computing Series-Volume 6), Chapter 3, pp. 61-87, Singapore, World Scientific Publishing, 2001
- [228] 梅澤 淳, 西島誠一, 三宅 誠, 森江 隆, 永田 真, 岩田 穆, "画像特徴抽出のためのパルス変調方式画素並列ガポールフィルタ回路", 電子情報通信学会 集積回路研究会, SDM2001-118, ICD2001-41, 2001年8月, 室蘭工業大学 (室蘭)
- [229] 中野鉄平, 彦本里美, 森江 隆, 永田 真, 岩田 穆, "画像認識のための画素並列領域抽出アルゴリズムとへの実装", 電子情報通信学会 集積回路研究会, SDM2001-119, ICD2001-42, 2001年8月
- [230] 森江 隆, 西島誠一, 三宅 誠, 永田 真, 岩田 穆, "自然画像認識のために画像分割・特徴抽出を行うパルス変調方式画素並列LSI", 第19回日本ロボット学会, 1F23, 2001年9月
- [231] 安藤博士, 三宅 誠, 森江 隆, 永田 真, 岩田 穆, "非線形CNNを用いた画像分割・抽出とそれを実現するLSI回路の設計", 日本神経回路学会第11回全国大会, P2-14 (63), 2001年9月
- [232] 安藤博士, 森江 隆, 永田 真, 岩田 穆, "非線形振動子ネットワークを用いたパルス変調方式画像抽出LSIの設計", 第5回システムLSIワークショップ, ポスター資料集, pp. 279-282, 2001年11月
- [233] 松浦知宏, 森江 隆, 永田 真, 岩田 穆, "確率的連想学習機能を備えたパルス変調方式ベクトル量子化LSIの設計", 第5回システムLSIワークショップ, ポスター資料集, pp. 283-286, 2001年11月
- [234] 安藤博士, 森江 隆, 永田 真, 岩田 穆, "画像分割・抽出を実行する非線形セルラーニューラルネットワーク回路", 電気学会電子回路研究会, 2001年12月
- [235] H. Ando, T. Morie, M. Miyake, M. Nagata and A. Iwata, "Image Segmentation/Extraction Using Nonlinear Cellular Networks and their VLSI Implementation Using Pulse-Modulation Techniques", IEICE Trans. Fundamentals, Vol. E85-A, No. 2, pp. 381-388, 2002
- [236] T. Morie, J. Umezawa, T. Nakano, H. Ando, M. Nagata, and A. Iwata, "A Biologically-Inspired Object Recognition System Using Pixel-Parallel Feature Extraction VLSIs", International Invitational Workshop on Intelligent Interface Devices, pp. 35-37, Kitakyushu, March 14, 2002
- [237] J. Ohta, N. Yoshida, K. Kagawa, and M. Nunoshita, "Proposal of Application of Pulsed Vision Chip to Retinal Prosthesis", Extended Abstracts of 2001 Int'l Conf. Solid State Devices and Materials (SSDM), pp. 284-285, Tokyo, 2001.
- [238] K. Kagawa, N. Yoshida, T. Furumiya, J. Ohta, M. Nunoshita, "An application of pulse frequency modulation photosensors to subretinal artificial retina mplantation", Proc. SPIE 4596, 314-319 (2001).
- [239] 若狭博資, 香川景一郎, 太田 淳, 菅 幹生, 土居元紀, 大城 理, 湊小太郎, 布下正宏, 千原国弘, 全周囲カメラのための画素レベルフレーム間差分機能付きビジョンチップの開発, OpticsJapan2001, 6pD11, pp. 211-212, 2001.
- [240] 平井隆夫, 太田 淳, 布下正宏, 杉下正蔵, 渡辺國寛, 変調光検出ビジョンチップ, 2001年映像情報メディア学会年次大会, 25-2, p. 367, 2001.
- [241] 吉田典巧, 太田 淳, 布下正宏, 外部制御方式を導入したパルス周波数変調方型ビジョンチップ, 2001年映像情報メディア学会年次大会, 25-1, p. 366, 2001.
- [242] 小泉, 井村, 藤原, 若林, 小出, "遺伝的アルゴリズム専用RISCプロセッサDLX-GA", 情報処理学会DAシンポジウム2001論文集, pp. 153-158 (2001).
- [243] S. Koizumi, S. Wakabayashi, T. Koide, K. Fujiwara, N. Imura, "A RISC processor for high-speed execution of genetic algorithms", Proc. 2001 Genetic and Evolutionary Computation Conference, pp. 1338-1345 (2001).
- [244] 藤原, 小泉, 井村, 若林, 小出, "遺伝的アルゴリズム専用RISCプロセッサDLX-GAの開発と評価", 平成13年度電気・情報関連学会中国支部第52回連合大会講演論文集, 052003, pp. 110-111 (2001).



- [245] Shuu'ichirou Yamamoto, Takumi Kato and Hiroshi Ishiwara, "A Novel SPICE Model of Ferroelectric Capacitors Using Schmitt Trigger Circuit", *Jpn. J. Appl. Phys.*, 40 (2001) pp. 2928-2934.
- [246] 山本修一郎, 石原 宏, "強誘電体を用いた不揮発性 CMOS ラッチ回路の新構成法と低電圧動作解析", 第 62 回応用物理学学会学術講演会講演予稿集 (2001) p. 381.
- [247] 平山智久, 山本修一郎, 石原 宏, "1T2C 型強誘電体メモリの周辺回路の設計", 電子情報通信学会 2001 年エレクトロニクスソサイエティ大会講演論文集 2 (2001) p. 97.
- [248] 山本修一郎, 井上 進, 石原 宏, "不揮発性強誘電体ラッチ回路の新構成法と低電圧動作解析", *Tech. Rep. IEICE. SDM2001-262* (2002-03)
- [249] 山本修一郎, 石原 宏, "FET のゲート容量を考慮した 1T2C 型強誘電体メモリの新規書き込み法の提案と動作解析", 第 49 回応用物理学関係連合講演会予稿集 (2002) p. 544.
- [250] 津田, 鹿股, 阿部, 青木, 樋口, "機能回復が可能な高信頼 FPGA アーキテクチャ", *FPGA/PLD Design Conference*, pp. 107-113 (2002).
- [251] AOKI, NAKAZAWA, HIGUCHI, "Design of High-Radix VLSI Dividers without Quotient Selection Tables", *IEICE Transactions on Fundamentals*, Vol. E84-A, No. 11, pp. 2623-2631 (2001).
- [252] Mitsunaga KINJO, Shigeo SATO and Koji NAKAJIMA, "Hardware Implementation of a DBM Network", *IEICE Transactions on Information and Systems*, vol. J85-D-II, no. 3, pp. 558-567, (2002)
- [253] S. Sato, M. Abe, T. Haga, M. Kinjo and K. Nakajima, "A New Approach for Implementation of Analog Neurochips", *Proc. of 2001 International Symposium on Nonlinear Theory and Its Applications*, pp. 505-508, (2001)
- [254] K. Nemoto, M. Kinjo, S. Sato, and K. Nakajima, "A Non-monotonic Neurochip using Stochastic Logic", *Proc. of 2001 International Symposium on Nonlinear Theory and Its Applications*, pp. 605-608, (2001)
- [255] M. Abe, S. Sato, and K. Nakajima, "Hardware implementation of quantized connection neural networks", *Proc. of 2001 International Symposium on Nonlinear Theory and Its Applications*, pp. 617-620, (2001)
- [256] Atsushi Asaka, Shigeru Imanishi, Noriaki Muranaka, "On Sharing with Floatin Gates Of Neuron MOSFETs in Quaternary Full Adder with Signed Digit Number representation", *The Second Korea-Japanese Joint Symposium on Multiple Valued Logic, KJ-JS-MVL01*, pp. 84-87 (Aug-2001)
- [257] 浅香 篤, 今西 茂, 村中徳明, "4 進 SD 数全加算器におけるニューロン MOSFET のフローティングゲート面積の縮小" *電気学会論文誌*, Vol. 121-C, No. 12, pp. 1926-1933 (2001-12)
- [258] 浅香 篤, 濱 真也, 徳丸正孝, 村中徳明, 今西 茂, "ニューロン MOSFET を用いた 4 進 SD 数乗算器の構成", 電子情報通信学会, フォールトトランシストシステム技術研究報告, MVL02-6, pp. 38-45 (2002-1)
- [259] 荒屋敷, 宮野, 熱海, "パルス率変調器用電圧比較器の設計", *1G4*, p. 216, 平成 13 年度電気関係学会東北支部連合大会講演論文集 (2001).
- [260] N. Yoshikawa and J. Koshiyama, "Top-Down RSFQ Logic Design Based on a Binary Decision Diagram", *IEEE Trans. Appl. Superconductivity*, vol. 11, March, 2001, 1098-1101.
- [261] J. Koshiyama and N. Yoshikawa, "A Cell-Based Design Approach for RSFQ Circuits Based on Binary Decision Diagram", *IEEE Trans. Appl. Superconductivity*, vol. 11, March, 2001, pp. 263-266.
- [262] N. Yoshikawa, T. Abe, Y. Kato and H. Hoshina, "Component Development for a 16 Gb/s RSFQ-CMOS Interface System", *IEEE Trans. Appl. Superconductivity*, vol. 11, March, 2001, pp. 735-738.
- [263] N. Yoshikawa, J. Koshiyama, K. Motoori, F. Matsuzaki and K. Yoda, "Cell-based top-down design methodology for RSFQ digital circuits", *Physica C* 357-360, 2001, pp. 1529-1539.
- [264] F. Matsuzaki, K. Yoda, J. Koshiyama, K. Motoori and N. Yoshikawa, "Design of small RSFQ Microprocessor based on Cell-Based Top-Down Design Methodology", *IEICE Transactions on Electronics*, vol. E85-C, No. 3, 2002, pp. 659-664.
- [265] N. Yoshikawa, K. Yoda, H. Hoshina and F. Matsuzaki, "Cell-Based Design Methodology for BDD RSFQ Logic Circuits - Tolerance of Basic Cells to Circuit Parameter Variations", *Supercond. Sci. Technol.*, vol. 15, 2002, pp. 156-160.
- [266] N. Yoshikawa, F. Matsuzaki, N. Nakajima and K. Yoda, "Design and Component Test of a 1-bit RSFQ Microprocessor", *Physica C*, 2002.

- [267] K. Fujiwara, H. Hoshina, J. Koshiyama, and N. Yoshikawa, "Design and Component Test of RSFQ Packet Decoders for Shift Register Memories", *Physica C*, 2002.
- [268] 内海哲章, 石島誠一郎, 高橋篤司, "様々な準同期式回路合成法の比較", *電子情報通信学会技術報告書 (VLD2001-11)*, Vol. 101, No. 46, pp. 23-26, 2001.
- [269] Seiichiro Ishijima, Tetsuaki Utsumi, Tomohiro Oto, and Atsushi Takahashi, "Semi-Synchronous Circuit Design Method by Clock Tree Modification", *The Proceedings of the Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI)*, pp. 382-386, 2001.
- [270] 内海哲章, 石島誠一郎, 大戸友博, 高橋篤司, "MIPS 互換準同期式プロセッサの試作", *第5回システム LSI ワークショップ講演資料集及びポスタ資料集*, pp. 299-302, 2001.
- [271] M. Hirabayashi, T. Sakurai, "Design Methodology and Optimization Strategy for Dual-VTH Scheme using Commercially Available Tools", *International Symposium on Low Power Electronics and Design*, pp. 283-286, 2001.8.
- [272] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee and T. Sakurai, "VTH-hopping scheme for 82 % power saving in low-voltage processors", *Proceedings of Custom Integrated Circuits Conference*, pp. 93-96, May, 2001.
- [273] K. Nose and T. Sakurai, "Two schemes to reduce interconnect delay in bi-directional and uni-directional buses", *Symposium on VLSI Circuits Digest of Technical Papers*, pp. 193-194, June, 2001.
- [274] K. Nose and T. Sakurai, "Current sensing device for micro-IDDQ test", *Electronics and Communications in Japan, part 2*, vol. 84, no. 9, 2001.
- [275] H. Kawaguchi, G. Zhang, S. Lee, and T. Sakurai, "An LSI for VDD-Hopping and MPEG4 System Based on the Chip", *International Symposium on Circuit and Systems*, pp. 918-921, May 2001.
- [276] K. Kanda, N.D. Minh, H. Kawaguchi, and T. Sakurai, "Abnormal Leakage Suppression (ALS) Scheme for Low Standby Current SRAMs", *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 174-175, Feb. 2001.
- [277] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee and T. Sakurai, "VTH-hopping scheme to reduce subthreshold leakage for low-power processors", *IEEE Journal of Solid-State Circuits*, vol. 37, pp. 413-419, Mar. , 2002.
- [278] Makoto Ogawa, Kiyoto Ito, and Tadashi Shibata, "A general-purpose vector-quantization processor employing two-dimensional bit-propagating winner-take-all", to be published in the *Digest of Technical Papers of 2002 Symposium on VLSI Circuits*, Honolulu, June 13-15, 2002.
- [279] Hiroe Kimura and Tadashi Shibata, "A Motion-Based Analog VLSI Saliency Detector Using Quasi-Two-Dimensional Hardware Algorithm", to be published in the *Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS2002)*, Arizona, May 26-29, 2002.
- [280] Toshihiko Yamasaki, Teruyasu Taguchi, and Tadashi Shibata, "Low-Power CDMA Analog Matched Filters Based on Floating-Gate Technology", accepted for publication in the *Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002)*, Arizona, May 26-29, 2002.
- [281] S. Nomura and T. Shibata, "Pure-Capacitance-Load Source-Follower Comparators for Low-Power Winner-Take-All Circuitry", to be published in the *Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002)*, Arizona, May 26-29, 2002.
- [282] 関根好文, 鳥田季代子, 松岡淳, "CMOS による八木型ハードウェアニューロンモデル", *信学論 C*, vol. J84-C, no. 6, pp. 487-493, 2001. 6.
- [283] 関根好文, 隅山正巳, 佐伯勝敏, 合原一幸, "エンハンスメント型 MOSFET による  $\Lambda$  形ニューロンモデル", *電子情報通信学会論文誌 C*, vol. J84-C, no. 10, pp. 988-994, 2001. 10.
- [284] Jun Matsuoka, Yoshifumi Sekine, Katsutoshi Saeki and Kazuyuki Aihara, "Analog Hardware Implementation of a Mathematical Model of an Asynchronous Chaotic Neuron", *IEICE Trans. Fundamentals*, vol. E85-A, no. 2, pp. 389-394, Feb. 2002
- [285] 佐伯勝敏, 関根好文, 合原一幸, "エンハンスメント型 MOSFET を用いたパルス形バーストニューロンモデル", *電子情報通信学会論文誌 C*, vol. J85-C, no. 3, pp. 174-180, 2002. 3
- [286] K. Saeki, N. Kashiwagi, Y. Sekine and K. Aihara.: "Pulse-Type Hardware Bursting Neuron Model for IC", *Proc. 2001 IEEJ Internatinal Analog VLSI Workshop*, pp. 7-12, Bangkok, Thailand, 2001. 5.

- [287] Y. Sekine, J. Matsuoka, K. Saeki and K. Aihara.: "Analog Circuits of Chaotic Neuron Model based on Mathematical Equations", Proc. 2001 IEEJ Internatinal Analog VLSI Woekshop, pp. 25-30, Bangkok, Thailand, 2001. 5.
- [288] J. Matsuoka, H. Nakashima, K. Saeki, Y. Sekine and K. Aihara.: "The Response Characteristics of a Pulse-type Hardware Chaotic Neuron Model using CMOS", Proc. The 2001 Internatinal Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC01), E4-5, pp. 612-615, Tokushima, Japan, 2001.7.
- [289] Z. Xue, M. Itagaki, K. Someya, K. Saeki and Y. Sekine.: "A Hardware Active Dendrite Model", Proc. 2001 International Conference on Neural Information Processing (ICONIP01), vol. 3, pp. 1219-1224, Shanghai, China, 2001. 11.
- [290] J. Matsuoka, Y. Sekine, K. Saeki and K. Aihara.: "Pulse-type Hardware Chaotic Neuron Model Constituting from CMOS Process", Proc. 2002 Artif. Life and Robotics (AROB02), vol. 1, S1-3, pp. 62-65, Oita, Japan, 2002. 1.
- [291] Nozomu Togawa, Tatsuhiko Wakui, Masao Yanagisawa, Tatsuo Ohtsuki, "A Hardware/Software Cosynthesis System for CAM Processors", SASIMI 2001, pp. 37-44, April 2001.
- [292] 野田真一, 戸川 望, 柳澤政生, 大附辰夫, "Gated Clockによる低消費電力化システム VLSI の高位面積/遅延/消費電力見積もり", 回路とシステム軽井沢ワークショップ, pp. 591-596, 2001年4月.
- [293] 堀川哲郎, 戸川 望, 柳澤政生, 大附辰夫, "ソフト IPのための保護アルゴリズム", 回路とシステム軽井沢ワークショップ, pp. 411-416, 2001年4月.
- [294] Nozomu Togawa, Masayuki Ienaga, Masao Yanagisawa, Tatsuo Ohtsuki, "An Area/Time Optimizing Algorithm in High-Level Synthesis of Control-Based Hardwares", IEICE Trans. On Fundamentals, vol. E84-A, No. 5, pp. 1166-1176, May 2001.
- [295] 宮岡祐一郎, 戸川 望, 柳澤政生, 大附辰夫, "デジタル信号処理向けプロセッサコアの Packed SIMD 型ハードウェア生成手法", 電子情報通信学会技術報告, VLD2001-2, pp. 7-14, 2001年5月.
- [296] 笠原亨介, 戸川 望, 柳澤政生, 大附辰夫, "デジタル信号処理向けプロセッサのためのシミュレータ生成手法", 情報処理学会 DA シンポジウム 2001, pp. 137-142, 2001年7月.
- [297] 宮岡祐一郎, 戸川 望, 柳澤政生, 大附辰夫, "Packed SIMD 型命令を持つプロセッサを対象としたハードウェア/ソフトウェア協調合成システムのためのハードウェアユニット生成手法", 情報処理学会 DA シンポジウム 2001, pp. 223-228, 2001年7月.
- [298] Nozomu Togawa, Yoshiharu Kataoka, Yuichiro Miyaoka, Masao Yanagisawa, Tatsuo Ohtsuki, "Area and Delay Estimation in Hardware/Software Cosynthesis for Digital Signal Processor Cores", IEICE Trans. On Fundamentals, vol. E84-A, No. 11, pp. 2639-2647, November 2001.
- [299] Nozomu Togawa, Takashi Sakurai, Masao Yanagisawa, Tatsuo Ohtsuki, "A New Hardware/Software Partitioning Algorithm for DSP Processor Cores with Two Types of Register Files", IEICE Trans. On Fundamentals, vol. E84-A, No. 11, pp. 2802-2807, November 2001.
- [300] 嶋下和宏, 戸川 望, 柳澤政生, 大附辰夫, "メモリとのインターフェース仕様を考慮した演算語長縮小に基づくプロセッサコアのハードウェア/ソフトウェア協調合成システム", 電子情報通信学会技術報告, VLD2001-11, pp. 127-132, 2001年11月.
- [301] Jinku Choi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "VLSI Architecture for a Flexible Motion Estimation with Parameters", ASP-DAC 2002, pp. 452-457, Jan. 2002.
- [302] 笠原亨介, 戸川 望, 柳澤政生, 大附辰夫, "Packed SIMD 型演算器を持つデジタル信号処理プロセッサのためのリターゲットブルシミュレータ生成手法", 電子情報通信学会技術報告, VLD2001-162, pp. 17-24, 2002年3月.
- [303] 磯田新平, 戸川 望, 橋 昌良, 柳澤政生, 大附辰夫, "IP 再利用を考慮した動画処理システム VLSI 向けハードウェア ソフトウェア分割設計支援システム", 電子情報通信学会技術報告, VLD2001-164, pp. 33-40, 2002年3月.
- [304] 石井哲雄, 戸川 望, 柳澤政生, 大附辰夫, "制御処理ハードウェア高位合成のためのコントロールデータフローグラフ変形手法", 電子情報通信学会技術報告, VLD2001-165, pp. 41-48, 2002年3月.
- [305] 石川, 川上, 柴田, 天野, "非同期スイッチの試作", pp. 15-21, VLD2001-10
- [306] 谷川一哉, 吉田哲男, 児島 彰, 弘中哲夫, 吉田典可, "PARS アーキテクチャの詳細設計に関する一考察", pp. 31-36, 情報処理学会研究報告 2001-ARC-144 (2001)
- [307] 三谷陽介, 内田裕志, 弘中哲夫, Mattausch Hans Juergen,



小出哲士, “ソフトウェア開発環境を備えた研究用プロセス IP”, pp. 121-126, 信学技報 VLD2001-109 (2001).

- [308] 小谷和久, 佐々木敬泰, 三宅 篤, 弘中哲夫, “MIPS R3000 + SSH 環境への OpenMP ライブラリの移植と OpenMP による並列プログラムの性能評価”, pp. 166-169, 2002 年第 3 回 IEEE 広島支部学生シンポジウム論文集 (2002).
- [309] 三宅 篤, 佐々木敬泰, 弘中哲夫, 吉田典可, “マルチプロセス環境の動作検証を行うための評価基板 MPE ボードの詳細設計”, pp. 85-92, FPGA/PLD Design Conference 論文集 (2002).
- [310] 佐々木敬泰, 西村直己, 弘中哲夫, 吉田典可, “マルチプロセス用スケジューリング支援ハードウェアの提案とシミュレーション評価”, pp. 1515-1531, 信学論 (D-I), Vol. J84-D-I, No. 11 (2001).
- [311] 高橋, 高橋, 星宮, 松木, 半田, “完全埋め込み型 FES 用集積回路の試作”, pp. 13-18, MBE 2001-162, 信学技報 (2002).
- [312] 井上高宏, 飯尾義徳, 橋柿光一, 高宗義成, “FG-MOS-FET 浮遊抵抗回路の Qt プログラミング手法とその解析”, pp. 55-58, 2002 年電気学会電子回路研究会資料 ECT-02-11
- [313] 井上高宏, 飯尾義徳, 高宗義成, 中根秀夫, “FG-MOS-FET を用いた電子可変浮遊抵抗回路の諸特性とその解析”, pp. 218-219, 2002 年第 16 回熊本県産学官技術交流会講演論文集
- [314] Y. Tanaka, M. Fukutomi, M. Sakai, M. Hattori, M. Sasaki, T. Aoki, Y. Arai, “The CSI Chip : A CMOS Charge Successive Integrator with Wide Dynamic Range for the Telescope Array Project”, IEEE 2001 Nuclear Science Symposium & Medical Imaging Conference, San Diego, California, Nov. 4-10 2001.
- [315] Y. Mitsuyama, Z. Andales, T. Onoye, and I. Shirakawa, “VLSI implementation of high performance burst mode for 128-bit block ciphers”, Proc. 14th Annual IEEE International ASIC/SoC Conference (ASIC/SoC 2001), pp. W.1.1.1-W.1.1.5, Sept. 2001.
- [316] Z. Andales, Y. Mitsuyama, T. Onoye, and I. Shirakawa, “System performance evaluation of high-speed mode for 128-bit block ciphers”, Proc. 10th Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI 2001), pp. 332-339, Oct. 2001.
- [317] Xueilang Song, Naoki Futakuchi, Daisuke Miyashita, Masaki Kato, and Yoshiaki Nakano, “InGaAsP/InP Monolithic SOA Mach-Zehnder Interferometer Optical Switches Fabricated Entirely by Selective Area MOVPE”, 10th European Conference on Integrated Optics, Paderborn, Germany, pp. 102-105, 2001 年 4 月
- [318] Mitsuru Takenaka, Masumi Saitoh, Yoshiaki Nakano, “Self-align electrode separation of directionally coupled semiconductor optical amplifier”, SPIE The International Society for Optical Engineering, 4532, pp. 361-368, 2001 年 8 月
- [319] Takahashi H, Mori K, Yokoi K, Fukuda D, Nakazawa M, Yasuda N, Yamamoto M, Hasegawa K, “Development of a new multi-grid-type microstrip gas chamber”, Nucl. Instrum and Methods in Phys. Res. A, Vol. 477, No. (1-3), pp. 13-16, JAN 21 2002
- [320] Takahashi H, Yokoi K, Yano K, Fukuda D, Nakazawa M, Kishimoto S, Hasegawa K, “Development of a multigrid-type microstrip gas chamber”, IEEE Trans. on Nucl. Sci., Vol. 48, No. 6, pp. 2317-2320, DEC 2001
- [321] Takahashi H, Yokoi K, Yano K, Fukuda D, Nakazawa M, Hasegawa K, “A new multi-grid type MSGC with pad read-out”, Nucl. Instrum. & Methods in Phys. Res. A, Vol. 471, No. (1-2), pp. 120-124, SEP 21 2001
- [322] Y. Noguchi, D. Fukuda, M. Ohno, T. Naruse, M. Nakazawa, H. Takahashi, M. Ataka, M. Ukibe, F. Hirayama and M. Ohkubo, “Development of X-ray Microcalorimeters with mono-layered superconducting transition edge sensors”, KEK Proceedings 2001-20 RADIATION DETECTORS AND THEIR USES-the 15th Workshop on Radiation Detectors and Their Uses, pp. 8-17, 2001
- [323] M. Ohno, Y. Noguchi, D. Fukuda, H. Takahashi, M. Nakazawa, M. Ataka, M. Ukibe, F. Hirayama, M. Ohkubo and H. M. Shimizu, “Development of the X-ray microcalorimeter with a superconductive Ir layer”, AIP Conference Proceedings LOW TEMPERATURE DETECTORS-the 9th International Workshop on Low Temperature Detectors, 605, pp. 259-262, 2002
- [324] D. Fukuda, Y. Noguchi, M. Ohno, H. Takahashi, M. Ataka, Harald Pressler, F. Hirayama, M. Ukibe, M. Ohkubo, H. M. Shimizu and M. Nakazawa, “TES X-ray Microcalorimeters with Single Element Superconductors”, AIP Conference Proceedings LOW TEMPERATURE DETECTORS-the 9th International Workshop on Low Temperature Detectors, 605, pp. 263-266, 2002
- [325] Y. Noguchi, H. Takahashi, D. Fukuda, M. Ohno, M.

Nakazawa, M. Ataka, M. Ukibe, F. Hirayama and M. Ohkubo, "A new Readout Scheme for Imaging TES Based on Cooling Time Measurement", AIP Conference Proceedings LOW TEMPERATURE DETECTORS" the 9th International Workshop on Low Temperature Detectors, 605, pp. 325-328, 2002

- [326] D. Fukuda, H. Takahashi, M. Ohno and M. Nakazawa, "Ir TES for X-ray microcalorimeters", Nucl. Instrum. & Methods in Phys. Res. A, Vol. 444, pp. 241-244, 2000
- [327] D. Fukuda, H. Takahashi, M. Ohno, Y. Noguchi and M. Nakazawa, "Computer calculation of the ETF-TES property and development of Ir TES for x-ray microcalorimeters", Radiation, Vol. 26, No. 1, pp. 95-103, 2000
- [328] D. Fukuda, H. Takahashi, M. Ohno, Y. Noguchi and M. Nakazawa, "Development of superconductive transition edge x-ray microcalorimeter using a sputtered Ir film", KEK Proceedings 2001-20 RADIATION DETECTORS AND THEIR USES-the 14th Workshop on Radiation Detectors and Their Uses, 2001-14, pp. 218-225, 2000
- [329] 福田大治, 大野雅史, 野口佳彦, 高橋浩之, 中沢正治, 安宅学, "単一超伝導体を用いた TES マイクロカロリメータの開発", 電気学会研究会原子力研究会資料, NE-00-12, 2000 Sep.
- [330] T. Bourouina, A. Garnier, H. Fujita, "Effect of Direct Current Bias Field and Alternating Current Excitation Field on Vibration Amplitudes and Resonance Frequencies in Bending and Torsion Modes of a Magnetostrictively-actuated Bimorph Microresonator", Journal of Applied Physics, Vol. 91, No. 1, pp. 112-120, 2002.
- [331] Khalfallah S, Gorecki C, Podlecki J, Nishioka M, Kawakatsu H, Arakawa Y, "Wet-etching fabrication of multilayer GaAlAs/GaAs microtips for scanning near-field optical microscopy", Applied Physics A-Materials Science & Processing, Vol. 71, No. 2, pp. 223-225, 2000 Aug.
- [332] C. Gorecki, S. Khalfallah, H. Kawakatsu, Y. Arakawa, "New SNOM sensor using optical feedback in a VCSEL-based compound-cavity", Sensors and Actuators A-Physical, Vol. 87, No. 3, pp. 113-123, 2001 Jan.
- [333] Hideyuki Maekoba, Philippe Helin, Gilbert Reyne, Tarik Bourouina, Hiroyuki Fujita, "Self-aligned vertical mirror and V-grooves applied to an optical-switch: modeling and optimization of bi-stable operation by electromagnetic actuation", Sensors and Actuators, A PHYSICAL, Micromechanics section in this issue, Volume A87, issue 3, Completing Volume 87, pp. 172-178, 2001 Jan. 5.
- [334] 藤田博之, "光 MEMS 技術の最近の動向", 電気学会論文誌 E, センサ・マイクロマシン準部門誌, vol. 121-E, No. 12, pp. 621-624, 2001 Dec.
- [335] 安井学, 平林康男, 藤田博之, "マイクロマシニングとしてのニッケル電鍍技術の応用", 表面技術, Vol. 52, No. 11, pp. 734-737, 2001
- [336] 藤田博之, "シリコンマイクロシステムと細胞操作への応用", 日本エム・イー学会機関紙 BME, Vol. 15, No. 10, pp. 31-36, 2001 Oct.
- [337] Laurent Griscom, Patrick Degenaar, Bruno LePioufle Eichi Tamiya, Hiroyuki Fujita, "Cell placement and Neural guidance using a three-dimensional microfluidic array", Japanese Journal of Applied Physics, Vol. 40, 9A, pp. 5485-5490, 2001 Sept.
- [338] Laurent Griscom, Patrick Degenaar, Bruno LePioufle Eichi Tamiya, Hiroyuki Fujita, "Techniques for patterning and guidance of primary culture neurons on micro-electrode arrays", Sensors and Actuators B, 4158, pp. 1-7, 2002.
- [339] P. Degenaar, B. Le Pioufle, L. Griscom, A. Tixier, Y. Akagi, Y. Morita, Y. Murakami, K. Yokoyama, H. Fujita, and E. Tamiya, "A Method for Micrometer Resolution Patterning of Primary Culture Neurons for SPM Analysis", J. Biochem., Vol. 130, pp. 367-376, 2001
- [340] P. Surbled, C. Clerc, B. Le Pioufle, M. Ataka, H. Fujita, "Effect of the Composition and Thermal Annealing on the Transformation Temperatures of Sputtered TiNi Shape Memory Alloy Thin Films", Thin Solid Films, Vol 401, 1-2, pp. 52-59, 2001
- [341] Hiroyuki Fujita, Hiroshi Toshiyoshi, Gen Hashiguchi, Yasuo Wada, "Micromachined tools for nano technology", Riken Review Focused on Science and Technology in Micro/Nano Scale, The Institute of Physical and Chemical Research, No. 36, pp. 12-15, 2001 Jun.
- [342] Hiroyuki Fujita, "Optical NEMS and Applications in Photonic Networks", Technical Digest CPT 2001, Fourth International Topical Workshop on Contemporary Photonic Technologies - New Generation Optical Networking and key Technologies - Toshi Center Hotel, Tokyo, Japan, pp. 49-53, 2000 Jan. 15-17
- [343] R. Ohigashi, K. Tsuchiya, Y. Mita, and H. Fujita, "Micro Capillaries Array Head for Direct Drawing of Fine Patterns", IEEE International Conference on MicroElectroMechanical Systems (MEMS 2001), Interlaken, Switzerland, pp. 389-392,

- [344] M. Mita, M. Arai, S. Tensaka, D. Kobayashi, P. Basset, A. Kaiser, P. Masquelier, L. Buchaillet, D. Collard and H. Fujita, "Electrostatic Impact-drive Actuator", Proc. 14th IEEE Micro Electro Mechanical System, Interlaken, Switzerland, pp. 590-593, 2001 Jan.
- [345] K. Kakushima, M. Mita, D. Kobayashi, J. Endo, Y. Wada, H. Fujita, "Micromachined Tools for Nano Technology -Twin Nano-Probes and Nano-Scale Gap Control by Integrated Microactuators-", Technical Digest of Micro Electro Mechanical Systems (MEMS)2001, Interlaken, Switzerland, pp. 294-297, 2001 Jan. 21-25
- [346] Jun Chen, Junji Endo, Yoshiaki Niino, and Hiroyuki Fujita, "Phase-shifting interference microscopy using a Fresnel's biprism", Optical Engineering for Sensing and Nanotechnology (ICOSN 2001), Yokohama, Japan, Proc. SPIE Volume 4416, pp 158-161, 2001 Jun. 6-8
- [347] K. Kakushima, M. Mita, Y. Mita, H. Fujita, "Fabrication of various shapes nano structure using Si anisotropic etching and silicidation", 11th International Conference on Solid-State Sensors and Actuators, Transducers '01/Euroensors XV, Munich, Germany, pp. 1090-1091, 2001 Jun. 13
- [348] Y. Mita, M. Arai, A. Tixier and H. Fujita, "Bulk Micromachined Durable Air-Flow Microactuator Array for Robust Conveyance Systems", International Conference on Solid State Sensors and Actuators (Transducers '01), Munich, Germany, pp. 718-721, 2001 June 10-14
- [349] E. Lebrasseur, J.-B. Pourciel, T. Bourouina, M. Ozaki, T. Masuzawa, and H. Fujita, "Microsystem for Vertical Profile Measurement of High Aspect-ratio Microstructures", International Conference on Solid State Sensors and Actuators (Transducers '01), Munich, Germany, pp. 1058-1061, 2001 June 10-14
- [350] Hiroyuki Fujita, "MEMS Technology and Application to Optical Communication", 20th. Electronic Materials Symposium, EMS20, Millennium symposium, Extended Abstracts of The 20th Electronic Materials Symposium, Nara Centennial Hall, Nara, Japan, pp17-20, 2001 June 20th.-22nd.
- [351] T. Bourouina, E. Lebrasseur, G. Reyne, H. Fujita, T. Masuzawa, A. Ludwig, E.Quandt, H. Muro, T. Oki, A. Asaoka, "A Novel Optical Scanner with Integrated Two-Dimensional Magnetostrictive Actuation and Two-Dimensional Piezoresistive Detection", International Conference on Solid State Sensors and Actuators (Transducers '01), Munich, Germany, pp. 1328-1331, 2001 June 10-14
- [352] G. Reyne, L. Houlet, T. Iizuka, H. Fujita, "Matrix array of thick thin-film SU8 electroplated microcoils for micro-actuation", Joint European Magnetic Symposia (EMMA-MRM), Grenoble, France, pp. 200, 2001 Aug 28th-Sept. 1st
- [353] K. Cozic, M. Frenea, A. Tixier, B. Le Pioufle, H. Fujita, E. Tamiya., "A bio-microsystem for gene therapy: catching, attaching and preliminary tests of electroporation on cells", International Symposium on Microchemistry and Microsystems (ISMM' 2001), Kawasaki, Japan, pp. 112, 2001 Sept. 18-19
- [354] Patrick Degenaar, Laurent Griscom, Yuji Murakami, Kenji Yokoyama, Hiroyuki Fujita, Eiichi Tamiya, "Microfluidic chips for screening of neuron drugs", BIOCHIPS 2001-Technology Development & Application, Polytechnic University, Brooklyn, NY Brooklyn, NY USA, 2001 March 12-13
- [355] Laurent Griscom, Patrick Degenaar, Bruno LePioufle, Eiichi Tamiya, Hiroyuki Fujita, "Soft Lithographic Techniques For Guidance Of Hippocampal Neurons On Micro-Electrode Arrays Topic: Biosensors And Bioanalytical Systems", International Conference on Solid State Sensors and Actuators (Transducers '01), Munich, Germany, pp. 338-341, 2001 June 10-14
- [356] Yoshifumi Takahashi, Tuji takeuchi, Gilbert Reyne, Hiroyuki Fujita, "Micromachined optical scanner for strings diameter measurement system", IEEE/LEOS International Conference on Optical MEMS2001, Okinawa (Japan), pp. 9-10, 2001 Sept. 25-28
- [357] Tarik Bourouina, Takahisa Masuzawa, Hiroyuki Fujita, "The MEMSNAS Process: Microloading Effect for Micromachining of 3D Structures with Nearly Arbitrary Shape. Application to Micro-Optics on Silicon.", IEEE/LEOS International Conference on Optical MEMS2001, Okinawa (Japan), pp. 81-82, 2001 Sept. 25-28
- [358] Philippe Helin, Tarik Bourouina, Lionel Houlet, Gilbert Reyne, Hiroyuki Fujita, "Monolithic, Single Crystal Silicon, Vertical Mirrors Arrays with Improved Integration Density for Optical Crossconnects.", IEEE/LEOS International Conference on Optical MEMS2001, Okinawa (Japan), pp. 83-84, 2001 Sept. 25-28
- [359] Hideo Muro, Takahiko Oki, Akira Asaoka, Tarik Bourouina, Eric Lebrasseur, Gilbert Reyne, Hiroyuki Fujita, "A Novel Piezoresistor-Bridge Configuration for The Simultaneous



- [360] J.P. Gouy, M. Kitamura, A. Ben Moussa, H. Fujita, Y. Arakawa, "Deposition of Organic Semiconductor Through Silicon Shadow Masks for Integrated LED on Silicon", IEEE/LEOS International Conference on Optical MEMS2001, Okinawa (Japan), pp. 123-124, 2001 Sept. 25-28
- [361] S. Camou, T. Fujii, J.P. Gouy, H. Fujita, "Design of a 2-D optical lens on a PDMS micro-chip to improve fluorescence spectroscopy Using Integrated Optical Fibers", IEEE/LEOS International Conference on Optical MEMS2001, Okinawa (Japan), pp. 133-134, 2001 Sept. 25-28
- [362] L. Houlet, H. Maekoba, G. Reyne, T. Bourouina, P. Helin, H. Fujita, "Electromagnetic Actuation for Optical Matrix Micro-Switches", IEEE/LEOS International Conference on Optical MEMS2001, Okinawa (Japan), pp. 15-16, 2001 Sept. 25-28
- [363] Hiroyuki Fujita, "Micromachined Tools for the Investigation of Nano World -Joint Research between CNRS and IIS/University of Tokyo", Mecatronics'01 5th Franco-Japanese Congress & 3rd European-Asian Congress Besancon (France), pp. 4-10, 2001 Oct. 9-11.
- [364] Jean Philippe Gouy, Satoshi Oshima, Yoshio Mita, Agnes Tixier, Hiroyuki Fujita, "Electrical Microconnector using Micromachined Cantilevers for 3D Chip Level Assembly", Mecatronics'01 5th Franco-Japanese Congress & 3rd European-Asian Congress Besancon (France), pp. 383-386, 2001 Oct. 9-11.
- [365] Gilbert Reyne, Lionel Houlet, Yoshifumi Takahashi, Tarik Bourouina, Hiroyuki Fujita, "Advantages and Examples of Electromagnetic Actuation for MOEMS About Scale Reduction Law and Remote Control", Mecatronics'01 5th Franco-Japanese Congress & 3rd European-Asian Congress Besancon (France), pp. 586-591, 2001 Oct. 9-11.
- [366] Hiroyuki Fujita, "Micromachined Tools for the Investigator of Nano World", CIRMM Seminar on Bio-N2M-2001, Paris, France, 2001 Oct. 11
- [367] T. Masuzawa, J.B. Pourciel, "Profile Measurement of High Aspect-ratio Microstructures", Robofesta 2001, Yokohama, Japan, 2001 Nov. 16-25.
- [368] K. Kakushima, G. Hashiguchi, H. Fujita, "Fabrication of Twin Field-Emission Tips by Si Nano Machining for TEM Observation", The 21st International Display Research Conference in conjunction with The 8th International Display Workshop, Asia Display/IDW'01, Nagoya Congress Center, Japan, pp. 1177-1180, 2001 Oct. 16-19
- [369] Hiroyuki Fujita, "The role of micromachine tools for bio/nano technology", 第四回 日仏バイオセンサー・バイオエレクトロニクス会議, 東京大学先端科学技術研究センター, p. 49, 2001. 10.23-26
- [370] A. Tixier, Katell Cozic, Bruno Le Pioufle, Hiroyuki Fujita, Eiichi Tamiya, "Cathing Cells using an Array of Microholes", 第四回 日仏バイオセンサー・バイオエレクトロニクス会議, 東京大学先端科学技術研究センター, p. 50, 2001. 10.23-26
- [371] M. Ferena, K. Cozig, A. Tixier, B. Le Pioufle, H. Lhermite, P. Coquet, H. Fujita, E. Tamiya, "Methods for self arrangement of living cells on a two-dimensional array of microchambers for biochips applications", 第四回 日仏バイオセンサー・バイオエレクトロニクス会議, 東京大学先端科学技術研究センター, p. 52, 2001. 10.23-26
- [372] Jean Philippe Gouy, Hiroshi Toshiyoshi, Hiroyuki Fujita, "LIMMS: Laboratory for Integrated MicroMechatronic Systems. A Joint Research On Micromechatronics between the Centre National de la Recherche Scientifique (CNRS) and the Institute of Industrial Science (IIS)", 第四回 日仏バイオセンサー・バイオエレクトロニクス会議, 東京大学先端科学技術研究センター, p. 125, 2001. 10.23-26
- [373] Hiroyuki Fujita, "Micro Machines for Large Prospects", World knowledge Forum, Korea, paper KT-6-1, 2001 Oct. 17-19
- [374] Hiroyuki Fujita, "Micromachine Research in Universities in the Last Decade", 第7回国際マイクロマシンシンポジウム, pp. 111-115, 2001. Oct.31-Nov. 1
- [375] J.B. Pourciel, E. Lebrasseur, T. Bourouina, "Outil Microsysteme pour le trace de profils de microstructures a haut facteur de forme", French Science And Technology Workshop, Tokyo, Japan, pp. 139-140, 2001.Nov. 19-20
- [376] Hiroyuki Fujita, "MEMS/MOEMS Application to Optical Communication", Proceedings of SPIE, Micromachining and Microfabrication Process Technology VII, San Francisco, USA, Vol. 4557, pp. 11 -17, 2001 Oct. 22-24
- [377] Hiroyuki Fujita, "Research Activities of Optical MEMS in Japan", 2001 IEEE/LEOS Annual Meeting Conference

Proceedings, Hyatt Regency La Jolla, San Diego, CA, Vol. 1, pp. 66-67, 2001 Nov. 12-13

- [378] Lionel Houlet, Gilbert Reyne, Tetsuhiko Iizuka, Tarik Bourouina, Elisabeth-Dufour Gergam, Hiroyuki Fujita, "Copper micro-coil arrays for the actuation of optical matrix micro switches", Proceedings of SPIE Device and Process Technologies for MEMS and Microelectronics 2, Adelaide, Australia, Vol. 4592, pp. 422-427, 2001 Dec. 17-19
- [379] G. Reyne, L. Houlet, Y. Takahashi, T. Bourouina, H. Fujita, "Electromagnetic Remote Control and Down Scaling Advantages and Examples for MOEMS", Proceedings of SPIE Device and Process Technologies for MEMS and Microelectronics 2, Adelaide, Australia, Vol. 4592, pp. 205-215, 2001 Dec. 17-19
- [380] Jean-Bernard Pourciel, Eric Lebrasseur, Tarik Bourouina, Takahisa Masuzawa, Hiroyuki Fujita, "Microsystem Tool for Microsystems Characterization", Proceedings of SPIE Device and Process Technologies for MEMS and Microelectronics 2, Adelaide, Australia, Vol. 4592, pp.-, 2001 Dec. 17-19
- [381] A. BenMoussa, J. Tatebayashi, J.P Gouy, H. Fujita and Y. Arakawa, "Micro-machined Tunable (Mi-T)VCSEL around 1.3 $\mu$ m", Proceedings of SPIE Device and Process Technologies for MEMS and Microelectronics 2, Adelaide, Australia, Vol. 4592, pp. 400, 2001 Dec. 17-19
- [382] J.P. Gouy, Y Arakawa and H. Fujita, "Integration of active materials with silicon micromachining : application to optical MEMS", Proceedings of SPIE Device and Process Technologies for MEMS and Microelectronics 2, Adelaide, Australia, Vol. 4592, pp., 2001 Dec. 17-19
- [383] 藤田博之, 勝部昭明, 佐藤一雄, 杉山 進, 杉山佳延, 三橋渉, "センサとマイクロマシン", 電気工学ハンドブック第6版, 社団法人電気学会, 10編, pp. 439-476, 2001 Feb.
- [384] 藤田博之, 橋口 原, "ナノ加工のためのエッチング技術", 図解ナノテクノロジーのすべて 第3章ナノテクノロジーのための加工・計測, 工業調査会, pp. 74-77, 2001 Nov.
- [385] K. Oka, S. Aoyagi, Y. Isono, G. Hashiguchi and H. Fujita, "Fabrication of a Micro Needle for a Trace Blood Test", 11th International Conference on Solid-State Sensors and Actuators, Munich, Germany, pp. 412-415, 2001年6月
- [386] 青柳誠司, 岡 一成, 荒井泰彦, 高野政晴, 磯野吉正, 大平文和, 橋口 原, 藤田博之, "微量血液検査システムのための微小注射針の作製", 精密工学会秋季大会, p. 580, 2001年9月

# VDEC

## 第3章 平成14年度の活動計画

平成14年度は、従来の設計情報発信、CADツール提供、チップ支援に加え、平成12年度から開始したSTARCとの共同研究の枠組みに基づくプロジェクト型研究が、3ヵ年の最終年度を迎え、そのとりまとめを通じて事業内容を充実拡充していく予定である。

### 【設計情報発信・セミナー開催】

本年度は、平成9年度より継続しているCADツール利用法に関する技術セミナー、平成10年度から継続している社会人向けの「リフレッシュセミナー」、平成8年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行なうことを予定している。これにより自然な形で、若手のVLSI設計者の層を厚くし、定常的な情報交換の場を確立していきたい。試作チップ数の増加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSIテスト技術および、VDECおよび拠点校に設置されているLSIテスター利用法のセミナーも継続して開催し、VDECおよび拠点校のテスターに対し「利用資格」を有する学生・研究者の数を増やす努力をしていく予定

である。同時に各拠点校のテスター関係者の連携を密にすることで多様化していくテストの需要に全国レベルで対応する体制を整えていきたい。これは、大きなコストを必要とするテスターの維持・管理を効率化し、維持コストを抑えつつ有効利用を促進するねらいを持っている。また平成14年度から新たな取り組みとして、時限の研究会「LSI動作解析技術研究会」を介して、産業界と密接に連携した次世代のテスト技術・故障診断技術の研究交流推進を目指す。

さらに、日本、韓国、台湾というアジアのVDECと同様の活動拠点で相互ワークショップを開催し、利用者相互の交流により、各国におけるLSI設計研究・教育を一層盛り上げることを目指していく予定である。

### 【CADツール提供】

上流設計 (Cadence, Synopsys), 中流設計 (Avant!, Cadence), 下流設計 (Cadence) の各基本ツールを、平成14年度もサポートしていく。

CADツールに必要な論理設計用ライブラリについては、ファウンドリ提供のものに加え、京都大学、九州大学、早稲田大学、豊橋科学技術大学などの協力を得て、VDECのチップ試作テストラン等を通じて構築されたライブラリの整備が進んでおり、平成14年

度は、より信頼性の高いものの提供、およびライブラリに応じた進んだ設計フローの構築などを目指していきたい。

また後述のプロジェクト型研究などの推進により、IPベース設計手法の確立、および大学で利用できるIP (マクロライブラリ) の構築、整備を進めたい。これらの活動整備には広く各大学からの協力を期待している。

### 【チップ試作支援】

平成9年度より実施してきたローム株式会社0.6 $\mu$ mプロセスは平成13年度をもって廃止することとなり、代わりにローム株式会社0.35 $\mu$ mプロセス実施回数を年4回とすることとなった。また平成13年度試行を行なった日立製作所0.18 $\mu$ mプロセスが定常試作とし

て加わることとなった。さらに組立実装の多様化を目指して、平成14年度よりローム株式会社0.35 $\mu$ mプロセスの組立を株式会社富士通VLSIに依頼することとなった。以上、日立北海セミコンダクタ株式会社、オン・セミコンダクター、ローム株式会社、日立製作所



の協力により、5種類のプロセスで計10回の試作を設定する予定である（すでに一部の試作は進行中である）。

機会の提供および、アナログ・高周波向けプロセスによるチップ試作機会の提供に向けての協力を依頼していきたい。

これに加え、一層の微細プロセスによるチップ試作

**表 3.1 VDEC チップ試作スケジュール（平成 14 年度）**

**【CMOS 1.2 $\mu$ m 2P2M】 オン・セミコンダクタ（旧日本モトローラ）**

	申込開始	申込 $\times$ 切	設計 $\times$ 切	チップ納品
第0回	平成 14 年 1 月 31 日	平成 14 年 3 月 4 日	平成 14 年 4 月 1 日	平成 14 年 7 月 5 日
第1回	平成 14 年 4 月 8 日	平成 14 年 7 月 8 日	平成 14 年 10 月 7 日	平成 14 年 1 月 10 日
第2回	平成 14 年 10 月 15 日	平成 15 年 1 月 14 日	平成 15 年 4 月 7 日	平成 15 年 7 月 11 日

**【CMOS 0.5 $\mu$ m 1P3M】 日立北海セミコンダクター（旧 NEL）**

	申込開始	申込 $\times$ 切	設計 $\times$ 切	チップ納品
第1回	平成 14 年 3 月 18 日	平成 14 年 6 月 17 日	平成 14 年 9 月 17 日	平成 14 年 12 月 20 日

**【CMOS 0.35 $\mu$ m 2P3M】 ローム株式会社**

	申込開始	申込 $\times$ 切	設計 $\times$ 切	チップ納品
第1回	平成 14 年 2 月 25 日	平成 14 年 4 月 22 日	平成 14 年 6 月 24 日	平成 14 年 9 月 27 日
第2回	平成 14 年 3 月 4 日	平成 14 年 5 月 27 日	平成 14 年 8 月 26 日	平成 14 年 11 月 29 日
第3回	平成 14 年 5 月 13 日	平成 14 年 8 月 5 日	平成 14 年 11 月 5 日	平成 15 年 2 月 7 日
第4回	平成 14 年 8 月 5 日	平成 14 年 11 月 5 日	平成 15 年 2 月 3 日	平成 15 年 5 月 9 日

**【CMOS 0.35 $\mu$ m ゲートアレイ 1P5M】 日立製作所**

	申込開始	申込 $\times$ 切	設計 $\times$ 切	チップ納品
第1回	平成 14 年 6 月 10 日	平成 14 年 9 月 9 日	平成 14 年 12 月 9 日	平成 15 年 3 月 14 日

**【CMOS 0.18 $\mu$ m 1P5M】 日立製作所**

	申込開始	申込 $\times$ 切	設計 $\times$ 切	チップ納品
第1回	平成 14 年 2 月 28 日	平成 14 年 5 月 22 日	平成 14 年 7 月 22 日	平成 14 年 10 月 25 日
第2回	平成 14 年 7 月 15 日	平成 14 年 11 月 15 日	平成 15 年 1 月 14 日	平成 15 年 4 月 18 日

**表 3.2 チップ試作料金**

設計規則	チップサイズ	税抜価格(千円)	設計規則	チップサイズ	税抜価格(千円)
CMOS 1.2 $\mu$ m 2P2M	2.3mm 角	66.5	CMOS 0.35 $\mu$ m 2P3M	2.5mm 角	93.75**
	4.8mm 角	230		4.9mm 角	375**
	7.3mm 角	451	CMOS 0.35 $\mu$ mGA 1P4M	5.9mm 角	506
CMOS 0.5 $\mu$ m 1P3M	2.3mm 角	138	CMOS 0.18 $\mu$ m 1P5M	2.9mm 角	350
	4.8mm 角	535.9		5.9mm 角	1200

\* チップ試作料金が改定される場合があります

\*\* 組立代金は別途

## 【プロジェクト型研究】

VLSI 技術は日々進歩しており，VDEC がサポートしている CAD ツールやライブラリ，チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており，各方面の協力を随時お願いする予定である。

平成 12 年度から始まった，特定のテーマごとに研究グループを組織し VDEC におけるチップ試作を利用した研究を推進し，その成果物として，大学におい

て自由に利用できるような IP ライブラリの構築を目指したプロジェクトを開始した．具体的には米国モトローラ社からの提供によるマイクロプロセッサ IP (M. CORE) をプラットフォームとした設計プロジェクト，デジタル及びアナログ IP 開発プロジェクトを推進している．平成 14 年度はこれまでの 2 ヶ年の研究にもとづきプロジェクトのまとめ評価に向けて研究を進める予定である。

# 第4章 VDEC 概要

## 4.1. 組織概要

VDEC は平成8年度に発足した。当時は専任教官5名と事務官1名という小さな組織であったが、平成9年度に専任教官2名と事務官1名が増員された。さらに、全国の大学と連携を密にする目的で各大学から2年を単位として2名の教官を派遣する「流動教官ポスト制度」が平成9年度からスタートした。平成10年度までは東北大学と横浜国立大学から、平成11年度と12年度は広島大学と金沢大学から、平成13年度からは東京工業大学と千葉大学から、平成14年度は京都大学から流動教官が派遣されている。(平成14年度から交互に流動教官を交代することにした。その為、平成14年度には流動

教官が3名在籍している。) また、産業界と協力を  
行うため、客員教授(1種)が1名おかれている。

VDEC は現在、専任教官10名、客員教授1名、事務官2名の定員の定員を有しているが、他にも多くの援助を受けながら VDEC は運営されている。事務では、工学系研究科事務部との合同化により直接の担当掛を共同利用掛とし、工学系研究科事務部全体の支援を受けている。教育・研究の分野では、学内の協力教官、学外の協力研究員、さらには全国の拠点大学の教職員と学生を含む CAD ボランティア等多くの協力者の手によって支えられている。

## 4.2. 人事報告

### VDEC 人事

センター長・教授 浅田 邦博  
教授 鳳 紘一郎  
(新領域創成科学研究科併任)  
客員教授 玉置 洋一  
助教授 平本 俊郎  
(平成14年3月まで)  
助教授 一色 剛  
助教授 北神 正人  
助教授 池田 誠  
(平成14年4月から)  
助教授 小林 和淑  
(平成14年4月から)  
助教授 年吉 洋  
(平成14年5月から)  
助手 鄭 若彤  
助手 石原 亨  
助手 小松 聡  
共同利用主任 岩下 健吾  
(平成14年3月まで)

共同利用主任 真弓 貞雄  
(平成14年4月から)  
共同利用掛長 清水 要  
共同利用掛員 石井 肇雄  
(平成13年9月15日まで)  
共同利用掛員 麦谷 重男  
(平成14年4月から)  
協力教官 柴田 直  
(東京大学新領域創成  
科学研究科教授)  
藤田 昌宏  
(東京大学工学系研究科  
電子工学専攻教授)  
藤島 実  
(東京大学新領域創成  
科学研究科助教授)  
三田 吉郎  
(東京大学工学系研究科  
電気工学専攻講師)





藤田昌宏・柴田直・平本俊郎  
藤島実・真弓貞雄・麦谷重男・清水要・吉田直美  
一色剛・小松聡・石原亨・北神正人・玉置洋一・萩田雅士・池田誠  
小林和淑・鳳紘一郎・浅田邦博・年吉洋・三田吉郎・鄭若丹彡

## 新任職員紹介

助 教 授          小 林 和 淑 (こばやし かずとし)

この度、京都大学大学院情報学研究科から、VDECの流動教官に転任致しました小林です。VDECにはその設立前から様々な面で関わっており、いろいろなところに顔を出しておりますので、ご存じの方も多いかと思います。これまで、流動教官は2年毎に2人とも交代するという制度でしたが、それでは業務の引き継ぎに問題が生じることから、1年で一人ずつ交代することになりました。そ

の移行措置として今年度は、通常の二人の流動教官に、私が3人目として加わることになりました。これまで以上に、各種メーリングリストの受け答えを積極的に行っていきたいと思っております。また、リフレッシュ教育、テスト講習会、デザイナーズフォーラム等でも活躍したいと考えておりますので、よろしく御願ひ致します。

助 教 授          年 吉          洋 (としよし ひろし)

平成14年5月1日より、本学の生産技術研究所から転任いたしました。専門はMEMS (Micro Electro Mechanical Systems) という分野で、日本では「マイクロマシン」あるいは「マイクロメカトロニクス」の方が通りが良いかもしれません。私のグループでは、微小なミラーやレンズを機械的に駆動

して、光ファイバスイッチ等の微小光学分野への応用を研究しています。MEMSはその名の通り、電気系と機械系の接点です。VDECの環境を生かして、メカに加えて本格的に検出回路や駆動回路を取り込んだ研究を展開したいと考えております。

# 平成13年度大規模集積システム設計教育研究センター運営委員会委員

氏名	所	属
浅田 邦博	東京大学大規模集積システム設計教育研究センター	教授 (センター長) 〒113-8656 文京区本郷7-3-1 TEL03(5841)6671 FAX03(5841)8911
荒川 忠一	東京大学大学院情報学環学際情報学府	教授 (総長補佐) 〒113-8656 文京区本郷7-3-1 TEL03(5841)6438
鳳 紘一郎	東京大学大規模集積システム設計教育研究センター	教授 〒113-8656 文京区本郷7-3-1 TEL03(5841)6675 FAX03(5841)4995
平本 俊郎	東京大学大規模集積システム設計教育研究センター	助教授 (連絡先) 東京大学生産技術研究所第3部 〒153-8505 目黒区駒場4-6-1 TEL03(5452)6263 FAX03(5452)6265
南谷 崇	東京大学先端科学技術研究センター情報物理システム	教授 〒153-8904 目黒区駒場4-6-1 TEL03(5841)5160 FAX03(5841)5161
宮永 喜一	北海道大学大学院工学研究科電子情報工学専攻	教授 〒060-0813 札幌市北区北13条西8丁目 TEL011(706)6489 FAX011(706)7121
大見 忠弘	東北大学未来科学技術共同研究センター	教授 〒980-8579 仙台市青葉区荒巻字青葉 TEL022(217)7122 FAX022(224)2549
國枝 博昭	東京工業大学大学院理工学研究科集積システム専攻	教授 〒152-8552 目黒区大岡山2-12-1 TEL03(5734)2574
柳澤 政生	早稲田大学理工学部電子・情報通信学科	教授 〒169-8555 新宿区大久保3-4-1 TEL03(5286)3392 FAX03(3204)4875
吉本 雅彦	金沢大学工学部電気・電子システム工学科	教授 〒920-8667 金沢市小立野2-40-20 TEL076(234)4861 FAX076(234)4870
高木 直史	名古屋大学大学院工学研究科情報工学専攻	教授 〒464-8603 名古屋市千種区不老町 TEL052(789)3312 FAX052(789)3798
小野寺秀俊	京都大学大学院情報学研究科通信情報システム専攻	教授 〒606-8501 京都市左京区吉田本町 TEL075(753)5314 FAX075(753)5343
谷口 研二	大阪大学大学院工学研究科電子情報エネルギー工学専攻	教授 〒565-0871 吹田市山田丘2-1 TEL06(6879)7791 FAX06(6879)7792
岩田 穆	広島大学ナノデバイス・システム研究センター	教授 〒739-8527 東広島市鏡山1-4-1 TEL0824(24)7856 FAX0824(24)7195
安浦 寛人	九州大学大学院システム情報科学研究科情報工学専攻	教授 〒816-8580 春日市春日公園6-1 TEL092(583)7620 FAX092(583)1338
山内 寛紀	立命館大学理工学部電気電子工学科	教授 〒525-8507 草津市野路東1-1-1 TEL0775(61)2867 FAX0775(61)2663
兵庫 明	東京理科大学理工学部電気工学科	助教授 〒278-8510 野田市山崎2641 TEL0471(24)1501Ext.3756 FAX0471(22)5171

## オブザーバー

柴田 直	東京大学新領域創成科学研究科	教授 〒113-8656 文京区本郷7-3-1 TEL03(5841)6656
------	----------------	--



## 平成 13 年度大規模集積システム設計教育研究センター協議会協議員

氏 名	所 属
浅田 邦博	大規模集積システム設計教育研究センター長 asada@silicon.t.u-tokyo.ac.jp
小宮山 宏	大学院工学系研究科長 m-shiozaki@t-adm.t.u-tokyo.ac.jp
柴田 直	大学院新領域創成科学研究科 教授 shibata@ee.t.u-tokyo.ac.jp
田中 彦	大学院工学系研究科・電気工学専攻 教授 tanaka@mtl.t.u-tokyo.ac.jp
岡部 洋一	先端科学技術研究センター 教授 okabe@okabe.rcast.u-tokyo.ac.jp
荒川 泰彦	先端科学技術研究センター 教授 arakawa@iis.u-tokyo.ac.jp
鳳 紘一郎	大規模集積システム設計教育研究センター 教授 hoh@ee.t.u-tokyo.ac.jp
平本 俊郎	大規模集積システム設計教育研究センター 助教授 hiramoto@nano.iis.u-tokyo.ac.jp
北神 正人	大規模集積システム設計教育研究センター 助教授 kitakami@vdec.u-tokyo.ac.jp
一色 剛	大規模集積システム設計教育研究センター 助教授 isshiki@vlsi.ss.titech.ac.jp
荒川 忠一	総長補佐（オブザーバー，情報学環 教授） arakawa@cdf.t.u-tokyo.ac.jp

## 1. 経常研究費

経費科目	金額	経費科目	金額
人件費	58,767,258	校費	146,842,000
電子計算機等借料	77,238,000	職員旅費	756,000
諸謝金	38,000	講師等旅費	761,000

## 2. 平成 13 年度科学研究費補助金

研究代表者	研究題目	種類	金額 (千円)
浅田 邦博	知的撮像・プリプロセス	特定 A (2)	67,900
平本 俊郎	高・強誘電体膜を用いた極低電圧・超低消費電力 FET, 及び高性能新機能素子の開発	特定 A (2)	28,200
平本 俊郎	揺らぎを排した量子スケール MOSFET における物理現象の探究と集積化応用の研究	基盤 B (2)	6,500
北神 正人	バースト誤り位置指摘符号	奨励 A	1,600
石原 亨	システム LSI 向け低電力メモリアーキテクチャおよび設計支援技術の開発	奨励 A	1,000

## 3. 平成 13 年度産学連携等経費

研究代表者	研究題目	種類	金額 (千円)
浅田 邦博	システム LSI のための再利用可能な設計資産の構築手法の実験的研究	共同研究	15,949
平本 俊郎	量子スケールデバイスのシステムインテグレーション	受託研究	2,420

## 4. 平成 13 年度奨学寄付金

以下の企業・個人から寄附を頂きました。

受入件数： 計 13 件 受入額 計 6,340 千円

(社)日本工学教育協会, 日本電気(株)NECエレクトロニクスシステム LSI 事業本部, 三菱電機(株)システム LSI 事業化推進センター, (株)日立製作所デバイス開発センタ, 日産自動車(株), (財)電気・電子情報学術振興財団, (株)日立製作所半導体グループ, (財)総合研究奨励会, (株)半導体理工学研究センター, (株)東芝セミコンダクター社

# 第5章 研究報告

## 5.1. 研究室構成員（平成13年度）

### 鳳・藤島研究室

鳳 紘一郎	教授
藤島 実	助教授
北澤 清子	助手
大内 真一	博士3年（現在 東芝）
今村 晃	博士1年
石田 光一	修士2年（現在 大学院桜井研究室）
近藤 裕也	修士2年（現在 ソニー）
杉浦 学	修士2年（現在 富士重工）
田島 卓郎	修士2年（現在 NTT）
田辺 亮	修士2年（現在 富士通）
小野内雅文	修士1年
小玉 輝	修士1年
斎藤 康祐	修士1年
山本 憲	修士1年
安藤 雅亨	学部4年（現在 大学院近山・田浦研究室）
小林 友岳	学部4年（現在 大学院相澤研究室）
杉浦 邦晃	学部4年（現在 大学院鳳・藤島研究室）
鈴木 康文	学部4年（現在 大学院柴田研究室）
乗松 崇康	学部4年（現在 大学院鳳・藤島研究室）
三品 浩司	学部4年（現在 ソニー）
吉本 晴洋	学部4年

### 浅田・池田研究所

浅田 邦博	教授
池田 誠	助教授
鄭 若丹	助手
石原 享	助手
鈴木 真一	技官
根塚 智裕	博士3年（現在 ザインエレクトロニクス）
村上 善則	博士3年
瀬戸 謙修	博士2年（現在 パシフィックデザイン）
山岡 寛明	博士1年

大池 祐輔	修士2年（現在 浅田・池田研 博士課程）
吉田 浩章	修士2年（現在 浅田・池田研 博士課程）（2002年4月11日よりゼナシステクノロジーズ）
申 秀肇	修士2年
Ulkuhan Ekinciel	修士1年
杉山 聡	修士1年
山本 剛志	修士1年
飯塚 哲也	学部4年（現在 浅田・池田研 修士課程）
高山 伸一	学部4年（現在 浅田・池田研 修士課程）
池畑 博司	学部4年（現在 浅田・池田研 修士課程）
宮崎 隆行	学部4年（現在 桜井研究室 修士課程）

### 柴田・三田研究室

柴田 直	教授
三田 吉郎	講師
村井 徹	助手
徐 懷宇	博士3年（現在 日本マイクロン）
八木 雅和	博士2年
顧 清榮	博士2年
山崎 俊彦	博士1年
小川 誠	修士2年（現在 柴田研究室博士1年）
小林 大輔	修士2年（現在 柴田研究室博士1年）
木村 弘枝	修士2年（現在 日本総研）
野村 周央	修士2年（現在 東芝）
伊藤 潔人	修士1年
田口 晶康	修士1年
梅島 雅之	学部4年（現在 柴田研究室修士1年）
福田 智洋	学部4年
松野 知紘	学部4年 （現在 田中雅明研究室修士1年）
山崎 英男	学部4年（現在 柴田研究室修士1年）





### 藤田研究室

藤田 昌宏 教授

小松 聡 助手

Thanyapat Sakunkonchak 博士1年

久保 賢生 修士1年

劉 宇 修士1年

小川 貴也 学部4年 (現在 大学院浅田・池田研究室)

木野 順 学部4年 (現在 大学院鳳・藤島研究室)

小島 慶久 学部4年 (現在 大学院藤田研究室)

前田 剛敏 学部4年

### 平本研究室

平本 俊郎 助教授

(2002年4月1日より東京大学生産技術研究所教授)

更屋 拓哉 助手

任 玄植 博士研究員 (現在 韓国東國大学)

犬飼 貴士 博士3年 (現在 東芝セミコンダクタ社)

間島 秀明 博士3年 (現在 東芝セミコンダクタ社)

齋藤 真澄 修士2年 (現在 博士課程1年)

大澤 淳真 修士2年

(中央大学からの研究実習生, 現在 三菱電機)

南雲 俊治 修士1年

劉 慶艶 修士1年

齋藤 裕太 修士1年 (中央大学からの研究実習生)

村上 祐 学部4年 (中央大学からの研究実習生)

### 一色研究室

一色 剛 助教授

(東京工業大学大学院理工学研究科集積システム専攻國枝博昭教授グループと共同研究)

### 北神研究室

北神 正人 助教授

## 5.2. 研究概要

### 鳳・藤島研究室 Hoh/Fujishima Laboratory

(<http://www.sf.t.u-tokyo.ac.jp/>)

#### 1. 量子回路エミュレーションシステム

鳳紘一郎, 藤島実, 大内真一, 杉浦学, 小野内雅文, 吉本晴洋

我々は量子計算の理論研究を支援する量子計算エミュレータの作製に取り組んでいる。このエミュレータシステムは、量子回路プロセッサ (QCP) と呼ぶ専用の多並列プロセッサにより、量子アルゴリズムによる計算を量子コンピュータと同等の処理速度で実行可能である。本年度は2種類の1チッププロセッサと同プロセッサ利用環境を提供するソフトウェアを作製した。計算規模と速度を重視した14量子ビットプロセッサは、8ビット精度の複素振幅データを専用回路で高速並列処理するのに対し、計算精度を重視した7量子ビットプロセッサは4つの演算要素 (PE) に汎用プロセッサコアを用い、32ビット精度の複素振幅の計算が可能である。ソフトウェアはアセンブリ言語プログラムを生成するためのC++クラスライブラリとアセンブラ、プロセッサへの通信ソフト等から構成される。

#### 2. 論理量子プロセッサ

藤島実, 鳳紘一郎, 大内真一, 斉藤康祐, 鈴木康文, 安藤雅享

量子コンピュータシミュレータ専用エンジンとして作製した量子回路プロセッサを発展させ、量子コンピュータと同等の機能を有する新しい並列計算プロセッサについて研究している。論理量子回路プロセッサと名付けた本プロセッサは、量子状態の存在確率を1ビットで表現し、量子回路で行われる論理操作とともに古典的な操作を用いて演算を行う。振幅を1ビットで表現したことにより演算要素 (PE) が単純な構造になり、並列度を向上させることが可能となる。また、非量子的な操作によって少ない量子ビット数で大きな数を扱える、効率的なアルゴリズムが利用可能となる。実際にCPLD上に16量子ビット相当の計算能力をもつプロセッサを作製し、計算アルゴリズムの実現可能性について検討した。

#### 1. Quantum-Circuit Emulator System

Koichiro Hoh, Minoru Fujishima, Shin'ichi Ouchi, Manabu Sugiura, Masafumi Onouchi, Haruhiro Yoshimoto

We have developed an emulator system of the quantum computer for propelling its theoretical studies. This emulator performs the calculation based on the quantum algorithm at the same speed as the quantum computer, using a dedicated large-scale parallel processor named the quantum-circuit processor (QCP). This year, we fabricated two types of processors. One is a fourteen-qubit processor optimized for scalability and processing speed, and the other is a seven-qubit processor pursuing calculation accuracy. The former chip processes the complex-amplitude data at the eight-bit precision using dedicated circuitry, while the latter processes them at the thirty-two-bit precision using four general-purpose-processor cores as processing elements. We also developed the utility software for those processors. It consists of the assembler, C++ class library for the generation of programs written in the assembly language, the communication software between the processor, PC, and so forth.

#### 2. Logic Quantum Processor

Minoru Fujishima, Koichiro Hoh, Shinichi Ohuchi, Kosuke Saito, Yasufumi Susuki, Masataka Ando

We are studying a novel parallel processor, extending the quantum-circuit processor in order to achieve similar computational speed and function to the quantum computer. This processor is named a logic quantum processor representing the existing possibility of a single quantum state by one-bit data. The operations of the quasi-quantum computation are processed, utilizing a swap operation together with logic operations in the quantum circuit. The one-bit-data process simplifies processing elements and realizes large-scale parallelism. The logic quantum processor realizes the efficient algorithm utilizing the classic operations, where a larger-scale problem is solved using less qubits than the genuine quantum computer. We have implemented the processor using a single CPLD in practice, which has the performance equivalent to the sixteen-qubit quantum computer. The feasibility of the proposed algorithm is also discussed.

### 3. PtSi, ErSi<sub>2-x</sub>を用いた相補型ショットキー障壁MOSFETの試作

鳳紘一郎, 藤島実, 北沢清子, 田辺亮, 小玉輝, 三品浩司

極限的な短チャネル化を目的としてソースとドレインにショットキー接合を用いたMOSFETの開発を行っている。高抵抗 p-Si の SOI 基板上でソースとドレインを P<sub>1</sub> シリサイドもしくは E<sub>1</sub> シリサイドによるショットキー接触で形成し、p チャネル動作と n チャネル動作のデバイスを集積して CMOS 特性を評価し、性能の向上と短チャネル化の方策を検討した。

### 4. ショットキー障壁 MOSFET のモデリング

鳳紘一郎, 藤島実, 田島卓郎, 杉浦邦晃

回路応用する上で重要な直流特性のモデリングを行った。提案したサブサーキットモデルでは、熱放出、電界放出電流を逆方向、順方向ダイオードとして、伝導帯と価電子帯によるキャリア伝導は n 型 MOSFET、および並列で接続される p 型 MOSFET 要素として表現した。長チャネルショットキー障壁 SOI MOSFET に対して、モデルはよい一致を示した。また、ショットキー障壁 MOSFET に生ずる主要な雑音源が ErSi<sub>2-x</sub>/Si 界面における界面準位のトラップによる 1/f 雑音と考えた。1/f 雑音モデリングを目的として、ドレイン電流、ゲート幅、ErSi<sub>2-x</sub> 生成の熱処理条件などに対する依存性を調べた。

### 5. ミリ波帯 CMOS 高周波集積回路

藤島実, 今村晃, 山本憲, 乗松崇泰, 小林友岳

ミリ波周波数帯は、Wireless1394 や ITS システムなどへの応用が期待されている。ミリ波帯高周波回路を CMOS で実現できれば、低コストと低消費電力を同時に達成できる。本研究では、高周波信号においても高利得を得られる最先端の CMOS トランジスタを利用し、インダクタなどの受動素子の抵抗損失を小さくするための形状の最適化を行うことにより、高速動作を目指している。本年は、局部発振器として特に高速動作が要求される、PLL (Phase Locked Loop) 回路の設計を行った。中でも、特に高速性の要求される周波数分周器については、LC 共振を変調する新しい回路についての検証を行っている。受動素子の複

### 3. Fabrication of Schottky-Barrier Complementary MOSFETs Using PtSi and ErSi<sub>2-x</sub>

Koichiro Hoh, Minoru Fujishima, Seiko KITAZAWA, Ryo Tanabe, Hikaru Kodama, Koji Mishina

As the gate length of MOSFET is scaled down, undesirable characteristics such as the short channel effect have increasingly degraded device performance. To overcome these difficulties in further scaling, the Schottky barrier MOSFET is proposed. To apply Schottky-barrier MOSFET to the digital circuit, it is indispensable to fabricate PMOSFET and NMOSFET on the same substrate. We used PtSi for PMOSFET and ErSi<sub>2-x</sub> NMOSFET and succeeded to integrate both MOSFETs on the same substrate by lift-off process and fabricated Schottky-barrier complementary MOSFET. From now on, while aiming at highly performance of each transistor, we will prove the possibility of the digital circuit application of Schottky-barrier complementary MOSFET.

### 4. Modeling of Schottky Barrier MOSFETs

Koichiro Hoh, Minoru Fujishima, Takuro Tajima, Kuniaki Sugiura

We have modeled the dc characteristics of Schottky-barrier MOSFETs for circuit application. In proposed subcircuit model the currents by thermionic and field emissions from Schottky source are modeled as reverse- and forward-biased diodes, respectively, and those from Schottky drain are also modeled symmetrically. The electron and hole currents in conduction and valence bands are expressed using normal n-channel and p-channel MOSFET connected in parallel. The proposed model offers excellent agreement with static characteristics in a long-channel Schottky-barrier MOSFET. A large noise is observed in Schottky-barrier MOSFET. Assuming that the 1/f noise from the Schottky contact is the main cause in noises of Schottky MOSFETs, we measured the drain current, gate width, anneal temperature and time dependency for modeling 1/f noise.

### 5. Millimeter-Wave-Band CMOS RF IC

Minoru Fujishima, Akira Imamura, Ken Yamamoto, Takayasu Norimatsu, Tomotake Kobayashi

Millimeter-wave bands are allocated for various applications such as Wireless1394 and ITS system. CMOS implementation gives us the best solution with both lower cost and lower power consumption than compound semiconductors. Our research is aiming at the highest speed circuits that operate at the frequencies in the millimeter wave bands by using transistors on the cutting-edge of digital process and reducing parasitic resistance in inductor. In this year, we designed PLL that requires the highest frequencies operation as the local oscillator in the transceiver. We have proposed the new frequency divider that modulates the



雑なレイアウトを自動生成するためのツールを作成し、Q値の高い円形オンチップインダクタや渦電流損の小さなシールドなどの利用を可能にした。

## 6. アナログビルディングブロック

藤島実, 今村晃, 石田光一, 近藤裕也

無線通信回路をCMOSで構成することにより、回路の小型化、低消費電力化などが期待されている。その一環として、電力付加効率について最適化されたCMOS高周波電力増幅回路を設計する手法について研究を行った。また、高周波信号に対して、寄生インダクタンスによる共振周波数を高めたオンチップキャパシタをデジタルプロセスで実現する折り曲げくし型キャパシタを提案し、特性を解析した。他には、低周波かつ微弱な信号の生体情報を低消費電力でデジタル変換するために、DCオフセットや1/fノイズなどの影響を抑制可能なチョッパ安定化ハイパス $\Sigma\Delta$ 変調器を用いたA/Dコンバータの研究を行った。

self-resonance comprising an inductor and a capacitor. We have designed automatic generator for the complex layouts in order to draw the circle of an on-chip inductor with high Q value and the shield of an inductor with low eddy current losses.

## 6. Low-Power Analog Building Blocks

Minoru Fujishima, Akira Imamura, Koichi Ishida, Yuya Kondo

CMOS RF transceiver circuits are expected to achieve small size and low power consumption, compared with ones made of other devices. We are studying the design method of CMOS Power Amplifiers, especially focusing on optimization of power added efficiency (PAE). We also have proposed the novel on-chip capacitor, named to "Bending-comb capacitor (BCC)", that has the high self-resonance frequency more than one hundred GHz. It is realized in ordinary CMOS digital process. On the other hand, we are also studying ultra-low power ADCs. Since vital signs are low-frequency low-voltage signal, influences of DC offset and 1/f noise should be reduced. We have proposed an analog-to-digital converter utilizing chopper-stabilized highpass sigma-delta modulator for the reduction of DC offset and 1/f noise.

# 浅田・池田研究室

## Asada/Ikeda Laboratory

(<http://www.mos.t.u-tokyo.ac.jp/>)

### 1. GTBT パワーデバイスの高温耐量の研究

浅田邦博, 村上善則

新型パワーデバイス GTBT (Grounded Trench MOS assisted Bipolar-mode FET) の動作時高温耐量を評価し、その優位性のメカニズムについて考察した。GTBT はバイポーラ型素子でありながら主電流経路に pn 接合のない、JFET 型チャンネルをもっていることから、たとえ負荷短絡事故などで急激な発熱を経験しても電流が局所に集中せず、なるべくチップ内で温度が均一になるように働くため IGBT と比べて、およそ 2 倍以上の発熱に絶えられる。

### 2. DCVSL 型セルライブラリの設計及び低雑音回路への適用

浅田邦博, 鄭若形, 池畑博司

近年、論理回路の速度向上のため様々なアーキテクチャが用いられている。その反面、論理回路内部での波形は非常に不安定なものになり、誤動作する確率が大きくなることが予測される。本研究は、多少の速度低下はやむを得

### 1. A Study of Thermal Tolerance of GTBT

K. Asada, Y. Murakami

High thermal tolerance during the on-state of GTBT (Grounded-Trench-MOS structure assisted Bipolar-mode FET) has been demonstrated. In comparison with IGBT, GTBT can withstand twice heat dissipation, that happens at the load short accident, for instance. This superiority comes from its structure. GTBT has no pn-junction in the main current path, and the current distributes so as to depressing the temperature distribution in the chip, whereas IGBT has pnpn-structure and the main current has tendency to localize with increasing the local temperature.

### 2. Research on low noise logic circuit design using DCVSL Cell Library

K. Asada, R. Zheng and H. Ikehata

Nowadays, various architectures, such as super-pipeline and superscalar, are exploited in digital logic circuits design to improve system performance. However, transitions inside digi-

ないものとして、ただか一回のトランジションによって全ての演算が終了するような、ノンパイプラインの非同期型論理回路の作成を目標にしたものである。パイプラインが無いので、内部の波形は非常に安定したものになり、雑音に強くなって論理回路が誤動作する確率は低くなるものと期待される。本研究では、このようなノンパイプラインで一回のトランジションによって全ての演算を終了させるような論理回路用の DCVSL 型セルライブラリの作成を行った。提案された DCVSL 型セルライブラリを用い、ノンパイプラインマイクロプロセッサへの適用を検討した。CPUの一部は DCVSL の回路で構成される。また、一つの命令に対し一クロックサイクルで実行し、動作が終わり次第完了信号を生成し、次の命令を実行するという仕組みになり、低雑音の特徴を持っている。

### 3. スマートイメージセンサの研究

浅田邦博, 根塚智裕, 大池祐輔, 高山伸一, 宮崎隆行

シート光を用いたアクティブ方式の三次元計測向け高速位置検出センサの試作および三次元計測システムの構築を行なった。リアルタイム計測を可能にするため、行並列に階層的なアクセスパスを実装し、従来のラスタスキャン方式と比較して高速な位置検出センサを実現した。構築したシステムにより高速な三次元計測を実現した。この高速な位置検出センサの性能を引き出すために FPGA による制御および PC とのインターフェースの開発を行なった。また、複数光源およびカメラによる三次元計測システムの構築に向け、高精度なシステムのキャリブレーション手法を検討した。さらに微弱な投射光の検出を可能にするために、変調を加えた投射光をセンサ面内で検波する高感度・広ダイナミックレンジ位置検出センサを試作し、評価を行なった。背景光の直流成分に独立に投射光の座標を検出でき、外乱のある環境でのアクティブ方式による三次元計測を実現した。変調周波数の違いによる選択的な検出が可能であり、複数光源のシステムへ応用が可能である。

### 4. 高速・小面積配列型論理回路の検討

浅田邦博, 山岡寛明, 吉田浩章, Ekinciel Ulkuhan

半導体プロセスの微細化による VLSI システムの大規模化、及びクロストークなどのシグナル・インテグリティの問題による設計複雑化に対応するための回路方式として、2 入力論理セルを有する 2 線式 PLA (Programmable Logic Array) を提案した。提案 PLA はセンスアンプを用いることにより高速動作を実現し、また、従来の論理セルの代りに任意の 2 入力論理関数セルを挿入することが可能であり、複雑な論理式を効率良く実現できることをベンチマー

tal circuits become more and more complex, thus noise is expected to increase more heavily than in simple system, which may lead to operation failure.

In this study, a new method of digital logic circuit design is proposed. The basic concept of the method is non-pipeline and single-transition, which means only one status transition occurs in circuits during each instruction execution cycle. It is supposed that the waveform will be relatively stable and the circuit will be robust to noise.

To implement the circuit with single-transition non-pipeline feature, a new type of dual-rail cell library is developed. The cell library takes advantage of DCVSL (Differential Cascoded Voltage Switch Logic) circuit concept. Based on the DCVSL cell library, a low noise non-pipeline microprocessor is designed to confirm the effectiveness of the idea. Although the speed performance of the microprocessor may be influenced due to the non-pipeline architecture and the overhead of the completion signal generation, the microprocessor is expected to be useful in some low noise circuit applications.

### 3. Studies on Smart Image Sensors

K. Asada, T. Nezuka, Y. Oike, S. Takayama, T. Miyazaki

We have developed high-speed position sensors for an active 3-D measurement system using a sheet light projection, and a real-time 3-D measurement system using the position sensors. The sensor can quickly detect positions of the projected light on a target object with a row-parallel detection circuit using a hierarchical access path. We have evaluated the sensors and realized the real-time 3-D measurement system. A high-speed sensor controller with a SCSI interface has been developed for the real-time 3-D measurement. In addition, a high-accuracy calibration method for the measurement system has been studied. We have been developed a high-sensitivity and wide-dynamic-range position sensor for a modulated lighting. The sensor has advantages of some applications which require both the availability in various background illumination and the safe light projection for human eyes.

### 4. Study on High-Speed and Area-Efficient Array Logic Circuits

K. Asada, H. Yamaoka, H. Yoshida, and E. Ulkuhan

We have proposed a dual-rail PLA with 2-input logic cells which can reduce the overall area of PLA and alleviate the issues of signal integrity such as cross-talk noise. The circuit also achieved a high-speed operation by utilizing sense amplifiers. The area advantage over the conventional design has been demonstrated by using PLA benchmark circuits.

ク回路により確認した。

#### 5. 伝達関数を用いた電源ノイズ見積り手法

浅田邦博, 杉山聡, 池田誠

大規模集積回路内に発生する電源ノイズの解析は、近年の集積化にともないますます重要なものとなってきている。本研究では、デジタル回路のスイッチングによって発生する電源ノイズの影響を高速に見積もる手法を考案した。電源線をF行列に分割してF行列網を構成し、それに対し階層的手法で伝達関数を求めることによって、一般的な回路シミュレータで行なわれる大規模な行列演算の必要がなくなるために、回路内の全電源線ノードにおける電源ノイズの影響を高速に評価することが可能となる。HSPICEとの比較を行なうことにより、精度を維持しつつはるかに高速な評価が実現されることを確認した。

#### 6. 2入力論理セルを有するPLA向け論理合成手法およびVLSI向け網羅的配線手法

浅田邦博, 鈴木真一, 瀬戸謙修, 吉田浩章, 飯塚哲也

論理関数を効率的に実現する方式の1つである2入力論理セルを有するPLAのための論理合成手法の提案を行った。本手法は新しい2入力論理関数抽出手法に基づいており、また多値論理合成やファクタリングといった既存のアルゴリズムを最大限利用しているため、簡単な実装および高速な計算を可能にしている。ベンチマーク回路に対して、従来のPLAに比べ大幅な積項の削減を実現した。実用的な制限の下で網羅的にVLSIの配線を生成するアルゴリズムを提案した。本手法では電源線やシリサイドといったVLSI特有の特徴を制限に加えることで効率良く解空間の探索を行うことが可能である。既存の商用ツールに比べ、配線長・ビア数などの面で優れた配線を生成することを示した。

#### 7. チップ内部におけるバスの高速化手法

浅田邦博, 池田誠, 山本剛志

チップの高集積化によるトランジスタのスイッチング速度の向上と比較して高速化が困難であるチップ内部のグローバルなバスについて研究を行った。本研究では近年無視できなくなってきた線間カップリングキャパシタンスの影響を調査した。データ遷移時の線間カップリングキャパシタンスの影響によって変化する遅延の違いに着目した。あらかじめ予想される遅延の大小によってビットごとの信号遷移速度を動的に変化させるデータ伝送方式を提案した。

#### 8. システムLSI向け低消費電力メモリアーキテクチャの研究

浅田邦博, 石原亨

キャッシュメモリのアクセス速度を低下させることなくリーク電流を削減する手法を提案した。キャッシュメモリ

#### 5. Power Supply Noise Estimation Using Transfer Function

K. Asada, S. Sugiyama, M. Ikeda

The analysis of power supply noise on VLSI chips is becoming important. In this paper we propose a methodology for the estimation of power supply noise, caused by digital switching activity. Using matrix-transfer function calculated from F-matrix, this method makes it possible to reduce computational cost dramatically to estimate power supply noise at all the nodes in power supply lines. It is because we do not need to calculate a large-scale matrix as used in general circuit simulators. Proposed technique is shown efficient and valid enough compared with HSPICE simulation.

#### 6. Logic Synthesis for PLA with 2-input Logic Elements and Exact Algorithm for Practical Routing Problems

K. Asada, S. Suzuki, K. Seto, H. Yoshida, T. Iizuka

We proposed a logic synthesis method for PLA with 2-input logic elements. Since the proposed method makes full use of the existing multiple-valued logic minimization algorithms along with a new logic extraction technique for 2-input functions, it can be easily implemented and can handle practical circuits. For MCNC benchmark circuits, the proposed method can reduce the number of product terms significantly.

We proposed an exact algorithm for practical routing problems. The proposed method can take into account of the characteristics of VLSI layouts, such as VDD/GND lines and silicides. The experimental results show that the proposed method can generate better solutions than the commercial tool with respect to the wire length and the number of vias.

#### 7. High-Speed Interconnect on Chip

K. Asada, M. Ikeda, T. Yamamoto

We studied a bus architecture for on-chip global interconnects, high-speed signaling of which is more difficult than that of transistors. In this study, we researched unneglectable effects of coupling capacitance between interconnect. We considered the delay time changed by signaling because of the effects of coupling capacitance. We have proposed a bus architecture that signaling speed of each bit is changed dynamically by the difference of expected delay time.

#### 8. A Study on Low Power Memory Architecture for System LSIs

K. Asada, T. Ishihara

A run-time leakage reduction technique for a high performance



のアレイ部分を幾つかのブロックに分割し、少数のブロックのみを低閾値で動作させることにより高速アクセスかつ低リーク電流を可能にする。過去の履歴情報から次にアクセスされるブロックを予測し、閾値を動的に変更させることによりアクセス時間を増加させることなくキャッシュメモリのリーク電流を 1/20 に削減できることを確認した。

and low energy memory is proposed. The key idea of our approach is to partition a memory into several number of sub-blocks and activate a few parts of the sub-blocks. Frequently accessed sub-blocks are activated and others are put to sleep by a body bias voltage controller. History based prediction technique to predict sub-blocks which should be woken up is also proposed. Experimental results demonstrated that the leakage energy dissipation in cache memories optimized by our approach can be less than 5% of energy dissipation in a cache memory which does not employ our approach.

## 柴田・三田研究室 Shibata & Mita Laboratory (<http://www.if.t.u-tokyo.ac.jp/>)

### 1. 右脳的情報処理集積回路—連想プロセッサ

柴田直, 八木雅和, Gu Qian Rong (顧清榮), 山崎俊彦, 小川誠

現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを、シリコン超 LSI 技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し、直感・連想・推論といった処理を得意とした LSI チップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ（ニューロン MOS, neuMOS）を導入、膨大な template 群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ、0.18 ミクロン CMOS 技術を用いた超高速デジタル連想プロセッサ等をこれまで開発した。今後これらのチップで連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップを用いて構築して行く。そのために我々の思考過程を柔軟に記述できる ASPL (Association Programming Language) の開発も行う。四則演算に代わり“連想を computing primitive”とする実時間事象認識知能システム実現を目指す研究である。現在、画像認識・音声認識をテーマに研究を進めている。ここで開発した VLSI 回路技術は、実用的な応用として、CDMA マッチとフィルタ、インテリジェントなインターネットサーチ等への応用技術も開発している。

### 1. Right-Brain-Computing Integrated Circuits — Associative Processors in CMOS Technology

T. Shibata, H. U. Xu, M. Yagi, Q. R. Gu, T. Yamasaki, and M. Ogawa

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called “Neuron MOS Transistor” (neuMOS or nMOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that “association” is the very computing primitive, we are pursuing human-like intelligence system implementation directly on silicon integrated circuits. Currently research is in progress for image recognition and voice recognition processing. The state-of-the-art silicon technology has been utilized to implement such associative processor chips in both analog and digital CMOS VLSI chips. As practical applications of the circuit technology developed for the associative processor chips, CDMA matched filter chips and intelligent internet search engines have been also developed.

## 2. 超高速書き込み・高密度アナログ不揮発性メモリ

柴田直, 山崎俊彦

人間の脳は、いわば連想メモリの超高密度集積体であり、記憶を基にあらゆる知的演算が行われている。従って知能LSI実現には、演算機能を融合させた超高密度半導体メモリ技術が必須である。本研究は、過去の経験をテンプレートとして大量に保持する長期記憶、及び瞬間のイベントを認識処理のためそのまま高精度に保持する短期記憶、この両方の目的に使える不揮発性アナログメモリ技術の開発を目指す。通常フラッシュメモリは、フローティングゲートに注入した電子の有無により1ビットの情報を保持するが、ホットエレクトロン注入中のフローティングゲート電位を実時間でモニターすることにより注入電子量を正確に制御、これにより高精度のアナログデータ保持を可能にした。特にこれまで制御の難しかった高速書き込み現象の起こるバイアス条件下での高精度制御方式を新たに開発、10KHz程度のデータサンプリングしか出来なかったアナログフラッシュにおいて、30MHz以上のvideo rateでのデータ取り込みを目指している。今後連想機能をメモリセルレベルで融合させ、高密度連想プロセッサのコア部として発展させていく。

## 3. 画像の特徴ベクトル抽出とそのパターン認識及び医用X線写真解析への応用

柴田直, 八木雅和, 小川誠, 伊藤清人, 田口晶康

我々の連想プロセッサアーキテクチャを画像認識に用いるには、2次元の画像情報を特徴ベクトル、即ち一次元の数値列で表現しなければならない。我々はこの目的で、主軸投影法(PAP: Principal Axis Projection)と呼ぶ新たな特徴ベクトル表現法を開発した。2次元画像に対し、縦・横・斜め2方向、計4方向の線分を抽出してフィーチャーマップを作成、そのビットフラッグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する。これらをつなぎ合わせて64次元ベクトルとし、64×64ピクセルの画像を表現する。これは、元画像の特徴を実にうまく表現しており、手書きによるパターンの変形、歪みに対しほとんど影響を受けない。従って、単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる。特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった。さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用、歯学部学生にも結構困難な解剖学的特徴点抽出がかなり正確にできることがわかった。今後、連想プロセッサと統合し、一般的な知的画像認識システム構築へと発展させていく。このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり、vMOSを用いたアナログCMOS回路技術、および最先端のデジタル

## 2. Ultra-High-Speed-Writing High-Density Non-Volatile Analog Memory

T. Shibata and T. Yamasaki

Human brain is a kind of a huge assembly of associative memories and intelligent information processing is carried out based on such a vast amount of memory. Therefore, the development of high-density semiconductor memory inseparably merged with processing functions is essential. In this research project, we are developing high-precision nonvolatile analog memory technology which is applicable to short-term memory for capturing high-speed event as well as to long-term memory for storing past experience as template vectors. In contrast to the conventional flash memory in which one bit of data is stored by the presence of injected electrons in the floating gate, we are controlling the amount of electron injection by a real-time monitoring technique, thus having established analog data storage in a memory cell. In particular, we found a new writing scheme in which the very fast electron injection phenomenon occurring by a positive-feedback mechanism is well under control. This will allow us data capture as fast as that at a video rate while only about 10 KHz sampling is possible with conventional analog nonvolatile memories employing write/verify scheme. The memory technology is going to be integrated into the association processor architecture as the integral part in intelligent systems.

## 3. A Robust Feature-Vector Image Representation and Its Application to Handwriting Pattern Recognition and Medical X-ray Analysis

T. Shibata, M. Yagi, M. Ogawa, K. Ito, and T. Taguchi

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a one-dimensional array of numerals, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by "Principal Axis Projection (PAP)" method. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella

CMOS回路技術の両方を用いて、独自のアーキテクチャを持つ特徴ベクトル生成VLSIチップの開発を行っている。

#### 4. 実時間動画画像処理プロセッサの研究

柴田直, 木村弘枝, 野村周央

リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾する Saliency Catcher, 及びキャッチした物体の3次元計測を瞬時に行えるVLSIプロセッサの研究を行っている。Saliency Catcherについては、擬似二次元処理と呼ぶ新たな手法を導入、すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため、各画素部では大きなフィルファクタ（各ピクセルプロセッサ内でフォトダイオードが占める面積の割合、これが大きいほど多くの画像情報が処理に取り込める）が実現できた。このチップは、複雑な背景の中から複数の動いている物体を、動きの大きさとともに検出できる。さらにカメラ自身がブレて背景が動いていても検出できるという特徴をもつ。実際にチップで基本性能を確認した。さらに運動物体の3次元計測をリアルタイムで行うチップも開発した。これはキャパシタ間での電荷の再配置のみを演算に使う回路であり、究極の低消費電力システム実現の可能性を秘めている。

#### 5. 強誘電体薄膜を用いた連想プロセッサ

柴田直, 小林大輔

強誘電体メモリは、不揮発性メモリとしてフローティングゲートを用いたフラッシュメモリに置き換わる可能性がある、現在大変に注目を集めている。それはフローティングゲートメモリに比べ、低電圧での高速書き込みが可能であり、且つ書き込み消去を繰り返したときの寿命が非常に長いからである。しかし、低電圧で書けるということは、僅かな電界でもかかればデータが破壊される可能性があり、これまでは1, 0のデジタルデータを破壊読出しする形式が一般的であった。我々は、この強誘電体メモリを、まずアナログ値を保持するメモリに応用するとともに、これを連想プロセッサの基本エレメントとして用いる研究を行っている。そして、「ヘテロゲート強誘電体MOSトランジスタ」と呼ぶ新たなデバイス構造を開発した（特許出願済）。現在第一試作ウェーハの評価を行っているところであり、アナログ値の書き込み並びに基本的な連想動作を確認したところである。さらに、連想操作によってアナログの記憶内容が破壊されないことも実験的に確かめた。今後、携帯端末等に埋め込む連想プロセッサとして発展を目指し研究・開発を進めていく。

(pituitary grand), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips are now being developed both in digital CMOS technology and analog CMOS technology.

#### 4. Real-Time Moving Image Processing VLSI Systems

T. Shibata, H. Kimura, and S. Nomura

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, A VLSI system that extracts three-dimensional information from the object of interest has been also developed. Since charge redistribution among multiple capacitors are utilized for computation, it would be possible to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

#### 5. Associative Processor utilizing Ferroelectric Thin Films in a Hetero-Gate Floating-Gate MOS Structure

T. Shibata and D. Kobayashi

A considerable interest has been paid to ferroelectric memory as an alternative to floating-gate flash technology, due to the superior endurance characteristics as well as low-voltage writing capability in the ferroelectric memory. However, the low-voltage writing capability, on the other hand, implies unexpected data change upon the electric field application to the ferroelectric film. In this regards, digital storage of 0 and 1 has been mostly implemented employing destructive read operation. We firstly developed the technology for analog data storage in a ferroelectric film and then developed a new type of transistor capable of performing associative processing at the very device level. The transistor was named Hetero-Gate Floating-Gate MOS. The test chip was fabricated and evaluated. As a result, we have demonstrated the basic association operation as well as non destructive nature of analog data stored in the Hetero-Gate Floating-Gate MOS structure. The chip is being developed as an associative processor to be used in mobile terminals.



## 6. 知的データベース検索のための連想プロセッサアーキテクチャの研究

徐懐宇, 三田吉郎, 柴田直

膨大な template 群の中から最短距離ベクトルを約 500nsec で完全並列探索する連想相関器を応用することにより, 現在Eコマースで行われている単純なキーワードによる絞込みとはまったく異なる, 「類似度」を基本とする柔軟な検索エージェントが実現できる. 本研究では, VLSI Associative Processor のプロトタイプを用いた基礎実験によって可能性を示したと同時に, 検索すべてをサーバ上で行う場合, 検索をローカルのコンピュータで行う場合のそれぞれについて, 上記目的に最適なプロセッサの構造を提案した. 最適化したプロセッサを必要数用いることで, たとえ1万人が同時にアクセスしたときでも1秒以内に返答が帰ってくるシステムを構成することができる. この数字はソフトウェアの工夫だけでは到達不可能であることが実験的に示された. 類似度による柔軟なサーチの一例として, 不動産検索を行うエージェントをとりあげ, FPGA 上に実装した完全デジタルの Associative Processor を用いて実験を行った.

## 7. 矛盾を矛盾なく扱えるパラCONSISTENTロジック VLSI

三田吉郎, 柴田直

(姫路工大 中松助教授と共同研究)

マイクロプロセッサに代表され従来の論理回路は, 膨大な数の条件式を入力とてらしあわせ, 結論を引き出している. この問題は, 通常論理和で表現される条件式:

$$P_1 \wedge P_2 \wedge \dots \wedge P_n \rightarrow Q$$

という中の各条件項 (リテラル)  $P_1 \dots P_n$  間に矛盾があると, 上式は常に偽と評価されることである. 常に偽である条件文は役に立たないので, 設計者は, アプリオリに矛盾を排除しておくような形の条件文を設計することを強いられているのが実状である.

パラCONSISTENTは, そういった, お互いが矛盾していること (inconsistent) や, 条件に対する知識を持たないこと (paracomplete) といった, 「知識の量」に関する情報を扱い, 矛盾を含む情報同士の論理和を取ったときにも, 論理和が真となり得る, すなわち, 矛盾を含む情報を論理的に取捨選択して, 意味のある結論を引き出すことができる, 新しい論理である. 本研究では, このような演算を高速に行なうことのできるマイクロプロセッサを作製し, パラCONSISTENTプロセッサ上でさまざまな具体例を演算することで, その応用の可能性を探ろうとするものである.

## 6. Study on the Associative Processor Architecture for Intelligent Database Search

H. Xu, Y. Mita, and T. Shibata

A general-purpose intelligent search agent on the Internet has been developed using VLSI Associative Processor (AP) chips as the hardware accelerator. The agent performs similarity-based search in a large volume of database. Although the similarity-based search processing is computationally very expensive, latency free search has become possible due to the highly parallel maximum-likelihood search architecture of the AP chip. In this study, two search schemes are proposed for intelligent Internet search agents: the server-based solution and the client-based solution. The architecture of the AP chip has been optimized for each of the solutions and their performances are compared. In the server-based solution in which multiple AP chips are mounted on a printed board in the server, 10,000 simultaneous accesses to the intelligent search agent are allowed with a response time of less than 1 sec for all visitors. This is by no means possible in software solutions. As an example of similarity-based intelligent search, an E-commerce real-estate agent system has been developed using the AP chip implemented in field-programmable gate arrays (FPGA) and the effectiveness of such agent systems has been demonstrated.

## 7. Paraconsistent logic VLSI for inconsistent information handling

Y. Mita and T. Shibata

(A joint research with Prof. K. Nakamatsu)

Legacy logic circuits such as in microprocessors operate a number of conditions with inputs to obtain meaningful decisions. The problem appears when there is any inconsistency in the conditions  $P_1 \dots P_n$ , their clause returns always false:

$$P_1 \wedge P_2 \wedge \dots \wedge P_n \rightarrow Q$$

Since clauses that are always false don't of use, programmers nowadays are obliged to design with removing 'a priori' the inconsistency between each condition (literal).

Para-consistent logic handles 'the amount of the knowledge on conditions'. Therefore even in the cases of not only 'inconsistency' but also 'paracompleteness', which refer to the status having no information on a literal, logic clause can return non-false (= meaningful) results. Paraconsistent logic can open a new logic realm. A paraconsistent logic microprocessor is under inspection. The processor will solve, in extremely quick response time, some particular examples to show the feasibility and perspective of the logic.

### 1. 設計の形式的検証に関する研究

藤田昌宏, Thanyapat Sakunkonchak, 小川貴也

設計の大規模化・複雑化に伴い、現在設計期間の大半は検証に費されているとも言われている。そこで、設計の初期段階であるビヘイビアレベルの設計記述の論理検証を効率よく行うことが特に重要な課題といえる。従来型の論理検証手法は主にシミュレーションによるものであったが、そこでのテストパターンが飛躍的に大きくなっているため、より効率のよいテストパターンの自動生成手法や、シミュレーションを用いず数学的に正しさを示す形式的検証技術が必要とされている。また、ビヘイビアレベルでの設計を記述する言語としては Verilog-HDL, VHDL, C などがあるが、中でも昨今では C 言語をベースとして一部機能を限定したり拡張したりした言語による記述が注目を浴びている。そこで、本研究では、ハードウェア記述向けの C 言語を用いたビヘイビアレベルのハードウェア設計記述に対する形式的等価性検証手法について研究している。また、その手法の効果を実験によって確認している。

### 2. 算術演算回路における回路修正技術に関する研究

藤田昌宏, 久保賢生

実際の設計では、回路の設計誤りや、面積、タイミング、消費電力などの制約を満たすための仕様変更により、再設計がしばしば必要となる。そのとき、それまでに行われた回路最適化、検証の労力を損なわないよう、一度設計した回路に近い回路に設計し直すことが目標となり、そのために可能な限り小さな修正での再設計が求められる。本研究では、乗算器などの算術演算器を対象とし、回路に設計誤りが含まれる場合に、回路を診断して誤り箇所を特定し、部分的に回路に修正を加えることで、正しい設計を導く誤設計の自動修正技術に取り組んでいる。

### 3. 論理回路合成技術に関する研究

藤田昌宏, 劉宇, 小松聡

超微細化 VLSI の時代に入ると、論理設計と物理設計を完全に独立させた設計手法では、様々な問題が浮上してくる。DSM (Deep Sub-Micron) プロセスでは、遅延に影響する要素がゲート容量だけでなく、配線容量、配線間の結合容量が遅延に影響を与えるため、物理的な配線を考慮しないと、遅延を正しく見積もれなくなっている。また、設計の一部のみを変更する場合に設計の前階段に戻って最

### 1. Formal verification of digital systems

Masahiro Fujita, Thanyapat Sakunkonchak, Takaya Ogawa

As digital systems become larger and more complex, design process of digital systems is said to be devoted mainly to design verification. Therefore, efficient verification of digital systems, especially in their early development stage of behavior-level, is major subject in design scene. Conventional logic verification methodologies mostly consist of simulation, but the number of test patterns have been increasing rapidly. Hence more efficient techniques are important now, such as more efficient techniques of automatic test pattern generation, and formal verification methods, which proves design correctness without simulation. Another hot topic in design methodologies is design language. Several design languages are available in behavior-level design: Verilog-HDL, VHDL and C for example. Of these languages, C-base languages, with several restricted or extended features, are attracting attention these days. Thus, we focus on formal equivalence checking of behavior-level C-base language designs and are confirming the effect of our approach by experiment.

### 2. Logic rectification technique on arithmetic circuits

M. Fujita, M. Kubo

In a actual VLSI design process, redesigns are caused by design errors and specification changes in order to meet design constraints such as area, timing, and power consumption. To keep designers' effort already performed in logic optimization and verification, it is desirable that redesign will lead similar circuit to original, and perform minimum rectification. This research targets arithmetic circuits such as multiplier, and is trying to rectify design errors by diagnosing circuits, specifying the error parts, and fixing logic locally.

### 3. Logic synthesis and layout combined techniques

Masahiro Fujita, Liu Yu, Satoshi Komatsu

Keeping logic design and physical design in separation will bring us many rough problems especially in Deep Sub-Micron (DSM) technology. For instance, when device dimension shrinks to DSM range, transistor capacitance will not dominate the entire delay, on contrary, interconnection delay will play more important role in delay. If we ignore the physical information, we can't estimate this parameter correctly. For other case,

初から各階段をやり直すため、設計時間が大幅に増加し、設計効率が非常に悪くなっている。このような理由から、設計の各階段で、論理設計と物理設計を融合する設計方法が求められている。

本研究では、配線不可能な配線の再配線問題を仮定して、論理設計と物理設計の融合手法を探索する。この手法では、物理設計の最適化だけではなく、論理を変更せずに、もとの論理回路を変更させることを行う。まず、配線できない部分の物理情報（配置、配線）を抽出する。次に、この情報を利用して、回路論理を変更せずに配線しやすい最適な回路へと変化させる。最後に、変化された回路のみについて、配置、配線をやり直す。この手法を利用すれば、再設計時間の大幅な短縮が可能となる。

#### 4. ソフトウェア・ハードウェア協調システム設計技術に関する研究

藤田昌宏, 小松聡, 木野順, 小島慶久

デジタルシステムを実現する際に、ソフトウェアとハードウェアが適切に役割を分担することにより、価格性能比を最適にする設計技術、および設計支援技術について研究している。本研究では、従来の追加ハードウェアの制御回路をマイクロコントローラとメモリに置き換えることにより、チップ作製後に修正可能なアーキテクチャを提案している。また、制御回路をマイクロコントローラに置き換えることで、チップ上の全てのハードウェアが予め用意したハードマクロライブラリ（IPライブラリ）に存在することになるため、「論理合成」を完全に排除することが可能となる。そのため、設計における Time-to-market と turn-around time を劇的に削減することが可能であり、さらにプログラムコードを変更することにより、チップ作製後の回路修正および回路変更が容易となる。

#### 5. 低電力システム設計技術に関する研究

藤田昌宏, 小松聡

近年の極微細プロセス技術の進歩により、高性能なシステム LSI が実現可能となったが、それに伴い消費電力の増加が大きな問題となっている。また、プロセスの微細化に伴い、配線やチップインタフェースでの消費電力が全体の消費電力に対して相対的に大きくなってきており、いかに低電力にデータを伝送するかということが低電力設計に大きな影響を与えている。このような観点から、多くの低電力データ符号化手法が提案されている。通常、アドレスバスはデータバスと比較して時間軸での因果関係が大きいいため、アドレスデータが冗長性を持つため非常に効率的に信号遷移頻度を削減できる。本研究ではジャンプ/分岐などの履歴に着目し、消費電力削減効果が高く、かつ非冗長な符号化手法を提案し、その評価を行った。

if we just do some Engineering Change (EC), the separation of logic design and physical design will lead to low efficiency. Therefore, the research on combination between logic design and physical design has gathered many interests by art recently.

This research goal at a EDA tool which can integrate logic synthesis and physical synthesis together potently. As a first step, we will study on a solution for re-routing route failure wire. The field will be focused not only on logic but also on layout. Original layout information will be abstracted to generate new netlist by which will make the routing easier. We hope the new method will bring us more efficiency.

#### 4. Computer aided design for software/hardware combined systems

M. Fujita, Satoshi Komatsu, Jun Kino, Yoshihisa Kojima

Design methodologies and corresponding CAD techniques for software/hardware combined digital systems are studied. In this study, we replace the conventional controller circuit of the specialized hardware with compact micro-controller and memory in order to increase the debuggability and the flexibility of design even after chip fabrications. Since we replace control logics with a micro controller with instruction memories, by using IP libraries for (arithmetic and/or logical) functional units, we can completely eliminate “logic synthesis process”. It results in huge decrease of time-to-market and turn-around time since it need not synthesize any circuits. Moreover designers can debug after chip fabrication by modifying only program code, it indicates that this architecture can be easily applicable for EC (Engineering Change).

#### 5. Low power system design method

Masahiro Fujita, Satoshi Komatsu

Though recent shrunk VLSI technology has realized high performance system LSI, the increasing power dissipation is becoming serious concern on system LSI design. It also causes the increase of power dissipation of data transmission on interconnects/chip interface compared to overall chip power dissipation. In this study, we propose an irredundant low power address bus encoding method by considering JUMP/BRANCH history. Generally the instruction address bus increases by same step without JUMP/BRANCH operation. It indicates that the switching activity is decreased effectively by mapping low switching code word to the address which appear frequently. We evaluated this encoding method by using some bench-mark programs.



## 6. LSI チップ故障・誤設計診断技術に関する研究 藤田昌宏

LSI チップの故障診断技術，ならびに論理設計の自動誤設計修正技術について研究している。LSI の故障と，論理設計時の誤りを統一的に扱うモデルを提唱し，それをもとにした診断アルゴリズムについて研究している。また，従来から行われているゲートレベルだけでなく，レジスタ転送レベルやシステムレベルでの故障診断・誤設計診断技術についても研究している。

## 6. Diagnosis techniques for manufacturing faults and design errors

M. Fujita

Diagnosis techniques for LSI manufacturing faults and automatic error correction techniques for logic design errors are studied. We have proposed an unified model that can capture both manufacturing faults and design errors, and are studying on circuit analysis techniques based on that model. Diagnosis and error correction techniques not only in gate-level designs, but also in register-transfer-level and system-level are being studied.

## 平本研究室

### Hiramoto Laboratory

(<http://www.vlsi.iis.u-tokyo.ac.jp/>)

#### 1. しきい値制御による 0.5V 動作超低消費電力 MOSFET

犬飼貴士，任玄植，劉慶艶，大澤淳真，平本俊郎

VLSI には低消費電力化が強く要求されており，デバイスの超低電圧，超低消費電力化は必須の技術である。本研究では，0.5V 動作を目標とし，動作時とスタンバイ時でしきい値電圧を変化させる Variable Threshold CMOS (VTCMOS) 方式について，デバイスサイドから研究を行っている。これまでに，本方式は現在の電源電圧（約 1.5V）では超低消費電力デバイスとして極めて有効であるが，電源電圧が低減するとリーク電流を抑制することが困難となりスケラビリティがないことを明らかにしてきた。一方，本方式を高速デバイスとして用いるとスケラビリティは維持される。本年度は，まず本方式における臨界基板バイアスについて検討した。この臨界電圧より大きな基板バイアスを印加できる場合には，デバイスに基板バイアス定数は大きい方が有利となる。これは，通常のデバイス設計指針と逆であり，VTCMOS 形式の利点を生かすためには基板バイアス定数を大きくする新しい設計指針が必要である。一方，NAND 回路のような縦積み回路では，基板バイアス効果によりスピードが劣化することが知られているが，VTCMOS では縦積み回路においても基板バイアス定数を大きくした方が高速化が可能であることを示し，この原因が速度飽和現象の緩和であることを明らかにした。

#### 2. 微細 SOI MOSFET の物理と短チャネル効果

更屋拓哉，南雲俊治，平本俊郎

本研究では，将来の低消費電力デバイスとして有望な SOI MOSFET について，そのデバイス物理と短チャネル効果について研究を行っている。短チャネル抑制を狙ったデバイスとして，チャネルを三角形の細線アレーとした

#### 1. Formal verification of digital systems

Masahiro Fujita, Thanyapat Sakunkonchak, Takaya Ogawa

As digital systems become larger and more complex, design process of digital systems is said to be devoted mainly to design verification. Therefore, efficient verification of digital systems, especially in their early development stage of behavior-level, is major subject in design scene. Conventional logic verification methodologies mostly consist of simulation, but the number of test patterns have been increasing rapidly. Hence more efficient techniques are important now, such as more efficient techniques of automatic test pattern generation, and formal verification methods, which proves design correctness without simulation. Another hot topic in design methodologies is design language. Several design languages are available in behavior-level design: Verilog-HDL, VHDL and C for example. Of these languages, C-base languages, with several restricted or extended features, are attracting attention these days. Thus, we focus on formal equivalence checking of behavior-level C-base language designs and are confirming the effect of our approach by experiment.

#### 2. Logic rectification technique on arithmetic circuits

M. Fujita, M. Kubo

In a actual VLSI design process, redesigns are caused by design errors and specification changes in order to meet design constraints such as area, timing, and power consumption. To keep designers' effort already performed in logic optimization and

MOSFETをSOI基板上に実際に試作した。この構造は、三角形チャネルの上2辺のみをゲートが覆っている構造なので、ダブルゲート構造などに比べて容易なプロセスで作製が可能である。実測により単純なシングルゲート完全空乏型SOIデバイスに比べて短チャネル効果が大幅に抑制されることを示した。また、部分空乏型SOIデバイスの基板浮遊効果の代表例であるダイナミックパスゲートリーク現象の実験的解明や、完全空乏型SOIデバイスにおける不純物の統計的揺らぎの増大等についても検討を進めている。

### 3. 極微細

#### MOSFETにおける量子効果

間島秀明, 齊藤裕太, 平本俊郎

極薄膜SOI MOSFETでは、キャリアの面内閉じこめにより量子効果が起こり、しきい値電圧が上昇することが知られている。本研究では、極狭チャネルMOSFETにおいては、キャリアが面内のみでなく横方向にも閉じこめられ、さらに強い量子効果が起こることを実験とシミュレーションにより実証してきた。これまでに、デバイス作製プロセスを改良し、極めて細いチャネルを持つ極狭チャネルMOSFETを試作し、チャネル長が10nmを切る領域でしきい値電圧が急激に上昇することを確認した。この現象を我々は量子力学的狭チャネル効果と呼んでいる。本年度は、n型とp型のソース・ドレインを有する特殊なデバイス構造の極狭チャネルMOSFETを作製し、同一チャネルにおける電子と正孔の量子閉じ込めを観測した。その結果、p型MOSFETでも量子力学的狭チャネル効果によってしきい値電圧が上昇することを明らかにした。さらに、この量子効果を利用して、NMOSおよびPMOSのしきい値電圧を調整する新しい方法を提案した。また、極狭チャネルMOSFETの移動度についてシミュレーションにより検討し、チャネルの向きが〈100〉方向のMOSFETでは〈110〉方向のMOSFETより大きくなることを明らかにした。これらの成果は2001年12月の電子デバイス国際会議(IEDM)で発表を行った。

### 4. シリコン単電子デバイス

齋藤真澄, 村上祐, 平本俊郎

将来の超低消費電力VLSIデバイスへの応用を考慮して、Siにおいて極微細構造を作製し、単一電子現象の物理の探究を行っている。我々は当初からシリコンを材料に用いVLSIへの整合性を考慮したアプローチをとっており、その先駆的な研究のひとつに数えられる。ポイントコンタクト構造を持つMOSFETでは、チャネル狭窄部にシリコンドットが自然形成され、室温においても単電子トン

verification, it is desirable that redesign will lead similar circuit to original, and perform minimum rectification. This research targets arithmetic circuits such as multiplier, and is trying to rectify design errors by diagnosing circuits, specifying the error parts, and fixing logic locally.

## 北川研究室 Kitagawa Laboratory

(<http://gaas.ec.t.kanazawa-u.ac.jp/merl/>)

### 3. Logic synthesis and layout combined techniques

Masahiro Fujita, Liu Yu, Satoshi Komatsu

Keeping logic design and physical design in separation will bring us many rough problems especially in Deep Sub-Micron (DSM) technology. For instance, when device dimension shrinks to DSM range, transistor capacitance will not dominate the entire delay, on contrary, interconnection delay will play more important role in delay. If we ignore the physical information, we can't estimate this parameter correctly. For other case, if we just do some Engineering Change (EC), the separation of logic design and physical design will lead to low efficiency. Therefore, the research on combination between logic design and physical design has gather many interest by art recently. This research goal at a EDA tool which can integrate logic synthesis and physical synthesis together potently. As a first step, we will study on a solution for re-routing route failure wire. The field will be focused not only on logic but also on layout. Original layout information will be abstracted to generate new netlist by which will make the routing easier. We hope the new method will bring us more efficiency.

### 4. Computer aided design for software/hardware combined systems

M. Fujita, Satoshi Komatsu, Jun Kino, Yoshihisa Kojima

Design methodologies and corresponding CAD techniques for software/hardware combined digital systems are studied. In this study, we replace the conventional controller circuit of the specialized hardware with compact micro-controller and memory in order to increase the debuggability and the flexibility of design

ネルによるクーロンブロッケード振動が観測される。これまでに、山谷比が2と極めて大きいクーロンブロッケード振動を室温で観測している。また、高温で動作するシリコン単電子デバイスでは、シリコンドットサイズが10nm以下となり、ドット中の量子効果が重要な役割を果たす。今年度は、単電子トランジスタの寄生抵抗を大幅に抑制するプロセスを開発し、量子効果の影響が明瞭に観測できるよ

even after chip fabrications. Since we replace control logics with a micro controller with instruction memories, by using IP libraries for (arithmetic and/or logical) functional units, we can completely eliminate “logic synthesis process”. It results in huge decrease of time-to-market and turn-around time since it need not synthesize any circuits. Moreover designers can debug after chip fabrication by modifying only program code, it indi-

## 一色研究室 Isshiki Laboratory

(<http://www.vlsi.ss.titech.ac.jp>)

うになった。その結果、大きな量子準位間隔に起因する階段状の特性が電流-電圧特性に観測された。また、ポイントコンタクトチャネル中にシリコンドットとトンネル障壁が自然形成される機構についても検討を進めている。

cates that this architecture can be easily applicable for EC (Engineering Change).

### 1. シフトレジスタ機能を内蔵した LUT を有する高密度ビットシリアル FPGA の開発

一色剛, 廣井康生, 渡辺究, 中田太郎, 赤羽克仁, イブト・シスラ, 國枝博昭

本研究では、FPGA に基づいた構造可変システム上において、画像・信号処理を中心としたアプリケーションを開発するための総合的な CAD の開発、新しい FPGA のアーキテクチャの開発、チップ・オン・チップ包装技術を用いたアレイ IO を持つ FPGA アーキテクチャ及び大規模メモリアーキテクチャ等を探り上げる。演算処理を行う回路合成には高速・低面積ビットシリアル方式を用い、C++によって記述されたアルゴリズムを直接ハードウェアにマッピングする回路合成方法を取る。ビットシリアル回路は、回路配線の局所性から非常に効率よく FPGA 上の配線資源を使用することが証明されており、さらに高速な回路動作が可能なることから、ビットパラレル回路と比べ、論理資源をより有効に演算処理能力に転換できる。この CAD ツールによって、1次元フィルタ、2次元フィルタ、適応フィルタ、DCT、ニューラルネットワーク等のアプリケーションが開発されている他、浮動小数点演算を行うビットシリアル回路についても開発を進めており、3Dグラフィックスのジオメトリ処理に応用している。我々はまた、このビットシリアルデータパスに特化した新しい FPGA のアーキテクチャの設計及びその VLSI 設計を行った。論理ブロック構造及び配線構造をビットシリアル回路をターゲットに最適化した結果、既存の FPGA よりも高速・高密度な FPGA の開発に成功している。今年、ロジックブロック内の LUT にシフトレジスタ機能を付加した新しいアーキテクチャを持つビットシリアル FPGA を 0.35 $\mu$ m、3層メタルの CMOS プロセスでフルカスタム設計し、3mm 角の面積で2万ゲート規模の FPGA が実現できる事を実証した。チップの総トランジスタ数は約 980,000 である。

### 1. High Density Bit-Serial FPGA with Shift Register Function on LUTs

T. Isshiki, Y. Hiroi, T. Watanabe, T. Nakada, K. Akahane, I. Sisla, H. Kunieda

This research focuses on all aspects of design issues on FPGA-based reconfigurable systems, including application development CAD platform for image/signal processing, new FPGA architecture, area-IO FPGA architecture and area-IO memory architecture for chip-on-chip packaging. Designs are captured in C++ language and high speed, area efficient bit-serial circuits are used for automatic datapath synthesis. Bit-serial circuits are dominated by local connections and are shown to achieve extremely high logic utilization on FPGAs. Because of the small logic depth of bit-serial circuits, they can operate at high speed, and thus logic resource can be converted to effective computational power more efficiently than bit-parallel circuits. With our application development platform, signal processing applications such as 1D/2D digital filters, adaptive filters, DCT, neural networks are developed. And bit-serial floating point circuits are also developed for geometry engine in 3D graphics. We have also been developing a new FPGA architecture for bit-serial datapaths and have implemented in VLSI. Logic block architecture and routing architecture is optimized for bit-serial circuit structure, and this new FPGA architecture is shown to be superior in terms of logic density and speed compared to the existing FPGAs. On our latest version, LUT architecture is modified to implement shift registers which are frequently used in bit-serial circuits. This VLSI is design in full-custom on 0.35 $\mu$ m/3 metal CMOS process and its programmable logic capacity reaches 20,000 gates on 3mm by 3mm core area. Total transistor count is about 980,000.



## 2. チップ規模のトランジスタレベル動作検証用シミュレータの開発

一色剛, 赤羽克仁, 國枝博昭

デジタル回路のVLSIフルカスタム設計において, その回路検証に適したツールが望まれている. トランジスタレベルのシミュレーションは, Verilog-XLなどでサポートはされているが, フリップフロップなど閉路を含む回路や, パストランジスタによる双方向バス回路が正しくシミュレーション出来ない等, 問題点も多い. また, 動作上はデジタルであるが, 信号遷移の課程でアナログの要素が入ってくるRAMセルなどは, SPICE系の回路シミュレータがどうしても必要となるため, チップレベルの大規模な検証に多大な時間が掛かるため, 設計段階での十分な検証が行えないのが現状である. そこで我々は, チップ規模でのトランジスタレベル動作検証を目的としたシミュレータを開発している. 大きな回路規模で高速に論理動作だけを検証することを第一のターゲットとしており, 回路遅延などは現段階では特に考慮していない. トランジスタの動作モデルは, 単純なオン・オフスイッチとしており, イベント駆動で信号遷移が回路を伝搬して行く. また, クロック木やゲーテッドクロック回路等のクロック駆動回路や, SRAMに含まれるインバータループの自動抽出を行い, 信号伝搬に優先度を適切に与えることにより, 不必要な信号のレース条件を排除でき, フリップフロップ, パストランジスタを介した双方向バス, SRAMセル等が混載した回路の正確な動作シミュレーションを可能とした. このシミュレータにより, 前述のFPGAのチップレベルでの様々な動作検証が可能となった. 実験では, 40,000トランジスタ規模のFPGAチップの回路ブロックについて, 10,000サイクル(クロック)のシミュレーションが1分程度で実行できた.

## 3. システムMSPAアーキテクチャに基づいたH.263+コーデックLSI

チャワリット・ホンサウエック, トリオ・アディオノ, 渡辺究, 李冬菊, 一色剛, 國枝博昭

本研究では, 我々が提案して来たメモリ共有型プロセッサアレー(MSPA)と呼ばれるアーキテクチャを, 画像処理アプリケーションに拡張したWindow-MSPA, システムLSIにおけるコア・アーキテクチャとして拡張したシステムMSPA等の開発を進めている. MSPAアーキテクチャは, プロセッサアレーに加え, 複数のメモリユニット及びそのアドレス生成ユニットから構成されており, シストリックアレーの非効率性を解決するべく, メモリ空間の重なり回避, プロセッサ使用効率の大幅な向上, 及びI/Oボトルネックの回避を計るよう, 設計手法が工夫されている. また, 幅広い画像処理アプリケーションをターゲットとしたWindow-MSPAは, 2次元の画像信号に対し, 矩形の窓で囲われた領域に含まれるデータに対して処理を行うアプリケーションの高速化の為に, 特に, 入出力のデータ

## 2. Function Simulator for Large Scale Transistor Circuit Netlist

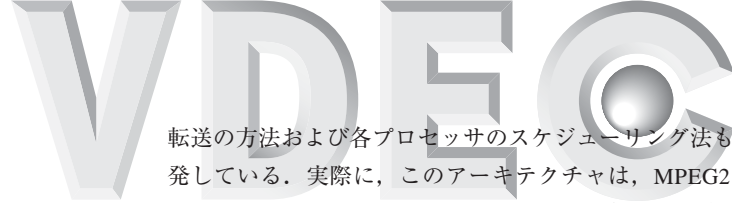
T. Isshiki, K. Akahane, H. Kunieda

In full-custom digital circuit VLSI, it is essential to have an appropriate circuit-level verification environment. Verilog-XL does support transistor-level simulation but its capability is quite limited (circuits with feedback loops such seen in D-flip-flops cannot be correctly simulated). Also, circuits whose behavior is digital but the signal transition mechanism include analog behavior, SRAM cells are such example, requires circuit simulator such as SPICE which is unacceptably slow for chip-level large scale circuits. We have developed a behavioral transistor-level simulator which is able to handle large scale circuits. Here, first priority is speeding up the simulation run time for large scale circuits, therefore circuit delays are currently not evaluated. A very simple on-off switch is used for transistor behavioral model, and signal transitions are propagated in event-driven fashion. The tool automatically extracts clock driver circuits (clock-tree, gated-clock circuits) and inverter-loops in SRAM cells, and prioritizes the signal propagations for each net. This eliminates unnecessary race conditions and guarantees correct simulation results. In our experiment, an FPGA circuit block consisting of 40,000 transistors is simulated for 10,000 clock cycles whose run time was around 1 minute.

## 3. H.263+ Codec LSI Based on System MSPA Architecture

C. Honsawek, T. Adiono, T. Watanabe, D. Li, T. Isshiki, H. Kunieda

In this project, our proposed Memory-Shared Processor Array (MSPA) architecture is expanded to Window-MSPA architecture for image processing applications and System-MSPA architecture for System-LSIs. MSPA architecture consists of processor array, multiple memory units and address generation unit, and is designed to achieve high parallel efficiency, eliminate overlaps within multiple memory spaces, and eliminate IO bottlenecks. Window-MSPA is targeted for image processing applications where data on a rectangular region is processed, providing an efficient scheduling scheme for the processors and IO interfaces. Window-MSPA is applied to motion estimator for HDTV MPEG2 encoder. System-MSPA architecture is developed for System-LSI consisting of multiple circuit components. Its main features are the scheduling mechanism which



転送の方法および各プロセッサのスケジューリング法も開発している。実際に、このアーキテクチャは、MPEG2用の動き予測 LSI のアーキテクチャとしても採用され、高速、小型化に大いに貢献している。MPEG 符号化・復号化 LSI といった、多種多様の処理を実行するシステム LSI のコア・アーキテクチャとして提案している System-MSPA アーキテクチャは、最適設計された種々の専用演算回路を効率的に制御する機構を持ち、それぞれの専用演算回路同士の動作依存性の排除を可能にした新しいアーキテクチャである。このシステム MSPA アーキテクチャは、高いテスト容易性を持ち、独自の設計開発手法及びテスト手法を確立した。これら一連の MSPA アーキテクチャ (Window-MSPA, System-MSPA) に基づき、H263+ コーデック LSI を開発した。

#### 4. H.263+ 準拠低ビットレート動画像圧縮伸長アルゴリズムの開発

トリオ・オーディオノ, 李冬菊, 一色剛, 國枝博昭

上記のシステム MSPA に基づいた H.263+ 準拠低ビットレート動画像圧縮伸長 LSI の開発を進めるとともに、その処理アルゴリズムの開発を同時に進めている。処理・転送遅延を最小化する新しいレート制御アルゴリズム、動きベクトル及び係数量子化方式、人物と背景を分離し人物の画

eliminates behavioral dependencies among the different circuit components, and high testability. H.263+ Codec LSI is developed based on our Window-MSPA architecture and System-MSPA architecture.

#### 4. Low-Bitrate Video Encoding Algorithm Enhancement on H.263+ Standard

T. Adiono, D. Li, T. Isshiki, H. Kunieda

This research deals with the enhancement of H.263+ Video Codec standard. Which includes: a new rate control algorithm which reduces the processing delay and transmission delay and minimizes skipped frames, a new quantization scheme for

## 北神研究室 Kitakami Laboratory (<http://www.icsd2.tj.chiba-u.ac.jp/>)

像の画質を大幅に改善するフェースフォーカスアルゴリズム等、すべて ITU 規格の H.263+ に準拠した形で実現し、従来に比べて大幅な画質の改善、ハードウェア量削減、伝送遅延削減等を実現している。

motion vectors and DCT coefficients, a new algorithm which extracts human faces from other objects and significantly enhances the image quality of face region.

#### 1. バースト誤り回復能力を有する VF 算術符号

陳洪源, 北神正人, 藤原英二

データ圧縮は記憶領域や通信帯域を削減する目的で盛んに利用されているが、圧縮データは誤りに対して弱いという問題点がある。そのため、圧縮データを高信頼化する手法が提案されている。本研究では無歪圧縮法の一種である算術符号により圧縮されたデータに伸長器の内部状態を挿入して固定長に分割する手法を提案している。この内部状態は誤り検出にも利用でき、リニアフィードバックシフトレジスタを用いた畳み込み変換により誤り検出率を向上させている。さらに、上記固定長データに検査を付加し、上記畳み込み変換と併用してバースト誤り回復を行う手法も提案している。計算機シミュレーションにより、前者の誤り検出手法による検出率が 99.99% であることを確認した。後者の誤り回復手法による回復率は 99.95% であり、

#### 1. Burst Error Recovery VF Arithmetic Coding

H. Chen, M. Kitakami, and E. Fujiwara

Data compression is widely used in storage systems and communication systems in order to reduce storage area and communication band width. Compressed data, however, are very sensitive to errors. This study proposes error detecting Variable-to-Fixed length arithmetic codes which is obtained by dividing the compressed data into the fixed-length data and adding the internal states of the decompressor to the divided data. The added internal states are also used in error detection. The convolutional operations by linear feedback shift registers improve error detecting capability. This also proposes burst error recovery VF arithmetic codes by adding check-bits to the above fixed length data and the convolutional operations. Computer simulations

回復能力を超えた誤りに対する検出率は 99.99 %であった。

## 2. 相互結合網におけるデッドロック回避手法

高島俊徳, 北神正人, 伊藤秀男

本研究では退避・回復手法と呼ばれるデッドロック回復ルーティング手法を提案する。本手法では小容量のバッファ（退避バッファと呼ぶ）を各ルータに用意する。デッドロックによって転送が停止されたパケットは一時退避バッファに退避され、デッドロック解消後に転送される。計算機シミュレーションの結果、本手法は従来の回復手法よりもデッドロック処理能力が優れていることが分かった。

## 3. 並列グラフ簡約を用いた並列関数プログラミングの高信頼化

北神正人, 久保田俊司, 伊藤秀男

近年、並列計算がさまざまな計算機システムで採用されている。関数型プログラミングは参照透過性を有しているため、並列プログラミングに適し、記号処理システムや並列データベースなどに利用されている。関数プログラミングにおけるプログラムにはグラフとみなせるものがある。プログラムの処理はグラフの簡約に対応する。本研究では並列グラフ簡約を用いた並列関数プログラミングの高信頼化手法を提案する。本手法では受信したグラフをメッセージログとして保存し、障害のあったタスクはチェックポイントとそのログを用いて誤り回復を行う。計算機種シミュレーションにより、本手法の時間オーバーヘッドが小さいことが確認された。例えば、チェックポイント間隔が 30 秒、タスク数 3 の場合のオーバーヘッドは 10 %以下であった。

## 4. チェックポイント比較方式計算機クラスタ

岡本弘志, 北神正人, 伊藤秀男

計算機クラスタなどの並列計算機では、構成台数の増加に伴いシステム全体の障害発生率が高くなるため、耐故障性実現が重要になる。従来のチェックポイント (CP) 手法ではハードウェア機能障害によるデータ誤りを検出できないため、データ誤りから回復可能な手法として CP 比較手法が提案されており、その従来手法に RB 手法、RFCS 手法、FCS 手法がある。しかし、その問題点として RFCS 手法では専用の予備計算機が必要なこと、RB 手法と FCS

say that error detection capability of the proposed error detecting codes is 99.99%. They also say that the proposed error recovery codes can recover 99.95% of burst errors and detect 99.99% of errors which are beyond error recovery capability of the code.

## 2. Suspensive Deadlock Recovery in Interconnection Networks

T. Takabatake, M. Kitakami, and H. Ito

In this study, a routing strategy for suspensive dead-lock recovery called an escape-restoration routing is proposed and its performance is evaluated. In the principle of the proposed techniques, a small amount of exclusive buffer (escape-buffer) at each router is prepared for handling one of the deadlocked packets. The transmission of the packet is suspended by temporarily escaping it to the escape-buffer. After the other deadlocked packet were sent, the suspended transmission resumes by restoring the escaped packet. Evaluation results show that the proposed techniques can improve more than that of the previous recovery-based techniques in handling deadlocks.

## 3. Fault-Tolerance of Functional Programs Based on the Parallel Graph Reduction

M. Kitakami, S. Kubota, and H. Ito

Recently, parallel computing is popularly applied to many systems. Functional programming is suitable for parallel programming because of referential transparency and is applied to symbol processing systems and parallel database systems. Programs of some functional programming can be regarded as graph and are processed in terms of reduction of the corresponding graph. This study proposes fault tolerance of functional programming based on graph reduction. The proposed method stores the received graph as a message log and the erroneous task is recovered by using the checkpoint and the stored graph. The computer simulations say that time overhead of the proposed method is small. If checkpoint interval is 30 seconds and the number of tasks is 3, for example, time overhead is less than 10%.

## 4. Reliable Cluster Computing by Checkpoint Comparing

H. Okamoto, M. Kitakami, and H. Ito

In cluster computing, the more computers are used, the higher the failure rate would be. Since existing checkpointing schemes can't detect the value fault caused by permanent fault, checkpoint comparing schemes, such as RB, RFCS, FCS schemes has been proposed. However, the RFCS scheme tolerates permanent fault with dedicated spares. The RB schemes and the FCS scheme can't tolerate value fault by permanent fault. We pro-



## 5.3. 研究発表

### 1. 研究論文

- [1] T. Hiramoto, M. Takamiya, H. Koura, T. Inukai, H. Gomyo, H. Kawaguchi, and T. Sakurai, "Optimum Device Parameters and Scalability of Variable Threshold Voltage Complementary MOS (VTCMOS)", Japanese Journal of Applied Physics, vol. 40, Part 1, No. 4B, pp. 2854-2858, April, 2001.
- [2] H. Chen, M. Kitakami, and E. Fujiwara, "Burst Error Recovery for VF Arithmetic Coding", IEICE Trans. Fundamentals, vol. E84-A, No. 4, pp. 1050-1063, April 2001.
- [3] 平本俊郎, 「シリコン単電子トランジスタの現状と将来展望」, 個体物理, vol. 36, No. 7, pp. 435-439, 2001年7月.
- [4] M. Takamiya and T. Hiramoto, "High Drive-Current Electrically Induced Body Dynamic Threshold SOI MOSFET (EIB-DTMO) with Large Body Effect and Low Threshold Voltage", IEEE Transactions on Electron Devices, vol. 48, No. 8, pp. 1633-1640, August, 2001.
- [5] M. Saitoh and T. Hiramoto, "Effects of Discrete Quantum Levels on Electron Transport in Silicon Single-Electron Transistors with an Ultra-Small Quantum Dot", IEICE Transactions of Electronics, vol. E84-C, No. 8, pp. 1074-1076, August, 2001.
- [6] H. Yamaoka, M. Ikeda, and K. Asada, "A High-Speed PLA Using Dynamic Array Logic Circuits with Latch Sense Amplifiers", IEICE Trans. Electron., vol. E84-C, No. 9, pp. 1240-1246, Sep. 2001.
- [7] M. Saitoh, T. Saito, T. Inukai, and T. Hiramoto, "Transport spectroscopy of the ultrasmall silicon quantum dot in a single-electron transistor", Applied Physics Letters, vol. 79, No. 13, pp. 2025-2027, September, 2001.
- [8] E.M. Clarke, M. Fujita, S.p. Rajan, T. Reps, S. Shankar, T. Teitelbaum, "Program slicing for VHDL", International Journal on Software Tools For Technology Transfer, Springer-Verlag, October, 2001
- [9] C. Honsawek, K. Ito, T. Ohtsuka, T. Adiono, D. Li, T. Isshiki, and H. Kunieda, "System-MSPA Design of H.263+ Video Encoder/Decoder LSI for Videotelephony Applications", IEICE Transactions fundamentals, Special Section on VLSI Design and CAD Algorithms, vol. E84-A, No. 11, pp. 2614-2622, November 2001
- [10] J. Qiao and K. Asada, "Functional Decomposition with

Application to LUT-Based FPGA Synthesis", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E84-A No. 11, p. 2755-2761, Nov., 2001

- [11] T. Ishihara, K. Asada, "A System Level Optimization Technique for Application Specific Low Power Memories", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E84-A No. 11, p. 2755-2761, Nov., 2001
- [12] Tadashi Shibata, "Intelligent Signal Processing Based on a Psychologically-Inspired VLSI Brain Model", IEICE Trans. Fundamentals, vol. E85-A, No. 3, pp. 600-609 (2002).

### 2. 国際会議

- [1] T. Yamasaki, A. Suzuki, D. Kobayashi, and T. Shibata, "A Fast Self-Convergent Flash-Memory Programming Scheme for MV and Analog Data Storage", Proceedings of The 2001 IEEE International Symposium on Circuits and Systems (ISCAS 2001), pp. IV-930-933, Sydney, Australia, May. 6-9, 2001.
- [2] T. Yamasaki and T. Shibata, "An Analog Similarity Evaluation Circuit Featuring Variable Functional Forms", Proceedings of The 2001 IEEE International Symposium on Circuits and Systems (ISCAS 2001), pp. III-561-564, Sydney, Australia, May. 6-9, 2001.
- [3] K. H. Wee, T. Nozawa, T. Yonezawa, Y. Yamashita, T. Shibata, and T. Ohmi, "High-Precision Analog EEPROM with Real-Time Write Monitoring", Proceedings of The 2001 IEEE International Symposium on Circuits and Systems (ISCAS 2001), pp. I-105-108, Sydney, Australia, May. 6-9, 2001.
- [4] M. Adachi and T. Shibata, "Image Representation Algorithm Featuring Human Perception of Similarity for Hardware Recognition Systems", Proceedings of the International Conference on Artificial Intelligence (IC-AI'2001), Ed. by H. R. Arabnia, vol. I, 229-234 (CSREA Press, ISDBN: 1-892512-78-5), Las Vegas, Nevada, USA, June 25-28, 2001.
- [5] Y. Mita, M. Arai, A. Tixier and H. Fujita, "Bulk Micromachined Durable Air-Flow Microactuator Array for Robust Conveyance Systems", International Conference on Solid State Sensors and Actuators (Transducers '01), pp. 710-713, Munich, Germany, June 10-14, 2001.
- [6] K. Kakushima, M. Mita, Y. Mita, G. Hashiguchi and H. Fujita, "Fabrication of Various Shapes Nano Structure Using Si Anisotropic Etching and Silicidation", International Conference

- on Solid State Sensors and Actuators (Transducers '01), pp. 1090-1091, Munich, Germany, June 10-14 2001.
- [7] T. Saito, T. Saraya, T. Inukai, H. Majima, and T. Hiramoto, "Suppression of Short Channel Effect in Triangular Parallel Wire Channel MOSFETs", 2001 Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, Kyoto, pp. 6-7, June, 2001.
- [8] M. Saitoh, T. Saito, T. Inukai, and T. Hiramoto, "Transport Spectroscopy of the Silicon Quantum Dot in a Single-Electron Transistor", 2001 Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, Kyoto, pp. 36-37, June, 2001.
- [9] Hyunsik Im, T. Inukai, T. Saraya, T. Sakurai, and T. Hiramoto, "Short Channel Effect on Variable Threshold Voltage CMOS (VTCMOS)", 2001 Asia-Pacific Workshop on Fundamental and Application of Advanced Semiconductor Devices (AWAD), KAL Hotel, Cheju-Do, Korea, pp. 55-59, July, 2001.
- [10] T. Hiramoto, H. Ishikuro, M. Saitoh, and H. Majima (Invited), "Nanoscale Silicon Devices", Progress in Electromagnetics Research Symposium (PIERS 2001), Cosmosquare International Education and Training Center, Osaka, Japan, p. 202, July, 2001.
- [11] T. Isshiki, C. Honsawek, T. Adiono, K. Ito, T. Ohtsuka, D. Li, H. Kunieda, "H.263+ Video Encoder/Decoder LSI Featuring System-MSPA Architecture and Improved Rate Control Method", THE 5TH WORLD MULTICONFERENCE ON SYSTEMICS, CYBERNETICS AND INFORMATICS SCI'2001, July, 22-25, 2001, Orlando, Florida (USA)
- [12] Kiyoto Ito, Makoto Ogawa, and Tadashi Shibata, "A High-Performance Time-Domain Winner-Take-All Circuit Employing OR-Tree Architecture, Extended Abstracts, the 2001 International Conference on Solid State Devices and Materials (SSDM 2001), pp. 94-95, Tokyo, September 26-28, 2001.
- [13] T. Inukai, T. Hiramoto, and T. Sakurai, "Variable Threshold Voltage CMOS (VTCMOS) in Series Connected Circuits", 2001 International Symposium on Low Power Electronics and Design, Hilton Waterfront Beach Resort, Huntington Beach, CA, USA, pp. 201-206, August, 2001.
- [14] Hyunsik Im, T. Inukai, H. Gomyo, T. Hiramoto, and T. Sakurai, "VTCMOS Characteristics and Its Optimum Conditions Predicted by a Compact Analytical Model", 2001 International Symposium on Low Power Electronics and Design, Hilton Waterfront Beach Resort, Huntington Beach, CA, USA, pp. 123-128, August, 2001.
- [15] T. Yamasaki, K. Yamamoto, and T. Shibata, "Analog Pattern Classifier with Flexible Matching Circuitry Based on Principal-Axis-Projection Vector Representation", Proceedings of the 27th European Solid-State Circuits Conference (ESSCIRC 2001), Ed. by F. Dielacher and H. Grunbacher, pp. 212-215 (Frontier Group), Villach, Austria, September 18-20, 2001.
- [16] M. Ogawa and T. Shibata, "NMOS-based Gaussian-Element-Matching Analog Associative Memory", Proceedings of the 27th European Solid-State Circuits Conference (ESSCIRC 2001), Ed. by F. Dielacher and H. Grunbacher, pp. 272-275 (Frontier Group), Villach, Austria, September 18-20, 2001.
- [17] Huaiyu Xu, Yoshio Mita, and Tadashi Shibata, "Optimizing Associative Processor Architecture for Intelligent Internet Search Applications", Extended Abstracts, the 2001 International Conference on Solid State Devices and Materials (SSDM 2001), pp. 92-93, Tokyo, September 26-28, 2001.
- [18] T. Shibata, M. Yagi, and T. Yamasaki, "Bio-Inspired Hardware Computation for Robust Image Recognition", in the Proceedings of 2001 International Symposium on Nonlinear Theory and its Applications (NOLTA2001), pp. 585-588, Zao, Miyagi, Japan, Oct. 28-Nov. 1, 2001.
- [19] Y. Oike, M. Ikeda, and K. Asada, "Wide Dynamic Range Photo Detector for Smart Position Sensor Using Log-response and Correlation Circuit", Ext. Abst. of Int. Conf. on Solid State Devices and Materials, pp. 282-283, Sep. 2001.
- [20] S. Komatsu, M. Ikeda, K. Asada, "Bus Data Encoding with Coupling-driven Adaptive Code-book Method for Low Power Data Transmission", 27th European Solid-State Circuits Conference, Villach (Austria), pp. 312-315, Sep. 2001.
- [21] T. Inukai, H. Im, and T. Hiramoto, "Origin of Critical Substrate Bias in Variable Threshold Voltage CMOS", 2001 International Conference on Solid State Devices and Materials (SSDM), Diamond Hotel, Tokyo, pp. 106-107, September, 2001.
- [22] T. Hiramoto, "Strategy of low-power ULSI circuits and devices", Rump Session "Next Generation ULSI: Challenges and Breakthrough", 2001 International Conference on Solid State Devices and Materials (SSDM), Diamond Hotel, Tokyo, September, 2001.
- [23] J. -p. Gouy, S. Oshima, Y. Mita, A. Tixier and H. Fujita, "Electrical Microconnector using Micromachined Cantilevers for 3D Chip Level Assembly", Mecatronics'01 5th Franco-Japanese Congress/3rd European-Asian Congress, pp. 383-386, Besancon, France, Oct. 9-11, 2001.

[24] M. Fujita, H. Nakamura, "The Standard SpecC Language", Proc. of International Symposium on System Synthesis, Montreal, Canada, Oct. 2001.

[25] T. Hiramoto (Invited), "Nano-Scale Silicon MOSFET: Towards Non-Traditional and Quantum Devices", 2001 IEEE International SOI Conference, Sheraton Tamarron Resort, Durango, CO, USA, pp. 8-10, October, 2001.

[26] M. Saitoh and T. Hiramoto, "Suppression of Series Parasitic Resistance and Observation of Quantum Effects in a Silicon Single-Electron Transistor", The First IEEE Conference on Nanotechnology (IEEE-NANO), Outrigger Wailea Resort, Maui, Hawaii, USA, pp. 243-247, October, 2001.

[27] T. Hiramoto (Invited), "Optimum Device Design for Low-Power, High-Speed Circuit Schemes", International Symposium on Advanced CMOS Devices ---CMOS Technology for High Performance, Low Power, and Embedded Applications---, Syufu-kaikan, Tokyo, pp. 23-28, October, 2001.

[28] T. Yamasaki and T. Shibata, "Analog Soft-Pattern-Matching Classifier Using Floating-Gate MOS Technology", to be published in Advances in Neural Information Processing Systems 14, Proceedings of NIPS' 2001, Vancouver, British Columbia, Canada, Dec. 3-8, 2001.

[29] H. Majima, Y. Saito, and T. Hiramoto, "Impact of Quantum Mechanical Effects on Design of Nano-Scale Narrow Channel n- and p-type MOSFETs", 2001 International Electron Devices Meeting (IEDM), Washington D.C., pp. 733-736, December, 2001.

[30] T. Takabatake, M. Kitakami, and H. Ito, "Escape and Restoration Routing: Suspensive Deadlock Recovery in Interconnection Networks", Proc. 2001 Pacific Rim International Symposium on Dependable Computing (PRDC 2001), pp. 127-134, Dec. 17-19, 2001, Seoul, Korea.

[31] M. Kitakami, S. Kubota, and H. Ito, "Fault-Tolerance of Functional Programs Based on the Parallel Graph Reduction", Proc. 2001 Pacific Rim International Symposium on Dependable Computing (PRDC 2001), pp. 319-322, Dec. 17-19, 2001, Seoul, Korea.

[32] S. O'uchi, M. Fujishima and K. Hoh: "A Programmable SIMD Processor for Universal Quantum-Circuit Simulator", in Extended Abstract of the 2001 Int. Conf. on Solid State Devices and Materials, Tokyo (2001) p. 402.

[33] M. Fujishima, S. O'uchi, and K. Hoh: "Programmable

Quantum Computing Emulator Implemented on FPGA Boards", in Bulletin of the Stefan University, vol. 13, FSRC-Frontire Science Research Conf. Science and Technology of Silicon Materials---2001, La Jolla, CA, (2001) p. 23.

[34] Y. Oike, M. Ikeda, and K. Asada, "High-sensitivity and Wide-dynamic-range Position Sensor Using Logarithmic-response and Correlation Circuit", IEEE Int. Conf. on VLSI Design & ASP-DAC, Jan., 2002.

[35] H. Yoshida, H. Yamaoka, M. Ikeda, and K. Asada, "Logic Synthesis for AND-XOR-OR type Sense-Amplifying PLA", IEEE Int. Conf. on VLSI Design & ASP-DAC, pp. 166-171, Jan., 2002.

[36] T. Ishihara, K. Asada, "An Architectural Level Energy Reduction Technique for Deep-Submicron Cache Memories", IEEE Int. Conf. on VLSI Design & ASP-DAC 2002, pp. 274-287, Jan., 2002

[37] Huaiyu Xu, Y. Mita and T. Shibata, "Intelligent Internet Search Applications Based on VLSI Associative Processors", in the Proceedings of The 2002 International Symposium on Applications and the Internet (SAINT-2002), pp. 230-237, Nara, Japan, Jan.28-Feb.1, 2002.

[38] K. Nakamatsu, Y. Mita, T. Shibata, J. Minoro, and A. Paulista, "Reasoning Systems Based on Para-consistent Logic Programs and Their Hardware Implementation", 2002 Western MultiConference (WMC '02), San Antonio, Texas, USA, Jan. 27-31, 2002.

[39] H. Yoshida, M. Sera, M. Kubo, M. Fujita, "Integration of Logic Synthesis and Layout Processes by Generating Multiple", 10th International Workshop on Logic and Synthesis, Granlibakken Conference Center (Lake Tahoe), pp. 196-200, Jun. 2001.

[40] M. Kubo, M. Fujita, "A Redesign Method Based on Evaluating Quantified Boolean Formulae", 10th International Workshop on Logic and Synthesis, Granlibakken Conference Center (Lake Tahoe), pp. 261-264, Jun. 2001.

[41] T. Hiramoto, "SOI: Solution or Indigestion?" Discussion Session, 2002 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 278-279, February, 2002.

[42] M. Fujishima, K. Hoh: "Single-Chip Quantum Computing Emulation", International Symposium on Quantum Computing, Tokyo, March 2002.



### 3. 国内学会，研究会等

- [1] 柴田 直，足立真賢，八木雅和，山崎俊彦「心理学的脳モデルに基づく知能 VLSI」，電子情報通信学会技術研究報告（電子情報通信学会），論文番号 ICD2001-04，pp. 75-85，2001 年 4 月。
- [2] 平本俊郎，「デバイス・回路の協調による低消費電力化」，日本学術振興会超集積化デバイス・システム第 165 委員会第 19 回研究会，弘済会館（東京），pp. 16-23，2001 年 4 月。
- [3] 平本俊郎，「(チュートリアル招待講演) シリコンナノ構造を利用したメモリデバイス」，電子情報通信学会集積回路研究会，機会振興会館（東京），ICD2001-10，2001 年 4 月。
- [4] 平本俊郎，「LSI デバイスの低消費電力化」，武蔵工業大学電子物性研究室セミナー，武蔵工業大学（東京），2001 年 5 月。
- [5] 平本俊郎，「10nm CMOS に向けて」，新機能素子研究開発協会第 1 回新技術探索懇談会，イイノビル（東京），2001 年 6 月。
- [6] 大池祐輔，池田 誠，浅田邦博，“相関検波機能を有する画素回路の設計と評価”，DA シンポジウム 2001 論文集，pp. 159-161，2001 年 7 月。
- [7] 吉田浩章，山岡寛明，池田 誠，浅田邦博，“排他的論理和を実現可能な二線式 PLA のための論理合成手法”，DA シンポジウム，情報処理学会，2001 年 7 月。
- [8] 藤田昌宏，Indradeep Ghosh，“レジスタ転送レベルの ATPG 手法を利用した C 言語に基づくシステム記述の検証について”，DA シンポジウム 2001，遠鉄ホテルエンパイア（浜松市），pp. 61-66，2001 年 7 月。
- [9] 久保賢生，藤田昌宏，“Quantified SAT を利用した論理設計の再利用について”，DA シンポジウム 2001，遠鉄ホテルエンパイア（浜松市），pp. 43-48，2001 年 7 月。
- [10] 小松 聡，池田 誠，浅田邦博，“低消費電力データ伝送のための配線間結合容量を考慮した適応型コード帳符号化方式の提案と評価”，DA シンポジウム 2001，遠鉄ホテルエンパイア（浜松市），pp. 101-106，2001 年 7 月。
- [11] 山岡寛明，浅田邦博，“しきい値論理による高速ハミング距離検索回路とその評価”，電子情報通信学会技術研究報告，SDM2001-134，pp. 37-42，2001 年 8 月。
- [12] 平本俊郎，「(特別招待講演) デバイスサイドからみたしきい値電圧可変 CMOS 回路技術」，電子情報通信学会集積回路およびシリコン材料・デバイス合同研究会，室蘭工業大学（北海道），SDM2001-135，ICD-2001-58，2001 年 8 月。
- [13] 平本俊郎，「一パネルディスカッション—サブ 100nm 時代の LSI 低消費電力技術：これで優位化，これはできて当たり前」，電子情報通信学会集積回路およびシリコン材料・デバイス合同研究会，室蘭工業大学（北海道），SDM2001-141，ICD-2001-64，2001 年 8 月。
- [14] 平本俊郎，「高・強誘電体膜を用いた極低電圧・超低消費電力 FET，及び高性能新機能素子の開発」，文部科学省特定研究 A「超機能グローバル」第 3 回研究会，瀬田アーバンホテル（滋賀），2001 年 8 月。
- [15] 大池祐輔，池田 誠，浅田邦博，“3 次元計測のための行並列処理による高速な多階調重心検出回路”，電子情報通信学会技術研究報告，ICD2001-103，pp. 83-88，2001 年 9 月。
- [16] Hyunsik Im, T. Inukai, T. Sakurai, and T. Hiramoto, “Study of Short Channel Effect on the Characteristics of a VTCMOS”, 2001 年秋季第 62 回応用物理学学術講演会，愛知工業大学（愛知），13a-P9-7，2001 年 9 月。
- [17] 犬飼貴士，桜井貴康，平本俊郎，「縦積み回路における VTCMOS の最適設計」，2001 年秋季第 62 回応用物理学学術講演会，愛知工業大学（愛知），13a-P9-5，2001 年 9 月。
- [18] 犬飼貴士，任 玄植，平本俊郎，「VTCMOS における境界基板バイアスの起源」，2001 年秋季第 62 回応用物理学学術講演会，愛知工業大学（愛知），13a-P9-6，2001 年 9 月。
- [19] 間島秀明，齊藤裕太，平本俊郎，「極狭チャネル n 型および p 型 MOSFET における閾値電圧上昇」，2001 年秋季第 62 回応用物理学学術講演会，愛知工業大学（愛知），12p-ZD-6，2001 年 9 月。
- [20] 齋藤真澄，犬飼貴士，平本俊郎，「極微細ドットを有するシリコン単電子トランジスタの負性微分コンダクタンス特性」，2001 年秋季第 62 回応用物理学学術講演会，愛知工業大学（愛知），12p-ZD-2，2001 年 9 月。
- [21] Q. Liu, T. Inukai, T. Sakurai, and T. Hiramoto, “Increase of Leakage Current Induced by Threshold Voltage Fluctuations”, 2001 年秋季第 62 回応用物理学学術講演会，愛知工業大学（愛知），13a-P9-18，2001 年 9 月。
- [22] M. Saitoh and T. Hiramoto, “Transport in Silicon Single

Electron Transistors Operating at Room Temperature”, 科学技術振興事業団 CREST 「電子・光子等の機能制御」第2回シンポジウム, コクヨホール (東京), p. 88, 2001年10月.

- [23] 大池祐輔, 池田 誠, 浅田邦博, “対数応答回路および相関検波回路を用いた高感度・高ダイナミックレンジポジションセンサの試作と評価”, 第5回システム LSI ワークショップ, pp. 307-310, 2001年11月.
- [24] 吉田浩章, 山岡寛明, 池田 誠, 浅田邦博, “2入力論理セルを有する PLA のための論理合成手法”, 電子情報通信学会技術報告, CPSY2001-72, 2001年11月.
- [25] 石原 亨, 浅田邦博, “ディープサブミクロン時代におけるキャッシュメモリのリーク電流削減手法”, 信学技報, CPSY2001-61, pp. 1-6, 2001年11月.
- [26] 平本俊郎 (招待講演), 「超高集積 Si デバイス」, 2001年度新機能素子シンポジウム—IT 基盤研究開発—, 経団連ホール (東京), p. 6, 2001年11月.
- [27] 齋藤真澄, 桜井貴康, 平本俊郎, 「量子準位間隔の大きな Si 単電子トランジスタでの階段状電流電圧特性」, COE シンポジウム 「量子ドット構造の物理と応用」, 東京大学先端科学技術研究センター, p. 2-1-2-4, 2001年12月.
- [28] 平本俊郎, 「10nm CMOS をめぐる最新の動向」, 新機能素子研究開発協会第5回新技術探索懇談会, 経団連ビル (東京), 2001年12月.
- [29] 平本俊郎, 小柳光正, 「巻頭言: 日本のメモリ復権を目指して」, 応用物理学会シリコンテクノロジー分科会第34回研究集会, 東京工業大学大岡山キャンパス (東京), p. 1, 2001年12月.
- [30] 岡本弘志, 北神正人, 伊藤秀男: “チェックポイント比較方式計算機クラスター”, 信学技報, FTS2001-70, December, 2001.
- [31] M. Fujishima, S. O'uchi and K. Hoh: “Fractal-Structured Quantum Processor”, in 2nd CREST Symp. on Function Evolution of Materials and Devices Based on Electron/Photon Related Phenomenon, Tokyo (2001) p. 86.
- [32] 大内真一, 藤島 実, 鳳紘一郎: “8-qubit CMOS 量子プロセッサ”, 第5回量子情報技術研究会資料 (電子情報通信学会 量子情報技術時限研究専門委員会, 厚木, 2001)
- [33] 田辺 亮, 藤島 実, 鳳紘一郎: “PtSi, ErSi<sub>2</sub> を用いた相補型ショットキー MOSFET”, 第62回応用物理学会学術講演会講演予稿集, 13a-P9-16, 2001.
- [34] R. Ohigashi, K. Tsuchiya, Y. Mita, and H. Fujita, “Electric Cone Jet with Microcapillary Array Head for Fine Patterning”, Technical Digest of the 18th Sensor Symposium, pp. 35-38, 2001
- [35] 大東良一, 土屋勝則, 三田吉郎, 藤田博之, 「マイクロキャピラリアレイによる微細パターンの直描」, 第106回日本印刷学会予稿集, pp. 17-20, 2001.
- [36] 大東良一, 土屋勝則, 三田吉郎, 藤田博之, 「マイクロキャピラリアレイの製作と微量流体吐出の観察」, 第4回化学とマイクロシステム研究会予稿集, p. 73, 2001.
- [37] 平本俊郎, 「Emerging Research Devices」, 半導体技術ロードマップ専門委員会 PIDS/FEP 合同会議, 中央大学駿河台記念館 (東京), 2002年1月.
- [38] 平本俊郎, 「PIDS WG: 新構造素子による性能向上に期待」, 第3回半導体技術ロードマップ専門委員会 (STRJ) ワークショップ, ホテルフロラシオン青山 (東京), pp. 92-95, 2002年1月.
- [39] 平本俊郎, 「(1) 回路とデバイスの協調による低消費電力化, (2) 微細 MOSFET における量子効果を利用したデバイス設計」, 広島大学ナノデバイス・システム研究センターセミナー, 広島大学, 2002年1月.
- [40] 平本俊郎, 「CPU の将来動 39」, (財) エンジニアリング振興協会平成13年度第3回次世代パワー半導体デバイス実用化調査実用化技術分科会, 東海大学校友会館 (東京), 2002年1月.
- [41] 間島秀明, 齋藤裕太, 平本俊郎, 「シリコン極狭チャネル MOSFET における量子効果を利用したデバイス設計」, 応用物理学会シリコンテクノロジー分科会第35回研究集会, 電子情報通信学会シリコン材料・デバイス研究会合同研究会, 東洋大学 (東京), pp. 80-87, SDM2001-225, 2002年1月.
- [42] 平本俊郎, 「第34回研究集会報告」, 応用物理学会シリコンテクノロジー分科会 Cu 配線および Low-k 膜関連技術特集号, No. 36, p. 38, 2002年1月.
- [43] 大池祐輔, 池田 誠, 浅田邦博, “高感度ポジション検出のための新しい画素回路の検討”, 電子情報通信学会総合大会, 2002年3月.
- [44] 杉山 聡, 池田 誠, 浅田邦博, “伝達関数を用いた電源ノイズ見積もり手法”, 電子情報通信学会技術報告, VLD2001-157, pp. 79-84, 2002年3月
- [45] 犬飼貴士, 桜井貴康, 平本俊郎, 「低消費電力・高性能

VLSIのためのデバイス・回路の協調技術に関する研究」, 平成13年度固体エレクトロニクス・オプトエレクトロニクス研究会, 東京大学工学部, pp. 24-31, 2002年3月.

- [46] 間島秀明, 平本俊郎, 「ナノスケール MOSFET における量子力学的狭チャネル効果の研究」, 平成13年度固体エレクトロニクス・オプトエレクトロニクス研究会, 東京大学工学部, pp. 32-39, 2002年3月.
- [47] 平本俊郎, 「基板バイアス効果による MOSFET の低電圧・高性能化」, 文部科学省特定領域研究 (A) 「超機能化グローバルインテグレーション研究」公開研究会, 厚生年金大濠荘 (福岡), p. 42, 2002年3月.
- [48] 平本俊郎, 「細線構造 MOSFET における短チャネル効果の抑制と量子効果」, 共同プロジェクト研究 「超高速・高精度気体絶縁金属基板 SOI デバイス・プロセスの研究」研究会, 東北大学未来科学技術共同研究センター (仙台), 2002年3月.
- [49] 平本俊郎, 「極薄膜狭チャネル SOI MOSFET における量子効果」, 精密工学会超精密加工専門委員会第46回研究会 「SOI デバイス技術の現状と将来」, 主婦会館プラザエフ (東京), pp. 15-20, 2002年3月.
- [50] 平本俊郎, 「デバイス技術からみたサブ100nm 低消費電力回路技術」, 電子情報通信学会基礎・境界ソサイエティチュートリアル講演 「サブ100nm SoC 時代の低消費電力技術」, 早稲田大学 (東京), TA-2-3, 2002年3月.
- [51] 平本俊郎, 「デバイスで差別化するために一回路との協調による高性能化」, 2002年春季第49回応用物理学関連連合講演会シンポジウム 「グローバルインテグレーション 新機能素子創出への挑戦」, 東海大学湘南キャンパス (神奈川), 28p-YS-6, 2002年3月.
- [52] 犬飼貴士, 桜井貴康, 平本俊郎, 「縦積み回路における VTCMOS の特性と速度飽和現象」, 2002年春季第49回応用物理学関連連合講演会, 東海大学湘南キャンパス (神奈川), 29p-H-13, 2002年3月.
- [53] 間島秀明, 齊藤裕太, 平本俊郎, 「量子効果を利用した極狭チャネル n 型および p 型 MOSFET の閾値電圧調整」, 2002年春季第49回応用物理学関連連合講演会, 東海大学湘南キャンパス (神奈川), 29p-H-9, 2002年3月.
- [54] 間島秀明, 齊藤裕太, 平本俊郎, 「極狭チャネル MOSFET におけるキャリア移動度のチャネル方向依存性」, 2002年春季第49回応用物理学関連連合講演会, 東海大学湘南キャンパス (神奈川), 29p-H-10, 2002年3月.
- [55] 齋藤真澄, 平本俊郎, 「低い寄生抵抗を有するシリコン単

電子トランジスタにおける階段状電流特性」, 2002年春季第49回応用物理学関連連合講演会, 東海大学湘南キャンパス (神奈川), 28a-K-3, 2002年3月.

- [56] 高島俊徳, 北神正人, 伊藤秀男: “一時停止形デッドロック回復の性能評価”, 2002年電子情報通信学会総合大会論文集, D-10-13, March 2002.
- [57] 北神正人, 藤原英二: “高信頼デジタルシステムのための誤り制御符号 (招待講演)”, 2002年電子情報通信学会総合大会論文集, SD-2-7, March 2002.
- [58] 小野内雅文, 吉本晴洋, 大内真一, 藤島 実, 鳳絃一郎: “14-qubit 量子回路プロセッサ”, 第49回応用物理学関係連合講演会 (2002)
- [59] 杉浦 学, 大内真一, 藤島 実, 鳳絃一郎: “SPMD を用いる量子回路プロセッサ”, 第49回応用物理学関係連合講演会 (2002)
- [60] 鈴木康文, 齊藤康祐, 大内真一, 藤島 実, 鳳絃一郎: “16-qubit デジタル量子回路プロセッサ”, 第49回応用物理学関係連合講演会 (2002).
- [61] 田島卓郎, 藤島実, 鳳絃一郎, “ショットキーソース/ドレイン SOI MOSFET のサブサーキットモデル”, 第49回応用物理学関係連合講演会 (2002).
- [62] 近藤裕也, 藤島 実, 小出力高周波パワーアンプにおける電力付加効率の解析的最適化, 電子情報通信学会 2002年総合大会講演論文集 基礎・境界 A-1 p. 39
- [63] 石田光一, 藤島 実, ハイパス型シグマデルタモジュレータ, 電子情報通信学会 2002年総合大会講演論文集 基礎・境界 A-1 p. 29

#### 4. 紀要, その他

- [1] 平本俊郎, 「第48回応用物理学関係連合講演会報告: 応用物性」, 応用物理, vol. 70, No. 6, p. 721, 2001年6月.
- [2] 藤島 実 「工学研究・教育におけるリスクとリターン」, Break Through No. 181, pp. 9-12, 2001年8月.
- [3] 浅田邦博, 根塚智裕, 大池祐輔, “スマートアクセスセンサ”, オプトエレクトロニクス9月号, pp. 136-141, 2001年9月.
- [4] 平本俊郎, 「ぶらっくぼーど: シリコンナノエレクトロニクスワークショップ報告」, 応用物理, vol. 70, No. 10, p. 1234, 2001年10月.
- [5] A. Tixier, Y. Mita, B. Le Pioufle, p. Surbled, Y. Murakami,



E. Tamiya, H. Fujita, "Realisation of a Cell Manipulation Bio-Microsystem using Shadow Mask Techniques", Seisan-kenkyu, vol. 53 No. 2, pp. 12-15 2001.

- [6] 平本俊郎, 「第 62 回応用物理学学術講演会講演会報告：応用物性」, 応用物理, vol. 71, No. 1, p. 98, 2002 年 1 月.
- [7] 平本俊郎, 「第 34 回研究集会報告」, 応用物理学会シリコンテクノロジー分科会 Cu 配線および Low-k 膜関連技術特集号, No. 36, p. 38, 2002 年 1 月.
- [8] 平本俊郎, 「シリコン素子の限界をナノテクで破る」, 日

経先端技術, No. 7, pp. 14-17, 2002 年 2 月.

- [9] 藤島 実: 「量子計算と暗号解読」, Break Through No. 187-1, pp. 1-6, 2002 年 2-3 月.

## 5. 著書

- [1] 平本俊郎, 「10.2 節 単電子トランジスタ」, 計測工学ハンドブック第 5 編 計測のシステム化と先端計測, 第 10 章 極限計測技術, 朝倉書店, pp. 853-856, 2001 年 10 月.
- [2] 鳳紘一郎: 「第三世代の大学」, 似田貝香門編, 東京大学出版会, 2002 年 2 月 (分担執筆).

# VDEC

*VLSI Design and Education Center  
The University of Tokyo*

*2002*