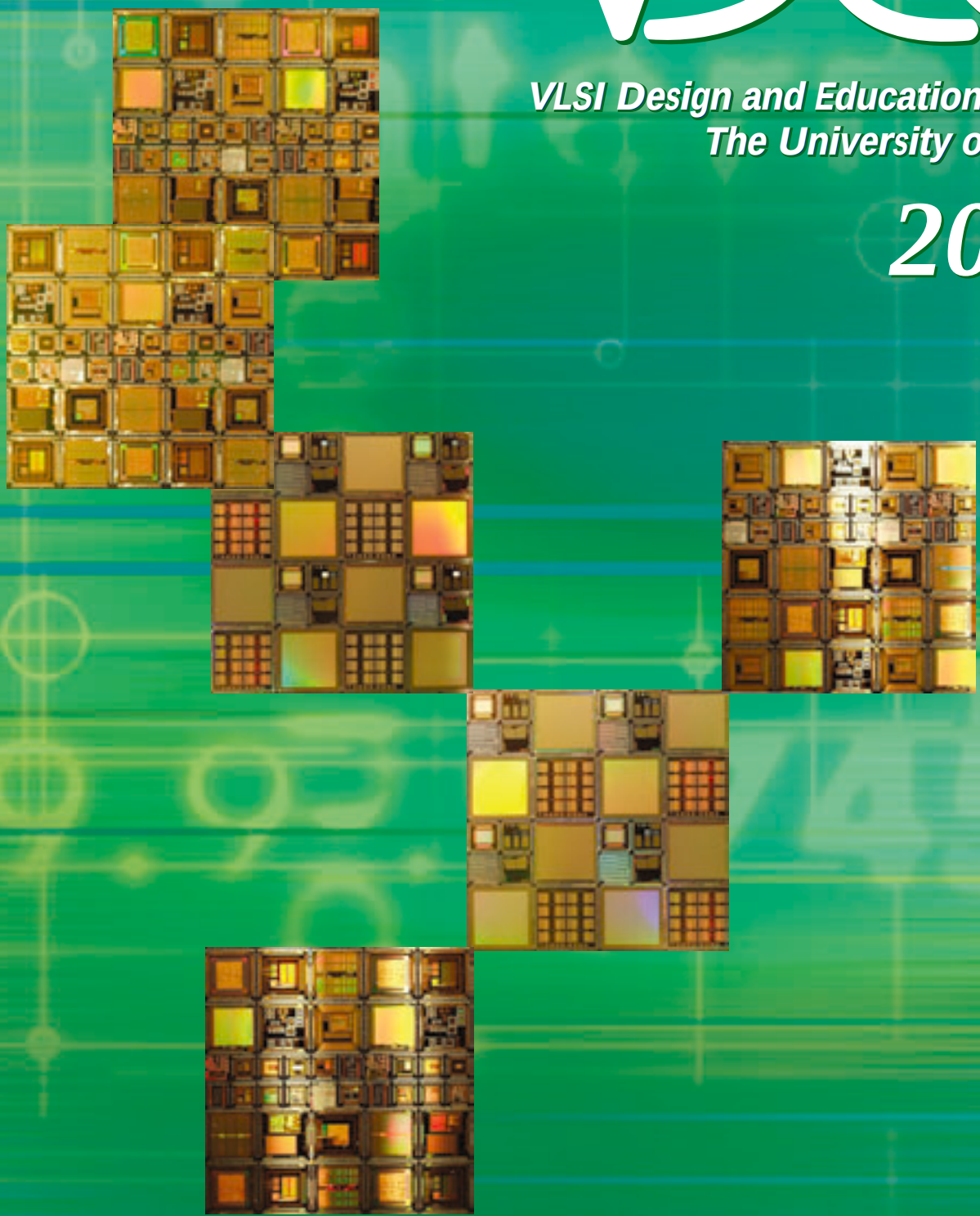
Activity Report
from April 2002 to March 2003

VDEC

VLSI Design and Education Center
The University of Tokyo

2003



平成１５年度
東京大学 大規模集積システム設計教育センター 年報

VLSI Design and Education Center
The University of Tokyo

大規模集積システム設計教育研究センター（VDEC）の2003年度年報をお送りします。

2002年度はVDECにとって国際協力の最初の年となりました。米国MOSISとの協定にもとづき、従来VDECの試作メニューになかったSiGeの試作等も可能となりました。VDECを窓口とすることでMOSISのチップ面積単価を半分にする包括協定を結んだ成果であると考えています。

2002年度のチップ試作総数は0.6μmCMOS試作を廃止したことの影響があり、やや低下しました。しかしゲート総数換算では依然として日本の大学・高専の試作規模は拡大しつつあり、VLSI設計力は着実に向上しつつあると実感しています。主要国際学会等での大学・高専からのVLSI設計研究成果発表数は大きな伸びを示してきており内外の注目を集めつつあります。これらの成果は各大学・高専での研究者各位のご努力の賜物でございますが、同時に多数のCADベンダー、チップ試作会社、マスクメーカ、チップ組立会社および半導体産業界のご厚意によるところが大きいと感謝いたしております。

東京大学も2004年度からは国立大学法人へと組織変更する方向で全てが動き出しています。

法人化はVDECにとっても大きな関心事であり、将来的には一定の境界条件下で独立採算システムへと移行することが必要であると認識しています。この面でも米国のMOSISや欧州のCMPは先行しており、学ぶべき点が多いと考えています。VDECは日本のVLSI設計技術の高度化を第一の目標に掲げている組織でもあり、この目的達成への最も適した独自の道を見いだしていきたいと考えています。

VDECでは0.18μmCMOS を2001年度にテストランし、2002年度より一般向けに正式にアナウンスしましたが、産業界ではすでに0.13μm、0.09μmへ主力試作技術がシフトしています。産業界からの大学の設計技術への期待もますます高まってきています。設計ツールについては2002年度にこの領域の設計に必要なソフトウェアの新規導入を行ってきました。現在、VDECでは0.13μmから0.09μm技術の試作サポートをできるだけ早期に開始したいと考えています。

これら微細技術は大変高価でもあり、VDECでも従来と若干異なる新しい“マルチプロジェクトチップ”の試作モデルの導入を検討しています。

本年10月末には武田郁夫氏からの寄付建物「武田先端知ビル」も竣工予定です。ここをベースとしてVDECでは従来のサービスをより充実するとともに、新しい集積化技術の研究体制整備を計画しています。これらをもとに諸外国にも例をみない付加価値の高い新しいチップ試作システムを構築できればと考えています。VDEC活動の発展のため、みなさまからの引き続きのサポートをお願いいたします。

（全国共同利用施設）
東京大学大規模集積システム設計教育研究センター
センター長　**浅田 邦博**

VLSI Design and Education Center
The University of Tokyo

VDEC 2003

～Activity Report from April 2002 to March 2003～

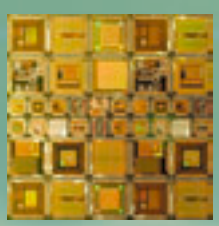
第1章 VDEC事業の紹介と平成14年度事業報告 …… 2
- 1.1 VDECにおけるLSI設計教育
- 1.2 CADソフトウェアの整備
- 1.3 平成14年度VDEC事業報告
- 1.4 CADセミナー
- 1.5 教材整備・情報発信
- 1.6 装置の整備・運用・利用公開
- 1.7 IP/M.COREプロジェクト
- 1.8 平成15年度の活動計画

第2章 チップ試作結果報告 …… 31
- 2.1 チップ種別索引
- 2.2 試作結果
- 2.3 チップ試作者の発表文献リスト

第3章 VDEC概要 …… 184
- 3.1 組織概要
- 3.2 人事報告
- 3.3 決算報告

第4章 研究報告 …… 191
- 4.1 研究室構成員
- 4.2 研究概要
- 4.3 研究発表

第5章 付録 …… 221



第 1 章　VDEC 事業の紹介と平成 14 年度事業報告

1.1. VDEC における LSI 設計教育

東京大学大規模集積システム設計教育研究センター（VDEC）は発足後 7 年目を迎える．

平成 14 年度も『LSI 教育情報の発信拠点形成』,『VLSI 設計支援教育用 CAD ソフトウェアの整備』,『VLSI チップ試作支援』を 3 つの柱として，円滑な運営を目指した事業を展開した．図 1.1 に示す VDEC の活動内容に基づき，以下に平成 14 年度の概要を報告する．

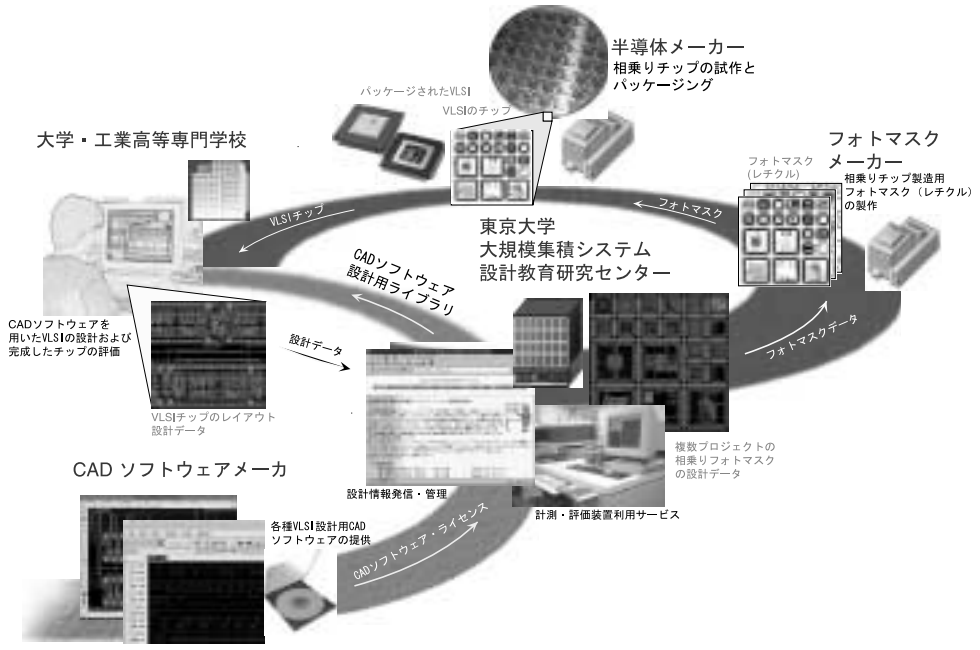


図 1.1　VDEC の活動内容

VDEC の使命は全国の国公私立大学および高専の LSI 設計研究・教育を高度化し，産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである．しかし，VDEC 発足当初，我が国の大学には CAD ソフトウェア利用技術教育や実用的 LSI 設計フロー教育のカリキュラムはほとんど存在していなかったため VDEC にとってはこれらの整備が急務の課題であった．CAD ソフトウェアの利用技術に関しては CAD ベンダーが独自の設計技術を有しており，これを導入することとした．大学院学生，若手教官を対象として CAD ベンダーから講師を招き，それぞれの CAD ソフトウェア毎に年 2 回のセミナーを開催することとし，CAD ベンダーと契約を結んだ．これまで年 2 回の内 1 回は VDEC で，残り一回は地方拠点校で実施している．参加定員は設備の関係でそれぞれ 20 ～ 50 名程度であり必ずしも十分とはいえないが，VDEC としては各ユーザ研究室内で “ 技術伝承 ” され，VDEC 主催のセミナーがトリガーとなって CAD 利用技術が全国的に広がることを期待している（1. 3 章参照）．

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である．この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを年 1 回（12 月～ 1 月）開催している．このコースは “ ディジタル設計コース ”, “ アナログ設計コース ”, “ 最先端設計事例コース ” の 3 コースからなっている．前 2

者は演習を伴う体験教育コースであり，主要大学の経験豊かな教官を講師に招いて実施している．最先端設計事例コースは講義主体のコースであるが，大学および企業から第一線の講師を招き，設計経験をもとにした講演を行っている．

これらセミナーに加えて VDEC では年 1 回，若手教官と学生を中心とした VDEC デザイナー・フォーラムを開催している．これはワークショップ形式の会合であり，企業・大学からの招待講演に交えて，参加者が設計事例を持ち寄ってその成功談，失敗談を交換する．これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる．このフォーラムの成果はプロシーディングとして印刷物，CDROM の形で入手できる．

このようなセミナー，フォーラムを通じた教育システムにより LSI 設計の基本的項目を学習できるようになっているが，それでも実際の LSI 設計の場面では，さまざまな困難に直面することが多い．初心者にとっては CAD ソフトウェアのセットアップは最大の問題である．セットアップの後も CAD ソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い．このような場合に力を発揮するものが VDEC メールグループである．VDEC ユーザは VDEC のホームページから CAD メールグループや試作技術対応のユーザグループに登録することができ，そこに直面する疑問点を投稿し，助けを求めることができる．メールグループの登録ユーザはそれに回答する義務を負っているわけではないが，ほとんどの場合，数時間から数日以内に経験豊かなユーザからの支援を得ることができる（図 1.2）．

図 1.2　VDEC メーリングリスト検索システム

VDEC ではこの支援活動に参加していただいているユーザに感謝の意を込めて，VDEC デザイナー・フォーラムにて“最多回答ユーザ賞”をさしあげている．

VLSI チップ試作支援に関しては，2002 年度からの本格運用を目指して日立製作所 0.18μm CMOS テストランを実施した．さらに，VDEC では現在のサービス項目に載っていない BiCMOS，SiGe 等について，CMC 等と同様の MOSIS との連携をスタートした．

また，一流の LSI 設計者を目指す学生に対してインセンティブを与える仕組みとして 4 年前より LSI IP アワードを実施している．本アワードは半導体各社と日経 BP 社の支援でスタートした IP 開発支援のしくみであり，すでに 5 回目の募集を終えた．前回は約 107 の応募にたいしその上位 28 件の優秀 IP に対して 100 万円～ 200 万円の賞金を授与している（図 1.3）．

図 1.3　LSI IP 賞

VDEC 発足以来 7 年目を迎え，6 年余の活動の中で LSI 設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育がスタートしている．図 1.4 に VDEC を利用した研究成果の指標として，VDEC に関係する発表文件数の推移を示す．単純に比較はできないが発表文献の数は増加傾向にあり，VDEC 発足以来，集積回路に関係する研究が活性化されていることが確認できる．

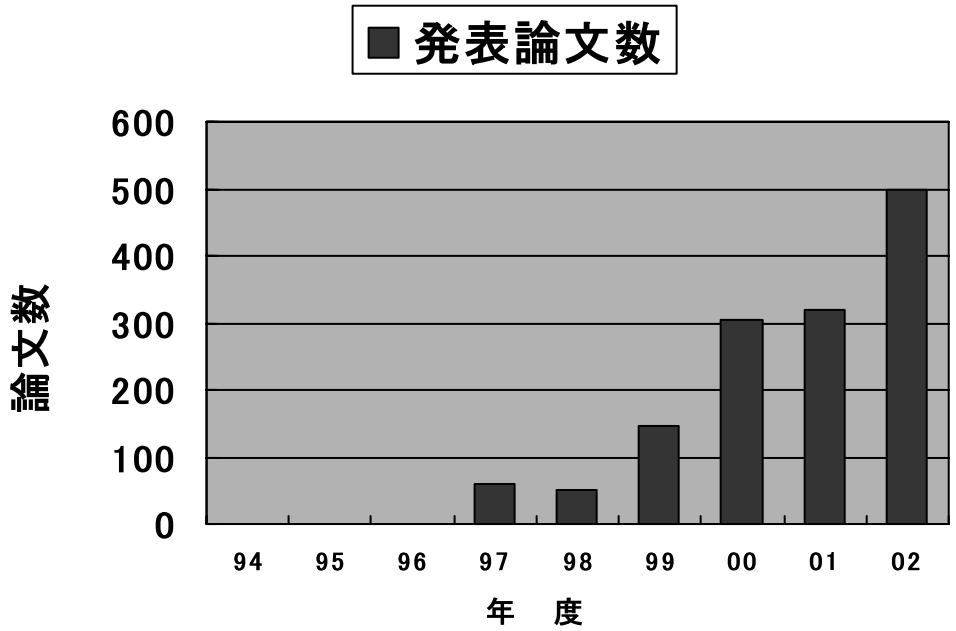


図 1.4　VDEC を利用した発表文献数の推移

図 1.5 に VDEC に関係する発表文献の VDEC ファシリティー利用状況を示す．論文執筆にあたり CAD ソフトウェアが幅広く利用されていることが確認できる．CAD ソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため，研究の基本アイデアを実証するツールとしての貢献度も大きい．また，研究論文には最先端のプロセステクノロジが好んで利用される傾向にあり，平成 14 年度からサービスを開始する日立製作所の 0.18μm テクノロジの利用が期待できる．そのほかのファシリティーとして，LSI テスターや FIB 加工装置，EB 描画装置などが研究目的に幅広く利用されることを期待する．

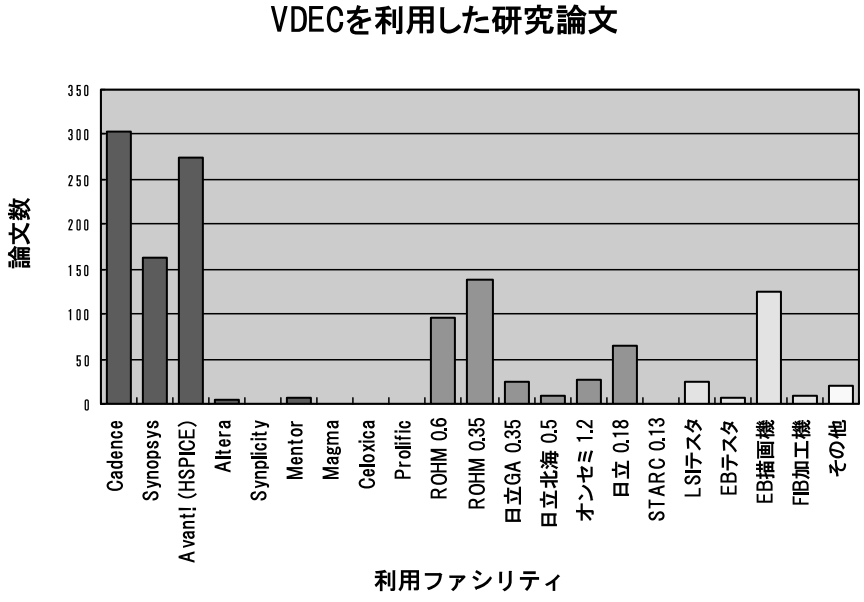


図 1.5　VDEC ファシリティー利用状況

1.2. CAD ソフトウエアの整備

平成 8 年度に導入された CAD ソフトウエア（表 1.1）は，図 1.2 に示す全国地域拠点校 10 箇所にライセンスサーバを設置し，全国各大学の利用者が手許の計算機にインストールした CAD ソフトウエアを，最寄のライセンスサーバにおいて認証を行うことで，CAD ソフトウエアが利用できるという，ネットワークを利用した運用形態となっている．ライセンス数は CAD の項目ごとに 500 から 1000 程度のフローティングライセンスとなっており，全国の大学・高専において教育・研究目的に限り利用できるようになっている．VDEC の CAD の利用，および「1.3 章」のチップ試作の利用のためには，あらかじめユーザ登録が必要となっているが，これまで VDEC に利用登録をしている (a) 全国教官数および (b) その所属する大学数および (c) CAD の利用申請があった研究室（教官）数の推移は図 1.7 の通りである．

表 1.1　導入された CAD システム

名　　称	用　　途	メーカ
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力，シミュレーション，論理合成，テスト生成，マクロセルを含むセルベースの配置配線とバックアノテーション，会話型の回路図およびマスクレイアウト入力，アナログ機能・回路シミュレーション，設計検証，回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション，論理合成，テスト生成．マクロセルを含むセルベースの配置配線設計とバックアノテーション．回路シミュレーション	Synopsys, Inc.
Magma 社設計システム	VerilogHDL/VHDL シミュレーション，論理合成，配置配線設計とバックアノテーション	Magma Design Automation Inc.
レイアウト検証システム	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
ASIC，FPGA 合成ツール	ASIC，FPGA 向け自動合成	Synplicity Inc.
C 言語ベース設計システム	Handel−C でシステム設計，合成，検証	Celoxica

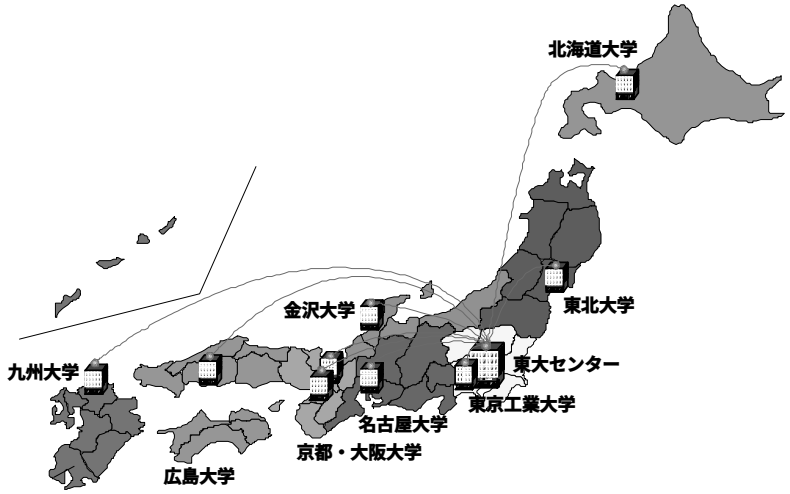
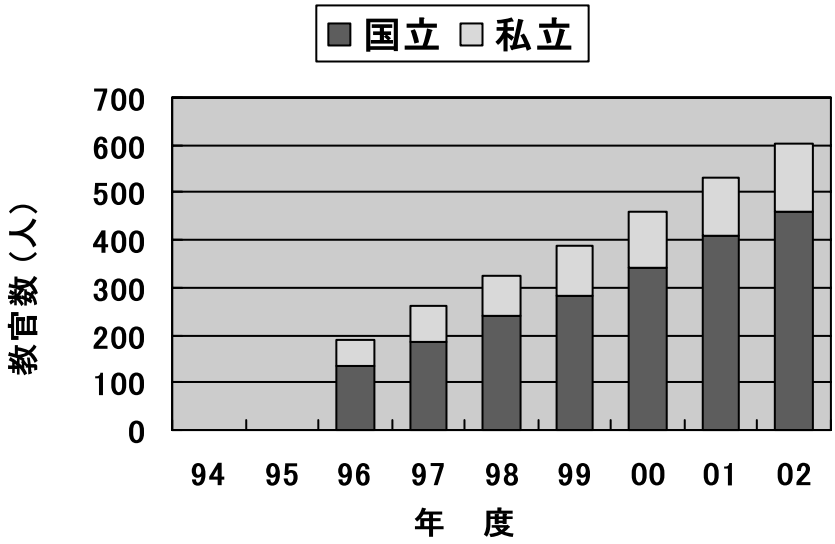
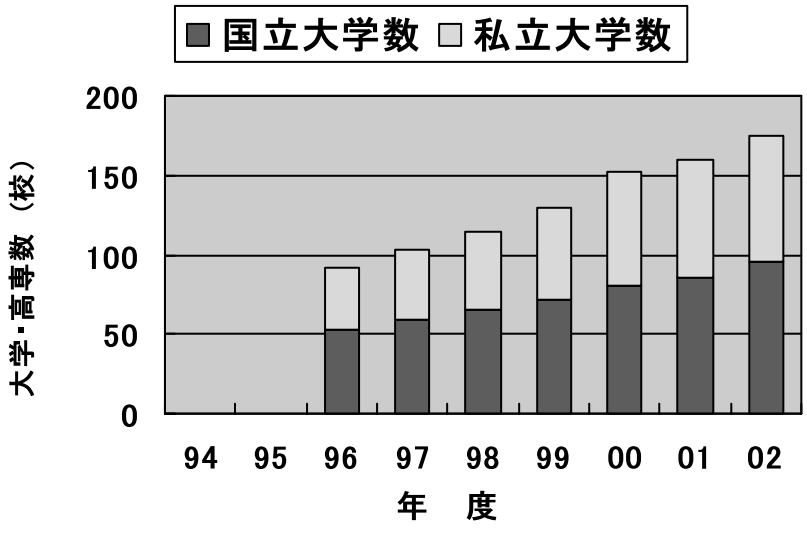


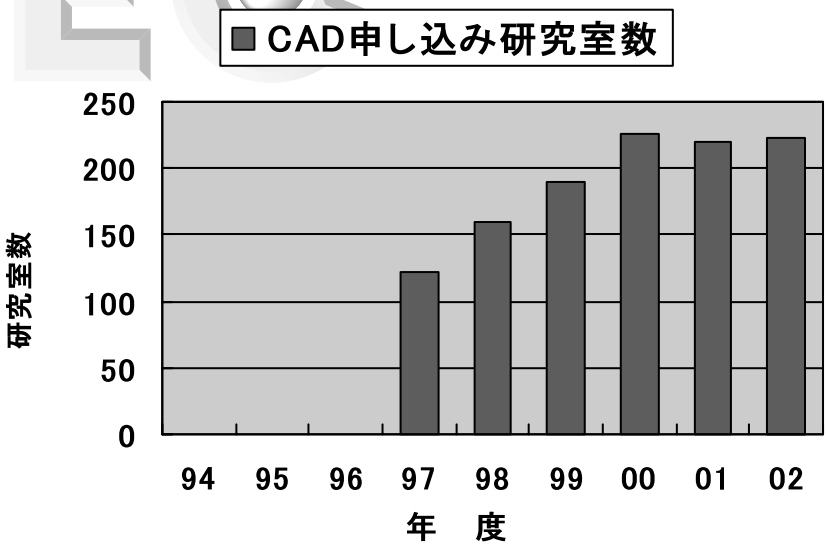
図 1.6　全国地域拠点校



(a)　利用登録教官数



(b)　パスワード発行教官の大学・高専数



(c)　CAD 申し込み研究室数

図 1.7　ユーザ登録数および CAD 申込数の推移

1.3．平成 14 年度 VDEC 事業報告

1.3.1　VLSI チップ試作

図 1. 3. 1 は，VDEC および，それに先行して STARC（半導体理工学研究センター）と共同で行ったパイロットプロジェクトでのチップ試作数の推移を示したものである．

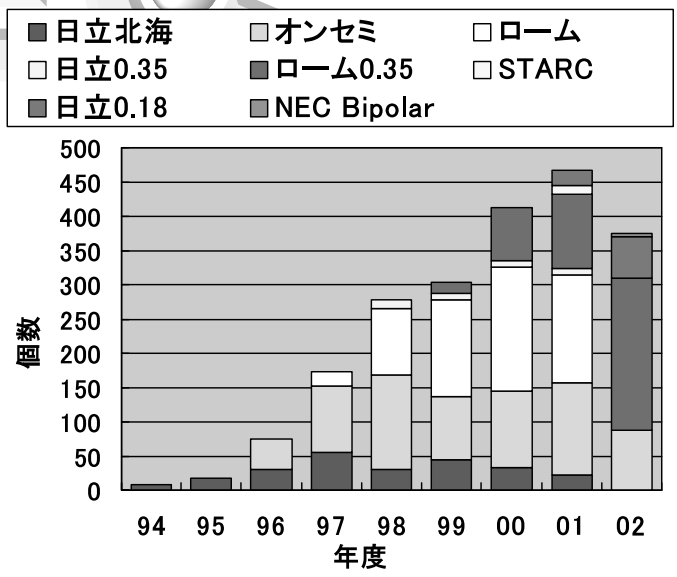
VLSI チップ試作は，平成 6，7 年度（1994，1995 年度）のパイロットプロジェクトでは，ファウンドリは NEL 社の CMOS 0.5μm（現在当該プロセスは日立北海セミコンダクタ社にて継続されている）1 社であったが，平成 8 年度（1996 年度）の VDEC 発足後，日本モトローラ社の CMOS 1.2μm（平成 11 年度からは，オン・セミコンダクターにて継続）が協力を開始し，平成 9 年度からはローム社の CMOS 0.6μm が加わった．さらに平成 10 年度には日立製作所の CMOS 0.35μm，平成 11 年度にはローム社 0.35μm がそれぞれ加わり，試作品種数，試作面積ともに依然として増加傾向にある．また，IP 開発プロジェクトの一環として STARC 0.13μm の試作を行った．平成 13 年度から，日立製作所の CMOS 0.18μm のサービスを実施している．平成 14 年度は，広島大学岩田先生の主導の下に，VDEC と MOSIS の協力による試作サービスを試行的に実施した．これは，TSMC，IBM といった海外のファブを MOSIS を経由することで格安で提供するものである．さらに，東京大学柴田先生主導の元に，NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った．

図 1. 3. 1（a）は設計されたチップ品種数を示す．図中の棒グラフは，試作品種数の順調な増加を表しており，VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから，研究・教育効果が劇的に向上していることが想像される．02 年度は試作数が減少したが，これは，ROHM 社の 0.6μm プロセスを終了したことによる一時的な現象である．

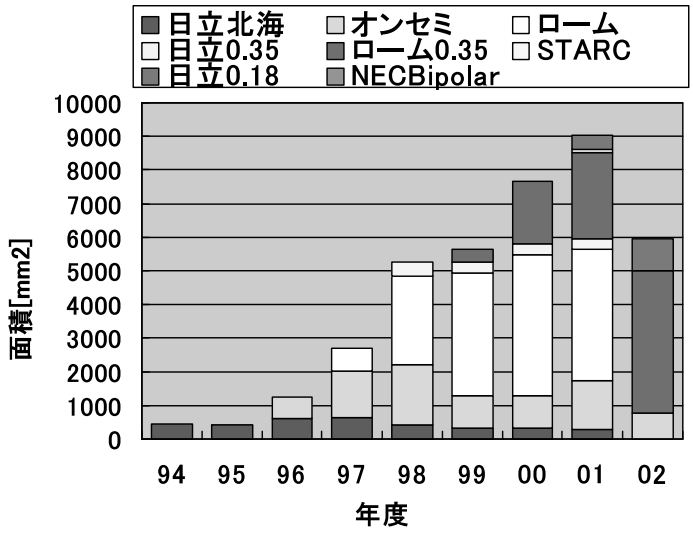
図 1. 3. 1（b）に設計されたチップ面積を示す．試作プロセスが微細化すると，集積度が向上することで，見かけ上試作面積が減少するように見える場合がある．そこで，図 1. 3. 1（c）に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した，規格化試作面積の傾向も併せて示す．規格化面積で見ると，チップ面積は順調に伸びていっているのがわかる．

図 1. 3. 2 にこれまでに試作に参加した教官数，大学数の推移およびその累計を示す．チップ試作に必要な設計規則などの，試作会社固有の機密情報にアクセスするための「機密保持契約」締結教官数は，オンセミコンダクタが 108 名，ロームの 0.35μm プロセスが 83 名，日立製作所が 16 名となっている．

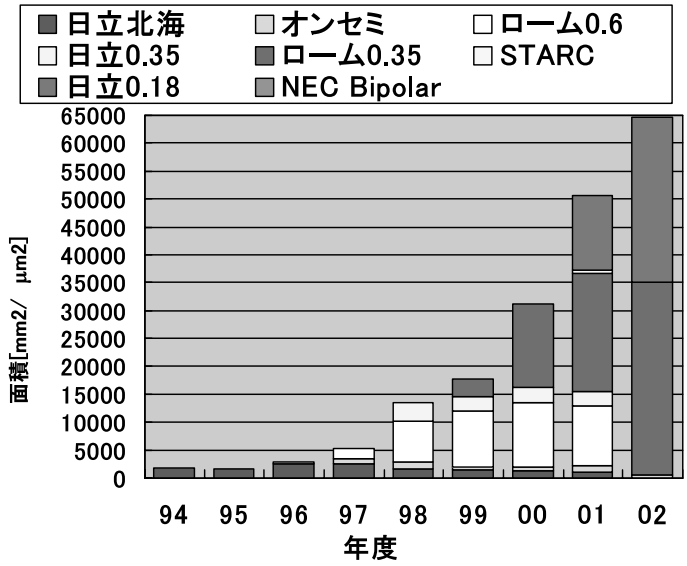
VDEC



(a)　チップ試作数推移



(b) チップ試作面積推移



(c)　特性寸法で規格化したチップ試作面積推移

図 1.3.1　チップ試作数・面積推移

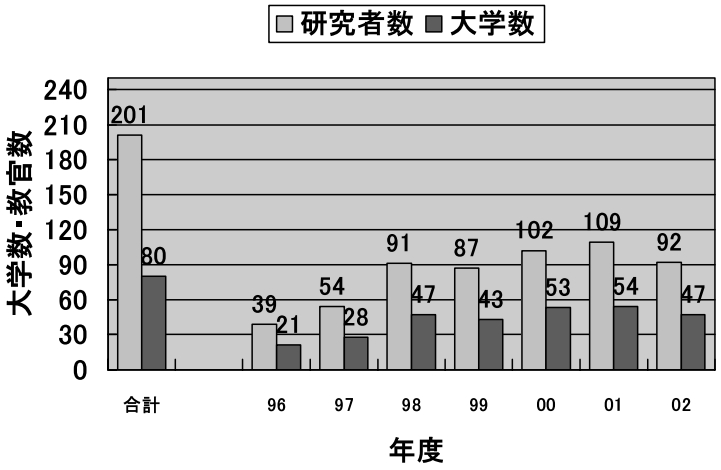


図 1.3.2　VDEC チップ試作参加教官数・大学数の推移とその累計

1.3.2　平成 14 年度チップ試作概況

平成 14 年度は，表 1. 3. 1 に示す日程でチップ試作を行った．チップ試作の参加者・試作の内容は，第 2 章　　のチップ試作報告を参照されたい．

表 1.3.1　平成 14 年度チップ試作日程

○ CMOS 1.2μm（オンセミコンダクタ：旧 日本モトローラ）

回	申込開始	申込〆切	設計〆切	チップ納品
第 0 回	平成 14 年 1 月 31 日	平成 14 年 3 月 4 日	平成 14 年 4 月 1 日	平成 14 年 7 月 5 日
第 1 回	平成 14 年 4 月 8 日	平成 15 年 7 月 8 日	平成 14 年 10 月 7 日	平成 15 年 1 月 10 日
第 2 回	平成 14 年 10 月 15 日	平成 15 年 1 月 14 日	平成 15 年 4 月 7 日	平成 15 年 7 月 11 日

○ CMOS 0.35μm（ローム）

回	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 14 年 2 月 25 日	平成 14 年 4 月 22 日	平成 14 年 6 月 24 日	平成 14 年 10 月 28 日
第 2 回	平成 14 年 6 月 6 日	平成 14 年 7 月 5 日	平成 14 年 8 月 26 日	平成 14 年 12 月 30 日
第 3 回	平成 14 年 5 月 13 日	平成 14 年 8 月 5 日	平成 14 年 11 月 5 日	平成 15 年 3 月 3 日
第 4 回	平成 14 年 8 月 5 日	平成 14 年 11 月 5 日	平成 15 年 2 月 3 日	平成 15 年 6 月 2 日

○ CMOS 0.18μm（日立）（固定枠）

回	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 14 年 2 月 28 日	平成 14 年 5 月 22 日	平成 14 年 7 月 22 日	平成 14 年 10 月 25 日
第 2 回	平成 14 年 6 月 22 日	平成 14 年 7 月 15 日	平成 14 年 9 月 17 日	平成 14 年 12 月 20 日
第 3 回	平成 14 年 7 月 15 日	平成 14 年 11 月 15 日	平成 15 年 1 月 14 日	平成 15 年 4 月 18 日

○ Bipolar（NEC）

回	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 14 年 9 月 16 日	平成 14 年 9 月 30 日	平成 14 年 10 月 30 日	平成 14 年 2 月 28 日

1.3.3 ライブラリ整備状況

VDEC におけるチップ試作（主にディジタル LSI 試作)では, 設計ライブラリの整備が重要である．VDEC では, VDEC 提供 CAD ソフトウエア中のライブラリ生成ツールを利用して，平成 8 年度から順次ライブラリ整備事業を行ってきている．現状では，VDEC における各プロセスの試作において，利用可能なライブラリは表 1. 3. 2 に示すとおりとなっている．

表 1.3.2　VDEC で利用可能なライブラリ

プロセス	名　称	作　成　者	内　容	状　況
HHS（NEL）0.5μm	P2lib	京都大学小野寺研究室	・Synopsys 用論理合成ライブラリ	試作チップの動作検証完了
			・VerilogXL 用シミュレーションライブラリ	
			・CellEnsamble 用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html		
	EXDlib	九州大学安浦研究室	・Synopsys 用論理合成ライブラリ	試作チップの動作検証完了
			・VerilogXL 用シミュレーションライブラリ	
			・VHDL 用シミュレーションライブラリ	
			・AquariusXO（ApolloXO 対応済み）用配置配線ライブラリ	
			・CellEnsamble 用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html		
MOT1.2μm	P2lib	京都大学小野寺研究室	・Synopsys 用論理合成ライブラリ	試作チップの動作検証完了
			・VerilogXL 用シミュレーションライブラリ	
			・CellEnsamble 用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html		
	EXDlib	東京大学 VDEC	・Synopsys 用論理合成ライブラリ	
			・VerilogXL 用シミュレーションライブラリ	
			・AquariusXO（ApolloXO 対応済み）用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html		
日立 0.35μm	EXDlib	東京大学 VDEC	・Synopsys 用論理合成ライブラリ	
			・VerilogXL 用シミュレーションライブラリ	
			・AquariusXO（ApolloXO 対応済み）用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html		
	日立ゲートアレイ	日立から提供のセルを ApolloGA に移植	・Synopsys 用論理合成ライブラリ	
			・VerilogXL 用シミュレーションライブラリ	
			・AquariusXO（ApolloXO 対応済み）用配置配線ライブラリ	
		CDROM にて配布		
ROHM0.35μm	EXDlib	東京大学 VDEC	・Synopsys 用論理合成ライブラリ	
			・VerilogXL 用シミュレーションライブラリ	
			・AquariusXO（ApolloXO 対応済み）用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		

ROHM0.35μm	パスポートライブラリ	ロームから提供	・Synopsys 用論理合成ライブラリ	
			・VerilogXL 用シミュレーションライブラリ	
			・VHDL 用シミュレーションライブラリ	
			・ApolloXO 用配置配線ライブラリ	
			・RAM, ROM モジュール	
		CDROM にて配布		
	京大 lib	京都大学　小野寺研究室	・Synopsys 用論理合成ライブラリ	試作チップの動作検証完了
			・VerilogXL 用シミュレーションライブラリ	
			・Apollo/Astro 用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
日立0.18μm	京大 lib	京都大学　小野寺研究室	・Synopsys 用論理合成ライブラリ	試作チップの動作検証完了
			・VerilogXL 用シミュレーションライブラリ	
			・Apollo/Astro 用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html		
	日立ゲートアレイ	日立から提供のセルを ApolloII に移植	・Synopsys 用論理合成ライブラリ	
			・VerilogXL 用シミュレーションライブラリ	
			・AquariusII 用配置配線ライブラリ	
		CDROM にて配布		

1.4. CAD セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である．平成 14 年度には，CAD 利用のための技術セミナー，社会人のためのリフレッシュセミナー，若手教官・学生のためのデザイナーズフォーラム等のセミナー，フォーラムを企画，実施した．

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは，VDEC で現在使用可能な Cadence，Synopsys，Magma，Mentor Graphics などのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている．また，VDEC で開発したライブラリを用いたチップ設計に関する講習も VDEC スタッフで実施している．平成 14 年度は，8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した．この技術セミナーでは，Cadence のツールを 5 日間，Synopsys のツールを 5 日間，旧 Avant! のツールを 3 日間，Star−HSPICE の講習を 2 日間で実施し，各コースに 30 名から 50 名の教官・学生の受講があり，各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している．また 3 月には上級者を対象とした CAD 技術セミナーを地方拠点（北海道，東北，金沢，広島，九州）で実施し，Cadence，Synopsys，旧 Avant!，Star−HSPICE，Magma，Mentor Graphics 等の最新のツールの上級トレーニングを行った（表 1.4）．

これら CAD 技術セミナーへの参加要望は非常に大きいため，VDEC 拠点校の協力を得ながら各地方拠点校で開催しているが，地方拠点開催でもその地方から

図 1.7　CAD 講習会会場風景

の参加者にとどまらず，遠方からの参加希望が多く寄せられている．これはCAD技術セミナーに対する需要が依然として大きなことを表しており，より大規模なCAD技術セミナー開催の仕組みの整備が急がれる状況にある．

表 1.4　平成 14 年度 CAD 技術セミナー開催状況

講習項目	開催地	開催時期	参加人数	講習内容
Cadence 講習会（Virtuoso，Diva，SiliconEnsemble）	東京大学	平成 14 年 8 月 19 日〜 23 日	46	・テクノロジファイノレの記述 ・LayoutEditor の環境／コマンド ・DRC，Extraction ・フロアプラン，配置配線
Avant! ツール講習会（Milkyway，Apol1o）	東京大学	平成 14 年 8 月 26 〜 28 日	45	・データファイル，テクノロジファイルの解説 ・フロアプラン，配置配線 ・ClockTreeSynthesis ・LVS/DRC
Star-HSPICE 講習会	東京大学	平成 14 年 9 月 2 〜 3 日	49	・独立電源モデル，素子モデルの記述 ・解析タイプの例，ネットリスト構造 ・コマンドの説明と実行方法
Synopsys ツール講習会（Scirocco，Design Compiler，NanoSim）	東京大学	平成 14 年 8 月 20 〜 24 日	30	・VHDL シミュレータの基本操作 ・効果的な VHDL 記述スタイル ・Virsim GUI によるデバッグ ・回路合成・解析ツールの基本操作
Mentor Graphics 社 CalibreDRC/LVS/EXT 講習会	東京大学	平成 14 年 9 月 11 〜 13 日	28	・DRC，Extraction ・容量・抵抗モデルの記述 ・回路抽出
Prolific 社 ProGenesis 講習会	東京大学	平成 14 年 9 月 17 日	22	・テクノロジファイルの記述方法 ・SPICE ネットリストからのセルレイアウト生成
Star-HSPICE 講習会	北海道大学	平成 15 年 3 月 6 〜 7 日	20	・独立電源モデル，素子モデルの記述 ・解析タイプの例，ネットリスト構造 ・コマンドの説明と実行方法
Cadence 講習会（Virtuoso，Diva，Dracula）	九州大学	平成 15 年 3 月 5 〜 7 日	30	・テクノロジファイノレの記述 ・LayoutEditor の環境／コマンド ・DRC，Extraction
Cadence 講習会（SpectreRF）	広島大学	平成 15 年 3 月 19 〜 20 日	18	・Spectre-RF 概要 ・Periodic Steady State 解析 ・Periodic AC の解析
Magma 講習会	金沢大学	平成 15 年 3 月 25 〜 27 日	20	・MAGMA フローの説明 ・ツールの概要説明と基本操作 ・クロストーク・ノイズ・ディレイ ・セル EM ／ワイヤー EM
Mentor 講習会（Calibre/xCalibre）	東北大学	平成 15 年 3 月 5 〜 7 日	20	・DRC，Extraction ・容量・抵抗モデルの記述 ・回路抽出
Synopsys 講習会（Design Compiler）	Synopsys 大阪支社	平成 15 年 3 月 24 〜 25 日	16	・回路合成・解析ツールの基本操作 ・クロック・設計制約の設定 ・階層コンパイル ・最適化
Synopsys 講習会（Milkyway/Astro）	Synopsys 大阪支社	平成 15 年 3 月 26 〜 27 日	16	・配置配線用セルライブラリデータ作成方法 ・Astro の概要 ・Astro タイミング最適化レイアウトフロー

【社会人のためのリフレッシュセミナー】

平成14年度12月～1月には平成13年度に引き続き，集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として，社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した（表1.5）．

このセミナーは主に社会人を対象として，演習を伴う最新のVLSI設計技術の実践的教育を行うもので，平成10年度に文部省専門教育課の支援のもとでスタートしたが，今年度は（財）電気電子情報振興財団の協力（共催）を得，また文部省高等教育局専門教育課，日本電子機械協会（EIAJ），システムLSI開発支援センター（VSAC），半導体理工学研究センター（STARC），日本応用物理学会，情報処理学会，電気学

本コースは，集積回路産業に関わる職業人を対象としたリフレッシュ教育として，VLSI設計に関する最新の知識・技術の習得を目的として実施します。教育機関に在籍する教官・学生の方の参加も可能です（但し，コースの本来の目的のため，社会人の方の申込を優先させて頂きますのであらかじめご了承下さい）。

本コースでは，各種設計手法の講義に加え，実際に簡単な集積回路を設計し，シミュレーションやFPGAボードなどによる検証までを行うVLSI設計演習を実施します。さらに，実際に最先端VLSIを設計した設計事例を詳しく紹介するコースを設定します。集中講義の形態で，各テーマ別に週2～4日，合計3週で実施します。また経験者は，必要に応じて受講するテーマを取捨選択できます。

講師は，主として集積回路研究・教育に携わる大学教官を中心としますが，設計事例の紹介に関しては，一部，企業から最先端の開発に携わる研究者を講師として招聘いたします。

コース1：HDLによるディジタル集積回路設計と演習

【日　程】：12月9日（月）～12日（木）
【場　所】：東京大学工学部10号館4階 VDECワークステーション室
【講　師】：今井 正治（大阪大学 教授），越智 裕之（広島市立大学 助教授）
小林 和淑（東京大学 助教授），池田　誠（東京大学 助教授）
【講義内容】
12/ 9（月）：システムレベル設計手法とHDL
VerilogHDLの文法解説とシミュレーション演習（越智）
12/10（火）：VerilogHDLによる論理合成／シミュレーションとFPGA実装演習1（小林）
12/11（水）：VerilogHDLによる論理合成／シミュレーションとFPGA実装演習2（小林）
LSI配置配線設計演習1（池田）
12/12（木）：LSI配置配線設計演習2（池田）

コース2：アナログ集積回路設計と演習

【日　程】：1月6日（月）～8日（水）
【場　所】：東京大学工学部10号館4階 VDECワークステーション室
【講　師】：岩田　穆（広島大学 教授），小野寺秀俊（京都大学 教授）
小谷 光司（東北大学 助教授）
【講義内容】
1/ 6（月）：アナログ集積回路の特徴と役割（岩田）
レイアウト設計，検証（DRC，LVS）1（小谷）
1/ 7（火）：レイアウト設計，検証（DRC，LVS）2（小谷）
回路設計，回路シミュレーション1（小野寺）
1/ 8（水）：回路設計，回路シミュレーション2（小野寺）

コース3：最先端VLSI設計実例

【日　程】：1月14日（火），15日（水）
【場　所】：東京大学弥生講堂
【コーディネータ】：岩田　穆（広島大学 教授），村上 和彰（九州大学 教授）
【講　師】：冨山 宏之（九州システム情報技術研究所），朝重 浩喜（松下電器），
中倉 康浩（松下電器），東原 恒夫（NTT），松澤　昭（松下電器），
小久保 優（日立製作所）
【講義内容】
1/14（火）：SpecC を用いたシステムレベル設計手法と適用事例（冨山）
システムLSIのレイアウト設計について（朝重）
HDTV用システムLSI設計（中倉）
1/15（水）：RF回路と無線通信用LSIの設計（東原）
CMOSアナログ回路設計の基礎（松澤）
PLLの設計と最新PLL技術状況（小久保）

【コース内容・スケジュール】
内容に関しては若干変更になる場合があります。
最新の情報および詳細はWebページを御参照下さい。
http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html

【受講料（予定）】
コース1：31,000円（テキスト料込）
コース2：20,000円
コース3：6,000円

【申込方法】
11月から申込受付開始を予定しております。
詳細はhttp://www.vdec.u-tokyo.ac.jp/Refresh/announce.html
をご覧下さい。

【問合せ先】
東京大学大規模集積システム設計教育研究センター(VDEC)
〒113-8656　東京都文京区弥生2-11-16　東京大学工学部9号館
電話：03-5841-8901，FAX：03-5841-8910
担当者：北神 正人(企画・運営)，清水 要(会計)，吉田 直美(事務処理)
E-mail：refresh@vdec.u-tokyo.ac.jp

【共　催】東京大学大規模集積システム設計教育研究センター(VDEC)
財団法人 総合研究奨励会

【協　賛】文部科学省高等教育局専門教育課
電子情報技術産業協会(JEITA)
システムLSI開発支援センター(VSAC)
半導体理工学研究センター(STARC)
応用物理学会
情報処理学会
電気学会
電子情報通信学会
IEEE Solid-State Circuits Society, Japan Chapter
IEEE Solid-State Circuits Society, Kansai Chapter

【開催場所】東京大学本郷キャンパス

図1.8　2002年度リフレッシュ教育ポスター

会，電子情報通信学会の協賛をあわせて得ることができ，大変効果的で有意義なセミナーとなった．本年度は VLSI 設計に関する 3 つのコース（コース 1：HDL によるディジタル集積回路設計と演習（12/9 ～ 12/12 実施），コース 2：アナログ集積回路設計と演習（1/6 ～ 1/8 実施），コース 3：最先端 VLSI 設計実例（1/14 ～

図 1.9　2002 年度リフレッシュ教育会場風景

表 1.5　社会人向きリフレッシュセミナー開催状況

講習項目	開催日	講師	参加数	講習概要
コース 1：HDL によるディジタル集積回路設計と演習	平成 14 年 12 月 9 ～ 12 日	今井正治（大阪大学教授），越智裕之（広島市立大学助教授），小林和淑（京都大学助教授），池田誠（東京大学助教授）	35	ハードウェア記述言語（HDL）によるディジタル集積回路設計，Verilog HDL を用いた FPGA の設計演習，論理合成と自動配置配線手法による ASIC 設計の流れの演習
コース 2：アナログ集積回路設計と演習	平成 15 年 1 月 6 ～ 8 日	岩田穆（広島大学教授），小野寺秀俊（京都大学教授），小谷光司（東北大学助教授）	35	アナログ集積回路の特徴と役割，レイアウト設計，設計検証，回路シミュレーション
コース 3：最先端 VLSI 設計実例	平成 15 年 1 月 14 ～ 15 日	岩田穆（広島大学教授），村上和彰（九州大学教授），松澤昭（松下電器），東原恒夫（NTT），小久保優（日立製作所），冨山宏之（九州システム情報技術研究所），朝重浩喜（松下電器），中倉康浩（松下電器）	100	SpecC を用いたシステムレベル設計手法と適用事例，システム LSI のレイアウト設計，HDTV 用システム LSI 設計，RF 回路と無線通信用 LSI の設計，CMOS アナログ回路設計の基礎，PLL の設計と最新 PLL 技術状況

1/15）を開催し，講師として大学・企業の集積回路研究・教育に携わる教官や研究者 14 名を招聘し，VLSI 設計に関する講義や最新の CAD ツールを使用した実習をはじめ，最先端の VLSI 設計技術の紹介を行った．参加者はコース 1，2 はそれぞれ約 35 名，コース 3 は約 100 名あり，延べ 170 名程度となった．

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象とした VDEC LSI デザイナーフォーラム（VDEC LSI Designers Forum）を開催している．VDEC LSI デザイナーフォーラムは，LSI 設計者が，互いの研究成果だけではなく，チップ設計で苦労した点，失敗事例と解決策，CAD 業界の裏話，研究室に於ける設計環境の構築法など，通常の研究会や学会などでは得ることのできない情報を共有し，大学または研究室の枠を越えて研究者が連携を深めることを目的としている．平成 14 年度は，9 月 19 日，20 日に沖縄県那覇市で開催され，48 名の参加者があった．今回は，IEEE SSCS Japan Chapter，電子情報通信学会九州支部，沖縄県アルティマ，三菱電機マイコン機器ソフトウエア，セイコーインスツルメンツ，トッパンに共催団体として支援していただいた．また，本フォーラム開催にあたって，会場・宿泊設備その他の準備，スタッフの手配等は，地元幹事大学のご協力により実現されている．平成 14 年度は，琉球大学の和田先生の研究室に幹事を務めていただいた．

図 1.9　VDEC デザイナーズフォーラム会場風景

表 1.6　平成 14 年度デザイナーズフォーラムプログラム

9/19	13:00－13:10	開会の挨拶	
	13:10－14:10	特別招待講演「沖縄の LSI 産学ベンチャー活動報告―デジタル通信用 LSI スペシャリスト集団マグナデザインネット―」	和田知久先生（琉球大）
	14:10－14:40	VDEC の活動について	石原亨先生（VDEC）
	14:40－14:50	各種国際学会について	小林和淑（VDEC）
	15:10－15:35	ISSCC 発表報告	宮崎大輔先生（静岡大）
	15:35－16:00	VLSI Circuit Symposium 発表報告（1）	藤林正典さん（東北大）
	16:00－16:30	VDEC 提供各種 CPU コア	小松聡先生（VDEC）
	16:30－17:00	京大版ライブラリ	橋本昌宜先生（京大）
	18:00－20:00	夕食（中華料理）	
	20:00－22:00	ポスターセッション	
	22:00－24:00	3 次会（希望者のみ，ポスター参加 4 社協賛，学生無料）	
9/20	9:00－9:10	CIC デザインコンテスト概要	小林和淑（VDEC）
	9:15－9:25	CIC デザインコンテストアナログ部門	古田雅則さん，伊藤真也さん（静岡大）
	9:25－9:40	CIC デザインコンテストフルカスタム部門	山岡寛明さん（東大）
	9:40－9:55	CIC デザインコンテストセルベース部門木村基さん，河原伸幸さん（阪大）	
	9:55－10:20	「学生と社会人の経験を活かして」	名倉徹さん（東大）
	10:35－11:00	VLSI Circuit Symposium 発表報告（2）	小川徹さん（阪大）
	11:05－12:00	パネル討論	

表 1.7　平成 14 年度 VDEC LSI デザイナーズフォーラム発表内容一覧

タイトル	著者
蟻の行動様式を模した LSI の設計	稲垣亜奈，田中智之，中尾基，泉勝俊（大阪府大）
Z80 互換プロセッサコア IP の開発	真島優輔，安浦寛人（九大）
人工視覚再生のための眼内埋め込みイメージセンサ	古宮哲夫（奈良先端大）
振り分け転送方式変調光検波イメージセンサとその応用	山本幸司，香川景一郎，太田淳，布下正宏（奈良先端大），山田雅司，渡辺國寛（マイクロシグナル）
クロック生成用 1GHzPLL の設計と試作	宮崎崇仁，山岡健人（京大）
東京大学浅田研究室チップ設計事例	山岡寛明，大池祐輔，山本剛志，飯塚哲也，池田誠，浅田邦博（東大）
連続時間電流モード ΔΣ 変調器の設計	増田貴志，武井一史，田島康博（上智大）
RT レベル SystemC によるパイプラインプロセッサの設計	荒本雅夫，湯山洋一，高井幸輔（京大），小林和淑（東大）
生体センサ用低雑音増幅回路の設計	吉田毅，真下隆行，岩田穆（広大）
学生向け HDL 設計教育プログラム	秋谷貞男（アルティマ），宮澤武廣（三菱電機マイコン機器ソフトウエア），大塚藤男（セイコーインスツルメンツ），山田明宏（トッパン）

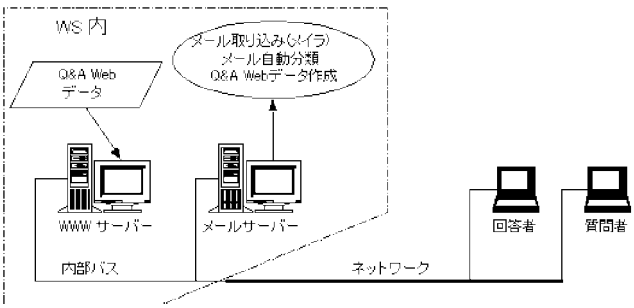
【その他の共催・協賛セミナー】

日本学術振興会第 165 委員会が主催する「VLSI 設計・夏の学校」への協賛を行い，こちらも盛況であった．（社）電子情報通信学会 VLSI 設計技術研究会が主催する講習会「VLSI 設計演習」への協賛も行った．

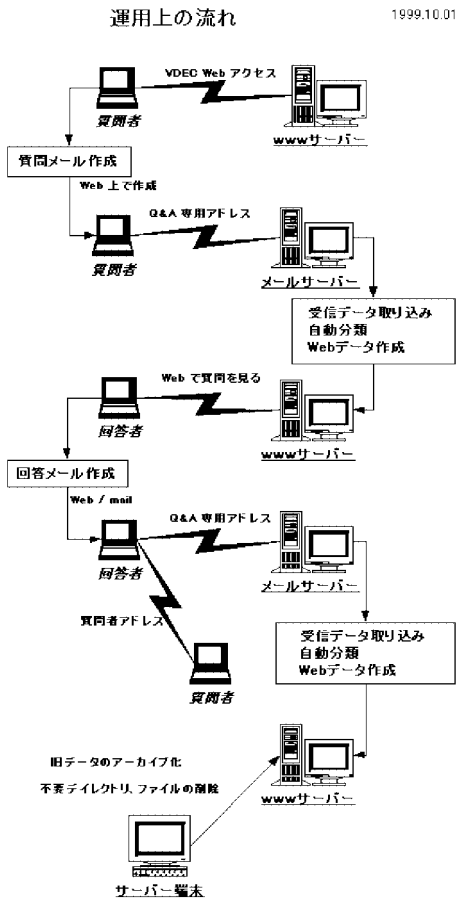
1.5. 教材整備・情報発信

VLSI 設計法の教材整備では，平成 9 年度に作成した「論理合成・シミュレーション検証（上流設計）」「セルベースによる自動配置配線（中流設計）」「会話型設計（下流設計）」の教材，および平成 10 年度に作成した「マクロセル作成のための自習教材」を，平成 13 年度の CAD ツールのバージョンアップにあわせて内容の更新を行った（凸版印刷 Online VLSI Design Experience 2001 年度版）．本教材は，Web により参照できるように設定されており（http://www.vdec.u-tokyo.ac.jp/CAD/Toppan.html），全国の教育関係者が研究・教育目的に自由に改定再配布できるようになっている．また，希望される方には，CDROM による配布も行っている．ただ，現在そのバージョンアップは止めております．

また平成 11 年度は，「QA システム」（図 1. 10）の構築を行った．平成 12 年度には，質問とその回答を自動的にデータベース化するとともに，頻繁にされる質問（FAQ：Frequentry Asked Question）に対する半自動応答システムの構築を行った．1. 4 章の「リフレッシュセミナー」,「VLSI 設計演習」における講習の内容をその講師の先生を中心に執筆していただき，平成 12 年度初旬に VDEC 教科書シリーズとして「ディジタル集積回路の設計と試作」というタイトルで出版した．本 VDEC 教科書シリーズは「アナログ篇」も発行に向けた準備を行っているところである．



(a) Q&Aシステム概要



(b) Q&A システムの流れ

図 1.10　QA システム

1.6. 装置の整備・運用・利用公開

VDEC では，発足以来導入されてきた装置の運用を行うとともに，各装置を全国に利用公開を行っている（一部装置は，利用公開に向けた試験運用中）．表 1.8 に装置の一覧と利用公開の状況を示す．公開されている装置に関しては，前述の装置利用法セミナーの受講者に対して利用者資格を認定し，利用は，利用者資格を有する者もしくはその同伴の場合による利用を原則としているが，必要に応じ，VDEC の職員などが対応することで，利用を認める場合もあるので，相談いただきたい．

その中で，特に試作チップの評価装置関係は，今後ますます評価に対する需要が増大することが予想されることから，平成 9 年度に，拠点校に設置されている LSI テスターの試作チップ評価用治具の共通化を目指して，共通ソケットを有するマザーボードをテスターごとに準備し，共通ソケット上搭載する，LSI の品種毎のドーターボードを準備した．これにより，VDEC で標準ピン配置に基づき試作したデジタル LSI に関しては，治具を新たに作成することなく，VDEC および拠点校の LSI テスターにより評価が行える体制が整っている．さらに，今後新たな品種の試作が可能になった場合においても，品種に応じたドーターボードを 1 種類準備することで，全国の各大学における LSI テスターに対応可能な体制が整っている．今後，LSI テスト法および LSI テスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り，試作した LSI の特性・性能評価が容易に行える環境の整備に努めたい．試作チップの評価に関しては，発足当初より QFP や BGA パッケージを実装できるソケットの頒布およびソケットのピンを標準 2.54mm ピッチに変換する変換ボードの頒布を行ってきた．諸事情によりソケットならびに変換ボードは実費配布となった．詳細は WEB を参照いただきたい．

電子線描画装置，集束イオンビーム加工装置は，限られたスタッフのなかで，できるだけ多く利用機会を設けたいという思想から，免許を持っている人間から一定期間装置利用法を習得し，試験に合格したのち利用資格を与える「徒弟免許制度」を考案し，試験運用を行っている．年間 350 枚以上のマスク描画実績がある．

表 1.8　装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジック LSI テストシステム	ミックスシグナル LSI テスター：ITS 9000Exa	100MHz/200MHz320 ピンのデジタルピンおよび 4 チャネルのアナログピンを有している．VDEC において標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@vdec.u-tokyo.ac.jp
	EB テスター：IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う．通常 LSI テスターと組み合わせて使用するため，上述テスターとのドッキング治具を備える　384 ピン，1GHz までのデジタル回路のテストを行える．	公開中	IDS5000@vdec.u-tokyo.ac.jp
	LSI テスター：HP8300	384 ピン，1GHz までのデジタル回路のテストを行える．	公開中	HP83000@vdec.u-tokyo.ac.jp
	回路修正用 FIB：IDSP2X	LSI パターンの設計ミス等による配線ショート，オープンに対して，配線の切断，白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	オートプローバ：PM-90- A	ウエハ上での LSI の動作検証を行うためのオートプローバ．上述の LSI テスターとドッキングして使用することが可能で，VDEC において標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	VDEC@vdec.u-tokyo.ac.jp
アナログ・RF 測定システム	アナログ・RF 測定装置一式：HP4156，HP4284，HP...etc	DC パラメータ測定，容量測定，ネットワークアナライザ，スペクトラムアナライザ等の測定装置	希望に応じ利用可能．但し VDEC の業務による利用を優先とする	VDEC@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ：Cascade 社	マニュアルにて 6 インチまでのウエハ上のチップの測定が可能．測定には，通常のプローブ針（6 本まで）のほか，50GHz までの測定が可能な高周波プローブを 2 本備える		
	低雑音・温度制御機構付きセミオートプローバ：Karl Suss 社	8 インチまでのウエハ上のチップの測定が可能．ウエハ温度を−50℃ から 200℃ まで制御可能．プローブカードによる測定．GPIB を介した制御を行うことで半自動測定も可能		
	極低温プローバ	5 インチウエハを 25K まで冷やした測定が可能	要相談	VDEC@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置：JBX-7000SB	半導体製造用マスクの描画およびエッチング，ウエハへ直接描画が可能．最小描画寸法 0.5μm.	試験的に公開中	JEOLEB@vdec.u-tokyo.ac.jp
汎用 FIB システム	FIB 装置：SMI9800MSP	ガラスマスクの欠陥修正の他，断面観測のための加工等が可能	試験的に公開中	SIIFIB@vdec.u-tokyo.ac.jp

1.7. IP/M. CORE プロジェクト

VLSI 技術は日々進歩しており，VDEC がサポートしている CAD ツールやライブラリ，チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており，各方面の協力を随時お願いする予定である．

平成 12 年度より新たな取り組みとして，特定のテーマごとに研究グループを組織し VDEC におけるチップ試作を利用した研究を推進し，その成果物として，大学において自由に利用できるような IP ライブラリの構築を目指したプロジェクトを開始した．具体的には米国モトローラ社からの提供によるマイクロプロセッサ IP（M. CORE）をプラットフォームとした設計プロジェクト，ディジタル及びアナログ IP 開発プロジェクトを推進した．平成 13 年度は，これまでに各グループから提案された興味深い提案を STARC が仲介する 0.13μm CMOS 技術と日立製作所デバイス開発センターの 0.18μm CMOS 技術を利用した試作を行った．本試作・評価をもとに平成 14 年度も同様にプロジェクトを遂行した．

(a) IP 開発研究の参加者および概要

本プロジェクトは，コア設計者以外のシステム設計者が IP コアを利用して大規模システムを設計するための環境および技術を構築することを目的として，平成 12 年度より 3 年間の計画でスタートした．参加グループの構成および概要は表 1. 7. 1 に示すとおりである．平成 14 年度は 10 月に東京大学にて M. CORE プロジェクトとの合同中間報告会を開催した．

表 1.7.1　IP 開発プロジェクトの構成および研究概要

グループ名	代表者	参加者	概要
デジタルプロセッサコア IP 開発研究	安浦寛人（九州）	柳沢（早稲田），越智／弘中（広島市立），末吉／久我（熊本）	ソフトコアプロセッサ，ソフトコアプロセッサ，ビヘイビア記述からの LSI 設計教育向きプロセッサ開発
デジタル演算ユニット IP 開発研究	高木直史（名古屋）	天野（慶応），今井／武内（大阪），木村（奈良），村上（九州），南谷（東京）	算術演算回路，基本的な演算ユニット，PPRAM インターフェース，スマートコア，同期・非同期インタフェース
高速 AD/PLL/OP-Amp IP 開発研究	谷口研二（大阪大学）	小野寺（京都），高木（東工業大）	8-10 ビット Flash/Pipeline，Rail-to-rail OP-Amp，差動 OP-Amp，クロック生成用 PLL，低電圧・高周波 OP-Amp，イメージセンサ A/D 変換／多重解像度フィルタリング／動き検出回路
PWM/ ΔΣ AD IP 研究開発	岩田教授／森江助教授／永田助手（広大）	佐々木（熊本），川人（静岡），雨宮／浅井（北海道），八木（九工大），杉本（中央），相澤助教授（東大）	容量アレイ型 AD，DA 変換器，オーバサンプリング型 AD 変換器，デシメーションフィルタ，PWM 方式演算回路，VCO 回路，PLL 回路，カオス発生回路，アナログフィルタ（カレントモードフィルタ），パイプライン A／D 変換器（10 ビット，20MSps），アナログ／デジアナ反応拡散チップ，動き検出イメージセンサ，ハフ変換チップ，ゼロ交差画素検出回路，14 ビット，400MSps，2V 動作 D/A 変換器
機能メモリー IP 研究開発	池田講師／石原助手（東京大学）	小林（京都），柴田（東京），マタウシュ（広島）	機能メモリ，最小ハミング距離探索メモリ，標準的な SRAM

（b）IP 利用技術研究の参加者および概要（M. CORE プロジェクト）

本プロジェクトも IP 開発研究同様，3 年間で IP コアベースの設計手法の会得，それによる設計と LSI 化における課題の検討を目的としている．研究のグループの構成および概要は表 1.7.2 に示すとおりである．プロジェクトのおよそのスケジュールは表 1.7.3 となっている．平成 12 年度には MCORE の利用法に関する講習会および中間報告会を開催し，平成 14 年度は 10 月に東京大学にて IP 開発プロジェクトとの合同中間報告会を開催した．

表 1.7.2　研究グループの構成と研究概要

大学	氏名	概要
東京大学	池田 / 石原	低電力 SoC 設計を目的としたコデザイン技術の開発
九州大学	村上	M. CORE を 2 個，その間にコプロセッサとしての FPGA ならびに PPRAM-Link I/F（PLIF）を搭載し，いくつかの実験を実施
金沢大学	深山	インターネット携帯端末向けシステム LSI を設計
東京工業大学	國枝	Multimedia Vehicular LAN System using IEEE1394
東京大学	柴田	M. CORE を用いた話者認識システムの研究
広島大学	小出	M. CORE を用いたプロトタイピングシステムの開発
北海道大学	山本	電子透かしによる音声信号とデジタル情報の重畳とその 1 チップシステム化
大阪大学	今井	リアルタイム OS の LSI と周辺回路を含む SoC の設計．自動車のリアルタイム制御をターゲットとする．
熊本大学	末吉	M. CORE の周辺回路として （自作の）FPGA を搭載し，M. CORE を FPGA のコントローラとして用いるような Custom Computing Machine の設計．FPGA は対象となるプロセスに合わせて設計
立命館大学	山内	M. CORE によるリアルタイムビデオタイトル作成システムの開発

表 1.7.3　IP/MCORE プロジェクトのスケジュール

時期	内容
2000/ 4 月 3，4	M. CORE セミナー（VDEC）を開催し M. CORE の利用技術を取得
2000/ 6 月	FPGA 評価ボード，コンパイラを参加者に配布．これを用いて FPGA プロトタイピングを開始
2000/ 11 月 27 日	中間報告会
2001/ 9 月	0.13μm 用 MCore/ セルベースを VDEC 経由で提供
2001/ 10 月	セルベース設計終了・試作開始（STARC 経由，0.13μm CMOS）
2001/ 11 月	中間報告会（北九州） 0.18μm 用 MCore/ セルベースを VDEC 経由で提供
2001/ 1 月	セルベース設計終了・試作開始（日立製作所 0.18μm CMOS）
2002/ 3 月	試作終了・評価開始
2002/ 9 月	チップ試作報告会
2003/ 4 月	最終報告会

(c) IP 開発 /M. CORE プロジェクト合同チップ試作

平成 13 年度は STARC が仲介する 0.13μm CMOS 技術と日立製作所デバイス開発センターの 0.18μm CMOS 技術を利用し図 1.7.1 に示す計画で試作を行った.

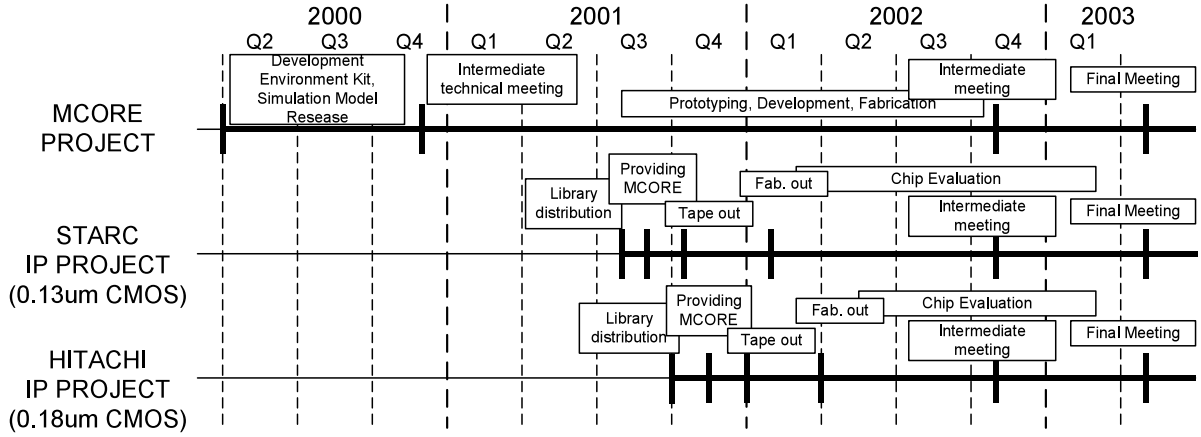


図 1.7.1　IP/MCORE 合同試作スケジュール，中：0.13μm CMOS 試作，下：0.18μm CMOS 試作

(d) 平成 14 年度の活動内容

平成 14 年度(2002 年度)は IP プロジェクト，MCORE プロジェクトともに平成 13 年度の STARC 0.13μm 試作プロジェクト（M. CORE プロジェクト 2 チップ，IP 開発プロジェクト 9 チップ），日立 0.18μm 試作プロジェクト（M. CORE プロジェクト 2 チップ，IP 開発プロジェクト 16 チップ）での試作チップの評価および IP 化を中心に研究を行った．また，必要に応じて日立 0.18μm（平成 14 年度は 3 回），ローム 0.35μm（平成 14 年度は 4 回）試作ランにおいて各参加者の試作チップの修正・改良を行った.

本プロジェクトについて，平成 14 年 8 月に，「IP ワークショップ」という形で成果報告会を行った．表 1.7.4 の報告を主に各グループリーダがそれぞれのグループの進捗状況及び以後の方向性を中心に講演を行った．また，平成 14 年 10 月には東京大学 VDEC において研究報告会を行い，M. CORE プロジェクトおよび 0.13μm 試作プロジェクトに参加したグループが研究発表を行った．平成 15 年 4 月には東京大学 VDEC においてプロジェクト最終報告会を開催し，各グループの 3 年間の成果を報告した．表 1.7.5 は本プロジェクトに関連するチップ試作数の概況である.

表 1.7.4　IP ワークショップ講演リスト

IP プロジェクトの概要	東京大学　浅田教授
マイクロプロセッサ IP 開発	九州大学　安浦教授
演算器 IP 開発	名古屋大学　高木教授
アナログ IP 開発（1）	大阪大学　松岡講師
アナログ IP 開発（2）	広島大学　岩田教授
機能メモリ IP 開発	東京大学　池田助教授
M. CORE を用いた IP 開発	東京大学　小松助手
IP プロジェクトの今後	東京大学　浅田教授
IP 流通のための WEB データベース	東京大学　鄭助手

表 1.7.5　本プロジェクトに関連するチップ試作数

	2000 年度	2001 年度	2002 年度
ディジタルプロセッサ	・ローム 0.35μm × 4 ・日立 GA 0.35μm × 2	・ローム 0.35μm × 1 ・日立 0.18μm × 3 ・STARC 0.13μm × 2	・ローム 0.35μm × 2 ・日立 0.18μm × 2
ディジタル演算ユニット	・日立北海 0.5μm × 2	・日立 0.18μm × 3 ・STARC 0.13μm × 1	・ローム 0.35μm × 3
高速 AD/PLL/OP-Amp	・ローム 0.6μm × 5	・ローム 0.35μm × 1 ・日立 0.18μm × 3 ・STARC 0.13μm × 2	・ローム 0.35μm × 2 ・日立 0.18μm × 2
PWM/ ΔΣ AD	・ローム 0.6μm × 6 ・ローム 0.35μm × 3	・ローム 0.35μm × 2	・ローム 0.35μm × 6
機能メモリ	・ローム 0.6μm × 3	・日立北海 0.5μm × 1 ・ローム 0.35μm × 1 ・STARC 0.13μm × 3	・ローム 0.35μm × 6 ・日立 0.18μm × 1
M. CORE		・ローム 0.35μm × 1 ・日立 0.18μm × 2 ・STARC 0.13μm × 2	・ローム 0.35μm × 2 ・日立 0.18μm × 1

(d) IP データベースの整備

設計資産の再利用のために，VDEC では Web 上でのデータベースの構築および公開を行っている（http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html，図 1. 7. 2）．本データベースの利用対象は，IP 登録に関しては VDEC ユーザに限定しているが，IP 利用に関しては任意対象となっている．本データベースに関しての VDEC の役割は，IP のカタログデータの整理，公開および登録者-利用者間の仲介と機密情報の取り扱いの監督である．

本プロジェクトの最終成果として，IP 開発グループの各参加者へ完成 IP の登録を働きかけている．

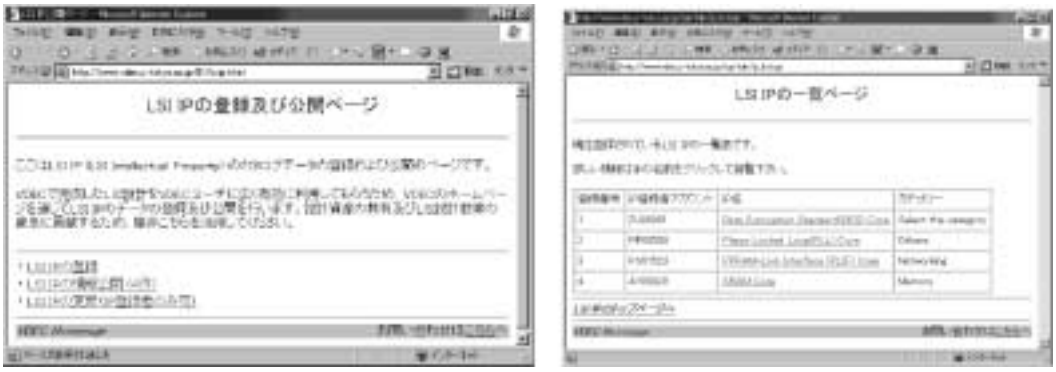


図 1.7.2　VDEC LSI IP Web データベースの例

1.8. 平成 15 年度の活動計画

平成15年度は，従来の設計情報発信，CADツール提供，チップ支援に加え，平成14年度で終了したSTARCとの共同研究「システムLSIのための再利用可能な設計資産の構築手法の実験的研究」において各大学で開発されたIPの公開に向けた取り組みを継続する．一方，平成15年度から新規で開始されるSTARCとの共同研究の枠組みに基づくプロジェクト型研究「SoC設計プラットフォーム・マクロの研究」を遂行する予定である．

【設計情報発信・セミナー開催】

本年度は，平成9年度より継続しているCADツール利用法に関する技術セミナー，平成10年度から継続している社会人向けの「リフレッシュセミナー」，平成8年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え，教科書，教材の整備充実を行なうことを予定している．これにより自然な形で，若手のVLSI設計者の層を厚くし，定常的な情報交換の場を確立していきたい．試作チップ数の増加にともない，チップ動作検証に対する要望が増大していくものと予想されるが，LSIテスト技術および，VDECおよび拠点校に設置されているLSIテスター利用法のセミナーも継続して開催し，VDECおよび拠点校のテスターに対し「利用資格」を有する学生・研究者の数を増やす努力をしていく予定である．同時に各拠点校のテスター関係者の連携を密にすることで多様化していくテストの需要に全国レベルで対応する体制を整えていきたい．これは，大きなコストを必要とするテスターの維持・管理を効率化し，維持コストを抑えつつ有効利用を促進するねらいを持っている．また平成14年度開始した時限の研究会「LSI動作解析技術研究会」を介した，産業界と密接に連携した次世代のテスト技術・故障診断技術の研究交流推進を継続する．

さらに，日本，韓国，台湾というアジアのVDECと同様の活動拠点の相互ワークショップを平成15年度は日本で開催し，利用者相互の交流により，各国におけるLSI設計研究・教育を一層盛り上げることを目指していく予定である．

【CADツール提供】

上流設計（Cadence，Synopsys），中流設計（Avant!，Cadence，下流設計（Cadence）の各基本ツールを，平成15年度もサポートしていく．これに加え平成14年度から導入した設計検証（Mentor: Caribra），上中流設計（Magma），上流設計（Celoxica）を継続してサポートし，VDECユーザの多様なニーズにこたえられるようにする．

CADツールに必要となる論理設計用ライブラリについては，ファウンドリ提供のものに加え，京都大学，九州大学，早稲田大学，豊橋科学技術大学などの協力を得て，VDECのチップ試作テストラン等を通じて構築されたライブラリの整備が進んでおり，平成15年度は，より信頼性の高いものの提供，およびライブラリに応じた進んだ設計フローの構築などを目指していきたい．特に，平成14年度までのプロジェクト型研究で構築されたIPについて可能なものから順次公開していきたい．

また後述のプロジェクト型研究などの推進により，VDECのチップ試作に適したSoCプラットフォームの構築とプラットフォームに基づく設計手法の確立を進めたい．これらの活動整備には広く各大学からの協力を期待している．

【チップ試作支援】

平成 15 年度は，平成 14 年度から引き続き日立北海セミコンダクタ株式会社，オン・セミコンダクター，ローム株式会社，日立製作所，NEC 化合物デバイスの協力により，6 種類のプロセスで計 11 回の試作を設定する予定である（すでに一部の試作は進行中である）．チップの組み立ては全て富士通 VLSI に委託することで多様な組み立てのニーズに応じられるようにしていきたい．

さらに，平成 14 年度から開始した東大 VDEC-米国 MOSIS との協力に基づく MOSIS におけるチップ試作についても今年度も一層強化する方向ですすめたい．

表 1.8.1　VDEC チップ試作スケジュール（平成 15 年度）

【CMOS　1.2 μm　2P2M】オン・セミコンダクタ（旧 日本モトローラ）

	申込開始	申込〆切	設計〆切	チップ納品
第 0 回	平成 14 年 10 月 15 日	平成 15 年　1 月 14 日	平成 15 年　4 月　7 日	平成 15 年　7 月 11 日
第 1 回	平成 15 年　4 月 14 日	平成 15 年　7 月　7 日	平成 15 年 10 月　6 日	平成 16 年　1 月　9 日
第 2 回	平成 15 年 10 月 13 日	平成 16 年　1 月 12 日	平成 16 年　4 月　5 日	平成 16 年　7 月　9 日

【CMOS 0.5 μm 1P3M】日立北海セミコンダクター（旧 NEL）

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 15 年　4 月 14 日	平成 15 年　6 月 16 日	平成 15 年　9 月　8 日	平成 15 年 12 月 19 日

【CMOS 0.35 μm 2P3M】ローム株式会社

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 15 年　4 月 14 日	平成 15 年　5 月 12 日	平成 15 年　6 月 23 日	平成 15 年 10 月　3 日
第 2 回	平成 15 年　5 月　2 日	平成 15 年　6 月 25 日	平成 15 年　8 月 25 日	平成 15 年 12 月　5 日
第 3 回	平成 15 年　5 月　2 日	平成 15 年　9 月　3 日	平成 15 年 11 月　3 日	平成 16 年　2 月 13 日
第 4 回	平成 15 年　8 月　2 日	平成 15 年 12 月　2 日	平成 16 年　2 月　2 日	平成 16 年　5 月 14 日

【CMOS 0.35 μm ゲートアレイ 1P5M】日立製作所

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 15 年　5 月　2 日	平成 15 年　9 月　8 日	平成 15 年 12 月　8 日	平成 16 年　3 月 12 日

【CMOS 0.18 μm 1P5M】日立製作所

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 15 年　4 月 14 日	平成 15 年　5 月 26 日	平成 15 年　7 月 21 日	平成 15 年 10 月 24 日
第 2 回	平成 15 年　7 月 14 日	平成 15 年 11 月 10 日	平成 16 年　1 月 12 日	平成 16 年　4 月 16 日

【Bipolar 0.6 μm】 NEC 化合物デバイス

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 15 年　5 月　2 日	平成 15 年　7 月 28 日	平成 15 年　9 月 29 日	平成 15 年　1 月 30 日

【CMOS 0.18 μm 2P5M】MOSIS-TSMC

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 15 年　4 月 14 日	平成 15 年　9 月 10 日	平成 15 年 11 月 10 日	平成 16 年　2 月 10 日

【CMOS 0.25 µm 2P5M】MOSIS-TSMC

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 15 年 4 月 14 日	平成 15 年 4 月 29 日	平成 15 年 5 月 12 日	平成 15 年 8 月 12 日
第 2 回	平成 15 年 5 月 2 日	平成 15 年 5 月 31 日	平成 15 年 7 月 14 日	平成 15 年 10 月 14 日
第 3 回	平成 15 年 5 月 17 日	平成 15 年 9 月 17 日	平成 15 年 11 月 17 日	平成 16 年 2 月 17 日
第 4 回	平成 15 年 7 月 12 日	平成 15 年 11 月 12 日	平成 16 年 1 月 12 日	平成 16 年 4 月 12 日

【BiCMOS 0.5 µm SiGe2P5M】MOSIS-IBM

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回	平成 15 年 4 月 14 日	平成 15 年 7 月 8 日	平成 15 年 9 月 8 日	平成 15 年 12 月 8 日

表 1.8.2 チップ試作料金

設計規則	チップサイズ	税抜価格（千円）	設計規則	チップサイズ	税抜価格（千円）
CMOS 1.2µm 2P2M	2.3mm 角	66.5	CMOS 0.35um 2P3M	2.4mm 角	93.75**
	4.8mm 角	230		4.9mm 角	375**
				9.8mm 角	1500**
	7.3mm 角	451	CMOS 0.35µmGA 1P4M	5.9mm 角	506
CMOS 0.5µm 1P3M	2.3mm 角	138	CMOS 0.18µm 1P5M	2.9mm 角	350
	4.8mm 角	535.9		5.9mm 角	1200
BiPolar 0.6µm	2.0mm 角	144.5**			

* チップ試作料金が改定される場合があります
** 組立代金は別途

【プロジェクト型研究】

VLSI 技術は日々進歩しており，VDEC がサポートしている CAD ツールやライブラリ，チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており，各方面の協力を随時お願いする予定である．

平成 15 年度からは，あらたに大学におけるチップ試作において，LSI テスター無に初期の動作テストを可能とするような SoC マクロの構築を目指したプロジェクト型研究を推進する．本研究を遂行する過程で SoC マクロ本体の設計に加え，SoC マクロを用いた設計およびその設計フローの構築に際し各方面からのご協力を随時お願いする予定である．

第 2 章　チップ試作結果報告

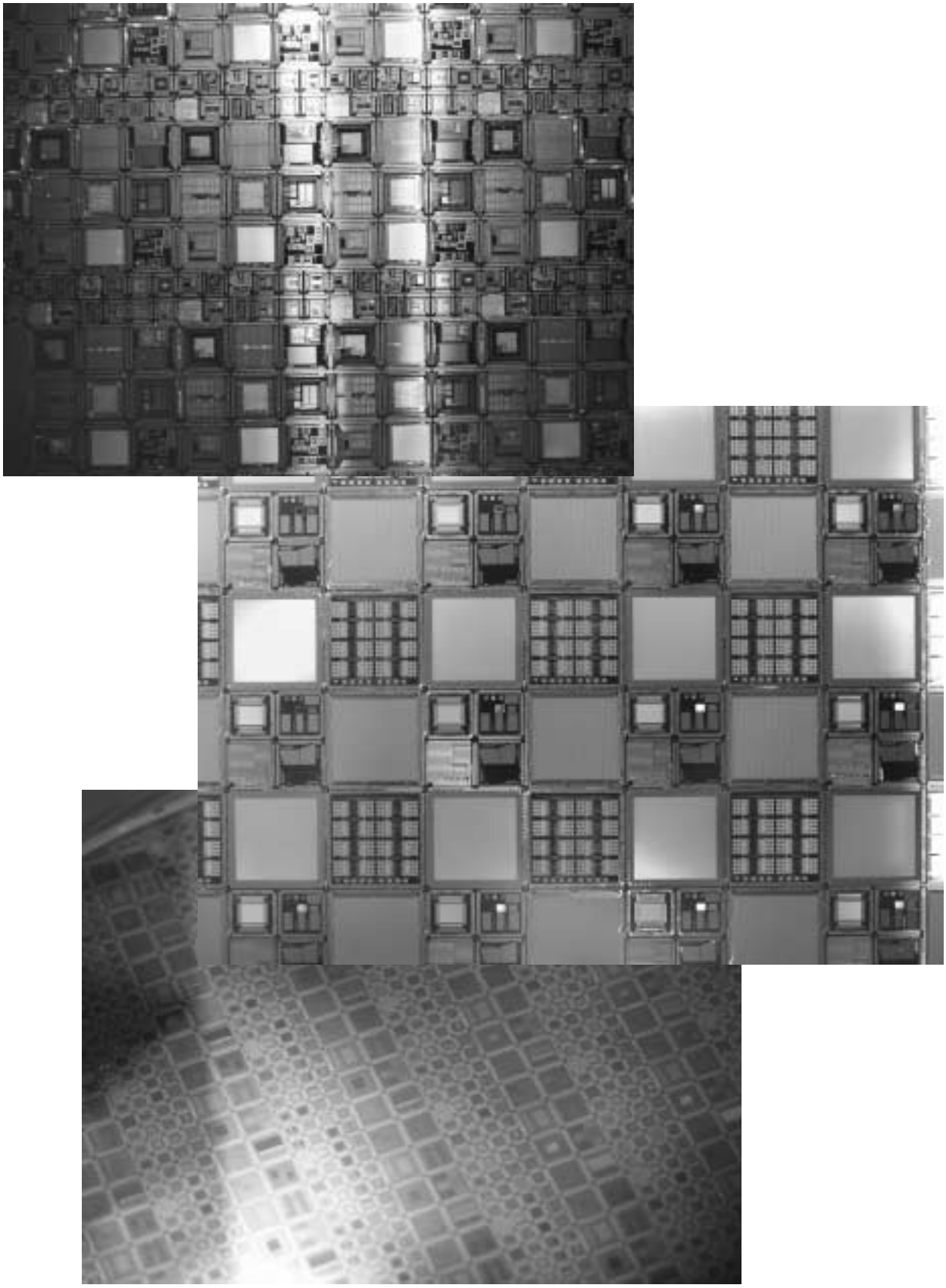


図 2.1 「相乗りチップ」の顕微鏡写真

平成 13 年度　第 2 回　オンセミコンダクタ CMOS1.2μm チップ試作（MOT012）

題　　名	大 学 名	研 究 者	掲載頁
スイッチドキャパシタ容量型センサ・インターフェースの設計	静岡大学電子工学研究所	小川 覚美，渡辺 健蔵	50
Rail-to-RailCMOS カレント・コンベアの設計	静岡大学電子工学研究所	倉科 隆，小川 覚美，渡辺 健蔵	50
4 ビットマイクロプロセッサの設計	静岡理工科大学理工学部電子工学科	縣 伸史，北村 義徳，永野 肇，村松 透，望月 秀幸，波多野 裕	50
CMOS 電子可変浮遊抵抗回路の試作	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏，常田 明夫，萩原 祐一 飯尾 義徳	51
CMOS スイッチを用いた FPAA 用アナログコア回路試作チップとカオス写像のアナログ IC 化	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏，常田 明夫，安成 潤 飯尾 義徳，菅原 卓朗	51
POF フロントエンド（1）	金沢大学工学部	山田 裕志	51
CMOS 演算増幅器，D/A コンバータ	埼玉大学工学部	高橋 誠，高橋 幸郎	52
基板雑音低減回路の配置の検討	東京工業大学集積システム	高木 茂孝	52
生体の初期視覚機構に学んだ簡単な形状認識機能を有する接近検出チップの試作	豊橋技術科学大学工学部	西尾 公裕，米津 宏雄	52
広ダイナミックレンジを有するエッジ検出回路の電子回路化	豊橋技術科学大学工学部	高崎 哲，米津 宏雄	53
網膜に学んだエッジ検出チップの基本回路および TEG	豊橋技術科学大学工学部	安部 浩史，米津 宏雄	53
素子特性のばらつきに強い一次元エッジ検出アナログ回路の設計	豊橋技術科学大学工学部	Amal Bandula Kariyawasam，米津 宏雄	53
E 級 DC − DC コンバータ	福岡大学工学部	末次 正	54
電流モード AD 変換器	熊本大学工学部	佐々木 守	54
移動度の変化の影響を低減した OTA を用いた Gm-C フィルタの試作	東京理科大学理工学研究科 東京理科大学理工学部	藤井 隼人 兵庫 明，関根 慶太郎	54
LV/LP CMOS コンポジットセルと VCO の試作	東京理科大学理工学研究科 東京理科大学理工学部	赤峰 旭，大山 聡一朗，本間 寛忠，山口 誠 兵庫 明，関根 慶太郎	55
96 × 96 画素三相時間相関イメージセンサ	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	55
64 × 64 画素三相時間相関イメージセンサ（第 2 報）	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	55
ラプラシアンフィルタリングを用いた動きベクトル検出 CMOS イメージセンサの設計	広島市立大学大学院情報科学研究科	中村 陽介，吉本 卓己，堀居 賢樹	56
ノイズ抑制機能評価用チップの設計	広島市立大学情報科学部	小川 尚嗣，堀居 賢樹	56
MOS 構成に適したアナログ形 PLL の試作（1）	秋田大学工学資源学部	川元 雅紀，佐藤 紀章，伊藤 文人，井上 浩	56
高精度 CMOS 定電圧回路	富山県立大学大学院工学研究科 岡山県立大学情報工学部	金森 章，松田 敏弘，岩田 栄之 大曽根 隆志	57
MOSFET の高周波特性測定用 TEG の設計	富山県立大学大学院工学研究科 岡山県立大学情報工学部	麻生 啓太，松田 敏弘，岩田 栄之 大曽根 隆志	57
高精度 CMOS 定電圧回路	富山県立大学大学院工学研究科 岡山県立大学情報工学部	金森 章，松田 敏弘，岩田 栄之 大曽根 隆志	57
高精度 CMOS 定電圧回路	富山県立大学大学院工学研究科 岡山県立大学情報工学部	金森 章，松田 敏弘，岩田 栄之 大曽根 隆志	58
C++ 言語を用いた教育用 4 ビット CPU の設計	広島工業大学工学部	大村 道郎，丸本 敬幸	58
FG-MOS 可変論理回路・加算回路・カレントミラーおよび基本オペアンプ回路の試作	佐賀大学大学院工学系研究科 佐賀大学理工学部	石川 洋平 内田 正隆，森 裕樹，深井 澄夫	58
1 次連続時間 Δ Σ 変調器	上智大学理工学部	増田 貴志，武井 一史，和保 孝夫	59
スイッチトキャパシタ Δ Σ 変調器と基本回路 TEG	上智大学理工学部	角田 正人，和保 孝夫	59
CMOS スイッチの抵抗を利用したシナプス回路	電気通信大学電気通信学部	範（PHAM）公可（Cong-Kha）	59
アナログ信号処理の構成要素	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	大竹 光也 北野 麻世，橋本 純明，和田 和千	60

平成 14 年度　第 1 回　オンセミコンダクタ CMOS1.2μm　チップ試作（MOT021）

題　　名	大 学 名	研 究 者	掲載頁
基本的なディジタル回路の試作教育システムの開発	広島工業大学工学部	福原 領平，水野 議一朗，田中 武	61
オペアンプの試作	熊本大学工学部	井上 高宏，常田 明夫，針木 剛	61
FG-MOSFET のみかけのしきい電圧のオートチューニング回路の試作	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏，山川 俊貴 市原 栄蔵	61
CMOS 電子可変浮遊抵抗回路の試作	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏，常田 明夫，萩原 祐一 飯尾 義徳	62
埋め込み型機能的電気刺激用カスタム IC	埼玉大学工学部	高橋 誠，高橋 幸郎	62
ストップウォッチ	九州大学工学部	金川 典史	62
演算増幅器の試作	東京工業大学集積システム専攻	高木 茂孝	63
ディジタル基板雑音の測定	東京工業大学集積システム専攻	高木 茂孝	63
基板雑音低減回路の配置の検討	東京工業大学集積システム	高木 茂孝	63

フィードバック機構を有するエッジ検出アナログ回路の試作	豊橋技術科学大学工学部	Amal Bandula Kariyawasam，米津 宏雄	64
一次元エッジ検出回路とその基本回路の TEG の試作	豊橋技術科学大学工学部	澤 伸也，米津 宏雄	64
シフトレジスタを組み込んだ一次元エッジ検出回路の試作	豊橋技術科学大学工学部	澤 伸也，米津 宏雄	64
生体の網膜に学んだエッジ検出回路の試作	豊橋技術科学大学工学部	澤 伸也，米津 宏雄	65
非同期ニューラルネットワーク用パルス形ニューロンモデルの試作	日本大学理工学部電子情報工学科	齊藤 健，佐伯 勝敏，関根 好文	65
シナプス回路の試作	日本大学理工学部電子情報工学科	泉妻 まり子，野木 達彌，佐伯 勝敏，関根 好文	65
3bit 8 進カウンタを用いた電子ルーレット	広島市立大学情報科学部	五島 正之，増田 憲行，村上 直義，越智 裕之，窪田 昌史，児島 彰，寺内 衛	66
2 進数 3 ビットカウンタのナイトライダー	広島市立大学情報科学部	角井 希行，山形 信博，中島 彰信，越智 裕之，窪田 昌史，児島 彰，寺内 衛	66
ランダム信号を組み込んだ切換え式クリスマスツリーの電飾	広島市立大学情報科学部	浅野 歩，今村 梨津子，河上 弘嗣，五味 良昭，越智 裕之，窪田 昌史，児島 彰，寺内 衛	66
3 ビットジョンソンカウンタを用いたナイトライダー	広島市立大学情報科学部	藤井 泰宏，蠣崎 和幸，城本 正尋，鈴木 圭介，越智 裕之，窪田 昌史，児島 彰，寺内 衛	67
2 進 4bit カウンタを使用した 7 セグ LED 表示付き 10 進カウンタ	広島市立大学情報科学部	浅生 宗隆，小田 亮太郎，助田 有教，瀬藤 潤，越智 裕之，窪田 昌史，児島 彰，寺内 衛	67
3 ビットカウンタを用いた電子サイコロ	広島市立大学情報科学部	菊池 健司，鈴木 睦，中川 裕士，森山 敬介，越智 裕之，窪田 昌史，児島 彰，寺内 衛	67
8bit ジョンソンカウンタを用いた 7 セグ LED 表示付き 16 進カウンタ	広島市立大学情報科学部	市川 裕二，井上 寛康，中村 完，福田 健，越智 裕之，窪田 昌史，児島 彰，寺内 衛	68
3 ビットジョンソンカウンタを用いた電子サイコロ	広島市立大学情報科学部	上原 健一，木室 潤一，栗栖 裕，鈴木 宏治，越智 裕之，窪田 昌史，児島 彰，寺内 衛	68
救急車のサイレン	広島市立大学情報科学部	斉藤 正嗣，中原 由憲，前田 志，三好 祐司，越智 裕之，窪田 昌史，児島 彰，寺内 衛	68
5bit ジョンソンカウンタを用いた 7 セグ LED 表示付き 10 進カウンタ	広島市立大学情報科学部	上野 直樹，北川 誠人，古殿 健太，宮道 敏広，越智 裕之，窪田 昌史，児島 彰，寺内 衛	69
7 セグ LED 表示付き 16 進 4bit カウンタ	広島市立大学情報科学部	小澤 亮，前田 哲宏，松浦 恭平，森本 陽介，越智 裕之，窪田 昌史，児島 彰，寺内 衛	69
かっこう	広島市立大学情報科学部	宇田 育絵，柴田 舞子，長谷川 貢，藤井 浩子，越智 裕之，窪田 昌史，児島 彰，寺内 衛	69
連動する 2 基の信号機	広島市立大学情報科学部	中原 靖明，細江 由樹，吉井 康二，越智 裕之，窪田 昌史，児島 彰，寺内 衛	70
MOS 構成に適したアナログ形 PLL の試作（2）	秋田大学工学資源学部	川元 雅紀，佐藤 紀章，宮前 亨，伊藤 文人，井上 浩	70
デジタル，アナログ回路によるカオス系列の生成	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏，常田 明夫 吉岡 大三郎，菅原 卓朗	70
FG-MOSFET を用いたディジタル回路の試作	佐賀大学大学院工学系研究科 佐賀大学理工学部	山口 竜司，丸野 誠一 深井 澄夫	71
基本オペアンプ・フォールテッドカスコード内蔵のオペアンプ・簡易差動アンプの試作	佐賀大学工学系研究科 佐賀大学理工学部	石川 洋平，内田 正隆 深井 澄夫	71
ブートストラップ回路を用いた SC 電源回路の試作	熊本電波工業高等専門学校情報工学科	江口 啓	71
注視方向判別回路の試作	熊本電波工業高等専門学校情報工学科	江口 啓	72
DRAM を用いたマルチコンテキスト FPGA	千葉大学大学院自然科学研究科 千葉大学工学部	斉藤 宏史 伊藤 秀男	72
ビジョンチップと速度センサー	佐賀大学理工学部	原 重臣	72
高精度 CMOS 定電圧回路	富山県立大学大学院工学研究科 岡山県立大学情報工学部	金森 章，松田 敏弘，岩田 栄之 大曽根 隆志	73
ノイズ低減評価用オペアンプチップの設計	富山県立大学大学院工学研究科 岡山県立大学情報工学部	麻生 啓太，松田 敏弘，岩田 栄之 大曽根 隆志	73

スイッチング電源制御用 LSI の開発	富山県立大学大学院工学研究科 岡山県立大学情報工学部	中山 剛，松田 敏弘，岩田 栄之 大曽根 隆志	73
スイッチング電源制御 LSI 用出力回路の設計	富山県立大学大学院工学研究科 岡山県立大学情報工学部	中山 剛，松田 敏弘，岩田 栄之 大曽根 隆志	74

平成 13 年度　第 2 回　ローム CMOS0.6μm チップ試作（ROHM012）

題　　名	大 学 名	研 究 者	掲載頁
フローティングゲート MOS（neuMOS）回路技術を用いた高速・低消費電力 CDMA マッチトフィルタ	東京大学工学系研究科 東京大学工学部 東京大学新領域創成科学研究科	山崎 俊彦 福田 智洋 柴田 直	75
高感度・広ダイナミックレンジ微弱変調光検出センサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	75
1T2C 型強誘電体メモリ用センスアンプの設計（1）	東京工業大学フロンティア創造共同研究センター	平山 智久，山本 修一郎，石原 宏	75
1T2C 型強誘電体メモリ用アクセスパターン生成回路	東京工業大学フロンティア創造共同研究センター	山本 修一郎，石原 宏	76
4 並列演算型画像フィルタリングプロセッサ	東京大学新領域創成科学研究科 東京大学工学系研究科	伊藤 潔人，柴田 直 山崎 英男	76
電流演算型エッジ検出フィルタ	東京大学工学系研究科 東京大学新領域創成科学研究科	松野 知紘，三田 吉郎 柴田 直	76
アナログ電流を用いた画像フィルタリング LSI	東京大学新領域創成科学研究科	田口 晶康，柴田 直	77
モード切替 PLL 回路	大阪大学大学院工学研究科	伴 彰浩，谷口 研二	77
低電圧用パイプライン A/D 変換回路	大阪大学大学院工学研究科	尾関 俊明，谷口 研二	77
高速動作を維持しつつ待機時消費電力の削減を目的とした各種演算回路とクロックパルス発生器	中央大学理工学部情報工学科	天川 慶太郎，渡邊 友樹，近藤 将斗，江井 友美， 小田 千尋，原田 知親，榎本 忠儀	78
待機時消費電力削減を実現した動的制御可能な電圧レベル変換器（SVL）の特性評価回路，貫通電流測定評価回路，SVL を用いた各種演算回路とメモリ回路	中央大学理工学部情報工学科	天川 慶太郎，杉山 明生，伏島 敦史，浅野 幸宏，岡 佳憲， 鹿野 裕明，原田 知親，榎本 忠儀	78
モバイルコンピューティング用マルチメディアプロセッサチップ	引前大学理工学部	深瀬 政秋	78
SFQ/CMOS ハイブリッドメモリの試作	横浜国立大学大学院工学研究院	吉川 信行，宮川 英明，藤原 完	79
フラッシュ・パイプライン複合型 A/D コンバータ	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	高橋 和史，小谷 光司 大見 忠弘	79
FPGA による設計・検証からチップ試作へ	東京大学大学院情報理工学系研究科	酒造 正樹，尾上 弘晃，菅 哲朗， 松本 潔， 下山 勲	79
人工視覚曲げ特性評価用 TEG	奈良先端科学技術大学院大学物質創成科学研究科	飯盛 慶一，Ng David，香川 景一郎， 太田 淳	80
共鳴トンネル論理ゲート MOBILE のエミュレーション回路とそれを用いた DTCNN のためのテスト回路	名古屋大学工学研究科	丹羽 壮平，前澤 宏一，水谷 孝	80
負性抵抗素子を用いた Cellular Neural Network	名古屋大学工学研究科 名古屋大学	丹羽 壮平，前澤 宏一 水谷 孝	80
集積化磁気センサ TEG	茨城大学工学部	木村 孝之，白木 広光	81
フォトダイオード TEG および PD アレイ他	公立はこだて未来大学システム情報科学部	秋田 純一	81
平面の 4 進木探索回路	公立はこだて未来大学システム情報科学部	秋田 純一	81

平成 13 年度　第 3 回　ローム CMOS0.6μm　チップ試作（ROHM013）

題　　名	大 学 名	研 究 者	掲載頁
光切断法に基づく 640 × 480 実時間 3 次元イメージセンサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	82
簡易 2 値化回路を画素内に有する行単位高速有意画素検出センサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	根塚 智裕，大池 祐輔 池田 誠，浅田 邦博	82
1T2C 型強誘電体メモリ用センスアンプの設計（2）	東京工業大学フロンティア創造共同研究センター	平山 智久，山本 修一郎，石原 宏	82
1T2C 型強誘電体メモリ用周辺回路	東京工業大学フロンティア創造共同研究センター	山本 修一郎，石原 宏	83
電流モード多値論理フィールドプログラマブルディジタルフィルタ	東北大学大学院情報科学研究科	出川 勝彦，青木 孝文，樋口 龍雄	83
機能回復機構実現のための 2 重化 FPGA の試作	仙台電波工業高等専門学校情報工学科 東北大学工学研究科・工学部 東北大学大学院情報科学研究科	津田 真人，鹿股 昭雄 阿部 茂樹 青木 孝文，樋口 龍雄	83

汎用デジタル VQ プロセッサ	東京大学新領域創成科学研究科	小川 誠，柴田 直	84
フローティングゲート MOS（neuMOS）を用いた電圧型エッジフィルタ	東京大学工学系研究科 東京大学新領域創成科学研究科	松野 知紘，三田 吉郎 柴田 直	84
アナログ相関回路を用いた実時間 Motion Detector 回路	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦 梅島 誠之，柴田 直	84
アナログ電流を用いた画像フィルタリング LSI	東京大学新領域創成科学研究科	田口 晶康，柴田 直	85
電気的中心窩構造を有する vision chip	東北大学工学研究科	中川 源洋，小柳 光正	85
移動物体追跡機能を有するビジョンチップ	東北大学工学研究科	出口 淳，小柳 光正	85
Morphology 演算に特化したセルアレー型 2 値画像処理 VLSI の試作	仙台電波工業高等専門学校電子工学科 仙台電波工業高等専門学校電子システム工学専攻	與那嶺 尚弘 小笠原 真也	86
配線表皮効果，配線波形測定回路	東京大学生産技術研究所	Danardono Dwi Antono，稲垣 賢一	86
ワイヤレス I/O TEG，リークカット回路	東京大学生産技術研究所	関 庚彤，神田 浩一，崔 珍赫	86
3 値量子化結合ニューラルネットワーク	東北大学電気通信研究所	安部 正夫，佐藤 茂雄，中島 康治	87
高集積化に向けたニューラルネットワークとアナログ信号処理用累積加算回路の設計	東北大学電気通信研究所	末永 晋也，芳賀 琢哉，元田 大祐，佐藤 茂雄，早川 吉弘，中島 康治	87
オフセット補償型電荷逐次積分 VLSI	長崎総合科学大学工学部	田中 義人，アートロジック㈱，酒井 雅司	87
SFQ/CMOS ハイブリッド Σ Δ AD コンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院	吉川 信行，城殿 征志，本告 圭	88
フレキシブル・プロセッサ（FP-1）	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	大川 猛，野沢 俊之，藤林 正典，宮本 直人，カルナン レオ，喜多 総一郎，小谷 光司 大見 忠弘	88
大学院演習で FPGA を用いて設計・動作検証した回路のチップ試作	東京大学大学院情報理工学系研究科	酒造 正樹，中條 晴樹，長澤 純人，松本 潔，下山 勲	88
1kbit SRAM の第 1 次試作	大阪府立大学先端科学研究所	田中 智之，中尾 基，泉 勝俊	89
パルススワローカウンタを用いた全ディジタル PLL	九州東海大学工学部 九州東海大学産業技術研究所	佐々木 博文 藤本 邦昭	89
空間フィルタ検出器用フォトダイオードアレイ TEG の設計	東京工業大学大学院理工学研究科	GO Hyunmin，高山 潤也，大山 真司，小林 彬	89
10bit 逐次比較型 AD 変換器の試作	同志社大学工学部	井上 馨，加藤 利次	90

平成 13 年度　第 3 回　ローム CMOS0.6μm　チップ試作（RO35012）

題　　名	大 学 名	研 究 者	掲載頁
ランダムノイズ発生回路とノイズ低減回路の試作（2）	東京大学工学部 東京大学大規模集積システム設計教育センター（VDEC）	名倉 徹 池田 誠 浅田 邦博	91
チップ間リピータ	熊本大学工学部	佐々木 守	91
カオスニューラルネットワーク LSI	広島大学先端物質科学研究科	伊井 慎一郎，森江 隆，永田 真，岩田 穆	91
パストランジスタ論理を用いた 16bit 乗算器	広島市立大学情報科学部	越智 裕之，井上 哲也	92
SystemC の RTL 記述を用いた SH 互換プロセッサの設計	京都大学情報学研究科 東京大学大規模集積システム設計教育研究センター	荒本 雅夫，湯山 洋一，高井 幸輔 小林 和淑，小野寺	92
RF 回路用インダクタ・キャパシタ	東京大学工学系研究科 東京大学工学部 東京大学新領域創成科学研究科	今村 晃 鬼塚 浩平，三瓶 真弘 藤島 実	92
PPED に基づく画像特徴抽出 VLSI	東京大学工学系研究科 東京大学新領域創成科学研究科	八木 雅和，山崎 英男 柴田 直	93
フローティングゲート MOS（neuMOS）を用いた画像特徴抽出用メディアン検索回路	東京大学工学系研究科 東京大学新領域創成科学研究科	八木 雅和，山崎 英男 柴田 直	93
フローティング・ゲート MOS（neuMOS）回路技術を用いた高速・低消費電力アナログ CDMA マッチトフィルタ	東京大学工学系研究科 東京大学工学部 東京大学新領域創成科学研究科	山崎 俊彦 福田 智洋 柴田 直	93
アナログ相関回路を用いた実時間動き位置検出回路	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦 梅島 誠之，柴田 直	94
アナログ相関回路を用いた実時間動き速度検出回路	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦 梅島 誠之，柴田 直	94
アナログ電流を用いた画像フィルタリング LSI	東京大学新領域創成科学研究科	田口 晶康，柴田 直	94
アナログ電流を用いた画像フィルタリング LSI の TEG	東京大学新領域創成科学研究科	田口 晶康，柴田 直	95

低消費電力 CMOS アナログマッチトフィルタの試作	早稲田大学理工学部 早稲田大学理工学総合研究センター	河津 大志，佐々木 昌浩，松本 隆 坂井 丈泰	95
カオスニューラルネットワーク LSI	広島大学先端物質科学研究科	伊井 慎一郎，森江 隆，永田 真， 岩田 穆	95
適応型 CMOS イメージセンサの個別回路評価用 TEG	広島大学先端物質科学研究科	今村 俊文，森江 隆，岩田 穆	96
アダマール変換機能を有するイメージセンサ回路の設計	広島大学大学院工学研究科 広島大学大学院先端物質科学研究科	片山 光亮 永田 真，森江 隆，岩田 穆	96
無線通信用 IF と ADC の設計	広島大学大学院先端物質科学研究科	吉田 和史，小川 卓臣，岩田 穆	96
適応型 CMOS イメージセンサ	広島大学先端物質科学研究科	今村 俊文，山本 美子，森江 隆， 岩田 穆	97
神経信号センシング LSI の RF 回路 TEG	広島大学先端物質科学研究科	吉田 毅，真下 隆行，赤木 美穂， 岩田 穆	97
DSP ボードとの通信インタフェース回路	広島大学先端物質科学研究科	汐崎 充，岩田 穆	97
ロボット用途向け CDMA シリアル通信チップ	広島大学先端物質科学研究科	汐崎 充，岩田 穆	98
神経信号センシング LSI のための TEG の設計	広島大学大学院先端物質科学研究科	吉田 毅，真下 隆行，赤木 美穂， 岩田 穆	98
無線チップ間通信回路の設計	大阪大学大学院工学研究科	松岡 俊匡，清水 由幸，車 承佑	98
ノイズ特性評価用トランジスタ	大阪大学大学院工学研究科	島 秀樹，谷口 研二	99
Multiple-Bit CDMA インタフェースのビットエラーレート評価用 IC	大阪大学大学院工学研究科	清水 新策，岩村 宏，松岡 俊匡， 谷口 研二	99
並列リコンフィギュラブルロジックを用いた画像処理 FPGA	東北大学工学研究科	杉村 武昭，小柳 光正	99
高性能 Parallel Processor System 用 High Speed Communication Chip の設計	東北大学工学研究科	劉 哲	100
隠れマルコフモデル法に基づく音声認識回路の設計	北海道大学大学院工学研究科	吉沢 真吾，宮永 喜一	100
光インターフェース LSI のための TEG	金沢大学工学部	源 貴利	100
ワイヤレス・スーパー・コネクト，表皮効果を考慮した配線	東京大学生産技術研究所	神田 浩一，Danardono Dwi Antono	101
アナログ IP TEG チップ	長崎総合科学大学工学部	服部 慎，増田 隆志，山城 正史， 田中 義人	101
SFQ/CMOS ハイブリッドメモリ用高速ハイブリッドアンプの試作	横浜国立大学大学院工学研究院	吉川 信行，宮川 英明，富田 卓哉， 藤原 完	101
小面積高並列マルチポートメモリ	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	大森 伸彦 マタウシュハンス ユルゲン，小出 哲士	102
高並列プロセッサ向けバンク構成小面積多ポートレジスタファイル	広島大学ナノデバイス・システム研究センター	内田 裕志，マタウシュハンス ユルゲン，小出 哲士	102
神経信号センシング LSI の RF 回路 TEG	広島大学先端物質科学研究科	吉田 毅，岩田 穆	102
波形計測型放射線検出回路	東京大学工学部	石津 崇章，Deng Zhi，高橋 浩之	103
カオスニューラルネットワーク LSI	広島大学大学院先端物質科学研究科	伊井 慎一郎，森江 隆，永田 真， 岩田 穆	103
ディジタル方式による全画素並列画像分割セルネットワーク回路	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	森本 高志，原田 洋明 小出 哲士，マタウシュハンス ユルゲン	103
単語レベル実時間リップリーディング回路	名古屋大学工学部 名古屋大学情報メディア教育センター 名古屋大学大学院工学研究科	村上 則明 中村 一博 高木 一義，高木 直史	104
MIPS 命令互換完全同期式プロセッサ	東京工業大学大学院理工学研究科	石島 誠一郎，高橋 篤司	104
MIPS 命令互換準同期式プロセッサ	東京工業大学大学院理工学研究科	石島 誠一郎，高橋 篤司	104
	慶応義塾大学理工学部	溝口 大介，ユスミラズ・ビンティユスフ，三浦 典之，黒田 忠広	105
32 ビットウェーブパイプライン化 ALU	札幌学院大学社会情報学部 東北大学大学院情報科学研究科 弘前大学理工学部	佐藤 友暁 江川 隆輔，中村 維男 深瀬 政秋	105
HLL Embedded Systems	Tohoku University, Graduate School of Information Sciences	Progyna Khondkar, Kentaro Sano, Tadao Nakamura	105

平成 14 年度　第 1 回　ローム CMOS0.35μm　チップ試作（RO35021）

題　　名	大 学 名	研 究 者	掲載頁
POF フロントエンド	金沢大学工学部	山田 裕志	106
hogehogehoge		ishiahra tohru	106
1T2C 型強誘電体メモリ用周辺回路（2）	東京工業大学フロンティア創造共同研究センター	山本 修一郎，石川 徹，陳 文億， 石原 宏	106
無線通信用 TEG の試作	九州大学システム情報科学研究院 九州大学システム情報科学府 九州大学電気情報工学科	金谷 晴一，吉田 啓二，黒木 幸令， 安浦 寛人 浦川 剛，森田 亮，樽見 幸祐 岡本 賢治	107

フローティングゲート MOS（neuMOS）回路技術を用いた超並列アナログベクトルマッチング回路	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦 柴田 直	107
アナログ電流を用いた画像フィルタリングイメージセンサ	東京大学新領域創成科学研究科	田口 晶康，柴田 直	107
アナログ相関回路を用いた実時間 Moving Object Detector 回路	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦 梅島 誠之，柴田 直	108
フローティングゲート MOS（neuMOS）を用いた電圧型エッジフィルタ	東京大学工学部 東京大学工学系研究科 東京大学新領域創成科学研究科	中下 友介 三田 吉郎 柴田 直	108
配線特性測定 TEG	東京大学生産技術研究所	稲垣 賢一	108
シャッフリングによるバスの低消費電力化	東京大学生産技術研究所	山田 大裕，閔 庚彤，崔 珍赫	109
特性ばらつき評価用の TEG チップ	長崎総合科学大学工学部	服部 慎，清山 浩司，田中 義人	109
SFQ/CMOS ハイブリッドシステム用パイプラインアンプの試作	横浜国立大学大学院工学研究院	吉川 信行，富田 卓哉，宮川 英明	109
高並列プロセッサ向けバンク構成小面積多ポートレジスタファイル	広島大学ナノデバイス・システム研究センター	内田 裕志，マタウシュハンス ユルゲン，小出 哲士	110
Simple TMC LSI	東京農工大学工学部 高エネルギー加速器研究機構	馬渕 太郎，江村 恒夫，榊沢 謙和 新井 康夫	110
マルチレベルディスクリメータチップ	東京大学工学部	石津 崇章，Deng Zhi，高橋 浩之	110
周波数領域での信号処理回路の試作	茨城大学工学部	木村 孝之，白木 広光	111
最小マンハッタン距離検索機能を有する高速・小面積・低消費電力連想メモリ (2)	広島大学ナノデバイス・システム研究センター	矢野 祐二，小出 哲士，Hans Juergen Mattausch	111
64 ニューロン搭載ストカスティックニューロチップ	東北大学電気通信研究所	秋元 俊祐，佐藤 茂雄，中島 康治	111

平成 14 年度　第 2 回　ローム CMOS0.35μm　チップ試作（RO35022）

題　　名	大　学　名	研　究　者	掲載頁
パルスカップルドニューラルネットワーク回路の設計	広島大学大学院工学研究科 広島大学大学院先端物質科学研究科	片山 光亮 岩田 穆	112
ロボット用途向け CDMA シリアル通信チップ（2）	広島大学先端物質科学研究科	汐崎 充，岩田 穆	112
Parallel-CDMA インタフェースの設計	大阪大学大学院工学研究科	清水 新策，松岡 俊匡，谷口 研二	112
デジタル CDMA 回路とチャージポンプ回路を用いたアナログ CDMA 受信器の設計	大阪大学大学院工学研究科	高橋 賢，嶋村 延幸，松岡 俊匡，谷口 研二	113
14-bit, 200MS/s, 2.7V D/A 変換器の開発	中央大学理工学部 中央大学理工学研究科	杉本 泰博 櫻井 宏樹	113
エネルギーリサイクル論理回路による超消費電力 RSA 暗号処理回路	熊本大学工学部	堺 昭一，黒木 慎司，佐々木 守	113
IEEE754 準拠単精度浮動小数点除算器	広島市立大学情報科学部	越智 裕之，鈴木 達也，松永 清香，河野 陽一	114
デジタル基板雑音評価チップ	神戸大学工学部情報知能工学科	杉本 智彦，奥本 健，野口 宏一朗，永田 真	114
相変化不揮発性メモリとインダクタ	金沢大学工学部	福島 早奈恵，有賀 健太，中山 和也	114
フォトダイオード特性解析のための TEG	東京大学工学部 東京大学工学系研究科 東京大学新領域創成科学研究科	中下 友介 三田 吉郎 柴田 直	115
微弱な光ビーコンを高速に検出するセンサアレイ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	115
1024 × 768（XGA）実時間・高精度 3 次元イメージセンサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	115
行並列有意画素探索機能を有するライン状投射光検出センサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	116
電圧変換電源回路の設計	東京工業大学フロンティア創造共同研究センター	石川 徹，石原 宏	116
1T2C 型強誘電体メモリ用周辺回路（3）	東京工業大学フロンティア創造共同研究センター	山本 修一郎，石原 宏	116
1T2C 型強誘電体メモリ用周辺回路（4）	東京工業大学フロンティア創造共同研究センター	陳 文億，山本 修一郎，石原 宏	117
MATLAB の LSI 設計への応用検討および BIST 回路設計の練習用チップ	大阪大学大学院情報科学研究科	三浦 克介，中前 幸治，藤岡 弘	117
無線通信用バンドパスフィルタの設計	九州大学システム情報科学研究院 九州大学システム情報科学府	金谷 晴一，吉田 啓二，安浦 寛人 浦川 剛，大庭 亮介	117
CMOS オペアンプの試作	東北大学大学院情報科学研究科	池田 茂，出川 勝彦，青木 孝文，樋口 龍雄	118

CMOS スイッチおよび補償回路アーキテクチャを用いた 3.3V/1.2V スイッチトキャパシタ型 DC-DC コンバータ	西安理工大学 東京大学新領域創成科学研究科	余 寧梅 柴田 直	118
SystemC の RTL 記述を用いた SH 互換プロセッサの設計	京都大学情報学研究科 東京大学大規模集積システム設計教育研究センター	荒本 雅夫，湯山 洋一，高井 幸輔，小野寺 秀俊 小林 和淑	118
PWM 方式画素並列 2 次元ガボール型フィルタ回路	広島大学先端物質科学研究科	梅澤 淳，森江 隆，岩田 穆	119
神経信号センシング LSI のための測定ユニットの設計（1）	広島大学大学院先端物質科学研究科	吉田 毅，真下 隆行，赤木 美穂，岩田 穆	119
神経信号センシング LSI のための測定ユニットの設計（2）	広島大学大学院先端物質科学研究科	吉田 毅，真下 隆行，赤木 美穂，岩田 穆	119
ロボット用途向け CDMA シリアル通信チップ（1）	広島大学先端物質科学研究科	汐崎 充，岩田 穆	120
線形化器，電力増幅器及びアナログ相関器の設計	大阪大学工学研究科	車 承佑，Elotohky Mostafa Ali，松岡 俊匡，谷口 研二	120
生体の網膜に学んだエッジ検出回路の試作	豊橋技術科学大学工学部	澤 伸也，米津 宏雄	120
広ダイナミックレンジを有する一次元エッジ検出回路の試作	豊橋技術科学大学工学部	高崎 哲，米津 宏雄	121
素子特性のばらつきに強いエッジ検出アナログ回路の試作	豊橋技術科学大学工学部	Amal Bandula Kariyawasam，米津 宏雄	121
高 Q 値ロック機能をもつジャイレータ共振回路による高周波バンドパスフィルタ	熊本大学工学部	末吉 勢二，佐々木 守	121
時系列情報連想システム	東北大学情報科学研究科 東北大学電気通信研究所	元田 大祐 佐藤 茂雄，中島 康治	122
ニューラルネットワークの高機能・高集積化に関する研究	東北大学電気通信研究所	芳賀 琢哉，金城 光永，佐藤 茂雄，中島 康治	122
SFQ/CMOS ハイブリッドメモリの試作	横浜国立大学大学院工学研究院	吉川 信行，宮川 英明，富田 卓哉，藤原 完	122
SFQ/CMOS ハイブリッドΣΔ AD コンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院	吉川 信行，城殿 征志	123
128 × 128 画素時間相関イメージセンサ（第 4 報）	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	123
96 × 96 画素三相時間相関イメージセンサ	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	123
ラッチを内蔵したマルチプレクサの設計	東京大学大学院情報理工学系研究科	菅原 道人，関口 裕一郎，富岡 顕信，酒造 正樹，長澤 純人，松本 潔，下山 勲，	124
屋内光無線 LAN 用 CMOS イメージセンサ（1）	奈良先端科学技術大学院大学物質創成科学研究科	川上 智朗，西村 智博，香川 景一郎，太田 淳	124
CMOS イメージセンサの駆動回路の TEG	茨城大学工学部	木村 孝之，白木 広光	124
CMOS イメージセンサの特性評価とアナログ回路の TEG	茨城大学工学部	木村 孝之，白木 広光	125
CMOS イメージセンサの低暗電流化回路の試作	茨城大学工学部	木村 孝之，白木 広光	125
ディジタル方式による全画素並列画像分割セルネットワーク回路	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	森本 高志，原田 洋明 小出 哲士，マタウシュハンス ユルゲン	125
バンドパス型動的要素マッチング（DEM）回路	上智大学理工学部	小林 真也，加藤 了三，和保 孝夫	126
連続時間ΔΣ変調器	上智大学理工学部	増田 貴志，和保 孝夫	126
低レイテンシ除算回路の設計	名古屋大学工学研究科	水野 知秀，高木 一義，高木 直史	126
光通信用信号処理回路	慶應義塾大学理工学部	桑原 啓，竹本 如洋，松本 佳宣	127
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	孟 魯新，松本 佳宣	127
1kbit SRAM の第 2 次試作	大阪府立大学先端科学研究所	田中 智之，中尾 基，泉 勝俊	127
蟻の行動様式をモデル化した LSI	大阪府立大学先端科学研究所	稲垣 亜奈，田中 智之，中尾 基，泉 勝俊	128
興奮性信号のみを用いた動き検出 VisionChip の要素回路	公立はこだて未来大学システム情報科学部	秋田 純一	128
差分光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実，小林 史典	128
RSA 暗号化回路	早稲田大学大学院理工学研究科 早稲田大学理工学部 早稲田大学大学院情報生産システム研究科 東京大学大学院新領域創成科学研究科	原田 恭典，柳澤 政生，大附 辰夫 森田 功一 木村 晋二 山内 規義	129
論理関数の畳込み機能を持つ FPGA および暗号処理 LSI	奈良先端科学技術大学院大学情報科学研究科 京都大学大学院情報学研究科 早稲田大学大学院情報生産システム研究科	梶原 裕嗣，川渕 知香，土井 伸洋，中西 正樹，渡邊 勝正 堀山 貴史 木村 晋二	129

平成 14 年度　第 3 回　ローム CMOS0.35μm　チップ試作（RO35023）

題　　名	大　学　名	研　究　者	掲載頁
MPEG-4 コアプロファイル符号化向け DSP	早稲田大学理工学部 北九州市立大学国際環境工学部	石本 剛，宮岡 祐一郎，柳澤 政生，大附 辰夫 戸川 望	130

ランダムノイズ発生回路とノイズ低減回路の試作（1）	東京大学工学部 東京大学大規模集積システム設計教育センター	名倉 徹 池田 誠，浅田 邦博	130
ランダムノイズ発生回路とノイズ低減回路の試作（2）	東京大学工学部 東京大学大規模集積システム設計教育センター（VDEC）	名倉 徹 池田 誠，浅田 邦博	130
1 つの受光回路と 4 つの蓄積回路を有する画素 TEG（1）	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	131
1 つの受光回路と 4 つの蓄積回路を有する画素 TEG（2）	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	131
ケミカルセンサ用演算 LSI の ADC モジュール回路の試作	武蔵工業大学工学部	藤田 雅彦，紫村 優介，山田 健太，秋谷 昌宏	131
1T2C 型強誘電体メモリ用周辺回路（5）	東京工業大学フロンティア創造共同研究センター	陳 文億，山本 修一郎，石原 宏	132
1T2C 型強誘電体メモリ用周辺回路（6）	東京工業大学フロンティア創造共同研究センター	陳 文億，山本 修一郎，石原 宏	132
1T2C 型強誘電体メモリ用周辺回路（7）	東京工業大学フロンティア創造共同研究センター	陳 文億，山本 修一郎，石原 宏	132
無線通信用ミキサおよび PLL の設計	九州大学システム情報科学研究院 九州大学システム情報科学府 九州大学電気情報工学科	金谷 晴一，吉田 啓二，黒木 幸令，安浦 寛人 浦川 剛，大庭 亮介 中村 徹哉，岡本 賢治	133
高精度・低消費電力・有線通信用全差動ライン・ドライバ回路	早稲田大学大学院理工学研究科	大島 宗之，佐々木 昌浩，松本 隆	133
多層構造 Convolutional Neural Network 演算回路チップ	広島大学先端物質科学研究科 九州工業大学大学院生命体工学研究科	是角 圭祐，安藤 博士，中野 鉄平，岩田 穆 森江 隆	133
ベクトル量子化機能を有する自己組織化特徴マップ回路の設計	広島大学大学院工学研究科 広島大学大学院先端物質科学研究科	片山 光亮 岩田 穆	134
Hardware Implementation of RSA Algorithm	早稲田大学大学院理工学研究科 早稲田大学大学院情報生産システム研究科	史 又華，柳澤 政生，大附 辰夫 木村 晋二	134
音センサ用モジュール，ROM 用セル，表皮効果測定 TEG	東京大学生産技術研究所	石田 光一，Quang Canh Tran，稲垣 賢一	134
しきい値電圧可変乗算器によるリーク電流削減回路，ワイヤレス I/O TEG	東京大学生産技術研究所	宮崎 隆行，神田 浩一，Saliba Fayez，稲垣 賢一	135
COMFET を用いた OTA とコンパレータ回路の試作	東京理科大学理工学研究科 東京理科大学理工学部	鈴木 伸和，森尻 敬治 兵庫 明，関根 慶太郎	135
LowPower/LowVoltage リングオシレータの試作	東京理科大学理工学研究科 東京理科大学理工学部	涌井 努 兵庫 明，関根 慶太郎	135
SFQ/CMOS ハイブリッド Σ Δ AD コンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院	吉川 信行，城殿 征志	136
SFQ/CMOS ハイブリッドメモリ用用要素回路の試作	横浜国立大学大学院工学研究院	吉川 信行，宮川 英明，富田 卓哉，藤原 完	136
フレキシブル・プロセッサ（FP-2）	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	大川 猛，藤林 正典，山下 雅房，宮本 直人，カルナン レオ，喜多 総一郎，小谷 光司 大見 忠弘	136
インテリジェント・ヒューマン・インターフェース	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	舘 知恭，千葉 浩児，小谷 光司，須川 成利 大見 忠弘	137
オンチップタイミング試験回路の試作	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	石田 雅裕，小谷 光司 大見 忠弘	137
ALU の設計	東京大学大学院情報理工学系研究科	菅原 道人，大村 吉幸，関口 裕一郎，富岡 顕信，酒造 正樹，長澤 純人，松本 潔，下山 勲	137
電荷分割位置測定チップ	東京大学工学部	石津 崇章，高橋 浩之	138
屋内光無線 LAN 用 CMOS イメージセンサ（2）	奈良先端科学技術大学院大学物質創成科学研究科	川上 智朗，西村 智博，香川 景一郎，太田 淳	138
屋内光無線 LAN 用 CMOS イメージセンサ TEG	奈良先端科学技術大学院大学物質創成科学研究科	川上 智朗，西村 智博，香川 景一郎，太田 淳	138
光素子駆動回路	慶應義塾大学理工学部	阿波谷 佳朗，松本 佳宣	139
信号伝送用モジュール駆動回路の試作	大阪府立大学先端科学研究所	田中 智之，中尾 基，泉 勝俊	139
全ディジタル PLL および DA コンバータの試作	九州東海大学工学部 九州東海大学産業技術研究所	佐々木 博文 藤本 邦昭	139

信号履歴を持つ場の形状に依存する信号伝播様式に関する研究	公立はこだて未来大学システム情報科学部	秋田 純一，元池 育子	140
	慶應義塾大学理工学部	溝口 大介，ユスミラズ・ビンティ ユスフ，三浦 典之，黒田 忠広	140
差分光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実，小林 史典	140
3 次有極ウェーブフィルタと演算増幅回路	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	大竹 光也 秋田 一平，伊藤 和将，和田 和千	141
離散時間積分／微分回路アレイの設計	大阪大学大学院工学研究科	下ノ村 和弘，八木 哲也	141
シリコン網膜チップ要素回路 TEG の設計	大阪大学大学院工学研究科	亀田 成司，八木 哲也	141
離散時間積分／微分回路アレイの設計	大阪大学大学院工学研究科	下ノ村 和弘，八木 哲也	142
RSA 暗号化回路	早稲田大学大学院理工学研究科 早稲田大学理工学部 早稲田大学大学院情報生産システム研究科 東京大学大学院新領域創成科学研究科	原田 恭典，柳澤 政生，大附 辰夫 森田 功一 木村 晋二 山内 規義	142

平成 13 年度　日立製作所 CMOS0.18μm　チップ試作（HIT1801）

題　　名	大 学 名	研 究 者	掲載頁
高性能汎用デジタル VQ プロセッサ	東京大学新領域創成科学研究科 東京大学工学部	小川 誠，柴田 直 福田 智洋	143
汎用的な実行モデルに基づく再構成型プロセッサの試作	広島市立大学大学院情報科学研究科 広島市立大学情報科学部	谷川 一哉 弘中 哲夫，児島 彰，吉田 典可	143
フラッシュコンボルーション型画像フィルタ演算プロセッサ	東京大学新領域創成科学研究科 東京大学工学系研究科	伊藤 潔人，柴田 直 山崎 英男	143
行並列有意画素探索機能を有する高速 3 次元計測センサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	144
16bit 乗算器／加算器	早稲田大学理工学部 北九州市立大学国際環境工学部	石本 剛，宮岡 祐一郎，柳澤 政生，大附 辰夫 戸川 望	144
IEEE754 準拠単精度浮動小数点除算器	広島市立大学情報科学部	越智 裕之，鈴木 達也，松永 清香，河野 陽一	144
クロック生成用 1GHzPLL の試作	京都大学情報学研究科	宮崎 崇仁，山岡 健人，星野 洋昭，小野寺 秀俊	145
高性能汎用デジタル VQ プロセッサおよびフラッシュコンボルーション型画像フィルタ演算プロセッサの TEG	東京大学新領域創成科学研究科 東京大学工学系研究科 東京大学工学部	小川 誠，伊藤 潔人，柴田 直 山崎 英男 福田 智洋	145
高速動作 VCO，周波数 2 分周回路	東京大学工学系研究科 東京大学新領域創成科学研究科	山本 憲 乗松 崇泰，木野 順，藤島 実	145
Overturned-Stairs 木を用いた乗算器及び基数 2 の減算シフト型除算器	名古屋大学大学院工学研究科	水野 知秀，篠原 正行，高木 一義，高木 直史	146
異種電源電圧回路混載テストチップ	神戸大学工学部	永田 真	146
スタンダードセルライブラリ，配線特性評価 TEG	京都大学情報学研究科	橋本 昌宜，藤森 一憲，土谷 亮，小野寺 秀俊	146

平成 14 年度　第 1 回　日立製作所 CMOS0.18μm　チップ試作（HIT18021）

題　　名	大 学 名	研 究 者	掲載頁
Z80 互換プロセッサコア IP の試作	九州大学システム情報科学府 九州大学工学部	広島 優輔 森 達矢	147
高速信号伝送用配線特性評価 TEG	京都大学情報学研究科	土谷 亮，星野 洋昭，橋本 昌宜	147
低雑音アンプの設計及びトランスの試作（2）	大阪大学大学院工学研究科	春岡 正起，島 秀樹，谷口 研二	147
10GHz 帯チップ間無線通信用送受信器の設計	大阪大学工学研究科	車 承佑，清水 由幸，古屋 英行，中村 光男，松岡 俊匡，谷口 研二	148
時間領域の演算を用いた DP マッチングプロセッサ	東京大学新領域創成科学研究科 東京大学工学部	小川 誠，柴田 直 山谷 歩	148
再構成情報の圧縮を実現した再構成型 PARS プロセッサの試作	広島市立大学大学院情報科学研究科 広島市立大学情報科学部	谷川 一哉，川崎 貴之 弘中 哲夫，児島 彰，吉田 典可	148
高速・低電圧　同期式ハミング距離検索連想メモリ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター（VDEC）	大池 祐輔 池田 誠，浅田 邦博	149
オンチップサンプリングオシロスコープ回路の試作	京都大学情報学研究科	宮崎 崇仁，新名 亮規，橋本 昌宜，小野寺 秀俊	149
高速動作 VCO，周波数 2 分周回路	東京大学工学系研究科 東京大学新領域創成科学研究科	山本 憲 乗松 崇泰，木野 順，藤島 実	149
高精度・低消費電力・有線通信用全差動ライン・ドライバ回路	早稲田大学大学院理工学研究科	大島 宗之，佐々木 昌浩，松本 隆	150
MPEG-4　コア・プロファイル対応動き補償器	大阪大学大学院情報科学研究科	中川 貴史，古家 眞，密山 幸男，藤田 玄，尾上 孝雄，白川 功	150
相変化不揮発性メモリと可変ゲインオペアンプ	金沢大学工学部	福島 早奈恵，源 貴利	150

Zigzag Super Cut-off CMOS　リークカット回路	東京大学生産技術研究所	閔 庚彤，崔 珍赫	151
セルフテスト機能を備えた高速シリアル伝送トランシーバ	熊本大学工学部	佐々木 守	151
SFQ/CMOS ハイブリッドシステム用高速アンプの試作	横浜国立大学大学院工学研究院	吉川 信行，宮川 英明，富田 卓哉，藤原 完	151
JPEG2000 算術符号器の高速化設計	京都大学情報学研究科	筒井 弘，増崎 隆彦，林 宙輝，泉 知論，尾上 孝雄，中村 行宏	152
デジタル電源／グラウンド雑音評価チップ I	神戸大学工学部	永田 真，奥本 健，杉本 智彦，小坂 大輔	152
擬似差動型サブサンプリングミキサ	大阪大学大学院工学研究科	金 良守，松岡 俊匡，谷口 研二	152
トランスの試作（1）	大阪大学大学院工学研究科	島 秀樹，谷口 研二	153
実験評価のための算術論理演算回路とキャッシュ制御回路	福岡大学工学部	井上 弘士	153
パストランジスタ論理を用いた 16bit 乗算器	広島市立大学情報科学部	越智 裕之，大石 祥子，井上 哲也	153
クロック生成用 PLL と伝送線路特性を利用した信号伝送評価 TEG	京都大学情報学研究科	橋本 昌宜，宮崎 崇仁，小野寺 秀俊	154

平成 14 年度　第 2 回　日立製作所 CMOS0.18μm　チップ試作（HIT18022）

題　　名	大 学 名	研 究 者	掲載頁
カーネル係数可変型画像フィルタリングプロセッサ	東京大学新領域創成科学研究科 東京大学工学部	伊藤 潔人，柴田 直 中山 友之	155
PPED に基づく高速画像特徴ベクトル生成回路	東京大学工学系研究科 東京大学工学部 東京大学新領域創成科学研究科	山崎 英男 山本 崇也 柴田 直	155
JPEG2000　符号化アクセラレータの設計	京都大学情報学研究科	林 宙輝，筒井 弘，増崎 隆彦，泉 知論，尾上 孝雄，中村 行宏	155
携帯情報通信応用 RISC プロセッサの試作	金沢大学工学部	三屋 晃ニ，深山 正幸，吉本 雅彦	156
高速動作複数係数周波数分周回路	東京大学新領域創成科学研究科 東京大学工学系研究科	乗松 崇泰，藤島 実 山本 憲，木野 順	156
超低消費電力動き検出プロセッサコア搭載 3-port SRAM TEG	金沢大学工学部	黒田 雄樹，宮越 純一，深山 正幸，吉本 雅彦	156
超低消費電力動き検出プロセッサコア搭載 3-port SRAM TEG	金沢大学工学部	黒田 雄樹，宮越 純一，深山 正幸，吉本 雅彦	157
日立 SRAM-FNM10A, PLL-FNK026 を用いた評価用 TEG の試作	金沢大学工学部	三屋 晃ニ，深山 正幸，吉本 雅彦	157
擬似差動型サブサンプリングミキサ	大阪大学大学院工学研究科	金 良守，松岡 俊匡，谷口 研二	157
フルソースカップルドロジック多値集積回路と電流モード非同期データ転送回路の試作	東北大学大学院情報科学研究科 東北大学電気通信研究所	池 司，高橋 知宏，金 尚賢，亀山 充隆 羽生 貴弘	158
SFQ/CMOS ハイブリッドシステム用高速アンプの試作	横浜国立大学大学院工学研究院	吉川 信行，宮川 英明，富田 卓哉，藤原 完	158
階層型多ポートメモリを用いた多ポートキャッシュ	広島大学ナノデバイス・システム研究センター	上口 光，朱 兆旻，マタウシュハンス ユルゲン，小出 哲士	158
パストランジスタ論理を用いた 16bit 乗算器	広島市立大学情報科学部	越智 裕之，大石 祥子，井上 哲也	159
デジタル電源／グラウンド雑音評価チップ II	神戸大学工学部	永田 真，奥本 健，杉本 智彦，小坂 大輔	159

2.1. チップ種別索引

TEG（特性評価回路など）

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT1801	異種電源電圧回路混載テストチップ	永田 真	146
HIT18021	高速信号伝送用配線特性評価 TEG	土谷 亮，星野 洋昭，橋本 昌宜	147
MOT012	高精度 CMOS 定電圧回路	金森 章，松田 敏弘，岩田 栄之，大曽根 隆志	57
MOT012	MOSFET の高周波特性測定用 TEG の設計	麻生 啓太，松田 敏弘，岩田 栄之，大曽根 隆志	57
MOT012	高精度 CMOS 定電圧回路	金森 章，松田 敏弘，岩田 栄之，大曽根 隆志	57
MOT012	高精度 CMOS 定電圧回路	金森 章，松田 敏弘，岩田 栄之，大曽根 隆志	58
MOT021	高精度 CMOS 定電圧回路	金森 章，松田 敏弘，岩田 栄之，大曽根 隆志	73
RO35012	アナログ電流を用いた画像フィルタリング LSI の TEG	田口 晶康，柴田 直	95
RO35012	適応型 CMOS イメージセンサの個別回路評価用 TEG	今村 俊文，森江 隆，岩田 穆	96
RO35012	ノイズ特性評価用トランジスタ	島 秀樹，谷口 研二	99
RO35012	光インターフェース LSI のための TEG	源 貴利	100
RO35012	アナログ IP TEG チップ	服部 慎，増田 隆志，山城 正史，田中 義人	101
RO35012	神経信号センシング LSI の RF 回路 TEG	吉田 毅，岩田 穆	102
RO35021	POF フロントエンド	山田 裕志	106
RO35021	配線特性測定 TEG	稲垣 賢一	108
RO35021	シャッフリングによるバスの低消費電力化	山田 大裕，関 庚彤，崔 珍赫	109
RO35021	特性ばらつき評価用の TEG チップ	服部 慎，清山 浩司，田中 義人	109
RO35022	デジタル基板雑音評価チップ	杉本 智彦，奥本 健，野口 宏一朗，永田 真	114
RO35022	フォトダイオード特性解析のための TEG	中下 友介，三田 吉郎，柴田 直	115
RO35022	電圧変換電源回路の設計	石川 徹，石原 宏	116
RO35022	線形化器，電力増幅器及びアナログ相関器の設計	車 承佑， Elotohky Mostafa Ali，松岡 俊匡，谷口 研二	120
RO35022	CMOS イメージセンサの駆動回路の TEG	木村 孝之，白木 広光	124
RO35022	CMOS イメージセンサの特性評価とアナログ回路の TEG	木村 孝之，白木 広光	125
RO35022	CMOS イメージセンサの低暗電流化回路の試作	木村 孝之，白木 広光	125
RO35023	信号伝送用モジュール駆動回路の試作	田中 智之，中尾 基，泉 勝俊	139
RO35023	信号履歴を持つ場の形状に依存する信号伝播様式に関する研究	秋田 純一，元池 育子	140
ROHM012	1T2C 型強誘電体メモリ用アクセスパターン生成回路	山本 修一郎，石原 宏	76
ROHM012	集積化磁気センサ TEG	木村 孝之，白木 広光	81
ROHM012	フォトダイオード TEG および PD アレイ他	秋田 純一	81
ROHM013	1T2C 型強誘電体メモリ用周辺回路	山本 修一郎，石原 宏	83
ROHM013	空間フィルタ検出器用フォトダイオードアレイ TEG の設計	GO Hyunmin，高山 潤也，大山 真司，小林 彬	89

アナデジ混載

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT18021	デジタル電源／グラウンド雑音評価チップ I	永田 真，奥本 健，杉本 智彦，小坂 大輔	152
HIT18022	デジタル電源／グラウンド雑音評価チップ II	永田 真，奥本 健，杉本 智彦，小坂 大輔	159
MOT012	基板雑音低減回路の配置の検討	高木 茂孝	52
MOT021	埋め込み型機能的電気刺激用カスタム IC	高橋 誠，高橋 幸郎	62
MOT021	ディジタル基板雑音の測定	高木 茂孝	63

MOT021	基板雑音低減回路の配置の検討	高木 茂孝	63
MOT021	スイッチング電源制御用 LSI の開発	中山 剛，松田 敏弘，岩田 栄之，大曽根 隆志	73
MOT021	スイッチング電源制御 LSI 用出力回路の設計	中山 剛，松田 敏弘，岩田 栄之，大曽根 隆志	74
RO35012	波形計測型放射線検出回路	石津 崇章 , Deng Zhi，高橋 浩之	103
RO35022	デジタル CDMA 回路とチャージポンプ回路を用いたアナログ CDMA 受信器の設計	高橋 賢，嶋村 延幸，松岡 俊匡，谷口 研二	113
ROHM013	オフセット補償型電荷逐次積分 VLSI	田中 義人，酒井 雅司	87

アナログ（PLL, A-D/DC-DC コンバータなど）

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT1801	クロック生成用 1GHzPLL の試作	宮崎 崇仁，山岡 健人，星野 洋昭，小野寺 秀俊	145
HIT18021	オンチップサンプリングオシロスコープ回路の試作	宮崎 崇仁，新名 亮規，橋本 昌宜，小野寺 秀俊	149
HIT18021	クロック生成用 PLL と伝送線路特性を利用した信号伝送評価 TEG	橋本 昌宜，宮崎 崇仁，小野寺 秀俊	154
MOT012	スイッチドキャパシタ容量型センサ・インターフェースの設計	小川 覚美，渡辺 健蔵	50
MOT012	Rail-to-RailCMOS カレント・コンベアの設計	倉科 隆，小川 覚美，渡辺 健蔵	50
MOT012	CMOS 電子可変浮遊抵抗回路の試作	井上 高宏，常田 明夫，萩原 祐一，飯尾 義徳	51
MOT012	電流モード AD 変換器	佐々木 守	54
MOT012	移動度の変化の影響を低減した OTA を用いた Gm-C フィルタの試作	藤井 隼人，兵庫 明，関根 慶太郎	54
MOT012	LV/LP CMOS コンポジットセルと VCO の試作	赤峰 旭，大山 聡一朗，本間 寛忠，山口 誠，兵庫 明，関根 慶太郎	55
MOT012	1 次連続時間 Δ Σ 変調器	増田 貴志，武井 一史，和保 孝夫	59
MOT012	スイッチトキャパシタ Δ Σ 変調器と基本回路 TEG	角田 正人，和保 孝夫	59
MOT012	アナログ信号処理の構成要素	大竹 光也，北野 麻世，橋本 純明，和田 和千	60
MOT021	FG-MOSFET のみかけのしきい電圧のオートチューニング回路の試作	井上 高宏，山川 俊貴，市原 栄蔵	61
MOT021	CMOS 電子可変浮遊抵抗回路の試作	井上 高宏，常田 明夫，萩原 祐一，飯尾 義徳	62
MOT021	演算増幅器の試作	高木 茂孝	63
MOT021	基本オペアンプ・フォールテッドカスコード内蔵のオペアンプ・簡易差動アンプの試作	石川 洋平，内田 正隆，深井 澄夫	71
MOT021	ブートストラップ回路を用いた SC 電源回路の試作	江口 啓	71
MOT021	ノイズ低減評価用オペアンプチップの設計	麻生 啓太，松田 敏弘，岩田 栄之，大曽根 隆志	73
RO35012	神経信号センシング LSI のための TEG の設計	吉田 毅，真下 隆行，赤木 美穂，岩田 穆	98
RO35021	Simple TMC LSI	馬渕 太郎，江村 恒夫，樹沢 謙和，新井 康夫	110
RO35021	マルチレベルディスクリメータチップ	石津 崇章 , Deng Zhi，高橋 浩之	110
RO35022	14-bit, 200MS/s, 2.7V D/A 変換器の開発	杉本 泰博，櫻井 宏樹	113
RO35022	CMOS オペアンプの試作	池田 茂，出川 勝彦，青木 孝文，樋口 龍雄	118
RO35022	CMOS スイッチおよび補償回路アーキテクチャを用いた 3.3V/1.2V スイッチトキャパシタ型 DC-DC コンバータ	余 寧梅，柴田 直	118
RO35022	連続時間 Δ Σ 変調器	増田 貴志，和保 孝夫	126
RO35022	静電容量型センサ用容量検出回路	孟 魯新，松本 佳宣	127

RO35023	COMFET を用いた OTA とコンパレータ回路の試作	鈴木 伸和，森尻 敬治，兵庫 明，関根 慶太郎	135
RO35023	LowPower/LowVoltage リングオシレータの試作	涌井 努，兵庫 明，関根 慶太郎	135
RO35023	電荷分割位置測定チップ	石津 崇章，高橋 浩之	138
RO35023	3 次有極ウェーブフィルタと演算増幅回路	大竹 光也，秋田 一平，伊藤 和将，和田 和千	141
ROHM012	モード切替 PLL 回路	伴 彰浩，谷口 研二	77
ROHM012	低電圧用パイプライン A/D 変換回路	尾関 俊明，谷口 研二	77
ROHM012	フラッシュ・パイプライン複合型 A/D コンバータ	高橋 和史，小谷 光司，大見 忠弘	79
ROHM013	10bit 逐次比較型 AD 変換器の試作	井上 馨，加藤 利次	90

アナログ / デジタル信号処理プロセッサ

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT1801	高性能汎用デジタル VQ プロセッサ	小川 誠，柴田 直，福田 智洋	143
HIT1801	フラッシュコンボルーション型画像フィルタ演算プロセッサ	伊藤 潔人，柴田 直，山崎 英男	143
HIT1801	高性能汎用デジタル VQ プロセッサおよびフラッシュコンボルーション型画像フィルタ演算プロセッサの TEG	小川 誠，伊藤 潔人，柴田 直，山崎 英男，福田 智洋	145
HIT18021	時間領域の演算を用いた DP マッチングプロセッサ	小川 誠，柴田 直，山谷 歩	148
HIT18021	JPEG2000　算術符号器の高速化設計	筒井 弘，増崎 隆彦，林 宙輝，泉 知論，尾上 孝雄，中村 行宏	152
HIT18022	カーネル係数可変型画像フィルタリングプロセッサ	伊藤 潔人，柴田 直，中山 友之	155
HIT18022	JPEG2000　符号化アクセラレータの設計	林 宙輝，筒井 弘，増崎 隆彦，泉 知論，尾上 孝雄，中村 行宏	155
MOT012	FG-MOS 可変論理回路・加算回路・カレントミラーおよび基本オペアンプ回路の試作	石川 洋平，内田 正隆，森 裕樹，深井 澄夫	58
MOT012	CMOS スイッチの抵抗を利用したシナプス回路	範（PHAM） 公可（Cong-Kha）	59
MOT021	注視方向判別回路の試作	江口 啓	72
RO35012	PPED に基づく画像特徴抽出 VLSI	八木 雅和，山崎 英男，柴田 直	93
RO35012	アナログ電流を用いた画像フィルタリング LSI	田口 晶康，柴田 直	94
RO35012	隠れマルコフモデル法に基づく音声認識回路の設計	吉沢 真吾，宮永 喜一	100
RO35012	単語レベル実時間リップリーディング回路	村上 則明，中村 一博，高木 一義，高木 直史	104
RO35021	hogehogehoge	ishiahra tohru	106
RO35022	パルスカップルドニューラルネットワーク回路の設計	片山 光亮，岩田 穆	112
RO35022	MATLAB の LSI 設計への応用検討および BIST 回路設計の練習用チップ	三浦 克介，中前 幸治，藤岡 弘	117
RO35022	時系列情報連想システム	元田 大祐，佐藤 茂雄，中島 康治	122
RO35022	ニューラルネットワークの高機能・高集積化に関する研究	芳賀 琢哉，金城 光永，佐藤 茂雄，中島 康治	122
RO35022	バンドパス型動的要素マッチング（DEM）回路	小林 真也，加藤 了三，和保 孝夫	126
RO35022	蟻の行動様式をモデル化した LSI	稲垣 亜奈，田中 智之，中尾 基，泉 勝俊	128
RO35023	MPEG-4 コアプロファイル符号化向け DSP	石本 剛，宮岡 祐一郎，柳澤 政生，大附 辰夫，戸川 望	130
RO35023	ベクトル量子化機能を有する自己組織化特徴マップ回路の設計	片山 光亮，岩田 穆	134
RO35023	オンチップタイミング試験回路の試作	石田 雅裕，小谷 光司，大見 忠弘	137
ROHM012	4 並列演算型画像フィルタリングプロセッサ	伊藤 潔人，柴田 直，山崎 英男	76
ROHM012	アナログ電流を用いた画像フィルタリング LSI	田口 晶康，柴田 直	77
ROHM012	FPGA による設計・検証からチップ試作へ	酒造 正樹，尾上 弘晃，菅 哲朗，松本 潔，下山 勲	79
ROHM013	電流モード多値論理フィールドプログラマブルディジタルフィルタ	出川 勝彦，青木 孝文，樋口 龍雄	83
ROHM013	汎用デジタル VQ プロセッサ	小川 誠，柴田 直	84
ROHM013	アナログ電流を用いた画像フィルタリング LSI	田口 晶康，柴田 直	85

ROHM013	大学院演習で FPGA を用いて設計・動作検証した回路のチップ試作	酒造 正樹，中條 晴樹，長澤 純人，松本 潔，下山 勲	88

イメージセンサ / スマートセンサ

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT1801	行並列有意画素探索機能を有する高速 3 次元計測センサ	大池 祐輔，池田 誠，浅田 邦博	144
MOT012	生体の初期視覚機構に学んだ簡単な形状認識機能を有する接近検出チップの試作	西尾 公裕，米津 宏雄	52
MOT012	広ダイナミックレンジを有するエッジ検出回路の電子回路化	高崎 哲，米津 宏雄	53
MOT012	素子特性のばらつきに強い一次元エッジ検出アナログ回路の設計	Amal Bandula Kariyawasam，米津 宏雄	53
MOT012	96 × 96 画素三相時間相関イメージセンサ	安藤 繁，来海 暁	55
MOT012	ラプラシアンフィルタリングを用いた動きベクトル検出 CMOS イメージセンサの設計	中村 陽介，吉本 卓己，堀居 賢樹	56
MOT012	ノイズ抑制機能評価用チップの設計	小川 尚嗣，堀居 賢樹	56
MOT021	フィードバック機構を有するエッジ検出アナログ回路の試作	Amal Bandula Kariyawasam，米津 宏雄	64
MOT021	一次元エッジ検出回路とその基本回路の TEG の試作	澤 伸也，米津 宏雄	64
MOT021	シフトレジスタを組み込んだ一次元エッジ検出回路の試作	澤 伸也，米津 宏雄	64
MOT021	生体の網膜に学んだエッジ検出回路の試作	澤 伸也，米津 宏雄	65
MOT021	ビジョンチップと速度センサー	原 重臣	72
RO35012	アナログ相関回路を用いた実時間動き位置検出回路	山崎 俊彦，梅島 誠之，柴田 直	94
RO35012	アナログ相関回路を用いた実時間動き速度検出回路	山崎 俊彦，梅島 誠之，柴田 直	94
RO35012	アダマール変換機能を有するイメージセンサ回路の設計	片山 光亮，永田 真，森江 隆，岩田 穆	96
RO35012	適応型 CMOS イメージセンサ	今村 俊文，山本 美子，森江 隆，岩田 穆	97
RO35021	アナログ電流を用いた画像フィルタリングイメージセンサ	田口 晶康，柴田 直	107
RO35021	アナログ相関回路を用いた実時間 Moving Object Detector 回路	山崎 俊彦，梅島 誠之，柴田 直	108
RO35022	微弱な光ビーコンを高速に検出するセンサアレイ	大池 祐輔，池田 誠，浅田 邦博	115
RO35022	行並列有意画素探索機能を有するライン状投射光検出センサ	大池 祐輔，池田 誠，浅田 邦博	116
RO35022	生体の網膜に学んだエッジ検出回路の試作	澤 伸也 , 米津 宏雄	120
RO35022	広ダイナミックレンジを有する一次元エッジ検出回路の試作	高崎 哲，米津 宏雄	121
RO35022	素子特性のばらつきに強いエッジ検出アナログ回路の試作	Amal Bandula Kariyawasam, 米津 宏雄	121
RO35022	96 × 96 画素三相時間相関イメージセンサ	安藤 繁，来海 暁	123
RO35022	興奮性信号のみを用いた動き検出 VisionChip の要素回路	秋田 純一	128
RO35023	インテリジェント・ヒューマン・インターフェース	舘 知恭，千葉 浩児，小谷 光司，須川 成利，大見 忠弘	137
RO35023	屋内光無線 LAN 用 CMOS イメージセンサ TEG	川上 智朗，西村 智博，香川 景一郎，太田 淳	138
ROHM012	電流演算型エッジ検出フィルタ	松野 知紘，三田 吉郎，柴田 直	76
ROHM012	人工視覚曲げ特性評価用 TEG	飯盛 慶一 , Ng David，香川 景一郎，太田 淳	80
ROHM013	簡易 2 値化回路を画素内に有する行単位高速有意画素検出センサ	根塚 智裕，大池 祐輔，池田 誠，浅田 邦博	82
ROHM013	アナログ相関回路を用いた実時間 Motion Detector 回路	山崎 俊彦，梅島 誠之，柴田 直	84
ROHM013	移動物体追跡機能を有するビジョンチップ	出口 淳，小柳 光正	85

その他

ラン名	タ イ ト ル	研 究 者	掲載頁
MOT021	基本的なディジタル回路の試作教育システムの開発	福原 領平，水野 議一朗，田中 武	61
MOT021	ストップウォッチ	金川 典史	62
MOT021	3bit 8 進カウンタを用いた電子ルーレット	五島 正之，増田 憲行，村上 直義，越智 裕之，窪田 昌史，児島 彰，寺内 衛	66
MOT021	2 進数 3 ビットカウンタのナイトライダー	角井 希行，山形 信博，中島 彰信，越智 裕之，窪田 昌史，児島 彰，寺内 衛	66

MOT021	ランダム信号を組み込んだ切換え式クリスマスツリーの電飾	浅野 歩，今村 梨津子，河上 弘嗣，五味 良昭，越智 裕之，窪田 昌史，児島 彰，寺内 衛	66
MOT021	3 ビットジョンソンカウンタを用いたナイトライダー	藤井 泰宏，蠣崎 和幸，城本 正尋，鈴木 圭介，越智 裕之，窪田 昌史，児島 彰，寺内 衛	67
MOT021	2 進 4bit カウンタを使用した 7 セグ LED 表示付き 10 進カウンタ	浅生 宗隆，小田 亮太郎，助田 有教，瀬藤 潤，越智 裕之，窪田 昌史，児島 彰，寺内 衛	67
MOT021	3 ビットカウンタを用いた電子サイコロ	菊池 健司，鈴木 睦，中川 裕士，森山 敬介，越智 裕之，窪田 昌史，児島 彰，寺内 衛	67
MOT021	8bit ジョンソンカウンタを用いた 7 セグ LED 表示付き 16 進カウンタ	市川 裕二，井上 寛康，中村 完，福田 健，越智 裕之，窪田 昌史，児島 彰，寺内 衛	68
MOT021	3 ビットジョンソンカウンタを用いた電子サイコロ	上原 健一，木室 潤一，栗栖 裕，鈴木 宏治，越智 裕之，窪田 昌史，児島 彰，寺内 衛	68
MOT021	救急車のサイレン	斉藤 正嗣，中原 由憲，前田 志，三好 祐司，越智 裕之，窪田 昌史，児島 彰，寺内 衛	68
MOT021	5bit ジョンソンカウンタを用いた 7 セグ LED 表示付き 10 進カウンタ	上野 直樹，北川 誠人，古殿 健太，宮道 敏広，越智 裕之，窪田 昌史，児島 彰，寺内 衛	69
MOT021	7 セグ LED 表示付き 16 進 4bit カウンタ	小澤 亮，前田 哲宏，松浦 恭平，森本 陽介，越智 裕之，窪田 昌史，児島 彰，寺内 衛	69
MOT021	かっこう	宇田 育絵，柴田 舞子，長谷川 貢，藤井 浩子，越智 裕之，窪田 昌史，児島 彰，寺内 衛	69
MOT021	連動する 2 基の信号機	中原 靖明，細江 由樹，吉井 康二，越智 裕之，窪田 昌史，児島 彰，寺内 衛	70
RO35012	DSP ボードとの通信インタフェース回路	汐崎 充，岩田 穆	97
RO35012	ロボット用途向け CDMA シリアル通信チップ	汐崎 充，岩田 穆	98
RO35012	ディジタル方式による全画素並列画像分割セルネットワーク回路	森本 高志，原田 洋明，小出 哲士，マタウシュ ハンスユルゲン	103
RO35022	ディジタル方式による全画素並列画像分割セルネットワーク回路	森本 高志，原田 洋明，小出 哲士，マタウシュ ハンスユルゲン	125
RO35022	論理関数の畳込み機能を持つ FPGA および暗号処理 LSI	梶原 裕嗣，川渕 知香，土井 伸洋，中西 正樹，渡邉 勝正，堀山 貴史，木村 晋二	129
RO35023	全ディジタル PLL および DA コンバータの試作	佐々木 博文，藤本 邦昭	139
ROHM013	Morphology 演算に特化したセルアレー型 2 値画像処理 VLSI の試作	與那嶺 尚弘，小笠原 真也	86
ROHM013	パルススワローカウンタを用いた全ディジタル PLL	佐々木 博文，藤本 邦昭	89

ニューテクノロジ

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT1801	汎用的な実行モデルに基づく再構成型プロセッサの試作	谷川 一哉，弘中 哲夫，児島 彰，吉田 典可	143
HIT18021	再構成情報の圧縮を実現した再構成型 PARS プロセッサの試作	谷川 一哉，川崎 貴之，弘中 哲夫，児島 彰，吉田 典可	148
HIT18021	SFQ/CMOS ハイブリッドシステム用高速アンプの試作	吉川 信行，宮川 英明，富田 卓哉，藤原 完	151

HIT18022	SFQ/CMOS ハイブリッドシステム用高速アンプの試作	吉川 信行，宮川 英明，富田 卓哉，藤原 完	158
MOT021	非同期ニューラルネットワーク用パルス形ニューロンモデルの試作	齊藤 健，佐伯 勝敏，関根 好文	65
MOT021	シナプス回路の試作	泉妻 まり子，野木 達彌，佐伯 勝敏，関根 好文	65
RO35012	カオスニューラルネットワーク LSI	伊井 慎一郎，森江 隆，永田 真，岩田 穆	91
RO35012	カオスニューラルネットワーク LSI	伊井 慎一郎，森江 隆，永田 真，岩田 穆	95
RO35012	SFQ/CMOS ハイブリッドメモリ用高速ハイブリッドアンプの試作	吉川 信行，宮川 英明，富田 卓哉，藤原 完	101
RO35012	カオスニューラルネットワーク LSI	伊井 慎一郎，森江 隆，永田 真，岩田 穆	103
RO35021	SFQ/CMOS ハイブリッドシステム用パイプラインアンプの試作	吉川 信行，富田 卓哉，宮川 英明	109
RO35022	PWM 方式画素並列 2 次元ガボール型フィルタ回路	梅澤 淳，森江 隆，岩田 穆	119
RO35022	差分光再構成型ゲートアレイ	渡邊 実，小林 史典	128
RO35023	多層構造 Convolutional Neural Network 演算回路チップ	是角 圭祐，安藤 博士，中野 鉄平，岩田 穆，森江 隆	133
RO35023	SFQ/CMOS ハイブリッドメモリ用用要素回路の試作	吉川 信行，宮川 英明，富田 卓哉，藤原 完	136
RO35023	差分光再構成型ゲートアレイ	渡邊 実，小林 史典	140
ROHM012	SFQ/CMOS ハイブリッドメモリの試作	吉川 信行，宮川 英明，藤原 完	79
ROHM012	共鳴トンネル論理ゲート MOBILE のエミュレーション回路とそれを用いた DTCNN のためのテスト回路	丹羽 壮平，前澤 宏一，水谷 孝	80
ROHM012	負性抵抗素子を用いた Cellular Neural Network	丹羽 壮平，前澤 宏一，水谷 孝	80
ROHM013	高集積化に向けたニューラルネットワークとアナログ信号処理用累積加算回路の設計	末永 晋也，芳賀 琢哉，元田 大祐，佐藤 茂雄，早川 吉弘，中島 康治	87

メモリ

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT18021	相変化不揮発性メモリと可変ゲインオペアンプ	福島 早奈恵，源 貴利	150
HIT18022	超低消費電力動き検出プロセッサコア搭載 3-port SRAM TEG	黒田 雄樹，宮越 純一，深山 正幸，吉本 雅彦	156
HIT18022	超低消費電力動き検出プロセッサコア搭載 3-port SRAM TEG	黒田 雄樹，宮越 純一，深山 正幸，吉本 雅彦	157
HIT18022	階層型多ポートメモリを用いた多ポートキャッシュ	上口 光，朱 兆旻，マタウシュ ハンス ユルゲン，小出 哲士	158
RO35012	小面積高並列マルチポートメモリ	大森 伸彦 , マタウシュ ハンスユルゲン，小出 哲士	102
RO35012	高並列プロセッサ向けバンク構成小面積多ポートレジスタファイル	内田 裕志，マタウシュ ハンスユルゲン，小出 哲士	102
RO35021	高並列プロセッサ向けバンク構成小面積多ポートレジスタファイル	内田 裕志，マタウシュ ハンスユルゲン，小出 哲士	110
RO35022	相変化不揮発性メモリとインダクタ	福島 早奈恵，有賀 健太，中山 和也	114
RO35022	SFQ/CMOS ハイブリッドメモリの試作	吉川 信行，宮川 英明，富田 卓哉，藤原 完	122
RO35022	1kbit SRAM の第 2 次試作	田中 智之，中尾 基，泉 勝俊	127
ROHM013	1kbit SRAM の第 1 次試作	田中 智之，中尾 基，泉 勝俊	89

演算回路（乗算器，除算器など）

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT1801	IEEE754 準拠単精度浮動小数点除算器	越智 裕之，鈴木 達也，松永 清香，河野 陽一	144

HIT1801	Overturned-Stairs 木を用いた乗算器及び基数 2 の減算シフト型除算器	水野 知秀，篠原 正行，高木 一義，高木 直史	146
HIT18021	実験評価のための算術論理演算回路とキャッシュ制御回路	井上 弘士	153
HIT18021	パストランジスタ論理を用いた 16bit 乗算器	越智 裕之，大石 祥子，井上 哲也	153
HIT18022	PPED に基づく高速画像特徴ベクトル生成回路	山崎 英男，山本 崇也，柴田 直	155
HIT18022	フルソースカップルドロジック多値集積回路と電流モード非同期データ転送回路の試作	池 司，高橋 知宏，金 尚賢，亀山 充隆，羽生 貴弘	158
HIT18022	パストランジスタ論理を用いた 16bit 乗算器	越智 裕之，大石 祥子，井上 哲也	159
MOT012	CMOS スイッチを用いた FPAA 用アナログコア回路試作チップとカオス写像のアナログ IC 化	井上 高宏，常田 明夫，安成 潤，飯尾 義徳，菅原 卓朗	51
MOT021	オペアンプの試作	井上 高宏，常田 明夫，針木 剛	61
MOT021	デジタル，アナログ回路によるカオス系列の生成	井上 高宏，常田 明夫，吉岡 大三郎，菅原 卓朗	70
MOT021	FG-MOSFET を用いたディジタル回路の試作	山口 竜司，丸野 誠一，深井 澄夫	71
RO35012	パストランジスタ論理を用いた 16bit 乗算器	越智 裕之，井上 哲也	92
RO35012	並列リコンフィギュラブルロジックを用いた画像処理 FPGA	杉村 武昭，小柳 光正	99
RO35021	周波数領域での信号処理回路の試作	木村 孝之，白木 広光	111
RO35022	エネルギーリサイクル論理回路による超消費電力 RSA 暗号処理回路	堺 昭一，黒木 慎司，佐々木 守	113
RO35022	IEEE754 準拠単精度浮動小数点除算器	越智 裕之，鈴木 達也，松永 清香，河野 陽一	114
RO35022	SFQ/CMOS ハイブリッド Σ Δ AD コンバータ用デシメーションフィルタの試作	吉川 信行，城殿 征志	123
RO35022	低レイテンシ除算回路の設計	水野 知秀，高木 一義，高木 直史	126
RO35022	RSA 暗号化回路	原田 恭典，柳澤 政生，大附 辰夫，森田 功一，木村 晋二，山内 規義	129
RO35023	ケミカルセンサ用演算 LSI の ADC モジュール回路の試作	藤田 雅彦，紫村 優介，山田 健太，秋谷 昌宏	131
RO35023	Hardware Implementation of RSA Algorithm	史 又華，柳澤 政生，大附 辰夫，木村 晋二	134
RO35023	SFQ/CMOS ハイブリッド Σ Δ AD コンバータ用デシメーションフィルタの試作	吉川 信行，城殿 征志	136
RO35023	離散時間積分／微分回路アレイの設計	下ノ村 和弘，八木 哲也	141
RO35023	離散時間積分／微分回路アレイの設計	下ノ村 和弘，八木 哲也	142
RO35023	RSA 暗号化回路	原田 恭典，柳澤 政生，大附 辰夫，森田 功一，木村 晋二，山内 規義	142
ROHM012	高速動作を維持しつつ待機時消費電力の削減を目的とした各種演算回路とクロックパルス発生器	天川 慶太郎，渡邊 友樹，近藤 将斗，江井 友美，小田 千尋，原田 知親，榎本 忠儀	78
ROHM013	SFQ/CMOS ハイブリッド Σ Δ AD コンバータ用デシメーションフィルタの試作	吉川 信行，城殿 征志，本告 圭	88

通信（RF 回路，ATM など）

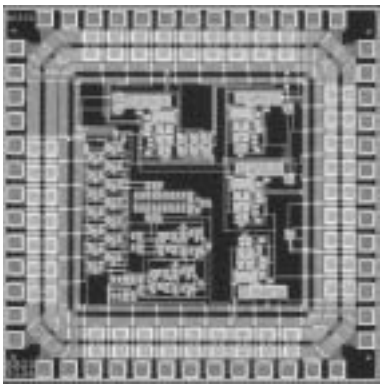
ラン名	タ イ ト ル	研 究 者	掲載頁
HIT18021	10GHz 帯チップ間無線通信用送受信器の設計	車 承佑，清水 由幸，古屋 英行，中村 光男，松岡 俊匡，谷口 研二	148
HIT18021	高精度・低消費電力・有線通信用全差動ライン・ドライバ回路	大島 宗之，佐々木 昌浩，松本 隆	150
HIT18021	セルフテスト機能を備えた高速シリアル伝送トランシーバ	佐々木 守	151
HIT18021	擬似差動型サブサンプリングミキサ	金 良守，松岡 俊匡，谷口 研二	152
HIT18022	高速動作複数係数周波数分周回路	乗松 崇泰，藤島 実，山本 憲，木野 順	156
HIT18022	擬似差動型サブサンプリングミキサ	金 良守，松岡 俊匡，谷口 研二	157
RO35012	チップ間リピータ	佐々木 守	91

RO35012	RF 回路用インダクタ・キャパシタ	今村 晃，鬼塚 浩平，三瓶 真弘，藤島 実	92
RO35012	低消費電力 CMOS アナログマッチトフィルタの試作	河津 大志，佐々木 昌浩，松本 隆，坂井 丈泰	95
RO35012	無線通信用 IF と ADC の設計	吉田 和史，小川 卓臣，岩田 穆	96
RO35012	神経信号センシング LSI の RF 回路 TEG	吉田 毅，真下 隆行，赤木 美穂，岩田 穆	97
RO35012	無線チップ間通信回路の設計	松岡 俊匡，清水 由幸，車 承佑	98
RO35021	無線通信用 TEG の試作	金谷 晴一，吉田 啓二，黒木 幸令，安浦 寛人，浦川 剛，森田 亮，樽見 幸祐，岡本 賢治	107
RO35022	無線通信用バンドパスフィルタの設計	金谷 晴一，吉田 啓二，安浦 寛人，浦川 剛，大庭 亮介	117
RO35022	高 Q 値ロック機能をもつジャイレータ共振回路による高周波バンドパスフィルタ	末吉 勢二，佐々木 守	121
RO35022	光通信用信号処理回路	桑原 啓，竹本 如洋，松本 佳宣	127
RO35023	無線通信用ミキサおよび PLL の設計	金谷 晴一，吉田 啓二，黒木 幸令，安浦 寛人，浦川 剛，大庭 亮介，中村 徹哉，岡本 賢治	133
RO35023	高精度・低消費電力・有線通信用全差動ライン・ドライバ回路	大島 宗之，佐々木 昌浩，松本 隆	133
RO35023	光素子駆動回路	阿波谷 佳朗，松本 佳宣	139
RO35023		溝口 大介，ユスミラズ・ビンティ ユスフ，三浦 典之，黒田 忠広	140

2.2. 試作結果
平成 13 年度　第 2 回　オンセミコンダクタ CMOS1.2μm チップ試作（MOT012）

スイッチドキャパシタ容量型センサ・インターフェースの設計

静岡大学電子工学研究所　　小川 覚美，渡辺 健蔵

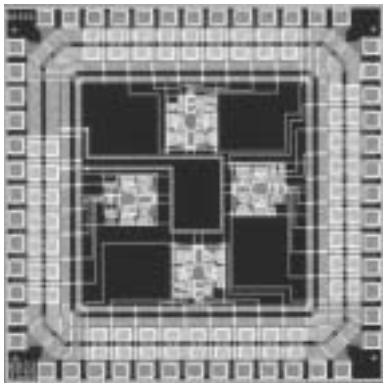


概要：圧力，位置，加速度，回転角度等の物理量の検知に広く使われている差動容量型センサの高速，高精度インターフェース回路の実現を目指してスイッチドキャパシタ技術を用いたインターフェース回路の試作を行った．インターフェース回路はスイッチドキャパシタ S/H 回路を用いたダブルサンプリング構成となっている．このため，アナログスイッチに付随するクロックフィードスルーの影響を小さくすることができ，センサ・インターフェース回路特性に要求される温度特性も大きく改善することができるため回路の高精度化が期待できる．試作チップにはダブルサンプリング・インターフェース回路，及び，S/H 回路，差動増幅回路が含まれている．今回，インターフェース回路を駆動するクロック信号の発生回路も同チップ上に含まれている．また，基本構成とダブルサンプリング構成の特性を比較するために，基本構成としても動作するようにスイッチを制御可能としている．試作回路の測定を行い，その基本的動作を確認した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

Rail-to-RailCMOS カレント・コンベアの設計

静岡大学電子工学研究所　　倉科 隆，小川 覚美，渡辺 健蔵



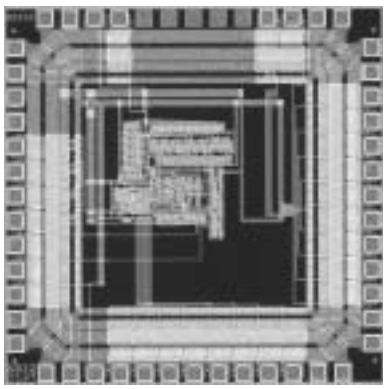
概要：電流モード信号処理の特徴は，低電圧動作で広いダイナミックレンジが得られることにある．したがって，その基本構成素子としての CC Ⅱにも Rail-to-Rail の入出力電圧範囲が要求される．さらに入出力すべてに AB 級 Rail-to-Rail を用いることで，低電源電圧動作時においても，できる限り大きな S/N 比を得ることができる構成となっている．ここで今回の CC Ⅱは，電圧入力に Rail-to-Rail で使用するための相補型 Nch, Pch 差動入力段，電流入力に AB 級プッシュプル段，電流ミラー，定電流源，及び位相補償部で構成した．外部入出力端子は，電圧入力端子，電流入力端子，電流出力端子の三端子と，バイアス電流のための電流入力端子である．シミュレーションにより得られたカレント・コンベアの性能が，実際の IC でも得られるかどうかを確認するため試作した．

参考文献：[1] Roubik Gregorian, “Gabor C. Temes: Analog MOS Integrated Circuits for Signal Processing”, New York: John Wiley & Sons, 1986.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

4 ビットマイクロプロセッサの設計

静岡理工科大学理工学部電子工学科　　縣 伸史，北村 義徳，永野 肇，村松 透，望月 秀幸，波多野 裕



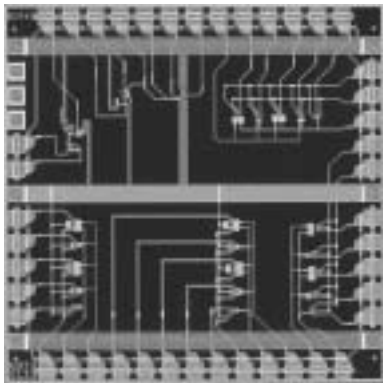
概要：当研究室では，毎年，マイクロプロセッサの設計試作を行っている．昨年度設計試作したマイクロプロセッサは，データ幅が 4 ビットでゲートアレイ方式であった．この設計方式は，短期間で設計を行うことが可能であるが，回路の占有面積が大きくなるという欠点をもつ．そこで今回は，昨年度の設計データを基に，4 ビットマイクロプロセッサのフルカスタム方式を目指して設計試作を行い，回路の高集積化を図った．なお，このマイクロプロセッサは，ノイマン型アーキテクチャで構成している．また，他の回路として，ニューロン回路の基本動作を確認するため，多入力ニューロン MOS インバータを設計した．

参考文献：[1] 村松，縣，北村，永野，望月，波多野，“ マイクロプロセッサ検討用回路の設計 ”，p. 69，平成 13 年度 VDEC 年報（2002).

設計期間：2 人月以上，3 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：マイクロプロセッサ

CMOS 電子可変浮遊抵抗回路の試作

熊本大学工学部　　井上 高宏，常田 明夫，萩原 祐一
熊本大学大学院自然科学研究科　　飯尾 義徳



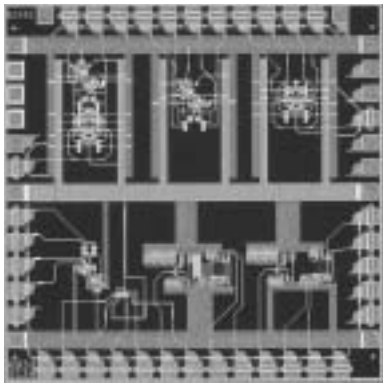
概要：本チップには，浮遊電圧源と抵抗を一体化した回路を5種類作り込んだ．このチップに作り込んだある浮遊抵抗回路の動作原理は，cross-coupled OTA pair に基づいており，それをデプレッション型 MOSFET を cross-couple することで実現し，さらにデプレッション型 MOSFET を MOSFET と浮遊電圧源で構成される等価デプレッション型 MOSFET に置き換えることで標準的な CMOS プロセスでの製作を実現している．このチップは，各回路が電源電圧 3.3V のもとで所望の可変抵抗特性をもつことを確認すること，及びシミュレーション結果と実験結果との照合を行うことを目的として試作した．

参考文献：[1] P. R. グレイ／R. G. メイヤー，“アナログ集積回路設計技術　上下”，1990年

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

CMOS スイッチを用いた FPAA 用アナログコア回路試作チップとカオス写像のアナログ IC 化

熊本大学工学部　　井上 高宏，常田 明夫，安成 潤
熊本大学大学院自然科学研究科　　飯尾 義徳，菅原 卓朗



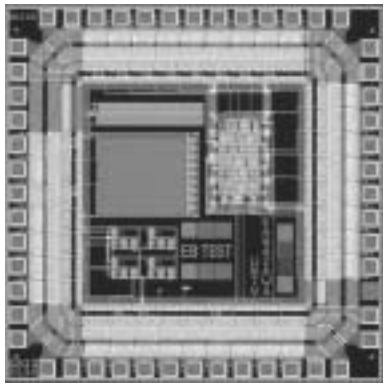
概要：CMOS スイッチにより回路構成を切り替え可能な，FPAA 用アナログコア回路を試作した．スイッチに CMOS スイッチを用いることにより，連続時間でアナログコア回路の回路構成を切り替えることが可能である．目的としては，CMOS スイッチを用いた FPAA 用アナログコア回路の設計条件を簡単なアナログコア回路により導き出すことである．具体的には逆相増幅回路，正相増幅回路，積分回路，微分回路の 4 パターンの回路構成をもつ．また，これとは別に一次元写像に基づいた離散時間型カオス系列の生成回路を設計した．試作した回路は，スイッチトカレント技術を用いた離散時間型電流モードアナログ CMOS カオス回路で実現しており，演算部と遅延部で構成されている．

参考文献：[1] 藤井信生，“アナログ電子回路”，pp155-176，1984 年

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Avanti 社 Star-HSPICE　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：演算回路（乗算器，除算器など）

POF フロントエンド（1）

金沢大学工学部　　山田 裕志

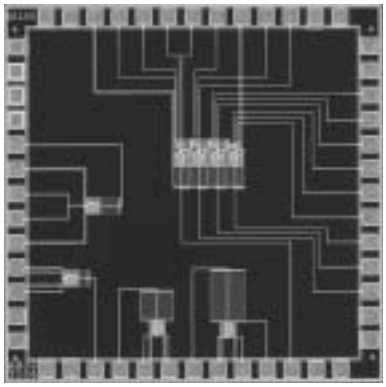


概要：本研究では，CMOS テクノロジを利用した光通信用レシーバ IC の開発を行っている．ホームネットワークへの利用を目的としており，通信速度としては 400Mbps の実現を試みている．この光通信用レシーバの開発にあたっての課題として，低コストやコンパクトであることが望まれる．そこで，光検出部（PD）と信号処理回路を 1 つのチップに搭載すること（1 チップ化）を目指すことで両方の要求を達成する予定である．また，POF（Plastic Optical Fiber）通信への対応を可能にさせることで，さらなる低コストを目指す．本チップでは，PD に I-V 変換回路（TIA: Transimpedance Amplifier）を取り付けた TEG の試作を行った．TEG の応答速度は PD の接合容量と TIA の帰還抵抗で表される CR 時定数で決定される．また，応答速度と光電流には受光面積を介してトレードオフの関係にある．そこで，CR 時定数および光電流の関係から最適な受光面積を決定する予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

CMOS 演算増幅器，D/A コンバータ

埼玉大学工学部　　高橋 誠，高橋 幸郎

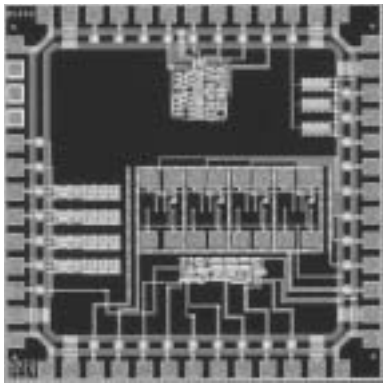


概要：低消費電力 CMOS 演算増幅器：入力段差動回路の負荷にカレントミラーを用い，レベルシフト段を通して AB 級出力段を駆動する構成とした．演算増幅器の静止時の消費電流を 0.5mA 程度に減らすため，出力段の FET の gm を調整した．この結果利得帯域幅積は設計値 1MHz であったが，測定値は 100kHz と 1 桁低下した．オフセット電圧は 9mV ± 5mV であった．D/A コンバータ：オン抵抗に 3 ビットの重みを付けた 8 個のアナログスイッチと CMOS 演算増幅器を用いた加算回路による D/A コンバータを構成した．これを更に 4 ビットの重みを付けた加算回路により 12 ビット構成の D/A コンバータとした．動作試験で得られた分解能は約 5.5 ビットであった．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

基板雑音低減回路の配置の検討

東京工業大学集積システム　　高木 茂孝



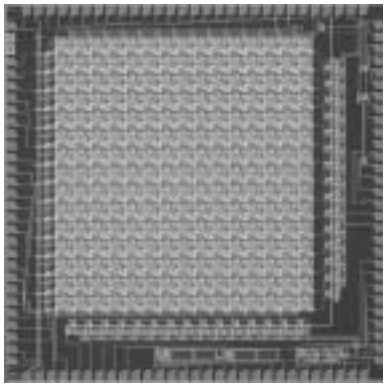
概要：アナログ・ディジタル混載システムでは，ディジタル回路のスイッチング動作によって発生する雑音により接地電位が変動し，アナログ回路の性能を著しく劣化させる．

本チップは，基板からの雑音を低減させるための基板雑音低減回路の配置の違いによる雑音低減効果の相違を確認することを目的としている．具体的には，ガードリングの内側と外側に 2 個の雑音低減回路を配置し，一方のみを動作させて，その効果の違いを確認することができる．雑音源として大出力 VCO や大電流 VCO も試作している．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナデジ混載

生体の初期視覚機構に学んだ簡単な形状認識機能を有する接近検出チップの試作

豊橋技術科学大学工学部　　西尾 公裕，米津 宏雄



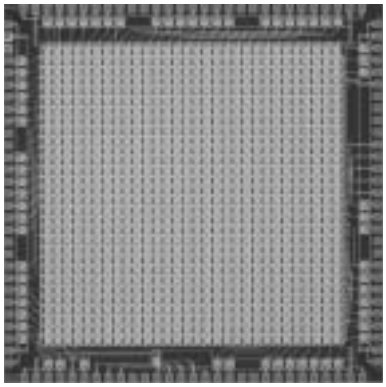
概要：生体の初期視覚機構に学び，簡単な形状認識機能を有する物体の接近を検出する機能を実現するネットワークの提案とその集積回路化を行ってきた［1］．バッタの脳に存在する下行性反対側運動検知細胞（DCMD）では，網膜上に投影された画像の大きさおよび拡大速度の情報を組み合わせて，物体の接近を検出している．また，カエルなどの下等動物は，エッジの情報を基に，簡単な形状を認識している．今回の試作では，上述したネットワークを検証するため，二次元ネットワークを設計した．また，チップにはネットワークを構成する基本回路の TEG も含めた．試作チップの測定では，各基本回路の動作を検証するとともに，二次元ネットワークの接近検出機能および簡単な形状認識機能を評価する．

参考文献：［1］西尾，山田，大谷，古川，米津，“ 下等動物の視覚系に学んだ物体の特徴検出機構の電子回路化と動き検出ネットワークとの統合 ”，信学技法，vol. 101，no. 736，pp. 17-24，2002.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm 角　**チップ種別**：イメージセンサ / スマートセンサ

広ダイナミックレンジを有するエッジ検出回路の電子回路化

豊橋技術科学大学工学部　　高崎 哲，米津 宏雄



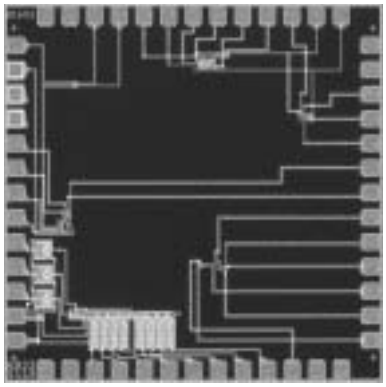
概要：我々は，網膜の視覚情報処理に学び，物体の輪郭を検出するエッジ検出ネットワークの提案とその集積回路化を試みてきた．このネットワークは，視覚対象の広範囲にわたる入力光強度に対して，各画素の回路パラメータを自動的に適応させ，広ダイナミックレンジを実現することができる．しかし，このネットワークでは，出力信号の大きさが小さく，ノイズや素子のミスマッチの影響を強く受ける傾向があった．そこで，我々は，この問題を改善するために，エッジ検出ネットワークの入力段において，入力信号を増幅する機能を追加した．この機能により，エッジ検出回路の出力強度が高くなり，ダイナミックレンジがさらに拡大することをシミュレーションによって確認した［1］．今回の試作では，画素数 16 × 16 と比較的小規模な二次元網膜ネットワークを構成し，その動作を確認することを目的とした．

参考文献：［1］高崎，大谷，山田，西尾，古川，米津：“ 広ダイナミックレンジを有するエッジ検出機構の電子回路化 ”，日本神経回路学会第 11 回全国大会講演論文集，pp. 137-138，2001

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm 角　**チップ種別**：イメージセンサ / スマートセンサ

網膜に学んだエッジ検出チップの基本回路および TEG

豊橋技術科学大学工学部　　安部 浩史，米津 宏雄



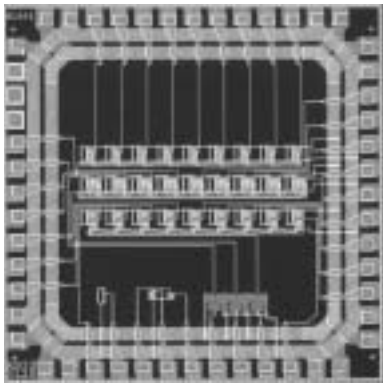
概要：我々は，生体の網膜機能に学んだ高ダイナミックレンジを有するエッジ検出回路を提案し集積回路化を試みてきた［1］．この回路は約 5 桁のダイナミックレンジを有しており，明暗混在の状況下でも物体のエッジを検出することができる．今回の試作では，エッジ検出チップの出力信号を読み出すためのシフトレジスタを設計した．また，エッジ検出回路の基本回路も含めた．これらの基本回路を用いて基本特性を確認し，一次元エッジ検出ネットワークおよび二次元エッジ検出ネットワークを測定する．

参考文献：［1］高崎，大谷，山田，西尾，古川，米津：“ 広ダイナミックレンジを有するエッジ検出機構の電子回路化 ”，日本神経回路学会第 11 回全国大会講演論文集，pp. 137-138，2001.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

素子特性のばらつきに強い一次元エッジ検出アナログ回路の設計

豊橋技術科学大学工学部　　Amal Bandula Kariyawasam，米津 宏雄



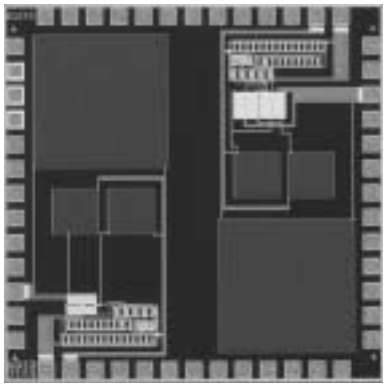
概要：我々は，これまでに網膜の視覚情報処理機構に学び，局所空間での光強度分布に従って，画素中の回路パラメータが自動的に適応する機構を有するエッジ検出アナログ回路の提案とその集積回路化を試みてきた［1］．しかし，これまで考案してきたエッジ検出回路は素子特性のばらつきにより誤動作が生じるといった問題点を持っていた．網膜で生成された信号にもばらつきは生じているが，その信号を平均化することで，誤動作を生じさせないようにしている．今回の試作では，信号を平均化する機構を導入したエッジ検出回路を設計し，その動作を検証することを目的とした．

参考文献：［1］宮下，大谷，高崎，山田，西尾，米津：“ 局所的な明暗順応機能を有するエッジ検出機構の集積回路化信学技報 ”，Vol. 99，No. 686，pp. 213-220，2000.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

E 級 DC － DC コンバータ

福岡大学工学部　　末次 正



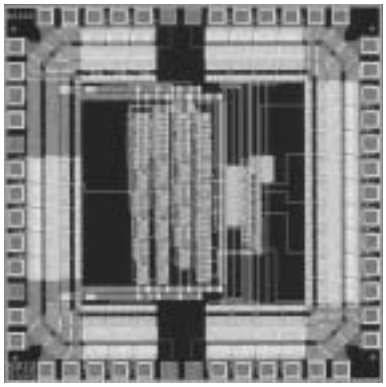
概要：200mW, 800MHz の E 級オンチップ DC － DC コンバータを試作した．E 級増幅器の高効率性を生かして高周波でも電力変換効率のよい電源を目指したものである．高周波のスイッチング周波数を用いた理由は，共振素子を小型化することによって受動素子の集積化を可能とするためである．22nH のスパイラルインダクタを共振インダクタとして用いフローティングキャパシタレイヤーを用いて 50pF の共振コンデンサを集積した．整流方式には E 級同期整流器による半波整流を行い制御回路からドライブ信号を送って同期スイッチを動作させた．出力電圧の制御には出力電圧をフィードバックして周波数制御を行ったため VCO と位相調整回路を集積した．

参考文献：T. Suetsugu, M. Kazimierczuk, and S. Kiryu, “Feasibility study on the on-chip class E DC-DC converter”, IEEE International Symposium on Circuits and Systems（ISCAS2003）

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

電流モード AD 変換器

熊本大学工学部　　佐々木 守



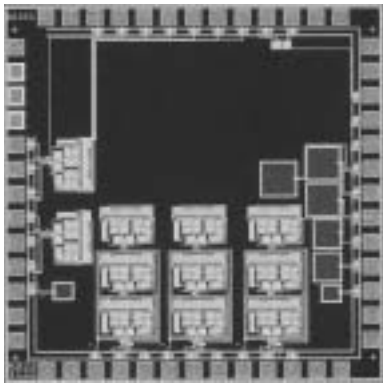
概要：電流モードアナログ信号処理による逐次比較形 AD 変換器は，ディジタル CMOS 製造プロセスで実現でき，小面積化，低消費電力化の利点がある．また，サンプルホールド機能を実現する電流メモリ回路を AB 級動作させることによって，クロックフィードスルーや素子雑音の影響を低減することができる．本試作は，先に報告した AB 級動作電流メモリを基本回路とした逐次比較形 AD 変換器［1］のリワークである．精度を補償するため，1.5 ビット変換アルゴリズムを採用して，比較器の精度要求を緩和している．前回同様に，制御回路部は，スタンダードセルによって実現した．また，ディジタル回路からの基板雑音を抑えるため，アナログ回路との間にガード・バンドを設けている．現在，測定評価中である．

参考文献：［1］中北，佐々木，“ 電流モードアナログ回路の IC 試作と評価 ”，pp. 23-30，信学技報，ICD Vol. 101，No. 281（2001）.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

移動度の変化の影響を低減した OTA を用いた Gm-C フィルタの試作

東京理科大学理工学研究科　　藤井 隼人
東京理科大学理工学部　　兵庫 明，関根 慶太郎



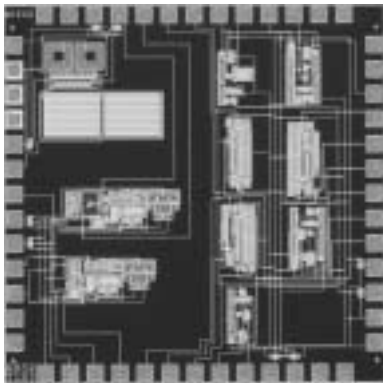
概要：移動度の変化の影響を低減した OTA（Operational Transconductance Amplifier）を用いて遮断周波数 1MHz, 7 次のバターワース特性のローパスフィルタの試作を行った．チャネル長の短い MOSFET を用いてゲート端子で電流を制御する飽和領域動作の OTA を構成する場合，ショートチャネル効果による移動度の変化の影響を大きく受けてしまい，歪みの発生が問題となってしまう．試作した OTA は，ゲート端子の電圧を一定にして，ドレイン端子で電流の制御を行うことで，ショートチャネル効果による移動度の変化の影響を低減する構成となっている．

参考文献：［1］Eitake Ibaragi, Akira Hyogo and Keitaro Sekine, “A 1-MHz 7th-Order Continuous-Time Lowpass Filter Using very Low Distortion CMOS OTAs”, Proc. IEEE Int. Symp. Circuits and Systems, （2000）, pp. 569-572.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

LV/LP CMOS コンポジットセルと VCO の試作

東京理科大学理工学研究科　　赤峰 旭，大山 聡一朗，本間 寛忠，山口 誠
東京理科大学理工学部　　兵庫 明，関根 慶太郎



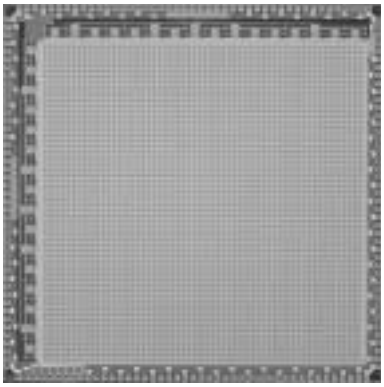
概要：本研究室で研究を行っているアナログ集積回路ブロックとして，LV/LP CMOS コンポジットセルと VCO，また，特性測定用として 2 段 CMOS OP アンプの試作を行った．(1) LV/LP CMOS コンポジットセル：文献［1］で提案されている 8 種類の LV/LP（低電圧 / 低消　費電力）CMOS コンポジットセルの性能比較を行うために試作を行った．電源電圧は 3V で動作可能である．(2)VCO: スパイラルインダクタと MOS の寄生容量を用いた電圧制御発振回路の性能評価を目的とし，発振周波数が 160MHz となるようにスパイラルインダクタの値を 50nH に設定した．

参考文献：［1］A. Hyogo, C. Hwang, M. Ismail, “LV/LP CMOS Square-Law Composite Transistor for Analog VLSI Applications”, IEEJ, 1st Analog VLSI Workshop proceeding, ECT-97-59, May 1997

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

96 × 96 画素三相時間相関イメージセンサ

東京大学大学院情報理工学系研究科　　安藤 繁
大阪電気通信大学総合情報学部　　来海 暁



概要：我々は，時間軸を利用した高度な画像センシング手法の開拓を目的として，入射光強度と各画素共通の外部参照信号との時間相関を画像として出力するデバイスである，時間相関イメージセンサの開発を続けている．最近では振幅位相の 1 フレーム同時復調の可能な三相相関型画素に特に重点を置いて開発に取り組んでいる．本試作では，すでに良好な性能の得られている三相相関型画素［1］を高密度化の容易な Rohm 0.35um プロセスにおいて初めて集積化することを試み，ほぼ限界までの 96 × 96 画素の集積化を行った．同じランの 128 × 128 画素単相相関チップと同じく，乗算用 NMOS 対と pn 接合フォトダイオードの基本的構成を踏襲しつつ，相関演算のための積分キャパシタを PMOS ゲート容量［1］により構成した．動作検証実験により基本的な動作を確認している．

参考文献：［1］来海，安藤，“ 三相時間相関イメージセンサ ”，pp. 91，2001 年 VDEC 年報（2001）

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 7.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

64 × 64 画素三相時間相関イメージセンサ（第 2 報）

東京大学大学院情報理工学系研究科　　安藤 繁
大阪電気通信大学総合情報学部　　来海 暁

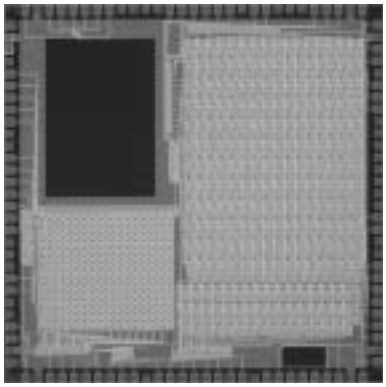
概要：我々は，時間軸を利用した高度な画像センシング手法の開拓を目的として，入射光強度と各画素共通の外部参照信号との時間相関を画像として出力するデバイスである，時間相関イメージセンサの開発を続けている．最近では振幅位相の 1 フレーム同時復調が可能で応用範囲の広い三相相関型画素に特に重点を置いて開発に取り組んでいる．本試作では，MOT01-1 ランにおける 64 × 64 画素三相相関チップ［1］のダイナミックレンジ拡大その他の性能向上を目的として，乗算用 NMOS 対と pn 接合フォトダイオードの基本的構成を踏襲しつつ，相関演算のための積分キャパシタを新たに PMOS ゲート容量により構成した．動作検証実験により良好な性能を確認しており，画像センシングへの応用も進めている．

参考文献：［1］五嶋，安藤，来海，“ 64 × 64 画素三相時間相関イメージセンサ ”，2002 年 VDEC 年報（2002）

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 7.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

ラプラシアンフィルタリングを用いた動きベクトル検出 CMOS イメージセンサの設計

広島市立大学大学院情報科学研究科　　中村 陽介，吉本 卓己，堀居 賢樹

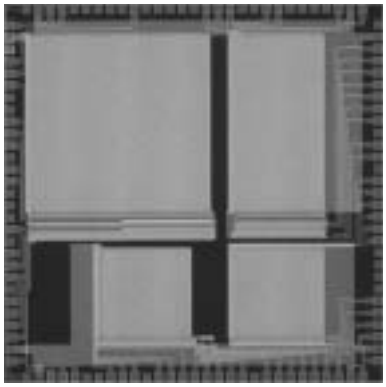


概要：我々はラプラシアンフィルタリング処理とブロックマッチング処理を組み合わせ，被写体中の動きを検出して，動きベクトルと画像を出力できるイメージセンサの試作を行った．試作したイメージセンサは従来の動きベクトル検出イメージセンサに比べ，演算回路を小規模で構成でき，解像度を上げることができる．このチップは画素回路，閾値処理回路，メモリ回路，動きベクトル検出回路の 4 つの基本回路により構成される．画素回路内で電流演算器を用いてラプラシアンフィルタリング処理を行い，続く閾値処理回路によって生成されるエッジ情報を基にブロックマッチングを行う．ブロックマッチング処理を行うためのメモリ回路内での探索をメモリの多段同時読み出し方法を用いて，並列に処理する．試作が完了したチップを評価した結果，各基本回路については使用通りの動作が得られていることを確認したが，回路全体の動作は未評価.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm 角　**チップ種別**：イメージセンサ / スマートセンサ

ノイズ抑制機能評価用チップの設計

広島市立大学情報科学部　　小川 尚嗣，堀居 賢樹



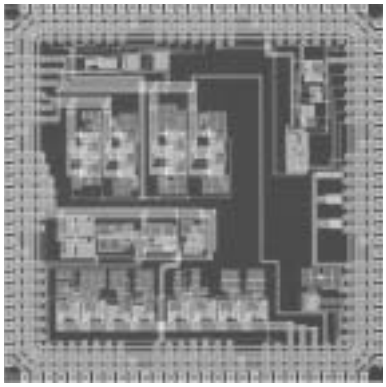
概要：画素で信号増幅する CMOS イメージセンサでは，各画素の増幅ばらつきによる固定パターンノイズ（FPN）を抑制する必要がある．このチップは画素回路にそれぞれ，相関 2 重サンプリング（CDS）回路を列ごとに設けた場合，出力段に CDS 回路を設けた場合，T 方式ノイズ抑制回路を設けた場合［1］の仕様の異なる 3 つのノイズ抑制回路を組み込み，それぞれのノイズ抑制機能を評価する．今回の試作チップでは，ノイズ抑制機能を通さず出力する画素回路とともに，3 つのノイズ抑制回路を含む画素回路をそれぞれ 64 × 32 画素又は 32 × 32 画素の画素数で構成した．試作したチップの測定について，回路の特性の詳細については未評価.

参考文献：松長誠之，中村信男，“ 高感度 CMOS イメージセンサの開発 ”，映像情報メディア学会誌 Vol. 54，No. 2，pp216-223

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm 角　**チップ種別**：イメージセンサ / スマートセンサ

MOS 構成に適したアナログ形 PLL の試作（1）

秋田大学工学資源学部　　川元 雅紀，佐藤 紀章，伊藤 文人，井上 浩



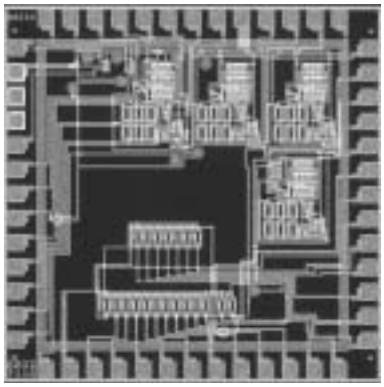
概要：近年，ディジタル通信の発展と LSI の高性能化の要求に伴い，ディジタル形の PLL 回路を利用した機能集積回路が増えてきた．しかし，ディジタル形 PLL に対し，アナログ形 PLL の利点を生かしながらも大幅な回路の簡単化が可能となる新しい回路構成を考案することが必要となった．本試作 IC では，従来必要とされてきた回路ブロックを用いない PLL 回路を構成することができ，回路全体の LSI 化が容易になると考えられ，回路構成を設計・試作した．試作した IC は，アナログ形 PLL の全体回路を構成する個別回路ブロック及びそのテスト回路と，個別ブロックに含まれる基本回路，ならびに回路内に用いられる諸抵抗及び諸容量の特性評価回路で構成している［1］.

参考文献：［1］佐藤，川元，伊藤，井上，“ IC 内 RC 素子の性能評価の一方法 ”，電子情報通信学会，機構デバイス研究会，EMD2002-48，Sep. 2002

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

高精度 CMOS 定電圧回路

富山県立大学大学院工学研究科　　金森 章，松田 敏弘，岩田 栄之
岡山県立大学情報工学部　　大曽根 隆志

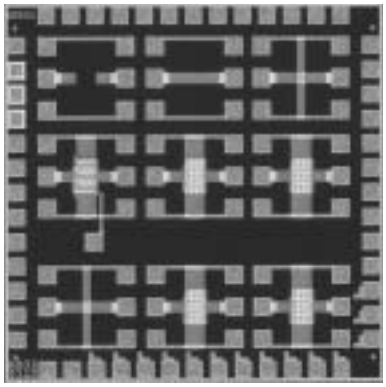


概要：近年，電子機器の小型化に伴いデジタル回路とアナログ回路を混載した LSI の必要性が高まっており，とくにアナログ回路では高精度の基準電圧が必要である．本試作チップでは定電圧回路（基準電圧発生回路）を CMOS デバイスで実現した．所定の電源電圧および温度範囲で出力電圧の変動が 0.10%以下であることを目標としている．回路構成はバンドギャップリファレンスの原理を応用しており，低消費電力化も同時に実現している．前回の回路で配置したドレイン / ソース間電圧補正用トランジスタのゲートの接続方法を変更することで，さらに高精度な出力電圧を得ることができた．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

MOSFET の高周波特性測定用 TEG の設計

富山県立大学大学院工学研究科　　麻生 啓太，松田 敏弘，岩田 栄之
岡山県立大学情報工学部　　大曽根 隆志

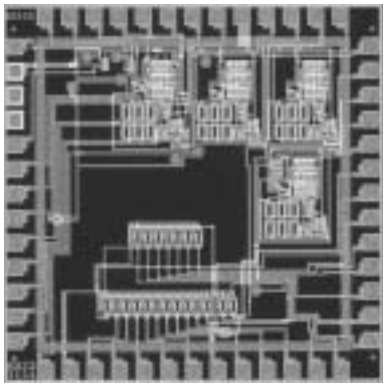


概要：最近の電子機器は，高機能化，データ処理速度の高速化によって，より高周波領域の信号処理が要求されている．それに伴い，本チップは数 GHz までの MOSFET の高周波特性を測定することを目的とし設計したものである．チップ上には W/L のサイズの違いによる特性を検討するため，異なるサイズの P 型，N 型それぞれの MOSFET を 7 つ配置している．MOSFET の端子には内部パッドをそれぞれ設け，測定時には GSG 方式のプローブ針を直接チップに接触させて行えるようになっている．また内部パッドを同様の配置で MOSFET を配置せず，パッド同士の配線を解放したもの，短絡したものをそれぞれ配置している．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

高精度 CMOS 定電圧回路

富山県立大学大学院工学研究科　　金森 章，松田 敏弘，岩田 栄之
岡山県立大学情報工学部　　大曽根 隆志

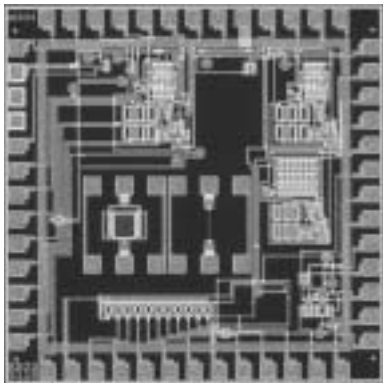


概要：近年，電子機器の小型化に伴いデジタル回路とアナログ回路を混載した LSI の必要性が高まっており，とくにアナログ回路では高精度の基準電圧が必要である．本試作チップでは定電圧回路（基準電圧発生回路）を CMOS デバイスで実現した．所定の電源電圧および温度範囲で出力電圧の変動が 0.10%以下であることを目標としている．回路構成はバンドギャップリファレンスの原理を応用しており，低消費電力化も同時に実現している．前回の回路で配置したドレイン / ソース間電圧補正用トランジスタのゲートの接続方法を変更することで，さらに高精度な出力電圧を得ることができた．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

高精度 CMOS 定電圧回路

富山県立大学大学院工学研究科　金森 章，松田 敏弘，岩田 栄之
岡山県立大学情報工学部　大曽根 隆志

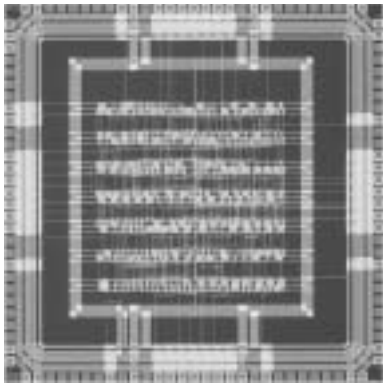


概要：デジタル回路とアナログ回路を混載した LSI の必要性が高まっており，とくにアナログ回路では高精度の基準電圧が必要である．本試作チップでは定電圧回路（基準電圧発生回路）を CMOS デバイスで実現した．所定の電源電圧および温度範囲で出力電圧の変動が 0.10%以下であることを目標としている．回路構成はバンドギャップリファレンスの原理を応用しており，低消費電力化も同時に実現している．トランジスタのサイズを変更し，本回路内の電流レベルを従来の 2 倍にすることによって，外部のノイズの影響を受けにくくした．また，ドレイン / ソース間電圧補正用トランジスタのゲートの接続方法を変更することで，さらに高精度な出力電圧を得ることができた．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

C++ 言語を用いた教育用 4 ビット CPU の設計

広島工業大学工学部　大村 道郎，丸本 敬幸



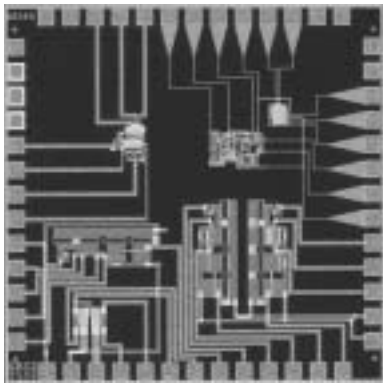
概要：VHDL や VerilogHDL に加えて，近年 C++ を用いたハードウェア設計が注目されている．特に ANSI 規格に基づく CycleC では基本的な C++ の文法と若干の知識だけで，簡単な回路の設計が可能である．通常，C++ クラスを用いて回路部品（ソフト IP）を記述すると，型の数だけクラス定義が必要となる．そこで CycleC を対象として，型に依存しないテンプレートを用いて回路部品を記述し，ライブラリを構成した．開発したテンプレートライブラリの有効性を確かめるために，教育用 4 ビット CPU を設計し，試作を行った．カウンタ，マルチプレクサ，レジスタ等のテンプレートを用いて試作した CPU は，“ LOAD ”，“ ADD ”，等，9 個の命令を持つ．

参考文献：大村，丸本，田中：“ LSI 設計教育のための C++ テンプレートライブラリの開発 ”，pp. 15-20，広島工業大学紀要教育編　第 1 巻（2002).

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm 角　**チップ種別**：マイクロプロセッサ

FG-MOS 可変論理回路・加算回路・カレントミラーおよび基本オペアンプ回路の試作

佐賀大学大学院工学系研究科　石川 洋平
佐賀大学理工学部　内田 正隆，森 裕樹，深井 澄夫



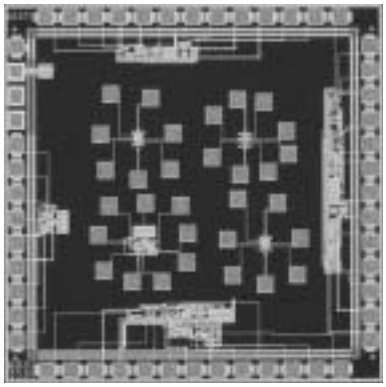
概要：本研究室では，FG-MOS を用いたアナログ・デジタル回路設計の研究を行っている．デジタル回路設計として（1）FG-MOS を利用した全加算回路（2）2 入力可変論理回路の試作を行った．（1）に関しては FG-MOS の有効性を比較検証するために，通常の CMOS 全加算回路の試作も行っている．（2）に関しては 3 入力・4 入力 FG-MOS インバータの二段構成回路を実現している．アナログ回路設計として（1）基本アナログ IP（オペアンプ）（2）FG-MOS カレントミラーの試作を行った．（1）に関しては通常の 3 段構成とし標準的なオペアンプとして設計を行った．(2)に関しては MOSFET の 2 次効果であるチャネル長変調効果の影響低減およびフローティングゲート初期電荷の影響を低減する構成を提案している．

参考文献：［1］Tadashi Shibata, Tadahiro Ohmi: “Neuron MOS Binary-Logic Integrated Circuits Part Ⅰ Part Ⅱ ”, IEEE Trans, Vol 40-NO3, MARCH（1993）

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

1 次連続時間ΔΣ変調器

上智大学理工学部　　増田 貴志，武井 一史，和保 孝夫



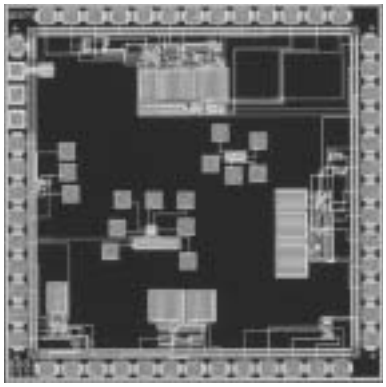
概要：連続時間ΔΣ変調器を用いることで広帯域・高分解能A/D変換器の実現が期待できる．本回路はそのための基本検討の一環として設計したもので，前回（平成13年度1回目オンセミ試作）の設計を基本としたが，今回は雑音耐性を高めるために全差動化を図るとともに，ガードリングの補強策を検討し，その結果を回路設計に反映させた．また，連続時間型ではアナログ的なフィードバックが直接入力信号に加わるため，フィードバック波形整形のためのD-F/Fを比較器の後段に付加したほか，フィードバック電流量の最適化を図りSNRの向上を狙った．設計したΔΣ変調器はCMFBを含む積分器，比較器，D-F/F，電流モード1ビットDAC，入力電圧電流変換回路からなり，試作チップには，ΔΣ変調器本体の他に，それぞれの要素回路動作確認のための個別TEGを搭載した．試作チップを測定した結果，ローパス型のノイズシェイピング特性が確認できた．また，測定結果のFourier解析から，OSRの増加に伴いSNRが9dB/octで増加し，入力周波数100 kHz，サンプリング周波数10MHzでSNR = 40.8dBが得られ，HSPICEシミュレーションとほぼ一致することが分かった．

参考文献：増田，武井，和保，“連続時間ΔΣ変調器の設計と試作”，2003年信学会総合大会A-1-19

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

スイッチトキャパシタΔΣ変調器と基本回路TEG

上智大学理工学部　　角田 正人，和保 孝夫



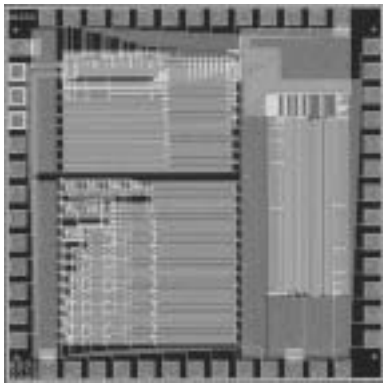
概要：前回試作したスイッチトキャパシタ積分器［1］に基づき離散時間型ΔΣ変調器を設計した．チップ上にはΔΣ変調器のほか，その基本回路ブロックであるコンパレータ，積分器，オペアンプ，DAC, D-F/Fを搭載し，個別回路動作確認を可能とした．ΔΣ変調器に関しては，HSPICEシミュレーションを用いて，スイッチ部分のL/W値，積分器容量値の最適化を行った．予測性能はサンプリング周波数2.56MHz, OSR = 128でSNR = 62.9dBである．試作チップ上のオペアンプを測定したところ，SPICEシミュレーション値（60.5dB）に近い58.9dBのdcゲインが確認できた．また，コンパレータ，積分器の動作確認ができたが，コンパレータには僅かだがオフセットが見られた．今後は素子ばらつきデータを含めた設計が必要である．

参考文献：［1］角田，和保，“スイッチトキャパシタ積分器の設計”，p. 61，2002年VDEC年報（2002).

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

CMOSスイッチの抵抗を利用したシナプス回路

電気通信大学電気通信学部　　範（PHAM）公可（Cong-Kha）



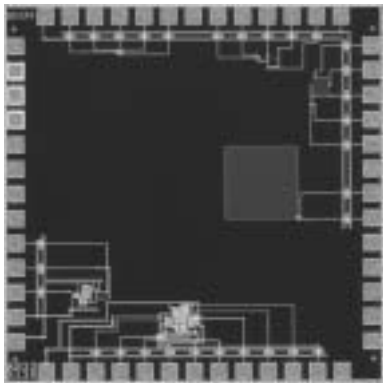
概要：CMOSインバータ回路を並列に接続させ，それぞれのインバータを構成しているPMOS及びNMOSトランジスタのチャンネル形状（W／L）を用いて重み値を決めている．それぞれのインバータ入力にはハイレベル又はローレベルのディジタル信号を入力させ，インバータを構成しているトランジスタをオン又はオフ状態として動作させている．この時，オンの状態で動作しているトランジスタのチャンネルのオン抵抗とスイッチの組合せで，電源とグランドの間に電圧が分割され，設定されている重み値に対応する電圧レベルが出力端子より得られる．ゲートとソースには固定の電圧レベルが与えられているため，トランジスタのオン抵抗値はドレイン電圧レベルによって決まることが分かる．しかし，トランジスタのドレイン端子は出力端子としているため，常時に一定の電圧レベルが保っていなくオン抵抗値を変化させてしまう．今回提案した新しい回路にCMOSスイッチのオン抵抗を利用し一定の抵抗値を実現することが可能であることが分かった．

参考文献：［1］C-K. Pham, “Implemetation of a Novel CMOS Synapses Circuit”, Journal Signal Processing, vol. 7, no. 1, pp. 111-116, Jan. 2003.

設計期間：1人月以上，2人月未満　**設計ツール**：Avanti社 Star-HSPICE　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

アナログ信号処理の構成要素

豊橋技術科学大学大学院工学研究科　大竹 光也
豊橋技術科学大学工学部　北野 麻世，橋本 純明，和田 和千



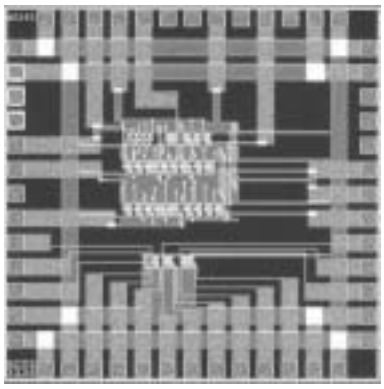
概要：アナログ線形信号処理の実現において，基本構成要素として演算増幅回路や Operational Transconductance Amplifier（OTA）が用いられることが多い．初学者の基本的な設計の習得テーマとしてこれらの要素回路を取り上げ，回路構造の選択，素子値設計，レイアウトを行なった．演算増幅回路は，電源電圧を3V とし，汎用性を重視した設計を行っている．一方，OTA は，同電圧のもとで，1MChips/s の信号に対するルートナイキストフィルタへの応用を目的として，バランスの取れた特性となるように設計している．シミュレーションにより，OTA はダイナミックレンジがやや狭いものの，フィルタを構成できることを確認している．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

平成 14 年度　第 1 回　オンセミコンダクタ CMOS1.2μm　チップ試作
（MOT021）

基本的なディジタル回路の試作教育システムの開発

広島工業大学工学部　　福原 領平，水野 議一朗，田中 武

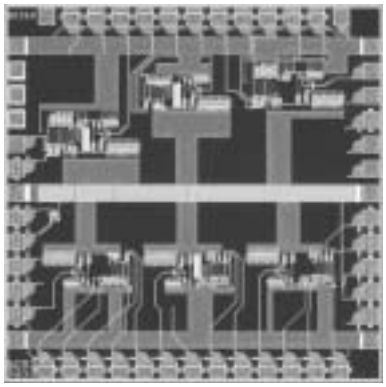


概要：はじめに：今回はディジタル回路の試作教育システムの開発一環として，初めに 4 入力 1 出力のカルノー図を作成し，引き続き論理回路図の作成および動作検証を行なった．更に出力数を増加した 4 入力 7 出力の BCD-7 segment Decoder の論理回路を作った．今回はデバイス構造と半導体プロセスを理解することを考慮して，デバイス構造を理解しやすいレイアウト設計を用いて，NAND，NOT により設計を行なった．この設計を通して簡単なシステムをチップ化する流れを理解することを目的に，カルノー図からレイアウト設計を行ない最終的に BCD-7 segment Decoder の試作を行った．試作したチップ：最初に BCD-7 segment Decoder の論理回路から CMOS を用いた電子回路への変換を行なった．この電子回路は，2 入力 1 出力 NAND, 3 入力 1 出力 NAND, 4 入力 1 出力 NAND を基に構成されています．これらを基本素子として 25 個用いて，BCD-7 segment Decoder の設計を行なった．そして，BCD-7 segment Decoder の動作を確認した．

設計期間：1 人月以上, 2 人月未満　**設計ツール**：SII 社 SX9000, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

オペアンプの試作

熊本大学工学部　　井上 高宏，常田 明夫，針木 剛

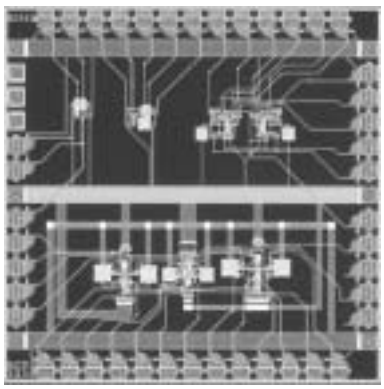


概要：近年の情報化社会を支える技術の 1 つである LSI 設計の教育が大学でも活発に行われている．LSI も多様化，多機能化しており規模もますます大きくなる傾向にあるため，設計にかかる時間や労力も増す傾向にある．回路設計では比較的使用頻度の高い素子であるオペアンプの設計データや CAD 図面があらかじめ準備されていたなら，それを利用することで設計に要する負荷を軽減させることが可能となる．本チップ試作はオペアンプを設計から試作評価まで行い，そのデータを提供することで設計しやすい環境をつくるための教育支援を目的としている．本チップ試作においてオペアンプは CMOS で構成し，標準のタイプ，位相補償のコンデンサと抵抗を外部接続としたタイプ，入力の差動回路の MOS トランジスタをコモンセントロイドで配置したタイプを準備した．外部接続としたタイプを用いて適正なコンデンサと抵抗の値を調査し，コモンセントロイドのタイプを用いてプロセスによるばらつきへの影響を調査する．

設計期間：1 人月以上, 2 人月未満　**設計ツール**：magic, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上, 100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：演算回路（乗算器，除算器など）

FG-MOSFET のみかけのしきい電圧のオートチューニング回路の試作

熊本大学工学部　　井上 高宏，山川 俊貴
熊本大学大学院自然科学研究科　　市原 栄蔵



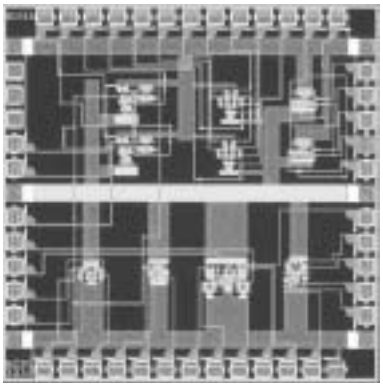
概要：Floating-Gate MOSFET（FG-MOSFET）は「みかけのしきい電圧」を線形に制御できる素子であるが，製造過程においてその浮遊ゲートに予測不可能な電荷が入り込んでしまい，その電荷の影響を受けて「みかけのしきい電圧」が期待した値からずれるという問題をもっている．そこで今回のチップには，その電荷の影響を受けずに制御電圧と制御電流によって「みかけのしきい電圧」を任意にチューニングできる回路を 2 種類載せた．これらは，個別のテスト回路を同一チップ上に相乗りさせたもので，全体としてシステムの構築を目指したものではなく，各機能回路において FG-MOSFET が所望の動作や特性を実現しているかを確認することを主目的として試作したものである．

参考文献：井上，市原，山川，飯尾，“ 第 17 回熊本県産学官技術交流会講演論文集 ”，P220，2003

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

CMOS 電子可変浮遊抵抗回路の試作

熊本大学工学部　井上 高宏，常田 明夫，萩原 祐一
熊本大学大学院自然科学研究科　飯尾 義徳



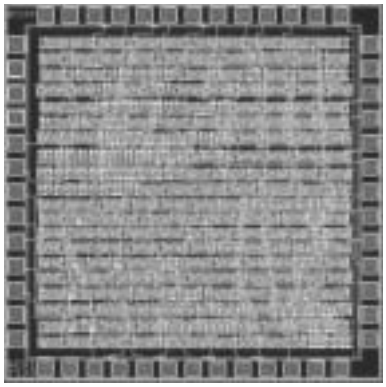
概要：本チップには，浮遊電圧源と抵抗を一体化した回路を5種類作り込んだ．このチップに作り込んだある浮遊抵抗回路の動作原理は，cross-coupled OTA pair に基づいており，それをデプレッション型 MOSFET を cross-couple することで実現し，さらにデプレッション型 MOSFET を MOSFET と浮遊電圧源で構成される等価デプレッション型 MOSFET に置き換えることで標準的な CMOS プロセスでの製作を実現している．このチップは，各回路が電源電圧 3.3V のもとで所望の可変抵抗特性をもつことを確認すること，及びシミュレーション結果と実験結果との照合を行うことを目的として試作した．

参考文献：[1] P. R. グレイ／R. G. メイヤー，“ アナログ集積回路設計技術　上下 ”1990 年

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

埋め込み型機能的電気刺激用カスタム IC

埼玉大学工学部　高橋 誠，高橋 幸郎

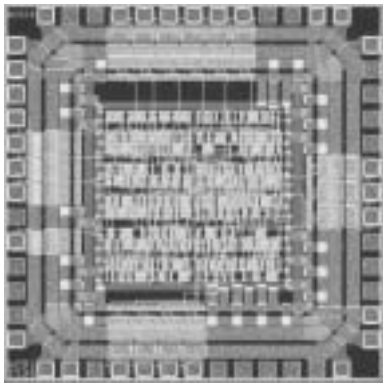


概要：機能的電気刺激（FES）のためのカスタム集積回路の開発を行っている．このために小型化，低消費力化をめざし，デジタル回路およびアナログ回路のワンチップ化を目指す．ここでは，デジタル部に関してのみ設計を行った．動作機能は，1MHz の RF バーストシリアル信号をパラレル信号に復調し，クロック生成，誤り訂正，返送信号を出力する．動作モードに応じて刺激，動作チェック，内部情報返送機能を行う．データはチャンネル，振幅情報，パリティチェックからなるパケット伝送方式を採用している．刺激は刺激電極情報から選択用アナログスイッチを通して，振幅情報に応じた刺激電圧を D/A コンバータを介して行われる．電極断線，電源電圧低下などの異常時には，刺激停止と共に，その情報が体外コントロールに返送される．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナデジ混載

ストップウォッチ

九州大学工学部　金川 典史

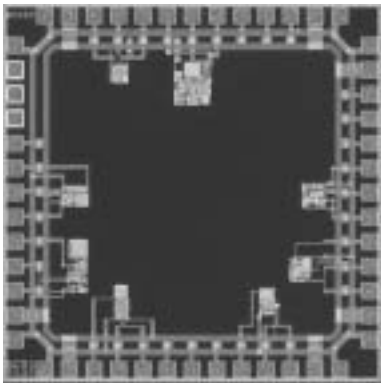


概要：今回作成したチップは，学部4年で受講する VLSI 工学において設計したものである．この講義では最先端の CAD ツールを用いて小規模な回路の Top-Down 設計を体験する．講義で設計したストップウォッチは，キー入力部・コントロール部・カウンタ部・クロック発生部・表示部から成っている．1/100 秒精度のカウントと表示を行う（内部計算誤差は 1/1000 秒以下）．スタート / ストップ及びリセットはキー入力部で信号に変換され各部に送られる．1kHz の外部クロックよりクロック発生部においてカウンタ部で使用する 100Hz のクロックとキー入力部でのチャタリング除去に使用する 25Hz のクロックを発生させる．カウンタ部では 10 進カウンタ及び 6 進カウンタを用いてそれぞれの桁のカウントを行う．カウントされた各桁の信号は表示部において 7 セグメント LED（ダイナミック駆動）への信号に変換される．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

演算増幅器の試作

東京工業大学集積システム専攻　　高木 茂孝

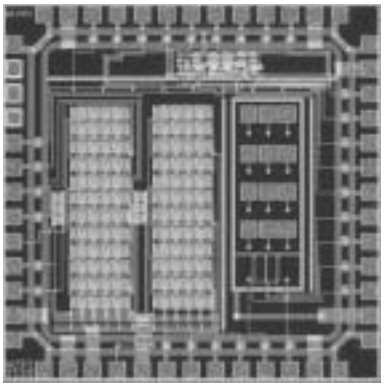


概要：本チップでは，アナログ集積回路の汎用能動素子である演算増幅器の設計を通じてアナログ集積回路の基礎技術の習得することを目的とし，学部 4 年生や修士 1 年生が自ら設計し，レイアウトした演算増幅器の試作を行っている．本チップでは，8 種類の演算増幅器を試作した．回路構成としては，基本的な差動対とソース接地増幅回路による構成やフォールディッドカスコード型の 1 段増幅による構成などがある．GB 積が約 5MHz の演算増幅器が得られている．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

ディジタル基板雑音の測定

東京工業大学集積システム専攻　　高木 茂孝

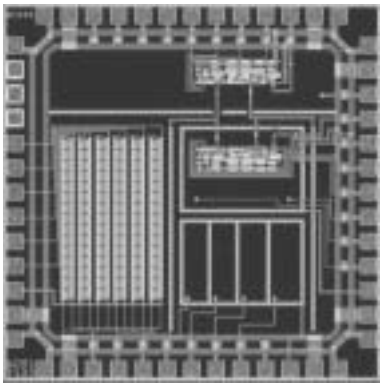


概要：アナログ・ディジタル混載システムでは，ディジタル回路のスイッチング動作によって発生する雑音により接地電位が変動し，アナログ回路の性能を著しく劣化させる．そこで，本チップでは，実際に，どの程度の規模のディジタル回路によってどの程度の雑音がアナログ回路に発生するかを確かめるために，独立に動作するリングオシレータを 2 個と，ガードリング内に複数の MOS トランジスタを作成し，MOS トランジスタの電流が測定できるようにしている．MOS トランジスタをガードリング内の様々な場所に配置しており，ガードリング内の位置の違いによる雑音の大きさの違いもわかる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナデジ混載

基板雑音低減回路の配置の検討

東京工業大学集積システム　　高木 茂孝



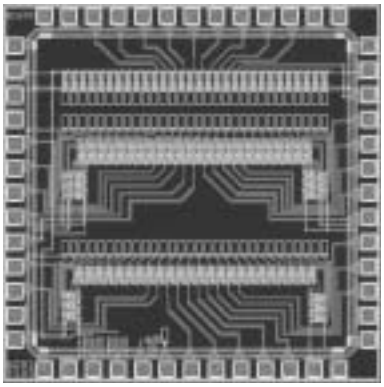
概要：アナログ・ディジタル混載システムでは，ディジタル回路のスイッチング動作によって発生する雑音により接地電位が変動し，アナログ回路の性能を著しく劣化させる．

本チップは，基板からの雑音を低減させるための基板雑音低減回路の配置の違いによる雑音低減効果の相違を確認することを目的としている．具体的には，ガードリングの内側と外側に 2 個の雑音低減回路を配置し，一方のみを動作させて，その効果の違いを確認することができる．雑音源として大出力 VCO や大電流 VCO も試作している．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナデジ混載

フィードバック機構を有するエッジ検出アナログ回路の試作

豊橋技術科学大学工学部　Amal Bandula Kariyawasam，米津 宏雄



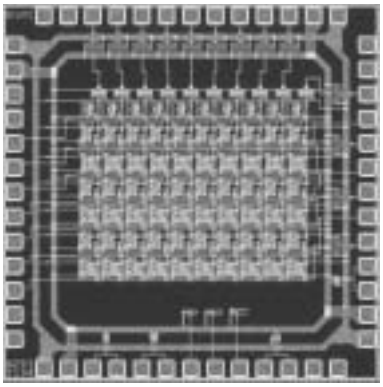
概要：網膜は，視細胞，水平細胞，そして双極細胞により，視覚対象のエッジ情報を検出していると考えられている．我々は，これまでに網膜の視覚情報処理機構に学び，エッジ検出アナログ回路の提案とその集積回路化を試みてきた［1］．しかし，これまで考案してきたエッジ検出回路は素子特性のばらつきにより誤動作が生じるといった問題点があった．網膜の各神経細胞で生成された信号にもばらつきは生じている．しかし，網膜では水平細胞から視細胞層へのフィードバック機構があり，これにより，安定に動作する．今回の試作では，フィードバック機構を導入したエッジ検出回路を設計し，その動作を検証することを目的とした．

参考文献：［1］宮下，大谷，高崎，山田，西尾，米津：“ 局所的な明暗順応機能を有するエッジ検出機構の集積回路化信学技報 ”，Vol. 99，No. 686，pp. 213-220，2000.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

一次元エッジ検出回路とその基本回路の TEG の試作

豊橋技術科学大学工学部　澤 伸也，米津 宏雄



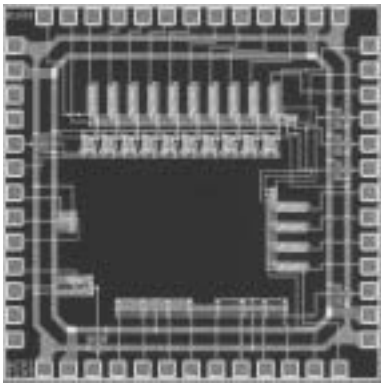
概要：我々は，網膜の視覚情報処理に学び，物体の輪郭を検出するエッジ検出ネットワークの提案とその集積回路化を試みてきた．このネットワークは，視覚対象の広範囲にわたる入力光強度に対して，各画素の回路パラメータを自動的に適応させ，広ダイナミックレンジを実現することができる［1］．今回の試作では，一次元に 10 画素配列したエッジ検出回路とを構成し，その動作を確認することを目的とした．また，エッジ検出回路の構成要素であるカレントミラー回路およびフォトダイオードの TEG を作成し，これらの基本動作の確認を行う．

参考文献：［1］宮下，大谷，高崎，山田，西尾，米津：“ 局所的な明暗順応機能を有するエッジ検出機構の集積回路化 ”，信学技報，Vol. 99，No. 686，pp. 213-220，2000.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

シフトレジスタを組み込んだ一次元エッジ検出回路の試作

豊橋技術科学大学工学部　澤 伸也，米津 宏雄



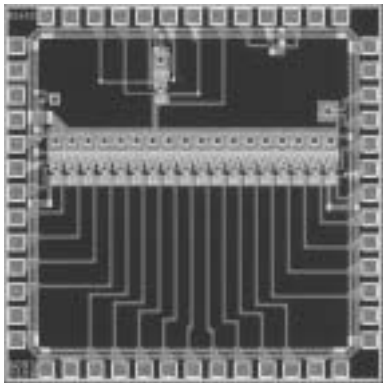
概要：我々は，網膜の視覚情報処理に学び，物体の輪郭を検出するエッジ検出ネットワークの提案とその集積回路化を試みてきた．このネットワークは，視覚対象の広範囲にわたる入力光強度に対して，各画素の回路パラメータを自動的に適応させ，広ダイナミックレンジを実現することができる［1］．現在，我々は，このネットワークの出力信号を外部に取り出すため，シフトレジスタによるデータのサンプリングを検討している．そこで，今回，シフトレジスタによって信号の取り出しを行う一次元エッジ検出回路を試作した．

参考文献：［1］宮下，大谷，高崎，山田，西尾，米津：“ 局所的な明暗順応機能を有するエッジ検出機構の集積回路化 ”，信学技報，Vol. 99，No. 686，pp. 213-220，2000.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

生体の網膜に学んだエッジ検出回路の試作

豊橋技術科学大学工学部　　澤 伸也，米津 宏雄



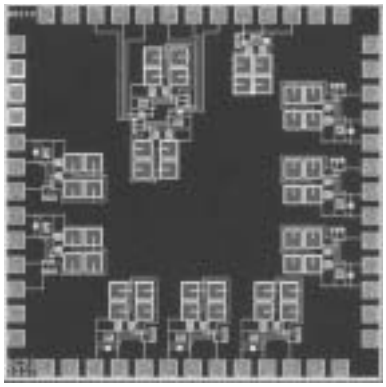
概要：我々は，網膜の視覚情報処理に学び，物体の輪郭を検出するエッジ検出ネットワークの提案とその集積回路化を試みてきた．このネットワークは，視覚対象の広範囲にわたる入力光強度に対して，各画素の回路パラメータを自動的に適応させ，広ダイナミックレンジを実現することができる［1］．さらに，回路の入力段にフィードバック機構を取り入れることで，素子特性のバラツキによる誤動作を軽減できると考えられる．今回の試作では，一次元網膜ネットワークを構成し，その動作を確認することを目的とした．

参考文献：［1］宮下，大谷，高崎，山田，西尾，米津：“ 局所的な明暗順応機能を有するエッジ検出機構の集積回路化 ”，信学技報，Vol. 99，No. 686，pp. 213-220，2000.

設計期間：0.1 人 月 以 上，0.5 人 月 未 満　**設計 ツ ー ル**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

非同期ニューラルネットワーク用パルス形ニューロンモデルの試作

日本大学理工学部電子情報工学科　　齊藤 健，佐伯 勝敏，関根 好文

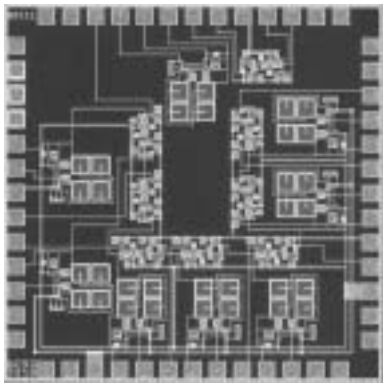


概要：脳内に存在するニューラルネットワークをモデル化する研究がなされており，アナログ回路方式でニューロンチップを実現するという試みが行われている．我々は，工学的な応用を目指して，非同期ニューラルネットワークを構成するために，なるべく小面積となるパルス形ニューロンモデルをエンハンスメント形 MOSFET とコンデンサを用い構成した．このモデルは，電圧制御型負性抵抗特性を有し，膜容量に相当するコンデンサ，漏れ抵抗に相当する MOS 抵抗で構成しており，今回，ケーデンスのアナログ回路設計ツールを用いて試作を行った．また，パルス形ニューロンモデルの特性のばらつきに対する検討を行った．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：ニューテクノロジ

シナプス回路の試作

日本大学理工学部電子情報工学科　　泉妻 まり子，野木 達彌，佐伯 勝敏，関根 好文

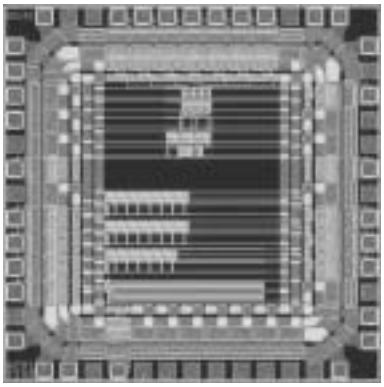


概要：脳内における情報の伝達はパルス信号により行われており，シナプス部により時空間加算が行われ，その特徴を有するシナプスモデルに対する研究が行われている．今　回，エンハンスメント形 MOSFET とコンデンサにより，IC 化可能な容量結合形のシナプス回路を提案している．この回路は，我々が提案しているパルス形ニューロンモデルからのパルス出力信号を容量結合で空間的に電圧加算した後，差動対回路に容量，MOS 抵抗を付加して構成した回路により時間的に加算する．この回路をなるべく小面積で，安定して時空間加算を行う回路構成として，ケーデンスのアナログ回路設計ツールを用いて，試作を行った．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：ニューテクノロジ

3bit 8 進カウンタを用いた電子ルーレット

広島市立大学情報科学部　五島 正之，増田 憲行，村上 直義，越智 裕之，窪田 昌史，児島 彰，寺内 衛



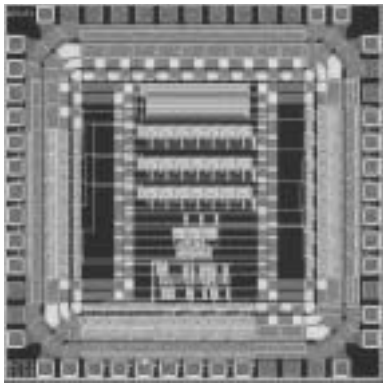
概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 3 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，8 個の LED を順に 1 個ずつ繰り返し点滅するものであり，回路は，リングオシレータ，分周器，8 進バイナリカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=10μm :10μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満

試作ラン：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

2 進数 3 ビットカウンタのナイトライダー

広島市立大学情報科学部　角井 希行，山形 信博，中島 彰信，越智 裕之，窪田 昌史，児島 彰，寺内 衛



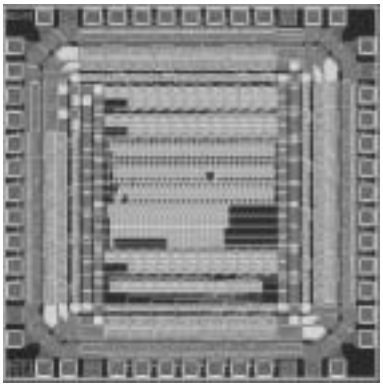
概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 3 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，「ナイトライダー」のように LED を点滅させるものであり，回路は，リングオシレータ，分周器，6 進 3 ビットカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=20μm : 10μm のインバータの遅延時間を測定することができる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満

試作ラン：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

ランダム信号を組み込んだ切換え式クリスマスツリーの電飾

広島市立大学情報科学部　浅野 歩，今村 梨津子，河上 弘嗣，五味 良昭，越智 裕之，窪田 昌史，児島 彰，寺内 衛

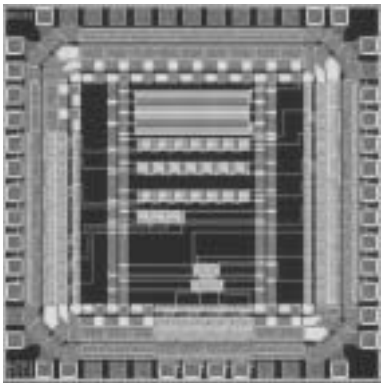


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，LED の点滅によりクリスマスツリーの電飾を実現するものであり，3 個の出力が互いに異なる周期で独立に点滅するモードと，線形帰還シフトレジスタ（LFSR）で発生されたランダムパタンに従って点滅するモードを備えている．回路は，周期の異なるリングオシレータ 3 個，分周器 3 個，LFSR 等から構成されている．リングオシレータ部を用いて，WP : WN=20 〜 80μm : 80μm のインバータの遅延時間を測定することができる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

3 ビットジョンソンカウンタを用いたナイトライダー

広島市立大学情報科学部　藤井 泰宏，蝋崎 和幸，城本 正尋，鈴木 圭介，越智 裕之，窪田 昌史，児島 彰，寺内 衛

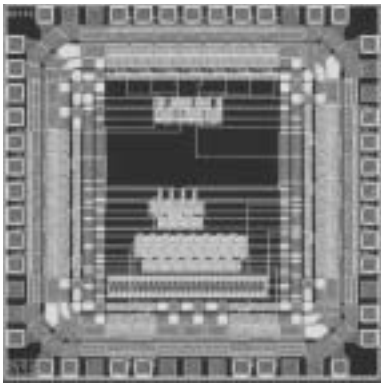


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，「ナイトライダー」のように LED を点滅させるものであり，回路は，リングオシレータ，分周器，3 ビットジョンソンカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=40μm : 10μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

2 進 4bit カウンタを使用した 7 セグ LED 表示付き 10 進カウンタ

広島市立大学情報科学部　浅生 宗隆，小田 亮太郎，助田 有教，瀬藤 潤，越智 裕之，窪田 昌史，児島 彰，寺内 衛

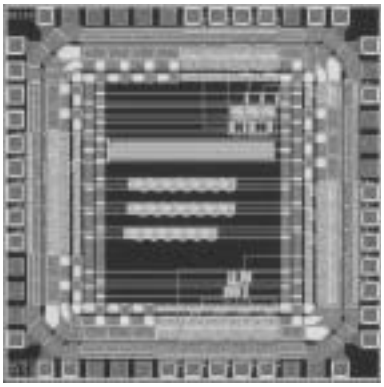


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，7 セグメント型 LED に 0 から 9 までを順に繰り返し表示するものであり，回路は，リングオシレータ，分周器，10 進バイナリカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=80μm : 10μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

3 ビットカウンタを用いた電子サイコロ

広島市立大学情報科学部　菊池 健司，鈴木 睦，中川 裕士，森山 敬介，越智 裕之，窪田 昌史，児島 彰，寺内 衛

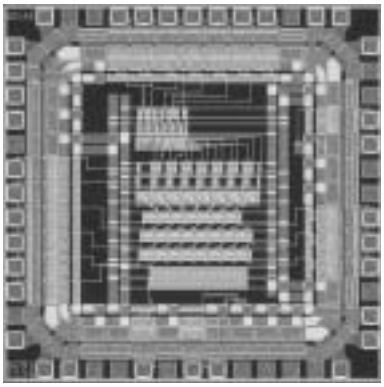


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，7 個の LED をサイコロの目に見立て，これを 1 から 6 まで繰り返し点滅するものであり，回路は，リングオシレータ，分周器，6 進バイナリカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=10μm : 20μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

8bit ジョンソンカウンタを用いた 7 セグ LED 表示付き 16 進カウンタ

広島市立大学情報科学部　市川 裕二，井上 寛康，中村 完，福田 健，越智 裕之，窪田 昌史，児島 彰，寺内 衛

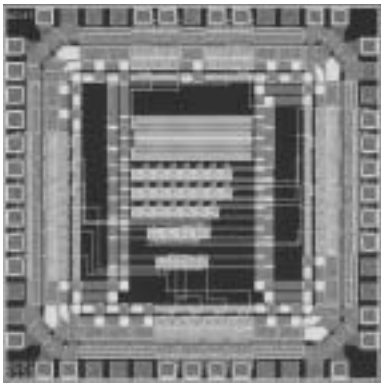


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，7 セグメント型 LED に 0 から F までを順に繰り返し表示するものであり，回路は，リングオシレータ，分周器，8bit ジョンソンカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=20μm : 20μm のインバータの遅延時間を測定することができる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

3 ビットジョンソンカウンタを用いた電子サイコロ

広島市立大学情報科学部　上原 健一，木室 潤一，栗栖 裕，鈴木 宏治，越智 裕之，窪田 昌史，児島 彰，寺内 衛

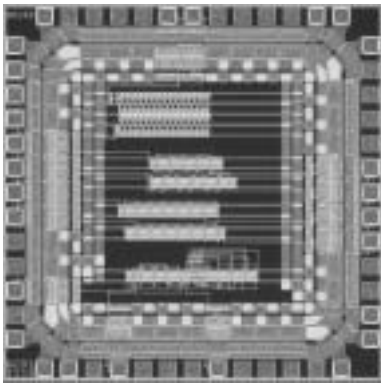


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，7 個の LED をサイコロの目に見立て，これを 1 から 6 まで繰り返し点滅するものであり，回路は，リングオシレータ，分周器，3 ビットジョンソンカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=40μm : 20μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

救急車のサイレン

広島市立大学情報科学部　斉藤 正嗣，中原 由憲，前田 志，三好 祐司，越智 裕之，窪田 昌史，児島 彰，寺内 衛

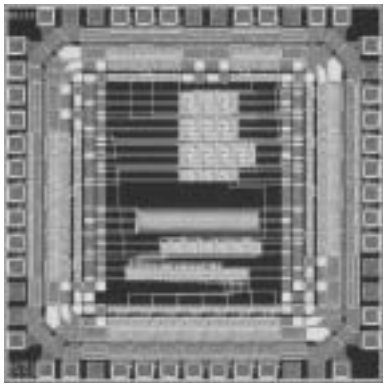


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，圧電スピーカで救急車のようなサイレン音を鳴らすものであり，回路は，リングオシレータ，音源用分周器，タイミング用分周器，および可変分周器から構成されている．リングオシレータ部を用いて，WP : WN=80μm : 20μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満
試作ラン：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

5bit ジョンソンカウンタを用いた 7 セグ LED 表示付き 10 進カウンタ

広島市立大学情報科学部　上野 直樹，北川 誠人，古殿 健太，宮道 敏広，越智 裕之，窪田 昌史，児島 彰，寺内 衛

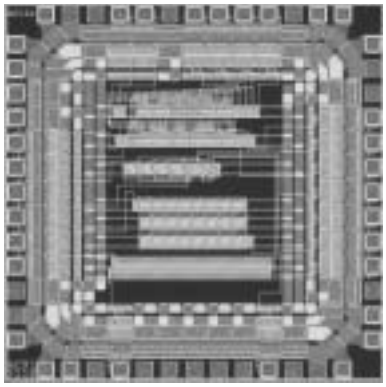


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，7 セグメント型 LED に 0 から 9 までを順に繰り返し表示するものであり，回路は，リングオシレータ，分周器，5bit ジョンソンカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=10μm : 40μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

7 セグ LED 表示付き 16 進 4bit カウンタ

広島市立大学情報科学部　小澤 亮，前田 哲宏，松浦 恭平，森本 陽介，越智 裕之，窪田 昌史，児島 彰，寺内 衛

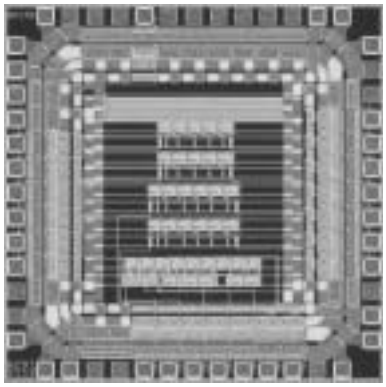


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，7 セグメント型 LED に 0 から F までを順に繰り返し表示するものであり，回路は，リングオシレータ，分周器，4bit バイナリカウンタ，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=20μm : 40μm のインバータの遅延時間を測定することができる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

かっこう

広島市立大学情報科学部　宇田 育絵，柴田 舞子，長谷川 貢，藤井 浩子，越智 裕之，窪田 昌史，児島 彰，寺内 衛

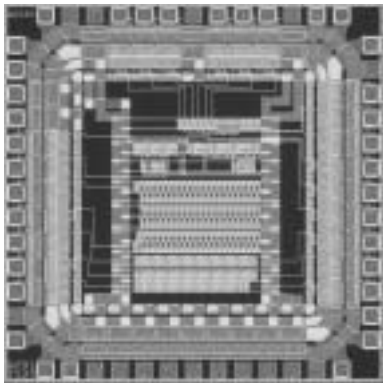


概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 4 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，圧電スピーカで「かっこう」の鳴き声のような音を鳴らすものであり，回路は，リングオシレータ，音源用分周器，タイミング用分周器，および鳴き声生成器から構成されている．リングオシレータ部を用いて，WP : WN=40μm : 40μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

連動する 2 基の信号機

広島市立大学情報科学部　中原 靖明，細江 由樹，吉井 康二，越智 裕之，窪田 昌史，児島 彰，寺内 衛



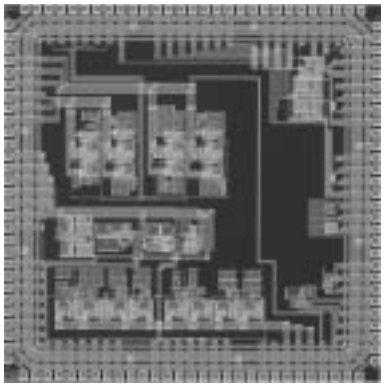
概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし，情報工学科 3 年生 3 名が，与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである．本チップは，3 色の LED2 組を交差点の信号機のように点滅させるものであり，回路は，リングオシレータ，分周器，タイミング生成回路，および LED 用デコーダから構成されている．リングオシレータ部を用いて，WP : WN=80μm : 40μm のインバータの遅延時間を測定することができる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, UCB 版 SPICE　**トランジスタ数**：1,000 以上，10,000 未満

試作ラン：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：その他

MOS 構成に適したアナログ形 PLL の試作（2）

秋田大学工学資源学部　川元 雅紀，佐藤 紀章，宮前 亨，伊藤 文人，井上 浩



概要：我々は，ディジタル形 PLL に対し，アナログ形 PLL の利点を生かしながらも大幅な回路の簡単化が可能となる新しい回路構成を提案してきた．CMOS プッシュプル回路を応用し，従来必要とされてきた分周器やチャージポンプ等を用いないアナログ形 PLL を構成することができ，回路全体の LSI 化が容易になると考えられる．提案したアナログ形 PLL の動作検証することを目的に LSI を設計・試作した．試作した回路は，アナログ形 PLL の全体回路とその個別回路ブロック及びテスト回路，個別ブロックに含まれる基本回路，および発振回路である．アナログ PLL の核となる CMOS プッシュプル回路は，設計プロセスに従い最適化して構成されている[1]．使用した回路素子は数 MHz 程度の周波数帯域を想定したため大きくなった．

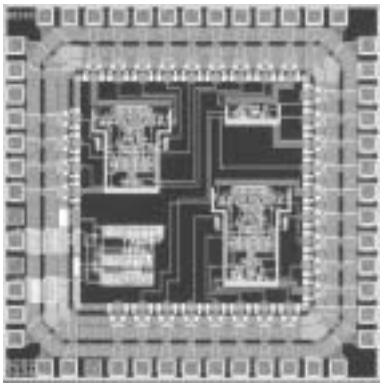
参考文献：[1] 川元，伊藤，井上，“ アナログ PLL LSI に用いる CMOS プッシュプル回路の最適化 ”，“ 電子情報通信学会 2003 年総合大会 ”，C-12-39，Mar. 2003

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

デジタル，アナログ回路によるカオス系列の生成

熊本大学工学部　井上 高宏，常田 明夫

熊本大学大学院自然科学研究科　吉岡 大三郎，菅原 卓朗



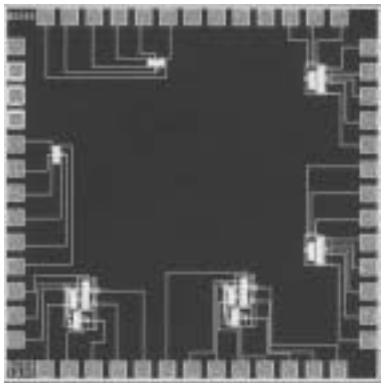
概要：デジタル回路とアナログ回路の 2 つを設計した．アナログ回路は，一次元写像に基づいた離散時間型カオス系列の生成回路を設計した．一次元写像として，アナログ回路での実現が容易（不可避な雑音等による揺らぎに対して頑健）で，かつ良好な統計的性質をもつ区分線形 N 型写像を用いた．試作した回路は，スイッチトカレント技術を用いた離散時間型電流モードアナログ CMOS カオス回路で実現しており，演算部と遅延部で構成されている．デジタル回路は，負相関系列を生成する一次元写像に基づいた有限精度による最大周期系列の 3bit（符号長 8）符号生成器である．

参考文献：[1] 羽野，常田，濱里，江口，井上，“ 区分線形 N 型写像に基づいた CMOS アナログカオス回路の設計 ”，電気学会研究会資料，電子回路研究会，ECT-01-9，pp. 41-46（2001 年 1 月）

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：演算回路（乗算器，除算器など）

FG-MOSFET を用いたディジタル回路の試作

佐賀大学大学院工学系研究科　　山口 竜司，丸野 誠一
佐賀大学理工学部　　深井 澄夫



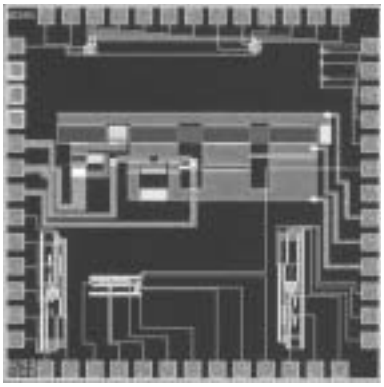
概要：本研究室では , (Floating Gate MOSFET)FG-MOSFET を用いたアナログおよび，ディジタル回路設計に関する研究を行っている．今回は，ディジタル応用回路として本研究室で提案している FG-MOSFET を用いた 2 入力可変論理回路，及び全加減算回路の所望の動作を確認することを目的として試作している．2 入力可変論理回路は 3 入力 FG-MOSFET インバータ 1 個と 4 入力 FG-MOSFET インバータ 1 個の合計 2 個で構成している．全加減算回路は 3 入力 FG-MOSFET インバータ 2 個，4 入力 FG-MOSFET インバータ 1 個，CMOS インバータ 4 個の合計 7 個で構成している．両回路の入力段である 3 入力 FG-MOSFET インバータが回路動作のキーポイントとなっているために，別途 3 入力 FG-MOSFET インバータを設計している．また，チップの有効利用を目的として，上記の回路をそれぞれ 2 個同一チップ内に設計している．

参考文献：[1] Tadashi Shibata, Tadahiro Ohmi: "Neuron MOS Binary-Logic Integrated Circuits Part Ⅰ Part Ⅱ , IEEE Trans, Vol 40-NO3, MARCH（1993）

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, magic, Avanti 社 Star-HSPICE, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：演算回路（乗算器，除算器など）

基本オペアンプ・フォールテッドカスコード内蔵のオペアンプ・簡易差動アンプの試作

佐賀大学工学系研究科　　石川 洋平，内田 正隆
佐賀大学理工学部　　深井 澄夫



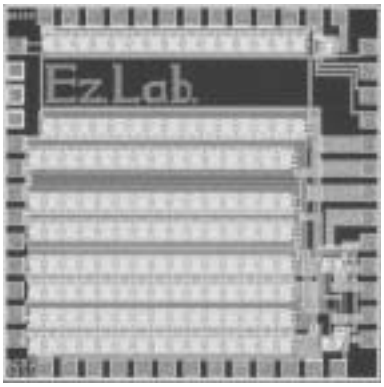
概要：本研究室ではアナログ LSI の設計の研究を行っており，今回はアナログ回路の代表的な回路ブロックである増幅回路を設計した．増幅回路の性能の比較を行うために，基本構成オペアンプとフォールテッドカスコードを組み込んだオペアンプ及び我々が提案する簡易差動アンプを試作している．簡易型で小さいサイズで満足できるような，NMOS, PMOS の縦 2 段構成の差動入力を持つ簡易差動アンプを設計している．これらの 3 つの増幅器は差動増幅回路ブロック，電圧増幅回路ブロック，電力増幅回路ブロックで構成している．簡易差動アンプの特性への影響が大きい入力部分の検証ができるように，別途トランジスタ単体で構成できるように作成している．

参考文献：[1] 高木，“ MOS アナログ電子回路 ”，昭晃堂

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

ブートストラップ回路を用いた SC 電源回路の試作

熊本電波工業高等専門学校情報工学科　　江口 啓

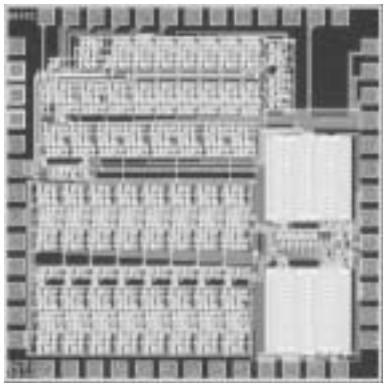


概要：スイッチトキャパシタ技術を用いた電圧変換回路は，ノイズが少なく，集積化に適するという特徴をもつ．なかでも，リング形の DC － DC 電圧変換回路は，プログラマブルに入力電圧を昇圧・降圧できるという特徴をもっている．本研究においては，スイッチトキャパシタ技術を用いたリング形 DC － DC 電圧変換回路の電圧変換効率を改善するために，回路中のパワースイッチにブートストラップ回路を付加した回路を提案している．今回の試作においては，キャパシタを外付けにするハイブリッド構成の回路を想定し，レイアウト設計を行った．提案回路は，オンセミコンダクタ社の 1.2um プロセスを用いて，2.3mm 角チップ上に設計し，試作チップ内には 8 つのパワースイッチ，2 つのブートストラップ回路ならびに，1 つの無安定マルチバイブレータが実装されている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：MAGIC7.1, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

注視方向判別回路の試作

熊本電波工業高等専門学校情報工学科　　江口 啓

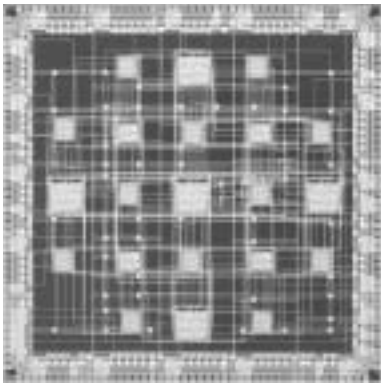


概要：現在の医療の分野においては，患者の補助を行う機器の開発が重要である．本研究においては，ALS 患者のコミュニケーション補助を行うための基礎研究を行っている．具体的には，患者が注視している文字盤上の文字の方向を判別するための回路を設計し，試作している．試作 IC には，オンセミコンダクタ社の 1.2um プロセスを使用し，2.3mm 角のチップ上に，8 × 8 の入力画像における注視方向を判別するための回路が試作されている．設計回路は，入力画像のサンプリングを行うディジタル処理部分と，注視方向を決定するために必要な演算を行うアナログ部に分かれている．将来的には，本ICチップとヘッドマウントディスプレイを組み合わせることによって，携行可能なコミュニケーション補助システムを開発することを目的としている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：MAGIC7.1, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

DRAM を用いたマルチコンテキスト FPGA

千葉大学大学院自然科学研究科　　斉藤 宏史
千葉大学工学部　　伊藤 秀男



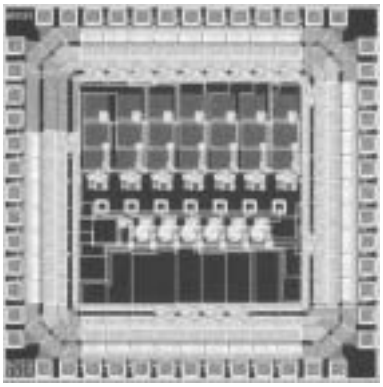
概要：本研究室では，FPGA の欠陥検出手法について開発研究を続けている．現在は特に複数の回路情報をデバイス内部に同時に保持することができるマルチコンテキスト FPGA に注目し，その欠陥救済法について研究を行っている．本試作では，考案中の検出法に対し，検証，評価を行うため，マルチコンテキスト FPGA チップを製作した．具体的に文献［1］に示されるマルチコンテキスト FPGA の 1 種である DPGA（Dynamically Programmable Gate Array）を試作した．DPGA は回路情報の記憶に，SRAM ではなく DRAM を用いているため，コンテキスト数（同時に保持できる回路情報数）を増やしたときの面積増加は小さいが，通常の FPGA より制御が困難である特徴を有する．

参考文献：Jeremy Brown, Derrick Chen, Ian Eslick, Edward Tau, Andre DeHon, M. I. T. TRANSIT PROJECT Transit Note #112 DELTA : “Prototype for First-Generation Dynamically Programmable Gate Array”, http://www. cs. caltech. edu/research/ic/transit/tn112/tn112. html

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 7.3mm 角　**チップ種別**：演算回路（乗算器，除算器など）

ビジョンチップと速度センサー

佐賀大学理工学部　　原 重臣



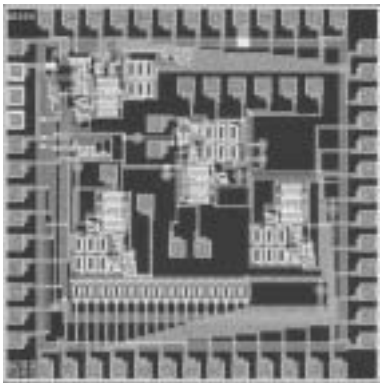
概要：ビジョンチップ：C. Mead のアナログシリコン網膜に，側抑制強度が適応的に変化する機能を付加したものである．チップに入射する光分布の局所的コントラストに応じて，その場所の局所的側抑制強度が変化する．コントラストがステップ状に変化する時にはマッハバンド錯視が消滅するという視覚の性質を，シリコン網膜にも持たせようとした．視細胞回路の出力電圧と水平抵抗ネットワークの電圧をバンプ回路に送る．その出力電圧を水平抵抗回路のバイアス電圧とすることによって，適応的に水平抵抗回路の抵抗値が変化するようにしている．7 ピクセルを 1 次元に配置した第 1 回試作である．速度センサー：J. Kramer らのアナログ速度センサーをそのまま試作してみた．これも 7 ピクセルの 1 次元チップである．その他，アナログ電圧を出力するための出力用バッファを設計して使用した．

参考文献：J. Kramer et. al. , “Pulse-Based Analog VLSI Velocity Sensors”, pp. 86-101, IEEE Trans. Circuits and Systems（1997）

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Magic, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Magic DRC, netcomp LVS　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：イメージセンサ / スマートセンサ

高精度 CMOS 定電圧回路

富山県立大学大学院工学研究科　　金森 章，松田 敏弘，岩田 栄之
岡山県立大学情報工学部　　大曽根 隆志

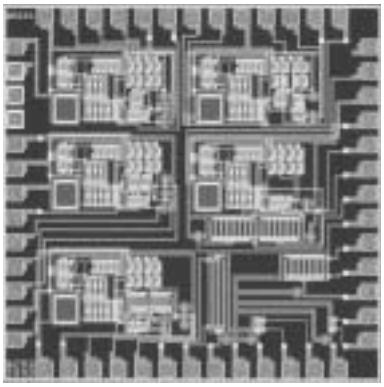


概要：デジタル回路とアナログ回路を混載した LSI の必要性が高まっており，とくにアナログ回路では高精度の基準電圧が必要である．本試作チップでは定電圧回路（基準電圧発生回路）を CMOS デバイスで実現した．所定の電源電圧・温度範囲で出力電圧の変動が 0.10%以下であることを目標としている．回路構成はバンドギャップリファレンスの原理を応用しており，低消費電力も同時に実現している．今回，定電圧回路に入力される電源電圧の変動を抑えるための回路を導入した．その回路と定電圧回路を接続することで，さらに高精度な出力電圧が期待される．また，基準電圧発生部のトランジスタの W/L 比をさらに細かく調整可能な MOSFET を配置し，本定電圧回路に最適なトランジスタのサイズを決定できるようにした．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

ノイズ低減評価用オペアンプチップの設計

富山県立大学大学院工学研究科　　麻生 啓太，松田 敏弘，岩田 栄之
岡山県立大学情報工学部　　大曽根 隆志

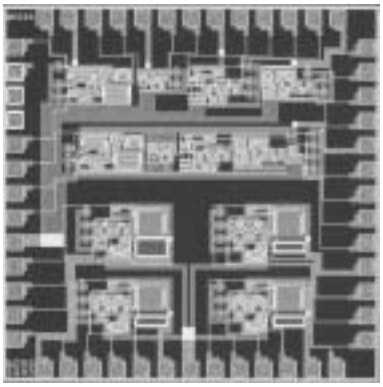


概要：近年，マイクロマシン技術を応用した小型で高性能なセンサが開発されており，出力信号が微小である小型半導体加速度センサのための増幅回路 LSI が必要となる．また扱う信号が微小であるため，ノイズの影響が無視できない．そこでオペアンプの出力ノイズの評価と低減を目的として本チップの設計を行った．本チップ上には，今回ノイズ低減の方法として，入力段の MOSFET のゲート W, L を等倍に大きくする等の対策をしたオペアンプ 4 つとその比較用に前回設計したオペアンプを配置している．またゲートの大きさ変更した MOSFET の特性を単体で評価できるように独立した MOSFET を 4 つ配置した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

スイッチング電源制御用 LSI の開発

富山県立大学大学院工学研究科　　中山 剛，松田 敏弘，岩田 栄之
岡山県立大学情報工学部　　大曽根 隆志



概要：近年，電子機器などの進展，普及により電源にはより小型化，高効率化などが求められている．スイッチング電源の小型化，高効率化などを実現するために安定制御が行え，汎用性を持った制御用 LSI が必要となる．今回の試作では，制御用 LSI 内部の試作ブロックの内，誤差増幅器，発振回路を設計した．誤差増幅器のゲインは，出力電圧や電流の精度に大きく影響を与えるので，数百 Hz 帯でのゲインを高く保たなければならない．また高周波のスイッチング周波数に対応させるため，高速応答が必要となる．試作回路はパラメータの違いによる特性の変化を評価するために 4 種類の誤差増幅器を設計した．発振回路はクロックとして使用するため，周波数の安定性が求められている．試作回路は発振回路全体を 1 種類と発振回路内の各ブロックの特性を評価するために 4 ブロックに分割したものを配置した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナデジ混載

スイッチング電源制御 LSI 用出力回路の設計

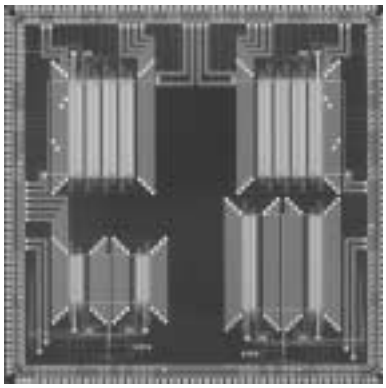
富山県立大学大学院工学研究科　　中山 剛，松田 敏弘，岩田 栄之
岡山県立大学情報工学部　　大曽根 隆志

概要：スイッチング電源内部の貫通電流は，内部素子の破壊や，効率低下の原因となる．このため電源内に貫通電流防止回路が必要である．今回は貫通電流防止回路の簡略化のため制御用 LSI の出力ブロックに遅延時間設定端子を設けた回路を設計した．出力回路は 3 種類を用意し，1 つは遅延時間制御のない回路，他の 2 つは外部から遅延時間を制御できる回路を設計した．遅延時間制御の無い回路は外部からの遅延時間制御を行わず，入力信号をそのまま出力信号として出力する回路となっている．遅延時間制御付き回路は MOS のゲート電圧を変化させることによって電荷の放電時間を変化させ，遅延時間を制御する方式を用いている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナデジ混載

平成 13 年度　第 2 回　ローム CMOS0.6μm チップ試作（ROHM012）

フローティングゲート MOS（neuMOS）回路技術を用いた高速・低消費電力 CDMA マッチトフィルタ



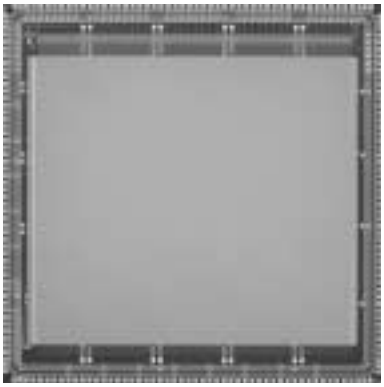
東京大学工学系研究科　　山崎 俊彦
東京大学工学部　　福田 智洋
東京大学新領域創成科学研究科　　柴田 直

概要：フローティングゲート MOS（neuMOS）技術を用いて，高速・低消費電力なアナログ CDMA マッチトフィルタを開発した．高速動作のために 1 ステップ演算方式を開発し，低消費電力のためにディスチャージ型サンプル・ホールド回路を採用した．演算アルゴリズムを根本から見直すことによって演算に参加するキャパシタンスの数を減らし，さらなる低消費電力化も実現した．また，アナログシフトレジスタを用いる代わりに PN コードをシフトさせて相関演算する手法を開発し，より高精度な演算が可能となった．実際の測定により完全な動作を確認した．

参考文献：T. Yamasaki, T. Fukuda, and T. Shibata, “A Floating-Gate-MOS-Based Low-Power CDMA Matched Filter Employing Capacitance Disconnection Technique”, accepted for the presentation at the 2003 Symposium on VLSI Circuits.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

高感度・広ダイナミックレンジ微弱変調光検出センサ



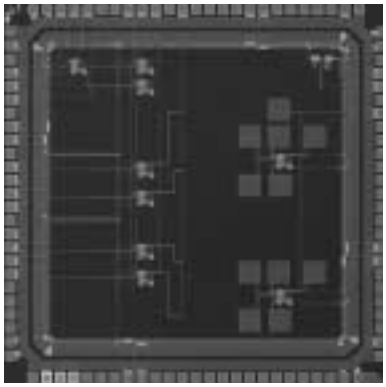
東京大学工学系研究科　　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　　池田 誠，浅田 邦博

概要：我々は光投影法三次元計測システムにおいて，微弱な投射変調光を高い感度で検出するポジションセンサを提案した．本センサは変調光検波方式と画素回路の工夫により，高感度変調光検出を広い背景光強度レンジで実現できる．背景光強度に対する検出可能な投射光強度の比（SBR）は最大で-22.8dB であり，-18dB SBR 以下の高感度検出を 48dB 以上の背景光レンジで実現する．また，変調光検波によって選択的な投射光検出が可能なため，死角の少ない複数投射光源を用いたシステムの実現を容易にする．本センサは 120 × 110 画素を有し，我々の構築した計測システムでは 1000mm の距離に対して 0.3%程度の計測精度を実現した．

参考文献：Y. Oike, M. Ikeda, and K. Asada, “An Active Range Finder With the Capability of -18dB SBR, 48dB Dynamic Range and 120 × 110 Pixel Resolution”, IEEE International Solid-State Circuit Conference（ISSCC）Dig. of Tech. Papers, pp. 208-209, Feb. 2003.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

1T2C 型強誘電体メモリ用センスアンプの設計（1）



東京工業大学フロンティア創造共同研究センター　　平山 智久，山本 修一郎，石原 宏

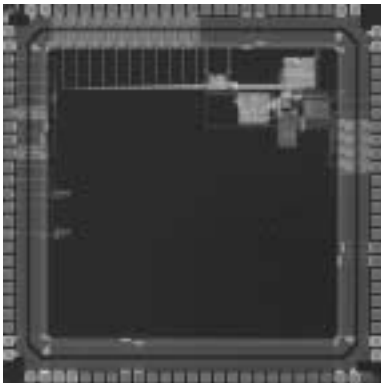
概要：1T2C 型強誘電体メモリ［1］に用いるセンスアンプについて TEG を設計・試作した．VDEC を通じた LSI 試作では強誘電体キャパシタの実際の作製は行えないので，1T2C 型強誘電体メモリセルの模擬の為にトランジスタのゲート端子に 2 つのキャパシタを接続し，それぞれを入力端子と扱うことで模擬セルとした．入力のキャパシタサイズの違うものをいくつか設計し，強誘電体メモリセルの特性ばらつきを模擬できるようにした．なお，センスアンプはカレントミラー型の構成とした．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：TEG（特性評価回路など）

1T2C 型強誘電体メモリ用アクセスパターン生成回路

東京工業大学フロンティア創造共同研究センター　山本 修一郎，石原 宏



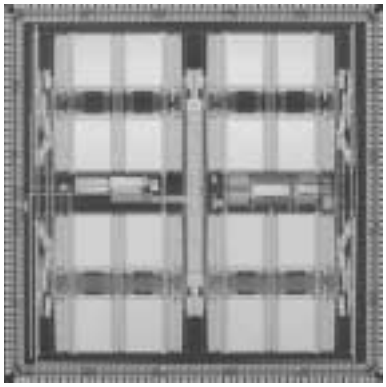
概要：1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計と TEG の試作を行なった．ワードライン，ビットライン共に 8 本の 8 × 8 のセルアレイを想定し，ワードライン・ビットラインへのアクセスパターン生成の回路を設計すると共に，電源回路なども混載した．電源回路については単に分圧して電圧を発生するのではなく，出力によるフィードバックで充放電が可能なものとし，電荷流出入による電位変動を防ぐようにした．1T2C メモリの動作の必要上，ワードラインやビットラインには 4 種類の電圧値が出力されるため，コンパレータで比較しデジタル出力をとって，予期したアクセスパターンが生成されていることを確認した．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**:1,000 以上，10,000 未満　**試作ラン**:ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：TEG（特性評価回路など）

4 並列演算型画像フィルタリングプロセッサ

東京大学新領域創成科学研究科　伊藤 潔人，柴田 直
東京大学工学系研究科　山崎 英男

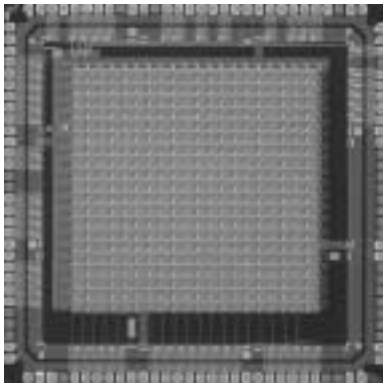


概要：画像処理で最も汎用的なアルゴリズムである画像フィルタ演算を高速に実行するプロセッサである．新たに開発した Quaternary Tile Mapping という画素データのメモリマッピング方式により，画素データの冗長な読み出しや複雑なアドレス計算という問題を解消し高速な処理を実現した．1k Bytes の SRAM とコンボルーション演算器によって構成された Processing Element（PE）を 16 個配置し，それらを同時に動作させることで，単一のカーネルに対するコンボルーション演算を 1 クロックサイクル内で異なる 4 カ所に同時に実行することが可能である．集積度を高めるために PE 及び主要演算回路はフルタカスタム設計を行い，プロセッサのコントローラ部分は Verilog-HDL を用いて設計した．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

電流演算型エッジ検出フィルタ

東京大学工学系研究科　松野 知紘，三田 吉郎
東京大学新領域創成科学研究科　柴田 直

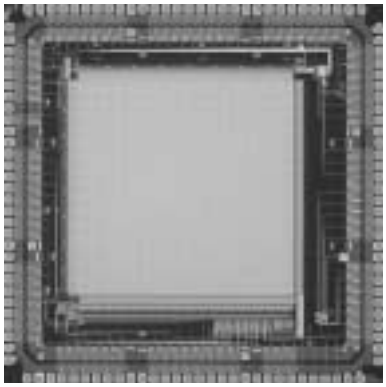


概要：隣接セル間の配線のみで，第 2 近傍までのセルとデータ通信が行えるアーキテクチャを考案し，エッジ検出イメージセンサ回路に応用した．垂直・水平・＋ 45 度・－ 45 度の 4 方向に関して，各点でのエッジの有無を検出できる．このアーキテクチャでは，1 つのセルに 1 つの演算回路（PE）とフォトダイオード（PD）を含む従来型のセルではなく，セルの中心に PE を，4 隅に PD を配置する．そして以下のように 2 段階の演算を行う．まず，セル内で 4 隅の PD からの情報を用いて演算を行い，1 つのデータを得る．次にそのデータを隣接する上下左右 4 つのセルに渡し，各セルでは上下左右 4 つのセルから渡されたデータに対して演算を行う．この方法により，必要な配線数を劇的に減らすことができる．本チップは電流演算方式を採用することで，加算が簡単なワイヤードサムで実現できる，電流の向きを正負に対応させて負の量を扱うことができる，高速動作が期待できる，という利点がある．要素回路として，PD の情報を電流値に変換する回路，電流の減算回路，絶対値回路，およびコンパレータ回路が含まれている．本チップはセル数が 20 × 20，セルサイズは 140um × 140um，開口率は約 5%となっている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：イメージセンサ / スマートセンサ

アナログ電流を用いた画像フィルタリング LSI

東京大学新領域創成科学研究科　　田口 晶康，柴田 直

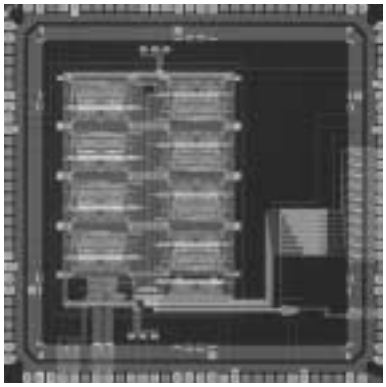


概要：画像に対して特徴抽出を行う際，様々なフィルタリング処理が必要となる．フィルタリング演算によりエッジ強調やノイズ除去など，さまざまな初期的画像処理が行われるが，従来のデジタルフィルタリングプロセッサではどうしても全体のピクセル数オーダの演算クロックが必要となる．そこで Scanning line-parallel processing と呼ぶ新たなアーキテクチャを導入し，必要クロックが画像の縦と横のサイズの和のオーダで様々なフィルタリング処理が実現可能な回路を作成した．またアナログ電流によるデータ表現を行っており，電流値を押さえることで低消費電力化が計れる．また回路動作 / データ処理を方法をかえることでさまざまなフィルタリング処理を実現可能とした．この LSI では 64 × 64 pixels の画像が扱える構成となっている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

モード切替 PLL 回路

大阪大学大学院工学研究科　　伴 彰浩，谷口 研二

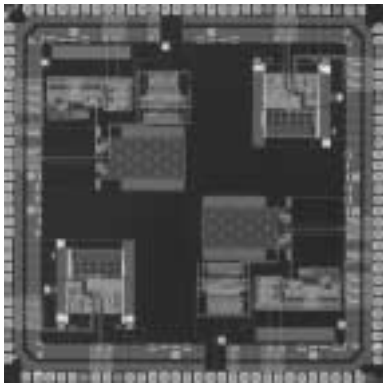


概要：PLL（Phase Locked Loop）回路は，チップ外部より入力される低周波信号からチップ内部で高周波の信号を生成する基本的なアナログ回路であり，クロック生成回路，周波数シンセサイザなどに用いられる．この回路は，周波数位相比較器，チャージ・ポンプ回路，ループ・フィルタ，電圧制御発振回路，分周回路より構成される． 今回試作した PLL は，4MHz の入力信号より周波数逓倍した信号（64MHz）を出力する機能を有する．本 PLL は，ループゲイン特性をディジタル的に変化させる機能を有する．これは，入力信号の位相とフィードバック信号の位相に大きな差がある，引き込みモードにおいて，PLL のループゲイン特性を変化させ，システムの角自然周波数を増大し高速ロックを達成するためである．本チップは，電源電圧 3.3V, 0.6 ミクロン CMOS プロセスに基づいて設計した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

低電圧用パイプライン A/D 変換回路

大阪大学大学院工学研究科　　尾関 俊明，谷口 研二

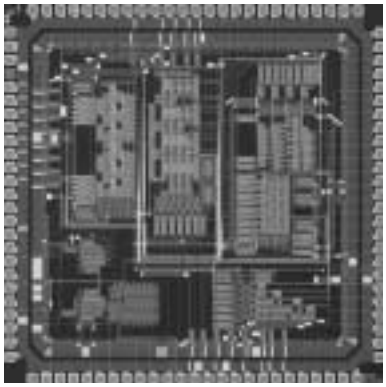


概要：ディジタル回路の微細化，低電圧化に伴いアナログ回路にも低電圧動作が要求される．パイプライン A/D 変換回路は，低電圧化，低消費電力化に適した A/D 変換回路として研究開発が活発に行なわれている．本チップでは低電圧用パイプライン A/D 変換回路の設計を行った．また，参照電圧を可変で動作させるために，OP-AMP の各段のバイアス電流を外部から可変にし，OP-AMP のゲイン・周波数特性を最適化できるようにした．本回路により，パイプライン A/D 変換回路における参照電圧と消費電力の関係について検証を行うことを目的とする．電源電圧 1.8V，精度 10 ビット，動作速度 5M サンプル／秒で動作することを回路シミュレーションにより確認した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

高速動作を維持しつつ待機時消費電力の削減を目的とした各種演算回路とクロックパルス発生器

中央大学理工学部情報工学科　天川 慶太郎，渡邊 友樹，近藤 将斗，江井 友美，小田 千尋，原田 知親，榎本 忠儀

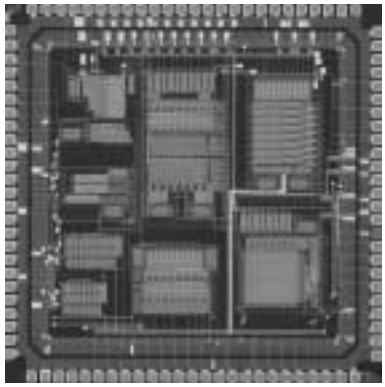


概要：アルゴリズムの改良により回路規模を削減し，クリティカルパスとそれ以外の部分にバックゲートバイアスによって異なる閾値を設定し，動的制御可能な電圧レベル変換器（SVL）を適用することで動作速度を維持したまま待機時消費電力の削減を実現した 8bit-CLA，平方根回路，平方根除算回路，8bit 累算型差分絶対値和回路を試作した．また，微細化に伴う制御回路の出力レンジ縮小による発振周波数幅の縮小を段数で補うための VCO と，それを用いた PLL 回路の試作を行なった．

設計期間：10 人月以上　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

待機時消費電力削減を実現した動的制御可能な電圧レベル変換器（SVL）の特性評価回路，貫通電流測定評価回路，SVL を用いた各種演算回路とメモリ回路

中央大学理工学部情報工学科　天川 慶太郎，杉山 明生，伏島 敦史，浅野 幸宏，岡 佳憲，鹿野 裕明，原田 知親，榎本 忠儀

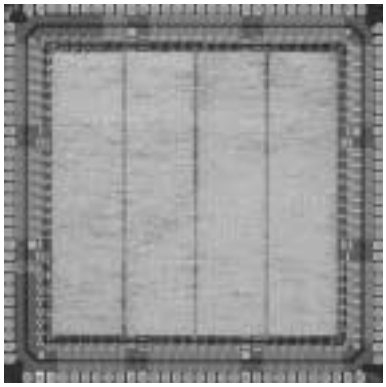


概要：動作速度を維持したまま待機時消費電力の削減を実現した動的制御可能な電圧レベル変換器（SVL）の特性評価用回路 TEG を試作した．また，動作時消費電力のうち，貫通電流による消費電力を評価するための TEG を試作した．測定対象インバータを駆動するドライバのファンアウト数と，測定対象インバータのファンアウト数が異なる組み合わせのインバータから構成される．さらに，SVL を用いて，16bit2 進桁上げ先見加算回路（BLC），8bit*8bit 乗算回路，512bit SRAM 回路，4bit*8word レジスタファイルを設計し，試作を行なった．

設計期間：10 人月以上　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

モバイルコンピューティング用マルチメディアプロセッサチップ

引前大学理工学部　深瀬 政秋



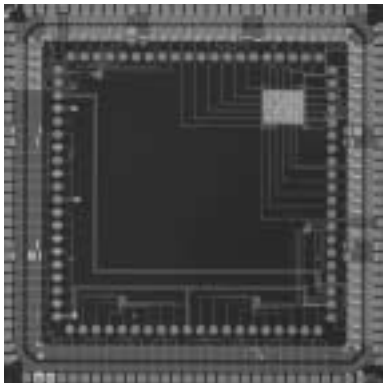
概要：携帯電話などのマルチメディアモバイルコンピューティング用プロセッサの性能・仕様を飛躍的に向上させる技術を検討した上で，gorilla06 と名付けたプロセッサチップを開発した．モバイル化に必須の低電力を維持しつつ PC プロセッサ並みのスピードを得るために実行段をウェーブパイプライン化し，インターネット上でのマルチメディアと通信セキュリティに対処可能とするために VLIW と SMT と Java CPU の技術を融合した．動作周波数は同等プロセスの PC プロセッサ並みの 170MHz を示すことから，設計全体の調整は妥当である．テスタによる測定はない．

参考文献：深瀬 政秋, 塩路 和秀, 今井 礼大, 村上 大祐, 三国 勝志, “ モバイルコンピューティング用マルチメディアプロセッサの設計と開発 ”, 信学技報，Vol. 102，No. 400（DSP2002-130~137），pp13-18，2002 10 月

設計期間：4 人月以上，5 人月未満　**設計ツール**：Synopsys 社 Scirocco, Synopsys 社 design_compiler, Avanti 社 Appolo　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：マイクロプロセッサ

SFQ/CMOS ハイブリッドメモリの試作

横浜国立大学大学院工学研究院　　吉川 信行，宮川 英明，藤原 完



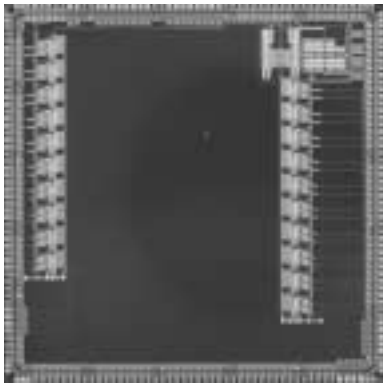
概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している[1]．本メモリシステムは 4.2K での動作を仮定しており，メモリーセルには 3 トランジスタ DRAM セルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，16Kb SFQ/CMOS ハイブリッドメモリシステムの試作を行った．実験により低温動作 3 トランジスタメモリセルの正常動作を検証することができた．

参考文献：[1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, “Josephson-CMOS hybrid memory with ultra-high-speed interface circuit”, to be published in IEEE Trans. Appl. Superconductivity（2003）.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：ニューテクノロジ

フラッシュ・パイプライン複合型 A/D コンバータ

東北大学大学院工学研究科　　高橋 和史，小谷 光司
東北大学未来科学技術共同研究センター　　大見 忠弘

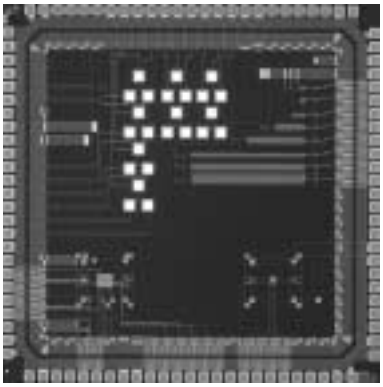


概要：パイプライン型A/Dコンバータはシンプルで高スループットであるが誤差の伝播が問題となる．特に初段のステージの精度がそのA/Dコンバータの精度を決定付ける．従来のパイプライン型 A/D コンバータで分解能 16bit，サンプリング周波数 100MS/s, INL：0.3LSB とすると，演算増幅器に対する要求は開ループ利得：120[dB]，カットオフ周波数：2.5[GHz]，ユニティゲイン周波数：5[GHz] と非常に困難である．そこで初段にフラッシュ型，後段にパイプライン型を複合させたフラッシュ・パイプライン複合型 ADC を提案する．最初に精度を確保し，後段のステージ数に抑えることにより，初段の S/N 比を劣化させることなく後段への要求が軽減される．本試作では初段 4bit，後段 1bit/cell の 14bit のフラッシュ・パイプライン複合型 A/D コンバータを集積した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

FPGA による設計・検証からチップ試作へ

東京大学大学院情報理工学系研究科　　酒造 正樹，尾上 弘晃，菅 哲朗，松本 潔，
下山 勲

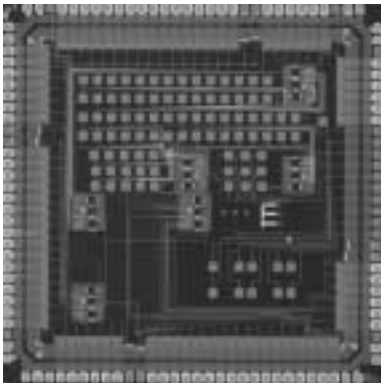


概要：東京大学大学院情報理工学系研究科知能機械情報学専攻の大学院演習に基づくチップ試作．修士課程 1 年生が演習にて FPGA を学んだ．その経験を活かして，チップ試作に挑戦した．東大 VDEC から用意されているライブラリを用いて，論理合成，配置配線の作業の流れを学んだ．本試作では PLL を構成する位相比較機と分周期を試作した．位相比較器はフリップフロップからなるものを，分周期はカウンタを用いて VHDL で記述した．LPF やチャージポンプ部分については今後付け加えるものとした．FPGA にて動作を検証した VHDL を Synopsys 社の dc_shell を用いて論理合成した．さらに，Avanti 社の Milkyway と Apollo にて配置配線を行った．また Cadence 社の Dracula にてデザインルールチェックを行った．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

人工視覚曲げ特性評価用 TEG

奈良先端科学技術大学院大学物質創成科学研究科　飯盛 慶一，Ng David，香川 景一郎，太田 淳



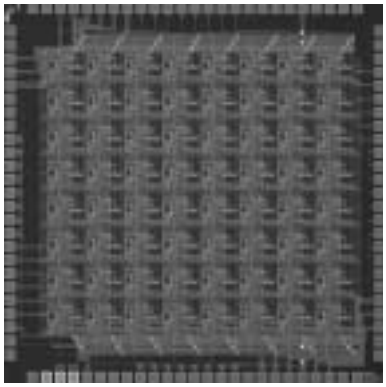
概要：網膜下埋め込み用ビジョンチップに向けて，眼球の湾曲に対する素子特性を評価するための TEG チップ．チップ上にビジョンチップに用いる基本的な素子を選び方向を変えて配置した．配置した素子としては，MOSFET（p-MOS n-MOS で L/W を変えたもの），APS（Active Pixe Sensor）, Photodiode, PFM（Pulse frequency modulation），リング発振器などである．また白金電極形成実験用の電極パターンも形成した．パッド間隔は 100um とした．

参考文献：David C. Ng，飯盛 慶一，香川 景一郎，徳田 崇，太田 淳，布下 正宏，“ 人工視覚用パルス周波数変調（PFM）方式イメージセンサ画素特性の歪依存性 ”，春季応物学会講演予稿集，29p-P12-3，p. 1392（2003).

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：イメージセンサ / スマートセンサ

共鳴トンネル論理ゲート MOBILE のエミュレーション回路とそれを用いた DTCNN のためのテスト回路

名古屋大学工学研究科　丹羽 壮平，前澤 宏一，水谷 孝



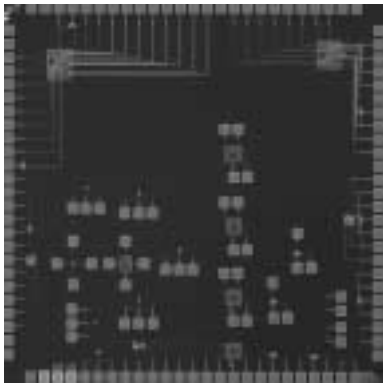
概要：我々は，超高速，超高周波動作が可能な量子効果素子である共鳴トンネル素子と高集積 Si-LSI の融合を目指した研究を行っている．本研究は，共鳴トンネル素子のエミュレーション回路を Si-CMOS で構成することにより，将来の共鳴トンネル／ CMOS 集積回路の動作およびその優位性を検討することを目的としている．ここでは超高速・高機能な共鳴トンネル論理ゲートである MOBILE を用いた Cellular Neural Network の実現を目指し，その基本回路を検討した．搭載した回路は MOBILE のエミュレータ回路，光入力用のフォトダイオード，重み可変可能な積和演算回路などである．共鳴トンネル素子を直列接続する MOBILE のエミュレーションのためにはドライバ側，ロード側に使用する 2 種類の負性抵抗素子を設計した．

参考文献：丹羽，岸本，前澤，水谷，“A discrete time cellular neural network based on negative differential resistance devices”, Ext. Abs. SSDM 2002, pp. 382-383（2002）

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：ニューテクノロジ

負性抵抗素子を用いた Cellular Neural Network

名古屋大学工学研究科　丹羽 壮平，前澤 宏一
名古屋大学　水谷 孝

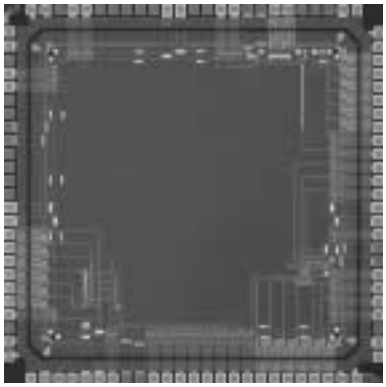


概要：我々は，超高速，超高周波動作が可能な量子効果素子である共鳴トンネル素子と高集積 Si-LSI の融合を目指した研究を行っている．ここでは超高速・高機能な共鳴トンネル論理ゲートである MOBILE を用いた 8 × 8 の Cellular Neural Network を検討した．負性抵抗素子としては以前検討した CMOS によるエミュレーション回路を採用し，これを用いて MOBILE を形成した．各セルは画像入力用フォトダイオードと二つの MOBILE からなる．二つの MOBILE は，それぞれ，重み付きしきい値論理素子，状態を記憶するラッチ素子として働く．また，入力の重みは外部電圧でコントロールできるように設計した．CNN は各セルで同一の重みを使うため，外部電圧はセルの近傍の数だけでよい．これによりリアルタイムでのセル機能可変が可能となり，多様な処理を実現できる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：ニューテクノロジ

集積化磁気センサ TEG

茨城大学工学部　　木村 孝之，白木 広光



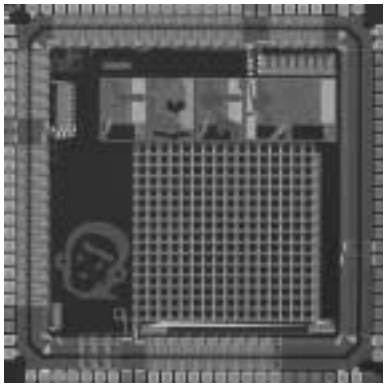
概要：磁気センサを製作する際には，一般的に移動度の高い InSb や GaAs などの材料が用いられる．一方，Si はこれらの物質に比べて移動度が低いため，磁気センサを構成する場合は感度が低くなり使用が難しい．本試作では，Si のバルク材料としての性質ではなく，MOS-FET の反転層を用いた集積化ホールセンサ［1］を製作した．設計したセンサは W/L=0.25 ～ 4 であった．また，比較のために，ソース・ドレインの n 拡散層を用いたバルクタイプのホールセンサも製作した．測定の結果，反転層を用いたホールセンサで 5.7mV（1mA, 1kG）の電圧が得られた．バルクタイプのホールセンサでは，8.2μV（1mA, 1kG）であった．今回試作した反転層を用いたホールセンサは，バルクタイプのホールセンサよりも感度が高いことがわかった．しかし，InSb や GaAs の感度（20 ～ 300mV：1mA, 1kG）よりも低い．これは on chip の増幅回路を加えることで問題では無くなる．

参考文献：R. C. Gallagher and W. S. Corak, “A Metal-Oxide-Semiconductor（MOS）Hall Element”, vol. 9, pp. 571-580, Solid-State Electronics（1966）

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：TEG（特性評価回路など）

フォトダイオード TEG および PD アレイ他

公立はこだて未来大学システム情報科学部　　秋田 純一

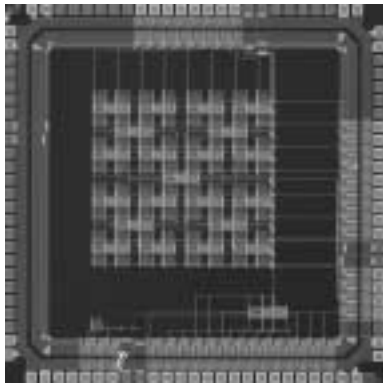


概要：眼球運動検出などの高速な視覚情報処理系の実現を目標とし，受光素子と信号処理回路を同一チップ上に集積した，いわゆるビジョンチップの試作を行うために，主にアナログ回路の設計と試作を行った．本試作チップでは，光電流測定のためのフォトダイオードとアンプ，および 8 × 8 画素のフォトダイオードアレイを設計した．また最終的に「画像の意味」を出力するイメージセンサを目的とし，その第一歩として，二次元平面中の対象点の位置の座標を出力するための高速アルゴリズムと回路構成を考案し，その評価回路として x, y 軸の 1 次元プライオリティエンコーダと，画像中の複数の対象点を順にマスクし，1 点ずつ評価するための順次マスク回路の評価回路も設計した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：TEG（特性評価回路など）

平面の 4 進木探索回路

公立はこだて未来大学システム情報科学部　　秋田 純一



概要：2 次元平面中の位置を特定するアルゴリズムの 1 つに，一次元における二分法を二次元に拡張した 4 進木探索がある．このアルゴリズムでは総点数 N に対して O（log（N））での探索が可能である．またこの 4 進木探索をノードオートマトンの木構造による回路によって実現すると，4 進木探索の過程と，その回路配置とがよく対比がつく構成となる．言い換えれば，レイアウトが持つ形状と機能とが直結している例となる．この 4 進木探索を題材とし，とかく内部の動作がブラックボックスとなりがちな LSI の動作を，視覚的に可視化することで，その動作を直感的に深く理解し，形状と機能との対比を体験できるインタラクティブな展示物の製作を目標とし，本試作チップの設計を行った．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：その他

平成 13 年度　第 3 回　ローム CMOS0.6μm　チップ試作
（ROHM013）

光切断法に基づく 640 × 480 実時間 3 次元イメージセンサ

東京大学工学系研究科　　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　　池田 誠，浅田 邦博

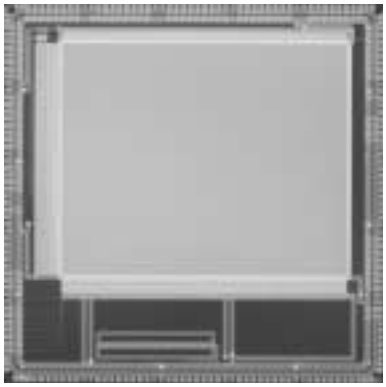
概要：我々の提案するダイナミック回路を利用した高速読み出し手法と適応閾値・時間領域近似 AD 変換回路は，これまでの高速なポジションセンサと異なり 3 トランジスタの小型な画素回路でリアルタイム 3 次元計測を実現する．時間領域近似 AD 変換回路は投射光の輝度分布を取得でき，重心演算に利用することでサブピクセル精度の向上を図れる．640 × 480（VGA）の解像度を有するリアルタイム 3 次元イメージセンサの試作を行い 3 次元計測システムを構築した．測定では最大で >60 枚 / 秒の距離画像を取得可能であることを示した．また，最大計測誤差は 1200mm に対して 0.87mm であった．

参考文献：Y. Oike, M. Ikeda, and K. Asada, “640 × 480 Real-Time Range Finder Using High-Speed Readout Scheme and Column-Parallel Position Detector”, Symp. VLSI Circuits Dig. of Tech. Papers, Jun. 2003.（to be published）

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

簡易 2 値化回路を画素内に有する行単位高速有意画素検出センサ

東京大学工学系研究科　　根塚 智裕，大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　　池田 誠，浅田 邦博

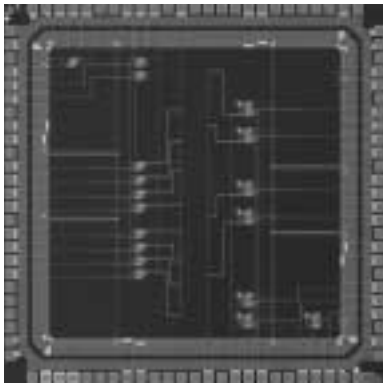


概要：光切断法三次元形状計測では投射したシート状の光の位置を高速に検出する必要がある．我々は 5 トランジスタの画素回路に行アクセスの際に画素値が 2 値化されて読み出せる機能を埋め込み，高速な行単位アクセスと有意画素検出回路を提案した．本センサは小型な画素による高解像度化を可能とし，さらに 1M 画素を超えるような高解像度でのリアルタイム 3 次元計測を実現する読み出し速度を可能にする．本試作では 352 × 288 画素（CIF フォーマット）とツリー型プライオリティエンコーダを有するリアルタイム 3 次元計測向けイメージセンサを試作した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

1T2C 型強誘電体メモリ用センスアンプの設計（2）

東京工業大学フロンティア創造共同研究センター　　平山 智久，山本 修一郎，石原 宏



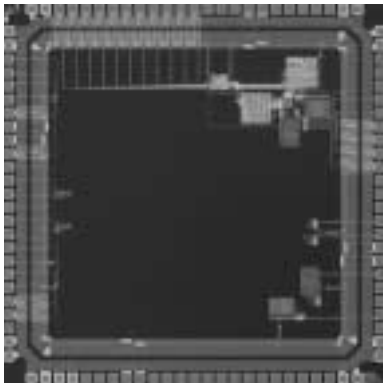
概要：1T2C 型強誘電体メモリ［1］に用いるセンスアンプについて TEG を設計・試作した．1T2C 型強誘電体メモリセルの模擬の為，トランジスタのゲート端子に 2 つのキャパシタを接続し，それぞれを入力端子と扱うことにより 1T2C 型強誘電体メモリの模擬セルとした．入力のキャパシタサイズの違うものをいくつか設計し，強誘電体メモリセルの特性ばらつきを模擬できるようにした．なお，センスアンプはカレントミラー型の構成とした．ローム 2001 年度第 2 回試作の設計修正版である．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：TEG（特性評価回路など）

1T2C 型強誘電体メモリ用周辺回路

東京工業大学フロンティア創造共同研究センター　　山本 修一郎，石原 宏



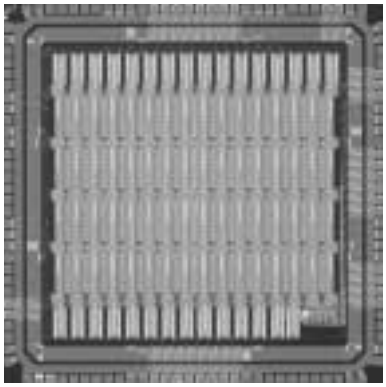
概要：1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計と TEG の試作を行なった．我々は VDEC の LSI 試作を通して回路設計の先行評価を行っている．我々のもつ LSI 作製プロセスではポリシリコン抵抗の使用が困難であるので，ローム 2001 年度第 2 回試作で作製した 8 × 8 のセルアレイのワードライン・ビットラインアクセスパターン生成回路をポリシリコン抵抗なしで設計した．また負電圧の使用が想定されることから負電圧発生回路を設計・試作した．1T2C 型強誘電体メモリの読み出し時のビットラインの電位上昇は好ましくないので，1T2C 型強誘電体メモリ用に改良したクロスカップル型のセンスアンプも設計した．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**:1,000 以上，10,000 未満　**試作ラン**:ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：TEG（特性評価回路など）

電流モード多値論理フィールドプログラマブルディジタルフィルタ

東北大学大学院情報科学研究科　　出川 勝彦，青木 孝文，樋口 龍雄

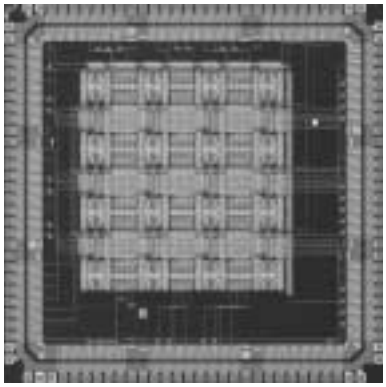


概要：本研究グループでは，冗長算術演算アルゴリズムと電流モード多値集積回路技術を組み合わせることによる，高性能かつ高密度な算術演算 VLSI の実現を目指している．Field-Programmable Digital Filter（FPDF）は，係数と演算語長および次数が任意にプログラムできる，FIR フィルタ専用の再構成型デバイスである．本試作においては，冗長 2 進 Signed-Digit（SD）数系と双方向多値電流モード回路を組み合わせた電流モード多値論理 Field-Programmable Digital Filter（FPDF）の試作を行った．本チップは，従来の二値論理による FPDF と比較して，同等性能のフィルタを 41%の面積で実現することができる．また，HSPICE シミュレーションにより，本チップの消費電力は，二値論理による FPDF の消費電力の 71%に削減可能であることを確認した．本チップは LSI テスタによる測定により，動作確認を行った．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

機能回復機構実現のための 2 重化 FPGA の試作

仙台電波工業高等専門学校情報工学科　　津田 真人，鹿股 昭雄
東北大学工学研究科・工学部　　阿部 茂樹
東北大学大学院情報科学研究科　　青木 孝文，樋口 龍雄



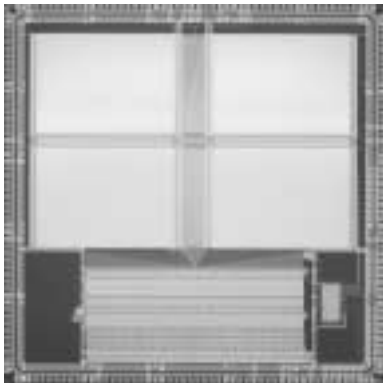
概要：部品の交換などで人間の介在が困難なシステムに用いられる集積回路の故障に対処するため，自律的に機能回復機構を有する FPGA の試作を行った．本チップは，機器組込みを考慮して簡易なアルゴリズムにより機能回復が可能なシステムの実現を目指しており，FPGA が再構成可能であることを利用し，その内部構成である論理ブロックや配線経路をすべて 2 重化することで論理ブロックおよび配線単位で故障の検出，故障箇所の特定が可能となる．機能回復は，故障の有無，箇所などの情報をホストコンピュータが取り入れ，規則的なアルゴリズムにより故障回避する新しい構成情報を容易に生成し，それを本チップに再ロードすることにより故障前と同じ機能が実現できる．

参考文献：津田，鹿股，阿部，青木，樋口，“ 2 重化 FPGA とその機能回復機構の実現 ”，平成 14 年度電気関係学会東北支部連合大会，1D15，pp. 127.

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：演算回路（乗算器，除算器など）

汎用デジタル VQ プロセッサ

東京大学新領域創成科学研究科　　小川 誠，柴田 直



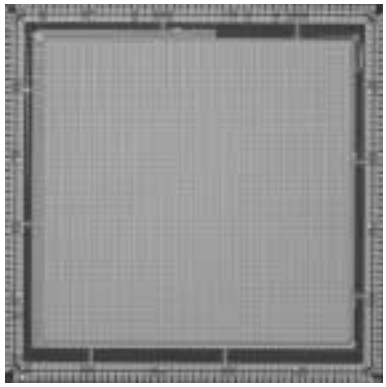
概要：多くの知的情報処理で基本演算となるマッチング（VQ）を高速に処理する専用プロセッサ．VQ プロセッサはオンチップメモリにテンプレートベクトルを記憶し，入力ベクトルとの距離が最も近いものを出力する．従来の VQ プロセッサと異なり今回設計・試作を行ったプロセッサは高性能を維持しつつ柔軟な処理が可能と成っているのが特徴である．まず，新たに高速の Two-Dimensional Bit Propagating WTA 回路により並列処理の難しい最大・最小検索（Winner-Take-All, WTA）を高速に処理可能となった．また，より高度な情報処理で必要なソーティング等の機能ももつ．さらに，多数の入力を持つ WTA では，単一アドレスで複数の入力を同時に指定することで高速・柔軟なマスク処理を行う．これにより，テンプレートベクトルの構成を応用に合わせて柔軟に変更可能となっている．測定の結果電源電圧 4.0V, 33MHz, 800mW で動作することを確認した．

参考文献：Makoto Ogawa, Kiyoto Ito, and Tadashi Shibata, “A general-purpose vector-quantization processor employing two-dimensional bit-propagating winner-take-all“, “the Digest of Technical Papers of 2002 Symposium on VLSI Circuits”, pp. 244-247, Honolulu, June 13-15, 2002.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

フローティングゲート MOS（neuMOS）を用いた電圧型エッジフィルタ

東京大学工学系研究科　　松野 知紘，三田 吉郎
東京大学新領域創成科学研究科　　柴田 直

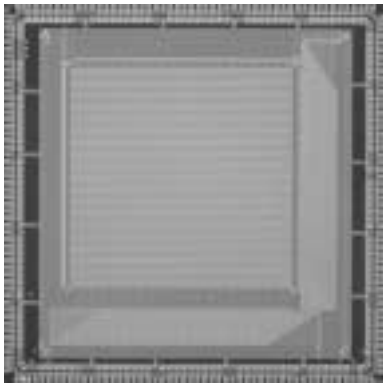


概要：隣接セル間の配線のみで，第 2 近傍までのセルとデータ通信が行えるアーキテクチャを考案し，エッジ検出イメージセンサ回路に応用した．垂直・水平・+45 度・-45 度の 4 方向に関して，各点でのエッジの有無を検出できる．このアーキテクチャでは，1 つのセルに 1 つの演算回路（PE）とフォトダイオード（PD）を含む従来型のセルではなく，セルの中心に PE を，4 隅に PD を配置する．そして以下のように 2 段階の演算を行う．まず，セル内で 4 隅の PD からの情報を用いて演算を行い，1 つのデータを得る．次にそのデータを隣接する上下左右 4 つのセルに渡し，各セルでは上下左右 4 つのセルから渡されたデータに対して演算を行う．この方法により，必要な配線数を劇的に減らすことができる．本チップは，演算方式としてフローティングゲート MOS（neuMOS）を用いた電圧演算型を採用することで，加算・減算が簡単な回路で実現できるという利点がある．要素回路として，PD の情報を電圧に変換する回路，電圧の加算・減算回路，およびコンパレータ回路が含まれている．本チップの仕様は，セル数が 45 × 45，セルサイズは 150um × 150um，開口率は約 8%となっている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

アナログ相関回路を用いた実時間 Motion Detector 回路

東京大学工学系研究科　　山崎 俊彦
東京大学新領域創成科学研究科　　梅島 誠之，柴田 直



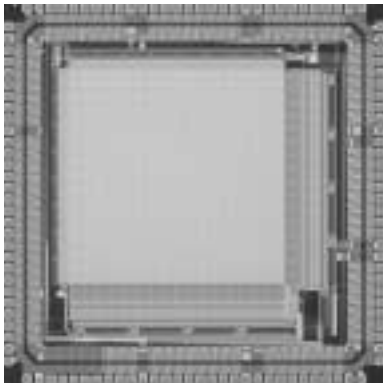
概要：我々の研究室では，動いている物体の位置と速度を実時間で検出するイメージセンサの研究を行っている．昨年度の試作では我々の研究室で独自に開発した「疑似 2 次元アルゴリズム」を用いて，イメージセンサの周辺にのみ演算回路を配置した簡単な構造で複雑な背景上を動く物体でも正確にその動きを検出することが可能であることを示した［1］．しかし，複数の物体が同時に動いている場合などへの対応には比較的複雑なアルゴリズムを必要とするなどの問題があった．そのため，本試作では新たに 1 ピクセル毎に我々の研究室で開発しているアナログ相関演算回路を埋め込み，より正確に，またロバストに動いている物体の位置と速度を検出できるアーキテクチャを考案した．本チップは動作テスト用に試作されたもので，64 × 64pixels のセンサ内で動いている物体の速度（± 15 pixels/sample 以内）のみを検出できるように設計されている．

参考文献：［1］H. Kimura and T. Shibata, “A Motion-Based Analog VLSI Saliency Detector Using Quasi-Two-Dimensional Hardware Algorithm”, Proc. of ISCAS 2002, pp. III-333-III-336, 2002.

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

アナログ電流を用いた画像フィルタリング LSI

東京大学新領域創成科学研究科　　田口 晶康，柴田 直

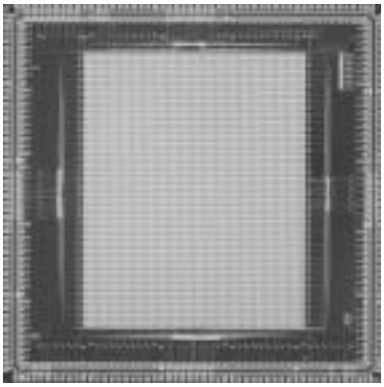


概要：画像に対して特徴抽出を行う際，様々なフィルタリング処理が必要となる．フィルタリング演算によりエッジ強調やノイズ除去など，さまざまな初期的画像処理が行われるが，従来のデジタルフィルタリングプロセッサではどうしても全体のピクセル数オーダの演算クロックが必要となる．そこで Scanning line-parallel processing と呼ぶ新たなアーキテクチャを導入し，必要クロックが画像の縦と横のサイズの和のオーダで様々なフィルタリング処理が実現可能な回路を作成した．またアナログ電流によるデータ表現を行っており，電流値を押さえることで低消費電力化が計れる．また回路動作 / データ処理を方法をかえることでさまざまなフィルタリング処理を実現可能とした．この LSI では 64 × 64 pixels の画像が扱える構成となっている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

電気的中心窩構造を有する vision chip

東北大学工学研究科　　中川 源洋，小柳 光正

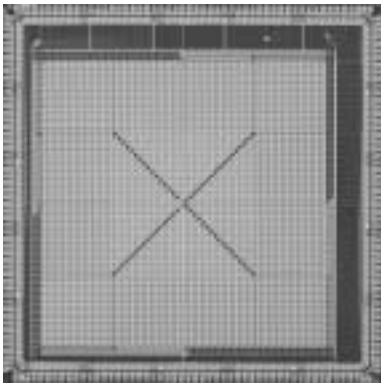


概要：人の視覚情報処理システムでは，網膜の周辺部に解像度の小さな部分と，中心部の中心窩と呼ばれる解像度の非常に高い領域を持つことで，全体のデータ量を抑えながら，対象の高解像度の画像を得ることができる．また周辺視野内のデータ量不足に関しては，サッカードと呼ばれる高速の眼球運動によって，注視したい領域を中心窩で捉え，画像を再構成することで補っている．しかし，そのような高速な眼球運動を機械的に模擬し，実現することは困難である為，電気的に中心窩の位置を移動できる画像処理チップを設計した．本チップは，全画素内の最大値となる画素が発火し，その後発火しない潜伏期に入る．中心窩からの距離に比例した潜伏時間を与えることで，周辺の画素ほど，発火確率が小さくなる．出力画像は，各セルの発火頻度として得られ，その際，周辺画素の発火確率を考慮し，その受容面積を大きくとる．つまり，潜伏時間によって，擬似的に，各画素の受容面積の制御が可能となる．本チップはフォトセンサ，Winner‐Take‐All 回路，遅延回路，抵抗回路網で構成され，画素数は 64 × 64 で，各構成要素の動作を確認した．

設計期間：5 人月以上，6 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

移動物体追跡機能を有するビジョンチップ

東北大学工学研究科　　出口 淳，小柳 光正

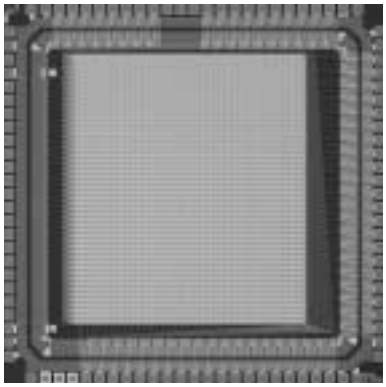


概要：人間に似た素早い注視制御システムを移動ロボットの視線制御に取り入れるために，Smooth Pursuit, Saccade 制御機能を有するビジョンチップを試作した．ロボットの視覚センサ部分に本チップを用いてモータを駆動することで，1 チップでロボットの視線を能動的に動かすことが可能になる．本チップは，中心部分と周辺部分でその機能が異なっている．チップ中心部分の画素では人間の MT・MST 野をモデルとした Smooth Pursuit 制御を行っており，周辺部分の画素では人間の上丘をモデルとした Saccade 制御を行っている．本チップでは CMOS アナログ回路技術を利用しており，各画素がフォトダイオードとその増幅回路を有している．チップ中心部分の Smooth Pursuit 制御には動き検出回路を，チップ周辺部分の Saccade 制御には差動増幅器とキャパシタから成る遅延線回路を用いた．測定結果から，遅延線回路では人間の上丘で見られるような遅延が実現可能であり，これを利用して Saccade 制御をすることが可能であることを確認した．動き検出回路は現在評価中である．

設計期間：5 人月以上，6 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 8.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

Morphology 演算に特化したセルアレー型 2 値画像処理 VLSI の試作

仙台電波工業高等専門学校電子工学科　　與那嶺 尚弘
仙台電波工業高等専門学校電子システム工学専攻　　小笠原 真也

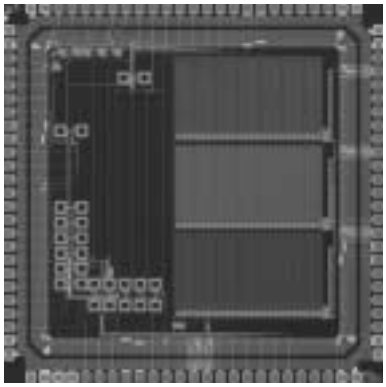


概要：Morphology 演算を汎用計算機に実装する場合，処理時間は演算対象画像の画素数と構造要素の画素数の積に比例して増加するため，リアルタイム処理は期待できない．そこで 1 つの画素に対し，記憶回路と論理演算回路を持つ機能セルを割り当て，同セルを 2 次元アレー状に配置し，各セルを共通の信号で制御することで，完全並列処理を行う Morphology2 値画像処 VLSI の試作を行った．提案するアーキテクチャでは，2 値の Morphology 演算に要する処理ステップ数は算対象画像サイズに依存せず，高速な処理が期待できる．また，画像データを各セルに保存するため，外部メモリとのデータ通信に起因するボトルネックを解消する．すべてのセルは共通の制御信号で動作するが，各セルは演算終了を単独で判断し以後の処理の一部を省略するため，消費電力の低減が期待される．隣接する上下左右のセル，およびセル内部のシフトレジスタをパストランジスタで接続することにより，同規模の VLSI を論理回路で構成した場合と比較して，トランジスタ数を約 62%削減することができた．試作した VLSI の画素数は 50 × 50 である．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：その他

配線表皮効果，配線波形測定回路

東京大学生産技術研究所　　Danardono Dwi Antono，稲垣 賢一

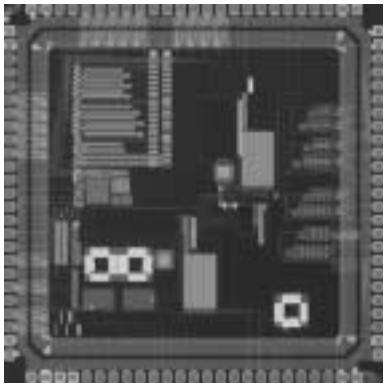


概要：ディープサブミクロン世代における LSI 設計では，信号伝送が高速化されるに伴い信号波形の保証が重要となる．配線における遅延，クロストーク，オーバーシュート，アンダーシュートなどを正確に見積もり設計にフィードバックするには，配線のパラメータを測定し設計指針を作る必要がある．配線を通る信号の周波数が高くなるほど，配線表面に電流が集中し，この現象を表皮効果と言う．この効果によって配線の抵抗が大きくなり伝達する信号の遅延が大きくなる．微細化技術が進むにつれて，さらに高周波数の信号が使用されることによって，表皮効果の現象も起こりうると考えられる．表皮効果に対する対策を取った回路と比較用の通常配線を設計した．測定結果から伝達する信号の遅延時間を比較することによって表皮効果の実態を解明できることを期待する．また，LSI 内部波形は測定装置とチップ間のマッチング等の問題により，簡単に測定することは困難である．本試作では配線への入力信号をチップ内部で生成し，出力波形をサンプリングして順次読み出すことにより，入出力のマッチング等を考慮することなく高速の信号を得る技術を確立させる TEG も搭載している．

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：TEG（特性評価回路など）

ワイヤレス I/O TEG，リークカット回路

東京大学生産技術研究所　　関 庚湜，神田 浩一，崔 珍赫



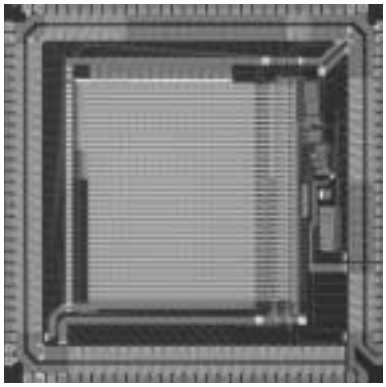
概要：近年のシステム LSI の課題の一つに開発コストが高騰していることがある．そのため，SoC の設計数が徐々に少なくなっている．この問題を軽減するためにシステムインパッケージ（SiP）を利用して開発コストを減らすアイデアがある．この方向の研究成果として，SiP 用，特にチップオンチップに向いた入出力として，キャパシタンスカップルによる入出力方式であるワイヤレススーパーコネクトを前回提案した．本試作はインダクタンスカップルによる通信を想定してチップ試作を行った．150μm 角のインダクタを対向させることにより 2 チップ間での通信を行う．MOS デバイス寸法がナノ領域に入るに従って，しきい値電圧も低下させる必要があり，その結果リーク電流が増加し，動作時でさえ支配的になってくることが予測されるため，リークカットの新手法の研究が急がれている．本試作にはリーク支配下における高速な選択的ブロック活性化手法として Zigzag Super Cut-off CMOS による高速な選択的ブロック活性化手法の検証回路も搭載している．

参考文献：Kyeong-Sik Min and Takayasu Sakurai, “Zigzag Super Cut-off CMOS（ZSCCMOS）Block Activation with Self-Adaptive Voltage Level Controller: An Alternative to Clock-Gating Scheme in Leakage Dominant Era”, ISSCC, Feb. 2003.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：ニューテクノロジ

3 値量子化結合ニューラルネットワーク

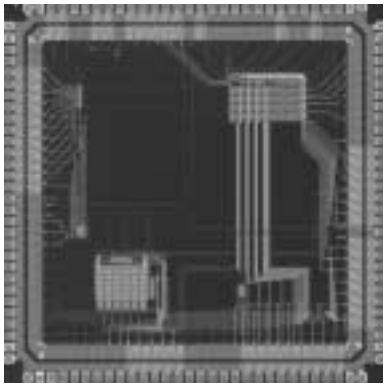
東北大学電気通信研究所　　安部 正夫，佐藤 茂雄，中島 康治



概要：実際の生物のニューロンはシナプスを介し1000～10000のニューロンにそれぞれ結合している．このニューロンをモデル化し，回路上で実現する場合にはニューロン数の2乗に比例するシナプス回路の面積が高集積化の妨げとなる．3値量子化した荷重値記憶用に2bitSRAMを用いシナプス回路の面積を低減した．更に，異なるチップ間のニューロン間接続用のバッファを設けることによりニューロンチップ間の接続を可能とし，量子化荷重値用に修正した決定論的ボルツマンマシン（DBM）の学習回路によりオン・チップ学習可能とし，20ニューロン900シナプス/1チップのマルチチップシステムの実現を図った．
設計期間：2人月以上，3人月未満　**設計ツール**：Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

高集積化に向けたニューラルネットワークとアナログ信号処理用累積加算回路の設計

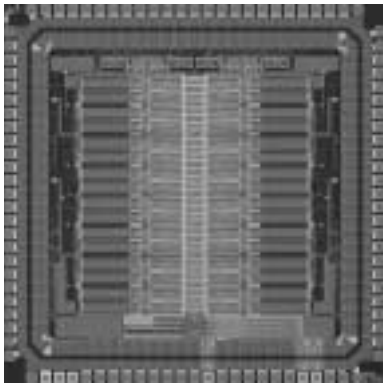
東北大学電気通信研究所　　末永 晋也，芳賀 琢哉，元田 大祐，佐藤 茂雄，早川 吉弘，中島 康治



概要：設計は以下の3つの領域に分けて行った．(1) ニューラルネットワークの集積化に関する課題は，大規模化したときのシナプス面積比の増大である．この問題を改善するために荷重値を3値に量子化してシナプスの面積を減らし，量子化で低下したネットワークの能力を活性化関数を非単調化することで補った．今回，6ニューロン全結合回路を設計した．(2) IDニューロンモデルは負性抵抗を導入できるモデルである．負性抵抗領域を活用しローカルミニマムからの脱出が可能だとされている．このモデルの使用により，既存のものよりも高性能なニューラルネットワークチップを製作できる．今回，4ニューロン全結合回路を設計した．(3) 累積加算回路とは時系列情報連想システムにおいて，単位時間あたりの連想結果を記憶して最終的な類似度を算出する回路である．アナログ連想システムにおいては，メモリの面積が大きさが問題となってくるため，DRAMを用いた累積加算回路を試作した．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm角　**チップ種別**：ニューテクノロジ

オフセット補償型電荷逐次積分 VLSI

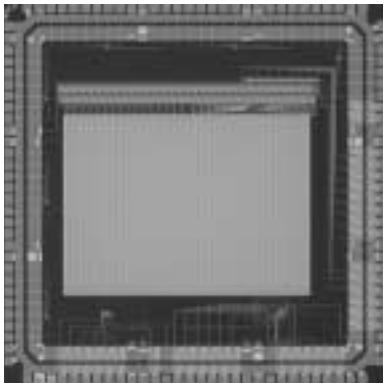
長崎総合科学大学工学部　　田中 義人，アートロジック㈱，酒井 雅司



概要：1997年より東京大学宇宙線研究所を中心とした国際共同研究，テレスコープアレイ・プロジェクト（Telescope Array Project）が計画されている．この計画では，宇宙線が作る大気シャワーから発せられる蛍光を検出し，超高エネルギー宇宙線の起源を探索する．この実験では，1基あたり約1万個の光電子増倍管をもつ観測ステーション10基を米国ユタ州に建設予定している．われわれは，これまでにプロトタイプCSI(Charge Successive Integrator：電荷積分回路）の試作・評価，及びプロトタイプCSIで問題となった出力のばらつきやノイズ特性を改良したオフセット補償型CSIの開発・試作を行ってきた［1］.
参考文献：Y. Tanaka, M. Fukutomi, M. Sakai, M. Hattori, M. Sasaki, T. Aoki, Y. Arai, “The CSI Chip-A CMOS Charge Successive Integrator with Wide Dynamic Range for the Telescope Array Project”, IEEE Transaction on Nuclear Science, Vol. 49, pp. 1814-1818, (2002).
設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm角　**チップ種別**：アナデジ混載

SFQ/CMOS ハイブリッドΣΔ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院　　吉川 信行，城殿 征志，本告 圭



概要：SFQ/CMOS ハイブリッドΣΔ AD コンバータは，SFQ ΣΔモジュレータの高速性，高感度性のため，高いオーバーサンプリング周波数が可能となり，高速，高分解能の AD コンバータを実現できる．一方，SFQ ΣΔモジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる．そのため，本研究では SFQ ΣΔモジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った［1］．SFQ ΣΔモジュレータからの 16GHz の信号は，まず，超伝導デマルチプレクサにより低速のパラレル信号に変更され，CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる．これにより，500MHz, 14b の AD コンバータが実現できる．本チップではダウンサンプリング係数 32 の 2 次の sinc フィルタを試作した．

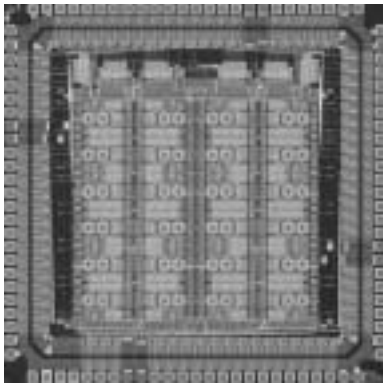
参考文献：[1]本告，吉川，“ RSFQ/CMOS Hybrid Decimation Filter の設計 ”，2001 年電子情報通信学会エレクトロニクスソサイエティ大会，C-8-7，pp. 32，電気通信大学，2001 年 9 月 .

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：演算回路（乗算器，除算器など）

フレキシブル・プロセッサ（FP-1）

東北大学大学院工学研究科　　大川 猛，野沢 俊之，藤林 正典，宮本 直人，カルナン レオ，喜多 総一郎，小谷 光司

東北大学未来科学技術共同研究センター　　大見 忠弘



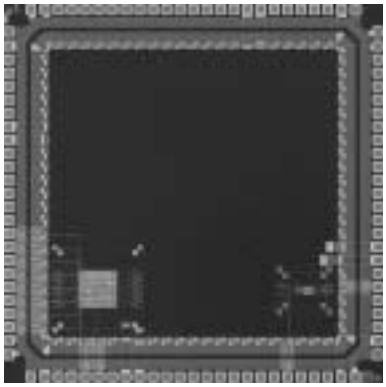
概要：回路を動的に再構成できる「フレキシブル・プロセッサ（FP-1)」を開発した．33MHz,5V での正常動作を確認している．従来の FPGA が電源投入時一度だけ回路を構成するのに対し，4 コンテクストの回路構成を要求に応じて切り替えて使用できる．また回路構成情報を削減するために，ロジックエレメントとして従来の LUT（Look-Up-Table）に換えて新開発のフレキシブル・モジュールを 24 個搭載している．更に，コンテクスト間でのデータの通信を可能とするために TCM（Temporal Communication Module：時間的通信モジュール）を搭載しており，一つの回路を適切に分割し順次実行することでオリジナルの回路の機能を実現する「回路の時分割実行機能」を備える．これにより大規模ディジタル回路のエミュレーションを単一のチップで行う，低コストなパーソナルエミュレータの実現を狙う．

参考文献：T. Ohkawa, T. Nozawa, M. Fujibayashi, N. Miyamoto, K. Leo, S. Kita, K. Kotani and T. Ohmi, “The Flexible Processor - Dynamically Reconfigurable Logic Array for Personal-use Emulation System”, 2003 Symposium on VLSI Circuits, Kyoto, Japan, session#21-3, June 2003

設計期間：10 人月以上　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：マイクロプロセッサ

大学院演習で FPGA を用いて設計・動作検証した回路のチップ試作

東京大学大学院情報理工学系研究科　　酒造 正樹，中條 晴樹，長澤 純人，松本 潔，下山 勲

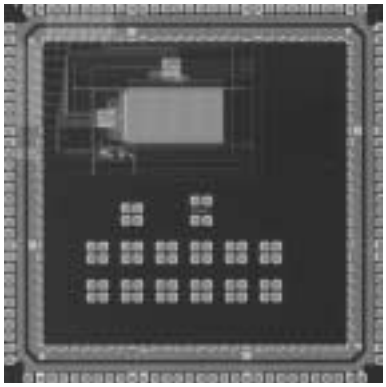


概要：東京大学大学院情報理工学系研究科知能機械情報学専攻の大学院演習に基づくチップ試作．修士課程 1 年生が演習にて FPGA を学んだ．その経験を活かして，チップ試作に挑戦した．東大 VDEC から用意されているライブラリを用いて，論理合成，配置配線の作業の流れを学んだ．本試作では PLL を構成する位相比較機と分周期を試作した．位相比較器はフリップフロップからなるものを，分周期はカウンタを用いて VHDL で記述した．LPF やチャージポンプ部分については今後付け加えるものとした．FPGA にて動作を検証した VHDL を Synopsys 社の dc_shell を用いて論理合成した．さらに，Avanti 社の Milkyway と Apollo にて配置配線を行った．また Cadence 社の Dracula にてデザインルールチェックを行った．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

1kbit SRAM の第 1 次試作

大阪府立大学先端科学研究所　　田中 智之，中尾 基，泉 勝俊



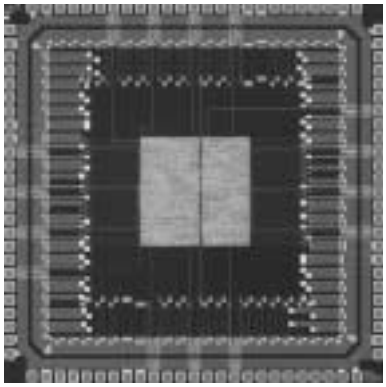
概要：本チップは本学初の LSI 試作チップであり，試作目的は集積回路の理解を深めるとともに，LSI 設計手法を習得することである．試作テーマとして用いた 1kbit SRAM は，メモリ量としては非常に小さいものであるが，情報量はメモリセル数に比例するものであり，基本的な機能構造は，現在市販されている大容量メモリと大差はない．これらのことより，本試作テーマはデコーダ等のディジタル回路部とセンスアンプ等のアナログ回路部があり，設計技術向上及び広範囲な設計ツール使用法の習得において最適と考えた．具体的な設計法は，メモリセル及びセンスアンプはカスタム設計とし，デコーダ回路等は Verilog-HDL で設計した．また，学生教育用にトランジスタレベルの基本素子を設計し，その特性を測定・評価できるように TEG 回路も作りこんだ．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：メモリ

パルススワローカウンタを用いた全ディジタル PLL

九州東海大学工学部　　佐々木 博文

九州東海大学産業技術研究所　　藤本 邦昭

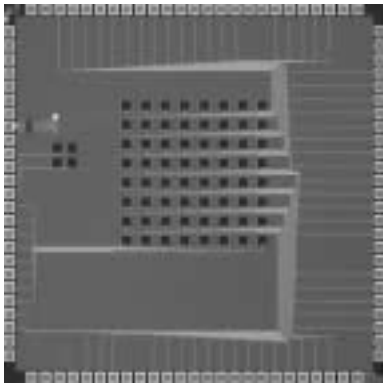


概要：従来の全ディジタル PLL（ADPLL）は，ディジタル制御発振器（DCO）部において高速固定クロック発生器からのパルスの抜き差しを行い，このパルスを固定分周器で分周し位相制御を行うため，同期範囲を広く取ることができなかった．そこで，この部分に可変分周器であるパルス・スワロ・カウンタを用い，位相差によって自動的に DCO 部の分周比を可変にすることにより，同期範囲を拡大した新しい方式の全ディジタル PLL を提案し，これを試作した．この試作回路は，高速引込み回路を付加した構成にしているので，入力信号 1 周期で引込みを完了させ，さらに，出力信号の特定周期間の分周比に +1 を行って逓倍時の出力ジッタを低減した．完成した試作チップは，シミュレーションの場合と同様に実験においても広い同期範囲と高速引込み，低ジッタ特性が得られた．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：その他

空間フィルタ検出器用フォトダイオードアレイ TEG の設計

東京工業大学大学院理工学研究科　　GO Hyunmin，高山 潤也，大山 真司，小林 彬

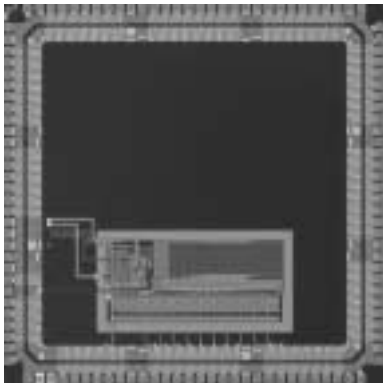


概要：空間的荷重を高速に変更できる空間フィルタ検出器の集積化を目的として，2 種類のフォトダイオードの TEG を設計し，その基本特性を評価した．各画素のサイズは 100um × 100um であり，その等価回路を HSPICE によって出力特性をシミュレーションした．また，作成した 2 種類のフォトダイオードアレイについては外部増幅回路を用いてその動作を確認し，出力特性を設計値と比較した．今回の試作でフォトダイオードアレイの基本特性が確認できたので，次回以降，空間的荷重の高速書き換えおよび出力信号の読み出し方式を確立し，空間フィルタ検出器としての性能を評価する予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：10 未満　**試作ラン**：ローム CMOS 0.6μm 3.8mm 角　**チップ種別**：TEG（特性評価回路など）

10bit 逐次比較型 AD 変換器の試作

同志社大学工学部　　井上 馨，加藤 利次



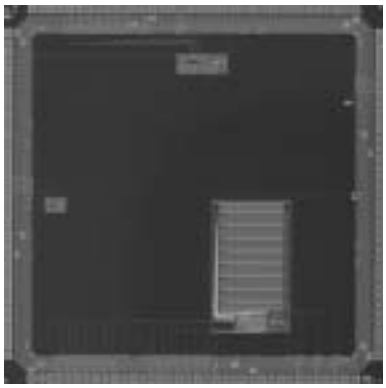
概要：アナログ・デジタル混載回路の一つである A/D 変換器を試作した．分解能は 10 ビットで逐次比較型を採用している．今回は初めての試作であったため，新しい回路方式を試すというよりは，研究室での実験時に学生が使用する汎用データ収集用として試作を行った．インターラプトやチップセレクトなどの機能は省略してあり，アナログ入力と外部クロックを入力するだけで，デジタル信号が出力されるようになっている．なお，テスターでの測定ではなく測定基盤を製作して検証を行ったが，回路は所望の動作をしなかった．原因を追求しているが，設計の最終段階で配線を誤った可能性がある．また，パッドにはまだまだ余裕があったことから，オペアンプやトランジスタ，抵抗，キャパシタなども単体で配置し，その特性を調べることができるようにすればよかった．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満
試作ラン：ローム CMOS 0.6μm 4.5mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

平成 13 年度　第 3 回　ローム CMOS0.6μm　チップ試作
（RO35012）

ランダムノイズ発生回路とノイズ低減回路の試作（2）

東京大学工学部　　**名倉 徹**
東京大学大規模集積システム設計教育センター（VDEC）　　**池田 誠，浅田 邦博**

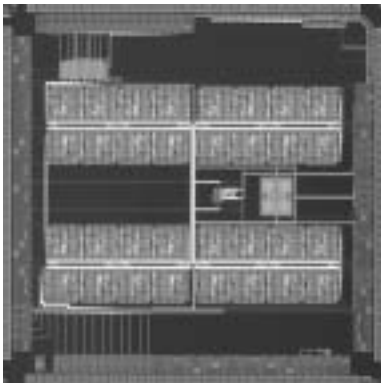


概要：集積回路の高集積化・低電圧化に伴いノイズ耐性が低下する一方で，高速化による di/dt ノイズが増大し，回路の信頼性に重大な影響を与えるようになってきた．我々は，スタブを用いることで電源ノイズを抑制する研究を行っている．本チップでは，ランダム信号発生回路（PRBS 2^7-1）の各出力にインバータ列を接続することでランダムなノイズを電源に発生させる回路と，そのノイズを低減するスタブを設計した．ノイズ発生回路は，VCO を内蔵することで外部から容易に動作周波数を変化させることが可能な構成にしている．このノイズ発生回路の電源線に対して，様々な種類のスタブと，同一面積のデカップリング容量と，何も付加しない場合とで，電源ノイズを比較するためのチップを試作した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

チップ間リピータ

熊本大学工学部　　**佐々木 守**

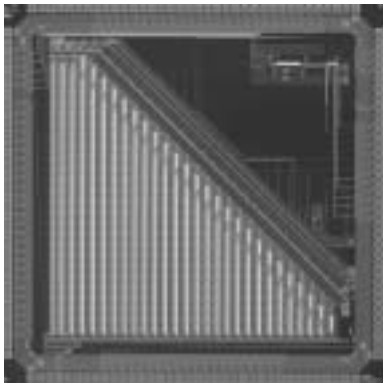


概要：PCI Expreess に代表されるように，次世代のチップ間およびボード間の信号伝送には，ポイント・ツー・ポイント接続によるシリアル伝送が採用される．数 Gbps という高速ディジタル伝送が行われるため，伝送線路での波形分散による符号間干渉が問題となってくる．そこで，チップ間およびボード間接続での波形分散を緩和できるチップ間リピータを開発し，そのプロトタイプを試作した．リピータは，送信チップと受信チップの間に実装され，内部で波形を整えて，再び信号を送信する．伝送路が長い場合は，複数のリピータをチップ間に配置する．リピータでは，入力信号をチップ内部で 50 Ω終端して受信する．その後，差動対を基本とした遅延回路で単位時間毎に遅延された複数の信号が，係数器と出力ドライバを兼ねた次段の回路に送られる．この回路で，係数調整された信号が結線により電流加算され，50 Ωの負荷抵抗をドライブする．このようにして，FIR フィルタおよび CML ドライバが構成される．今回は 3 タップの回路を設計，試作した．なお，遅延量，タップ係数，終端および出力負荷の抵抗値は，外部より調整可能にした．現在，測定評価中である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

カオスニューラルネットワーク LSI

広島大学先端物質科学研究科　　**伊井 慎一郎，森江 隆，永田 真，岩田 穆**



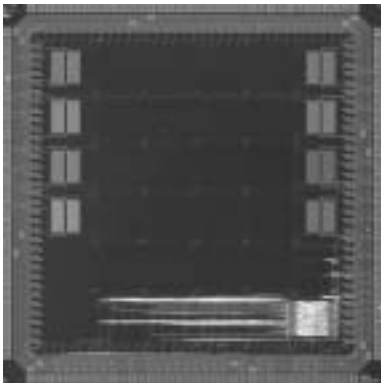
概要：我々が提案している任意の非線形ダイナミカルシステムのためのパルス変調回路アーキテクチャ［1］により，任意の非線形活性化関数を有し，カオスダイナミクスを実現する対称相互結合型ニューラルネットワーク回路を設計した．入力はパルス幅変調（PWM）信号で与えられ，シナプス部でスイッチト電流源を駆動することにより，パルス幅と電流値の乗算が行われ，電荷量で結果を得る．すべてのシナプス部からの電荷はキャパシタで加算され，電圧値として内部状態値を得る．内部状態電圧はパルス位相変調（PPM）信号に変換され，外部から与えられる任意の非線形電圧波形をサンプリングすることで，非線形変換を実現する．アナログシナプス荷重はキャパシタ電荷により記憶し，フィードバック制御により高精度にシナプス荷重を設定できるようにした．設計したチップは 25 ニューロンと 325 個の対称シナプス結合回路を有している．このチップは，過去に設計したもの［2］の改良版である．

参考文献：［1］T. Morie, et al., NOLTA'98, pp. 447-450, 1998.

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：ニューテクノロジ

パストランジスタ論理を用いた 16bit 乗算器

広島市立大学情報科学部　　越智 裕之，井上 哲也



概要：本チップは符号付き 2 進数を扱う 16bit 整数乗算器であり，トランスミッションゲートで構成されるパストランジスタ論理を活用して高速化・低消費電力化を狙っている．入力側の Booth セレクタ部分では，少ないトランジスタ数で実現できるパストランジスタ回路を採用して省面積と省電力を図る一方，最終段加算部では，少ない段数で実現できるパストランジスタ回路を採用して高速化を図っている．これらの中間に位置する Wallace 木部分は，動作速度と消費電力のバランスが要求されるため，通常の CMOS 論理の全加算器を使用している．消費電力の実測を容易にするため，線形帰還シフトレジスタを用いたランダムパタン発生器も内蔵している．

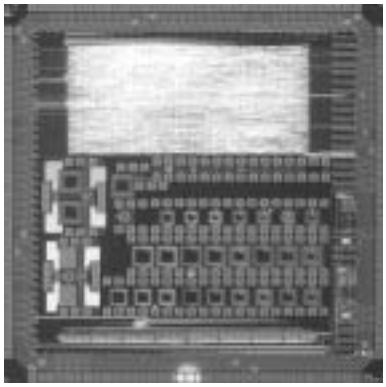
設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角

チップ種別：演算回路（乗算器，除算器など）

SystemC の RTL 記述を用いた SH 互換プロセッサの設計

京都大学情報学研究科　　荒本 雅夫，湯山 洋一，高井 幸輔

東京大学大規模集積システム設計教育研究センター　　小林 和淑，小野寺



概要：我々は，処理に特化したプロセッサを複数個使用して，短期間にシステムを構成する設計手法を考案している．そのためには，面積が小さく，カスタマイズ可能なプロセッサが必要である．本 LSI はその設計手法の基となる，できるだけハードウェアコストを下げたプロセッサである．本プロセッサは 5 段パイプライン方式，ハーバードアーキテクチャといった特徴を持つ．命令セットは日立製作所の SH-2 を基にしており，命令数は 42 種類 104 命令である．論理設計は SystemC の RTL 記述を用いて行った．処理に不要な命令を削除したり，データパスのビット幅を減少することを容易に行うことができるので，カスタマイズが可能となる．設計は修士の学生 2 人で行い，約 0.5 ケ月必要であった．今後，テスタによる測定を行い，動作周波数や消費電力の評価を行う予定である．

参考文献：荒本，湯山，高井，“ SystemC の RTL 記述を用いた SH 互換プロセッサの設計 ”，信学技報，no IE2002-75，pp. 33-38，2002/10

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角

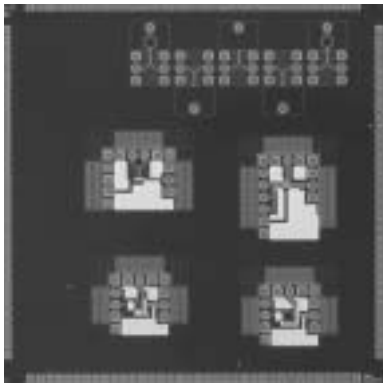
チップ種別：マイクロプロセッサ

RF 回路用インダクタ・キャパシタ

東京大学工学系研究科　　今村 晃

東京大学工学部　　鬼塚 浩平，三瓶 真弘

東京大学新領域創成科学研究科　　藤島 実

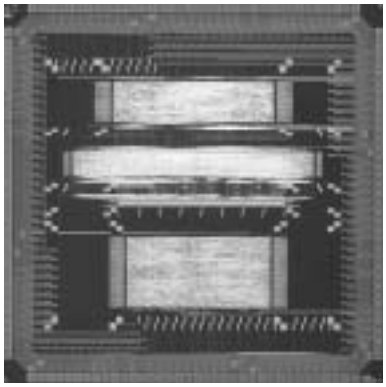


概要：RF 回路ではインダクタやキャパシタの高周波性能により回路の性能が大きく左右される．特に，ミリ波帯の CMOS 回路を実現するには，受動素子の自己共振周波数を向上させなければならず，寄生容量の小さなインダクタや寄生インダクタンスの小さなキャパシタが必要となる．我々は，インダクタの寄生容量を小さくするためにシールドに DC バイアスを印加し基板表面の空乏層を利用する方法や，キャパシタの寄生インダクタンスを小さくするために隣接する電極に逆向きの電流を流すことによりインダクタンスを打ち消す構造のくし型キャパシタを提案した．RF 回路に用いられるさまざまな用途を想定し，さまざまなサイズの新しいインダクタおよびキャパシタについて，自己共振周波数や Q 値を評価するためのテストデバイスを設計した．なお，設計された素子はネットワークアナライザを用いて評価されるが，その際用いられる校正用パターンも同一チップ上に作成している．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：10 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

PPED に基づく画像特徴抽出 VLSI

東京大学工学系研究科　　八木 雅和，山崎 英男
東京大学新領域創成科学研究科　　柴田 直

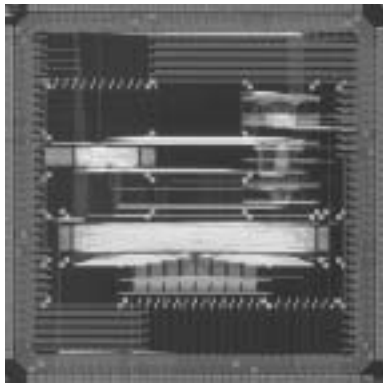


概要：画像認識を行う際に最も重要なのは冗長で膨大な画像データから特徴を抽出しベクトル表現に変換することである．このような手法として Projected Principal-Edge Distribution（PPED）手法が我々の研究室で開発された．その有用性はソフトウェアシミュレーションで検証された．しかし，アセンブリレベルでは，認識処理において演算コストの 98%がベクトルの生成に費やされている．そこで，システムの処理速度向上のためベクトル生成の高速化を行う VLSI を設計した．この LSI ではこの処理の中でも最も演算コストの高いメディアン値検索機能に特に注目して設計・開発を行った．アルゴリズムとしてはバイナリサーチアルゴリズムを用いた．このバイナリサーチアルゴリズムで最も高速化が必要である多数決機能部は，デジタル技術による演算では効率が悪くなる．そこで，電流モードのアナログ回路を用いて実現した．効率的にデジタル技術とアナログ技術を用いて高速に画像の特徴抽出を行う VLSI を低消費電力・小規模の回路で実現した．また，アナログ回路を用いるとその演算精度が問題になるが，認識には影響を与えないことは実際の測定で実証された．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

フローティングゲート MOS（neuMOS）を用いた画像特徴抽出用メディアン検索回路

東京大学工学系研究科　　八木 雅和，山崎 英男
東京大学新領域創成科学研究科　　柴田 直

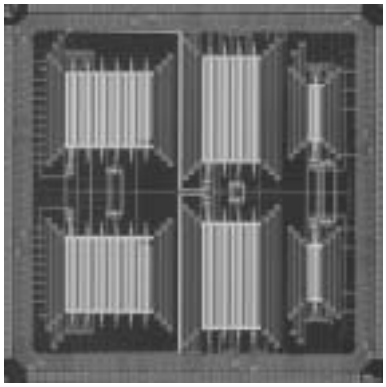


概要：画像認識を行う際に最も重要なのは冗長で膨大な画像データから特徴を抽出しベクトル表現に変換することである．このような手法として Projected Principal-Edge Distribution（PPED）手法が我々の研究室で開発された．ベクトル生成の高速化を実現するためには，このアルゴリズム中で最も演算コストの高いメディアン値検索機能の高速化が必要不可欠である．そこで，本チップではメディアン値検索機能の最適化を行った．採用したバイナリサーチアルゴリズムの中で最も高速化が必要で重要である多数決機能に関して，デジタル論理型，電流型，フローティングゲート MOS（neuMOS）型の回路の設計・試作を行った．そして，この中で最も低消費電力・高速化が期待できる neuMOS 型の多数決回路を用いて 8Bit のメディアン検索回路を作成した．このようにアルゴリズム中で最も重要で高速化が必要な機能部の最適化を行い，効率的に高速低消費電力の画像特徴抽出用メディアン検索回路を実現した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナデジ混載

フローティング・ゲート MOS（neuMOS）回路技術を用いた高速・低消費電力アナログ CDMA マッチトフィルタ

東京大学工学系研究科　　山崎 俊彦
東京大学工学部　　福田 智洋
東京大学新領域創成科学研究科　　柴田 直



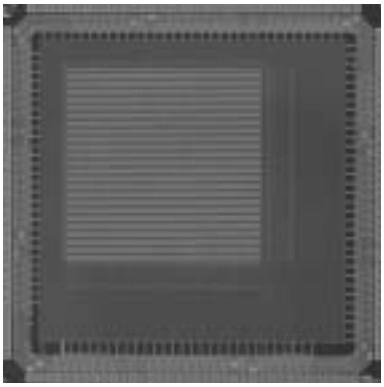
概要：フローティングゲート MOS（neuMOS）技術を用いて，高速・低消費電力なアナログ CDMA マッチトフィルタを開発した．高速動作のために 1 ステップ演算方式を開発し，低消費電力のためにディスチャージ型サンプル・ホールド回路を採用した．また，アナログシフトレジスタを用いる代わりに PN コードをシフトさせて相関演算する手法を開発し，より高精度な演算が可能となった．2001 年 11 月に 0.6um で試作した回路を 0.35um プロセスに最適化した．これにより，さらなる低消費電力化，高集積化を実現した．実際の測定により，完全に動作することを確認した．

参考文献：T. Yamasaki, T. Fukuda, and T. Shibata, “A Floating-Gate-MOS-Based Low-Power CDMA Matched Filter Employing Capacitance Disconnection Technique”, accepted for the presentation at the 2003 Symposium on VLSI Circuits.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

アナログ相関回路を用いた実時間動き位置検出回路

東京大学工学系研究科　山崎 俊彦
東京大学新領域創成科学研究科　梅島 誠之，柴田 直



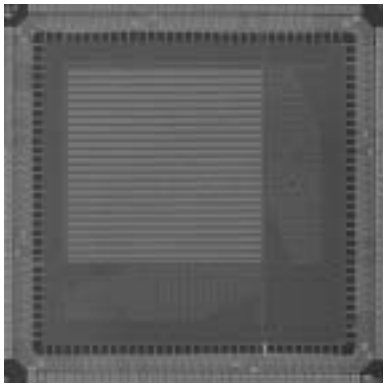
概要：我々の研究室では，動いている物体の位置と速度を実時間で検出するイメージセンサの研究を行っている．昨年度の試作では我々の研究室で独自に開発した「疑似 2 次元アルゴリズム」を用いて，イメージセンサの周辺にのみ演算回路を配置した簡単な構造で複雑な背景上を動く物体でも正確にその動きを検出することが可能であることを示した［1］．しかし，複数の物体が同時に動いている場合などへの対応には比較的複雑なアルゴリズムを必要とするなどの問題があった．そのため，本試作では新たに 1 ピクセル毎に我々の研究室で開発しているアナログ相関演算回路を埋め込み，より正確に，またロバストに動いている物体の位置と速度を検出できるアーキテクチャを考案した．センサのサイズは 48 × 48 で，複数の物体を検出するために任意の矩形範囲を切り出して処理を行う機能を持っている．本チップは動作テスト用に試作されたもので，動いている物体の位置のみを検出できるように設計されている．

参考文献：［1］H. Kimura and T. Shibata, “A Motion-Based Analog VLSI Saliency Detector Using Quasi-Two-Dimensional Hardware Algorithm”, Proc. of ISCAS 2002, pp. III-333-III-336, 2002.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

アナログ相関回路を用いた実時間動き速度検出回路

東京大学工学系研究科　山崎 俊彦
東京大学新領域創成科学研究科　梅島 誠之，柴田 直



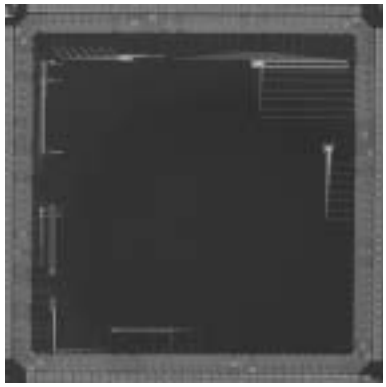
概要：我々の研究室では，動いている物体の位置と速度を実時間で検出するイメージセンサの研究を行っている．本試作では新たに 1 ピクセル毎に我々の研究室で開発しているアナログ相関演算回路を埋め込み，より正確に，またロバストに動いている物体の位置と速度を検出できるアーキテクチャを考案した．本チップは動作解析用に動いている物体の速度のみを検出するように設計された回路である．48 × 48 pixels のセンサ内で ± 15 pixels/sample の速度まで検出することが可能である．また，イメージセンサ内に用いているアナログ相関演算回路は参考文献［1］で用いられているものと同様のものを使用している．

参考文献：［1］T. Yamasaki and T. Shibata. “An Analog Similarity Evaluation Circuit Featuring Variable Functional Forms.”, Proc. of ISCAS 2001, Vol. 3, pp. Ⅲ-561-564, 2001.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

アナログ電流を用いた画像フィルタリング LSI

東京大学新領域創成科学研究科　田口 晶康，柴田 直

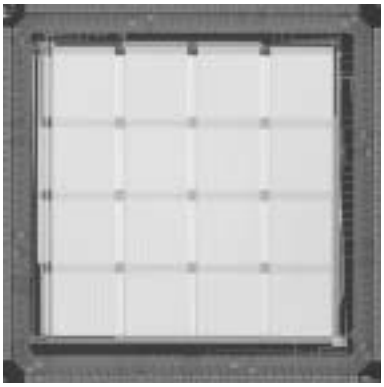


概要：画像からその特徴的情報を抽出するために用いるフィルタリング処理をアナログ技術より行う画像処理プロセサである．既に Scanning line-parallel processing と呼ぶ新しいアーキテクチャの採用により必要なクロック数を画像の縦と横のサイズの和のオーダで全体のフィルタリングが終了するチップを試作し，本チップは従来の利点を生かしつつ大規模化を実現した．アーキテクチャの要となる全体のメモリアレイは，大規模化することにより配線が長距離になり，寄生容量が増大し，動作速度を低減させてしまう．そこで，メモリアレイを分割し，回路動作に影響を与える寄生容量の低減および高速化を図った．扱うことのできる画像サイズは 128 × 128 pixels である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

アナログ電流を用いた画像フィルタリング LSI の TEG

東京大学新領域創成科学研究科　　田口 晶康，柴田 直



概要：画像からその特徴的情報を抽出するために用いられるフィルタリング処理をアナログ技術より行う画像処理プロセサの特性評価用 TEG である．既に Scanning line-parallel processing と呼ぶ新しいアーキテクチャの採用により必要なクロック数を画像の縦と横のサイズの和のオーダで全体のフィルタリングが終了するチップを試作し，本チップは従来の利点を生かしつつ大規模化を実現した．アーキテクチャの要となる全体のメモリアレイは，大規模化することにより配線が長距離になり，寄生容量が増大し，動作速度を低減させてしまう．そこで，メモリアレイを分割し，回路動作に影響を与える寄生容量の低減および高速化を図った．扱うことのできる画像サイズは 128 × 128 pixels である．

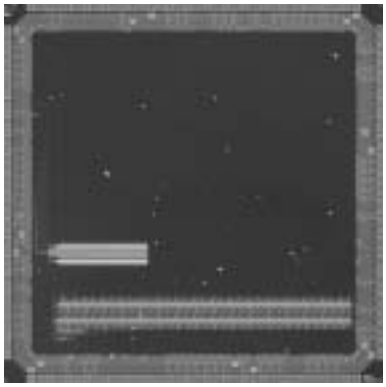
設計期間：1 人月以上，2 人月未満　**トランジスタ数**：10,000 以上，100,000 未満

試作ラン：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

低消費電力 CMOS アナログマッチトフィルタの試作

早稲田大学理工学部　　河津 大志，佐々木 昌浩，松本 隆

早稲田大学理工学総合研究センター　　坂井 丈泰

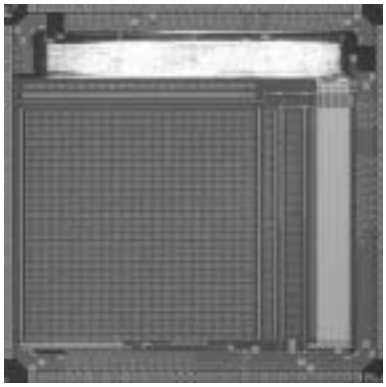


概要：Matched Filter は，携帯移動端末での採用が進みつつある DS-CDMA 方式で，拡散符号の同期捕捉のために必要であり，その構成法が多数発表されている．特に，携帯移動端末用 LSI に適用するために，消費電力とチップ面積の低減が重要な課題となっている．主な構成法としては，Digital Matched Filter があるが，単体での消費電力は低減されているものの，Matched Filter 以外にも受信信号を逐一精度良く量子化する為の高速・高精度 A/D コンバータが必要となり，消費電力やチップ面積の多くを占めている．今回は，高速・高精度 A/D コンバータや A/D 量子化ビット数×タップ数分のシフトレジスタを必要としない回路構成により低消費電力化・小面積化を可能にした，キャパシタ積和演算を用いた Analog Matched Filter の試作を行った．今回の試作は実際の使用時に必要となるタップ数（128 タップ）で構成されており，動作の確認によって実用化の目処をつける．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

カオスニューラルネットワーク LSI

広島大学先端物質科学研究科　　伊井 慎一郎，森江 隆，永田 真，岩田 穆

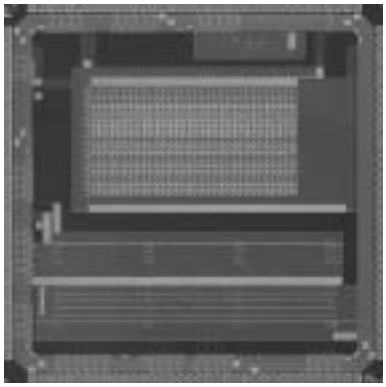


概要：我々が提案している任意の非線形ダイナミカルシステムのためのパルス変調回路アーキテクチャ［1］により，任意の非線形活性化関数を有し，カオスダイナミクスを実現する対称相互結合型ニューラルネットワーク回路を設計した．入力はパルス幅変調（PWM）信号で与えられ，シナプス部でスイッチト電流源を駆動することにより，パルス幅と電流値の乗算が行われ，電荷量で結果を得る．すべてのシナプス部からの電荷はキャパシタで加算され，電圧値として内部状態値を得る．内部状態電圧はパルス位相変調（PPM）信号に変換され，外部から与えられる任意の非線形電圧波形をサンプリングすることで，非線形変換を実現する．アナログシナプス荷重はキャパシタ電荷により記憶し，フィードバック制御により高精度にシナプス荷重を設定できるようにした．設計したチップは 25 ニューロンと 325 個の対称シナプス結合回路を有している．このチップは，過去に設計したもの［2］の改良版である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：ニューテクノロジ

適応型 CMOS イメージセンサの個別回路評価用 TEG

広島大学先端物質科学研究科　　今村 俊文，森江 隆，岩田 穆



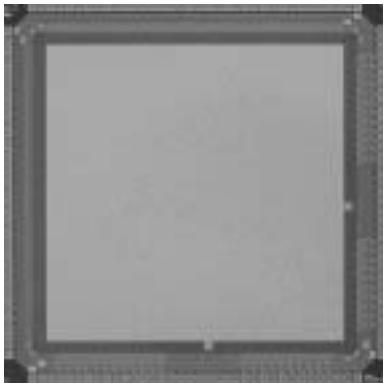
概要：本チップは，ダイナミックレンジ（DR）を拡大する機能を持つ適応型 CMOS イメージセンサで利用している個別回路の特性を評価するための TEG である．チップ上には下記 4 種類の評価回路を集積化した．(1) 各種 PD（n-Well/p-Sub, n-Diff/p-Sub, p-Diff/n-Well）：フォトディテクタ部分の構造及び容量値の最適化 (2) コンパレータ回路：閾値ばらつき等の特性評価（3）ソースフォロア回路：回路構成の違いによる線形性等の評価（4）ランプ発生回路：回路構成の違いによる線形性等の評価 (1)，(2)，(3) については，チップ上の位置による特性の変動を測定できるように，左端・中央・右端の各部に回路を配置した．(4) については，複数の傾きのランプ波形を生成する回路構成として，キャパシタの容量を変える方式と，MOS の並列度を変える方式の 2 種類について設計した．測定結果より，MOS の並列度を変える方式の方が，各ランプ波形の比率を 2^n に合わせやすいことを確認した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

アダマール変換機能を有するイメージセンサ回路の設計

広島大学大学院工学研究科　　片山 光亮

広島大学大学院先端物質科学研究科　　永田 真，森江 隆，岩田 穆



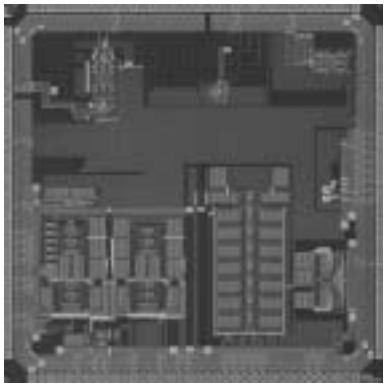
概要：CMOS イメージセンサは通常の CMOS プロセスで構成可能なことからアナログ・デジタル回路と組み合わせた機能イメージセンサが報告されている．我々は，直交変換の 1 つであり，画像圧縮や特徴抽出に有効なアダマール変換を回路化することでイメージセンサに新たな機能を付加した．前回の 64 × 64 ピクセルを搭載した試作チップの測定結果をもとに，今回各ピクセル回路を見直すことで 256 × 256 ピクセルを搭載可能となった．各ピクセルでは光強度に応じた電流がアダマール基底により分流され，共通線を通じて加算される．加算されたアナログ値は簡易 AD 変換器をとおしてデジタル値としてチップから出力される．このデジタル出力がアダマール変換係数となる．現在試作チップ測定のための治具を作成中である．今後オンチップアダマール変換イメージセンサによる画像変換システムを構築し，本回路がシステムの小型化に寄与することを示す予定である．

参考文献：片山他，“ アダマール変換機能を有するイメージセンサ回路の設計 ”，p. 148，2001 年 VDEC 年報（2001）.

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

無線通信用 IF と ADC の設計

広島大学大学院先端物質科学研究科　　吉田 和史，小川 卓臣，岩田 穆

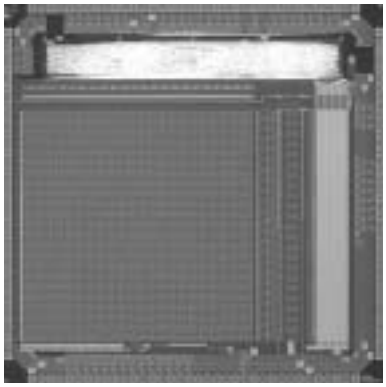


概要：無線通信端末において，受信機に要求される電圧利得の多くは，周波数の低い IF 帯に割り振られる．PI/4QPSK のような位相・振幅いずれにも情報をもつ変調方式を高精度で実現するためには C/N 特性に優れたローカル発振器，フェーズリニアで利得を自動制御するアナログ増幅器が IF 帯で求められる．これらの IF システムのワンチップ化を目指し，VCOPLL, AGCAMP, 100kHz 帯で使用可能な DC カット回路を試作した．VCO に関しては 6.25kHz 離調で C/N-108dBc/Hz を実現し，AGCAMP に関しては NF=17dB を達成した．DC カット回路に関しはハイパスカットオフ周波数 155Hz を実現した．CCO 型 Δ Σ ADC モジュレータで以下の変更を行い，0.35μ プロセスを用いて設計を行った．変更点は 1. DAC の逆相 2 入力信号のディレイ調整によるノイズ低減，及びバッファー付加による DAC 用スイッチング回路の駆動力の増加，2.　CCO 量子化器用カウンター回路のバッファー付加によるジッタ低減，3.　電流制御型発信器出力のバッファー付加，である．本 ADC モジュレータで帯域付近の入力周波数を用いた場合，PowerMill によるシミュレーション値で 75dB の S/N 比を得ている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

適応型 CMOS イメージセンサ

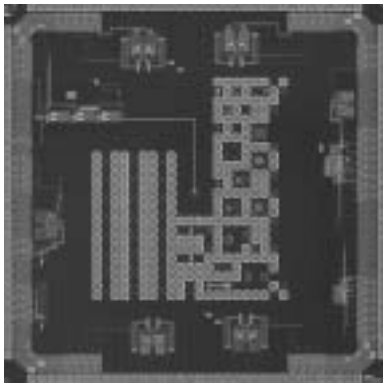
広島大学先端物質科学研究科　　今村 俊文，山本 美子，森江 隆，岩田 穆



概要：高速・高機能ロボットの制御に適したマルチプロセッサ通信ネットワークの構築を目的としたチップ試作を行っている．ロボット用途ではケーブルの重さ等がアクチュエータ系に影響するため，少ない伝送路でデータ転送する必要がある．また，性質の異なるデータが複数存在するため，これらを効率よく転送する必要もある．そこで，CDMA 方式による多重化を行い，拡散符号と符号長の動的制御を行うことで少ない伝送路で効率良いデータ転送を実現する．本試作チップは，ロボット制御に用いる DSP ボードとデータのやり取りを行うためのインタフェース回路である．測定の結果，期待通りの動作を確認した．
設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100,000 以上
試作ラン：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

神経信号センシング LSI の RF 回路 TEG

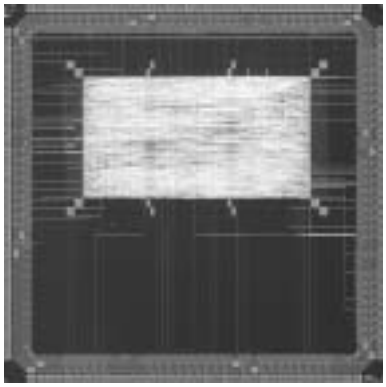
広島大学先端物質科学研究科　　吉田 毅，真下 隆行，赤木 美穂，岩田 穆



概要：自然な魚の運動と神経パルスを同時に観測し，小脳の神経活動と運動の関係を調べるための神経信号センシング LSI の設計を行っている．神経信号センシング LSI は，微小で低周波数成分を持つ神経信号を，同時に多数検出する必要があるため，多入力チャンネル化，小面積化，低消費電力化，増幅回路の低雑音化が要求される．これらの要求を実現するため，低雑音増幅回路ブロック，ADC ブロック，RF 回路ブロックを 1 チップで構成した神経信号センシング LSI の RF 回路 TEG を設計，試作を行った．試作した RF 回路 TEG は，100MHz を中心周波数とする LC 形 VCO，ミキサー（FSK 及び PSK）等である．実際にチップの測定を行い，VCO の発信周波数 100MHz 〜 110MHz, FSK 及び PSK 変調動作を確認した．
設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

DSP ボードとの通信インタフェース回路

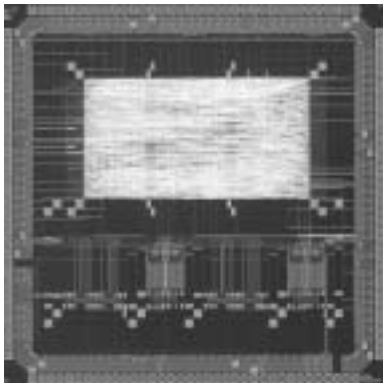
広島大学先端物質科学研究科　　汐崎 充，岩田 穆



概要：高速・高機能ロボットの制御に適したマルチプロセッサ通信ネットワークの構築を目的としたチップ試作を行っている．ロボット用途ではケーブルの重さ等がアクチュエータ系に影響するため，少ない伝送路でデータ転送する必要がある．また，性質の異なるデータが複数存在するため，これらを効率よく転送する必要もある．そこで，CDMA 方式による多重化を行い，拡散符号と符号長の動的制御を行うことで少ない伝送路で効率良いデータ転送を実現する．本試作チップは，ロボット制御に用いる DSP ボードとデータのやり取りを行うためのインタフェース回路である．測定の結果，期待通りの動作を確認した．テスタによる測定は行っていない
設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

ロボット用途向け CDMA シリアル通信チップ

広島大学先端物質科学研究科　　汐崎 充，岩田 穆

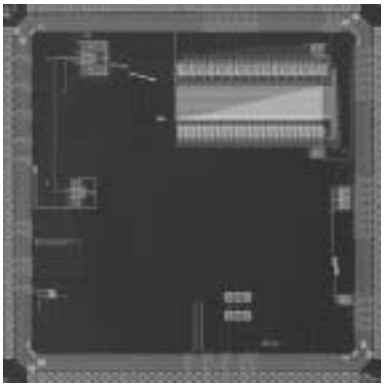


概要：高速・高機能ロボットの制御に適したマルチプロセッサ通信ネットワークの構築を目的としたチップ試作を行っている．ロボット用途ではケーブルの重さ等がアクチュエータ系に影響するため，少ない伝送路でデータ転送する必要がある．また，性質の異なるデータが複数存在するため，これらを効率よく転送する必要もある．そこで，CDMA 方式による多重化を行い，拡散符号と符号長の動的制御を行うことで少ない伝送路で効率良いデータ転送を実現する．本試作チップは，昨年度に設計した送受信回路と DSP ボードとのインタフェースを搭載している．これによりマルチプロセッサ通信ネットワークを実現する．テスタによる測定は行っていない．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, SII 社 SX9000　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

神経信号センシング LSI のための TEG の設計

広島大学大学院先端物質科学研究科　　吉田 毅，真下 隆行，赤木 美穂，岩田 穆

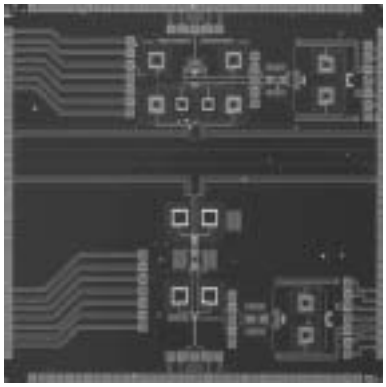


概要：本研究室では，生体のもつ情報をセンシングし無線で通信する研究を行っており，そのために必要な測定回路のオペアンプおよび AD コンバータの TEG を本チップにおいて試作した．今回は神経信号のセンシングをターゲットとしているため，オペアンプで低雑音，ADC で高精度が求められる．オペアンプでは低雑音化のために chopper-stabilized-amp 構成を考えており，そのための chopper 回路，全作動アンプ，レベルシフト用のソースフォロワを個別に設計した．また ADC では低周波信号を高精度にデジタル化し，同時に低消費電力化を計るため，10bit 抵抗ストリング型直並列 AD 変換回路を設計した．今後はこれらの個別回路を組み合わせて全体の評価を行うとともに個々のさらなる低消費電力化を計る．なお，このチップ中の ADC の TEG の測定を行い，基本動作の確認を行った．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

無線チップ間通信回路の設計

大阪大学大学院工学研究科　　松岡 俊匡，清水 由幸，車 承佑

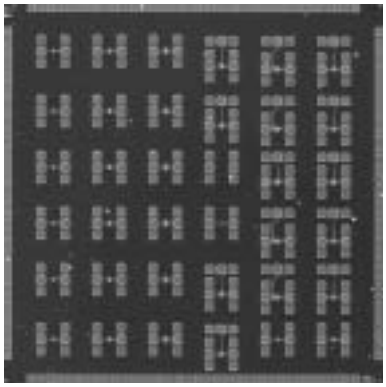


概要：将来の LSI においては，ピン数の増加が顕著になることが予想される．これを解決することを目的として，本チップでは，チップ間のデータ通信を無線で行なうためのインタフェース回路の RF フロントエンド部を設計している．RF 周波数は 2.4GHz とし，変復調方式は BPSK とした．送信回路は，アップコンバージョン・ミキサ，電圧制御発振回路（VCO），パワーアンプより構成される．一方，受信回路においては，低雑音増幅回路（LNA）, VCO，ダウンコンバージョン・ミキサ，ローパスフィルタを用いている．送受信回路各々は，パッド，ボンディング・ワイヤを経由してアンテナを搭載できるような配置にしている．これにより，アンテナ長の制約を緩和することができる．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

ノイズ特性評価用トランジスタ

大阪大学大学院工学研究科　　島 秀樹，谷口 研二

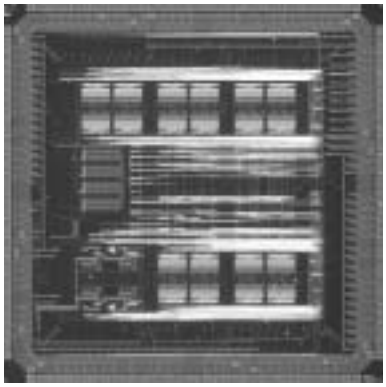


概要：近年のトレンドである集積回路の 1 チップ化は，高周波回路においても，製品の小型化を実現する上で重要な課題である．このような 1 チップ化において，CMOS デバイスの高周波特性を理解することは重要である．高周波回路を設計する上で重要な特性の一つにノイズがある．本試作では MOS トランジスタの雑音パラメータを抽出する事を目的として TEG の設計を行った．雑音パラメータについては，そのゲートーソース間電圧とドレインーソース間電圧に対する依存性，及び L/W に対する依存性を測定する事を考慮して複数のトランジスタを試作した．単体の NMOS 及び PMOS のそれぞれに対してソース接地型，ドレイン接地型，ゲート接地型，また低雑音アンプへの応用を考慮したカスコード型のトランジスタが含まれる．

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

Multiple-Bit CDMA インタフェースのビットエラーレート評価用 IC

大阪大学大学院工学研究科　　清水 新策，岩村 宏，松岡 俊匡，谷口 研二

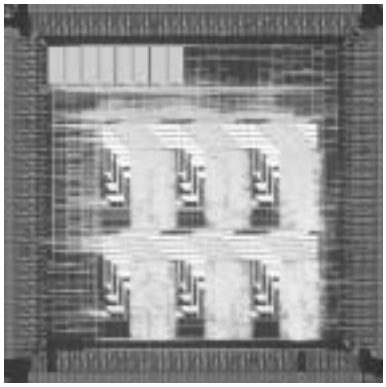


概要：Multiple-Bit Code Division Multiple Access（MB-CDMA）は送信信号を擬似ノイズを用いて拡散させることで，伝送路上での狭帯域ノイズに耐性を持つインタフェースである．本チップはこの MB-CDMA の伝送路上でのノイズ耐性を評価するために，チップ外からノイズを伝送路上に挿入し，そのときのエラーレートを確認することを目的としている．さらに送受信回路のクロックを別にすることで，送受信回路間のクロックスキューがエラーレートに与える影響，また送信回路の駆動力を変えることで，送信信号の時定数による歪みがエラーレートに与える影響も評価できる．本チップでは，バス上での信号の多重度がエラーレートに与える影響も評価するために，送信回路は 20 個，受信回路は 2 個，そしてバスの電位をリセットする安定化回路を搭載した．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナデジ混載

並列リコンフィギュラブルロジックを用いた画像処理 FPGA

東北大学工学研究科　　杉村 武昭，小柳 光正

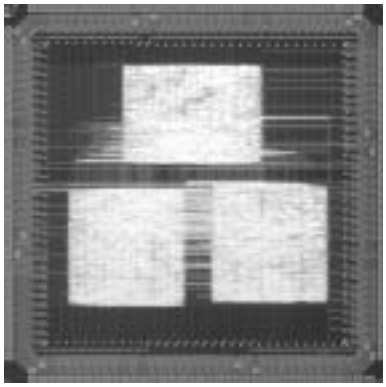


概要：画像などのストリーミングデータのリアルタイム処理は従来のマイクロプロセッサでは困難であり，ワイヤードロジックを使用した専用 LSI を用いることが望まれる．しかし，このような専用 LSI では，機能の変更が不可能，開発コストが高いなどの問題が存在する．これに対し，FPGA 等のリコンフィギュラブルロジックを使用した LSI はその機能を自由に変更することができるため，多様な処理を行なうことが出来る．このような画像の高速ストリーミング処理と，自由に変更可能な画像処理機能の実現を目的として，画像処理向け FPGA の設計を行なった．設計にあたり構成ロジックの並列化を行ない，結線情報を保持するコンフィギュレーションメモリの削減と処理の高速化を試みた．本チップは ALU 機能を持つ 6 つの画像処理ユニットとそれらを結ぶ相互配線網から構成され，8 ピクセルを同時処理可能な並列データパスを実装した．また，時間微分回路の実装のため，画像を保存する 2KB のフレームメモリも搭載している．測定の結果，閾値処理回路の並列データパスの実装と，実装した回路の動作が確認された．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**:100,000 以上　**試作ラン**:ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

高 性 能 Parallel Processor System 用 High Speed Communication Chip の設計

東北大学工学研究科　　劉 哲



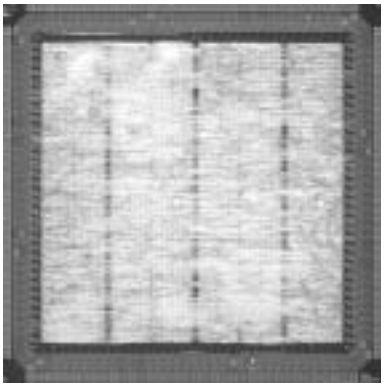
概要：並列処理システムの広範な利用の拡大に伴い，高速かつ大容量のプロセッサ間通信を可能とする高性能な Communication Chip が求められている．高帯域 I/O インターフェースを有し，プロセッサ間で同時データ通信が可能な Communication Chip は，容易に並列処理システムを実現し，開発コストの低減，市場投入までの時間の短縮，製品寿命の延長などの利点がある．このような目的のために multiport ring-bus アーキテクチャーを提案し，今回のチップにそのアーキテェクチャーを採用，設計を行った．multiport ring-bus は従来の ring-bus 構造と比べて，複数のプロセッサからの同時アクセスとデータの転送を可能とするために独立に転送可能な 4 つの I/O インターフェースを実装し，4 つのプロセッサ間で Byte, Word 単位の転送と任意長での転送が可能である．さらに各 I/O インターフェースは独立に初期化とプロトコルの変更ができるように設計した．シミュレーションから 100MHz のクロックで 3.2Gbytes/s の通信速度が達成できる予想された．試作チップによる測定から 50MHz 以上での正常動作を確認した．

参考文献：S. Shimatani and M. Koyanagi, SSDM, pp. 330-332（1995）

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：マイクロプロセッサ

隠れマルコフモデル法に基づく音声認識回路の設計

北海道大学大学院工学研究科　　吉沢 真吾，宮永 喜一



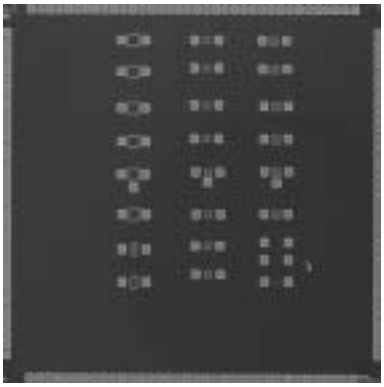
概要：我々のグループでは高精度の音声認識システムを 1 チップ上で実装し，携帯機器などに搭載可能なヒューマンインターフェイスの実現を目指している．本チップでは，認識処理の高速化を行い，音声認識部，音声分析部などの各モジュールを組み合わせた単語音声認識システムを設計した．このシステムは A/D 変換後の 12bit ディジタル音声信号を入力し，ユーザー側で用意したモデルパラメータを基にして距離計算を行い，認識判定の結果が出力される．音声認識では隠れマルコフモデル法（Hidden Markov Models）アルゴリズムを採用し，認識単位は単語である．音声分析では FFT ケプストラム分析法を使用した．並列処理，固定小数点演算器の規模縮小化により逐次処理と比較して処理サイクルを 1/40 にまで削減した．最高動作周波数は 63.2MHz であり，100 単語の認識処理時間は約 3ms である．

参考文献：[1] 吉沢真吾，宮永喜一，吉田則信，“ 一括並列処理による HMM 高速化手法およびその VLSI 設計 ”，電子情報通信学会論文誌 A，Vol. J85-A No. 12 pp. 1440-1450，Dec. 2002.

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

光インターフェース LSI のための TEG

金沢大学工学部　　源 貴利

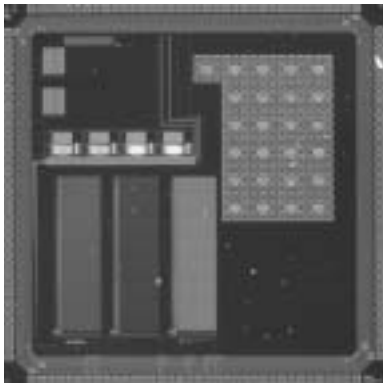


概要：このチップ試作は光インターフェース LSI のためのフォトダイオードの TEG である．本研究における光インターフェース LSI とはフォトダイオードと信号増幅回路をワンチップ化し，低コスト化およびフォトダイオードと信号増幅回路間のチップ内配線による高速化を狙ったものである．しかし，ワンチップにフォトダイオードと信号増幅回路を集積することにより問題が生ずる．問題として，フォトダイオードの特性の悪さおよびチップに光を照射することによって生ずる基板内キャリアによる他の回路への影響が考えられる．今回の試作は，CMOS プロセスで作成するフォトダイオードの構造的変化による特性の変化および，光照射によって生ずる基板残留キャリアによる基板バイアス効果がどの程度かを測定するための TEG である．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

ワイヤレス・スーパー・コネクト，表皮効果を考慮した配線

東京大学生産技術研究所　　神田 浩一，Danardono Dwi Antono



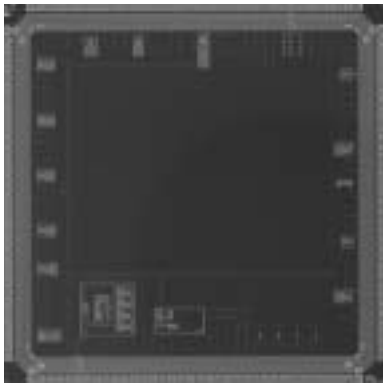
概要：チップオンチップに向いた入出力として，キャパシタンスカップルによる入出力方式であるワイヤレススーパーコネクトを提案した．15μm 角のパッドを対向させることにより 2 チップ間での通信を行う．受信側にはセンスアンプフリップフロップを有し，符号化にリターントゥーハーフ VDD 方式を用いている．本試作により設計したこの入出力システムは 625pin/mm2 のピン密度を有し，3mW の消費電力，1Gbps ／パッドの性能を実現した．今後性能／消費電力の高性能化を追求する．配線を通る信号の周波数が高くなるほど，配線表面に電流が集中し，この現象を表皮効果と言う．この効果によって配線の抵抗が大きくなり伝達する信号の遅延が大きくなる．集積回路の配線において微細化技術が進みディープサブミクロン世代に入って，さらに高周波数の信号が使用されることによって，表皮効果の現象も起こりうると考えられる．表皮効果に対する対策を取った回路と比較用の通常配線を設計した．測定結果から伝達する信号の遅延時間を比較することによって表皮効果の実態を解明できることを期待する．

参考文献：K. Kanda, D. D. Antono, K. Ishida, H. Kawaguchi, T. Kuroda, and T. Sakurai, “1.27-Gbps/pin, 3mW/pin Wireless Superconnect（WSC）Interface Scheme”, ISSCC, Feb. 2003.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：ニューテクノロジ

アナログ IP TEG チップ

長崎総合科学大学工学部　　服部 慎，増田 隆志，山城 正史，田中 義人



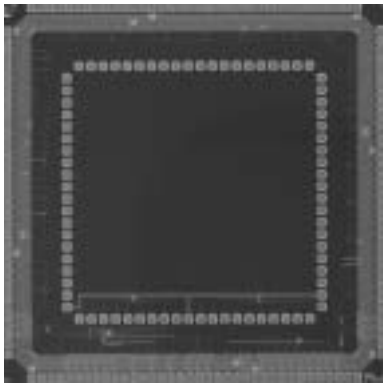
概要：本チップは，学生が CMOS アナログ回路の設計，及び試作回路の計測を学習する事を兼ねて試作した．設計した回路は，差動増幅回路とソース接地回路で構成するシンプルな 2 段構成オペアンプ，外来ノイズに耐性を持つアンプ，ヒステリシスコンパレータ，サンプリング & ホールド回路等である．2 段構成オペアンプは，レイアウトの違いによる特性評価の為の設計も行った．具体的には，同一特性のアンプ（トランジスタサイズ比 W/L を一定）をレイアウトする際に，オペアンプの差動増幅回路やカレントミラー回路回路において，フィンガー構造やコモンセントロイド等に違いを与えた．実測結果の一例として，2 段構成オペアンプは，ゲインバンド幅 5MHz，スルーレート 5.4V/us，オフセット電圧は平均値 0.69mV で標準偏差 0.37mV であった．また，ノイズ特性は，周波数 1kHz において 65.2nV/sqrt Hz という結果が得られ，予想していた値に近い結果が得られた．

参考文献：増田，田中，“ VDEC で試作した CMOS2 段 OP アンプのノイズ性能比較 ”，pp. 77，第 10 回電子情報通信学会九州支部学生会講演論文集（2002).

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

SFQ/CMOS ハイブリッドメモリ用高速ハイブリッドアンプの試作

横浜国立大学大学院工学研究院　　吉川 信行，宮川 英明，富田 卓哉，藤原 完



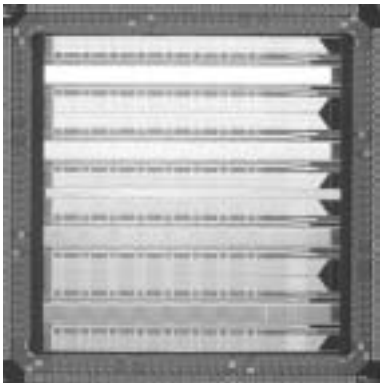
概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している[1]．本メモリシステムは 4.2K での動作を仮定しており，メモリーセルには 3 トランジスタ DRAM セルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOS ハイブリッドメモリの実現において重要な回路要素である，高速ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOS デバイスの負荷抵抗を Josephson スタックで置き換えた構造を持ち，30mV の微小入力を 1V オーダに遅延時間 40ps で増幅可能である．実験により，高速ハイブリッドアンプの基本動作の検証を行うことができた．

参考文献：[1]Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, “Josephson-CMOS hybrid memory with ultra-high-speed interface circuit”, to be published in IEEE Trans. Appl. Superconductivity（2003）.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：ニューテクノロジ

小面積高並列マルチポートメモリ

広島大学先端物質科学研究科　大森 伸彦
広島大学ナノデバイス・システム研究センター　マタウシュハンス ユルゲン，小出 哲士



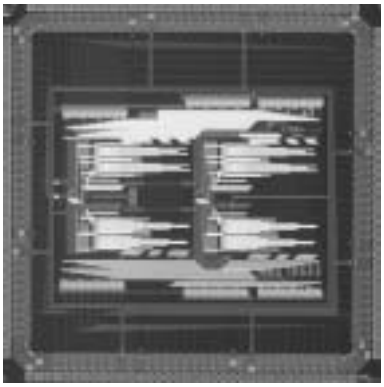
概要：我々の研究グループでは，高面積効率と低アクセス競合を実現する新しいアーキテクチャである階層構造型マルチポートメモリを提案している[1]．本マルチポートメモリは，ポート変換機能を有する 1 ポートメモリバンクを用いることで面積の削減を行う．また，バンク数を増やすことにより各ポートのアクセスを分散させることで低アクセス競合を実現する．今回の設計では，バンク数が 128 と大きいため，アクセス競合によりアクセス拒否される確率を小さくできる．ランダムアクセスを仮定した場合，アクセス拒否確率が最も大きなポートでも 6%以下である．

参考文献：[1]H. J. Mattausch, “Hierarchial Architecuture for Area-Efficient N-Port Memories with Latency-Free Multi-Gbits/s Access Bandwidth”, IEE Electron. Lett. , 35, pp. 1441-1443, 1999.

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**:10,000 以上，100,000 未満　**試作ラン**:ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：メモリ

高並列プロセッサ向けバンク構成小面積多ポートレジスタファイル

広島大学ナノデバイス・システム研究センター　内田 裕志，マタウシュハンス ユルゲン，小出 哲士

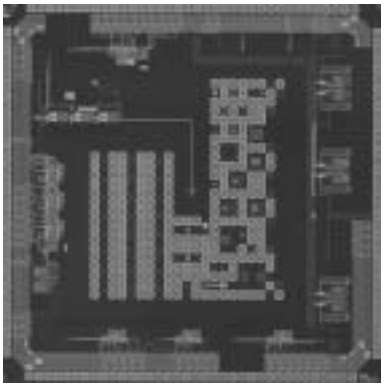


概要：プロセッサにおいて複数命令を並列実行するスーパスカラ方式が一般的に利用されている．この並列度の増加に伴い，必要なポート数，及びレジスタ数は増加するが，従来の多ポートメモリでは，一般にポート数の 2 乗に比例して面積が増大し，並列度の向上と高集積化の両立が困難である．また面積の増大による，アクセスタイムや消費電力の増加といった問題がある．本研究室では，高並列プロセッサ用の多ポートレジスタファイルを実現するために，小面積な 1 ポートのメモリセルと，N ポートと 1 ポートの変換回路を用いてポートを選択することで，メモリ面積を従来の多ポートメモリより小面積で実現した，階層構造型多ポートメモリアーキテクチャ（Hierarchical Multiport-memory Architecture: HMA）をバンク構成レジスタファイルとして利用することを提案する．この試作チップでは HMA を用いたバンク構成レジスタファイルを設計を行い，面積について評価を行った．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：メモリ

神経信号センシング LSI の RF 回路 TEG

広島大学先端物質科学研究科　吉田 毅，岩田 穆

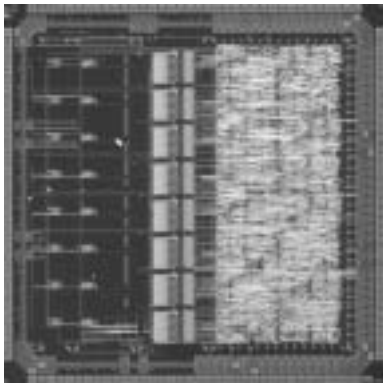


概要：自然な魚の運動と神経パルスを同時に観測し，小脳の神経活動と運動の関係を詳細に調べるために，多チャネル入力の神経情報をワイヤレスで観測できる LSI の実現を目指している．多チャネル入力に対応した神経信号センシング LSI は，多チャネル入力を単チャネルに変換する MUX 回路，神経信号を増幅する OpAmp 回路，増幅した神経信号をディジタル値に変換する AD 変換回路，観測した神経信号を外部に送信する RF トランスミッタ回路およびセンシング LSI の制御信号を受信する RF レシーバ回路で構成される．本チップでは，神経信号センシング LSI の基本動作を確認するため，RF トランスミッタ回路および RF レシーバ回路の試作を行った．RF 回路のキャリア周波数は 100MHz，伝送方式は FSK および PSK，最大変調周波数は 500kHz である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

波形計測型放射線検出回路

東京大学工学部　　石津 崇章，Deng Zhi，高橋 浩之

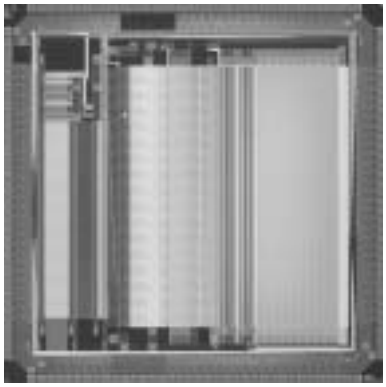


概要：次世代 PET（Positron Emission Tomography）用に low-noise, high-speed，低消費電力の放射線検出器用フロントエンドの開発を行っている．これまでのフロントエンド回路では信号をアナログフィルタを用いて処理し，波高値，時間情報を低速な ADC，コンパレータを用いてデジタル化することで信号をとらえて来た．フロントエンド回路に高速の ADC を直結し，信号を波形を計測することで，従来不可能であったデジタル信号処理が可能になり，エネルギー分解能，時間分解能が向上すると考えられる．今回試作した ASIC にはチップ上にフロントエンドと ADC を同時に搭載することで回路を簡素化し，低コスト化をはかる．プリアンプにはフォールデッドカスコードアンプを使用し，大きな入力レンジを確保することを可能にした．VGA を DC 結合にてプリアンプにつなぎ，AD 変換が行えるように十分大きな信号へと増幅を行った．オフセットに関しては外部から調整するシステムをとっている．ADC は高速動作と低消費電力の要求から分解能を 6Bit に押えて設計した．サンプリング速度は 100MHz を目指している．設計した ASIC は 8ch で 1W という低消費電力を実現することができた．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナデジ混載

カオスニューラルネットワーク LSI

広島大学大学院先端物質科学研究科　　伊井 慎一郎，森江 隆，永田 真，岩田 穆



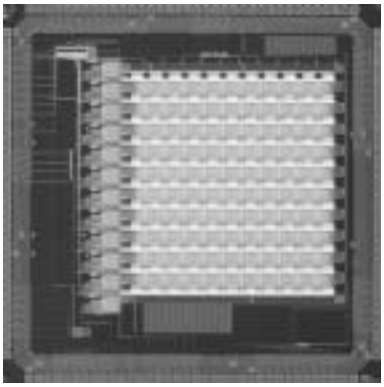
概要：我々が提案している任意の非線形ダイナミカルシステムのためのパルス変調回路アーキテクチャ［1］により，任意の非線形活性化関数を有し，カオスダイナミクスを実現する対称相互結合型ニューラルネットワーク回路を設計した．入力はパルス幅変調（PWM）信号で与えられ，シナプス部でスイッチト電流源を駆動することにより，パルス幅と電流値の乗算が行われ，電荷量で結果を得る．すべてのシナプス部からの電荷はキャパシタで加算され，電圧値として内部状態値を得る．内部状態電圧はパルス位相変調（PPM）信号に変換され，外部から与えられる任意の非線形電圧波形をサンプリングすることで，非線形変換を実現する．アナログシナプス荷重はキャパシタ電荷により記憶し，フィードバック制御により高精度にシナプス荷重を設定できるようにした．設計したチップは 25 ニューロンと 325 個の対称シナプス結合回路を有している．このチップは，昨年度設計したチップの改良版である．

参考文献：［1］T. Morie, et al. , NOLTA'98, pp. 447-450, 1998.

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：ニューテクノロジ

ディジタル方式による全画素並列画像分割セルネットワーク回路

広島大学先端物質科学研究科　　森本 高志，原田 洋明
広島大学ナノデバイス・システム研究センター　　小出 哲士，
マタウシュハンス ユルゲン



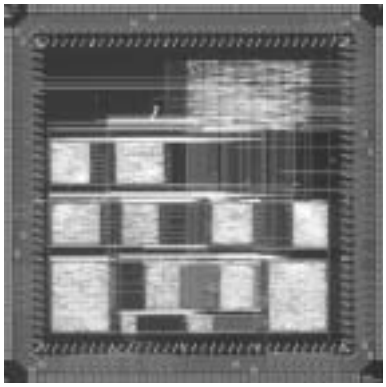
概要：画像分割は複数のオブジェクトが存在する複雑な自然画像から個々のオブジェクトを抽出することにより情報量を少なくする処理であり，画像認識や動き検出などのオブジェクトベースの画像処理の前処理として重要かつ不可欠な処理である．本研究室ではディジタル方式の画像分割アルゴリズムとそれに基づくリアルタイム画像分割アーキテクチャを提案している［1］．この試作チップでは提案アーキテクチャの有効性を確認するために，コア回路である画像分割セルネットワーク回路の試作を行った．回路面積の大半を占める加算器・デコーダ部分をフルカスタム設計することにより，高速・小面積に実装している．

参考文献：T. Morimoto, et al., “Low-complexity, highly-parallel color motion-picture segmentation architecture for compact digital CMOS implementation”, The 2002 Int. Conf. on Solid State Devices and Materials（SSDM2002）, pp. 242-243, 2002.

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

単語レベル実時間リップリーディング回路

名古屋大学工学部　村上 則明
名古屋大学情報メディア教育センター　中村 一博
名古屋大学大学院工学研究科　高木 一義，高木 直史



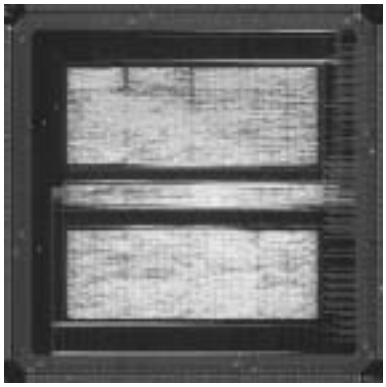
概要：近年，携帯電話などの携帯機器の普及に伴い，より高度なユーザインタフェースが求められるようになってきている．我々は，今後，携帯機器の補助的なインタフェースとしての利用が期待されるリップリーディング（読唇）に着目し，リアルタイムにリップリーディングを行う回路の設計を行った．この回路は，まず，サイズ 256 × 256 ピクセル，8-bit グレースケールの口周辺画像を入力とし，唇の輪郭点座標と口唇開口領域の平均ピクセル値からなる特徴ベクトルを求める．次に，特徴ベクトルを量子化し，隠れマルコフモデル（HMM）の入力シンボルに変換する．最後に，43 個のシンボルからなるシンボル列（1.53 秒相当）に対して HMM に基づく単語認識処理を行い，HMM の確率が最大となる単語コードを出力する．本回路は，40MHz 動作で，毎秒 15 枚の画像に対して，リップリーディングを行うことができる．テスタによる測定についてはまだ行っていない．

参考文献：［1］K. Nakamura, N. Murakami, K. Takagi, N. Takagi, “A Real-time Lipreading LSI for Word Recognition”, pp. 303-306, Proc. of AP-ASIC 2002（2002）.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

MIPS 命令互換完全同期式プロセッサ

東京工業大学大学院理工学研究科　石島 誠一郎，高橋 篤司

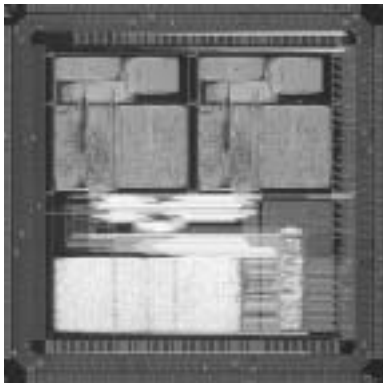


概要：各レジスタへ必ずしも同時刻にクロックを分配をしない準同期式設計手法の有効性を確認するため，比較用として 32bitRISC マイクロプロセッサを完全同期方式で制作した．プロセッサは四段パイプライン構成，32bit 汎用レジスタを 32 本内蔵している．命令セットは R2000/R3000 互換で，浮動小数点命令以外のユーザーモード命令を実行できる．目標動作周波数は，100MHz で合成した．今後，このデザインからレジスタ間遅延を抽出し，動作周波数の向上，瞬間最大消費電力の削減等を目標にクロックスケジュールを行い，そのクロックスケジュールを達成するクロック木を合成することで，準同期式プロセッサとする．プロセッサとしての性能向上を達成することで，準同期方式の有効性を確認する予定である．また，自動合成に向けた設計方式の確立を目指す予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：マイクロプロセッサ

MIPS 命令互換準同期式プロセッサ

東京工業大学大学院理工学研究科　石島 誠一郎，高橋 篤司

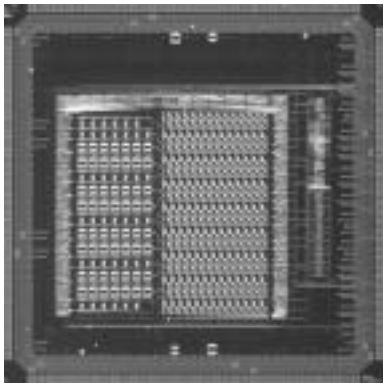


概要：各レジスタへ必ずしも同時刻にクロックを分配をしない準同期式設計手法の有効性を確認するため，32bitRISC マイクロプロセッサを制作した．プロセッサコアの速度を，チップ間誤差の影響を排除し比較するため，準同期式設計手法および従来の完全同期設計手法によって得られた二つのプロセッサコアを，試作チップには搭載した．準同期式プロセッサコアは，CAD システムなどの制約から，完全同期式プロセッサコアのレイアウトから，動作クロック周波数の向上を目的にクロック分配回路を 4 個所修正することで得た．プロセッサは四段パイプライン構成，32bit 汎用レジスタを 32 本内蔵している．命令セットは R2000/R3000 互換で，浮動小数点命令以外のユーザーモード命令を実行できる．シミュレーションおよび実チップによる評価により，動作周波数は準同期化により 10%以上向上することが確認された．以前の試作で納品されたチップ数が少なかったため，同じ設計のチップを再度試作した．

参考文献：S. Ishijima, T. Utsumi, T. Oto, and A. Takahashi. “A Semi-Synchronous Circuit Design Method by Clock Tree Modification”, IEICE Trans. Fundamentals, Vol. E85-A, No. 12, pp. 2596-2602, 2002.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：マイクロプロセッサ

慶応義塾大学理工学部　　溝口 大介，ユスミラズ・ビンティ ユスフ，三浦 典之，
黒田 忠広

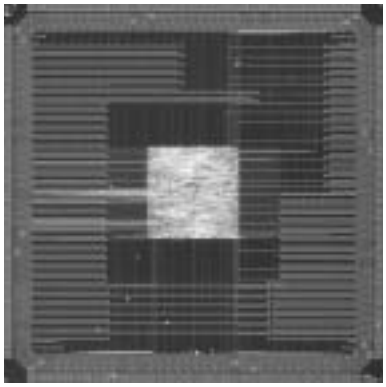


概要：近年，LSI の実装密度を高めるため，ベアチップを 3 次元にスタックし，チップ間をワイヤボンディングやマイクロバンプ，スルーホール等で接続したマルチチップパッケージが注目されている．黒田研究室では，チップ間の通信で，安価に高いバンド幅を実現するために，上下のチップ間をインダクタカップリングで接続する方式を提案している．本チップは，インダクタ結合による通信の実験用 TEG チップである．内部には，送信コイルアレイ，受信コイルアレイが設けられている．送受信コイルアレイは，各々任意の 2 つを選択でき，相互干渉等の実験を行う事が可能である．本 TEG チッ　プは，2 つのチップを対面させ，コイル同士が 100μm ほど離れた場合の動作検証を想定している．また，内部回路のテストのために，1 層-3 層間のアンテナ同士の送受信用回路，ディジタル部同士の送受信回路等も搭載している．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

32 ビットウェーブパイプライン化 ALU

札幌学院大学社会情報学部　　佐藤 友暁
東北大学大学院情報科学研究科　　江川 隆輔，中村 維男
弘前大学理工学部　　深瀬 政秋

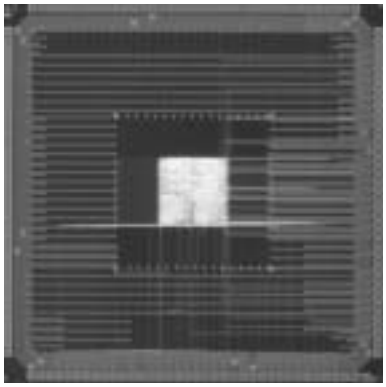


概要：複数ビット間のタイミングの取り方が従来のパイプラインとは全く異なるウェーブパイプラインは高周波化，省スペース化，省電力化などの優れた特徴を有する．しかし，従来方式のパイプラインについては高性能化のための設計手法とチューニング手法が今なお精力的に開発されていることと比べると，ウェーブパイプラインの研究はまだ端緒についたばかりである．本研究では，ウェーブパイプライン手法を用いて 32 ビット ALU の設計・製作をおこなった．チップの構成は，ALU，入力側レジスタファイル，出力側レジスタファイル，クロックドライバ，クロックセレクタの 5 つの部分で構成されている．ALU は，算術演算回路として，加算回路，乗算回路を有し，論理演算回路として，AND, OR, NOT, EX-OR 回路を有する．CAD を使用して遅延時間を解析した結果，最大遅延時間が 8.55ns，最小遅延時間は 6.78ns である．最大遅延時間と最小遅延時間の差が 1.77ns であることから，500MHz 以上での動作が可能であることが予想される．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 Scirocco, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

HLL Embedded Systems

Tohoku University, Graduate School of Information Sciences
Progyna Khondkar, Kentaro Sano, Tadao Nakamura



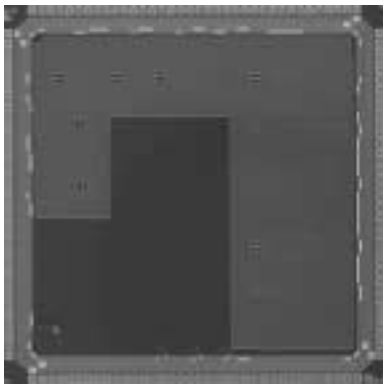
概要：We prototyped a small subsets of a HLL (High-level language) execution engine in 0.35-μm CMOS technology for evaluation some inherent characteristics of the language on hardware, especially for embedded systems. Such embedded systems include but not limited to smart card, telephony, web-box etc. The system was implemented with ROHM technology in standard cell with special care on using hardware monitoring devices to ease post-fabrication evaluation process. Due to design tradeoffs with different design constraint on target technology, like cache implementation, pin usage etc., the resource usage was kept minimum.

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Verilog XL, Dracula, Synopsys 社 Design compiler, Avanti 社 Apporo, Milkyway　**トランジスタ数**：10,000 以上 100,0000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：マイクロプロセッサコア

平成 14 年度　第 1 回　ローム CMOS0.35μm　チップ試作
（RO35021）

POF フロントエンド

金沢大学工学部　　山田 裕志

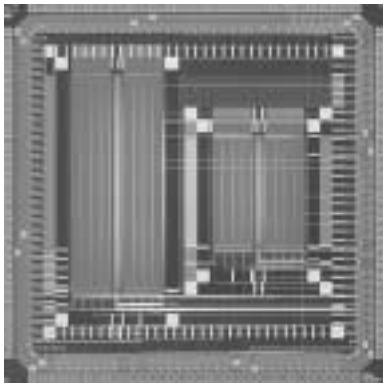


概要：本研究では，CMOS テクノロジを利用した光通信用レシーバ IC の開発を行っている．ホームネットワークへの利用を目的としており，通信速度としては 400Mbps の実現を試みている．この光通信用レシーバの開発にあたっての課題として，低コストやコンパクトであることが望まれる．そこで，光検出部（PD）と信号処理回路を 1 つのチップに搭載すること（1 チップ化）を目指すことで両方の要求を達成する予定である．また，POF（Plastic Optical Fiber）通信への対応を可能にさせることで，さらなる低コストを目指す．本チップでは，PD に I-V 変換回路（TIA: Transimpedance Amplifier）を取り付けた TEG の試作を行っており，PD の受光面積を一定としたまま，その内部におけるフォトダイオードの分割化を行っている（2 分割，4 分割）．1 つのフォトダイオードには 1 つの帰還抵抗付の TIA が取り付けられており，受光容量と帰還抵抗で表される CR 時定数はいずれの回路においても一定である．また，分割化された回路を 1 つにまとめるために加算回路を用いてシングルエンド構成としている．このチップは，PD の分割化に伴う，応答速度への影響の有無を検討する目的で作成した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

hogehogehoge

ishiahra tohru

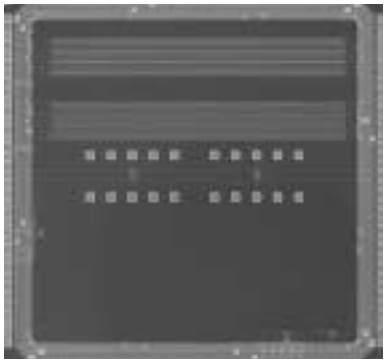


概要：The authors shouldinvestigate how the profile depends on input data, and should provethat the proposed clustering algorithm is still effective for manykinds of input data. The paper proposes L0-buffer and L1-cache clustering model for lowenergy instruction memory. The paper is well constructed and easy tounderstand. However, experimental results are not so good. Althoughenergy consumption in L0 buffer is reduced by 45% , it will be only 15% of total energy consumption in processor. The paper also proposed a simple profile based algorithm to optimallysynthesize the L0 clusters. Proposed algorithm seemseffective. However, the instruction profile is strongly depends oninput data, and therefore, a certain L0 cluster optimized by a certainprofile can not be optimal for the other profile. The authors shouldinvestigate how the profile depends on input data, and should provethat the proposed clustering algorithm is still effective for manykinds of input data. The paper proposes L0-buffer and L1-cache clustering model for lowenergy instruction memory. The paper is well constructed and easy tounderstand. However, experimental results are not so good. ssor. The paper also proposed a simple profile based algorithm to optimallysynthesize the L0 clusters. Proposed algorithm seemseffective. However, the instruction profile is stnthesize the L0 clusters. Proposed algorithm seemseffective. However, the instruction profile is strongly depends oninput data, and therefore, a certain L0 cluster optimized by a certainprofile can not be optimal for the other profile. The authors shouldinvestigate how the profile depends on input data, and should provethat the proposed clustering algorithm is still effective for manykinds of input data. The paper proposes L0-buffer and L1-cache clustering model for lowenergy instruction memory. The paper is well constructed and easy tounderstand. However, experimental results are not so good. Althoughenergy consumption in L0 buffer is reduced by 45%, it will be only 15%of total energy consumption in processor. The paper also proposed a simple profile based algorithm to optimallysynthesize the L0 clusters. Proposed algorithm seemseffective. However, the instruction profile is strongly depends oninput data, and therefore, a certain L0 cluster optimized by a certainprofile can not be optimal for the other profile. The authors shouldinvestigate how the profile depends on input data, and should provethat the proposed clustering algorithm is still effective for manykinds of input data. The paper proposes L0-buffer and L1-cache clustering model for lowenergy instruction memory. The paper is well constructed and easy tounderstand. However, experimental results are not so good.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Magma 社 Blast Logic, Cadence 社 Silicon Ensemble, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Analog Artist, Magma 社 Calibre　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

1T2C 型強誘電体メモリ用周辺回路（2）

東京工業大学フロンティア創造共同研究センター　　山本 修一郎，石川 徹，陳 文億，石原 宏



概要：1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計と TEG の試作を行なった．我々はロームの LSI 作製プロセスと独自の強誘電体プロセスを融合してメモリ作製を計画しているが，デザインルールの違いにより，CMOS 部についても最小設計寸法での設計が困難である．特に，ソースドレイン抵抗の増大が懸念されるため，予想される設計寸法での評価 TEG を設計した．具体的にはスタンダードセル形式の INV, NAND，およびクロスカップル型センスアンプ，リングオシレータなどを設計した．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

無線通信用 TEG の試作

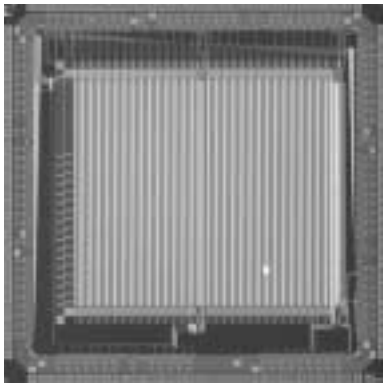
九州大学システム情報科学研究院　　金谷 晴一，吉田 啓二，黒木 幸令，安浦 寛人
九州大学システム情報科学府　　浦川 剛，森田 亮，樽見 幸祐
九州大学電気情報工学科　　岡本 賢治

概要：無線 LAN（IEEE802.11a, b）及び衛星通信用の TEG の試作を行った．CMOS 低雑音増幅器，Ring Oscillator, LC 発振器設計の前準備として Spiral Inductor を試作した．CMOS 低雑音増幅器は，使用周波数帯として，無線 LAN（2.45GHz, 5GHz）の周波数帯から，衛星通信（10GHz）の周波数帯まで，低雑音増幅器（LNA）のゲインがどの程度確保できるかを調べるために，1 段の LNA の試作を行った．なお，入出力部は，信号線と接地導体が同一平面状にあるコプレーナ線路（CPW）とし，特性インピーダンスを 50 オームとし，Q 値の算出も行った．Ring Oscillator は 1GHz 付近の周波数にて発振するよう設計した．Spiral Inductor は出来上がったチップを測定しパラメータを抽出する．

設計期間：7 人月以上，8 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

フローティングゲート MOS（neuMOS）回路技術を用いた超並列アナログベクトルマッチング回路

東京大学工学系研究科　　山崎 俊彦
東京大学新領域創成科学研究科　　柴田 直



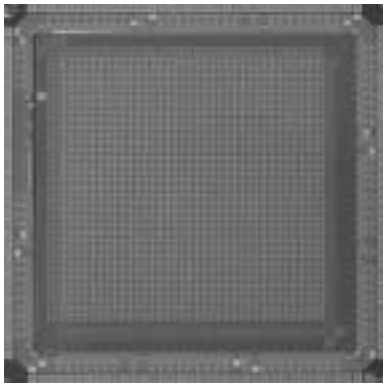
概要：人間のように柔軟な画像情報処理のためのアナログベクトルマッチング回路を開発した．ベクトル同士の類似度演算特性として CMOS インバータの貫通電流を利用しており，またフローティングゲート MOS（neuMOS）技術を用いることによってその類似度演算特性のピーク位置，ピーク値，関数のなだらかさを柔軟に変えることができる．参考文献［1］に発表した実験結果を踏まえ，64 次元 128 ベクトルを並列に扱うことのできる，より大規模なシステムを開発した．現在，我々の研究室で開発中の画像特徴抽出回路と組み合わせてシステムを構築できるように専用ボードを設計中である．

参考文献：T. Yamasaki and T. Shibata, “Analog Soft-Pattern-Matching Classifier Using Floating-Gate MOS Technology”, to be accepted after revision in the IEEE Transactions on Neural Networks Special Issue on Neural Networks Hardware Implementation.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

アナログ電流を用いた画像フィルタリングイメージセンサ

東京大学新領域創成科学研究科　　田口 晶康，柴田 直

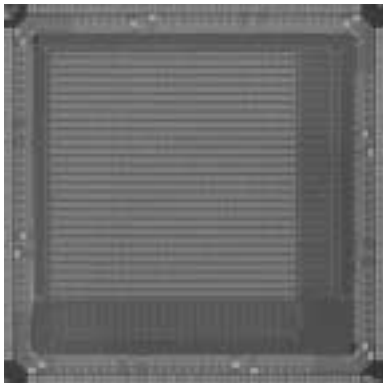


概要：画像からその特徴情報を瞬時に得るため，入力画像に対し高速・低消費電力でフィルタリング演算を行えるスマートセンサである．この回路では Photodiode により得られた輝度情報をアナログ電流に変換し，我々が開発した Scanning line-parallel processing と呼ぶ新たなアーキテクチャを用いて高速化を図っている．具体的には逐次的に演算を行う際に必要とされる画像の縦と横のピクセル数の積の演算クロックよりも劇的に少ない画像の縦と横のピクセル数の和程度の演算クロックで様々なフィルタリング演算を終了することができる．また，アナログ電流によるデータ表現を行っており，電流値を押さえることで低消費電力化が図れる．イメージセンサとしては 64 × 64 pixels の解像度を有す．

設計期間：1 人月以上, 2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

アナログ相関回路を用いた実時間 Moving Object Detector 回路

東京大学工学系研究科　　山崎 俊彦
東京大学新領域創成科学研究科　　梅島 誠之，柴田 直



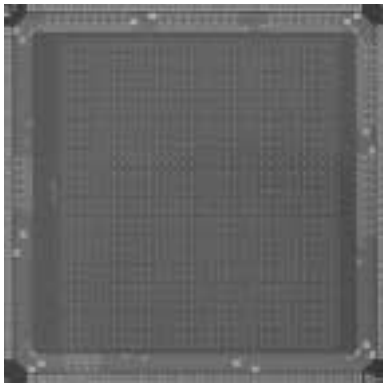
概要：我々の研究室ではアナログ相関演算回路を用いて動いている物体の位置と速度を実時間で検出するイメージセンサの研究を行っている．2002 年 2 月，3 月に試作したチップの測定結果を踏まえ，1 チップで動いている物体の位置と速度両方を同時に検出できるシステムを開発した．本チップでは相関演算によって動いている物体のエッジを検出し，x 軸・y 軸方向にそのエッジ情報を射影することで膨大な情報量を圧縮している．動き位置の検出はフローティング・ゲート MOS 回路技術を用いた動的閾値処理で実現し，速度の検出は異なるタイミングでサンプリングした 2 つの射影データをシフトさせながら相関を取ることによって実現する．センサのサイズは 64 × 64pixel で , ± 7 pixels/sample までの速度を検出できるように設計されている．

参考文献：［1］T. Yamasaki and T. Shibata. “An Analog Similarity Evaluation Circuit Featuring Variable Functional Forms.” In Proc. ISCAS 2001, Vol. 3, pp. Ⅲ-561-564.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

フローティングゲート MOS（neuMOS）を用いた電圧型エッジフィルタ

東京大学工学部　　中下 友介
東京大学工学系研究科　　三田 吉郎
東京大学新領域創成科学研究科　　柴田 直

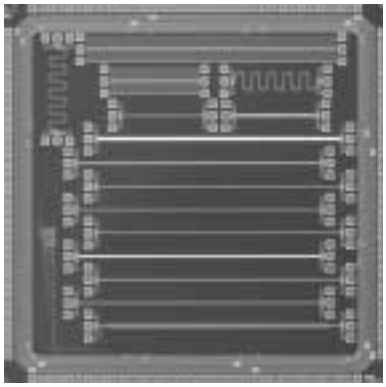


概要：画像認識を行う際，冗長な画像データをそのまま扱うのではなく，特徴を抽出してから認識処理を行うことで，より大量のデータを高速に処理することが可能になる．そこで，フォトダイオードを搭載し，画像を取り込むと同時にそのエッジ情報を抽出することが出来るチップを作製した．このチップは，隣接セル間配線のみで 4 × 4pixels のエッジ抽出が可能なアーキテクチャを採用している．このアーキテクチャは，フォトダイオードと演算回路を同一セル内に含む従来形のエッジフィルタではなく，フォトダイオードと演算回路を縦横 1/4 ずつずらした構成になっている．このアーキテクチャを採用したことで必要な配線数を大幅に減らすことに成功した．本チップの演算回路にはフローティング・ゲート MOS（neuMOS）を用いている．neuMOS を用いたことで，演算回路がシンプルになり，さらに消費電力を抑えることが可能になるというメリットがある．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

配線特性測定 TEG

東京大学生産技術研究所　　稲垣 賢一

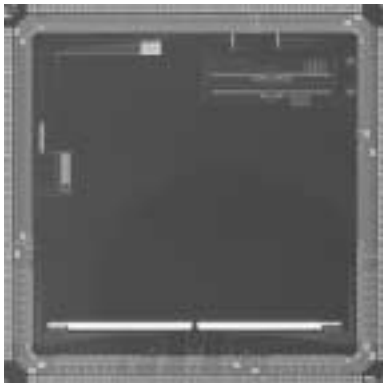


概要：ディープサブミクロン世代における LSI 設計では，信号伝送が高速化されるに伴いシグナルインテグリティの保証が重要となる．配線における遅延，クロストーク，オーバーシュート，アンダーシュートなどを正確に見積もり設計にフィードバックするには，配線のパラメータを測定し設計指針を作る必要がある．本試作では LSI 内部の伝達状況，カップリング状況をネットワークアナライザを用いて精密に測定する．測定結果を用いてディープサブミクロン領域における配線設計の指針とする．実際の LSI 内部のジオメトリを模した 2mm から 4mm の長さの 17 種類の配線パターンを用意した．配線パターンには直線長距離配線，クランク型配線といった水平方向の形状の違いおよび，断面形状の違いとして単独配線，配線下部にグラウンドプレーンがあるマイクロストリップ型，両隣にグラウンドプレーンがあるコプレナー型の配線，下部が一般の LSI と同様にランダム配線となっているものなどを用意した．

設計期間：0.1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

シャッフリングによるバスの低消費電力化

東京大学生産技術研究所　　山田 大裕，関 庚湜，崔 珍赫

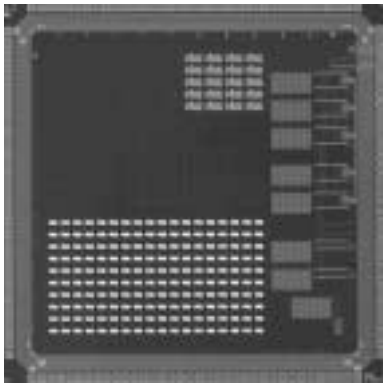


概要：最近の LSI においては，配線間容量が対地容量に対する比率が増大している．この状況を考慮し，組込プロセッサにおけるオンチップバスの消費電力の削減を図るバスシャフリング手法が考案されている．本研究ではバスシャフリングの理論的な解析と実装時の評価を行い，新たなシャフリング手法を提案する．商用プロセッサコアシミュレータから得たバス信号パターンを用いて複数のアプリケーションが動作する環境下でどのようなバスシャフリングを行うかについて，複数のシャフリングパターンを取るアルゴリズム，dual pattern shuffling は，single pattern shuffling を行った場合と比較して，命令バスとデータバスでは 5%程度更に消費電力を削減でき，同時に 3 つ以上のシャフリングパターンを取ることはセレクタ回路のオーバヘッドが消費電力削減効果を上回るシミュレーション結果が得られた．本試作では各方式の回路をフルカスタム設計し，LSI テスタを用いて試作チップの測定と検証を行い，バスシャフリング方式による消費電力削減効果を確認した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

特性ばらつき評価用の TEG チップ

長崎総合科学大学工学部　　服部 慎，清山 浩司，田中 義人



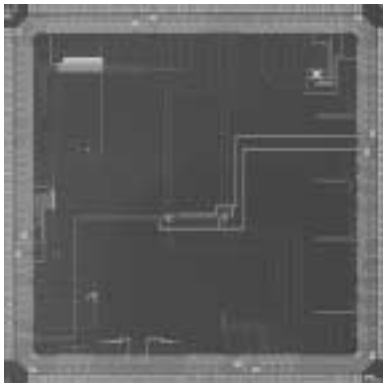
概要：近年，集積回路プロセス技術の微細化及び低電圧化が進む中，CMOS アナログ回路素子のばらつきが増加する傾向にある．素子のばらつきが大きくなる事は，その特性を劣化させるばかりでなく，補正回路等による設計の複雑化を招く原因となっている．このような背景から CMOS アナログ回路におけるトランジスタばらつき特性の理論的及び実験的研究は，ますます重要になってきている．本チップは，特性ばらつきに関するデータを収集する事を目的として試作した．ばらつき評価に設計した回路は，MOSFET 単体，拡散層抵抗，オペアンプ，ヒステリシスコンパレータである．本チップの測定結果，MOSFET のスレッショルド電圧とトランスコンダクタンスばらつきのトランジスタサイズ依存性は共に，ゲート面積を大きくする事でばらつきを小さく出来るという従来の結果を検証し，それらのパラメータを抽出する事ができた．

参考文献：服部，田中，“ CMOS アナログ回路におけるトランジスタサイズ依存性の一考察 ”，pp. 73，第 10 回電子情報通信学会九州支部学生会講演論文集（2002).

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

SFQ/CMOS ハイブリッドシステム用パイプラインアンプの試作

横浜国立大学大学院工学研究院　　吉川 信行，富田 卓哉，宮川 英明



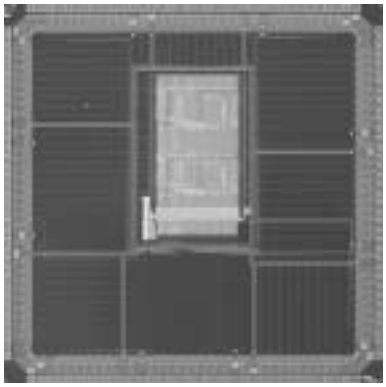
概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドデジタルシステムの実現を目指している［1］．SFQ 回路は 50GHz の高速クロック周波数で動作するが，その電圧振幅は 100μV のオーダである．一方，CMOS デバイスは数 GHz で動作し，その電圧振幅は 1V のオーダである．したがって，ハイブリッドシステムの実現のためには，SFQ 論理回路の高速微小電圧出力を CMOS 論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が鍵となる．本チップでは，SFQ/CMOS ハイブリッドシステム用高速高感度パイプラインアンプの試作を行った．試作したパイプラインアンプは，2 段のダイナミック型フリップフロップアンプと 1 段の TSPC ドライバから成り，5mV の微小入力をクロック周波数 1GHz で増幅可能である．

参考文献：［1］N. Yoshikawa, T. Abe, Y. Kato and H. Hoshina, “Component Development for a 16 Gb/s RSFQ-CMOS Interface System”, IEEE Trans. Appl. Superconductivity, vol. 11, March, 2001, pp. 735-738.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：ニューテクノロジ

高並列プロセッサ向けバンク構成小面積多ポートレジスタファイル

広島大学ナノデバイス・システム研究センター　内田 裕志，マタウシュハンス ユルゲン，小出 哲士



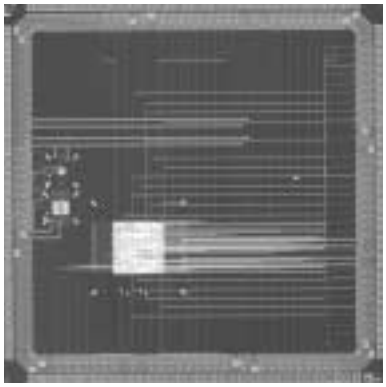
概要：プロセッサにおいて複数命令を並列実行するスーパスカラ方式が一般的に利用されている．この並列度の増加に伴い，必要なポート数，及びレジスタ数は増加するが，従来の多ポートメモリでは，並列度の向上と高集積化の両立が困難である．本研究室では，高並列プロセッサ用の多ポートレジスタファイルを実現するために，小面積な 1 ポートのメモリセルと，N ポートと 1 ポートの変換回路を用いてポートを選択することで，メモリ面積を従来の多ポートメモリより小面積で実現した，階層構造型多ポートメモリアーキテクチャ（Hierarchical Multiport-memory Architecture: HMA）をバンク構成レジスタファイルとして利用することを提案する．この試作チップでは，前回の試作チップのフロアプランを改良し，大幅な面積削減，及び従来方式と比較を行い，優位性の確認を行った．

参考文献：内田裕志，三谷陽介，マタウシュハンス ユルゲン，小出哲士，弘中哲夫，“ マルチバンク構造による小面積多ポートレジスタファイル ”，信学技報 ICD2002-155，pp. 175-180，2002.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：メモリ

Simple TMC LSI

東京農工大学工学部　馬渕 太郎，江村 恒夫，棚沢 謙和
高エネルギー加速器研究機構　新井 康夫



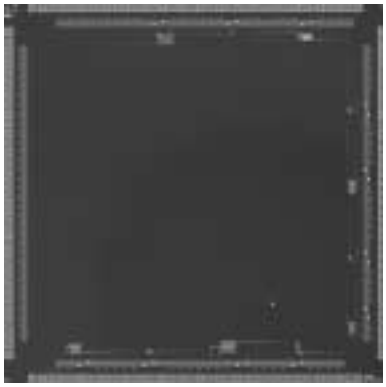
概要：我々は TMC（Time Memory Cell）と呼ぶ，高エネルギー加速器実験用時間測定 LSI を開発している．これは高頻度で発生する（~MHz）さまざまな素粒子の検出器への到着時間を，高精度（~300ps）で測定できるものである．現在までに数種類の TMC LSI を開発し使用しているが，これまでのものはいずれも大規模な衝突ビーム型実験用に開発しため，小規模な固定標的型実験で使用する際には，周辺回路が複雑となりコスト的にも最適化された物ではなかった．そこでこのような実験でも使い易い，汎用で安価な TMC として Simple TMC（sTMC）を開発することとした．sTMC 回路の基本 LSI 構成は，インバータチェインによるリングオシレータに PLL（Phase Locked Loop）回路を組み合わせたもので，クロック周期の 1/32-1/16 の時間間隔を持った基準信号を発生させ，時間測定を行うことが出来る．また，内部で基準時間からの差を取りデータを出力する事も出来る？

参考文献：Y. Arai, “Development of Frontend Electronics and TDC LSI for the ATLAS MDT”, Nucl. Instr. Meth. A. Vol. 453, pp. 365-371（2000）.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

マルチレベルディスクリメータチップ

東京大学工学部　石津 崇章，Deng Zhi，高橋 浩之

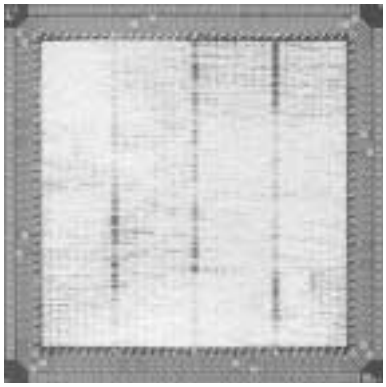


概要：X 線や中性子の散乱実験などで用いる多チャンネルの検出器用のフロントエンド回路である．放射線検出器からの信号は使用する検出器の種類，動作条件により，大きく変化する．VGA と，バイアス電圧の可変によりさまざまな条件下で使用できるよう設計を行った．今回試作を行った ASIC には 32 チャンネル分の処理回路が内蔵されており，コンパレータを用いることで信号を二値化して読出す．VGA には高速動作をさせるため電流アンプを使用し，コンパレータには R-R アンプを使用することで，大きな信号を扱えるようにした．ASIC は各チャンネルにつき 3 つのコンパレータを使用しており，出力をグレイコード化することで，2 本の出力線にまとめている．いくつかのレベルの信号を分離することで，反応現象の分別が可能になる．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

周波数領域での信号処理回路の試作

茨城大学工学部　　木村 孝之，白木 広光

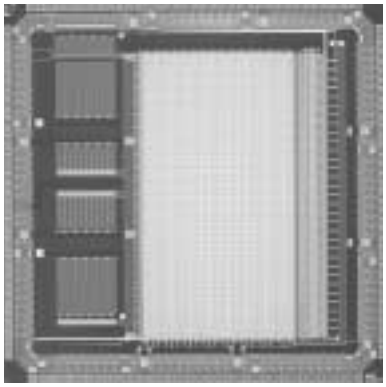


概要：本研究室ではエリアシングを含んだ複数の画像から元の周波数を含む画像を，光学ローパスフィルタとデジタル信号処理により復元する研究を行ってきた．本試作では，これらの 1 次元画像の信号処理回路の動作確認と，高速動作や低消費動作の検証を目的としている．試作した回路は，2 つの 32 点 DFT（Discrete Fourier Transform）ユニット，周波数領域（複素数）で 4 元 1 次連立方程式の解を求める演算ユニット，64 点 IDFT（Inverse DFT）ユニットからなる．演算は 3 段のパイプライン構成とし，マスタークロック 4096 周期で 1 つの解を得る．現在，信号発生回路の制限のため 2MHz までの周波数で動作を行い，正しく計算できることを確認した．2MHz で動作させたときの計算時間は 2.0ms で，その時の平均の消費電力は 24.6mW であった．この程度の計算時間と消費電力であれば，モバイル機器への応用も期待できる．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

最小マンハッタン距離検索機能を有する高速・小面積・低消費電力連想メモリ (2)

広島大学ナノデバイス・システム研究センター　　矢野 祐二，小出 哲士，
Hans Juergen Mattausch

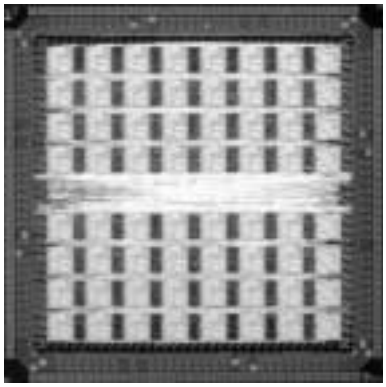


概要：我々のグループでは，高速・小面積・低消費電力を同時に満足できる全並列型アーキテクチャによる新しい連想メモリを提案している．今回は前回の最小マンハッタン距離検索連想メモリの修正・改良を行った．前回試作チップに入っていた配線の接続ミスなどを修正し，前回の空白領域にデカップリングキャパシタを配置した．

設計期間：0.5 人月以上，1 人月未満　**試作ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula-DRC, Cadence 社 DIVA　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：メモリ

64 ニューロン搭載ストカスティックニューロチップ

東北大学電気通信研究所　　秋元 俊祐，佐藤 茂雄，中島 康治



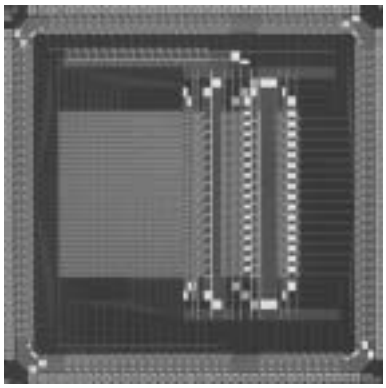
概要：我々はストカスティックロジックという論理を用いた大規模ニュートラルネットワークシステムの構築に関する研究を行っている．この論理を用いると演算器を非常に小さく構成でき，より多くの演算素子を 1 チップに集積することができる．また，その確率的な動作原理によってネットワークの問題解決能力の向上が期待できる．本試作チップには非単調活性化関数回路と荷重値学習回路を有したストカスティックニューロン素子が 64 個搭載されており，我々はこのチップを複数個接続した 1000 ニューロン以上の全結合ネットワークシステムの構築を目指している．ニューロン回路の他に演算のボトルネックとなるメモリアクセス高速化のための高速 SRAM インタフェースや，外部制御線を極力減らすためのコントロール回路が内蔵されている．これらによってマルチチップシステムをシンプルに構成することが可能となっている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：R1670 : BH331M : RO3502_1　**チップ種別**：アナログ / デジタル信号処理プロセッサ

平成 14 年度　第 2 回　ローム CMOS0.35μm　チップ試作
（RO35022）

パルスカップルドニューラルネットワーク回路の設計

広島大学大学院工学研究科　　片山 光亮
広島大学大学院先端物質科学研究科　　岩田 穆

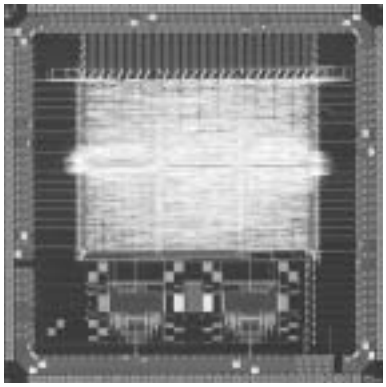


概要：近年，生体の知的情報処理にパルスが重要な役割を果たしていることが見直されているが，パルスの位相と密度をソフトウェア的に扱うと実時間処理ができない問題がある．そこで，我々はこのパルスを用いた情報処理であるパルスカップルドニューラルネットワーク（PCNN）モデルを，集積回路の基本的要素であるフェーズロックトループ（PLL）とプログラマブルゲートアレイ（PGA）により構成し，試作した．回路に入力されたパルス列は，32 × 32 点の PGA で相互に結合された 16 個の PLL に分配されると共に PGA にフィードバックされることで，統合・分離が行われる．PLL は PCNN 実現のために工夫されており，電流源とループフィルタ間のスイッチをパルスが直接スイッチングすることで複数のパルスを扱えるようにするとともに，通常の負帰還に加えて正帰還を付加することで複数の位相を扱えるようにした．PGA の結合をプログラムすることで，発振型連想メモリ，パルス FM 通信等に応用可能である．現在試作チップ測定のための治具を作成中である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

ロボット用途向け CDMA シリアル通信チップ（2）

広島大学先端物質科学研究科　　汐崎 充，岩田 穆

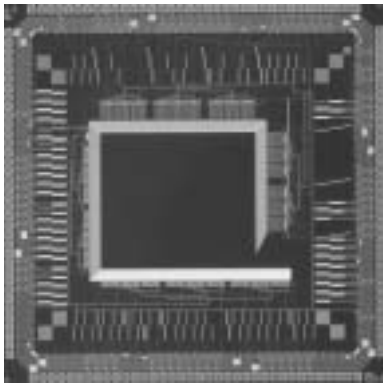


概要：高速・高機能ロボットの制御に適したマルチプロセッサ通信ネットワークの構築を目的としたチップ試作を行っている．ロボット用途ではケーブルの重さ等がアクチュエータ系に影響するため，少ない伝送路でデータ転送する必要がある．また，性質の異なるデータが複数存在するため，これらを効率よく転送する必要もある．そこで，CDMA 方式による多重化を行い，拡散符号と符号長の動的制御を行うことで少ない伝送路で効率良いデータ転送を実現する．ロボット用途向け CDMA シリアル通信チップ（1）では，スイッチトキャパシタ型の送信回路を用いていた．これはリンギング等の影響により 50MHz 程度の転送速度しか得られないことがわかった．そこで，送信回路をスイッチトキャパシタ型からカレントソース型へ変更した．今後，測定により 2 チップを比較検討する予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, SII 社 SX9000, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

Parallel-CDMA インタフェースの設計

大阪大学大学院工学研究科　　清水 新策，松岡 俊匡，谷口 研二

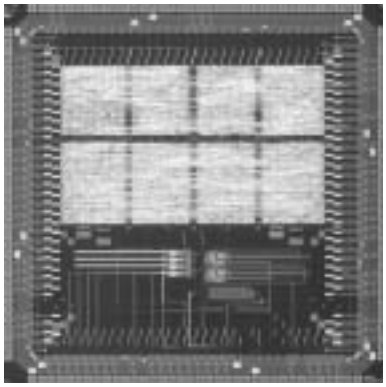


概要：Code Division Multiple Access（CDMA）インタフェースは伝送路上での狭帯域ノイズ耐性を持つ．しかし，CDMA インタフェースを介して送受信回路がデータを授受するとき，データを拡散するのに用いた拡散符合のビット数と同じクロック数が必要となり，高速伝送には不向きである．この問題を解決するために，送信データを拡散符合を用いて複数のバスに 1 クロックで送信する，Parallel-CDMA（P-CDMA）バスを提案した．P-CDMA バスは複数の信号線のうちの一部が強い影響を受けるような局所的ノイズに対して強い耐性をもつ．また 3 値によるデータ伝送を行うことで従来のパラレルバスよりもパワー遅延積が小さくなる．本チップはこの P-CDMA バスの動作を評価することを目的とし，16bit の差動パラレルバスと，送受信回路が 15 対，そしてバスの電位をリセットする安定化回路を搭載した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナデジ混載

デジタル CDMA 回路とチャージポンプ回路を用いたアナログ CDMA 受信器の設計

大阪大学大学院工学研究科　　高橋 賢，嶋村 延幸，松岡 俊匡，谷口 研二

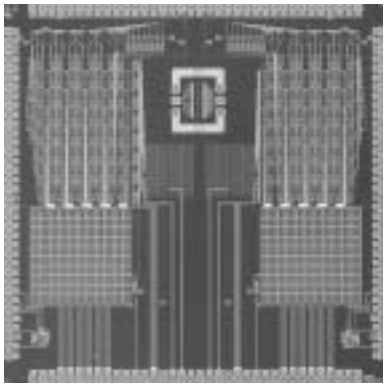


概要：将来の LSI においては配線数の増加による様々な問題がおこることが予想される．これを解決する技術の 1 つに，符号分割多重通信（Code Division Multiple Acsess, CDMA）方式を用いた有線 CDMA 技術がある．本試作では，チップ内有線通信のための 2 種類のインタフェース回路を提案し設計を行った．有線 CDMA インタフェースにアナログ積分器を用いると，多重度に対する限界の問題により，バス線を増大させなければならない．この問題を解決することを目的として，同一多重度でバス線を格段に削減できる技術としてデジタル CDMA を提案し，これを設計した．また，従来のアナログ CDMA 方式における受信器では低域通過フィルタを用いていたが，今回，キャパシタとレベルシフト回路で構成されるチャージポンプ型積分回路を用いて占有面積及び消費電力を削減できる受信回路を提案し，これを設計した．今回用いたチャージポンプ型積分回路にはダブル・サンプリング技術を採用することにより，高速化への対応も考慮した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナデジ混載

14-bit, 200MS/s, 2.7V D/A 変換器の開発

中央大学理工学部　　杉本 泰博
中央大学理工学研究科　　櫻井 宏樹



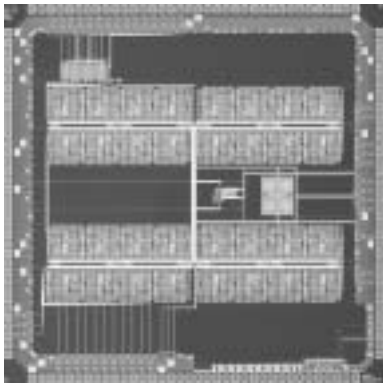
概要：従来より，高速高精度の D/A 変換器を用い高周波信号を生成する場合には，高調波の発生による SFDR（Spurious Free Dynamic Range）の劣化が問題であった．我々は，この高調波の発生の主な原因として，出力信号変化時の出力端子における時定数の変動が影響していることを新たにつきとめた．出力信号が変化した場合，スイッチセル内にも電圧変動が起き，セル内の寄生容量に過渡電流が発生するためである．この過渡電流は，ON 状態のセルの数，つまり入力ディジタル信号に依存する．そこで，出力信号の変化がセル内に影響しないように，セルと出力端子間に低電圧動作のバッファつきカスコード回路を導入し，SPICE シミュレーションの結果，高調波の発生を抑制し，SFDR 特性を改善することを確認している．現在は作成したチップの評価を行っている．D/A 変換器の基本的な動作については確認することができたが，高周波の特性については冶具の問題等でまだ評価出来る段階には至っていない．最終的な目標である IP セル化のためには，再度のレイアウト，評価が必要だと考えられるため，今後更に検討を進める所存である．

参考文献：H. hiroki, Y. Sugimoto, “The Design of a 2.7V, 200MS/s, and 14-bit CMOS D/A Converter with 63dB of SFDR Characteristics for the 90MHz Output Signal”，信学会英文論文誌 C 6 月号（印刷中）

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

エネルギーリサイクル論理回路による超消費電力 RSA 暗号処理回路

熊本大学工学部　　堺 昭一，黒木 慎司，佐々木 守

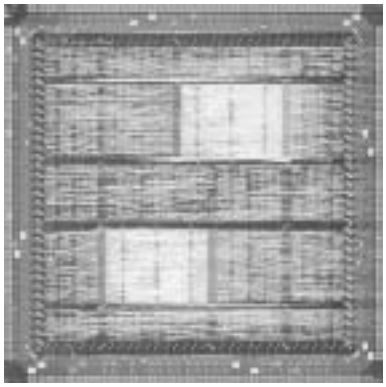


概要：従来のエネルギーリサイクル回路のデバイスのしきい電圧による消費エネルギーの損失を緩和するローカル・ブートストラップ技術を考案し，エネルギーリサイクル原理がより効果的になるように CR 時定数の小さなパストランジスタ回路網と組合せた．また，ダイナミック動作をするエネルギーリサイクル論理回路に合わせて，シストリックアレー・アーキテクチャを採用して，IC カード等で低消費電力動作が要求され，かつ比較的重い処理である RSA 暗号処理回路を設計した．さらに，エネルギーリサイクル論理回路を駆動するクロック電源発生回路のオーバーヘッドを極力抑えた高効率クロック電源回路を考案して，同時に集積化している．従来の CMOS 論理回路を最適な電源電圧で動作させた場合と比べても，CMOS 論理回路に対して，8.8%の消費エネルギーで動作できる．また，クロック電源発生回路のオーバーヘッドは，エネルギーリサイクル論理回路での消費エネルギーに対して，20%に抑えることができた．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

IEEE754 準拠単精度浮動小数点除算器

広島市立大学情報科学部　　越智 裕之，鈴木 達也，松永 清香，河野 陽一



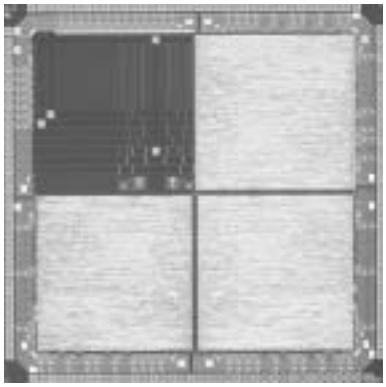
概要：本研究室では，研究教育用に公開することを目的として IEEE754 準拠単精度浮動小数点除算器 IP ライブラリの開発を進めている．本チップは，開発した IP の実チップによる検証を行うための TEG であり，被検証回路のほかにランダムパタン発生回路とテスト応答圧縮回路も実装して動作確認を容易化している．実装した除算器は 2 個で，いずれも基数 2 の SRT 法に基づくもので，京大版高速動作向けライブラリを使用し，目標動作周波数は 100MHz である．但し 2 個のうちの一方は，Apollo の ECO 機能を使用し，全てのフリップフロップをダブルエッジトリガフリップフロップに差し替えてクロックツリーの低消費電力化を図っている．

参考文献：[1]H. OCHI, et al. , “Development of an IP Library of IEEE-754-Standard Single-Precision Floating-Point Dividers”, pp. 193-199, Proc. SASIMI 2003（2003）.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

デジタル基板雑音評価チップ

神戸大学工学部情報知能工学科　　杉本 智彦，奥本 健，野口 宏一朗，永田 真



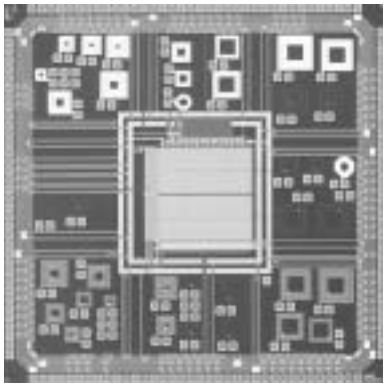
概要：近年のミックストシグナル LSI 開発において，デジタル回路の発生する雑音がシリコン基板を伝搬して同一チップ上のアナログ回路に漏洩し，アナログ回路動作性能を劣化する基板クロストークが問題になっている．本チップでは，アナログ回路と組み合わされる可能性の高いデジタル信号処理系として高速フーリエ変換に着目し，京都大学作成の標準セルライブラリを利用してデジタル FFT コアを設計した．回路規模を小さくするため，演算器を再利用する構成としている．また，高い時間分解能で基板雑音を測定するための基板雑音検出回路［1］を搭載しており，FFT 演算における基板雑音波形のデータ依存性や動作速度依存性等を評価できる．試作チップの基本動作は確認済みであるが，本レポート執筆時点では，基板雑音波形の評価は進行中である．

参考文献：［1］M. Nagata, et al., IEEE Trans. CAD, Vol. 19, pp. 671-678, June 2000.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

相変化不揮発性メモリとインダクタ

金沢大学工学部　　福島 早奈恵，有賀 健太，中山 和也



概要：本チップはVI族元素であるカルコゲン元素を記録素子として用いる相変化メモリの全体回路とメモリセル単体の TEG とインダクタである．相変化メモリの記録素子は相変化させるために十分な電流を流す必要がある．当研究室ではカルコゲン元素を記録素子として用いた場合，1mA 以上の電流を流すことで相変化できることを確認しており，メモリセルサイズを電流が 1mA 流れるに決定して設計を行った．周辺回路はメモリセルにあわせてサイズを決定し，全体として 64Kbit の相変化メモリとした．また，メモリセルサイズによって流れる電流の違いを測定するためにセルサイズを変えた TEG を用意した．周りにうずまき状に見えるのはインダクタコイルである．シミュレーション用等価回路を作成するためにインダクタ TEG を作成した．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：メモリ

フォトダイオード特性解析のための TEG

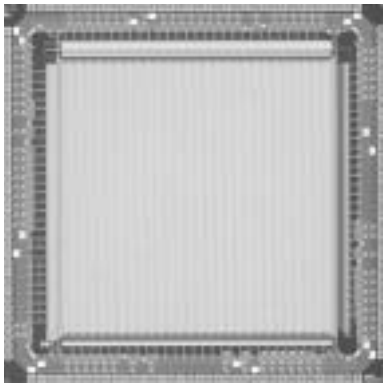
東京大学工学部　　中下 友介
東京大学工学系研究科　　三田 吉郎
東京大学新領域創成科学研究科　　柴田 直

概要：我々の研究室では，画像データから効率よく特徴を抽出するハードウェアの研究を行っている．しかし，画像処理プロセッサの性能を上げても，画像データを蓄えるメモリとの通信がボトルネックとなってしまう．そこで，フォトダイオードを内蔵することによって画像データをメモリから読み出すことなく処理を行える LSI が必要であると考えられる．このような回路の設計にはフォトダイオードの正確な特性を知ることが必須である．本チップでは，今後フォトダイオードを用いたチップを作成する際の参考データをとるための特性評価回路をのせた．サイズの異なるフォトダイオードとその読み出し回路のみで構成されている．

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

微弱な光ビーコンを高速に検出するセンサアレイ

東京大学工学系研究科　　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　　池田 誠，浅田 邦博



概要：我々はLEDの点滅など微弱な光ビーコンを高速なキャリアで伝送し，センサ面上で2次元的に取得するセンサを試作した．128 × 128 画素を有する本センサは通常の2次元画像とともに，そのシーンの中に存在する光ビーコン源からその物体の ID などの情報を得ることができる．仮想現実システムと並んで研究が進んでいる拡張現実システムは，我々の実世界を基として物体の認識やそれに付随する情報をコンピュータ世界から取得し付加するシステムである．本センサを撮像素子として使用すれば，従来のイメージセンサでは困難であった実時間でのシーンと ID の同時検出を可能となり，また微弱な光ビーコン検出による適用分野の拡大が期待できる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

1024 × 768（XGA）実時間・高精度 3 次元イメージセンサ

東京大学工学系研究科　　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　　池田 誠，浅田 邦博

概要：我々の提案するダイナミック回路を利用した高速読み出し手法と適応閾値・時間領域近似 AD 変換回路は，これまでの高速なポジションセンサと異なり 3 トランジスタの小型な画素回路でリアルタイム 3 次元計測を実現する．時間領域近似 AD 変換回路は投射光の輝度分布を取得でき，重心演算に利用することでサブピクセル精度の向上を図れる．これらの特徴を生かし，0.35um CMOS プロセスを用いて 1024 × 768（XGA）の解像度を有するリアルタイム 3 次元イメージセンサの試作を行なった．30 枚 / 秒以上かつ 1mm 以下の距離精度で，XGA の空間解像度を有する 3 次元画像取得を目指す．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm 角　**チップ種別**：イメージセンサ / スマートセンサ

行並列有意画素探索機能を有するライン状投射光検出センサ

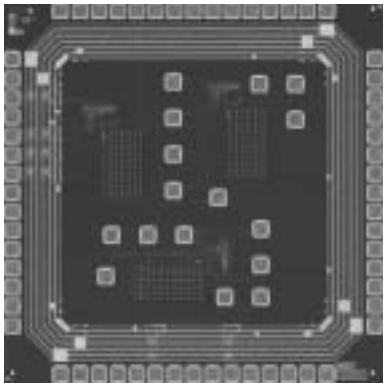
東京大学工学系研究科　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　池田 誠，浅田 邦博

概要：我々の提案する行並列有意画素探索機能を有する画素回路を用いて，448 × 448 画素を有するスマートイメージセンサを試作した．本センサは画素内部に有意画素検出の 2 値化回路と行並列の探索信号伝搬制御回路を有し，各行には加算器を基とした前処理回路が実装されている．十分な光量が得られれば，一般にリアルタイムといわれる 30 枚 / 秒あるいは 60 枚 / 秒を超える超高速 3 次元形状計測が可能となる．また，本手法の高速性は 1M 画素を超えるような高解像度におけるリアルタイム 3 次元形状計測の実現に必要な技術である．今後，本センサの測定による高速性の実証と高速 3 次元形状計測システムへの適用を試みる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm 角　**チップ種別**：イメージセンサ / スマートセンサ

電圧変換電源回路の設計

東京工業大学フロンティア創造共同研究センター　石川 徹，石原 宏



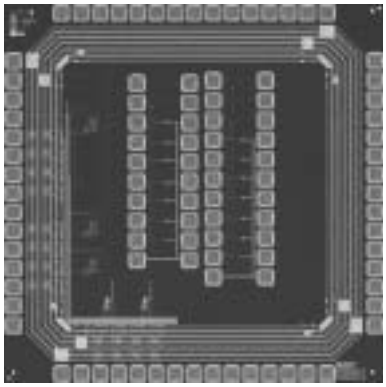
概要：我々は 1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計を行っている．メモリなどチップ内では，外部供給電源を受けて内部で複数の電圧を使用することがある．1T2C 型強誘電体メモリは VDD，GND の他に VDD/3,2VDD/3 などの電圧を必要とする．本試作では，外部電源（5V, 3.3V）の供給により，基準電圧に対応して 3.3V 〜 1.0V の範囲で内部回路用に電源電圧を供給するための電圧変換電源回路を試作した．回路は負帰還を与えて出力安定を行う構成である．出力負荷変動時のリンギングの影響を調べるため，負帰還量とドライブ能力，負荷容量の設定を変えた回路を設計し搭載した．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

1T2C 型強誘電体メモリ用周辺回路（3）

東京工業大学フロンティア創造共同研究センター　山本 修一郎，石原 宏



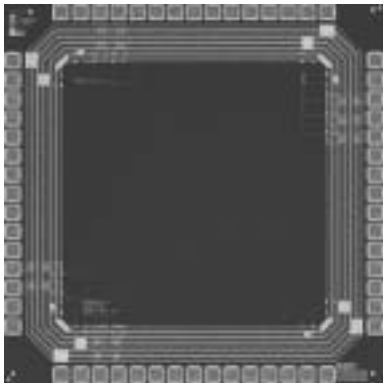
概要：1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計と TEG の試作を行なった．我々はロームの LSI 作製プロセスと独自の強誘電体プロセスを融合してメモリ作製を計画しているが，デザインルールの違いにより，CMOS 部についても最小設計寸法での設計が困難である．特に，配線の制限や，ソースドレイン抵抗の増大が懸念されるため，予想される設計寸法での評価 TEG を設計した．これまでに設計したクロスカップル型センスアンプやカレントミラー型センスアンプの設計を修正したものがメイン TEG である．他に単体トランジスタ特性の評価用 TEG も作製した．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

1T2C 型強誘電体メモリ用周辺回路（4）

東京工業大学フロンティア創造共同研究センター　　陳 文億，山本 修一郎，石原 宏



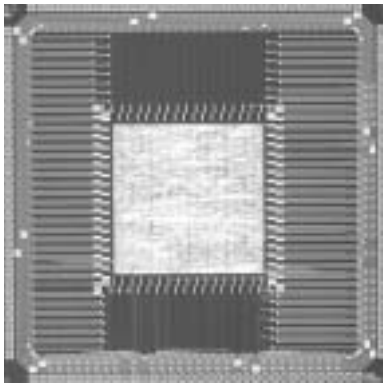
概要：1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計と TEG の試作を行なった．我々はロームの LSI 作製プロセスと独自の強誘電体プロセスを融合してメモリ作製を計画しているが，デザインルールの違いにより，CMOS 部についても最小設計寸法での設計が困難である．特に，配線の制限や，ソースドレイン抵抗の増大が懸念されるため，予想される設計寸法での評価 TEG を設計した．NOR やリセット付き D フリップフロップを設計した．駆動能力チェックのためアウトバッファのあるものとないものを作製した．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

MATLAB の LSI 設計への応用検討および BIST 回路設計の練習用チップ

大阪大学大学院情報科学研究科　　三浦 克介，中前 幸治，藤岡 弘

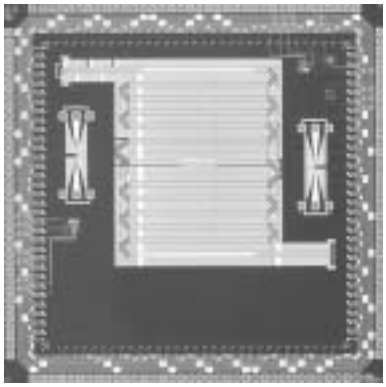


概要：本チップは，二つの目的を持って設計された．一つは，科学技術計算ソフトウェアパッケージ MATLAB の LSI 設計への応用を検討することであり，もう一つは，built In self test（BIST）回路設計の練習を行うことである．前者の目的としては，MATLAB を用いてデジタルフィルタの設計を行い，このデータを元に，デジタルフィルタ LSI を設計した．設計したフィルタは，カットオフ周波数 1kHz のローパスフィルタであり，Hamming 窓関数を用いて 31 次の FIR フィルタにより実現した．このフィルタを，16bit 幅の固定小数点データを処理するフィルタ回路として実装した．後者の目的としては，上述のデジタルフィルタ回路に BIST 回路を付加した．擬似ランダムパターン発生回路およびシグネチャー解析回路に，それぞれ，4 × 16bit の非線型フィードバック・シフト・レジスタ回路を用いた．テストモードピンを Hi にしてクロックを与えると，65536 クロックの擬似ランダムパターンをデジタルフィルタ回路に与え，その良否判定結果を出力する．ROHM0.35μm ルールにて実装し，コアサイズが約 2mm × 2mm のレイアウトを得た．シミュレーションにより得たクリティカルパス遅延は 25ns である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

無線通信用バンドパスフィルタの設計

九州大学システム情報科学研究院　　金谷 晴一，吉田 啓二，安浦 寛人
九州大学システム情報科学府　　浦川 剛，大庭 亮介



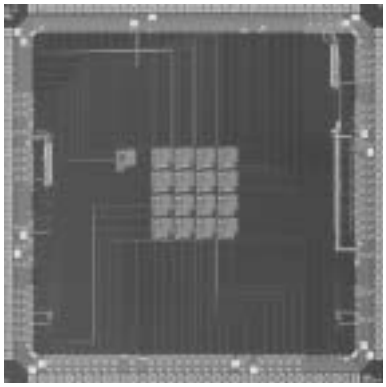
概要：無線 LAN（IEEE802.11b, 2.45GHz）の周波数帯で動作する分布定数線路を用いたバンドパスフィルタ（BPF）を設計した．線路構造として，信号線と接地導体が同一平面状にあるコプレーナ線路（CPW）とし，特性インピーダンスを 50W とした．無線 LAN 用として，中心周波数 2.45GHz，帯域 100MHz，フィルタの段数は 2 段とした．BPF は，小型化のために，4 分の 1 波長共振器を用い，インピーダンス反転回路として，インターディジタルギャップと，メアンダ細線構造を用いた．また，共振器もメアンダ形状としてサイズを小型化した．更に無線 LAN 用増幅器として，電力増幅器（PA）及び低雑音増幅器（LNA）も合わせて設計した．

参考文献：H. KANAYA, Y. KOGA, J. FUJIYAMA, Go URAKAWA, and K. YOSHIDA, “Design and Performance of High Tc Superconducting Coplanar Waveguide Matching Circuit for RF-CMOS LNA”, IEICE Trans. Electron. , vol. E86-C, pp. 37-41（2003）

設計期間：5 人月以上，6 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

CMOS オペアンプの試作

東北大学大学院情報科学研究科　　池田 茂，出川 勝彦，青木 孝文，樋口 龍雄



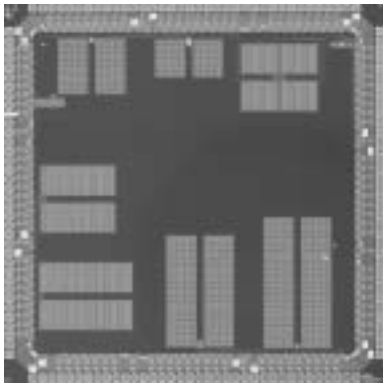
概要：筆者らは，反応拡散ダイナミクスの有する顕著なパターン形成能力を利用した並列コンピューティングの可能性を理論的・実験的に検討しており，人工触媒素子を用いて任意の反応拡散ダイナミクスを人工的に実現する手法を提案している．この手法では，人工触媒素子としてプラチナのマイクロ電極を用いる．マイクロ電極上の微量溶液中における酸化還元反応を PC のプログラムで制御することにより，非線形反応拡散ダイナミクスを実現している．現在の実験システムでは，PC と電極間を 8 チャネルのポテンシオスタットを介して接続し，8 本の電極への印加電位を一定に保っている．今後は使用する電極の数が増加するため，ポテンシオスタットの機能をオペアンプを用いた定電圧回路で代用し，実験システムを集積化することを検討している．そこで，今回は CMOS オペアンプの試作を行った．また，2 進 Signed-Digit 数系を用いた全加算器も試作した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

CMOS スイッチおよび補償回路アーキテクチャを用いた 3.3V/1.2V スイッチトキャパシタ型 DC-DC コンバータ

西安理工大学　　余 寧梅

東京大学新領域創成科学研究科　　柴田 直



概要：CMOS テクノロジの微細化に伴い，電力密度の高い電源供給が必要となっている．System On a Chip（SOC）において，システムを構成するアナログとデジタルの回路は同一チップ内に存在する．アナログ回路とデジタル回路は異なる電源電圧で駆動されるので，様々な仕様を満たすように電源供給する必要のあるポータブルコンピュータやマルチメディア，無線通信のようなシステムにおいて DC-DC コンバータは重要だと考えられる．一般に CMOS テクノロジにおいてインダクタンスはキャパシタンスと比較して見積もるのが困難であり，また，インダクタンスは DC-DC コンバータを作る際に電磁妨害（EMI）を引き起こす．そこで，本研究ではスイッチトキャパシタ型 DC-DC コンバータを採用する．本研究では，2 つの補償回路ユニットを並列に接続することにより，スイッチトキャパシタ型 DC-DC コンバータの出力電流を 26mA まで高められるように改善した．

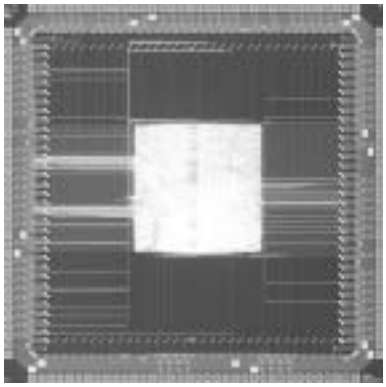
参考文献：Mitsuru Hiraki, Takayasu Ito, Koichi Ashiga, Atsushi Fujiwara, Taichi Ohashi, Tetsuro Hamano, and Takaaki Noda: “A 63-uW Standby Power Microcontroller With On-chip Hybrid Regulator Scheme”

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

SystemC の RTL 記述を用いた SH 互換プロセッサの設計

京都大学情報学研究科　　荒本 雅夫，湯山 洋一，高井 幸輔，小野寺 秀俊

東京大学大規模集積システム設計教育研究センター　　小林 和淑



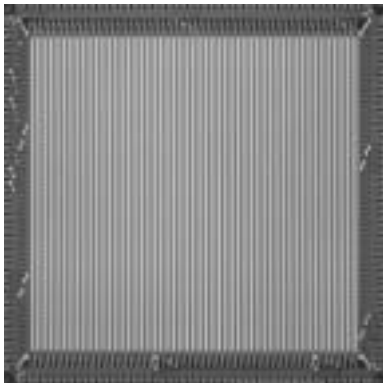
概要：我々は，処理に特化したプロセッサを複数個使用して，短期間にシステムを構成する設計手法を考案している．そのためには，面積が小さく，カスタマイズ可能なプロセッサが必要である．本 LSI はその設計手法の基となる，できるだけハードウェアコストを下げたプロセッサである．本プロセッサは 5 段パイプライン方式，ハーバードアーキテクチャといった特徴を持つ．命令セットは日立製作所の SH-2 を基にしており，命令数は 42 種類 104 命令である．論理設計は SystemC の RTL 記述を用いて行った．処理に不要な命令を削除したり，データパスのビット幅を減少することを容易に行うことができるので，カスタマイズが可能となる．設計は修士の学生 2 人で行い，約 0.5 ケ月必要であった．今後，テスタによる測定を行い，動作周波数や消費電力の評価を行う予定である．

参考文献：荒本，湯山，高井，“ SystemC の RTL 記述を用いた SH 互換プロセッサの設計 ”，信学技報，no IE2002-75，pp. 33-38，2002/10

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：マイクロプロセッサ

PWM 方式画素並列 2 次元ガボール型フィルタ回路

広島大学先端物質科学研究科　　梅澤 淳，森江 隆，岩田 穆

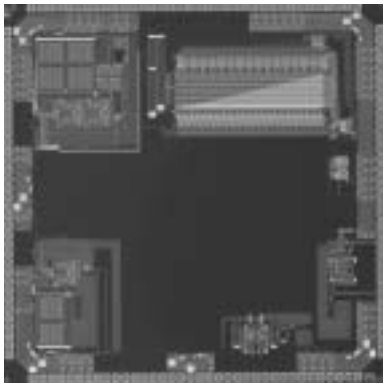


概要：人の視覚系の機能の一部を模擬したガボールウェーブレット変換は照明の変化などの影響を受けにくく，優れた特徴量として知られているが，膨大な演算量を必要とするためソフトウェアでの実行に時間がかかる．そこで処理時間短縮のため，パルス変調方式による画素並列動作型特徴抽出 LSI を設計した．隣接ユニットとの結合強度をもとに自身の状態を更新していくことにより，局所的空間周波数を抽出するガボール型　変換を実行する．今回は61 × 72 ピクセルのネットワークを構成した．特徴抽出に要する時間は4 方向5 周波数で約 40ms，消費電力は約 800mW と見積もっている．今後，低消費電力化を目指す予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm 角　**チップ種別**：ニューテクノロジ

神経信号センシング LSI のための測定ユニットの設計（1）

広島大学大学院先端物質科学研究科　　吉田 毅，真下 隆行，赤木 美穂，岩田 穆

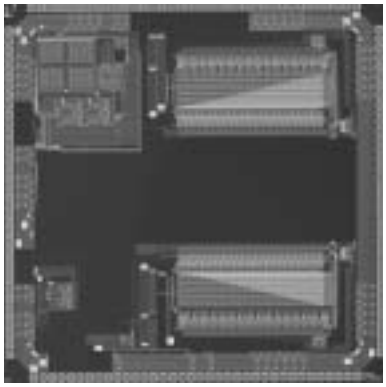


概要：自然な魚の運動と神経パルスを同時に観測し，小脳の神経活動と運動の関係を調べるための神経信号センシング LSI の設計を行っている．神経信号センシング LSI は増幅回路・ADC・RFユニットを1チップ化したものであり，低雑音化・低消費電力化・多チャンネル化が要求される．これはそれぞれ，生体信号が微小振幅かつ低周波な入力，バッテリでの長時間動作，測定効率の向上，という要求のためである．本試作チップでは，4 チャネル入力を多重し，アンプで増幅，デジタル信号出力をする段階までを設計，試作した．増幅回路にはチョッパアンプを用い，低周波帯のフリッカ雑音を低減している．ADC には抵抗ストリングを用いた直並列型回路構成を採用しており，10 ビット分解能，サンプリング周波数 50kHz である．なお，特性評価用としてチョッパアンプおよび RF ユニットの TEG を搭載している．また，チョッパアンプの TEG を測定し，基本動作の確認を行った．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

神経信号センシング LSI のための測定ユニットの設計（2）

広島大学大学院先端物質科学研究科　　吉田 毅，真下 隆行，赤木 美穂，岩田 穆

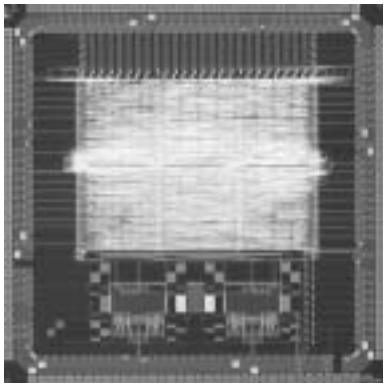


概要：自然な魚の運動と神経パルスを同時に観測し，小脳の神経活動と運動の関係を調べるための神経信号センシング LSI の設計を行っている．神経信号センシング LSI は，増幅回路・ADC・RFユニットを1チップ化したものであり，低雑音化・低消費電力化・多チャンネル化が要求される．本試作チップでは，4 チャネル入力のうち 1 チャネルを任意に選択し，その入力信号をアンプで増幅，デジタル信号出力をする段階までを設計，試作した．増幅回路にはチョッパアンプを用い，低周波帯のフリッカ雑音を低減している．ADC には抵抗ストリングを用いた直並列型回路構成を採用しており，10 ビット分解能，サンプリング周波数 50kHz である．なお，特性評価用として ADC の単体 TEG を搭載しており，測定の結果，電源電圧 3V，参照電圧 2V において微分非直線性誤差 1LSB，積分非直線性誤差 4LSB（1LSB=2mV），消費電力 2.5mW という結果を得た．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

ロボット用途向け CDMA シリアル通信チップ（1）

広島大学先端物質科学研究科　　汐崎 充，岩田 穆

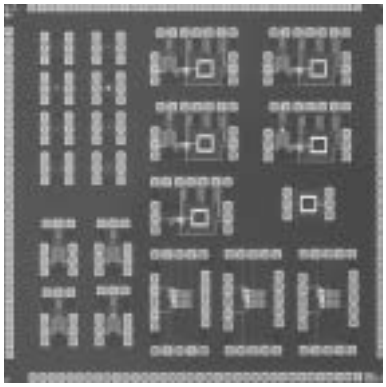


概要：高速・高機能ロボットの制御に適したマルチプロセッサ通信ネットワークの構築を目的としたチップ試作を行っている．ロボット用途ではケーブルの重さ等がアクチュエータ系に影響するため，少ない伝送路でデータ転送する必要がある．また，性質の異なるデータが複数存在するため，これらを効率よく転送する必要もある．そこで，CDMA 方式による多重化を行い，拡散符号と符号長の動的制御を行うことで少ない伝送路で効率良いデータ転送を実現する．本年度 2 月に試作したチップの修正版である．システム全体で 100Mbps 程度の転送速度が実現できるよう設計を行った．多重数 4,8,16 の 3 段階に切り替えることで，コード当たりの転送速度も切り替えることができる．今後，測定を行う予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, SII 社 SX9000, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

線形化器，電力増幅器及びアナログ相関器の設計

大阪大学工学研究科　　車 承佑，Elotohky Mostafa Ali，松岡 俊匡，谷口 研二

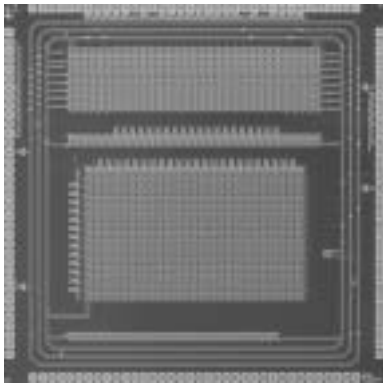


概要：送信器のフロントエンドの開発を目的として 2.4GHz で動作する線形化器と電力増幅器を試作した．線形化器は小型化のため，抵抗とダイオード，キャパシタで構成し，低電力動作ができるプレディストーション方式を採用した．この線形化器により，次段の電力増幅器の非線形特性を改善できる．電力増幅器は高利得を得るため，カスコード型で A 級動作をする回路を設計した．各部品の特性を調べるため，4 種類のダイオード，抵抗，そして増幅器の負荷に使用したインダクタの TEG も設計した．また，無線 CDMA 通信用受信器のためのアナログ相関器も設計した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

生体の網膜に学んだエッジ検出回路の試作

豊橋技術科学大学工学部　　澤 伸也，米津 宏雄



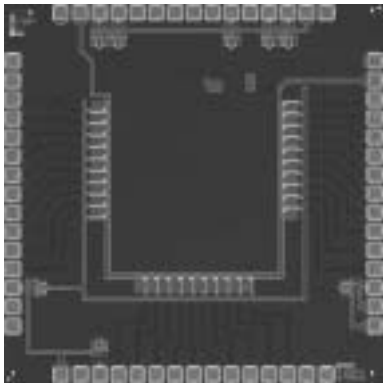
概要：我々は，網膜の視覚情報処理に学び，物体の輪郭を検出するエッジ検出ネットワークの提案とその集積回路化を試みてきた．このネットワークは，視覚対象の広範囲にわたる入力光強度に対して，各画素の回路パラメータを自動的に適応させ，広ダイナミックレンジを実現することができる［1］．しかし，このネットワークでは，出力電流の大きさが小さく，ノイズや素子のミスマッチによる影響を強く受ける傾向があった．そこで，今回の試作では，出力電流の取り出しを工夫した数種類の一次元網膜ネットワークを構成し，その動作を確認することを目的とした．

参考文献：［1］宮下，大谷，高崎，山田，西尾，米津：“ 局所的な明暗順応機能を有するエッジ検出機構の集積回路化 ”，信学技報，Vol. 99，No. 686，pp. 213-220，2000.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

広ダイナミックレンジを有する一次元エッジ検出回路の試作

豊橋技術科学大学工学部　　高崎 哲，米津 宏雄



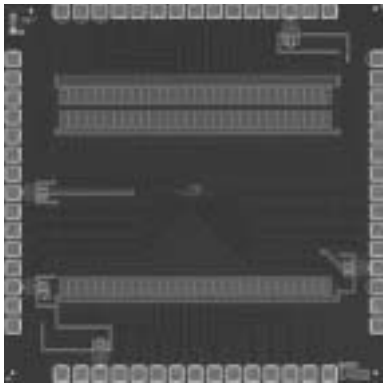
概要：我々は，網膜の視覚情報処理に学び，物体の輪郭を検出するエッジ検出ネットワークの提案とその集積回路化を試みてきた．このネットワークは，網膜の視細胞が有する暗順応機能に学び，低輝度画像が与えられた場合に入力信号を増幅する機能を有する．この機能により，エッジ検出回路の出力強度が高くなり，ダイナミックレンジがさらに拡大することをシミュレーションによって確認した［1］．今回の試作では，単位回路を一次元に30 個配列した網膜ネットワークを構成し，その動作を確認することを目的とした．

参考文献：［1］高崎，大谷，山田，西尾，古川，米津：“ 広ダイナミックレンジを有するエッジ検出機構の電子回路化 ”，日本神経回路学会第 11 回全国大会講演論文集，pp. 137-138，2001.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：イメージセンサ / スマートセンサ

素子特性のばらつきに強いエッジ検出アナログ回路の試作

豊橋技術科学大学工学部　　Amal Bandula Kariyawasam，米津 宏雄



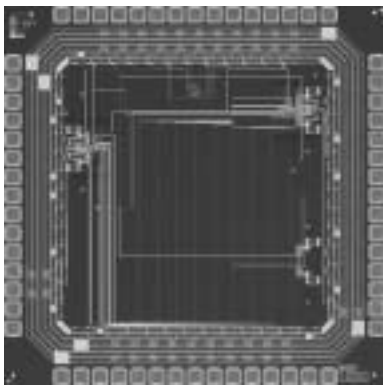
概要：我々は，これまでに網膜の視覚情報処理機構に学び，局所空間での光強度分布に従って，画素中の回路パラメータが自動的に適応する機構を有するエッジ検出アナログ回路の提案とその集積回路化を試みてきた［1］．しかし，これまで考案してきたエッジ検出回路は素子特性のばらつきにより誤動作が生じるといった問題点があった．網膜の各神経細胞で生成された信号にもばらつきは生じている．しかし，網膜は生成した信号を統合し，その信号を平均する機構を持っており，この機構により誤動作が生じない．今回の試作では，網膜の信号処理に見られる平均化する機構を導入したエッジ検出回路を設計し，その動作を検証することを目的とした．

参考文献：［1］宮下，大谷，高崎，山田，西尾，米津，“ 局所的な明暗順応機能を有するエッジ検出機構の集積回路化 ”，信学技報，Vol. 99，No. 686，pp. 213-220，2000.

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：イメージセンサ / スマートセンサ

高 Q 値ロック機能をもつジャイレータ共振回路による高周波バンドパスフィルタ

熊本大学工学部　　末吉 勢二，佐々木 守

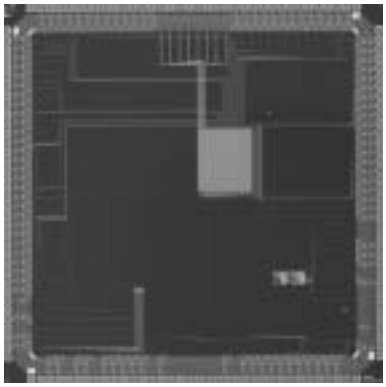


概要：スーパーヘテロダイン方式，特に，Low-IF 方式におけるイメージ除去フィルタ等への応用を意識して，モノリシック集積化可能な狭帯域な高周波（能動）フィルタの研究を行っている．今回は，正帰還ループによる Q 強調機能を有する電流モード・ジャイレータ共振回路によって，上記フィルタを実現した．正帰還ループによる不安定化を制御する目的で，発信せずに高 Q 値へ正帰還量を固定できるロック機構を考案し，回路実現している．Rohm 0.35um CMOS 製造プロセスを用いて，バイアス電流 350uA で，中心周波数 2.4GHz, Q=35 のバンドパスフィルタの特性を SPICE の過渡解析結果より確認した．また，回路を全差動構成にすることで非線形歪みを抑えた．今回は，集積化していないが，中心周波数を制御できる PLL も比較的容易に実現可能である．現在，測定評価中であるが，測定結果を反映したリワーク，先に書いた中心周波数制御に加えて，無線システムへの応用を考え，IP3 等の非線形歪みとダイナミックレンジ（雑音特性）の詳細な検討が今後の課題である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：通信（RF 回路，ATM など）

時系列情報連想システム

東北大学情報科学研究科　　元田 大祐
東北大学電気通信研究所　　佐藤 茂雄，中島 康治

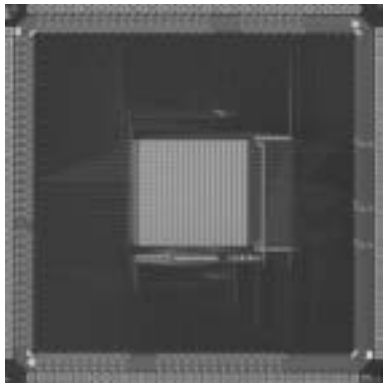


概要：連想システムは知的情報処理システムのひとつとして，画像の認識やベクトル量子化によるデータ圧縮などに用いられている．しかし，近年のマルチメディア時代においては動画像や音声などの時系列情報も多く扱われるようになりつつある．そこで，従来の連想システムを改良し，時系列情報に対応した連想システムを試作した．本連想メモリでは，時系列情報の連想精度をさらに向上させるために，単位時間ごとに連想結果を算出し，その結果を累積加算することによって最終的な連想結果が出力される．また，デジタル回路の内部にアナログ回路を導入した，デジ・アナ混載回路とすることで，高集積化を実現している．今回の試作回路は，8 リファレンス 64 ワードの時系列情報連想システムであり，設計はフルカスタムで行い，抽出したネットリストから HSPICE による動作検証を行った．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

ニューラルネットワークの高機能・高集積化に関する研究

東北大学電気通信研究所　　芳賀 琢哉，金城 光永，佐藤 茂雄，中島 康治

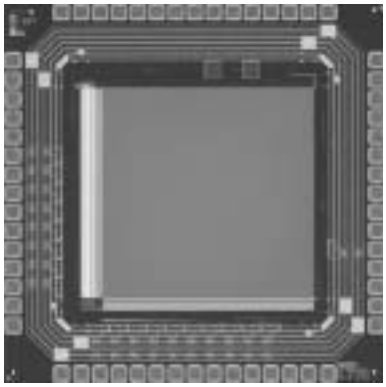


概要：ニューラルネットワークの集積化のためには，構成要素であるニューロン回路またはシナプス回路等を小規模に実現する必要がある．特にネットワークの大規模化に伴いシナプス回路の占める面積が支配的となるため，シナプス回路の小規模化が有効である．我々はシナプスとして 3 値 {-1,0,1} のみをとるネットワークを考えることによりシナプス回路の小規模化を実現した．さらにこれに伴う学習性能低下をニューロンの入出力特性が非単調関数で与えられるような非単調ニューロンを導入することにより補い，高機能・高集積化が可能なネットワークを構築した．今回の試作では学習回路を含む20ニューロン・400 シナプスの全結合ネットワークをアナログ回路により実現した．設計した非単調ニューロン回路は回路内部でオフセットをキャンセルできる機構を有しており大規模化に適している．シナプス回路は 3 値に量子化しているため 2bit の SRAM および符号乗算のための XOR 回路を用いて実現した．測定により 1 バイアスニューロンを含む 3-5-1 ネットワークを用いて 3-parity 問題が学習可能であることを確認した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

SFQ/CMOS ハイブリッドメモリの試作

横浜国立大学大学院工学研究院　　吉川 信行，宮川 英明，富田 卓哉，藤原 完



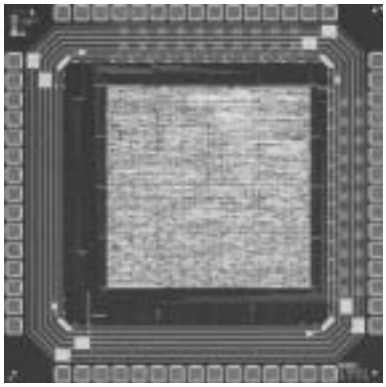
概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している[1]．本メモリシステムは 4.2K での動作を仮定しており，メモリーセルには 3 トランジスタ DRAM セルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，3 トランジスタメモリセルの低温動作特性を測定するための基本セル，ならびに 16Kb SFQ/CMOS ハイブリッドメモリシステムの試作を行った．基本セルの 77K における測定により，メモリの保持時間が低温において無限大になることが明らかになった．

参考文献：[1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, “Josephson-CMOS hybrid memory with ultra-high-speed interface circuit”, to be published in IEEE Trans. Appl. Superconductivity (2003).

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：メモリ

SFQ/CMOS ハイブリッドΣΔ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院　　吉川 信行，城殿 征志



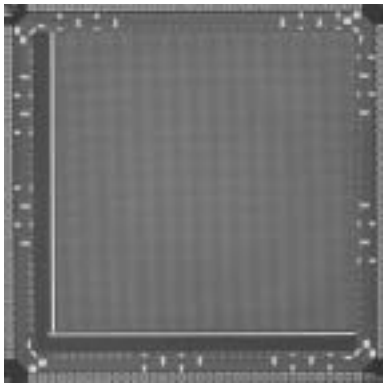
概要：SFQ/CMOS ハイブリッドΣΔ AD コンバータは，SFQ ΣΔモジュレータの高速性，高感度性のため，高いオーバーサンプリング周波数が可能となり，高速，高分解能の AD コンバータを実現できる．一方，SFQ ΣΔモジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる．そのため，本研究では SFQ ΣΔモジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った［1］．SFQ ΣΔモジュレータからの 16GHz の信号は，まず，超伝導デマルチプレクサにより低速のパラレル信号に変更され，CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる．これにより，500MHz, 14b の AD コンバータが実現できる．本チップではダウンサンプリング係数 32 の 2 次の sinc フィルタを試作した．実験により，CMOS デシメーションフィルタの基本動作を確認した．

参考文献：［1］本告，吉川，“ RSFQ/CMOS Hybrid Decimation Filter の設計 ”，2001 年電子情報通信学会エレクトロニクスソサイエティ大会，C-8-7，pp. 32，電気通信大学，2001 年 9 月 .

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：演算回路（乗算器，除算器など）

128 × 128 画素時間相関イメージセンサ（第 4 報）

東京大学大学院情報理工学系研究科　　安藤 繁
大阪電気通信大学総合情報学部　　来海 暁



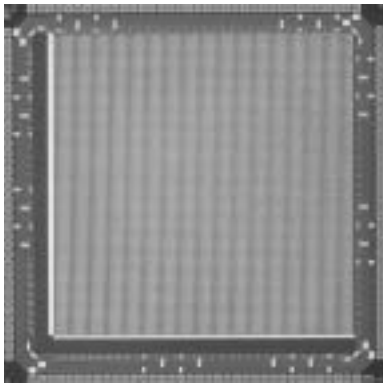
概要：我々は，時間軸を利用した高度な画像センシング手法の開拓を目的として，入射光強度と各画素共通の外部参照信号との時間相関を画像として出力するデバイスである，時間相関イメージセンサの開発を続けている．本試作では，RO3501-1 ランにおける 128 × 128 画素単相相関チップ［1］のダイナミックレンジ拡大その他の性能向上を目的として，乗算用 NMOS 対の基本的構成を踏襲しつつ，相関演算のための積分キャパシタを新たに PMOS ゲート容量により構成した．またこれに伴ってフォトダイオードを p+/n ウェルから pn 接合に変更した．動作検証実験により基本的な動作を確認している．

参考文献：［1］安藤，来海，“ 128 × 128 画素時間相関イメージセンサ（第 3 報）”，2002 年 VDEC 年報（2002）

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

96 × 96 画素三相時間相関イメージセンサ

東京大学大学院情報理工学系研究科　　安藤 繁
大阪電気通信大学総合情報学部　　来海 暁



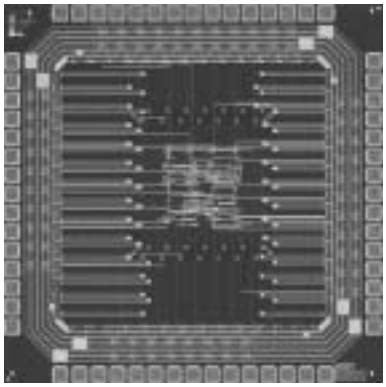
概要：我々は，時間軸を利用した高度な画像センシング手法の開拓を目的として，入射光強度と各画素共通の外部参照信号との時間相関を画像として出力するデバイスである，時間相関イメージセンサの開発を続けている．最近では振幅位相の 1 フレーム同時復調の可能な三相相関型画素に特に重点を置いて開発に取り組んでいる．本試作では，すでに良好な性能の得られている三相相関型画素［1］を高密度化の容易な Rohm 0.35um プロセスにおいて初めて集積化することを試み，ほぼ限界までの 96 × 96 画素の集積化を行った．同じランの 128 × 128 画素単相相関チップと同じく，乗算用 NMOS 対と pn 接合フォトダイオードの基本的構成を踏襲しつつ，相関演算のための積分キャパシタを PMOS ゲート容量［1］により構成した．動作検証実験により基本的な動作を確認している．

参考文献：［1］来海，安藤，“ 三相時間相関イメージセンサ ”，pp. 91，2001 年 VDEC 年報（2001）

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

ラッチを内蔵したマルチプレクサの設計

東京大学大学院情報理工学系研究科　菅原 道人，関口 裕一郎，富岡 顕信，酒造 正樹，長澤 純人，松本 潔，下山 勲，

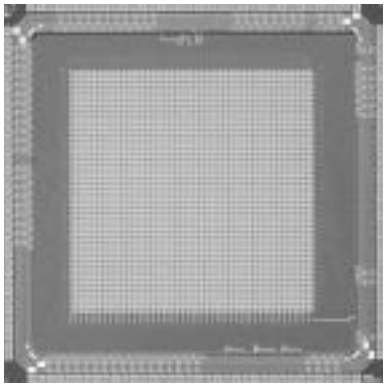


概要：今回の試作では，32bit のラッチ回路を設計した．本回路はデマルチプレクサと 32 個のイネーブル・リセット付きラッチにより構成される． 入力信号は 5bit のセレクト信号とデータ信号・イネーブル信号・リセット信号の計 8bit となっている．デマルチプレクサに 5bit のセレクト信号をいれることにより，データ信号・イネーブル信号がどのラッチ回路と接続されるかを切り替えられる．リセット信号はすべてのラッチ回路に接続されている． ラッチ回路では，イネーブル信号が H の際のデータ信号の値が記憶される．またリセット信号を L にすると記憶内容が消去される．ラッチ回路からの出力はデータ信号をそのまま出力する．データ信号を反転して出力する機能は無い．32 個のラッチ回路からの出力は，そのままパラレルにチップの出力端子に接続されている． 検証の結果，回路は正常に動作した．入力信号を変化させるとセレクト信号に対応したラッチが動作し，出力が変化した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：マイクロプロセッサ

屋内光無線 LAN 用 CMOS イメージセンサ（1）

奈良先端科学技術大学院大学物質創成科学研究科　川上 智朗，西村 智博，香川 景一郎，太田 淳



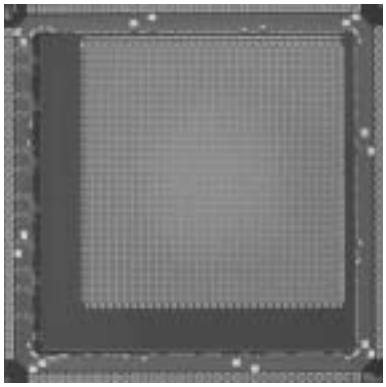
概要：近年，有線方式より施設が容易で高速通信の可能性を秘めている光無線通信が注目を集めている．我々は，位置検出の際には通信端末の位置を画像としてとらえ，通信時には端末間で最適な画素のみを用いる屋内光無線 LAN システムを考案している．本チップは，そのシステムの構成を向上させることを目的としている．特徴として，（i）高画素化を実現し，（ii）画素に位置検出モードと通信モードの二つの機能を備え，（iii）画素とその機能を選択するための制御部を組み込んでいる．本チップは，両モードの切り替えと，基本動作を確認した．

参考文献：K. Kagawa, T. Nishimura, J. Ohta, M. Nunoshita, Y. Yamasaki, M. Yamada, S. Sughishita, K. Watanabe, “An optical wirelesds LAN system based on a MEMS beam steerer and a vision chip”, Int'l Conf. Optics-photonics Design & Fabrication（ODF）P20, 135-136,（2002）.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**:1,000 以上，10,000 未満　**試作ラン**:ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

CMOS イメージセンサの駆動回路の TEG

茨城大学工学部　木村 孝之，白木 広光

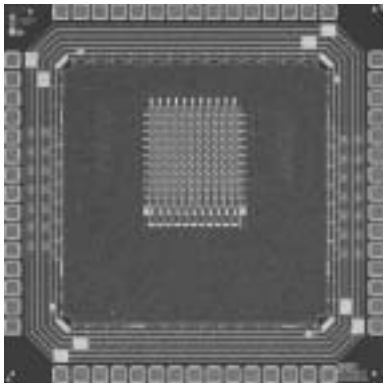


概要：CMOS 標準プロセスを用いたイメージセンサ（CMOS-APS: Active Pixel Sensor）による撮像が広く認知され始めている．この様なイメージセンサはデジタル回路との親和性が良く，それらの同一チップ上への集積化は広く研究されている．我々は画素に種々のアナログ演算回路を含む高機能イメージセンサの実現を目指して研究している．本試作では，高機能イメージセンサの実現の際に必要となる周辺回路のうち，水平・垂直ドライブ回路，画素の読み出し回路，タイミングジェネレータを試作し，特性の確認を目的としている．1 画素の大きさは演算回路を含めるため，50μm × 50μm とした．また，画素数はチップサイズとドライブ回路から制約を受けるため，64 × 64 となった．今回は，周辺回路の特性を確認することが目的であるため，画素には単純な n チャネル FET によるスイッチのみを配置し，2 つの信号を時分割で読み出せるようにした．

設計期間：1 人月以上，2 人月未満　**設計ツール**:Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

CMOS イメージセンサの特性評価とアナログ回路の TEG

茨城大学工学部　　木村 孝之，白木 広光

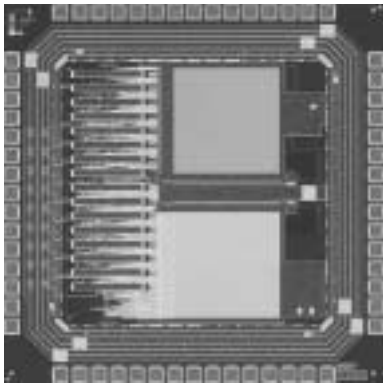


概要：CMOS 標準プロセスを用いたイメージセンサ（CMOS-APS: Active Pixel Sensor）による撮像を行う際に必要となる回路の特性評価のための TEG と，on chip 信号処理のために必要な A/D 変換回路，オペアンプ，コンパレータの TEG を試作した．イメージセンサにあたる部分ではトランジスタのサイズによる撮像への影響を見積もるために，トランジスタサイズを変えてセンサを構成している．また，イメージセンサ用ドライバと制御信号発生回路をデジタル回路で構成している．設計したオペアンプは開ループ電圧利得が 66dB，ユニティーゲイン周波数は 29MHz，位相余裕は 60 ° であった．これらの値と実測値を比較して，設計の妥当性を検証する．また，このオペアンプやコンパレータを用いた積分型の A/D 変換回路についても動作の検証を行う予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

CMOS イメージセンサの低暗電流化回路の試作

茨城大学工学部　　木村 孝之，白木 広光

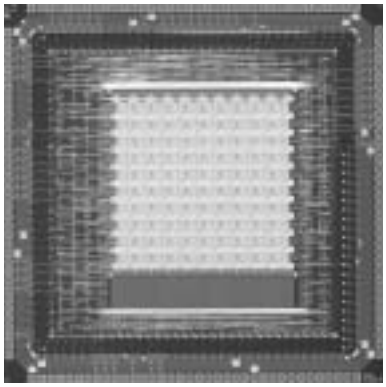


概要：CMOS 標準プロセスを使い製作されるイメージセンサは，プロセスのアナログ回路への最適化が行われていないなどの理由で暗電流が多いと言われている．これが CMOS イメージセンサの画質が悪いと言われる一因になっている．CCD イメージセンサの様に CMOS イメージセンサのフォトダイオードに埋め込み層を作製すれば低暗電流化は可能であるが，それでは CMOS 標準プロセスが使えなくなり，CMOS イメージセンサの利点が無くなってしまう．また，デジタル的な演算により暗電流を低減する事は可能であるが，余分な回路や信号処理が必要となってしまう．本研究では，画素内に暗電流をキャンセルするための回路を組み込むことにより低暗電流化を目指す．1 画素は 10μm × 10μm であり，64 × 64 個のアレイからなる．特性を比較するために通常の 4 トランジスタからなるイメージセンサも同じチップ上に試作した．さらに，制御用のデジタル回路も同一チップ上に組み込んだ．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

ディジタル方式による全画素並列画像分割セルネットワーク回路

広島大学先端物質科学研究科　　森本 高志，原田 洋明
広島大学ナノデバイス・システム研究センター　　小出 哲士，
マタウシュハンス ユルゲン

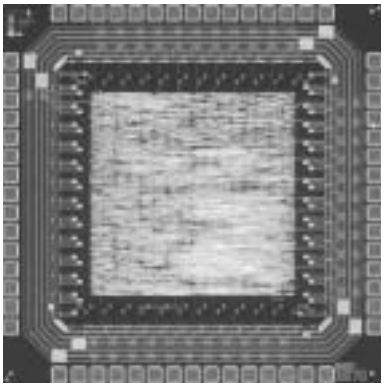


概要：画像分割は複数のオブジェクトが存在する複雑な自然画像から個々のオブジェクトを抽出することにより情報量を少なくする処理であり，画像認識や動き検出などのオブジェクトベースの画像処理の前処理として重要かつ不可欠な処理である．このための方法として，本研究室ではリアルタイム画像分割アーキテクチャを提案している．提案回路である画像分割セルネットワークは 2 つのモジュールをアレイ状に並べたネットワーク構造を有している．本チップでは，この 2 つのモジュールをフルカスタム設計することにより，更なる小面積化・高速化を達成した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

バンドパス型動的要素マッチング（DEM）回路

上智大学理工学部　　小林 真也，加藤 了三，和保 孝夫



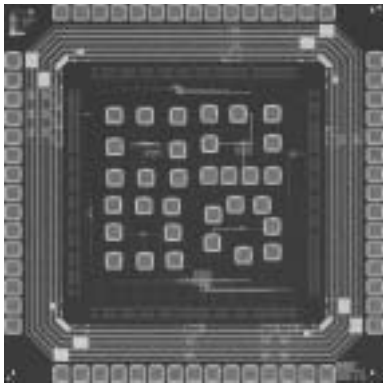
概要：本回路は多ビットΔΣ変調器で必要となる高精度 DAC 実現のための基本ブロックとして設計した．ΔΣ変調器の量子化器を多ビット化することで，オーバーサンプリング比を極端に大きくしなくとも高分解能化が達成でき，広帯域化実現に有利である．しかし，フィードバックループ内の DAC には高い線形性が要求される．非線形性の原因は DAC 内に用いられる要素電流源の特性ばらつきであるが，特定のアルゴリズムに従って各サンプリングごとに使用する要素電流源を選択することで，線形特性の飛躍的改善が可能であることが知られている．今回はそのようなアルゴリズムのなかでもミスマッチシェイピング法に基づく DEM 回路を設計した．バンドパス特性を得るために 2 つのレジスタをシリーズで用い，クロックの両エッジを回路動作に利用することで高速化を図った．設計した DEM を MATLAB 上に再現し，ノイズシェイピング特性を確認した．また，論理合成，自動配線後のレイアウトパターンに基づく回路シミュレーションでは 20MHz 動作を確認している．

参考文献：［1］小林，加藤，和保，“ 多ビットΔΣ変調器のための動的要素整合化回路の設計 ”，2003 年信学会総合大会 A-1-17

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

連続時間ΔΣ変調器

上智大学理工学部　　増田 貴志，和保 孝夫



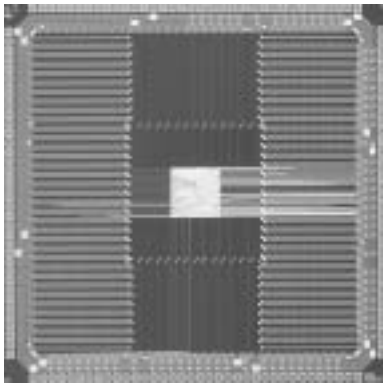
概要：連続時間ΔΣ変調器を用いることで広帯域・高分解能 A/D 変換器の実現が期待できる．本回路はそのための基本検討の一環として設計したもので，これまで 1.2 ミクロンオンセミプロセスで試作していた［1］が，高速化のためには微細化が不可欠なため，新たに 0.35μ プロセス用に設計したものである．チップには 1.2 ミクロン試作で用いたものと同一形式に基づく差動型ΔΣ変調器を搭載した．また，高速化に有利な電流モード化を図る目的で，電流モード積分器と同比較器を設計し搭載した．従来型ΔΣ変調器相当版に対する HSPICE シミュレーションによれば，6.4 MS/s, OSR ＝ 32 で SNR ＝ 43.3 dB（約 7 ビット）が予測されている．また，1.2 ミクロンと比較して占有面積は約 1/9 に削減できた．電流モード化した回路については今回は基本動作確認を主目的としており，次回以降性能向上のための最適化を目指す．

参考文献：［1］増田，武井，和保，“ 1 次連続時間ΔΣ変調器 ”，2003 年 VDEC 年報，平成 13 年度 2 回目オンセミ試作

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

低レイテンシ除算回路の設計

名古屋大学工学研究科　　水野 知秀，高木 一義，高木 直史

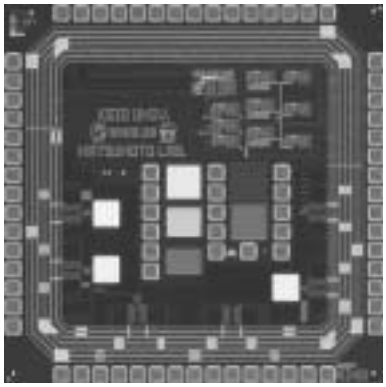


概要：現在プロセッサ等に用いられている減算シフト型除算回路は基数 2, 4 に基づいたものである．そのため，単精度の商を得るのに必要となるサイクルは 12 ～ 24 サイクルとなる．一方で，加減算や乗算は 3 ～ 4 サイクルで実行できるため，システム全体の性能向上のためには除算に必要なサイクル数を削減することが重要な課題となる．そこで，今回の試作では近い将来実用化されるであろう 4 サイクルで単精度の商を計算できる除算回路を設計を行った．今回の回路は基数 4 の桁選択回路をベースとし，これを 3 段用いることで 1 サイクルで 6 ビットずつ商を決定する除算回路を実現した．また，商の桁の選択を前段の計算と並列に行うことにより，遅延時間を短縮した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

光通信用信号処理回路

慶應義塾大学理工学部　　桑原 啓，竹本 如洋，松本 佳宣

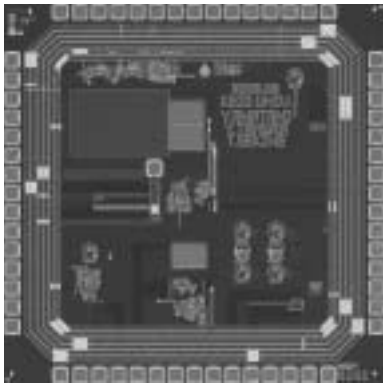


概要：FTTH や光インターコネクトなどの短距離光通信用にフォトダイオードを一体化させた高速光通信用回路を設計した．本チップの目標値は 400Mbps 程度であり，この伝送速度を有するトランスインピーダンス回路，Rail to Rail Amp，バッファ回路などを設計した．トランスインピーダンス回路に必要とされる抵抗は Hi-PolyR 抵抗を利用した．また，Rail to Rail Amp にはオフセット補正機能を持たせた．さらに，CMOS 技術で製作されるフォトダイオードの応答感度，周波数特性を評価するために，異なるレイアウトのフォトダイオードを設計した．また，フォトダイオードとトランスインピーダンス回路，レーザーダイオード駆動回路などを集積化した素子に関しても設計をおこなった．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：通信（RF 回路，ATM など）

静電容量型センサ用容量検出回路

慶應義塾大学理工学部　　孟 魯新，松本 佳宣

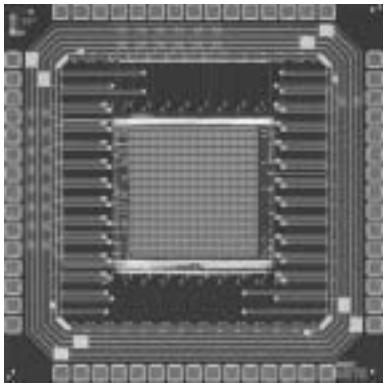


概要：近年，研究開発が盛んに行われている静電容量型センサ用の微小容量検出回路を設計した．一つの回路で 3 軸センサの検出ができるように，3 つのスイッチトキャパシタ方式の容量検出器を 6 相クロックで駆動する構成とした．また，発振回路と利得約 50 倍の非反転増幅器も併せて集積化した．スイッチトキャパシタと非反転増幅器に用いる演算増幅器は折り返しカスコード型の Rail to Rail 演算増幅器を用いた．演算増幅器のオフセットを評価するために，回路パラメータやレイアウトを変えた演算増幅器を複数設計して，その評価を行えるようにした．この回路はフェムトファラッドオーダーの微小容量検出が必要な加速度センサなどの分野への応用が期待される．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

1kbit SRAM の第 2 次試作

大阪府立大学先端科学研究所　　田中 智之，中尾 基，泉 勝俊

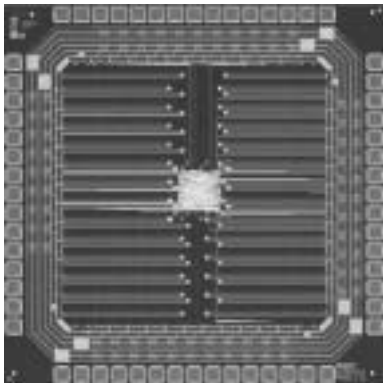


概要：第 1 次試作による結果を基に，デザインルールを更新して動作性能を向上させること及び本研究室における LSI 設計手法の確立を狙いとした．試作テーマとして用いた 1kbit SRAM は，メモリ量としては非常に小さいものであるが，情報量はメモリセル数に比例するものであり，基本的な機能構造は，現在市販されている大容量メモリと大差はない．これらのことより，本試作テーマはデコーダ等のディジタル回路部とセンスアンプ等のアナログ回路部があり，設計技術向上及び広範囲な設計ツール使用法の習得において最適と考えた．具体的な設計法は，メモリセル及びセンスアンプはカスタム設計とし，デコーダ回路等は Verilog-HDL で設計した．なお，第 1 次試作よりスケーリングを行い，0.6mm ルールのものを 0.35mm ルールで再設計し，タイミングシミュレーション及び検証を行った．VDEC で推奨されている設計ツールに関して，その利用法や設計フローを確立することができた．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：メモリ

蟻の行動様式をモデル化した LSI

大阪府立大学先端科学研究所　　稲垣 亜奈，田中 智之，中尾 基，泉 勝俊



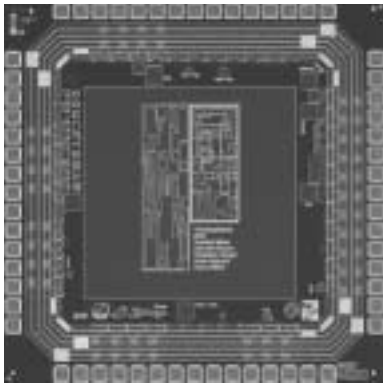
概要：半導体デバイス・プロセス技術の進展に伴い演算器も目覚しく進歩してきたが，高度の知能を有する生命体の脳で行われている演算処理が実行できるコンピュータの実現には未だ距離がある．そこで，人間よりも遙かに簡単な行動様式であるにも拘わらず，コミュニケーションなどでは特殊かつ高度な能力を発揮する蟻に着目し，その行動全般に関わる脳機能を抽出し，モデル化することで，そのアルゴリズムに基づいた LSI の設計と試作を行った． 単体としての蟻は単純な行動規則にしか従わないが，コロニー（集団）を形成することで，環境の変化等への適用が柔軟かつ高度に組織化されている．従って，蟻の脳における情報処理の形態全般を抽出してモデル化し，1 チップの LSI に搭載できれば，ゆくゆくは実際の蟻コロニーのように高度な並列演算処理が可能な LSI の開発に繋がると考えた．その第一歩として，本設計・試作においては単体の蟻の行動様式に力点を置いてモデル化を行なった．

参考文献：稲垣，田中，中尾，泉，“ 蟻の行動様式をモデル化した情報処理用 LSI の設計 ”，p. 78，2003 年電子情報通信学会総合大会予稿集（2003).

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

興奮性信号のみを用いた動き検出 VisionChip の要素回路

公立はこだて未来大学システム情報科学部　　秋田 純一

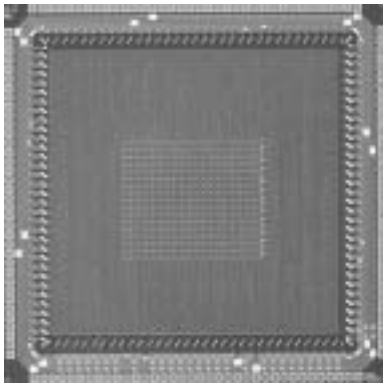


概要：撮像系と処理系を同一チップ上に集積するいわゆる VisionChip に関する研究として，脳での高度な認識処理へ向けた要素的な基礎情報処理を，元画像に対する前処理，いわば「ぱっと見」を高速・小規模な回路で実現することを目的として研究を行っている．本試作チップでは，その中で動輝点の動きの方向と速度を検出する，動き検出機能を対象とした．動き検出機能をもつ VisionChip に関する研究は多いが，本試作チップでは，カメなどの下等動物の網膜上での動き検出機構のモデルである，興奮性信号のみの伝播時間を用いたアルゴリズムを採用し，アナログ回路での実装を試みた．本試作チップでは，要素回路であるパルス発生回路，遅延回路およびパルス到達検出回路の評価用回路と，これらを用いた 1 対の動き検出回路を設計した．なおこの動き検出アルゴリズムは，画素の配置の自由度が高いという特徴がある．通常の画像センサがとる規則的な格子状の画素配置では，水平方向が現しやすいなど対象画像の方向特異性が問題となる場合があるが，画素配置の自由度が高い本試作チップで採用しているアルゴリズムを元に，方向特異性の少ない画素配置を持つ動き検出 VisionChip への展開を進めたい．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：イメージセンサ / スマートセンサ

差分光再構成型ゲートアレイ

九州工業大学情報工学部　　渡邊 実，小林 史典

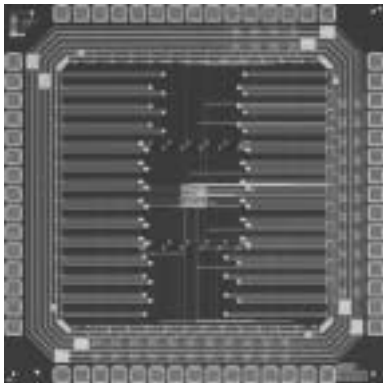


概要：高速に再構成が可能な差分光再構成型ゲートアレイ ODRGA（Optically Differential Reconfigurable Gate Array）を開発した．このデバイスでは，チップ表面に並べられた受光素子に対してプログラム光を照射することで，ゲートアレイ部の回路を瞬間的に再構成することが可能である．今回の設計では，受光部とトランスミッションゲートのみをカスタムセルとして設計し，他の部分にはスタンダードセルを用いて設計した．使用した言語は VHDL である．4 ビット入力 LUT（Look-Up Table）を 1 個持つ論理ブロックを 4 個，スイッチング・マトリックスを 5 個，配線チャネルが 4 ビット，I/O を 12 ビット実装したゲートアレイを試作した．受光素子のサイズが 25.5μm 角，間隔が 90μm である．今回の試作では，光学部との接合を容易にする目的で受光部を大きく，また間隔を開いて設計したが，将来的には小型化が可能である．

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：ニューテクノロジ

RSA 暗号化回路

早稲田大学大学院理工学研究科　　原田 恭典，柳澤 政生，大附 辰夫
早稲田大学理工学部　　森田 功一
早稲田大学大学院情報生産システム研究科　　木村 晋二
東京大学大学院新領域創成科学研究科　　山内 規義

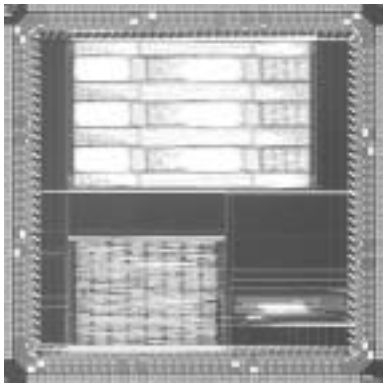


概要：近年，ネットワークの広域化によるデータのやりとりを行う機会の増加に伴い，安全性の高い暗号化処理技術が求められている．今回，素因数分解問題解決の困難さに裏打ちされた高い安全性から広く用いられている RSA 暗号を題材とし，その RSA 暗号化処理を行う回路の設計を行った．本 RSA 暗号化回路は入力として 10 ビット長の公開鍵，8 ビット長の送信者の秘密鍵および，8 ビット長の入力データを持ち，これらの 3 入力を与えることにより暗号化処理を行う．暗号化処理によって，8 ビットの暗号化データ出力が得られる．暗号化処理回路は復号化処理にも流用することが可能であり，10 ビット長の公開鍵，8 ビット長の受信者の秘密鍵および，8 ビット長の暗号化データの入力から複合化処理を行う．暗号化処理はべき乗演算と剰余演算で構成され，剰余演算が最も面積にあたえる影響が大きい．本 RSA 暗号化回路は面積優先での設計を行っており，剰余演算部を乗算器を用いることなく設計することにより面積の削減を実現した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 Scirocco, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：演算回路（乗算器，除算器など）

論理関数の畳込み機能を持つ FPGA および暗号処理 LSI

奈良先端科学技術大学院大学情報科学研究科　　梶原 裕嗣，川渕 知香，土井 伸洋，
中西 正樹，渡邉 勝正
京都大学大学院情報学研究科　　堀山 貴史
早稲田大学大学院情報生産システム研究科　　木村 晋二



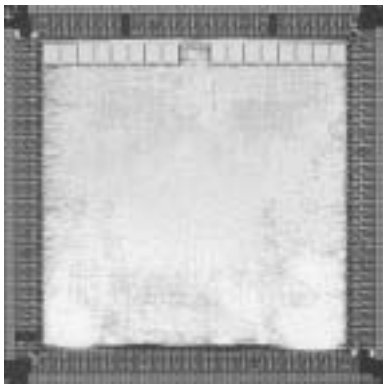
概要：本チップは以下の 2 つの回路からなり，選択信号によりどちらかひとつを選んで使用することができる．1）論理関数の畳込みを行うことにより，使用するメモリを節約できる FPGA．2）Rijndael 暗号の暗号化，復号化を行う回路．論理関数の畳み込みとは，実現したい真理値表の部分間の関係に着目し，真理値表の一部のみをルックアップテーブル（LUT）に格納し，付加的な論理ゲートを用いて真理値表全体を構成する手法である．本チップの FPGA は 3-1LUT を基本構造としており，論理関数の畳込みにより，全加算器の実現に必要となるメモリ量を半分に減らすことができる．また，FPGA の配線構造は，広く用いられている island スタイルに基づいている．Rijndael 回路については，暗号化，復号化で回路の一部を共有することにより，省面積化を実現している．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

平成 14 年度　第 3 回　ローム CMOS0.35μm　チップ試作
(RO35023)

MPEG-4 コアプロファイル符号化向け DSP

早稲田大学理工学部　　石本 剛，宮岡 祐一郎，柳澤 政生，大附 辰夫
北九州市立大学国際環境工学部　　戸川 望



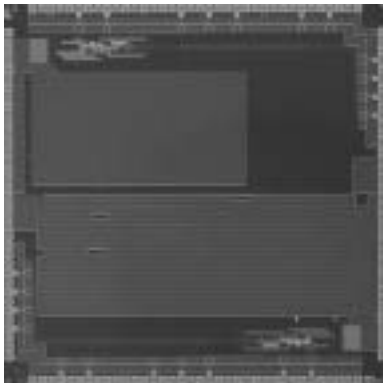
概要：MPEG-4 コアプロファイル符号化を行うディジタル信号処理プロセッサを試作した．本 DSP は符号化に必要な処理のうちソフトウェア実行に不向きで多くの計算量を必要とする処理について専用の演算器を作成し，それ以外の処理について ALU を強化して高速化した．演算と並列に 2 つのデータメモリへのアクセスを可能とし，データ量の多い処理を効率よく実行できるようにした．更に，メモリアクセス部に任意長のビット列の読み書きを可能とするハードウェアを付加し，通常のプロセッサでは苦手な可変長符号の扱いを高速化した．論理合成および配置配線の結果より本 DSP は 40MHz で動作する見積もりを得た．これにより，QCIF（176*144 画素）画像を 30fps で符号化可能とした．テスタによる測定は行っていない．

参考文献：石本，宮岡，戸川，柳澤，大附，“ MPEG-4 コアプロファイル符号化に対応した専用演算器を持つ DSP ”，信学技報，VLD2002-134，CPSY2002-87，pp. 25-30，2003.

設計期間：10 人月以上　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 Scirocco, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

ランダムノイズ発生回路とノイズ低減回路の試作（1）

東京大学工学部　　名倉 徹
東京大学大規模集積システム設計教育センター　　池田 誠，浅田 邦博

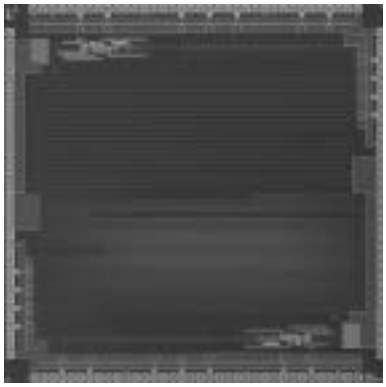


概要：集積回路の高集積化・低電圧化に伴いノイズ耐性が低下する一方で，高速化による di/dt ノイズが増大し，回路の信頼性に重大な影響を与えるようになってきた．我々は，スタブを用いることで電源ノイズを抑制する研究を行っている．本チップでは，ランダム信号発生回路（PRBS 2^7-1）の各出力にインバータ列を接続することでランダムなノイズを電源に発生させる回路と，そのノイズを低減するスタブを設計した．ノイズ発生回路は，VCO を内蔵することで外部から容易に動作周波数を変化させることが可能な構成にしている．このノイズ発生回路の電源線に対して，様々な種類のスタブと，同一面積のデカップリング容量と，何も付加しない場合とで，電源ノイズを比較するためのチップを試作した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

ランダムノイズ発生回路とノイズ低減回路の試作（2）

東京大学工学部　　名倉 徹
東京大学大規模集積システム設計教育センター（VDEC）　　池田 誠，浅田 邦博

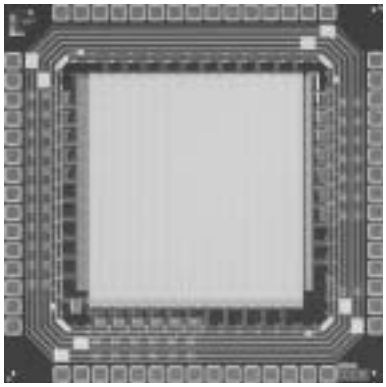


概要：集積回路の高集積化・低電圧化に伴いノイズ耐性が低下する一方で，高速化による di/dt ノイズが増大し，回路の信頼性に重大な影響を与えるようになってきた．我々は，スタブを用いることで電源ノイズを抑制する研究を行っている．本チップでは，ランダム信号発生回路（PRBS 2^7-1）の各出力にインバータ列を接続することでランダムなノイズを電源に発生させる回路と，そのノイズを低減するスタブを設計した．ノイズ発生回路は，VCO を内蔵することで外部から容易に動作周波数を変化させることが可能な構成にしている．このノイズ発生回路の電源線に対して，様々な種類のスタブと，同一面積のデカップリング容量と，何も付加しない場合とで，電源ノイズを比較するためのチップを試作した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

1 つの受光回路と 4 つの蓄積回路を有する画素 TEG（1）

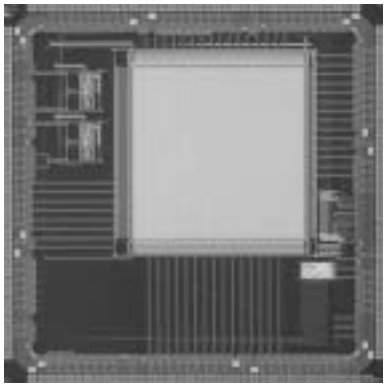
東京大学工学系研究科　　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　　池田 誠，浅田 邦博



概要：RGB 三色の投射光を個別に変調し同時に投射したとき，それぞれを 1 つの画素内で検波することによって各色の反射光輝度を得ることができる．4 つ目の蓄積回路は背景光の輝度を得るためのもので，これによって投射した光の輝度を取得できる．本センサは背景光外乱のない環境で白色光を用いて得た画像と同じ対象の色彩を得ることができる．外乱光などに依存せずに，1 センサで色補完のないカラー画像の取得は証明写真や屋外での特定用途向け撮像素子として役に立つと考えられる．本センサは線形特性を有する検波積分回路を用いて高い再現性を図っている．
設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：イメージセンサ / スマートセンサ

1 つの受光回路と 4 つの蓄積回路を有する画素 TEG（2）

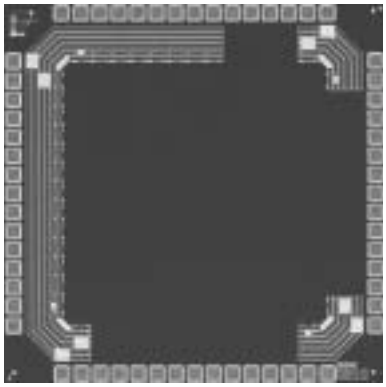
東京大学工学系研究科　　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　　池田 誠，浅田 邦博



概要：RGB 三色の投射光を個別に変調し同時に投射したとき，それぞれを 1 つの画素内で検波することによって各色の反射光輝度を得ることができる．4 つ目の蓄積回路は背景光の輝度を得るためのもので，これによって投射した光の輝度を取得できる．本センサは背景光外乱のない環境で白色光を用いて得た画像と同じ対象の色彩を得ることができる．外乱光などに依存せずに，1 センサで色補完のないカラー画像の取得は証明写真や屋外での特定用途向け撮像素子として役に立つと考えられる．本センサは画素の小型を目的として，非線形特性を有する検波積分回路を用いている．
設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

ケミカルセンサ用演算 LSI の ADC モジュール回路の試作

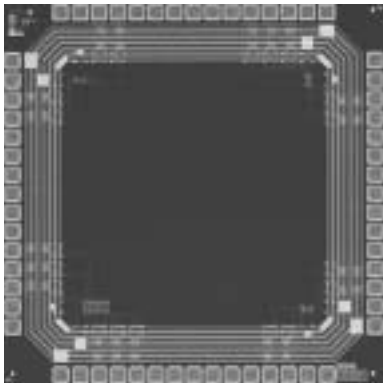
武蔵工業大学工学部　　藤田 雅彦，紫村 優介，山田 健太，秋谷 昌宏



概要：設計した ASIC は，ケミカルセンサの一種である味覚センサから得られる膜電位変化（　V），応答時間（t）を要素とする味覚パターンを識別する．一体化 LSI の前段階として，アナログレベルの電圧変化を捉えるため，ADC モジュールの設計を行った．構成は，まず第 1 の ADC により，入力信号を粗く AD 変換し，上位ビットを決定する．この出力を DAC に入力し，アナログ値に戻し，入力信号との差をとって増幅する．この差信号を第 2 の ADC により AD 変換することにより下位ビットを決定し，先に得られた上位ビットと合成して，AD 変換出力を得るものである．また，差信号を第 2 の AD 変換器が変換を終了するまで入力信号を保持する必要がある．
設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：演算回路（乗算器，除算器など）

1T2C 型強誘電体メモリ用周辺回路（5）

東京工業大学フロンティア創造共同研究センター　陳 文億，山本 修一郎，石原 宏



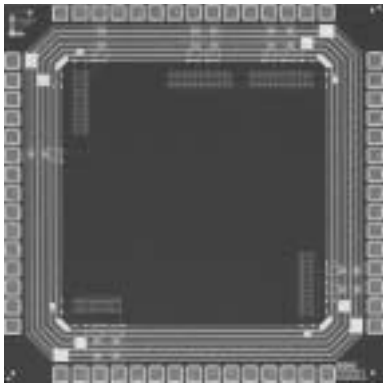
概要：1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計と TEG の試作を行なった．我々はロームの LSI 作製プロセスと独自の強誘電体プロセスを融合してメモリ作製を計画しているが，デザインルールの違いにより，CMOS 部についても最小設計寸法での設計が困難である．特に，配線の制限や，ソースドレイン抵抗の増大が懸念されるため，予想される設計寸法での評価 TEG を設計した．3 入力 NAND 回路および 4 入力 NAND 回路，2 入力マルチプレクサ（セレクタ），セット・リセット付き D フリップフロップを設計した．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

1T2C 型強誘電体メモリ用周辺回路（6）

東京工業大学フロンティア創造共同研究センター　陳 文億，山本 修一郎，石原 宏



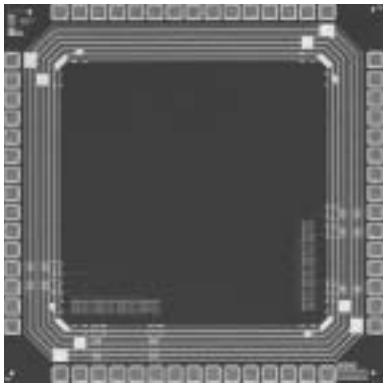
概要：1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計と TEG の試作を行なった．我々はロームの LSI 作製プロセスと独自の強誘電体プロセスを融合してメモリ作製を計画しているが，デザインルールの違いにより，CMOS 部についても最小設計寸法での設計が困難である．特に，配線の制限や，ソースドレイン抵抗の増大が懸念されるため，予想される設計寸法での評価 TEG を設計した．INV, NOR および NAND 回路それぞれにつき，奇数個の入出力チェーンを構成して発振回路を構成して信号伝達速度を測定できるようにした．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

1T2C 型強誘電体メモリ用周辺回路（7）

東京工業大学フロンティア創造共同研究センター　陳 文億，山本 修一郎，石原 宏



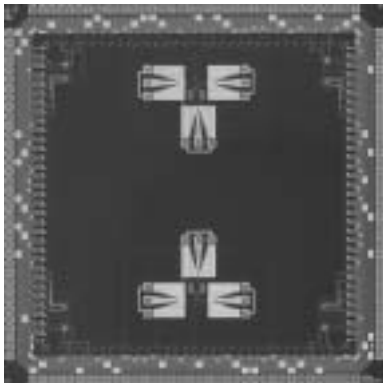
概要：1T2C 型強誘電体メモリ［1］に用いる周辺回路の設計と TEG の試作を行なった．我々はロームの LSI 作製プロセスと独自の強誘電体プロセスを融合してメモリ作製を計画しているが，デザインルールの違いにより，CMOS 部についても最小設計寸法での設計が困難である．特に，配線の制限や，ソースドレイン抵抗の増大が懸念されるため，予想される設計寸法での評価 TEG を設計した．ポジティブエッジおよびネガティブエッジリセット付き D フリップフロップでシフトレジスタを構成した．

参考文献：［1］H. Ishiwara, “Proposal of a Novel Ferroelectric-Gate Field Effect Transistor with Separated Functions for Data Read-Out and Data Storage”, Ext. Abst. Int. Conf. SSDM（1998）pp. 222-223.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

無線通信用ミキサおよび PLL の設計

九州大学システム情報科学研究院　　金谷 晴一，吉田 啓二，黒木 幸令，安浦 寛人
九州大学システム情報科学府　　浦川 剛，大庭 亮介
九州大学電気情報工学科　　中村 徹哉，岡本 賢治

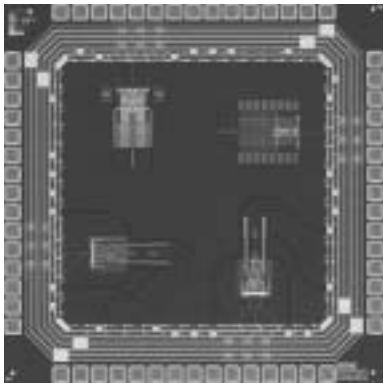


概要：無線 LAN（IEEE802.11b, 2.45GHz）の周波数帯で動作するミキサ回路の基本特性を得るために，差動型ミキサを設計した．また，VCO と位相比較器として Gilbert Cell mixer を設計した．差動型ミキサは，ダイレクトコンバージョン方式を採用し，LO として 2.45GHz を選んだ．将来的に，低雑音増幅器と繋げるために，信号線と接地導体が同一平面状にあるコプレーナ線路（CPW）を入出力ポートに適用した．VCO は，バラクタを用いて LC 発振を利用した回路であり，発振周波数は約 2.45GHz となるように設計した．Gilbert Cell mixer は，2.4GHz 周波数帯の信号を対象とした位相比較を行う回路として設計した．

設計期間：7 人月以上，8 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

高精度・低消費電力・有線通信用全差動ライン・ドライバ回路

早稲田大学大学院理工学研究科　　大島 宗之，佐々木 昌浩，松本 隆



概要：xDSL や fast-Ethernet 等で採用されている full-duplex system において，重要な構成要素の一つに Analog Line-driver（ALD）がある．ALD は低インピーダンスのメタリック・ケーブルを駆動し，アナログ信号を整流・伝送するための回路である．ALD に対する要求としては，伝送信号の線形性の維持，低消費電力化，高速化，小面積が挙げられる．しかし，近年の CMOS プロセスでは，微細化に伴う電源電圧の低下により，必要な出力電圧振幅を生み出すことが困難になってきており，その上で線形性を維持し，高速化を行うことは回路設計者にとって重要な課題となってきている．本チップでは，従来，問題とされてきたコモンモード・フィードバック回路の高周波化と Push-Pull Inverter バッファの定常電流の低減を実現することにより，10MHz, 2Vp-p のアナログ信号を，低消費電力・高線形性を維持しつつ駆動可能な回路を実現した．今回の試作では，前回問題となっていたフィードバック部分の歪を低減する構成に改良した．

参考文献：[1] Kh. Hadidi，大島，佐々木，松本，“ 2.5V CMOS Fully Differential Low Power High Linearity Analog Line-Driver ”，第 16 回回路とシステム（軽井沢）ワークショップ，pp. 67-72，2003

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：通信（RF 回路，ATM など）

多層構造 Convolutional Neural Network 演算回路チップ

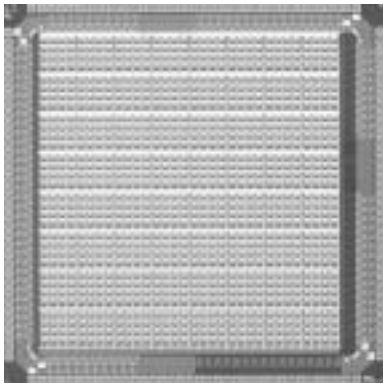
広島大学先端物質科学研究科　　是角 圭祐，安藤 博士，中野 鉄平，岩田 穆
九州工業大学大学院生命体工学研究科　　森江 隆

概要：本チップは，パルス幅変調（PWM）方式に基づいて多層構造を有する Convolutional Neural Network を実現するための，時分割で階層処理を行なう積和演算回路を実装したものであり，特に顔検出に必要な 80 × 80 画素の演算処理を 1 チップで実行可能とすることを目指している．チップは主に SRAM，デジタル-PWM 変換回路，積和演算回路，PWM-デジタル変換回路，累算器，Look-Up Table を実装している．積和演算の 1 回の処理時間は 1μsec.（クロック 100MHz）で設計し，積和演算の前後の処理と合わせてパイプライン動作を行なうことで，処理時間の効率化を図っている．なお，80 × 80 画素の入力画像に対して，顔の位置検出に要する時間は約 66msec. である．80 個のニューロン素子，4080（80 × 51）個のシナプス素子の並列演算により，チップ全体での演算性能は最大で約 8.2GOPS である．まだ測定（テスタ含む）は開始していないが，今後本チップを FPGA ボードで制御する顔検出デモシステムを構築する予定である．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Magma 社 Calibre　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm 角　**チップ種別**：ニューテクノロジ

ベクトル量子化機能を有する自己組織化特徴マップ回路の設計

広島大学大学院工学研究科　片山 光亮
広島大学大学院先端物質科学研究科　岩田 穆

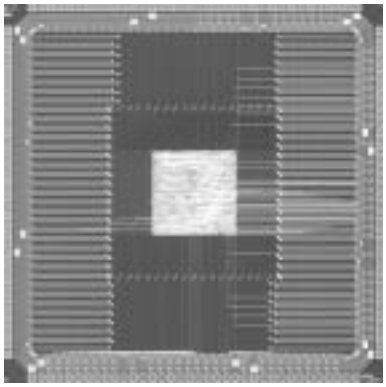


概要：ベクトル量子化は特徴抽出や情報圧縮のための基本技術として重要であり，これを実現するモデルにコホネンの自己組織化特徴マップがある．従来，自己組織化特徴マップはデジタル方式及びアナログ方式で実現されてきたが，デジタル方式では並列演算の限界による演算速度の制限，アナログ方式では面積増大によるベクトル長・ベクトル数の制限といった問題があった．そこで，我々はアナログ方式を採用し並列演算を可能にすると共に，回路を見直すことでベクトル長とベクトル数を従来に比べて大幅に向上させた自己組織化特徴マップ回路を試作した．本回路は，容量に保持されたベクトル要素と入力されたベクトル要素との差の二乗が電流加算されることで距離が出力され，最小距離検出回路により並列，高速に最小距離を検出し，検出されたベクトルが修正されることにより動作する．アナログ方式の回路でありながら，ベクトル数 64 ベクトル長 16 を達成し，画像・音声圧縮に応用可能である．現在試作チップ測定のための治具を作成中である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

Hardware Implementation of RSA Algorithm

早稲田大学大学院理工学研究科　史 又華，柳澤 政生，大附 辰夫
早稲田大学大学院情報生産システム研究科　木村 晋二

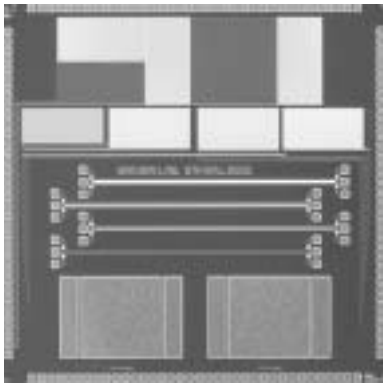


概要：As technology progress the need for more advanced encryption and decryption becomes urgent to secure electronic communication. Our design shows a solution for implementing an encryption/decryption unit using the RSA algorithm. The circuit is capable of doing 16-bit modular exponentiation. Because a simple multiplication operation requires a relatively large amount of combinational logic, which increases exponentially with the number of bits that are being multiplied. And the exponentiation also results in a huge amount of combinational logic. So we realize the exponentiation by a series of multiplications and conditional multiplications. Similarly, each multiplication is best performed by a series of shifts and conditional adds. In addition, for test application, scan chains are inserted into the circuit and using Synopsys test tools we can get the fault coverage as 99.71%.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

音センサ用モジュール，ROM 用セル，表皮効果測定 TEG

東京大学生産技術研究所　石田 光一，Quang Canh Tran，稲垣 賢一

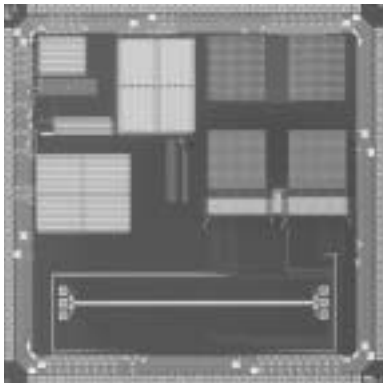


概要：近距離無線を利用したセンサセットワークシステムやユビキタスコンピューティングを利用した新たなアプリケーションの創成が期待されている．これを実現するためには様々なビルディングブロックを 1 つのチップに実装する SOC（System-on-a-chip）技術と低電圧，低消費電力な回路システムが必要となる．本試作では，これらをふまえて，3 つの回路要素技術を評価するための TEG 設計を行った．1 つ目として，センサモジュール実現のための回路要素技術を評価することを目的とし，音信号をピックアップしてディジタル信号に変換するための音センサ用モジュールを設計した．2 つ目として，外部記憶媒体に記録された情報を低消費電力で半導体チップに取り込む新たなメモリーデバイスをめざして 3 種類の基本構成回路（ROM 用セル）を設計した．3 つ目として高周波数化が顕著な最近の LSI において表皮効果が配線遅延に及ぼす影響を測定するために，3mm 長のすだれ状配線パターンを作成した．分割方法を変えて数種類用意し抵抗値の変化を見る．これを用いて周波数依存を含んだ配線特性モデル化を行う．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

しきい値電圧可変乗算器によるリーク電流削減回路，ワイヤレス I/O TEG

東京大学生産技術研究所　　宮崎 隆行，神田 浩一，Saliba Fayez，稲垣 賢一

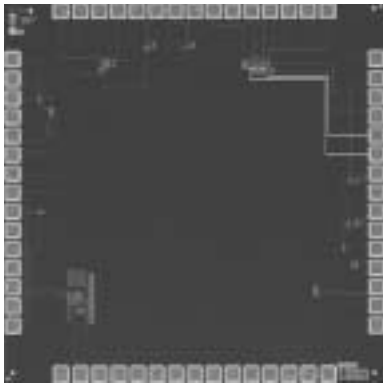


概要：リーク電流削減方式を検証するための回路を設計した．回路は合計 9 つの 8 ビット x8 ビット・キャリー・セーブ型乗算器で構成される．また 4 つの乗算器によるオシレータが 2 つと乗算器単体が作成された．単体の乗算器は動作を確認するためのものである．また 2 つのオシレータの片方はリファレンス用の通常の回路構成となっている．他方は閾値電圧を変え，各式位置電圧での動作時およびスタンバイ時の電流・動作速度を測定できる構成になっている．またリーク電流削減方式を適用したインバータ・リングも設計しており，乗算器同様に閾値電圧を変えた場合の動作時およびスタンバイ時の電流および動作速度が測定できる構成となっている．キャパシタンスカップルによる入出力方式であるワイヤレススーパーコネクトを提案した．15μm 角のパッドを対向させることにより 2 チップ間での通信を行う．本試作により設計したこの入出力システムは 625pin/mm2 のピン密度を有し，3mW の消費電力，1Gbps ／パッドの性能を実現した．今後性能／消費電力の高性能化を追求する予定である．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

COMFET を用いた OTA とコンパレータ回路の試作

東京理科大学理工学研究科　　鈴木 伸和，森尻 敬治
東京理科大学理工学部　　兵庫 明，関根 慶太郎



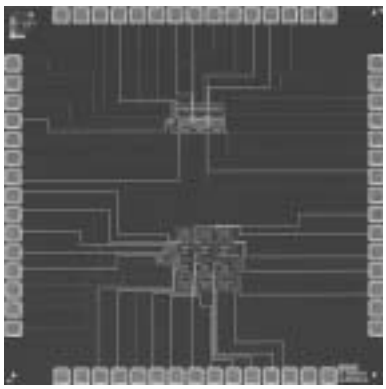
概要：本研究室で研究しているアナログ集積回路ブロックとして COMFET を用いた OTA とコンパレータ回路の試作を行った．試作した回路は，COMFET を用いた OTA にレベルシフト回路を付け加えて入力電圧範囲を拡大した回路構成となっている．また，コンパレータ回路は，入力端子にそれぞれ R と C の LPF を接続することで，入力電圧の時定数に差をつくり，その大きさを比較し出力している．そのため，コンパレータの入力直流バイアス電圧に依らず，所望の出力が得られる回路構成となっている．この回路は，電源電圧を 1.8V から 3V まで変動させたときでも動作可能である．

参考文献：[1] S. C. Huang and M. Ismail, “Linear Tunable COMFET Transconductor”, Electronics Letters vol. 29 pp. 459-461, March 1993

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

LowPower/LowVoltage リングオシレータの試作

東京理科大学理工学研究科　　涌井 努
東京理科大学理工学部　　兵庫 明，関根 慶太郎



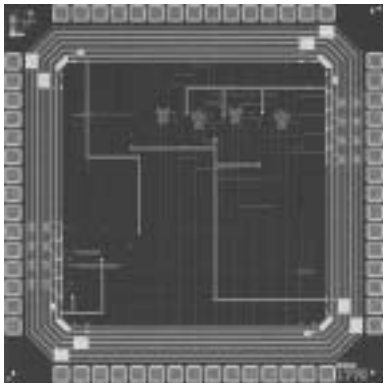
概要：本研究室で研究を行っているアナログ集積回路ブロックとして，リングオシレータの試作を行った．リングオシレータは，マイクロプロセッサの制御回路として用いられる PLL 内の発振器として使用されており，高速動作と低消費電力というトレードオフの関係にある動作が求められている．試作したリングオシレータは，ディレイセルの入力にあたる NMOS の寄生容量を小さくする手法と入力を 2 入力とし，その位相をずらす手法を用いて，制御電流を増加することなく，低電圧動作を保ちつつ，高速化を実現した回路構成となっている．

参考文献：Koichiro Minami, Muneo Fukaishi, Masayuki Mizuo, Hideaki Onishi, Kenji Noda, Kiyotaka Imai, Tadahiko Horiuchi, Hiroshi Yamaguchi, Takanori Sato, “A 0.1mm CMOS 1.2V 2GHz Phase Locked Loop with Gain Compensation VCO”, IEEE Custom Integrated Circuits Conference, pp. 213-216, 2001

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

SFQ/CMOS ハイブリッドΣΔ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院　　吉川 信行，城殿 征志



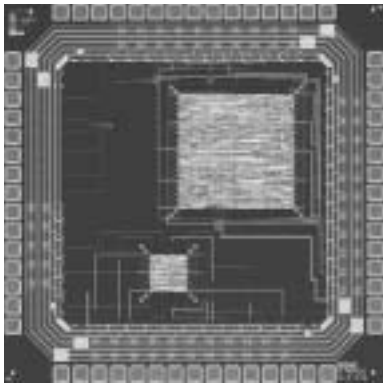
概要：SFQ/CMOS ハイブリッドΣΔ AD コンバータは，SFQ ΣΔモジュレータの高速性，高感度性のため，高いオーバーサンプリング周波数が可能となり，高速，高分解能の AD コンバータを実現できる．一方，SFQ ΣΔモジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる．そのため，本研究では SFQ ΣΔモジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った［1］．SFQ ΣΔモジュレータからの 16GHz の信号は，まず，超伝導デマルチプレクサにより低速のパラレル信号に変更され，CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる．これにより，500MHz, 14b の AD コンバータが実現できる．本チップではダウンサンプリング係数 32 の 2 次の sinc フィルタを試作した．設計ではパイプライン構造の最適化を行い，動作周波数の向上を目指した．

参考文献：［1］本告，吉川，“ RSFQ/CMOS Hybrid Decimation Filter の設計 ”，2001 年電子情報通信学会エレクトロニクスソサイエティ大会，C-8-7，pp. 32，電気通信大学，2001 年 9 月 .

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：演算回路（乗算器，除算器など）

SFQ/CMOS ハイブリッドメモリ用用要素回路の試作

横浜国立大学大学院工学研究院　　吉川 信行，宮川 英明，富田 卓哉，藤原 完



概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している［1］．本メモリシステムは 4.2K での動作を仮定しており，メモリーセルには 3 トランジスタ DRAM セルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，低温デバイスモデル構築用の幾つかの CMOS デバイスを試作した．また SFQ/CMOS ハイブリッドメモリの要素回路である，高速ハイブリッドアンプ，3 トランジスタメモリセル，パイプラインアンプの試作を行った．CMOS デバイスの低温測定により，低温 CMOS デバイス用デバイスモデルパラメータを抽出することができた．

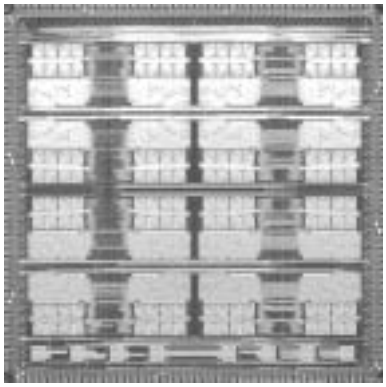
参考文献：［1］Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, “Josephson-CMOS hybrid memory with ultra-high-speed interface circuit”, to be published in IEEE Trans. Appl. Superconductivity（2003）.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：ニューテクノロジ

フレキシブル・プロセッサ（FP-2）

東北大学大学院工学研究科　　大川 猛，藤林 正典，山下 雅房，宮本 直人，カルナン レオ，喜多 総一郎，小谷 光司

東北大学未来科学技術共同研究センター　　大見 忠弘



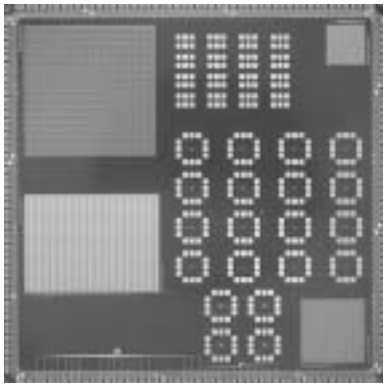
概要：回路を動的に再構成できる「フレキシブル・プロセッサ（FP-2)」を開発した．前回試作の FP-1 をベースとして，128 個のフレキシブルモジュール（ロジックエレメント）を集積した．8 個のフレキシブルモジュールを 1 つのクラスタとして，16 クラスタで 1 チップを構成する階層的プログラマブル配線アーキテクチャを実装している．FP-2 は大規模ディジタル回路のエミュレーションを単一のチップで行う，低コストなパーソナル・エミュレータに搭載することを前提として設計されており，一つの回路を適切に分割し，順次実行することでオリジナルの回路の機能を実現する「回路の時分割実行機能」を備える．回路構成情報を外部メモリから逐次ダウンロードすることにより，無限大規模の LSI 論理エミュレーションを行うことができる．

参考文献：T. Ohkawa, T. Nozawa, M. Fujibayashi, N. Miyamoto, K. Leo, S. Kita, K. Kotani and T. Ohmi, “The Flexible Processor - Dynamically Reconfigurable Logic Array for Personal-use Emulation System”, 2003 Symposium on VLSI Circuits, Kyoto, Japan, session#21-3, June 2003

設計期間：6 人月以上，7 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上
試作ラン：ローム CMOS 0.35μm 9.8mm 角　**チップ種別**：マイクロプロセッサ

インテリジェント・ヒューマン・インターフェース

東北大学大学院工学研究科　　舘 知恭，千葉 浩児，小谷 光司，須川 成利
東北大学未来科学技術共同研究センター　　大見 忠弘

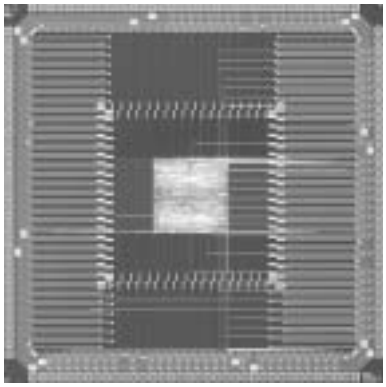


概要：高画質な大容量の画像データをネットワーク上で扱うためには，高圧縮な画像圧縮技術が求められている．その実現のためには撮像と同時にObjectのカテゴリー分離情報を用いてカテゴリーごとに最適圧縮をしなければならない．従来のCMOSイメージセンサの研究は，CCDに迫るほどの高画質化，ビジョンチップに代表される高機能化が進められてきた．しかしながら，高画質化と高機能化の両方を同時に実現させるものはなかった．そこで我々は画素近傍にノイズ低減回路とAnalog to Digital Converter（ADC），画素回路のアレイの外部にArithmetic Logic Unit（ALU）集積した高画質，高機能CMOSイメージセンサを提案している．ALUでは色情報，荒さ情報，距離情報，動き情報をそれぞれ演算し，この4種の情報を用いて16種のCategoryに分類を行い，画像情報と同時にObject情報として各画素の画像情報に加え出力させる．本チップでは前述の高画質，高機能CMOSイメージセンサと比較用に従来型とノイズ除去機能を備えたCMOSイメージセンサを32 × 32画素と，各々の画素回路を1画素づつTEGとして集積した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：イメージセンサ / スマートセンサ

オンチップタイミング試験回路の試作

東北大学大学院工学研究科　　石田 雅裕，小谷 光司
東北大学未来科学技術共同研究センター　　大見 忠弘



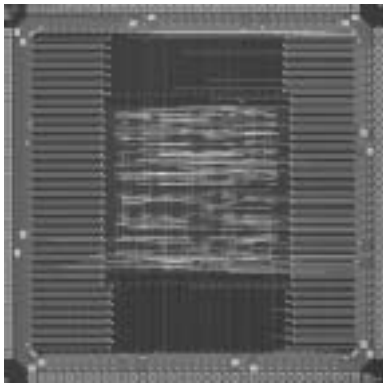
概要：マイクロプロセッサのクロック周期が短くなるにつれて，システム動作におけるタイミング不良を解析するためにクロックジッタを精確に測定することがきわめて重要となる．GHzレンジの高周波クロックをオフチップに取り出して試験するのは非常にコストがかかる．このため，オンチップでクロック試験をおこなう方法の開発が望まれている．そこで今回は，オンチップタイミング試験回路を設計・試作した．試作した回路は，VDL（vernier delay line）方式およびCI-VDL（component-invariant VDL）方式の時間デジタル変換回路［1］である．プロセス変動が2つの回路にあたえる影響をテスタやオシロスコープをもちいて測定する．測定結果をもとに，オンチップタイミング試験回路の性能を評価する．

参考文献：［1］A. H. Chan et al. , “A Synthesizable, Fast and High-resolution Timing Measurement Device Using a Component-invariant Vernier Delay Line”, Proc. International Test Conference, pp. 858-866, 2001.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula LVS, Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

ALUの設計

東京大学大学院情報理工学系研究科　　菅原 道人，大村 吉幸，関口 裕一郎，富岡 顕信，酒造 正樹，長澤 純人，松本 潔，下山 勲

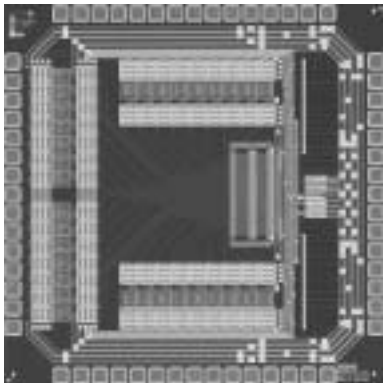


概要：今回の試作では，外部ROMから命令を読み込んで実行し，演算結果を外部RAMに格納する機能を持つ演算ユニットを設計した．本回路はALU，プログラムカウンタ（PC），16bitの内部メモリ，2つの8bitレジスタより構成される．PCが1つ進むごとに外部ROMから16bitの命令を読み込む．命令部分のアドレス10 － 8が実行する命令の種類を表す．命令を完了するとPCが1進む．命令は以下の8種類である．外部RAMからレジスタA（REGA）に値を読み込む，外部RAMからレジスタB（REGB）に値を読み込む，アドレス7 － 0に格納された値をREGAに読み込む，REGAの値を外部RAMに書き出す，ALU演算を実行する，PCのジャンプ，REGAの値をマイナス1する，REGAからREGBに値を読み込む．命令部分のアドレス0 － 7にはALU演算の種類，読み込み・書き出しを行う場合のRAMの番地，ジャンプ先のPCの番地などが格納される．ALU演算はADD, SUB, AND, OR, SHR（値を右にシフト），SHL（値を左にシフト），XORの7種類である．同期信号に合わせて演算を行う．F/E（フェッチ / エグゼ）信号が1になると命令を読み込み，PCの値がカウントアップされる．同時にF/E信号が0になりEXEモードになる．EXEモードになった次のクロックの立ち上がりで命令が実行される．命令が完了するとF/E信号が1になる．

設計期間：3人月以上，4人月未満　**設計ツール**：Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：マイクロプロセッサ

電荷分割位置測定チップ

東京大学工学部　石津 崇章，高橋 浩之

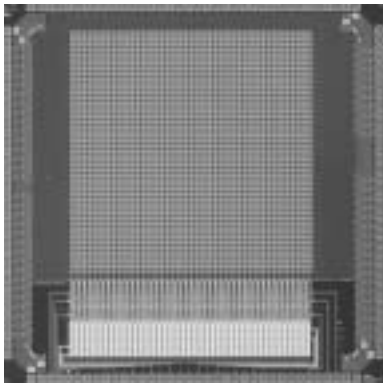


概要：放射線の入射位置を計測するための重心演算回路を内蔵したフロントエンド回路である．従来の回路ではコンパレータ等を用いてデジタル化した信号をデジタル信号処理にて計測していたが，重心演算を抵抗ラダーにて行うことで回路規模の縮小と処理速度の高速化をはかる．ASIC に 32ch のプリアンプを搭載し，16 〜 32 個のチップを使用することで 1000ch 程度までの重心演算を施す事ができる．重心演算を行うに当たっては非線形回路を通した信号を使用し，ノイズの低減をはかっている．プリアンプのあとにゲインを持ったシェーピングアンプを設けることで信号の回復を早くし，係数率特性の向上をはかっている．チップを大量に使用することから，外付け部品を一切使用しないような設計を行った．またベアチップを直接基板に実装するため，消費電力を小さく押えた．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

屋内光無線 LAN 用 CMOS イメージセンサ（2）

奈良先端科学技術大学院大学物質創成科学研究科　川上 智朗，西村 智博，香川 景一郎，太田 淳



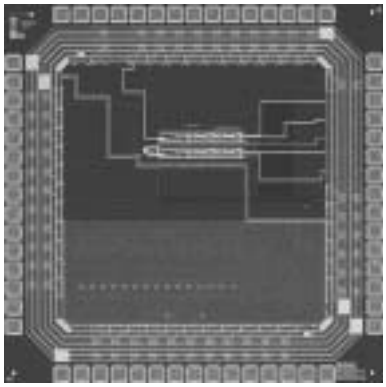
概要：回試作した「屋内光無線 LAN 用 CMOS イメージセンサ（1）」の通信モード用画素出力に，三段構成のトランスインピーダンスアンプと，出力線を増やすためのマルチプレクサを組み込んだものである．マルチプレクサで出力線は4本選択できる．画素数は50×50, 画素サイズは 60u 角であり，開口率は約 16%である．シミュレーション上では約 200KΩの利得と 280MHz @-3dB の通信速度が得られている．テスタによる測定はまだ行っていない．

参考文献：K. Kagawa, T. Nishimura, J. Ohta, M. Nunoshita, Y. Yamasaki, M. Yamada, S. Sughishita, K. Watanabe, “An optical wirelesds LAN system based on a MEMS beam steerer and a vision chip”, Int'l Conf. Optics-photonics Design & Fabrication（ODF）, P20, pp. 135-136,（2002）.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

屋内光無線 LAN 用 CMOS イメージセンサ TEG

奈良先端科学技術大学院大学物質創成科学研究科　川上 智朗，西村 智博，香川 景一郎，太田 淳



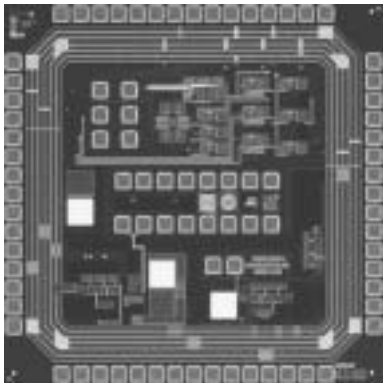
概要：本チップは，「屋内光無線 LAN 用 CMOS イメージセンサ（2）」で設計した三段構成のトランスインピーダンスアンプ単体と，画素と接続させたトランスインピーダンスアンプの TEG である．トランスインピーダンスアンプ単体の性能と，画素を通した場合での比較を行うことを目的として作製した．このトランスインピーダンスアンプは，初段に折り畳みカスコードを利用した負帰還増幅回路を用い，後段に差動増幅回路を 2 段組み込んでいる．両者ともテスタによる測定はまだ行っていない．

参考文献：K. Kagawa, T. Nishimura, J. Ohta, M. Nunoshita, Y. Yamasaki, M. Yamada, S. Sughishita, K. Watanabe, “An optical wirelesds LAN system based on a MEMS beam steerer and a vision chip”, Int'l Conf. Optics-photonics Design & Fabrication（ODF）, P20, pp. 135-136,（2002）.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：イメージセンサ / スマートセンサ

光素子駆動回路

慶應義塾大学理工学部　　阿波谷 佳朗，松本 佳宣

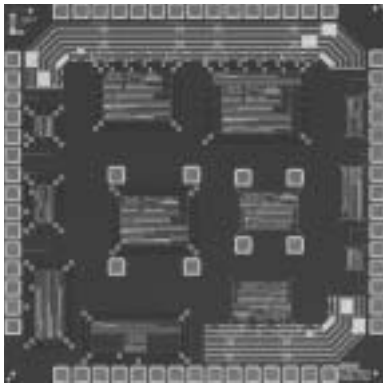


概要：光インターコネクション等の短距離間光伝送を目的とした光送信回路の設計を行った．レーザーダイオードを駆動するのに必要な数十 mA 以上の電流を流すために，ゲート幅の小さいトランジスタを多数並列に並べることでゲート抵抗の増加を防ぎ，またアルミ配線やコンタクトホールでの電流許容量を超えないように配慮した．また，レーザーダイオードは温度変化に対しその光出力が変動することからフィードバック制御を用いて光出力を一定に保つ必要がある．このためモニター用 CMOS フォトダイオードとその出力から駆動電流をフィードバック制御する回路を併せて集積化した．試作したチップの駆動部の特性を計測したところ，80mA 程度まで電流を駆動できることが確認できた．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：通信（RF 回路，ATM など）

信号伝送用モジュール駆動回路の試作

大阪府立大学先端科学研究所　　田中 智之，中尾 基，泉 勝俊

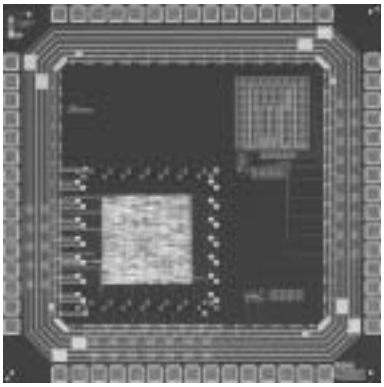


概要：本チップは，信号伝送用モジュール駆動回路の初期段階の設計である．近年のデバイスプロセス技術の進歩により，チップ内で処理できる情報量は飛躍的に増加している．集積回路で処理される情報の量が増大すれば，チップに出入りするデータ量も増大するが，もし，チップ入出力における信号伝送がチップの性能に対応していなければ，入出力が性能のボトルネックとなってしまう．また，信号伝送用駆動回路は，様々なアプリケーションに応用できる基礎技術であり，今回の試作では，高速かつ省面積の信号伝送用モジュール駆動回路の開発を狙いとした．信号伝送用駆動回路の回路構成としては，入力バッファとリファレンス電圧発生器，出力バッファである．また，これらの機能ブロックを TEG としたものや，全機能を加えたものや省面積化モデルに関しても搭載した．なお，設計法は全ての機能ブロックにおいて，フルカスタム設計を行った．今回の設計は第一次試作であり，これらの基本回路を設計し性能評価を行い，今後はさらなる機能向上を目的とする．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist　**トランジスタ数**:100 以上，1,000 未満　**試作ラン**:ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

全ディジタル PLL および DA コンバータの試作

九州東海大学工学部　　佐々木 博文
九州東海大学産業技術研究所　　藤本 邦昭



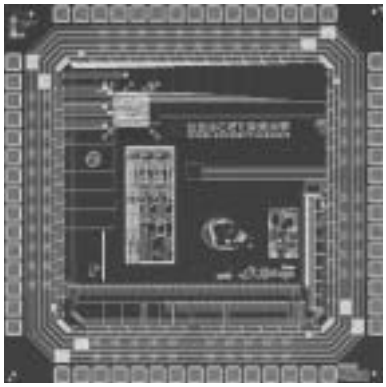
概要：①前回試作した全ディジタル PLL（ADPLL）は，高い周波数の基準クロックを用いることを前提として可変分周器にパルス・スワロ・カウンタを用いた．しかし，この部分を一般の可変分周器にした方が回路構成が簡単になり性能面でも大差がないということがシミュレーションの結果によって明らかになったので，この確認のために可変分周器の部分のみが異なる 2 種類の ADPLL を同一チップ内に試作した．また，前回の試作では，基準クロックを外部から加えていたが，今回はリングオシレータをチップ内に作りこの信号をクロック源として用いた．②現在，ファジィ推論回路の集積化の検討を行っており，この推論部のディジタルデータをアナログに変換するためにキャパシタアレー形の 8 ビット DA コンバータを試作した．また，この DA コンバータに使用したオペアンプ単独の特性が測定できるようこの回路も同時に作成した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：その他

VDEC

信号履歴を持つ場の形状に依存する信号伝播様式に関する研究

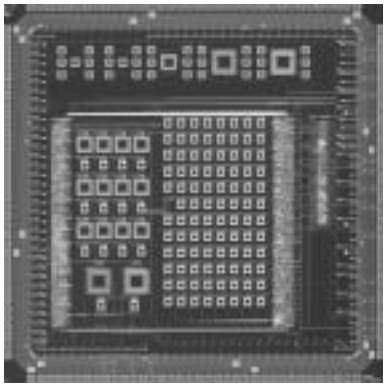
公立はこだて未来大学システム情報科学部　秋田 純一，元池 育子



概要：信号が伝播する媒体（場）の，形状等の性質がが時間変化する可能性を持つ系は，自然界に存在するパターン形成のモデルや信号伝播を利用した計算原理の可能性に関して広く研究されている．本試作チップでは，いわゆる反応拡散方程式に従う反応拡散場を対象としてとりあげ，その信号伝播様式をアナログ回路として実現する回路要素の試作を行った．具体的には離散化した場を構成する回路要素中をパルスが伝播し，そのパルスの伝播のしやすさがパルス到達の履歴に応じて変化するように設定した．このパルス伝播の閾値は，パルスが到達すると徐々に低くなるが，パルスが到達しないと徐々に高くなる．またトランジスタパラメータ等がチップ上の場所によってばらつくことを利用して多少のばらつきをもつ非均一な場を構成でき，場のふるまいが適度にばらつくことも期待される．またこの場でのパルスの伝播の様子をリアルタイムに可視化することを目標に，高い逆バイアスをかけたダイオードでの発光現象を利用する LED の試作・評価回路も含まれる．また 16 ビットの固定小数点乗算器の評価回路も含む．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, , Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

慶應義塾大学理工学部　溝口 大介，ユスミラズ・ビンティ ユスフ，三浦 典之，黒田 忠広

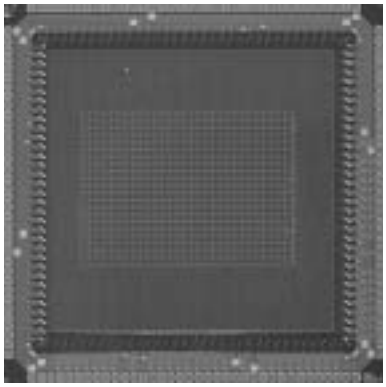


概要：近年，LSI の実装密度を高めるため，ベアチップを 3 次元にスタックし，チップ間をワイヤボンディングやマイクロバンプ，スルーホール等で接続したマルチチップパッケージが注目されている．黒田研究室では，チップ間の通信で，安価に高いバンド幅を実現するために，上下のチップ間をインダクタカップリングで接続する方式を提案している．本チップは，インダクタ結合による通信の実験用 TEG チップである．内部には，送信コイルアレイ，受信コイルアレイが設けられている．送受信コイルアレイは，各々任意の 2 つを選択でき，相互干渉等の実験を行う事が可能である．本 TEG チッ　プは，2 つのチップを対面させ，コイル同士が 100μm ほど離れた場合の動作検証を想定している．また，内部回路のテストのために，1 層-3 層間のアンテナ同士の送受信用回路，ディジタル部同士の送受信回路等も搭載している．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

差分光再構成型ゲートアレイ

九州工業大学情報工学部　渡邊 実，小林 史典

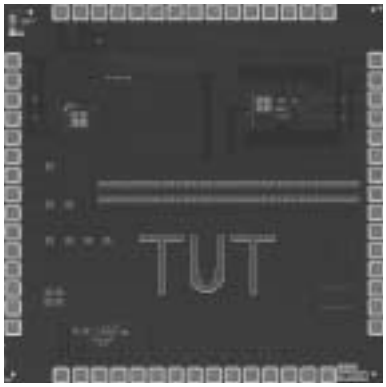


概要：高速に再構成が可能な差分光再構成型ゲートアレイ ODRGA（Optically Differential Reconfigurable Gate Array）を開発した．このデバイスでは，チップ表面に並べられた受光素子に対してプログラム光を照射することで，ゲートアレイ部の回路を瞬間的に再構成することが可能である．今回の設計では，受光部とトランスミッションゲートをカスタムセルとして設計し，他の部分にはスタンダードセルを用いて設計した．使用した言語は VHDL である．4 ビット入力 LUT（Look-Up Table）を 1 個持つ論理ブロックが 4 個，スイッチング・マトリックスが 5 個，配線チャネルが 8 ビット，I/O が 16 ビット実装されたゲートアレイを試作した．受光素子のサイズが 25.5μm 角，間隔が 90μm である．今回の試作では，光学部との接合を容易にする目的で受光部を大きく，また間隔を開いて設計したが，将来的には小型化が可能である．

設計期間：0.1 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：ニューテクノロジ

3 次有極ウェーブフィルタと演算増幅回路

豊橋技術科学大学大学院工学研究科　　大竹 光也
豊橋技術科学大学工学部　　秋田 一平，伊藤 和将，和田 和千



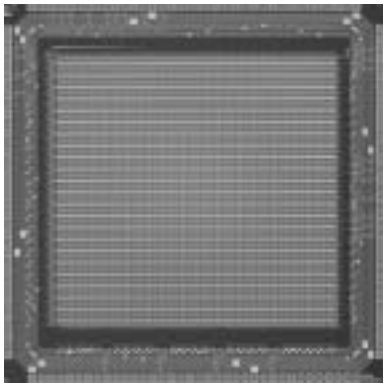
概要：高周波化原理を確認するための 3 次有極ウェーブフィルタと，アナログ集積回路の設計演習で設計した演算増幅回路を試作した．ウェーブフィルタの設計では，高インピーダンスを必要としないウェーブユニットを用いている．そして，複数のウェーブユニットを組み合わる際に，フィルタ全体の回路の簡単化を行なうことにより周波数特性を劣化させる寄生素子を減らしている．また，理論解析を通して，寄生素子の影響が小さくなる素子値設計を行なっている．一方，演算増幅回路の設計は，初学者を対象に設計技術全般を習得させることを目的とし，同じ目的で開催されている「演算増幅器設計コンテスト」（http://www. ec. ss. titech. ac. jp/opamp）へ登録した回路を，動作検証するために試作した．同コンテストの応募要件のもとで，多くの審査項目のバランスを考慮したり，高スルーレートを目指して設計した回路である．

参考文献：[1] 大竹，和田，田所，“ 電流入出力ウェーブフィルタにおける寄生容量の影響の低減 ”，電子回路研資 ECT-03-45，Mar. 2003.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

離散時間積分／微分回路アレイの設計

大阪大学大学院工学研究科　　下ノ村 和弘，八木 哲也

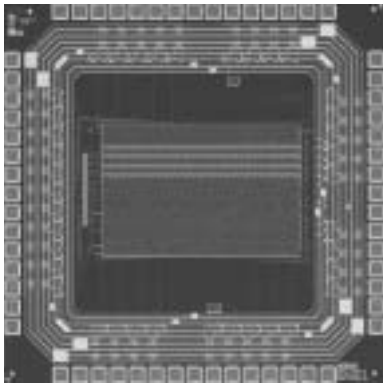


概要：実環境でダイナミックに変化する視覚情報を処理する場合，空間的な処理のみならず，時間的な処理も重要である．本チップは，前段のイメージセンサからの出力画像（電圧）を受け，画素ごとに時間的な積分あるいは微分を行うアナログチップである．前段のイメージセンサとしては，本研究室で既に開発されたシリコン網膜を用いることを想定している．積分回路は，連続 2 時刻間での重み付け平均を計算する．また，微分回路は，連続 2 時刻間での入力の差分を計算する．2 次元的な画像情報の処理を目的としているため，積分回路，微分回路それぞれについて 10 × 10 画素のアレイを構成した．なお，テスタによる測定は行っていない．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

シリコン網膜チップ要素回路 TEG の設計

大阪大学大学院工学研究科　　亀田 成司，八木 哲也



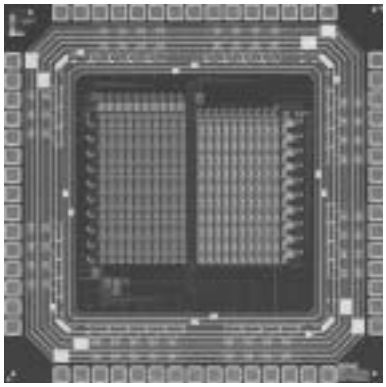
概要：シリコン網膜は，生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので，実時間画像処理，小規模ハードウエア，低消費電力といった利点を持つ．本チップはシリコン網膜を構成する光センサおよび抵抗回路網を検証するための TEG である．4 種類の光センサおよび 2 種類の抵抗ネットワークを組み合わせて 2 層の抵抗回路網を持ったシリコン網膜を構成したときの，特性の差異を調べ今後のチップ設計に役立てる．外部からのスイッチ動作により光センサと抵抗回路網の組み合わせを変えることができる．チップは 1 次元 45 画素のラインセンサ型である．

参考文献：[1] 八木，亀田，飯塚，“ 可変受容野を備えた超並列アナログ知能視覚センサ ”，pp. 104-113，信学論 D-II，J81-D-1,2，(1998).

設計期間：0.1 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：マイクロプロセッサ

離散時間積分／微分回路アレイの設計

大阪大学大学院工学研究科　　下ノ村 和弘，八木 哲也

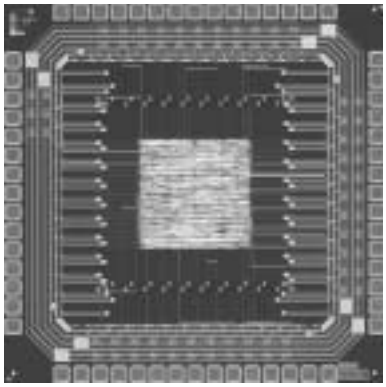


概要：実環境でダイナミックに変化する視覚情報を処理する場合，空間的な処理のみならず，時間的な処理も重要である．本チップは，前段のイメージセンサからの出力画像（電圧）を受け，画素ごとに時間的な積分あるいは微分を行うアナログチップである．前段のイメージセンサとしては，本研究室で既に開発されたシリコン網膜を用いることを想定している．積分回路は，連続 2 時刻間での重み付け平均を計算する．また，微分回路は，連続 2 時刻間での入力の差分を計算する．2 次元的な画像情報の処理を目的としているため，積分回路，微分回路それぞれについて 10 × 10 画素のアレイを構成した．なお，テスタによる測定は行っていない．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：演算回路（乗算器，除算器など）

RSA 暗号化回路

早稲田大学大学院理工学研究科　　原田 恭典，柳澤 政生，大附 辰夫
早稲田大学理工学部　　森田 功一
早稲田大学大学院情報生産システム研究科　　木村 晋二
東京大学大学院新領域創成科学研究科　　山内 規義



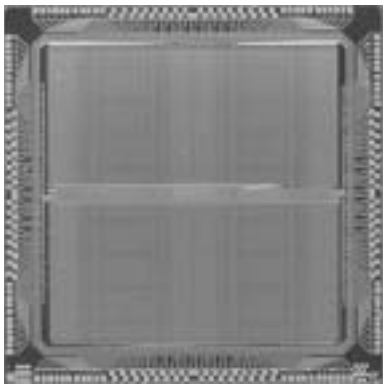
概要：近年，ネットワークの広域化によるデータのやりとりを行う機会の増加に伴い，安全性の高い暗号化処理技術が求められている．今回，素因数分解問題解決の困難さに裏打ちされた高い安全性から広く用いられている RSA 暗号を題材とし，その RSA 暗号化処理を行う回路の設計を行った．本 RSA 暗号化回路は入力として 10 ビット長の公開鍵，8 ビット長の送信者の秘密鍵および，8 ビット長の入力データを持ち，これらの 3 入力を与えることにより暗号化処理を行う．暗号化処理によって，8 ビットの暗号化データ出力が得られる．暗号化処理回路は復号化処理にも流用することが可能であり，10 ビット長の公開鍵，8 ビット長の受信者の秘密鍵および，8 ビット長の暗号化データの入力から複合化処理を行う．暗号化処理はべき乗演算と剰余演算で構成され，剰余演算が最も面積にあたえる影響が大きい．本 RSA 暗号化回路は面積優先での設計を行っており，剰余演算部を乗算器を用いることなく設計することにより面積の削減を実現した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 Scirocco, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：演算回路（乗算器，除算器など）

平成 13 年度　日立製作所 CMOS0.18μm　チップ試作
（HIT1801）

高性能汎用デジタル VQ プロセッサ

東京大学新領域創成科学研究科　　小川 誠，柴田 直
東京大学工学部　　福田 智洋

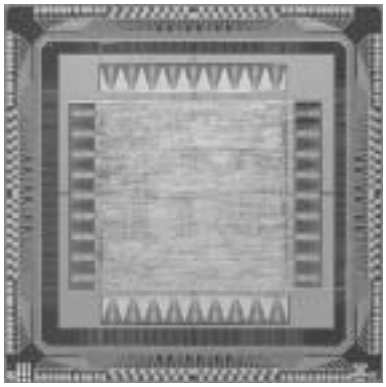


概要：多くの知的情報処理で基本演算となるマッチング（VQ）を高速に処理する専用プロセッサ．VQ プロセッサはオンチップメモリにテンプレートベクトルを記憶し，入力ベクトルとの距離が最も近いものを出力する．本プロセッサでは演算器の並列度を向上させ，また周波数を向上させることで数 10 ～ 100GOPS 以上の演算能力を実現している．256 並列の各距離演算器はメモリ近傍に配置され，それぞれが非同期で動作することでクロックスキューによる周波数の低下を抑えた．これにより距離演算部分では 400MHz 以上のクロックで動作する．また，最大・最小検索を行う Winner-Take-All 回路は高速検索が可能な Two-Dimensional Bit-Propagating WTA を用いることで 100MHz 以内で 512 入力の中から最大・最小値検索を完了する．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

汎用的な実行モデルに基づく再構成型プロセッサの試作

広島市立大学大学院情報科学研究科　　谷川 一哉
広島市立大学情報科学部　　弘中 哲夫，児島 彰，吉田 典可



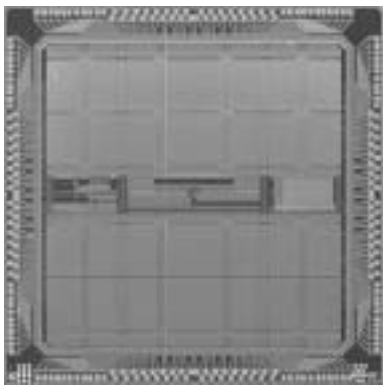
概要：近年，再構成型アーキテクチャが高性能，低消費電力，省面積といった様々な点で注目を浴びている．一方，従来の再構成型アーキテクチャには実行モデルという概念がないため，あるプロセッサ用に記述されたソフトウェアを別のプロセッサで再利用しようと考えた場合に，ソフトウェアの大幅な変更が必要になると言う問題がある．そこで我々は I-PARS（Ideal PARallel Structure）実行モデルという実行モデルを提案し，今回はそれに基づきプロトタイププロセッサを試作した．本プロセッサでは 8 ビット単位で機能の再構成を行うユニットを 5 × 4 の 2 次元アレイ上に配置し，機能の再構成および再構成された機能の実行を 1 サイクルで完了する．これを実現するために，再構成情報を格納するキャッシュ（8 エントリ）をオンチップ上に実装した．

参考文献：K. Tanigawa, T. Hironaka, A. Kojima, and N. Yoshida, “A generalized execution model for programming on reconfigurable architectures and an architecture supporting the model”, Conference on Field Programmable Logic and Applications, vol. 2438, pp. 434--443, Sept. 2002.

設計期間：10 人月以上　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：ニューテクノロジ

フラッシュコンボルーション型画像フィルタ演算プロセッサ

東京大学新領域創成科学研究科　　伊藤 潔人，柴田 直
東京大学工学系研究科　　山崎 英男

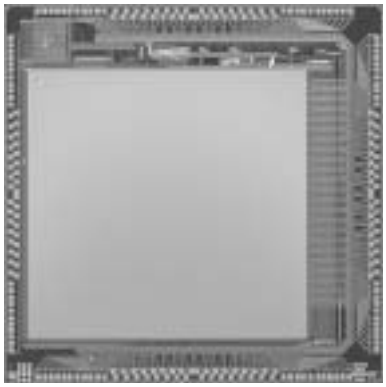


概要：画像処理で最も汎用的なアルゴリズムである画像フィルタ演算を高速に実行するプロセッサである．本プロセッサは画像フィルタ処理に必要なコンボルーション演算を 1 クロックサイクル以内で実行する．新たに開発した Quaternary Tile Mapping という画素データのメモリマッピング方式により，画素データの冗長な読み出しや複雑なアドレス計算という問題を解消し高速かつ低消費電力な処理を実現した．また，演算に使用するカーネルの大きさを自由に変更でき，さまざまな画像処理への応用が可能である．回路内は 2k Byte の SRAM とコンボルーション演算器によって構成された Processing Element（PE）が 32 個配置され，それらを選択的に動作させてフィルタ演算を行う．チップを実測評価により電源電圧 1.8V・動作周波数 50MHz において動作を確認した．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

行並列有意画素探索機能を有する高速 3 次元計測センサ

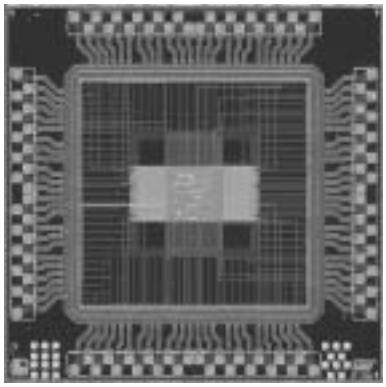
東京大学工学系研究科　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　池田 誠，浅田 邦博



概要：我々の提案する行並列有意画素探索機能を有する画素回路を用いて，382 × 346 画素を有するスマートイメージセンサを試作した．本センサは画素内部に有意画素検出の 2 値化回路と行並列の探索信号伝搬制御回路を有し，各行には加算器を基とした前処理回路が実装されている．十分な光量が得られれば，一般にリアルタイムといわれる 30 枚 / 秒あるいは 60 枚 / 秒を超える超高速 3 次元形状計測が可能となる．センサの性能を引き出すために，センサ制御回路および PLL などの周辺回路を同チップ内に集積した．本チップは 0.18um CMOS プロセスにおける受光回路の感度評価などの TEG も兼ねている．
設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, , Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：イメージセンサ / スマートセンサ

16bit 乗算器／加算器

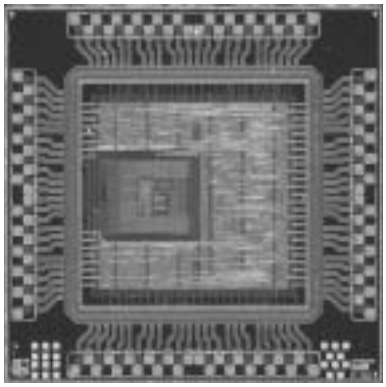
早稲田大学理工学部　石本 剛，宮岡 祐一郎，柳澤 政生，大附 辰夫
北九州市立大学国際環境工学部　戸川 望



概要：新しいプロセスに対応した研究室のチップ設計環境の整備および学生の技術の修得のため，16bit 乗算器および加算器を含むチップの設計をした．VHDL を用いて乗算回路および加算回路を記述し，論理合成によってネットリストを取得した．このネットリストを用いて，配置配線によってレイアウトデータを作成した．レイアウトデータは設計規則に合致するよう，レイアウトエディタによって修正した．修正済みのレイアウトデータは DRC および LVS によって検証し，レイアウトが設計規則に合致することおよび設計通りのレイアウトが得られたことを確認した．テスタによる測定は行っていない．
設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 Scirocco, Synopsys 社 design_compiler, Avanti 社 Appolo, , Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

IEEE754 準拠単精度浮動小数点除算器

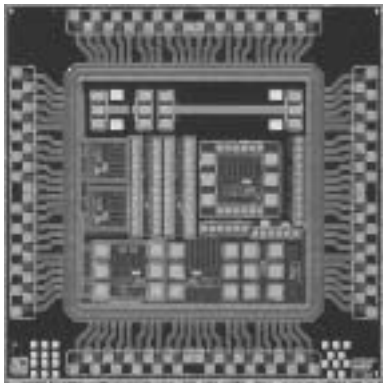
広島市立大学情報科学部　越智 裕之，鈴木 達也，松永 清香，河野 陽一



概要：本研究室では，研究教育用に公開することを目的として IEEE754 準拠単精度浮動小数点除算器 IP ライブラリの開発を進めている．本チップは，開発した IP の実チップによる検証を行うための TEG であり，被検証回路のほかに PLL およびランダムパタン発生回路とテスト応答圧縮回路も実装しているため，LSI テスターを使用しなくても動作テストが可能である．実装した除算器は，基数 2 の SRT 法に基づくもので，日立提供ライブラリに自作 D フリップフロップセルを加えたものを使用し，目標動作周波数 400MHz で設計した．動作テストの結果，最高 310MHz での動作が確認された（約 25℃, 1.8V）．
参考文献：[1]H. OCHI, et al. , “Development of an IP Library of IEEE-754-Standard Single-Precision Floating-Point Dividers”, pp. 193-199, Proc. SASIMI 2003（2003）.
設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

クロック生成用 1GHzPLL の試作

京都大学情報学研究科　　宮崎 崇仁，山岡 健人，星野 洋昭，小野寺 秀俊

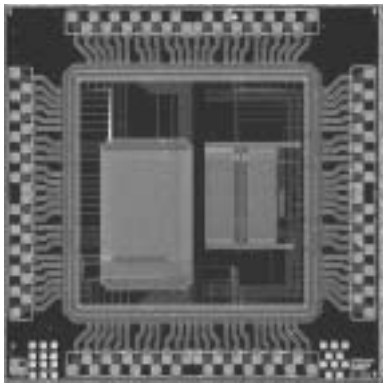


概要：CMOS 回路の高速化に伴い，チップ内で高速なクロックを生成する要求が高まっている．そこで我々は，クロック生成用 1GHz 帯 PLL（Phase Locked Loop）の設計および試作を行った．PLL は，電圧制御発振器（VCO），チャージポンプ，位相周波数比較器，ローパスフィルタ，および分周率可変の分周器の計 5 つのブロックを用いた回路構成とした．VCO は差動リングオシレータ型の構成とした．電源電圧は 1.8V である．クロック生成用 PLL に求められる主要な特性にクロックの時間的なゆらぎを表すジッタがある．我々は，このジッタの値を低減すべくチャージポンプ，および，VCO の改良を行った．実測した結果，出力周波数が 250MHz から 1.2GHz まで可変，消費電力 8.5mW（@1.1GHz）の PLL を実現した．ジッタは約 100ps（peak-to-peak）であり，今後の課題である．

設計期間：5 人月以上，6 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist　**トランジスタ数**:100 以上，1,000 未満　**試作ラン**:日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

高性能汎用デジタル VQ プロセッサおよびフラッシュコンボルーション型画像フィルタ演算プロセッサの TEG

東京大学新領域創成科学研究科　　小川 誠，伊藤 潔人，柴田 直
東京大学工学系研究科　　山崎 英男
東京大学工学部　　福田 智洋

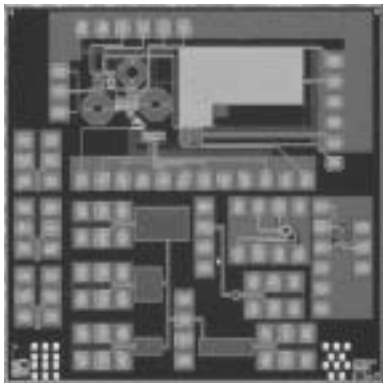


概要：高性能汎用デジタル VQ プロセッサはオンチップメモリにテンプレートベクトルを記憶し，入力ベクトルとの距離が最も近いものを出力する．本プロセッサでは演算器の並列度を向上させ，また周波数を向上させることで数 10 〜 100GOPS 以上の演算能力を実現している．フラッシュコンボルーション型画像フィルタ演算プロセッサは画像フィルタ処理に必要なコンボルーション演算を 1 クロックサイクル以内で実行する．新たに開発した Quaternary Tile Mapping という画素データのメモリマッピング方式により，画素データの冗長な読み出しや複雑なアドレス計算という問題を解消し高速かつ低消費電力な処理を実現した．本チップでは，これら 2 種類のプロセッサのローカルブロックを TEG として配置した．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

高速動作 VCO，周波数 2 分周回路

東京大学工学系研究科　　山本 憲
東京大学新領域創成科学研究科　　乗松 崇泰，木野 順，藤島 実

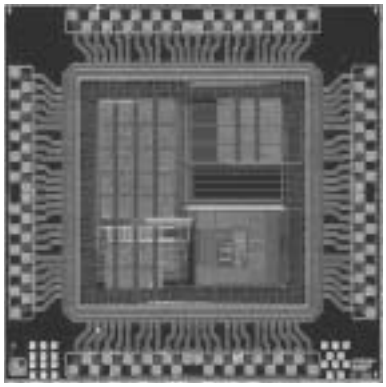


概要：トランシーバにおいて搬送波を発生させる位相同期ループ（PLL）の高速動作を目指している．これには，電圧制御発振回路（VCO）と周波数 2 分周回路の高性能化が重要になる．PLL を作成するためには周波数 2 分周回路を多段接続する必要があり，消費面積の最適化を図るため，高速化が期待できるオンチップインダクタを用いる方式と消費面積を大幅に減少できる方式の両方について試作を行った．オンチップインダクタにおいては，電磁界シミュレーションを用いることによりレイアウトからパラメータの抽出を行い，正確なモデリングを行った．また，DC バイアス端子の寄生効果の影響を抑えるため，カレントミラーを用いて入力インピーダンス減少させる方式に改良した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：通信（RF 回路，ATM など）

Overturned-Stairs 木を用いた乗算器及び基数 2 の減算シフト型除算器

名古屋大学大学院工学研究科　　水野 知秀，篠原 正行，高木 一義，高木 直史



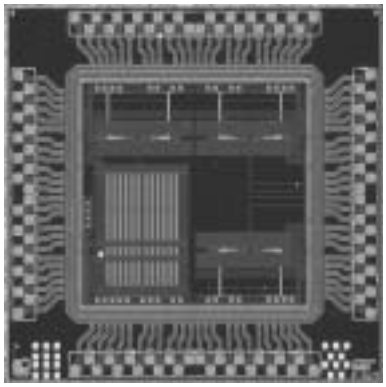
概要：設計したチップは乗算回路と除算回路，二つの回路を使い分ける為のインターフェース回路の 3 つの回路からなる．乗算回路は 32 ビット整数乗算回路であり，Overturned-Stairs 木に基づく木状の乗算回路である．除算回路は IEEE754 浮動小数点数の仮数部の除算を単精度で行う回路である．基数は 2 で商の桁を前のサイクルの加算と並列に計算を行う．乗算回路の面積は NAND ゲート数換算で約 7000 個であり，配線遅延を含めた遅延時間は 8.82ns である．実チップでは約 10ns（100MHz）で動作を確認した．除算回路の面積は NAND ゲート数換算で約 2000 個であり，配線遅延を含めた遅延時間は 3.30ns である．実チップでは約 7ns（143MHz）で動作を確認した．

参考文献：水野，篠原，高木，高木，“ 乗算器および除算器 IP の開発 ”，信学技報 VLD2002-115，pp. 199-204，Nov. 2002.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

異種電源電圧回路混載テストチップ

神戸大学工学部　　永田 真

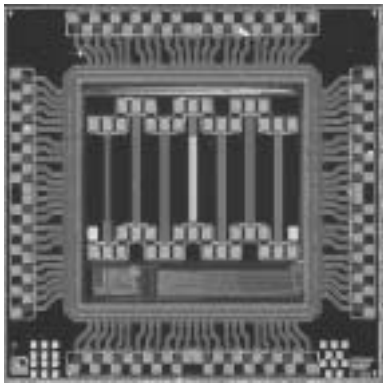


概要：異種耐圧トランジスタを混載できるトリプルウェルプロセスによる LSI 設計は初めてであるため，高電圧アナログ回路と低電圧デジタル回路を混載した LSI の開発に向けた要素設計を試みた．具体的には，2.5V 系トランジスタによるアナログ・コンパレータや各種ロジックセルおよびバイナリデジタル・レジスタ回路，また 2.5V 動作回路と 1.8V 動作回路のインタフェースに用いるロジック・レベル変換回路やドレイン接地型アナログ・レベル変換回路，などを構成した．試作チップの実測を完了し，2.5V--1.8V および 1.8V--2.5V ロジック・レベル変換回路，12 ビットシフトレジスタ回路が 200MHz 以上の周波数（測定系の最大周波数で制限）で動作することを確認した．また，アナログ・コンパレータの動作も確認した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：TEG（特性評価回路など）

スタンダードセルライブラリ，配線特性評価 TEG

京都大学情報学研究科　　橋本 昌宜，藤森 一憲，土谷 亮，小野寺 秀俊



概要：本研究室で開発したセルレイアウト生成システム VARDS を用いてスタンダードセルライブラリを開発した．開発したライブラリは VDEC を通じて公開しており，すでに多くの大学における設計に利用されている．本試作は，ライブラリ公開前にシリコン上で回路の正常動作を確認するためのものである．なお，余った場所には配線特性評価用の TEG が搭載されている．開発したセルライブラリは，セル高さ 12 配線ピッチで，セル種は 310 である．多くの駆動力の種類を持つことを特徴とする．試作した TEG は論理検証用の回路と動作速度評価用の回路に分類される．組み合わせ論理セルのチェーンおよび順序セルの分周器の動作で機能検証を行う．動作速度は，代表的な組み合わせセルでリングオシレータを作成し，その発振周期で評価する．測定はテスターを用いて行った．すべてのセルが機能的に正常に動作することが確認できた．また，動作速度も回路シミュレーション結果とほぼ一致することを確認した．

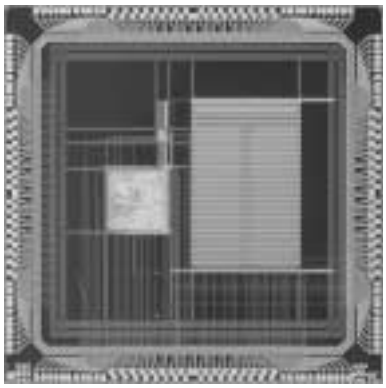
参考文献：M. Hashimoto, K. Fujimori and H. Onodera, “Standard Cell Libraries with Various Driving Strength Cells for 0.13, 0.18 and 0.35um Technologies”, pp. 589-590, Proc. ASP-DAC（2003）.

設計期間：3 人月以上，4 人月未満　**設計ツール**：Avanti 社 Appolo, , Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：TEG（特性評価回路など）

平成 14 年度　第 1 回　日立製作所 CMOS0.18μm　チップ試作
（HIT18021）

Z80 互換プロセッサコア IP の試作

九州大学システム情報科学府　　広島 優輔
九州大学工学部　　森 達矢

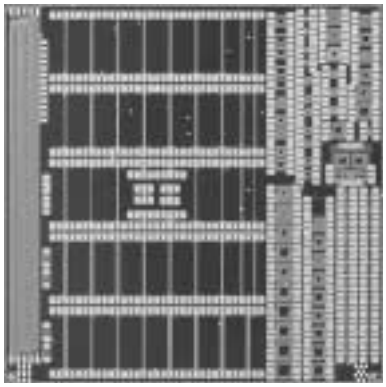


概要：IP プロジェクトの開発テーマのひとつである，ディジタルプロセッサコアの開発の一環として，Z80 互換プロセッサコア IP の試作を行った．オンチップメモリとして日立社提供の SRAM（16bits/words * 16k words）を搭載している．使用したセルライブラリは，日立社提供の ASIC セルライブラリで，プロセッサコア部分のセル数は約 3.5K，トランジスタ数は約 40K となった．試作チップに対する面積の占有率は，10%未満で，IP として利用した際に他のユーザーロジックの面積を確保可能なことが確認できた．設計に要した期間は，RTL での Verilog-HDL 記述に 2 ヶ人月，RTL の検証に 1 ヶ人月，論理合成・PR および DRC に 1 ヶ人月である．試作した IP は，IP プロジェクトのもとで VDEC ユーザーへの提供を予定している．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：マイクロプロセッサ

高速信号伝送用配線特性評価 TEG

京都大学情報学研究科　　土谷 亮，星野 洋昭，橋本 昌宜



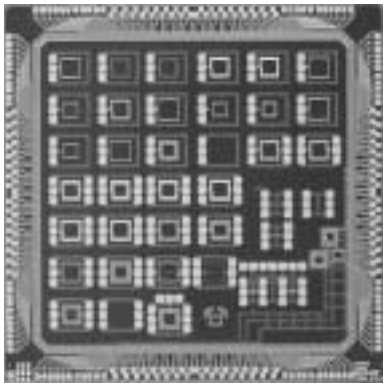
概要：オンチップの高速信号伝送を行なうための配線特性に対して，周辺に存在する配線が与える影響を評価するための TEG である．コプレーナ線路の信号配線とグラウンド配線，および下層の配線の状況を変化させ，伝送特性を周波数領域で評価した．測定により，配線の下層に存在する直交配線が特性に及ぼす影響を確認した．周波数領域だけではなく時間領域でも評価を行なうため，TDR での特性評価用の TEG を作成した．また，発振器に用いるためのスパイラルインダクタの TEG を測定し，特性の評価を行なった．

参考文献：土谷，橋本，小野寺，“ 信号配線と下層配線との結合に対する直交配線の影響 ”，電子情報通信学会総合大会，no A-3-14，pp. 81，2003/03.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：TEG（特性評価回路など）

低雑音アンプの設計及びトランスの試作（2）

大阪大学大学院工学研究科　　春岡 正起，島 秀樹，谷口 研二

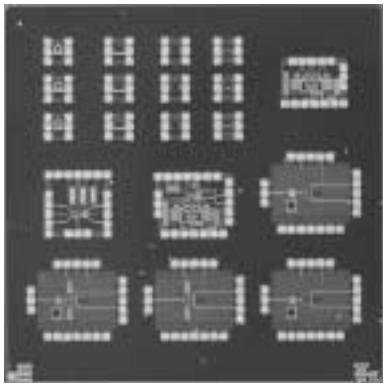


概要：1．低雑音アンプ：本研究室では GPS 受信機 RF フロントエンドの設計を計画している．今回は，まず受信機の初段にあたる低雑音アンプの設計を行った．またコアトランジスタのパラメータ抽出用し解析するための TEG をインプリメントした．2．トランス：近年のトレンドである集積回路の 1 チップ化は，高周波回路においても，製品の小型化を実現する上で重要な課題である．1 チップ化においてキーとなる素子は，インダクタ及びトランスである．本試作の目的は，高周波回路への応用を前提とした，トランスの基本的な物理特性を調査する事である．トランス及びトランスを構成する各平面インダクタについての TEG を試作した．各インダクタは，トランスの構成部品となるため 1 ポート型とした．各インダクタのサイズは 200 ミクロンから 300 ミクロン程度である．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10 未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：TEG（特性評価回路など）

10GHz 帯チップ間無線通信用送受信器の設計

大阪大学工学研究科　車 承佑，清水 由幸，古屋 英行，中村 光男，松岡 俊匡，谷口 研二

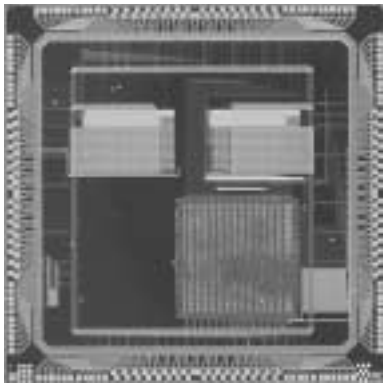


概要：10GHz 帯チップ間 CDMA 無線通信用送受信器の試作を行なった．送信器は電圧制御位相発振器，スイッチ，高利得増幅器で構成し，受信器はフィルタ，スイッチ，積分器で構成した．電圧制御位相発振器はクロスカップルド型差動出力発振器で，0.18nH のインダクタと PN 接合バラクタを共振器に用いた．また発振器のバッファとしてはソースフォロアを用いた．送信に必要なスイッチは NMOS, PMOS を並列につないで，さらにチャージインジェクション除去用 MOS も加えて設計した．高利得増幅器はカスコード型で A 級動作をする回路を設計した．一方，受信回路については，MOSFET の非線形性を利用した自乗検波回路とオペアンプによる積分回路により構成した．各部品の特性を調べるため，インダクタ，バラクタ，及びパッドの TEG も設計した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：通信（RF 回路, ATM など）

時間領域の演算を用いた DP マッチングプロセッサ

東京大学新領域創成科学研究科　小川 誠，柴田 直
東京大学工学部　山谷 歩

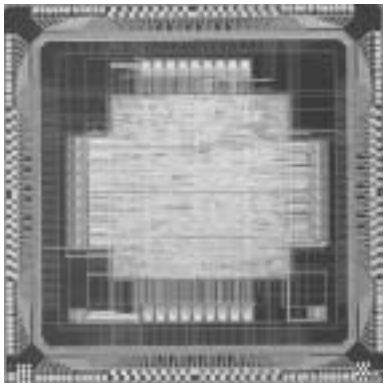


概要：厳密なアーキテクチャで構築された現在のコンピュータをもってしても，我々の脳がふだん何気なく行っている連想や認識といった知的情報処理には困難を極め，これはこの種の処理が莫大な計算量を必要とするためである．本試作では，Dynamic Programming（DP）マッチングのアルゴリズムを実際のハードウェアに搭載し，さらに評価関数に遅延時間を用いたプロセッサを設計した．従来のベクトルマッチングでは 1 要素対の比較しか実行されないのに対し，DP マッチングでは全要素対の比較が実行され，最も類似度の高い対の出力が可能となる．さらに本プロセッサでは全入出力がデジタル値で行われるが，内部の評価関数として遅延時間を用い，アナログ的意味を持たせることにより高速低消費電力を図った．プロセッサ全体では，6 ビット 16 エレメントの特徴抽出ベクトルから，テンプレートベクトルとの類似度として 8 ビットのデジタル信号が出力される．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

再構成情報の圧縮を実現した再構成型 PARS プロセッサの試作

広島市立大学大学院情報科学研究科　谷川 一哉，川崎 貴之
広島市立大学情報科学部　弘中 哲夫，児島 彰，吉田 典可



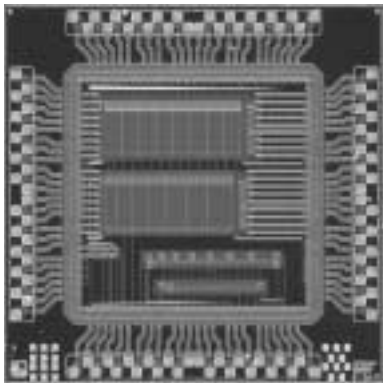
概要：近年，再構成型アーキテクチャが高性能，低消費電力，省面積といった様々な点で注目を浴びている．一方，従来の再構成型アーキテクチャには実行モデルという概念がないため，あるプロセッサ用に記述されたソフトウェアを別のプロセッサで再利用しようと考えた場合に，ソフトウェアの大幅な変更が必要になると言う問題がある．そこで我々は I-PARS（Ideal PARallel Structure）実行モデルという実行モデルを提案し，それに基づきプロトタイププロセッサを試作している．本試作ではそのプロトタイププロセッサの改良を行った unite プロセッサを試作した．unite プロセッサで行った主な改良点は以下の通りである．1)複数の再構成情報にまたがっていた機能の再構成に関する情報を 1 つの再構成情報内に格納できるようにした．2）再構成情報を格納するオンチップキャッシュのエントリ数を 16 エントリに増加した．

参考文献：K. Tanigawa, T. Hironaka, A. Kojima, and N. Yoshida, “A generalized execution model for programming on reconfigurable architectures and an architecture supporting the model”, Conference on Field Programmable Logic and Applications, vol. 2438, pp. 434--443, Sept. 2002.

設計期間：10 人月以上　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**:100,000 以上　**試作ラン**:日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：ニューテクノロジ

高速・低電圧　同期式ハミング距離検索連想メモリ

東京大学工学系研究科　　大池 祐輔
東京大学大規模集積システム設計教育研究センター（VDEC）　　池田 誠，浅田 邦博

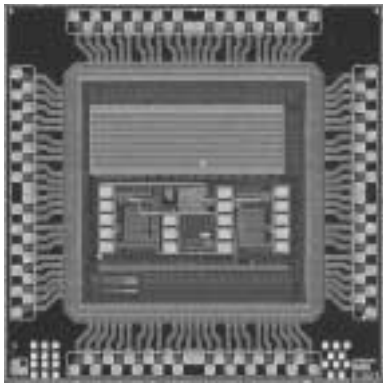


概要：我々は高速かつ低電圧動作可能なハミング距離検索連想メモリを試作した．本チップは 64bit × 32word の各メモリセル内に探索信号伝搬および制御回路を有し，Word 並列でハミング距離の評価を行なう．完全一致や最小距離のデータだけでなく，全ての距離のデータを入力から近い順に検出することが可能であり，Co-Processor として従来の認識システムなどの応用のほかに，並べ替え（sorting）や経路探索（routing）への利用が可能である．本回路実装は従来のアナログ技術による実装方法と異なり，データベースの容量に限界はない．任意の bit 長および word 数に対して全ハミング距離における検索を正確に実行できる．測定では 1.8V で 400MHz 以上の動作速度を実現し，0.75V では 40MHz でのハミング距離検索を実現した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Avanti 社 Star-sim, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：メモリ

オンチップサンプリングオシロスコープ回路の試作

京都大学情報学研究科　　宮崎 崇仁，新名 亮規，橋本 昌宜，小野寺 秀俊



概要：現在，LSI 上でのシグナルインテグリティの劣化が LSI 全体の性能劣化を引き起こし問題となっている．この問題を解決するには，LSI 内部の波形を実測する必要がある．しかし，LSI 内部の波形は非常に高速かつプロービングが困難であるため，そのまま外部に取り出して測定することはできない．そこで，一般にオンチップにサンプリング型のオシロ回路を搭載し，高速な LSI 上の波形を低速に変換してから LSI 外部に出力して測定する方法が用いられる．今回我々は，高周波のインダクタンス性ノイズを測定する目的のもと，オンチップオシロ回路の開発を行った．測定チップは，大きく分けてノイズ発生部分，PLL 回路，サンプリングクロック発生回路，サンプルホールド回路，出力バッファの 5 ブロックから構成されている．シミュレーション段階であるが，サンプルホールド回路の周波数帯域を向上させることによって，インダクタンス性ノイズの観測に成功した．しかし現在のところ実チップでの正常動作は確認できていない．

参考文献：M. Takamiya, M. mizuno, et al. , “On-chip 100GHz-Sampling Rate 8-channel Sampling Oscilloscope with Embedded Sampling Clock Generator”, ISSCC, pp. 182-183, 2002.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

高速動作 VCO，周波数 2 分周回路

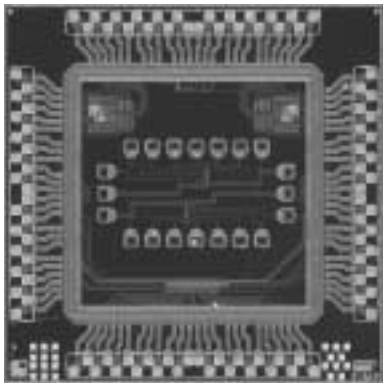
東京大学工学系研究科　　山本 憲
東京大学新領域創成科学研究科　　乗松 崇泰，木野 順，藤島 実

概要：トランシーバにおいて搬送波を発生させる位相同期ループ（PLL）の高速動作を目指している．これには，電圧制御発振回路（VCO）と周波数 2 分周回路の高性能化が重要になる．PLL を作成するためには周波数 2 分周回路を多段接続する必要があり，消費面積の最適化を図るため，高速化が期待できるオンチップインダクタを用いる方式と消費面積を大幅に減少できる方式の両方について試作を行った．オンチップインダクタにおいては，電磁界シミュレーションを用いることによりレイアウトからパラメータの抽出を行い，正確なモデリングを行った．また，DC バイアス端子の寄生効果の影響を抑えるため，カレントミラーを用いて入力インピーダンスを減少させる方式に改良した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：通信（RF 回路，ATM など）

高精度・低消費電力・有線通信用全差動ライン・ドライバ回路

早稲田大学大学院理工学研究科　大島 宗之，佐々木 昌浩，松本 隆



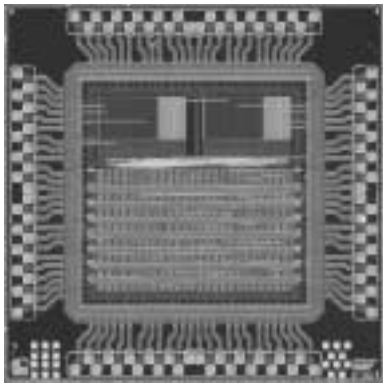
概要：xDSL や fast-Ethernet 等で採用されている full-duplex system において，重要な構成要素の一つに Analog Line-driver（ALD）がある．ALD は低インピーダンスのメタリック・ケーブルを駆動し，アナログ信号を整流・伝送するための回路である．ALD に対する要求としては，伝送信号の線形性の維持，低消費電力化，高速化，小面積が挙げられる．しかし，近年の CMOS プロセスでは，微細化に伴う電源電圧の低下により，必要な出力電圧振幅を生み出すことが困難になってきており，その上で線形性を維持し，高速化を行うことは回路設計者にとって重要な課題となってきている．本チップでは，従来，問題とされてきたコモンモード・フィードバック回路の高周波化と Push-Pull Inverter バッファの定常電流の低減を実現することによって，電源電圧 2.5V，抵抗負荷 75 Ωに対して 10MHz, 2Vp-p のアナログ信号を，低消費電力・高線形性を維持しつつ駆動可能な回路を実現した．

参考文献：[1] Kh. Hadidi，大島，佐々木，松本，“ 2.5V CMOS Fully Differential Low Power High Linearity Analog Line-Driver ”，第 16 回回路とシステム（軽井沢）ワークショップ，pp. 67-72，2003

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：通信（RF 回路，ATM など）

MPEG-4　コア・プロファイル対応動き補償器

大阪大学大学院情報科学研究科　中川 貴史，古家 眞，密山 幸男，藤田 玄，尾上 孝雄，白川 功



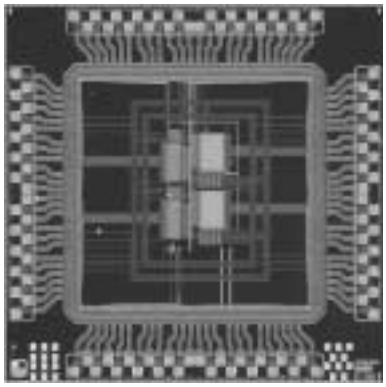
概要：本チップは，MPEG-4・コアプロファイルに規定されるオブジェクトベース符号化に対応した動き補償器を設計・試作したものである．オブジェクトベース符号化では参照画像において，オブエジェクト外の領域を補間するパディング処理が必要となる．パディング処理は，一定値を用いたり周辺画素を繰り返し利用することにより補間処理を行う．本動き補償器はこの点に着目し，補間画像の一部は外部フレームメモリへは書き込まず，必要時に生成することによりメモリ帯域の削減を図った．さらに，参照画像バッファ，予測画像バッファ，誤差画像バッファ，パディング処理用バッファ等，複数必要となる内部メモリを，時分割処理により機能的に 1 つのメモリに集約することにより，メモリ制御部や周辺回路などを共有化し，複数メモリを持つ場合に比べて冗長な回路の削減を実現した．本動き補償器は 54MHz 動作時に 60fps の CIF（352 × 288）画像を処理可能である．

参考文献：T. Nakagawa, G. Fujita, T. Onoye, and I. Shirakawa: “VLSI Architecture for MPEG-4 Core Profile Codec Core”, in Proc. SASIMI 2003, pp. 365-371, Apr. 2003.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

相変化不揮発性メモリと可変ゲインオペアンプ

金沢大学工学部　福島 早奈恵，源 貴利

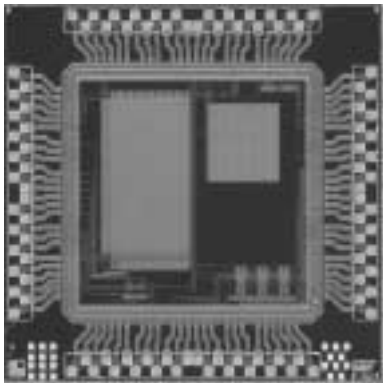


概要：本チップはVI族元素であるカルコゲン元素を記録素子として用いる相変化メモリの全体回路と同じカルコゲン元素を利用した相変化素子の抵抗値の変化を利用した可変ゲインオペアンプである．相変化メモリの記録素子は相変化させるために十分な電流を流す必要がある．当研究室ではカルコゲン元素を記録素子として用いた場合，1mA 以上の電流を流すことで相変化できることを確認しており，メモリセルサイズを電流が 1mA 流れるに決定して設計を行った．周辺回路はメモリセルにあわせてサイズを決定し，全体として 16Kbit の相変化メモリとした．可変ゲインオペアンプは相変化素子を用いることによって 3 次元構造に出来るため，一般的な可変オペアンプより低面積化できた．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：メモリ

Zigzag Super Cut-off CMOS　リークカット回路

東京大学生産技術研究所　　閔 庚湜，崔 珍赫



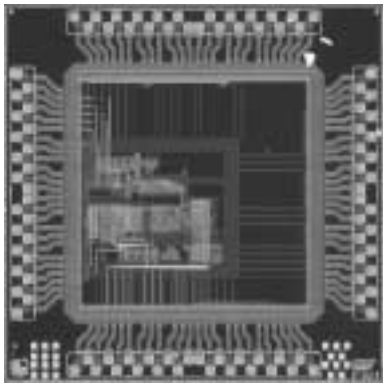
概要：MOS デバイス寸法がナノ領域に入るに従って，破壊防止の観点から電源電圧は今後も低下を続けると予想されている．その際，しきい値電圧も低下させる必要があり，その結果リーク電流が増加し，動作時でさえ支配的になってくることが予測されるため，リークカットの新手法の研究が急がれている．現在最もよく使用されている低消費電力化手法としてクロックゲーティングがあげられるが，将来的にはこれが有効でなくなると予想されている．この世代で有効な，高速な選択的ブロック活性化手法として Zigzag Super Cut-off CMOS による高速な選択的ブロック活性化手法を提案した．従来はバーチャル電源線に巨大なパワースイッチを取り付けることによりリークカットを実現していた．本手法は VDD 線と VSS 線に交互に，最小限の数だけリークカットスイッチを取り付けるため，スリープからの立ち上がりの際にかかる負荷が小さく，スリープ状態からの wake-up が従来より 10 倍ほど高速に行えることを実証した．

参考文献：Kyeong-Sik Min and Takayasu Sakurai, “Zigzag Super Cut-off CMOS（ZSCCMOS）Block Activation with Self-Adaptive Voltage Level Controller: An Alternative to Clock-Gating Scheme in Leakage Dominant Era”, ISSCC, Feb. 2003.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：TEG（特性評価回路など）

セルフテスト機能を備えた高速シリアル伝送トランシーバ

熊本大学工学部　　佐々木 守

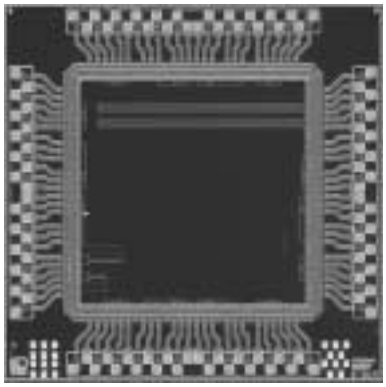


概要：次世代の高速 I/O インタフェースである数 G ビット / 秒という超高速シリアル伝送機能を集積化したデバイス（IC）のテストを容易かつ廉価に実現する手法として，2.5G ビット / 秒高速シリアル伝送トランシーバおよびセルフテスト機能を備えた LSI を設計した．信号レベルは，電流モード論理（CML）の差動信号（振幅 200mV）を用いる．チップ内部に抵抗値を調整できる負荷抵抗を設けて，プロセスバラツキによるインピーダンス不整合を補償している．また，基板上の伝送線路での分散特性による波形歪みを補償するため，プリエンファシス機能を集積化している．受信部では，スキューを吸収する目的でタイミング調整回路を設けている．測定評価から，送信部はプリエンファシスによる波形整形を含め，良好な動作を確認した．受信部では，8b/10b 符号器のバイト同期回路で論理設計ミスがあり，動作確認は行えていない．PLL による基準信号の低ジッタ化とともに再設計を行っている．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：通信（RF 回路，ATM など）

SFQ/CMOS ハイブリッドシステム用高速アンプの試作

横浜国立大学大学院工学研究院　　吉川 信行，宮川 英明，富田 卓哉，藤原 完



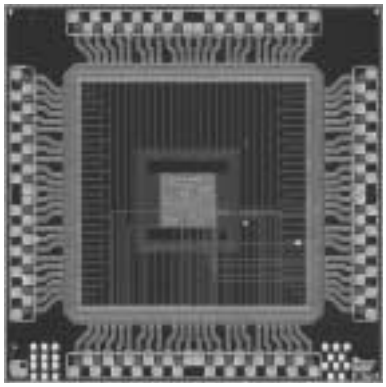
概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している．本メモリシステムは 4.2K での動作を仮定しており，メモリーセルには 3 トランジスタ DRAM セルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOS ハイブリッドメモリの要素回路である，高速ハイブリッドアンプ，3 トランジスタメモリセル，パイプラインアンプの試作を行った．

参考文献：[1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, “Josephson-CMOS hybrid memory with ultra-high-speed interface circuit”, to be published in IEEE Trans. Appl. Superconductivity（2003）.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：ニューテクノロジ

JPEG2000 算術符号器の高速化設計

京都大学情報学研究科　　筒井 弘 , 増崎 隆彦 , 林 宙輝 , 泉 知論 , 尾上 孝雄 , 中村 行宏

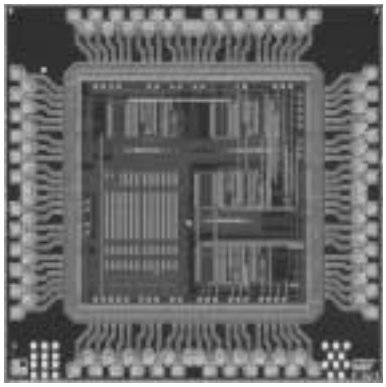


概要：静止画像符号化標準 JPEG2000 では高い圧縮性能を実現するためにエントロピー符号化としてコンテクストベース適応型二値算術符号化が採用されている．この算術符号化では，シンボル発生確率が類似するビットを同一コンテクストに分類し，コンテクスト毎にシンボルの推定発生確率を適応的に更新しながら符号化する．ここで推定発生確率の更新は 1 ビットの符号化毎に行われるため，1 ビットの符号化を行う度に算術符号器の内部状態が変化する．よって 1 ビットの符号化には必ず 1 サイクル以上の時間を要する．JPEG2000 符号化における算術符号化以外の処理は，この算術符号化の以上のスループットを実現するように実装することが可能であるため，JPEG2000 符号化処理の高速化実装において算術符号化がボトルネックとなる．設計した算術符号器は限界値に近い性能を実現する．テスト画像を圧縮した際，1 ビットの符号化に要する平均サイクル数は 1.03 サイクルであった．なお，参照用のテーブルは組み合わせ回路で実現している．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 design_compiler，Avanti 社 Appolo，Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

デジタル電源／グラウンド雑音評価チップ I

神戸大学工学部　　永田 真，奥本 健，杉本 智彦，小坂 大輔



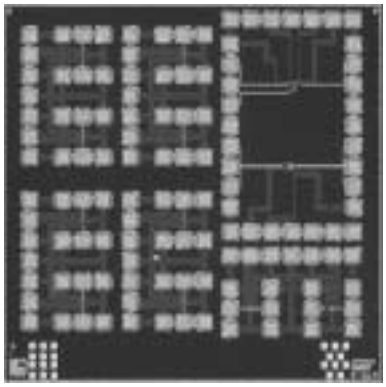
概要：高速デジタル集積回路において，電源／グラウンド雑音が動作信頼性劣化の主要因になっている．設計者らはこれまでに，LSI チップ内の基板（グラウンド）雑音をソースフォロワで検出しラッチコンパレータで読み出す手法で，高時間分解能な雑音測定を実現している．本チップは，この測定法を応用して，デジタル回路の動作時に発生する電源／グラウンド雑音をオンチップ評価するための雑音測定回路を搭載している．また，被測定デジタル回路として昨年度に同じプロセスで試作した 200MHz 以上で動作する 12bit シフトレジスタ・アレイを搭載している．試作チップの基本動作は確認済みであるが，本レポート執筆時点では雑音波形の評価が進行中である．

参考文献：M. Nagata, et al. , “Measurements and Analyses of Substrate Noise Waveform in Mixed-Signal IC Environment”, pp. 671-678, IEEE-CAD Vol. 19, 2000.

設計期間：2 人月以上，3 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：アナデジ混載

擬似差動型サブサンプリングミキサ

大阪大学大学院工学研究科　　金 良守，松岡 俊匡，谷口 研二

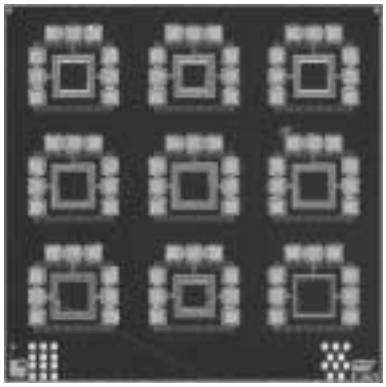


概要：近年，CMOS 無線受信器の 1 チップ化が実現されている．受信器には受信信号からベースバンド信号を復調するためのミキサが必要となる．これまで主流であったスーパーヘテロダイン方式は，RF 信号を中間周波数，ベースバンド信号と 2 回以上ダウンコンバージョンする．しかし，イメージ信号を十分除去するためには多数のミキサが必要になる．これに対し，ダイレクトコンバージョン方式は RF 信号をベースバンド信号へ直接ダウンコンバージョンできる．今回，NMOS スイッチとキャパシタからなる単純なサンプル＆ホールド回路を二つ並べた擬似差動型サブサンプリングミキサを設計した．オペアンプを用いたサンプル＆ホールド回路に比べて消費電力が十分低低下することがシミュレーションで確認できた．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：通信（RF 回路，ATM など）

トランスの試作（1）

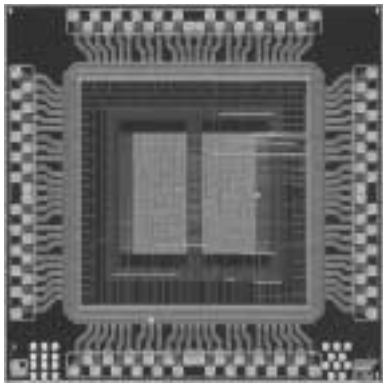
大阪大学大学院工学研究科　　島 秀樹，谷口 研二



概要：近年のトレンドである集積回路の 1 チップ化は，高周波回路においても，製品の小型化を実現する上で重要な課題である．1 チップ化において高周波回路でキーとなる素子は，インダクタ及びトランスである．このような素子は，その特性の観点から個別部品として実装される場合が多いが，1 チップ上に作り込む事で回路ブロック全体の小型化を可能にする．特にオンチップのトランスに関する研究はインダクタに比べて研究報告が少なく，実用化に向けてその特性把握は必要不可欠である．本試作の目的は，高周波回路への応用を前提とした，トランスの基本的な物理特性を調査する事である．本 TEG には，積層型，巻き込み型が含まれている．各トランスのサイズは一辺が 300 ミクロン程度である．
設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：TEG（特性評価回路など）

実験評価のための算術論理演算回路とキャッシュ制御回路

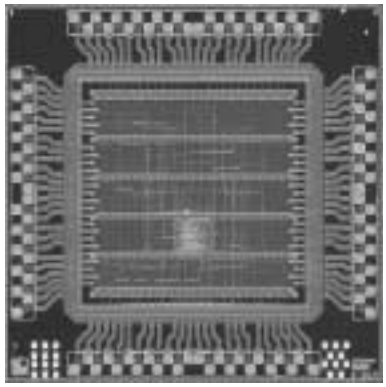
福岡大学工学部　　井上 弘士



概要：低消費電力化に関する実験評価を行うため，32 ビットの算術論理演算回路を設計した．現在，一般的な CPU が有する加算，減算命令やシフト命令，論理積，論理和，排他的論理和などの論理演算命令などをサポートしている．特にパイプライン化は行っておらず，全ての演算におけるレイテンシは 1 クロック・サイクルである．今後，低消費電力化に関する実験評価を行うため，入力オペランドの入れ換えや入力データ変換を可能とする．また，それに加え，キャッシュ・メモリ制御用回路も実装した．プログラム実行時，キャッシュ・メモリの低消費電力化を達成するため，動的にキャッシュ・メモリの動作モードを制御する．本設計では，そのようなキャッシュ制御回路の一部を実装している．具体的には，メモリ参照パタンを監視するための簡単な論理回路と，キャッシュ動作モードを決定するためのステートマシンから構成される．
設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

パストランジスタ論理を用いた 16bit 乗算器

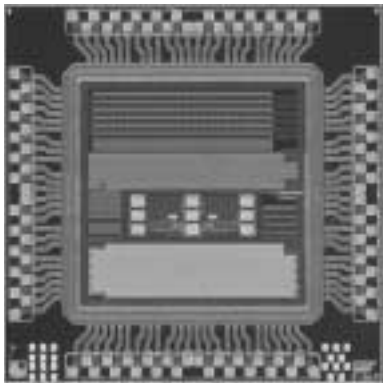
広島市立大学情報科学部　　越智 裕之，大石 祥子，井上 哲也



概要：本チップは符号付き 2 進数を扱う 16bit 整数乗算器であり，トランスミッションゲートで構成されるパストランジスタ論理を活用して高速化・低消費電力化を狙っている．入力側の Booth セレクタ部分では，少ないトランジスタ数で実現できるパストランジスタ回路を採用して省面積と省電力を図る一方，最終段加算部では，少ない段数で実現できるパストランジスタ回路を採用して高速化を図っている．これらの中間に位置する Wallace 木部分は，動作速度と消費電力のバランスが要求されるため，通常の CMOS 論理の全加算器を使用している．消費電力の実測を容易にするため，線形帰還シフトレジスタを用いたランダムパタン発生器も内蔵している．
参考文献：［1］井上，田村，越智，津田，“ 乗算器の Booth リコーダの回路方式について ”，信学技報，Vol. 102，No. 161，pp. 131-136（2002）
設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

クロック生成用 PLL と伝送線路特性を利用した信号伝送評価 TEG

京都大学情報学研究科　　橋本 昌宜，宮崎 崇仁，小野寺 秀俊



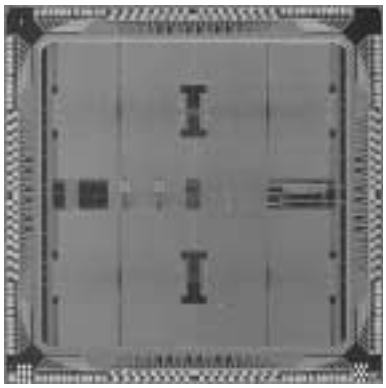
概要：クロック生成用 PLL として，最大発振周波数が 1.2GHz のものと 2GHz の二つの PLL を設計した．VCO は差動インバータによるリング発振器で，段数はそれぞれ 7 段と 5 段である．また，配線の伝送線路特性を利用して，PLL の出力のクロック信号を長距離（10mm 以上）伝送する回路を設計した．シングルエンド伝送とディファレンシャル伝送の 2 種類を設計した．PLL の特性評価はオンウェハで行った．自然発振周波数に近いところでは正常に動作しているが，周波数を上昇させていくと発振が停止し，現在原因を究明している．信号伝送回路は，PLL の自然発振周波数では正常に動作していることを確認した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

平成 14 年度　第 2 回　日立製作所 CMOS0.18μm　チップ試作
（HIT18022）

カーネル係数可変型画像フィルタリングプロセッサ

東京大学新領域創成科学研究科　　伊藤 潔人，柴田 直
東京大学工学部　　中山 友之



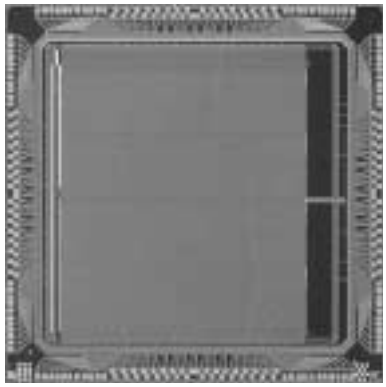
概要：2002 年 1 月 HIT0.18um 試作で設計した画像フィルタリング演算プロセッサ［1］の性能評価を踏まえ，新たにアーキテクチャの拡張を行った改良版の回路である．前回の試作では，コンボルーションカーネルの大きさを自由に変更できるアーキテクチャを開発したが，カーネルに用いることのできる重み係数は {-1,0,1} の 3 種類と限定されていた．本試作では，プロセッサに内蔵するメモリ容量を保ったままカーネル係数を 4bit に拡張し汎用性を高めた．更に係数 2bit のカーネルを用いる場合は，二つのコンボルーション演算を並列に行うことが可能である．また新たにパイプラインを導入し，電源電圧 1.8V において動作周波数 200MHz を想定して設計を行った．

参考文献：［1］K. Ito, M. Ogawa and T. Shibata, “A Variable-Kernel Flash-Convolution Image Filtering Processor”, in Digest of Technical Papers of 2003 IEEE International Solid-State Circuits Conference, pp. 470-471, San Francisco, U. S. A. , February 2003.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

PPED に基づく高速画像特徴ベクトル生成回路

東京大学工学系研究科　　山崎 英男
東京大学工学部　　山本 崇也
東京大学新領域創成科学研究科　　柴田 直

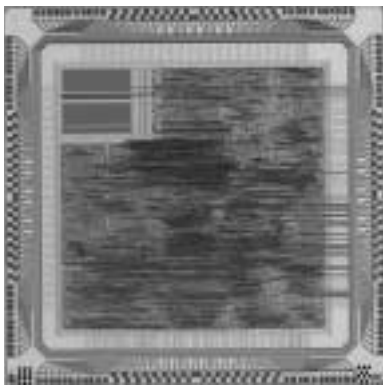


概要：画像のマッチング等の処理を行う際，2 次元の画像データをそのまま扱うと演算コストが膨大になってしまう．そこで我々の研究室では，画像から特徴のみをコンピュータで扱いやすいデータ列，すなわちベクトルとして抽出する Projected Principal-Edge Distribution（PPED）というアルゴリズムが開発された．PPED では，まず水平，垂直，+45 度, -45 度の 4 方向のエッジ検出を行う．そして，4 つのエッジ検出画像の 2 値データをそれぞれエッジと垂直な方向に投影し，得られたデータ列を並べることでベクトルを得る．このチップでは画像をスキャンしてベクトルを連続的に生成することを想定し，ベクトルの連続生成を高速化するのに必要なエッジ検出画像の投影を行う回路を実装した．スキャンは上下左右 4 方向に設定可能である．投影は，全データから必要な部分のみをマスクにより抜き出し加算するアーキテクチャになっており，マスクを任意に設定できるようにすることで汎用性を高めている．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

JPEG2000　符号化アクセラレータの設計

京都大学情報学研究科　　林 宙輝，筒井 弘，増崎 隆彦，泉 知論，尾上 孝雄，
中村 行宏



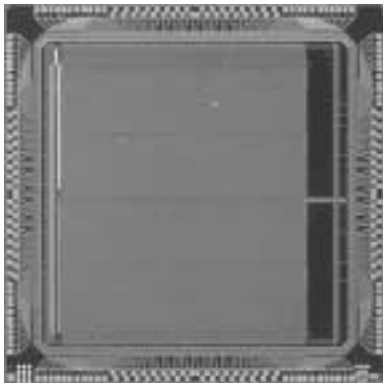
概要：静止画像符号化標準 JPEG2000 は，高圧縮，高機能を特長とし，幅広い分野への応用が期待されている．しかし，現行の符号化標準に比べて数倍の処理能力を必要とし，リアルタイム性の要求されるアプリケーションにおいては，高速化実装が必要不可欠となる．設計したアクセラレータは JPEG2000 符号化処理におけるエントロピー符号化と離散ウェーブレット変換(DWT)を高速処理する．これらは最も処理量を要する処理であり，ソフトウェアで実行した場合に要するサイクル数は全体の処理量のそれぞれ約 65% , 20%であった．本アクセラレータを用いて 512 × 512, 8 ビット深度，グレイスケールのテスト画像を量子化せずに圧縮した場合，エントロピー符号化および DWT に要するサイクル数はそれぞれソフトウェアを用いて圧縮した場合の 0.36%, 0.08%であった．なお，比較のためのソフトウェア処理量は組込み向けプロセッサの一つである Xtensa を用いた場合のものである．

参考文献：［1］Y. Hayashi, H. Tsutsui, T. Masuzaki, T. Izumi, T. Onoye, Y. Nakamura, “Scalable Design Framework for JPEG2000 Encoder Architecture”, pp. 372-377, in Proc. of SASIMI2003（2003）.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：アナログ / デジタル信号処理プロセッサ

携帯情報通信応用 RISC プロセッサの試作

金沢大学工学部　　三屋 晃ニ，深山 正幸，吉本 雅彦

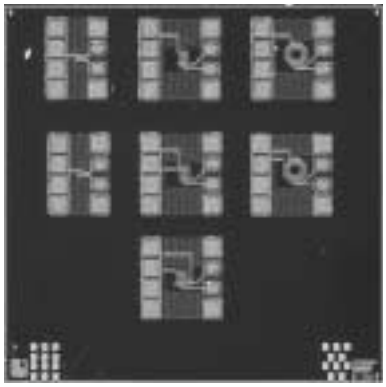


概要：携帯情報端末に搭載するシステム LSI のコアとなる RISC として M32R を採用し日立製作所5.9mm角チップCMOS0.18umプロセス5層メタルで設計を行った．ライセンス供与されている M32R は 8[kbyte] の I-CACHE,64[kbyte] の D-CACHE を搭載しているが，面積的な制約からそのまま実現することは難しい．そこで I-CACHE のアーキテクチャを 2way-set-associative 方式から direct-map 方式に変更し，容量を 1／2 とした．D-CACHE も容量を 1／2 とした．これに伴い提供された I-CACHE コントローラの VerilogHDL に変更を加えた．RAM と PLL は日立製マクロを使用し，その他ロジック部は京大スタンダードセルライブラリを使用した．設計・検証には NC-Verilog, DesignCompiler, Apollo, Virtuoso, Draculaを使用した．配置配線後の寄生容量をバックアノテーションしたDCのスタティックタイミング解析により動作周波数約 130[MHz] であることを確認した．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：マイクロプロセッサ

高速動作複数係数周波数分周回路

東京大学新領域創成科学研究科　　乗松 崇泰，藤島 実
東京大学工学系研究科　　山本 憲，木野 順

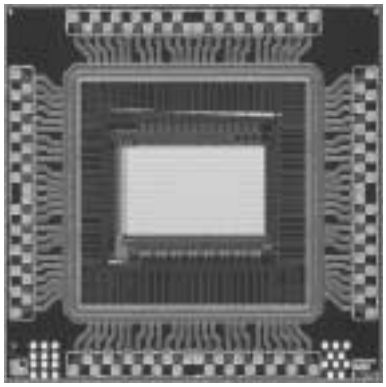


概要：トランシーバの搬送波を発生する位相同期ループ（PLL）の高速動作を目指している．携帯機器用無線トランシーバには小型化とともに，低電圧化・低消費電力化が重要である．そこで，PLL を作成する上で重要になる電圧制御発振回路（VCO）と周波数 2 分周回路の設計パラメータを最適化し，低電圧・低消費電力で動作する VCO と周波数 2 分周回路の設計を行った．なお，周波数 2 分周回路では，差動発振器の出力をスイッチング制御することにより高速動作可能な差動注入同期型を用いている．さらに，複数の分周数を持つ周波数分周回路の構成方法が PLL の高速動作の鍵となるため，アナログミキサを用いて周波数の加減算を利用することにより高速動作が期待される複数係数周波数分周回路を提案し，試作を行った．さらに，VCO や周波数 2 分周回路の動作性能に大きく関わるインダクタの自己共振周波数や Q 値を正確に評価するためのテストデバイスを設計した．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：通信（RF 回路，ATM など）

超低消費電力動き検出プロセッサコア搭載 3-port SRAM TEG

金沢大学工学部　　黒田 雄樹，宮越 純一，深山 正幸，吉本 雅彦

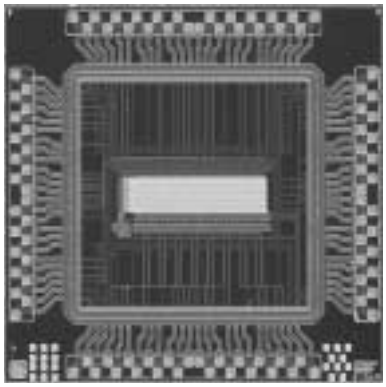


概要：今後ますます普及すると考えられる携帯情報機器向け MPEG2/MPEG4 エンコーダの低消費電力化を考えるとき，低消費電力の SRAM は必要不可欠である．そこで我々は超低消費電力動き検出プロセッサコアに搭載することを目的として 3-port SRAM TEG をフルカスタム設計した．容量は 10K ビット（1280 ワード× 8 ビット）, 3 ポート（2 リード，1 ライト），回路規模は約 13 万トランジスタである．低消費電力で安定動作する SRAM を実現するために，階層デコード方式，8 ブロック分割語線構造，1 画素アクセス方式を採用した．LSI テスタによる TEG の評価を行い，電源電圧 1.0V，動作周波数 13.5MHz において完全に動作することを確認した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence Composer, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：メモリ

超低消費電力動き検出プロセッサコア搭載 3-port SRAM TEG

金沢大学工学部　　黒田 雄樹，宮越 純一，深山 正幸，吉本 雅彦

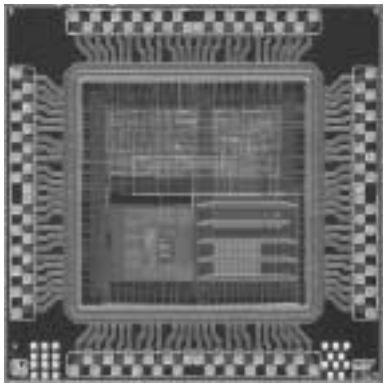


概要：今後ますます普及すると考えられる携帯情報機器向け MPEG2/MPEG4 エンコーダの低消費電力化を考えるとき，低消費電力の SRAM は必要不可欠である．そこで我々は超低消費電力動き検出プロセッサコアに搭載することを目的として 3-port SRAM TEG をフルカスタム設計した．容量は 4K ビット（512 ワード× 8 ビット）, 3 ポート（2 リード，1 ライト），回路規模は約 6 万トランジスタである．低消費電力で安定動作する SRAM を実現するために，階層デコード方式，8 ブロック分割語線構造，1 画素アクセス方式を採用した．LSI テスタによる TEG の評価を行い，電源電圧 1.0V，動作周波数 13.5MHz において完全に動作することを確認した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence Composer, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：メモリ

日立 SRAM-FNM10A, PLL-FNK026 を用いた評価用 TEG の試作

金沢大学工学部　　三屋 晃二，深山 正幸，吉本 雅彦

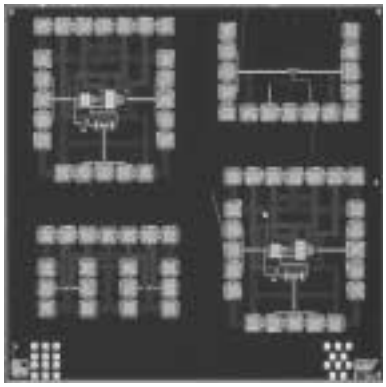


概要：日立製作所より VDEC に提供されているハードマクロ FNM10A と FNK026 についての評価用 TEG を試作した．FNM10A は 256W × 32b の 1 ポート RAM であり，FNK026 は PLL である．RAM と PLL のピンに外から直接アクセスできるようにした．また LSI テスタの最高動作周波数（100MHz）より高い周波数でのテストを行うために，RAM へ入力するクロックを外部クロックと PLL クロックから選択できるようにし，さらに BIST 回路を内蔵した．具体的にはテスト回路として内部アドレス生成用の 8bit カウンタ, RAM 書き込みテストのためのデータ生成用の LFSR（Liner Feedbak Shift Register）, RAM 読み出しテストのための LFSR から得られる期待値と RAM から読み出されるデータを比較するコンパレータを組み込んだ．BIST 回路は京大スタンダードセルライブラリを使用している．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：TEG（特性評価回路など）

擬似差動型サブサンプリングミキサ

大阪大学大学院工学研究科　　金 良守，松岡 俊匡，谷口 研二

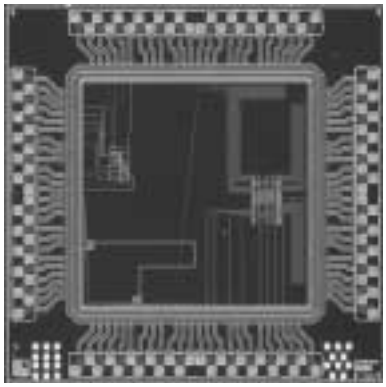


概要：近年，CMOS 無線受信器の 1 チップ化が実現されている．受信器には受信信号からベースバンド信号を復調するためのミキサが必要となる．これまで主流であったスーパーヘテロダイン方式は, RF 信号を中間周波数, ベースバンド信号と 2 回以上ダウンコンバージョンする．しかし，イメージ信号を十分除去するためには多数のミキサが必要になる．これに対し，ダイレクトコンバージョン方式は RF 信号をベースバンド信号へ直接ダウンコンバージョンできる．今回，NMOS スイッチとキャパシタからなる単純なサンプル＆ホールド回路を二つ並べた擬似差動型サブサンプリングミキサを設計した．オペアンプを用いたサンプル＆ホールド回路に比べて消費電力が十分低低下することがシミュレーションで確認できた．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：通信（RF 回路, ATM など）

フルソースカップルドロジック多値集積回路と電流モード非同期データ転送回路の試作

東北大学大学院情報科学研究科　池 司，高橋 知宏，金 尚賢，亀山 充隆
東北大学電気通信研究所　羽生 貴弘

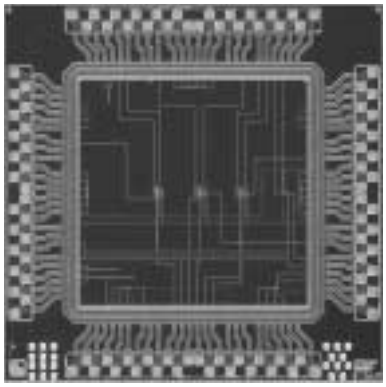


概要：本研究グループでは，高い電流駆動能力を有し微少な電圧差で高速にスイッチングが可能な差動対回路を積極的に活用した，ソースカップルドロジック多値集積回路を提案してきた．本試作では提案回路方式に基づく画像処理 VLSI プロセッサへの応用に向けて，積和演算を中心とした算術演算部を設計した．性能評価を行いその有用性を示すことを目的としている．部分積生成には高並列算術演算回路である 2 進 SD 数加算器を用い，ダイナミック記憶に基づく細粒度パイプライン構造で高スループットな処理を狙っている．また将来支配的になると予測される配線遅延の影響を考慮し，クロックを用いず非同期的にデータを転送する回路も試作した．送信側と受信側で行われるハンドシェイク通信を，適切な符号化に基づき電流モードを用いて信号を重ねあわせることで効率良く行い，高速な非同期データ転送を行うものである．本試作チップの動作検証・性能評価については現在進行中である．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

SFQ/CMOS ハイブリッドシステム用高速アンプの試作

横浜国立大学大学院工学研究院　吉川 信行，宮川 英明，富田 卓哉，藤原 完



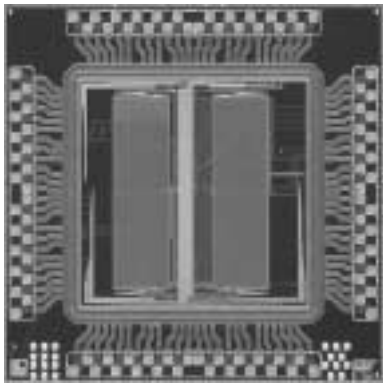
概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している．本メモリシステムは 4.2K での動作を仮定しており，メモリーセルには 3 トランジスタ DRAM セルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOS ハイブリッドメモリの要素回路である，高速ハイブリッドアンプ，3 トランジスタメモリセル，パイプラインアンプの試作を行った．

参考文献：[1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, “Josephson-CMOS hybrid memory with ultra-high-speed interface circuit”, to be published in IEEE Trans. Appl. Superconductivity（2003）.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：ニューテクノロジ

階層型多ポートメモリを用いた多ポートキャッシュ

広島大学ナノデバイス・システム研究センター　上口 光，朱 兆旻，マタウシュハンス ユルゲン，小出 哲士



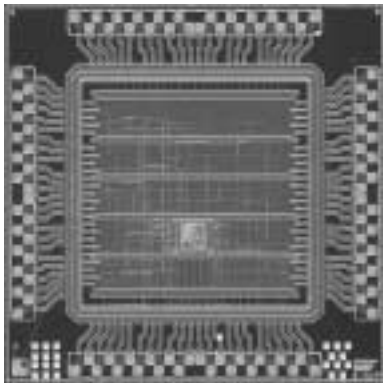
概要：プロセッサの高並列化要求を満足する高性能なキャッシュメモリとは，大容量且つ高バンド幅でなければならないが，クロック周波数の向上のみでこれを実現するのは困難である．そこで，キャッシュメモリを多ポート化することを提案する．我がグループでは，高面積効率な階層型多ポートメモリ構造（HMA）を提唱しており，これを用いれば両者を同時に実現することが可能となる．そこで，HMA を用いた 4 ポートキャッシュの設計を行った．今回提出のチップは，主にバンクの性能を検証する事を目的としたテストチップで，4 ポートに拡張した際の面積オーバーヘッドを 10%未満に抑えることに成功した．なお，テスタによる検証は未だ行っていない．

参考文献：上口 光，朱 兆旻，マタウシュハンス ユルゲン，小出 哲士，平川 泰，弘中 哲夫，“ 階層型多バンクメモリを用いた多ポートキャッシュの設計 ”，電子情報通信学会 VLSI 設計技術研究会技術研究報告，VLD2002-110，Vol. 102，No. 476，pp. 169-174，滋賀県守山市，（2002 年 11 月）

設計期間：6 人月以上，7 人月未満　**設計ツール**：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：メモリ

パストランジスタ論理を用いた 16bit 乗算器

広島市立大学情報科学部　　越智 裕之，大石 祥子，井上 哲也



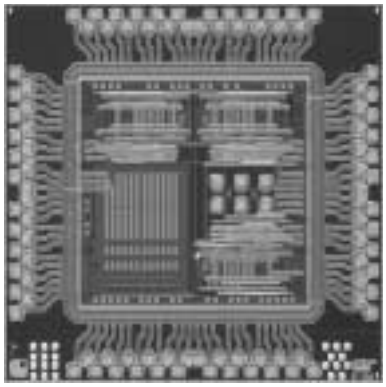
概要：本チップは符号付き 2 進数を扱う 16bit 整数乗算器であり，トランスミッションゲートで構成されるパストランジスタ論理を活用して高速化・低消費電力化を狙っている（本年度第 1 回ランの際に時間切れでトランジスタサイズなどのチューニングが十分できなかったため，再度挑戦した）．入力側の Booth セレクタ部分では，少ないトランジスタ数で実現できるパストランジスタ回路を採用して省面積と省電力を図る一方，最終段加算部では，少ない段数で実現できるパストランジスタ回路を採用して高速化を図っている．これらの中間に位置する Wallace 木部分は，動作速度と消費電力のバランスが要求されるため，通常の CMOS 論理の全加算器を使用している．消費電力の実測を容易にするため，線形帰還シフトレジスタを用いたランダムパタン発生器も内蔵している．

参考文献：［1］井上，田村，越智，津田，乗算器の Booth リコーダの回路方式について，信学技報

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：演算回路（乗算器，除算器など）

デジタル電源／グラウンド雑音評価チップ II

神戸大学工学部　　永田 真，奥本 健，杉本 智彦，小坂 大輔



概要：高速デジタル集積回路において，電源／グラウンド雑音が動作信頼性劣化の主要因になっている．設計者らはこれまでに，LSI チップ内の基板（グラウンド）雑音をソースフォロワで検出しラッチコンパレータで読み出す手法で，高時間分解能な雑音測定を実現している．本チップは，この測定法を応用して，デジタル回路の動作時に発生する電源／グラウンド雑音をオンチップ評価するための雑音測定回路を搭載している．また，被測定デジタル回路として昨年度に同じプロセスで試作した 200MHz 以上で動作する 12bit シフトレジスタ・アレイを搭載している．なお本チップは，今年度に設計・試作したデジタル電源／グラウンド雑音評価チップ I と同一の回路構成であるが，雑音検出回路の性能を向上するための回路修正と最適化を施している．

参考文献：M. Nagata, et al. , “Measurements and Analyses of Substrate Noise Waveform in Mixed-Signal IC Environment”, pp. 671-678, IEEE-CAD Vol. 19, 2000.

設計期間：2 人月以上，3 人月未満　**設計ツール**：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.8mm 角　**チップ種別**：アナデジ混載

2.3. チップ試作者の発表文献リスト

［1］ 佐々木，森江，伊井，岩田，“ パルスタイミングに基づくスパイキングホップフィールドネットワークによる高速連想メモリ ”，信学技報，NC2002-81

［2］ K. Katayama and A. Iwata, “Pulse Coupled Neural Network using Coupled Phase Locked Loop”, International Symposium on Nonlinear Theory and its Applications（NOLTA）, pp. 853-856, Xi'an, October 7-11, 2002.

［3］ K. Katayama and A. Iwata, “A High-Resolution Hadamard Transform Chip”, International Conference on Solid State Devices and Materials（SSDM）, pp. 372-373, Nagoya, September17-19, 2002.

［4］ 片山光亮，岩田　穆「結合フェーズロックトループ回路を用いたパルスカップルドニューラルネットワークの実現」電子情報通信学会 NC 研究会，2002 年 5 月

［5］ K. Katayama and A. Iwata, “A High-Resolution CMOS Image Sensor with Hadamard Transform Function”, IEICE Trans. Fundamentals, vol. E86-A, no. 2, pp. 396-403, Feb. 2003.

［6］ K. Katayama, M. Nagata, T. Morie and A. Iwata, “An Hadamard Transform Chip Using the PWM Circuit Technique and Its Application to Image Processing”, IEICE Trans. Electron., vol. E85-C, no. 8, pp. 1596-1603, Aug. 2002.

［7］ 是角圭祐，森　江隆，野村　修，真継優和，岩田　穆，“ アナログ・デジタル融合アーキテクチャによる Convolutional Network LSI の設計 ”，日本神経回路学会第 12 回全国大会，O2-1，2002 年 9 月（鳥取）

［8］ 今村俊文，山本美子，岩田　穆，石津任章，森　江隆，“ 適応型 CMOS イメージセンサ ”，信学技法，ICD-2002-88

［9］ 眞下隆行，吉田　毅，赤木美穂，岩田　穆，植松一眞，吉田将之，「生体情報を検出し無線通信するためのＣＭＯＳ増幅回路の低雑音化の研究」，第 6 回システムＬＳＩワークショップポスター資料集，pp. 275-278，2002 年 11 月．

［10］眞下隆行，吉田　毅，赤木美穂，岩田　穆，植松一眞，吉田将之，「神経信号センシングＬＳＩのための低雑音ＣＭＯＳ増幅回路の設計」，2003 年電子通信情報学会総合大会，Ｃ-12-26，東北大学，2003 年 3 月．

［11］赤木美穂，吉田　毅，眞下隆行，岩田　穆，植松一眞，吉田将之，「神経信号センシングＬＳＩ　のための低電力ＡＤ変換器」，2003 年電子通信情報学会総合大会，Ｃ-12-27，東北大学，2003 年 3 月．

［12］吉田　毅，真下隆行，赤木美穂，岩田　穆，吉田将之，植松一眞，“ 多入力神経信号センシング LSI の設計 ”，pp. 25-30，信学技報，ICD2002-84,（2002）.

［13］R.Oi, T.Hamamoto, K.Aizawa, “Pixel based random access image sensor array for real-time IBR”, IEEE Sensors, P1-2（2002）.

［14］R.Oi, T.Hamamoto, K.Aizawa, “Real-time image-based rendering system with random access cmos imagers”, World Automation Congress, Int. Forum on Multimedia and Image Processing（IFMIP2002）, IFMIP034（2002）.

［15］M.S.Oh, K.Aizawa, “Networked large-scale image sensing system using spatially-variant sampling image sensors”, IEEE Int. Symp. Circuits and Systems（ISCAS2002）, pp. II-281-284（2002）.

［16］M.S.Oh, K.Aizawa, “A study on the implementation of networked image-sensing by using smart image sensors”, World Multiconference on Systemics, Cybernetics and Informatics（SCI'02）, vol. XIV（2002）

［17］高橋，相澤，“ 閾値処理に基づくワイドダイナミックレンジイメージセンサの検討 ”，映像情報メディア学会情報センシング研究会，vol. 26，no. 41，pp. 9-12（2002）.

［18］相澤，“ 多数のスマートイメージセンサの粗密な結合によるセンシング（招待講演）”，映像情報メディア学会情報センシング研究会，IPU2002-51，p. 9（2002）.

［19］呉，相澤，“System Implementation for Networked Image Sensing by Using Smart Image Sensors”，画像の認識と理解シンポジウム（MIRU），A6-3，pp. II-289-294（2002）.

［20］大井，相澤，“ 可変感度 CMOS 画素構造の検討 ”，画像符号化・映像メディア処理シンポジウム（PCSJ・IMPS2002），I-2.19，pp. 69-70（2002）.

［21］高橋，相澤，“ 可変閾値時間処理による広ダイナミックレンジイメージセンサ ”，画像符号化・映像メディア処理シンポジウム（PCSJ・IMPS2002），I-4.18，pp. 115-116（2002）.

［22］高橋，相澤，“ 閾値時間処理を用いたイメージセンサのダイナミックレンジ拡大 ”，映像情報メディア学会年次大会，15-2（2002）.

［23］大井，相澤，浜本，“ 選択画素イメージセンサによる 4 ×

4眼実時間IBRシステム”, 映像情報メディア学会年次大会，7-2 (2002).

[24] 呉，相澤，“Implementation of Networked Image-Sensing System for Event Detection by Smart Image Sensors”，映像情報メディア学会年次大会，13-9 (2002).

[25] 呉，相澤，“A study on simple event detection by networked image-sensing system using smart image sensors”, 情報科学技術フォーラム（FIT2002)，J-54 (2002).

[26] 大井, 相澤, “容量制御型可変感度イメージセンサの設計と試作”，電子情報通信学会総合大会，D-11-68 (2003).

[27] 高橋, 相澤, “閾値時間処理を用いたダイナミックレンジ拡大イメージセンサの試作”，電子情報通信学会総合大会，D-11-69 (2003).

[28] Camou, S., Fujita, H., and Fujii, T., “PDMS 2D Optical Lens Integrated with Microfluidic Channels Principle and Characterization”, Lab on a Chip, Vol. 3, No. 1 (2003. 3)pp. 40-45

[29] Camou, S., Gouy, J.-P., Fujita, H., and Fujii, T., “Integrated 2-D Optical Lenses Designed in PDMS Layer to Improve Fluorescence Spectroscopy Using Optical Fibers”, Proceedings of the IEEE Sensors 2002 Conference, Orlando, FL (2002.6) P1.17

[30] Leclerc, E., Mita, Y., and Fujii, T., “Polydimethylsiloxane Nanostructures Fabrication by FIB Machining for Single Molecule Studies”, Proceedings of Second Joint EMBS-BMES Conference 2002, Houston USA (2002.10) pp. 1634-1635

[31] T. Ishihara, S. Komatsu, M. Miyama, M. Yoshimoto, M. Hirata, M. Fujita, and K. Asada, “An Inter-University Joint Programfor a Trial of IP-Based System LSI Design”, Proc. of the 4thEuropean Workshop on Microelectronics Education, pp. 129-132,

[32] Y. Oike, M. Ikeda, and K. Asada, “High-Sensitivity and Wide-Dynamic-Range Position Sensor Using Logarithmic-Response and Correlation Circuit”, IEICE Trans. on Electronics, Vol. E85-C, No. 8, pp. 1651 - 1658, Aug. 2002.

[33] Y. Oike, M. Ikeda, and K. Asada, “A CMOS Image Sensor for High-Speed Active Range Finding Using Column-Parallel Time-Domain ADC and Position Encoder”, IEEE Trans. on Electron Devices, Vol. 50, No. 1, Jan. 2003.

[34] Y. Oike, M. Ikeda, and K. Asada, “An Active Range Finder With the Capability of -18 dB SBR, 48 dB Dynamic Range and 120 x 110 Pixel Resolution”, IEEE International Solid-State Circuit Conference (ISSCC) Dig. of Tech. Papers, pp. 208-209, Feb. 2003.

[35] Y. Oike, M. Ikeda, and K. Asada, “Smart Sensor Architecture for Real-Time and High-Resolution Range Finding”, in Proc. of IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 105-108, Sep. 2002.

[36] Y. Oike, M. Ikeda, and K. Asada, “High Performance Photo Detector for Modulated Lighting”, in Proc. of IEEE International Conference on Sensors, pp. 1456-1461, Jun. 2002.

[37] Y. Oike, M. Ikeda, and K. Asada, “High-sensitivity and Wide-dynamic-range Range Finder and Its Applications”, in Proc. of the 5th Biannual World Automation Congress(WAC 2002), pp. 417-422, Jun. 2002.

[38] 大池祐輔，池田　誠，浅田邦博, “衝突防止システムに向けた行並列処理による超高速ポジション検出センサ”，電子情報通信学会技術研究報告，vol. 102，no. 399，pp. 7-11，2002年10月.

[39] 大池祐輔，池田　誠，浅田邦博, “高解像度三次元動画撮像のための高速な投射光検出手法とその実装”，映像情報メディア学会技術研究報告，vol. 26，no. 41，pp. 37-40，2002年6月.

[40] 大池祐輔，池田　誠，浅田邦博, “同期式高速ハミング距離検索連想メモリ”，電子情報通信学会技術研究報告，vol. 102，no. 2，pp. 19-24，2002年4月.

[41] T. Iizuka, and K. Asada, “An Exact Algorithm for Practical Routing Problems”, in Proc. of the Third IEEE Asia Pacific Conference on ASICs (AP-ASIC), pp. 343-346, Aug. 2002.

[42] 飯塚哲也，池田　誠，浅田邦博, “VLSIの配線パターンの網羅的生成手法”，電子情報通信学会ソサイエティ大会論文集，A-3-6，p. 61，2002年9月

[43] H. Yamaoka, H. Yoshida, M. Ikeda, and K. Asada, “A Dual-Rail PLA with 2-Input Logic Cells”, in Proc. Eur. Solid-State Circuits Conf. (ESSCIRC), pp. 203-206, 2002.

[44] H. Yamaoka, M. Ikeda, and K. Asada, “A High-Speed Functional Memory with a Capability of Hamming-Distance-Based Data Search by Dynamic Threshold Logic Circuits”, in Proc. Eur. Solid-State Circuits Conf. (ESSCIRC) , pp. 667-670, 2002.

[45] 山岡寛明，池田　誠，浅田邦博, “しきい値論理回路を用いたハミング距離選択機能を有する高速機能メモリ”,

VDEC

電子情報通信学会技術研究報告，VLD2002-151，pp. 31-36，2003 年 3 月．

［46］山岡寛明，池田　誠，浅田邦博，“ 2 入力論理セルを用いた 2 線式 PLA ”，電子情報通信学会技術研究報告，SDM2002-156，pp. 19-24，2002 年 8 月．

［47］U. Ekinciel, H. Yamaoka, M. Ikeda, and K. Asada, “Performance Driven Design Methodology for a Dual-Rail PLA with 2-Input Logic Cells”, 電子情報通信学会技術研究報告，VLD2002-152, pp. 37-42, 2003 年 3 月．

［48］U. Ekinciel, H. Yamaoka, M. Ikeda, and K. Asada, “A Module Generator for a Dual-Rail PLA with 2-Input Logic Cells”, 電子情報通信学会ソサイエティ大会，A-3-7，2002 年 9 月．

［49］T.Ochiai and H.Hatano, “A low temperature DC characteristic analysis utilizing a floating gate neuron MOS macromodel”, IEICE Trans.Electron., vol. E86-C, no. 6, 2003.

［50］T.Kurashina, S.Ogawa, K.Watanabe, “A CMOS Rail-to-Rail Current Conveyer and Its Applications to Current mode Filters”, pp. 755-758, Proc. International Conference on Circuits /Systems Computers and Communica（2002）.

［51］T.Kurashina, S.Ogawa, K.Watanabe, “A CMOS Rail-to-Rail Current Conveyer”, pp. 15-20, Proc. International Conference on Fundamentals of Electronics, Communications and Computer Sciences（2002）.

［52］T.Kurashina, S.Ogawa, K.Watanabe, “A CMOS Rail-to-Rail Current Conveyer”, pp. 2894-2900, IEICE Trans. Fundamentals（2002）.

［53］倉科，小川，渡辺，“ AB 級 CMOS 第二世代カレント・コンベアとその電流モードフィルタへの応用 ”，pp. 35-41，静岡大学大学院電子科学研究科研究報告（2002）.

［54］倉科，小川，渡辺，“ CMOS AB 級カレントコンベアとその電流モードフィルタへの応用 ”，pp. 53-58，電気学会電子回路研究会資料資料（2002）.

［55］倉科，小川，渡辺，“ 電流モードバイカッドフィルタの合成と実装 ”，pp. 25-30，電気学会電子回路研究会資料資料（2002）.

［56］倉科，小川，渡辺，“ 電流モードバイカッドフィルタの合成と実装-II ”，pp. 25-30，電気学会電子回路研究会資料資料（2002）.

［57］S. Kagami, T. Komuro, M. Ishikawa, “A Real-Time Visual Processing System using a General-Purpose Vision Chip”, Proc. 2002 IEEE International Conference on Robotics and Automation, pp. 1229-1234（2002）

［58］T. Komuro, S. Kagami, M. Ishikawa, “A New Architecture of Programmable Digital Vision Chip”, Proc. 2002 Symposium on VLSI circuits, pp. 266-269（2002）

［59］鏡，小室，藤村，石川，“ ディジタルビジョンチップのためのソフトウェア A-D 変換手法 ”，映像情報メディア学会誌，Vol. 57，No. 3，pp. 385-390（2003）

［60］T. Kozasa, A. Kawano, N. Murakami, Y. Shibata and K. Oguri, “Implementation of a Finite Impulse Response Filter on Plastic Cell Architecture”, p. 167, Proc. COOL Chips V（2002）

［61］J. Takemoto, T. Goto, Y. Shibata and K. Oguri, “Design and Implementation of LUTs for Plastic Cell Architecture”, p. 166, Proc. COOL Chips V（2002）

［62］Y. Shibata and K. Oguri, “Latency Evaluation of Arithmetic Units for Asynchronous Processors”, pp. 63-68, Proc. JSST'02（2002）

［63］永本太一，柴田裕一郎，小栗　清，“ PCA への実装を目的とした IMBE の考察 ”，p. 97，電子情報通信学会九州支部学生会講演論文集（2002）.

［64］小佐々武志，柴田裕一郎，小栗　清，“ PCA アーキテクチャの OS 機能に関する研究 ”，p. 97，電子情報通信学会九州支部学生会講演論文集（2002）.

［65］佐藤昌浩，柴田裕一郎，小栗　清，“ PCA による IP ルータ用連想メモリの研究 ”，p. 95，電子情報通信学会九州支部学生会講演論文集（2002）.

［66］末永雄司郎，柴田裕一郎，小栗　清，“ PCA アプリケーション用設計環境に関する研究 ”，p. 69，電子情報通信学会九州支部学生会講演論文集（2002）.

［67］竹本潤一郎，柴田裕一郎，小栗　清，“ Plastic Cell Architecture のための Look-Up-Table メモリの設計と実装 ”，p. 69，電子情報通信学会九州支部学生会講演論文集（2002）.

［68］小栗　清，佐藤昌浩，小佐々武志，永本太一，柴田裕一郎，“ プラスティック・セル・アーキテクチャと非同期ビットシリアルデータパス ”，pp. 70-78，パルテノン研究会資料集（2002）.

［69］坂本博和，永本太一，小佐々武志，末永雄司郎，柴田裕一郎，小栗　清，“ ビットシリアル非同期シミュレータ ”，pp. 63-69，パルテノン研究会資料集（2002）.

［70］T.Yasuda, T.Hamamoto, K.Aizawa, “Adaptive-integration-time image sensor with real time reconstruction function”, IEEE trans. on Electron Devices, Vol. 50, No. 1, pp. 111-120（2003）

［71］T.Yasuda, T.Hamamoto, K.Aizawa, “Adaptive integration time image sensor with real time reconstruction circuit”, World Multiconference on Systemics, Cybernetics and Informatics（SCI'02）, vol. XIV, pp. 28-33（2002）

［72］T.Hamamoto, S.Nagao, K.Aizawa, “Real-time objects tracking by using smart image sensor and FPGA”, IEEE Int. conf. on Image Processing（ICIP'02）, III, pp. 441-444（2002）

［73］安田隆哉，浜本隆之，相澤清晴，“ダイナミックレンジ撮像のための適応蓄積時間イメージセンサ設計･試作”，映情学技報，vol. 26，no. 41，pp. 5-8（2002）

［74］猪木原信幸，若松　武，浜本隆之，相澤清晴，“蓄積中間画像を用いたA／D変換機能を有するイメージセンサ”，映情学技報，vol. 26，no. 42，pp. 59-62（2002）

［75］長尾祥一，浜本隆之，“物体抽出と距離推定を行う2眼イメージセンサの設計”，信学技報，vol. 102，no. 340，pp. 71-76（2002）

［76］北見大岳，浜本隆之，“動き推定機能を有するイメージセンサの設計”，Image Media Processing Symposium（IMPS02），I-2.21，pp. 73-74（2002）

［77］清水　聡，浜本隆之，“広視野撮像のためのランダムアクセスイメージセンサ”，Image Media Processing Symposium（IMPS02），I-4.20，pp. 119-120（2002）

［78］菅井男也，浜本隆之，“スマートセンサを用いた移動物体追跡システムの方式検討”，Image Media Processing symposium（IMPS02），I-2.20，pp. 71-72（2002）

［79］長尾祥一，浜本隆之，“1チップ2眼イメージセンサ上での動物体抽出と距離推定”，Image Media Processing Symposium（IMPS02），I-1.04，pp. 31-32（2002）

［80］猪木原信幸，浜本隆之，相澤清晴，“ディジタルスマートイメージセンサのためのA/D変換回路の設計”，第6回システムLSI琵琶湖ワークショップ（2002-11）

［81］安田隆哉，浜本隆之，相澤清晴，“広ダイナミックレンジ撮像を行う可変蓄積時間イメージセンサの試作と評価”，第6回システムLSI琵琶湖ワークショップ（2002）

［82］S. Kimura, A. Ishii, T. Horiyama, M. Nakanishi, H. Kajihara, and K. Watanabe, “Look Up Table Compaction Based on Folding of Logic Functions”, IEICE Trans. Fundamentals, vol. E85-A, no. 12, pp. 2701-2707, December 2002.

［83］梶原裕嗣，中西正樹，堀山貴史，木村晋二，渡邉勝正，“論理関数の畳み込み機構を導入した省面積FPGAの実現と評価”，電子情報通信学会，信学技報，VLD2002-1226，pp. 37-42，2003年1月.

［84］梶原裕嗣，堀山貴史，中西正樹，木村晋二，渡邉勝正，“論理関数の畳み込みを考慮したLook Up Tableの設計と実現”，DAシンポジウム2002，pp. 223-228，2002年7月.

［85］木村晋二，石井　淳，堀山貴史，梶原裕嗣，中西正樹，渡邉勝正，“論理関数の畳み込みを考慮したLook Up Tableの構造”，第15回 回路とシステム（軽井沢）ワークショップ，pp. 281-286，2002年4月.

［86］S. Kimura, T. Horiyama, M. Nakanishi, and H. Kajihara, “Folding of Logic Functions and Its Application to Look Up Table Compaction”, Proc. of International Conference on Computer Aided Design（ICCAD2002）, pp. 694-698, November 2002.

［87］Y. Kojima, H. Saito, K. Seto, S. Komatsu, and M. Fujita, “Field Modifiable Architecture and Its Design Methodology -- System Design Without Logic Synthesis --”, IEEE/ACM 11th International Workshop on Logic & Synthesis, pp. 103-108, New Orleans, Jun. 2002.

［88］K. Seto, Y. Kojima, H. Saito, S. Komatsu, and M. Fujita, “Field Modifiable Architecture and its Design Method”, Student Research Forum（Poster Session）, ACM SIGPLAN 2002 Conference on Programming Language Design and Implementation（PLDI）, Berlin, Germany, 2002.

［89］Masao Kubo, Masahiro Fujita, “Debug Methodology for Arithmetic Circuits on FPGAs” In Proc. of IEEE International Conference on Field-Programmable Technology（FPT-02）, pp. 236-242, Dec. 2002.

［90］S. Komatsu, Y. Koijima, H. Saito, K. Seto, and M. Fujita, “Field Modifiable Architecture with FPGAs and its Design Methodology”, 2002 IEEE International Conference on Field-Programmable Technology, pp. 382-385, Dec. 2002.

［91］M. Fujita, S. Komatsu, H. Saito, K. Seto, T. Sakunkonchak, and Y. Kojima, “Field Modifiable Architecture with FPGAs and its Design / Verification / Debugging Methodologies”, Proc. of the 36th Annual Hawaii International Conference on System Sciences 2003, p. 279, Jan. 2003.

VDEC

［92］S. Komatsu, M. Fujita, “Irredundant Address Bus Encoding Techniques based on Adaptive Codebooks for Low Power”, Proc. Asia South Pacific Design Automation Conference, pp. 9-14, Jan. 2003.

［93］小松　聡, 藤田昌宏, “ 低電力設計のための非冗長アドレスバス符号化手法の提案・評価 ”, DA シンポジウム 2002, 遠鉄ホテルエンパイア（浜松市）, pp. , 2002 年 7 月.

［94］劉　宇, 世羅元啓, 小松　聡, 藤田昌宏, “Integration of logic optimization and layout processes by using rewriting method”, DA シンポジウム 2002, 遠鉄ホテルエンパイア（浜松市）, pp. , 2002 年 7 月.

［95］久保賢生, 藤田昌宏, “ 算術演算回路のデバッグ支援技術 ”, 電子情報通信学会技術研究報告, Vol. 102 No. 478, pp. 79-84 2002 年 11 月.

［96］Kh. Hadidi, 大島, 佐々木, 松本, “2.5V CMOS Fully Differential Low Power High Linearity Analog Line-Driver”, 電子情報通信学会 2003 年総合大会（2003）

［97］Kh. Hadidi, 大島, 佐々木, 松本, “2.5V CMOS Fully Differential Low Power High Linearity Analog Line-Driver”, pp. 67-72, 第 16 回回路とシステム（軽井沢）ワークショップ（2003）

［98］小野, 佐々木, 松本, “ 有線 CDMA インターフェースシステムの検討 ”, 電子情報通信学会 2003 年総合大会（2003）

［99］内田裕志, 三谷陽介, マタウシュハンスユルゲン, 小出哲士, 弘中哲夫, “ バンク構造を用いた高並列プロセッサ向き小面積多ポートレジスタファイル ”, 信学技報 CAS-2002-47, pp. 31-36, (2002).

［100］内田裕志, 三谷陽介, マタウシュハンスユルゲン, 小出哲士, 弘中哲夫, “ マルチバンク構造による小面積多ポートレジスタファイル ”, 信学技報 ICD2002-155, pp. 175-180, (2002).

［101］深江誠二, 大森伸彦, マタウシュハンスユルゲン, 小出哲士, 井上智宏, 弘中哲夫, “ バンク型マルチポートメモリにおける階層構造とクロスバ構造の比較 ”, 信学技報, CAS-2002-48, pp. 37-42 (2002).

［102］深江誠二, 大森伸彦, マタウシュハンスユルゲン, 小出哲士, 井上智宏, 弘中哲夫, “ クロスバ機能の分散による多ポートメモリのトランジスタとグローバル信号数の最小化 ”, 平成 14 年度電気・情報関連学会中国支部第 53 回連合大会講演論文集, 14012, pp. 387-388 (2002).

［103］上口　光, 朱　兆旻, マタウシュハンスユルゲン, 小出哲士, 平川　泰, 弘中哲夫, “ 階層型多バンクメモリを用いた多ポートキャッシュの設計 ”, 電子情報通信学会 VLSI 設計技術研究会技術研究報告, VLD2002-110, Vol. 102, No. 476, pp. 169-174, 滋賀県守山市（2002 年 11 月）

［104］溝上政弘, 矢野祐二, 本田　稔, マタウシュハンスユルゲン, 小出哲士, “ 長い参照パターンを並列処理可能なディジタル・アナログ混載連想メモリの性能評価 ”, 平成 14 年度電気・情報関連学会中国支部第 53 回連合大会講演論文集, 101309, pp. 283-284 (2002).

［105］上口　光, 朱　兆旻, Hans Juergen Mattausch, 小出哲士, 平川　泰, 弘中哲夫, “ 階層型多バンクメモリを用いた多ポートキャッシュの設計 ”, 第 4 回 IEEE 広島支部学生シンポジウム（HISS）論文集, pp. 266-269, 山口県山口市（2002 年 12 月）

［106］ 秋田純一・高安美佐子・高安秀樹・小泉　周,「興奮性信号の空間的伝播遅延を用いた任意方向動体検出イメージセンサアーキテクチャ」, 映像情報メディア学会技術報告, IPU2002-39, pp. 23-26, 2002.6.

［107］K. Okada, K. Yamaoka, H. Onodera, “A Statistical Gate Delay Model for Intra-chip and Inter-chip Variabilities”, pp. 31-36, Proc. ASP-DAC (2003)

［108］岡田健一, 山岡健人, 小野寺秀俊, “ ゲート内ばらつきを考慮した遅延ばらつきのモデル化手法 ”, p. 89, A-3-22, 電子情報通信学会総合大会（2003）

［109］岡田健一, 山岡健人, 小野寺秀俊, “ CMOS 論理ゲートにおけるセル内特性ばらつきを考慮した統計的遅延モデル化手法 ”, pp. 91-96, CPSY2002-66, 情報処理学会研究報告（2002）

［110］岡田健一, 山岡健人, 小野寺秀俊, “ CMOS 論理ゲートにおける統計的遅延モデル化手法 ”, pp. 109-110, 情報処理学会関西支部支部大会（2002）

［111］井口　誠, 星野洋昭, 岡田健一, 藤田智弘, 小野寺秀俊, “ スパイラルインダクタの最適設計手法 ”, pp. 247-252, vol. 2002, no. 10, 情報処理学会　DA シンポジウム論文集（2002）

［112］岡田健一, 小野寺秀俊, “ トランジスタ特性におけるチップ内ばらつきのモデル化手法 ”, pp. 1330-1337, vol. 43, no. 5, 情報処理学会論文誌（2002）

［113］岡田健一, 山岡健人, 藤田智弘, 小野寺秀俊, “ トランジスタ特性のチップ内ばらつきを考慮した統計遅延解析手法 ”, pp. 499-504, 第 15 回 回路とシステム（軽井沢）ワー

クショップ論文集(2002)

[114] 村松　篤, 橋本昌宜, 小野寺秀俊, “ オンチップデカップリング容量の最適寄生抵抗値の決定法 ”, p. 80, no. A-3-13, 電子情報通信学会総合大会(2003)

[115] 土谷　亮, 橋本昌宜, 小野寺秀俊, “ 信号配線と下層配線との結合に対する直交配線の影響 ”, p. 81, no. A-3-14, 電子情報通信学会総合大会(2003)

[116] 宮崎崇仁, 新名亮規, 橋本昌宜, 小野寺秀俊, “ オンチップオシロ用サンプルホールド回路の広周波数帯域化 ”, p. 103, no. C-12-34, 電子情報通信学会総合大会(2003)

[117] 山田祐嗣, 橋本昌宜, 小野寺秀俊, “ 静的遅延解析のための等価ゲート入力波形導出法 -VDSM プロセスに起因する波形歪みへの対応- ”, pp. 111-116, no. 2003-SLDM-108-20, 情報処理学会研究報告(2003)

[118] 山田祐嗣, 橋本昌宜, 小野寺秀俊, “ 容量性クロストークを考慮した高精度タイミング解析に関する研究 ”, pp. 113-114, 情報処理学会関西支部支部大会(2002)

[119] 山口隼司, 橋本昌宜, 小野寺秀俊, “ IR ドロップを考慮した電源線構造の最適化手法 ”, pp. 253-258, vol. 2002, no. 10, 情報処理学会 DA シンポジウム論文集(2002)

[120] 林　宙輝, 橋本昌宜, 小野寺秀俊, “ セルベース設計環境を用いた高性能データパス設計法の検討 ”, pp. 113-118, vol. 2002, no. 10, 情報処理学会　DA シンポジウム論文集(2002)

[121] 平松大輔, 土谷　亮, 橋本昌宜, 小野寺秀俊, “ 長距離高速信号伝送を可能にする VLSI 配線構造の検討 ”, pp. 155-160, vol. 2002, no. 10, 情報処理学会 DA シンポジウム論文集(2002)

[122] 土谷　亮, 橋本昌宜, 小野寺秀俊, “ VLSI 配線の伝送線路特性を考慮した駆動力決定手法 ”, pp. 1338-1347, vol. 43, no. 5, 情報処理学会論文誌(2002)

[123] M. Hashimoto, K. Fujimori, H. Onodera, “Standard Cell Libraries with Various Driving Strength Cells for 0.13, 0.18 and 0.35um Technologies”, pp. 589-590, Proc. ASP-DAC (2003)

[124] M. Hashimoto, Hidetoshi Onodera, “Increase in Delay Uncertainty by Performance Optimization”, pp. 2799-2802, vol. E85-A, no. 12, IEICE Transactions on Fundamentals (2002)

[125] M. Hashimoto, D. Hiramatsu, A. Tsuchiya, H. Onodera, “Interconnect Structures for High-Speed Long-Distance Signal Transmission”, pp. 426-430, Proc. IEEE ASIC/SoC Conference (2002)

[126] M. Hashimoto, Y. Hayashi, H. Onodera, “Experimental Study on Cell-Base High-Performance Datapath Design”, pp. 283-287, Proc. IWLS (2002)

[127] M. Hashimoto, M. Takahashi, H. Onodera, “Crosstalk Noise Optimization by Post-Layout Transistor Sizing”, pp. 126-130, Proc. International Symposium on Physical Design (2002)

[128] K. Kobayashi, J. Yamaguchi, H. Onodera, “Measurement Results of On-chip IR-drop”, pp. 521-524, Proc. CICC (2002)

[129] 荒本雅夫, 湯山洋一, 小林和淑, 小野寺秀俊, “ 動作合成における制約条件の検討 ”, p. 74, vol. , no. A-3-7, 電子情報通信学会総合大会(2003)

[130] Y. Yuyama, M. Aramoto, K. Takai, K. Kobayashi, H. Onodera, “Heterogeneous Processor Architecture and Its Design Methodology to Shorten the Design Period of Embedded SoCs”, pp. 351-356, Proc. of SASIMI 2003 (2003)

[131] 湯山洋一, 荒本雅夫, 高井幸輔, 小林和淑, 小野寺秀俊, “ 機能特化型プロセッサアレイによる SoC アーキテクチャ ”, pp. 31-36, vol. , no. ICD2002-169, 信学技報 (2002)

[132] 樋口昭彦, 小林和淑, 小野寺秀俊, “ プロセッサと専用ハードウェアでの消費エネルギー比較 ”, pp. 111-112, 情報処理学会関西支部支部大会(2002)

[133] 荒本雅夫, 湯山洋一, 小林和淑, 小野寺秀俊, “ MPEG-4 エンコーダのシステムレベル設計 ”, pp. 31-36, vol. 2002, no. 10, 情報処理学会 DA シンポジウム 2002 論文集 (2002)

[134] 荒本雅夫, 湯山洋一, 高井幸輔, 小林和淑, 小野寺秀俊, “ SystemC の RTL 記述を用いた SH 互換プロセッサの設計 ”, pp. 33-38, vol. , no. IE2002-75, 信学技報(2002)

[135] H.Kimura, T.Hanyu, and M.Kameyama, “Implementation of a DRAM-Cell-Based Multiple-Valued Logic-in-Memory Circuit”, IEICE Trans. Electron., Vol.E85-C, No. 10, pp. 1814-1823 (2002).

[136] H.Kimura, T.Hanyu and M.Kameyama, “Multiple-Valued Logic-in-Memory VLSI Using MFSFETs and Its Applications”, Multiple Valued Logic-An International Journal (to be published).

[137] H.Kimura, T.Hanyu and M.Kameyama, “Multiple-Valued Logic-in-Memory VLSIBased on Ferroelectric Capacitor

VDEC

Storage and Charge Addition", in Proc.32nd IEEE Int. Symp. Multiple-Valued Logic (ISMVL), pp. 161-166, 2002

[138] H.Kimura, T.Hanyu, M.Kameyama, Y.Fujimori, T.Nakamura and H.Takasu, "Ferroelectric-Based Functional Pass-Gate for Low-Power VLSI", in IEEE Symp. VLSI Circuits (VLSI) Dig. Tech. Papers, pp. 196-199, 2002.

[139] H.Kimura, T.Hanyu and M.Kameyama, "VLSI System Based on FerroelectricLogic-in-Memory Architecture", in Int. Symp. New Paradigm Computing, pp. 60-65, 2002.

[140] T. Ike, T. Hanyu and M. Kameyama, "Optimal Design of a Dual-Rail Multiple-Valued Current-Mode Integrated Circuit Based on Voltage Swing Minimization", Multiple Valued Logic. (to be published).

[141] T. Ike, T. Hanyu, and M. Kameyama, "Fully Source-Coupled Logic Based Multiple-Valued VLSI", Proc. 32nd IEEE Int. Symposium on Multiple-Valued Logic, no. 32, pp. 270-275, Boston, Massachusetts, USA, May 2002.

[142] H.Kimura, T.Hanyu, M.Kameyama, Y.Fujimori, T.Nakamura and H.Takasu, "Complementary Ferroelectric-Capacitor Logic and Its Application", in IEEE Int. Solid-State Circuits Conf. (ISSCC)Dig. Tech. Papers, pp. 160-161 (2003).

[143] 木村啓明，羽生貴弘，亀山充隆，藤森敬和，中村　孝，高須秀視，" 強誘電体デバイスに基づくロジックインメモリ VLSI の構成 "，信学技報，ICD2002-9 (2002-4)，pp. 7-12，2002.

[144] 木村啓明，羽生貴弘，亀山充隆，藤森敬和，中村　孝，高須秀視，" 強誘電体デバイスを用いた機能パスゲートと低電力 VLSI への応用 "，電気学会　電子材料研究会資料，EMF-02-9 〜 18，pp. 57-62，2002.

[145] 周　隆之，亀山充隆，" 分散制御に基づくロジックインメモリ形超並列 VLSI プロセッサの構成 "，電気関係学会東北支部連合大会，1D18，p. 130，2003.

[146] 高橋知宏，羽生貴弘，亀山充隆，" 多値双方向データ転送に基づく非同期 VLSI システム " 多値論理研究ノート，Vol. 25，No. 5，pp. 5-1 〜 5-10, 2002.

[147] 藤原　誠，亀山充隆，" 超高基数 Signed-Digit 数高並列演算ハードウェアアルゴリズムとその VLSI 化 "，多値論理研究ノート，Vol. 25，No. 4，pp. 5-1 - 5-10, 2002.

[148] 大澤尚学，張山昌論，亀山充隆，" ビットシリアル演算セルに基づくフィールドプログラマブル VLSI プロセッサの構成 "，信学技報，ICD2002-64，pp. 1-6，2002.

[149] 池　司，羽生貴弘，亀山充隆，" ソース結合形多値集積回路の高性能化と画像処理 VLSI プロセッサへの応用 "，信学技報，vol. 102，no. 400，pp. 45-50，Oct. 2002.

[150] 大澤尚学，張山昌論，亀山充隆，" リアルワールド応用フィールドプログラマブル VLSI プロセッサの構成とその開発環境 "，第 45 回自動制御連合講演会，2P2-B6，pp. 489-492，2002.

[151] 高田雅士，亀山充隆，" ベイジアンネットワークに基づく軌道予測とその VLSI 化 "，台 45 回自動制御連合講演会，2P2-B3，pp. 481-482，2002.

[152] 山口通智，羽生貴弘，亀山充隆，" 適応的電源電圧制御に基づく低消費電力 VLSI プロセッサの構成に関する研究 "，第 45 回自動制御連合講演会，pp. 493-494，2P2-B7，2002.

[153] 亀山充隆，羽生貴弘，木村啓明，" 強誘電体ロジックインメモリアーキテクチャに基づくシステム LSI の展望 "，信学技報，ICD2002-172，pp. 47-52, 2002.

[154] 木村啓明，羽生貴弘，亀山充隆，藤森敬和，中村　孝，高須秀視，" 強誘電体デバイスを用いた機能パスゲートと低電力 VLSI への応用 "，電気学会　電子材料研究会資料，EMF-02-9 〜 18，pp. 57-62，2002.

[155] 大澤尚学，張山昌論，亀山充隆，" メモリベーストセルを用いたフィールドプログラマブル VLSI プロセッサの設計と評価 "，電子情報通信学会総合大会，C-12-5，p. 74，2003.

[156] 木村啓明，羽生貴弘，亀山充隆，" 不揮発性デバイスを用いたロジックインメモリ VLSI の構成 "，信学技法 (掲載予定).

[157] Hirofumi Yamamoto, Keishi Chikamura, Atsuhito Shigiya, Kosuke Tsujino, Tomonori Izumi, Takao Onoye, Yukihiro Nakamura, "System-Level Design of IEEE1394 Bus Segment Bridge", in Proc. of 15th International Symposium on System Synthesis (ISSS'02), p74-79, 2002/10

[158] Hiroshi Tsutsui, Takahiko Masuzaki, Masayuki Oyamatsu, Tomonori Izumi, Takao Onoye and Yukihiro Nakamura, "JPEG2000 Fully Scalable Image Encoder by Configurable Processor", in 2002 Euromedia conference, pp. 168-172, 2002/04

[159] Hiroshi Tsutsui, Takahiko Masuzaki, Tomonori Izumi, Takao Onoye and Yukihiro Nakamura, "High Speed JPEG2000 Encoder by Configurable Processor", 2002 IEEE Asia Pacific Conference on Circuits and Systems, Vol. 1, pp. 45-50,

2002/10

[160] 筒井　弘，増崎隆彦，泉　知論，尾上孝雄，中村行宏，“コンフィギュラブルプロセッサを用いた JPEG2000 符号器の設計”，2002 年電子情報通信学会ソサイエティ大会，A-4-27，2002/09

[161] 湯浅隆史，冨田明彦，泉　知論，尾上孝雄，中村行宏，“BDD サイズに着目した PCA-Chip2 のための変数順序決定手法”，電子情報通信学会技術研究報告，DSP2002-122，Vol. 102，No. 399，pp. 19-23，2002 年 10 月

[162] 曽我祐紀，岡本卓也，杉本成範，泉　知論，尾上孝雄，中村行宏，“PCA-Chip2 におけるパイプライン通信機構の多チャネル化”，電子情報通信学会ソサイエティ大会，pp. 201-202，2002 年 9 月

[163] 曽我祐紀，岡本卓也，冨田明彦，杉本成範，泉　知論，尾上孝雄，中村行宏，“自己再構成能力をもつ LUT アレイ型 PLD, PCA-Chip2”，第 4 回 LSI IP デザイン・アワード，2002 年 5 月

[164] 曽我祐紀，杉本成範，泉　知論，尾上孝雄，中村行宏，“プラスティックセルアーキテクチャにおける可変論理部の粒度検討”，電子情報通信学会総合大会，C-12-26，2002 年 3 月

[165] 湯浅隆史，岡本卓也，杉本成範，泉　知論，尾上孝雄，中村行宏，“オブジェクトの再利用をはかる再構成スケジューリング手法”，第 20 回パルテノン研究会資料集，pp. 23-30，2002 年 5 月

[166] 中村光男，松岡俊匡，谷口研二，“短距離無線通信用電圧制御 CMOS 移相発振回路に関する研究”，電子情報通信学会論文誌 C，Vol. J85-C，No. 6，pp. 449-454 (2002).

[167] 小川　徹，谷口研二，“PLL 出力における 50% デューティ補償回路”，電子情報通信学会論文誌 C，Vol. J85-C，No. 7，pp. 557-563 (2002).

[168] Y. Shimizu, M. Nakamura, T. Matsuoka and K. Taniguchi , “Test Structure for Precise Statistical Characteristics Measurement of MOSFETs”, International Conference on Microelectronic Test Structures, pp. 49-54 (April 2002).

[169] M. Nakamura, T. Matsuoka and K. Taniguchi, “CMOS Phase-Shift VCO for Short-Range Wireless Communication”, International Symposium on Circuits and Systems, vol. IV, pp. 405-408 (May 2002).

[170] M. Eltokhy, B-K. Tan, T. Matsuoka and K. Taniguchi, “A 3.4-mW 128-MHz Analog Correlator for DS-CDMA Wireless Applications”, International Symposium on Circuits and Systems, vol. V, pp. 377-380 (May 2002).

[171] T. Ogawa and K. Taniguchi, “A 50% duty-cycle correction circuit for PLL output”, International Symposium on Circuits and Systems, vol. IV, pp. 21-24 (May 2002).

[172] M. A. R. Eltokhy, B-K. Tan, S. Shimizu, T. Matsuoka and K. Taniguchi, “Low-Power Consumption Analog-Type Matched-Filter for DS-CDMA Wireless Application”, IEEJ 6th International Analog VLSI Workshop, pp. 165-170 (September 2002).

[173] K. Taniguchi, “CDMA Bus for Parallel Processing Systems”, International Symposium on Network-on-Chip (Kyoto, October 2002).

[174] Mostafa A. R. Eltokhy，Tan Boon-Keat，松岡俊匡，谷口研二，“Low-Power Analog Correlator for DS-CDMA Wireless Application”，電子情報通信学会技術研究報告，ICD2002-45，pp. 59-64 (2002 年 7 月).

[175] 清水由幸，中村光男，松岡俊匡，谷口研二，“MOSFET マッチング特性の統計的評価とモデル化の検討”，電子情報通信学会技術研究報告，VLD2002-76，pp. 17-24 (2002 年 9 月).

[176] 清水新策，松岡俊匡，谷口研二，“CDMA 技術を用いた並列バス・インタフェース”，電子情報通信学会技術研究報告，ICD2002-164，pp. 1-5 (2002 年 12 月).

[177] 嶋村延幸，清水新策，高橋　賢，松岡俊匡，谷口研二，“チャージポンプを用いた高速アナログ相関器”，電気学会電子回路研究会講演論文集，ECT-03-24，pp. 23-28 (2003 年 1 月).

[178] 井田　司，清水新策，嶋村延幸，松岡俊匡，谷口研二，“有線 CDMA バス用ゲイン可変アンプ”，2003 年電子情報通信学会総合大会，C-12-44 (2003 年 3 月).

[179] Mostafa Eltokhy, Toshimasa Matsuoka, Kenji Taniguchi, “Speed-Power-Resolution Tradeoff in Analog Correlator Circuit”, 2003 年電子情報通信学会総合大会，A-5-3 (2003 年 3 月).

[180] Seiji Kameda and Tetsuya Yagi, “An analog VLSI chip emulating sustainedand transient response channels of the vertebrate retina”, IEEE trans. Neural Networks (2003). (Accepted).

[181] Kazuhiro Shimonomura, Keisuke Inoue, Seiji Kameda and Tetsuya Yagi, “A Novel Robot Vision Applicable to Real

VDEC

Time Target Tracking", Journal of Robotics and Mechatronics, Vol. 15, No. 2, pp. 534-540 (2003).

[182] S.Kameda and T.Yagi, "A silicon retina emulating the sustained and the transient responses", Proc. SIXTH INTERNATIONAL CONFERENCE ON COGNITIVE AND NEURAL SYSTEMS, Boston, the United States, (2002).

[183] Kazuhiro Shimonomura, Seiji Kameda and Tetsuya Yagi, "Silicon retina system applicable to robot vision", INNS/IEEE International Joint Conference on Neural Networks, Honolulu, Hawaii, USA (2002).

[184] Kazuhiro Shimonomura, Seiji Kameda and Tetsuya Yagi, "A robot vision system using silicon retina", 4th International Forum on Multimedia and Image Processing, Orland, Frolida, USA (2002).

[185] Seiji Kameda and Tetsuya Yagi, "Calculating direction of motion with sustainedand transient responses of silicon retina", Proc. SICE Annual Conference 2002 in Osaka, pp. 2374-2379, Osaka (2002).

[186] Kazuhiro Shimonomura, Keisuke Inoue, Tetsuya Yagi, "A target tracking employing a silicon retina system", Proc. SICE Annual Conference in Osaka, pp. 1229-1230, Osaka (2002).

[187] 亀田成司, 八木哲也, " 生体網膜の時空間微分機能を模擬したシリコン網膜の開発 ", 信学技報, vol. 102, no. 151, pp. 19-24, 沖縄(2002).

[188] 亀田成司, 八木哲也, " 生体網膜の時空間フィルタ機能を有するシリコン網膜の開発 ", 映情学技報, vol. 26, no. 42, pp. 27-30, 東京(2002).

[189] 亀田成司, 八木哲也, " シリコン網膜を用いた方向・方位検出 ", 信学技報, vol. 102, no. 430, pp. 117-122, 北九州(2002).

[190] 亀田成司, 下ノ村和弘, 井上恵介, 八木哲也, " シリコン網膜を用いた脳型視覚システムの開発 ", システムインテグレーション部門講演会講演論文集(I), pp. 405-406, 神戸(2002).

[191] 下ノ村和弘, 亀田成司, 井上恵介, 八木哲也, " 脳型ロボットビジョン ", 日本機械学会ロボティクスメカトロニクス講演会 2002, 講演論文集 CD-ROM 2P2-G05 (1)-(2), 島根(2002).

[192] 下ノ村和弘, 井上恵介, 亀田成司, 八木哲也, " シリコン網膜システムを用いた実環境における動的画像処理 ", 映情学技術報告 vol. 26, no. 42, pp. 31-33, 東京(2002).

[193] 下ノ村和弘, 井上恵介, 亀田成司, 八木哲也, " シリコン網膜を用いたターゲットトラッキング ", 信学技報 NC2002-86, pp. 123-126, 北九州(2002).

[194] Kazuya Nakayama, Kazuhiko Kojima, Yutaka Imai, Toshihiko Kasai, Sanae Fukushima, Akio Kitagawa, Minoru Kumeda, Yoshio Kakimoto and Masakuni Suzuki, "Nonvolatile Memory Based on Phase Change in Se-Sb-Te Glass", Jpn. J. Appl. Phys., Vol. 42, Pt.1, pp. 404-408 (2003).

[195] 有賀健太, 尾形秀範, 北川章夫, 柿本芳雄, " 超小型・低消費電力ワイヤレスモジュール ", pp. 227-223, 第 6 回システム LSI ワークショップ (2002).

[196] 福島早奈恵, 中山和也, 源　貴利, 柿本芳雄, 吉本雅彦, 北川章夫, " CMOS　LSI に組み込み可能な相変化不揮発性メモリ ", pp. 211-214, 第 6 回システム LSI ワークショップ (2002).

[197] 小谷明也, 北川章夫, " 半導体を使わない歪みトンネリングデバイスの提案 ", pp. 31-33, 電子情報通信学会通学技報 OME2002-85 (2002).

[198] 中山和也, 福島早奈恵, " 相変化型不揮発性メモリーの現状と可能性 ", pp. 1513-1517, 応用物理 Vol. 71 (2002).

[199] 北川章夫, " 量子系エミュレーションによる計算機システム ", pp. 75-79, 電気学会技術報告 Vol. 910 (2002).

[200] Akio Oki, Yuzuru Takamura, Yoshitaka Ito, and Yasuhiro Horiike, "pH Change of buffer solution in a microcapillary chip and its suppression", 2860-2864, Electrophoresis, 23, 2002 年 8 月

[201] M. Ueda, T. Hayama, Y. Takamura, Y. Horiike, Y. Baba, "Investigation of the possibility of geometrical electrophoresis", 2635-2641, Electrophoresis, 23, 2002 年 8 月

[202] Yuzuru Takamura, Hiroyuki Onoda, Hiromichi Inokuchi, Sakuichiro Adachi, Akio Oki, and Yasuhiro Horiike, "Low-voltage electroosmosis pump for stand-alone microfluidics devices", 185-192 , Electrophoresis, 24, 2003 年 1 月

[203] Y. Horiike, A. Oki, H. Onoda, H. Ogawa, T. Fukazawa, M. Takai, and Y. Takamura, "Clinical Chip Checking our Health at Home by Analyzing Trace Blood Collected by Painless Needle", The 2nd Taiwan-Japan Microelectronics International Symposium, April 18 (Thu.)-19 (Fri.), 2002, Hsinchu, Taiwan (R.O.C.).　2002 年 4 月

[204] Y. Horiike, A. Oki, H. Ogawa, H. Onoda, M. Takai, T. Ichiki

and Y. Takamura, “Creation of bio-chips employing microfabrication technologies”, Joint international plasma symposium of 6th APcpst, 15TH SPSM, OS2002 AND 11th KAPRA, Jeju Island, Korea july 1-4, 2002 年　7 月

[205] K. Taniguchi, T. Fukasawa, H. Yoshiki, and Y. Horiike, “Generation of Integrated Atmospheric Microplasmas”, 75-80, Proc. of Int. Symp. on Dry Process 2002, Tokyo, 2002 年 10 月

[206] Y. Takamura, T. Hayama, M. Ueda, Y. Baba and Y. Horiike, “DNA trap-and-release element employing electric and hydro drag force fields for on-chip pre-treatment”, 317-319, Micro Total Analysis System 2002, Nara, Japan, Nov. 3-7, 2002 年 11 月

[207] H. Onoda, Y. Takamura and Y. Horiike, “Electric damage free separation chip of lymphocyte sub-unit employing high pressure electroosmosis pump”, 955-957, Micro Total Analysis System 2002, Nara, Japan, Nov. 3-7 2002 年 11 月

[208] Y. Tezuka, M. Ueda, Y. Baba, H. Nakanishi, T. Nishimoto, Y.Takamura and Y. Horiike, “DNA size separation employing micro-fabricated monolithic nano-structure”, 212-214, Micro Total Analysis System 2002, Nara, Japan, Nov. 3-7, 2002 年 11 月

[209] M. Ueda, Y. Takamura, Y. Horiike and Y. Baba, “Development of electrochemical methods for monitoring of single macromolecule processes”, 488-490, Micro Total Analysis System 2002, Nara, Japan, Nov. 3-7, 2002 年 11 月

[210] Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, “50 GHz Frequency Divider Using Resonant Tunneling Chaos Circuit”, Electron. Lett., Vol. 38, pp. 305-306,（2002）

[211] Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, “High-Speed Operation of a Novel Frequency Divider Using Resonant Tunneling Chaos Circuit”, Jpn. J. Appl. Phys., Vol. 41, pp. 1150-1153,（2002）

[212] T. Aoyama, Y. Ohno, S. Kishimoto, K. Maezawa, T. Miztutani, “Effects of the HEMT Parameters on the Operation Frequency of Resonant Tunneling Logic Gate MOBILE”, Electronics and Communications in Japan, Part 2, Vol. 85, pp. 1-6,（2002）

[213] K. Maezawa, T. Tanaka, T. Mizutani, “A novel resonant tunneling logic gate capable of 100 fs/gate class operation”, Inst. Phys. Conf. Ser., No. 170, Chapter 1, pp. 57-62（2002）

[214] K.Eguchi, F.Ueno, H.Zhu, T.Tabata, and M.Jayawickrema, “Design of a communication-aid circuit to detect eye-gazed patterns”, Proc. of the International Technical Conference on Circuits/Systems, Computers and Communications, vol. 1, pp. 470-473（2002）

[215] K.Eguchi, F.Ueno, H.Zhu, T.Tabata, and Y.Ootani, “An IC chip of a cell-network type circuit constructed with 1-dimensional chaos circuits”, Proc. of the International Technical Conference on Circuits/Systems, Computers and Communications, vol. 3, pp. 2000-2003（2002）

[216] 水谷，三上，村松，佐々木，周，菊池，“５/３ウェーブレット変換のためのインプレース演算モジュール”，電子情報通信学会信越支部大会，新潟大学，pp. 89-90,（Oct. 2002）

[217] 水谷，三上，村松，佐々木，周，菊池，“離散ウェーブレット変換のためのインプレース演算モジュール”，第 17 回ディジタル信号処理シンポジウム，函館大沼プリンスホテル，D7-2,（Nov. 2002）

[218] T.Ishida, T.Soyama, S.Muramatsu, H.Kikuchi and T.Kuge, “Lifting Implementation of Reversible Deinterlacer”, Proc. of ITC-CSCC2002, Vol. 1, pp. 90-93, Phuket Thailand,（July 2002）.

[219] 曽山竜海，石田拓麿，村松正吾，菊池久和，久下哲郎，“完全再構成デ・インタレース化処理のリフティング実装”，回路とシステム（軽井沢）ワークショップ論文集，pp. 89-94（Apr. 2002）.

[220] 深瀬政秋，塩路和秀，今井礼大，村上大祐，三国勝志，“モバイルコンピューティング用マルチメディアプロセッサの設計と開発”信学技報，Vol. 102，No. 400（DSP2002-130~137），pp. 3-18，2002 10 月.

[221] 佐藤，川元，伊藤，井上，“IC 内 RC 素子の性能評価の一方法”電子情報通信学会，機構デバイス研究会，EMD2002-48，Sep. 2002

[222] 川元，伊藤，井上，“アナログ PLL LSI に用いる CMOS プッシュプル回路の最適化 ”電子情報通信学会 2003 年総合大会，C-12-39，Mar. 2003

[223] K. Nakamura, N. Murakami, K. Takagi and N. Takagi, “A Real-time Lipreading LSI for Word Recognition”, pp. 303-306, Proc. of AP-ASIC 2002（2002）.

[224] 中村一博，村上則明，高木一義，高木直史，“唇の輪郭抽出と隠れマルコフモデルに基づく実時間リップリーディング LSI”，pp. 89-94，DA シンポジウム 2002（2002）.

[225] 水野知秀，篠原正行，高木一義，高木直史，“乗算器およ

VDEC

び除算器 IP の開発 ”，信学技報 VLD2002-115，ICD2002-159，DC2002-67，pp. 199-204，Nov. 2002.

［226］熊澤文雄，高木直史，高木一義，“ 浮動小数点 3D ユークリッドノルム計算回路の設計と評価 ”, FIT2002 情報科学技術フォーラム，LC-2，pp. 45-46，Sept. 2002.

［227］Y. Watanabe, N. Takagi and K. Takagi, “A VLSI Algorithm for Division in GF(2^m)Based on Extended Binary GCD Algorithm”, IEICE Trans. Fundamentals, vol. E85-A, no. 5, pp. 994-999, May 2002.

［228］N. Takagi, D. Matsuoka and K. Takagi, “Digit-Recurrence Algorithm for Computing Reciprocal Square-Root”, IEICE Trans. Fundamentals, vol. E86-A, no. 1, pp. 221-228, Jan. 2003.

［229］Masayuki MIYAMA, Osamu TOOYAMA, Naoki TAKAMATSU, Tsuyoshi KODAKE, Kazuo NAKAMURA, Ai KATO, Junichi MIYAKOSHI, Kousuke IMAMURA, Hideo HASHIMOTO, Satoshi KOMATSU, Mikio YAGI, Masao MORIMOTO, Kazuo TAKI and Masahiko YOSHIMOTO, “An Ultra Low Power Motion Estimation Processor for MPEG2 HDTV Resolution Video”, IEICE Trans., April 2003 (to be published)

［230］Masayuki MIYAMA, Osamu TOOYAMA, Naoki TAKAMATSU, Tsuyoshi KODAKE, Kazuo NAKAMURA, Ai KATO, Junichi MIYAKOSHI, Kousuke IMAMURA, Hideo HASHIMOTO, Satoshi KOMATSU, Mikio YAGI, Masao MORIMOTO, Kazuo TAKI and Masahiko YOSHIMOTO, “An Ultra Low Power, Realtime MPEG2 MP@HL Motion Estimation Processor Core with SIMD Datapath Architecture Optimized for Gradient Descent Search Algorithm”, IEEE 2002 Custom Integrated Circuits Conference, Florida, USA (2002.5), Proc. IEEE Custom Integ. Conf., 167-170 (2002)

［231］中村毎良，深山正幸，遠山　治，高松直樹，小竹　剛，加藤　藍，宮越純一，今村幸祐，橋本秀雄，小松　聡，八木幹雄，森本薫夫，瀧　和男，吉本雅彦：HDTV 対応低消費電力 MPEG2/MP@HL 動き検出プロセッサ LSI の開発，電子情報通信学会集積回路研究会，金沢(2002．5)，研究会予稿集(2002)

［232］宮越純一，黒田雄樹，深山正幸，今村幸祐，橋本英雄，吉本雅彦:MPEG4 応用超低消費電力動きベクトル検出コア LSI の研究，第 6 回システム LSI ワークショップ，琵琶湖（2002．11），講演資料集，及び，ポスタ資料集(2002)

［233］川上健太郎，大平英雄，深山正幸，吉本雅彦：フィードフォワード動的電圧制御による MPEG4 超低消費電力化アルゴリズム，第 6 回システム LSI ワークショップ，琵琶湖（2002．11），講演資料集，及び，ポスタ資料集(2002)

［234］吉本雅彦，深山正幸，大平英雄，川上健太郎，金森美和子:フィードフォワード型動的電圧制御による MPEG4 超低消費電力　アルゴリズム，平成 14 年度特定領域研究シンポジウム，仙台(2003．3)，平成 14 年度特定領域研究知的瞬時処理複合化集積システム (405) 予稿集／研究成果　報告書(2003)

［235］宮越純一，黒田雄樹，深山正幸，今村幸祐，橋本英雄，吉本雅彦：携帯動画像端末応用サブ mW・MPEG4 動き検出プロセッサコア IP (1)　－アルゴリズム－，電子情報通信学会，仙台 (2003．3)，2003 年総合大会講演論文集(2003)

［236］黒田雄樹，宮越純一，深山正幸，吉本雅彦：携帯動画像端末応用サブ mW・MPEG4 動き検出プロセッサコア IP (2)　－アーキテクチャー，電子情報通信学会，仙台(2003．3)，2003 年総合大会講演論文集(2003)

［237］井上淳平，深山正幸，吉本雅彦：動的電圧制御 VLSI 内蔵型 SRAM マクロの電源電圧動作マージン拡大　の検討，電子情報通信学会，仙台(2003．3)，2003 年総合大会講演論文集(2003)

［238］山本昌治，市川周一，“ データ依存回路による部分グラフ同型判定 ”, Proceedings of JSPP2002, pp. 175-176 (2002).

［239］S. Ichikawa, S. Yamamoto, “Data Dependent Circuit for Subgraph Isomorphism Problem”, Proceedings of 12th Int'l Conf. on Field Programmable Logic and Applications (FPL 2002) , LNCS 2438, Springer, pp. 1068-1071 (2002).

［240］S. Ichikawa, S. Yamamoto, “Data Dependent Circuit for Subgraph Isomorphism Problem”, IEICE Transactions on Information and Systems (to appear).

［241］山本浩司，市川周一，“ データ依存回路による隣接判定方式の評価 ”，2003 年電子情報通信学会総合大会 D-6-4, p. 64 (Mar. 2003).

［242］H.M.Go, J.Takayama, S.Ohyama and A.Kobayashi, “Variable Multi-valued Spatial Filter Detector with High Speed Exchangeable Weighting Function and lts Appication”, Proceedings of 2002 International Conference on Control, Automation and Systems, pp. 1302-1306, 2002

［243］Murat Gel, Shoji Takeuchi, Isao Shimoyama, “Fabrication Method for Out-of-plane, Micro-coil by Surface Micromachining”, Sensors and Actuators A, vol. 97-98, pp. 702-

708, 2002.

[244] Kazunori Hoshino, Isao Shimoyama, “Analysis of Elastic Micro Optical Components under Large Deformation”, Journal of Micromechanics and Microengineering, vol. 13, no. 1, pp. 149-154, Jan, 2003.

[245] Takashi Hasegawa, Kiyoshi Matsumoto, Isao Shimoyama, “30 μ m-pitch Stripes of OLED Patterned by Stamping Lift-Off Method”, 16th IEEE International Micro Electro Mechanical Systems Conference, Kyoto, Japan, Jan. 19-23, 2003.

[246] Murat Gel, Isao Shimoyama, “Sub-micron Thick High Sensitive Piezoresistive Cantilevers by Boron Etch Stop and Argon Implantation”, 16th IEEE International Micro Electro Mechanical Systems Conference, Kyoto, Japan, Jan. 19-23, 2003.

[247] Haruki Chujo, Kiyoshi Matsumoto, Isao Shimoyama, “A High Flow Rate Electro-osmotic Pump with Small Channels in Parallel”, 16th IEEE International Micro Electro Mechanical Systems Conference, Kyoto, Japan, Jan. 19-23, 2003.

[248] Tetsuo Kan, Kiyoshi Matsumoto, Isao Shimoyama, “Thin-film Waveguide with a Lens Effect Terminal for Optical Sensing Devices”, 16th IEEE International Micro Electro Mechanical Systems Conference, Kyoto, Japan, Jan. 19-23, 2003.

[249] Kazunori Hoshino, Kouichi Yamada, Kiyoshi Matsumoto, Isao Shimoyama, “A Diffraction-limited-resolution Full-color Display with a 10 μ m-square Visual Field”, 16th IEEE International Micro Electro Mechanical Systems Conference, Kyoto, Japan, Jan. 19-23, 2003.

[250] Nobuyuki Futai, Kiyoshi Matsumoto, Isao Shimoyama, “Simulation, Fabrication and Evaluation of Microinductor-based Artificial Tactile Mechanoreceptor Embedded in PDMS”, 16th IEEE International Micro Electro Mechanical Systems Conference, Kyoto, Japan, Jan. 19-23, 2003.

[251] Hiroaki Onoe, Kiyoshi Matsumoto, Isao Shimoyama, “3D Micro Self-assembly Using a Hydrophobic Interaction Controlled by SAMs”, 16th IEEE International Micro Electro Mechanical Systems Conference, Kyoto, Japan, Jan. 19-23, 2003.

[252] M. Nagata, T. Morie, and A. Iwata, “Modeling Substrate Noise Generation in CMOS Digital Integrated Circuits”, Proc. IEEE 2002 Custom IC Conference, pp. 501-504, May 2002.

[253] 永田，森江，岩田，“ CMOS デジタル回路の基板雑音発生モデル化手法 . ” pp. 65-pp. 69，電子情報通信学会技術研究報告 ICD2002-137，2002.

[254] 梶原，永田，瀧，“ RSA 暗号用高速べき乗剰余演算器の設計 ”，pp. 157-162，電子情報通信学会技術研究報告 ICD2002-152，2002.

[255] 永田，村坂，岩田，“ ミックストシグナル IC 設計のためのチップレベル基板雑音解析手法と適用事例 ”， pp. 25-30，電気学会電子回路研究会資料，2002.

[256] 永田，瀧，村坂，岩田，“ ミックストシグナル LSI のための基板雑音解析技術 ”， pp. 61-70，ユニバーシティ・プラザ資料集，Electronic Design and Solution Fair 2003，2003.

[257] 真島優輔，安浦寛人，“ システム LSI 向け 8 ビットプロセッサコア IP の開発 ”，電子情報通信学会技術研究報告，VLD2002-8（2002-05），May. 2002.

[258] 室山真徳，兵頭章彦，大隈孝憲，安浦寛人，“ アクティブビットを考慮した低電力データパス設計手法 ”，電子情報通信学会技術研究報告，VLD2002，May. 2002.

[259] 池兼次郎，萩原大輔，櫻井幸一，安浦寛人，“ AES における低消費電力アーキテクチャについて ”，コンピュータセキュリティシンポジウム 2002（CSS2002）論文集，pp. 407-412，Oct. 2002.

[260] Takanori Okuma, Yun Cao, Masanori Muroyama, Hiroto Yasuura, “Reducing Access Energy of On-Chip Data Memory Considering Active Data Bitwidth”, Proc. of International Symposium on Low Power Electronics and Design（ISLPED'02）, pp. 88-91, Aug. 2002.

[261] H. Ando, T. Morie, M. Nagata, and A. Iwata, “An Image Region Extraction LSI Based on a Merged/Mixed-Signal Nonlinear Oscillator Network Circuit”, 28th European Solid-State Circuits Conference（ESSCIRC 2002）, CP.11, pp. 703-706, Florence, Italy, Sept. 26, 2002.

[262] 森江　隆，岩田　穆，“ 脳機能に学ぶ画像認識集積システム ”，（招待論文）電子情報通信学会信学技報，CAS2002-37，VLD2002-51，DSP2002-77，2002 年 6 月，広島大学（東広島）

[263] 森江　隆，松浦知宏，岩田　穆，“ 確率的連想によるクラスタリングアルゴリズムの VLSI 実現 ”，電子情報通信学会総合大会，SA-2-2，2003 年 3 月，東北大学（仙台）.

[264] T. KAKIMOTO, H. OCHI, and T. TSUDA, “Datapath-Layout-Driven Design for Low-Power Standard-Cell LSI Implementation”, IEICE Trans. Fundamentals, vol. E85-A, no.

VDEC

12, pp. 2795-2798, Dec. 2002.

[265] 井上哲也，田村　淳，越智裕之，津田孝夫，“乗算器のBoothリコーダの回路方式について”，信学技報，Vol. 102, No. 161（回路とシステム研究会），pp. 131-136，2002年6月.

[266] 北浦直樹，越智裕之，津田孝夫，“DRCルールファイルからの設計規則抽出とその可視化”，信学技報，Vol. 102, No. 166（VLSI設計技術研究会），pp. 1-6，2002年6月.

[267] 越智裕之，鈴木達也，松永清香，河野陽一，津田孝夫，“IEEE754準拠単精度浮動小数点除算器IPライブラリの開発”，信学技報，Vol. 102，No. 476（VLSI設計技術研究会），pp. 205-210，2002年11月.

[268] 床　賢紀，越智裕之，津田孝夫，“兎･亀プロセッサの切替えによる低消費エネルギー化の提案”，信学技報，Vol. 102，No. 684（VLSI設計技術研究会），pp. 37-42，2003年3月.

[269] T. Nishimura, K. Kagawa, T. Hirai, J. Ohta, M. Nunoshita, M. Yamada, Y. Yamasaki, S. Sughishita, K. Watanabe, “Desing and Fabrication fo High-speed BiCMOS Image Sensor with Focused Read-out Mode for Optical Wireless LANJapan”, Tech. Digest 7th Optoelectronics and Communications Conf.（OECC2002）, 10P-13, pp. 12-213（2002）.

[270] K. Kagawa, T. Nishimura, J. Ohta, M. Nunoshita, Y. Yamasaki, M. Yamada, S. Sughishita, K. Watanabe, “An optical wirelesds LAN system based on a MEMS beam steerer and a vision chip”, Int'l Conf. Optics-photonics Design & Fabrication（ODF）, pp. 135-136（2002）.

[271] 香川景一郎，西村智博，平井隆夫，太田　淳，布下正宏，山嵜康司，山田雅司，杉下正蔵，渡辺國寛，“BiCMOSプロセスを用いた光無線LAN用ビジョンチップの開発”，映情学技報，Vol. 26（26），pp. 35-40（2002）.

[272] 西村智博，香川景一郎，太田　淳，布下正宏，山嵜康司，山田雅司，杉下正蔵，渡辺國寛，“光無線LAN用ビジョンチップの動作検証”，映情学技報，Vol. 26（41），pp. 33-36（2002）.

[273] K. Kagawa, T. Nishimura, H. Asazu, T. Kawakami, J. Ohta, M. Nunoshita, Y. Yamasaki, K. Watanabe, “A CMOS Image Sensor Working As High-Speed Photo Receiver as Well as a Position Sensor for Indoor Optical Wireless LAN Systems”, Tech. Dig. Electronic Imaging, 5017-11, p.254（2003）.

[274] K. Kagawa, T. Nishimura, T. Hirai, J. Ohta, M. Nunoshita, M. Yamada, Y. Yamasaki, S. Sughishita, K. Watanabe, “A vision chip with a focused high-speed read-out mode for optical wireless LAN”, Int'l Topical Meeting on Optics in Computing , pp. 183-185（2002）.

[275] Nakamura A., Takahashi H., Zhang L., Fukuda D., Ishitsu T., Nakazawa M., Misawa M., Murayama H., Clustering algorithm with adaptive shaping method for CdZnTe detectors, IEEE TRANSACTIONS ON NUCLEAR SCIENCE , vol. 49, no. 6, pp. 3295-3299, Part 2（2002）.

[276] Yano K., Takahashi H., Hagai C., Fukuda D., Nakazawa M., Yonezawa Y., Kishimoto S., Ino T., Furusaka M., Development of He-3 MSGC for neutron scattering experiment, IEEE TRANSACTIONS ON NUCLEAR SCIENCE, Vol. 49, No. 4, pp. 1634-1637, Part 1（2002）

[277] Pressler H., Koike M., Ohkubo M., Fukuda D., Noguchi Y., Ohno M., Takahashi H., Nakazawa M., Intermediate states of superconducting thermometers for x-ray microcalorimeters, APPLIED PHYSICS LETTERS, Vol. 81, No. 2, pp. 331-333（2002）.

[278] Shaaban N., Takahashi H., Hasegawa S., Suzuki A., “Application of genetic algorithms to charge loss correction in CdZnTe semiconductor detectors”, JAPANESE JOURNAL OF APPLIED PHYSICS PART 1-REGULAR PAPERS SHORT NOTES & REVIEW PAPERS, Vol. 41, No. 2A, pp. 908-914（2002）.

[279] Takahashi H., Mori K., Yokoi K., Fukuda D., Nakazawa M., Yasuda N., Yamamoto M., Hasegawa K., “Development of a new multi-grid-type microstrip gas chamber”, NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SPECTROMETERS DETECTORS AND ASSOCIATED EQUIPMENT, Vol. 477, No. 1-3, pp. 13-16（2002）.

[280] Masashi Ohno, Hiroyuki Takahashi, Daiji Fukuda, Yoshihiko Noguchi, Yuichi Kunieda, Tadashi Inou, Manabu Ataka, Fuminori Hirayama, Masataka Ohkubo and Hirohiko M.Shimizu, Masaharu Nakazawa, “Development of the X-ray microcalorimeter with an Ir superconducting transition edge sensor”, Ionizing Radiation, Vol. 28, No. 1 , pp. 21-27（2002）.

[281] Masashi Ohno, Hiroyuki Takahashi, Daiji Fukuda, Tadashi Inou, Yuichi Kunieda, Manabu Ataka, Fuminori Hirayama, Masataka Ohkubo and Hirohiko M.Shimizu, Masaharu Nakazawa, “Development of the X-ray microcalorimeters at The University of Tokyo” RIKEN Review No. 47, pp. 35-38（2002）.

[282] Masashi Ohno, Yoshihiko Noguchi, Daiji Fukuda, Hiroyuki Takahashi, Masaharu Nakazawa, Manabu Ataka, Masahiro

Ukibe, Fuminori Hirayama, Masataka Ohkubo and Hirohiko M.Shimizu, “Development of the X-ray microcalorimeter with a superconductive Ir layer”, AIP Conference Proceedings LOW TEMPERATURE DETECTORS the 9th International Workshop on Low Temperature Detectors 605 , pp. 259-262 (2002).

[283] Daiji Fukuda, Yoshihiko Noguchi, Masashi Ohno, Hiroyuki Takahashi, Manabu Ataka, Harald Pressler, Fuminori Hirayama, Masahiro Ukibe, Masataka Ohkubo, Hirohiko M.Shimizu and Masaharu Nakazawa, “TES X-ray Microcalorimeters with Single Element Superconductors”, AIP Conference Proceedings LOW TEMPERATURE DETECTORS the 9th International Workshop on Low Temperature Detectors 605 , pp. 263-266 (2002).

[284] Yoshihiko Noguchi, Hiroyuki Takahashi, Daiji Fukuda, Masashi Ohno, Masaharu Nakazawa, Manabu Ataka, Masahiro Ukibe, Fuminori Hirayama and Masataka Ohkubo, “A new Readout Scheme for Imaging TES Based on Cooling Time Measurement”, AIP Conference Proceedings LOW TEMPERATURE DETECTORS the 9th International Workshop on Low Temperature Detectors 605 , pp. 325-328 (2002).

[285] Masashi Ohno, Hiroyuki Takahashi, Daiji Fukuda, Yoshihiko Noguchi, Yuichi Kunieda, Tadashi Inou, Manabu Ataka, Fuminori Hirayama, Masataka Ohkubo and Hirohiko M.Shimizu, Masaharu Nakazawa, “Development of an X-ray microcalorimeter with a pixel-type Ir transition edge sensor”, The 10th Symposium on Radiation Measurements and Applications, Ann Arbor, MI, USA., May (2002).

[286] D. Fukuda, M. Ohno, H. Takahashi, T.Inou, Y.Kunieda, M.Ataka, M.Ohkubo, M. Nakazawa, “A New X-ray Microcalorimeter based on Pixellated TES Array”, Applied Superconductivity Conference, Houston, USA., August (2002).

[287] H. Pressler, M. Ohkubo, D. Fukuda, Y. Noguchi, M.Ohno, H.Takahashi, M.Nakazawa, “Imaging Analysis of Superconducting Transition Edge Sensors for Calorimeters”, Applied Superconductivity Conference, Houston, USA. , August (2002).

[288] H. Takahashi, K. Yokoi, K.Yano, D. Fukuda, M. Nakazawa, S. Kishimoto, T. Ino, M. Furusaka, K. Hasegawa, “Development of Multi-Grid-Type MSGC for Synchrotron Radiation and Spallation Neutron Source Applications”, The Sixth International Conference on Position Sensitive Detectors, Leicester, UK, Sep. (2002).

[289] T. Ishitsu, H. Takahashi, C. Hagai, K. Yano, M. Nakazawa, S. Kishimoto, M. Furusaka, T. Ino, K. Hasegawa, “Development of Charge Integrating Multi-grid Type MSGC”, The Sixth International Conference on Position Sensitive Detectors, Leicester, UK, Sep. (2002).

[290] H. Takahashi, T. Ishitsu, C. Hagai, K. Yano, M. Nakazawa, S. Kishimoto, M. Furusaka, T. Ino, K. Hasegawa, “Development of Charge Integrating type M-MSGC”, 2002 IEEE Nuclear Science Symposium, VA , USA, Nov. (2002).

[291] Design of New Front-end Electronics for Animal PET, Z. Deng, JY. Yeom, T. Ishitsu, M. Nakazawa, H. Takahashi, H. Murayama, IEEE Medical Imaging Conference, Norfolk, Virginia, Nov. 10-16, 2002.

[292] K. Minami, H. Tode, and K. Murakami, “Design of Buffer Controller for Flow-Based High Quality Communications”, IEICE Trans. Commun. vol. E86-B, no. 2, pp. 655-663, Feb. 2003.

[293] 南 勝也, 戸出英樹, 村上孝三, “高品質通信を実現する出力バッファ制御機構の実装”, 電子情報通信学会情報ネットワーク／ネットワークシステム共催研究会, NS2002-296, pp. 185-188, Mar. 2003.

[294] 井上 宏, 岩崎隆広, 沼 昌宏, 山本啓輔, “論理診断に基づく論理再合成手法”, DA シンポジウム 2002, pp. 229-234, 2002 年 7 月.

[295] Hiroshi Inoue, Takahiro Iwasaki, Masahiro Numa, and Keisuke Yamamoto, “An improved multiple error diagnosis technique using symbolic simulation with truth variables and its application to incremental synthesis for standard-cell design”, 11th Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI2003), pp. 61-68, Apr. 2003.

[296] 福岡一樹, 沼 昌宏, 山本啓輔, 金銅 恒, “BDD 形状を考慮したパス・トランジスタ論理セルによる低消費電力回路レイアウト方式”, DA シンポジウム 2002, pp. 235-240, 2002 年 7 月.

[297] Kazuki Fukuoka, Masahiro Numa, Keisuke Yamamoto, and Hisashi Kondoh, “A layout design approach for low power circuits using on-the-fly generation of pass transistor logic cells based on BDD structure”, 11th Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI2003), pp. 47-53, Apr. 2003.

[298] 福岡一樹, 沼 昌宏, 山本啓輔, 金銅 恒, “BDD 形状を考慮したパス・トランジスタ論理セルによる低消費電力回路レイアウト方式”, 情報処理学会論文誌, vol. 44, no. 5, 2003 年 5 月. (掲載予定)

[299] Kawae, Nakamura, Yamada, Morooka, Igarashi, Shim, Kuri-

VDEC

no, Koyanagi, “Parallel Image Processing LSI Fabricated Using Three-Dimensional Integration Technology”

[300] Shuu'ichirou Yamamoto, Susumu Inoue and Hiroshi Ishiwara, “Analysis of non-volatile latch circuits with ferroelectric-gate field effect transistors for low power and low voltage operation”, The 23rd International Conference on Microelectronics, Yugoslavia, May. 2002 Proceedings of the 23rd International Conference on Microelectronics, Nis, (2002) pp. 589-592.

[301] Hiroshi Ishiwara and Shuu'ichirou Yamamoto, “A Novel Data Writing Method in a 1T2C-Type Ferroelectric Memory”, The 23rd International Conference on Microelectronics, Yugoslavia, May. 2002 Proceedings of the 23rd International Conference on Microelectronics, Nis, (2002)pp. 517-520.

[302] Hiroshi Ishiwara and Shuu'ichirou Yamamoto, “A novel data writing method in a 1T2C-type ferroelectric memory”, Facta Universitatis (Nis)- Elec. Energ. Vol. 15 (2002)81-92.

[303] Shuu'ichirou Yamamoto, Hyun-Soo Kim, and Hiroshi Ishiwara; “Proposal of a planar 8F2 1T2C-type ferroelectric memory cell”, The 2002 International Conference on Solid State Devices and Materials, Nagoya, Sept. 2002 Extended Abstract of the 2002 International Conference on Solid State Devices and Materials, Nagoya, (2002)pp. 622-623.

[304] 山本修一郎，金ヒン季，石原　宏，“ 1T2C 型強誘電体メモリアレイにおける書込み・読出しデータディスターブ低減法 ”，第 63 回応用物理学会学術講演会，24p-P4-17，新潟，2002 年 9 月

[305] 金ヒン季，山本修一郎，石原　宏，“ 1T2C 型強誘電体の高集積化と SPICE による動作解析 ”，第 63 回応用物理学会学術講演会，24p-P4-18，新潟，2002 年 9 月

[306] 金ヒン季，山本修一郎，石原　宏，“ 1T2C 型強誘電体メモリにおけるデータディスターブの解析と低減法の提案 ”，電子情報通信学会シリコン材料・デバイス研究会，東京，2003 年 3 月

[307] 金ヒン季，山本修一郎，石原　宏，“ 1T2C 型強誘電体メモリアレイに対するデータ書き込みディスターブの低減法 ”，第 50 回応用物理学関係連合講演会　30a-R-10，横浜，2003 年 3 月

[308] 山本修一郎，石原　宏，“ 強誘電体を用いた不揮発性 CMOS ラッチ回路の消費電力の評価 ”，第 50 回応用物理学関係連合講演会　30a-R-11，横浜，2003 年 3 月

[309] 石川　徹，山本修一郎，石原　宏，“ SPICE による 1T2C 型強誘電体メモリアレイの動作解析 ”，第 50 回応用物理学関係連合講演会　30p-R-1，横浜，2003 年 3 月

[310] T.Ishikawa, S.Yamamoto, T.Fuchikami, T.Furukawa, K.Aizawa, B-.E.Park, S.Kikuchi, H.Ohki, H.Hoko, H.Ishiwara, “FABRICATION OF 1T2C-TYPE FERROELECTRIC MEMORY CELL ARRAY”, Ext. Abstr. 15th int. Symp. Integr. Ferroelectrics (2003)242-243.

[311] Hyun-soo Kim, Shuu'ichirou Yamamoto, and Hiroshi Ishiwara, “Operation Simulation of an 8F2 1T2C-Type Ferroelectric Memory Array with a Revised Data Writing Method”, Ext. Abstr. 15th int. Symp. Integr. Ferroelectrics (2003) 228-229.

[312] K. Degawa, T. Aoki and T.Higuchi, “Design of a Field-Programmable Digital Filter Chip Using Multi-le-Valued Current-Mode Logic”, Special Section on Digital Siginal Processing, IEICE Transactions on Fundamentals. (採録決定)

[313] K. Degawa, T. Aoki and T.Higuchi, “A Field-Programmable Digital Filter Chip Using Multi-le-Valued Current-Mode Logic”, Proceedings of the 33rd International Symposium on Multiple-Valued Logic, May 2003. (掲載予定)

[314] Y.Hayakawa, S.Suenaga, S.Sato and K.Nakajima, “Analysis and Measurement of Limit Cycles Generated on Neural Networks”, pp. 315-318, Proc. 2002 Int. Symp. on Nonlinear Theory and Its Applications (2002).

[315] T.Haga, F.Ishida, M.Kinjo, S.Sato and K.Nakajima, “Learning Algorithm for the Threshold of Nonmonotonic Neurons Composing a Boltzmann Machine”, pp. 687-690, Proc. 2002 Int. Symp. on Nonlinear Theory and Its Applications (2002).

[316] S.Akimoto, K.Nemoto, S.Sato, Y.Hayakawa and K.Nakajima, “Implementation of a new stochastic neurochip and a study on transitions”, pp. 917-920, Proc. 2002 Int. Symp. on Nonlinear Theory and Its Applications (2002).

[317] 吉沢真吾，宮永喜一，吉田則信，“ 一括並列処理による HMM 高速化手法およびその VLSI 設計 ”，電子情報通信学会論文誌 A，Vol. J85-A，No. 12 pp. 1440-1450，Dec 2002.

[318] F. Matsuzaki, K. Yoda, J. Koshiyama, K. Motoori and N. Yoshikawa, “Design of small RSFQ Microprocessor based on Cell-Based Top-Down Design Methodology”, pp. 659-664 IEICE Transactions on Electronics, vol. E85-C, No. 3 (2002).

[319] N. Yoshikawa, K. Yoda, H. Hoshina and F. Matsuzaki, “Cell-

Based Design Methodology for BDD RSFQ Logic Circuits -Tolerance of Basic Cells to Circuit Parameter Variations", pp. 156-160, Supercond. Sci. Technol., vol. 15 (2002).

[320] N. Yoshikawa, F. Matsuzaki, N. Nakajima and K. Yoda, "Design and Component Test of a 1-bit RSFQ Microprocessor", pp. 1454-1460, Physica C 378-381 (2002).

[321] K. Fujiwara, H. Hoshina, J. Koshiyama, and N. Yoshikawa, "Design and Component Test of RSFQ Packet Decoders for Shift Register Memories", pp. 1475-1480, Physica C378-381 (2002).

[322] Lionel Houlet, Philippe Helin, Taril Bourouina, Gilbert Reyne, Elisabeth Dufour-Gergam, and Hiroyuki Fujita, "Movable Vertical Mirror Arrays for Optical Microswitch Matrixes and Thier Electromagnetic Actuation", pp. 58-63, IEEE Journal on Selected Topics in Quantum Electronics, Vol. 8, No. 1, January/ February 2002.

[323] Eric Lebrasseur, Jean-Bernard Pourciel, Tarik Bourouina, Takahisa Masuzawa and Hirouki Fujita, "A new characterization tool for vertical profile mesurement of high-aspect-ratio microstructures", pp. 280-285, Journal of Micromechanics and Microengineering, 12 (2002).

[324] Tarik Bourouina, Amalia Garnier, and Hiroyuki Fujita, "Effect of direct current bias field and alternating current excititation field on vibration amplitudes and resonance frequencies of a magnetostrictively actuated bimorph microresonator", pp. 112-120, Journal of Applied Physics, vol. 91, No. 1, 1 January 2002.

[325] Laurent Griscom, Patrick Degenaar, Bruno LePioufle, Eiichi Tamiya and Hiroyuki Fujita, "Techniques for patterning and guidance of primary culture neurons on micro-electrode arrays", pp. 15-21, Sensors and Actuators B Chemical Volume 83, Issues 1-3, (15 March 2002).

[326] Junji Endo, Jun Chenm, Dai Kobayashi, Yasuo Wada and Hiroyuki Fujita, "Transmission laser microscope using the phase-shifting technique and its application to measurement of optical waveguides", pp. 1308-1314, Applied OPTICS, vol. 41, No. 7, 1 March 2002.

[327] Hideki Kawakatsu, Daisuke Saya, Atsushi Kato, Kimitake Fukushima, Hiroshi Toshiyoshi and Hiroyuki Fujita, "Millions of Cantilevers for Atomic Force Microscopy", pp. 1188-1192, Review of Scientific Instruments, Vol. 73, No. 3, March 2002.

[328] H. Kawakatsu, S. Kawai, D. Saya, M. Nagashio, D. Kobayashi, H. Toshiyoshi, and H. Fujita, "Towards Atomic Force Microscopy up to 100MHz", pp. 2317-2320, Review of Scientific Instruments, Vol. 73, No. 6, June 2002.

[329] 藤田博之, " 光 MEMS の通信デバイス応用 ", pp. 496-503, 電子情報通信学会誌, Vol. 85, No. 7 (2002).

[330] 安井　学, 平林康男, 藤田博之, 角嶋邦之, 三田　信, " Si 鋳型を用いた微細穴の試作 ", pp. 415-416, 電気学会論文誌 E, Vol. 122-E, No. 8 (2002).

[331] Isao Kobayashi, Mitsutoshi Nakajima, Kyoseok Chun, Yuji Kikuchi, Hiroyuki Fujita, "Silicon Array of Elongated Through-Holes for Monodisperce Emulsion Droplets", pp. 1639-1644, AIChE Journal, Vol. 48, No. 8 (2002).

[332] Kazunari Oka, Seiji Aoyagi, Yasuhiko Arai, Yoshitada Isono, Gen Hashiguchi, Hiroyuki Fujita, "Fabrication of a micro needle for a trace blood test", pp. 478-485, Sensors and Actuators A physical, A97-98 (2002).

[333] Jun Chen, Junji Endo and Hiroyuki Fujita, "High Precision Technique for Measuring the Index Profile of Optical Waveguides", pp. 375-378, Proceedings of the 19th Sensor Sympoium on Sensors, Micromachines, and Applied Systems, May 30-31 , 2002.

[334] Makoto Arai, Yamato Fukuta, Agnes Tixier, Yoshio Mita and Hiroyuki Fujita, "An Air-Flow Actuator Array Realized by Bulk Micromachining Technique", pp. 447-450, Proceedings of the 19th Sensor Sympoium on Sensors, Micromachines, and Applied Systems, May 30-31, 2002.

[335] M. Mita, H. Toshiyoshi and H. Fujita, "Hard-Disk Head Positi ning Mechanism using SOI Wafer", pp. 455-458, Proc. 19th SENSOR SYMPOSIUM, May 29-31, 2002.

[336] Hiroyuki Fujita, "Micro/Nano Machined Devices Probing into Nano/Bio World", pp. 912-917, Proceeding of the μTAS 2002 Symposium, 3-7 November 2002.

[337] N.Nozawa, K.Kakushima, G.Hashiguchi, H.Fujita, "Anisotropic Wet Etching for Fabrication of Silicon Nano Structures", 3rd Workshop on Physical Chemistry of Wet Etching of Silicon 2002.

[338] Gonzalo Cabodevila, Bruno Le Pioufle, Hiroyuki Fujita, "Arrayed Micro Needles for Mechanical Gene Insertion", SPIE's International Symposium on Smart Materials, Nano-, and Micro-Smart Systems (2002).

[339] N. Nozawa, K. Kakushima, G. Hashiguchi, H. Fujita, "Ani-

VDEC

sotropic Wet Etching for Fabrication of Silicon Nano Structures", 3rd Workshop on Physical Chemistry of Wet Etching of Silicon 2002.

[340] S. Kawai, D. Kobayashi, D. Saya, A. Kato, H. Toshiyoshi, H. Fujita and H. Kawakatsu, "Millions of Nanocantilevers and Towards Atomic Force Microscopy up to 100 MHz", pp. 29-33, Proceedings of the 19th Sensor Sympoium on Sensors, Micromachines, and Applied Systems, May 30-31, 2002.

[341] G. Hashiguchi, Y. Wada, J. Endo, H. Toshiyoshi and H. Fujita, "A Micromachined Nanoprobe Device and Its Application to Visual Observation of Nano Phenomena in a Transmission Electron Microscope", pp. 35-38, Proceedings of the 19th Sensor Sympoium on Sensors, Micromachines, and Applied Systems, May 30-31, 2002.

[342] Koji Shimamoto, Yoshitada Isono, Gen Hashiguchi, Yutaka Mihara, Hidenori Mimura, Toshiro Hiramoto and Hiroyuki Fujita, "Fablication of Quantum Wire for Single Electron Devices by LOCOS/SPM Anodization Techniques", pp. 43-46, Proceedings of the 19th Sensor Sympoium on Sensors, Micromachines, and Applied Systems, May 30-31, 2002.

[343] Manabu Yasui, Kuniyuki Kakushima, Yasuo Hirabayashi, Makoto Mita, Hiroyuki Fujita, "Micro Hole Forming Process Using a Silicon-Mold and Electrodeposition Photoresist", pp. 331-336, Proceedings of the 19th Sensor Sympoium on Sensors, Micromachines, and Applied Systems, May 30-31, 2002.

[344] L. Griscom, P. Degenaar, M. Denoual, F Morin, B.LePioufle, E. Tamiya, H. Fujita, "Culturing of Neurons in Microfluidic Arrays", 2nd Annual International IEEE-EMBS Special Topic Conference on Microtechnologies in Medecine & Biology, USA, may 2002.

[345] S. camou, J.P. Gouy, H. Fujita and T. Fujii, "Integrated 2-D optical lenses in PDMS layer to improve fluorescence spectroscopy using optical fibers", pp. 1-17, Sensors (2002).

[346] S. Camou, M. Kitamura, J.P. Gouy, H. Fujita Y. Arakawa and T. Fujii, "Organic Light Emitting device as a fluorescence spectroscopy's light source one step towards the lab-on-a-chip device", Int. Conf. On Application of Photonic Technology, June 2002.

[347] S. Camou, J.P. Gouy, H. Fujita, T. Fujii, "Integrated 2-D optical lenses in PDMS layer to improve fluorescence spectroscopy using optical fibers", pp. 1-17, in the proceeding of the Sensors (2002).

[348] S. Camou, M. Kitamura, J.P. Gouy, H. Fujita, Y. Arakawa, T. Fujii, "Organic Light Emitting device as a fluorescence spectroscopy's light source one step towards the lab-on-a chip device", to be published in the proceedings of Int. Conf. On Application of Photonic Technology, June 2002.

[349] A. Tixier-Mita, K. Cozic, M. Frenea, B. Le Pioufle and H. Fujita, "A Si Bio-MEMS for Ranging Precisely Cells using AspirationThrough Anisotropically Etched Nanometric Size Holes", MICRO-NANO SYSTEMS conference; Kyushu, Japan; August 6-7 (2002).

[350] Makoto Mita, Hiroshi Toshiyoshi, Hiroyuki Fujita, "Electrostatic Piggyback Microactuators for Head Element Positioning", submitted to Asia PacificMagnetic Recording Conference (APMRC)2002, Aug. 28-29, 2002.

[351] M. Denoual, F. Morin, L. Griscom, B. LePioufle, E. Tamiya, H. Fujita, "PDMS microsystems on the scale of neuronal cell", Chemicro-nanosystem, Japan, august 2002.

[352] F. Morin, M. Denoual, L. Griscom, B. LePioufle, H. Fujita, E. Tamiya, "Extracellular electrophysiological recordings from various cell types patterned in microsystems", Chemicro-nanosystem, Japan, august 2002.

[353] A. Tixier-Mita, K. Cozic, M. Frenea, B. Le Pioufle, H. Fujita, "A Si Bio-MEMS for Ranging Precisely Cells using Aspiration Through Anisotropically Etched Nanometric Size Holes", p. 33, MICRO-NANO SYSTEMS conference; Kyushu, Japan; August 6-7 2002.

[354] M. Denoual, F. Morin, L. Griscom, B. Le Pioufle, E. Tamiya, H. Fujita, "PDMS microsystems on the scale of neuronal cell", Chemicro-nanosystem, Japan, august 2002.

[355] F. Morin, M. Denoual, L. Griscom, B. Le Pioufle, H. Fujita, E. Tamiya, "Extracellular electrophysiological recordings from various cell types patterned in microsystems", Chemicro-nanosystem, Japan, august 2002.

[356] Hiroyuki Fujita, "Microelectromechanical Systems based on IC Processes", pp. 115-119, Proceedings of the 3rd Japan-Korea Joint Workshop on Advanced Semiconductor Processes and Equipments, October 9-10, 2002.

[357] M. Frenea, N. Melaine, B. LePioufle, A. Tixier, H. Fujita, "A Multilayer Microelectrode Array for Particle Separation by Dielectrophoresis", pp. 578-580, Proceeding of the μ TAS 2002 Symposium, 3-7 November 2002.

[358] Fabrice Morin, Matthieu Denoual, Laurent Griscom, Bruno LePioufle, Hiroyuki Fujtia, Eiichi Tamiya, "Controlling Cell

Development by Microfluidic Techniques a Step towards Whole-cell Biosensors with Defined Biological Features", pp. 515-517, Proceeding of the μ TAS 2002 Symposium, 3-7 November 2002.

[359] S. Camou, M. Kitamura, J-P. Gouy, H. Fujita, Y. Arakawa and T. Fujii, "Application of Organic Light Emitting Diode as an On-chip Light Source for Fluorescence Spectroscopy", pp. 287-289, Proceeding of the μ TAS 2002 Symposium, 3-7 November 2002.

[360] Agnes Tixier-Mita, Yoshio Mita, Katell Cozic, Marie Frenea, Bruno LePioufle and Hiroyuki Fujita, "To Place Cells as an Array Using Aspiration Technique", pp. 888-890, Proceeding of the μ TAS 2002 Symposium, 3-7 November 2002.

[361] Vinent Senez, Gonzalo Cabodevilla, Agnes Tixier-Mita, Serge Camou, Matthieu Denoual, Eric Leclerc, Teruo Fujii and Hiroyuki Fujita, "BIOMEMS Activities at LIMMS/CNRS-IIS", pp. 6, Proceedings of The 8th International Micromachine/Nanotech Symposium, 14 November 2002.

[362] Gonzalo Cabodevila, Bruno Le Pioufle, Hiroyuki Fujita, "Matrices de micro aiguilles pour l'insertion de genes", Reseau Thematique Pluridisciplinaire Microrobotique, 6-7 novembre 2002.

[363] S. Camou, J.P. Gouy, H. Fujita, T. Fujii, "Concept of lab-on-a-chip A disposable device to perform DNA detection flowing in a microchannel", Journees Sciences et Technologies symposium, nov. 2002.

[364] Gonzalo Cabodevila, Bruno Le Pioufle, Hiroyuki Fujita, "Matrices de micro aiguilles pour l'insertion de genes", Reseau Thematique Pluridisciplinaire Microrobotique, 6-7 novembre 2002.

[365] S. Camou, J.P. Gouy, H. Fujita, T. Fujii, "Concept of lab-on-a-chip A disposable device to perform DNA detection flowing in a microchannel", Journees Sciences et Technologies symposium, nov. 2002.

[366] Hiroshi Toshiyoshi, Makoto Mita, Hiroyuki Fujita, "A MEMS Piggyback Actuator for Hard-Disk Drives", pp. 648-654, Journal of Microelectromechanical Systems vol. 11, No. 6, December 2002.

[367] Gonzalo Cabodevila, Bruno Le Pioufle, Hiroyuki Fujita, "Arrayed Micro Needles for Mechanical Gene Insertion", SPIE's International Symposium on Smart Materials, Nano-, and Micro-Smart Systems, 16-18 December 2002.

[368] K. Shimamoto, Y. Isono, G. Hashiguchi, Y. Mihara, H. Mimura, T. Hiramoto and H. Fujita, "Fabrication of Quantum Wire for Single Electron Devices by LOCOS/SPM Anodization Techniques", pp. 43-46, Proceedings of the 19th Sensor Symposium, 2002.

[369] 藤田博之, "マイクロ・ナノシステムと未来の情報・通信への展開", マイクロナノ融合領域における昨日発現及びプロセス技術に関する調査研究ワークショップ「マイクロ・ナノ融合領域の新技術」講演予稿集(2002).

[370] 年吉　洋, 三田　信, 藤田博之, "ハードディスク磁気ヘッド駆動用シリコン静電マイクロアクチュエータ", 平成 14 年　電気学会全国大会(2002)

[371] 藤田博之, "光 MEMS の現状と展望", pp. 1-4, 応用物理学会第 83 回微小光学・第 2 回システムフォトニクス合同研究会資料(2002)

[372] Gonzalo Cabodevila, Marie Frenea, Agnes Tixier, Katell Cozic, Bruno Le Pioufle, Hiroyuki Fujita, "Arrayed Micro Needles and Electrodes for Aligned Cell Capture and Gene Insertion", p. 35, 第 5 回化学とマイクロシステム研究会講演予稿集(2002).

[373] F. Morin, M. Denoual, L. Griscom, P. Degenaar, E. Tamiya, H. Fujita, "Culture of Neuronal Cells in Microfluidics over a Microelectrode Array", p. 45, 第 5 回化学とマイクロシステム研究会講演予稿集(2002).

[374] 藤田博之, "イントロダクション－光 MEMS 技術の最近の動向", pp. 467-468, 2002 年電子情報通信学会総合大会(2002).

[375] 藪上　信, 角嶋邦之, 山口正洋, 荒井賢一, 藤田博之, "薄膜電極を用いた微細磁性薄膜の透磁率計測 2", p. 143, 平成 14 年　電気学会全国大会講演予稿集(2002).

[376] 三田　信, 年吉　洋, 藤田博之, "大変位静電マイクロアクチュエータ", p. 182, 平成 14 年　電気学会全国大会講演予稿集(2002).

[377] 佐藤　憲, 三田　信, 小林　大, 藤田博之, "２次元静電インパクトマイクロアクチュエータ", pp. 183-184, 平成 14 年　電気学会全国大会講演予稿集(2002).

[378] 飯塚哲彦, 三田　信, 藤田博之, "ハードディスクドライブ用静電駆動マイクロアクチュエータ__高アスペクト比シリコンエッチングによるアクチュエータの製作", pp. 190-191, 平成 14 年　電気学会全国大会講演予稿集(2002).

VDEC

[379] 年吉　洋，三田　信，藤田博之，“ ハードディスク磁気ヘッド駆動用シリコン静電マイクロアクチュエー ”，p. 192，平成 14 年　電気学会全国大会講演予稿集(2002).

[380] 年吉　洋，三田　信，藤田 博之，“ SOI 基板によるハードディスクヘッドの位置決め機構 ”，第 19 回　センサ・マイクロマシンと応用システムシンポジウム（2002).

[381] 藤田博之，“ シリコンマイクロシステムと細胞操作への応用 ”，p. 14，第 40 巻特別号第 41 回日本エム・イー学会大会抄録・論文集(2002).

[382] 福田和人，荒井　誠，三田吉郎，アニエスティクシエ，藤田博之，“ バルクマイクロマシンによるアレイ型エアーフローアクチュエータ ”，ロボティクス・メカトロニクス講演会 2002.

[383] 藤田博之，“ マイクロマシンとナノシステム ”，pp. 7-11，科学教養講座　第 12 回産学官交流シンポジウムでの講演(野田地区)，理大科学フォーラム，2002（８)，第 19 巻８号(通巻 218 号)（2002).

[384] 横川隆司，竹内昌治，大倉玲子，昆　隆英，須藤和夫，藤田博之，“ 生体分子モータ制御のためのパターニング技術 ”，p. 25，第 6 回化学とマイクロナノシステム研究会(2002).

[385] 藤田博之，“ ナノシステム　ーマイクロマシンとナノテクの融合ー ”，pp. 29-64，2002 年国際固体素子・材料コンファレンスショートコースショートコースＡ「ナノテクノロジーが切り開く新展開」(2002).

[386] 藤田博之，“ 局所高電界場における極限物理現象の可視化観測と制御ーマイクロマシンと位相検出電子顕微鏡でトンネル現象を観るー ”，pp. 9-15,「極限環境状態における現象」平成９年度採択研究課題終了シンポジウム講演要旨集(2002).

[387] 横川隆司，竹内昌治，大倉玲子，昆　隆英，須藤和夫，藤田博之，“ 生体分子モータ制御のためのアクチンパターニング技術 ”，日本ロボット学会・創立 20 周年記念学術講演会講演概要集(2002).

[388] 赤松直樹，鈴木隆文，増渕邦彦，藤田博之，金範ジュン，竹内昌治，“ フレキシブル微小剣山型電極の製作 ”，日本ロボット学会・創立 20 周年記念学術講演会講演概要集(2002).

[389] 横川隆司，竹内昌治，大倉玲子，昆　隆英，須藤和夫，藤田博之，“ 生体分子モータ制御のためのアクチンパターニング技術 ”，p. 163，日本ロボット学会創立 20 周年記念学術講演会(2002).

[390] 横川隆司，竹内昌治，大倉玲子，昆　隆英，須藤和夫，藤田博之，“ 生体分子モータ制御のためのアクチンパターニング技術 ”，p. 163，日本ロボット学会創立 20 周年記念学術講演会(2002).

[391] 相澤益男，明渡　純，安達和孝，藤田博之，“ 研究開発はどうあるべきか　ー研究開発と企業ー ”，応用科学学会講演会　パネルディスカッション録 No. 26 (2002).

[392] 藤田博之，“ 光 MEMS の通信デバイス応用 ”，pp. 18-25，（社）エレクトロニクス実装学会第 31 回セミナーテキスト「将来の IT 社会を担う実装技術の最新動向」(2002).

[393] 橋口　原，藤田博之，安宅　学，“ ナノ構造の電気・熱・機械特性の特定と評価に関する研究 ”，pp. 37-45，マイクロマシン技術に関する研究助成，第８回研究成果報告書（研究期間平成 12 年４月～平成 14 年３月）(2002).

[394] 藤田博之，“ マイクロマシンとナノシステム ”，東京理科大学第 12 回産学官交流シンポジウム資料(2002).

[395] 橋口　原，藤田博之，安宅　学，“ ナノ構造の電気・熱・機械特性の特定と評価に関する研究 ”，p. 4，マイクロマシン No. 40 (2002).

[396] 藤田博之，“ マイクロマシン先端技術の応用と将来 ”，pp. 7-12，平成 14 年度電力中央研究所研究発表会- 電力部門-予稿集(2002).

[397] 藤田博之，“ 次世代ナノ・マイクロデバイスの製作法と応用 ”，pp. 23-34，講習会「ナノ・マイクロ化学」平成 14 年 11 月 22 日(2002).

[398] 藤田博之，“ マイクロマシン先端技術の応用と将来 ”，pp. 14-16，防錆管理，Vol. 47，No. 1 (2003).

[399] 橋口　原，吹野岳生，原　隆文，三宅淳也，角嶋邦之，安宅　学，藤田博之，pp. 1-8, 電気学会論文誌 E，Vol. 123，No. 1 (2003).

[400] Makoto Mita, Makoto Arai, Shouichi Tensaka, Dai Kobayashi and Hiroyuki Fujita, “A Micromachined Impact Microactuator Driven by Electrostatic Force”, pp. 37-41, J. OF MICROELECTROMECHANICAL SYSTEMS, VOL.12, NO.1 (2003).

[401] 藤田博之，“ 次世代マイクロ・ナノデバイスの製作法と応用 ”，pp. 3-7，化学とマイクロ・ナノシステム，第１巻，第２号(2003).

[402] 藤田博之，“ マイクロ・ナノ加工による極限バイオ研究

ツール”, pp. 9-10, 東大バイオチップシンポジウム講演予稿集(2003).

[403] 藤田博之, “マイクロマシンによる細胞操作と分子捕獲”, pp. 28-33, マイクロマシンが開くバイオナノテクノロジーの世界(2003).

[404] 新田英之, 竹内昌治, 野地博行, 藤田博之, “温度センサとマイクロヒータを集積した顕微鏡用温度制御システム”, p. 147, 平成 15 年電気学会全国大会公園論文集 [3] (2003).

[405] 田　宗勲, 藤田博之, “マイクロマシニングを用いた細胞回転システムの製作”, p. 180, 平成 15 年電気学会全国大会公園論文集 [3] (2003).

[406] 野澤尚幸, 角嶋邦之, 橋口　原, 遠藤潤二, 藤田博之, “高真空中におけるナノ対向針の電界放出特性と TEM による可視化観測”, p. 187, 平成 15 年電気学会全国大会公園論文集 [3] (2003).

[407] 福田和人, 新田英之, 肥後昭男, 藤田博之, 年吉　洋, pp. 200-201, 平成 15 年電気学会全国大会公園論文集 [3] (2003).

[408] 安井　学, 平林康男, 三田　信, 藤田博之, “Si 鋳型を用いた微細異形穴形成”, pp. 206-207, 平成 15 年電気学会全国大会公園論文集 [3] (2003).

[409] 年吉　洋, 猿田訓彦, 藤田博之, “バルクマイクロマシニング技術による２次元レンズ駆動スイッチ”, pp. S21(1)－(2), 平成 15 年電気学会全国大会公園論文集 [3] (2003).

[410] 渡邊, 小林, “有限な物理量を用いたニューラルネットワークモデルの LSI 実装”, 第 21 回計測自動制御学会九州支部学術講演会予稿集, pp. 83-384, (2002).

[411] 渡邊, 小林, “有限な物理量を用いたニューラルネットワークモデルの VLSI 実装”, 第６回システム LSI ワークショップ, pp. 291-294, (2002)

[412] M. Watanabe, F. Kobayashi, “A Neural Network Model using Finite Physical Quantities and its Realization on LSIs”, Proc. of the SICE Annual Conference 2002, TEA19-6, (2002)

[413] M. Watanabe, F. Kobayashi, “An optically differential reconfigurable gate array and its power consumption estimation”, Proc. of the IEEE International Conference on Field-Programmable Technology, pp. 197-202 , (2002).

[414] T. Koide, T. Morimoto, Y. Harada, and H. J. Mattausch, “Digital gray-scale/color image-segmentation architecture for cell-network-based real-time applications”, Proceedings of International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2002) , pp. 670-673, (2002).

[415] T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, “Low-complexity, highly-parallel color motion-picture segmentation architecture for compact digital CMOS implementation”, Extended Abstracts of the 2002 International Conference on Solid State Devices and Materials (SSDM2002), pp. 242-243, (2002).

[416] T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, “Real-time segmentation architecture of gray-scale/color motion pictures and digital test-chip implementation”, Proceedings of 2002 IEEE Asia-Pacific Conference on ASICs (APASIC2002), pp. 237-240, (2002).

[417] 森本高志, 原田洋明, 小出哲士, マタウシュハンスユルゲン, “セルネットワークに基づくカラー・グレースケール画像分割アーキテクチャ”, 信学技報, VLD2002-48, DSP2002-74, pp. 49-54, (2002).

[418] 原田洋明, 森本高志, 小出哲士, マタウシュハンスユルゲン, “全並列画像分割セルネットワーク LSI の設計”, 平成 14 年度電気・情報関連学会中国支部第 53 回連合大会講演論文集, 212226, pp. 591-592 (2002).

[419] Y. Yano, T. Koide, and H. J. Mattausch, “Fully parallel nearest Manhattan-distance search memorywith large reference-pattern number”, Extend. Abst. of the Int. Conf. on Solid State Devicesand Materials (SSDM ’2002) , pp. 254-255, 2002.

[420] 矢野祐二, 溝上政弘, 本田　稔, 小出哲士, マタウシュハンス ユルゲン, “全並列型最小マンハッタン距離検索連想メモリ”, 電子情報通信学会 VLSI 設計技術研究会技術研究報告, VLD2002-112, Vol. 102, No. 476, pp. 181-186, 滋賀県守山市, (2001 年 11 月)

[421] 矢野祐二, 溝上政弘, 本田　稔, 小出哲士, Hans Jurgen Mattausch, “全並列型最小マンハッタン距離検索連想メモリ”, 第４回 IEEE 広島支部学生シンポジウム(HISS)論文集, pp. 274-277, 山口県山口市, (2002 年 12 月)

[422] S. Ishijima, T. Utsumi, T. Oto, and A. Takahashi. A Semi-Synchronous Circuit Design Method by Clock Tree Modification IEICE Trans. Fundamentals, Vol.E85-A, No. 12, pp. 2596-2602, 2002.

[423] Tadashi Shibata, “Intelligent Signal Processing Based on a

VDEC

Psychologically-Inspired VLSI Brain Model", IEICE Trans. Fundamentals, Vol. E85-A, No. 3, pp. 600-609 (2002).

[424] Kiyoto Ito, Makoto Ogawa and Tadashi Shibata, "A High-Performance Ramp-Voltage-Scan Winner-Take-All Circuit in an Open Loop Architecture", Japanese Journal of Applied Physics, Vol. 41, pp. 2301-2305 (2002)

[425] Huaiyu Xu, Yoshio Mita and Tadashi Shibata, "Optimizing Vector-Quantization Processor Architecture for Intelligent Query Search Applications", Japanese Journal of Applied Physics, Vol. 41, pp. 2295-2300 (2002).

[426] Masakazu Yagi, Tadashi Shibata, "An Image Representation Algorithm Compatible to Neural-Associative-Processor-Based Hardware Recognition Systems", accepted for publication in IEEE Trans. Neural Networks.

[427] Toshihiko Yamasaki and Tadashi Shibata, "Analog Soft-Matching Classifier Using Floating-Gate MOS Technology", accepted for publication in IEEE Trans. Neural Networks.

[428] M. Yagi and T. Shibata, "A Human-Perception-like Image Recognition System based on PAP Vector Representation with Multi Resolution Concept", in The Proceedings of 2002 IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP 2002), pp. I-1045 I-1048, Florida, May 13-17, 2002.

[429] Huaiyu Xu, Yoshio Mita, Tadashi Shibata, "Similarity-Measure-Based VLSI Searching System for MPEG-7", in Soft Computing, Multimedia, Biomedicine, Image Processing and Financial Engineering, Eds. Mo Jamshidi, Y. Hata, M. Fathi, A. Homaifar, and J. S. Jamshidi, Vol. 13, pp. 358-363 (TSI Press, Albuquerque, 2002), Proceedings of the Fifth Biannual World Automation Congress (WAC 2002)ISSCI 2002 and IFMIP 2002, Orland, Florida, USA, June 9-13, 2002.

[430] Tadashi Shibata, "Psychologically-Inspired Integrated Circuits for Human-Like Soft Computing Systems", in Soft Computing, Multimedia, Biomedicine, Image Processing and Financial Engineering, Eds. Mo Jamshidi, Y. Hata, M. Fathi, A. Homaifar, and J. S. Jamshidi, Vol. 13, pp. 1-10(TSI Press, Albuquerque, 2002), Proceedings of the Fifth Biannual World Automation Congress(WAC 2002)ISSCI 2002 and IFMIP 2002, Orland, Florida, USA, June 9-13, 2002.

[431] Makoto Ogawa, Kiyoto Ito, and Tadashi Shibata, "A general-purpopse vector-quantization processor employing two-dimensional bit-propagating winner-take-all", in the Digest of Technical Papers of 2002 Symposium on VLSI Circuits, pp. 244-247, Honolulu, June 13-15, 2002.

[432] Hiroe Kimura and Tadashi Shibata, "A Motion-Based Analog VLSI Saliency Detector Using Quasi-Two-Dimensional Hardware Algorithm", in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. III-333 III-336, Arizona, May 26-29, 2002.

[433] Toshihiko Yamasaki, Teruyasu Taguchi, and Tadashi Shibata, "Low-Power CDMA Analog Matched Filters Based on Floating-Gate Technology", in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. V-625 V-628, Arizona, May 26-29, 2002.

[434] Masakazu Yagi and Tadashi Shibata, "An Associative-Processor-Based Mixed Signal System for Robust Image Recognition", in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. V-137 V-140, Arizona, May 26-29, 2002.

[435] S. Nomura and T. Shibata, "Pure-Capacitance-Load Source-Follower Comparators for Low-Power Winner-Take-All Circuitry", in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. III-759 III-762, Arizona, May 26-29, 2002.

[436] Toshihiko Yamasaki, Teruyasu Taguchi, Tomohiro Fukuda, and Tadashi Shibata, "Neuron-MOS-Based Analog CDMA Matched Filters", in the Proceedings of 2002 IEEJ International Analog VLSI Workshop, pp. 122-127, Singapore, Sep. 11-12, 2002.

[437] Toshihiko Yamasaki, Masakazu Yagi, and Tadashi Shibata, "A Fully-Parallel Analog Vector Matching LSI for Robust Image Recognition", in the Proceedings of 2002 IEEJ International Analog VLSI Workshop, pp. 128-133, Singapore, Sep. 11-12, 2002.

[438] Masakazu Yagi, Tadashi Shibata, and Kenji Takada, "Human-Perception-Like Image Recognition System Based on the Associative Processor Architecture", in the Proceedings of XI European Signal Processing Conference (EUSIPCO2002), pp. I-103 - I-106, Toulouse, France, Sep. 3-6, 2002.

[439] Kiyoto Ito, Makoto Ogawa, Tadashi Shibata, "A Variable-Kernel Flash-Convolution Image Filtering Processor", in Digest of Technical Papers, 2003 IEEE International Solid-State-Circuit Conference (ISSCC), Paper No. 26.7, pp. 470-471, San Francisco, February, 2003.

[440] Shantanu Chakrabartty, Masakazu Yagi, Tadashi Shibata, and Gert Cauwenberghs, "Robust Cephalometric Landmark Identification Using Support Vector Machines", accepted for pres-

entation at ICASSP 2003, Hong Kong, April 6-10, 2003.

[441] Katsutoshi Saeki and Yoshifumi Sekine, CMOS Implementation of Neuron Models for an Artificial Auditory Neural Network, IEICE Trans. Fundamentals, vol. E86-A, no. 2, pp. 248-251, Feb. 2003.

[442] Katsutoshi Saeki, Yoshifumi Sekine and Kazuyuki Aihara, “Chaos in a Pulse-type Hardware Neuron Model”, ' Chaos in Circuits and Systems ' Edited by G. Chen and T. Ueta, pp. 277-295, World Scientific Publishing Co. Singapore, 2002. 4.

[443] K. Saeki, R. Iidaka, Y. Sekine and K. Aihara, HARDWARE NEURON MODELS WITH CMOS FOR AUDITORY NEURAL NETWORKS, Proc. 2002 International Conference on Neural Information Processing (ICONIP02) , pp. 1325-1329, Singapore, 2002. 11.

[444] Z. Xue, H. Nagami, K. Someya, K. Saeki and Y. Sekine, Effects of Backpropagation Characteristics in a Hardware Active Dendrite Model, Proc. International Sumposium on Nonlinear Theory and its Applications (NOLTA'02), pp. 925-928, Xi'an, Chaina, 2002. 10.

[445] K. Saito, K. Saeki, and Y. Sekine, The Phase Plane of a Pulse-type Hardware Neuron Model, Proc. 2002 IEEJ Internatinal Analog VLSI Workshop, pp. 116-121, Singapore, 2002. 9.

[446] T. Fujita, J. Matsuoka, K. Saeki, Y. Sekine, CMOS Synaptic Model Considering Spatio-Temporal Summation of Inputs, Proc. The 2002 Internatinal Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC02), pp. 1188-1191, Phuket, Thailand, 2002.7.

[447] 石川, “ 佐賀大学 VBL と VDEC 利用のための LSI 設計環境の構築とそれを用いた基本電子回路の IP 化に関する研究 ”, p. 103-p106, 佐賀大学 VBL 年報(2001).

[448] 石川, 深井, “ アナログ LSI 回路設計に関する教育と環境の構築について ”, 1029, 電気関係学会九州支部連合大会(2002)

[449] 丸野, 深井, “ FG-MOSFET 可変論理回路の試作と評価 ”, 1034, 電気関係学会九州支部連合大会(2002)

[450] 山口, 深井, “ FGMOS 全加算・全減算回路 ”, 1035, 電気関係学会九州支部連合大会(2002)

[451] Shinichi Noda, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “High-Level Area/Delay/Power Estimation for Low Power System VLSIs with Gated Clocks”, IEICE Trans. on Fundamentals, vol. E85-A, no. 4, pp. 827-834, 2002.

[452] 田川博規, 嶋下和宏, 戸川 望, 柳澤政生, 大附辰夫, “ DSP プロセッサコアのハードウェア / ソフトウェア協調合成システムのための演算語長縮小化手法 ”, 電子情報通信学会回路とシステム軽井沢ワークショップ, pp. 429-434, 2002.

[453] 宮岡祐一郎, 戸川 望, 柳澤政生, 大附辰夫, “ Packed SIMD 型命令を持つプロセッサを対象としたハードウェア / ソフトウェア協調合成システムのためのハードウェアユニット生成手法 ”, 情報処理学会論文誌, Vol. 43, No. 5, pp. 1191-1201, 2002.

[454] 笠原亨介, 戸川 望, 柳澤政生, 大附辰夫, “ ディジタル信号処理向けプロセッサのためのシミュレータ生成手法 ”, 情報処理学会論文誌, vol. 43, No. 5, pp. 1202-1213, 2002.

[455] 鈴木伸治, 戸川 望, 柳澤政生, 大附辰夫, “ Packed SIMD 型命令を持つプロセッサを対象としたハードウェア / ソフトウェア協調合成システムのための並列化コンパイル手法 ”, 電子情報通信学会技術報告, CAS2002-38, pp. 79-84, 2002.

[456] 太刀掛宏一, 戸川 望, 柳澤政生, 大附辰夫, “ Packed SIMD 型命令を持った画像処理プロセッサのためのハードウェア / ソフトウェア分割手法 ”, 電子情報通信学会技術報告, CAS2002-39, pp. 85-90, 2002.

[457] Jinku Choi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “System-level Function and Architecture Codesign for Optimization of MPEG Encoder”, ITC-CSCC'02, 2002.

[458] Jinku Choi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “A Software/Hardware Codesign for MPEG Encoder”, FIT2002, 2002.

[459] 小田雄一, 磯田新平, 戸川 望, 橘昌 良, 柳澤政生, 大附辰夫, “ 仮想 IP 類推機構を有する動画像処理向けシステム VLSI のためのハードウェア / ソフトウェア分割システム ”, 情報処理学会ＤＡシンポジウム 2002, pp. 173-178, 2002.

[460] 戸塚崇夫, 石川裕一郎, 戸川 望, 柳澤政生, 大附辰夫, “ 閾値検索を持つ CAM プロセッサの自動合成システム ”, 電子情報通信学会技術報告, VLD2002-113, pp. 187-192, 2002.

[461] 清水一範, 陳 暁梅, 戸川 望, 柳澤政生, 大附辰夫, “ 動的再構成可能システムによるプロトコルブースタの実装 ”, 電子情報通信学会技術報告, VLD2002-103, pp.

VDEC

127-132, 2002.

[462] Jinku Choi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “An algorithm and a flexible architecture for fast block-matching motion estimation”, IEICE Trans. on Fundamentals, vol. E85-A, no. 12, pp. 2603-2611, 2002.

[463] Shinichi Noda, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “A high-level energy-optimizing algorithm for system VLSIs with Gated Clocks”, IEICE Trans. on Fundamentals, vol. E85-A, no. 12, pp. 2655-2666, 2002.

[464] Yuichiro Miyaoka, Jinku Choi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “An algorithm of hardware unit generation for processor core synthesis with pasked SIMD type instructions”, APCCAS2002, 2002.

[465] Koichi Tachikake, Yuichiro Miyaoka, Jinku Choi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “A hardware / software partitioning algorithm for SIMD processor cores”, ASP-DAC 2003, pp. 135-140, 2003.

[466] 石本　剛，戸川　望，柳澤政生，大附辰夫，“ MPEG-4 コアプロファイル符号化向け DSP ”，電子情報通信学会技術報告，VLD2002-134，pp. 25-30，2003.

[467] 小原俊逸，田川博規，戸川　望，柳澤政生，大附辰夫，“ ハードウェア IP の応答時間を考慮したプロセッサ合成システム ”，電子情報通信学会技術報告，VLD2002-135，pp. 31-36，2003.

[468] 田川博規，小原俊逸，戸川　望，柳澤政生，大附辰夫，“ ハードウェア IP の応答時間を考慮したプロセッサのハードウェア / ソフトウェア分割手法 ”，電子情報通信学会技術報告，VLD2002-136，pp. 37-42，2003.

[469] 内田純平，戸川　望，柳澤政生，大附辰夫，“ 高位合成システムにおけるスレッド分割を用いた低消費電力化手法 ”，電子情報通信学会技術報告，VLD2002-221，pp. 7-12，2003.

[470] 太刀掛宏一，宮岡祐一郎，戸川　望，柳澤政生，大附辰夫，“ SIMD 型プロセッサコア向け HW/SW 分割における SIMD 型演算最適化手法 ”，電子情報通信学会技術報告，VLD2002-222，pp. 13-18，2003.

[471] 戸塚崇夫，宮岡祐一郎，石川裕一郎，戸川　望，柳澤政生，大附辰夫，“ 閾値検索機能付き CAM プロセッサの最適化手法 ”，電子情報通信学会技術報告，VLD2002-223，pp. 19-24，2003.

[472] 弘中哲夫，佐々木敬泰，西村直己，“ MIPS R3000 互換命令セットを持つソフトウェアコアプロセッサとその利用例 ”，信学技報，VLD2002-114，pp. 193-198，2002.

[473] K. Tanigawa, T. Hironaka, A. Kojima, and N. Yoshida, “A generalized execution model for programming on reconfigurable architectures and an architecture supporting the model”, Conference on Field Programmable Logic and Applications, vol. 2438, pp. 434-443, Sept. 2002.

[474] K. Tanigawa, T. Inoue, T. Hironaka, and N. Yoshida, “Implementation of the reconfigurable processor with ability of every-cycle reconfiguration and execution”, in Proceedings of COOL Chips V, vol. 1, p. 162, Apr. 2002.

[475] 井上智宏, 佐々木敬泰, 弘中哲夫, 小出哲士, マタウシュ ハンス ユルゲン, “ LSI 化向け小面積多バンクメモリに関する考察 ”，信学技報，CAS2002-22，pp. 125-130. 2002.

[476] 三谷陽介，平松　健，内田裕志，弘中哲夫，Mattausch Hans Juergen，小出哲士，“ マルチバンク構成レジスタファイルを用いたスーパスカラプロセッサの構成方式に関する検討 ”，情処研報 2002-ARC-150-9，pp. 41-46，2002.

[477] 三谷陽介，末吉徹也，内田裕志，平松　健，弘中哲夫，マタウシュハンス ユルゲン，小出哲士，“ マルチバンク構成レジスタファイルを用いたプロセッサにおけるレジスタアクセス・スケジューリング機構の構成と評価 ”，信学技報，VLD2002-163，Vol. 102，No. 684，pp. 49-54，2003.

[478] Y. Ge, K. Abe, and H. Hamada, “Hardware Organization of High-Radix SRT Division Based on the Logical Circuit Realization”, Bulletin of the University of Electro-Communications, Vol. 15, No. 1, pp. 29-38, Jul. 2002.

[479] 葛　毅，阿部公輝，浜田穂積，“ 高基数 SRT 除算の論理回路実現に基づく回路構成と評価 ”，情報処理学会論文誌，Vol. 43，No. 8，pp. 2665-2673，Aug. 2002.

[480] Y. Ge and K. Abe, “Hardware Organization and Evaluation of Division Algorithms”, Proceedings of International Workshop on Modern Science and Technology, pp. 124-129, Sep. 2002.

[481] 西野　領，阿部公輝，“ 多線 2 相式データ表現を用いた非同期式乗算器 ”，電子情報通信学会技術報告，Vol.VLD2002，No. 130，pp. 1-6，Jan. 2003.

[482] 下村高範，阿部公輝，“ 暗号化アルゴリズム Rijndael のハードウェア実装と評価 ”，電子情報通信学会技術報告，

Vol.VLD2002，No. 122，pp. 13-17，Jan. 2003.

[483] 矢崎俊志，阿部公輝，“ 高速 Fourier 変換を用いた多倍長乗算器の構成法とハードウェア実装法の検討 ”，情報処理学会第 65 回全国大会講演予稿集，Vol. 65，No. 1，pp. 105-106，Mar. 2003.

[484] Y. Tanaka, M. Fukutomi, M. Sakai, M. Hattori, M. Sasaki, T. Aoki, Y. Arai, “The CSI Chip -A CMOS Charge Successive Integrator with Wide Dynamic Range for the Telescope Array Project”, Nov.4-10 2001, IEEE Transaction on Nuclear Science, Vol. 49, pp. 1814-1818,（2002）.

[485] 清山浩司，田中一成，田中義人，“ CMOS オフセット補償型逐次電荷積分 LSI のオフセット測定評価 ”，平成 14 年度電気関連学会第 55 回九州支部連合大会論文集，p. 543.

[486] 田中一成，清山浩司，田中義人，“ CMOS オフセット補償型逐次電荷積分 LSI のノイズ特性 ”，平成 14 年度電気関連学会第 55 回九州支部連合大会論文集，p. 542.

[487] 山口和久，田中義人，“ VDEC で試作したＯＰアンプの特性評価 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 70.

[488] 山崎　達，田中義人，“ VDEC で試作したヒステリシスコンパレータの特性評価 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 71.

[489] 熊代裕次，田中義人，“ VDEC で試作した高ノイズ耐性ＯＰアンプの特性評価 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 72.

[490] 服部　慎，田中義人，“ CMOS アナログ回路におけるトランジスタサイズ依存性の一考察 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 73.

[491] 南野将亨，田中義人，“ VDEC で試作したカレントミラー回路の特性ばらつきに関する検討 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 74.

[492] 山城正史，田中義人，“ VDEC プロセスで試作したスイッチトキャパシタフィルタの特性ばらつきに関する検討 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 75.

[493] 山村典数，田中義人，“ VDEC で試作した高駆動能力ＯＰアンプの設計と検討 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 76.

[494] 増田隆志，田中義人，“ VDEC で試作した CMOS ２段 OP アンプのノイズ特性の比較 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 77.

[495] Tanuarto William Alief，田中義人，“ VDEC で試作したスイッチトキャパシタフィルタの特性評価 ”，平成 14 年度電子情報通信学会九州支部学生会公演論文集，p. 76.

[496] Aoki, T., Kurihara, K., and Kuwabara, M., “Fabrication of Epitaxially Grown PLZT Patterned Microstructures Using a Sol-Gel Method”, Key Engineering Materials,（2003）in print

[497] T. Ohkawa, T. Nozawa, M. Fujibayashi, N. Miyamoto, K. Leo, S. Kita, K. Kotani and T. Ohmi, “The Flexible Processor- Dynamically Reconfigurable Logic Array for Personal-use Emulation System”, 2003 Symposium on VLSI Circuits, Kyoto, Japan, session#21-3, June 2003

[498] N. Miyamoto, L. Karnan, K. Kotani, and T. Ohmi, “A Fine-Grained Programmable Logic Module with Small Amount of Configuration Data for Dynamically Reconfigurable Field Programmable Gate Array”, Japanese Journal of Applied Physics, Special Issue of SSDM2002, Vol. 40, Part I, No. 4B, 2003

[499] N. Miyamoto, L. Karnan, K. Kotani, and T. Ohmi, “A Fine-Grained Programmable Logic Module with Small Amount of Configuration Data for Dynamically Reconfigurable Field Programmable Gate Array（FPGA）”, International Conference on Solid State Device and Materials, Nagoya, pp. 248-249, 2002

[500] カルナン・レオ，宮本直人，小谷光司，大見忠弘，『動的再構成 FPGA に適したプログラマブルロジックエレメントの開発』，情報処理学会研究報告　2003-SLDM-108，学術刊行物　情処研報 Vol. 2003，No. 7，pp. 31-35，情報処理学会，2003 年 1 月，東京［1］佐々木，森江，伊井，岩田，“ パルスタイミングに基づくスパイキングホップフィールドネットワークによる高速連想メモリ ”，信学技報，NC2002-81

第 3 章　VDEC 概要

3.1. 組織概要

VDEC は平成 8 年度に発足した．当時は専任教官 5 名と事務官 1 名という小さな組織であったが，平成 9 年度には専任教官 2 名と事務官 1 名が増員され，さらに，全国の大学と連携を密にする目的で各大学から 2 年を単位として 2 名の教官を派遣する「流動教官ポスト制度」がスタートした．（平成 14 年度からは流動教官を 1 名ずつ交互に交代することとしたため，当年度は 3 名が在籍した．）また，産業界と協力を行うため，客員教授（一種）が 1 名おかれている．

VDEC は現在，専任教官 10 名，客員教授 1 名，事務官 2 名の定員を有しているが，他にも多くの援助を受けながら運営されている．事務は工学系研究科事務部との合同化により直接の担当掛を共同利用掛とし，工学系研究科事務部全体の支援を受けている．教育・研究の分野では，学内の協力教官，学外の協力研究員，さらには全国の拠点大学の教職員と学生を含む CAD ボランティア等多くの協力者の手によって支えられている．

流動教官派遣大学

年　　度	派　遣　大　学
平成 9・10 年度	東北大学，横浜国立大学
平成 11・12 年度	金沢大学，広島大学
平成 13 年度	千葉大学，東京工業大学
平成 14 年度	千葉大学，東京工業大学，京都大学
平成 15 年度	京都大学，九州大学

3.2. 人事報告

VDEC 人事

センター長・教授　浅　田　邦　博
教　　授　鳳　　紘一郎
（新領域創成科学研究科併任）
客員教授　玉　置　洋　一
（平成 15 年 3 月まで）
客員教授　益　子　耕一郎
（平成 15 年 4 月から）
助 教 授　一　色　　剛
（平成 15 年 3 月まで）
助 教 授　北　神　正　人
（平成 15 年 3 月まで）
助 教 授　池　田　　誠
助 教 授　小　林　和　淑
助 教 授　年　吉　　洋
助 教 授　服　部　励　治
（平成 15 年 4 月から）
助　　手　鄭　　若　彤
助　　手　石　原　　亨
（平成 15 年 4 月 15 日まで）
助　　手　小　松　　聡
共同利用主任　真　弓　貞　雄
共同利用掛長　清　水　　要
（平成 15 年 3 月まで）
共同利用掛長　小　貫　　浩
（平成 15 年 4 月から）
共同利用掛主任　麦　谷　重　男

協力教官　柴　田　　直
（東京大学新領域創成科学研究科教授）
藤　田　昌　宏
（東京大学大学院工学系研究科電子工学専攻教授）

藤　島　　実
（東京大学新領域創成科学
研究科助教授）

三　田　吉　郎
（東京大学工学系研究科
電気工学専攻講師）

新任のご挨拶

益子　耕一郎

2003年4月より東京大学VDECの客員教授を拝命しております益子（ましこ）と申します．現在，新横浜にオフィスを構える㈱半導体理工学研究センター（STARC）の研究推進部に所属し，大学と半導体企業との共同研究を推進し，産学連携の一翼を担っております．STARCには2002年9月に三菱電機の北伊丹より出向しましたが，その半年後には日立製作所と三菱電機の半導体部門が合併してスタートした㈱ルネサステクノロジに出向元が変更になり，帳簿上は丸ビル34Fの本社オフィスに机があることになっております．DRAMから始まり高速通信用チップや低電力回路に至るLSIのR&D経験を生かし，産業界とのパイプ役を果たして行きたいと思っております．

服部　励治

平成15年4月1日より2年間の任期で九州大学大学院システム情報科学研究院からVDECの流動教官として転任いたしました服部です．学生時代の研究分野は非晶質半導体物性であり，それから半導体デバイス，有機半導体物性／デバイス，MEMSプロセス／デバイスなど色々と研究分野を変えてきました．5年ほど前から，有機ELディスプレイのパネル設計を行ったことより回路設計にも関わるようになり，最近，LSI設計として有機ELディスプレイや電子ペーパー用のドライバーLSI設計も経験しました．したがって，現在では主にアナログ／高耐圧LSI設計を主に行っております．

ポリシリコンやアモルファスシリコンを用いたTFTは結晶トランジスターに比べ物にならないほど大きな特性ばらつきがあります．これら素子を使ってディスプレイというアナログ回路を設計するのは大変なものでしたが，回路というのは何とかなるもので，工夫すれば結構ばらつきが抑えられた回路を設計することができました．LSIの中はこれに比べれば天国のような環境であり，これからはこの経験を生かし新規のアナログLSI設計に挑戦したいと思っています．

具体的なVDECでの業務は2月～3月に行われる上級者を対象としたCAD技術セミナーの開催となる予定です．それまでにもVDECの活動が円滑に行われますよう努力していきたいと思っていますので，どうぞよろしくお願いいたします．

退任のご挨拶

玉置　洋一

2年間お世話になりありがとうございました．VDECではLSIの試作，評価関係を担当させて頂きました．お陰さまで当初より協力させて頂きました0.18μm CMOS試作は，13年度のテストランに続き，14年度は予定を上回る3回の試作を行なうことができました．また，今後の半導体産業の基盤となる設計教育につきましても貴重な経験をさせて頂きました．

さて，4月より会社（日立）ではプロセス関連の外販を担当いたします．CMOSでは180nmノードおよび90nmノードのデバイス試作を行います．ウエハ試作や評価解析のご要望等がございましたらぜひお声をかけて頂ければと思います．最後に，VDECの今後益々の発展をお祈り申し上げます．

一色　剛

平成13年4月より2年間VDECの一員として，CAD講習会の運営を中心にVDECの活動をお手伝いさせて頂きました．日本の大学におけるVLSI設計の教育・研究の発展を支えてきたVDECの活動の現場を体験する機会を頂き，非常に多くのことを学ぶことができました．今後益々VDECが発展を遂げ，日本のVLSI設計教育研究が活性化することを祈り，また私自身もVDECの協力研究員として外部からそのお手伝いができれば，と考えております．

北神　正人

平成15年3月31日で流動教官の任期を終え千葉大学工学部情報画像工学科に戻りました．VDECでの任期中には主にVLSIデザイナフォーラム（若手の会）とリフレッシュ教育を担当させていただきましたが，VDECスタッフ，VDECユーザならびに関係各位のご協力により無事終えることが出来ました．ご協力ありがとうございました．千葉大で私の所属する学科は主に情報システムの応用や画像に関する学科でチップ試作との関連性が必ずしも深くないのですが，学科の約3分の1の学生に対してCADツールを用いた論理設計の実習をやってきました．来年度からは学科の全学生を対象に同様の実習を行う予定です．今後は協力研究員としてVDECの発展に微力ではありますが協力させていただきたいと思いますので何卒よろしくお願いいたします．

平成 14 年度大規模集積システム設計教育研究センター運営委員会委員

氏　名	所　属
浅田　邦博	東京大学大規模集積システム設計教育研究センター　教授(センター長) 〒 113-8656　文京区本郷 7-3-1　TEL03(5841)6671　FAX03(5841)8911
橋元　良明	東京大学大学院情報学環・学際情報学府　教授(総長補佐) 〒 113-0033　文京区本郷 7-3-1　TEL03(5841)5937
鳳　紘一郎	東京大学大規模集積システム設計教育研究センター　教授 〒 113-8656　文京区本郷 7-3-1　TEL03(5841)6675　FAX03(5841)6724
南谷　　崇	東京大学先端科学技術研究センター情報物理システム　教授 〒 153-8904　目黒区駒場 4-6-1　TEL03(5841)5160　FAX03(5841)5161
柴田　　直	東京大学大学院新領域創成科学研究科基盤情報学専攻　教授 〒 113-8656　文京区本郷 7-3-1　TEL03(5841)6656　FAX03(5841)8567
藤田　昌宏	東京大学大学院工学系研究科電子工学専攻・電子工学科　教授 〒 113-8656　文京区本郷 7-3-1　TEL03(5841)5573
宮永　喜一	北海道大学大学院工学研究科電子情報工学専攻　教授 〒 060-0813　札幌市北区北 13 条西 8 丁目　TEL011(706)6489　FAX011(706)7121
大見　忠弘	東北大学未来科学技術共同研究センター　教授 〒 980-8579　仙台市青葉区荒巻字青葉　TEL022(217)3952　FAX022(217)3961
國枝　博昭	東京工業大学大学院理工学研究科集積システム専攻　教授 〒 152-8552　目黒区大岡山 2-12-1　TEL03(5734)2574
柳澤　政生	早稲田大学理工学部電子・情報通信学科　教授 〒 169-8555　新宿区大久保 3-4-1　TEL03(5286)3392　FAX03(3204)4875
吉本　雅彦	金沢大学工学部電気・電子システム工学科　教授 〒 920-8667　金沢市小立野 2-40-20　TEL076(234)4861　FAX076(234)4870
高木　直史	名古屋大学大学院工学研究科情報工学専攻　教授 〒 464-8603　名古屋市千種区不老町　TEL052(789)3312　FAX052(789)3798
小野寺秀俊	京都大学大学院情報学研究科通信情報システム専攻　教授 〒 606-8501　京都市左京区吉田本町　TEL075(753)5314　FAX075(753)5343
谷口　研二	大阪大学大学院工学研究科電子情報エネルギー工学専攻　教授 〒 565-0871　吹田市山田丘 2-1　TEL06(6879)7791　FAX06(6879)7792
岩田　　穆	広島大学大学院先端物質科学研究科機能集積システム工学研究室　教授 〒 739-8526　東広島市鏡山 1-3-1　TEL0824(24)7856　FAX0824(24)7195
安浦　寛人	九州大学大学院システム情報科学研究科情報工学専攻　教授 〒 816-8580　春日市春日公園 6-1　TEL092(583)7620　FAX092(583)1338
山内　寛紀	立命館大学理工学部電気電子工学科　教授 〒 525-8507　草津市野路東 1-1-1　TEL0775(61)2867　FAX0775(61)2663
兵庫　　明	東京理科大学理工学部電気工学科　助教授 〒 278-8510　野田市山崎 2641　TEL0471(24)1501 内 3756　FAX0471(22)5171

平成 14 年度大規模集積システム設計教育研究センター協議会協議員

氏　名	所　　属
浅田　邦博	大規模集積システム設計教育研究センター長
大垣眞一郎	工学系研究科長
柴田　　直	大学院新領域創成科学研究科　教授
田中　英彦	情報理工学系研究科長
岡部　洋一	情報基盤センター長　教授
荒川　康彦	先端科学技術研究センター　教授
鳳　紘一郎	大学院新領域創成科学研究科　教授
年吉　　洋	大規模集積システム設計教育研究センター　助教授
北神　正人	大規模集積システム設計教育研究センター　助教授
一色　　剛	大規模集積システム設計教育研究センター　助教授
小林　和淑	大規模集積システム設計教育研究センター　助教授
池田　　誠	大規模集積システム設計教育研究センター　助教授
橋元　良明	大学院情報学環　教授

3.2. 決算報告

1. 経常経費

経費科目	金額	経費科目	金額
人件費	77,152,827	校費	142,542,000
電子計算機借料	77,238,000	職員旅費	769,000
諸謝金	0	講師等旅費	559,100

2. 平成 14 年度科学研究費補助金

研究代表者	研究題目	種類	金額（千円）
浅田　邦博	知的撮像・プリプロセス	特定 A（2）	68,600
小林　和淑	ハードソフト同時設計によるシステム LSI の設計効率化・開発期間短期化	若手研究（B）	2,300
石原　亨	システム LSI 向け低電力メモリアーキテクチャおよび設計支援技術の開発	若手研究（B）	500
北神　正人	バースト誤り位置指摘符号	若手研究（B）	600
小松　聡	データ符号化による集積回路におけるデータ伝送の低消費電力化・信頼性向上の研究	若手研究（B）	800

3. 平成 14 年度産学連携等経費

研究代表者	研究題目	種類	金額（千円）
浅田　邦博	システム LSI のための再利用可能な設計資産の構築手法の実験的研究	共同研究	15,794
浅田　邦博	システムディスプレイの構成方法の研究	受託研究	3,772

4. 平成 14 年度奨学寄附金

以下の企業・個人から寄附を頂きました.

受入件数：　10 件　　受入額　計 6,700,000 円

㈱日立製作所デバイス開発センタ，㈱日立製作所半導体グループ，日産自動車㈱，三菱電機㈱システム LSI 事業化推進センター，　電気・電子情報学術振興財団，㈱東芝セミコンダクター社，㈱半導体理工学研究センター

第 4 章　研究報告

4.1. 研究室構成員

鳳・藤島研究室

鳳　紘一郎　　教授
藤島　　実　　助教授
北澤　清子　　助手
今村　　晃　　博士 2 年
山本　　憲　　修士 2 年（現在　大学院　鳳・藤島研）
小野内雅文　　修士 2 年（現在　日立製作所）
小玉　　輝　　修士 2 年
斎藤　康祐　　修士 2 年
稲井　健人　　修士 1 年
北荘　哲郎　　修士 1 年
木野　　順　　修士 1 年
杉浦　邦晃　　修士 1 年
乗松　崇康　　修士 1 年
新開　研児　　学部 4 年（現在　大学院　斎藤宏文研）
三瓶　真弘　　学部 4 年（現在　大学院　浅田研）
鬼塚　浩平　　学部 4 年（現在　大学院　桜井研）
井上　悠介　　学部 4 年（現在　大学院　山下研）
橘　　文彦　　学部 4 年（現在　大学院　平本研）
アモーンラット　リーマニー　学部 4 年
（現在　大学院廣瀬明研究室）

浅田・池田研究室

浅田　邦博　　教授
池田　　誠　　助教授
鄭　　若彤　　助手
石原　　亨　　助手（現在 Fujitsu Laboratories　America）
鈴木　真一　　技官
村上　善則　　博士 3 年（現在日産自動車）
瀬戸　謙修　　博士 3 年
山岡　寛明　　博士 2 年
大池　祐輔　　博士 1 年
名倉　　徹　　博士 1 年
吉田　浩章　　博士 1 年
（2002 年 4 月よりゼナシステクノロジーズ）
申　　秀擘　　修士 2 年（現在旭化成）
Ulkuhan Ekinciel 修士 2 年（現在　大学院　浅田・池田研）
杉山　　聡　　修士 2 年（現在ソニー）
山本　剛志　　修士 2 年（現在デンソー）
飯塚　哲也　　修士 1 年
高山　伸一　　修士 1 年
池畑　博司　　修士 1 年
小川　貴也　　修士 1 年
顔　　子翔　　修士 1 年
Mohamed Abbas ABDELRADY 研究員
（現在　大学院　浅田・池田研）

Song Minkyu 研究員（2003 年 3 月－8 月）
新宅　宏彰　　学部 4 年（現在　大学院　浅田・池田研）
伊東　昌徳　　学部 4 年（現在松下電器産業）
李　　楠　　学部 4 年（現在　大学院　浅田・池田研）
田辺　　健　　学部 4 年（現在　大学院　藤田研）
宮地　幸祐　　学部 4 年（現在　大学院　平本研）

柴田・三田研究室

柴田　　直　　教授
三田　吉郎　　講師
村井　　徹　　助手
八木　雅和　　博士 3 年（現在　大阪大学医学部助手）
顧　　清栄　　博士 3 年（現在 CREST 博士研究員）
山崎　俊彦　　博士 2 年
小川　　誠　　博士 1 年
小林　大輔　　博士 1 年
伊藤　潔人　　修士 2 年
（現在　柴田・三田研究室博士 1 年）
鈴木　康文　　修士 1 年
梅島　雅之　　修士 1 年
山崎　英男　　修士 1 年
中山　友之　　学部 4 年（現在　大学院　柴田・三田研）

中下　友介　学部 4 年（現在　大学院　柴田・三田研）
早川　　仁　学部 4 年（現在　大学院　柴田・三田研）
山本　崇也　学部 4 年（現在　大学院　浅田・池田研）
山谷　　歩　学部 4 年（現在　大学院　鳳・藤島研）

藤田研究室

藤田　昌宏　教授
小松　　聡　助手
Thanyapat Sakunkonchak　博士 2 年
久保　賢生　修士 2 年（現在 NTT ドコモ）
劉　　宇　修士 2 年（現在　大学院　藤田研）
小島　慶久　修士 1 年
前田　剛敏　学部 4 年
松本　剛史　学部 4 年（現在　大学院　藤田研）
吉田　充孝　学部 4 年

一色研究室

一色　　剛　助教授
（東京工業大学大学院理工学研究科集積システム専攻國枝博昭教授グループと共同研究）

北神研究室

北神　正人　助教授

小林研究室

小林　和淑　助教授

年吉研究室

年吉　　洋　助教授
高橋　巧也　技官
三田　　信　博士研究員
（現在　文部科学省宇宙科学研究所）
猿田　訓彦　修士 2 年（現在 SONY ㈱）
吉野　智則　修士 2 年
（東京電機大より，現在㈱マイスターエンジニアリング）
肥後　昭男　修士 1 年

4.2. 研究概要

鳳・藤島研究室
Hoh/Fujishima Laboratory

（http://www.sf.t.u-tokyo.ac.jp）

量子計算の手法を取り入れたプロセッサ

鳳　紘一郎，藤島　実，斉藤　康祐，稲井　健人

量子計算は，データベース検索や大きな数の因数分解など，膨大な候補から解を探すのに，従来のコンピュータより有効であると考えられている．量子計算は一度にあらゆる解を検証し，問題を高速に解くことができるからである．我々は，FPGA という書き換え可能な集積回路により，量子計算の手法を使う新しいプロセッサを研究している．量子計算を模倣するだけでなく現在の計算機の手法を取り入れることで，プロセッサの高速化が実現されている．今後，量子アルゴリズムに限らずさまざまな問題に対応可能なアーキテクチャを取り入れる予定である．

Processor Applying Quantum Computing

Koichiro Hoh, Minoru Fujishima, Kosuke Saito, and Kento Inai

Quantum computing is extensively effective in finding a solution among the huge number of candidates, such as database search and factorization of a large number, compared with conventional computers. It is because the quantum computing verifies all possible solutions at once and solves a problem at high speed. We are studying a new processor utilizing the procedure of quantum computing by a rewritable integrated circuit called FPGA. Improvement in the speed of a processor is realized by not only emulating the quantum computing but also employing the technique of the current computer. The architecture which flexibly copes with various problems besides quantum algorithm will be adopted.

量子計算エラーのエミュレーション

鳳　紘一郎，藤島　実，小野内　雅文，北荘　哲郎

量子計算エラーのシミュレーションは，エラーの致命的な影響を排し，量子計算機を実現するために必要な技術である．シミュレーションによって得られた知見を実際の量子計算機に生かすことで，大規模な演算を誤り無く行うことが出来る．このような観点から，量子計算エラーの影響を高速に精度良く見積もることの出来るハードウェアとソフトウェアの研究を行っている．

Emulation of the quantum computing errors

Koichiro Hoh, Minoru Fujishima, Masafumi Onouchi, Tetsuro Kitasho

The simulation of quantum-computing errors is the technology required for eliminating the fatal influence by the errors and in the quantum computing with quantum-mechanical systems. Large-scale operation of physical quantum computers can only be realized when the knowledge acquired by the simulation is applied efficiently. From such a viewpoint, the hardware and software estimation of the influence of the errors of the quantum computing are being made with sufficient accuracy and at high speed.

相補型ショットキー MOSFET 用プロセス

鳳　紘一郎，藤島　実，杉浦　邦晃，北澤　清子

シリサイドソース・ドレイン MOSFET とは，ソース・ドレイン領域に金属シリサイドを用いて寄生抵抗を減らしたトランジスタである．また従来の MOSFET では微細化において不純物の拡散のため pn 接合がぼやけ問題となるが，シリサイドソース・ドレイン MOSFET は，急峻なショットキー接合が用いられるため，微細化に適している．ショットキー接合の特性は，シリサイド化反応の際の材料金属とシリコンの界面状態，あるいはアニーリングの条件によって大きく影響される．そこで本研究では，マイクロマシーニング技術を用い，相補型動作に必要な同一基板上の異種シリサイドの形成プロセスの最適化を行っている．

Process for a complementary Schottky MOSFET

Koichiro Hoh, Minoru Fujishima, Kuniaki Sugiura, and Seiko Kitazawa

A silicide source/drain MOSFET is a new transistor which uses metal silicide for source and drain regions to reduce resistance. The silicide source/drain MOSFET is suitable for miniaturization since steep Shottky junction is used instead of pn junction which causes junction ambiguity in ordinary MOSFETs due to dopant diffusion in miniaturized scale. The characteristic of the Schottky junction is considerably influenced by the state of the interface between metal and silicon, and by the conditions of the annealing for the formation of the silicide. Therefore, the optimum formation process of different types of silicides on the same substrate for the complementary operation is studied utiliz-

シリサイドプロセスの最適化

鳳　紘一郎，藤島　実，小玉　輝，北澤　清子

ショットキーソース・ドレイン MOSFET では，ショットキー接合に不純物が必要でないことから，0nm 以下の素子サイズにおいてさえ，性能を維持することができる．ショットキーソース・ドレイン MOSFET の電流駆動力の向上には，シリサイドのシート抵抗とショットキー障壁の低減が必要である．また，p 型 MOSFET に用いられる PtSi は高温でのアニール時に，シリサイド表面が荒れると共に隆起し，ゲート短絡を引き起こす．そこで PtSi と ErSi のアニール温度・時間の最適化を行った．まず PtSi と ErSi のアニール時の立ち上げ時間を最適化する事によって，MOSFET の電流駆動力を左右する，ソース・ドレインのシリサイドの障壁高さのばらつきを軽減した．また，PtSi のシート抵抗が低く，表面が平坦となるプロセス条件の研究に取り組んでいる．

Optimization of the silicide process

Koichiro Hoh, Minoru Fujishima, Hikaru Kodama, and Seiko Kitazawa

The performance of a Schottky source/drain MOSFET is maintainable even in the feature size of 10 nm or less since dopants are not required for Schottky junctions. The barrier of a Schottky junction and the sheet resistance of silicide need to be reduced to improve the current driving capability of the Schottky source/drain MOSFET. Moreover, the silicide surface of PtSi being used for a p-type MOSFET is coarsened and raised when annealing at high temperature, which causes gate and source/drain short. Thus, annealing temperature and time of PtSi and ErSi are optimized. At first, the barrier height of silicide of source and drain which influences the current driving capability and the fluctuation of MOSFETs are mitigated by optimizing the rising time of the annealing of PtSi and ErSi. Additionally, we are studying the process conditions where not only the surface of PtSi becomes flat but also its sheet resistance becomes low.

ミリ波フロントエンド集積回路

藤島　実

ギガビットワイヤレスは，ワイヤレスの利便性をもってワイヤで結ばれているような高品質通信を可能にする技術である．ギガビットワイヤレスは，多様なスケールの空間で用いられる基幹技術となることが期待されている．自由空間に，秒間に 1 ギガビット（1Gbps）以上の情報を自由自在に届けたり受け取ったりするには，ミリ波と呼ばれる光に近い電波が必要になる．我々は，低価格で身近なギガビット情報のワイヤレス通信の実現に向け，CMOS テクノロジを用いたミリ波フロントエンド回路の研究を行っている

Millimeter-wave front-end integrated circuit

Minoru Fujishima

Gigabit wireless is a technology which enables quality comparable to wire communication and convenience comparable to wireless communication. Gigabit wireless is expected to become the backbone of various technologies in the future. The electromagnetic wave near light called a millimeter wave is required in free space to transmit and receive the information freely, more than 1 gigabit per second (1Gbps). We are studying a millimeter-wave front-end circuit using CMOS technology to realize universal wireless communication of gigabit information at a low price.

厚膜酸化基板を用いた CMOS 高周波回路

藤島　実，鳳　紘一郎，山本　憲，乗松　崇泰，木野　順

高周波回路では，増幅回路の高周波特性を向上させるために，インダクタとキャパシタによる共振回路が用いられる．しかし，CMOS が用いられるシリコン基板は，化合物半導体の場合の半絶縁性基板と異なり，基板導電率が大きいため，高周波での損失が大きくなる．シリコン基板の基板損失を少なくするには，基板表面に厚い絶縁層を設けることが有効である．我々は，（株）デンソーの協力の元に，マイクロマシーン技術を応用した厚膜酸化膜を有する基板を用いて，低価格で高性能な高周波回路の研究を行っている．これまでに，0.5mm CMOS テクノロジを用い，電源電圧 1V において，2GHz 近い周波数で電圧制御発振回路や周波数分周器が動作することを確認した．今後，これらの要素回路を組み合わせ，極低消費電力の周波数シンセサイザや，トランシーバ用高周波フロントエンド回路の試作を行う．

CMOS RF circuits with thick oxide layers

Minoru Fujishima, Koichiro Hoh, Ken Yamamoto, Takayasu Norimatsu, and Jun Kino

In a RF circuit, the resonance circuit composed of an inductor and a capacitor is used to raise the operating frequency of the amplifier. However, the loss at high frequency in a CMOS circuit is large since the conductance of a silicon substrate is larger than that of a semi-insulating substrate for a compound semiconductor. A thick insulated layer in the substrate surface is effective for reducing the loss in CMOS circuits. We are studying the fabrication of a high-performance RF circuit at a low price using a substrate with the thick oxide film applying micromachine technology with the cooperation of DENSO Corp. As a result, a voltage-controlled oscillator and a frequency divider operating at a frequency of 2GHz and a supply voltage of 1V have been realized using 0.5μm CMOS technology.

These building blocks are combined and the frequency synthesizer operating at ultralow power and the RF front-end circuit for low-cost transceivers will be fabricated.

差動注入同期型周波数分周器

藤島　実，鳳　紘一郎，山本　憲，乗松　崇泰

周波数ミキサーを用い，発振器の出力周波数に変調をかける注入同期型周波数分周回路が提案されている．我々は，発振器の出力におけるゼロクロスポイントを，MOS スイッチで調節する新しい差動注入同期型の分周器を提案した．差動注入同期をCMOS リングオシレータと組み合わせることにより，V の電源電圧で 10GHz というきわめて高い周波数で動作することを確認した．現在，LC型発振器と組み合わせることによる分周性能の検証を進めている．

Differential injection locking frequency dividers

Minoru Fujishima, Koichiro Hoh, Ken Yamamoto, and Takayasu Norimatsu

Injection-locking frequency dividers modulating the output frequency of an oscillator using a frequency mixer were proposed. We have proposed a new frequency divider with differential-injection locking which adjusts the zero-crossing points in the output of the oscillator using a MOS switch. The new frequency divider using a CMOS ring oscillator has been realized, operating at a frequency of 10GHz and a supply voltage of 1V.

オンチップインダクタのモデリング

藤島　実，鳳　紘一郎，木野　順

現在の無線通信は数GHz のマイクロ波帯を使用しているが，将来的にはより豊潤な周波数資源を求めてミリ波帯へ移行すると考えられる．一方，オンチップインダクタは無線通信の性能を決める重要な素子であり，正確な見積もりなしには高性能な無線通信機器を作製することは難しい．特に，基板による損失や，配線内での複雑な電流の流れを正確に見積もることも必要となる．現在，ミリ波におけるオンチップインダクタの解析の準備のため，マイクロ波におけるオンチップインダクタのモデル化に取り組んでいる．基板の影響による寄生成分を正確にモデル化することで，ミリ波帯における基板の影響の見積もりに役立てる予定である．

Modeling of an on-chip inductor

Minoru Fujishima, Koichiro Hoh, and Jun Kino

Radio communications will shift to the millimeter wave band in the quest for prospective richer frequency resources even though current communications use the GHz microwave band. On the other hand, it is difficult to realize high-performance radio communications without the exact estimation of an on-chip inductor since the inductor is an important element which determines the performance of radio communications. Particularly, it is necessary to precisely estimate the substrate loss and the complicated current within wirings. Currently, the modeling of on-chip inductors in the microwave band is being studied for preparation of the analysis of on-chip inductors in the millimeter wave band. The precise modeling of the parasitic elements under the influence of a substrate is studied for use in the estimation of the influence of the substrate in a millimeter wave band.

ローカル配線のクロストーク

藤島　実，鳳　紘一郎，山本　憲，乗松　崇泰

集積回路の微細化に伴い配線密度が上昇し，クロストークが問題となっている．ディジタル回路では，グローバル配線に関するクロストークがこれまで研究されてきた．アナログ回路では，ディジタル回路よりもノイズに弱いため，ローカル配線でも配線間隔や配線幅を考慮しなければならない．占有面積を抑えつつクロストークの影響を小さくするには，シールド構造の効果について検討する必要がある．そこで，我々は，異なる配線幅や配線長に対する最適なシールド構造について研究している．

Crosstalk of local wirings

Minoru Fujishima, Koichiro Hoh, Ken Yamamoto, and Takayasu Norimatsu

Crosstalk has become a significant issue since wiring density is increasing with the miniaturization of devices in integrated circuits. In a digital circuit, the crosstalk of global wirings has been studied. In an analog circuit, spaces and widths even in local wirings have to be taken into consideration since the analog circuit is more susceptible to noise than the digital circuit. It is necessary to examine the effect of shield structures in order to suppress the influence of the crosstalk and to keep the occupancy area small. Thus, we are studying the optimal shield structure for different wiring widths and different wiring lengths.

オンチップ大規模並列演算回路

藤島　実，鳳　紘一郎，北荘　哲郎，稲井　健人

従来の CPU を用いて組み合わせ問題を解く場合，変数の増

On-chip large-scale parallel operation circuit

Minoru Fujishima, Koichiro Hoh, Tetsuro Kitasho, and Kento Inai

加に伴って計算ステップは指数関数的に増加するが，変数の増加に対し指数関数的な数のプロセッサを搭載することで計算ステップの増加は線形に抑えることができる．実際には，集積回路上に搭載できる素子数は限られるため，並列処理と逐次処理を組み合わせ解空間の探索を行うことが必要になる．本研究では，これまで量子アルゴリズムの高速処理用に試作した並列プロセッサを用い効率的に解を探索するアルゴリズムについて研究している．具体的には，組み合わせ最適化問題に用いられる分岐限定法等の手法等を並列プロセッサ用に適用した制御用プロセッサを試作し，従来のプロセッサと処理速度の比較などを行う．

Calculation steps increase linearly when an exponential number of processors are used for the increase in a variable, although they increase exponentially with the increase in the variable when a conventional CPU is used. Practically, it is necessary to combine parallel and serial processing in order to find the answer in a large solution space since the number of processors being implemented in an integrated circuit is limited. Currently, we are studying an algorithm which searches the answer efficiently using a parallel processor fabricated for high-speed processing of quantum algorithms. The parallel processor using a controller with special techniques such as the branch limiting method for a combination optimization problem is also currently under development, and its processing speed will be compared with that of a conventional processor.

浅田・池田研究室
Asada and Ikeda Laboratory

（http://www.mos.t.u-tokyo.ac.jp）

1． 様々な耐圧仕様における GTBT の優位性

浅田邦博・村上善則

低損失電力用トランジスタ GTBT はこれまで耐圧 600V の構造で研究してきたが，その他の耐圧範囲におけるの性能の有効性を計算した．PWM インバータ回路中で所定の発熱を生じる出力電流密度で比較すると，高耐圧側では GTBT の駆動電流が大きくなるためゲート駆動回路最終段の素子も面積の勘定に入れてコスト的な公平をはかってもなお，耐圧 700V 以上で GTBT は IGBT より 2 割以上多く電流を流せる．耐圧が低くなると GTBT はさらに有利になり，耐圧 130V の仕様では 2.3 倍も多く電流が流せる．さらに低い耐圧では縦型 MOS との比較になるが，耐圧 70V までは GTBT が優位．結局，耐圧 150 ± 30V の構造で GTBT は他の素子よりおよそ 2 倍の優位性をもつことが予測できた．

Impact of GTBT on Lower and Higher Voltage Use

K. Asada, Y. Murakami

Comparison of the maximum current densities of GTBT, IGBT and vertical power MOSFET chips of the same breakdown voltages, which make a predetermined amount of heat dissipation in PWM inverter circuit, are demonstrated by calculation. On over 700V-chip structure, GTBT can drive more than 20%higher current densities compared with the latest style IGBT, even when the area of final-phase power chip of the GTBT's gate-drive circuit was taken into account the total power chip area, for leveling the total system cost. For lower breakdown voltages, GTBT is to drive 2.3 times higher current density than IGBT on 130V-structure. For still lower voltages, power MOSFET becomes the rival, and GTBT still wins in over 70V-structure. After all, GTBT chip of between 120V and 180V has more than twice superior to IGBT or MOSFET in drive-current capacity.

2． DCVSL 回路を用いた非パイプライン型低雑音 CPU の設計

浅田邦博・池田誠・鄭若　彤・池畑博司・李楠

本研究では，命令セットレベルで Z80 互換性を持つ非パイプライン型低雑音マイクロプロセッサを設計した．非パイプライン構成とすることで，パイプラインレジスタにおける電力消費，雑音，クロックスキューなどよる誤動作をなくすとともに，DCVSL 回路を用いることで，対雑音性の向上が図られる方式である．さらにダイナミック回路を用い必要部分のみを活性化して動作させるため，不要な信号遷移が生じない．また実行の終了信号を検出することで，次の命令実行を開始するため，自己同期回路方式同様に平均

Low noise non−pipeline microprocessor design using DCVSL Cell Library

K. Asada, M. Ikeda, R. Zheng, H. Ikehata, N. Li

We studied a low noise Z80-compatible 8-bit non-pipeline microprocessor. It employs the non-pipeline architecture, which reduces power consumption at pipeline registers, noise induced by clocks and register switching and clock-skew problems. Also DCVSL (Differential Cascoded Voltage Switch Logic) circuit has noise tolerance because of the dual-rail nature. Also we control the microprocessor to activate only the necessary portion to eliminate unnecessary signal transition. We also employed com-

的に高速動作が可能である．本CPUはVerilog-HDLで記述し，DCVSL回路用のライブラリにより論理合成した後，2線式論理ネットリストへの変換を行い，RTLレベルおよびネットリストレベルにて正常動作の確認を行なった．

pletion detection of instruction execution for the next instruction dispatch, which enables the enhancement of the average performance. The microprocessor is described in Verilog-HDL and synthesized using the Synopsys design tool. The synthesized netlist is converted from single-rail to dual-rail, and verified the proper operation.

3. スマートイメージセンサの研究

浅田邦博・大池祐輔・新宅宏彰・田辺健

光切断法三次元計測向けイメージセンサの試作および三次元形状計測システムの構築を行なった．高精細化と実時間撮像を実現するため，画素アクセス直後の出力変化量から高速に有意画素を検出する手法を提案し，640x480画素を有する実時間三次元イメージセンサを試作した．また，センサ性能を引き出すための制御/伝送系を開発し，高精細・実時間距離計測システムを構築した．さらに微弱な投射光の検出を可能にするために，変調を加えた投射光をセンサ面内で検波する高感度・広ダイナミックレンジ位置検出センサを開発した．外乱光に対して独立に変調投射光の座標を検出でき，測定環境ロバストな三次元計測システムを可能とする．また，空間符号化光投射による形状計測システムの検討を行なった．シーン全体に位置座標が符号化された光を投影し，その歪みから形状を得る．空間アドレスとその境界をRGB各成分で表現することで，複雑な形状の物体に対応できる．

Studies on Smart Image Sensors

K. Asada, Y. Oike, H. Shintaku, K. Tanabe

We have developed some smart sensors for real-time and high-resolution 3-D imaging using a light-section method. A 640x480 real-time 3-D image sensor has been realized by our proposed high-speed readout scheme using adaptive thresholding and time-domain ADCs. A real-time and high-resolution 3-D measurement system has been developed using the smart sensor and our designed system controller with Fast SCSI interface. We have also developed a high-sensitivity and wide-dynamic-range position sensor using modulated lighting. The sensor achieves the availability in various ambient lights and the safe light projection for human eyes. It realizes a robust 3-D imaging system in non-ideal measurement environment. We have proposed a new 3-D imaging method using two frames of spatial patterned light projection, which has coded address patterns on the scene. Our method enables to decode the patterned light on a complex-shaped object due to the address code and its boundary assigned to RGB colors.

4. 高速・低消費電力・高面積効率配列型CMOS論理回路方式の検討

浅田邦博・山岡寛明・Ulkuhan Ekinciel

高速性，低消費電力性及び面積効率の高い配列型CMOS論理回路方式として，2入力論理セルを内部構造に有する2線式プログラマブル・ロジック・アレイ（PLA）を提案した．提案方式は配列型回路構造により構成されるため高い設計容易性を有し，任意の2入力論理関数が表現可能である2入力論理セルを用いることにより，複雑な論理式を効率良く実装し，高速化，低消費電力化，高面積効率化を実現している．また，2線式回路構造を用いて同相ノイズに対する耐性を向上し，高い動作信頼性を実現している．更に，提案方式のためのモジュール・ジェネレータを開発し，仕様からLSIレイアウトを自動生成する設計システムを構築した．

A Study on High−Speed, Low−Power, and Area −Efficient Array Logic Circuits

K. Asada, H. Yamaoka, U. Ekinciel

We proposed a high-speed, low-power, and area-efficient dual-rail PLA with 2-input logic cells. The structural regularity of the PLA offers the design simplicity, and 2-input logic cells, which realize any 2-input Boolean function, efficiently realize complex logic functions so that a high-speed and low-power operation is achieved. We employed dual-rail structure to improve the common-mode noise immunity. We developed a module generator for the proposed PLA structure.

5. 電源雑音の解析およびその低減手法

浅田邦博・池田誠・名倉徹・杉山聡・申秀擘・顔子翔

LSIの高速化・低電圧化に伴い，電源ノイズによって引き起こされるエラーが深刻化している．トランジスタのスイッチングを三角波の電流源で表現し，ツリー状の電源メッシュ構造の各分岐点から分岐点までのインピーダンスをFマトリックスで表現することで，チップのレイアウト

Power Supply Noise Analysis and Reduction Method

K. Asada, M. Ikeda, T. Nakura, S. Sugiyama, XB. Shen, T. Yen

As higher-frequency and lower-voltage operation of LSIs, the power supply noise is becoming a critical issue. We have developed a high-speed estimation method of the power supply noise from the chip layout and the transistor level simulation results, by simplifying the transistor switching as the triangle-shape cur-

とトランジスタレベルシミュレーションによるスイッチング情報から電源ノイズを高速に見積もる手法を開発した．また，電源ノイズを低減するのにスタブを用いることを提案した．抵抗成分をも含めた理論計算により，同一面積の平行平板容量よりも効果的にノイズを削減可能であることを示した．

rent source, and dividing the tree-structured power network into multi-terminal F-matrix blocks. We have also proposed to use a stub for power supply noise reduction. A theoretical study shows that the stub can suppress the noise more efficiently compared with a same-space parallel capacitor.

6. 充足可能性判定を用いたDSP向け最適コード生成手法および幅最小セル生成手法

浅田邦博・鈴木真一・瀬戸謙修・吉田浩章・飯塚哲也

DSPの複雑な命令セットに対応したコード生成手法を提案した．まずコード生成を有限状態機械によって定式化した．次にその状態遷移関数を展開し組合せ回路を作った．充足可能性判定を用いて，回路を解析し，コード選択，レジスタ割当て，スケジューリングを同時に考慮して最適なコードを生成した．充足可能性判定を用いた幅最小セル生成手法を提案した．本手法では相補的なMOSを独立に扱うことで，従来の相補的なMOSをペアとして扱う手法よりも幅の小さい配置を生成することが可能である．本手法を32種の論理回路に適用し商用のセル生成ツールと比較を行い，3%の面積増加で46%の処理時間の削減が可能であることを示した．

Optimal Code Generation for DSPs and Minimum-Width Cell Synthesis via Boolean Satisfiability

K. Asada, S. Suzuki, K. Seto, H. Yoshida, T. Iizuka

We propose a code generation technique for inhomogeneous architectures such as DSPs. First, code generation problem is formulated by using a finite state machine (FSM). Then the transition function of the FSM is unrolled into a combinational circuit. By analyzing thw circuit using Boolean satisfiability (SAT) solver, phase-coupled code generation problem is solved. We propose a minimum-width cell synthesis method via Boolean Satisfiability. Our method considers the complementary MOSFETs individually and can generate smaller width layout compared with pairing the complementary MOSFETs case. We applied our method to 32 CMOS logic circuits and showed that it reduce 46% run time with only 3% area increase compared with commercial cell generation tool.

7. チップ内部のバスの高速化手法と配線のモデル化

浅田邦博・池田誠・山本剛志・高山伸一・宮地幸祐

チップ上の長距離高速データ転送に適した3線式データ・クロック符号化手法の提案を行った．本手法はデータとクロックを符号化することで，非同期信号転送にも容易に適用可能でありまた信号間のスキュー問題にも影響されないものである．本手法を線間の容量性結合に加え誘導性結合まで考慮した遅延時間・周囲への雑音の検討を行い，従来の手法と比較して容量結合による雑音を1/3，誘導結合によるリターン電流を1/5に削減できることがわかった．
また，幾何学平均距離（GMD）を用いた相互インダクタンス，自己インダクタンスの導出手法の検討を行い，任意の断面形状において相互インダクタンスを正確に算出可能であることを示した．またPCB上での実測により15%以内の誤差によりインダクタンスのモデル化が可能であることがわかった．

High-Speed Interconnect and Analysis of Inductance on Chip

K. Asada, M. Ikeda, T. Yamamoto, S. Takayama, K. Miyagi

We studied a delay insensitive data communication architecture using 3-wire data encoding, which is applicable to the on-chip long and hi-speed communication lines. This architecture consists of 3-wires for 1-bit data and timing signal. We estimated the capacitive coupling noise and the return current are reduced to 1/3 and 1/5, respectively, by simulation.
We studied smart models for self- and mutual- inductance using the geometrical mean distance (GMD). We demonstrated that it is possible to calculate the mutual inductance accurately for any cross sections with this model. We also demonstrated the accuracy of the models are less than 15% using PCB board measurement.

8. システムレベルの低消費電力設計手法

浅田邦博・石原亨

耐故障システム向けのタスクスケジューリングモデルと低消費電力化手法を提案した．我々の提案するタスクスケジューリングモデルは次に示す3つの特徴を持つ．(i)時間制約を満足すること，(ii) 耐故障性を備えていること，(iii) 低消費電力であること．提案手法はハードウェア（プロセッサ）に単一故障が存在して，その修復に時間がかかっても時間制約を必ず満足するようにタスクのスケジューリ

System Level Power Optimization

K. Asada, T. Ishihara

We proposed an energy reduction technique and a variable voltage scheduling model for fault-tolerant real-time systems. Our model has three attributes : (i) timeliness, (ii) fault-tolerance, and (iii) low-energy consumption. Our technique schedules tasks so as to ensure that timing constraints are not violated even in the presence of faults of its processors. The objective of our approach is to minimize energy consumption by scaling down

ングを行う．また，提案するアルゴリズムはタスクごとの時間制約を満たして，すべてのタスクの実行に必要なエネルギー消費を最小化するようにプロセッサの動作電圧を決定する．実験結果から我々の提案する手法は単純にすべてのタスクを実行する手法より 60%，従来の耐故障システム向け低消費電力手法より 25%エネルギー消費を削減できることが確認できた．

the supply voltage dynamically under real-time constraints. Algorithm to minimize energy consumption for this model is proposed as well. Experimental results demonstrated that our approach can reduce energy consumption by 60%and 25%compared with the results of ``naive approach" and ``conventional approach", respectively.

9． ガラス基板上のシステム構築

浅田邦博・池田誠・小川貴也

ガラス基板上の TFT 製造技術の向上に伴い，液晶パネル上へのシステムの搭載に向けた研究が進行している．本研究では液晶モニターの電子紙としての利用を念頭におき，液晶への非接触でのデータ転送，複数枚のフレームバッファをもち自立的に画面の表示が可能なシステムの構築を目指し，それらに必要となる画像圧縮方式およびデータ転送方式の検討をおこない，圧縮率と必要ハードウエア量の見積りを行なった．

System on Glass Panels

K. Asada, M. Ikeda, T. Ogawa

Researches on embedded systems onto LCD panels have been progressing, according to the progress of TFT fabrication technologies on glass panels. We studied realization of systems on LCD panels, from a view point of stand-alone display devices like electrical papers. We studied image compression techniques for contact-less communication systems between terminals and LCD panels and frame buffers on LCD panels to store several pages of images. We estimated hardware costs against the image compression ratio, which will be required to design systems.

柴田・三田研究室
Shibata/Mita Laboratory

（http://www.if.t.u-tokyo.ac.jp/）

1． 右脳的情報処理集積回路–連想プロセッサ・システム

柴田　直・八木雅和・顧清栄・山崎俊彦・小川誠・中山友之・早川仁

現在のコンピュータは四則演算の超高速処理に特化したマシンであり，人間のように「ものを見て柔軟に判断・理解し，即座に適切な行動をとる」といった情報処理は非常に不得手である．入力情報に対し，過去の膨大な記憶の中から最も近しい事例を瞬時に想起しこれによって次の行動を決定する．こんなアーキテクチャを持つコンピュータの基本ハードウェアを，シリコン超 LSI 技術で実現する研究を進めている．論理演算を得意とする現在のマイクロプロセッサに対し，直感・連想・推論といった処理を得意とした LSI チップを設計・試作してシシテムを構成する．単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ（ニューロン MOS§neuMOS）を導入，膨大な template 群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ，0.18 ミクロン CMOS 技術を用いた超高速ディジタル連想プロセッサ等をこれまで開発した．今後これらのチップで連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップ用いて構築して行く．そのために我々の思考過程を柔軟に記述できる ASPL（Association Programming Language）の開発も行う．四則演算に代わり連想を "computing primitive" とする実時間事象認識知能システム実現を目指す研究である．現在，画像認識・音

Right-Brain-Computing Integrated Circuits: Associative Processing Systems

T. Shibata, M. Yagi, Q. R. Gu, T. Yamasaki, M. Ogawa, T. Nakayama, H. Hayakawa

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called “ Neuron MOS Transistor ”（neuMOS or ν MOS）which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that "association" is the very computing primitive, we are pursuing human-like intelligence system implementation directly in silicon integrated circuits. Currently research is in progress for image recognition and voice recognition processing. The sate-of-the-art silicon technology has been utilized to implement such associative processors in both analog and digital CMOS VLSI chips. As practical applications of the circuit technology developed for the associative processor chips,

声認識をテーマに研究を進めている．ここで開発したVLSI回路技術は，実用的な応用として，CDMAマッチとフィルタ，インテリジェントなインターネットサーチ等への応用技術も開発している．

CDMA matched filter chips and intelligent Internet search engines have been also developed.

2． 画像の特徴ベクトル抽出とそのパターン認識及び医用X線写真解析への応用

柴田直・八木雅和・小川誠・伊藤潔人・田口晶康・鈴木康文・山崎英男・中下友介

我々の連想プロセサアーキテクチャを画像認識に用いるには，2次元の画像情報を特徴ベクトル，即ち一次元の数値列で表現しなければならない．我々はこの目的で，主方向線分投影法（PPED: Projected Principal−Edge Distribution）と呼ぶ新たな特徴ベクトル表現法を開発した．2次元画像に対し，縦・横・斜め2方向，計4方向の線分を抽出してフィーチャーマップを作成，そのビットフラッグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する．これらをつなぎ合わせて64次元ベクトルとし，64×64ピクセルの画像を表現する．これは，元画像の特徴を実にうまく表現しており，手書きによるパターンの変形，歪みに対しほとんど影響を受けない．従って，単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる．特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった．さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用，歯学部学生にも結構困難な解剖学的特徴点抽出がかなり正確にできることがわかった．今後，連想プロセッサと統合し，一般的な知的画像認識システム構築へと発展させていく．このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり，neuMOSを用いたアナログCMOS回路技術，および最先端のディジタルCMOS回路技術の両方を用いて，独自のアーキテクチャを持つ特徴ベクトル生成VLSIチップの開発を行っている．

A Robust Feature-Vector Image Representation and Its Application to Handwriting Pattern Recognition and Medical X-ray Analysis

T. Shibata, M. Yagi, M. Ogawa, K. Ito, T. Tauguchi, Y. Suzuki, H. Yamasaki, Y. Nakashita

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a one-dimensional array of numeric values, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by " Projected Principal-Edge Distribution (PPED) " method. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituritary grand), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

3． 実時間動画像処理プロセッサの研究

柴田直・梅島誠之・山崎俊彦

リアルワールド画像の実時間情報処理を目標に，視野中の運動物体を着目・連続追尾するSaliency Catcher，及びキャッチした物体の3次元計測を瞬時に行えるVLSIプロセッサの研究を行っている．Saliency Catcherについては，擬似二次元処理と呼ぶ新たな手法を導入，すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため，各画素部では大きなフィルファクタ（各ピクセルプロセッサ内でフォトダイオードが占める面積の割合．これが大きいほど多くの画像情報が処理に取り込める）が実現できた．このチップは，複雑な背景の中から複数の動いている物体を，動きの大きさとともに検出できる．さらにカメラ自身がブレて背景が動いていても検出できるとい

Real-Time Moving Image Processing VLSI Systems

T. Shibata, M. Umejima, T. Yamasaki

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has been also developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in real-

う特徴をもつ．実際にチップで基本性能を確認した．さらに運動物体の 3 次元計測をリアルタイムで行うチップも開発した．これはキャパシタ間での電荷の再配置のみを演算に使う回路であり，究極の低消費電力システム実現の可能性を秘めている．

izing flexible hardware processing.

4． 強誘電体薄膜を用いた連想プロセッサ

柴田　直・小林大輔

強誘電体メモリは，不揮発性メモリとしてフローティングゲートを用いたフラッシュメモリに置き換わる可能性があり，現在大変に注目を集めている．それはフローティングゲートメモリに比べ，低電圧での高速書き込みが可能であり，且つ書き込み消去を繰り返したときの寿命が非常に長いからである．しかし，低電圧で書けるということは，僅かな電界でもかかればデータが破壊される可能性があり，これまでは 1, 0 のディジタルデータを破壊読出しする形式が一般的であった．我々は，この強誘電体メモリを，先ずアナログ値を保持するメモリに応用するとともに，これを連想プロセッサの基本エレメントとして用いる研究を行っている．そして，「ヘテロゲート強誘電体 MOS トランジスタ」と呼ぶ新たなデバイス構造を開発した（特許出願済）．現在第一試作ウェーハの評価を行っているところであり，アナログ値の書き込み並びに基本的な連想動作を確認したところである．さらに，連想操作によってアナログの記憶内容が破壊されないことも実験的に確かめた．今後，携帯端末等に埋め込む連想プロセッサとして発展を目指し研究・開発を進めていく．

Associative Processor utilizing Ferroelectric Thin Films in a Hetero-Gate Floating-Gate MOS Structure

T. Shibata, D. Kobayashi

A considerable interest has been drawn to the ferroelectric memory as an alternative to the floating-gate flash technology, due to its superior endurance characteristics as well as low-voltage writing capability. However, the low-voltage writing capability, on the other hand, implies unexpected data change upon the electric field application to the ferroelectric thin film. In this regards, digital storage of 0　and 1　has been mostly implemented employing destructive read operation. We firstly developed a technology for analog data storage in the ferroelectric thin film and then developed a new type of transistor capable of performing associative processing at the very device level. The transistor was named Hetero-Gate Floating-Gate MOS. Test chips were fabricated and evaluated. As a result, we have demonstrated the basic association operation as well as non destructive nature of analog data storage in the Hetero-Gate Floating-Gate MOS structure. The chip is being developed as an associative processor to be used in mobile terminals.

5． 知的データベース検索のための連想プロセサアーキテクチャの研究

三田吉郎・柴田直

膨大な template 群の中から最短距離ベクトルを約 500nsec で完全並列探索する連想相関器を応用することにより，現在 E コマースで行われている単純なキーワードによる絞込みとはまったく異なる，「類似度」を基本とする柔軟な検索エージェントが実現できる．本研究では，VLSI Associative Processor のプロトタイプを用いた基礎実験によって可能性を示したと同時に，検索すべてをサーバ上で行う場合，検索をローカルのコンピュータで行う場合のそれぞれについて，上記目的に最適なプロセッサの構造を提案した．最適化したプロセッサを必要数用いることで，たとえ 1 万人が同時にアクセスしたときでも 1 秒以内に返答が帰ってくるシステムを構成することができる．この数字はソフトウェアの工夫だけでは到達不可能であることが実験的に示された．類似度による柔軟なサーチの一例として，不動産検索を行うエージェントをとりあげ，FPGA 上に実装した完全ディジタルの Associative Processor を用いて実験を行った．

Study on the Associative Processor Architecture for Intelligent Database Search

Y. Mita, T. Shibata

A general-purpose intelligent search agent on the Internet has been developed using VLSI Associative Processor (AP) chips as the hardware accelerator. The agent performs similarity-based search in a large volume of database. Although the similarity-based search processing is computationally very expensive, latency free search has become possible due to the highly parallel maximum-likelihood search architecture of the AP chip. In this study, two search schemes are proposed for intelligent Internet search agents: the server-based solution and the client-based solution. The architecture of the AP chip has been optimized for each of the solutions and their performances are compared. In the server-based solution in which multiple AP chips are mounted on a printed board in the server, 10,000 simultaneous accesses to the intelligent search agent are allowed with a response time of less than 1　sec for all visitors. This is by no means possible in software solutions. As an example of similarity-based intelligent search, an E-commerce real-estate agent system has been developed using the AP chip implemented in field-programmable gate arrays (FPGA) and the effectiveness of such agent systems has been demonstrated.

6. マイクロマシーニングによるナノプローブの作製と新型SPMへの応用

三田吉郎・柴田直・小林大輔

バルクマイクロマシーニングにより，高さ 150，000 ナノメートル，先端の曲率半径 50 ナノメートルの針状構造を作製し，新たな原理に基づく走査型プローブ顕微鏡の針として用いる研究を進めている．これまでに，上記マイクロ尖塔構造を，同時に数百数千のオーダーで制御性良く作製する技術を開発し，走査型トンネル顕微鏡（STM）の高性能な探針として利用できることを示した．完全な等方性エッチング条件下において，ナノスコピックに見た鋭角は保存されるという原理（Convex-corners preservation principle）を応用しており，枚の 5 インチ角基板から最大 3600 個の針を安定に作製することができる．同プローブの先端に特殊加工を施し，表面の磁気像と原子像とを同時観測できる新型顕微鏡の実現を目指す．

Nano-probe fabrication by Micromachining and its application on a new SPM

Y.Mita, D.Kobayashi, T.Shibata

We are investigating a new type of Scanning Probe Microscope (SPM) based on a new principle. A micro spired structure having 150,000nm height and 50nm of curvature radius at the summit is batch fabricated by bulk micromachining for the SPM. A robust and stable batch fabrication technology of the spires is developed at first. The tip showed better stableness in STM measurement than commercially available STM tips. The fabrication employs a generally applicable principle (Convex-corners preservation principle), that enables a stable fabrication up to 3600 probe at the same time. A new STM that can measure atomic-scale magnetic domain and topographic images simultaneously is under investigation as an application.

7. 画像特徴検出回路との融合を目指したMEMSマイクロ光学システム

三田吉郎・柴田直

機能融合システムデバイス」研究の一環として，集積回路と MEMS 技術との融合を目指したシステムの実証を行っている．画像から特徴抽出を行うセンサ集積 VLSI の問題点は，広領域に渡った演算を行おうとすると，隣接する画素との情報交換のための配線量が爆発的に増大することである．この限界を，電子回路だけでなくマイクロマシーニング技術で作製した光学部品との集積化によって解決しようとするものである．すなわち，情報を電気信号に変換する前に，光のまま隣接セルに分配することで配線無しに広近傍の情報を得ることができるシステムである．バルクマイクロマシーニングにより，200 ミクロン厚のシリコンウェハより，幅 25 ミクロンの平行鏡や，菱形鏡を作製し，設計どおりの画像転送が行えることを示した．

MEMS Optical Systems for Integration with Feature Extraction VLSI Sensors.

Y. Mita, T.Shibata

As a subproject of "Functionalities-Integrated system devices", we are investigating an integrated system with VLSIs and MEMS components. One of the limitations of photodetector-integrated feature extraction VLSI is the wiring bottleneck problem: the amount of wires explodes with the increase of searching area. We are claiming that taking the advantage of integration with micro optical components, the pixel image data can be optically forwarded to their adjacent cells with no electrical wirings, thus solving the wiring bottleneck problem. From a standard 200um-thick Si wafer, 25um-width parallel mirrors array chips and rhombus-shape mirrors array chips are fabricated. Image-pixel forwarding was successful as it is designed.

藤田研究室
Fujita Laboratory

（http://www.cad.t.u-tokyo.ac.jp）

1. 設計の形式的検証に関する研究

藤田　昌宏，Thanyapat Sakunkonchak，松本　剛史，吉田　充孝

設計の大規模化・複雑化に伴い，現在設計期間の大半は検証に費されているとも言われている．そこで，設計の初期段階であるビヘイビアレベルの設計記述の論理検証を効率よく行うことが特に重要な課題といえる．従来型の論理検証手法は主にシミュレーションによるものであったが，そ

1. Formal verification of digital systems

Masahiro Fujita, Thanyapat Sakunkonchak, Takeshi Matsumoto

As digital systems become larger and more complex, design process of digital systems is said to be devoted mainly to design verification. Therefore, efficient verification of digital systems, especially in their early development stage of behavior-level, is major subject in design scene. Conventional logic verificati on methodologies mostly consist of simulation, but the number of

こでのテストパターンが飛躍的に大きくなっているため，より効率のよいテストパターンの自動生成手法や，シミュレーションを用いず数学的に正しさを示す形式的検証技術が必要とされている．また，ビヘイビアレベルでの設計を記述する言語としては Verilog-HDL，VHDL，C 言語などがあるが，中でも昨今では C 言語をベースとして一部機能を限定したり拡張したりした言語（SpecC，SystemC など）による記述が注目を浴びている．そこで，本研究では，ハードウェア記述向けの C 言語によるビヘイビアレベルのハードウェア設計記述に対する等価性検証，システムレベルにおける SpecC 言語記述の同期検証の二点を扱っている．加えて，SpecC 言語の検証に必要な SpecC 言語に対する Program Slicing 手法の開発も行っている．

test patterns have been increasing rapidly. Hence more efficient techniques are important now, such as more efficient techniques of automatic test pattern generation, and formal verification methods, which proves design correctness without simulation. Another hot topic in design methodologies is design language. Several design languages are available in behavior-level design: Verilog-HDL, VHDL and C for example. Of these languages, C-base languages, with several restricted or extended features, such as SpecC and SystemC are attracting attention these days. We focus on two issues, equivalence checking of behavior-level C-base language designs and synchronization of SpecC language. In addition, the method of program slicing of SpecC which necessary to these verification issues in SpecC is developed.

2． 算術演算回路における回路修正技術に関する研究

藤田　昌宏，小松　聡，久保　賢生

集積回路の大規模化・複雑化にともない，設計時間が長期化し，検証・デバッグに費す時間が支配的になってきている．設計者は，製品用にスタンダードセルを，試作用に FPGA を主に用いてきたが，DSM 時代に突入しどちらの実装においても回路性能はレイアウトに大きく依存するようになっている．そのため，設計誤り，仕様変更等による再設計が大変難しくなり，元の回路と同等の性能を出すために，デバッグでは最小の回路変更をすることが重要になっている．そこで，本研究において論理設計での算術演算回路を対象としたデバッグ手法を提案している．デバッグ手法は，論理的に正しい回路と設計誤りを含む回路の対応づけを入力側からと出力側からそれぞれ行い設計誤り部分を抽出する処理と，設計誤り部分を正しい回路へ置き換える処理の二つの処理から構成されている．本研究では，抽出部分の実験を行い，提案するデバッグ手法の評価を行った．

2． Debug Methodology for Arithmetic Logic Circuits

M. Fujita, S. Komatsu, M. Kubo

As VLSI design becomes larger and takes up much longer time, verification and debug of logic design become the dominating part of the total design period. Since arithmetic circuits are considered as time-consuming parts in typical LSI design, designers spend much time in optimizing in logic design and layout. Therefore minimal revision of circuit structures as debugging is important to preserve performances. In this research, we give a debugging methodology targeting arithmetic circuits which modifies circuits locally and speeds up the total design time for redesign as a result. To complete debug, we identify erroneous parts by mapping, forwardly and backwardly, erroneous circuits with correct reference circuits generated from a architecture library, and revise them. We performed some experiments for identifications of erroneous parts to evaluate our proposed methodology.

3． 論理回路合成技術に関する研究

藤田　昌宏，劉　宇，小松　聡

超微細化 VLSI の時代に入ると，論理設計と物理設計を完全に独立させた設計手法では，様々な問題が浮上してくる．DSM（Deep Sub-Micron）プロセスでは，遅延に影響する要素がゲート容量だけではなく，配線容量，配線間の結合容量が遅延に影響を与えるため，物理的な配線を考慮しないと，遅延を正しく見積もれなくなっている．また，設計の一部のみを変更する場合に設計の前階段に戻って最初から各階段をやり直すため，設計時間が大幅に増加し，設計効率が非常に悪くなっている．このような理由から，設計の各階段で，論理設計と物理設計を融合する設計方法が求められている．

本研究では，配線不可能な配線の再配線問題を仮定して，論理設計と物理設計の融合手法を探索する．この手法では，物理設計の最適化だけではなく，論理を変更せずに，もとの論理回路を変更させることを行った．まず，配線できない部分の物理情報（配置，配線）を抽出する．次に，この

3. Logic synthesis and layout combined techniques

Masahiro Fujita, Liu Yu, Satoshi Komatsu

Keeping logic design and physical design in separation will bring us many rough problems especially in Deep Sub-Micron (DSM) technology. For instance, when device dimension shrinks to DSM range, transistor capacitance will not dominate the entire delay, on contrary, interconnection delay will play more important role in delay. If we ignore the physical information, we can't estimate this parameter correctly. For other case, if we just do some Engineering Change (EC), the separation of logic design and physical design will lead to low efficiency. Therefore, the research on combination between logic design and physical design has gather many interest by art recently.

This research goal at a EDA tool which can integrate logic synthesis and physical synthesis together potently. As a first step, we will study on a solution for re-routing route failure wire. The field will be focused not only on logic but also on layout. Original layout information will be abstracted to generate new netlist

情報を利用して，回路論理を変更せずに配線しやすい最適な回路へと変化させる．その際に，クリティカルパスに着目して回路変更を行うことで，回路性能を向上させることができることを確認した．

by which will make the routing easier. From the experimental results, we showed that the circuit performance can be improved by considering the critical path at the re-wiring stage.

4．ソフトウェア・ハードウェア協調システム設計技術に関する研究

藤田　昌宏，小松　聡，小島　慶久

デジタルシステムを実現する際に，ソフトウェアとハードウェアが適切に役割を分担することにより，価格性能比を最適にする設計技術，および設計支援技術について研究している．本研究では，従来の追加ハードウェアの制御回路をマイクロコントローラとメモリに置き換えることにより，チップ作製後に修正可能なアーキテクチャを提案している．追加ハードウェアを専用命令セットをもつプロセッサとしてモデル化し，アプリケーションから最適な命令セットを自動生成し，また，その命令セットを用いて最適なコードを自動的に生成する．制御回路をマイクロコントローラに置き換えることで，チップ上の全てのハードウェアが予め用意したハードマクロライブラリ（IP ライブラリ）に存在することになるため，「論理合成」をほぼ完全に排除することが可能となる．そのため，設計における Time-to-market と turn-around time を劇的に削減することが可能であり，さらにプログラムコードを変更することにより，チップ作製後の仕様変更が容易となる．例題の暗号化アルゴリズム Rijndael にて，専用命令を持たないプロセッサの場合と比較して，ステップ数で 2.6 倍程度高速化が可能との見積りを命令セットシミュレータを用いて得た．

4．Computer Aided Design for Software / Hardware Combined Systems

M. FUJITA, S. KOMATSU and Y. KOJIMA

Design methodologies and corresponding CAD techniques for software/hardware combined digital systems are studied. In this study, we replace the conventional controller circuit of the specialized hardware with compact micro-controller and memory in order to increase the debuggability and the flexibility of design even after chip fabrications. Specialized hardware can be modeled as the processor with the specialized instruction-set for the target application. The optimal specialized instruction-set is automatically generated from the given application, and the optimal code using the generated instruction-set is also automatically generated. Since we replace control logics with a micro controller with instruction memories, by using IP libraries for (arithmetic and/or logical) functional units, we can almost completely eliminate "logic synthesis process". It results in huge decrease of time-to-market and turn-around time since it need not synthesize any circuits. Moreover designers can debug after chip fabrication by modifying only program code, it indicates that this architecture can be easily applicable for EC (Engineering Change). Instruction Set Simulator estimated that our processor can achieve the 2.6 times faster performance in step-count than the generic processor without specialized instruction-set, for the example, Rijndael encryption algorithm.

5．低電力システム設計技術に関する研究

藤田　昌宏，小松　聡

近年の極微細プロセス技術の進歩により，高性能なシステム LSI が実現可能となったが，それに伴い消費電力の増加が大きな問題となっている．また，プロセスの微細化に伴い，配線やチップインタフェースでの消費電力が全体の消費電力に対して相対的に大きくなってきており，いかに低電力にデータを伝送するかということが低電力設計に大きな影響を与えている．このような観点から，多くの低電力データ符号化手法が提案されている．通常，アドレスバスはデータバスと比較して時間軸での因果関係が大きいため，アドレスデータが冗長性を持つため非常に効率的に信号遷移頻度を削減できる．本研究ではジャンプ / 分岐などの履歴に着目し，消費電力削減効果が高く，かつ非冗長な符号化手法を提案し，その評価を行った．実験結果より，信号遷移頻度を約 90%削減可能であることを示した．

5．Low power system design method

Masahiro Fujita, Satoshi Komatsu

Though recent shrunk VLSI technology has realized high performance system LSI, the increasing power dissipation is becoming serious concern on system LSI design. It also causes the increase of power dissipation of data transmission on interconnects / chip interface compared to overall chip power dissipation. In this study, we propose an irredundant low power address bus encoding method by considering JUMP / BRANCH history. Generally the instruction address bus increases by same step without JUMP / BRANCH operation. It indicates that the switching activity is decreased effectively by mapping low switching code word to the address which appears frequently. We evaluated this encoding method by using some bench-mark programs. Experimental results show that our method can decrease the number of signal transition by about 90%.

6．LSI チップ故障・誤設計診断技術に関する研究

藤田　昌宏

6．Diagnosis techniques for manufacturing faults and design errors

M. Fujita

LSI チップの故障診断技術，ならびに論理設計の自動誤設計修正技術について研究している．LSI の故障と，論理設計時の誤りを統一的に扱うモデルを提唱し，それをもとにした診断アルゴリズムについて研究している．また，従来から行われているゲートレベルだけでなく，レジスタ転送レベルやシステムレベルでの故障診断・誤設計診断技術についても研究している．

Diagnosis techniques for LSI manufacturing faults and automatic error correction techniques for logic design errors are studied. We have proposed a unified model that can capture both manufacturing faults and design errors, and are studying on circuit analysis techniques based on that model. Diagnosis and error correction techniques not only in gate-level designs, but also in register-transfer-level and system-level are being studied.

7. 電気系・機械系協調設計 / 検証技術

藤田　昌宏，小松　聡，小島　慶久，松本　剛史

宇宙衛星などのように，動作現場での仕様変更・システム修正が困難なアプリケーションにおいては，抽象度の高いレベルから最終的な製造物に至るまで，一貫した仕様記述・設計検証技術が不可欠である．本研究では，実際の衛星をターゲットとし，電気系・機械系の双方を考慮した設計支援・検証技術の研究を行っている．

7. Co-design methodology on electric and mechanical mixed systems and its verification techniques

Masahiro Fujita, Satoshi Komatsu, Yoshihisa Kojima, Takeshi Matsumoto

In the application where the on-site debugging cannot be carried out such as space satellite, the consistent (from higher abstract level to the final satellite) techniques related to specification description and design verification are indispensable. In this study, we are studying the design methodology and verification method of actual satellites considering both electric parts and mechanical parts of satellite.

一色研究室
Isshiki Laboratory

（http://www.vlsi.ss.titech.ac.jp）

1. 高密度ビットシリアル FPGA の LSI 検証システムの開発

一色　剛，渡辺　究，渡辺　茂，イプト・シスラ，國枝　博昭

本研究では，FPGA に基づいた構造可変システム上において，画像・信号処理を中心としたアプリケーションを開発するための総合的な CAD の開発，新しい FPGA のアーキテクチャの開発，チップ・オン・チップ包装技術を用いたアレイ IO を持つ FPGA アーキテクチャ及び大規模メモリアーキテクチャ等を採り上げる．我々はこれまで，このビットシリアルデータパスに特化した新しい FPGA のアーキテクチャの設計及びその VLSI 設計を行ってきており，論理ブロック構造及び配線構造をビットシリアル回路をターゲットに最適化した結果，既存の FPGA よりも高速・高密度な FPGA の開発に成功している．これまでに VLSI 化したものは，ロジックブロック内の LUT にシフトレジスタ機能を付加した新しいアーキテクチャを持つビットシリアル FPGA を 0.35um，3 層メタルの CMOS プロセスでフルカスタム設計し，3mm 角の面積で 2 万ゲート規模の FPGA が実現できる事を実証した．チップの総トランジスタ数は約 980,000 である．今年度は，この FPGA の LSI の検証システムについて重点的に研究を進めてきた．FPGA の構造と機能をソフトウエア上でのモデル化，FPGA 上にマッピングする回

1. LSI Verification System for High Density Bit-Serial

T. Isshiki, T. Watanabe, S. Watanabe, I. Sisla, H. Kunieda

This research focuses on all aspects of design issues on FPGA-based reconfigurable systems, including application development CAD platform for image/signal processing, new FPGA architecture, area-IO FPGA architecture and area-IO memory architecture for chip-on-chip packaging. We have been developing a new FPGA architecture for bit-serial datapaths and have implemented in VLSI. Logic block architecture and routing architecture is optimized for bit-serial circuit structure, and this new FPGA architecture is shown to be superior in terms of logic density and speed compared to the existing FPGAs. On our latest version, LUT architecture is modified to implement shift registers which are frequently used in bit-serial circuits. This VLSI is design in full-custom on 0. 35um/3 metal CMOS process and its programmable logic capacity reaches 20,000 gates on 3mm by 3mm core area. Total transistor count is about 980,000. In this fiscal year, we have been concentrating on developing an LSI verification system for our FPGA chip. This verification system consists of a complete structural and behavioral model implemented in software, automatic place-and-route and bit-stream generation tools, and the integrated testing environment of these

路の自動配置配線・ビットストリーム生成ツールの開発，さらにはLSIテスターとこれらのFPGAツールを統合した検証環境を構築した．FPGA用CADツールにおいて，チップ検証（配線検証・ロジック検証）用の回路をマッピングし，その回路に対応したビットストリームをLSIテスター用の入力ベクトルに自動変換し，さらにその回路用のテストベクトルも自動生成することにより，FPGAチップ全体の検証が可能となった．今後は，検証ステップを削減するための検証用回路の設計手法や，チップの一部に不良が見つかった場合に，その不良をFPGA用CADツールが回避し，正常なチップとして機能させるための新しいフォルトトレラント手段の確立について取り組んでいく．

tools together with the LSI tester. Test circuits (its purpose being the testing of routing structures and logic structures inside the FPGA) are mapped onto the FPGA, then the corresponding bit-stream for FPGA configuration is converted into the input vector format for the LSI tester, and finally the input and output (verification) vectors are automatically generated and appended to the overall test vector. Our next focus is to develop a test circuit design methodology for minimizing the verification steps, and also to enhance our CAD tools which has the ability to avoid chip defects during place-and-route so as to provide a new scheme for fault-tolerance on the FPGA.

2. 低ビットレートビデオコーデックシステム

トリオ・アディオノ，李　冬菊，一色　剛，國枝　博昭

本研究では，H263+やMPEG4用のビデオコーデック処理のアルゴリズム開発やハードウエア・ソフトウエア実装を取り上げている．処理アルゴリズムについては，処理・転送遅延を最小化する新しいレート制御アルゴリズム，動きベクトル及び係数量子化方式，人物と背景を分離し人物の画像の画質を大幅に改善するフェースフォーカスアルゴリズム等，すべてITU規格のH.263+に準拠した形で実現し，従来に比べて大幅な画質の改善，ハードウエア量削減，伝送遅延削減等を実現している．また，ハードウエア実装については，最適設計された種々の専用演算回路を効率的に制御する機構を持ち，それぞれの専用演算回路同士の動作依存性の排除を可能にしたSystem-MSPAアーキテクチャを取り入れたLSI実装を行っている．本年度は，これまでの成果を実際の動画像・音声通信まで含めた実システムの実装を中心に研究を進めてきた．実システムにおいては，個々の入出力装置（カメラ／ディスプレイ，マイク／スピーカ）とのデータ転送とコーデック処理の同期や，さらにはインターネットを介した2つまたはそれ以上のコーデックシステムにおける通信・同期処理が必要となるため，コーデック処理の個々のプロセスが複雑な相互処理依存関係を形成する．これらのコーデックプロセスを動的に変化する環境（動画フレームレート，通信速度）において柔軟にスケジューリングを行うために，コーデック処理や通信・同期処理をマルチスレッド化し，これら並列プロセスの効率的な制御方式を開発した．

2. Low Bit-Rate Video Codec System

T. Adiono, D. Li, T. Isshiki, H. Kunieda

This research focuses on the algorithm development of H263+/MPEG4 video codec and its implementation on hardware and software. Our work on the algorithm development includes: a new rate control algorithm which reduces the processing delay and transmission delay and minimizes skipped frames, a new quantization scheme for motion vectors and DCT coefficients, a new algorithm which extracts human faces from other objects and significantly enhances the image quality of face region. For the hardware implementation issues, we have designed several LSIs based on our System-MSPA architecture, where each of the custom-designed special-purpose units are controlled by a unique scheduling scheme which eliminates the behavioral dependencies among the different units. In this fiscal year, we have shifted our focus on applying our previous works into the actual system of real-time video transmission via internet. In the actual system, the data transmission among various peripheral devices (camera, display, microphone, speaker) must be synchronized with the codec processes, and furthermore, these processes must also be synchronized among 2 or more video codec terminals connected via the internet, creating a very complicated process dependencies among the individual codec processes. In order to flexibly schedule these codec processes under a dynamic environment (frame rate, data transmission speed), we have developed a methodology for multithreading the codec processes and efficiently control these parallel process.

北神研究室
Kitakami Laboratory

（http://www.icsd2.tj.chiba-u.jp/~kitakami）

1. バースト誤り制御符号に対する並列復号法

藤原　英二，難波　一輝，北神　正人

1. Burst Error Recovery VF Arithmetic Coding

E. Fujiwara, K. Namba, and M. Kitakami

通信システムや光 / 磁気記録システムなどにおいて，雑音や媒体上の傷などが原因となりバースト誤りが生ずることが知られており，バースト誤り制御符号が多くのシステムに適用されている．バースト誤り制御符号における復号法として，リニアフィードバックシフトレジスタ（LFSR）を用いた逐次復号法が知られている．しかし，大量のデータを同時に読み出し書き込みを行なう，例えば，ホログラフィックメモリにおいてもバースト誤りに対する制御が必要であり，このメモリシステムの例ではバースト誤り制御符号の並列復号が望まれる．本研究では，一般に，ファイア符号を含む線形バースト誤り制御符号に対し，組合せ回路により実現する並列復号法を提案する．本復号法は，パリティ検査行列の部分行列を含む正則行列の逆行列を用いてバースト誤りパターンを求め，この誤りを完全に含むフレームからのみ正しいバースト誤りパターンが出力することにより訂正できる．さらに，単一バイト誤り訂正機能を有する符号に対しても本復号法を適用し，従来より回路量の少ない復号が実現できることを示す．
バースト誤り訂正符号およびバイト誤り訂正符号に対し，具体的に復号回路を構成し，その回路量等について比較，評価している．また，本復号法は多重バースト誤りおよび多重バイト誤り訂正符号に対しても並列復号可能な汎用性の高い復号法であることを示す．

In communication systems and optical / magnetic disk systems, burst errors occur due to noise, defects or dust on recording media, etc. From this, burst error control codes are now popularly applied to these systems. In these systems, a serial decoding using Linear Feedback Shift Register (LFSR) is popularly used. In holographic memories, for example, burst errors may occur and large amount of data are read out and written in a parallel manner. In these systems, a parallel decoding for burst error control codes is strongly required. This study presents a general parallel decoding method applicable to any linear burst error control codes including existing Fire codes. In this method, the burst error pattern is obtained by using an inverse matrix of a nonsingular matrix which includes a sub-matrix of the parity check matrix of the codes. Burst errors can be corrected by using the error pattern and the frame which completely includes the burst error. Furthermore, this study shows that the proposed method can be applied to the byte error control codes, such as Reed-Solomon codes, whose decoding circuit requires less hardware amount than that of the existing parallel decoding circuit. Decoding circuits for burst error control codes and byte error control codes are constructed based on the proposed method and evaluated from the point of gate amount. This paper also clarifies that the proposed method can be extended and applied to parallel decoding of the multiple burst / byte error correcting codes, and therefore this proves to be a general parallel decoding of the error control codes.

2． 一般化階層型完全結合網における対故障性

高畠俊徳，北神正人，伊藤秀男

超並列計算機向きネットワークのトポロジとして，一般化階層型完全結合網（HCC）が提案されている．この HCC を並列処理計算機システムへ効果的に適用して，HCC 上において効率良く処理を実行するために，HCC が本来もっている並列処理または信頼性に関する性質を明らかにする必要がある．しかしながら，他の階層型ネットワークを一般化している任意の HCC において，それら諸性質は十分に明らかにされていなかった．本研究では，HCC のそれらの諸性質として，ハミルトニアン，ノード連結度，ディスジョイント経路，コンテナ，耐故障時直径を明らかにする．これを用いて他の既存の階層型ネットワークの諸性質も明らかにした．また，HCC の故障時直径はその直径の約 1.5 倍となることを確認した．

2. Fault-Tolerant Properties of Generalized Hierarchical Completely-Connected Networks

T. Takabatake, M. Kitakami, and H. Ito

As a network topology for a massively parallel computer system, Generalized Hierarchical Completely-Connected Networks (HCC), which generalizes conventional hierarchical networks, have been proposed. To apply the HCC to a parallel computer system effectively and to execute processing of data on the HCC efficiently, there must need to reveal the properties inherent in the HCC about parallel processing or fault-tolerance. However, for HCC, both properties have not been proved enough. In this syudy, the properties, such as Hamiltonian, node-connectivity, disjoint-paths or container, and wide-/fault-diameter, are verified for HCC. Especially, the concept of block-connectivity related to the node-connectivity of HCC is introduced, and the fault-tolerance of HCC is discussed. Furthermore, to clear those properties of HCC, the properties of other hierarchical networks are also cleared. As results, the HCC have their fault-diameter that is 1.5 times as long as the diameter of HCCs.

3． 双方向復号可能な LZ77 符号

中本　健太郎，北神　正人

先頭からだけでなく最後尾からも復号可能なデータ圧縮法は双方向復号可能な圧縮法と呼ばれるが，この種の圧縮法

3. Bidirectionally Decodable Data Compression for LZ77 Coding

K. Nakamoto and M. Kitakami

Bidirectionally decodable compression can decompress not only

は圧縮データに生じた誤りの制御に有効である．すなわち，誤り位置が既知の場合双方向からの復号法を併用すると圧縮データのほとんどを正しく復号できる．しかし，既存の双方向復号可能な圧縮法はほとんどがハフマン符号を元にしていた．本研究ではユニバーサル符号であり一般的にハフマン符号よりも優れた圧縮率が得られるといわれているLZ77 符号をもとにした双方向復号可能な圧縮法を提案している．本手法では圧縮時に用いるスライド辞書の前方に再帰参照部と呼ばれるバッファを設け，一致系列で用いられる文字列が再帰参照部のみに依存するように一致系列の検索に制限を設けている．計算機シミュレーションの結果，双方向復号可能しない通常の LZ77 符号と比較した圧縮率の増加は最大で 7.10%であり，本手法で圧縮したデータに誤りを生じさせた場合でも先頭から復号すると 50%以上のデータが正しく復号できることが分かった．

in forward direction, from the top to the tail of compressed data, but also in backward direction, from the tail to the top of the compressed data, and is one of the effective schemes for error tolerance in the data compression. That is, if the position of the error in the compressed data is known, most of the compressed data can be decoded correctly. Most of the bidirectionally decodable data compression methods, however, are based on Huffman coding. This study proposes bidirectionally decodable data compression for LZ77 coding, which is a class of universal compression and generally achieves better compression ratio than Huffman coding. The proposed method introduces a recursively-referred part in front of the sliding window and restricts the matching so that the matched data depend on only those in the recursively-referred part. Computer simulations say that the compression ratio of the proposed coding is at most 7.10% larger than that of the LZ77 coding and that forward decoding in the proposed method can obtain more than 50% correct decompressed data from erroneous compressed data.

4． 双方向復号可能なハフマン符号を用いた誤り訂正手法

中村悟史，北神正人

データ圧縮技術は記憶容量と通信時間の削減を目的として現在盛んに利用されている．特に無歪データ圧縮は圧縮前と全く同じデータが得られる圧縮法であり§文書データ等に圧縮に盛んに利用されている．圧縮データは誤りに対する耐性が非常に弱く圧縮データに生じた 1 ビットの誤りでも伸長結果のほとんどに影響を与えることもある．圧縮データに生じた誤りを制御する方法として，圧縮データを先頭からだけでなく最後尾からも復号可能とした圧縮法が提案されているが，本手法は誤り位置が得られないと有効に誤り制御を行うことが出来ない．また，算術符号，Ziv-Lempel符号については誤り制御符号と組み合わせた誤り訂正法が提案されているがハフマン符号に対しては効率の良い手法は提案されていない．本研究では上述の双方向復号可能なハフマン符号の双方向からの復号結果を比較することにより誤り位置の候補を得，誤りパターンの予測や再復号を用いて誤り位置の候補を絞り込むことによってバースト誤りを訂正する手法を提案している．計算機シミュレーションの結果，本手法は誤り訂正機能を超えたバースト誤りに対しても高い確率で検出できることが確認された．

4． Error Correction by Using Bidirectionally Decodable Huffman Coding

S. Nakamura and M. Kitakami

Data compression is popularly used in order to save storage area and communication bandwidth. Especially, lossless compression, where decompressed data are completely same as the source data, is applied to text compression.

However, compressed data are very sensitive to errors and just one bit error in the compressed data can give serious damage to the decompressed data. Bidirectionally decodable compression, whose compressed data can be decoded not only from the top but also from the tail, is thought to be a solution. This compression cannot recover the error, however, if the location of the error is not known. While error recover methods for arithmetic coding and Ziv-Lempel coding have already been proposed by using error control codes, that for Huffman coding has not been proposed yet. This study proposes error recovery method for Huffman coding by using the bidirectionally decodable Huffman coding. By comparing the decompression results in both directions, the candidates of error locations are obtained. Estimation of the error pattern and redecompression select the candidates. Computer simulations say that the proposed method can detect the error beyond error correction capability with high probability.

5． ソフトウェアを用いた PCS 方式ルーティング

大塚陽介，北神正人，伊藤秀男

並列計算機は，物理科学計算，気象予測，遺伝子解析など大規模な計算を必要とする用途で現在盛んに利用されている．並列計算においてメッセージ交換方式の改良は計算能力および耐故障性の向上に重要であり，これまでさまざまな手法が提案されてきた．PCS（Pipelined Circuit Switching）方式はリンクやノードに故障などがあるときに経路の再構

5． Software-based PCS Routing

Y. Otsuka, M. Kitakami, and H. Ito

Parallel computing are popularly applied to the application where many calculations are required, such as physical calculation, weather forecast, and genetic analysis. Especially, message exchange method is one of the most important factors to determine performance and fault-tolerant capability of the parallel computers. Pipelined Circuit Switching, or PCS, is a class of

成が容易であるが，現在までに提案されているルーティングの手法ではルータに専用のハードウェアを付加する必要があった．本研究では，耐故障性のあるソフトウェアベースのPCS方式のルーティング手法を提案する．本手法ではパケットのヘッダ部分に情報を付加することにより，ルータにハードウェアを付加することなく故障時の経路再構築を可能としている．計算機シミュレーションにより本手法が従来のソフトウェアベースの手法よりもスループットが向上することを確認した．

message passing method and is an effective method for the parallel computers with faulty links and nodes. This method requires hardware overhead to each router. This study proposes software-based PCS method which is implemented by adding backtrack information to the header of a packet. This method can reconstruct the route without hardware overhead of routers. Computer simulations say that the method provides better throughput than the existing software-based switching methods.

小林研究室
Kobayashi Laboratory

（http://www-lab13.kuee.kyoto-u.ac.jp）

1． 機能特化型プロセッサアレイによるシステムLSIアーキテクチャとその設計手法

湯山洋一，小林和淑，小野寺秀俊

本研究では，単一の機能に特化したプロセッサを複数並べることで，システムLSIを構成する手法について述べる．提案する手法においては，周辺ハードウェアを専用のハードワイアードロジック（布線論理）ではなく，単一の機能に特化したプロセッサとして実装する．本手法では，周辺ハードウェアであるプロセッサの物理設計を早期に開始でき，周辺プロセッサで動作するソフトウェアの修正により機能修正を行なうことができる．設計の大きな後戻りを減らし，物理設計の最適化を十分に行なうことが可能となる．これにより，設計期間を大幅に短期化することができる．
一般の組み込みプロセッサを周辺プロセッサとして用いると，ハードワイアードロジックに比べて，面積や消費電力が大きくなり過ぎるため実用的ではない．このため，各周辺プロセッサとして不要なシステム制御などの機能をできるだけ取り除いた小型プロセッサMiu-Processorを設計した．本プロセッサは，実行する機能に応じて，データパス幅，レジスタ数，演算器などを柔軟に削減することができる．
提案手法を用い，JPEG符号化システムの設計実験を行なった．この結果，性能的に手設計の回路には劣るものの，3日間と非常に短かい期間で，システムを設計することができた．提案するアーキテクチャは，データレベルでの並列度よりも，関数やスレッドなどの大きいレベルでの並列度が要求される用途で有効である．このような場合，非常に短期間で与えられた仕様を満たすLSIを設計することが可能である．

1． A System LSI Architecture and its Design Methodology using a Unifunctional Heterogenous Processor Array

Yoichi Yuyama, Kazutoshi Kobayashi, Hidetoshi Onodera

We propose a heterogeneous processor architecture and its design methodology to shorten the design period of the system LSI. It enables fast implementation of a system LSI including an embedded CPU and peripheral functional blocks. Each functional block of the system under design is implemented to a customized processor, instead of a peripheral hardwired logic. Although area, power and performance of the proposed architecture are a little bit inferior to those of hardwired logics, the design period of the processor is considerably minimized, since the ROM pattern (software) and the layout pattern (customized processor, i. e. hardware) can be designed simultaneously and independently. If a general-purpose processor is used as a peripheral processor, its area and power consumption will be unacceptable for embedded solutions, compared with those of hardwired logics. We design a prototype of a simplified customizable processor called "MiU Processor". Its processor organization is varied according to parameters, such as bit width and/or the number of registers, variation of computing unit, and so on.
We apply this method to a design of a JPEG encoding system. As a result, although it is inferior to the circuit of hardwired logic, we can design a system in a few days.
The proposed method may not be applied to data-intensive applications in which the data-level parallelism is very high such as motion estimation. But if the given operations contain so many threads or functions, each of which has very little data-level parallelism, the proposed design methodology is very effective to implement an LSI that meets a given specification in very short design period.

2. マルチプロセッサ型システムLSIのFPGAによる高速プロトタイプ手法

高井幸輔，小林和淑，小野寺秀俊

近年，集積回路技術の発達に伴って情報の符号化や復号，信号処理などの機能を1チップに集積したSoCが多く使われるようになり機器の小型化・低消費電力化に貢献している．しかし，SoCの設計や検証は回路が複雑になるに従ってますます設計者の負担を大きくしている．

本研究では，FPGA（Field Programmable Gate Array）を用いてSoCの設計および検証を高速化する手法を示す．FPGAでは一般のASIC（Application Specific Integrated Circuit）に比べてハードウェア回路として実現するまでの時間が短く機能検証などを行う場合の効率を上げることができる．

しかし，FPGAでもハードウェア記述からコンフィギュレーションのためのデータを生成するには数十分から数時間を要する．これはアーキテクチャ検証の段階で回路を少しずつ変更しつつ検証を行うような場合にはハードウェア記述を書き換える時間に比較して無視できなくなり設計の効率が悪くなる．

これに対して，FPGAに搭載する回路を固定化し，回路の変更をソフトウェアで行う手法を提案する．この目的のために，SoCの機能を複数の単機能プロセッサコアで実現するアーキテクチャを提案する．各プロセッサの機能は固定し，アプリケーション固有の布線論理回路は使用しない．SoCの機能をソフトウェアで実装することによってFPGAで実装する回路を固定し，再コンフィギュレーションにかかる時間を省く．本論文ではソフトウェアを変更するために各プロセッサが個別にプログラムメモリを変更する方式はとらず，それらを書き換えるための専用のプロセッサを配置する．これによってホスト計算機との通信が簡単になり，各プロセッサのレジスタ数やデータパス幅を変更した場合であっても支障なくソフトウェアの書き換えを行うことができる．このようなアーキテクチャのSoCに適した単機能プロセッサコアの設計ならびにそのソフトウェア開発環境の構築も行った．

提案手法を用いて設計実験を行った結果，FPGAの再コンフィギュレーションよりはるかに短時間で機能の書き換えを行うことができ，この手法が有効であることを確認した．

2. Fast Prototyping Method Using FPGA for Multi-Processor SoC

Kosuke Takai, Kazutoshi Kobayashi, Hidetoshi Onodera

In recent years, rapid progress of semiconductor technologies for integrated circuits has been enlarging the usage of SoC (System on Chip). SoCs are used for information codecs or signal processing and contributes to down-sizing and low-power. However, SoC circuitries become more and more complicated, design and verification of SoC become a heavy burden for designers.

In this paper, we propose a methodology to enable SoC design and verifications in shorter period using FPGA (Field Programmable Gate Array). FPGA can implement circuits more quickly than ASIC (Application Specific Integrated Circuit), which makes functional verifications more efficient.

FPGA consumes a lot of time to generate its configuration data from a hardware description. This may be unpermittable when modifying a small part of implemented circuits, because it takes long to generate its configuration data compared with the period to modify the circuit description itself. This will reduce design efficiency so much.

We propose a methodology to modify circuit behavior by changing software programs instead of modifying its hardware configuration. We also propose an SoC architecture which implements its functionality using multiple processor cores. These cores have rigid functionality and will not have architecture-specific hardwired logics. With this method, we do not have to modify the configuration of FPGAs, which reduces the time to reconfigure them. We use a dedicated service processor to dispatch programs on implemented processors efficiently. This makes communications with host computer more easy and makes it possible to replace programs for configured processors without any trouble.

We also design and implements a unifunctional processor core suitable for proposed SoC. We also have built its software development environment from conventional software development tools.

The proposed method is applied to an experimental design and the validity of the method is confirmed. A JPEG compression system can be implemented within few days. It can be modified within just a few seconds, while FPGA reconfiguration takes more than an hour.

3. 命令レベルにおけるレジスタの変化ビット幅を考慮した組み込みプロセッサ向け消費電力見積り手法

樋口昭彦　小林　和淑　小野寺秀俊

現在，大規模な回路の消費電力見積りとして一般的である論理シミュレーションによる消費電力見積りの原理および方法について述べ，簡単な回路において論理シミュレーションの精度を評価した．その後，本手法で使用する組み込みRISCプロセッサの消費電力を論理シミュレーション

3. Power Estimation for an Embedded RISC Processor by Considering the Hamming Distance of Registers Akihiko Higuchi, Kazutoshi Kobayashi, Hidetoshi Onodera

This reseach is an instruction-level power estimation methodology for an embedded RISC processor, the power dissipation of which fluctuates so much by applications and input data. The proposed method estimates the power consumption from the result of ISS (Instruction Set Simulator) and the energy table ac-

によって見積った．その結果，プログラムや与える入力データによって大きく消費電力が変化することがわかった．サイクル数の多いプログラムの場合の論理シミュレーションは非常に時間がかかるので，より高速な消費電力見積りが必要である．

論理シミュレーションによる消費電力見積りよりも高位の組み込みプロセッサ向け消費電力解析手法について述べた．命令レベルの消費電力見積りにおいて，CISC プロセッサではオペランドの値に対する消費電力の変化は小さい．しかし，組み込み向けの RISC プロセッサや DSP においてはその変化は無視できないので考慮が必要である．レジスタの変化ビット幅を考慮に入れなかった場合，論理シミュレーションと大きく結果が異なった．誤差の主な原因としてレジスタの変化ビット幅を考慮していないのと，前命令が現命令と異なる場合にはすべて nop からの遷移にしているという 2 つが挙げられる．

誤差の主な原因の 1 つの，レジスタの変化ビット幅に着目し，それを考慮した消費電力見積り手法を提案した．その結果，レジスタの変化ビット幅を考慮しない場合に比べて大きく精度が改善されている．シミュレーション時間は論理シミュレーションと比較し，本手法では論理シミュレーションの約 13 万倍高速である．

cording to the Hamming distance of registers of all instructions. It is 10^5 times faster that the gate-level detailed logic simulations, while the estimated power curves have the same tendency with those from logic simulations. The proposed method realizes both highly-accurate and fast power estimation of embedded processors.

4． オンチップでの IR ドロップの測定

本研究では，実チップでの IR ドロップ測定を行った．そのための IR ドロップ測定の回路を LSI 上に構築し，LSI テスタにより測定を行った．本手法では，LSI テスタの持つシュムープロット機能を使うことによりほぼ自動的に IR ドロップ波形を得ることができる．観測対象として，動き推定を行うための PE アレイを用いた．電源リング付近と，電源線の中央の波形の差分をとることで，電源線の電流変化による IR ドロップの抽出と行った．

4． Measurement Results of On-chip IR-drop

Kazutoshi Kobayashi, Junji Yamaguchi and Hidetoshi Onodera

This research focuses on measurement results of on-chip IR-drop. An IR-drop measurement circuit is implemented in an LSI. It can sense the voltage drop of a power node to alter a reference voltage and clock timing. A measured waveform can be obtained automatically with using the Shmoo plot functionality of an LSI tester. Measuring two different nodes along a VDD line, differential IR-drop waveforms can be successfully obtained.

5． ジャイロセンサを用いた効率的な動き推定手法

中西　龍太　岡村怜王奈　小林　和淑　小野寺　秀俊

動画像の圧縮には時間的相関を用いる動き補償が有効であるが，非常に計算量が多く，動画像圧縮に必要な計算量の大半を占める．そこで，動画像を撮影しているカメラの動きを用い，動きベクトルの探索範囲を適応設定する．カメラの動きに伴なって背景が大きく動くようなシーンに対しても，画質を維持したまま演算量を全探索手法に比べて，1/3 に減らすことができる．本手法は，背景の移動点を探索するのに有効であり，勾配法の初期探索ベクトル探索に応用したところ，演算量を勾配法よりも減らしながら，画質は全探索と同程度となった．ジャイロセンサを用いることで，背景と被写体を容易に分離することができる．MPEG-4 のスプライト符号化を用いて背景と被写体を別々に圧縮することにより，被写体部分の画質を維持したまま，ビットレートを半分程度まで落とすことができる．

5． An Efficient Motion Estimation Alogorithm Using a Gyro Sensor

Ryuta Nakanishi, Leona Okamura, Kazutoshi Kobayashi, Hidetoshi Onodera

We propose an efficient motion estimation algorithm to search an additional area according to the motion of a camcoder, which is obtained from a gyro sensor. When the camcorder moves, the background moves in the opposite direction. The proposed algorithm searches three regions, one around the center, another around the predicted region and the other for the background around the region associated from the camcoder motion. Compared to the conventional algorithm without the last region, the proposed one reduces the amount of computation to 1/3 while maintaining or enhancing the quality.

年吉研究室
Toshiyoshi Laboratory

（http://toshi.fujita3.iis.u-tokyo.ac.jp/）

マイクロミラーに関する理工学

年吉　洋

MEMS（Micro Electro Mechanical Systems）技術により製作したマイクロミラーを光通信コンポーネントに応用する際の設計上の課題として，駆動電圧の低電圧化，スキャン角度の拡大，長期安定性，温度依存性，耐衝撃性の向上があげられる．本研究では，光学，材料力学，半導体プロセス工学などを総合したマイクロミラーの設計製作に関する理工学の構築を進めている．

Micromechanical Engineering for Micro Optical Scanners

Hiroshi Toshiyoshi

When applying MEMS optical scanning mirrors for fiber optic application, those topics should be taken into account such as mirror design strategy for lowering driving voltage and for extending scan angle, long term stability, less temperature dependence, and large vibration tolerance. We have been investigating to develop engineering discipline for MEMS scanners based upon micro optics, material science, and semiconductor processing engineering.

マイクロレンズスキャナの光ファイバスイッチ応用

猿田　訓彦，藤田　博之，年吉　洋

MEMS（Micro Electro Mechanical Systems）技術により製作した微小なミラーを用いて大規模光クロスコネクトスイッチ（OXC, optical crossconnect）を構成する研究が国内外で盛んに行われている．本研究では，ミラーをスイッチング素子に用いた場合の問題点として，光ファイバアレイとコリメータレンズアレイの位置合わせ誤差について検討した結果，コリメータレンズそのものを微小駆動することで光学特性を改善できることを指摘した．また，レンズを比較的大きな変位で駆動することにより，コリメータレンズにスキャン機能を持たせることができる．このようなレンズ駆動型の光スキャナを用いて光クロスコネクトを実現する研究を行っている．

Microlens scanners for optical fiber switch application

Kunihiko Saruta, Hiroyuki Fujita, and Hiroshi Toshiyoshi

Various kinds of MEMS (Micro Electro Mechanical Systems) mirrors have been developed for large-scale optical crossconnect (OXC) applications. After careful investigation on optical alignment between fiber arrays and collimator arrays, we have concluded that micro-mechanically adjustable collimators could improve optical performance of the system. Furthermore, collimator lens is able to scan the light beam when actuated at larger stroke. We have thus developed microelectromechanically movable lens scanners for OXCs.

MEMS 技術による磁気ディスクヘッドの微小位置決め機構

吉野　智則，三田　信，年吉　洋，藤田　博之

磁気ディスクのトラック密度上昇に伴い，ボイスコイルモータのみでは高精度のヘッド位置決めが困難になりつつある．そこで，ヘッド素子を集積化マイクロアクチュエータで微細位置決めする 2 段サーボ用のピギーバックアクチュエータを MEMS 技術を用いて製作することを検討した．本研究では，SOI 基板にヘッド素子を製作することを想定し，SOI 活性層に静電アクチュエータを形成する技術を開発した．このアクチュエータにより，駆動電圧 20V においてヘッド移動量 0.2μm，共振周波数 25kHz を達成した．

Positioning Mechanism for HDD Magnetic Head by MEMS Technology

Tomonori Yoshino, Makoto Mita, Hiroshi Toshiyoshi, and Hiroyuki Fujita

It is becoming more and more difficult to achieve fine positioning of HDD (hard disk drive) magnetic head by using a voice-coil motor only. We have proposed using a microelectromechanical piggyback actuator integrated with the head element device for fine positioning of the head device along with coarse positioning by the voice coil motor. Assuming that the head element device is implemented on an SOI (silicon on insulator) wafer, we have developed fabrication technique to integrate the piggyback actuator into the active layer of SOI. The actuator is capable of generating displacement of 0.2 microns with a dc 20 V, and working up to the fundamental resonance of 25 kHz.

4.3．研究発表

1．研究論文

［1］S. O'uchi, M. Fujishima and K. Hoh: “Fractally-Structured 2003.7.28CMOS Processor for Quantum-Circuit Emulator” Jpn. J. Appl. Phys. 41 pp. 2329-2334, April, 2002

［2］Y. Oike, M. Ikeda and K. Asada, “High-sensitivity and Wide-dynamic-range Position Sensor Using Logarithmic-response and Correlation Circuit”, IEICE Trans. on Electron., Vol. E85-C, No. 8, pp. 1651-1658, Aug. 2002.

［3］村上善則, 浅田邦博, “電力用トランジスタ GTBT の開発”, 電子情報通信学会論文誌 C, Vol. J85-C, No. 9, pp. 828-837, Sep. 2002. (Y. Murakami and K. Asada, “GTBT: Grounded-Trench-MOS Assisted Bipolar-Mode FET”, IEICE Trans. on Electron., Vol. J85-C, No. 9, pp. 828-837, Sep. 2002)

［4］Minkyu SONG, K. Asada, “Design of a Conditional Sign Decision Booth Encoder for a High Performance 32 x 32-Bit Digital Multiplier”, IEICE Trans. on Electron., Vol. E85-C, No. 9, pp. 1709-1717, Sep. 2002.

［5］Y. Oike, M. Ikeda and K. Asada, “A CMOS Image Sensor for High-Speed Active Range Finding Using Column-Parallel Time-Domain ADC and Position Encoder”, IEEE Trans. on Electron Devices, Vol. 50, No. 1, pp. 152-158, Jan. 2003.

［6］M. Ikeda, K. Nakazato, H. Mizuta, M. Green, D. Hasko and H. Ahmed, “Frequency-dependent electrical characteristics of DNA using molecular dynamics simulation”, Nanotechnology, Vol. 14 (2003), pp. 123-127, Jan. 2003. 2003.

［7］T. Shibata, “Intelligent Signal Processing Based on a Psychologically-Inspired VLSI Brain Model”, IEICE Trans. Fundamentals, Vol. E85-A, No. 3, pp. 600-609 (2002).

［8］K. Ito, M. Ogawa and T. Shibata, “A High-Performance Ramp-Voltage-Scan Winner-Take-All Circuit in an Open Loop Architecture”, Japanese Journal of Applied Physics, Vol. 41, Part 1, No. 4B, pp. 2301-2305, April (2002).

［9］H. Xu, Y. Mita and T. Shibata, “Optimizing Vector-Quantization Processor Architecture for Intelligent Query Search Applications”, Japanese Journal of Applied Physics, Vol. 41, Part 1, No. 4B, pp. 2295-2300 (2002).

［10］K. Fujita, K. Takada, G. Qian-Rong and T. Shibata, “Patterning of Human Dental Archwire Blanks Using a Vector Quantization Algorithm”, Angle Orthodontist, Vol. 72, No. 4, pp. 285-294 (August 2002).

［11］瀬戸　謙修，藤田　昌宏, “有限状態機械（FSM）とシンボリック状態探索を利用したコード生成手法”，情報処理学会論文誌，第 43 巻，第 5 号，pp. 1235-1251, 2002

［12］藤原　英二, 難波　一輝, 北神　正人：バースト誤り制御符号に対する並列復号法 ; 電子情報通信学会論文誌 A, Vol. J85-A, No. 11, pp. 1284-1295, November 2002.

［13］H. Kawakatsu, S. Kawai, D. Saya, M. Nagashio, D. Kobayashi, H. Toshiyoshi, and H. Fujita, “Towards atomic force microscopy up to 100 MHz”, Review of Scientific Instruments, Vol. 73, No. 6 (2002), pp. 2317-2320.

［14］Hideki Kawakatsu, Daisuke Saya, Atsushi Kato, Kimitake Fukushima, Hiroshi Toshiyoshi, and Hiroyuki Fujita, “Millions of cantilevers for atomic force microscopy”, Review of Scientific Instruments, Vol. 73, No. 3 (2002), pp. 1188-1192.

［15］Hiroshi Toshiyoshi, Guo-Dung John Su, Jason LaCosse, and Ming C. Wu, “A Surface Micromachined Optical Scanner Array using Photoresist Lenses Fabricated by a Thermal Reflow Process”, to be published in IEE Journal of Lightwave Tech. 2003 July.

［16］Hiroshi Toshiyoshi, “A Study on Device Design Strategy for MEMS Fiberoptic Switches”, Seisan-Kenkyu, vo. 54, no. 2, 2002 (in Japanese).

［17］D. Saya, K. Fukushima, H. Toshiyoshi, G. Hashiguchi, H. Fujita, H. Kawakatsu, “Fabrication of single-crystal Si cantilever array”, Sensors and Actuators A: Physical, vol. 95, Issue 2-3, 2002, pp. 281-287.

［18］H. Toshiyoshi, M. Mita, and H. Fujita, “A MEMS Piggyback Actautor for Hard-Disk Drives”, IEEE J. Microelectromech. Syst., vol. 11, No. 6, Dec. 2002, pp. 648-654.

2．国際会議

［1］S. O'uchi, M. Fujishima and K. Hoh: “An 8-Qubit Quantum-Circuit Processor” IEEE International Symposium on Circuits and Systems, pp. V209-212, May, 2002

［2］A. Imamura, M. Fujishima and K. Hoh: “Bending- comb capacitor with a small parasitic inductance” Digest of Technical Papers, 2002 Symp. on VLSI Circuits, no. 2. 4, pp. 22-25, June, 2002

［3］K. Saito, Y. Suzuki, M. Fujishima and K. Hoh, “High-Speed Emulation of Quantum Computing Based on Logic Operations” 2002 Int. Conf. On Solid State Devices and Materials, pp. 376-377, September, 2002

［4］K. Asada, “Fundamentals and Advanced Features for VLSI Design Activities Supported by VDEC, Japan”, The Int. Conf. on Fundamentals of Electronics, Communications and Computer Sciences (ICFES 2002), SS-4, Mar. 2002.

［5］K. Asada, “VLSI Design Activities in Japanese Academia and Future Prospects toward SoC Design in Deep-sub micron technologies”, The 2nd Taiwan-Japan Microelectronics Int. Symp., pp. 235-242, Apr. 2002.

［6］H. Yoshida, H. Yamaoka, M. Ikeda and K. Asada, “Logic Synthesis for PLA with 2-input Logic Elements”, Proc. of IEEE Int. Symp. on Circuits and Systems, pp. 373-376, May 2002.

［7］T. Ishihara, S. Komatsu, M. Miyama, M. Yoshimoto, M. Hirata, M. Fujita and K. Asada, “An Inter-University Joint Program for a Trial of IP-Based System LSI Design”, Proc. of the 4th European Workshop on Microelectronics Education, pp. 129-132, May 2002.

［8］Y. Oike, M. Ikeda and K. Asada, “High-sensitivity and Wide-dynamic-range Range Finder and Its Applications”, Proc. of the 5th World Automation Congress (WAC 2002), pp. 417-422, Jun. 2002.

VDEC

[9] Y. Oike, M. Ikeda and K. Asada, "High Performance Photo Detector for Modulated Lighting", Proc. of IEEE Int. Conf. on Sensors, pp. 1456-1461, Jun. 2002.

[10] T. Iizuka and K. Asada, "An Exact Algorithm for Practical Routing Problems", Proc. of the Third IEEE Asia Pacific Conf. on ASICs (AP-ASIC), pp. 343-346, Aug. 2002.

[11] M. Ikeda, K. Nakazato, H. Mizuta, M. Green, D. Hasko and H. Ahmed, "Frequency-dependent electrical characteristics of DNA using molecular dynamics simulation", Trends on Nanotechnology (TNT2003), pp., Sep. 2002.

[12] S. Sugiyama, M. Ikeda and K. Asada, "Quick Power Supply Noise Estimation Using Hierarchically Derived Transfer Functions", 9th IEEE Int. Conf. on Electron., Circuits and Systems (ICECS 2002) Sep. 2002.

[13] Y. Oike, M. Ikeda and K. Asada, "Smart Sensor Architecture for Real-Time and High-Resolution Range Finding", Proc. of European Solid-State Circuits Conf. (ESSCIRC), pp. 105-108, Sep. 2002.

[14] H. Yamaoka, H. Yoshida, M. Ikeda, and K. Asada, "A Dual-Rail PLA with 2-Input Logic Cells", Proc. European Solid-State Circuits Conf. (ESSCIRC), pp. 203-206, Sep. 2002.

[15] H. Yamaoka, M. Ikeda, and K. Asada, "A High-Speed Functional Memory with a Capability of Hamming-Distance-Based Data Search by Dynamic Threshold Logic Circuits", Proc. European Solid-State Circuits Conf. (ESSCIRC), pp. 667-670, Sep. 2002.

[16] Y. Oike, M. Ikeda and K. Asada, "An Active Range Finder With the Capability of -18 dB SBR, 48 dB Dynamic Range and 120 x 110 Pixel Resolution", IEEE Int. Solid-State Circuit Conference (ISSCC), Dig. of Tech. Papers, pp. 208-209, Feb. 2003.

[17] M. Yagi and T. Shibata, "A Human-Perception-like Image Recognition System based on PAP Vector Representation with Multi Resolution Concept", in The Proceedings of 2002 IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP 2002), pp. I-1045 - I-1048, Florida, May 13-17, 2002.

[18] M. Yagi, T. Shibata and K. Takada, "Optimizing Feature-Vector Extraction Algorithm from Grayscale Images for Robust Medical Radiograph Analysis", in Soft Computing, Multimedia, Biomedicine, Image Processing and Financial Engineering, Eds. Mo Jamshidi, Y. Hata, M. Fathi, A. Homaifar, and J. S. Jamshidi, Vol. 13, pp. 251-257 (TSI Press, Albuquerque, 2002) : Proceedings of the Fifth Biannual World Automation Congress (WAC 2002) ISSCI 2002 and IFMIP 2002, Orland, Florida, USA, June 9-13, 2002.

[19] H. Xu, Y. Mita and T. Shibata, "Similarity-Measure-Based VLSI Searching System for MPEG-7", in Soft Computing, Multimedia, Biomedicine, Image Processing and Financial Engineering, Eds. Mo Jamshidi, Y. Hata, M. Fathi, A. Homaifar, and J. S. Jamshidi, Vol. 13, pp. 358-363 (TSI Press, Albuquerque, 2002) : Proceedings of the Fifth Biannual World Automation Congress (WAC 2002) ISSCI 2002 and IFMIP 2002, Orland, Florida, USA, June 9-13, 2002.

[20] Q. -R. Gu, T. Shibata, K. Fujita, and K. Takada, "Application of Vector Quantization Algorithm to Dental Arch Classification in Orthodontics Practice", in Soft Computing, Multimedia, Biomedicine, Image Processing and Financial Engineering, Eds. Mo Jamshidi, Y. Hata, M. Fathi, A. Homaifar, and J. S. Jamshidi, Vol. 13, pp. 279-285 (TSI Press, Albuquerque, 2002) : Proceedings of the Fifth Biannual World Automation Congress (WAC 2002) ISSCI 2002 and IFMIP 2002, Orland, Florida, USA, June 9-13, 2002.

[21] T. Shibata, "Psychologically-Inspired Integrated Circuits for Human-Like Soft Computing Systems", in Soft Computing, Multimedia, Biomedicine, Image Processing and Financial Engineering, Eds. Mo Jamshidi, Y. Hata, M. Fathi, A. Homaifar, and J. S. Jamshidi, Vol. 13, pp. 1-10 (TSI Press, Albuquerque, 2002) : Proceedings of the Fifth Biannual World Automation Congress (WAC 2002) ISSCI 2002 and IFMIP 2002, Orland, Florida, USA, June 9-13, 2002.

[22] D. Kobayashi, T. Shibata, Y. Fujimori, T. Nakamura, and H. Takasu, "A Ferroelectric Analog Associative Memory Technology Employing Hetero-gate Floating-Gate-MOS Structure", in the Digest of Technical Papers of 2002 Symposium on VLSI Technology, pp. 116-117, Honolulu, June 11-13, 2002.

[23] M. Ogawa, K. Ito and T. Shibata, "A general-purpopse vector-quantization processor employing two-dimensional bit-propagating winner-take-all", in the Digest of Technical Papers of 2002 Symposium on VLSI Circuits, pp. 244-247, Honolulu, June 13-15, 2002.

[24] H. Kimura and T. Shibata, "A Motion-Based Analog VLSI Saliency Detector Using Quasi-Two-Dimensional Hardware Algorithm", in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. III-333 - III-336, Arizona, May 26-29, 2002.

[25] T. Yamasaki, T. Taguchi, and T. Shibata, "Low-Power CDMA Analog Matched Filters Based on Floating-Gate Technology", in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. V-625 - V-628, Arizona, May 26-29, 2002.

[26] M. Yagi and T. Shibata, "An Associative-Processor-Based Mixed Signal System for Robust Image Recognition", in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. V-137 - V-140, Arizona, May 26-29, 2002.

[27] S. Nomura and T. Shibata, "Pure-Capacitance-Load Source-Follower Comparators for Low-Power Winner-Take-All Circuitry, in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. III-759 - III-762, Arizona, May 26-29, 2002.

[28] K. -H. Wee, T. Yonezawa, T. Nozawa, T. Shibata, and T. Ohmi, "A Zone-Programmed EEPROM with Real-Time Write Monitoring for Analog Data Storage", in the Proceedings of 2002 IEEE International Symposium on Circuits and Systems (ISCAS 2002), pp. IV-655-IV-658, Arizona, May 26-29, 2002.

[29] Q. -R. Gu and T. Shibata “A Computationally Efficient Modeling Method for Text Dependent VQ-Based Speaker Identification System”, in the Proceedings of Sixth World Multiconference on Systemics, Cybernetics and Informatics (SCI2002), , pp. III-245, Orlando, Florida, July 14-18, 2002.

[30] Q. -R. Gu and T. Shibata, “Modeling Time Series Signal Patterns by Statistical Distribution of Prediction Errors and Its Application to Speaker Identification”, in the Proceedings of Sixth World Multiconference on Systemics, Cybernetics and Informatics (SCI2002), pp. IX-329, Orlando, Florida, July 14-18, 2002

[31] Y. Mita and T. Shibata, “Bulk Micromachined Image-Forwarding Mirror Array for Feature Extraction VLSI Sensor System”, in the Proceedings of International Conference on Optical MEMS and Their Applications, pp. 205-206, Lugano, Switzerland, Aug. 20-23, 2002.

[32] T. Yamasaki, T. Taguchi, T. Fukuda, and T. Shibata, “ Neuron-MOS-Based Analog CDMA Matched Filters, ”in the Proceedings of 2002 IEEJ International Analog VLSI Workshop, pp. 122-127, Singapore, Sep. 11-12, 2002.

[33] T. Yamasaki, M. Yagi, and T. Shibata, “A Fully-Parallel Analog Vector Matching LSI for Robust Image Recognition”, in the Proceedings of 2002 IEEJ International Analog VLSI Workshop, pp. 128-133, Singapore, Sep. 11-12, 2002.

[34] M. Yagi, T. Shibata and K. Takada, “Human-Perception-Like Image Recognition System Based on the Associative Processor Architecture”, in the Proceedings of XI European Signal Processing Conference (EUSIPCO2002), pp. I-103 - I-106, Toulouse, France, Sep. 3-6, 2002.

[35] K. Ito, M. Ogawa, T. Shibata, “A Variable-Kernel Flash-Convolution Image Filtering Processor”, in Digest of Technical Papers, 2003 IEEE International Solid-State-Circuit Conference (ISSCC), Paper No. 26. 7, pp. 470-471, San Francisco, February, 2003.

[36] T. Shibata, “Right-brain computing VLSI processor: An approach to expertise-knowledge-based intelligent image processing“, in Orthodontics in the 21st Century: ”Where Are We Now? Where Are We going?”, Eds. K. Takada and W. R. Proffit, (Osaka University Press, Osaka, Japan 2002), pp. 36-45 (Invited paper).

[37] E. Leclerc, Y. Mita and T. Fujii, “Polydimethylsiloxane Nanostructures Fabrication by FIB Machining for Single Molecule Studies”, Proceedings of Second Joint EMBS-BMES Conference 2002, Houston USA pp. 1634-1635 (2002. 10)

[38] F. Fallah, I. Ghosh, and M. Fujita, “Coverage Metric for Observability-Based Validation of C Programs”, Proc. of Microprocessor Test and Verification (MTV'02), Jun. 2002.

[39] Y. Kojima, H. Saito, K. Seto, S. Komatsu, and M. Fujita, “Field Modifiable Architecture and Its Design Methodology -- System Design Without Logic Synthesis --”, IEEE/ACM 11th International Workshop on Logic & Synthesis, pp. 103-108, New Orleans, Jun. 2002.

[40] H. Saito, H. Nakamura, M. Fujita, and T. Nanya, “Logic Optimization of Asynchronous Speed Independent Controllers by Using Transduction Method”, Proc. International Workshop on Logic and Synthesis, pp. 245-250, Jun. 2002.

[41] T. Sakunkonchak and M. Fujita, “Verification of Synchronization in SpecC Description with the Use of Difference Decision Diagrams”, Forum on specification & Design Languages (FDL'02), Marseille France, Sep. 2002.

[42] K. Seto, Y. Kojima, H. Saito, S. Komatsu, and M. Fujita, “Field Modifiable Architecture and its Design Method”, Student Research Forum (Poster Session), ACM SIGPLAN 2002 Conference on Programming Language Design and Implementation (PLDI), Berlin, Germany, 2002.

[43] H. Saito, T. Ogawa, S. Thanyapat, and M. Fujita, “An Equivalence Checking Methodology for Hardware Oriented C-based Specifications”, Proc. International High Level Design Validation and Test Workshop, pp. 139-144, Oct. 2002.

[44] T. Sakunkonchak and M. Fujita, “Verification of Event-Based Synchronization of SpecC Description Using Difference Decision Diagrams”, Formal Techniques for Networked and Distributed Systems (FORTE2002), Houston USA, November 2002.

[45] Masao Kubo, Masahiro Fujita “Debug Methodology for Arithmetic Circuits on FPGAs” In Proc. of IEEE International Conference on Field-Programmable Technology (FPT-02), pp. 236-242, Dec. 2002.

[46] S. Komatsu, Y. Koijima, H. Saito, K. Seto, and M. Fujita, “Field Modifiable Architecture with FPGAs and its Design Methodology”, 2002 IEEE International Conference on Field-Programmable Technology, pp. 382-385, Dec. 2002.

[47] M. Fujita, S. Komatsu, H. Saito, K. Seto, T. Sakunkonchak, and Y. Kojima, “Field Modifiable Architecture with FPGAs and its Design / Verification / Debugging Methodologies”, Proc. of the 36th Annual Hawaii International Conference on System Sciences 2003, pp. 279, Jan. 2003.

[48] S. Komatsu, M. Fujita, “Irredundant Address Bus Encoding Techniques based on Adaptive Codebooks for Low Power”, Proc. Asia South Pacific Design Automation Conference, pp. 9-14, Jan. 2003.

[49] F. Fallah, I. Ghosh, and M. Fujita, “Event-Driven Observability Enhanced Coverage Analysis of C Programs for Functional Validation. ” Proc. Asia South Pacific Design Automation Conference, pp. 123-128, Jan. 2003.

[50] H. Saito, H. Nakamura, M. Fujita, and T. Nanya, “Logic Optimization of Asynchronous Speed Independent Controllers by Using Transduction Method”, Proc. Asia South Pacific Design Automation Conference, pp. 197-202, Jan. 2003.

[51] T. Isshiki, A. Ohta, T. Watanabe, T. Nakada, K. Akahane, I. Sisla, D. Li and H. Kunieda, “High Density Bit-Serial FPGA with LUT Embedding Shift Register Function”, Proceedings of 2002 IEEE Asia Pasific Conference on Circuit and System, <1> 475 -480, (2002)

[52] Trio Adiono, Tsuyoshi Isshiki, Dongju Li, Hiroaki Kunieda, “Efficient Method for FaceRegion Quality Enhancement in

VDEC

Low Bit Rate Video Coding", Proceedings of 2002 IEEE Asia Pasific Conference on Circuit and System <I> 549 - 553, (2002)

[53] Trio Adiono, Tsuyoshi Isshiki, Dongju Li Hiroaki Kunieda, "A New Methodology for Low Delay Real-time Videophone Software Architecture Design", Proceedings of 2002 IEEE Asia Pasific Conference on Circuit and System <II> 269 -273, (2002)

[54] T. Takabatake, M. Kitakami, and H. Ito, "A Fault-tolerant Routing Strategy for Generalized Hierarchical Completely-connected Networks", Proc. Parallel and Distributed Computing and Systems, November 4-6, 2002, Cambridge, USA.

[55] T. Takabatake, M. Kitakami, and H. Ito, "Fault-Tolerant Properties of Generalized Hierarchial Completely-Connected Networks", Proc. 2002 Pacific Rim International Symposium on Dependable Computing, pp. 137-144, December 16-18, 2002, Ibaraki, Japan.

[56] K. Kobayashi, J. Yamaguchi, H. Onodera, "Measurement Results of On-chip IR-drop", Proc. CICC, pp. 521-524, , 2002

[57] Y. Yuyama, M. Aramoto, K. Takai, K. Kobayashi, H. Onodera, "Heterogeneous Processor Architecture and Its Design Methodology to Shorten the Design Period of Embedded SoCs", Proc. of SASIMI 2003 , pp. 351-356, , 2003

[58] Hiroshi Toshiyoshi, Kunihiko Saruta, Hiroyuki Fujita, Ming C. Wu, "Alternative Optical MEMS", Proc. the 3rd Int. Conf on Optics-photonics Design & Fabrication "ODF 2002" Oct. 30 - Nov. 1, 2002, National Museum of Emerging Science and Innovation, Tokyo, Japan, pp. 27-28 (invited).

[59] Makoto Mita, Hiroshi Toshiyoshi, Hiroyuki Fujita, "Electrostatic Piggyback Microactuators for Head Element Positioning" ASME/IEEE Asia Pacific Magnetic Recording Conference (APMRC) 2002, Aug. 28-29, 2002, Pan Pacific Hotel, Singapore.

[60] Kunihiko Saruta, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Bulk Micromachined 2D Lens Scanners for Transparent Optical Fiber Switches", Conf. Digest of 2002 IEEE/LEOS Int. Conf. on Optical MEMS, 20-23 August, 2002, Hotel de la Paix, Lugano, Switzerland, pp. 13-14.

[61] Sophia Huang, Jui-Che (Ted) Tsai, Dooyoung Hah, Hiroshi Toshiyoshi, and Ming C. Wu, "Open-Loop Operation of MEMS WDM Routers with Analog Micromirror Array", Conf. Digest of 2002 IEEE/LEOS Int. Conf. on Optical MEMS, 20-23 August, 2002, Hotel de la Paix, Lugano, Switzerland, pp. 179-180.

[62] Makoto Mita, Hiroshi Toshiyoshi and Hiroyuki Fujita, "Hard-Disk Head Positi ning Mechanism using SOI Wafer", Proc. 19th SENSOR SYMPOSIUM, May 29-31, 2002 , Kyoto, Japan, pp. 455-458, A1-5.

[63] G. Hashiguchi, Y. Wada, J. Endo, H. Toshiyoshi, and H. Fujita, "A Micrimachined Nanoprobe device and Its Application to Visual Observation of Nano Phenomena in a Transmission Electron Microscope", Proc. 19th SENSOR SYMPOSIUM, May 29-31, 2002 , Kyoto, Japan, pp. 35-38, A1-5.

[64] S. Kawai, D. Kobayashi, D. Saya, A. Kato, H. Toshiyoshi, H. Fujita and H. Kawakatsu ," Millions of nanocantilevers and Towards Atomic Force Microscopy up to 100 MHz", Proc. 19th SENSOR SYMPOSIUM, May 29-31, 2002 , Kyoto, Japan, pp. 29-33, A1-4.

[65] D. Hah, S. Huang, H. Nguyen, H. Chang, J. -C. Tsai, M. C. Wu, H. Toshiyoshi, "Low Voltage MEMS Analog Micromirror Arrays with Hidden Vertical Comb-Drive Actuators", 2002 Solid-State Sensor, Actuator and Microsystems Workshop (Hilton Head 2002), June 2-6, 2002, Crowne Plaza Resort, Hilton Head Island, SC.

[66] P. -Y. Chiou, M. C. Wu, H. Moon, C. -J. Kim, and H. Toshiyoshi, "Optical Actuation of Microfluidics Based on Opto-Electrowetting", 2002 Solid-State Sensor, Actuator and Microsystems Workshop (Hilton Head 2002), June 2-6, 2002, Crowne Plaza Resort, Hilton Head Island, SC.

[67] D. Hah, M. C. Wu, H. Toshiyoshi, "Design of electrostatic actuators for MOEMS applications", Symposium on Design, Test, Integration and Packaging of MEMS / MOEMS (DTIP MOEMS 2002), May 6-8, 2002, Cannes-Mandelieu, Cote d'Azur, France, Session-9: Component Design, May 8, Wednesday.

[68] P. Patterson, D. Hah (University of California at Los Angeles), H. Toshiyoshi (University of Tokyo), and M. Wu (University of California at Los Angeles), "MOEMS Electrostatic Scanning Micromirrors Design and Fabrication", The 201st Meeting of the Electrochenical Society, May 12-17, 2002, Philadelphia, PA, abst# 671 at Session-O1 (May, 15, 2002).

[69] Hsin Chang, Dooyoung Hah, Sophia Huang, Hung Nguyen, Hiroshi Toshiyoshi, Ming, C. Wu, "A low voltage, large scan angle MEMS micromirror array with hidden vertical comb-drive actuators", to be presented at OFC 2002, March 17-22, Anaheim, CA (Tuesday, March 19, 02:45 PM - 03:00 PM)

[70] Ming-Chang Mark Lee, Dooyoung Hah, Erwin K. Lau, Hiroshi Toshiyoshi, Ming Wu, "Nano-Electro-Mechanical Photonic Crystal Switch", OFC 2002, in Annaheim, CA, Mar. 17-22, 2002, at Session-TuO. (Tuesday, March 19, 03:15 PM - 03:30 PM)

[71] Dooyoung Hah, Sophia Huang, Hung Nguyen, Hsin Chang, Hiroshi Toshiyoshi, and Ming C. Wu," A Low Voltage, Large Scan Angle MEMS Micromirror Array with Hidden Vertical Comb-Drive Actuators for WDM Routers", OFC 2002, in Annaheim, CA, Mar. 17-22, 2002.

[72] M. C. Wu, D. Hah, P. Patterson, H. Toshiyoshi, "Microelectromechanical Scanning Devices for Optical-Networking Applications", IEEE International Solid-State Circuit Conference (ISSCC 2002), Feb. 3-7, 2002, San Francisco, USA (presentation No. 21. 6).

[73] M. Mita, H. Toshiyoshi, K. Kakushima, G. Hashiguchi, D. Kobayashi, J. Endo, Y. Wada, and H. Fujita, "Characterization of Bulk Micromachined Tunneling Tip Integrated with Positioning Actuator", The 15th IEEE Int. Micro Electro Mech. Syst. Conf. (MEMS 2002), Jan. 20-24, 2002, Las Vegas, Nevada, USA, TP22.

［74］P. R. Patterson, D. Hah, H. Nguyen, H. Toshiyoshi, R. -M. Chao, and M. C. Wu, “A Scanning Micromirror with Angular Comb Drive Actuation”, Proc. the 15th IEEE Int. Micro Electro Mech. Syst. Conf. (MEMS 2002), Jan. 20-24, 2002, Las Vegas, Nevada, USA, WP10.

3．国内学会，研究会等

［1］小野内雅文，藤島実，鳳紘一郎：“ 専用プロセッサを用いた量子コンピュータのエラーシミュレーション ” 第 63 回応用物理学会学術講演会　講演予稿集 p. 168，2002 年 9 月
［2］斉藤康祐，藤島実，鳳紘一郎：“ 論理量子プロセッサにおける観測操作 ” 第 63 回応用物理学会学術講演会　講演予稿集 p. 167，2002 年 9 月
［3］今村晃，藤島実，鳳紘一郎：“ 寄生インダクタンスの小さなオンチップメタルキャパシタ ” 第 63 回応用物理学会学術講演会　講演予稿集 p. 808，2002 年 9 月
［4］山本憲，藤島実，鳳紘一郎：“ LSI における配線シールドの効果 ” 第 63 回応用物理学会学術講演会　講演予稿集 p. 807，2002 年 9 月
［5］K. Hoh: “System Integration of Quantum-Scale Devices” 3rd CREST Symposium on Function Evolution of Materials and Devices Based on Electron/Photon Related Phenomena, Abstract p. 76, October, 2002
［6］M. Fujishima, K. Hoh: “High-Speed Hardware Emulation of a Quantum Computer” 3rd CREST Symposium on Function Evolution of Materials and Devices Based on Electron/Photon Related Phenomena, Abstract p. 77 , October, 2002
［7］小野内雅文，斉藤康祐，藤島実，鳳紘一郎：“ 検索問題を高速に解くための専用超並列プロセッサの試作 ”電子情報通信学会技術研究報告［集積回路］ICD2002-164-173 p. 25-30，2002 年 12 月
［8］小野内雅文，斉藤康祐，藤島実，鳳紘一郎：“ FPGA を用いた高速量子計算エミュレータ ”電子情報通信学会技術研究報告［VLSI 設計技術］，2003 年 1 月
［9］藤島実，小野内雅文，稲井健人，北庄哲郎，鳳紘一郎：“ 量子コンピューティングの原理を利用した超高速並列シリコンプロセッサ ”第 2 回つくばテクノロジー・ショーケース P-40，2003 年 1 月
［10］鳳紘一郎：“ 機能融合デバイスと集積システム（1）・超高機能シリコン集積システム ” 東京大学 21 世紀 COE「未来社会を担うエレクトロニクスの展開」公開シンポジウム（第 15 回電気電子学術振興財団ワークショップ）講演資料集 pp. 21-29，2003 年 2 月
［11］小玉輝，藤島実，鳳紘一郎：“ PtSi ショットキー障壁 MOSFET のソース端ショットキーダイオードの特性解析 ”第 50 回応用物理学関係連合講演会　予稿集 28p-ZV-15，2003 年 3 月
［12］杉浦邦晃，三田吉郎，藤島実，鳳紘一郎 “ Si シャドウマスクのメカニカルアラインメント精度向上 ” 第 50 回応用物理学関係連合講演会　予稿集 28a-ZV-2，2003 年 3 月
［13］小野内雅文，藤島実，鳳紘一郎：“ 役割の異なる量子ビットに生じる量子エラーが量子計算に与える影響 ” 第 50 回応用物理学関係連合講演会　予稿集 28p-N-10，2003 年 3 月
［14］藤島実，山本憲，乗松崇泰，鶴田和弘，“ 厚膜酸化層を用いたシリコン高周波 IC ―　電圧制御発振回路の低消費電力化　― ” 電子情報通信学会 2003 年総合大会講演論文集　エレクトロニクス C-12-38 pp. 107，2003 年 3 月
［15］山本憲，藤島実，鳳紘一郎：“ リングオシレータを用いた 1/2 周波数分周器 ”電子情報通信学会 2003 年総合大会講演論文集　エレクトロニクス C-2-21 pp. 53，2003 年 3 月
［16］大池祐輔，池田誠，浅田邦博，“ 高解像度三次元動画撮像のための高速な投射光検出手法とその実装 ”，映像情報メディア学会技術研究報告，Vol. 26, No. 41, pp. 37-40, Jun. 2002．（Y. Oike, M. Ikeda and K. Asada, “Smart Sensor Architecture for Real-Time High-Resolution 3-D Measurement and Its Implementation”, ITE Tech. Report, Vol. 26, No. 41, pp. 37-40, Jun. 2002）
［17］T. Ishihara and K. Asada, “A Threshold Voltage Scheduling Technique for Leakage Reduction in Deep Submicron Memories”, IPSJ DA Symposium, pp. 55-60, Hamamatsu, Jul. 2002.
［18］杉山聡，池田誠，浅田邦博，“ LSI 電源雑音の高速計算手法 ”，システム実装 CAE 研究会，SCAE2002-6, pp. 19-24, 平成 14 年 7 月．（S. Sugiyama, M. Ikeda and K. Asada, “Quick Calculation Method of LSI Power Supply Noise”, JIEP, Tech. Report, SCAE2002-6, pp. 19-24, July 2002）
［19］大池祐輔，池田誠，浅田邦博，“ 同期式高速ハミング距離検索連想メモリ ”，電子情報通信学会技術研究報告，Vol. 102, No. 2, pp. 19-24, Apr. 2002．（Y. Oike, M. Ikeda and K. Asada, “High-Speed Content-Addressable Memory Using Synchronous Hamming Distance Search Circuits”, IEICE Tech. Report, Vol. 102, No. 2, ICD2002, pp. 19-24, Apr. 2002）
［20］山岡寛明，池田誠，浅田邦博，“ 2 入力論理セルを用いた 2 線式 PLA ”，電子情報通信学会技術研究報告，SDM2002-156, pp. 19-24, 2002 年 8 月．（H. Yamaoka, M. Ikeda and K. Asada, “A Dual-Rail PLA with 2-Input Logic Cells”, IEICE Tech. Report SDM2002-156, pp. 19-24, Aug. 2002）
［21］山本剛志，池田誠，浅田邦博，“ 三相式データエンコード方式を用いた誘導性ノイズの低減化手法 ”，集積回路研究専門委員会主催研究会，信学技報，vol. 102, No. 272, pp. 25-30 平成 14 年 8 月．（T. Yamamoto, M. Ikeda K. Asada, “A Method for Reducing Inductive Coupling Noise by Using 3-Phase Data Encoding”, IEICE Tech. Report, ICD2002-102-272, pp. 25-30, Aug. 2002）
［22］飯塚哲也，池田誠，浅田邦博，“ VLSI の配線パターンの網羅的生成手法 ”，電子情報通信学会ソサイエティ大会論文集，A-3-6, pp. 61，2002 年 9 月．（T. Iizuka, M. Ikeda and K. Asada, “An Exact Algorithm for Practical Routing Problems”, IEICE Soc. Conf., A-3-6, pp. 61, Sep. 2002）
［23］Shen XB., T. Nakura, M. Ikeda and K. Asada, “The Estimation of Reliability Using Error Propagation”, IEICE Soc. Conf., C-12-6, pp. 72, Sep. 2002
［24］Ulkuhan E, H. Yamaoka, M. Ikeda and K. Asada, “A Module Generator for a Dual-Rail PLA with 2-Input Logic Cells”, IEICE Soc. Conf., A-3-7, pp. 62, Sep. 2002
［25］大池祐輔，池田誠，浅田邦博，“ 衝突防止システムに向け

VDEC

た行並列処理による超高速ポジション検出センサ”，電子情報通信学会技術研究報告，IEICE Technical Report, Vol. 102, No. 399, pp. 7-11, Oct. 2002. (Y. Oike, M. Ikeda and K. Asada, “High-Speed Position Detector Using Row-Parallel Architecture for Fast Collision Prevention System”, IEICE Tech. Report, Vol. 102, No. 399, ICD2002, pp. 7-11, Oct. 2002)

［26］杉山聡，池田誠，浅田邦博，“電源グリッドモデルにおける多端子F行列を用いた高速ノイズ評価手法”，VLSI設計技術研究会，Vol. 102, No. 683, VLD2003-150, pp. 25-30, Mar. 2003. (S. Sugiyama, M. Ikeda K. Asada, “Quick Noise Estimation Using Multi Terminal F-matrix in Power Grid Model”, IEICE Tech. Report, Vol. 102, No. 683, VLD2003-150, pp. 25-30, Mar. 2003)

［27］山岡寛明，池田誠，浅田邦博，“しきい値論理回路を用いたハミング距離選択機能を有する高速機能メモリ”，電子情報通信学会技術研究報告，Vol. 102, No. 683, VLD2003-151, pp. 31-36, Mar. 2003. (H. Yamaoka, M. Ikeda and K. Asada, “A High-Speed Functional Memory with a Capability of Hamming-Distance-Selective Data Search Using Threshold Logic Circuits”, IEICE Tech. Report, Vol. 102, No. 683, VLD2003-151, pp. 31-36, Mar. 2003)

［28］Ulkuhan E., H. Yamaoka, M. Ikeda and K. Asada, “Performance Driven Design Methodology for a Dual-Rail PLA with 2-Input Logic Cells”, IEICE Tech. Report, Vol. 102, No. 683, VLD2003-152, pp. 27-42, Mar. 2003

［29］K. Asada, Y. Oike and M. Ikeda, “Intelligent Imaging and Pre-Processing: Real-Time/Robust 3-D CMOS Imager”, Proc. of Scientific Research on Priority Areas Symposium, pp. 3-15, Mar. 2003

［30］Y. Oike, M. Ikeda and K. Asada, “640x480 Real-Time Range Finder Based on Light-Section Method”, ITE Tech. Report, Vol. 27, No. 25, pp. 1-4 , Mar. 2003

［31］新宅宏彰，大池祐輔，高山伸一，池田誠，浅田邦博，“実時間三次元画像取得システム実現のための高速なセンサ制御・データ転送FPGAの設計と評価”，電子情報通信学会総合大会論文集，D-11-67, p. 67, Mar. 2003. (H. Shintaku, Y. Oike, S. Takayama, M. Ikeda and K. Asada, “Design of FPGA for Real-Time 3-D Imager Control and Fast Data Transmission”, IEICE Gen. Conf., D-11-67, p. 67, Mar. 2003)

［32］山本剛志，池田誠，浅田邦博，“矩形断面形状配線のGMDを利用したインダクタンス計算手法”，電気情報通信学会総合大会，平成15年3月．(T. Yamomoto, M. Ikeda and K. Asada, “Inductance Calculation for Rectangle Section Form Wiring using GMD”, IEICE Gen. Conf. A-3-16, p. 83, Mar. 2003)

［33］Y. Mita et T. Shibata, “Dispositifs VLSI qui essayent d'imiter une partie du fonctionnement du cerveau humain (in French)”, Journees Science et Technologie 2002, 17 - 19, Novembre, Tokyo (2002).

［34］三田吉郎，柴田直，「知的画像特徴検出回路との融合を目指したバルクマイクロマシーニングによるマイクロミラーアレイ～集積化MEMSへの試み～（Invited)」，精密工学会知能メカトロニクス専門委員会研究会，12月13日，高松（2002)．

［35］杉浦邦晃，三田吉郎，藤島実，鳳紘一郎，「Siシャドウマスクのメカニカルアラインメント精度向上」，応用物理学会春季全国大会，3月27日，神奈川（2003)．

［36］小川　貴也，斎藤　寛，藤田　昌宏，“C言語によるハードウェア記述に対する等価性検証手法”

［37］DAシンポジウム2002, 遠鉄ホテルエンパイア（浜松市)，pp.，2002年7月．

［38］Thanyapat Sakunkonchak, 藤田　昌宏，“Verification of Synchronization in SpecC Descriptions Using Difference Decision Diagram”, DAシンポジウム2002, 遠鉄ホテルエンパイア（浜松市)，pp.，2002年7月．

［39］小松　聡，藤田　昌宏，“低電力設計のための非冗長アドレスバス符号化手法の提案・評価”，DAシンポジウム2002，遠鉄ホテルエンパイア（浜松市)，pp.，2002年7月．

［40］劉　宇，世羅　元啓，小松　聡，藤田　昌宏，“Integration of logic optimization and layout processes by using rewriting method”, DAシンポジウム2002, 遠鉄ホテルエンパイア（浜松市)，pp.，2002年7月．

［41］小島慶久，黒羽毅，藤田昌宏，“専用プロセッサ用命令セットの自動生成手法の提案と実装”，電子情報通信学会技術研究報告［VLSI設計技術]，Vol. 102，No. 73，pp. 7-12，2002．

［42］久保　賢生，藤田　昌宏“算術演算回路のデバッグ支援技術”，電子情報通信学会技術研究報告，Vol. 102 No. 478, pp. 79-84 2002年11月．

［43］Kentaro Nakamoto and Masato Kitakami, “Bidirectionally Decodable Data Compression for LZ77 Coding”, IEICE Technical Report, FIIS-2002, no. 105, June 2002.

［44］中村　悟史，北神　正人：“双方向復号可能なハフマン符号における誤り回復手法”，信学技報，FIIS-2002，no. 106，June 2002．

［45］Kentaro Nakamoto and Masato Kitakami, “Evaluations of the Error Recovery Capability of the Bidirectionally Decodable LZ77 Coding”, IEICE Technical Report, DC-2002, October 2002.

［46］大塚陽介，北神正人，伊藤秀男：“ソフトウェアを用いたPCS方式ルーティング”，信学技報，FIIS-2003，no. 116, March 2003．

［47］湯山洋一，小林和淑，「SystemC言語入門　初めてでも使えるSystemC文法ガイド」，Design Wave MAGAZINE, vol. July 2002，pp. 88-94，2002年7月

［48］荒本雅夫，湯山洋一，小林和淑，小野寺秀俊，「MPEG-4エンコーダのシステムレベル設計」，情報処理学会DAシンポジウム2002論文集，vol. 2002，no. 10，pp. 31-36，2002年7月

［49］荒本雅夫，湯山洋一，高井幸輔，小林和淑，小野寺秀俊，「SystemCのRTL記述を用いたSH互換プロセッサの設計」，信学技報，no. IE2002-75，pp. 33-38，2002年10月

［50］樋口昭彦，小林和淑，小野寺秀俊，「プロセッサと専用ハードウェアでの消費エネルギー比較」，情報処理学会関西支部支部大会，pp. 111-112，2002年11月

［51］湯山洋一，荒本雅夫，高井幸輔，小林和淑，小野寺秀俊，

「機能特化型プロセッサアレイによるSoCアーキテクチャ」，信学技報，no. ICD2002-169，pp. 31-36，2002年12月

［52］荒本雅夫，湯山洋一，小林和淑，小野寺秀俊，「動作合成における制約条件の検討」，電子情報通信学会総合大会)，no. A-3-7，pp. 74，2003年3月

［53］樋口昭彦，小林和淑，小野寺秀俊，「命令レベルにおけるレジスタの変化ビット幅を考慮した組み込みプロセッサ向け消費電力見積り手法」，第16回　回路とシステム（軽井沢）ワークショップ論文集，pp. 453-458，2003年4月

［54］年吉　洋，三田　信，藤田　博之「SOI基板によるハードディスクヘッドの位置決め機構」電気学会　第19回　センサ・マイクロマシンと応用システムシンポジウム，電気学会，May 30-31, 2002 Kyoto, Japan.

［55］三田　信，年吉　洋，藤田博之「大変位静電マイクロアクチュエータ」平成14年　電気学会全国大会，工学院大学新宿校舎，平成14年3月26日（火）～29日（金），3-144

［56］年吉　洋，三田　信，藤田博之「ハードディスク磁気ヘッド駆動用シリコン静電マイクロアクチュエータ」 平成14年　電気学会全国大会，工学院大学　新宿校舎，平成14年3月26日（火）～29日（金），3-152

［57］猿田訓彦，年吉　洋，藤田博之「3次元透過型光スイッチの設計とシミュレーション」平成14年　電気学会全国大会，工学院大学　新宿校舎，平成14年3月26日（火）～29日（金），3-164.

［58］年吉　洋「表面と摩擦に関する半導体マイクロアクチュエータの諸問題」東京大学物性研究所短期研究会「摩擦の物理」2002年10月23日（水)-25日（金）東京大学物性研究所6階大講義室（東大柏キャンパス).

［59］Hiroshi Toshiyoshi, “Microactuators for Hard Disk Drive Head Positioning”, The 30th Seiken Symposium, March 25-26, 2002, Institute of Industrial Science, Univ. of Tokyo.

［60］年吉　洋,「MEMS光スイッチの最近の話題」社）日本応用磁気学会　第1232003. 7. 28 「通信用磁気デバイス・磁気MEMSの動向と将来展望」，2002. 2. 7-8.（invited）

［61］年吉　洋,「MEMS光スイッチのデバイス設計論」次世代センサ協議会　第12回センサ＆アクチュエータ技術シンポジウム「情報通信技術を支えるマイクロマシン」，中央大学駿河台校舎，2002. 1. 17（invited）

4．紀要，その他

［1］鳳紘一郎，藤島実，柴田直，三田吉郎：“柔軟で高速な新しいコンピュータの探索”東京大学「学位記」展―ようこそ学問のフロンティアへ―，東京大学総合研究博物館，2002年7月-9月

［2］鳳紘一郎：“大学におけるVLSI設計技術の教育―大規模集積システム設計教育研究センターの活動―”長崎総合科学大学新技術創成研究所第2回公開講演会「21世紀の科学技術」2002年12月

［3］浅田邦博,“6年間で大学のLSI設計研究者数は4倍にIP再利用環境の整備も進む未来を切り拓く半導体技術”，日経マイクロデバイス特別編集版，pp. 7，Mar. 2002.

［4］湯山洋一，小林和淑,「SystemC言語入門　初めてでも使えるSystemC文法ガイド」，Design Wave MAGAZINE，vol. July 2002，pp. 88-94，2002年7月

5．著書

［1］柴田　直,「右脳のように働くVLSIプロセッサ：専門家の知識を生かした知的画像処理へのアプローチ」，高田健治，Wolliam R. Proffit編著,「21世紀のオーソドンティックス，プロフィット・セミナー／シンポジウム　特別講演集」（クインテッセンス出版，東京，2003年)，pp. 101-110.

付録
5.1. 利用規定
【VDEC WWW ページアカウント】

VDECを通じた活動はWWWアカウントを通じて行う．質問や要望の申し出などの際も，必ず「アカウント番号」を付けるなど，活動の基礎となるものである．

アカウントは，AA01234のように，「英文字2桁」＋「数字5桁」で構成される．このアカウントを利用すると，VDECのWWWページ経由で，機密情報を含むサービスの詳細な情報にアクセスしたり，申し込みを行ったりすることができる．アカウントの申し込み方と変更の仕方は以下のとおり．

1. **VDECのWWWページ http://www.vdec.u-tokyo.ac.jp/** にアクセスし，「アカウント登録」→「新規登録」の順にリンクをたどって，必要事項を記入して申し込む．
2. アカウント申請は，**各大学・高専の教官**が行い，学生からの利用申し込み受付は行わない．
3. 新規登録の際に，VDECのWWWページを読むコンピュータのIPアドレスを，研究室のもの，教官のもの全て含め半角数字で入力する．詳細情報のダウンロードや，申し込み等は，センターが発行するアカウントとパスワードに加えて，ここで入力した，ブラウザを起動している計算機のIPアドレスによって制限をかけている．
4. アカウントの内容に変更が生じた場合は，WWWページの「アカウント登録」→「登録内容変更」のページで変更を行う．IPアドレスは複数登録できるため，**学内のネットワーク工事等で，IPアドレスが変更になる場合，あらかじめ新旧IPアドレスを登録しておくことに注意する．**

【VDEC ホスト計算機アカウント】

1. VDECの所有するホスト計算機（usr1.vdec.u-tokyo.ac.jp, SunFire6800）にログインするためのアカウントを申請すれば，利用することができる．計算機利用の目的は主としてセンターが提供するCADソフトウエアを利用した設計・検証のほか，チップ設計・評価に関係する大学に所属する研究者独自のプログラムの開発と実行とし，一般の**VLSI教育と関係のない計算には原則として用いないこと**を前提に申込を受け付ける．
2. VLSIチップ**試作申し込みを前提**とし，チップ試作申し込み時に同時にホスト計算機利用申請をする必要がある．
3. **申込者はVLSIチップ試作申し込み単位である各大学・高専教官**とし，学生毎には利用者アカウントの発行は行わない．
4. **利用期間は利用承認時期から該当試作チップの納品時期まで**とする．利用期間終了後はユーザファイル等が消去されることがあるため，ユーザの責任で利用期間内にバックアップするものとする．

【チップ試作】

1. 試作日程はVDEC運営委員会で各大学の学部授業日程ならびに大学院教育に配慮して決める．
2. チップ試作申し込み期間は，**設計締め切りの6ヶ月前から3ヶ月前までの期間**とする．
3. チップ試作**申込者は各大学・高専の教官**とし，学生からのチップ試作受付はおこなわない．
4. 申し込みはセンターWWWのホームページで行い，別途書面による**秘密保持規約において正式確認**する．
5. チップ試作費は試作チップ納品時に送付される請求書類等に応じ，**ユーザ毎に遅滞なくチップ試作会社に支払う**．
6. チップ試作費用ならびに納品チップ数は，別途これを定め，センターWebページその他のセンター情報誌等に掲載する．
7. チップ試作申し込みの**取り消しは設計締め切りの1ヶ月前まで**とし，それ以降は基本的に試作費の支払い義務を負う．

8. チップの**品質検査は同一チップ上に作られるテスト回路で行い**，センターおよびチップ試作会社は基本的に試作チップの動作，性能等についてそれ以上の責任を負わない．
9. チップ試作申し込みでは**同時に別途規定するホスト計算機利用申請を行う必要がある．**

【CAD 利用】

1. CAD 利用は，演習・授業でも必要であり，**VLSI チップ試作申し込みを条件とはしない．**
2. ユーザが必要なライセンス数を把握するため，**CAD 項目単位で申し込みを受け付ける．**
3. CAD 利用**申込者は，各大学・高専の教官**とし，学生からの利用申し込み受付は行わない．

【CAD 項目とサポートされる OS】

CAD 項目

- Verilog　HDL 論理設計ツール
- VHDL 論理設計ツール
- 自動配置配線ツール
- 会話型回路・レイアウト設計ツール
- アナログ回路・レイアウト設計ツール
- アナログ回路シミュレータ

サポートされる OS（平成 15 年 4 月現在）

- SUN Sparc: Solaris7 以上推奨
- HP9000: hpux 10.20 以降

5.2．申し込みガイド

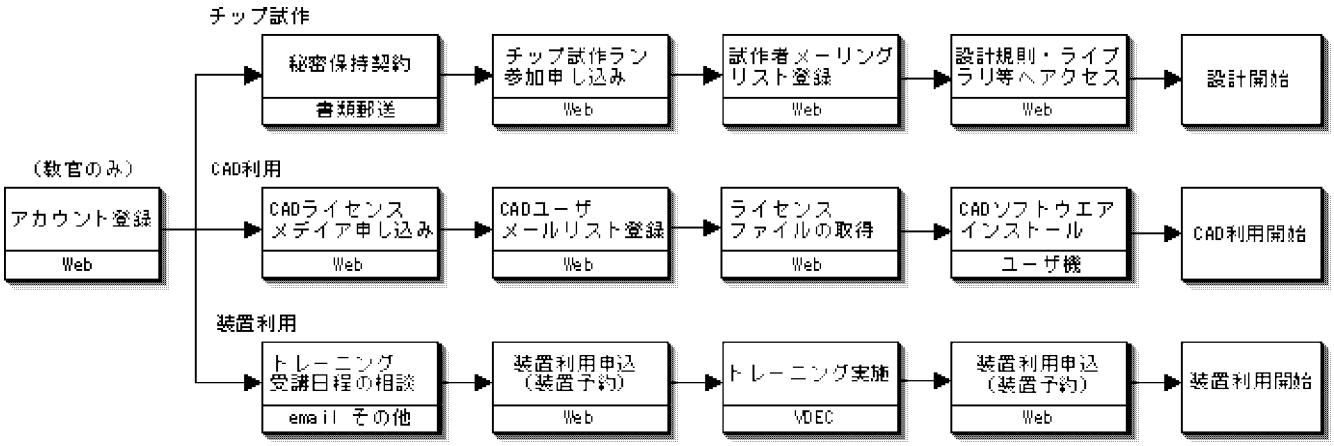


図 5.1　VDEC 利用申込の流れ

【VDEC 利用方法の概要】

1. VDEC の利用までの手順をまとめると図 5．1 のようになる．VDEC 計算機アカウントは，大学・高専の教官にのみ発行され，チップ試作費用は，アカウント所有者宛てに請求される．
2. VDEC における利用申請およびユーザへの案内は主に VDEC ホームページ（http://www.vdec.u-tokyo.ac.jp/）上で行われる．VDEC ホームページの上部にインデクスフレーム（図 5.2）が表示さ

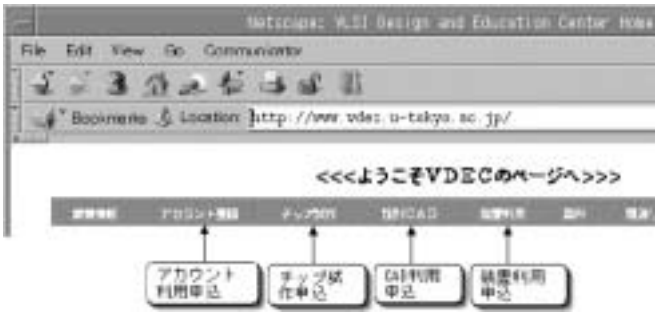


図 5.2　VDEC ホームページのインデクスフレーム

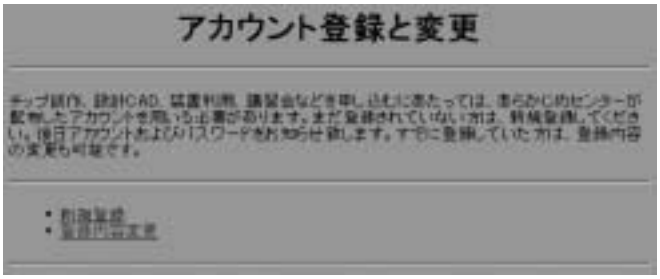


図 5.3　アカウント登録･変更ページの入口

れるので，これを用いて，アカウント申込，チップ試作申込，CAD 利用申込，公開装置の利用申込のためのページ等を表示することができる．また，フレーム構成となっており，フレームの左側を丹念に読むと有益な情報へのリンクを見つけることもできる．

【アカウント利用申込】

1. VDEC の利用を開始するに先立ち，アカウント登録のページに入り（図 5.3），WWW ページアクセスのためのアカウントを取得する必要がある．新規アカウントを申請する場合は「新規登録」のページへ進む．IP アドレスや住所など，一旦登録した内容の変更は，「登録内容の変更」のページへと進む．
2. 「新規登録」のページでは，フォームを全て埋めて内容を確認してから“ Submit ”ボタンをクリックする．
3. 新規登録後，VDEC で審査ののち職員の手によって登録が行われる．この待ち時間は最大で数週間程度．
4. アカウント申し込みで登録する IP アドレスは，各種サービスの申し込み，機密情報等制限をかけている WWW ページへのアクセスを行うコンピュータ，および試作チップ設計データ提出に用いるコンピュータの IP アドレスである．CAD 利用のためのアドレス（後述）ではないことに注意する．

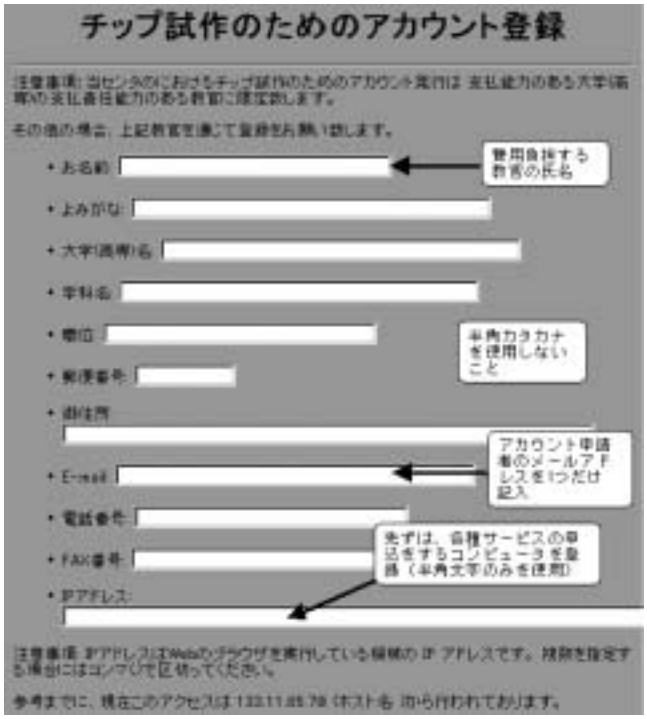


図 5.4　アカウント新規登録の注意点

入力に関する注意点（図 5.4）：

- 全ての入力項目について半角カタカナは使用しない
- email アドレスは，半角文字で入力．email アドレスを間違えると，パスワード等の情報が送付されないので注意．
- IP アドレスは，半角文字のみを使用
- 間違った IP アドレスまたは要件を満たさない IP アドレス（後述）を登録すると，アカウントが発行されたとしても，制限を行っているページへのアクセスができないので注意．特に IP アドレスやドメイン名の区切りを表す　．（ピリオド）と，複数のアドレスの区切りを表す ,（コンマ）を間違えないように注意する
- 名前の前後に不要なスペースが混入されないよう注意する

登録する IP アドレスに関する要件

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが，管理

の行き届いたコンピュータのみに限定すること

- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxy サーバ等を介さないアドレスを指定すること．これは，設計規則等の機密情報が Proxy サーバに残ってしまい，機密漏洩につながることを防ぐためであるので守っていただきたい．但し，ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

5. 「登録内容の変更」のページでは，変更したい項目のみ，チェックボックスチェックの上，新しい内容を記入し，“ 登録 ”ボタンをクリックする．この際も，アクセスホストの IP アドレスの指定には十分注意をすること．（図 5.5）
6. 「登録内容変更」のページには，アクセス制限がかかっている．そのため，IP アドレスなどが急に変更になってしまった場合，申請しようとしてもこのページに入れなくなる．その場合，「新規登録」を行い，e-mail アドレスを前回と同じにしておく．

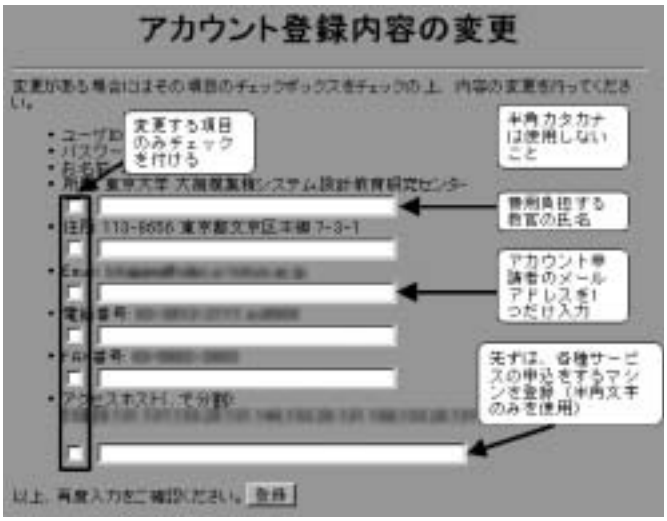


図 5.5　アカウントの登録内容変更の注意点

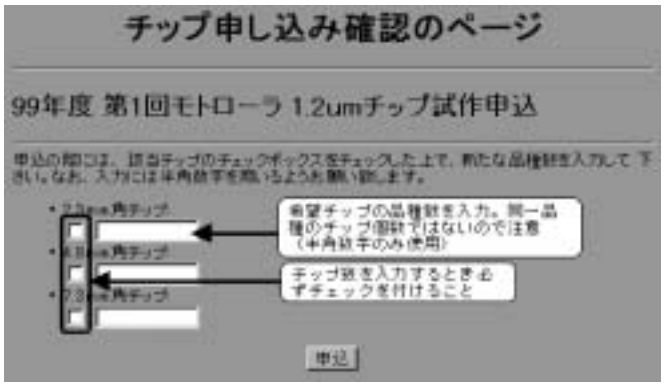


図 5.6　チップ申込ページでの注意点

【チップ試作申込】

1. チップ試作申込には前項アカウント利用申込を行い発行されたアカウントが必要である．アカウント利用申込の際に登録した IP アドレスのコンピュータからアクセスして申し込む．
2. 「チップ試作（チップサービスの案内）」のページで申込条件，試作チップの種類，試作日程，試作料金を見て試作するチップの品種が決まったら「チップ試作申込」の個所へ移動し，“ 受付中 ”の文字をクリックする．この時，ユーザ ID とパスワードが要求されるので半角文字で入力すると，「チップ申込」のページが表示される．必要事項を記入して “ 申込 ” ボタンをクリックする．

チップ申込フォームの入力に関する注意点（図 5.6）

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること．チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

3. 「チップ試作申込確認のページ」（チップ試作申込の下方にリンクがある）を開いて，チップ寸法，品種数等が正しく申し込まれていることを確認する．
4. 「チップ試作（チップサービスの案内）」または「チップ試作申込」ページの左側のフレームに表示されている “ チップ試作者のメーリングリスト ” をクリックして，「設計者のメールリスト登録ページ」を表示させ，試作を行う予定の試作ランをクリックして**実際に設計を行う設計者のメールアドレス**をメーリングリストに登録する．

メーリングリスト登録での入力に関する注意点（図 5.7）

- 全角英数字や半角カタカナを決して用いないこと
- 入力フォームの文字数には制限があるので，多数の試作者が参加する場合には，一度に多くのメールアドレスを入力しないで後で追加するとよい．追加する場合には，ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- ．（ピリオッド）と，（コンマ）を間違えないように注意する（Web 上ではこの見分けが困難である！）
- 大学のメールアドレス（基本的に .ac.jp）以外は，登録できない

チップ試作メーリングリストの利用に関する注意

- チップ試作の技術的な質問に関しては全てメーリングリストに流すようにすること．また，チップ試作を申し込むとチップ試作者メーリングリストの過去記事が参照できるようになる．同じような質問が無いか一度目を通されたい

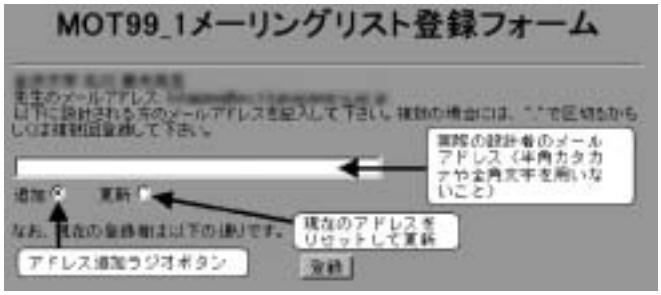


図 5.7　チップ試作メーリングリスト登録ページでの注意点

図 5.8　CAD 利用登録案内のページ

- メーリングリストに登録したメールアドレスのアカウントについては各ユーザまたは管理者で厳重な管理をお願いしたい．学生が卒業後も登録メールアドレスを使用することのないように注意して頂きたい
- メーリングリストに登録されたメールアドレスからネットワークプロバイダ等へのメールの転送を行わないこと

5. 当該プロセスにて始めて試作を行う場合，ファウンダリー毎に秘密保持契約が必要となる．秘密保持契約書面は，「チップ試作申込完了」のページから辿れるようになっている．ページをプリントアウトした上で内容を確認し書名の上 VDEC 宛てに送付すること．内容を VDEC 側でチェックして制限を（手動で）外すまで，設計規則等の機密情報にはアクセスできない．尚，秘密保持契約内容は，以降の同一プロセスによるチップ試作全てにおいて有効である．

【CAD 利用申込】

1. チップ試作申込には前項アカウント利用申込を行い発行されたアカウントが必要である．アカウント利用申込の際に登録した IP アドレスのコンピュータからアクセスして申し込む．
2. VDEC ホームページ上部のインデクスフレームで“設計 CAD”をクリックすると「CAD 利用登録の案内」のページ（図 5.8）が現れる．“CAD 利用申込”を選ぶと「申込用フォーム」が表示される．ライセンス数は，原則として最大同時利用者数分を申し込むこと．これは次回 CAD ソフトウエア入札のための基礎データ収集の意味がある．

CAD ライセンス数入力に関する注意点（図 5.9）

- 希望する CAD 項目のチェックボックスをチェックした上で必要なライセンス数を入力すること．チェックを行わないと入力した数字は無効となる
- ライセンス数の入力には，半角数字のみを使用
- メディア申し込みを必ずチェックする．

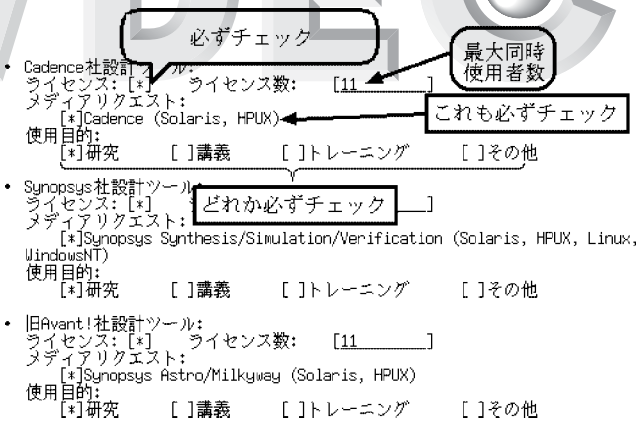


図 5.9　CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

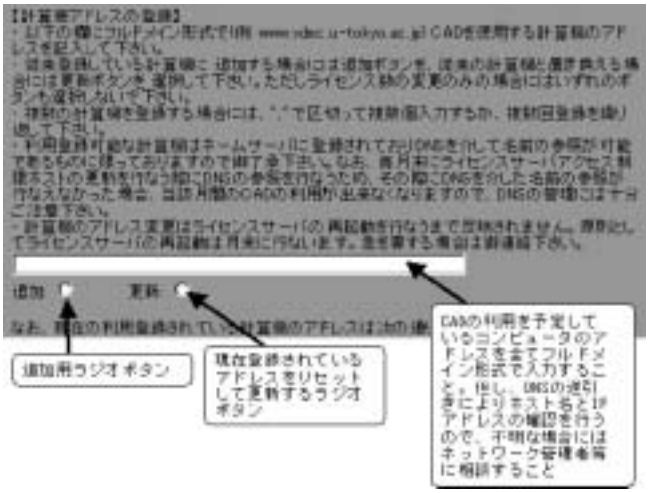


図 5.10　CAD 利用申込フォームの「計算機アドレスの登録」パート記入における注意点

3. 「計算機アドレスの登録」のパート（図 5. 10）では，本 CAD ソフトウエアの利用を考えている全てのコンピュータのアドレスを入力する必要がある．なお，登録する計算機のアドレスは，不正アクセスを防止するため，DNS によるホスト名の照合を行うため，DNS の逆引きが行えないコンピュータ，大学機関外に設置されているコンピュータなどは登録しても利用できないので注意すること．

計算機アドレス入力に関する注意点（図 5. 10）

- アドレスの指定はフルドメイン形式で行う
- 全角文字は用いない
- 入力フォームの文字数には制限があるので，多数の計算機アドレスを登録する場合には，一度に多くのメールアドレスを入力しないで後で追加するとよい．追加する場合には，ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- ．（ピリオッド）と，(コンマ) を間違えないように注意する（Web 上ではこの見分けが困難である）

4. フォームの記入後，“申込”ボタンをクリックすると送信確認画面が現れるので，表示された情報が正しいことを確認して“確認”ボタンをクリックする．
5. 申込完了後に必ず申込のページをリロードしてライセンス数，計算機アドレスなどが正しく申し込まれていることを確認すること．
6. 申し込んだ内容が有効になるためには CAD ライセンスサーバの再起動が必要であるが，再起動すると**全国のどこかで CAD が起動中だった場合それを動かなくしてしまうため**無闇に行えない．このため**予告の上原則として毎月月末に行う**．従って月途中での申し込みの場合即応ができないので注意すること．**どうしても**急遽必要な場合には別途連絡頂きたい．
7. CAD ツールのメディアは，VDEC の共用計算機 usr1.vdec.u-tokyo.ac.jp から，FTP にて必要なファイルを各自ダウンロードする．このためのアカウントは，職員が手動で作製ののち通知される．ログインしたのち，CAD 申し込みのページに書いてあったディレクトリに移動し，必要なファイルをダウンロードする．
8. CAD ライセンスサーバに関する情報，その他 CAD 関係の情報はすべて CAD 利用者メーリングリスト（CADuser@vdec.u-tokyo.ac.jp）上で行う．CAD ツールを利用する方と管理者を登録すること．但し，CAD ツールの利用申込をしないと登録が出来ないようになっている．「CAD 利用者メーリングリストの登録」のページは，「CAD 利用登録の案内」ページから辿れる．

メーリングリスト登録フォームの入力に関する注意点（図 5.11）

- 全角文字や半角カタカナを用いない
- 入力フォームの文字数には制限があるので，多数の試作者が参加する場合には，一度に多くのメールアドレスを入力しないで後で追加するとよい．追加する場合には，ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- .（ピリオッド）と，（コンマ）を間違えない
- 大学のメールアドレス（基本的に .ac.jp）以外は，登録できない

CAD 利用者メーリングリストの利用に関する注意

- CAD のインストール，その他の質問を行う前に，過去記事の検索を行い，機知の問題でない場合に限り，メーリングリストに質問を投げるようにすること．
- 機密保持にかかわるような内容のメールは，CADuser に送ってはならない．各試作のメーリングリストに送ること．
- CAD 利用申込を行った VDEC アカウント管理者には，時々「CAD 利用者メーリングリストフォーム」のページをチェックし，**卒業生のメールアドレスをメーリングリストから除く**などアカウントのメンテナンスにご協力頂きたい．
- メーリングリストのセキュリティのため，**登録者が登録アドレスからプロバイダー他のメールの転送を行わない**ように注意して頂きたい．

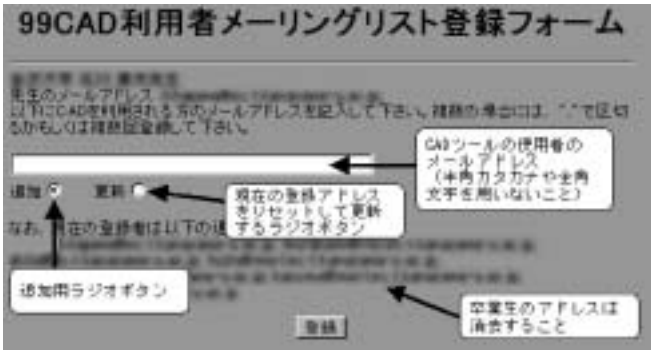


図 5.11　CAD 利用者メーリングリスト登録における注意点

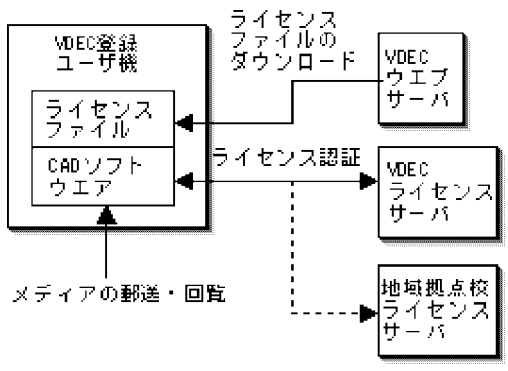


図 5.12　CAD ライセンシングの方法

［参考］ CAD ツールを実行するためには，ユーザ機へのライセンスファイルのインストールと CAD ツールの実行時における VDEC または地域拠点校のライセンスサーバによる認証が必要である（図 5.12）．ライセンスファイルの変更により認証を行うライセンスサーバを切り替えることが出来るので，VDEC または地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも，稼働中のもう一方のライセンスサーバを選択することにより CAD ソフトウエアを実行することが可能である．また，ライセンスサーバの認証は，CAD ツール起動後も定期的に行われるので，CAD ツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない．ファイアーウォールを使用しているネットワーク環境では，VDEC の Web サーバと VDEC および地域拠点校のライセンスサーバへのアクセスを可能にするための特別な設定が必要である（図 5.13）．この場合，各大学・高専のネットワーク管理者と相談すること．

【メーリングリスト記事の検索】

1. 計算機管理，ソフトウエアの不具合等の問題が生じたときは，CADuser メーリングリストで質問する前に，あらかじめ同様の問題がなかったかどうか，調べることが強く勧められる．
2. VDEC WWW ページのトップから，「CAD 関係」→「CADuserML の過去記事」リンクをたどること

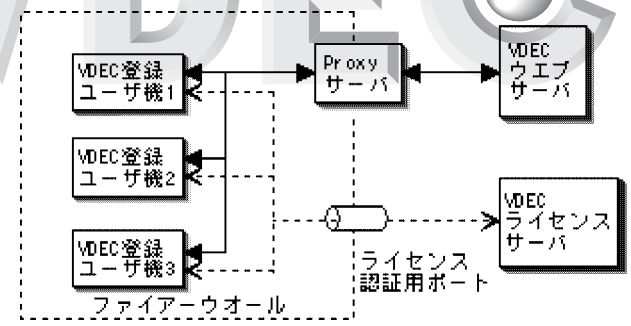


図 5.13　ファイアーウオールを通した VDEC へのアクセス方法

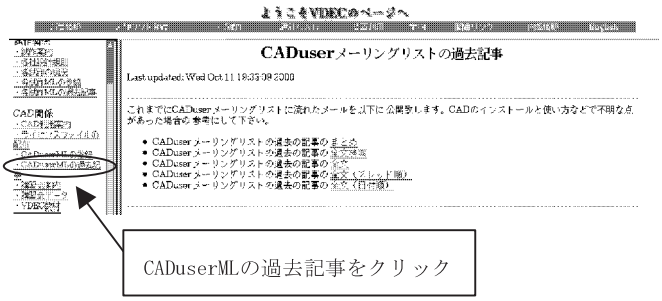


図 5.14　CADuser メーリングリスト過去記事の検索

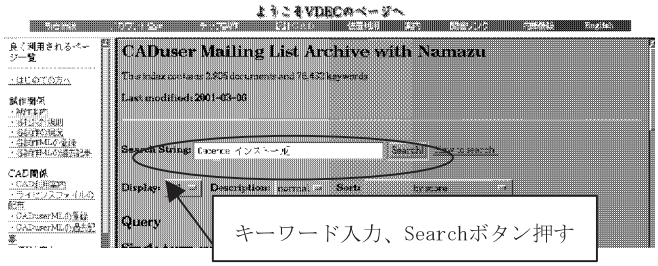


図 5.15　キーワードによる過去記事の検索が行える

で，全文をダウンロードできるほか，過去記事の検索を行える．

【毎月注意を払うべき点．熟読必須．】

1. VDEC では毎月，CAD を使用できる計算機のリスト（アクセスリストと呼ぶ）を更新している．このとき DNS の逆引きができなくなっていた等の何らかの不具合で，アクセスリストに自分の計算機が登録されない場合がある．その場合，CAD が使えなくなるので，アクセスリスト更新前に対処する必要がある．サーバの停止は，全国ユーザに影響が及ぶため頻繁には行えないので，万が一アクセスリストの不備に気づかなかった場合は，最悪一ヶ月 CAD が使用できなくなる．
2. 以上の理由で，VDEC から「CAD のアクセスリストを更新します」というアナウンスがあった場合，必ずチェックを行い，自分のコンピュータが登録されていることを確認しなければならない．
3. 登録確認のページは，http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.html である．ブックマークを強くお勧めする．
4. IP アドレス（ホスト名）registered という表示が出ていれば登録されている．
5. false(false(ホスト名))FAIL という表示が出ていれば登録に失敗しているので，原因を探る．
6. 一般的に，DNS の逆引き（ホスト名から IP アドレスを引く）に失敗していることが多い．研究室のネットワーク管理者とも相談して，VDEC のサーバから，当該ホスト名の逆引きができるまで原因の除去を行う．

【毎年注意を払う点】

1. CAD のアカウントは，**毎年更新**である．継続性のため，新年度の 4 月に CAD が使える場合もあるが，これはたまたまであることを良く認識し，遅滞無く新年度申し込みを行う．
2. 新年度の申し込みは，毎年 3 月ころに CADuser メーリングリスト宛にアナウンスがあるので，それを見るとただちに申し込みページにアクセスして，新年度に必要なライセンスを申し込む．

【VDEC 所有公開装置の利用】

1. WWW ページで VDEC が所有する大型装置（テスタ等）の情報を開示している．このうちいくつかの装置は公開利用可能であるので，WWW ページに書いてある手順にそれぞれ従い，利用申し込みをする．

編集後記
VDEC ロゴ審査結果の発表

VDEC では，2003 年秋に東京大学浅野キャンパス内に竣工予定の「武田先端知ビル」を記念して，ロゴタイプを募集いたしましたところ，10 名の方から 14 件の応募がありました．6 月に VDEC 運営メンバーによる審議と投票を行った結果，東京大学の鄭若彤さんの案を採用することにいたしました．応募いただいた方に深く感謝するとともに，この場をもちまして，上位 3 件のロゴ案をご紹介いたします．

順位	ロゴ案	作者と作者のコメント抜粋
第 1 位 （採用案）		鄭　若彤　さんの作品 シンプルすぎるかもしれません．シリコンウェハを連想させるため，曲線を多く使いました．
第 2 位		古賀 毅　さんの作品 機械的且つ幾何学的な絵柄は，基盤をイメージしその組み合わせにて，結束と可能性を表し力強さのインパクトを与えるイメージとしました。
第 3 位		萩田　雅士　さんの作品

今回募集のロゴタイプは武田先端知ビルの入り口等に置く「大規模集積システム設計教育研究センター」の銘板の中に刻むもので，武田先端知ビルとともにロゴおよびそのデザイナーの名を末永く掲示する予定です。

応募された皆様には，深く感謝いたします．

東京大学　大規模集積システム設計教育研究センター
センター長　浅田邦博

平成 14 年度
東京大学大規模集積システム設計教育研究センター年報

2003 年 10 月

編集・発行　東京大学
大規模集積システム設計教育研究センター
センター長　浅田　邦博
〒 113-8656 東京都文京区弥生 2 丁目 11 番 16 号
東京大学工学部 9 号館 7 階 715 号室
電話 03-5841-8900
FAX 03-5841-8910
E-mail:vdec@vdec.u-tokyo.ac.jp

印刷・製本　三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131（大代表）

VLSI Design and Education Center
The University of Tokyo

2003