

Activity Report
from April 2003 to March 2004

VDEC

*VLSI Design and Education Center
The University of Tokyo*

2004



平成16年度

東京大学 大規模集積システム設計教育センター 年報



VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター（VDEC）の2003年度年報をお送りします。

2003年度は新しい建物「武田先端知ビル」が竣工し、東京大学のいくつかのキャンパスに分散していたVDEC関係施設を一カ所に集結し、文字通り“センター”となった記念すべき年となりました。武田先端知ビルは現在のアドバンテストの創立者である武田郁夫氏から東京大学に寄贈された寄附建物で浅野キャンパスに位置しています。1階にはVDECの事務部門やセミナー室、テスター室等が、また4階にはセンター長室やVDECスタッフの研究室等が配置されています。地階には600m²のクリーンルームが設置され、マスク作成設備や微細加工設備が設置されています。センター機能が一カ所に集結したことで作業効率が一層向上しサービス向上につながるものと期待しています。各種セミナーも今後はこのビルで開催され、受講生の方々にとってよりよい環境での学習が可能となると喜んでいきます。

2003年度のチップ試作数は本年報にもありますように依然として高いレベルを維持し、主要国際学会等でのVDECを利用した研究成果発表数は大きな伸びを示しています。これらの成果は各大学・高専での研究者各位はもとより、多数のCADベンダー、チップ試作会社、マスクメーカ、チップ組立会社および半導体産業界のご支援によるところが大きいと感謝いたしております。

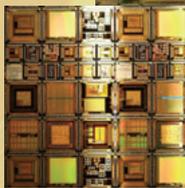
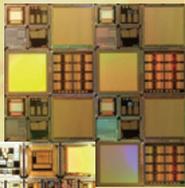
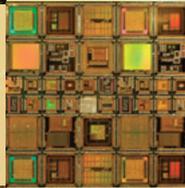
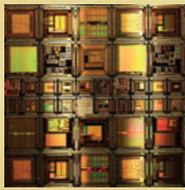
東京大学は2004年4月から国立大学法人に組織変更となりました。東京大学に限らず法人化した各大学にとって第一の関心事は各自の大学活動の高度化であり差別化でもあると言えます。ある意味で各大学は“ライバル関係”に置かれたということができるようでしょう。その中であって全国共同利用施設であるVDECは全国のすべての大学・高専のVLSI設計力強化に貢献する使命をもっています。しかしVDECは法人としての東京大学の組織でもあり大学内の理解を得なければ存続できない立場にもあります。このような中、VDECはこれまで果たしてきた役割と今後果たすべき役割を大学の内外に対し再度明確にし、理解を得る努力をしまっている所存ですが、これには是非皆様からの強いご支援ご支持をお願い致しますと考えています。

産業界ではすでに90nmへと先端製造技術がシフトしています。この中で産業界からの大学の設計技術への期待もますます高まってきており、先端製造技術にも対応できる高い設計研究や人材の育成が要求されています。そこでVDECでは2003年度に新しい試作サービスを開始する準備を進めてまいりました。準備作業もようやく整い2004年度には沖電気の協力による0.15 μ mSOI-CMOS技術とASPLA/STARCの協力による90nmCMOS技術のテストランを行う予定です。これら微細技術は大変高価であることから従来の“マルチプロジェクトウェーハ”ではなく“マルチプロジェクトチップ”型の試作モデルの導入となります。これら新しい試作技術を大学・高専に提供することで、学界におけるVLSI設計研究の一段の高度化と人材育成に寄与できるものと考えています。VDEC活動の発展のため、みなさまからの引き続きのご支援をお願いいたします。

（全国共同利用施設）

東京大学大規模集積システム設計教育研究センター

センター長 **浅田 邦博**

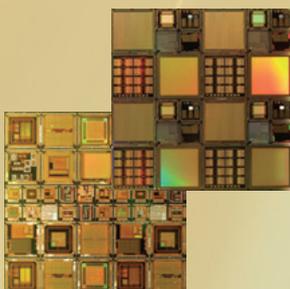


VDEC

VLSI Design and Education Center
The University of Tokyo

2004

第1章	VDEC事業の紹介と平成15年度事業報告	2
	1.1 VDEC事業の紹介と平成15年度事業報告	
	1.2 CADソフトウェアの整備	
	1.3 平成15年度VDEC事業報告	
	1.4 CADセミナー	
	1.5 装置の整備・運用・利用公開	
	1.6 IPデータベースの整備	
	1.7 平成16年度の活動計画	
第2章	チップ試作結果報告	27
	2.1 チップ種別索引	
	2.2 試作結果	
	2.3 チップ試作者の発表文献リスト	
第3章	VDEC概要	171
	3.1 組織概要	
	3.2 人事報告	
	3.3 決算報告	
第4章	研究報告	176
	4.1 研究室構成員	
	4.2 研究概要	
	4.3 研究発表	
第5章	付録	203



第1章 VDEC 事業の紹介と平成 15 年度事業報告

1.1. VDEC 事業の紹介と平成 15 年度事業報告

東京大学大規模集積システム設計教育研究センター（VDEC）は発足後 8 年目を迎える。

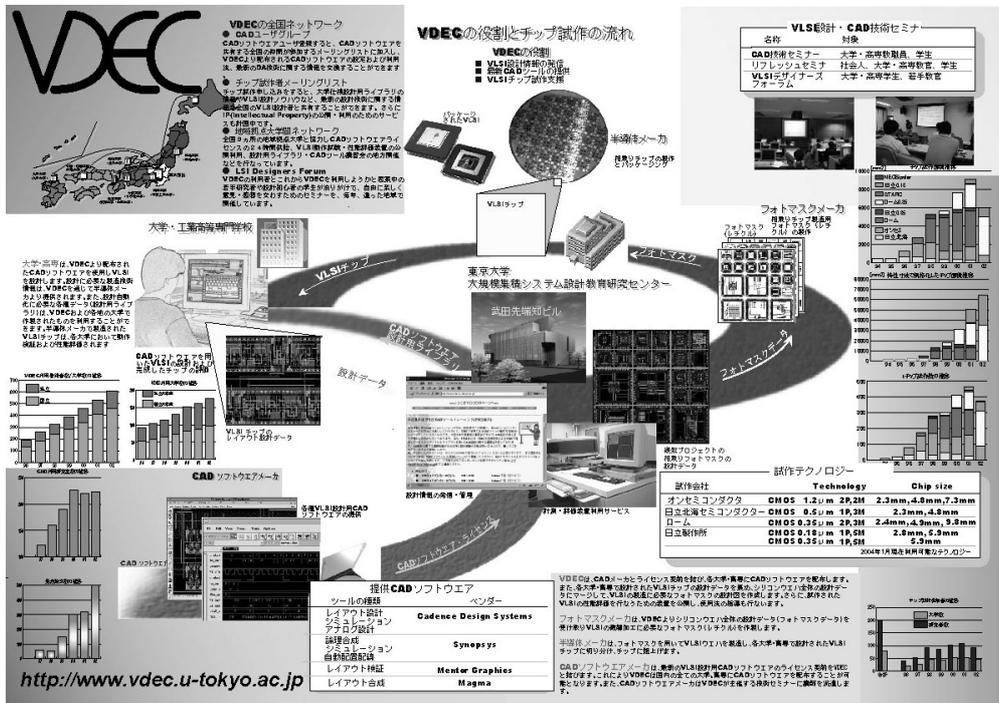


図 1.1 VDEC の活動内容

平成 15 年度も『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を 3 つの柱として、円滑な運営を目指した事業を展開した。図 1.1 に示す VDEC の活動内容に基づき、以下に平成 15 年度の概要を報告する。

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。しかし、VDEC 発足当初、我が国の大学には CAD ソフトウェア利用技術教育や実用的 LSI 設計フロー教育のカリキュラムはほとんど存在していなかったため VDEC にとってはこれらの整備が急務の課題であった。CAD ソフトウェアの利用技術に関しては CAD ベンダーが独自の設計技術を有しており、これを導入することとした。大学院学生、若手教官を対象として CAD ベンダーから講師を招き、それぞれの CAD ソフトウェア毎に年 2 回のセミナーを開催することとし、CAD

ベンダーと契約を結んだ。これまで年 2 回の内 1 回は VDEC で、残り一回は地方拠点校で実施している。参加定員は設備の関係でそれぞれ 20 ～ 50 名程度であり必ずしも十分とはいえないが、VDEC としては各ユーザ研究室内で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって CAD 利用技術が全国的に広がることを期待している（1.3 章参照）。

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを年 1 回（12 月～1 月）開催している。このコースは

“デジタル設計コース”，“アナログ設計コース”，“最先端設計事例コース”の3コースからなっている。前2者は演習を伴う体験教育コースであり，主要大学の経験豊かな教官を講師に招いて実施している。最先端設計事例コースは講義主体のコースであるが，大学および企業から第一線の講師を招き，設計経験をもとにした講演を行っている。

これらセミナーに加えてVDECでは年1回，若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり，企業・大学からの招待講演に交えて，参加者が設計事例を持ち寄ってその成功談，失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。このフォーラムの成果はプロシーディングとして印刷物，CDROMの形で入手できる。

このようなセミナー，フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが，それでも実際のLSI設計の場面では，さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ，そこに直面する疑問点を投稿し，助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが，ほとんどの場合，数時間から数日以内に経験豊かなユーザからの支援を得ることができる(図1.2)。



図 1.2 VDEC メールングリスト検索システム

VDECではこの支援活動に参加していただいているユーザに感謝の意を込めて、VDEC デザイナー・フォーラムにて“最多回答ユーザ賞”をさしあげている。

VLSI チップ試作支援に関しては、2002年度からの本格運用を目指して日立製作所 0.18 μ m CMOS テストランを実施した。さらに、VDECでは現在のサービス項目に載っていない BiCMOS, SiGe 等について、CMC 等と同様の MOSIS との連携をスタートした。

また、一流の LSI 設計者を目指す学生に対してインセンティブを与える仕組みとして4年前より LSI IP アワードを実施している。本アワードは半導体各社と日経 BP 社の支援でスタートした IP 開発支援のしくみであり、すでに5回目の募集を終えた。前回は約107の応募にたいしその上位28件の優秀IPに対して100万円～200万円の賞金を授与している(図1.3)。



図 1.3 LSI IP 賞

VDEC 発足以来 8 年目を迎え、7 年余の活動の中で LSI 設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育がスタートしている。図 1.4 に VDEC を利用した研究成果の指標として、VDEC に関する発表文件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC 発足以

来、集積回路に関する研究が活性化されていることが確認できる。

平成 15 年 12 月、東京大学武田先端知ビル竣工記念式典が東京大学本郷キャンパスで盛大に行われました。

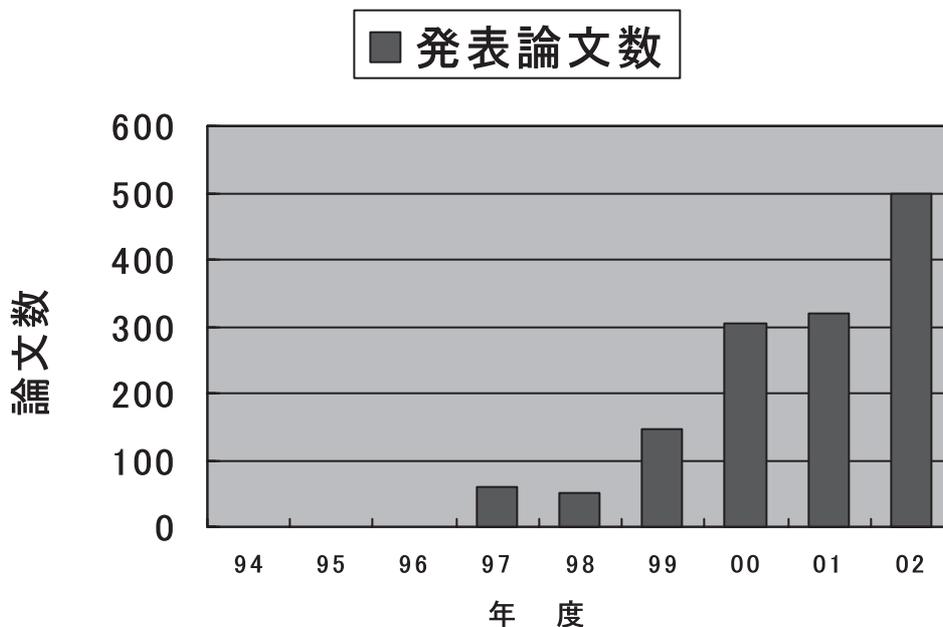


図 1.4 VDEC を利用した発表文献数の推移

図 1.5 に VDEC に関する発表文献の VDEC ファシリティー利用状況を示す。論文執筆にあたり CAD ソフトウェアが幅広く利用されていることが確認できる。CAD ソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大

きい。また、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり、平成 15 年度からサービスを開始する日立製作所の 0.18 μm テクノロジーの利用が期待できる。そのほかのファシリティーとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

VDECを利用した研究論文

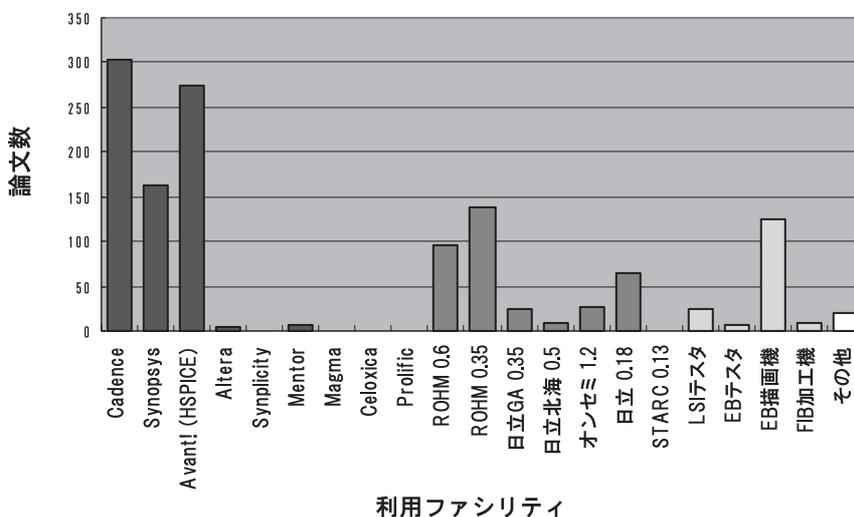


図 1.5 VDEC ファシリティー利用状況

1.2. CAD ソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成15年度は表1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2に示す全国地域拠点校10箇所にはライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティン

グライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている(a)全国教官数および(b)その所属する大学数および(c)CADの利用申請があった研究室(教官)数の推移は図1.7の通りである。

表 1.1 導入された CAD システム

名 称	用 途	メーカ
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力, シミュレーション, 論理合成, テスト生成, マクロセルを含むセルベースの配置配線とバックアノテーション, 会話型の回路図およびマスクレイアウト入力, アナログ機能・回路シミュレーション, 設計検証, 回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション, 論理合成, テスト生成, マクロセルを含むセルベースの配置配線設計とバックアノテーション, 回路シミュレーション, デバイスシミュレーション	Synopsys, Inc.
Magma 社設計システム	VerilogHDL/VHDL シミュレーション, 論理合成, 配置配線設計とバックアノテーション	Magma Design Automation Inc.
レイアウト検証システム	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
C 言語ベース設計システム	Handel-C でシステム設計, 合成, 検証	Celoxica

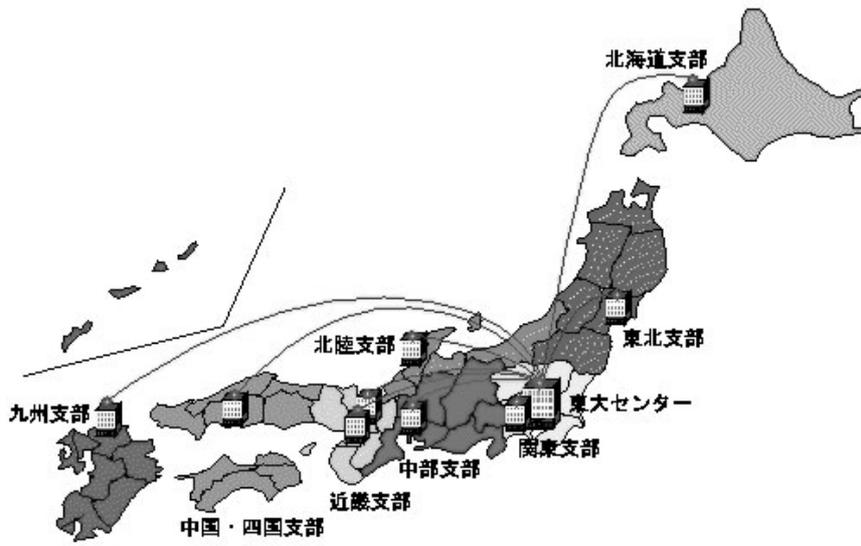
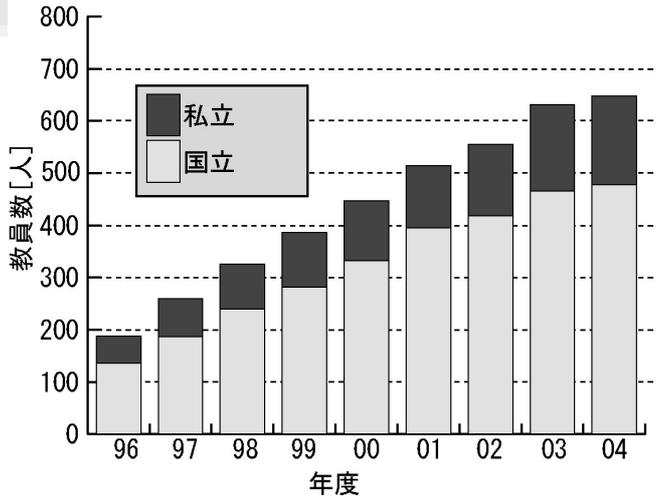


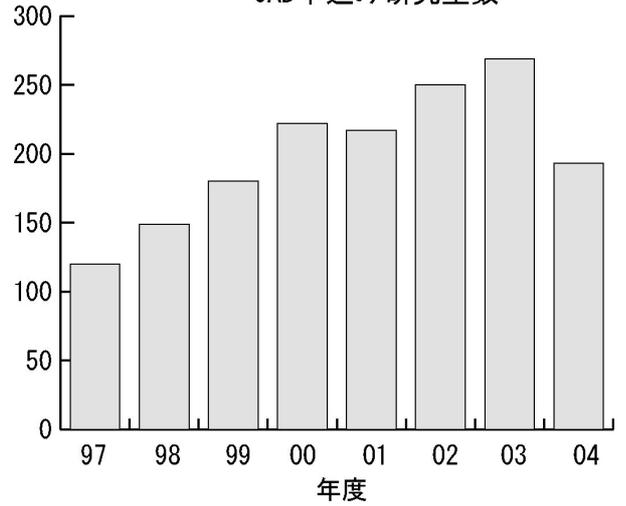
図 1.6 全国地域拠点校

VDEC利用教官数



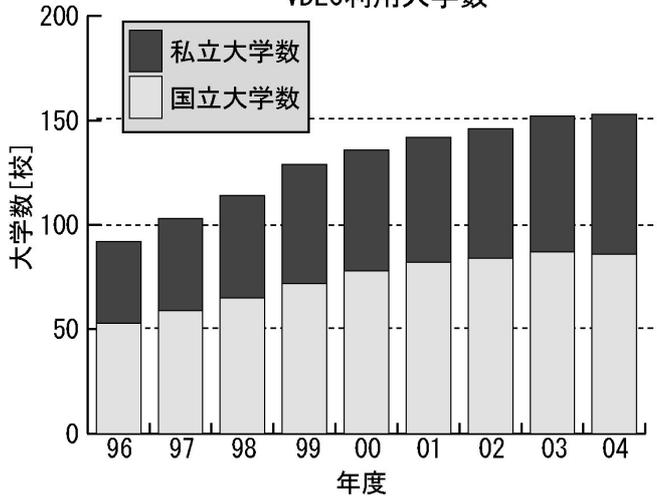
(a) 利用登録教官数

CAD申込み研究室数



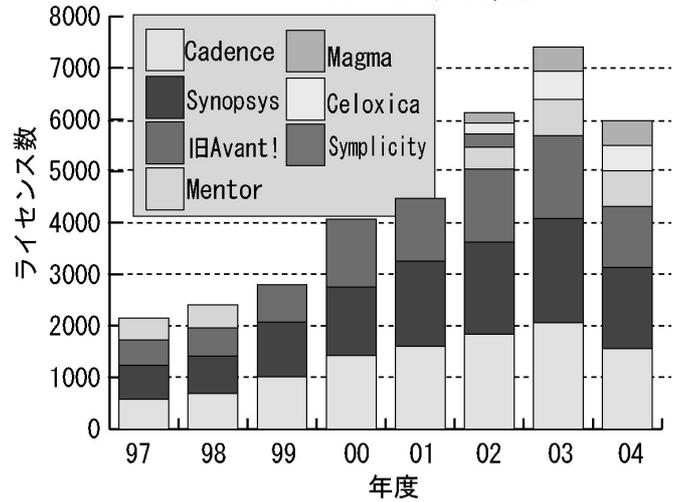
(c) CAD 申し込み研究室数

VDEC利用大学数



(b) 利用登録大学・高専数

CAD利用申請数の推移



(d) CAD 申し込み数

図 1.7 ユーザ登録数および CAD 申込数の推移

1.3. 平成 15 年度 VDEC 事業報告

1.3.1 VLSI チップ試作

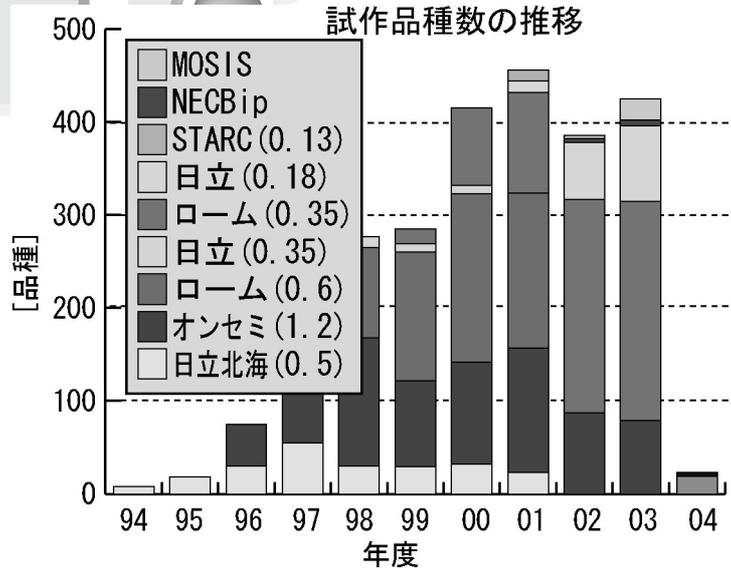
図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSI チップ試作は、平成 6, 7 年度 (1994, 1995 年度) のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続) 1 社であったが、平成 8 年度 (1996 年度) の VDEC 発足後、日本モトローラ社の CMOS 1.2 μm (平成 11 年度からは、オン・セミコンダクターにて継続) が協力を開始し、平成 9 年度からはローム社の CMOS 0.6 μm が加わった。さらに平成 10 年度には日立製作所の CMOS 0.35 μm 、平成 11 年度にはローム社 0.35 μm がそれぞれ加わり、試作品種数、試作面積ともに依然として増加傾向にある。また、IP 開発プロジェクトの一環として STARC0.13 μm の試作を行った。平成 13 年度から、日立製作所の CMOS0.18 μm のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。

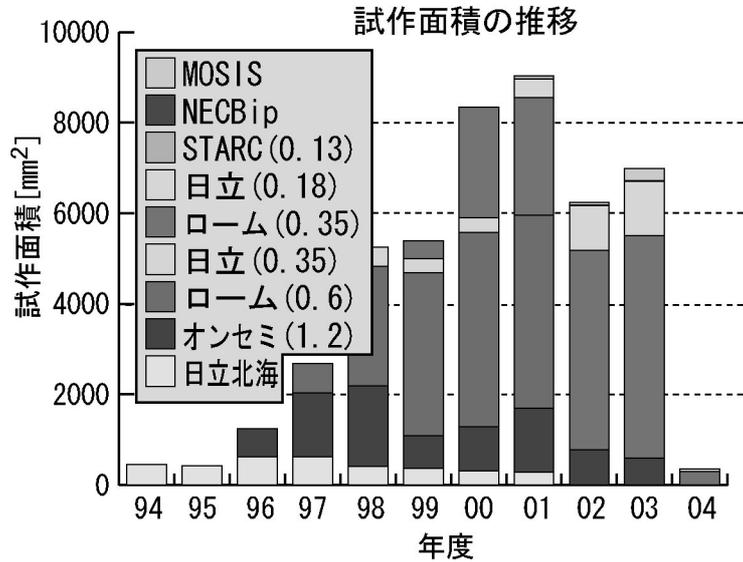
これは、TSMC, IBM といった海外のファブを MOSIS を経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。

図 1.3.1 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。02 年度は試作数が減少したが、これは、ROHM 社の 0.6 μm プロセスを終了したことによる一時的な現象である。

図 1.3.1 (b) に設計されたチップ面積を示す。試作プロセスが微細化すると、集積度が向上することで、見かけ上試作面積が減少するように見える場合がある。そこで、図 1.3.1 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。規格化面積で見ると、チップ面積は順調に伸びていっているのがわかる。



(a) 設計チップ品種数



(b) 設計チップ面積

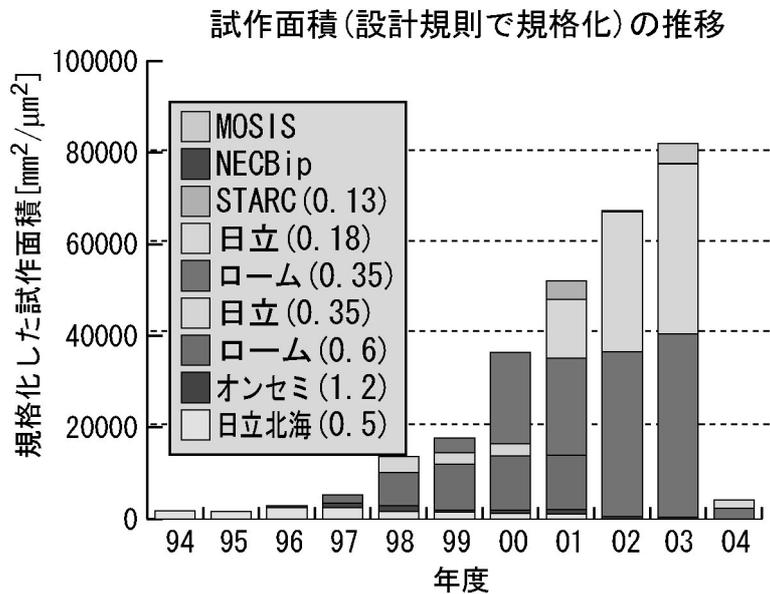


図 1.3.1 チップ試作数・面積推移

また、図 1.3.2 にこれまでに試作に参加した教官数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報

にアクセスするための「機密保持契約」締結教官数は、オンセミコンダクタが 108 名、ロームの 0.35 μ m プロセスが 83 名、日立製作所が 16 名となっている。

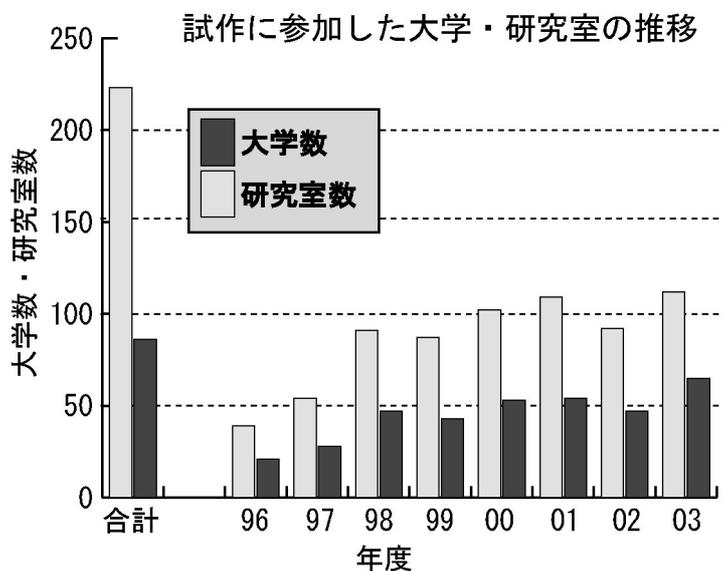


図 1.3.2 VDEC チップ試作参加教官数・大学数の推移とその累計

1.3.2 平成 15 年度チップ試作概況

平成 15 年度は、表 1.3.1 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 2 章のチップ試作報告を参照されたい。

表 1.3.1 平成 15 年度チップ試作日程

○ CMOS 1.2 μ m (オンセミコンダクタ：旧日本モトローラ)

	申込開始	申込メ切	設計メ切	チップ納品
第 0 回	平成 14 年 10 月 15 日	平成 15 年 1 月 14 日	平成 15 年 4 月 7 日	平成 15 年 8 月 18 日
第 1 回	平成 15 年 4 月 14 日	平成 15 年 7 月 7 日	平成 15 年 10 月 6 日	平成 16 年 1 月 7 日
第 2 回	平成 15 年 10 月 13 日	平成 16 年 1 月 12 日	平成 16 年 4 月 5 日	平成 16 年 7 月 9 日

○ CMOS 0.35 μ m (ローム)

	申込開始	申込メ切	設計メ切	チップ納品
第 1 回	平成 15 年 4 月 14 日	平成 15 年 5 月 12 日	平成 15 年 6 月 23 日	平成 15 年 9 月 30 日
第 2 回	平成 15 年 5 月 2 日	平成 15 年 6 月 25 日	平成 15 年 8 月 25 日	平成 15 年 11 月 21 日
第 3 回	平成 15 年 5 月 2 日	平成 15 年 9 月 3 日	平成 15 年 11 月 3 日	平成 16 年 2 月 18 日
第 4 回	平成 15 年 8 月 2 日	平成 15 年 12 月 2 日	平成 16 年 2 月 2 日	平成 16 年 5 月 14 日

○ CMOS 0.18 μ m (日立) (固定枠)

	申込開始	申込メ切	設計メ切	チップ納品
第1回	平成15年4月14日	平成15年5月26日	平成15年7月21日	平成15年11月29日
第2回			平成15年9月17日	平成16年2月5日
第3回	平成15年7月14日	平成15年11月10日	平成16年1月12日	平成16年5月21日

○ Bipolar (NEC)

	申込開始日	申込メ切	設計メ切	チップ納品
第1回			平成15年9月29日	平成16年2月23日

1.3.3 ライブラリ整備状況

VDECにおけるチップ試作（主にデジタルLSI試作）では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ

整備事業を行ってきている。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
HHS (NEL) 0.5 μ m	P2lib	京都大学小野寺研究室	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • CellEnsamble 用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html			
	EXDlib	九州大学安浦研究室	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • VHDL 用シミュレーションライブラリ • Apollo 用配置配線ライブラリ • CellEnsamble 用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html			
MOT (On Semi) 1.2 μ m	P2lib	京都大学 小野寺研究室	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • CellEnsamble 用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html			
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • Apollo 用配置配線ライブラリ 	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html			
日立ゲートアレイ ROHM0.35 μ m	EXDlib	東京大学 VDEC		
	日立ゲートアレイ		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html	
	京大 lib	CDROM にて配布 京都大学 小野寺研究室		

		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ Apollo 用配置配線ライブラリ 	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
	パスポートライブラリ		<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ Apollo 用配置配線ライブラリ 	日立から提供のセルを ApolloGA に移植
CDROM にて配布				
日立 0.18 μ m	京大 lib	CDROM にて配布 京都大学 小野寺研究室	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ ApolloII 用配置配線ライブラリ 	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
	EXDlib	東京大学 VDEC http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ Apollo 用配置配線ライブラリ 	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html			
	パスポートライブラリ	CDROM にて配布	<ul style="list-style-type: none"> ・ Synopsys 用論理合成ライブラリ ・ VerilogXL 用シミュレーションライブラリ ・ VHDL 用シミュレーションライブラリ 	ロームから提供

VDEC

1.4. CAD セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 15 年度には、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で現在使用可能な Cadence, Synopsys, Magma, Mentor Graphics, Celoxica DK2 などのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC で開発したライブラリを用いたチップ設計に関する講習も VDEC スタッフで実施している。平成 15 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 5 日間、Synopsys のツールを 8.5 日間、Magma のツールを 3 日間、DK-2 のツールを 2 日間で実施し、各コースに 30 名から 40 名の

教官・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーを地方拠点（東北、東京、神戸、金沢、九州）で実施し、Cadence, Synopsys, Magma, Mentor Graphics 等の最新のツールの上級トレーニングを行った（表 1.4.1）。

これら CAD 技術セミナーへの参加要望は非常に大きいため、VDEC 拠点校の協力を得ながら各地方拠点校で開催しているが、地方拠点開催でもその地方からの参加者にとどまらず、遠方からの参加希望が多く寄せられている。これは CAD 技術セミナーに対する需



図 1.4.1 CAD 講習会会場風景

要が依然として大きなことを表しており、より大規模な CAD 技術セミナー開催の仕組みの整備が急がれる状況にある。

表 1.4.1 平成 15 年度 CAD 技術セミナー開催状況

講習項目	開催地	開催時期	参加人数	講習内容
Synopsys Cocentric System Studio 講習会	東京大学	平成 15 年 7 月 28 日～ 29 日	46	SystemC の概要 SystemC の基本文法 System Studio の概要
Agilent テスタ講習会	東京大学	平成 15 年 7 月 30 ～ 31 日	10	高速デジタル回路向けの測定方法
Synopsys HSPICE 講習会	東京大学	平成 15 年 8 月 11 ～ 12 日	49	Hspice の概要 (Hspice シミュレーションの位置づけとネットリスト概要) 独立電源モデルの記述 (記述例の説明) 素子モデルの記述 (受動/能動素子, 伝送線路の記述例およびその説明) など
Celoxica DK2 講習会	東京大学	平成 15 年 8 月 21 ～ 22 日	30	Celoxica Handel-C 及び設計環境についての講習
Synopsys Nano-Sim 講習会	東京大学	平成 15 年 8 月 25 日	30	基本アルゴリズムの説明 各機能の概要説明 基本的な起動操作 パワー解析機能の実行 タイミング解析機能の実行 PLL 回路などでの設定例 NanoSim と VCS の Co-simulation
Synopsys Chip Synthesis 講習会	東京大学	平成 15 年 8 月 26 ～ 27 日	49	回路合成・解析ツールの基本操作 クロック・設計制約の設定 階層コンパイル 最適化
Mentor Graphics 社 Calibre 講習会	東京大学	平成 15 年 8 月 28 ～ 29 日	28	IC レイアウト検証ツール Calibre を使用して、ルールファイルの作成方法、DRC/LVS の実行方法についての講習
Synopsys Astro 講習会	東京大学	平成 15 年 9 月 1 ～ 2 日	49	データ準備について (Milkyway) ツールを起動させるためのシステム環境 Astro タイミング最適化レイアウトフロー 各入力データ (ネットリスト, タイミング制約) など
Magma 講習会	東京大学	平成 15 年 9 月 3 ～ 5 日	20	MAGMA フローの説明 ツールの概要説明と基本操作 クロストーク・ノイズ・ディレイ セル EM / ワイヤ EM
Cadence CAD 講習会	東京大学	平成 15 年 9 月 8 ～ 12 日	22	NC-Verilog, Verilog HDL, Artist, Spectre-RF, DFW-II, VLE についての講習
Cadence Virtuoso-XL 講習会	九州大学	平成 16 年 3 月 3 日	22	VXL (virtuoso-XL) の概念, データのセットアップ, 使用方法
Cadence Assura 講習会	九州大学	平成 16 年 3 月 4 ～ 5 日	22	DRC, LVS + RCX の実行方法と, 各々のデバッグ方法
Cadence SpectreRF 講習会	神戸大学	平成 16 年 3 月 8 ～ 9 日	22	Artist 環境から Spectre-RF を起動する為の環境設定, 解析及び, 解析結果の確認方法

Magma 講習会	東北大学	平成 16 年 3 月 16 ~ 18 日	22	ネットリスト入力による MAGMA フローによる 配置配線, ノイズ解析
Synopsys Milkyway/Astro 応用講習会	東京工業 大学	平成 16 年 3 月 22 ~ 23 日	22	Milkyway での配置配線用ライブラリやデザイン のセットアップ, 自動配置配線コアツール Apollo のアップグレード Astro のデザインフロ ーと各フェーズでの機能を講義と実習
Mentor Graphcis 講習会	金沢大学	平成 16 年 3 月 29 ~ 30 日	20	IC レイアウト検証ツール Calibre を使用して, ル ールファイルの作成方法, DRC/LVS の実行方法

【社会人のためのリフレッシュセミナー】

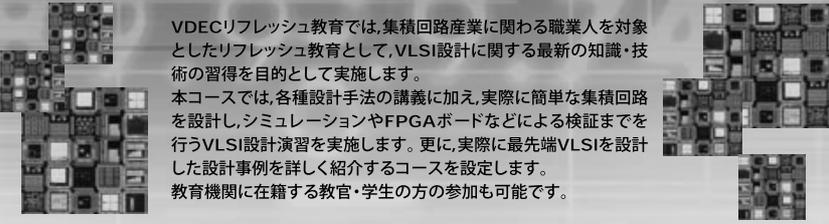


平成15年度VDECリフレッシュ教育 VLSI設計教育コースのご案内

<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

VDECリフレッシュ教育では、集積回路産業に関わる職業人を対象としたリフレッシュ教育として、VLSI設計に関する最新の知識・技術の習得を目的として実施します。

本コースでは、各種設計手法の講義に加え、実際に簡単な集積回路を設計し、シミュレーションやFPGAボードなどによる検証までを行うVLSI設計演習を実施します。更に、実際に最先端VLSIを設計した設計事例を詳しく紹介するコースを設定します。教育機関に在籍する教官・学生の方の参加も可能です。



コース1: HDLによるデジタル集積回路設計と演習

【日 程】：平成15年12月8日(月)～11日(木)
【場 所】：東京大学武田先端知ビル 演習室
【講 師】：今井正治(大阪大学 教授), 越智裕之(広島市立大学 助教授)
小林和淑(東京大学 助教授), 池田誠生(東京大学 助教授)

【講義内容】
12/ 9(月)：システムレベル設計手法とHDL(今井)
VerilogHDLの文法解説とシミュレーション演習(越智)
12/10(火)：VerilogHDLによる論理合成/シミュレーションとFPGA 実装演習1(小林)
12/11(水)：VerilogHDLによる論理合成/シミュレーションとFPGA 実装演習2(小林)
LSI 配置配線設計演習1(池田)
12/12(木)：LSI 配置配線設計演習2(池田)

コース2: アナログ集積回路設計と演習

【日 程】：1月6日(火)～8日(木)
【場 所】：東京大学武田先端知ビル 演習室
【講 師】：杉本泰博(中央大学 教授), 小野寺秀俊(京都大学 教授)
小谷光司(東北大学 助教授)

【講義内容】
1/ 6(火)：アナログ集積回路の特徴と役割(杉本)
回路設計, 回路シミュレーション1(小野寺)
1/ 7(水)：回路設計, 回路シミュレーション2(小野寺)
レイアウト設計, 検証(DRC, LVS)1(小谷)
1/ 8(木)：レイアウト設計, 検証(DRC, LVS)2(小谷)

コース3: 先端VLSI設計事例

【日 程】：1月15日(木), 20日(火)
【場 所】：15日 東京大学武田先端知ホール, 20日 弥生講堂
【コーディネータ】：益子耕一郎(東京大学 客員教授), 村上和彰(九州大学 教授)

【講義内容】
2004年1/15(木)
10:00～12:00：「CMOS RF回路と無線通信用LSIの設計」
(東原恒夫, NTT)
(昼食)
13:00～16:00：「CMOS アナログ回路設計の基礎」
(松澤 昭, 東工大)
16:00～18:00：「PLLの設計と最新PLL技術状況」
(小久保 優, 日立製作所)

2004年1/20(火)
9:00～ 9:30：「イントロ」(村上 和彰, 九州大学)
9:30～10:50：「SOC でSea of processorを実現するXtensa」
(高橋 真澄, 内海 弦, テンシリカ)
(休憩)
11:00～12:20：「Cエントリ・マルチプロセッサ・プラットフォームを構築するVUUPU」(杉浦義英, PDI)
(昼食)
13:20～14:40：「ダイナミック・リコンフィギュラブルLSIによるアプリケーション開発」(佐藤友美, IP FLEX)
(休憩)
14:50～16:10：「動的再構成プロセッサ(DRP)技術とそのシステム応用」(本村真人, NEC)
16:10～17:30：「動的再構成技術に基づくシステムソリューション-ACM 技術を中心に-」(中野 恵一, AOIテクノロジー)

【コース内容・スケジュール】
内容に関して若干変更になることがあります。
最新の情報および詳細はWeb ページをご参照ください。
<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

【受講料】
コース1：社会人 35,000円/学生 10,000円
コース2：社会人 25,000円/学生 8,000円
コース3：社会人 8,000円/学生 2,000円

【申込方法】
11 月から申込開始を予定いたしております。
最新の情報および詳細はWeb ページをご参照ください。
<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

【問合せ先】
東京大学大規模集積システム設計教育研究センター(VDEC)
〒113-8656 東京都文京区弥生2-11-16 東京大学工学部9号館
電話:03-5841-8901 FAX:03-5841-8910
担当:服部 励治(企画・運営), 小貫 浩(会計), 吉田 直美(事務処理)
E-mail:refresh@vdec.u-tokyo.ac.jp
Web:<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

【共 催】東京大学大規模集積システム設計教育研究センター(VDEC)
財団法人 総合研究奨励会

【協 賛】文部科学省高等教育局専門教育課(申請中)
電子情報技術産業協会(JEITA)(申請中)
半導体理工学研究センター(STARC)(申請中)
応用物理学会(申請中)
情報処理学会(申請中)
電気学会(申請中)
電子情報通信学会(申請中)
IEEE Solid-State Circuits Society, Japan Chapter(申請中)
IEEE Solid-State Circuits Society, Kansai Chapter(申請中)

図 1.4.2 2003 年度リフレッシュ教育ポスター

平成15年度12月～1月には平成14年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表1.4.2)。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、

日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。本年度はVLSI設計に関する3つのコース(コース1:HDLによるデジタル集積回路設計と演習(12/8～12/11実施)、コース2:アナログ集積回路設計と演習(1/6～1/8実施)、コース3:最先端VLSI設計実例(1/15,1/20)を開催し、講師として大学・企業の集積回路研究・教育に携わる教官や研究者14名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコース1,2はそれぞれ約40名、コース3は約50名あり、延べ130名程度となった。



図1.4.3 平成15年度リフレッシュ教育会場風景

表 1.4.2 リフレッシュセミナー開催状況

講習項目	開催日	講師	参加数	講習概要
コース 1： HDL による デジタル集積回路設計と演習	平成 15 年 12 月 8～11 日	今井正治（大阪大学教授）， 越智裕之（広島市立大学助 教授），小林和淑（東京大学 助教授），池田誠（東京大学 助教授）	40	ハードウェア記述言語（HDL）による デジタル集積回路設計，Verilog HDL を用いた FPGA の設計演習，論理合成 と自動配置配線手法による ASIC 設計 の流れの演習
コース 2： アナログ集積回路設計と演習	平成 15 年 1 月 6～8 日	杉本泰博（中央大学教授）， 小野寺秀俊（京都大学教 授），小谷光司（東北大学助 教授）	40	アナログ集積回路の特徴と役割，レイ アウト設計，設計検証，回路シミュレ ーション
コース 3： 最先端 VLSI 設計実例	平成 15 年 1 月 15, 20 日	益子耕一郎（東京大学客員 教授），村上和彰（九州大学 教授），東原恒夫（NTT）， 松澤 昭（東工大），小久保 優（日立製作所），高橋眞澄 （テンシリカ），内海弦（テ ンシリカ），杉浦 義英 （PDI），佐藤 友美（IP FLEX），本村真人（NEC）， 中野恵一（AOI テクノロジ ー）	50	CMOS RF 回路と無線通信用 LSI の設 計，CMOS アナログ回路設計の基礎， PLL の設計と最新 PLL 技術状況，SOC で Sea of processor を実現する Xtensa，C エントリ・マルチプロセッサ・プラット フォームを構築する VUPU，ダイナミ ック・リコンフィギャブル LSI による アプリケーション開発，動的再構成プロ セッサ（DRP）技術とそのシステム応 用，動的再構成技術に基づくシステム ソリューションー ACM 技術を中心に

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象とした VDEC LSI デザイナーフォーラム（VDEC LSI Designers Forum）を開催している。VDEC LSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、CAD 業界の裏話、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学

を目的としている。平成 15 年度は、8 月 19 日、20 日に北海道しんしのつ温泉で開催され、48 名の参加者があった。今回は、IEEE SSCS Japan Chapter に共催団体として支援していただいた。また、本フォーラム開催にあたって、会場・宿泊設備その他の準備、スタッフの手配等は、地元幹事大学のご協力により実現されている。平成 15 年度は、北海道大学の浅井先生の研究室に幹事を務めていただいた。



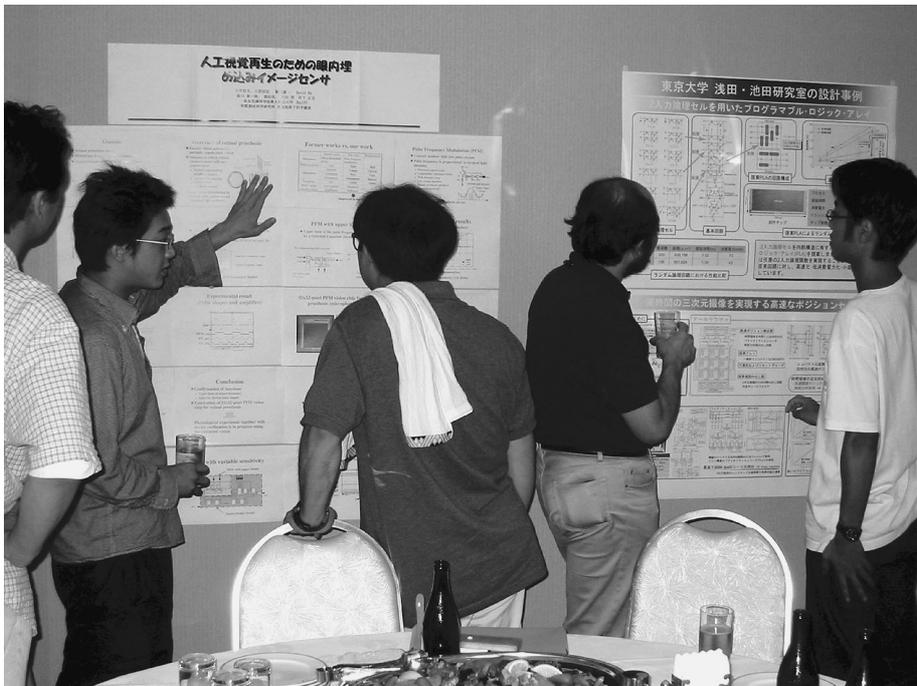


図 1.4.4 VDEC デザイナーズフォーラム会場風景

表 1.4.3 平成 15 年度デザイナーズフォーラムプログラム

8/19	14:00 - 14:05	開会の挨拶	
	14:05 - 15:00	特別招待講演「メディア認識処理用ソフト IP の設計とロバスト音声認識システム」	宮永喜一先生（北海道大学）
	15:00 - 15:20	「VDEC の現状と今後の活動」	
	15:20 - 15:55	LSI 設計 I（イメージセンサ編）「実時間・ロバスト 3 次元 CMOS イメージセンサの設計と測定」	大池祐輔さん（東京大学）
	16:10 - 16:40	「アプリケーションプログラミング by 回路設計」	
	16:40 - 17:05	LSI 設計 III（RF 回路編）「標準デジタル CMOS プロセスを使用した高周波 VCO, PLL 回路の設計」	宮崎崇仁さん（京都大学）
	17:05 - 17:45	「大学研究室向け試作 LSI 評価・解析サービスについて」	
	18:30 - 20:30	夕食（豪華活魚プラン 11 品）	
	20:30 - 22:30	ポスターセッション	
8/20	9:00 - 9:25	LSI 設計 II（デジタル回路編）「携帯端末応用サブ mW MPEG4 動きベクトル検出プロセッサ LSI の設計」	宮越純一さん（金沢大学）
	9:25 - 9:50	LSI 設計 IV（アナログ回路編）永田真先生（神戸大学）	古田雅則さん，伊藤真也さん（静岡大）
	9:50 - 10:20	「LSI の評価法」三田吉郎先生（東大 VDEC）	
	10:35 - 11:00	LSI 設計 V（メモリ編）「階層構造バンク型多ポート SRAM メモリとその応用」	深江誠二さん（広島大学）
	11:00 - 12:00	パネル討論「LSI の評価法」	

表 1.4.4 平成 15 年度 VDEC LSI デザイナーズフォーラム発表内容一覧

タイトル	著者
VDEC でのイメージセンサ試作について	太田淳，香川景一郎，徳田崇
自由空間光通信機能をもつ CMOS/BiCMOS ビジョンチップの開発	浅津博昭，川上智朗，西村智博，香川景一郎，太田淳，布下正宏，渡辺國寛
アナログ・デジタル混在設計・現場の声	上原昭宏
バイアスオフセット技術を用いた低電圧電源 CMOS 電流乗算器	海野直之，高木茂孝，藤井信生
MOSIS を利用したアナログ VLSI の試作	金澤雄亮，浅井哲也，雨宮好仁
LSI 評価検証ボードの提案	西村好雄，宮澤武廣
動的な情報を利用したリコンフィギュラブルプロセッサ	荒本雅夫，湯山洋一，小林和淑，小野寺秀俊
北川研設計事例	北川章夫，柿本芳雄，高田雅史，源貴利，有賀健太，尾形秀範，橋秀明，伊藤久浩
充足可能性判定を用いた CMOS 論理セルレイアウトの高速生成手法	飯塚哲也，池田誠，浅田邦博
柴田・三田研究室の研究と連想プロセッサ	伊藤潔人，山崎俊彦，小川誠，小林大輔，三田吉郎，柴田直
Si ULSI 内の差動伝送線路の設計及び評価	伊藤浩之，篠木日曜子，岡田健一，益一哉

【その他の共催・協賛セミナー】

日本学術振興会第 165 委員会が主催する「VLSI 設計・夏の学校」への協賛を行い，こちらも盛況であった。（社）電子情報通信学会 VLSI 設計技術研究会が主催する講習会「VLSI 設計演習」への協賛も行った。

1.5. 装置の整備・運用・利用公開

VDEC では、発足以来導入されてきた装置の運用を行うとともに、各装置を全国に利用公開を行っている（一部装置は、利用公開に向けた試験運用中）。表 1.6.1 に装置の一覧と利用公開の状況を示す。公開されている装置に関しては、前述の装置利用法セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としているが、必要に応じ、VDEC の職員などが対応することで、利用を認める場合もあるので、相談いただきたい。

その中で、特に試作チップの評価装置関係は、今後ますます評価に対する需要が増大することが予想されることから、平成 9 年度に、拠点校に設置されている LSI テスターの試作チップ評価用治具の共通化を目指して、共通ソケットを有するマザーボードをテスターごとに準備し、共通ソケット上搭載する、LSI の品種毎のドーターボードを準備した。これにより、VDEC で標準ピン配置に基づき試作したデジタル LSI に関しては、治具を新たに作成することなく、VDEC および拠点校の LSI テスターにより評価が行える体制が整っ

ている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドーターボードを 1 種類準備することで、全国の各大学における LSI テスターに対応可能な体制が整っている。今後、LSI テスト法および LSI テスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作した LSI の特性・性能評価が容易に行える環境の整備に努めたい。試作チップの評価に関しては、発足当初より QFP や BGA パッケージを実装できるソケットの頒布およびソケットのピンを標準 2.54mm ピッチに変換する変換ボードの頒布を行ってきた。諸事情によりソケットならびに変換ボードは実費配布となった。詳細は WEB を参照いただきたい。

電子線描画装置、集束イオンビーム加工装置は、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を考案し、試験運用を行っている。年間 350 枚以上のマスク描画実績がある。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジック LSI テストシステム	ミックスシグナル LSI テスター： ITS9000Exa	100MHz/200MHz320 ピンのデジタルピンおよび4チャンネルのアナログピンを有している。VDECにおいて標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@vdec.u-tokyo.ac.jp
	EB テスター： IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常 LSI テスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384ピン、1GHz までのデジタル回路のテストを行える。	公開中	IDS5000@vdec.u-tokyo.ac.jp
	LSI テスター： HP8300	384ピン、1GHz までのデジタル回路のテストを行える。	公開中	HP83000@vdec.u-tokyo.ac.jp
	回路修正用 FIB： IDSP2X	LSI パターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	オートプローバ： PM-90-A	ウエハ上での LSI の動作検証を行うためのオートプローバ。上述の LSI テスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを揃えている	希望に応じ利用可能	VDEC@vdec.u-tokyo.ac.jp
アナログ・RF 測定システム	アナログ・RF 測定装置一式： HP4156, HP4284, HP...etc	DC パラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但し VDEC の業務による利用を優先とする	VDEC@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ：Cas- cade 社	マニュアルにて6インチまでのウエハ上のチップの測定が可能。測定には、通常のプロープ針（6本まで）のほか、50GHz までの測定が可能な高周波プローブを2本備える		
	低雑音・温度制御機構付きセミオートプローバ：Karl Suss 社	8インチまでのウエハ上のチップの測定が可能。ウエハ温度を-50℃ から200℃ まで制御可能。プローブカードによる測定。GPIB を介した制御を行うことで半自動測定も可能		
	極低温プローバ	5インチウエハを25K まで冷やした測定が可能	要相談	VDEC@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置： JBX-7000SB	半導体製造用マスクの描画およびエッチング、ウエハへ直接描画が可能。最小描画寸法 0.5μm.	試験的に公開中	JEOLEB@vdec.u-tokyo.ac.jp
汎用 FIB システム	FIB 装置： SMI9800MSP	ガラスマスクの欠陥修正の他、断面観測のための加工等が可能	試験的に公開中。	SIIFIB@vdec.u-tokyo.ac.jp

1.6. IP データベースの整備

設計資産の再利用のために、VDEC では Web 上でのデータベースの構築および公開を行っている (<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>, 図 1.7.1)。本データベースの利用対象は、IP 登録に関しては VDEC ユーザに限定しているが、IP 利用に関しては任意対象となっている。本データベースに関しての VDEC の役割は、IP のカタログデータの整理、公開お

よび登録者－利用者間の仲介と機密情報の取り扱いの監督である。

平成 14 年度までの 3 年間、(株) 半導体理工学研究センター (STARC) との共同研究として IP プロジェクトを行ってきたが、その最終成果として IP 開発グループの各参加者へ完成 IP の登録を働きかけている。

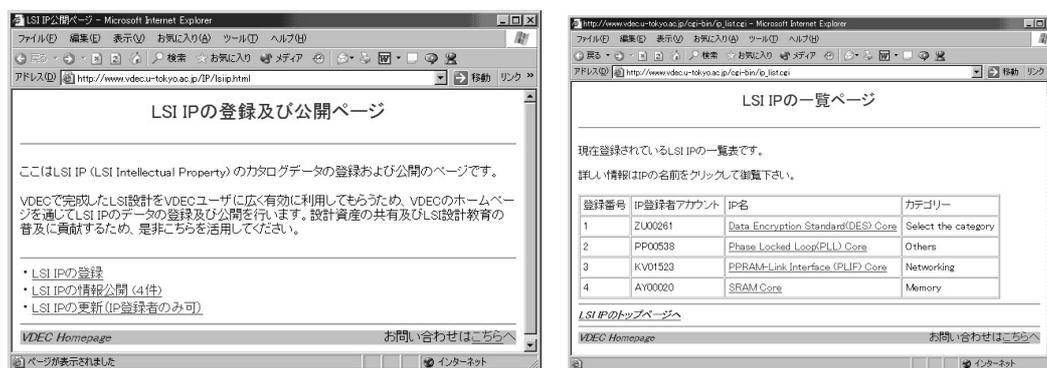


図 1.6.1 VDEC LSI IP Web データベースの例

現在までに登録済みの IP を表 1.7.1 に示す。

表 1.6.1 VDEC LSI IP データベースに登録済みの IP (平成 16 年 5 月現在)

登録番号	IP 名	カテゴリ
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

また、(株) ルネサステクノロジより「M32R ソフトマクロ」, 「M32R-II ソフトマクロ」, 「SH3-DSP コア」の提供を受けており、各大学のユーザーが無償でこれ

らの商用プロセッサ・IP コアを利用することができ、IP コアベース設計研究を進める上で重要な部分を担っている。

1.7. 平成 16 年度の活動計画

平成 16 年度は、従来の設計情報発信、CAD ツール提供、チップ支援に加え、平成 14 年度で終了した STARC との共同研究「システム LSI のための再利用可能な設

計資産の構築手法の実験的研究」およびそれ以降に各大学で開発された IP の公開に向けた取り組みを継続する。

【設計情報発信・セミナー開催】

本年度は、平成 9 年度より継続している CAD ツール利用法に関する技術セミナー、平成 10 年度から継続している社会人向けの「リフレッシュセミナー」、平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行なうことを予定している。なおデザイナーフォーラムに関しては、2004 年 8 月に福岡で開催される国際会議 AP-ASIC2004 (IEEE Conference on Asia Pacific Advanced System IC) に併設してアジア地域におけるデザイナーフォーラムという形での開催し、日本国内だけでなく、日本、韓国、台湾というアジアの VDEC と動揺の活動拠点およびその利用者の相互の交流により各国における LSI 設計研究・教育を一掃盛り上げることを目指す予定である。これにより自然な形で、若手の VLSI 設計者の層を厚くし、定常的な情報交換の場を確立していきたい。試作チップ数の増

加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSI テスト技術および、VDEC および拠点校に設置されている LSI テスター利用法のセミナーも継続して開催し、VDEC および拠点校のテスターに対し「利用資格」を有する学生・研究者の数を増やす努力をしていく予定である。同時に各拠点校のテスター関係者の連携を密にすることで多様化していくテストの需要に全国レベルで対応する体制を整えていきたい。これは、大きなコストを必要とするテスターの維持・管理を効率化し、維持コストを抑えつつ有効利用を促進するねらいを持っている。また平成 14 年度開始した時限の研究会「LSI 動作解析技術研究会」を介した、産業界と密接に連携した次世代のテスト技術・故障診断技術の研究交流推進を継続する。

【CAD ツール提供】

上流設計 (Cadence, Synopsys), 中流設計 (Synopsys (旧 Avant!), Cadence), 下流設計 (Cadence) の各基本ツールを、平成 16 年度もサポートしていく。これに加え平成 14 年度から導入した設計検証 (Mentor: Caribra), 上中流設計 (Magma), 上流設計 (Celoxica) を継続してサポートし、VDEC ユーザの多様なニーズにこたえられるようにする。また、Avant! 社が Synopsys 社と合併したことにより正式に Synopsys 社の有するデバイスシミュレータ (TMA) のサポートも行う。

CAD ツールに必要な論理設計用ライブラリについては、ファウンドリ提供のものに加え、京都大学、九州大学、早稲田大学、豊橋科学技術大学などの協力

を得て、VDEC のチップ試作テストラン等を通じて構築されたライブラリの整備が進んでおり、平成 16 年度は、より信頼性の高いものの提供、およびライブラリに応じた進んだ設計フローの構築などを目指していきたい。特に、平成 14 年度までのプロジェクト型研究で構築された IP について可能なものから順次公開していきたい。

また後述のプロジェクト型研究などの推進により、VDEC のチップ試作に適した SoC プラットフォームの構築とプラットフォームに基づく設計手法の確立を進めたい。これらの活動整備には広く各大学からの協力を期待している。

【チップ試作支援】

平成 16 年度は、平成 15 年度から引き続きオン・セミコンダクター、ローム株式会社、日立製作所、NEC 化合物デバイスの協力により、4 種類のプロセスで計 9 回の試作を設定する予定である（すでに一部の試作は進行中である）。また、沖電気の CMOS-SOI プロセスの定常試作に向けてのテストランを実施する予定で

ある。チップの組み立ては全て富士通 VLSI に委託することで多様な組み立てのニーズに応じられるようにしていきたい。

さらに、平成 14 年度から開始した東大 VDEC - 米国 MOSIS との協力に基づく MOSIS におけるチップ試作についても今年度も一層強化する方向ですすめたい。

表 1.7.1 VDEC チップ試作スケジュール（平成 15 年度）

【CMOS 1.2 μ m 2P2M】 オン・セミコンダクタ（旧日本モトローラ）

	申込開始	申込メ切	設計メ切	チップ納品
第 0 回		平成 16 年 4 月 5 日	平成 16 年 7 月 23 日	
第 1 回	平成 16 年 4 月 5 日	平成 16 年 7 月 5 日	平成 16 年 10 月 4 日	平成 17 年 1 月 21 日
第 2 回	平成 16 年 10 月 4 日	平成 17 年 1 月 11 日	平成 17 年 4 月 4 日	平成 17 年 7 月 15 日

【CMOS 0.35 μ m 2P3M】 ローム株式会社

	申込開始	申込メ切	設計メ切	チップ納品
第 1 回		平成 16 年 5 月 14 日	平成 16 年 6 月 28 日	平成 16 年 10 月 8 日
第 2 回		平成 16 年 5 月 24 日	平成 16 年 8 月 23 日	平成 16 年 12 月 3 日
第 3 回	平成 16 年 4 月 30 日	平成 16 年 8 月 2 日	平成 16 年 11 月 13 日	平成 17 年 2 月 18 日
第 4 回	平成 16 年 7 月 30 日	平成 16 年 10 月 29 日	平成 17 年 1 月 31 日	平成 17 年 5 月 20 日

【CMOS 0.18 μ m 1P5M】 日立製作所

	申込開始	申込メ切	設計メ切	チップ納品
第 1 回		平成 16 年 4 月 19 日	平成 16 年 7 月 19 日	平成 16 年 11 月 12 日
第 2 回	平成 16 年 7 月 9 日	平成 16 年 10 月 12 日	平成 17 年 1 月 11 日	平成 17 年 5 月 13 日

【Bipolar 0.6 μ m】 NEC 化合物デバイス

	申込開始	申込メ切	設計メ切	チップ納品
第 1 回		平成 16 年 6 月 25 日	平成 16 年 9 月	

【CMOS 0.18 μ m 2P5M】 MOSIS-TSMC

試作	設計締め切り
MOSIS-TSMC 0.25 μ m CMOS	
1 回	2004 年 5 月 17 日
2 回	2004 年 7 月 5 日
3 回	2004 年 10 月 18 日
4 回	2004 年 12 月 6 日
5 回	2005 年 2 月
MOSIS-TSMC 0.18 μ m CMOS Mixed Signal	
1 回	2004 年 4 月 5 日
2 回	2004 年 6 月 1 日
3 回	2004 年 9 月 20 日
4 回	2004 年 11 月 15 日
5 回	2005 年 3 月
MOSIS-IBM SiGe0.5 μ m BiCMOS	
1 回	2004 年 9 月 7 日

表 1.7.2 チップ試作料金

設計規則	チップサイズ	税抜価格 (千円)	設計規則	チップサイズ	税抜価格 (千円)
CMOS 1.2 μ m 2P2M	2.3mm 角	36	CMOS 0.35 μ m 2P3M	2.4mm 角	93.75
	4.8mm 角	150		4.9mm 角	375
	7.3mm 角	320		9.8mm 角	1500
BiPolar 0.6 μ m	2.0mm 角	144.5	CMOS 0.18 μ m 1P5M	2.9mm 角	311.4
				5.9mm 角	1245.6

*チップ試作料金が改定される場合があります

**組立代金は別途

【プロジェクト型研究】

VLSI技術は日々進歩しており、VDECがサポートしているCADツールやライブラリ、チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており、各方面の協力を随時お願いする予定である。

平成16年度においても、平成15年度から継続している、あらたに大学におけるチップ試作において、LSI

テスター無に初期の動作テストを可能とするようなSoCマクロの構築を目指したプロジェクト型研究を推進する。本研究を遂行する過程でSoCマクロ本体の設計に加え、SoCマクロを用いた設計およびその設計フローの構築に際し各方面からのご協力を随時お願いする予定である。

第2章 チップ試作結果報告

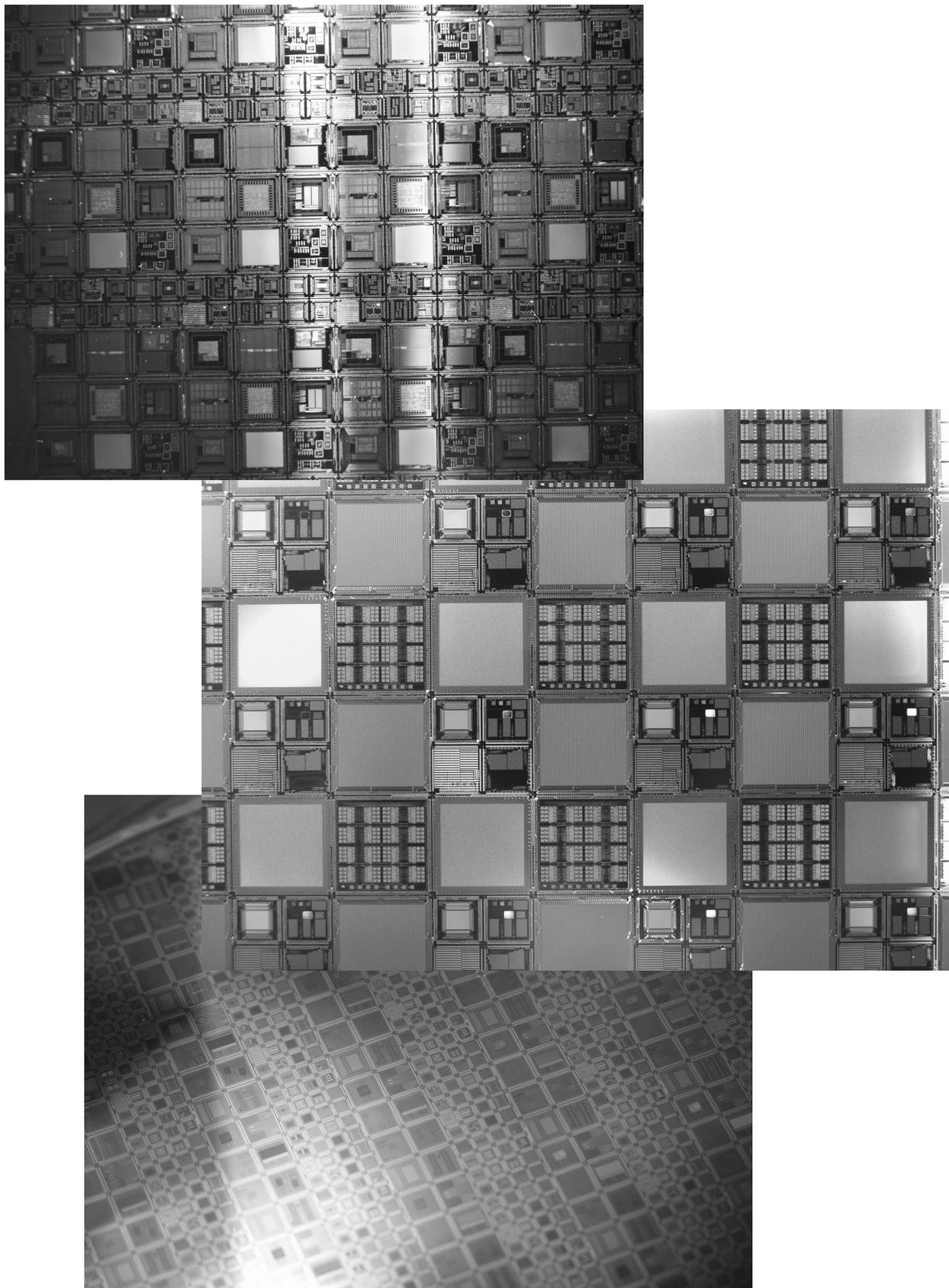


図 2.1 「相乗りチップ」の顕微鏡写真

平成15年度 第2回 オンセミコンダクタ CMOS1.2 μ m チップ試作 (MOT022)

題 名	大 学 名	研 究 者	掲載頁
マイクロプロセッサとニューロン MOSFET 乗算器の試作	大阪工業大学工学部	久津輪 敏郎, 荒木 英夫, 星野 聖彰, 乾 道孝	45
SCIC を利用したイミタンス形スイッチトキャパシタ FPAA	熊本大学工学部 熊本大学大学院 自然科学研究科	井上 高宏 日野 臣教	45
ダイオードチャージポンプ型 AC-DC 変換回路および種々の浮遊抵抗回路の設計	熊本大学工学部 熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏 萩原 祐一 飯尾 義徳, 高宗 義成	45
FG-MOSFET のみかけのしきい電圧のオートチューニング回路	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏 市原 栄蔵	46
昆虫の視覚系に学んだ背景速度が生じる画像中でのターゲットの動き検出チップの試作	豊橋技術科学大学工学部	西尾 公裕, 米津 宏雄	46
昆虫の視覚系に学んだ一次元動き検出チップの試作	豊橋技術科学大学工学部	西尾 公裕, 米津 宏雄	46
64 \times 64 画素三相時間相関イメージセンサ(第3報)	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	47
MOS 構成に適したアナログ形 PLL の試作	秋田大学工学資源学部	川元 雅紀, 佐藤 紀章, 井上 浩	47
リング発振器を用いた PLL 用の発振器の試作	秋田大学工学資源学部	宮前 亨, 井上 浩	47
SystemC を用いた 3 次元スイッチボックスハードウェアルータの試作	広島工業大学工学部	大村 道郎, 市塚 裕之	48
冗長バスを有するマルチコンテキスト FPGA	千葉大学工学部	難波 一輝, 伊藤 秀男	48
高精度 CMOS 基準電圧発生回路	富山県立大学大学院工学研究科 岡山県立大学情報工学部	南 隆一, 松田 敏弘, 岩田 栄之 大曾根 隆志	48
小型半導体加速度センサ用 LSI の設計	富山県立大学大学院工学研究科 岡山県立大学情報工学部	麻生 啓太, 松田 敏弘, 岩田 栄之 大曾根 隆志	49
スイッチング電源制御用 LSI の開発	富山県立大学大学院工学研究科	中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之	49
スイッチング電源制御用 LSI 出力回路の設計	富山県立大学大学院工学研究科	中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之	49
受信システム用要素回路の試作 1	東京工業大学理工学研究所	藤井 信生, 高木 茂孝, 佐藤 隆英	50
受信システム用要素回路の試作 3	東京工業大学理工学研究所	藤井 信生, 高木 茂孝, 佐藤 隆英	50

平成15年度 第1回 オンセミコンダクタ CMOS1.2 μ m チップ試作 (MOT031)

題 名	大 学 名	研 究 者	掲載頁
スイッチトキャパシタフィルタ	静岡大学電子工学研究所	高橋 誠, 小川 覚美, 渡邊 健蔵	51
全差動型演算増幅器の試作	静岡大学電子工学研究所	石原 ゆかり, 小川 覚美, 渡邊 健蔵	51
NAND 論理ゲート速度性能評価回路とマイクロプロセッサの設計	静岡理科大学電気電子情報工学科 静岡理科大学電子工学科	波多野 裕 渋谷 耕児, 縣 伸史, 北村 義徳, 永野 肇, 村松 透, 望月 秀幸	51
下等動物の視覚系に学んだ二次元動き検出チップの試作	豊橋技術科学大学工学部	西尾 公裕, 米津 宏雄	52
広ダイナミックレンジを有するエッジ検出網膜チップの試作	豊橋技術科学大学工学部	澤 伸也, 米津 宏雄	52
有機 EL 素子駆動用アクティブマトリクス回路	富山大学理工学研究所 富山大学工学部	坂井 健治 柴田 幹, 中 茂樹, 岡田 裕之, 女 川 博義	52
ストレート方式 AM ラジオの受信機の試作	東京理科大学理工学部電気工学科 東京理科大学理工学部電気電子情報工学科	秋山 大, 新井 義明, 近野 暢, 後 藤 健志, 清水 大数 兵庫 明, 関根 慶太郎	53
スーパーヘテロダイン受信機の試作	東京理科大学理工学部電気工学科 東京理科大学理工学部電気電子情報工学科	永田 基希, 高橋 悠, 中村 剛一 郎, 竹原 史恵 兵庫 明, 関根 慶太郎	53
スーパーヘテロダイン方式 CMOS ワンチップ AM ラジオの設計	東京理科大学理工学部電気工学科 東京理科大学理工学部電気電子情報工学科	藤田 林太郎, 蛭川 奈津, 米川 智 宣, 和智 勇介 兵庫 明, 関根 慶太郎	53
NMOS・PMOS・キャパシタの TEG	東京理科大学理工学部電気工学科 東京理科大学理工学部電気電子情報工学科	永田 基希, 米川 智宣 兵庫 明, 関根 慶太郎	54
MOS 型定電流回路の設計・試作(1)	岡山県立大学情報工学部	日笠 猛, 大曾根 隆志, 森下 賢 幸, 小椋 清孝	54
MOS 型定電流回路の設計・試作(2)	岡山県立大学情報工学部	日笠 猛, 大曾根 隆志, 森下 賢 幸, 小椋 清孝	54

64×64 画素三相時間相関イメージセンサ(第4報)	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	55
非同期ニューラルネットワーク用シナプス回路の試作	日本大学理工学部電子情報工学科	太田 寛, 齊藤 健, 佐伯 勝敏, 関根 好文	55
3 ビットジョンソンカウンタを用いた電子サイコロ	広島市立大学情報科学部	今口 公司, 畑堀 祐紀, 藤岡 篤志, 三浦 真一, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	55
10 秒周期で時報音を生成するチップ	広島市立大学情報科学部	島津 尊是, 新居田 潔, 花崎 翔太, 兵部 拓人, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	56
2 進数 3 ビットカウンタのナイトライダー	広島市立大学情報科学部	酒井 智也, 島田 貴史, 庄崎 和哉, 駿河 小太郎, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	56
2 進 4bit カウンタを使用した 7 セグ LED 表示付き 10 進カウンタ	広島市立大学情報科学部	磯部 博隆, 小西 克明, 額賀 大揮, 平田 義輝, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	56
3 ビットジョンソンカウンタを用いたナイトライダー	広島市立大学情報科学部	高尾 泰弘, 久保 育則, 白根 賢一, 羽田 隆二, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57
5bit ジョンソンカウンタを用いた 7 セグ LED 表示付き 10 進カウンタ	広島市立大学情報科学部	荒川 香織, 古川 梨香, 森 有佳理, 山下 淑子, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57
3 ビットカウンタを用いた電子サイコロ	広島市立大学情報科学部	岡 大輔, 川野 敦史, 中尾 彰宏, 山本 純一, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57
3 分間クッキングタイマー	広島市立大学情報科学部	石野 正英, 梅比良 紀章, 山下 晋司, 山本 正樹, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
8bit ジョンソンカウンタを用いた 7 セグ LED 表示付き 16 進カウンタ	広島市立大学情報科学部	向 建宇, 重藤 典之, 酒匂 宏樹, 夏木 龍彦, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
7 セグ LED 表示付き 16 進 4bit カウンタ	広島市立大学情報科学部	有路 忠臣, 新迫 洋一, 中西 勝利, 大本 哲広, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
救急車のサイレン	広島市立大学情報科学部	橋本 伸嗣, 田中 秀幸, 丹生谷 勇太, 竹内 健, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	59
リング発振器を用いた PLL 用の発振器の試作	秋田大学工学資源学部	宮前 亨, 井上 浩	59
MOS 構成に適したアナログ形 PLL の試作	秋田大学工学資源学部	川元 雅紀, 佐藤 紀章, 宮前 亨, 伊藤 文人, 井上 浩	59
演算増幅器の試作・検証	佐賀大学大学院工学系研究科 佐賀大学理工学部	内田 正隆, 塚本 尚平, 小林 幸司, 田崎 篤, 舛岡 貴志, 村上 真人, 深井 澄夫	60
ニューロン MOS を利用した可変論理回路・コンパレータの試作	佐賀大学大学院工学系研究科 佐賀大学理工学部	石川 洋平, 山口 竜司, 深井 澄夫	60
CMOS 2 段オペアンプの設計	上智大学理工学部	小林 章二, 和保 孝夫	60
スイッチトキャパシタ電源回路の設計	熊本電波工業高等専門学校電子工学科	江口 啓	61
アレイ構造を利用したカオス発生回路	熊本電波工業高等専門学校電子工学科	江口 啓	61
ログドメイン積分回路の試作ならびに演算増幅回路の設計演習	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平, 上田 昇, 鈴木 寛人, 八木 大介, 吉田 武史, 和田 和千	61
高精度 CMOS 基準電圧発生回路	富山県立大学大学院工学研究科 岡山県立大学情報工学科	南 隆一, 松田 敏弘, 岩田 栄之, 大曾根 隆志	62
小型センサ用 CMOS D/A コンバータの設計	富山県立大学大学院工学研究科	麻生 啓太, 堀井 信嘉, 松田 敏弘, 岩田 栄之	62
スイッチング電源制御 LSI 用補正回路の設計	富山県立大学大学院工学研究科	中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之	62
スイッチング電源制御用 LSI の設計	富山県立大学大学院工学研究科	中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之	63
演算増幅器の試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	63
FM 放送受信システム用回路ブロックの試作 1	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	63
FM 放送受信システム用回路ブロックの試作 2	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	64
FM 放送受信システム用回路ブロックの試作 3	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	64

信号処理回路	小山工業高等専門学校電子工学科 小山工業高等専門学校電気工学科	西野 聡 増淵 康尊	64
--------	------------------------------------	---------------	----

平成15年度 第4回 ローム CMOS0.35 μ m チップ試作 (RO35024)

題 名	大 学 名	研 究 者	掲載頁
SoC 設計教育用教材チップの設計試作	九州大学大学院システム情報科学府 九州大学システム LSI 研究センター	真島 優輔, 山口 大介, 牧山 幸史, 張 中, 森 達矢 安浦 寛人	65
DA コンバータの試作	九州大学システム LSI 研究センター	築添 明, 曹 ユン, 安浦 寛人	65
電流モード多値論理に基づく Field-Programmable Digital Filter LSI の試作	東北大学大学院情報科学研究科 東北工業大学工学部電子工学科	出川 勝彦, 青木 孝文 樋口 龍雄	65
デジタルピクセルセンサーを用いたメディアン値探索プロセス	東京大学大学院新領域創成科学研究科 東京大学工学部	伊藤 深人 中山 友之	66
Resonant による動き位置検出および速度検出回路の第 2 版	東京大学大学院新領域創成科学研究科	梅島 誠之	66
隣接セル間配線を用いたフォトダイオード・演算器分離型エッジ抽出回路	東京大学工学部	中下 友介	66
フルデジタルメディアン値探索回路	東京大学大学院工学系研究科	山崎 英男	67
ロボット用途向け CDMA シリアル通信チップ	広島大学先端物質科学研究科	汐崎 充, 向井 徹, 岩田 穆	67
CAM チップ	広島大学大学院先端物質科学研究科 九州工業大学大学院生命体工学研究科	是角 圭祐, 岩田 穆 森江 隆	67
多入力神経信号センシング LSI の設計(1)	広島大学先端物質科学研究科	吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆	68
多入力神経信号センシング LSI の設計(2)	広島大学先端物質科学研究科	吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆	68
スパイクングニューロン回路の試作	広島大学大学院先端物質科学研究科 九州工業大学大学院生命体工学研究科	佐々木 寛弥, 岩田 穆 森江 隆	68
振幅変調を利用した Parallel-CDMA インタフェースの設計	大阪大学大学院工学研究科	清水 新策, 松岡 俊匡, 谷口 研二	69
可変ゲインアンプを用いた DS-CDMA 有線バスの設計	大阪大学大学院 工学研究科	井田 司, 清水 新策, 嶋村 延幸, 松岡 俊匡, 谷口 研二	69
並列リコンフィギュラブルロジックを用いた画像処理 FPGA	東北大学大学院工学研究科	杉村 武昭, 沈 正七, 栗野 浩之, 小柳 光正	69
スイッチト・キャパシタ回路を用いたオフセット電圧補償型増幅回路の試作	東北大学大学院工学研究科	小野 宏, 沈 正七, 栗野 浩之, 小柳 光正	70
LSI 設計コンテスト (1)	金沢大学工学部 集積回路工学研究室	田中 寛, 三浦 有人, 北川 章夫	70
LSI 設計コンテスト (2)	金沢大学工学部 集積回路工学研究室	泉 貴富, 伊藤 久浩, 北川 章夫	70
LSI 設計コンテスト (3)	金沢大学工学部 集積回路工学研究室	矢野 勇生, 松田 浩義, 北川 章夫	71
LSI 設計コンテスト (4)	金沢大学 集積回路工学研究室	野崎 宏哉, 中野 伸吾, 北川 章夫	71
POF フロントエンド試作のための TEG	金沢大学工学部 集積回路工学研究室	山田 裕史, 北川 章夫	71
E 級 DC-DC コンバータ	福岡大学工学部	末次 正	72
低 VDD アナログ回路および SRAM におけるリーク電流対策回路	東京大学生産技術研究所	石田 光一, Quang Canh Tran, 神田 浩一, 宮崎 隆之	72
64 ニューロン搭載改良型ストカスティックニューロチップ	東北大学電気通信研究所	桃井 昭好, 秋元 俊祐, 佐藤 茂雄, 中島 康治	72
Inverse function Delayed モデルを用いたニューロチップの設計	東北大学電気通信研究所	伝田 達明, 末永 晋也, 早川 吉弘, 中島 康治	73
ニューロン素子による連想記憶システム	東北大学電気通信研究所	李 洪革, 秋元 俊祐, 早川 吉弘, 佐藤 茂雄, 中島 康治	73
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院 横浜国立大学大学院工学府	吉川 信行 城殿 征志	73
二次元高速フーリエ変換プロセッサ	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	宮本 直人, カルナン レオ, 小谷 光司 大見 忠弘	74
次世代 PET 用フロントエンドチップ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	石津 崇章 高橋 浩之	74
マルチアノード光電子増倍管用計数チップ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	Yeom Jung Yeol, 石津 崇章 高橋 浩之	74
位置演算用アナログエンコーダ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	Yeom Jung Yeol, 石津 崇章 高橋 浩之	75

低消費電力・全並列最小マンハッタン距離検索連想メモリ	広島大学先端物質研究科 広島大学ナノデバイス・システム研究センター	矢野 祐二 小出 哲士, マタウシュ ハンスユルゲン	75
群知能型情報処理 L S I の設計	大阪府立大学先端科学研究所	中尾 基, 泉 勝俊	75
平滑化機能を持ったシリコン網膜チップの開発	大阪大学大学院工学研究科	亀田 成司, 八木 哲也	76
方位選択性を実現するアナログ集積回路の設計	大阪大学大学院工学研究科	下ノ村 和弘, 八木 哲也	76
マルチチップ視覚システムのためのレシーバチップ TEG	大阪大学大学院工学研究科	下ノ村 和弘, 八木 哲也	76
デジタル・デルタシグマ変調回路(2)	神戸大学工学部	杉本 智彦, 永田 真	77
JTAG 付きパルスジェネレータ	高エネルギー加速器研究機構素粒子原子核研究所	田中 真伸	77
化合物半導体共鳴トンネル素子の Si-LSI への集積化テスト	名古屋大学工学研究科	前澤 宏一, 水谷 孝	77

平成15年度 第1回 ローム CMOS0.35 μ m チップ試作 (RO35031)

題 名	大 学 名	研 究 者	掲載頁
Low-Power Switched-Current CDMA Matched Filter	東京大学大学院工学系研究科	山崎 俊彦	78
フローティング・ゲート MOS 回路技術を用いた低消費電力 CDMA 用マッチドフィルタ	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	山崎 俊彦 中山 友之	78
Resonant による動き位置検出および速度検出回路の第3版	東京大学大学院新領域創成科学研究科	梅島 誠之	78
Mixed-signal メディアン値探索回路	東京大学大学院工学系研究科	山崎 英男	79
フォトダイオードアレイ	東京大学大学院新領域創成科学研究科	中下 友介	79
三次元集積人工網膜チップのための電流型人工網膜回路	東北大学大学院工学研究科	中川 源洋, 沈 正七, 栗野 浩之, 小柳 光正	79
A/D 変換器を内蔵した周波数変調パルス型イメージセンサ	東北大学大学院工学研究科	杉村 武昭, 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	80
積層型人工眼のための基本回路の試作	東北大学大学院工学研究科	出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	80
相変化不揮発性メモリと長ビット数対応暗号処理 LSI-IP 及び LNA	金沢大学工学部 集積回路工学研究室	高田 雅史, 源 貴利, 橋 秀明, 伊藤 久浩, 北川 章夫	80
OGPIC マイクロコントローラ, VCO	金沢大学工学部 集積回路工学研究室	有賀 健太, 尾形 秀範, 北川 章夫	81
生体の網膜に学んだ二次元エッジ検出網膜チップの試作	豊橋技術科学大学工学部	澤 伸也, 米津 宏雄	81
生体の網膜に学んだ一次元エッジ検出網膜チップの試作	豊橋技術科学大学工学部	澤 伸也, 米津 宏雄	81
下等動物の視覚系に学んだ動き検出ネットワークを構成するアナログ基本回路の試作	豊橋技術科学大学工学部	西尾 公裕, 米津 宏雄	82
E 級 D C - D C コンバータ	福岡大学工学部	末次 正	82
低 VTH 世代のためのアナログ回路および FPGA におけるリーク電流対策回路	東京大学生産技術研究所	石田 光一, Quang Canh Tran	82
チップ間ワイヤレス伝送方式評価 TEG	東京大学生産技術研究所	稲垣 賢一, Danardon Dwi Antono	83
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院 横浜国立大学大学院工学府	吉川 信行 城殿 征志	83
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院 横浜国立大学大学院工学府	吉川 信行 城殿 征志	83
フレキシブル・プロセッサ (FP-2+)	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	大川 猛, 藤林 正典, 山下 雅房, 宮本 直人, カルナン レオ, 喜多 総一郎, 小谷 光司 大見 忠弘	84
200 \times 200 画素三相時間相関イメージセンサ	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	84
128 \times 128 画素時間相関イメージセンサ(第5報)	東京大学大学院情報理工学系研究科 大阪電気通信大学総合情報学部	安藤 繁 来海 暁	84
液晶表示コントローラの試作	東京大学大学院情報理工学系研究科	高松 誠一, 齋藤 宏, 酒造 正樹, 下山 勲	85
メディカルイメージング用チップ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	Yeom Jung Yeol, 石津 崇章 高橋 浩之	85
PET 用フロントエンドチップ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	石津 崇章, Yeom Jung Yeol 高橋 浩之	85
多チャンネルプリアンプ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	Yeom Jung Yeol, 石津 崇章 高橋 浩之	86
高速サンプリングを目指したアナログメモリの開発	東京農工大学大学院工学研究科	木下 拓也, 榎沢 謙和	86

PWM方式画素並列2次元ガボールフィルタ回路	九州工業大学大学院生命体工学研究科 広島大学大学院先端物質科学研究科	森江 隆 梅澤 淳, 岩田 穆	86
インピーダンス変換回路用 TEG の設計	大阪府立大学先端科学研究所	田中 智之, 中尾 基, 泉 勝俊	87
差分光再構成型ゲートアレイ	九州工業大学	渡邊 実	87
電流モード多値可変空間フィルタ検出器チップ	東京工業大学大学院理工学研究科	GO Hyunmin, 高山 潤也, 大山 真司, 小林 彬	87
2次元時間フィルタアレイの設計	大阪大学大学院工学研究科	下ノ村 和弘, 八木 哲也	88
擬似2次元シリコン網膜の設計	大阪大学大学院工学研究科 広島大学先端物質科学研究科	下ノ村 和弘, 八木 哲也 亀田 成司	88
画素内背景光抑圧回路を有する高速3次元イメージセンサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター(VDEC)	大池 祐輔 池田 誠, 浅田 邦博	88
オンチップ di/dt 測定回路	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター(VDEC)	名倉 徹 池田 誠, 浅田 邦博	89

平成15年度 第2回 ローム CMOS0.35 μ m チップ試作 (RO35032)

題 名	大 学 名	研 究 者	掲載頁
システム LSI の試作	大阪工業大学工学部	久津輪 敏郎, 荒木 英夫, 星野 聖彰, 尾川 広和	90
Counter Tree Diagram に基づく冗長2進加算器の設計および試作	東北大学大学院情報科学研究科 東北工業大学工学部電子工学科	若松 泰平, 本間 尚文, 青木 孝文 樋口 龍雄	90
パルス幅変調方式の列並列データ送受信回路を有する画像処理チップの開発	広島大学大学院先端物質科学研究科	亀田 成司, 岩田 穆	90
シリコン網膜に使用する抵抗回路網の TEG	広島大学大学院先端物質科学研究科	亀田 成司, 岩田 穆	91
ビジョンチップに使用する光センサ回路の TEG	広島大学大学院先端物質科学研究科	亀田 成司, 岩田 穆	91
D 級アンプ、バンドギャップリファレンス回路、スイッチトキャパシタ DC-DC コンバータ ver.2	早稲田大学電気・情報生命工学科	釣井 雄介, 阿部 博明, 高須 甲斐, 佐々木 昌弘, 松本 隆	91
神経センシング LSI 評価 TEG	広島大学先端物質科学研究科	吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆	92
1チップ無線・神経センシング LSI の設計	広島大学先端物質科学研究科	吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆	92
電気的中心窩構造実現のための要素回路	東北大学大学院工学研究科	中川 源洋, 沈 正七, 栗野 浩之, 小柳 光正	92
ロボットビジョン用イメージセンサのための TEG	東北大学大学院工学研究科	出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	93
ロボットビジョン用イメージセンサの試作	東北大学大学院工学研究科	出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	93
3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計(1)センサアレイレイヤ	東北大学大学院工学研究科	河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正	93
3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計(2)レジスタアレイレイヤ	東北大学大学院工学研究科	河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正	94
3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計(3)ADC&ALU アレイレイヤ	東北大学大学院工学研究科	河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正	94
相変化不揮発性メモリと RF テスト回路	金沢大学工学部 集積回路工学研究室	高田 雅史, 有賀 健太, 伊藤 久浩, 北川 章夫	94
高精度マイクロディスプレイ LSI	金沢大学工学部 集積回路工学研究室	源 貴利, 北川 章夫	95
アナログ回路・メモリにおけるリーク電流の効果、WSC、高速電源電圧変更評価 TEG	東京大学生産技術研究所	石田 光一, 宮崎 隆之, 許 蛭雪, Fayez Saliba, Danardonno Dwi Antono	95
チップ間ワイヤレス伝送方式評価 TEG・低電力 FPGA	東京大学生産技術研究所	稲垣 賢一, 鬼塚 浩平, Quang Canh Tran, 川口 博	95
無線周波数帯局発振器の試作	東京理科大学理工学部電気工学科 東京理科大学理工学部電気電子情報工学科	永田 基希 兵庫 明, 関根 慶太郎	96
Inverse function Delayed モデルを用いたニューロチップの設計(改良版)	東北大学電気通信研究所	伝田 達明, 末永 晋也, 早川 吉弘, 中島 康治	96
マルチメディアモバイルプロセッサ	弘前大学理工学部	深瀬 政秋, 三國 勝志, 中村 吉樹, 佐藤 陽一, 赤岡 亮	96
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院 横浜国立大学大学院工学府	吉川 信行 城殿 征志	97

自動学習連想メモリのための 32 参照パターン用 ranking 回路	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	溝上 政弘 マタウシュ ハンスユルゲン, 小出 哲士	97
画素並列 AD 変換型撮像素子	東北大学大学院工学研究科	館 知恭	97
二次元画像認識プロセッサ	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	宮本 直人, 小谷 光司 大見 忠弘	98
14-bit, 200MS/s, 2.7V D/A 変換器の開発	中央大学理工学部	櫻井 宏樹, 杉本 泰博	98
フィードフォワード位相補償を用いた光通信用 TIA の試作	中央大学理工学部	山田 浩輔, 川田 真也, 杉本 泰博	98
マルチチャンネル波形整形チップ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	Yeom Jung Yeol, 石津 崇章 高橋 浩之	99
マルチチャンネルプリアンプ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	Yeom Jung Yeol 高橋 浩之	99
高速サンプリングを目指したアナログメモリの開発	東京農工大学大学院工学研究科	木下 拓也, 棚沢 謙和	99
光無線 LAN ビジョンチップ: 差動化によるモード間クロストークノイズの低減	奈良先端科学技術大学院大学物質創成科学研究科	池内 隆志, 藤内 亜紀子, 川上 智朗, 香川 景一郎, 太田 淳, 布下 正宏	100
光無線 LAN ビジョンチップ: アナログバッファの検討	奈良先端科学技術大学院大学物質創成科学研究科	川上 智朗, 香川 景一郎, 太田 淳, 布下 正宏	100
周波数領域での信号処理回路の試作 2	茨城大学工学部	木村 孝之	100
バンク型デジタル・アナログ融合全並列最小マンハッタン距離検索連想メモリ	広島大学先端物質研究科 広島大学ナノデバイス・システム研究センター	矢野 祐二 小出 哲士, マタウシュ ハンスユルゲン	101
低消費電力アナログ神経回路 TEG の試作	山梨大学工学部 加藤研究室	上野 響一	101
Tree-Structure 方式による DEM 回路の設計	上智大学理工学部	加藤 了三, 和保 孝夫	101
低周波・低消費電力増幅回路の設計	大阪府立大学先端科学研究所	田中 智之, 中尾 基, 泉 勝俊	102
リセット方式全デジタル PLL の試作	九州東海大学工学部	佐々木 博文, 藤本 邦昭	102
平面中の複数対象点の高速検索回路	公立はこだて未来大学システム情報科学部	秋田 純一	102
3種類の乗算器および特性評価用リングオシレータ	高知工科大学工学部	草ヶ谷 利雄, 石川 純平, 矢野 政顕, 橋 昌良, 河津 哲	103
方位選択性を実現するアナログ集積回路の設計	大阪大学大学院工学研究科	下ノ村 和弘, 八木 哲也	103
2次元シリコン網膜チップの設計	大阪大学大学院工学研究科 広島大学先端物質科学研究科	下ノ村 和弘, 八木 哲也 亀田 成司	103
シリコン網膜の制御信号回路	大阪大学大学院工学研究科	井上 恵介, 下ノ村 和弘, 八木 哲也	104
適応的側抑制機能を持つ2次元シリコン網膜	佐賀大学理工学部	原 重臣	104
耐ばらつき4値I/O回路	九州工業大学マイクロ化総合技術センター	白木 良典, 中村 和之	104
H8 互換 16 ビット CISC CPU	奈良先端科学技術大学院大学情報科学研究科	中井 伸郎, 岡崎 篤也, 中西 正樹, 山下 茂, 渡邊 勝正	105
16 ビットパイプラインプロセッサの設計実習	早稲田大学大学院情報生産システム研究科	池永 剛	105
異なる配線パターンを持つセルの故障率の差を測定するためのチップ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター(VDEC)	飯塚 哲也 池田 誠, 浅田 邦博	105
MIPS 互換プロセッサの試作	京都大学大学院情報科学研究科通信情報システム専攻 東京大学大規模集積システム設計教育研究センター	樋口 昭彦, 荒本 雅夫, 湯山 洋一, 小野寺 秀俊 小林 和淑	106

平成15年度 第3回 ローム CMOS0.35 μ m チップ試作 (RO35033)

題 名	大 学 名	研 究 者	掲載頁
ケミカルセンサ用演算 LSI の味覚識別モジュール回路の設計	武蔵工業大学大学院工学研究科	藤田 雅彦, 秋谷 昌宏	107
ケミカルセンサ用演算 LSI の試作	武蔵工業大学大学院工学研究科	武藤 玄, 秋谷 昌宏	107
ケミカルセンサ用識別回路 LSI の試作	武蔵工業大学大学院工学研究科	紫村 優介, 山田 健太, 秋谷 昌宏	107
電流モード多値論理に基づく Field-Programmable Digital Filter LSI の試作	東北大学大学院情報科学研究科 東北工業大学工学部電子工学科	出川 勝彦, 青木 孝文 樋口 龍雄	108
マルチパス一括処理を実現する超並列 CDMA マッチフィルタ	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科 東京大学工学部	山崎 俊彦 中山 友之 亀谷 暁	108
隣接セル間配線のみを用いたエッジフィルタ用演算器回路 TEG	東京大学大学院新領域創成科学研究科	中下 友介	108
電流型パルス幅復調回路の試作	広島大学大学院先端物質科学研究科	亀田 成司, 岩田 穆	109

アナログ回路用デバイス TEG	東北大学大学院工学研究科	出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	109
相変化不揮発性メモリと長ビット数対応暗号処理 LSI-IP	金沢大学工学部 集積回路工学研究室	高田 雅史, 橋 秀明, 泉 貴富, 中江 智, 中野 伸吾, 中野 智崇, 朴 虎崗, 北川 章夫	109
高速配線・オンチップインダクタ評価 TEG	東京大学生産技術研究所	Danardono Dwi Antono, 鬼塚 浩平	110
低消費電力アナログ・IO・FPGA 評価 TEG	東京大学生産技術研究所	石田 光一, Quang Canh Tran, 稲垣 賢一	110
Inverse Function Delayed モデルで構築した学習機能を有するニューラルネットワーク	東北大学情報科学研究科	福原 淳, 伝田 達明, 早川 吉弘, 中島 康治	110
SFQ/CMOS ハイブリッドΣΔAD コンバータ用デシメーションフィルタの試作	横浜国立大学大学院工学研究院 横浜国立大学大学院工学府	吉川 信行 城殿 征志	111
64 参照パターン用自動学習連想メモリテストチップ	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	溝上 政弘 マタウシュ ハンスユルゲン, 小出 哲士	111
イメージセンサの検証用回路	東京理科大学工学研究科	今井 功, 笹倉 康明, 川原 隆輔	111
マイクロストリップガスカウンタ用信号処理回路	東京大学大学院工学系研究科 東京大学人工物工学研究センター	Yeom Jung Yeol 高橋 浩之	112
低雑音 16 チャンネルプリアンプ	東京大学大学院工学系研究科 東京大学人工物工学研究センター	Yeom Jung Yeol 高橋 浩之	112
多層構造 Convolutional Neural Network 演算回路チップ	九州工業大学大学院生命体工学研究科	是角 圭祐, 中野 鉄平, 森江 隆	112
境界セル限定動作機能を持つ 41x33 セル画像分割セルネットワーク回路	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	森本 高志, 足立 英和 桐山 治, 小出 哲士, マタウシュ ハンスユルゲン	113
大規模参照パターン全並列最小ハンタング距離検索連想メモリ	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	矢野 祐二 小出 哲士, マタウシュ ハンスユルゲン	113
低周波・低消費電力増幅回路及び AD 変換回路の設計	大阪府立大学先端科学研究所	田中 智之, 中尾 基, 泉 勝俊	113
低ジッタ全デジタル PLL およびアナログ PLL の試作	九州東海大学工学部	佐々木 博文, 藤本 邦昭	114
二次元平面上の細線化による対象物体検出回路	公立はこだて未来大学システム情報科学部	秋田 純一	114
インダクタンス結合チップ間無線通信チャンネルアレイにおけるクロストーク測定用送信チップ	慶應義塾大学理工学部	三浦 典之, 黒田 忠広	114
インダクタンス結合チップ間無線通信チャンネルアレイにおけるクロストーク測定用受信チップ	慶應義塾大学理工学部	三浦 典之, 黒田 忠広	115
光再構成型ゲートアレイ	九州工業大学	渡邊 実	115
フルカラーLEDディスプレイ駆動回路の設計	高知工科大学工学部	谷脇 史高, 矢野 政顕, 橋 昌良	115
ゼロ交差検出回路	大阪大学大学院工学研究科	井上 恵介, 下ノ村 和弘, 八木 哲也	116
スペース赤外線天文観測用極低温動作読みだし集積回路評価用素子の試作	総合研究大学院大学物理科学研究科	和田 武彦	116
ニューロン MOS トランジスタを用いた D/A コンバータの TEG	東海大学大学院工学研究科 東海大学電子情報学部	福原 雅朗 吉田 正廣	116
ピクセル検出器用コントロール回路及びデータ圧縮回路	高エネルギー加速器研究機構素粒子原子核研究所	田中 真伸	117
デジタル雑音低減のためのアクティブ・シールド回路の作成	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	117

平成15年度 第3回 日立製作所 CMOS0.18μm チップ試作 (HIT18023)

題 名	大 学 名	研 究 者	掲載頁
ミリ波帯 PLL に向けた複数係数周波数分周回路の作成	東京大学新領域創成科学研究科 東京大学工学系研究科	山本 憲, 乗松 崇泰, 藤島 実 木野 順	118
タイムドメイン DP マッチングプロセッサ、MIMD 連想プロセッサの演算器コア	東京大学大学院新領域創成科学研究科 東京大学工学部	小川 誠 早川 仁	118
オンチップサンプリングオシロスコープ回路を用いたシグナルインテグリティの評価	京都大学情報学研究科	新名 亮規, 宮崎 崇仁, 橋本 昌宜, 小野寺 秀俊	118
電源網解析向け容量特性評価 TEG	京都大学情報学研究科	山口 隼司, 橋本 昌宜, 小野寺 秀俊	119
レベルシフト回路	東京大学生産技術研究所	石田 光一, 宮崎 隆之	119
コンフィギュラブルプロセッサを用いた JPEG2000 符号器の設計	京都大学情報学研究科	筒井 弘, 増崎 隆彦, 林 宙輝, 泉 知論, 尾上 孝雄, 中村 行宏	119

フォトダイオード基礎特性測定 TEG	奈良先端科学技術大学院大学物質創成科学研究科	岡本 英樹, 山本 幸司, 香川 景一郎, 太田 淳, 布下 正宏	120
LSI 設計評価用基本デバイス TEG	高知工科大学工学部	石川 純平, 大橋 健二, 橋 昌良, 河津 哲	120
超多重 RFID 向けトランスポンダ実験チップ	神戸大学工学部	福水 洋平, 大野 修治, 瀧 和男, 野口 宏一郎, 奥本 健, 永田 真	120
オンチップ配線特性および PLL 特性評価 TEG	京都大学情報学研究所	土谷 亮, 宮崎 崇仁, 橋本 昌宜, 小野寺 秀俊	121

平成15年度 第1回 日立製作所 CMOS0.18 μ m チップ試作 (HIT18031)

題 名	大 学 名	研 究 者	掲載頁
ミリ波帯で動作する周波数分周器と電圧制御発振回路の作製	東京大学新領域創成科学研究科	山本 憲, 藤島 実	122
CDMA Matched Filter	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	山崎 俊彦 中山 友之	122
Digital Pixel Sensor TEG	東京大学大学院新領域創成科学研究科 東京大学工学部	伊藤 深人 Tongprasit Benjamas	122
フラッシュコンボリューション型画像フィルタ演算プロセッサ	東京大学大学院新領域創成科学研究科	伊藤 深人	123
カーネル係数可変型画像フィルタリングプロセッサ	東京大学大学院新領域創成科学研究科	伊藤 深人	123
実時間認識のための画像特徴抽出プロセッサ	東京大学大学院工学系研究科 東京大学工学部	山崎 英男 川原 邦男	123
短命令長 SIMD プロセッサ	東京大学大学院工学系研究科	早川 仁	124
電源ノイズ測定 TEG	京都大学情報学研究所	山口 隼司, 橋本 昌宜, 小野寺 秀俊	124
オンチップ高速信号伝送用 SerDes ならびに遅延ばらつき測定用リングオシレータアレイ TEG	京都大学情報学研究所	新名 亮規, 山岡 健人, 橋本 昌宜, 小野寺 秀俊	124
オンチップ高速信号伝送用要素回路の特性評価 TEG	京都大学情報学研究所	土谷 亮, 宮崎 崇仁, 新名 亮規, 橋本 昌宜, 小野寺 秀俊	125
接続情報と演算情報をルックアップテーブルに統合したフィールドプログラマブル VLSI	東北大学大学院情報科学研究科	張山 昌論, 大澤 尚学, 坂本 修, 亀山 充隆	125
電流測定回路	東京大学生産技術研究所	石田 光一, 川口 博, 宮崎 隆之	125
SRAM の設計と電力モデルの検証	東京大学情報理工学系研究科	坂井 修一, 初田 直也, ルオン ディン フォン, バルリ ニコ デムス, 葛 毅, 岩間 智女	126
Ultra-Wideband 無線通信用送受信回路	慶應義塾大学理工学部	寺田 崇秀, 善積 真吾	126
ultra-wideband 無線通信用送受信回路	慶應義塾大学理工学部	寺田 崇秀, 善積 真吾	126
GHz 帯高速ドライバ回路	明星大学情報学部 東京大学	秋山 豊, 上田 千寿, 伊東 恭二, 大塚 寛治 斎藤 圭介, 宇佐美 保	127
Gb 伝送用高速デジタル I/O の設計	金沢大学自然科学研究科 金沢大学工学部	三上 真司 松野 哲郎, 深山 正幸, 吉本 雅彦	127
電源/グラウンド雑音測定回路及び遅延回路	神戸大学工学部	奥本 健, 野口 宏一郎, 永田 真	127
デジタル・デルタシグマ変調回路(1)	神戸大学工学部	杉本 智彦, 永田 真	128
ダイナミック SCL 多値集積回路と電流モード制御信号多重化に基づく非同期データ転送回路の試作	東北大学電気通信研究所	高橋 知宏, 望月 明, 羽生 貴弘	128
同期式階層構造型 4 ポートメモリ	広島大学 先端物質科学研究科 広島大学 ナノデバイス・システム研究センター	上口 光 朱 兆旻, 小出 哲士, マタウシュ ハンスユルゲン	128

平成15年度 第2回 日立製作所 CMOS0.18 μ m チップ試作 (HIT18032)

題 名	大 学 名	研 究 者	掲載頁
DSRC 用 PLL の試作	東京大学新領域創成科学研究科	山本 憲, 金子 秀彦, 藤島 実	129
MATLAB による VLSI 設計演習および故障診断手法評価用チップ	大阪大学大学院情報科学研究科	藤田 将史, 三浦 克介, 中前 幸治, 藤岡 弘	129
クロスバースを持つ 16 ビット CPU	東北大学大学院工学研究科	小野 泰三, 沈 正七, 栗野 浩之, 小柳 光正	129
オンチップサンプリングオシロスコープ回路および高周波モデリング用 TEG	京都大学情報学研究所	新名 亮規, 宮崎 崇仁, 山口 隼司, 橋本 昌宜, 小野寺 秀俊	130
サッカー検出用イメージセンサの設計	東北大学大学院工学研究科	河江 大輔	130
RING OSCILLATOR方式のVCO、DIVIDER、FLASH ADコンバータ	早稲田大学電気・情報生命工学科	横山 晋, 野沢 舞, 中山 久留美, 佐々木 昌弘, 松本 隆	130

適応ベクトル量子化を用いた画像圧縮プロセッサ	東北大学大学院工学研究科	杉村 武昭, 沈 正七, 栗野 浩之, 小柳 光正	131
高速 Fourier 変換を用いた多倍長乗算器	電気通信大学情報工学科	矢崎 俊志, 阿部 公輝	131
可変ダウンサンブラの設計	大阪大学大学院情報科学研究科 大阪大学先端科学イノベーションセンター 奈良先端科学技術大学院大学情報科学研究科	畠中 理英 正城 敏博 岡田 実	131
低電源電圧アナログ回路および FPGA におけるリーク電流対策回路	東京大学生産技術研究所	石田 光一, Quang Canh Tran, 宮崎 隆之	132
命令/データ統合型 4 ポートキャッシュメモリ	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	上口 光 朱 兆旻, マタウシュ ハンスユルゲン, 小出 哲士	132
2 段 PLL を用いた超高精度時間測定回路用 TEG	高エネルギー加速器研究機構素粒子原子核研究所	新井 康夫	132
GHz 帯高速ドライバ回路 II	明星大学情報学部 東京大学	秋山 豊, 上田 千寿, 伊東 恭二, 大塚 寛治 齋藤 圭介, 宇佐美 保	133
光再構成型ゲートアレイ	九州工業大学	渡邊 実	133
電源/グラウンド雑音測定システム	神戸大学工学部	野口 宏一郎, 奥本 健, 永田 真	133
デジタル・デルタシグマ変調回路(2)	神戸大学工学部	杉本 智彦, 永田 真	134
低消費電力キャッシュ用 SRAM セル	福岡大学工学部	田中 秀和, 井上 弘士	134
電流モード制御信号多重化に基づく非同期 Duplex 通信インタフェース回路の試作	東北大学電気通信研究所	高橋 知宏, 羽生 貴弘	134
インターネットルータのマルチメディア QoS 制御チップ	大阪大学大学院情報科学研究科	島原 広季, 正城 敏博, 戸出 英樹, 村上 孝三	135
マンハッタン距離検索エンジン	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター(VDEC)	大池 祐輔 池田 誠, 浅田 邦博	135
オンチップ di/dt 測定回路	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター(VDEC)	名倉 徹 池田 誠, 浅田 邦博	135
遅延ばらつき測定用リングオシレータアレイ TEG	京都大学情報学研究科	山岡 健人, 橋本 昌宜, 小野寺 秀俊	136
資源共有型 VLIW プロセッサ	京都大学大学院情報科学研究科通信情報システム専攻 東京大学大規模集積システム設計教育研究センター	荒本 雅夫, 樋口 昭彦, 湯山 洋一, 小野寺 秀俊 小林 和淑	136

平成 15 年度 第 1 回 NECBipolar0.8 μ m チップ試作 (NEC03)

題 名	大 学 名	研 究 者	掲載頁
4 GS/s 6-bit フラッシュ型 ADC の試作	中央大学理工学部	川田 真也, 杉本 泰博	137
一次連続時間ローパス $\Delta\Sigma$ 変調器とその回路ブロックの設計	上智大学理工学部	湯本 拓, 田島 康博, 和保 孝夫	137
電荷積分器およびフロントエンドエレクトロニクス	高エネルギー加速器研究機構素粒子原子核研究所	田中 真伸	137

平成 15 年度 第 1 回 MOSIS-TSMC 0.18 μ m チップ試作 (MT18031)

題 名	大 学 名	研 究 者	掲載頁
低電圧動作アナログ回路 TEG	広島大学先端物質科学研究科 広島大学工学部	吉田 毅, 真下 隆行, 赤木 美穂, 升井 義博, 岩田 穆 円林 晃一郎	138

平成 15 年度 第 1 回 MOSIS-TSMC 0.25 μ m チップ試作 (MT25031)

題 名	大 学 名	研 究 者	掲載頁
高速シリアル CDMA 通信チップ (受信回路)	広島大学先端物質科学研究科	汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆	139
ASK/CDMA 方式を用いた近距離無線 RF 受信回路	大阪大学大学院工学研究科	古屋 英行, 松岡 俊匡, 谷口 研二	139
極低消費電力 CMOS 品質モニタ回路	大阪大学大学院工学研究科	廣瀬 哲也, 松岡 俊匡, 谷口 研二	139

平成15年度 第2回 MOSIS-TSMC 0.25 μ m チップ試作 (MT25032)

題 名	大 学 名	研 究 者	掲載頁
高速シリアル CDMA 通信チップ (送信回路) & 広帯域 LNA	広島大学先端物質科学研究科	汐崎 充, 佐々木 守, 岩田 穆	140
近距離無線通信用送受信回路と GPS 用低雑音増幅器	大阪大学大学院工学研究科	洞木 洞木, 春岡 正起, 古屋 英行, 車 承佑, 松岡 俊匡, 谷口 研二	140
無線通信用低雑音増幅器、パワーアンプ及び PLL の設計	九州大学大学院システム情報科学研究院 九州大学大学院システム情報科学府 九州大学大学院システム LSI 研究センター	金谷 晴一 浦川 剛, 大庭 亮介, 中村 徹哉, 川上 晃治, 岡本 賢治, 森田 亮 安浦 寛人	140

平成15年度 第3回 MOSIS-TSMC 0.25 μ m チップ試作 (MT25033)

題 名	大 学 名	研 究 者	掲載頁
高速シリアル CDMA 通信チップ (受信回路/修正版)	広島大学先端物質科学研究科	汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆	141

平成15年度 第4回 MOSIS-TSMC 0.25 μ m チップ試作 (MT25034)

題 名	大 学 名	研 究 者	掲載頁
セルフテスト機能を備えた高速シリアルリンク・トランシーバ (2)	広島大学大学院先端物質科学研究科	佐々木 守	142
デジタルセル設計のためのチップ試作	九州大学システム LSI 研究センター ロジック・リサーチ 福岡知的クラスター研究所	松永 裕介 中野 俊和, 赤星 博輝 松永 多苗子	142

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
HIT18023	電源網解析向け容量特性評価TEG	山口 隼司, 橋本 昌宜, 小野寺 秀俊	119
HIT18023	レベルシフト回路	石田 光一, 宮崎 隆之	119
HIT18023	LSI設計評価用基本デバイスTEG	石川 純平, 大橋 健二, 橋 昌良, 河津 哲	120
HIT18023	オンチップ配線特性およびPLL特性評価TEG	土谷 亮, 宮崎 崇仁, 橋本 昌宜, 小野寺 秀俊	121
HIT18031	電源ノイズ測定TEG	山口 隼司, 橋本 昌宜, 小野寺 秀俊	124
HIT18031	電流測定回路	石田 光一, 川口 博, 宮崎 隆之	125
HIT18031	GHz帯高速ドライバ回路	秋山 豊, 上田 千寿, 伊東 恭二, 大塚 寛治, 斎藤 圭介, 宇佐 美保	127
HIT18032	低電源電圧アナログ回路およびFPGAにおけるリーク電流対策回路	石田 光一, Quang Canh Tran, 宮崎 隆之	132
HIT18032	GHz帯高速ドライバ回路II	秋山 豊, 上田 千寿, 伊東 恭二, 大塚 寛治, 斎藤 圭介, 宇佐 美保	133
HIT18032	オンチップ di/dt 測定回路	名倉 徹, 池田 誠, 浅田 邦博	135
HIT18032	遅延ばらつき測定用リングオシレータレイTEG	山岡 健人, 橋本 昌宜, 小野寺 秀俊	136
MOT022	高精度CMOS基準電圧発生回路	南 隆一, 松田 敏弘, 岩田 栄之, 大曾根 隆志	48
MOT031	MOS型定電流回路の設計・試作(1)	日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝	54
MOT031	MOS型定電流回路の設計・試作(2)	日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝	54
MOT031	高精度CMOS基準電圧発生回路	南 隆一, 松田 敏弘, 岩田 栄之, 大曾根 隆志	62
MT25034	デジタルセル設計のためのチップ試作	松永 裕介, 中野 俊和, 赤星 博輝, 松永 多苗子	142
NEC03	電荷積分器およびフロントエンドエレクトロニクス	田中 真伸	137
RO35024	フルデジタルメディア値探索回路	山崎 英男	67
RO35024	スイッチト・キャパシタ回路を用いたオフセット電圧補償型増幅回路の試作	小野 宏, 沈 正七, 栗野 浩之, 小柳 光正	70
RO35024	POF フロントエンド試作の為のTEG	山田 裕史, 北川 章夫	71
RO35024	低VDDアナログ回路およびSRAMにおけるリーク電流対策回路	石田 光一, Quang Canh Tran, 神田 浩一, 宮崎 隆之	72
RO35024	マルチチップ視覚システムのためのレシーバチップTEG	下ノ村 和弘, 八木 哲也	76
RO35024	JTAG付きパルスジェネレータ	田中 真伸	77
RO35031	Mixed-signalメディア値探索回路	山崎 英男	79
RO35031	低VTH世代のためのアナログ回路およびFPGAにおけるリーク電流対策回路	石田 光一, Quang Canh Tran	82
RO35031	チップ間ワイヤレス伝送方式評価TEG	稲垣 賢一, Danardono Dwi Antono	83
RO35031	オンチップ di/dt 測定回路	名倉 徹, 池田 誠, 浅田 邦博	89
RO35032	ビジョンチップに使用する光センサ回路のTEG	亀田 成司, 岩田 穆	91
RO35032	ロボットビジョン用イメージセンサのためのTEG	出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	93
RO35032	アナログ回路・メモリにおけるリーク電流の効果、WSC、高速電源電圧変更評価TEG	石田 光一, 宮崎 隆之, 許 螢雪, Fayez Saliba, Danardono Dwi Antono	95
RO35032	チップ間ワイヤレス伝送方式評価TEG・低電力FPGA	稲垣 賢一, 鬼塚 浩平, Quang Canh Tran, 川口 博	95
RO35032	異なる配線パターンを持つセルの故障率の差を測定するためのチップ	飯塚 哲也, 池田 誠, 浅田 邦博	105
RO35033	隣接セル間配線のみを用いたエッジフィルタ用演算器回路TEG	中下 友介	108
RO35033	アナログ回路用デバイスTEG	出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	109
RO35033	高速配線・オンチップインダクタ評価TEG	Danardono Dwi Antono, 鬼塚 浩平	110
RO35033	低消費電力アナログ・IO・FPGA評価TEG	石田 光一, Quang Canh Tran, 稲垣 賢一	110
RO35033	スペース赤外線天文観測用極低温動作読みだし集積回路評価用素子の試作	和田 武彦	116
RO35033	ニューロンMOSトランジスタを用いたD/AコンバータのTEG	福原 雅朗, 吉田 正廣	116
RO35033	ピクセル検出器用コントロール回路及びデータ圧縮回路	田中 真伸	117

アナデジ混載

ラン名	タイトル	研究者	掲載頁
HIT18031	Ultra-Wideband無線通信用送受信回路	寺田 崇秀, 善積 真吾	126
HIT18031	ultra-wideband無線通信用送受信回路	寺田 崇秀, 善積 真吾	126

HIT18031	デジタル・デルタシグマ変調回路(1)	杉本 智彦, 永田 真	128
HIT18032	電源/グラウンド雑音測定システム	野口 宏一郎, 奥本 健, 永田 真	133
HIT18032	デジタル・デルタシグマ変調回路(2)	杉本 智彦, 永田 真	134
MOT022	スイッチング電源制御用LSIの開発	中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之	49
MOT022	スイッチング電源制御用LSI出力回路の設計	中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之	49
MOT031	スイッチング電源制御用LSI用補正回路の設計	中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之	62
MOT031	スイッチング電源制御用LSIの設計	中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之	63
MOT031	信号処理用回路	西野 聡, 増淵 康尊	64
RO35024	次世代PET用フロントエンドチップ	石津 崇章, 高橋 浩之	74
RO35024	マルチアノード光電子増倍管用計数チップ	Yeom Jung Yeol, 石津 崇章, 高橋 浩之	74
RO35024	位置演算用アナログエンコーダ	Yeom Jung Yeol, 石津 崇章, 高橋 浩之	75
RO35024	デジタル・デルタシグマ変調回路(2)	杉本 智彦, 永田 真	77
RO35031	相変化不揮発性メモリと長ビット数対応暗号処理LSI-IP及びLNA	高田 雅史, 源 貴利, 橋 秀明, 伊藤 久浩, 北川 章夫	80
RO35031	OGPICマイクロコントローラ, VCO	有賀 健太, 尾形 秀範, 北川 章夫	81
RO35031	PET用フロントエンドチップ	石津 崇章, Yeom Jung Yeol, 高橋 浩之	85
RO35032	相変化不揮発性メモリとRFテスト回路	高田 雅史, 有賀 健太, 伊藤 久浩, 北川 章夫	94
RO35033	相変化不揮発性メモリと長ビット数対応暗号処理LSI-IP	高田 雅史, 橋 秀明, 泉 貴富, 中江 智, 中野 伸吾, 中野 智崇, 朴 虎崗, 北川 章夫	109
RO35033	マイクロストリップガスカウンタ用信号処理回路	Yeom Jung Yeol, 高橋 浩之	112

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
HIT18023	コンフィギュラブルプロセッサを用いたJPEG2000符号器の設計	筒井 弘, 増崎 隆彦, 林 宙輝, 泉 知論, 尾上 孝雄, 中村 行宏	119
HIT18031	CDMA Matched Filter	山崎 俊彦, 中山 友之	122
HIT18031	実時間認識のための画像特徴抽出プロセッサ	山崎 英男, 川原 邦男	123
HIT18032	MATLABによるVLSI設計演習および故障診断手法評価用チップ	藤田 将史, 三浦 克介, 中前 幸治, 藤岡 弘	129
HIT18032	適応ベクトル量子化を用いた画像圧縮プロセッサ	杉村 武昭, 沈 正七, 栗野 浩之, 小柳 光正	131
MOT022	SystemCを用いた3次元スイッチボックスハードウェアアルータの試作	大村 道郎, 市塚 裕之	48
MOT031	スイッチトキャパシタ電源回路の設計	江口 啓	61
MOT031	アレイ構造を利用したカオス発生回路	江口 啓	61
MOT031	ログドメイン積分回路の試作ならびに演算増幅回路の設計演習	秋田 一平, 上田 昇, 鈴木 寛人, 八木 大介, 吉田 武史, 和田 和千	61
RO35024	電流モード多値論理に基づくField-Programmable Digital Filter LSIの試作	出川 勝彦, 青木 孝文, 樋口 龍雄	65
RO35024	Resonantによる動き位置検出および速度検出回路の第2版	梅島 誠之	66
RO35024	並列リコンフィギュラブルロジックを用いた画像処理FPGA	杉村 武昭, 沈 正七, 栗野 浩之, 小柳 光正	69
RO35024	64ニューロン搭載改良型スタカスティックニューロチップ	桃井 昭好, 秋元 俊祐, 佐藤 茂雄, 中島 康治	72
RO35024	ニューロン素子による連想記憶システム	李 洪革, 秋元 俊祐, 早川 吉弘, 佐藤 茂雄, 中島 康治	73
RO35024	二次元高速フーリエ変換プロセッサ	宮本 直人, カルナン レオ, 小谷 光司, 大見 忠弘	74
RO35024	方位選択性を実現するアナログ集積回路の設計	下ノ村 和弘, 八木 哲也	76
RO35031	Low-Power Switched-Current CDMA Matched Filter	山崎 俊彦	78
RO35031	フローティング・ゲートMOS回路技術を用いた低消費電力CDMA用マッチトフィルタ	山崎 俊彦, 中山 友之	78
RO35031	Resonantによる動き位置検出および速度検出回路の第3版	梅島 誠之	78
RO35031	PWM方式画素並列2次元ガボールフィルタ回路	森江 隆, 梅澤 淳, 岩田 穆	86
RO35031	2次元時間フィルタアレイの設計	下ノ村 和弘, 八木 哲也	88
RO35032	パルス幅変調方式の列並列データ送受信回路を有する画像処理チップの開発	亀田 成司, 岩田 穆	90
RO35032	D級アンプ、バンドギャップリファレンス回路、スイッチトキャパシタDC-DCコンバータver.2	釣井 雄介, 阿部 博明, 高須 甲斐, 佐々木 昌弘, 松本 隆	91
RO35032	神経センシングLSI評価TEG	吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆	92
RO35032	二次元画像認識プロセッサ	宮本 直人, 小谷 光司, 大見 忠弘	98
RO35032	周波数領域での信号処理回路の試作 2	木村 孝之	100
RO35032	低消費電力アナログ神経回路TEGの試作	上野 響一	101

RO35032	Tree-Structure方式によるDEM回路の設計	加藤 了三, 和保 孝夫	101
RO35032	方位選択性を実現するアナログ集積回路の設計	下ノ村 和弘, 八木 哲也	103
RO35032	シリコン網膜の制御信号回路	井上 恵介, 下ノ村 和弘, 八木 哲也	104
RO35033	電流モード多値論理に基づくField-Programmable Digital Filter LSIの試作	出川 勝彦, 青木 孝文, 樋口 龍雄	108
RO35033	マルチバス一括処理を実現する超並列CDMAマッチトフィルタ	山崎 俊彦, 中山 友之, 亀谷 暁	108

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
HIT18023	オンチップサンプリングオシロスコープ回路を用いたシグナルインテグリティの評価	新名 亮規, 宮崎 崇仁, 橋本 昌宜, 小野寺 秀俊	118
HIT18031	オンチップ高速信号伝送用要素回路の特性評価TEG	土谷 亮, 宮崎 崇仁, 新名 亮規, 橋本 昌宜, 小野寺 秀俊	125
HIT18032	オンチップサンプリングオシロスコープ回路および高周波モデリング用TEG	新名 亮規, 宮崎 崇仁, 山口 隼司, 橋本 昌宜, 小野寺 秀俊	130
HIT18032	2段PLLを用いた超高精度時間測定回路用TEG	新井 康夫	132
MOT022	SCICを利用したイミタンス形スイッチトキャパシタFPAA	井上 高宏, 日野 臣教	45
MOT022	ダイオードチャージポンプ型AC-DC変換回路および種々の浮遊抵抗回路の設計	井上 高宏, 萩原 祐一, 飯尾 義徳, 高宗 義成	45
MOT022	FG-MOSFETのみかけのしきい電圧のオートチューニング回路	井上 高宏, 市原 栄蔵	46
MOT022	MOS構成に適したアナログ形PLLの試作	川元 雅紀, 佐藤 紀章, 井上 浩	47
MOT022	リング発振器を用いたPLL用の発振器の試作	宮前 亨, 井上 浩	47
MOT022	小型半導体加速度センサ用LSIの設計	麻生 啓太, 松田 敏弘, 岩田 栄之, 大曾根 隆志	49
MOT022	受信システム用要素回路の試作1	藤井 信生, 高木 茂孝, 佐藤 隆英	50
MOT022	受信システム用要素回路の試作3	藤井 信生, 高木 茂孝, 佐藤 隆英	50
MOT031	スイッチトキャパシタフィルタ	高橋 誠, 小川 寛美, 渡邊 健蔵	51
MOT031	全差動型演算増幅器の試作	石原 ゆかり, 小川 寛美, 渡辺 健蔵	51
MOT031	ストレート方式AMラジオの受信機の試作	秋山 大, 新井 義明, 近野 暢, 後藤 健志, 清水 大数, 兵庫 明, 関根 慶太郎	53
MOT031	スーパーヘテロダイナ受信機の試作	永田 基希, 高橋 悠, 中村 剛一郎, 竹原 史恵, 兵庫 明, 関根 慶太郎	53
MOT031	スーパーヘテロダイナ方式CMOSワンチップAMラジオの設計	藤田 林太郎, 蛭川 奈津, 米川 智宣, 和智 勇介, 兵庫 明, 関根 慶太郎	53
MOT031	NMOS・PMOS・キャパシタのTEG	永田 基希, 米川 智宣, 兵庫 明, 関根 慶太郎	54
MOT031	リング発振器を用いたPLL用の発振器の試作	宮前 亨, 井上 浩	59
MOT031	MOS構成に適したアナログ形PLLの試作	川元 雅紀, 佐藤 紀章, 宮前 亨, 伊藤 文人, 井上 浩	59
MOT031	演算増幅器の試作・検証	内田 正隆, 塚本 尚平, 小林 幸司, 田崎 篤, 舛岡 貴志, 村上 真人, 深井 澄夫	60
MOT031	CMOS 2段オペアンプの設計	小林 章二, 和保 孝夫	60
MOT031	小型センサ用CMOS D/Aコンバータの設計	麻生 啓太, 堀井 信嘉, 松田 敏弘, 岩田 栄之	62
MOT031	演算増幅器の試作	藤井 信生, 高木 茂孝, 佐藤 隆英	63
MOT031	FM放送受信システム用回路ブロックの試作1	藤井 信生, 高木 茂孝, 佐藤 隆英	63
MOT031	FM放送受信システム用回路ブロックの試作2	藤井 信生, 高木 茂孝, 佐藤 隆英	64
MOT031	FM放送受信システム用回路ブロックの試作3	藤井 信生, 高木 茂孝, 佐藤 隆英	64
MT18031	低電圧動作アナログ回路TEG	吉田 毅, 真下 隆行, 赤木 美穂, 升井 義博, 岩田 穆, 円林 晃一郎	138
MT25031	極低消費電力CMOS品質モニタ回路	廣瀬 哲也, 松岡 俊匡, 谷口 研二	139
NEC03	4 GS/s 6-bit フラッシュ型ADCの試作	川田 真也, 杉本 泰博	137
NEC03	一次連続時間ローパス $\Delta\Sigma$ 変調器とその回路ブロックの設計	湯本 拓, 田島 康博, 和保 孝夫	137
RO35024	DAコンバータの試作	築添 明, 曹 ユン, 安浦 寛人	65
RO35024	多入力神経信号センシングLSIの設計(1)	吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆	68
RO35024	多入力神経信号センシングLSIの設計(2)	吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆	68
RO35024	E級DC-DCコンバータ	末次 正	72
RO35024	SFQ/CMOSハイブリッド $\Sigma\Delta$ ADコンバータ用デシメーションフィルタの試作	吉川 信行, 城殿 征志	73
RO35031	E級DC-DCコンバータ	末次 正	82

RO35031	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 城殿 征志	83
RO35031	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 城殿 征志	83
RO35031	メディカルイメージング用チップ	Yeom Jung Yeol, 石津 崇章, 高橋 浩之	85
RO35031	多チャンネルプリアンプ	Yeom Jung Yeol, 石津 崇章, 高橋 浩之	86
RO35031	インピーダンス変換回路用TEGの設計	田中 智之, 中尾 基, 泉 勝俊	87
RO35032	1チップ無線・神経センシングLSIの設計	吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆	92
RO35032	無線周波数帯局部発振器の試作	永田 基希, 兵庫 明, 関根 慶太郎	96
RO35032	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 城殿 征志	97
RO35032	14-bit, 200MS/s, 2.7V D/A変換器の開発	櫻井 宏樹, 杉本 泰博	98
RO35032	マルチチャンネル波形整形チップ	Yeom Jung Yeol, 石津 崇章, 高橋 浩之	99
RO35032	マルチチャンネルプリアンプ	Yeom Jung Yeol, 高橋 浩之	99
RO35032	低周波・低消費電力増幅回路の設計	田中 智之, 中尾 基, 泉 勝俊	102
RO35033	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 城殿 征志	111
RO35033	低雑音16チャンネルプリアンプ	Yeom Jung Yeol, 高橋 浩之	112
RO35033	低周波・低消費電力増幅回路及びAD変換回路の設計	田中 智之, 中尾 基, 泉 勝俊	113
RO35033	デジタル雑音低減のためのアクティブ・シールド回路の作成	藤井 信生, 高木 茂孝, 佐藤 隆英	117

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
HIT18023	フォトダイオード基礎特性測定TEG	岡本 英樹, 山本 幸司, 香川 景一郎, 太田 淳, 布下 正宏	120
HIT18031	Digital Pixel Sensor TEG	伊藤 深人, Tongprasit Benjamas	122
HIT18032	サッカー検出用イメージセンサの設計	河江 大輔	130
HIT18032	マンハッタン距離検索エンジン	大池 祐輔, 池田 誠, 浅田 邦博	135
MOT022	昆虫の視覚系に学んだ背景速度が生じる画像中でのターゲットの動き検出チップの試作	西尾 公裕, 米津 宏雄	46
MOT022	昆虫の視覚系に学んだ一次元動き検出チップの試作	西尾 公裕, 米津 宏雄	46
MOT022	64×64画素三相時間相関イメージセンサ(第3報)	安藤 繁, 来海 暁	47
MOT031	下等動物の視覚系に学んだ二次元動き検出チップの試作	西尾 公裕, 米津 宏雄	52
MOT031	広ダイナミックレンジを有するエッジ検出網膜チップの試作	澤 伸也, 米津 宏雄	52
MOT031	64×64画素三相時間相関イメージセンサ(第4報)	安藤 繁, 来海 暁	55
RO35024	デジタルピクセルセンサーを用いたメディアン値探索プロセッサ	伊藤 深人, 中山 友之	66
RO35024	隣接セル間配線を用いたフォトダイオード・演算器分離型エッジ抽出回路	中下 友介	66
RO35024	平滑化機能を持ったシリコン網膜チップの開発	亀田 成司, 八木 哲也	76
RO35031	フォトダイオードアレイ	中下 友介	79
RO35031	三次元集積人工網膜チップのための電流型人工網膜回路	中川 源洋, 沈 正七, 栗野 浩之, 小柳 光正	79
RO35031	A/D変換器を内蔵した周波数変調パルス型イメージセンサ	杉村 武昭, 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	80
RO35031	積層型人工眼のための基本回路の試作	出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	80
RO35031	生体の網膜に学んだ二次元エッジ検出網膜チップの試作	澤 伸也, 米津 宏雄	81
RO35031	生体の網膜に学んだ一次元エッジ検出網膜チップの試作	澤 伸也, 米津 宏雄	81
RO35031	下等動物の視覚系に学んだ動き検出ネットワークを構成するアナログ基本回路の試作	西尾 公裕, 米津 宏雄	82
RO35031	200×200画素三相時間相関イメージセンサ	安藤 繁, 来海 暁	84
RO35031	128×128画素時間相関イメージセンサ(第5報)	安藤 繁, 来海 暁	84
RO35031	電流モード多値可変空間フィルタ検出器チップ	GO Hyunmin, 高山 潤也, 大山 真司, 小林 彬	87
RO35031	擬似2次元シリコン網膜の設計	下ノ村 和弘, 八木 哲也, 亀田 成司	88
RO35031	画素内背景光抑圧回路を有する高速3次元イメージセンサ	大池 祐輔, 池田 誠, 浅田 邦博	88
RO35032	電氣的中心窩構造実現のための要素回路	中川 源洋, 沈 正七, 栗野 浩之, 小柳 光正	92
RO35032	ロボットビジョン用イメージセンサの試作	出口 淳, 沈 正七, 栗野 浩之, 小柳 光正	93
RO35032	3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計(1)センサアレイレイヤ	河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正	93

RO35032	3次元集積化技術を用いた超並列・ハイブリッド画像処理チップの設計(3) ADC&ALUアレイレイヤ	河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正	94
RO35032	画素並列AD変換型撮像素子	館 知恭	97
RO35032	光無線LANビジョンチップ：差動化によるモード間クロストークノイズの低減	池内 隆志, 藤内 亜紀子, 川上 智朗, 香川 景一郎, 太田 淳, 布下 正宏	100
RO35032	光無線LANビジョンチップ：アナログバッファの検討	川上 智朗, 香川 景一郎, 太田 淳, 布下 正宏	100
RO35032	平面中の複数対象点の高速検索回路	秋田 純一	102
RO35032	2次元シリコン網膜チップの設計	下ノ村 和弘, 八木 哲也, 亀田 成司	103
RO35032	適応的側抑制機能を持つ2次元シリコン網膜	原 重臣	104
RO35033	イメージセンサの検証用回路	今井 功, 笹倉 康明, 川原 隆輔	111
RO35033	二次元平面上の細線化による対象物体検出回路	秋田 純一	114

その他

ラン名	タイトル	研究者	掲載頁
MOT031	有機EL素子駆動用アクティブマトリクス回路	坂井 健治, 柴田 幹, 中 茂樹, 岡田 裕之, 女川 博義	52
MOT031	3ビットジョンソンカウンタを用いた電子サイコロ	今口 公司, 畑堀 祐紀, 藤岡 篤志, 三浦 真一, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	55
MOT031	10秒周期で時報音を生成するチップ	島津 尊是, 新居田 潔, 花崎 翔太, 兵部 拓人, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	56
MOT031	2進数3ビットカウンタのナイトライダー	酒井 智也, 島田 貴史, 庄崎 和哉, 駿河 小太郎, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	56
MOT031	2進4bitカウンタを使用した7セグLED表示付き10進カウンタ	磯部 博隆, 小西 克明, 額賀 大揮, 平田 義輝, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	56
MOT031	3ビットジョンソンカウンタを用いたナイトライダー	高尾 泰弘, 久保 育則, 白根 賢一, 羽田 隆二, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57
MOT031	5bitジョンソンカウンタを用いた7セグLED表示付き10進カウンタ	荒川 香織, 古川 梨香, 森 有佳理, 山下 淑子, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57
MOT031	3ビットカウンタを用いた電子サイコロ	岡 大輔, 川野 敦史, 中尾 彰宏, 山本 純一, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	57
MOT031	3分間クッキングタイマー	石野 正英, 梅比良 紀章, 山下 晋司, 山本 正樹, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
MOT031	8bitジョンソンカウンタを用いた7セグLED表示付き16進カウンタ	向 建宇, 重藤 典之, 酒匂 宏樹, 夏木 龍彦, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
MOT031	7セグLED表示付き16進4bitカウンタ	有路 忠臣, 新迫 洋一, 中西 勝利, 大本 哲広, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	58
MOT031	救急車のサイレン	橋本 伸嗣, 田中 秀幸, 丹生谷 勇太, 竹内 健, 越智 裕之, 窪田 昌史, 児島 彰, 寺内 衛	59
RO35024	Inverse function Delayed モデルを用いたニューロチップの設計	伝田 達明, 末永 晋也, 早川 吉弘, 中島 康治	73
RO35024	群知能型情報処理LSIの設計	中尾 基, 泉 勝俊	75
RO35031	液晶表示コントローラの試作	高松 誠一, 齋藤 宏, 酒造 正樹, 下山 勲	85
RO35032	高精細マイクロディスプレイLSI	源 貴利, 北川 章夫	95
RO35032	Inverse function Delayed モデルを用いたニューロチップの設計(改良版)	伝田 達明, 末永 晋也, 早川 吉弘, 中島 康治	96
RO35032	自動学習連想メモリのための32参照パターン用ranking回路	溝上 政弘, マタウシュ ハンスユルゲン, 小出 哲士	97
RO35032	リセット方式全デジタルPLLの試作	佐々木 博文, 藤本 邦昭	102
RO35033	64参照パターン用自動学習連想メモリテストチップ	溝上 政弘, マタウシュ ハンスユルゲン, 小出 哲士	111
RO35033	境界セル限定動作機能を持つ41x33セル画像分割セルネットワーク回路	森本 高志, 足立 英和, 桐山 治, 小出 哲士, マタウシュ ハンスユルゲン	113
RO35033	低ジッタ全デジタルPLLおよびアナログPLLの試作	佐々木 博文, 藤本 邦昭	114
RO35033	フルカラーLEDディスプレイ駆動回路の設計	谷脇 史高, 矢野 政顕, 橋 昌良	115

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
HIT18031	電源ノイズグラウンド雑音測定回路及び遅延回路	奥本 健, 野口 宏一郎, 永田 真	127
HIT18031	ダイナミックSCL多値集積回路と電流モード制御信号多重化に基づく非同期データ転送回路の試作	高橋 知宏, 望月 明, 羽生 貴弘	128
HIT18032	光再構成型ゲートアレイ	渡邊 実	133

HIT18032	電流モード制御信号多重化に基づく非同期Duplex通信インタフェース回路の試作	高橋 知宏, 羽生 貴弘	134
MOT031	非同期ニューラルネットワーク用シナプス回路の試作	太田 寛, 齊藤 健, 佐伯 勝敏, 関根 好文	55
RO35024	スパイクングニューロン回路の試作	佐々木 寛弥, 岩田 穆, 森江 隆	68
RO35024	振幅変調を利用した Parallel-CDMA インタフェースの設計	清水 新策, 松岡 俊匡, 谷口 研二	69
RO35024	可変ゲインアンプを用いたDS-CDMA有線バスの設計	井田 司, 清水 新策, 嶋村 延幸, 松岡 俊匡, 谷口 研二	69
RO35024	化合物半導体共鳴トンネル素子のSi-LSIへの集積化テスト	前澤 宏一, 水谷 孝	77
RO35031	差分光再構成型ゲートアレイ	渡邊 実	87
RO35033	多層構造Convolutional Neural Network演算回路チップ	是角 圭祐, 中野 鉄平, 森江 隆	112
RO35033	光再構成型ゲートアレイ	渡邊 実	115

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
HIT18031	フラッシュコンボリューション型画像フィルタ演算プロセッサ	伊藤 潔人	123
HIT18031	カーネル係数可変型画像フィルタリングプロセッサ	伊藤 潔人	123
HIT18031	短命令長SIMDプロセッサ	早川 仁	124
HIT18032	クロスバーバスを持つ16ビットCPU	小野 泰三, 沈 正七, 栗野 浩之, 小柳 光正	129
HIT18032	インターネットルータのマルチメディアQoS制御チップ	島原 広季, 正城 敏博, 戸出 英樹, 村上 孝三	135
HIT18032	資源共有型VLIWプロセッサ	荒本 雅夫, 樋口 昭彦, 湯山 洋一, 小野寺 秀俊, 小林 和淑	136
MOT022	マイクロプロセッサとニューロンMOSFET乗算器の試作	久津輪 敏郎, 荒木 英夫, 星野 聖彰, 乾 道孝	45
MOT031	NAND論理ゲート速度性能評価回路とマイクロプロセッサの設計	波多野 裕, 渋谷 耕児, 縣 伸史, 北村 義徳, 永野 肇, 村松 透, 望月 秀幸	51
RO35031	フレキシブル・プロセッサ (FP-2+)	大川 猛, 藤林 正典, 山下 雅房, 宮本 直人, カルナン レオ, 喜多 総一郎, 小谷 光司, 大見 忠弘	84
RO35032	システムLSIの試作	久津輪 敏郎, 荒木 英夫, 星野 聖彰, 尾川 広和	90
RO35032	3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計(2)レジスタアレイレイヤ	河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正	94
RO35032	マルチメディアモバイルプロセッサ	深瀬 政秋, 三國 勝志, 中村 吉樹, 佐藤 陽一, 赤岡 亮	96
RO35032	H8互換16ビットCISC CPU	中井 伸郎, 岡崎 篤也, 中西 正樹, 山下 茂, 渡邊 勝正	105
RO35032	16ビットパイプラインプロセッサの設計実習	池永 剛	105
RO35032	MIPS互換プロセッサの試作	樋口 昭彦, 荒本 雅夫, 湯山 洋一, 小野寺 秀俊, 小林 和淑	106

メモリ

ラン名	タイトル	研究者	掲載頁
HIT18031	SRAMの設計と電力モデルの検証	坂井 修一, 初田 直也, ルオン ディン フォン, バルリ ニコ デムス, 葛 毅, 岩間 智女	126
HIT18031	同期式階層構造型4ポートメモリ	上口 光, 朱 兆旻, 小出 哲士, マタウシュ ハンスユルゲン	128
HIT18032	命令/データ統合型4ポートキャッシュメモリ	上口 光, 朱 兆旻, マタウシュ ハンスユルゲン, 小出 哲士	132
HIT18032	低消費電力キャッシュ用SRAMセル	田中 秀和, 井上 弘士	134
RO35024	CAMチップ	是角 圭祐, 岩田 穆, 森江 隆	67
RO35024	低消費電力・全並列最小マンハッタン距離検索連想メモリ	矢野 祐二, 小出 哲士, マタウシュ ハンスユルゲン	75
RO35031	高速サンプリングを目指したアナログメモリの開発	木下 拓也, 棚沢 謙和	86
RO35032	高速サンプリングを目指したアナログメモリの開発	木下 拓也, 棚沢 謙和	99
RO35032	バンク型デジタル・アナログ融合全並列最小マンハッタン距離検索連想メモリ	矢野 祐二, 小出 哲士, マタウシュ ハンスユルゲン	101
RO35033	Inverse Function Delayedモデルで構築した学習機能を有するニューラルネットワーク	福原 淳, 伝田 達明, 早川 吉弘, 中島 康治	110
RO35033	大規模参照パターン全並列最小マンハッタン距離検索連想メモリ	矢野 祐二, 小出 哲士, マタウシュ ハンスユルゲン	113

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
HIT18023	タイムドメインDPマッチングプロセッサ、MIMD連想プロセッサの演算器コア	小川 誠, 早川 仁	118

HIT18032	高速Fourier変換を用いた多倍長乗算器	矢崎 俊志, 阿部 公輝	131
HIT18032	可変ダウンサンブラの設計	畠中 理英, 正城 敏博, 岡田 実	131
MOT022	冗長バスを有するマルチコンテキストFPGA	難波 一輝, 伊藤 秀男	48
MOT031	ニューロンMOSを利用した可変論理回路・コンパレータの試作	石川 洋平, 山口 竜司, 深井 澄夫	60
RO35024	SoC設計教育用教材チップの設計試作	真島 優輔, 山口 大介, 牧山 幸史, 張 中, 森 達矢, 安浦 寛人	65
RO35024	LSI設計コンテスト (1)	田中 寛, 三浦 有人, 北川 章夫	70
RO35024	LSI設計コンテスト (2)	泉 貴富, 伊藤 久浩, 北川 章夫	70
RO35024	LSI設計コンテスト (3)	矢野 勇生, 松田 浩義, 北川 章夫	71
RO35024	LSI設計コンテスト (4)	野崎 宏哉, 中野 伸吾, 北川 章夫	71
RO35032	Counter Tree Diagramに基づく冗長2進加算器の設計および試作	若松 泰平, 本間 尚文, 青木 孝文, 樋口 龍雄	90
RO35032	シリコン網膜に使用する抵抗回路網のTEG	亀田 成司, 岩田 穆	91
RO35032	3種類の乗算器および特性評価用リングオシレータ	草ヶ谷 利雄, 石川 純平, 矢野 政顕, 橋 昌良, 河津 哲	103
RO35033	ケミカルセンサ用演算LSIの味覚識別モジュール回路の設計	藤田 雅彦, 秋谷 昌宏	107
RO35033	ケミカルセンサ用演算LSIの試作	武藤 玄, 秋谷 昌宏	107
RO35033	ケミカルセンサ用識別回路LSIの試作	紫村 優介, 山田 健太, 秋谷 昌宏	107
RO35033	電流型パルス幅復調回路の試作	亀田 成司, 岩田 穆	109
RO35033	ゼロ交差検出回路	井上 恵介, 下ノ村 和弘, 八木 哲也	116

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
HIT18023	ミリ波帯PLLに向けた複数係数周波数分周回路の作成	山本 憲, 乗松 崇泰, 藤島 実, 木野 順	118
HIT18023	超多重RFID向けトランスポンダ実験チップ	福水 洋平, 大野 修治, 瀧 和男, 野口 宏一郎, 奥本 健, 永田 真	120
HIT18031	ミリ波帯で動作する周波数分周器と電圧制御発振回路の作製	山本 憲, 藤島 実	122
HIT18031	オンチップ高速信号伝送用SerDesならびに遅延ばらつき測定用リングオシレータアレイTEG	新名 亮規, 山岡 健人, 橋本 昌宜, 小野寺 秀俊	124
HIT18031	Gb伝送用高速デジタルI/Oの設計	三上 真司, 松野 哲郎, 深山 正幸, 吉本 雅彦	127
HIT18032	DSRC用PLLの試作	山本 憲, 金子 秀彦, 藤島 実	129
HIT18032	RING OSCILLATOR方式のVCO、DIVIDER、FLASH ADコンバータ	横山 晋, 野沢 舞, 中山 久留美, 佐々木 昌弘, 松本 隆	130
MT25031	高速シリアルCDMA通信チップ (受信回路)	汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆	139
MT25031	ASK/CDMA方式を用いた近距離無線RF受信回路	古屋 英行, 松岡 俊匡, 谷口 研二	139
MT25032	高速シリアルCDMA通信チップ (送信回路) & 広帯域LNA	汐崎 充, 佐々木 守, 岩田 穆	140
MT25032	近距離無線通信用送受信回路とGPS用低雑音増幅器	洞木 洞木, 春岡 正起, 古屋 英行, 車 承佑, 松岡 俊匡, 谷口 研二	140
MT25032	無線通信用低雑音増幅器、パワーアンプ及びPLLの設計	金谷 晴一, 浦川 剛, 大庭 亮介, 中村 徹哉, 川上 晃治, 岡本 賢治, 森田 亮, 安浦 寛人	140
MT25033	高速シリアルCDMA通信チップ (受信回路/修正版)	汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆	141
MT25034	セルフテスト機能を備えた高速シリアルリンク・トランシーバ(2)	佐々木 守	142
RO35024	ロボット用途向けCDMAシリアル通信チップ	汐崎 充, 向井 徹, 岩田 穆	67
RO35032	フィードフォワード位相補償を用いた光通信用TIAの試作	山田 浩輔, 川田 真也, 杉本 泰博	98
RO35032	耐ばらつき4値I/O回路	白木 良典, 中村 和之	104
RO35033	インダクタンス結合チップ間無線通信チャンネルアレイにおけるクロストーク測定用送信チップ	三浦 典之, 黒田 忠広	114
RO35033	インダクタンス結合チップ間無線通信チャンネルアレイにおけるクロストーク測定用受信チップ	三浦 典之, 黒田 忠広	115

日立製作所 CMOS 0.18 μ m 2.9mm角

ラン名	タイトル	研究者	掲載頁
HIT18031	接続情報と演算情報をルックアップテーブルに統合したフィールドプログラマブルVLSI	張山 昌論, 大澤 尚学, 坂本 修, 亀山 充隆	125

2.2. 試作結果

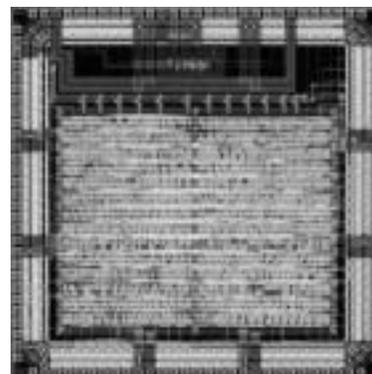
平成15年度 第2回 オンセミコンダクタCMOS1.2 μ m チップ試作 (MOT022)

マイクロプロセッサとニューロン MOSFET 乗算器の試作

大阪工業大学工学部 久津輪 敏郎, 荒木 英夫, 星野 聖彰, 乾 道孝

概要：研究室で設計されたマイクロプロセッサシステム (NR8D) とニューロン MOSFET を用いた乗算器の試作を行った。マイクロプロセッサはノイマン型 RISC タイプの 8bit のアーキテクチャで、可変長命令を持ちパイプライン動作するように設計している。NR8D はこのマイクロプロセッサに割り込みコントローラやシリアル通信コントローラ等の周辺回路を結合したシステムであり、従来 FPGA で試作を重ねたものを VDEC 試作サービスの LSI 用に改良したものである。レイアウト図における上部の回路は多値論理を扱うことの出来るニューロン MOSFET を用いた 2bit 乗算回路である。本研究室ではニューロン MOSFET を用いた回路の構成法や設計手法等の研究を行っている。今回の試作により、今後ニューロン MOS 回路の試作において面積や遅延時間等の評価が可能となった。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm 角 チップ種別：マイクロプロセッサ



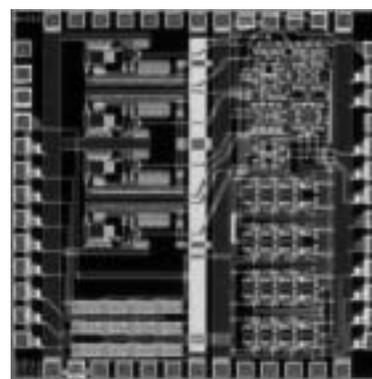
SCIC を利用したイミタンス形スイッチトキャパシタ FPAA

熊本大学工学部 井上 高宏

熊本大学大学院 自然科学研究科 日野 臣教

概要：試作したチップは、SCIC を利用して構成したスイッチトキャパシタ形 FPAA である。今回は、スイッチトキャパシタ形 FPAA を用いた回路構成の一例として 3 次ローパスフィルタを試作設計し、その構成素子に 4bitPCA を用いることで、カット周波数をプログラム可能にし、より柔軟なスイッチトキャパシタ形 FPAA を目指した。また、4bitPCA の容量値を決定するために、インバータ、キャパシタ、MOS スイッチにより構成された 4bit シフトレジスタを用いている。4bit シフトレジスタの値により、4bitPCA 全体の容量値を 16 段階で変化可能である。現在までにシミュレーション上で、6 次バンドパスフィルタの振幅応答特性を確認している。その結果、クロック周波数 24kHz、通過帯域 0.8kHz-1.25kHz のバンドパス特性を示した。また、今回試作したチップは動作確認用に各要素回路の TEG も試作した。テストによる測定はまだ行っていない。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



ダイオードチャージポンプ型 AC-DC 変換回路および種々の浮遊抵抗回路の設計

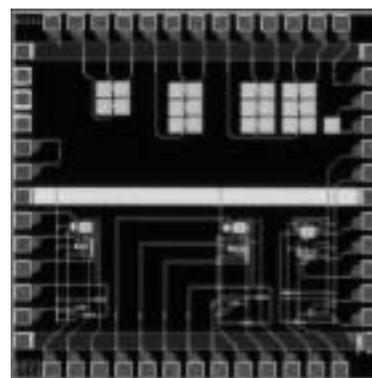
熊本大学工学部 井上 高宏

熊本大学工学部 萩原 祐一

熊本大学大学院自然科学研究科 飯尾 義徳, 高宗 義成

概要：本チップにおいて、2 段、3 段のダイオードチャージポンプ型 AC-DC 変換回路をそれぞれ 1 つずつ、ダイオードチャージポンプ型 AC-DC 変換回路に比べ直流出力のリプル成分を低減することができる低リプルダイオードチャージポンプ型 AC-DC 変換回路を 1 つ試作した。また、動作確認用に各要素回路 (ダイオードを 2 つ、キャパシタを 1 つ) の TEG も試作した。多入力ゲート素子である浮遊ゲート MOSFET (FG-MOSFET) を用いて、浮遊抵抗回路を 3 つ構成した。回路の動作原理は等価デプレッション型 MOSFET に基づくものと、線形領域で動作するものがある。本回路は電源電圧 3.3V で動作する。テストによる測定はまだ行っていない。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



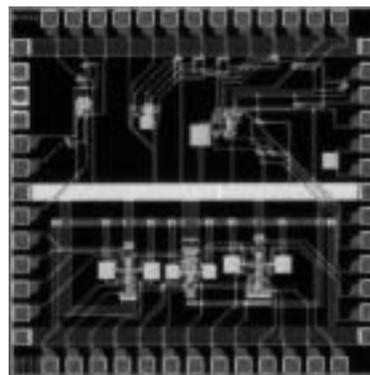
FG-MOSFETのみかけのしきい電圧のオートチューニング回路

熊本大学工学部 井上 高宏

熊本大学大学院自然科学研究科 市原 栄蔵

概要：浮遊ゲート MOSFET (FG-MOSFET) は「みかけのしきい電圧 V_{th} 」を電子的に制御できる素子であるが、製造過程においてその浮遊ゲートに予測不可能な量の電荷が入り込んでしまい、その影響を受けて V_{th} が期待した値からずれるという問題をもつ。そこで今回のチップには、その電荷の影響を受けずに制御電圧と制御電流によって V_{th} を所望の値に電子設定できる回路を「連続時間形 V_{th} 電子設定法」および「リフレッシュ形 V_{th} 電子設定法」の2種類載せた。前者は、使用する2つの FG-MOSFET 間に浮遊ゲート上の初期電荷まで含めた整合条件が必要となるものの、連続時間動作が可能であるという利点をもつ。また、後者は、前者に必要な浮遊ゲート上の初期電荷の整合条件を必要とせずに、 V_{th} を所望の値に電子設定できる点に利点をもつ。これらは、個別のテスト回路を同一チップ上に相乗りさせたもので、各機能回路において FG-MOSFET が所望の動作や特性を実現しているかを確認することを主目的とする。テストによる測定はまだ行っていない。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10 以上, 100 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



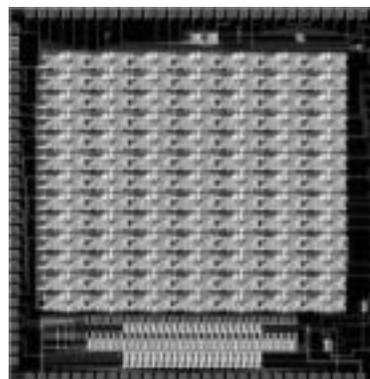
昆虫の視覚系に学んだ背景速度が生じる画像中でのターゲットの動き検出チップの試作

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要：背景を含む画像がチップ上に投影されても、ターゲットの動きのみを検出できるように、昆虫の視覚系に学んでターゲットの動き情報のみを出力する二次元ネットワークを考察してきた [1]。昆虫の視覚系では、それぞれの動き検出神経細胞から、速度ベクトルに対応した信号を生成する。これらの信号は、平均化される。この平均化された信号によって、背景速度によって生成された信号を抑制して、ターゲットの動き信号のみを顕著に現している。今回の試作では、上述したネットワークを検証するため、単位回路を二次元に配列したネットワークを設計した。また、チップにはネットワークを構成するアナログ基本回路の TEG も含めた。試作チップの測定では、各基本回路の動作を検証するとともに、二次元ネットワークの特性を評価する。

参考文献： [1] K. Nishio, H. Yonezu, A. B. Kariyawasam, Y. Yoshikawa, S. Sawa and Y. Furukawa, "Analog Integrated Circuit for Motion Detection against Moving Background Based on Insect Visual Systems", Optical Review, vol. 11, pp. 24-33, 2004.

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別：**イメージセンサ/スマートセンサ



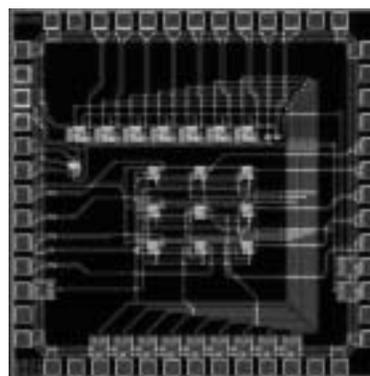
昆虫の視覚系に学んだ一次元動き検出チップの試作

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要：昆虫の脳は、非常にシンプルな構造にも関わらず、実時間で動き検出を可能にしている。昆虫の視覚系に学ぶことにより、比較的シンプルな構成で、実時間で動き検出を行なう集積回路ネットワークを構築することができる。これまでに、昆虫の視覚系に学んで、20 個以下の MOS トランジスタで構成した動き検出回路を提案してきた [1]。また、この回路を応用して、背景を含む画像がチップ上に投影されても、ターゲットの動き情報のみを出力する二次元ネットワークも提案してきた [1]。今回の試作では、動き検出回路を一次元に配列したネットワークを設計した。また、チップには基本回路の TEG も含めた。試作チップの測定では、基本回路の動作を検証するとともに、一次元動き検出ネットワークの特性を評価する。

参考文献： [1] K. Nishio, H. Yonezu, A. B. Kariyawasam, Y. Yoshikawa, S. Sawa and Y. Furukawa, "Analog Integrated Circuit for Motion Detection against Moving Background Based on Insect Visual Systems", Optical Review, vol. 11, pp. 24-33, 2004.

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別：**イメージセンサ/スマートセンサ



64×64画素三相時間相関イメージセンサ (第3報)

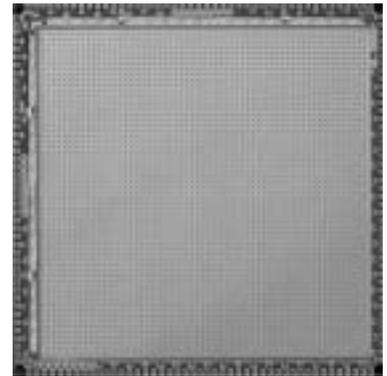
東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

概要：我々の研究室で提案し、開発を続けている時間相関イメージセンサは、入射光強度と各画素共通の外部参照信号との時間相関を出力する撮像素子であり、画像の時間軸情報を活用した新しい画像計測への応用を可能とするものである。本試作は主に、このデバイスの周波数特性の向上を目的として行なった。具体的には、MOT01-2 ランにおけるNMOS乗算・PMOS積分型64×64画素三相相関チップ [1] を元に、乗算用NMOSのドレインにさらにNMOSをカスコード接続するとともに、開口をフォトダイオードのフリッジ部まで拡大した。これまでに検証実験を行ない、実際に周波数特性の向上を確認している。

参考文献：[1] 安藤, 来海: 64×64画素三相時間相関イメージセンサ (第2報)

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：オンセミ CMOS 1.2μm 7.3mm角 チップ種別：イメージセンサ/スマートセンサ



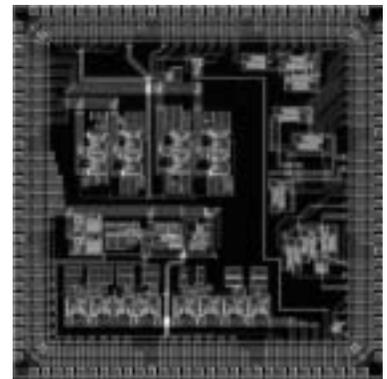
MOS構成に適したアナログ形PLLの試作

秋田大学工学資源学部 川元 雅紀, 佐藤 紀章, 井上 浩

概要：近年、デジタル通信の発展とLSIの高性能化の要求に伴い、デジタル形のPLL回路を利用した機能集積回路が増えてきた。我々は、アナログ形PLLの利点を生かしながらも大幅な回路の簡単化が可能となる新しい回路構成を考案してきた。本試作研究では、CMOSプッシュプル回路を応用し、分周器やチャージポンプ等を用いないアナログ形PLLを提案し、その動作を検証することを目的にIC設計・試作した [1]。試作したICは、アナログ形PLLの全体回路を構成する個別回路ブロック及びそのテスト回路と、個別ブロックに含まれる基本回路、ならびに回路内に用いられる諸抵抗及び諸容量の特性評価回路で構成している。本回路は1チップ化がし易く、更に回路規模縮小が可能と考えられる。

参考文献：[1] 川元, 伊藤, 井上, "アナログPLL LSIに用いるCMOSプッシュプル回路の最適化," 2003年電子情報通信学会総合全国大会, エレクトロニクス, C-12-39.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2μm 4.8mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

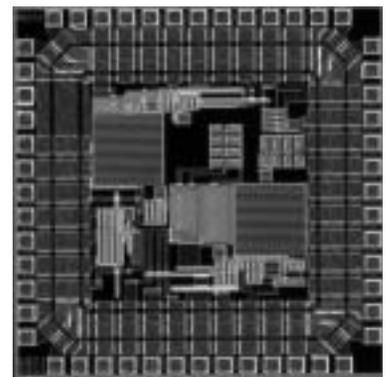


リング発振器を用いたPLL用の発振器の試作

秋田大学工学資源学部 宮前 亨, 井上 浩

概要：近年の通信機器において、半導体集積回路技術の進歩により小型化・高性能化されてきている。携帯電話、PHSのような小型通信端末には、LC発振回路が多く用いられており、共振器全体のQ値を高く確保するためにディスクリート素子を利用して構成されている。通信機器のさらなる小型化を行うためには、発振器をIC内に組み込むことが望まれる。IC内に実現される発振器としては、回路の単純性と適合性からリング発振器がよく利用されている。本試作研究では、基本的なリング発振器を応用して、PLL用の電圧制御発振器 (VCO) を提案し、その動作を検証することを目的にIC設計・試作した。VCOは、インバータの出力抵抗を変化する回路構成を新規に提案することにより、制御電圧に対して線形で広範囲に発振周波数が可変することを確認した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



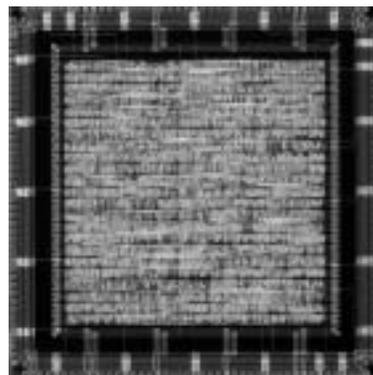
SystemCを用いた3次元スイッチボックスハードウェアルータの試作

広島工業大学工学部 大村 道郎, 市塚 裕之

概要：近年、ハードウェア記述言語としてSystemCを用いたVLSI設計が注目を集めている。著者らは3次元VLSIのスイッチボックス配線に関して、従来の2次元の迷路法を3次元に拡張したチップをSystemCを用いて設計した。ここで3次元スイッチボックスは、その内部に配線のための立方格子を持ち、6つの側面にネットの端子が与えられる。各セルを通過するときの配線コストがxおよびy方向と、z方向で異なるものとする。各立方格子に対し、回路セルを1つ割り当てるが、回路セルは各端子から伝播してくる信号に対し、コストを考慮したタイミングに合わせて他の方向に信号を伝播させる。

参考文献：[1] 市塚, 河野, 菅原, 大村, "SystemCを用いた3次元スイッチボックスルータ", p.625, 平成15年度電気・情報関連学会中国支部連合大会 (2003)。

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：オンセミ CMOS 1.2 μ m 7.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



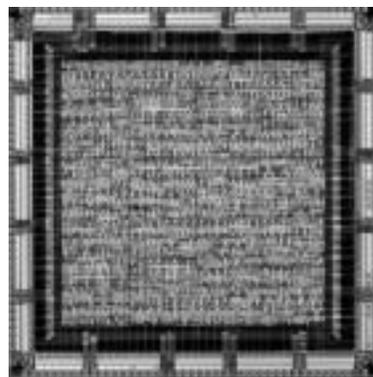
冗長パスを有するマルチコンテキストFPGA

千葉大学工学部 難波 一輝, 伊藤 秀男

概要：本研究室では、FPGAのテスト手法について開発研究を続けている。現在は、昨年から引き続き、複数の回路情報をデバイス内部に同時に保持することができるマルチコンテキストFPGAに注目し、そのテストについて研究を行っている。また、FPGAの高歩留まり化を目的とし、冗長パスを用いた欠陥救済設計についても検討をしている。本試作では、下記文献で提案したテストに対し、検証、評価を行うため、マルチコンテキストFPGAを試作した。また、本FPGAには遅延時間等の測定を目的とし、現在考案中の冗長パスを付加している。レポート執筆時には、基本的な動作確認は終了している。今後、遅延等のデータを測定する予定である。

参考文献：伊藤, "テスト容易化マルチコンテキストFPGA"

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 7.3mm角 チップ種別：演算回路 (乗算器, 除算器など)



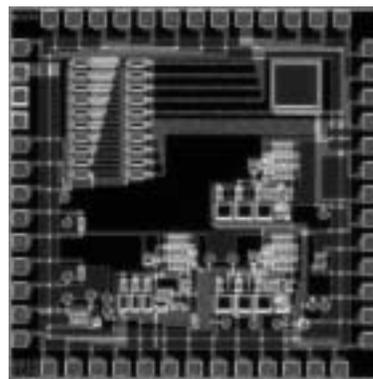
高精度CMOS基準電圧発生回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之

岡山県立大学情報工学部 大曾根 隆志

概要：近年、電子機器の小型化が進みデジタル回路とアナログ回路を混載したLSIの必要性が高まっており、とくにアナログ回路では高精度の基準電圧が必要である。本試作チップでは基準電圧発生回路をCMOSデバイスで実現した。所定の電源電圧・温度範囲で出力電圧の変動が0.10%以下であることを目標としている。回路構成はバンドギャップリファレンスの原理を応用しており、同時に低消費電力化も実現している。定電流源のゲートの接続方法およびトランジスタのサイズを変更することで、本回路の動作電源電圧の下限を改善することができた。また基準電圧発生部のトランジスタのW/L比をさらに細かく調整可能なMOSFETを配置し、本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG (特性評価回路など)

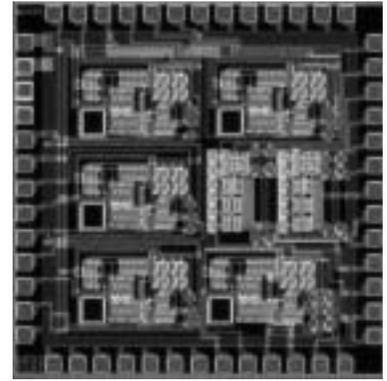


小型半導体加速度センサ用 LSI の設計

富山県立大学大学院工学研究科 麻生 啓太, 松田 敏弘, 岩田 栄之
岡山県立大学情報工学部 大曾根 隆志

概要: 近年, マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし, 小型センサの出力は微小であり, この出力を増幅, 補正する必要がある。本チップでは小型半導体加速度センサの出力信号増幅とオフセット電圧補償のための回路を構成する LSI のマスクパターンレイアウトの設計を行った。複数のオペアンプと抵抗によって増幅器回路を構成するために同様に回路構成のオペアンプ5つと, 加速度センサのオフセット電圧を調整するためのオフセット電圧補償回路を2つ配置している。現在, 小型半導体加速度センサの自動オフセット調整の方法を検討中であるが, 今回設計したオフセット電圧補償回路では, コンパレータなどの手動での調整ではなく, ある電圧を印加することでオフセット電圧をキャンセルする構成となっている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

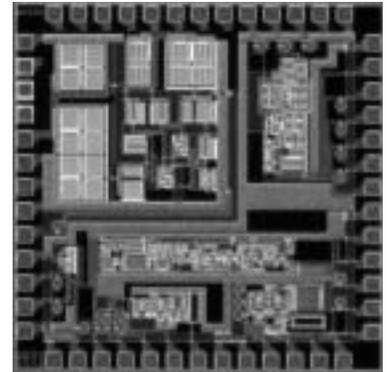


スイッチング電源制御用 LSI の開発

富山県立大学大学院工学研究科 中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之

概要: スwitching電源の小型化, 高効率化などを実現するためには, 安定制御が行え, 汎用性のある制御用 LSI が必要となってくる。今回の試作では制御用 LSI 内のブロックのうち, 発振回路, ラッチ回路, 出力回路, OCP 時の周波数低減回路, 誤差増幅器を設計した。発振回路はクロックとして用いるため, 周波数の安定性が必要となる。ラッチ回路は電源のスイッチングの割合を出力するため, 高周波でもクロックに対して安定して動作する必要がある。OCP 時の周波数低減回路は出力電圧が低下してきた場合, 電流値を低下させる役割を行う回路となっている。誤差増幅器のゲインは出力電圧や電流に影響を与えるため, 高く保つ必要がある。また, 高周波のスイッチング周波数に対応するため, 高速応答が必要とされる。誤差増幅器は前回試作したものと特性の変化の評価を行うため, 前回試作したのものも配置してある。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナデジ混載

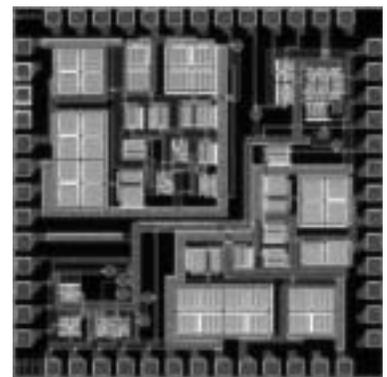


スイッチング電源制御用 LSI 出力回路の設計

富山県立大学大学院工学研究科 中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之

概要: スwitching電源では, スwitchingにより貫通電流が生じてしまう可能性がある。そのため, 制御用 LSI 内の素子破壊や効率低下が起こってしまう。そこで制御信号に遅延を持たせてやることで防ぐ回路を設計した。前回試作ではラッチアップの問題が生じたため, 今回はラッチアップが起こらないよう対策し, 前回と同じ構成の回路を載せた。回路は3種類用意し, 1つは遅延時間制御の無い回路, ほかの2つは外部から遅延時間を制御できる回路となっている。遅延時間制御の無い回路は入力信号をそのまま出力信号として出力する回路となっている。遅延時間制御付き回路は MOS のゲートに印加される電圧を変化させることによって電荷の放電時間を制御し, 遅延時間を制御できる回路方式となっている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナデジ混載

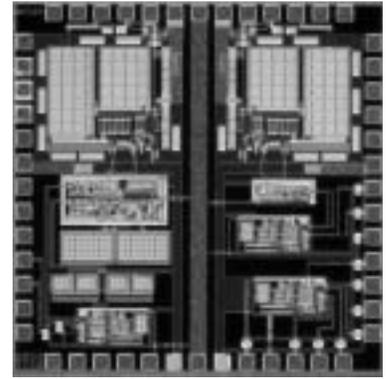


受信システム用要素回路の試作1

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：通信システムの構成に関する知識を高めることを目的として受信システムに必要な低雑音増幅回路とミキサ，電圧制御発振回路，電圧利得可変回路の試作を行った。それぞれの回路について，比較のため2種類の回路を設計した。低雑音増幅回路としては，ソース接地増幅回路ではバイアス回路の雑音が避けられないので，ゲート接地増幅回路を用いた。また，ミキサとしてはGilbert乗算回路を使用し，電圧制御発振回路にはマルチバイブレータを用いた。さらに，電圧利得可変回路は，バイアス電流により電圧-電流変換部および負荷をとともに変化させ，さらにこの回路を2個縦続接続することにより可変利得変化範囲を拡大した。2種類の電圧利得可変回路の一つには，交流-直流変換回路による利得の自動調整機能を付加し，AGCを構成した。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

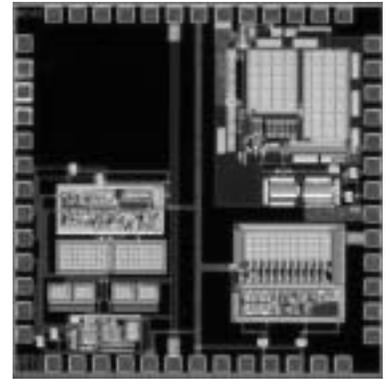


受信システム用要素回路の試作3

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：「受信システム用要素回路の試作1」と「受信システム用要素回路の試作2」の要素回路である低雑音増幅回路，ミキサ，電圧制御発振回路，電圧利得可変回路，PLLを相互接続し，受信システムを集積回路上に作成した。ただし，全回路ブロックの集積化は面積の制約から困難であったため，フィルタは「受信システム用要素回路の試作2」で作成したフィルタを外付けとして使用することを前提として受信システムを構成した。FM波の復調はPLLで行っている。今回設計したPLLの周波数-電圧変換特性は1kHzから3kHz程度の周波数の信号を直線的に出力電圧に変換できるが，これ以外の周波数では変換して得られた出力電圧に歪みが生じることがわかった。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



平成15年度 第1回 オンセミコンダクタCMOS1.2 μ m チップ試作 (MOT031)

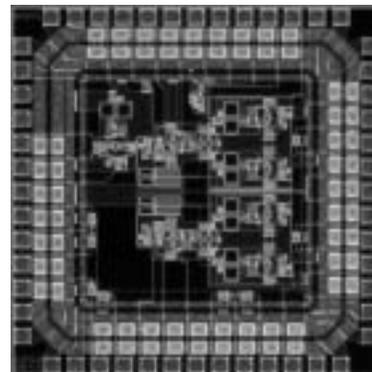
スイッチトキャパシタフィルタ

静岡大学電子工学研究所 高橋 誠, 小川 覚美, 渡邊 健蔵

概要：地震が発生する前兆の現象として地殻変動に伴う電波放射がみられる。本研究ではその電波放射を捕らえるためのフィルタをスイッチトキャパシタフィルタで構成することを目的としている。高精度のスイッチトキャパシタフィルタを構成するためには、高ゲイン、高精度のオペアンプが必要となり、そのためにはフォールデッドカスコード構成にすることや全差動構成にすることが考えられる。そこで今回はフィルタ回路を構成するための素子として、シングルエンドオペアンプ、全差動型オペアンプ、コンパレータ、アナログスイッチを個別に試作し測定を行った。またHSPICEによるシミュレーション結果と比較し、動作確認を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva

トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



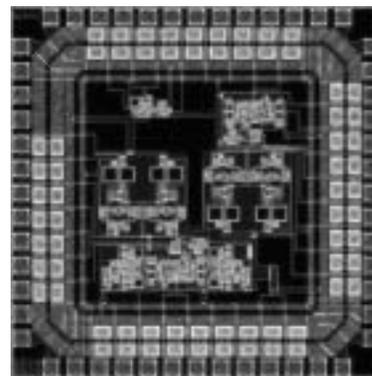
全差動型演算増幅器の試作

静岡大学電子工学研究所 石原 ゆかり, 小川 覚美, 渡邊 健蔵

概要：近年、新しい地震予知の方法として地震の前に地殻活動によって発生する電磁波の伝搬を検知しようとする研究がなされている。この電磁波が極超長帯波 (ELF帯) で高い感度で検出できるという研究成果に基づき、この検知に用いられる受信機が開発されている。この受信機には狭帯域のバンドパスフィルタ、及び、ノッチフィルタが必要とされる。それらのフィルタを実現する1つの方法としてスイッチドキャパシタ技術を用いる方法がある。まず、今回は高精度のスイッチドキャパシタ・フィルタを設計するために、高利得の全差動型演算増幅器の設計及び試作を行った。試作チップには全差動型演算増幅器、及び、ゲイン・エンハンスメント全差動型演算増幅器が含まれている。試作回路を測定し、回路の特性を評価しHspiceシミュレーションの結果と比較した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-

HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



NAND論理ゲート速度性能評価回路とマイクロプロセッサの設計

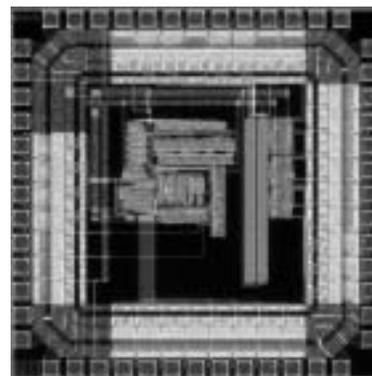
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 渋谷 耕児, 縣 伸史, 北村 義徳, 永野 肇, 村松 透, 望月 秀幸

概要：基本NAND論理ゲートの速度性能を詳細に実測評価するため、フルカスタム設計により、2種類の50段NANDゲート・チェーンを設計した。伝搬遅延時間の立上りと立下りを分離して評価できる回路構成とした。また、ベーシック・セルから設計したゲートアレイ方式により2ビット全加算器とJKフリップフロップを設計した。更に、フルカスタム方式で4ビットマイクロプロセッサを設計した。以前試作して機能動作を確認しているゲートアレイ方式4ビット μ P (ゲート使用率61%)の入出力回路を除く占有面積と比較して、約42%に縮小できた。1月8日入荷の試作チップを直ちに測定して、2種類のNANDチェーンの遅延時間の違いを分離する事に成功した (シミュレーションとの誤差は10%以内)。また、2ビットFA, JK-FFの機能動作を確認した。

参考文献：[1] 増田, 笹ヶ瀬, 田中, 山田, 落合, 波多野, "4ビットマイクロプロセッサとニューロンMOS回路", p. 78, 2001年VDEC年報 (2001)。

設計期間：2人月以上, 3人月未満 設計ツール：Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：マイクロプロセッサ



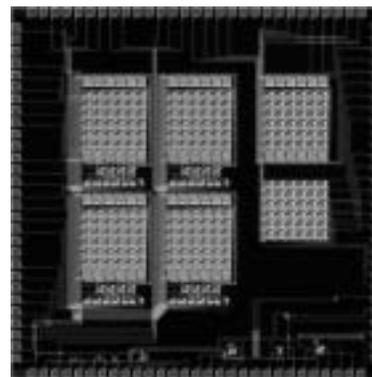
下等動物の視覚系に学んだ二次元動き検出チップの試作

豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要：下等動物，特にカエルの視覚系に学んで，二次元の動き検出を実現するネットワークの提案とその集積回路化を行ってきた [1]．カエルの視覚系では，網膜で生成されたエッジ情報を視蓋および視床に伝達する．視蓋および視床で生成された信号から移動する物体の二次元移動方向および速度を検出している．その情報処理は，非常にシンプルであり，考察したネットワークは20個以下のMOSトランジスタから成るシンプルなアナログ基本回路で構成された．今回の試作では，上述したネットワークを検証するため，単位回路を二次元に配列したネットワークを設計した．また，チップにはネットワークを構成する基本回路のTEGも含めた．試作チップの測定では，各基本回路の動作を検証するとともに，二次元ネットワークの特性を評価する．

参考文献： [1] K. Nishio, H. Yonezu and Y. Furukawa, "Analog Two-Dimensional Network for Motion Detection Based on Lower Animal Vision", Brain Inspired Cognitive Systems (BICS 2004), submitted

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上，100,000未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm角 チップ種別：イメージセンサ/スマートセンサ



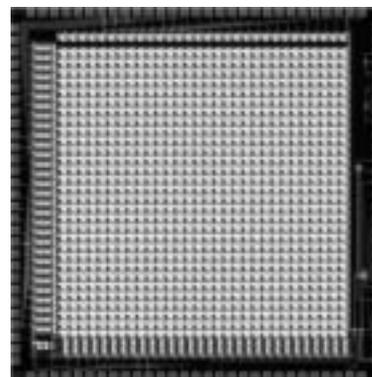
広ダイナミックレンジを有するエッジ検出網膜チップの試作

豊橋技術科学大学工学部 澤 伸也, 米津 宏雄

概要：我々は，網膜の視覚情報処理機能に学び，物体の輪郭情報を実時間で生成するエッジ検出網膜チップの提案とその集積回路化を試みてきた [1]．この網膜チップは，対数変換型光センサ部を導入することで広範囲の光強度に対応することができる．しかし，入力光強度に合わせて外部バイアスの調整が必要であるため，一定のバイアス条件下ではそのダイナミックレンジが制限される．そこで，網膜チップのさらなる広ダイナミックレンジ化に向けて，網膜チップに導入されている抵抗回路網の改良を行なった．本試作では，新たに提案した網膜チップの単位回路を30 \times 30画素配列した二次元エッジ検出回路を試作し，その特性を評価することを目的とした．

参考文献： [1] 澤，西尾，安部，古川，米津，"生体の網膜に学んだエッジ検出機構のアナログ集積回路化"

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上，100,000未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm角 チップ種別：イメージセンサ/スマートセンサ



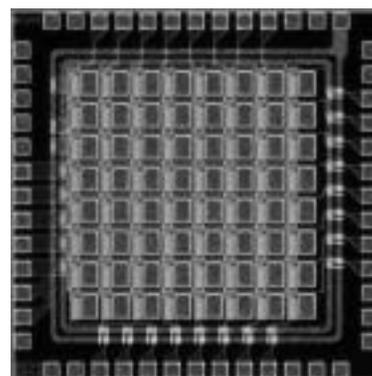
有機EL素子駆動用アクティブマトリクス回路

富山大学理工学研究科 坂井 健治

富山大学工学部 柴田 幹, 中 茂樹, 岡田 裕之, 女川 博義

概要：有機EL素子のアクティブマトリクス駆動の基礎検討として，2トランジスタによる8 \times 8有機EL素子のマトリクス駆動を検討した．動作に関するシミュレーションにより二つのトランジスタのチャンネル長，チャンネル幅を最適化し，レイアウト設計を行った．1ピクセル面積は100 μ m \times 150 μ m（開口率 約40%）とし，有機EL素子構造は，トップエミッション型を形成する．実際の回路では，外部入力からの絶縁破壊を防ぐために，パッドゲート接続間の配線は，逆バイアス接続のダイオードを設けた．また，チップは，すべてベアチップとして入手した．外部駆動回路は，Altera社のユニバーシティプログラムより提供頂いているFPGAを用い，アンプを通して駆動電圧を与える．電圧印加は，Micronics社のマニュアルプローバとプローブカード（52pin）により行う．

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：その他

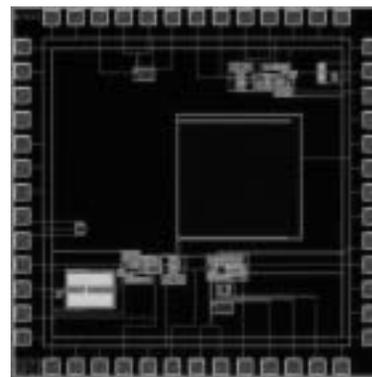


ストレート方式 AM ラジオの受信機の試作

東京理科大学工学部電気工学科 秋山 大, 新井 義明, 近野 暢, 後藤 健志, 清水 大数
東京理科大学工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：本試作チップはCMOSテクノロジーを利用し、AMラジオのワンチップ化を試みるために行った。AM波の受信方式として、もっとも単純な構成となるストレート方式を採用した。この試作チップの電源電圧は片電源の3[V]である。内部の構成はレベルシフト回路、高周波増幅回路、検波回路、LPFとした。入力にアンテナ同調回路を接続し、出力にパワーアンプ及びスピーカーを接続することによりAMラジオ受信機を構成する。検波回路はボルテージフォロアと容量により、LPFは1次のgmC-LPFを用いた。また、増幅回路はOP-ampの正相帰帰を用いた。gmC-LPFの容量と正相増幅回路に用いる容量を動作安定とチップ面積の問題から、外付け部品とした。レイアウトスペースに余裕があったため、低周波増幅器とgmC-LPFの容量を付け加えたものも製作した。これら二つを加えることにより、よりワンチップ化の意義が強くなる反面、動作の安定性は欠如すると予測される。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

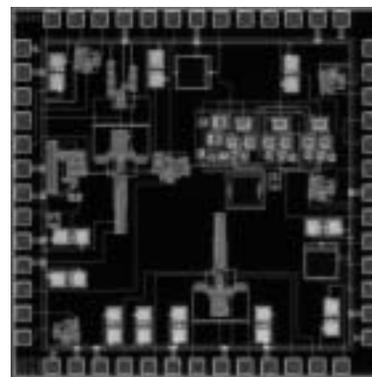


スーパーヘテロダイン受信機の試作

東京理科大学工学部電気工学科 永田 基希, 高橋 悠, 中村 剛一郎, 竹原 史恵
東京理科大学工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：我々の研究室では、学部4年生を対象に、CMOSアナログ回路の設計、及び試作回路の計測を学習することを兼ねて、チップの試作を行っている。今年度は、電源電圧3Vで動作するAMラジオ受信機の試作を行った。本チップでは、受信方式として、スーパーヘテロダイン方式を採用している。この受信方式は、アンテナから受信した信号を、ミキサーで周波数変換をして、バンドパスフィルタでチャンネル選択を行い、検波回路で音声周波数帯域の信号を得るという仕組みである。ミキサーは、ギルバートセルを用いた構成となっている。VGAは、クワドリテールを用いた構成であり、利得を調節できる端子を付加している。バンドパスフィルタは、gm-Cフィルタを用いた構成であり、通過帯域を調節できる端子を付加している。検波回路は、ボルテージフォロワを用いた構成となっている。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

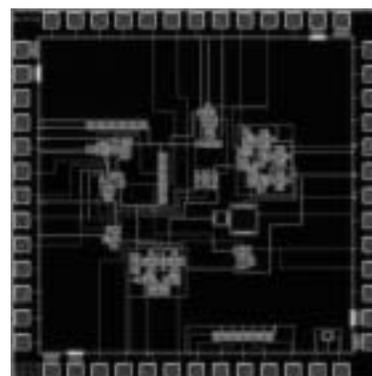


スーパーヘテロダイン方式 CMOS ワンチップ AMラジオの設計

東京理科大学工学部電気工学科 藤田 林太郎, 蛭川 奈津, 米川 智宣, 和智 勇介
東京理科大学工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：アナログVLSI回路のシステム設計に触れ、また研究室における回路シミュレーターに慣れる事を目的として、研究室の4年生を中心に、スーパーヘテロダイン方式を用いたCMOSワンチップAMラジオの設計を行った。基本的なスーパーヘテロダイン・ラジオは、高周波増幅部、周波数混合部、局部発振部、中間増幅部、検波部、低周波増幅部から構成され複雑だが、感度もよく安定したラジオ受信ができる。今回の設計での回路構成は、同調回路からのシングル入力を増幅し、Mixer段への差動出力としたRF-amp, 中心周波数を455kHz付近にダウンコンバージョンするギルバートセルミキサ, OTAを用いたVCO, クワドリテールセルを用いたVGA, OTAを用いた2次のGm-Cバンドパスフィルタ, ボルテージフォロアを利用した包絡線検波回路とした。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



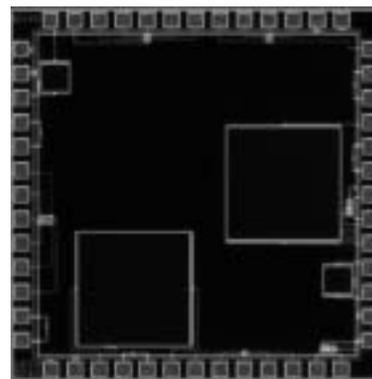
NMOS・PMOS・キャパシタのTEG

東京理科大学工学部電気工学科 永田 基希, 米川 智宣

東京理科大学工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要: 本チップは、アナログ集積回路の設計をする上で必要となるパラメータを抽出することを目的とし、NMOS・PMOS・キャパシタををTEGとして実装した。得られた実測値とシミュレーションから得られた値を比較し、シミュレーションの信頼性を評価する。MOSに関しては、その静特性からトランスコンダクタンス係数・しきい値を得て、またトランジション周波数を求める。複数サイズを実装したキャパシタは、その占有面積とキャパシタンス値の関係を実測し、シミュレーション用パラメータと比較する。学部4年生が自らレイアウトをし、その構造を理解するのに大変有益であった。

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

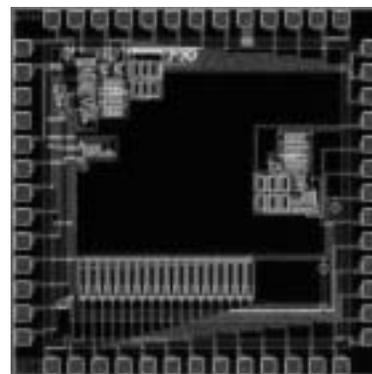


MOS型定電流回路の設計・試作 (1)

岡山県立大学情報工学部 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要: アナログ・デジタル回路の混在したCMOS LSI技術の向上に伴い、アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した定電流回路が重要となる。特に低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積が増大する為に製造コストが上昇してしまう。これらの事から、本設計では高抵抗を用いずに安定な定電流を発生する電流源の設計および検討を行った。今回の設計における当初の仕様は、所定の電源電圧および温度で基準値からの変動が $\pm 1\%$ 以内の定電流を得ることを目標とし、従来の回路で用いていたn-WELL抵抗をn-MOSに置き換えることによって抵抗相当の面積を約10分の1にすることができた。本定電流回路は(1) MOS型温度依存電圧発生回路、(2) オペアンプ回路、(3) MOS型定電流発生回路の3ブロックで構成されており、本チップは(1)で構成されている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)

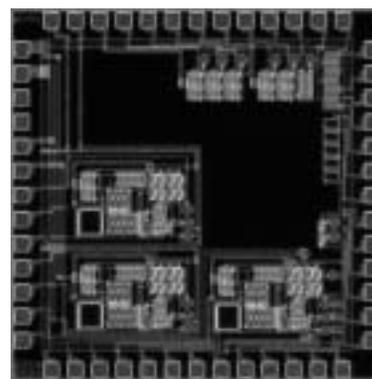


MOS型定電流回路の設計・試作 (2)

岡山県立大学情報工学部 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要: アナログ・デジタル回路の混在したCMOS LSI技術の向上に伴い、アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した定電流回路が重要となる。特に低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積が増大する為に製造コストが上昇してしまう。これらの事から、本設計では高抵抗を用いずに安定な定電流を発生する電流源の設計および検討を行った。今回の設計における当初の仕様は、所定の電源電圧および温度で基準値からの変動が $\pm 1\%$ 以内の定電流を得ることを目標としている。本定電流回路は(1) MOS型温度依存電圧発生回路、(2) オペアンプ回路、(3) MOS型定電流発生回路の3ブロックで構成されており、本チップは(2)と(3)で構成されている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)



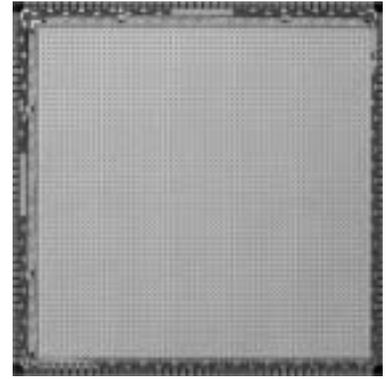
64×64画素三相時間相関イメージセンサ (第4報)

東京大学大学院情報理工学系研究科 安藤 繁
大阪電気通信大学総合情報学部 来海 暁

概要：我々は高度な画像センシング手法の開拓を目的として、入射光強度と各画素共通の外部参照信号との時間相関を画像として出力する時間相関イメージセンサの開発を続けている。本試作では前報 [1] の結果を踏まえ、さらなるダイナミックレンジの拡大を試みた。前報では新たにカスコード NMOS の挿入により積分用 PMOS の面積が縮小され、これがダイナミックレンジの縮小につながったが、本試作では PMOS の面積が最大限確保できるようにレイアウト再設計を行った。これまでに検証実験を行い、ダイナミックレンジの向上を確認している。

参考文献：[1] 安藤, 来海：64×64 画素三相時間相関イメージセンサ (第3報), 2003年度VDEC年報 (2004)。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：オンセミ CMOS 1.2μm 7.3mm角 チップ種別：イメージセンサ/スマートセンサ

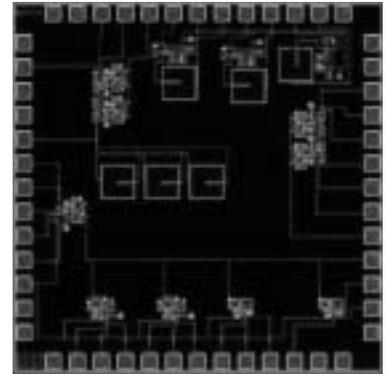


非同期ニューラルネットワーク用シナプス回路の試作

日本大学理工学部電子情報工学科 太田 寛, 齊藤 健, 佐伯 勝敏, 関根 好文

概要：脳内における情報はパルス信号で伝達され、脳内のニューラルネットワークをモデル化する研究がなされており、パルス形のモデルによりニューロンチップを実現するという試みが行われている。我々は、工学的な応用を目指して、パルス形非同期ニューラルネットワークを構成するために、今回、シナプス回路に用いるオペアンプをケーダンスのアナログ回路設計ツールを用いて試作を行った。オペアンプを用い、加算回路、積分回路を構成し、時空間的加算特性を持たせたシナプス回路と、エンハンスメント形 MOSFET とコンデンサを用いパルス形ニューロンモデルを構成し、ネットワークを構成した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, PSpice トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm角 チップ種別：ニューテクノロジー

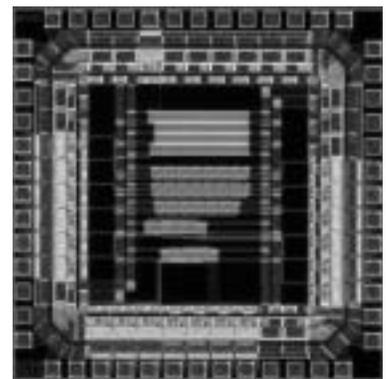


3ビットジョンソンカウンタを用いた電子サイコロ

広島市立大学情報科学部 今口 公司, 畑堀 祐紀, 藤岡 篤志, 三浦 真一, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7個のLEDをサイコロの目に見立て、これを1から6まで繰り返し点滅するものであり、回路は、リングオシレータ (設計者：畑堀祐紀), 分周器 (設計者：藤岡篤志), 3ビットジョンソンカウンタ (設計者：三浦真一), およびLED用デコーダ (設計者：今口公司) から構成されている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm角 チップ種別：その他

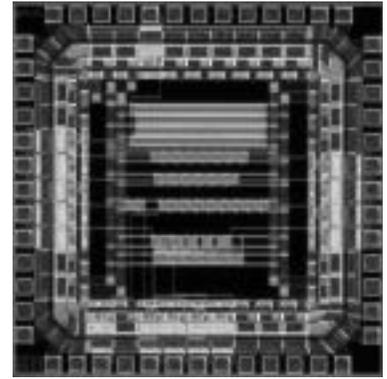


10秒周期で時報音を生成するチップ

広島市立大学情報科学部 島津 尊是, 新居田 潔, 花崎 翔太, 兵部 拓人, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、圧電スピーカで440Hzおよび880Hzで構成される時報のような音を鳴らすものであり、回路は、リングオシレータ（設計者：花崎翔太）、音源用分周器（設計者：島津尊是）、タイミング用分周器（設計者：新居田潔）、および時報音生成器（設計者：兵部拓人）から構成されている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm角 チップ種別：その他

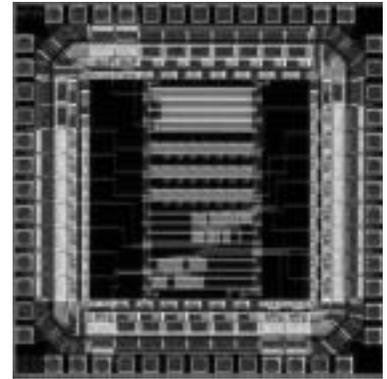


2進数3ビットカウンタのナイトライダー

広島市立大学情報科学部 酒井 智也, 島田 貴史, 庄崎 和哉, 駿河 小太郎, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、「ナイトライダー」のようにLEDを点滅させるものであり、回路は、リングオシレータ（設計者：島田貴史）、分周器（設計者：駿河小太郎）、6進3ビットカウンタ（設計者：酒井智也）、およびLED用デコーダ（設計者：庄崎和哉）から構成されている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm角 チップ種別：その他

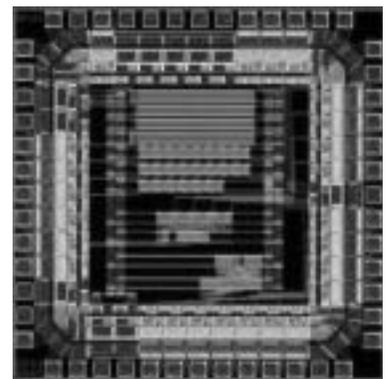


2進4bitカウンタを使用した7セグLED表示付き10進カウンタ

広島市立大学情報科学部 磯部 博隆, 小西 克明, 額賀 大揮, 平田 義輝, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0から9までを順に繰り返し表示するものであり、回路は、リングオシレータ（設計者：小西克明）、分周器（設計者：額賀大揮）、10進バイナリカウンタ（設計者：平田義輝）、およびLED用デコーダ（設計者：磯部博隆）から構成されている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm角 チップ種別：その他

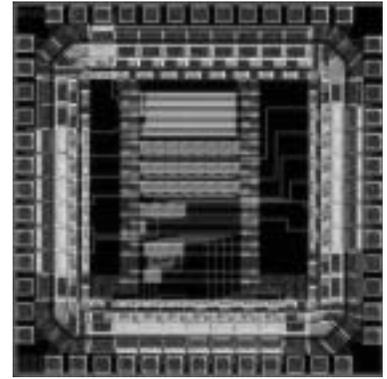


3ビットジョンソンカウンタを用いたナイトライダー

広島市立大学情報科学部 高尾 泰弘, 久保 育則, 白根 賢一, 羽田 隆二, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、「ナイトライダー」のようにLEDを点滅させるものであり、回路は、リングオシレータ（設計者：久保育則）、分周器（設計者：高尾泰弘）、3ビットジョンソンカウンタ（設計者：羽田隆二）、およびLED用デコーダ（設計者：白根賢一）から構成されている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：その他

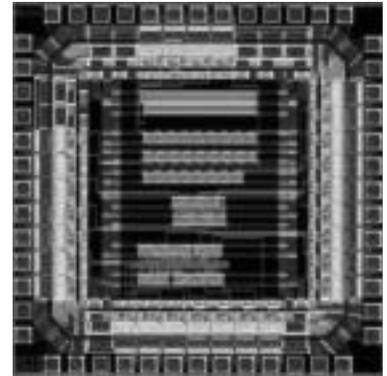


5bitジョンソンカウンタを用いた7セグLED表示付き10進カウンタ

広島市立大学情報科学部 荒川 香織, 古川 梨香, 森 有佳理, 山下 淑子, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0から9までを順に繰り返し表示するものであり、回路は、リングオシレータ（設計者：森有佳理）、分周器（設計者：荒川香織）、5bitジョンソンカウンタ（設計者：山下淑子）、およびLED用デコーダ（設計者：古川梨香）から構成されている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：その他

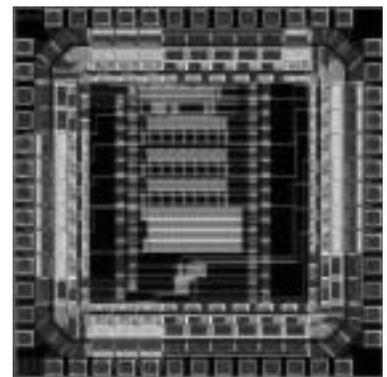


3ビットカウンタを用いた電子サイコロ

広島市立大学情報科学部 岡 大輔, 川野 敦史, 中尾 彰宏, 山本 純一, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7個のLEDをサイコロの目に見立て、これを1から6まで繰り返し点滅するものであり、回路は、リングオシレータ（設計者：山本純一）、分周器（設計者：岡大輔）、6進バイナリカウンタ（設計者：川野敦史）、およびLED用デコーダ（設計者：中尾彰宏）から構成されている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：その他

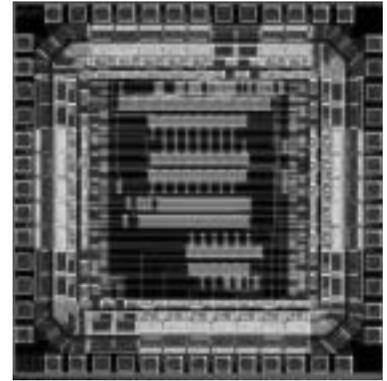


3分間クッキングタイマー

広島市立大学情報科学部 石野 正英, 梅比良 紀章, 山下 晋司, 山本 正樹, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、時間の経過を9個のLEDで表示するとともに3分経過したことを圧電スピーカで知らせるものであり、回路は、リングオシレータと計時用分周器（設計者：山本正樹）、音源用分周器（設計者：石野正英）、計時用カウンタ（設計者：梅比良紀章）、およびLED用デコーダ等（設計者：山下晋司）から構成されている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：その他

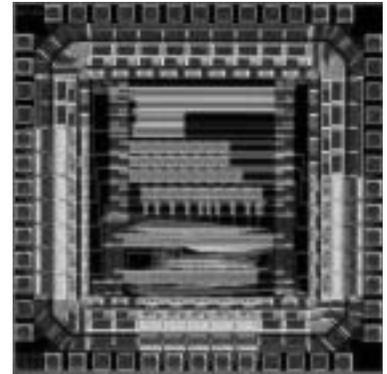


8bit ジョンソンカウンタを用いた7セグLED表示付き16進カウンタ

広島市立大学情報科学部 向 建宇, 重藤 典之, 酒匂 宏樹, 夏木 龍彦, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0からFまでを順に繰り返し表示するものであり、回路は、リングオシレータ（設計者：重藤典之）、分周器（設計者：向建宇）、8bit ジョンソンカウンタ（設計者：夏木龍彦）、およびLED用デコーダ（設計者：酒匂宏樹）から構成されている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：その他

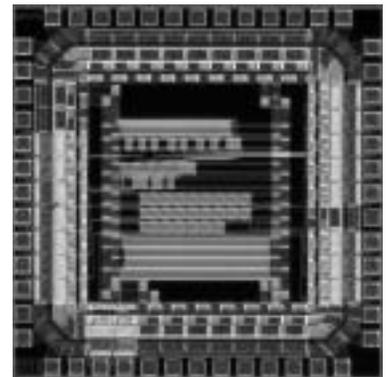


7セグLED表示付き16進4bitカウンタ

広島市立大学情報科学部 有路 忠臣, 新迫 洋一, 中西 勝利, 大本 哲広, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、7セグメント型LEDに0からFまでを順に繰り返し表示するものであり、回路は、リングオシレータ（設計者：中西勝利）、分周器（設計者：大本哲広）、4bit バイナリカウンタ（設計者：有路忠臣）、およびLED用デコーダ（設計者：新迫洋一）から構成されている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：その他

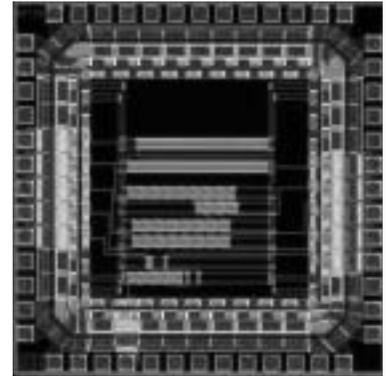


救急車のサイレン

広島市立大学情報科学部 橋本 伸嗣, 田中 秀幸, 丹生谷 勇太, 竹内 健, 越智 裕之,
窪田 昌史, 児島 彰, 寺内 衛

概要：集積回路の仕組みとトランジスタレベルおよびゲートレベルの回路の理解を深めることを目的とし、情報工学科3年生4名が、与えられたリーフセルをレイアウトエディタ上で手動配置配線することによって設計したチップである。本チップは、圧電スピーカで救急車のようなサイレン音を鳴らすものであり、回路は、リングオシレータ（設計者：竹内健）、音源用分周器（設計者：橋本伸嗣）、タイミング用分周器（設計者：田中秀幸）、および可変分周器（設計者：丹生谷勇太）から構成されている。

設計期間：1人以上、2人未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, UCB版 SPICE トランジスタ数：1,000以上、10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：その他

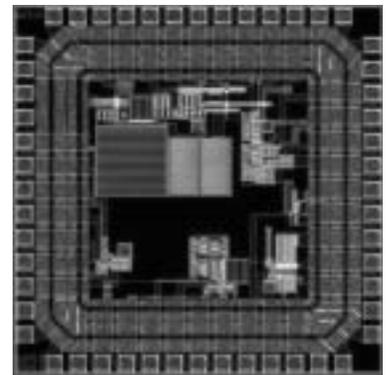


リング発振器を用いたPLL用の発振器の試作

秋田大学工学資源学部 宮前 亨, 井上 浩

概要：近年の通信機器において、半導体集積回路技術の進歩により小型化・高性能化されてきている。携帯電話、PHSのような小型通信端末には、LC発振回路が多く用いられており、共振器全体のQ値を高く確保するためにディスクリート素子を利用して構成されている。通信機器のさらなる小型化および新たな応用の開発を行うためには、発振器をIC内に組み込むことが望まれる。本試作では、IC内に実現される発振器として、回路の単純性と適合性からリング発振器を応用したPLL用の電圧制御発振器（VCO）を提案し、その動作を検証することを目的にIC設計・試作した。VCOは、インバータの出力抵抗を可変する回路構成を新規に提案することにより、制御電圧に対して線形で広範囲に発振周波数が可変すること、前回の試作時の性能を改善できることを確認した。

設計期間：1人以上、2人未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ（PLL、A-D/DC-DCコンバータなど）



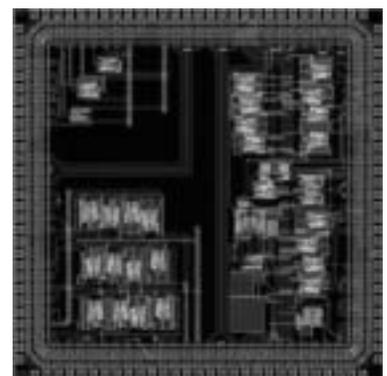
MOS構成に適したアナログ形PLLの試作

秋田大学工学資源学部 川元 雅紀, 佐藤 紀章, 宮前 亨, 伊藤 文人, 井上 浩

概要：我々は、デジタル形PLLに対し、アナログ形PLLの利点を生かしながらも大幅な回路の単純化が可能となる新しい回路構成を考案してきた。本試作研究では、CMOSプッシュプル回路を応用し、ダイレクト変換型アナログ形PLLを提案し、その動作を検証することを目的にIC設計・試作した[1]。本方法では、従来必要とされてきた回路ブロックを用いないPLL回路を構成することができ、回路全体のLSI化が容易になると考えられる。試作したICは、アナログ形PLLの全体回路を構成する個別回路ブロック及びそのテスト回路と、個別ブロックに含まれる基本回路、ならびに回路内に用いられる諸抵抗及び諸容量の特性評価回路で構成している。本回路は1チップ化がし易く、更に回路規模縮小が可能と考えられる。

参考文献：[1] 佐藤, 伊藤, 井上, "プッシュプル位相加算ミキサを使用した通信機能ICの一検討," 電子情報通信学会技術研究報告, EMD2003-97, 2004年1月。

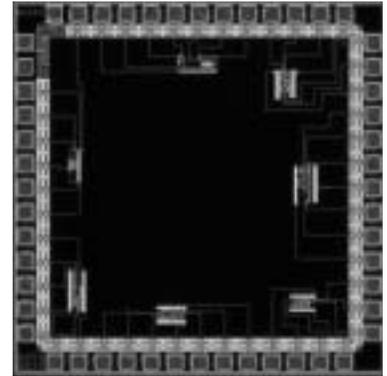
設計期間：1人以上、2人未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm角 チップ種別：アナログ（PLL、A-D/DC-DCコンバータなど）



演算増幅器の試作・検証

佐賀大学大学院工学系研究科 内田 正隆, 塚本 尚平
佐賀大学理工学部 小林 幸司, 田崎 篤, 舩岡 貴志, 村上 真人, 深井 澄夫

概要: 本チップでは、アナログ集積回路の汎用能動素子である演算増幅器の設計を通じて基本アナログ集積回路ブロックの設計技術及び検証技術を早期に習得することを目的としている。今回の回路構成は、主に差動増幅器とソース接地増幅器の2段基本構成の演算増幅器が中心となっている。参加学生（学部4年・修士1年）の各個人が演算増幅器の利得・位相余裕・バイアス等を自ら決めて設計しレイアウトまでを行い合計6つの演算増幅器を試作している。その他に佐賀大学で研究されている簡易構成の差動増幅器の試作も行っている。
設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

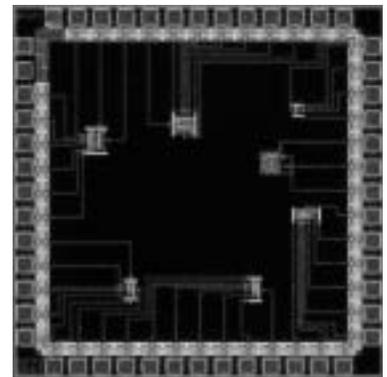


ニューロンMOSを利用した可変論理回路・コンパレータの試作

佐賀大学大学院工学系研究科 石川 洋平, 山口 竜司
佐賀大学理工学部 深井 澄夫

概要: 本研究室では、ニューロンMOSトランジスタを用いたアナログ・デジタル回路設計の研究を行っている。現在まで、ニューロンMOS・ニューロンMOSインバータ等基本素子のTEG (Test Element Group) を試作し検証を行ってきた。今回の試作ではニューロンMOSの最大の特徴である線形荷重と特性および可変閾値特性を活かした応用として2入力・3入力・4入力可変論理回路の試作を行っている。可変論理回路とは外部からの制御信号により同一回路構成で多くの論理関数を実現することができる柔軟性の高い回路である。また、従来提案されているニューロンMOSの設計手法であるFPD (Floating-Gate Potential Diagram) を利用し、さらに容量再分割・機能合成等の新たな手法を追加し、2種類のコンパクトな2入力コンパレータの試作も行っている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

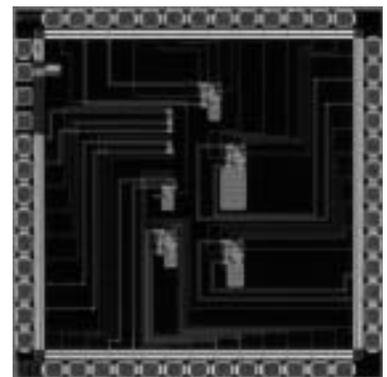


CMOS2段オペアンプの設計

上智大学理工学部 小林 章二, 和保 孝夫

概要: 近年デジタルシステム技術の飛躍的進歩により、アナログからデジタルへの変換の高速、高分解能化が必要不可欠になっている。この高性能A/D変換を実現するために $\Delta\Sigma$ 変調方式を対象として研究を行っている。今回はその $\Delta\Sigma$ 変調器において重要な構成要素であるオペアンプについて設計を行った。このオペアンプでは大きなゲインを得るために増幅段を2段とするとともに、それに伴う安定性の問題を解決するために容量を挿入して補償を行って十分なフェイズマージンを得た。この回路のシミュレーションをHSPICEで行った結果DCゲインが64.7dBとなった。また補償容量を変えることによるフェイズマージンの変化がシミュレーションで確認でき、具体的には1pFの補償容量でフェイズマージンは66.6度となった。補償容量を1, 3, 10pFと変えた回路をそれぞれ設計し、実験的に確認できるようにした。このオペアンプを使った1次連続時間 $\Delta\Sigma$ 変調器のシミュレーションを行った結果、入力周波数10kHz, OSR64でSNR62.4dBとなった。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



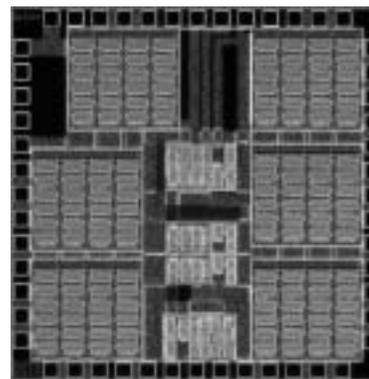
スイッチトキャパシタ電源回路の設計

熊本電波工業高等専門学校電子工学科 江口 啓

概要：電気製品において、電源回路は重要なビルディングブロックの一つである。近年のモバイル機器の発達に伴い、電源回路においても軽量化・薄型化が求められている。そこで今回の試作においては、集積化に適するという特徴をもつ、スイッチトキャパシタ（SC）電源回路の設計を行った。設計したSC電源回路は、DC-DC変換を行う回路であり、ディクソン形電源回路を基に設計されている。SC電源回路においては、パワースイッチのオン抵抗を下げることで電源回路の変換効率を向上させることができる。そこで、我々はパワースイッチにブートストラップ回路を付加することにより、電源回路の変換効率の改善を試みる。今回の試作においては、キャパシタを外付けにするハイブリッド構成の回路を想定し、レイアウト設計を行っている。

設計期間：1人月以上、2人月未満 設計ツール：Avanti社 Star-HSPICE トランジスタ

数：1,000以上、10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



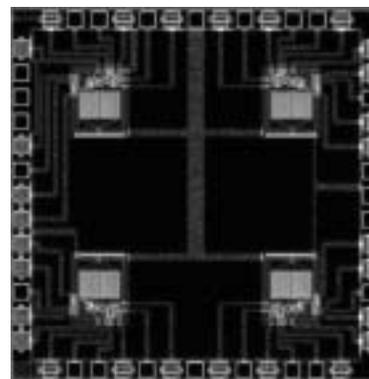
アレイ構造を利用したカオス発生回路

熊本電波工業高等専門学校電子工学科 江口 啓

概要：近年工学の分野においてはカオスを利用した様々な応用システムが提案されている。故障時の修理が困難な遠隔地で利用されるシステムのビルディングブロックとしてカオス発生回路が用いられる場合、故障に対して頑健であることが望ましい。今回の設計においては、故障に対して頑健な構造をもつ離散時間型カオス発生回路を試作している。試作回路は、離散時間型の一次元カオス回路をセルとするセルアレイ構造を利用することにより、回路の長寿命化を実現している。同セル回路はスイッチトカレント（SI）技術を用いて設計されており、セル回路を相互接続をすることにより、高次元のカオスを発生させることができる。試作ICにおいては、2.3 \times 2.3mmチップ上に4個のセル回路がレイアウトされている。

設計期間：1人月以上、2人月未満 設計ツール：Avanti社 Star-HSPICE トランジスタ

数：1,000以上、10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



ログドメイン積分回路の試作ならびに演算増幅回路の設計演習

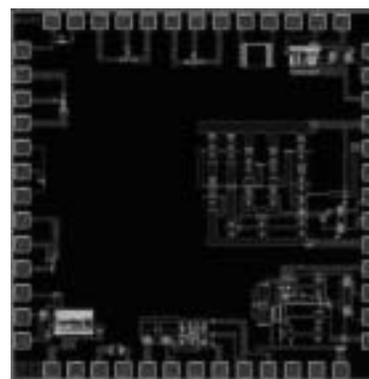
豊橋技術科学大学大学院工学研究科 秋田 一平

豊橋技術科学大学工学部 上田 昇, 鈴木 寛人, 八木 大介, 吉田 武史, 和田 和千

概要：トランジスタの非線形性を考慮した高線形回路の構成手法であるログドメイン回路技術により、積分回路を構成している。MOSトランジスタの弱反転領域を積極的に使用するとともに、入出力信号を電流とすることにより、電源電圧1.5Vにおいても歪を小さくすることができる。設計した積分回路の動作を確認するための試作を行なっている。また、演算増幅回路の設計は、回路設計の経験がない学部4年生を対象に、基本回路の理解や手計算による素子値の理論設計、設計支援ツールの使用法の習得を目的として行なっている。学生は、同様の目的で開催されている演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>) への参加とともに本試作をすることにより、アナログ回路設計の基礎を学んでいる。

参考文献：[1] 秋田, 和田, 田所, "温度に対する周波数特性変動を低減したCMOSログドメイン積分回路," 信学技報ICD 2003-92, pp. 71-75 (2003)

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

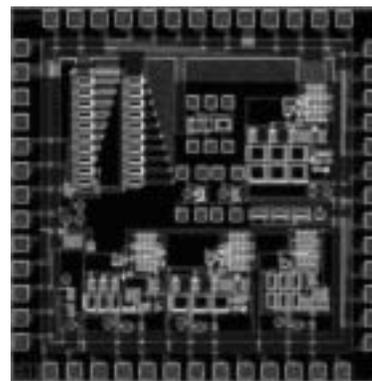


高精度 CMOS 基準電圧発生回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之
岡山県立大学情報工学部 大曾根 隆志

概要: 近年, 電子機器の小型化が進みデジタル回路とアナログ回路を混載した LSI の必要性が高まっており, とくにアナログ回路では高精度の基準電圧が必要である. 本試作チップでは基準電圧発生回路を CMOS デバイスで実現した. 所定の電源電圧・温度範囲で出力電圧の変動が 0.10% 以下であることを目標としている. 回路構成はバンドギャップリファレンスの原理を応用しており, 同時に低消費電力化も実現している. 定電流源のゲートの接続方法およびトランジスタのサイズを変更することで, 本回路の動作電源電圧の下限を改善することができた. また基準電圧発生部のトランジスタの W/L 比をさらに細かく調整可能な MOSFET を配置し, 本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

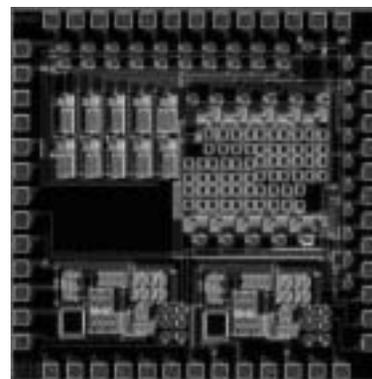


小型センサ用 CMOS D/A コンバータの設計

富山県立大学大学院工学研究科 麻生 啓太, 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要: 小型半導体加速度センサのオフセット電圧を調整する方法として, デジタル値での調整を検討している. そのために, 一度センサの出力をデジタル値に変換し, 補正後, アナログ値に戻す必要がある. そこで今回, その第一歩として基本的な動作原理の D/A コンバータ 2 種類の設計を行った. センサと増幅回路のオフセット電圧を十分に扱うためには 8~10bit の分解能が必要であり, 今回は 10bit を目標とした D/A コンバータを設計した. D/A コンバータは R と 2R のはしご状の構成をした R-2R ラダー型と, コンデンサでの重み付けで構成された Charge Scaling 型の 2 つである. R-2R ラダー型はスイッチに用いた MOS のオン抵抗による比率の乱れを防ぐように設計している. Charge Scaling 型はコンデンサの充放電が行われやすいように構成した. また, それぞれの D/A コンバータ用のバッファとして, オペアンプを 2 つ設置した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

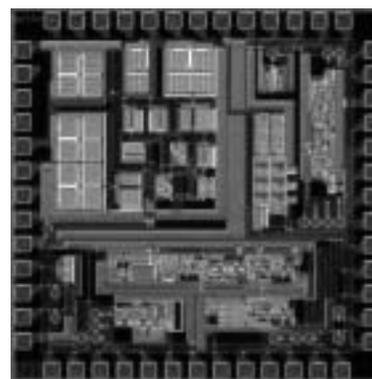


スイッチング電源制御 LSI 用補正回路の設計

富山県立大学大学院工学研究科 中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之

概要: スwitching 電源の小型化, 高効率化のために安定動作が行え, 汎用性のある制御用 LSI が必要とされる. 現在, 制御用 LSI を安定動作させるための補償回路は LSI 外部で作られているのがほとんどである. そこで今回は LSI 内部で補償を行える回路の設計を中心に行った. 今回の試作回路は基本ブロックである誤差増幅器, ラッチ回路, 発振回路, 出力回路, 補償回路であるスロープ補正, Duty 可変回路, 周波数低減回路を設計した. 誤差増幅器は安定動作を行うためにゲインを高く保つこと, 高周波のスイッチング周波数に対応させるため, 高速応答することが必要となる. ラッチ回路は高周波でもクロックに対して安定して動作する必要がある. 発振回路はクロックとして用いるため周波数の安定性が求められる. スロープ補正回路は Duty 50% 以上で生じる発振を防ぐための補償回路である. Duty 可変回路は入力する電圧値によって出力信号の Duty の制御を行う. 周波数低減回路は過電流時, 軽負荷時においてその電圧値をモニターし, クロックを変化させ制御するものとなっている.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナデジ混載

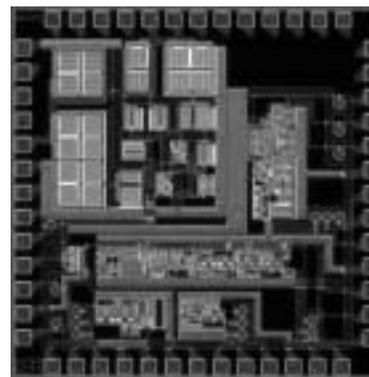


スイッチング電源制御用LSIの設計

富山県立大学大学院工学研究科 中山 剛, 大場 博之, 松田 敏弘, 岩田 栄之

概要：これまでスイッチング電源の基本ブロック、補償ブロックの設計を行ってきた。今回はそれらのブロックを使い、スイッチング電源制御用LSIとして動作させるために配線を行った。使用したブロックは誤差増幅器、ラッチ回路、発振回路、出力回路、比較器、OCP時の周波数低減回路である。ラッチ回路と発振回路、発振回路とOCP時の周波数低減回路、比較器とラッチ回路、ラッチ回路と出力回路を接続した。OCP時の周波数低減回路で出力電圧をモニターし、発振回路出力のクロックを制御する。発振回路からのクロックと比較器からの出力信号によりラッチ回路からDutyを決め、出力する。この信号を受け取った出力回路によってスイッチング電源制御用信号として出力されるようになっている。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナデジ混載

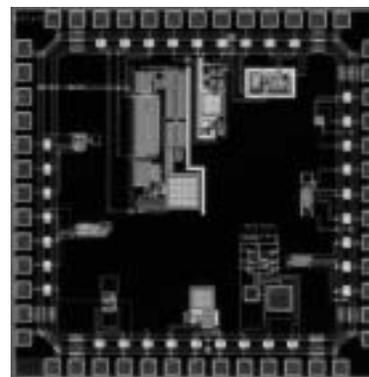


演算増幅器の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：演算増幅器は、トランジスタと異なり、バイアスを気にせずにアナログ回路を構成することのできる汎用性の高い素子である。この回路の構成を学ぶことは、アナログ回路の初学者にとって極めて有益である。このような理由から我々の研究室では、チップ作成を通して、学部学生や修士課程1年の学生がそれぞれ独自に演算増幅器の設計からシミュレーション、レイアウトまでを行い、演算増幅器の集積化について学んだ。このチップでは、11種類の演算増幅器を試作した。回路構成としては、差動増幅回路にソース接地増幅回路を縦続接続した構成が主であり、中にはカスコード接続のトランジスタを用いた演算増幅器もある。これらよりも工夫を凝らした構成として、差動増幅回路の負荷に負性抵抗を並列接続し、利得を高めた演算増幅器がある。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

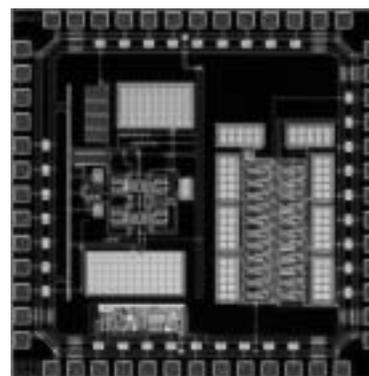


FM放送受信システム用回路ブロックの試作1

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM放送の受信システムの集積回路化を目指し、FM放送用受信システムで必要となる回路ブロックとしてフィルタとミキサ、スロープ検波型の復調回路を作成した。フィルタは、「受信システム用要素回路の試作2」で試作したフィルタと同じ仕様であり、容量値の低減により面積を低減を試みた。また、フィルタを構成しているOTAはトランスコンダクタンスが異なる4種類を作成し、必要なトランスコンダクタンスを4種類の並列接続で実現する構成とした。ミキサとしては、従来から用いられている Gilbert 型の乗算回路を用いている。また、スロープ検波型復調回路で必要となる LC 共振回路のインダクタはジャイレータを用いて構成した。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



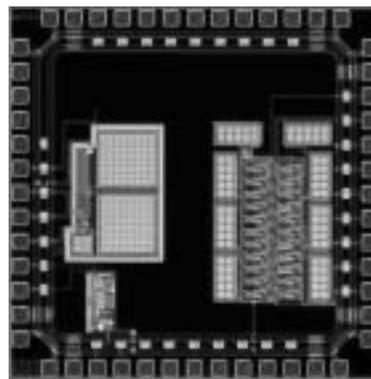
VDEC

FM放送受信システム用回路ブロックの試作2

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM放送の受信システムの集積回路化を目指し、FM放送用受信システムで必要となる回路ブロックとしてフィルタと低雑音増幅回路を作成した。フィルタは「FMレシーバ用の回路ブロックの試作1」で作成した回路と同じである。低雑音増幅回路として、ソース接地増幅回路を用いた場合、電力整合を取っても信号歪みが極めて大きいことがわかった。また、ソース接地増幅回路はゲート端子から入力するため、ゲート端子をバイアス回路の雑音が避けられず、一方、ゲート接地増幅回路はソース端子から入力するため、バイアス回路の雑音を避けることができ、低雑音増幅回路に適していると考え、今回の試作ではゲート接地増幅回路を用いた。80MHzで約17dBの利得が得られるように設計した。また、10mVの信号に対して全高調波歪み率は0.12%、雑音指数は約3.4dB、消費電力は3.5mWである。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

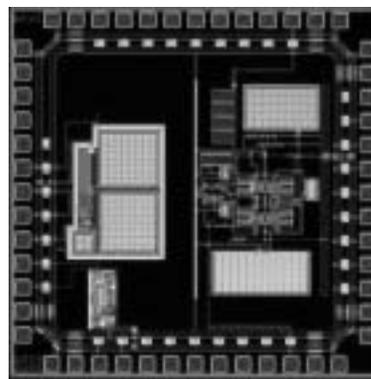


FM放送受信システム用回路ブロックの試作3

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM放送の受信システムの集積回路化を目指し、FM放送用受信システムで必要となる回路ブロックとしてスロープ検波型の復調回路と低雑音増幅回路、電圧制御発振回路を作成した。スロープ検波型復調回路は「FM放送受信システム用回路ブロックの試作1」で作成した回路と同じあり、低雑音増幅回路は「FM放送受信システム用回路ブロックの試作2」で作成した回路と同じである。電圧制御発振回路としては、マルチバイブレータを用いた。マルチバイブレータ型発振回路の欠点である、制御電流の変化とともに出力振幅が変化すること、制御電流と発振周波数の関係が直線的で無いことを回避するため、発振周波数だけを制御することのできる電流パスを加えた構成とした。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



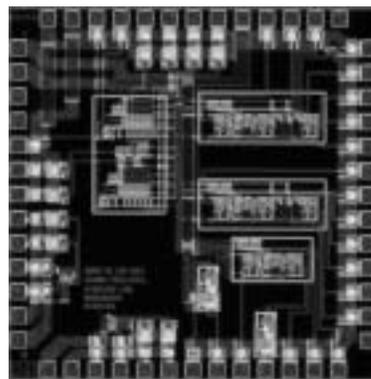
信号処理用回路

小山工業高等専門学校電子工学科 西野 聡

小山工業高等専門学校電気工学科 増淵 康尊

概要：携帯電話通信回路のCDMA用の新構想回路試作である。そのための暗号化回路であるM系列信号発生器や変復調回路を組み込んだ。また、D-FFを数個組み入れてこのFFの回路特性を実験検討して、LSI化時の動作速度を検討する予定である。具体的には非同期カウンタと同期式カウンタをチップの外部配線により構成して行う。同期式は10個のD-FFによりリングカウンタとシフトカウンタを構成して比較する。携帯電話通信回路用M系列信号発生器は最初に単独で動作させて信号のランダム性と動作速度を検証する。変調回路はその拡散度や回路応答速度を評価する。復調回路は応答速度と対雑音性の評価を行う。その後、変調・復調回路を組み合わせて通信実験を行い、実用化の可能性を評価する。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, L-Edit:Tanner Research社, L-Edit:Tanner Research社, Avanti社 Star-HSPICE トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナデジ混載



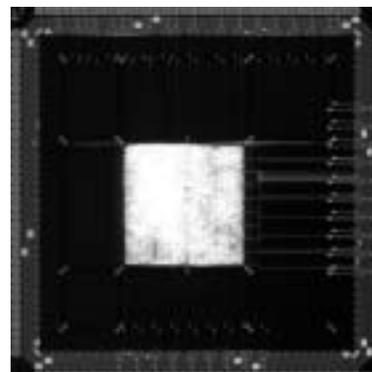
平成15年度 第4回 ロームCMOS0.35 μ m チップ試作 (R035024)

SoC 設計教育用教材チップの設計試作

九州大学大学院システム情報科学府 真島 優輔, 山口 大介, 牧山 幸史, 張 中, 森 達矢
九州大学システムLSI研究センター 安浦 寛人

概要：マイクロプロセッサベースのSoC設計を通してのLSI設計者の育成を目的とする，教育用教材チップの設計試作をおこなった。仕様は四則整数演算，Sin・Cos演算可能な簡易電卓で，PCから観測可能となるような外部接続端子を持つ。内部構造は，マイクロプロセッサとして本研究室で設計したZilog社Z80プロセッサ互換なプロセッサコアIP，外部との通信インターフェースにUARTを使用し，演算専用のALU回路を有する。また，テストによる測定が容易となるようにプロセッサコア単体でのテスト実行可能なモードを持つ。本来は内部メモリとしてメモリマクロセルを組み込む予定であるが，今回は全てのメモリを外付けとして設計している。

設計期間：9人月以上，10人月未満 設計ツール：Cadence社Verilog-XL，Synopsys社design_compiler，Avanti社Appolo，Cadence社Dracula DRC トランジスタ数：100,000以上 試作ラン：ロームCMOS 0.35 μ m 4.9mm角 チップ種別：演算回路（乗算器，除算器など）

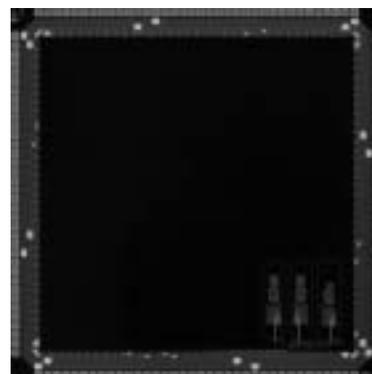


DAコンバータの試作

九州大学システムLSI研究センター 築添 明, 曹 ユン, 安浦 寛人

概要：アナログ回路設計における設計フローを与えられた仕様からチップレベル設計まで行うことで理解することを目的として行ったチップ試作である。設計対象としたアナログ回路は5ビットのDAコンバータである。これはキャパシタ・アレイ型のDAコンバータである。回路は，バイアス回路，オペアンプおよびキャパシタアレイから構成されている。小面積およびノイズ対策をもとに設計されており，回路シミュレーション上では動作の確認を行っている。今後は実チップによる特性の評価を行う予定であり，シミュレーション値との差異などの問題点を検証する。検証結果をもとに，より複雑なアナログ回路の設計を今後進めていく方針である。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社Virtuoso，Avanti社Star-HSPICE，Cadence社Dracula LVS，Cadence社Dracula DRC，Cadence社Diva トランジスタ数：100以上，1,000未満 試作ラン：ロームCMOS 0.35 μ m 4.9mm角 チップ種別：アナログ（PLL，A-D/DC-DCコンバータなど）



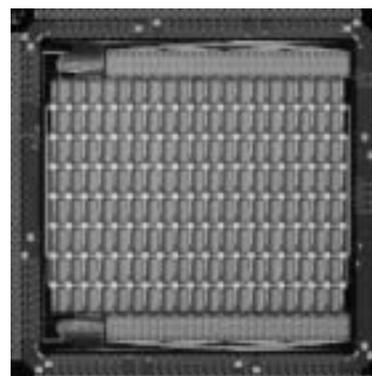
電流モード多値論理に基づく Field-Programmable Digital Filter LSIの試作

東北大学大学院情報科学研究科 出川 勝彦, 青木 孝文
東北工業大学工学部電子工学科 樋口 龍雄

概要：本研究グループでは，冗長算術演算アルゴリズムと電流モード多値集積回路技術を組み合わせることによる，高性能かつ高密度な算術演算VLSIの実現を目指している。Field-Programmable Digital Filter（FPDF）は，係数と演算語長および次数が任意にプログラムできる，FIRフィルタ専用の再構成型デバイスである。電流モード多値論理に基づくFPDFは，電流モード多値論理回路を利用することにより，2値論理回路による実現と比較して，特に配線領域が大幅に削減され，低消費電力動作が可能である。本試作チップは，電流モード多値論理回路のデバイススケールリングの影響を調べるために，すでに実チップでの動作確認がとれている0.6 μ m FPDFを0.35 μ mにシュリンクした。フルカスタム設計を行い，0.6 μ m FPDFと比較して，回路面積が縮小され，基本ブロックをより集積化できることを確認している。

参考文献：K. Degawa, T. Aoki and T. Higuchi, "Design of a field-programmable digital filter chip using multiple-valued current-mode logic," IEICE Trans. Fundamentals, Vol. E86-A, No. 8, pp. 2001--2010, August 2003.

設計期間：2人月以上，3人月未満 設計ツール：Cadence社Virtuoso，Avanti社Star-HSPICE，Cadence社Dracula LVS，Cadence社Dracula DRC，Cadence社Diva，Mentor社Calibre トランジスタ数：10,000以上，100,000未満 試作ラン：ロームCMOS 0.35 μ m 4.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

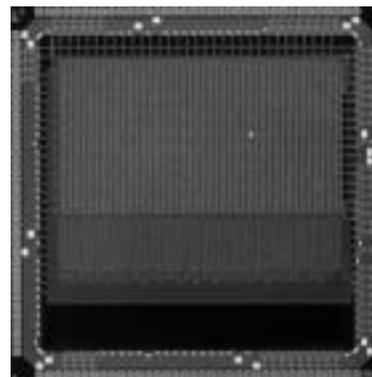


デジタルピクセルセンサーを用いたメディアン値探索プロセッサ

東京大学大学院新領域創成科学研究科 伊藤 潔人
 東京大学工学部 中山 友之

概要：本試作チップには、画素回路一つ一つに A/D 変換器を備え、高いフレームレートでデジタルデータの読み出しを可能とする Digital Pixel Sensor (DPS) と、メディアン値探索回路を組み合わせた画像処理プロセッサを実装した。従来の画像処理システムの中での大きなボトルネックとなっていたのは、イメージセンサと画像処理回路間のデータ転送であった。このボトルネックを解消するために、DPS の画素回路内の配線を有効利用し任意の矩形領域を読み出す新たなアーキテクチャを提案した。また矩形読み出し方式を活用する画像処理回路の一例としてメディアン値探索回路を実装した。本試作では、64x48pixel の DPS 回路と、最大 8x8 の領域のメディアン値を探索する回路が一つのチップ上に集積されている。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**10,000 以上、100,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別：**イメージセンサ/スマートセンサ



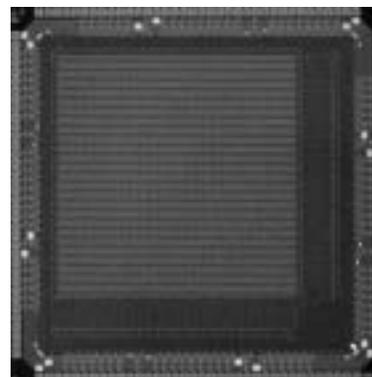
Resonant による動き位置検出および速度検出回路の第 2 版

東京大学大学院新領域創成科学研究科 梅島 誠之

概要：我々の研究室では、独自に開発した「連想アーキテクチャ」という手法に基づき、「柔軟な”認識・判断”ができるコンピュータ」をシリコンチップで実現するという試みを行っている。本試作では、「連想アーキテクチャ」において「外界からの情報を取り込む」という部分を担うチップを、参考文献 [1] で用いられている、アナログ共鳴回路 (Resonant 回路) を応用して試作した。今回のチップは、「動く物体の速度の検出」及び「動く物体の位置の検出」という 2 つの機能を 1 チップに統合したものである。このチップでは、最大 64 \times 64pixel の任意の矩形範囲内で動体の位置を検出することが可能であり、最大 ± 7 pixel 分移動する動体の動きを検出することができる。さらに本設計では、過去の試作チップの測定結果を利用し、いくつかのバグ修正も行った。また、出力端子を増やすことにより、静止画の簡易キャプチャも可能になった。

参考文献：[1] T. Yamasaki and T. Shibata, “An Analog Similarity Evaluation Circuit Featuring Variable Functional Forms,” Proceedings of 2001 IEEE International Symposium on Circuits and Systems (ISCAS 2001), pp. III-561-564, Sydney, Australia, May 6-9, 2001.

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

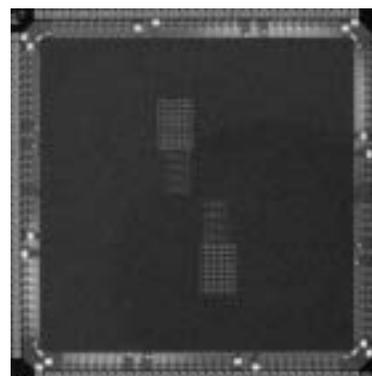


隣接セル間配線を用いたフォトダイオード・演算器分離型エッジ抽出回路

東京大学工学部 中下 友介

概要：隣接セル間配線のみを用い、画像にエッジフィルタをかける回路において、演算器がフォトセンサ間に配置されることにより開口率が著しく低下するという欠点があった。そこで、本チップは演算器を外部に取り出し 1 行ごとに読み出して演算する方法に切り替えた。画像にフィルタをかける場合、ある特定の範囲の画素データを同時に演算器に入力する必要があり、画素データがアナログ値であった場合、データのシフトなどが問題になる。そこで、読み出しの回路に工夫し、1 列ごとに読み出すだけで演算が可能なアーキテクチャを採用した。この方法により 1 枚の画像にフィルタをかける時間は若干増えるものの、演算器の自由度があがり、フォトセンサの性能も向上する。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別：**イメージセンサ/スマートセンサ



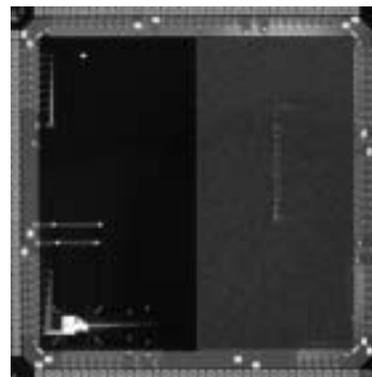
フルデジタルメディア値探索回路

東京大学大学院工学系研究科 山崎 英男

概要：メディアンフィルタは、画像のスパイクノイズ除去等に用いられており、画像処理の分野では非常に重要な処理の一つである。メディアン値探索を行うアルゴリズムとして、ワード比較によるソーティングネットワークを採用した。このネットワークを構築するのに、高速な Winner-Take-ALL を構成するために我々の研究室で開発された Two-Dimensional Bit-Propagating (2DBP) アーキテクチャ [1] を用いた。2DBP はビットコンパレータをベースに構成されるソーティングネットワークであり、通常のソーティングが入力数とビット長の積のオーダーの処理時間を要するのに対し、入力数とビット長の和のオーダーで演算できるため、非常に高速な処理が可能である。本チップでは TEG として 5 入力 の 2DBP メディアン値探索ソーティングネットワークを設計し、3.1nsec で動作することを測定により確認した。

参考文献： [1] M. Ogawa, K. Ito, and T. Shibata, "A general-purpose vector-quantization processor employing two-dimensional bit-propagating winner-take-all," in IEEE Symp. on VLSI Circuits Dig. Tech. Papers, pp. 244-247, Jun. 2002.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

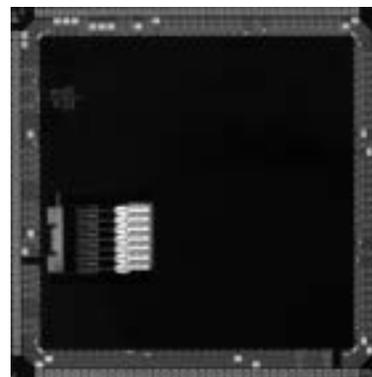


ロボット用途向け CDMA シリアル通信チップ

広島大学先端物質科学研究科 汐崎 充, 向井 徹, 岩田 穆

概要：高速・高機能ロボットの制御に適したマルチプロセッサ通信ネットワークの構築を目的としたチップ試作を行っている。ロボット用途ではケーブルの重さ等がアクチュエータ系に影響するため、少ない伝送路でデータ転送する必要がある。また、性質の異なるデータが複数存在するため、これらを効率よく転送する必要もある。そこで、CDMA 方式による多重化を行い、拡散符号と符号長の動的制御を行うことで少ない伝送路で効率良いデータ転送を実現する。本年度 2 月に試作したチップの修正版である。システム全体で 100Mbps 程度の転送速度が実現できるよう設計を行った。多重数 4, 8, 16 の 3 段階に切り替えることで、コード当たりの転送速度も切り替えることができる。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 design_compiler, Avanti 社 Appolo, SII 社 SX9000, Cadence 社 Dracula DRC, Mentor 社 Calibre, Mentor 社 xCalibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：通信 (RF 回路, ATM など)



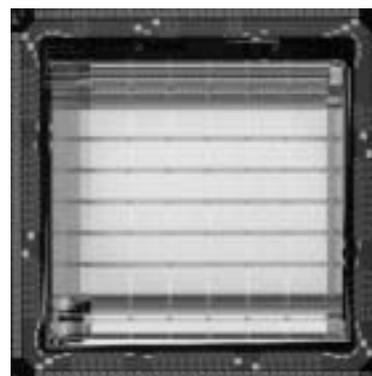
CAM チップ

広島大学大学院先端物質科学研究科 是角 圭祐, 岩田 穆

九州工業大学大学院生命体工学研究科 森江 隆

概要：本チップは、CAM (Content Addressable Memory) を実装したものである。6 ビットのメモリセルが 48 \times 96 の 2 次元セルアレイとして構成されており、外部から検索値 (6 ビット) を入力すると、一致する値を有するメモリセルの 2 次元セルアレイ上のアドレス値 (X 方向, Y 方向) を出力する機能を有する。この時、アドレス値の出力はそれぞれ X 方向：6 ビット, Y 方向：7 ビットである。処理実行時には、まず検索値と一致する値を有するメモリセルをメモリセルアレイの列単位で検索し、その Y 方向アドレス値を確定する。続いて Y 方向アドレス値の小さい順に、各列において検索値と一致する値を有するメモリセルの X 方向アドレス値に関する検索を行なう。この際、同一列内で検索値と一致する値を有するメモリセルが複数存在する場合には、X 方向アドレス値が小さい順に出力を行なう。以上の処理において、クロック周波数は 100MHz として設計を行なった。試作完了後に FPGA による制御で本チップの測定を行い、設計通りの検索動作を確認することができた。テストによる測定は行なっていない。

設計期間：2 人月以上, 3 人月未満 設計ツール：SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：メモリ



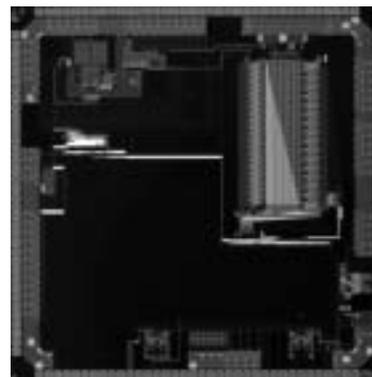
多入力神経信号センシングLSIの設計 (1)

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆

概要：生体活動と神経活動の関係を正確に把握するため、生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている。本研究では小脳の神経信号を検出できる、神経信号センシングLSIの設計・試作を行った。設計した神経信号センシングLSIは、ダイレクトチョップ方式低雑音増幅回路、直並列形 Analog-to-Digital Converter (ADC)、無線送信回路によって構成されている。我々が提案したダイレクトチョップ方式低雑音増幅回路は、低周波雑音の存在するCMOS演算増幅回路で数十 μ V振幅の神経信号を検出することができる。また提案技術は10chの測定チャンネルから最大5チャンネルを選択・多重化し、効率的な神経信号の測定を実現する。ADCは抵抗ストリングを用いた直並列型回路構成を採用し、10ビット分解能、サンプリング周波数500kHzを実現した。

参考文献：[1] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input Channels", Proc. of SASIMI 2003, pp. 206-210.

設計期間：2か月以上, 3か月未満 設計ツール：SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



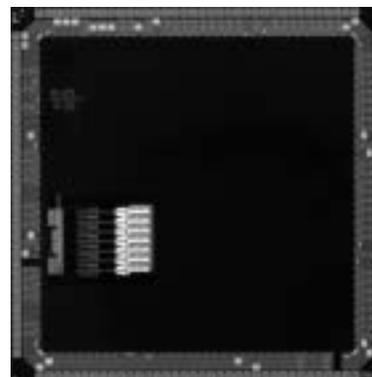
多入力神経信号センシングLSIの設計 (2)

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆

概要：生体活動と神経活動の関係を正確に把握するため、生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている。本研究では小脳の神経信号を検出できる、神経信号センシングLSIの設計・試作を行った。設計した神経信号センシングLSIは、ダイレクトチョップ方式低雑音増幅回路、逐次比較形 Analog-to-Digital Converter (ADC)、無線送信回路によって構成されている。我々が提案したダイレクトチョップ方式低雑音増幅回路は、低周波雑音の存在するCMOS演算増幅回路で数十 μ V振幅の神経信号を検出することができる。また提案技術は10chの測定チャンネルから最大5チャンネルを選択・多重化し、効率的な神経信号の測定を実現する。ADCは抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し、10ビット分解能、サンプリング周波数50kHzを実現した。

参考文献：[1] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input Channels", Proc. of SASIMI 2003, pp. 206-210.

設計期間：2か月以上, 3か月未満 設計ツール：SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



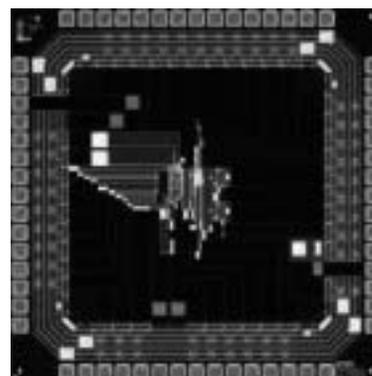
スパイクニューロン回路の試作

広島大学大学院先端物質科学研究科 佐々木 寛弥, 岩田 穆

九州工業大学大学院生命体工学研究科 森江 隆

概要：我々のスパイクフィードバックネットワークに組み込まれているスパイクニューロン回路とシナプス回路の試作を行った。スパイクニューロン回路はニューロンの内部電位としきい値を比較するために差動対型コンパレータを用い、内部電位がしきい値を超えるとスパイクを出力する。内部電位がしきい値を超えると一定期間の不応期を生成させるためにしきい値制御回路を組み込んでいる。シナプス回路は入力スパイクを受けるとシナプス荷重値の大きさと符号の正負に応じた後シナプス電位 (Post-Synaptic Potential: PSP) を生成する。両回路には回路内で生成されるパルスが時間差をもって生成されるように、遅延回路としてインバータチェーンを組み込んでいる。今後、測定によりスパイクニューロン回路とシナプス回路の動作及び、複数のシナプスにより生成されるPSPの積和演算が行えることを確認する。

設計期間：1か月以上, 2か月未満 設計ツール：SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：ニューテクノロジー

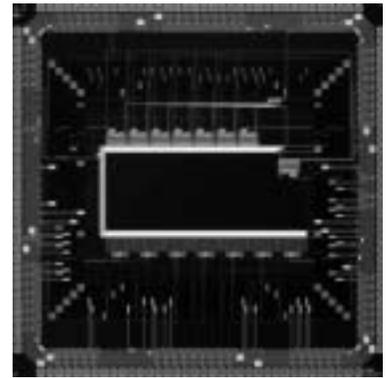


振幅変調を利用した Parallel-CDMA インタフェースの設計

大阪大学大学院工学研究科 清水 新策, 松岡 俊匡, 谷口 研二

概要: Code Division Multiple Access (CDMA) インタフェースは伝送路上での狭帯域ノイズ耐性を持つ。しかし, CDMA インタフェースを介して送受信回路がデータを授受するとき, データを拡散するのに用いた拡散符号のビット数と同じクロック数が必要となり, 高速伝送にはむかなかった。この問題を解決するために, 2bit のデータをデータ値に対応した振幅に変調し, さらに送信データを拡散符号を用いて複数のバスに1クロックで送信する, Multiple Bit Parallel-CDMA (MB/P-CDMA) バスを提案した。MB/P-CDMA バスは複数の信号線のうちの一部分が強い影響を受けるような局所的ノイズに対して強い耐性をもつ。また同時に2bit のデータ伝送を行うことができ, 高速転送を実現する。本チップはこのMB/P-CDMA バスの動作を評価することを目的とし, 8bit の差動パラレルバスと, 送受信回路が7対, そしてバスの電位をリセットする安定化回路を搭載した。

設計期間: 1 人月以上, 2 人月未満 設計ツール: Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数: 10,000 以上, 100,000 未満 試作ラン: ローム CMOS 0.35 μ m 4.9mm 角 チップ種別: ニューテクノロジー



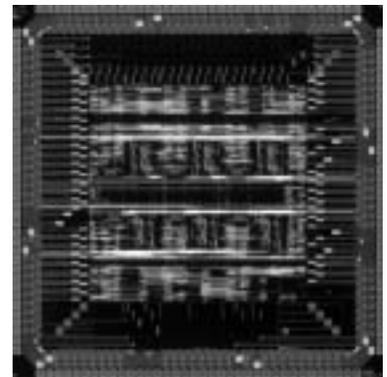
可変ゲインアンプを用いた DS-CDMA 有線バスの設計

大阪大学大学院 工学研究科 井田 司, 清水 新策, 嶋村 延幸, 松岡 俊匡, 谷口 研二

概要: キャパシタカップリングを用いた DS-CDMA 有線バスでは, 送信器数の増減などにより, 信号振幅が変化してエラーを発生することが懸念される。今回, これを改善することを目的として, 受信器に可変ゲインアンプとそのゲイン制御回路を組み込んだ DS-CDMA 有線バスの設計を行った。設計したチップでは, 送受信器を6対実装した。バス容量の変化を擬似的に再現できるように, 送信器の出力電圧を可変としている。1~4倍の利得可変範囲をもつ可変ゲインアンプの組み込みにより, 最大4倍程度までバス容量の変化に耐えられる受信器が設計できた。なお, 可変ゲインアンプ自体の特性も測定できるよう, 単体の可変ゲインアンプも実装した。

参考文献: 井田, 清水, 嶋村, 松岡, 谷口, "有線 CDMA インタフェース用可変ゲインアンプ", 電気学会電子回路研究会資料, ECT-03-66, pp. 15-20, 2003 年6月

設計期間: 1 人月以上, 2 人月未満 設計ツール: Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数: 10,000 以上, 100,000 未満 試作ラン: ローム CMOS 0.35 μ m 4.9mm 角 チップ種別: ニューテクノロジー



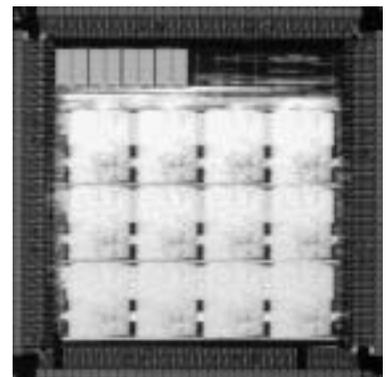
並列リコンフィギュラブルロジックを用いた画像処理 FPGA

東北大学大学院工学研究科 杉村 武昭, 沈 正七, 栗野 浩之, 小柳 光正

概要: 画像などのストリーミングデータのリアルタイム処理は従来のマイクロプロセッサでは困難であり, ワイヤードロジックを使用した専用 LSI を用いることが望まれる。しかし, このような専用 LSI では, 機能の変更が不可能, 開発コストが高いなどの問題が存在する。これに対し, FPGA 等のリコンフィギュラブルロジックを使用した LSI はその機能を自由に変更することができる。このような画像の高速処理と, 柔軟な画像処理機能の実現を目的として, 画像処理向け FPGA の設計を行なった。設計にあたり構成ロジックの並列化を行ない, 結線情報を保持するコンフィギュレーションメモリの削減と処理の高速化を試みた。本チップは ALU 機能を持つ12個の画像処理ユニットとそれらを結ぶ相互配線網から構成され, 8ピクセルを同時処理可能な並列データバスを実装した。また, 時間微分回路の実装のため, 画像を保存する2KB のフレームメモリも搭載している。

参考文献: Takeaki Sugimura, JeoungChill Shim, Hiroyuki Kurino, and Mitsumasa Koyanagi, "Parallel Image Processing Field Programmable Gate Array for Real Time Image Processing System ", pp. 372-374, Proceedings of 2003 IEEE International Conference on Field-Programmable Technology (ICFPT2003)

設計期間: 2 人月以上, 3 人月未満 設計ツール: Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 μ m 4.9mm 角 チップ種別: アナログ/デジタル信号処理プロセッサ

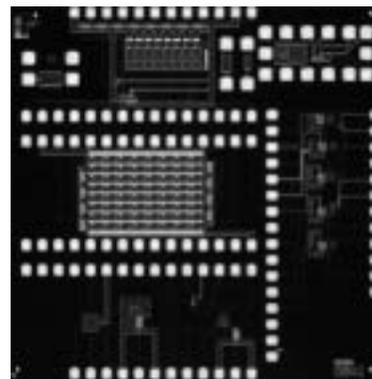


スイッチト・キャパシタ回路を用いたオフセット電圧補償型増幅回路の試作

東北大学大学院工学研究科 小野 宏, 沈 正七, 栗野 浩之, 小柳 光正

概要：近年、半導体集積化技術の微細化、高集積化は限界に近づいており、これらの問題を解決する技術の1つとして、三次元集積化技術が注目されている。現在、この三次元集積化技術を用いて生体の網膜を模してセンサと演算処理回路を一体化した三次元積層型人工網膜チップの研究が進められている。この人工網膜チップでは演算処理がアナログで行われるが、チップ外部のハードウェアと接続するためには、出力信号はデジタル信号でなければならない。これを考慮して、人工網膜チップの出力部にA/D変換器を搭載する。一般的にA/D変換は増幅回路（オペアンプ）、サンプルホールド回路、そしてA/D変換回路の三つの回路要素で構成されている。本チップでは、このサンプルホールド回路までを含めた入力増幅回路のオフセット電圧補償と精密な増幅利得の制御を行うためのスイッチト・キャパシタ回路を設計し、その特性評価のためのTEGの試作を行った。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG（特性評価回路など）

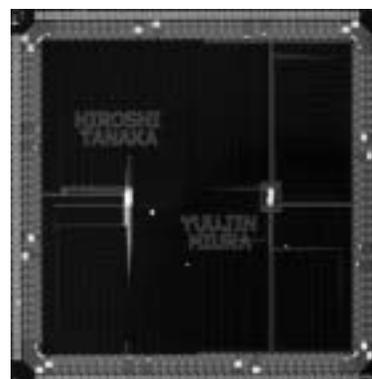


LSI設計コンテスト（1）

金沢大学工学部 集積回路工学研究室 田中 寛, 三浦 有人, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。必要IOピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TAが1つのチップフレーム上にマージした。競技部門と自由設計部門を設け、競技部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定した。設計内容は、それぞれ一人で設計した16bit加算器6種の他、二人で設計した16bit乗算器1種である。

設計期間：6人月以上、7人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 器など



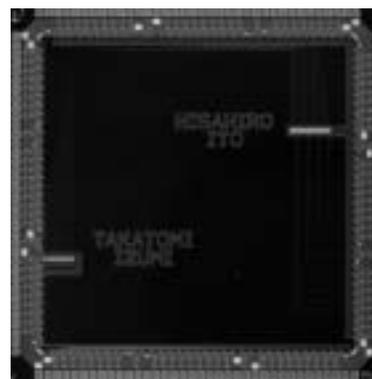
チップ種別：演算回路（乗算器、除算

LSI設計コンテスト（2）

金沢大学工学部 集積回路工学研究室 泉 貴富, 伊藤 久浩, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。必要IOピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TAが1つのチップフレーム上にマージした。競技部門と自由設計部門を設け、競技部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定した。設計内容は、それぞれ一人で設計した16bit加算器6種の他、二人で設計した16bit乗算器1種である。

設計期間：6人月以上、7人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 器など



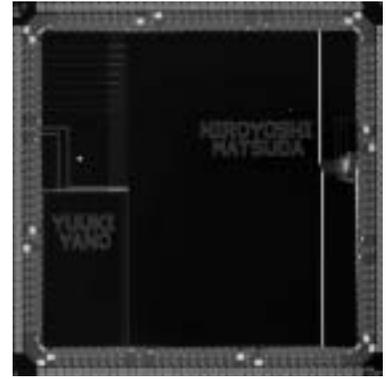
チップ種別：演算回路（乗算器、除算

LSI設計コンテスト (3)

金沢大学工学部 集積回路工学研究室 矢野 勇生, 松田 浩義, 北川 章夫

概要： 学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。必要IOピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TAが1つのチップフレーム上にマージした。競技部門と自由設計部門を設け、競技部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定した。設計内容は、それぞれ一人で設計した16bit加算器6種の他、二人で設計した16bit乗算器1種である。

設計期間：7人以上、8人未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角



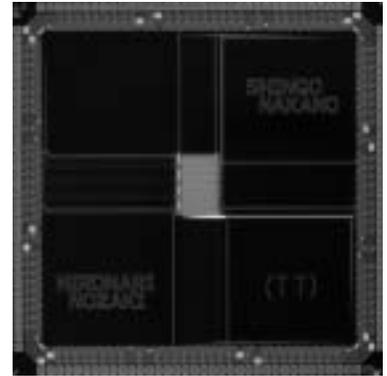
チップ種別：演算回路（乗算器、除算器など）

LSI設計コンテスト (4)

金沢大学 集積回路工学研究室 野崎 宏哉, 中野 伸吾, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。必要IOピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TAが1つのチップフレーム上にマージした。競技部門と自由設計部門を設け、競技部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定した。設計内容は、それぞれ一人で設計した16bit加算器6種の他、二人で設計した16bit乗算器1種である。

設計期間：6人月 設計ツール：レイアウト：Cadence社 Virtuoso, 検証：Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 チップ種別：演算回路（乗算器、除算器など）

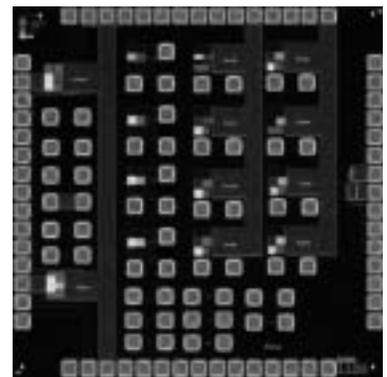


POF フロントエンド試作の為のTEG

金沢大学工学部 集積回路工学研究室 山田 裕史, 北川 章夫

概要：POF光インターフェース：フォトダイオードを受光器とする受光フロントエンドの設計では、フォトダイオードの接合容量と基板での光生成キャリアによる拡散電流が、動作速度に大きく影響する。フォトダイオードの接合容量の問題は、小面積のフォトダイオードにプリアンプを設けて並べた受光器アレイの各出力をアナログ加算することで解決可能である。POF光通信で必要となる600nm以上の波長域では、多量に基板キャリアが発生するため、このキャリアによる遅い電流出力応答成分が高速動作を妨げていることが分かった。本試作では、ウェル接合を利用し、ストライプに分割配置した2個のフォトダイオードを差動電流増幅することにより、基板キャリアの影響を取り除いて高速化することを試みた。これは、使用するテクノロジーにも依存するが、本プロセスの場合、遮断周波数を40倍以上高くすることに成功した。プローブ校正用TEG：マイクロ波プローブの状態を簡便に調べるため、受動素子のTEGを作成した。この測定結果は、RF回路の設計にも利用している。

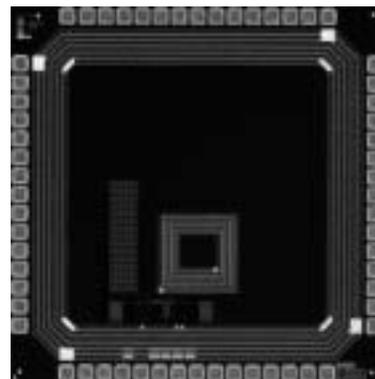
設計期間：1人以上、2人未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG（特性評価回路など）



E級DC-DCコンバータ

福岡大学工学部 末次 正

概要：完全にオンチップ化したE級DC-DCコンバータを製作した。インバータはE級インバータ、整流方式は同期スイッチング整流とした。インバータスイッチ、整流器スイッチ、共振インダクタ、共振キャパシタ、インバータのシャントキャパシタ、整流器のシャントキャパシタ、入力チョークインダクタ、出力フィルタのインダクタ、2つのスイッチの駆動回路を集積した。共振インダクタは28.7nH、入力インダクタは30nH、出力インダクタは30nH、共振キャパシタは3.25pF、インバータのシャントキャパシタは1.5pF、整流器のシャントキャパシタは1.5pFとした。出力電圧の制御はスイッチング周波数の周波数制御として無負荷時に800MHzで動作するようにVCOを制御回路に組み込んだ。共振キャパシタはフローティングコンデンサで作成した。インダクタは全てメタル3レイヤーで作成した。

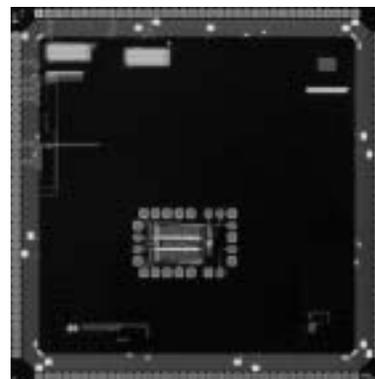


設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10未満 試作ラン：ローム CMOS 0.35μm 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

低VDDアナログ回路およびSRAMにおけるリーク電流対策回路

東京大学生産技術研究所 石田 光一, Quang Canh Tran, 神田 浩一, 宮崎 隆之

概要：本チップには以下の評価回路が搭載されている。・アナログ回路におけるリーク電流の影響を評価するTEG・SRAMにおけるリークカット回路 テクノロジーの進化に伴い、電源電圧は低下の一途をたどっている。将来的には、トランジスタを動作させるためにしきい値電圧を現在よりも大幅に低下させる必要が出てくる。しかし、しきい値電圧を下げるとリーク電流が増加してしまい、電力のほとんどを消費してしまうことになる。本研究では、アナログ回路およびSRAM回路におけるリーク電流の影響評価およびリークカット回路を提案する。アナログ回路はシグマデルタ型A/Dコンバータおよびレプリカによってオペアンプの出力バッファ段の電流を検出する回路を搭載した。SRAMについては、列単位の電源電圧を動的に制御するRow-by-row dynamic VDD方式を搭載した。この方式は、列がアクセスされていないとき供給電圧を大幅に減らすものである。データの保護のためのスタティックノイズマージンの評価も行う。

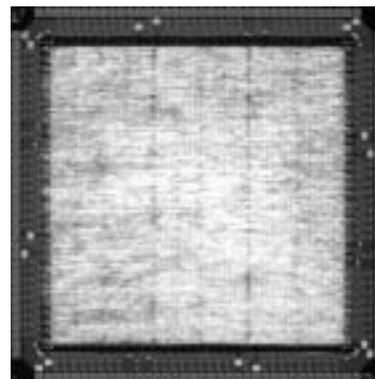


設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35μm 4.9mm角 チップ種別：TEG (特性評価回路など)

64ニューロン搭載改良型ストカスティックニューロチップ

東北大学電気通信研究所 桃井 昭好, 秋元 俊祐, 佐藤 茂雄, 中島 康治

概要：我々は多数のニューロン素子を集積するためにストカスティックロジックという論理を用いたニューロンチップの試作を行っている。このロジックを用いることで演算器を小さな面積で実現することができより多くの素子を1チップ上に集積することが可能となる。また、確率的な動作を行うことによってネットワークの問題解決能力を向上させることが可能となる。本試作チップでは問題解決能力のさらなる向上のためにいくつかの改良を行った。まず、非単調活性化関数で離散時間ダイナミクスでは連想記憶を行うことが不可能であるために連続時間ダイナミクスを実現できるように膜電位更新回路を改良した。また、非単調活性化関数のノイズ量が飽和領域で最大となることが原因で最適化問題などで解性能を低下させていると考えられるために飽和領域にノイズが生じないように活性化関数生成回路を改良した。また、非同期更新を高速に行えるようなコントロール回路を実装し、従来のニューロチップよりN (ニューロン数) 倍高速に非同期更新が行えるようになった。



設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35μm 4.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

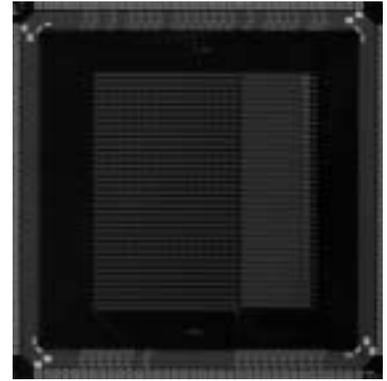
Inverse function Delayed モデルを用いたニューロチップの設計

東北大学電気通信研究所 伝田 達明, 末永 晋也, 早川 吉弘, 中島 康治

概要：ニューラルネットワークをハードウェア化することにより並列処理が可能となり高速な情報処理を実現できる。また、Inverse function Delayed (ID) モデルはN字型非線形出力逆関数を用いて負性抵抗領域を導入でき、組合せ最適化問題などで問題となるローカルミニマムから脱出できるという特徴を持つ。したがってIDモデルをハードウェア化することで組合せ最適化問題に関して高い性能と高速な情報処理の両方が可能になると考えられる。そこでN字型非線形出力逆関数回路などを用いてIDモデルをアナログ回路で設計し、36ニューロン1296シナプスの全結合ニューラルネットワークからなるニューロチップを試作した。テストによる測定を行いN字型非線形特性を確認した。

参考文献：伝田, 末永, 早川, 中島, ” Inverse Delayed モデルを用いたニューロチップの設計”, 信学技報, NLP2003-91, pp. 47-52, 2003.

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：その他

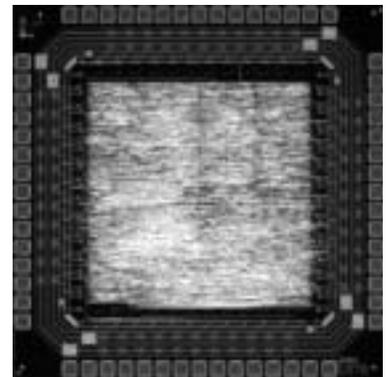


ニューロン素子による連想記憶システム

東北大学電気通信研究所 李 洪革, 秋元 俊祐, 早川 吉弘, 佐藤 茂雄, 中島 康治

概要：我々はストカステックロジックという論理を用いた大規模ニューラルネットワークの構築に関する研究を行っている。この論理を用いると演算器を非常に小さく構成出来、より多くの演算素子を1チップに集積することができる。また、その確率的な動作原理によってネットワーク問題解決能力の向上が期待できる。本試作チップには確率過程が導入されたアクティブ (Inverse Delayed model) な機能を持つニューロン素子が10個搭載されており、将来、ニューロン素子100個の連想記憶システムの構築を目指している。これらによって全結合型の連想記憶システムの構築することが可能となる。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



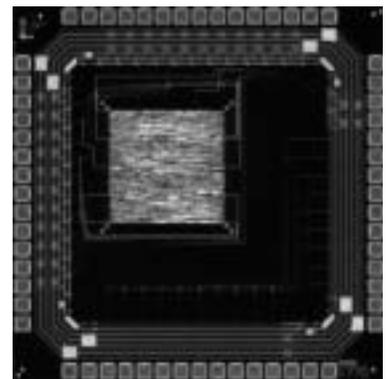
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要：SFQ/CMOSハイブリッド $\Sigma \Delta$ ADコンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能のADコンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究ではSFQ $\Sigma \Delta$ モジュレータの後段に接続するためのCMOSデシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの20GHzの信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅10MHz、14bのADコンバータが実現できる。本チップではダウンサンプリング係数128のデシメーションフィルタを試作した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



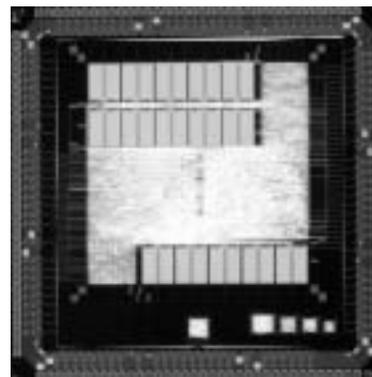
二次元高速フーリエ変換プロセッサ

東北大学大学院工学研究科 宮本 直人, カルナン レオ, 小谷 光司
東北大学未来科学技術共同研究センター 大見 忠弘

概要：A single-chip 512-point FFT processor is presented. This processor is based on the cached-memory architecture (CMA) with the resource-saving multi-data-path radix-2-3 computation element (RM2-3CE). The 2-stage CMA, including a pair of single-port SRAMs, is also introduced to speedup the execution time of the 2-dimensional FFTs and reduce the area of silicon in comparison with using dual-port SRAM configurations. A set of convolutional processings are preformed to a chunk of data of the same addresses by using the single RM2-3CE which contributes to decrease more of the silicon area. Using above techniques, we have designed an FFT processor core which integrates 552,000 transistors within an area of 2.8 x 2.8 mm² with CMOS 0.35μm triple-layer-metal process. This processor can execute a 512-point, 36-bit-complex fixed-point data format, 1-dimensional FFT in 23.2 usec and a 2-dimensional one in only 23.8 msec at up to 133MHz operation.

参考文献：Naoto Miyamoto, et al., A 100MHz 7.84mm² 31.7msec 439mW 512-Point 2-Dimensional FFT Single-Chip Processor, The Institute of Electronics, Information and Communication Engineers Special Issue on Low-Power System LSI, IP and Related Technologies, IEICE TRANS. ELECTRON., VOL. E87-C, NO. 4, pp. 502-509, APRIL 2004

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35μm 4.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



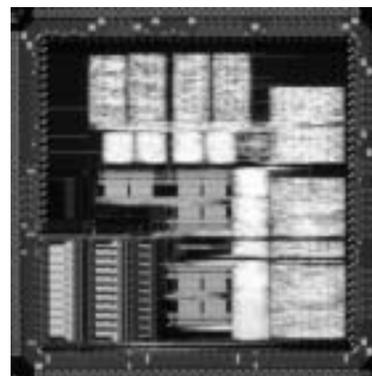
次世代PET用フロントエンドチップ

東京大学大学院工学系研究科 石津 崇章
東京大学人工物工学研究センター 高橋 浩之

概要：PET（ポジトロンCT）は体内にポジトロン放出核種を投与して、そこから放出されるポジトロンが消滅する際に互いに反対方向に放出される2本のガンマ線を外部においたガンマ線位置検出器で捕捉し、放出位置を推定するものである。次世代PETにおいては、数ナノ秒の時間応答を示すガンマ線位置検出器間でのコインシデンスをとりつつ、1mm程度までの位置分解能で入射位置を求める必要がある。本チップはPETにおいて用いられる検出器から得られる微弱なパルス信号を分析するために必要な機能をすべて搭載したフロントエンドチップであり、アバランシェフォトダイオードなどの光検出器の出力信号を直接接続し、高速のフォールディング型ADCで信号波形を記録し、ガンマ線の入射に伴う信号パルスに関する時間情報と波高情報の分析を行うことを可能とするチップである。

参考文献：[1] Development of a multi-channel waveform sampling ASIC for animal PET with DOI information, JY Yeom, H. Takahashi, T. Ishitsu, M. Nakazawa, H. Murayama, Nucl. Instr. and Meth. A, in press.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35μm 4.9mm角 チップ種別：アナデジ混載

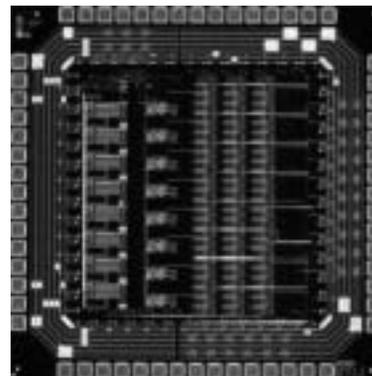


マルチアノード光電子増倍管用計数チップ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章
東京大学人工物工学研究センター 高橋 浩之

概要：光電子増倍管（PMT）は、高感度な光検出器であるが、最近、PMTのアノードを多数に分割したマルチアノード型が普及してきている。マルチアノード型PMTにおいては、位置分解測定が可能となるなど、従来のPMTにくらべて多くの情報をもたらす一方、フロントエンドエレクトロニクスが大きくなるため、有効な利用のためには、適切な計数を行うためのチップが必要となる。実際にPMTから得られる信号はさまざまな大きさのものがやってくるので、必要な信号を選択して計数を行なうためには、高速なディスクリミネータを複数並べて動作させることが必要である。本チップはプリアンプ、整形回路、ディスクリミネータなどフロントエンド部において必要な機能を8チャンネル分集積したものであり、PMTと直接接続して、計数を行うことが可能である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35μm 2.4mm角 チップ種別：アナデジ混載

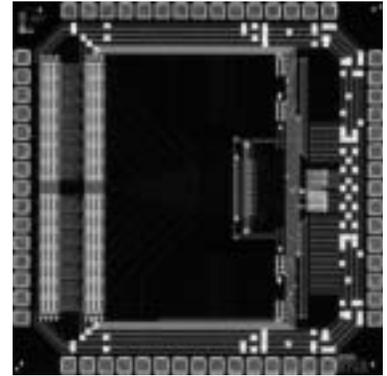


位置演算用アナログエンコーダ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章
東京大学人工物工学研究センター 高橋 浩之

概要：多チャンネルの放射線位置検出器を実現する上では、多チャンネルの信号を効率よく読み出す手法が必要とされる。特に放射線位置検出器の中には、高圧ガスや真空容器を用いるものが多数存在するが、そのような環境におかれたセンサから直接多数の信号線を引き出すことは無理があり、現在の放射線位置検出器におけるチャンネル数への大きな制約となっている。本チップは、放射線イメージングに用いる多チャンネル検出器用のチップとして、センサと外部回路の間の信号線の接続本数を減らすために開発された。本チップでは入力位置をそれに対応した2本のアナログ信号の大きさの比へエンコードする。エンコードされた信号はチップを直列接続することで、複数のチップ間にわたって容易にやりとりが可能であるなど、このチップはスケラブルであり、数100チャンネルまで対応できる。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナデジ混載



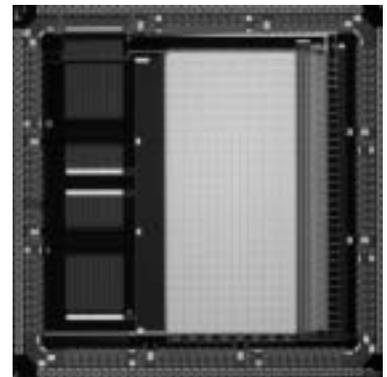
低消費電力・全並列最小マンハッタン距離検索連想メモリ

広島大学先端物質研究科 矢野 祐二
広島大学ナノデバイス・システム研究センター 小出 哲士,
マタウシュ ハンスユルゲン

概要：高速・小面積かつ低消費電力を実現した全並列型アーキテクチャによる新しい連想メモリを試作した。この試作チップは最小マンハッタン距離による128行80列(5bit \times 16ユニット)の連想メモリで、測定の結果、回路を7.86平方mmの小面積で実現し、その内Winner検索回路が全体のわずか14%で実現できた。検索可能距離範囲は0-480で、検索時間が190ns以下で最小距離検索できる。したがって、実用的なアプリケーションにおいて通常距離差が50bit以下がほとんどであることを考慮すると、140ns以下の高速な検索が可能である。消費電力は90mW@5MHzと非常に低消費電力であった。

参考文献：なし

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre トランジスタ数：100,000以上
試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：メモリ

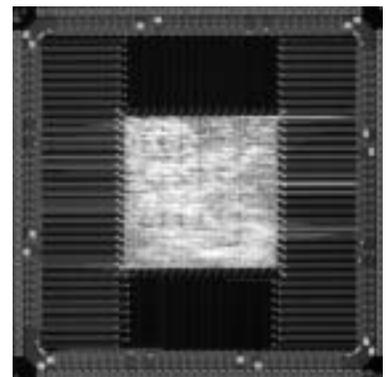


群知能型情報処理LSIの設計

大阪府立大学先端科学研究所 中尾 基, 泉 勝俊

概要：真社会性昆虫の蟻は、個体では単純な規則に従って行動しているにもかかわらず、それがコロニー化することで、高度に組織化されることが知られている。その代表的なものが、次に示す餌を採取するモデルである。即ち、探索中に偶然、餌場を最初に発見した蟻個体は、餌場から巣へ餌を持ち帰る際にフェロモンを分泌する。他の蟻はそのフェロモンを感知し、それに誘引される形で餌場に辿り着き、その帰り道に同様にフェロモンを排出する。このように蟻はコロニーとして行動することにより、正帰還型の高度な餌収集能力を発揮する。本チップ試作では、この蟻コロニーの餌採取モデルを組み合わせ問題の代表である巡回セールスマン問題に適用すべく、4 \times 4マスの平面上を想定し、原点を出発して3点を通り、原点に戻る際の最短ルートを導くLSIの実現を試みた。なお、並列演算のエージェントとして用いている16匹の蟻は上下左右のみ移動できると設定した。当該試作LSIを測定・評価した結果、相互にフェロモンを介した情報通信を行なうことにより、巡回セールスマン問題の最適解が導かれることを検証した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：その他



VDEC

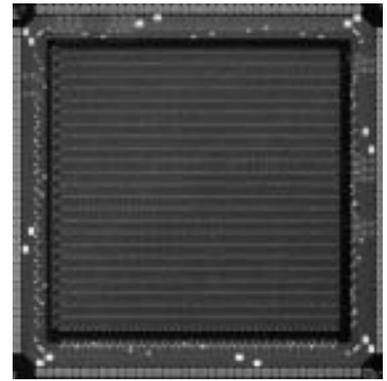
平滑化機能を持ったシリコン網膜チップの開発

大阪大学大学院工学研究科 亀田 成司, 八木 哲也

概要：シリコン網膜は、生体視覚系の並列画像処理機構をアナログCMOS集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった利点を持つ。今回の設計では、自然照明かにおける実時間画像処理を基本視座とし、アナログシリコン網膜チップを開発した。各画素は六角格子状に配置され、チップは2次元の対数型フィルタ特性を持つ。今回試作したシリコン網膜チップは、網膜初段の害もうまく構造を模擬したもので、光センサ回路と抵抗回路網により入力画像の平滑化機能を持つ。集積回路の素子ばらつきを補償する機構を付加し、光センサ部にはアクティブピクセルセンサを用いた。画素数は 40×46 である。

参考文献：S. Kameda and T. Yagi, "An analog VLSI chip emulating sustained and transient response channels of the vertebrate retina", IEEE trans. Neural Networks, vol. 14, no. 5, 2003.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μm 4.9mm角 チップ種別：イメージセンサ/スマートセンサ

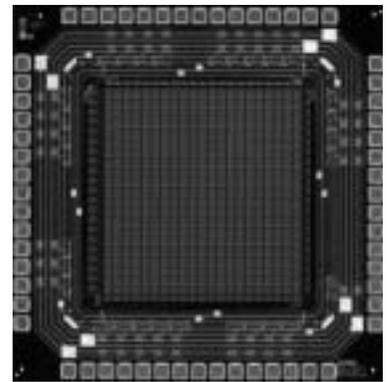


方位選択性を実現するアナログ集積回路の設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要：大脳一次視覚野の細胞は、ある特定の方位の光刺激パターンに対して選択的に応答する特性をもつ。本チップは、このような特性を模擬するために、前段のイメージセンサからの出力画像を受けて特定の方位に並ぶ複数の画素を統合する。前段のイメージセンサとしては、本研究室で既に開発したシリコン網膜を用いることを想定している。画素回路は、シリコン網膜からの入力を保持するアナログメモリと、一直線上に並ぶ画素同士を結合する画素統合回路から構成される。画素統合回路により選択された各画素の出力は、フォロア統合により収斂される。本チップは、6通りの方位に対する選択性を実現できる。画素数は 21×21 である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μm 2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

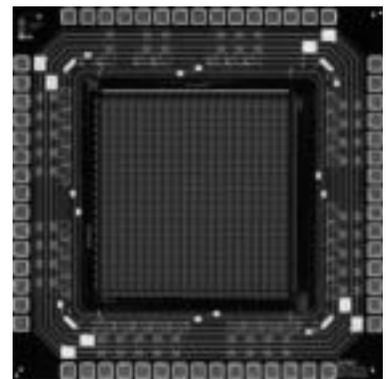


マルチチップ視覚システムのためのレシーバチップ TEG

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要：マルチチップ視覚システムは、生体視覚系に見られる階層的な情報処理を複数のアナログ集積回路を組み合わせることで実現するものである。本チップは、前段のイメージセンサ（既に本研究室で試作したシリコン網膜チップを想定）からの画像情報を受け取るレシーバチップの TEG であり、アナログメモリアレイ、画像入力用デコーダ、入力バッファ回路などから構成される。入力画像の各画素の値を、デコーダによりアナログメモリアレイ上の任意の位置に転写するシステムを構成し、その特性を評価、検討することを目的としている。イメージセンサからの画像を受け取るためのアナログメモリアレイの大きさは 20×20 である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μm 2.4mm角 チップ種別：TEG (特性評価回路など)



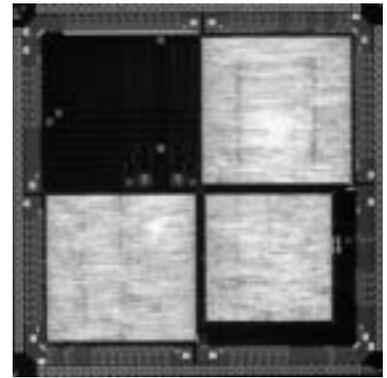
デジタル・デルタシグマ変調回路 (2)

神戸大学工学部 杉本 智彦, 永田 真

概要：ミックスドシグナルLSIでは、デジタル回路の発生する基板雑音が、アナログ回路の性能劣化の原因のひとつとなっている。本チップは、アナログ回路と組み合わされる可能性の高いデジタル信号処理系としてFFTを設計した。京都大学作成の標準スタンダードセルライブラリを利用し、標準的な論理設計フローに基づいて設計した。また、高分解能の基板雑音評価を可能にする検出回路も搭載しており、FFT演算における基板雑音波形のデータ依存性や動作速度依存性等を評価できる。試作チップは評価済みであり、FFT動作時の雑音波形の実測結果および解析結果は [1] において報告している。

参考文献： [1] 杉本, 奥本, 永田, 瀧, "大規模デジタル回路におけるグラウンド雑音の解析", pp. 211-216, 電子情報通信学会技術報告ICD2003-175 (2003) .

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Avanti社 Apollo, Cadence社 Virtuoso, SII社 SX9000, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナデジ混載



JTAG付きパルスジェネレータ

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸

概要：現在システムASICの製作が必要となることが多いがその中でも、JTAGのI/F及び高速FIFO、特殊パターン生成器はよく使用される。一方デジタルIC、及びシステムをテストするためにいくつかのパターンを生成できる多チャンネルのパターンジェネレータが必要となった。上記の目的を達成するためにFIFO、パターン発生回路、JTAGインターフェースを用いてJTAG付きパルスジェネレータTEGを製作した。パターンはJTAGもしくは外部バスよりダウンロードされそれに従いパターンを出力する。また擬似ランダム発生回路を組み込んでおり擬似ランダムパターンの生成も可能となっている。この集積回路の製作は学生の教育用としても有効で、製作していく中でツールの使用方法、デジタル回路の学習などが効果的に行われた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Avanti社 Apollo, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG (特性評価回路など)



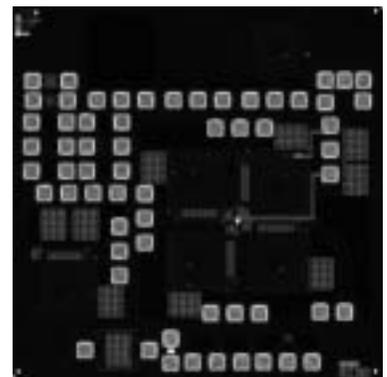
化合物半導体共鳴トンネル素子のSi-LSIへの集積化テスト

名古屋大学工学研究科 前澤 宏一, 水谷 孝

概要：超周波動作が可能な機能素子である共鳴トンネル素子をSi-LSI上に集積化できれば、高速化や回路の単純化、低消費電力化などに大きな効果が期待できる。我々は、Fluidic Self-Assembly (FSA) 法を用いてこれに挑戦している。FSA法は、最適な基板上で作製した微小デバイスブロックを溶液中に置いたhost基板上に散布し、配置する技術である。このとき、基板上にはデバイスブロックに合わせたリセスを形成しておく。この方法により、材料によらない様々なデバイスの集積化が可能になる。本チップはこの技術により可能となる共鳴トンネル/CMOS集積回路の動作およびその優位性を検討することを目的としている。現在、微小デバイスブロック配置のための予備実験を行っており、今後、このチップを用いて実際に異種材料集積回路を作製し、その性能を評価する。

参考文献：I. Soga, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, "Fluidic Assembly of Thin GaAs Blocks on Si Substrates", Jpn. J. Appl. Phys., Vol. 42, pp. 2226-2229 (2003)

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE トランジスタ数：10未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：ニューテクノロジー



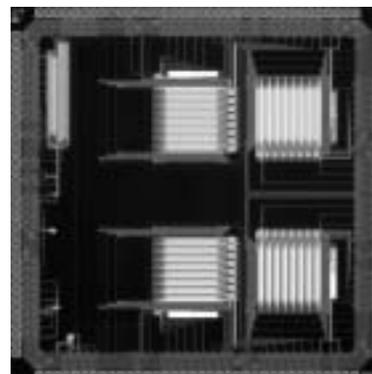
Low-Power Switched-Current CDMA Matched Filter

東京大学大学院工学系研究科 山崎 俊彦

概要：スイッチト・カレント回路を用いた低消費電力で省面積なCDMA マッチトフィルタを開発した。また、フローティング・ゲート MOS 回路技術を用いた V-I 変換回路、CMOS インバータと CMOS インバータスイッチで構成したシンプルな I-V 変換回路を開発した。回路をブロック化することとカレントメモリに流れる電流を軽減することによって低消費電力を実現した。また、さらなる低消費電力動作のために Clock-on-demand shift register も開発した。測定により電源電圧 2V，相関長 256 の回路に於いて 1.95mW@8Mchip/s の低消費電力動作を確認した。さらに、チップ面積は 0.54mm² と非常に小さい。そのため、電力供給やチップ面積に強い制限を受ける携帯端末に非常に適している。

参考文献：T. Yamasaki, T. Nakayama, and T. Shibata, "A Low-Power Switched-Current CDMA Matched Filter with On-Chip V-I and I-V Converters," accepted for presentation at 2004 Symposium on VLSI Circuits, 2004.

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：10,000 以上，100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



フローティング・ゲート MOS 回路技術を用いた低消費電力 CDMA マッチトフィルタ

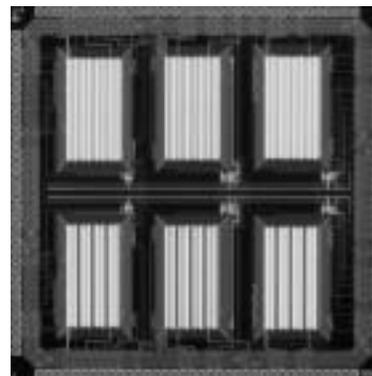
東京大学大学院工学系研究科 山崎 俊彦

東京大学大学院新領域創成科学研究科 中山 友之

概要：フローティング・ゲート MOS 回路技術を用いて低消費電力・省面積の CDMA マッチトフィルタを開発した。演算アルゴリズムを見直すことにより 1 クロックで全ての演算を実現する新たな相関演算方式を開発した。また演算に参加するカップリングキャパシタの数を半分にする事でキャパシタンスの充放電にかかる消費電力を削減し、低消費電力動作を実現した。0.35- μ m CMOS プロセス技術を用いてチップ長 256 のマッチトフィルタを設計・試作し、電源電圧 3V においてサンプリングレート 5MS/s, 消費電力 6mW で動作することを確認した。チップ面積は約 1mm² と、従来報告されているものに比べて省面積を実現している。このマッチトフィルタを基本に、サンプリング位置を指定するアドレスデコーダに替えて低消費電力なクロック・オン・デマンド型フリップフロップを用いたマッチトフィルタも試作した。

参考文献：T. Yamasaki, T. Fukuda, and T. Shibata, "A Floating-Gate-MOS-Based Low-Power CDMA Matched Filter Employing Capacitance Disconnection Technique," Digest of Technical Papers of 2003 Symposium on VLSI Circuits, pp. 267-270, Kyoto, June 12-14, 2003.

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10,000 以上，100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



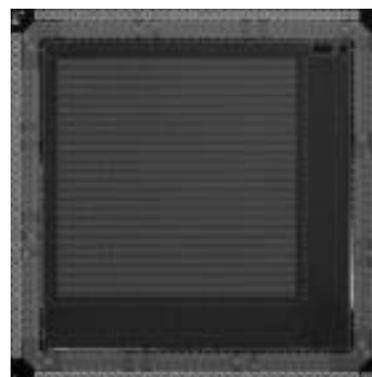
Resonant による動き位置検出および速度検出回路の第3版

東京大学大学院新領域創成科学研究科 梅島 誠之

概要：本試作では、本研究室が独自に開発した「連想アーキテクチャ」における「外界からの情報を取り込む」という部分を担うチップを、アナログ共鳴回路を応用して試作した。今回のチップは、「動く物体の速度の検出」及び「動く物体の位置の検出」という2つの機能を持つ。このチップでは、最大 64 \times 64pixel の任意の矩形範囲内で動体の位置を検出することが可能であり、最大 \pm 7pixel 分移動する動体の動きを検出することができる。本試作では矩形範囲指定回路を改良し、最大約 1/10 の速度で以前と同じ範囲を指定することが可能となった。また、本試作チップが 118frame/sec の速度で動作することを確認した。

参考文献：M. Umejima, T. Yamasaki, and T. Shibata, "A Bump-Circuit-Based Motion Detector Using Projected-Activity Histograms," accepted for the presentation at The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004) .

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



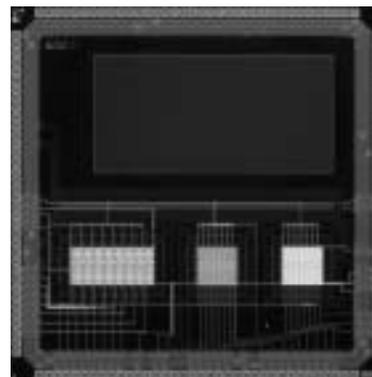
Mixed-signal メディアン値探索回路

東京大学大学院工学系研究科 山崎 英男

概要：メディアンフィルタは、画像のスパイクノイズ除去等に用いられており、画像処理の分野では非常に重要な処理の一つである。しかし、メディアン値探索の演算コストが高いため、ソフトウェアで実装すると遅延時間が増大する。また、専用のデジタル回路で実装すると規模が大きくなってしまふ。そのため、Mixed-Signalの回路で小規模かつ高速なメディアンフィルタが開発されてきた。[1] この回路はバイナリサーチのアルゴリズムを採用し、その中で必要となる多数決の機能をMixed-Signalの回路で構成しているが、精度の面で問題があった。そこで、我々の研究室では差動対を構成することにより高精度のメディアンフィルタを開発した。また、フローティングゲートMOS技術を用いた低消費電力のタイプも開発した。本チップでは、これまでに開発してきたメディアン値探索回路の性能比較を行うため、TEGとして40入力のメディアンフィルタを3種類設計した。

参考文献：[1] B. L. Lee and C.-W. Jen, "Bit-sliced median filter design based on majority gate," IEE Proceedings-G, vol. 139, pp. 63-71, Feb. 1992.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG (特性評価回路など)

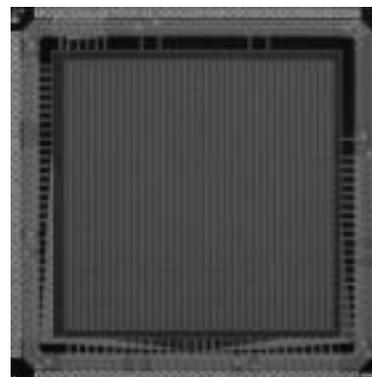


フォトダイオードアレイ

東京大学大学院新領域創成科学研究科 中下 友介

概要：イメージセンサに画像処理演算回路を搭載し出力を得た場合、どのような画像をセンサがとらえているのかの特定が難しい。入力画像と演算結果画像との比較をとることは、測定の上で必要不可欠であるが、入力が光という特殊な条件のため、全てのチップでその比較をとることは難しい。そこで、フォトダイオードアレイで構成した撮像チップを作成した。このチップと演算器搭載チップを同じソケットに載せ測定を行うことで、イメージセンサが捕らえている画像と、その演算結果を比較することが可能になる。また、CMOSイメージセンサの性能を左右するフォトダイオード単体の特性を調べるためのTEGも搭載し、様々なサイズのフォトダイオードにおける性能の違いを測定する。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：イメージセンサ/スマートセンサ

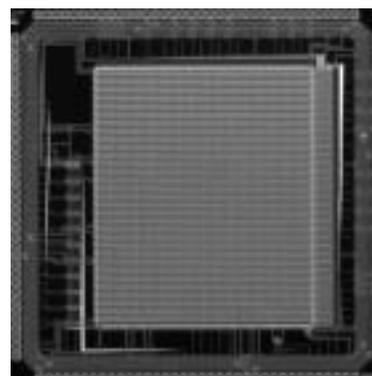


三次元集積人工網膜チップのための電流型人工網膜回路

東北大学大学院工学研究科 中川 源洋, 沈 正七, 栗野 浩之, 小柳 光正

概要：近年、生体の視覚情報機構を真似た neuromorphic vision chip の研究が注目されている。しかしながら、vision chipなどはイメージセンサの周辺に処理回路を配置するため、解像度、開口率を大きくできないなどといった問題点があった。更に、データ通信の際のバスボトルネックも高速動作の大きな弊害となっていた。そこで、LSIを三次元的に積層する三次元集積化技術を vision chip に用いることが提案されており、筆者らは三次元集積人工網膜チップの開発を目指している。本チップでは、その三次元集積人工網膜チップのための人工網膜回路の設計を行った。この回路は、人間の網膜の視細胞、水平細胞、双極細胞の持つコントラスト強調の機能を有している。本人工網膜回路にはアナログ回路技術を利用し、また、電流モードで動作させることにより、トランジスタ数の削減(省面積化)、広い動作範囲を実現している。1次元に配列した人工網膜回路の測定により、入力画像のコントラストを強調した結果が得られ、本回路の基本機能であるコントラスト強調が実現できたことを確認した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：イメージセンサ/スマートセンサ



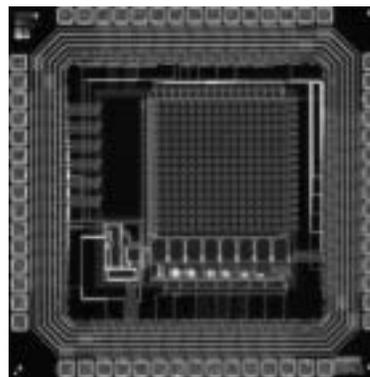
A/D変換器を内蔵した周波数変調パルス型イメージセンサ

東北大学大学院工学研究科 杉村 武昭, 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要：人の生活環境のような複数移動物体を含むような動的環境においてロボットが周囲の環境の変化に素早く反応して活動するためには、視覚情報を高速で処理する必要がある。そのためにはどのような照明条件にあっても適切な感度領域へ自動的に適応し、高速に情報処理ができるビジョンシステムが求められている。本試作チップは、入射した光の大きさに応じて周波数変調パルスを出力する16×16ピクセルのイメージセンサとパルスをカウントしA/D変換を行う8つの並列カウンタから構成され、外部からの制御によりダイナミックレンジを適応的に変化させることで幅広いダイナミックレンジを実現することが出来る。本試作チップの測定の結果、700～14000lxの広いダイナミックレンジと、30～750frame/secの高速なフレームレートでの画像情報の読み込みを確認した。

参考文献：杉村武昭, 出口淳, 沈正七, 栗野浩之, 小柳光正, "周波数変調パルス型イメージセンサを用いたロボットのための適応ビジョンシステム", pp.106-107, 日本機械学会東北支部第39期総会・講演会講演論文集 No.041-1 (2004)

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35μm 2.4mm角 チップ種別：イメージセンサ/スマートセンサ



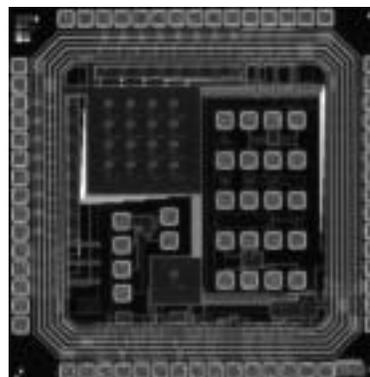
積層型人工眼のための基本回路の試作

東北大学大学院工学研究科 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要：加齢黄斑変性症や網膜色素変性症などにより視細胞が死滅して失明に至った患者の治療のために、患者の網膜を直接電気刺激して視覚機能を回復させる人工眼の開発が求められている。我々はLSIを3次的に積層する3次元集積化技術を用いた積層型人工眼を提案している。この人工眼で用いる回路の基本的な動作特性を確認するために、今回、我々は単層構造から成る人工眼を試作した。人工眼回路は正極性パルスと負極性パルスを連続して出力する必要がある。また、それぞれのパルス幅、間隔、振幅は患者に合わせて調整することが求められる。これらの機能を実現するために、我々はアナログCMOS非同期回路を用いてこの回路の設計を行った。測定結果から人工眼回路の基本的な動作特性を確認することができた。

参考文献：[1] J. Deguchi et. al., "Three-Dimensionally Stacked Analog Retinal Prosthesis Chip," Proc. SSDM, pp.402-403 (2003) .

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35μm 2.4mm角 チップ種別：イメージセンサ/スマートセンサ

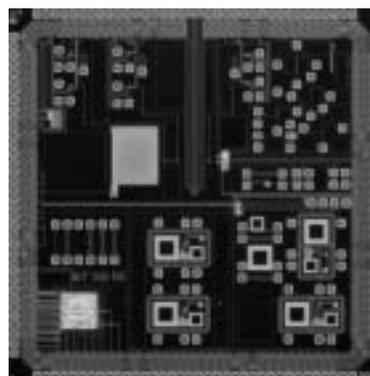


相変化不揮発性メモリと長ビット数対応暗号処理LSI-IP及びLNA

金沢大学工学部 集積回路工学研究室 高田 雅史, 源 貴利, 橋 秀明, 伊藤 久浩, 北川 章夫

概要：相変化不揮発性メモリとはVI族元素であるカルコゲン元素を記憶素子として用いた不揮発性メモリの一種である。本設計では、素子に流れる電流を幾つかの特性評価用回路にて計測することを目的としている。さらにメモリとしての動作を確立する為、周辺回路の構成やメモリコアの形状など一から見直し、新たに設計を行った。長ビット数対応暗号処理LSIとはRSA暗号よりも安全といわれている楕円曲線暗号処理をさらに長ビット化して安全性を常に確保するためのLSIをソフトIP化することを目的として、必要な演算器の高性能化を目指している。その第一歩としての試作を行った。他に本研究室で本年度から始めるRF混載システムLSI設計の為のチップ特性計測用の回路やLNAに代表されるRF構成回路の試作もまた行った。LSIテストを用いて試作チップの測定と検証を行うことが可能な部分については回路動作を確認することが出来た。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35μm 4.9mm角 チップ種別：アナデジ混載

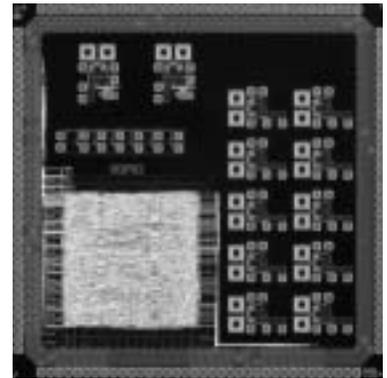


OGPIC マイクロコントローラ, VCO

金沢大学工学部 集積回路工学研究室 有賀 健太, 尾形 秀範, 北川 章夫

概要: MicrochipTechnology社マイクロコントローラ PIC16F84の命令セット互換コントローラを作成した。これは、プログラムメモリ空間 8kword, データメモリ空間が 512byte, プログラム幅 14bit, データ幅 8bitである。命令数は 35, スタック 8レベル, 直接間接各アドレッシングモード, IO は双方向 13ピンである。周辺機能として, 8bit タイマ, ピン変化割り込み, スリープモードを有する。Verilog-HDLで記述し, 合成した結果, 面積は 4.9mm 角チップの 1/4 程度であった。テストにより測定した結果, 性能は, 最高動作周波数:140MHz, 消費電力:動作時 45mA@50MHz, 3.3V 待機時 <2uA @3.3Vであった。正常動作を確認し, VDEC に IP として登録した。特定小電力無線での使用を目的とした VCO を設計した。センサネットワークを考えたとき, 特定小電力無線は現時点で最も実用的な無線通信規格の 1 つである。VCO の消費電力と性能 (位相雑音) の関係調べるために, 数種類を載せてある。また, バイアス電流を外付け可変抵抗器によって調整する構成も載せた。インダクタは前回試作の測定結果をもとに, 最適化されている。

設計期間: 4 人以上, 5 人未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 μ m 4.9mm 角 チップ種別: アナデジ混載

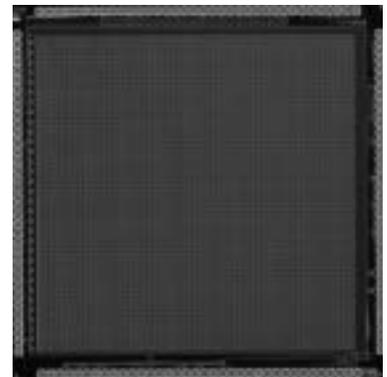


生体の網膜に学んだ二次元エッジ検出網膜チップの試作

豊橋技術科学大学工学部 澤 伸也, 米津 宏雄

概要: 我々は, 網膜の視覚情報処理機能に学び, 物体の輪郭情報を実時間で生成するエッジ検出網膜チップの提案とその集積回路化を試みてきた。提案する網膜チップは, 入力段である光センサ部に, 入力光の対数に比例した電圧の生成を行なう対数変換型光センサ回路が導入されている。これにより, 広範囲の光強度範囲に対応でき, 約 5 桁のダイナミックレンジを有することが Simulation Program with Integrated Circuit Emphasis (SPICE) を用いたシミュレーションにより確認されている。そこで, 本試作では, 単位回路を 64 \times 64 画素配列した二次元エッジ検出回路を試作した。試作チップの測定では, 各基本回路の動作を検証するとともに, 網膜チップの特性を評価することを目的とした。

設計期間: 0.5 人以上, 1 人未満 設計ツール: Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 μ m 4.9mm 角 チップ種別: イメージセンサ/スマートセンサ

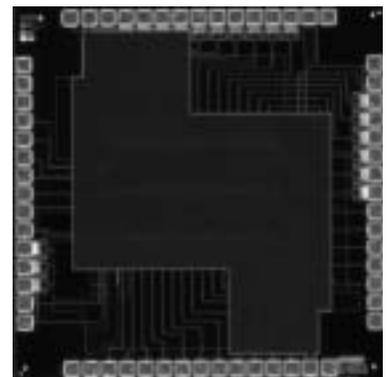


生体の網膜に学んだ一次元エッジ検出網膜チップの試作

豊橋技術科学大学工学部 澤 伸也, 米津 宏雄

概要: 我々は, 網膜の視覚情報処理機能に学び, 物体の輪郭情報を実時間で生成するエッジ検出網膜チップの提案とその集積回路化を試みてきた。提案する網膜チップは, 入力段である光センサ部に, 入力光の対数に比例した電圧の生成を行なう対数変換型光センサ回路が導入されている。これにより, 広範囲の光強度範囲に対応でき, 約 5 桁のダイナミックレンジを有することが Simulation Program with Integrated Circuit Emphasis (SPICE) を用いたシミュレーションにより確認されている。そこで, 本試作では, 単位回路を一次元に 16 個配列したエッジ検出回路を試作した。試作チップの測定では, 各基本回路の動作を検証するとともに, 網膜チップの特性を評価することを目的とした。

設計期間: 0.5 人以上, 1 人未満 設計ツール: Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: ローム CMOS 0.35 μ m 2.4mm 角 チップ種別: イメージセンサ/スマートセンサ



下等動物の視覚系に学んだ動き検出ネットワークを構成するアナログ基本回路の試作

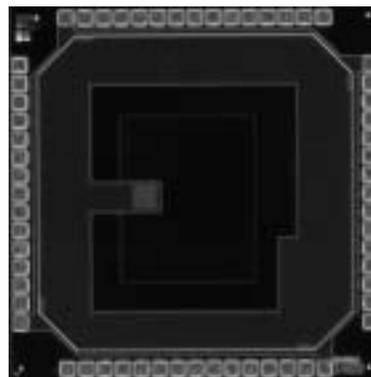
豊橋技術科学大学工学部 西尾 公裕, 米津 宏雄

概要: 下等動物の視覚系に学んで, 簡単な形状認識機能を有する物体の接近を検出する機能を実現するネットワークの提案とその集積回路化を行ってきた [1]. バッタの脳に存在する下行性反対側運動検知細胞 (DCMD) では, 網膜上に投影された画像の大きさとエッジの速度に対応する拡大速度の情報を組み合わせて, 物体の接近を検出するとともに, 接近速度および接近方向を検出している. また, カエルなどの下等動物は, エッジの情報を基に, 簡単な形状を認識している. 上述したネットワークを構成するアナログ基本回路を検証するために, チップを試作した. そこでは, 回路を構成する全ての MOS トランジスタを最小線幅で設計した. 試作チップの測定では, 各アナログ基本回路の特性を評価する.

参考文献: [1] K. Nishio, H. Yonezu, M. Ohtani, H. Yamada and Y. Furukawa,

"Analog Metal-Oxide-Semiconductor Integrated Circuits Implementation of Approach Detection with Simple-Shape Recognition Based on Visual Systems of Lower Animals", Optical Review, vol. 10, pp. 96-105, 2003.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** イメージセンサ/スマートセンサ



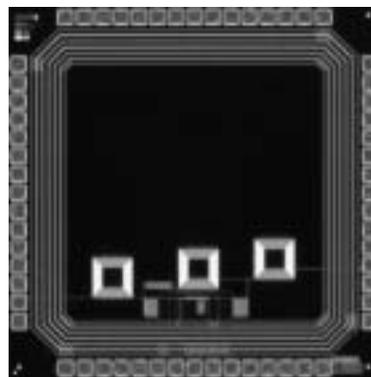
E 級 DC-DC コンバータ

福岡大学工学部 末次 正

概要: E 級増幅器を用いた DC-DC コンバータを製作した. 整流器は同期スイッチング方式とし, インバータスイッチ, 整流器スイッチ, インバータのシャントキャパシタ, 同期整流器のシャントキャパシタ, これら 2 つのスイッチの駆動回路, 共振インダクタ, 共振キャパシタを集積した. 出力電圧の制御はスイッチング周波数の周波数制御によって行う. 動作周波数は無負荷で 800MHz として VCO を制御回路内に組み込んだ. 共振インダクタのインダクタンスは 22nH, 共振キャパシタのキャパシタンスは 50pF とした. 共振インダクタはメタル 3 レイヤーを用いて作成した. 共振キャパシタはフローティングコンデンサレイヤを用いて作成した.

参考文献: Tadashi Suetsugu, Shuichi Kiryu, and Marian Kazimierczuk, "Feasibility Study of on-chip class E converter," Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS2003), Vol. III, pp. 443-446, 2003.

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

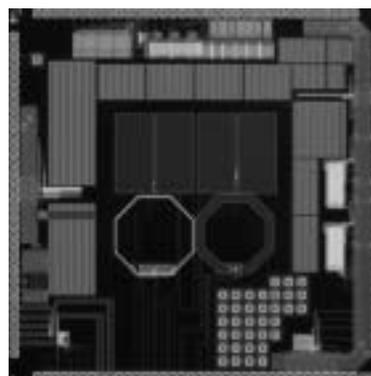


低 VTH 世代のためのアナログ回路および FPGA におけるリーク電流対策回路

東京大学生産技術研究所 石田 光一, Quang Canh Tran

概要: 本チップには以下の評価回路が搭載されている. ・アナログ回路におけるリーク電流の影響を評価する TEG・FPGA におけるリークカット回路 テクノロジーの進化に伴い, 電源電圧は低下の一途をたどっている. 将来的には, トランジスタを動作させるためにしきい値電圧を現在よりも大幅に低下させる必要が出てくる. しかし, しきい値電圧を下げるとリーク電流が増加してしまい, 電力のほとんどを消費してしまうことになる. 本研究では, アナログ回路および FPGA 回路におけるリーク電流の影響評価およびリークカット回路を提案する. アナログ回路におけるリーク電流の影響評価のためのスイッチトキャパシタによる積分器回路. FPGA では MUX が多数用いられており, MUX の入力 H と L が混在したとき, H から L に流れるリーク電流がある. このリークを止めるための回路を設計した. 閾値電圧が高いためリークはほとんど流れないのでリークエミュレータの回路も入れた.

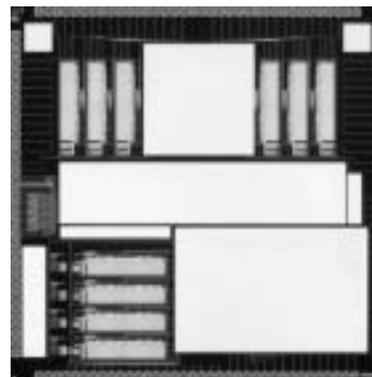
設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)



チップ間ワイヤレス伝送方式評価 TEG

東京大学生産技術研究所 稲垣 賢一, Danardon Dwi Antono

概要： チップの動作周波数が増加の一途をたどる中、チップ間のデータ伝送については入出力回路およびチップ間配線がネックとなり、速度向上のペースが遅れている。本試作ではいくつかのタイプの容量結合式チップ間ワイヤレス伝送方式をテストする。2つのチップを対向させてそれぞれのパッド間に容量結合を形成し、多数の信号を同時に授受することによりスループットの向上を図るものである。しかし、入出力回路の密度が向上するにつれて周囲のパッドからの信号がノイズとして見えてしまう。この評価のため2パターンの容量結合型ワイヤレススーパーコネクタ (WSC) のテスト回路を搭載している。また、オンチップ型ワイヤレススーパーコネクタ (WSC) の動作を確認するためのシステムを設計した。送信側から複数の周波数の信号を送り込んで、受信側で信号を受け取り動作を確認する。また信号の送受信に使われるパッドも数種類を用意する。



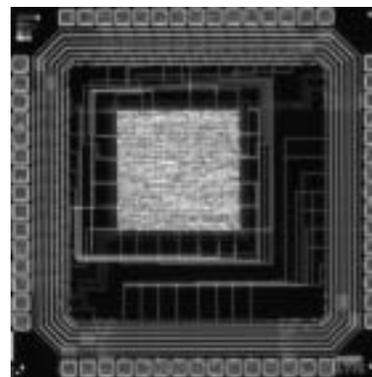
設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG (特性評価回路など)

SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要：SFQ/CMOSハイブリッド $\Sigma \Delta$ ADコンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能のADコンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究ではSFQ $\Sigma \Delta$ モジュレータの後段に接続するためのCMOSデシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの20GHzの信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅10MHz、14bのADコンバータが実現できる。本チップではダウンサンプリング係数128のデシメーションフィルタを試作した。



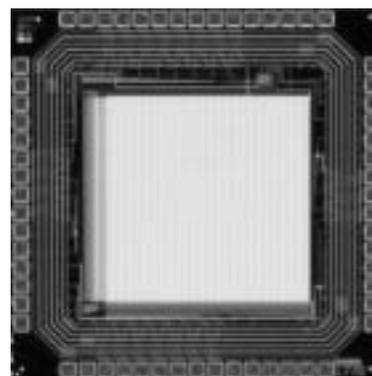
設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要：SFQ/CMOSハイブリッド $\Sigma \Delta$ ADコンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能のADコンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究ではSFQ $\Sigma \Delta$ モジュレータの後段に接続するためのCMOSデシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの20GHzの信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅10MHz、14bのADコンバータが実現できる。本チップではダウンサンプリング係数1024のデシメーションフィルタを試作した。



設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

フレキシブル・プロセッサ (FP-2+)

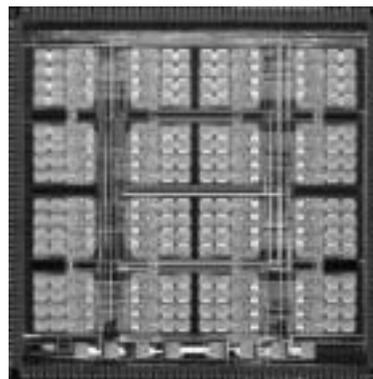
東北大学大学院工学研究科 大川 猛, 藤林 正典, 山下 雅房, 宮本 直人, カルナン レオ,
喜多 総一郎, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要:回路を動的に再構成できる「フレキシブル・プロセッサ (FP-2+)」を開発した。前回試作のFP-1をベースとして、128個のフレキシブルモジュールを集積した。8個のフレキシブルモジュールを1クラスタ化し、16クラスタで1チップを構成する階層的プログラム配線アーキテクチャを実装している。FP-2は大規模デジタル回路のエミュレーションを単一のチップで行う、低コストなパーソナルエミュレータに搭載することを前提として設計されており、一つの回路を適切に分割し、順次実行することでオリジナルの回路の機能を実現する「回路の時分割実行機能」を備える。回路構成情報を外部メモリから逐次ダウンロードすることで、無限大規模のLSI論理エミュレーションを行うことができる。

参考文献: Takeshi Ohkawa, Toshiyuki Nozawa, Masanori Fujibayashi, Naoto Miyamoto, Karnan Leo, Soichiro Kita, Koji Kotani and Tadahiro Ohmi, "The Flexible Processor - Dynamically Reconfigurable Logic Array for Personal-use Emulation System," 2003 Symposium on VLSI Circuits, Digest of Technical Papers, pp. 279-282

設計期間: 2ヶ月以上, 3ヶ月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **チップ種別:** マイクロプロセッサ



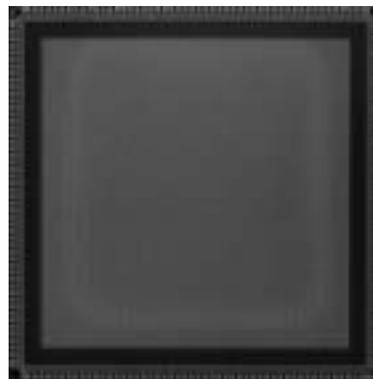
200×200画素三相時間相関イメージセンサ

東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

概要:我々は高度な画像センシング手法の開拓を目的として、入射光強度と各画素共通の外部参照信号との時間相関を画像として出力する時間相関イメージセンサの開発を続けている。本試作では、最小線幅0.35 μ m, チップ面積9.8mm角という高解像度に最適な条件を最大限活用し、オンセミコンダクタの試作で継続的に成功を挙げているNMOS乗算・PMOS積分型三相時間相関イメージセンサ [1] の200×200画素集積化を試みた。これまでローム0.35 μ mのプロセスでは設計ミスによるものを含め、試作チップがなかなか期待通りに動作しなかった [2] - [5] が、本試作に至ってようやく満足できる動作性能を示すチップを製作することができ、本プロセスにおける試作での見通しが得られた。従来に比べて画素数が多いため、横方向アドレスについて2画素同時に並列読み出しを行っている。

設計期間: 1ヶ月以上, 2ヶ月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **チップ種別:** イメージセンサ/スマートセンサ



128×128画素時間相関イメージセンサ (第5報)

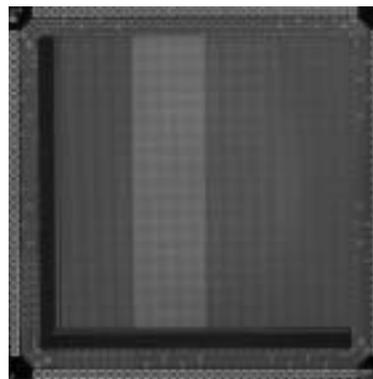
東京大学大学院情報理工学系研究科 安藤 繁

大阪電気通信大学総合情報学部 来海 暁

概要:我々は高度な画像センシング手法の開拓を目的として、入射光強度と各画素共通の外部参照信号との時間相関を画像として出力する時間相関イメージセンサの開発を続けている。本試作では性能悪化の一因と疑われるキャリアの漏洩の影響を評価するため、NMOS乗算・PMOS積分型の128×128画素時間相関イメージセンサ [1] におけるフォトダイオード・乗算用NMOS・読み出し用PMOS・積分用PMOSの間の基板・ウェル電位固定用ガードリングの形態を何通りかに変えた画素を混載したレイアウトを設計した。評価実験の結果では、ガードリングの有無による積分用PMOSの面積の増減の影響とキャリアの漏洩による影響との明確な分離を行うことが難しいことを確認した。

参考文献: [1] 安藤, 来海: 128×128画素時間相関イメージセンサ (第4報), 2002年度VDEC年報 (2003) .

設計期間: 1ヶ月以上, 2ヶ月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **チップ種別:** イメージセンサ/スマートセンサ

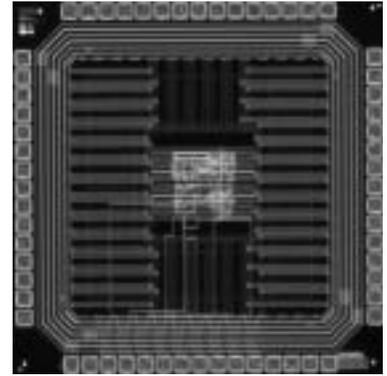


液晶表示コントローラの試作

東京大学大学院情報理工学系研究科 高松 誠一, 齋藤 宏, 酒造 正樹, 下山 勲

概要：我々の研究室で試作した液晶を駆動する液晶表示コントローラを試作した。試作した液晶は、縦横に配置された電極に電圧を印加することによって画素を点灯する単純マトリクス方式である。電極間に印加する電圧を交流（方形波）にすることによってデジタル出力（5V）での直接駆動が可能である。液晶表示コントローラに必要な機能は次の2つである。画像データ入力に対し液晶上でどの画素に電圧を印加するかを選択する出力する機能と与えられた画素に方形波を出力する機能である。今回、後者の機能をチップによって実現した。詳細は次のとおりである。画像を表示する液晶は縦2入力、横2入力の4画素の単純マトリクスである。試作したチップの入力は、2MHzのクロック入力と4つの画素を選択する入力がある。出力は画素の2×2の電極にクロック入力を1/1000に分周をした方形波を出力する。検証としては、画素の選択部分はスイッチで代用し、研究室で試作した液晶を駆動することに成功した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：その他



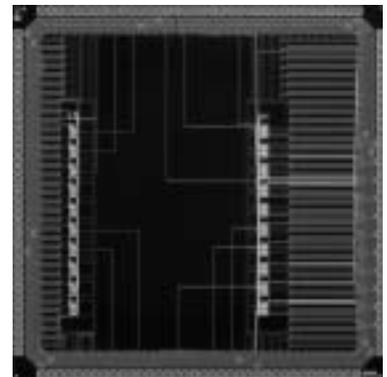
メディカルイメージング用チップ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章

東京大学人工物工学研究センター 高橋 浩之

概要：ラジオグラフィ、PET、SPECTなどのメディカルイメージングにおいて高い解像度を得るためには、多チャンネルの計測回路が必要である。特に最近注目されている広いダイナミックレンジと高い画質を可能にするフォトンカウンティングによるイメージングを実現するためには、大規模かつ高速な多チャンネルのパルス計測回路が必要である。このためには、通常のディスクリート回路を用いたのでは、回路規模およびコストの点で問題が多い。ここでは、多チャンネルのパルス信号処理回路として、10チャンネルの信号波形整形回路、およびディスクリミネータを集積したチップを試作した。本チップと10チャンネルのプリアンプを組み合わせることで、外付け部品はほとんど不要でメディカルイメージング用のフロントエンド回路が構成される。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



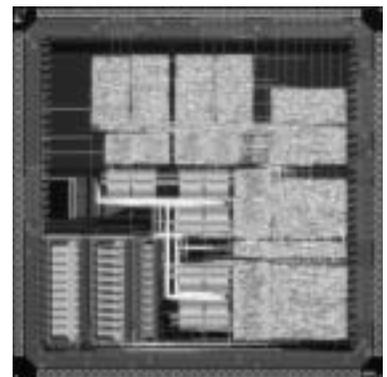
PET用フロントエンドチップ

東京大学大学院工学系研究科 石津 崇章, Yeom Jung Yeol

東京大学人工物工学研究センター 高橋 浩之

概要：PET（ポジトロンCT）は体内に投与された薬剤から出るポジトロンが消滅する際に互いに反対方向に放出される2本のガンマ線を外部においたガンマ線位置検出器で計測する。現在開発の進められている次世代PETにおいては、数ナノ秒の時間分解能を有し1mm程度までの位置分解能で入射位置を求める必要がある。本チップは10チャンネルのPET（ポジトロンCT）用フロントエンドチップに修正を加えたもので、光電子増倍管およびアバランシェフォトダイオードから得られる信号を接続し高速のADCで信号波形を記録し、信号パルス間の時間情報と波高情報を記録・解析するものである。得られた6ビットの波形データはチップ上のFIFOメモリに一時記録された後、シリアルデータとして読み出され、外部におかれた波形解析モジュールにより解析されることを想定している。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナデジ混載

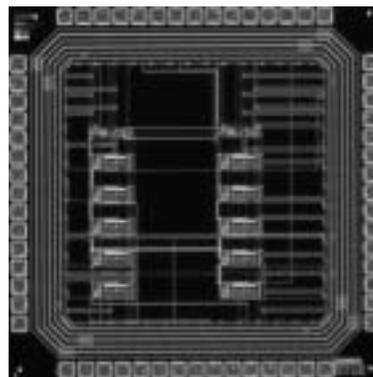


多チャンネルプリアンプ

東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章
 東京大学人工物工学研究センター 高橋 浩之

概要：放射線イメージングにおける多チャンネルパルス計測のためには、検出器から得られる微弱なパルス信号を高速に処理し、かつ高い信号対雑音比で計測することのできる、検出器と直接接続可能なプリアンプが多数必要となる。従来の接合型FETを用いたディスクリート回路では、十分高い信号対雑音比が得られていたが、CMOS集積回路を用いると、MOSFETの1/f雑音の影響などから信号対雑音比があまり高くとれず問題となっていた。ここでは、ブーステッドゲインカスコード型の増幅器を採用し、初段トランジスタの増幅度をきわめて大きくとって、等価雑音電荷で340電子、立ち上がり時間15nsと通常のディスクリート回路と比較しても遜色ない雑音性能と高速性を実現した。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100以上, 1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



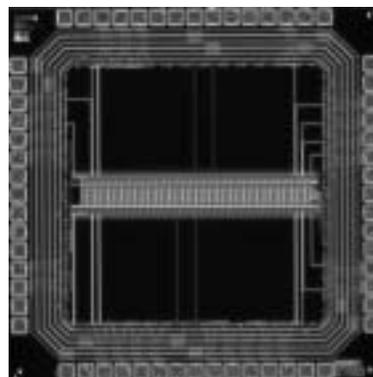
高速サンプリングを目指したアナログメモリの開発

東京農工大学大学院工学研究科 木下 拓也, 榎沢 謙和

概要：本研究のアナログメモリは、高エネルギー物理実験において検出されたアナログ電気信号を高速サンプリング (500MHz) することによってアナログ的に一時記録し、トリガーが生成された際に低速で出力 (10MHz) する。この働きによって、多チャンネルの高速信号を安価にしかも低消費電力で実現できる。アナログメモリは主に、サンプリング動作シフトレジスタ、読み出し動作のシフトレジスタ、メモリーセル (書き込み用 CMOS スイッチ, メモリコンデンサ, 読み出し用 CMOS スイッチを接続したセル), そしてオペアンプによって構成される。6月のチップ試作に32個のメモリコンデンサを搭載し、出力バファにオペアンプを使用したアナログメモリ (03june) を提出した。性能評価として、アナログ電気信号のサンプリングとアナログメモリ内に記録したアナログ電気信号の低速出力確認を行い、アナログメモリの基本動作ができることを確認した。詳細な性能評価は8月提出のアナログメモリ (03aug) でのみ行った。

参考文献：『A 700-MHz Switched-Capacitor Analog Waveform Sampling Circuit』 Gunther M. Haller, Member, IEEE, and Bruce A. Wooley, Fellow, IEEE, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 29, No. 4, APRIL 1994

設計期間：10人月以上 **設計ツール：**Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**メモリ

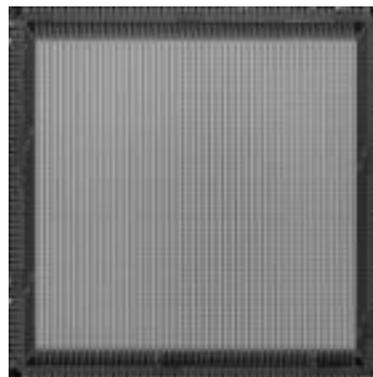


PWM方式画素並列2次元ガボールフィルタ回路

九州工業大学大学院生命体工学研究科 森江 隆
 広島大学大学院先端物質科学研究科 梅澤 淳, 岩田 穆

概要：ガボールウェーブレット変換は画像の局所的な空間周波数を抽出ことができ、顔認識や医療画像診断などで威力を発揮する強力な特徴抽出法として知られているが、計算量が膨大なため応用が限られていた。LSI化して計算時間を短縮するためには処理の並列化が鍵だが、すでにB. E. Shiによって抵抗ネットワーク型セルラーニューラルネットワークによる画素並列計算モデルが提案されていた。しかし、このモデルには高い演算精度が必要、窓関数がガウス型にならず空間・周波数領域での不確定性関係が最小になっていない、演算ステップが多い、などの問題があった。今回、これらの問題を解決した改良モデルを考案し、我々が以前から提案しているPWM信号を用いたアナログ・デジタル融合回路アーキテクチャにより、チップ化を図った。9.8mm角のチップに61x72画素分の回路を集積し、それらが並列で動作する。ロジアナを用いた測定により (テストは使用せず)、インパルス動作、空間周波数抽出動作を確認した。

設計期間：3人月以上, 4人月未満 **設計ツール：**SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μ m 9.8mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

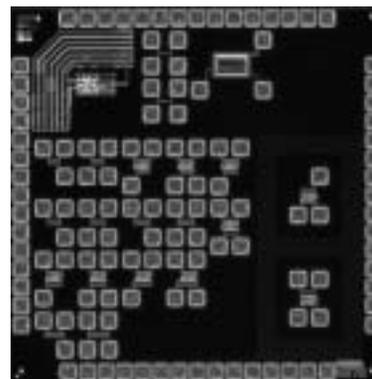


インピーダンス変換回路用 TEG の設計

大阪府立大学先端科学研究所 田中 智之, 中尾 基, 泉 勝俊

概要： LSI のデバイス・プロセス及び回路設計技術の進展により、その駆動用電源電圧は低くなってきている。これによりデジタル回路ではさほど問題にはならないが、アナログ回路では様々な問題が発生する。我々は低消費電力増幅回路の設計を今後の目標としており、本試作はその準備と捉える。また、当研究室では、以前よりデジタル回路の設計を中心に行ってきたが、今回、初めてアナログ回路設計に取り組んだ。増幅回路を次段の回路につなぐ際、バッファ等挿入せずに接続すると前段の増幅回路の出力ラインインピーダンスが低下し、所望の特性が得られない。本設計では、出力バッファの特性把握を目的とし、次段の高負荷を駆動するために様々なデバイス寸法でバッファを設計した。また、当研究室初のアナログ回路の設計であり、その設計手法の習得も目的とした。測定においては、特に低電源電圧特性及び雑音特性等に注力した。回路構成が非常にシンプルのため、各特性はプロセスに依存する部分が多いと考えられるが、今後の設計予定のアプリケーションへの準備としてのデータは揃えることができた。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

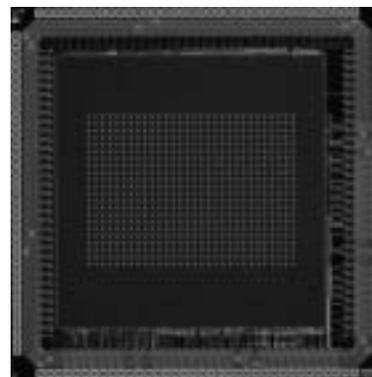


差分光再構成型ゲートアレイ

九州工業大学 渡邊 実

概要：高速に再構成が可能な差分光再構成型ゲートアレイ ODRGA (Optically Differential Reconfigurable Gate Array) -VLSI を開発した。このデバイスでは、チップ表面に並べられた受光素子に対してプログラム光を照射することで、ゲートアレイ部の回路を瞬間的に再構成することが可能である。また、この VLSI では差分再構成手法を用いることでビット単位での再構成が可能となっている。この度の設計では、フォトダイオード受光部のサイズを 25.5 μ m \times 25.5 μ m、その間隔を 99 μ m とし、592 個のフォトダイオードを実装した。設計には VHDL 言語を使用し、一部のセル、受光部とトランスミッションゲートのみをカスタムセルとして設計し、他のゲートアレイ部はスタンダードセルによって構成した。ゲートアレイ部は、4 ビット入力 LUT (Look-Up Table) を 1 個持つ論理ブロックが 4 個、スイッチング・マトリックスが 5 個、8 本の配線チャンネル、16 ビットの I/O の構成である。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：ニューテクノロジー

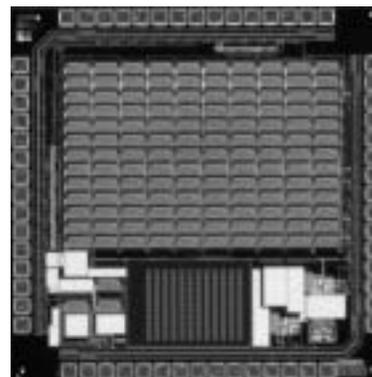


電流モード多値可変空間フィルタ検出器チップ

東京工業大学大学院理工学研究科 GO Hyunmin, 高山 潤也, 大山 真司, 小林 彬

概要：2次元あるいは3次元の空間情報を処理できる空間フィルタ検出器を集積化した電流モード多値可変空間フィルタ検出器チップを試作した。前回の試作で評価したフォトダイオードの出力特性を考慮し、画素数と面積をチップの大きさにあわせて最適化した。各画素からの光電流はアナログ回路によって荷重をかけるが、その荷重情報は外部からのインタフェースによりコントロールでき、7ビットの多値空間荷重を高速に切り替えられ、さらに出力信号の読み出しも高速に行える。評価ボードにより入力に対して出力信号の変化を確認したが、必ずしも所望の動作を得られなかったため、テスターによる詳しい動作テストを現在続けている。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：イメージセンサ/スマートセンサ



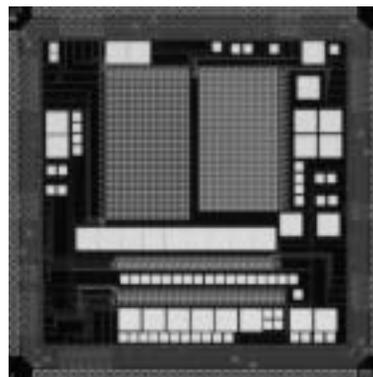
2次元時間フィルタアレイの設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要：実環境でダイナミックに変化する視覚情報を処理する場合、空間的な処理のみならず、時間的な処理も重要である。本チップは、前段のイメージセンサからの出力画像（電圧）を受け、画素ごとに時間的な積分あるいは微分を行うアナログチップである。前段のイメージセンサとしては、本研究室で既に開発されたシリコン網膜を用いることを想定しており、本チップと合わせて入力画像に対して時空間フィルタリングを実行する。積分回路は、連続2時刻間での重み付け平均を計算する。また、微分回路は、連続2時刻間での入力の差分を計算する。2次元的な画像情報の処理を目的としているため、積分回路、微分回路それぞれについて20x20画素のアレイを構成した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：

10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



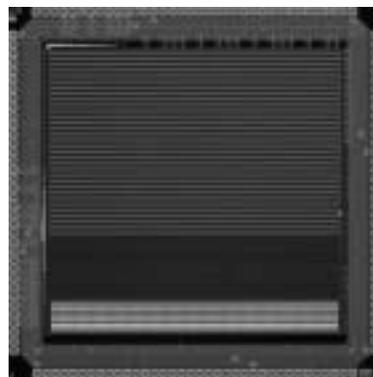
擬似2次元シリコン網膜の設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

広島大学先端物質科学研究科 亀田 成司

概要：シリコン網膜チップは、生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった利点を持つ。今回の設計では、自然照明下における実時間画像処理を基本視座とし、疑似2次元型アナログシリコン網膜チップを製作した。今回試作したシリコン網膜チップは、125x32画素の光センサ部と125x1画素の処理部から構成される。水平方向について1列ずつ並列に1次元ラプラシアン-ガウシアン型のフィルタ処理が行われ、処理結果が1画素ずつ順に読み出される。また、十分な出力精度を得るために、光センサ部にアクティブピクセルセンサを用い、回路の特性のばらつきを補償する機構を付加している。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：イメージセンサ/スマートセンサ



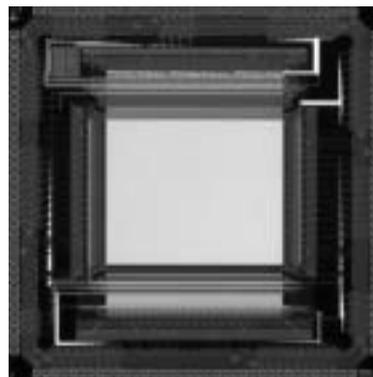
画素内背景光抑圧回路を有する高速3次元イメージセンサ

東京大学工学系研究科 大池 祐輔

東京大学大規模集積システム設計教育研究センター (VDEC) 池田 誠, 浅田 邦博

概要：時間領域を利用した高速な有意画素検出回路の高速化と、システムのロバスト性向上を目指し、簡易な背景光抑圧機能を画素内に実装することで、投射光強度の低減と、読み出し時間のマージン低減を図る。これにより、従来提案回路による3次元イメージセンサ [1] のさらなる高速化が期待できる。さらに、2D/3D 両方の実時間撮像の可能性を探るため、高速2D撮像用の並列AD変換回路を実装して性能評価を行う。画素数はQCIFフォーマット (176x144) である。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula, Synopsys HSPICE, NanoSIM, Apollo, Design Analyzer トランジスタ数：100,000 以上, 1000,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：イメージセンサ/スマートセンサ



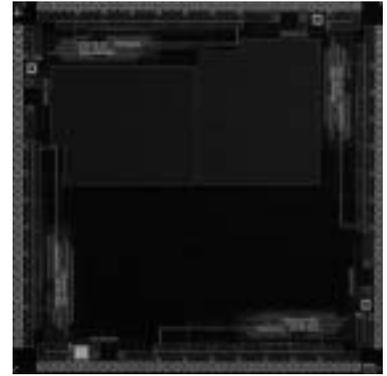
オンチップ di/dt 測定回路

東京大学工学系研究科 名倉 徹

東京大学大規模集積システム設計教育研究センター (VDEC) 池田 誠, 浅田 邦博

概要：近年の LSI の高速化に伴って di/dt の影響が増大し、寄生インダクタンスによる電源ノイズの発生や EMI ノイズの原因となっている。本研究では、電源線に流れる電流変化によって生ずる磁界をプローブすることで di/dt に比例した電流を発生する、オンチップ di/dt 測定回路を試作した。本回路とは別に、電源線に 1 オームの抵抗を直列に挿入してその両端の電圧を測定し、その差を取ることで電流値を測定できる回路を同時に作り込んだ。オンチップ di/dt 測定回路の波形と、抵抗の両端の電圧から求めた電流波形が一致することから、提案する di/dt 測定回路が理論通りに動作したことを確かめた。また、di/dt 測定回路の前後にデカップリング容量を付けたものと付けないものを比較し、デカップリング容量が有効に動作していることも di/dt 測定の結果から明らかになった。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula, Synopsys HSPICE トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

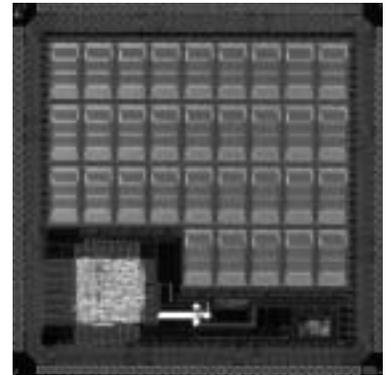


システムLSIの試作

大阪工業大学工学部 久津輪 敏郎, 荒木 英夫, 星野 聖彰, 尾川 広和

概要: CPUとメモリ・周辺回路・クロック通倍回路を1つのLSI上に実現し、1つのチップで、システムの機能を搭載することのできるシステムLSIの試作を行った。CPUと周辺回路は前回のモトローラのものとはほぼ同じ機能を有したシステム(NR8D)である。NR8Dはノイマン型RISCタイプの8bitのマイクロプロセッサに割り込みコントローラやシリアル通信コントローラ等の周辺回路を結合したシステムである。PLLは5倍の周波数シンセサイザで構成し、外部からの20MHzのクロックを内部で100MHzにすることができる。SRAMは32,768bit=4kbyteである。クロックとSRAMは内部のものと外部のものを選択できるようにしている。CPUと周辺回路は論理合成ツールを用いて自動でレイアウトを生成したが、SRAMとPLLは手設計によりレイアウトを行った。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **チップ種別:** マイクロプロセッサ



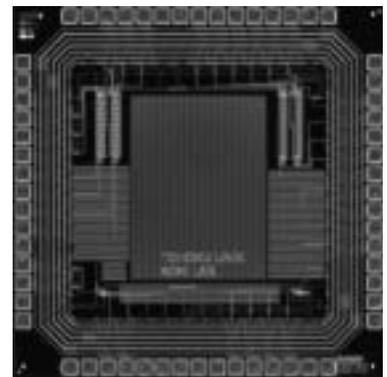
Counter Tree Diagramに基づく冗長2進加算器の設計および試作

東北大学大学院情報科学研究科 若松 泰平, 本間 尚文, 青木 孝文

東北工業大学工学部電子工学科 樋口 龍雄

概要: 本研究グループでは、加算器の統一的な表現が可能なCounter Tree Diagram (CTD) およびCTDに基づく設計手法を提案している。CTDを設計に用いることの利点は、冗長数系や多進数系に基づく加算アルゴリズムの解析が可能であり、冗長数系や多進数系に基づく高性能な加算アルゴリズムの導出が可能となる点にある。CTDによって導出された高性能な加算アルゴリズムを適用することにより、実現方式にとらわれず、高性能な回路を容易に設計できる。本試作では、提案するCTDを利用して、冗長2進(Redundant Binary)数系に基づく加算器(RBA)の設計を行った。RBAは、桁上げ伝搬の制限された高速な演算が可能な加算器として知られている。RBAは、CTDを用いた解析により、内部信号の符号化の違いからType-IとType-IIの2種類の回路方式に分類されることが分かった。本試作では、Type-IとType-IIの2種類の回路を、電流モード多値論理回路によって実現した。なお、従来の2値論理によって実現した場合においても高性能な回路となることをシミュレーションにより確認した。本試作チップは、現在評価中である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** 演算回路(乗算器, 除算器など)

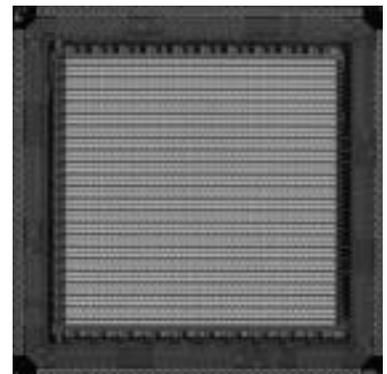


パルス幅変調方式の列並列データ送受信回路を有する画像処理チップの開発

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要: 超並列の回路構造により高速に画像情報を処理するビジョンチップにおいて、単位面積あたりの画素数と処理機能の複雑さはトレードオフの関係にある。この問題を解決するため、複数のチップで処理を分担することで、チップサイズを広げることなく単位面積あたりの画素数を向上させるマルチチップシステムが研究開発されている。今回は、列並列データ転送可能な画像処理チップを設計した。各画素はアナログメモリ、抵抗回路網、ばらつき補償回路で構成されている。外部の撮像装置からの画像情報を各画素のアナログメモリに転写し、抵抗回路網で空間的な平滑化演算を超並列に実行する。画像情報の入出力にはパルス幅変調方式を利用することで、転送経路に付加される雑音に強い。また転送回路を列並列に配置することで高速データ転送を可能にしている。画素数は40 \times 44、画素サイズは98.2 μ m \times 66.6 μ mである。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



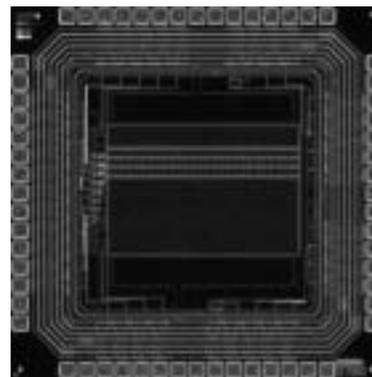
シリコン網膜に使用する抵抗回路網のTEG

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要：シリコン網膜は、生体視覚系の並列画像処理機構をアナログCMOS集積回路により模擬したもので、各画素に光センサ回路と処理回路を配置することで高速に画像処理を実行できる。シリコン網膜の研究において処理回路としてよく使われるのが抵抗回路網である。生体視覚系では細胞間に電氣的・化学的な結合がある。これを抵抗として表現して形成したものが抵抗回路網である。工学的な集積回路化に適しており、超並列の回路構造による空間的に広範囲なフィルタの形成を可能にする。本試作では抵抗回路網の特性を調べるために、1次元に配置した抵抗回路網のTEGを設計試作した。画素数は45画素である。2種類の抵抗回路網を並べ比較できる構成にしている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：

1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路（乗算器, 除算器など）



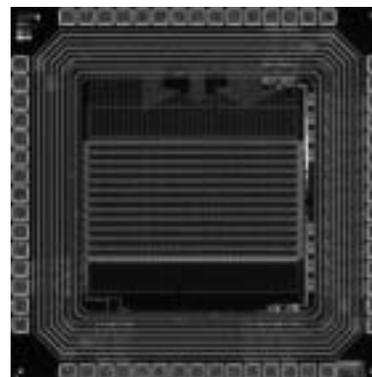
ビジョンチップに使用する光センサ回路のTEG

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要：各画素に光センサ回路と処理回路を配置することで高速に画像処理を実行するビジョンチップにおいて、光センサの特性を評価することは重要である。本試作では、ビジョンチップに使用される光センサ回路において特に注意すべきパラメータである、固定パターンノイズおよび感度を測定するためのTEGを設計試作した。CMOS標準プロセスのイメージセンサとして一般的に使用されているアクティブピクセルセンサ（APS）の構成を様々に変更したものを12種類用意した。受光エリアの大きさは統一し感度を比較できるようにしている。そして、同種の回路を46画素1列に並べることで、固定パターンノイズの影響を確認できる構成にしている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：

1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG（特性評価回路など）



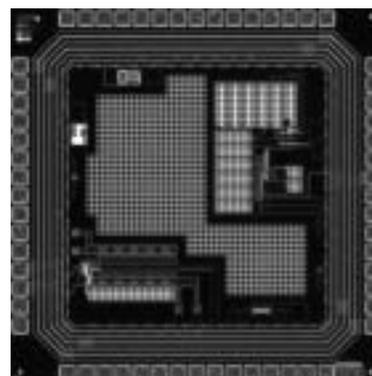
D級アンプ, バンドギャップリファレンス回路, スイッチトキャパシタ DC-DC コンバータ ver. 2

早稲田大学電気・情報生命工学科 釣井 雄介, 阿部 博明, 高須 甲斐, 佐々木 昌弘, 松本 隆

概要：近年、パワーアンプの小型軽量化, 高効率化が求められてきた。本チップでは一般に低消費電力という事で用いられているD級アンプに対し、4次バターワースLPF, Feedback, Self Oscillating System, Schmitt Triggerを用いて構成し、性能向上をはかった。また、ほとんどのプロセスパラメータは温度と共に変化してしまうため、多くのアナログ回路では温度に対する依存性をほとんど示さないReferenceは必要不可欠である。ここで、正負のTCの特性が最もよく定式化されたデバイスであるバイポーラトランジスタをCMOS技術で実現し、逆の温度依存性を持つ性質を打ち消しあう事でband Gap Reference回路を設計した。さらに、2003年2月に設計を行ったDC-DCコンバータをフィードバック方式をPFM制御に変えて設計した。DC-DCコンバータの測定を行った結果、前回のものに比べて若干性能は劣るものの効率80%を維持したまま省面積化を図ることが出来た。

参考文献：[1] Hadidi, 釣井, 佐々木, 松本"CMOSスイッチトキャパシタDC-DCコンバータ"2003年電子情報通信学会総合大会(2003)

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



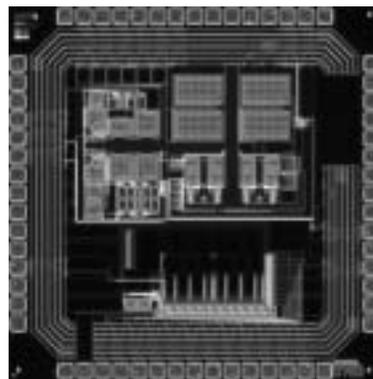
神経センシング LSI 評価 TEG

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆

概要：生体活動と神経活動の関係を正確に把握するため、生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている。小脳の神経信号を検出する神経信号センシング LSI を評価するため、ダイレクトチョップ方式低雑音増幅回路および逐次比較形 Analog-to-Digital Converter (ADC) TEG の設計・試作を行った。我々が提案したダイレクトチョップ方式低雑音増幅回路は、低周波雑音の存在する CMOS 演算増幅回路で、実際に数十 μV 振幅の神経信号を検出できることを示した。またチップ評価結果より、低雑音増幅回路の入力換算雑音は $4.4\text{nV}/\sqrt{\text{Hz}}$ 、消費電力は 5.7mW である。ADC は抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し、10 ビット分解能、サンプリング周波数 50kHz において、消費電力 $410\mu\text{W}$ 、SN 比 56.1dB を実現した。

参考文献：[1] 吉田毅, 真下隆行, 赤木美穂, 岩田穆, 吉田将之, 植松一眞, 1 チップ無線・神経信号センシング LSI の設計, 電子情報通信学会 信学技報, ICD2003-86, 2003 年 9 月。

設計期間：2 人以上, 3 人未満 設計ツール：SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



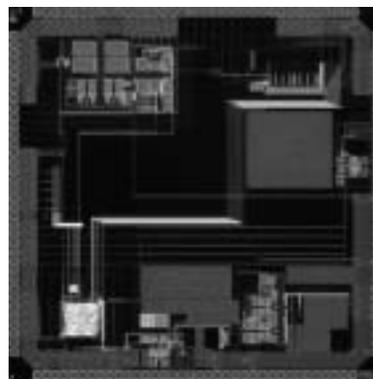
1 チップ無線・神経センシング LSI の設計

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 岩田 穆

概要：生体活動と神経活動の関係を正確に把握するため、生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている。本研究では小脳の神経信号を検出し、検出信号を無線で送信する神経信号センシング LSI の設計・試作を行った。設計した神経信号センシング LSI は、ダイレクトチョップ方式低雑音増幅回路、逐次比較形 Analog-to-Digital Converter (ADC)、無線送信回路によって構成されている。我々が提案したダイレクトチョップ方式低雑音増幅回路は、低周波雑音の存在する CMOS 演算増幅回路で、実際に数十 μV 振幅の神経信号を検出できる。ADC は抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し、10 ビット分解能、サンプリング周波数 50kHz 、消費電力 $230\mu\text{W}$ を実現する。

参考文献：[1] 吉田毅, 真下隆行, 赤木美穂, 岩田穆, 吉田将之, 植松一眞, 1 チップ無線・神経信号センシング LSI の設計, 電子情報通信学会 信学技報, ICD2003-86, 2003 年 9 月。

設計期間：2 人以上, 3 人未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 4.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

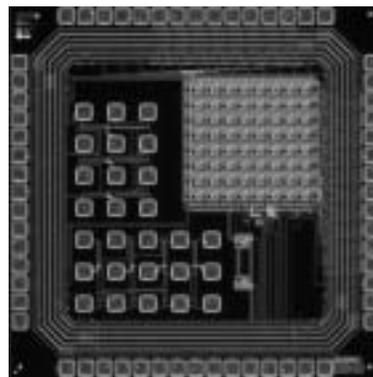


電気的中心窩構造実現のための要素回路

東北大学大学院工学研究科 中川 源洋, 沈 正七, 栗野 浩之, 小柳 光正

概要：半導体素子製造技術の進歩により、イメージセンサの画素数が急激に増加している。しかし、取り扱うデータ量が増大してしまい、高速な画像処理を困難にしている。一方人の視覚情報処理システムでは、網膜の中心に解像度の非常に高い領域（中心窩）を持ち、それ以外の周辺の部分では解像度を落とすことで、全体のデータ量を抑えている。このような中心窩構造を工学的に応用しようという動きが盛んである。しかしながら、中心窩部で視覚対象を捉えるには、非常に高速かつ正確な光学系の制御が必要となってしまう。そこで、筆者らは不応期と受容野という 2 つの概念を用い、電気的に中心窩の位置を移動できる手法を提案した。本チップは、前述の手法のハードウェア化に必要な、フォトセンサ、Winner-Take-All 回路、不応期発生回路、受容野サイズ制御回路のテスト回路の設計を行い、その検討を行った。更に各回路の評価を行い、その基本的な動作を確認した。

設計期間：1 人以上, 2 人未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 チップ種別：イメージセンサ/スマートセンサ

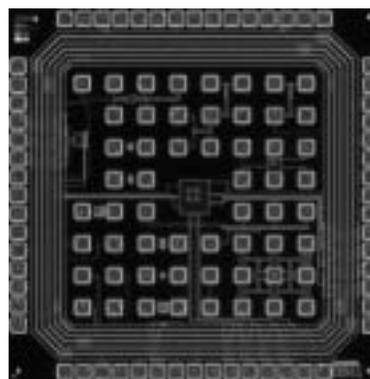


ロボットビジョン用イメージセンサのための TEG

東北大学大学院工学研究科 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要：ロボットビジョン用高速リアルタイム画像処理システムの開発のために、我々は LSI を 3 次元的に積層する 3 次元集積化技術を用いた画像処理システムを提案している。本チップでは、このシステムで用いられる光センサ部であるイメージセンサのための TEG を試作した。このイメージセンサは広範な環境で利用可能なロボットビジョンで用いることを想定し、チップに供給するバイアス電圧の制御により入力光に対するダイナミックレンジの調整が可能である。試作チップを用いて、フォトダイオード/フォトトランジスタ特性の評価、イメージセンサの単位ピクセルの特性評価を行った。今後は、特徴検出やオプティカルフロー演算による動体検出機能などを搭載したチップを試作し、ロボットビジョンのための高速リアルタイム画像処理システムの開発を目指す。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist



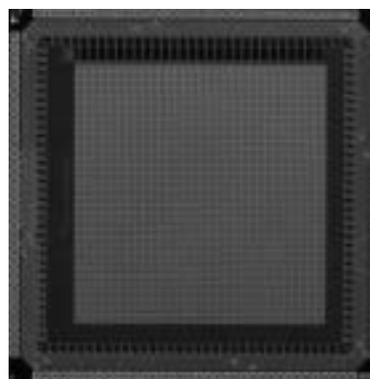
トランジスタ数：100 以上, 1,000 未満

ロボットビジョン用イメージセンサの試作

東北大学大学院工学研究科 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要：ロボットビジョン用高速リアルタイム画像処理システムの開発のために、我々は LSI を 3 次元的に積層する 3 次元集積化技術を用いた画像処理システムを提案している。本チップでは、このシステムで用いられる光センサ部である 64×64 ピクセルのイメージセンサを試作した。このイメージセンサは広範な環境で利用可能なロボットビジョンの実現を目指して、チップに供給するバイアス電圧制御で入力光に対するダイナミックレンジの調整が可能である。今後は、特徴検出やオプティカルフロー演算による動体検出機能などを搭載したチップを試作し、ロボットビジョンのための高速リアルタイム画像処理システムの開発を目指す。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 design_compiler, Avanti 社 Appollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist



トランジスタ数：10,000 以上, 100,000 未満

試作ラン：ローム CMOS 0.35μm 4.9mm 角 チップ種別：イメージセンサ/スマートセンサ

3 次元集積化技術を用いた超並列・パイプライン画像処理チップの設計

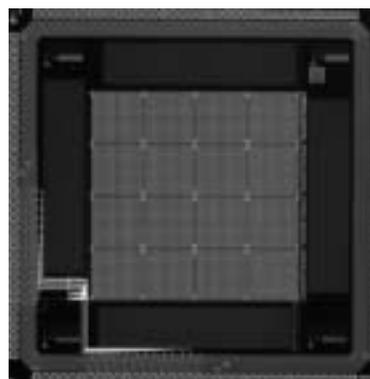
(1) センサアレイレイヤ

東北大学大学院工学研究科 河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正

概要：近年様々な分野でデジタル画像処理が応用されているが、各画素を逐次的に処理する従来の方式では高速化のニーズに対応できない。我々はこの問題を打破すべく、3 次元構造を有する LSI を用いた画像処理システムを提案してきた。本システムはセンサやアンプ、ADC、メモリ、ALUなどを搭載した LSI 層が 3 次元に積層化された構造をしており、各層間は垂直配線で接続されている。各層内では並列に、層間ではパイプラインで処理を行なうことにより高速化を図る。今回は入力画像のエッジ抽出を行なう画像処理用 3 次元 LSI を設計した。8×8 画素に対して画像処理を行なうプロセッシングユニット (PU) が 3 層に渡って形成されている。ユニット内で 8×8 画素のデータについてパイプライン処理を行ない、またユニット間で並列に動作させ、システム全体で 1 フレームを高速に処理する。なお本チップはセンサアレイ部である。

参考文献：D. Kawae et. al., "Parallel Image Processing LSI Fabricated Using Three-Dimensional Integration Technology", Proc. SSDM, pp. 314-315, 2002.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre



トランジスタ数：10,000 以上, 100,000 未満

試作ラン：ローム CMOS 0.35μm 4.9mm 角 チップ種別：イメージセンサ/スマートセンサ

3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計

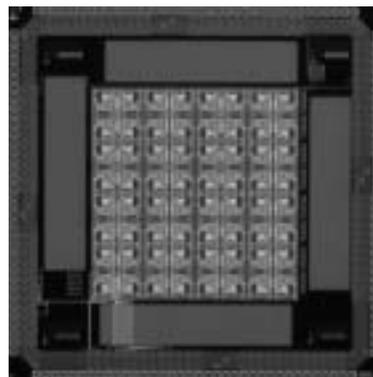
(2) レジスタアレイレイヤ

東北大学大学院工学研究科 河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正

概要: 近年様々な分野でデジタル画像処理が応用されているが、各画素を逐次的に処理する従来の方式では高速化のニーズに対応できない。我々はこの問題を打破すべく、3次元構造を有するLSIを用いた画像処理システムを提案してきた。本システムはセンサやアンプ、ADC、メモリ、ALUなどを搭載したLSI層が3次元に積層化された構造をしており、各層間は垂直配線で接続されている。各層内では並列に、層間ではパイプラインで処理を行なうことにより高速化を図る。今回は入力画像のエッジ抽出を行なう画像処理用3次元LSIを設計した。8×8画素に対して画像処理を行なうプロセッシングユニット (PU) が3層に渡って形成されている。ユニット内で8×8画素のデータについてパイプライン処理を行ない、またユニット間で並列に動作させ、システム全体で1フレームを高速に処理する。なお本チップはレジスタアレイ部である。

参考文献: D. Kawae et. al., "Parallel Image Processing LSI Fabricated Using Three-Dimensional Integration Technology", Proc. SSDM, pp. 314-315, 2002.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35μm 4.9mm角 **チップ種別:** マイクロプロセッサ



3次元集積化技術を用いた超並列・パイプライン画像処理チップの設計

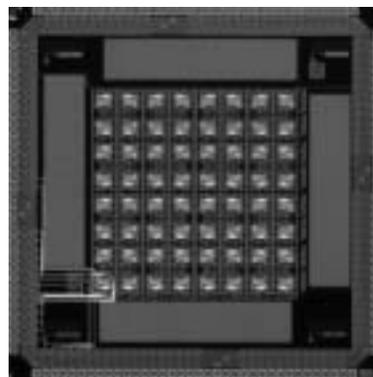
(3) ADC&ALUアレイレイヤ

東北大学大学院工学研究科 河江 大輔, 沈 正七, 栗野 浩之, 小柳 光正

概要: 近年様々な分野でデジタル画像処理が応用されているが、各画素を逐次的に処理する従来の方式では高速化のニーズに対応できない。我々はこの問題を打破すべく、3次元構造を有するLSIを用いた画像処理システムを提案してきた。本システムはセンサやアンプ、ADC、メモリ、ALUなどを搭載したLSI層が3次元に積層化された構造をしており、各層間は垂直配線で接続されている。各層内では並列に、層間ではパイプラインで処理を行なうことにより高速化を図る。今回は入力画像のエッジ抽出を行なう画像処理用3次元LSIを設計した。8×8画素に対して画像処理を行なうプロセッシングユニット (PU) が3層に渡って形成されている。ユニット内で8×8画素のデータについてパイプライン処理を行ない、またユニット間で並列に動作させ、システム全体で1フレームを高速に処理する。なお本チップはADC&ALUアレイ部である。

参考文献: D. Kawae et. al., "Parallel Image Processing LSI Fabricated Using Three-Dimensional Integration Technology", Proc. SSDM, pp. 314-315, 2002.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35μm 4.9mm角 **チップ種別:** イメージセンサ/スマートセンサ

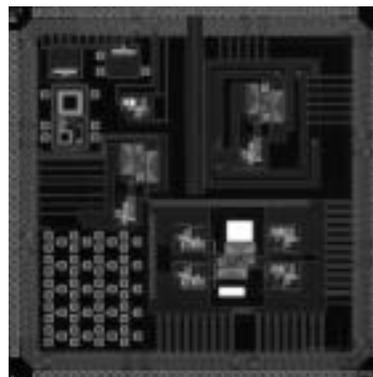


相変化不揮発性メモリとRFテスト回路

金沢大学工学部 集積回路工学研究室 高田 雅史, 有賀 健太, 伊藤 久浩, 北川 章夫

概要: 近年, CMOSプロセスが微細化するにつれ, そのリーク電流が問題になっている。モバイル機器を開発していく上で, ますます容量が増加すると予測されるメモリ部における待機電力の増加が無視出来なくなってきた。この問題を解決する為には論理保持に電力を消費しない不揮発性メモリの実装が必須である。我々はその一つである相変化不揮発性メモリの実現を目指している。前回試作では特性計測回路に力を入れたが, 本試作では更にメモリコアの改良を行った。他にも従来の積層記憶構造から横型の記憶構造を評価する為のレイアウトも行っている。また, RF混載システムLSI設計の為の構成回路の設計も行った。メモリ回路についてはLSIテスト及びEBプローブで測定を終えているが, 現在引き続き検証中である。RF回路部については別評価設備にて進行中である。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35μm 4.9mm角 **チップ種別:** アナデジ混載

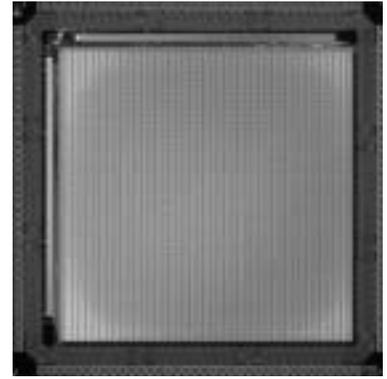


高精細マイクロディスプレイ LSI

金沢大学工学部 集積回路工学研究室 源 貴利, 北川 章夫

概要： ディスプレイはインターフェイスとして多くの場所で用いられている。その中で低消費電力動作するディスプレイに代表される物として、シリコン集積回路を基板としたディスプレイにマイクロディスプレイがある。本チップでは一般的な走査線方式を捨て、画素のマトリックスをRAMとして扱うランダムアクセス方式を提案している。この方法により、フルデジタルの階調表現（色の濃淡表現）が可能となり、既存の回路よりも低消費電力化も達成することができる。本試作ではモノクロカラー表示で64階調、ピクセル数は200×200のマイクロディスプレイを試作した。サブピクセルのパターンジェネレータ部には論理合成を用い、他の部分においてはフルカスタム設計を行った。LSI テスタ及びEBプローバを用いて現在、評価及び検証中である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, Synopsys社 NanoSim トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：その他

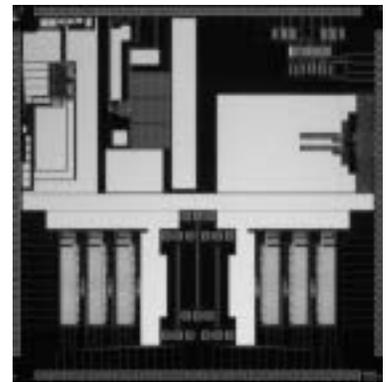


アナログ回路・メモリにおけるリーク電流の効果, WSC, 高速電源電圧変更 評価 TEG

東京大学生産技術研究所 石田 光一, 宮崎 隆之, 許 蛭雪, Fayez Saliba, Danardono Dwi Antono

概要： アナログ回路におけるリーク電流の影響を評価するためのスイッチトキャパシタによる積分器回路。リーク電流のエミュレーション機能を付加した。VTHが低下した世代のトランジスタをエミュレートすることができる、リークエミュレータを備えたSRAMセルを設計した。外部から与える電圧によりリーク電流を制御する。オンチップ型ワイヤレススーパーコネクタ (WSC) の動作を確認するためのシステムを設計した。送信側から複数の周波数の信号を送り込んで、受信側で信号を受け取り動作を確認する。また信号の送受信に使われるパッドも数種類を用意する。消費電力を下げるには電源電圧を下げるのが一番有効な方法である。VDD-Hoppingが性能を維持する同時にパワーをだいぶ削減できる方法として知られている。本試作はこの手法の実際の負荷回路に対する遅延とか、デカップリング容量または高周波における配線インダクタンスの影響について考察する。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG (特性評価回路など)

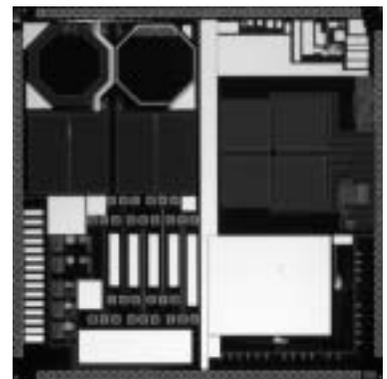


チップ間ワイヤレス伝送方式評価 TEG・低電力 FPGA

東京大学生産技術研究所 稲垣 賢一, 鬼塚 浩平, Quang Canh Tran, 川口 博

概要： 本試作ではチップ間の信号および電力を容量結合または誘導結合により伝送することを目的とした。チップ間のワイヤレス電源伝送については誘導結合、容量結合の両方式について試行する。信号伝送については、容量結合型無線チップ間伝送における隣接パッドからのノイズを削減するために、パッド間に接地した金属線を配置して隣接パッドとの容量結合を削減することにした。また、1チップのみでも測定できるようにチップ内部で容量結合を作成した回路も組み込んだ。また、電磁波を用いた方式として、5MHzの磁界からコイルにより給電を受け、外部に接続したLEDを点滅させる回路も搭載している。また、FPGAではMUXが多数用いられており、MUXの入力がHとLが混在したとき、HからLに流れるリーク電流がある。このリークを止めるための回路を設計した。閾値電圧が高いためリークはほとんど流れないのでリークエミュレータの回路をも入れた。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG (特性評価回路など)



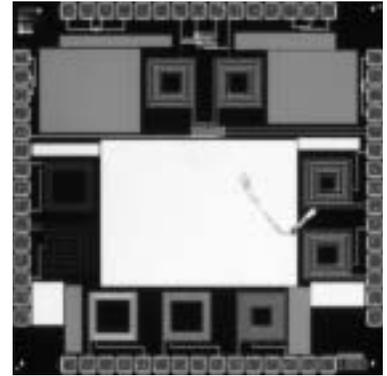
無線周波数帯局部発振器の試作

東京理科大学理工学部電気工学科 永田 基希

東京理科大学理工学部電気電子情報工学科 兵庫 明, 関根 慶太郎

概要：本チップは、無線周波数帯アナログ受信機に用いられる発振器を試作したものである。移動体通信端末受信回路のワンチップ化への要望から、最近では局部発振機もそのチップに組み込むための研究がなされている。回路構成は基本的な LC-クロスカップル NMOS 構成である。クロスカップル対によって得られる負性コンダクタンスを利用してインダクタとキャパシタの並列抵抗分をキャンセルする。負性コンダクタンス分をシミュレーションにより微調整し、コア部に流れる電流を約 3mA とした。インダクタには square 型のスパイラルインダクタを用いた。自己共振周波数の低下を懸念してグランドシールドは使わず、また、高 Q を得るためにメタル幅・メタル間隔の選定にもシミュレーションを用いた。TEG として NMOS・PMOS・スパイラルインダクタ数種を載せた。スパイラルインダクタは前述回路に用いたものの他に、寸法・巻き数・メタル間隔を一定にしてメタル幅のみを変えたものを試作し、自己共振周波数・Q 値を測定する。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



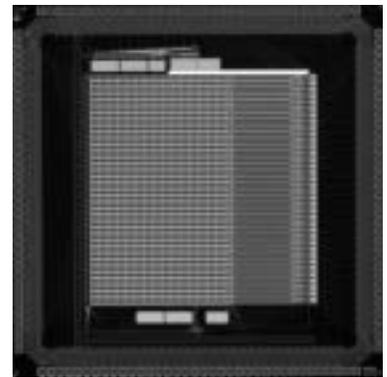
Inverse function Delayed モデルを用いたニューロチップの設計 (改良版)

東北大学電気通信研究所 伝田 達明, 末永 晋也, 早川 吉弘, 中島 康治

概要：ニューラルネットワークをハードウェア化することにより並列処理が可能となり高速な情報処理を実現できる。また、Inverse function Delayed (ID) モデルは N 字型非線形出力逆関数を用いて負性抵抗領域を導入でき、組合せ最適化問題などで問題となるローカルミニマムから脱出できるという特徴を持つ。したがって ID モデルをハードウェア化することで組合せ最適化問題に関して高い性能と高速な情報処理の両方が可能になると考えられる。前回試作の N 字型非線形出力逆関数回路より広い負性抵抗領域の設定が可能な回路の設計を行い、36 ニューロン 1296 シナプスの全結合ニューラルネットワークからなるニューロチップを試作した。テストによる測定を行ったところ単一 ID ニューロンの事例発振特性を観測し ID ニューロンが設計どおり動作することを確認した。

参考文献：伝田, 末永, 早川, 中島, ”Inverse Delayed モデルを用いたニューロチップの設計”, 信学技報, NLP2003-91, pp. 47-52, 2003.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：その他

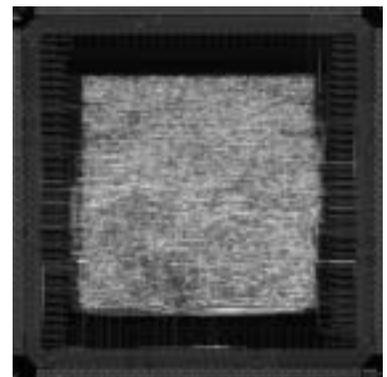


マルチメディアモバイルプロセッサ

弘前大学理工学部 深瀬 政秋, 三國 勝志, 中村 吉樹, 佐藤 陽一, 赤岡 亮

概要：モバイル機器用プロセッサは省エネ化を重視するためスピードが犠牲にされ、0.13 μ m プロセスでも 500MHz を超えることはない。また、多機能をカバーするため JIT 型の Java チップが使われ、その所要メモリの電力削減のため 1 トランジスタ化やバッテリーの改良が進められている。それらの総合的な解決を目指して 4 つのプロセッサ技術を融合し、その高価を調査する。通常型パイプラインとクロックを共有するウェーブパイプラインを融合したヘテロパイプライン方式により高速省電力化を図り、インタープリタ型 Java チップとハードウェア化 SMT (Simultaneous MultiThreading) 方式シングルプロセッサと VLIW の融合によりマルチメディアモバイルコンピューティング対応プロセッサを開発する。

設計期間：10 人月以上 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Scirocco, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：マイクロプロセッサ



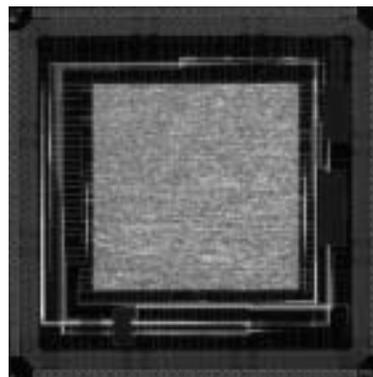
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要：SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、14b の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



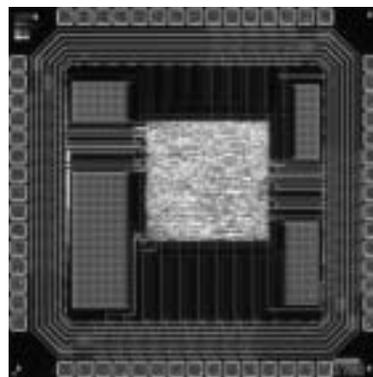
自動学習連想メモリのための 32 参照パターン用 ranking 回路

広島大学先端物質科学研究科 溝上 政弘

広島大学ナノデバイス・システム研究センター マタウシュ ハンスユルゲン,
小出 哲士

概要：最小距離検索連想メモリによるパターン認識・学習チップの構成要素となる ranking 処理回路の試作を行なった。本回路は連想メモリに記憶された参照パターンの管理を行う。各参照パターンにはプライオリティ (rank) 付けがされており、rank の順位によって長期記憶領域と短期記憶領域に分けられる。短期記憶領域にある rank の低い参照パターンは新たにパターンを学習する際に削除の対象となる。一方長期記憶領域にある rank の高い参照パターンは削除されにくく、重要なパターンである。最小距離検索結果に応じて ranking 処理回路は 1 クロックで rank の変更を行う。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre トランジスタ数：10,000 以上、100,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：その他

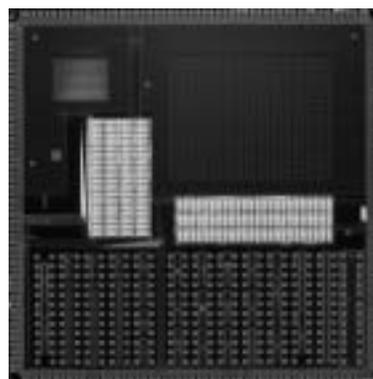


画素並列 AD 変換型撮像素子

東北大学大学院工学研究科 舘 知恭

概要：本撮像素子は雑音低減回路を各画素毎、AD 変換器と画像特徴量抽出回路を 6 画素毎に組み込み、高機能的かつ高画質な撮像素子を実現している。設計の際に最も注力したのは雑音低減と集積度の向上であり、雑音低減、AD 変換、画像処理の全てをシステムとして相性の良い組み合わせの検討・最適化を行った。本チップにおいては考案した手法の原理確認のために、2 種の撮像素子を 24 \times 18 画素、2 種の画像処理 ALU、そして本撮像システムを構成する要素回路の特性を測定するために、30 の要素回路に分けて TEG として配置してある。撮像素子の画素サイズは 60 μ m \square 、180 μ m \square 、開口率は 30%、感度は 25 μ V/e (設計値) である。AD 変換器の分解能は 6BIT、最大入力信号振幅は 64mV、変換速度は 200kS/s である。画像特徴量抽出回路は色、荒さ、動き、距離の 4 つの演算を行い、特徴量を 4BIT 信号として出力する。

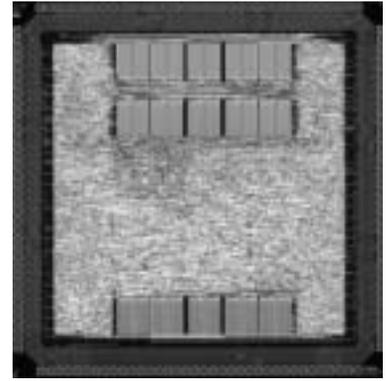
設計期間：3 人月以上、4 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：1,000 以上、10,000 未満 試作ラン：ローム CMOS 0.35 μ m 9.8mm 角 チップ種別：イメージセンサ/スマートセンサ



二次元画像認識プロセッサ

東北大学大学院工学研究科 宮本 直人, 小谷 光司
 東北大学未来科学技術共同研究センター 大見 忠弘

概要: 二次元512x512ピクセルに対応した画像認識プロセッサを設計した。本プロセッサで採用された画像認識アルゴリズムは位相限定相関を用いている。画像はフーリエ変換すると位相情報と振幅情報に分解されるが、そのうち位相情報がオブジェクトの大きさ・位置・形状など認識に重要な情報を持っている。乗算器・除算器・開平方の共通部分である全加算器アレイを共有化することにより約35%の占有面積と消費電力を削減した演算器(DSM)を開発した。DSMは2ビットの機能選択信号を入力として持ち、データパス幅が18ビットの場合1nsでその機能を変更することができる。これらの信号は音チップの専用デコーダで1クロック以内に生成される。本プロセッサはDSMを8個搭載している。本プロセッサは二次元の画像認識を105.2ミリ秒以内で処理する。そのときの消費電力は310.9mWであり、これは同じプロセステクノロジーで作られた他の位相限定相関プロセッサと比較して約11.3分の1の消費電力である。



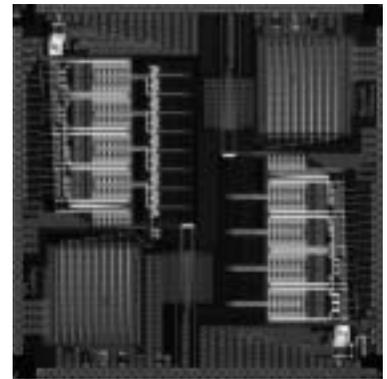
参考文献: Leo Karnan, Naoto Miyamoto, et al., Butterfly-Unit Based Programmable Computation Element Using Merged Module of Multiplication, Division and Square Root, Extended Abstract of the 2003 International Conference on Solid-State Device and Materials (SSDM2003), pp. 148-149

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35μm 4.9mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

14-bit, 200MS/s, 2.7V D/A 変換器の開発

中央大学理工学部 櫻井 宏樹, 杉本 泰博

概要: 従来より、高速高精度のD/A変換器を用い高周波信号を生成する場合には、高調波の発生によるSFDR (Spurious Free Dynamic Range) の劣化が問題であった。我々は、この高調波の発生の主な原因として、出力信号変化時の出力端子における時定数の変動が影響していることを新たに突きとめた。出力信号が変化した場合、スイッチセル内にも電圧変動が起き、セル内の寄生容量に過渡電流が発生するためである。この過渡電流は、ON状態のスイッチセルの数、つまり入力デジタル信号に依存する。そこで、出力信号の変化がスイッチセル内に影響しないように、スイッチセルと出力端子間に低電圧動作のバッファつきカスコード回路を導入し、SPICEシミュレーションの結果、高調波の発生を抑制し、SFDR特性を改善することを確認している。現在は作成したチップの評価を行っている。直流特性については、INL, DNL共に12ビット程度の精度が得られている。更なる精度向上のために電流源の配置等について検討を進めている。高周波特性については現在測定を行っている段階である。



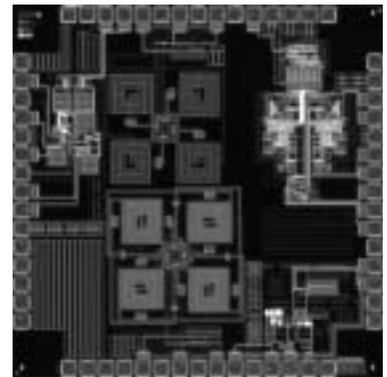
参考文献: H. Hiroki, Y. Sugimoto, "The Design of a 2.7V, 200MS/s, and 14-bit CMOS D/A Converter with 63dB of SFDR Characteristics for the 90 MHz Output Signal", 信学会英文論文誌C 6月号

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35μm 4.9mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

フィードフォワード位相補償を用いた光通信用TIAの試作

中央大学理工学部 山田 浩輔, 川田 真也, 杉本 泰博

概要: フィードフォワード位相補償の有効性を確認するため、CMOS構成を使用して本チップを試作した。光信号を電気信号に変換するTIAには高利得・広帯域な特性が要求される。アンプを多段構成にすることによりこれらの特性は実現可能であるが、位相まわりが大きいため発振する危険がある。そこでアンプと並列にハイパスフィルタと正相増幅器からなるフィードフォワード経路を設け、高周波域での位相まわりを抑制し、位相余裕を確保した。測定の結果、変換利得60dBΩ、帯域480MHzの特性を得ることができた。



参考文献: 山田, 川田, 杉本: "フィードフォワードを用いたI-Vアンプの広帯域化に関する手法", 2004年電子情報通信学会総合大会講演論文集, C-12-24, (2004)

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.35μm 2.4mm角 **チップ種別:** 通信 (RF回路, ATMなど)

マルチチャンネル波形整形チップ

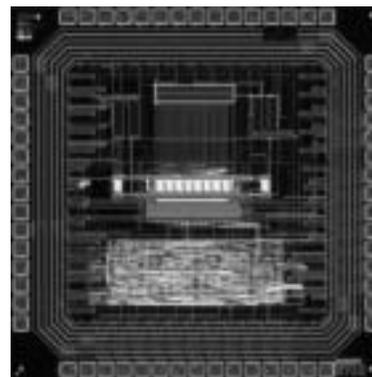
東京大学大学院工学系研究科 Yeom Jung Yeol, 石津 崇章

東京大学人工物工学研究センター 高橋 浩之

概要：現在、マルチチャンネル検出器に対応する高機能のASICが求められている。波形整形は、光電子増倍管や半導体検出器、ガスカウンタなどのパルス動作で用いられる検出器を利用する上で広く用いられている技術であり、マルチチャンネル検出器を利用する上でも必要な機能である。検出器の応答パルス信号に対応した適切な整形時定数を選択することで、信号対雑音比を大きくとり、パルス計数率を高くとることができる。本チップは、多チャンネル入力を持ち、他のプリアンプチップや計数回路と組み合わせることにより、イメージング用の検出器エレクトロニクスを実現することを目標として設計された。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva

トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



マルチチャンネルプリアンプ

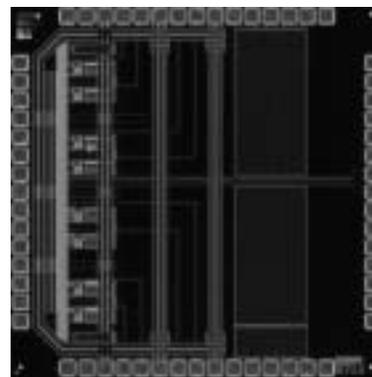
東京大学大学院工学系研究科 Yeom Jung Yeol

東京大学人工物工学研究センター 高橋 浩之

概要：放射線イメージングにおいて必要とされる多チャンネルパルス計測においては、微弱的なパルス信号を出力する検出器と接続するためのプリアンプがきわめて多数必要となる。従来のディスクリット回路では、十分高い信号対雑音比が得られていたが、ディスクリット回路を多チャンネル用意することはコストの点で問題があり、チャンネル数の制約となっていた。一方、電源電圧の制約のもとでCMOS回路を用いて高速かつ低雑音の高い性能を得ることは困難が伴うため、ここでは入力段を変更するなど種々の回路からなるプリアンプを試作し、等価雑音電荷や立ち上がり時間などの増幅器の雑音性能と高速性について調べることを目的として設計を行なった。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva

トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



高速サンプリングを目指したアナログメモリの開発

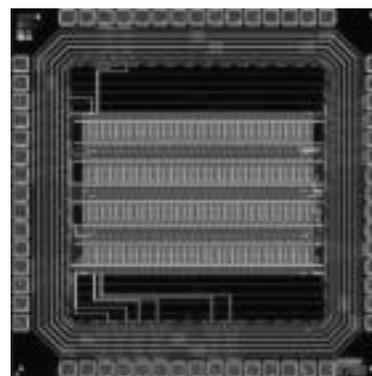
東京農工大学大学院工学研究科 木下 拓也, 糊沢 謙和

概要：本研究のアナログメモリは、高エネルギー物理実験において検出されたアナログ電気信号を高速サンプリング (500MHz) することによってアナログ的に一時記録し、トリガーが生成された際に低速で出力 (10MHz) する。この働きによって、多チャンネルの高速信号を安価にしかも低消費電力で実現できる。8月のチップ試作に128個のメモリコンデンサを搭載し、出力バッファにオペアンプを使用したアナログメモリ (03aug) を提出した。330MHzサンプリング, 0.17MHz読み出しにおいてチップテストし、以下の結果を得た。入力電圧0.5Vから3.3Vの広いDynamic Rangeを持ち、RMSまたは最大/mV以内でほぼ1に比例する直線性を持つ。330MHzサンプリングで出力波形が完全には再現されない。メモリーセル間で出力電圧にばらつきが出た。平均値からのずれのRMS値は、0Vで0.033V, 0.5Vで0.13V, 1Vで0.093V, 1.5Vで0.05V, 2Vで0.041V, 2.5Vで0.081V, 3Vで0.15V, 3.3Vで0.1Vである。また、折り返し部分のセルで大きなGainの違いが見られる。高速サンプリングの際に、メモリーセル毎のGainが奥のセルになるほど下がる。GainはRMS値で0.75であった。

参考文献：『A 700-MHz Switched-Capacitor Analog Waveform Sampling Circuit』Gunther M. Haller, Member, IEEE, and Bruce A. Wooley, Fellow, IEEE, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 29, No. 4, APRIL 1994

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC

トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：メモリ

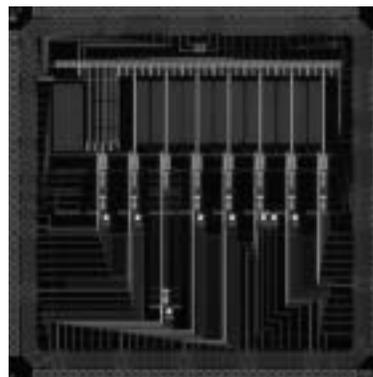


光無線 LAN ビジョンチップ：差動化によるモード間クロストークノイズの低減

奈良先端科学技術大学院大学物質創成科学研究科 池内 隆志, 藤内 亜紀子, 川上 智朗, 香川 景一郎, 太田 淳, 布下 正宏

概要：我々の研究室では、小型かつ高速通信可能な赤外無線通信モジュールと、それを利用したシステムの開発を行っている。受光デバイスは CMOS イメージセンサをベースとしている。本受光デバイスは、撮像モードと通信モードをもつ。撮像モードでは、フォトダイオードを蓄積モードで用いて画像を取得し、通信端末位置を検出する。通信モードでは、フォトダイオードを非蓄積モードで利用し、光電流を TIA (Trans-Impedance Amplifier) で増幅する。2つの動作モードを画素ごとに切り替えることができる。この新規の受光デバイスでは、画像を読み出すデジタル部が発するノイズが、レーザ部に悪影響を与えるという問題がある。この影響を低減し、撮像と光信号受信を動じに行うために、画素からの光信号出力を差動構成とすることを検討し、画素 TEG を試作した。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別：**イメージセンサ/スマートセンサ



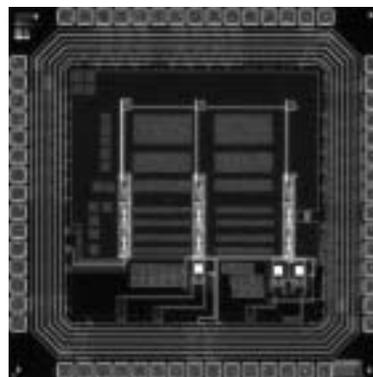
光無線 LAN ビジョンチップ：アナログバッファの検討

奈良先端科学技術大学院大学物質創成科学研究科 川上 智朗, 香川 景一郎, 太田 淳, 布下 正宏

概要：我々の研究室では、小型かつ高速通信可能な赤外無線通信モジュールと、それを利用したシステムの開発を行っている。受光デバイスは CMOS イメージセンサをベースとしている。本受光デバイスは、撮像モードと通信モードをもつ。撮像モードでは、通常の CMOS イメージセンサと同様に、フォトダイオードを蓄積モードで用いて高感度に画像を取得し、通信端末位置を検出する。これにより、通信端末位置を検出する。通信モードでは、フォトダイオードを非蓄積モードで利用し、光電流を TIA (Trans-Impedance Amplifier) で増幅する。受信速度は主に TIA の速度で決まるが、チップ外に高速にデータを読み出すためには、オフチップの大きい負荷を駆動できるバッファが必要になる。そこで、受光回路の後に接続するバッファを 3 種類用意し、周波数特性を測定するための TEG を試作した。

参考文献：香川他, 「イメージセンサを応用した空間光伝送用受光デバイスの設計・試作」, 映像情報メディア学会誌, vol. 3, pp. 334-343 (2004) .

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別：**イメージセンサ/スマートセンサ

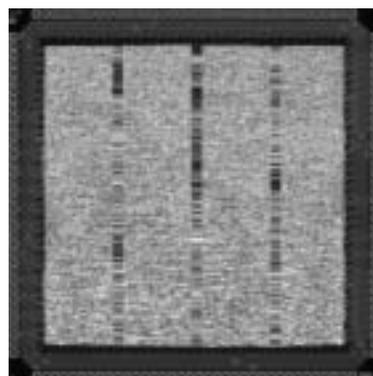


周波数領域での信号処理回路の試作 2

茨城大学工学部 木村 孝之

概要：本研究室ではエリアシングを含んだ複数の画像から元の周波数を含む画像を、光学ローパスフィルタとデジタル信号処理により復元する研究を行ってきた。また、2002 年度の試作では、DFT (Discrete Fourier Transform) を用いた信号処理回路を試作し、その動作を確認した。本試作では、FFT (Fast Fourier Transform) を用いて信号処理回路を構成した。試作した回路は、32 点 FFT 演算ユニット、周波数領域 (複素数) で 2 元 1 次連立方程式の解を求める演算ユニット、64 点 IFFT (Inverse FFT) 演算ユニットからなる。演算は 2 段のパイプライン構成とし、マスタークロック 256 周期で 64 点の解を得る。試作した LSI の最高動作周波数を測定すると 44.3MHz であった。その時の消費電力は 509mW であった。1 秒間に 30 回高解像度化処理を行った時の消費電力は 87 μ W であり、この程度の計算時間と消費電力であれば、モバイル機器への応用も期待できる。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



バンク型デジタル・アナログ融合全並列最小マンハッタン距離検索連想メモリ

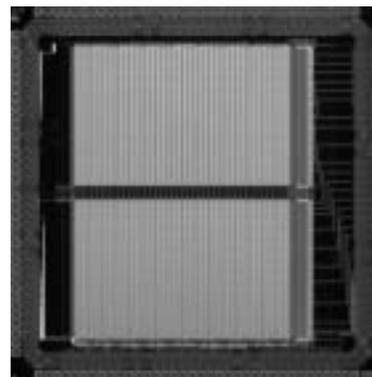
広島大学先端物質研究科 矢野 祐二

広島大学ナノデバイス・システム研究センター 小出 哲士,
マタウシュ ハンスユルゲン

概要：高速・小面積かつ低消費電力を同時に満足できるバンク型全並列アーキテクチャによる新しい連想メモリを試作した。この試作チップは前回の2003年6月試作チップをバンク型アーキテクチャで実現したもので、メモリ領域は各バンクが64行80列の合計2バンク構成となっており、128パターンの参照データを格納可能である。レイアウト面積はバンク型に必要なトーナメント比較回路の面積オーバーヘッドから11.8平方mmで実現しており、最小距離検索回路は全体の9.4%で実現できた。シミュレーションによって、260ns以下での最小距離検索が可能であることを確認できた。

参考文献：なし

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **チップ種別：**メモリ

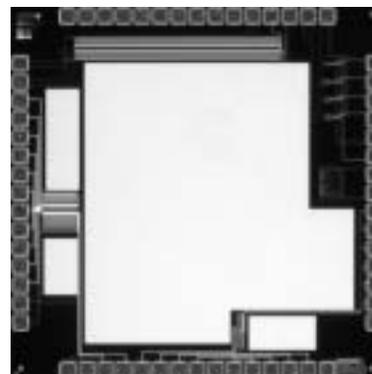


低消費電力アナログ神経回路 TEG の試作

山梨大学工学部 加藤研究室 上野 響一

概要：神経回路網をアナログ回路を用いて実現するためのテスト回路を試作した。MOSトランスリニア原理を用いて消費電力を抑えるとともに、レイアウト上の工夫によりトランジスタの特性バラツキに対する耐性を持たせた。MOSトランスリニア原理による回路はサブスレショルド電流を用いて回路設定を行うことで消費電力を大きく低減することが可能であるが、この反面閾値の変動による電流の不本意な変動により動作保障が難しいという問題がある。この問題をレイアウト上の冗長性を利用することで回避する方式を考案した。実現した神経機能は、Winner Takes All 機能でありニューロン数は20である。この回路は、一種の電流フェードバック回路であり、各ニューロン回路からの信号を電流で出力し、これらの実効的な平均化を求める点が最も特性バラツキの影響が大きい。この平均化を空間的に分散した回路により実現することで閾値バラツキの影響を押しえ込んだ。回路設計はSPICEで、レイアウトは完全にはカスタム設計で行なった。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数：**10以上, 100未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

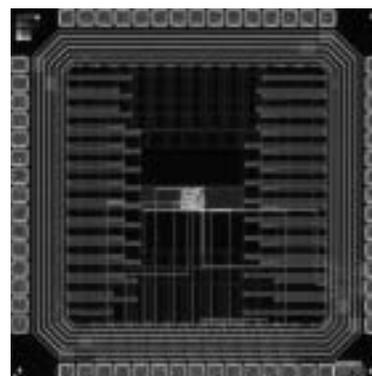


Tree-Structure 方式による DEM 回路の設計

上智大学理工学部 加藤 了三, 和保 孝夫

概要：デルタシグマ変調器 (DSM) の高分解能化のためには、DSMの多ビット化が有効である。しかしながら、DSMを多ビット化すると、プロセスに起因した素子ミスマッチがフィードバック内のDACに生じ、回路の線形性が失われるという問題がある。この問題を改善するため Dynamic Element Matching (DEM) という技術が知られている。今回試作した回路は、3ビットローパス型DSMにおいてDEMを実現するための回路である。DSM内の量子化器からの出力を入力値とし、回路内で入力値をランダムに並び替えてDACに出力するものである。以前当研究室において試作した回路はMismatch Shaping型であったが、今回試作した回路はTree-Structureと呼ばれる方式を用いた。本方式は、回路全体の素子数低減のため有効と考え採用した。

設計期間：2人月以上, 3人月未満 **設計ツール：**Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

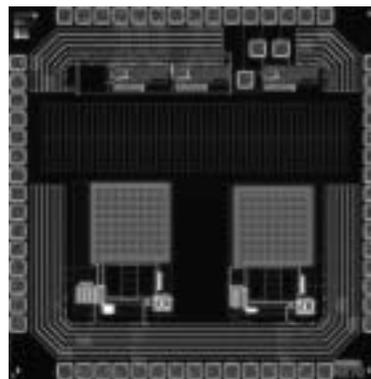


低周波・低消費電力増幅回路の設計

大阪府立大学先端科学研究所 田中 智之, 中尾 基, 泉 勝俊

概要：近年のデバイス・プロセス及び回路設計技術の進展により、LSIの電源電圧は低くなってきている。すなわち低消費電力化は進むが、これに伴いアナログ回路設計では、様々な問題が発生してくる。当研究室では、前試作において、本試作のデータ収集の準備として増幅回路用バッファの設計を行った。今回は、今年度の目標である低消費電力の増幅回路の設計を行った。なお本試作では、低電源電圧動作を目的としたため、安定な動作を保障するために、電圧利得を若干抑え安定な動作を重視したモデルと、電圧利得を重視したモデルの両方を設計した。設計した2つのタイプの増幅回路については共に動作を確認した。雑音特性以外の回路の諸特性は目標スペックを満たした。今後は、本設計を発展させ、低消費電力・低雑音増幅回路の設計に取り組む。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

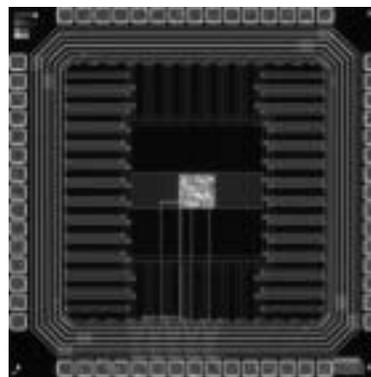


リセット方式全デジタルPLLの試作

九州東海大学工学部 佐々木 博文, 藤本 邦昭

概要：位相同期ループ (PLL: Phase Locked Loop) は通信分野におけるタイミング波の抽出, FSK信号やFM信号の復調など広い分野で利用されている。このPLLに要求される主な特性に、広同期範囲, 高速引込み, 低ジッタ等がある。我々は既に、出力周波数を決定するプログラマブル分周器の分周比を自動的に可変させると共に初期引込み回路を付加することにより、広同期範囲と高速引込み特性が得られるPLLを構成している。今回は、残されているジッタの問題に焦点を絞り、出力周波数を決定するプログラマブル分周器を入力信号に同期させて毎回リセットすることにより低ジッタ化を図った。回路動作は、シミュレーションおよびFPGA (Field Programmable Gate Allay) を用いた実験で既に確認していたが、今回の試作により集積化した場合にも問題なく動作することを明らかにした。なお、出力ジッタは基準クロックの2周期以内であった。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Apollo, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：その他

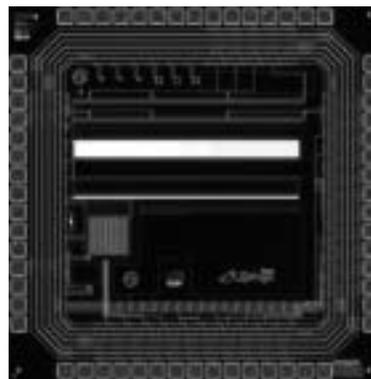


平面中の複数対象点の高速検索回路

公立はこだて未来大学システム情報科学部 秋田 純一

概要：受光系と信号処理系を同一チップに集積するVisionChipは、画像信号の並列性を生かすことができるために従来の画像処理系と比較して圧倒的な高速処理が可能となる。ロボットビジョンなどへの応用を考えると、出力は画像の何らかの抽象量、すなわちスカラ量であることが望ましい。本チップでは、平面中に存在する複数の対象点の位置をスカラ量として抽出するVisionChipの実現のために、平面上の対象点の位置を高速に探索するアルゴリズムとその検証回路の設計と試作を行った。画素ごとに順序回路をもち、それらが画素平面全体で一つの有限状態回路を形成するアーキテクチャにより、対象点の個数のみに比例した処理ステップ数で探索が完了する。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：イメージセンサ/スマートセンサ



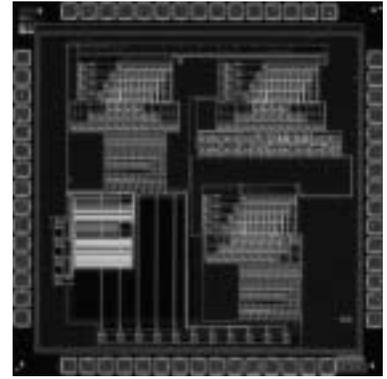
3種類の乗算器および特性評価用リングオシレータ

高知工科大学工学部 草ヶ谷 利雄, 石川 純平, 矢野 政顕, 橋 昌良, 河津 哲

概要：3種類（アレイ型、2次のブース、ワレストリー）の8×8乗算器と遅延時間評価用の3種類リングオシレータからなるチップである。乗算器は演算方式の異なる3種類について遅延時間、消費電力、面積などの比較を目的としたもので、配置配線ツールを使用せずに手書きでパターンを作成した。リングオシレータは遅延時間の評価を目的としたもので、トランジスタのチャンネル幅と段数の異なるものを3種類含んでいる。

参考文献：松村暢也, 矢野政顕, ‘RSA 暗号に使用されている乗算剰余演算器の高速化’, 平成15年度電気関係学会四国支部連合大会, 平成15年10月

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路（乗算器, 除算器など）

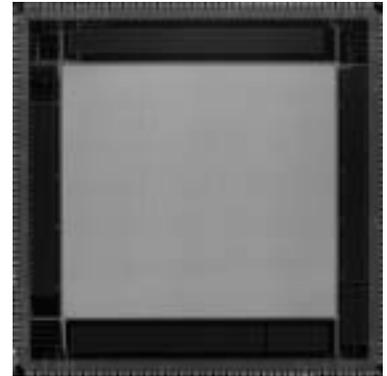


方位選択性を実現するアナログ集積回路の設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要：大脳一次視覚野の細胞は、ある特定の方位の光刺激パターンに対して選択的に応答する特性をもつ。本チップは、このような特性を模擬するために、前段のイメージセンサからの出力画像を受けて特定の方位に並ぶ複数の画素を統合する。前段のイメージセンサとしては、本研究室で既に開発したシリコン網膜を用いることを想定している。画素回路は、シリコン網膜からの入力を保持するアナログメモリと、一直線上に並ぶ画素同士を結合する画素統合回路から構成される。画素統合回路により選択された各画素の出力は、フォロア統合により収斂される。本チップは、6通りの方位に対する選択性を実現できる。画素数は100×100である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 9.8mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



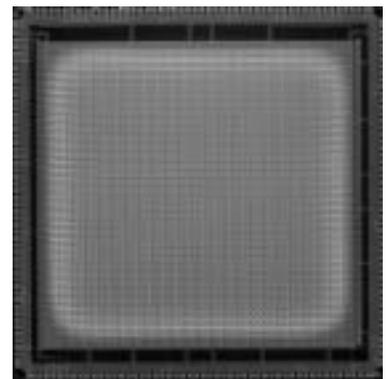
2次元シリコン網膜チップの設計

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

広島大学先端物質科学研究科 亀田 成司

概要：シリコン網膜は、生体視覚系の並列画像処理機構をアナログCMOS集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった特徴を持つ。今回の設計では、自然照明下における実時間画像処理を基本視座とし、アナログシリコン網膜チップを製作した。各画素は六角格子状に配置され、チップは2次元ラプラシアン-ガウシアン型のフィルタ特性を持つ。今回試作したシリコン網膜チップは、網膜初段の外網膜の回路構造を模擬したものである。集積回路の素子のばらつきを補償する機構を付加し、光センサ部にはアクティブピクセルセンサを用いた。画素数は70×79である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 9.8mm角 チップ種別：イメージセンサ/スマートセンサ



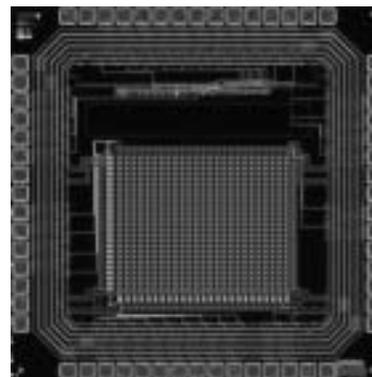
シリコン網膜の制御信号回路

大阪大学大学院工学研究科 井上 恵介, 下ノ村 和弘, 八木 哲也

概要：我々は今までに生体網膜の超並列回路構造と機能に学んだシリコン網膜を開発してきた。このシリコン網膜は、チップの外部から与えるデジタル信号のパターンを変化させることで2種類の画像前処理を実現できる。これまで、その制御信号はFPGAを用いて生成し、シリコン網膜にその信号を入力することでシリコン網膜の2つの動作モードを制御していた。本チップは、外部から基本クロックを与えることで、その制御信号を生成できる。なお、2つの動作モードの選択は、スイッチ信号で外部から与えるようにした。このチップを用いることでシリコン網膜の動作モードの制御を容易に行うことができる。なお、テストによる測定は行っていない。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：

1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



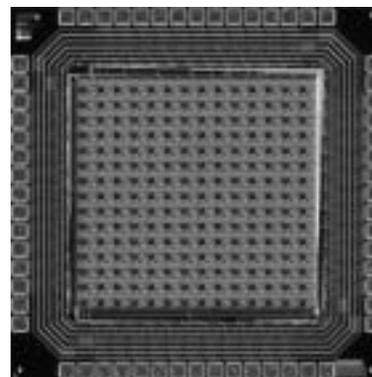
適応的側抑制機能を持つ2次元シリコン網膜

佐賀大学理工学部 原 重臣

概要：C. Meadらのシリコン網膜に、照射光の局所的なコントラストに応じて、その強度が変化する側抑制機能を付加したものを作成した。人間のマッハバンド錯視現象は網膜の側抑制機能によるものであるとされている。しかし、ステップ状に変化する網膜上の照射光強度分布に対しては、錯視現象は消失するか、非常に弱くなる。この生物の視覚特性を模擬する電子回路を、今回のチップに実装した。C. Meadらのシリコン網膜は、フォトダイオードを含んだ受光器回路の出力と、それを抵抗ネットワークで平均化したものの差を取ることで側抑制を実現している。我々は、隣り合う受光器回路の出力の差に応じて、抵抗値が変化するような回路を付加することで、適応的な側抑制を実現した。今回のチップは、フォトダイオードが縦15横14並んだ2次元構造である。

参考文献：S. Liu, et. al. "Analog VLSI: Circuits and Principles", MIT Press, 2002

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, magic, Avanti社 Star-HSPICE, netcmp トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：イメージセンサ/スマートセンサ



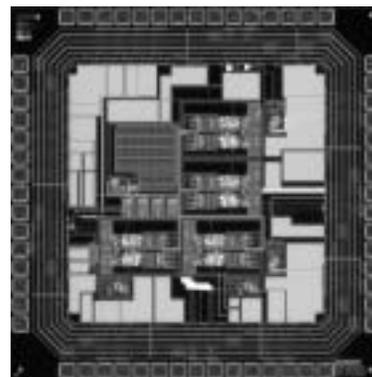
耐ばらつき4値I/O回路

九州工業大学マイクロ化総合技術センター 白木 良典, 中村 和之

概要：I/Oあたり10Gbpsを超えるような次世代のLSI間通信回路を実現することを目的として、I/Oあたりのバンド幅を等価的に高めることができる多値I/O回路の検討を行い、今回、4値I/O回路の設計・評価を行った。4値の出力回路部分については、pMOSとnMOSの電流能力比のばらつきの影響を受けにくい構成とするために、チップ内部にプロセスばらつき検出回路を装備し、その情報により、出力レベルを補正する回路構成とした。本LSIは、4値I/O回路を4系統内蔵しており、また、高速評価用にPLL回路と、疑似ランダム信号発生回路を内蔵している。評価により4値信号の出力動作および、I/O回路の対向試験による通信動作の確認を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, NS-Draw, SII社 SX9000, Cadence社 Dracula DRC トランジスタ

数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：通信 (RF回路, ATMなど)

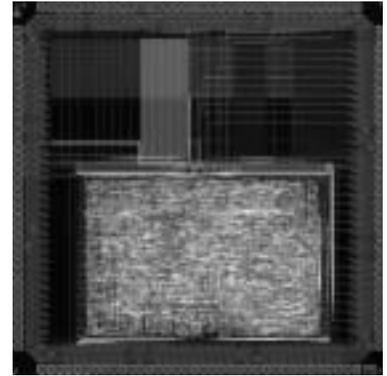


H8 互換 16 ビット CISC CPU

奈良先端科学技術大学院大学情報科学研究科 中井 伸郎, 岡崎 篤也, 中西 正樹,
山下 茂, 渡邊 勝正

概要：組み込み分野において，SoC 化，SystemLSI 化が進み，多くのプロセッサの IP 化が行なわれている。しかし，組み込み分野において広く普及している H8 マイクロコントローラ（ルネサステクノロジ）の CPU コア IP は存在しない。そこで，我々は H8 の中でも多く利用されている H8/300H CPU コアの命令セットバイナリ互換の CPU コア IP を開発した。開発の目的は，大きな開発工数がかかる CPU を IP 化することにより，組み込み用システム LSI の設計を容易化することである。CISC である H8 は RISC に比べアーキテクチャが複雑であり，しかも内部アーキテクチャが公開されていないため IP 化が難しい。開発した CPU は命令セットバイナリ互換なので，既存のソフトウェア開発環境が利用でき，ソフトウェアの移植が容易である。ユーザはこの IP に必要なモジュールを接続するだけで，Application Specific なマイクロコントローラを独自に作る事ができ，テスト周辺モジュールも用意しているので開発が容易である。

設計期間：3 人月以上，4 人月未満 設計ツール：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：マイクロプロセッサ

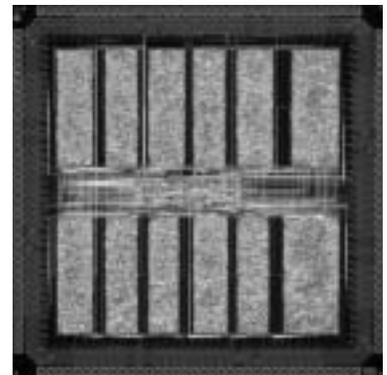


16 ビットパイプラインプロセッサの設計実習

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では，システム LSI 分野を志向する修士課程の学生全員に LSI の設計経験を積ませることを教育の柱としているが，本チップは，講義科目：システム LSI 設計の中の LSI 設計実習の一環として試作したものである。設計課題は，MIPS ライクな 16 ビット 5 段パイプラインプロセッサで，28 命令を基本仕様とし，独自の命令の追加を許している。ハザードに対するデータフォワードリングやストール機能の実現までを課題達成の要求条件としている。また，各々が作成したアセンブラプログラム（バブルソート等）を共有し，検証用パターンとして用いた。レイアウトに関しては，縦サイズ固定という制約の中で，最適化（速度／面積優先）を試行させた。最終的には 1 チップに 12 個のプロセッサモジュールを搭載し，各々が外部 I/O から直接アクセス可能としている。チップ製造後は，独自に開発した VDEC チップ評価用ボード（MU200-SXCW）上で実 LSI の動作確認や評価を行わせ，LSI 開発に関する幅広い経験を積ませている。本経験が，より先駆的なデジタル LSI の研究課題へチャレンジする際に大いに寄与すると考えている。

設計期間：10 人月以上 設計ツール：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：マイクロプロセッサ



異なる配線パターンを持つセルの故障率の差を測定するためのチップ

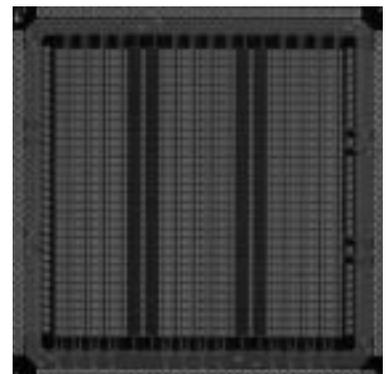
東京大学工学系研究科 飯塚 哲也

東京大学大規模集積システム設計教育研究センター（VDEC） 池田 誠, 浅田 邦博

概要：近年の VLSI の微細化に伴い，LSI 製造時の歩留まりの確保が重要な問題として取り上げられるようになっており，LSI の設計時に製造容易性を考慮することが必要となってきた（Design For Manufacturability）。本試作では，我々が [1] で提案したセルレイアウト生成手法およびセル内配線欠陥モデルを用いて得られた，セル内配線に欠陥の発生する確率の高いセルおよび低いセルを用いた二種のリングオシレータを実装した。1 チップにはそれぞれのリングオシレータが 168 個ずつ，合計 336 個のリングオシレータが実装されている。20 チップをテストにより測定することで，配線欠陥確率の高いセルを用いたリングオシレータには 2 個の故障が検出された。

参考文献：T. Iizuka, M. Ikeda, and K. Asada, "Exact Wiring Fault Minimization via Comprehensive Layout Synthesis for CMOS Logic Cells," in Proc. of IEEE International Symposium on Quality Electronic Design (ISQED), pp. 377-380, Mar. 2004.

設計期間：1 人月 設計ツール：Virtuoso, HSPICE, NanoSIM, PDRACULA LPE/LVS/DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG（特性評価回路など）





MIPS 互換プロセッサの試作

京都大学大学院情報学研究所通信情報システム専攻 樋口 昭彦, 荒本 雅夫, 湯山 洋一,
小野寺 秀俊

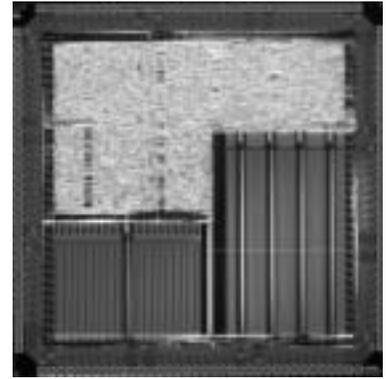
東京大学大規模集積システム設計教育研究センター 小林 和淑

概要: SystemC の RTL 記述から, 論理合成を用いて, MIPS アーキテクチャ互換のプロセッサの設計を行なった. さらに, Alliance を用いて 4k ビットの命令メモリとデータメモリの作成も行なった. 一部, RTL 記述のミスによる動作不具合もあったが, LSI テスタ上での正常動作を確認した.

参考文献: 樋口, 小林, 小野寺, "ソフトコアプロセッサにおけるレジスタファイルの消費電力モデル", pp. 71, no. A-3-4, 2004 年電子情報通信学会総合大会 (2004)

設計期間: 3 人月以上, 4 人月未満 設計ツール: 論理設計: Verilog-XL, Design Compiler, 物理設計: Avanti 社 Astro, レイアウト: Cadence 社 Virtuoso, 検証: Synopsys 社

Nanosim, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数: 100000 以上 チップ種別: マイクロプロセッサ



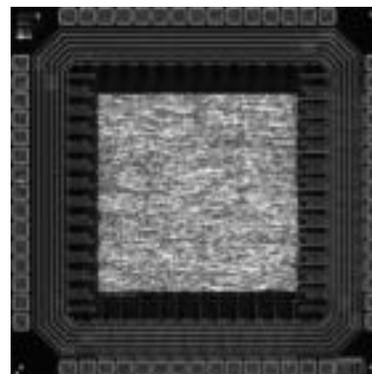
平成15年度 第3回 ロームCMOS0.35 μ m チップ試作 (R035033)

ケミカルセンサ用演算LSIの味覚識別モジュール回路の設計

武蔵工業大学大学院工学研究科 藤田 雅彦, 秋谷 昌宏

概要：今回設計したASICは、ケミカルセンサの一種である味覚センサから得られる膜電位変化 (ΔV)、応答時間 (t) を要素とする味覚パターンを識別する。Input Data と Reference Data との差をその味毎に積分してゆき、積分した結果を最後の比較回路で比較するものである。参照する味覚データにおけるデータプロット数の回数積分した結果を比較し、その値が最も小さい参照味覚データが、入力された測定データの味であると判別するものである。識別回路における識別方式は、膜電位のピーク点とその応答時間の違いによる識別の誤差を防ぐことができる方式であるため、高い精度で識別可能である。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Avanti社 Milkyway, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上、100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路（乗算器、除算器など）

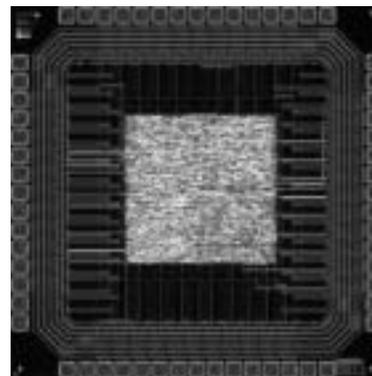


ケミカルセンサ用演算LSIの試作

武蔵工業大学大学院工学研究科 武藤 玄, 秋谷 昌宏

概要：味覚ならびににおいを検出する有機薄膜を用いたケミカルセンサにおいて味覚センサから得られる膜上の電位変化と、においセンサから得られる共振周波数変化のアナログ信号を処理し、同一の特徴抽出方法を用いて同じ回路での識別を行う。システムLSI化の前段階として特徴抽出部の設計を行った。まず測定開始点での測定値を基準値として保持し、測定値と基準値との差を求める。また、基準点からの変化の最大値を絶対値として算出し、識別部へと送る。同時に最大値を取った時の時間を保持し、そこから特徴として平均変位量を参照用ROMと乗算器を用いて算出し、識別部へと送る構成となっている。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上、100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路（乗算器、除算器など）

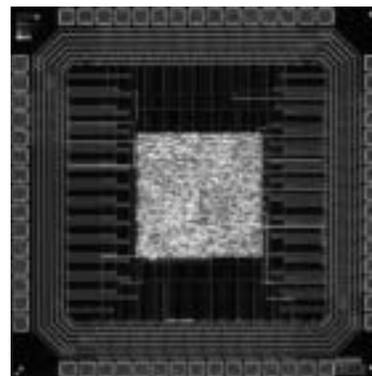


ケミカルセンサ用識別回路LSIの試作

武蔵工業大学大学院工学研究科 紫村 優介, 山田 健太, 秋谷 昌宏

概要：「においセンサ」「味覚センサ」のデータ処理を行う識別演算LSIを設計した。においモード、味覚モードにより、においセンサ、味覚センサの両方に対応している。においについては、共振周波数変化の初期応答の値を検出することによって、におい物質の構造の違いによるグループ分けを行い、その後共振周波数変化ピーク値 Δf_p [Hz] とその時の応答時間 t_p [s] を参照データと比較して識別を行う。味覚については膜電位の最大変化値とその応答時間、および一定時間経過後の安定値から基本五味とその濃度の識別を行う。そのため、前処理回路、ピーク検出回路、タイマー回路、参照データとの比較回路の構成となっている。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Avanti社 Milkyway, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上、100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路（乗算器、除算器など）



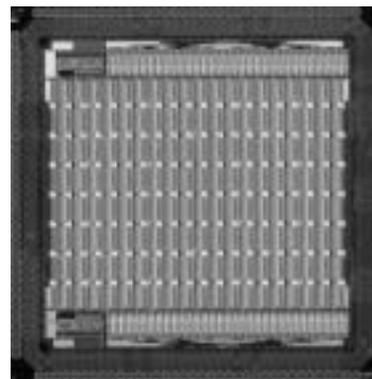
電流モード多値論理に基づく Field-Programmable Digital Filter LSIの試作

東北大学大学院情報科学研究科 出川 勝彦, 青木 孝文
東北工業大学工学部電子工学科 樋口 龍雄

概要：本研究グループでは、冗長算術演算アルゴリズムと電流モード多値集積回路技術を組み合わせることによる、高性能かつ高密度な算術演算 VLSI の実現を目指している。Field-Programmable Digital Filter (FPDF) は、係数と演算語長および次数が任意にプログラムできる、FIR フィルタ専用の再構成型デバイスである。電流モード多値論理に基づく FPDF は、電流モード多値論理回路を利用することにより、2 値論理回路による実現と比較して、特に配線領域が大幅に削減され、低消費電力動作が可能である。本試作チップは、電流モード多値論理回路のデバイススケリングの影響を調べるために、すでに実チップでの動作確認がとれている 0.6 μ m FPDF を 0.35 μ m にシュリンクした。フルカスタム設計を行い、0.6 μ m FPDF と比較して、回路面積が縮小され、基本ブロックをより集積化できることを確認している。また、HSPICE シミュレーションにより、0.6 μ m FPDF よりも低消費電力動作する事を確認している。本試作チップは現在評価中である。

参考文献：K. Degawa, T. Aoki and T. Higuchi, "Design of a field-programmable digital filter chip using multiple-valued current-mode logic," IEICE Trans. Fundamentals, Vol. E86-A, No. 8, pp. 2001--2010, August 2003.

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



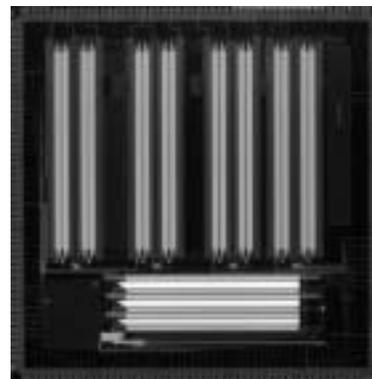
マルチパス一括処理を実現する超並列 CDMA マッチトフィルタ

東京大学大学院工学系研究科 山崎 俊彦
東京大学大学院新領域創成科学研究科 中山 友之
東京大学工学部 亀谷 暁

概要：マッチトフィルタを並列に用いることによりセルサーチ、パスサーチを同一ハードウェアで処理する CDMA 通信方式を考案、実装した。ハードウェアを有効利用するためにセルサーチ時には PN 符号検索を高速に処理するアルゴリズムを考案した。相関値出力部は、フローティングゲート MOS 技術を用いた 512chip 長のマッチトフィルタを用いることにより低消費電力、低面積を実現している。また、マルチパス検出のための低消費電力電圧型 Winner-Take-All (WTA) も開発した。今回開発した WTA は、2 進木構造において演算が終了した根の部分から順にオフすることにより以前開発された時間領域の WTA に比べ 1/10 程度の低消費電力を実現している。

参考文献：T. Nakayama, T. Yamasaki, and T. Shibata, "Quasi-Parallel Multi-Path Detection Architecture Using Floating-Gate-MOS-Based CDMA Matched Filters," accepted for the presentation at The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004) .

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 9.8mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ

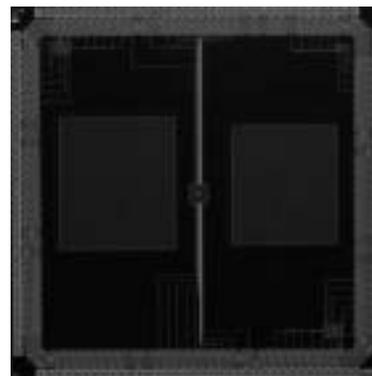


隣接セル間配線のみを用いたエッジフィルタ用演算器回路 TEG

東京大学大学院新領域創成科学研究科 中下 友介

概要：画像の取り込みと同時にエッジフィルタをかけるチップにはフォトセンサ部とその周辺の演算回路が必要である。フォトセンサからの出力はアナログ値であるが、大抵の場合は A/D 変換をかけデジタル値として処理を行う。しかし、その処理速度と消費電力などを考えた場合、無駄な変換をかけることなくスマートに演算を行いたい。つまり、演算部をフルアナログで作成することが望ましいといえる。「隣接セル間配線のみを用いたエッジフィルタ」回路には加算、減算器等が必要であるが、いずれもシンプルな演算を行うものなのでフルアナログで作成することが可能である。これらの演算器において重要な性能であるレンジ幅、消費電力、演算速度などの特性をしらべ、性能を向上させるために演算器の TEG を作成した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

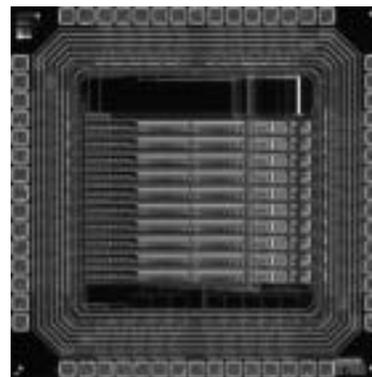


電流型パルス幅復調回路の試作

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要：広島大学のナノエレクトロニクス21世紀COEで提案されている3次元カスタムスタックシステム (3DCSS) を用いた画像処理システムの研究が進められている。チップ間の画像データ通信にスパイラルインダクタを用いた無線通信を利用することで、入出力ノードの位置合わせが容易、放熱問題の解消等の利点を持つ。また、転送回路を列並列に配置することで高速な画像処理が実現できる。しかしながら、列並列データ転送では各転送回路の素子特性のばらつきが問題となる。また、スパイラルインダクタによるデータ通信を利用するためには、各画素で計算されたアナログ画像情報をデジタルに変換する必要がある。本試作では、チップ間のデータ通信にパルス幅変調 (PWM) 方式を採用し、素子の特性ばらつきを補償可能な電流型パルス幅信号復調回路を設計した。サイズが1437.9 μ m \times 103.3 μ mの転送回路を10個並べ、ばらつきの補償効果を確認できるようにした。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路 (乗算器, 除算器など)

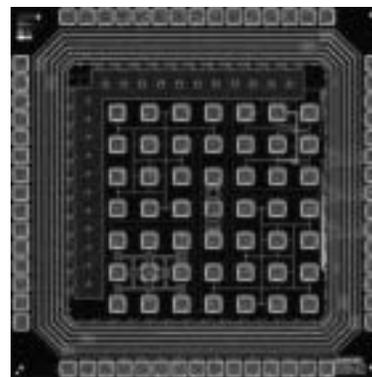


アナログ回路用デバイス TEG

東北大学大学院工学研究科 出口 淳, 沈 正七, 栗野 浩之, 小柳 光正

概要：イメージセンサやA/D・D/A変換器などのアナログ回路設計に必要な基礎データを収集するためのアナログ回路用デバイス TEG (Test Element Group) を設計し、W/Lを変化させたNMOS, PMOSトランジスタ, 抵抗, 容量などの単体素子を試作した。特に、MOSトランジスタのサブスレッショルド領域特性を評価するためにMOSトランジスタの測定を重点的に行い、HSPICE用アナログシミュレーションパラメータの抽出を行った。また、その他のTEGについても現在評価中であり、素子の温度特性を含めた評価を行う。今後は、本TEGのデータをもとにイメージセンサやA/D・D/A変換器などのアナログ回路の設計・試作を行う予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角



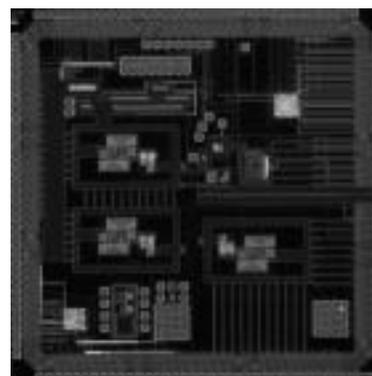
チップ種別：TEG (特性評価回路など)

相変化不揮発性メモリと長ビット数対応暗号処理 LSI-IP

金沢大学工学部 集積回路工学研究室 高田 雅史, 橋 秀明, 泉 貴富, 中江 智,
中野 伸吾, 中野 智崇, 朴 虎崗, 北川 章夫

概要：メモリ回路において集積度を上げず、容量を増やすことの出来る多値化の技術は極めて重要である。我々はカルコゲン元素へ印加する電流パルスを制御することにより、多値が実現できることを実験で示した。本試作では、この実験結果を元にLSI上で相変化多値技術を実現することを目指し、メモリア回路、及び評価特性用回路を試作した。また、楕円暗号処理LSI-IPの実現を目指し、以前に0.35 μ m CMOSプロセスにて設計を行った回路とは異なる実現する上で必要な回路も実装した。さらに、本試作では幾つかの修練用回路も実装されている。一部回路についてはLSIテスト及びEBプローブで測定を終えているが、現在引き続き検証中である。

設計期間：7人月以上, 8人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, Synopsys社 NanoSim トランジスタ数：10未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナデジ混載

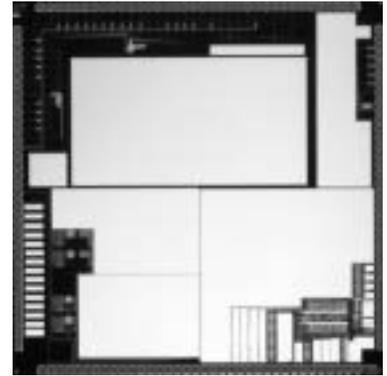


高速配線・オンチップインダクタ評価 TEG

東京大学生産技術研究所 Danardono Dwi Antono, 鬼塚 浩平

概要：本チップには以下の評価回路が搭載されている。・低消費電力かつ高速配線評価 TEG・オンチップインダクタ評価 TEG テクノロジーの進歩に伴い、チップ内配線はより集積密度が向上しつつあり、中を流れる信号はより高速になっている。今後は周囲の配線から受けるクロストークの影響や配線の持つインダクタンスによるオーバーシュート・アンダーシュートなどの影響が大きくなると予想される。本チップでは低消費電力高速配線を目指すため、それを確認するための回路を設計した。高速配線は通常大きな電力を消費するので、少しでも低消費化できることが望ましい。また、チップ間電力伝送をめざすため、オンチップインダクタについての特性評価を行うためのパターンを作成した。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：10 以上、100 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

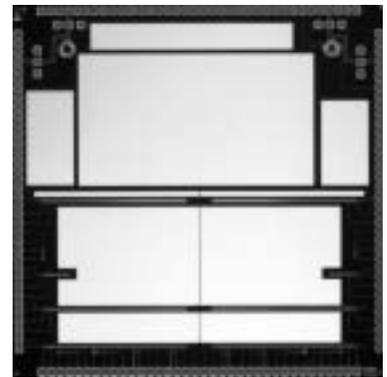


低消費電力アナログ・IO・FPGA 評価 TEG

東京大学生産技術研究所 石田 光一, Quang Canh Tran, 稲垣 賢一

概要：本チップには以下の評価回路が搭載されている。・2次のシグマデルタ型 A/D コンバータ回路・容量結合式無線チップ間伝送におけるノイズ低減回路・FPGA におけるリークカット回路・低電圧動作可能なレベルコンバータ A/D コンバータ回路はマイクロワットオーダの低消費電力動作を目指した。容量結合型無線チップ間伝送における、隣接パッドからの信号を受信側センスアンプの逆相側に入力することにより、センスアンプの端子間電圧を増大させることができる仕組みを搭載した。また、1チップのみでも測定できるようにチップ内部で容量結合を作成した回路も組み込んだ。FPGA では MUX が多数用いられており、MUX の入力が H と L が混在したとき、H から L に流れるリーク電流がある。このリークを止めるための回路を設計した。閾値電圧が高いためリークはほとんど流れないのでリークエミュレータの回路をも入れた。また、今後電圧はますます低くなり、レベルコンバータの設計は難しくなる。低電圧でも動作可能なレベルコンバータを設計した。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上、10,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

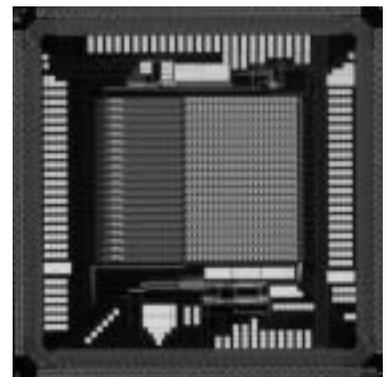


Inverse Function Delayed モデルで構築した学習機能を有するニューラルネットワーク

東北大学情報科学研究科 福原 淳, 伝田 達明, 早川 吉弘, 中島 康治

概要：本チップは、我々が提案しているニューロンモデルである Inverse Function Delayed (ID) モデルの実装を目指したものである。この ID モデルは、負性抵抗効果を導入でき、自励発振現象やニューラルネットワークで問題となる極小値問題の効果的な解決手段であることが示されている。今回の試作目的は、複数の ID モデルユニットを用いてネットワークを構築し、組み合わせ最適化問題の探索性能評価、及び学習機能を実現し、その基本動作を検証することである。主なモジュールは、ニューロン回路・シナプス回路・学習回路である。ニューロン回路では、ID ニューロンの基本方程式を実現する。シナプス回路では、ネットワークの情報を記憶し、また乗算を行う。学習回路では与える問題に合わせてネットワークの状態を変化させ、シナプス回路の記憶状態を更新する。シナプス回路におけるネットワークの状態記憶は、3ビットの SRAM で実現しており、ニューラルネットワークに必要な機能を全てオンチップで実現している。現在一部のテスト回路の動作を確認しており、今後さらに測定を進める予定である。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：メモリ



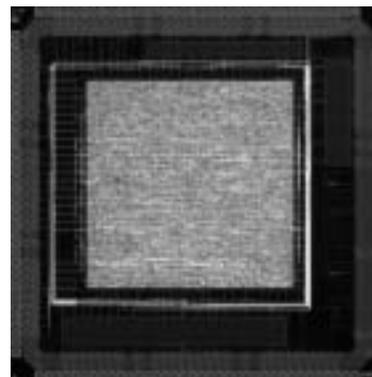
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学大学院工学研究院 吉川 信行

横浜国立大学大学院工学府 城殿 征志

概要：SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まず、超伝導デマルチプレクサにより低速の平行信号に変更され、CMOS 回路において平行アルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、14b の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



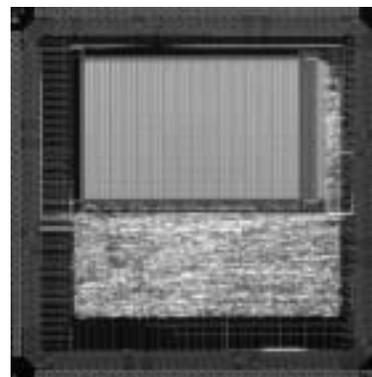
64 参照パターン用自動学習連想メモリテストチップ

広島大学先端物質科学研究科 溝上 政弘

広島大学ナノデバイス・システム研究センター マタウシュ ハンスユルゲン,
小出 哲士

概要：我々が開発している 64 参照パターンを処理可能な最小マンハッタン距離検索連想メモリを用いて、パターン認識・学習チップを試作した。本チップは最小距離検索の結果、入力パターンと最小距離パターン間の距離が小さい場合は同一パターンと認識し、2パターン間の距離が大きい場合は入力パターンを新規参照パターンとみなす。この入力パターンを新規参照パターンとして学習するため、プライオリティ (rank) の最下位の参照パターンを削除し、メモリ内参照パターンの自動更新を行なう。また、同一パターンと認識された参照パターンは、削除されないよう rank を上げる学習をする。本チップは入力パターンに対し約 290nsec でパターン認識・学習を処理する。

設計期間：3 人月以上、4 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：その他

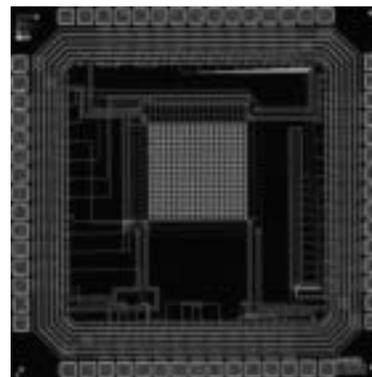


イメージセンサの検証用回路

東京理科大学工学研究科 今井 功, 笹倉 康明, 川原 隆輔

概要：将来の本格的なスマートイメージセンサ試作に備えて、撮像回路とその周辺回路の基本動作を確認するための検証用チップを試作した。本チップは、反転型フォトダイオードアレイからなるセンサ回路と、いくつかのテスト回路で構成される。センサ回路は横 20x 縦 20 画素を有しており、周辺に配置したシフトレジスタを用いて画素値を読み出す。テスト回路としては、3つの異なる構造を持ったアクティブピクセルセンサ用のセル回路、比較回路、アドレスデコーダ回路等を集積した。これらの回路を用いて、各構造による光電変換効率の調査や、比較回路の精度の検証、アドレスデコーダの動作確認等を行った。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：1,000 以上、10,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：イメージセンサ/スマートセンサ



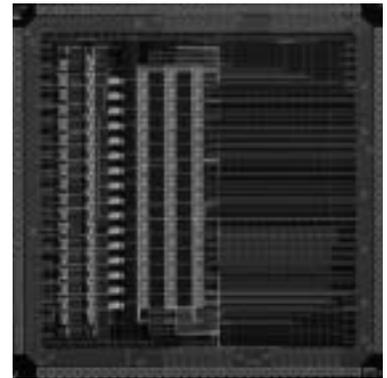
VDEC

マイクロストリップガスカウンタ用信号処理回路

東京大学大学院工学系研究科 Yeom Jung Yeol
東京大学人工物工学研究センター 高橋 浩之

概要：マイクロストリップガスカウンタ (MSGC) は、ガラス基板上に細いストリップと太いストリップを交互に配置し、細いストリップに高電圧を与え、気体中で動作させることで高い増幅度を有する電子増幅器として動作するものである。本チップは、多チャンネルのMSGCにおいて必要なパルス信号処理回路として開発された。MSGCから得られる100-300nsec程度の幅で10fC程度の大きさの信号電荷パルスを増幅、フィルタリングし、あらかじめ設定しておいた信号レベル間を満足するような大きさのパルス信号のみを抽出するものである。本チップには16チャンネルを集積し、フィルタリングの時定数などは可変とし、各チャンネル毎に、抽出すべき信号レベルを設定できる。出力信号は、モニタ用のアナログ信号と計数用のデジタル信号の2種類を出力する。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上、10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナデジ混載

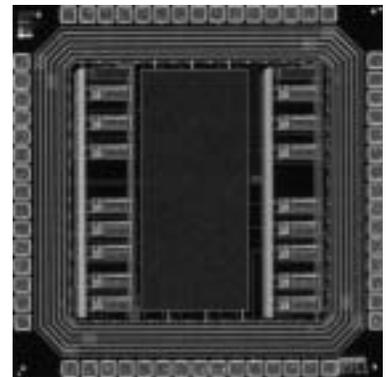


低雑音16チャンネルプリアンプ

東京大学大学院工学系研究科 Yeom Jung Yeol
東京大学人工物工学研究センター 高橋 浩之

概要：放射線イメージングの中でもガスカウンタや半導体検出器などでは、PET検出器に要求されるような極端な高速性能は必要とされない。本チップでは、これまでの試作結果を踏まえ、これらの検出器への応用を考えて低消費電力かつ低雑音な多チャンネルプリアンプを開発した。1チップ上に実用上十分なチャンネル数として16チャンネルのプリアンプを実装し、ディケイタイムなどは可変とした。立ち上がり時間の実測値は22nsec程度であるが、等価雑音電荷は350電子程度であり、1チャンネルあたりの消費電力は4.4mWである。また、入力信号のダイナミックレンジ-500fCから1500fCの範囲で一定の増幅度 \sim 1V/pCを保ち、良好な線形性を示すなど、低雑音の多チャンネル計測を比較的容易に実現することができる。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

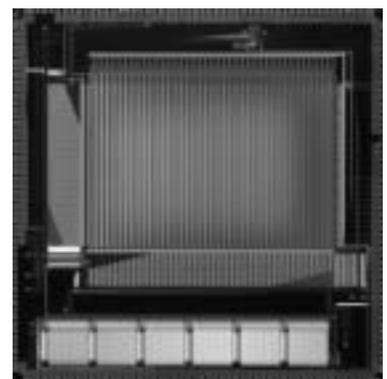


多層構造 Convolutional Neural Network 演算回路チップ

九州工業大学大学院生命体工学研究科 是角 圭祐, 中野 鉄平, 森江 隆

概要：本チップは、物体検出を実現する多層構造 Convolutional Neural Network を実現するために、時分割で階層処理を行なう積和演算回路と、各階層における演算結果を保持するSRAMを実装したものである。積和演算の1回の処理時間は110nsec。(クロック100MHz)として設計した。検出対象画素サイズは40 \times 40(=積和回路アレイサイズ)としており、画像から人間の眼を検出することを目指している。積和演算は、最大で21 \times 21個を並列に実行可能であり、その際の演算性能は約8GOPSである。またSRAMは、640ワード \times 13ビットのメモリブロックを6個実装し、3840ワード \times 13ビットのメモリとして構成した。本メモリにおいては、分割ワード方式を採用しており、各メモリセル列のワード信号を分割ワードドライバで駆動し、非選択メモリセル列のワード信号を常にLowとするため、非選択メモリセル列のビット線のプリチャージが必要なくなり、消費電力を削減できる。なお、書き込み・読み出し速度は100MHzとして設計した。現在測定(テスト除く)を行なっている。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Verilog-XL, Avanti社 Appolo, SII社 SX9000, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 9.8mm角 チップ種別：ニューテクノロジー



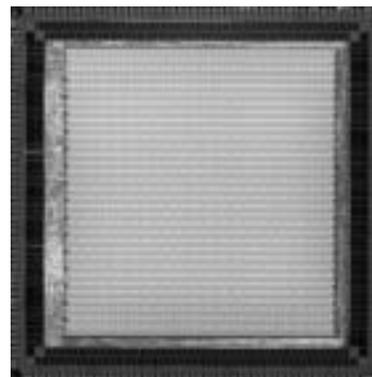
境界セル限定動作機能を持つ41x33セル画像分割セルネットワーク回路

広島大学先端物質科学研究科 森本 高志, 足立 英和

広島大学ナノデバイス・システム研究センター 桐山 治, 小出 哲士,
マタウシュ ハンスユルゲン

概要：複雑な自然画像に対して直接、動き検出や物体認識処理をかけた場合、背景など様々な情報が存在するため処理が複雑になる。画像分割は複雑な自然画像から必要なオブジェクトを取り出すことにより情報量を削減する処理である。また、動画処理や高速な認識のためにはハードウェアによる高速化が必要不可欠であり、我々の研究室ではこのためにリアルタイム画像分割アーキテクチャを提案している。本チップではフルカスタムの41x33セルネットワークに境界セル限定動作を加えることで更なる低消費電力化を実現した。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 9.8mm角 チップ種別：その他

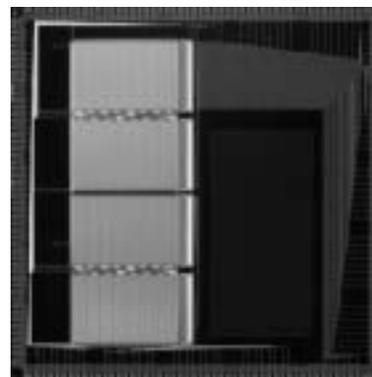


大規模参照パターン全並列最小マンハッタン距離検索連想メモリ

広島大学先端物質研究科 矢野 祐二

広島大学ナノデバイス・システム研究センター 小出 哲士,
マタウシュ ハンスユルゲン

概要：高速で小面積、更に低消費電力を実現した全並列型アーキテクチャによる連想メモリにおいて、今回は4バンク型の5bit最小マンハッタン距離検索連想メモリを設計した。メモリ領域は各バンクが64行80列の4バンク構成となっており、5bit \times 16ユニットの参照データを256パターン格納可能である。レイアウト面積は2ステージとなった最小距離Winner選択回路の面積オーバーヘッドから25.6平方mmで実現しており、最小距離検索回路は全体の10.8%で実現できた。シミュレーションによって、280ns以下での最小距離検索が可能であることを確認できた。また、パイプライン動作を考慮してバンク内のWinner検索処理とデジタルでのトーナメント比較処理を分離して実行するための機構をメモリ領域内に設けているため、実際の応用の際に大規模パターンの全検索への拡張が容易で、



検索時間の増大も最小限に留めることが可能である。

参考文献：なし

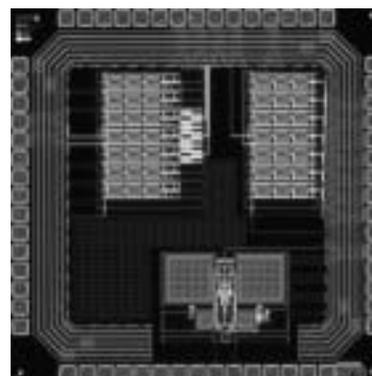
設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 9.8mm角 チップ種別：メモリ

低周波・低消費電力増幅回路及びAD変換回路の設計

大阪府立大学先端科学研究所 田中 智之, 中尾 基, 泉 勝俊

概要：近年のデバイス・プロセス及び回路設計技術の進展により、LSIの電源電圧は低くなってきている。すなわち低消費電力化は進むが、これに伴いアナログ回路設計では、様々な問題が発生してくる。本試作では、先の試作において設計した低消費電力増幅回路の改良版として、回路構成を変えた増幅回路の設計を行った。改良点としては、低消費電力という基本コンセプトに加え、低雑音化も考慮に入れたことである。増幅部分を差動構成にし、前試作と大幅に回路構成を変更したため、消費電流は増える結果となった。なお、AD変換回路の動作機構の習得用として3bit-フラッシュ型AD変換回路、及びその他としてコンパレータも設計・試作してみた。所望の回路特性というレベルには至らなかったが、第一段階として種々の特性は得られた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

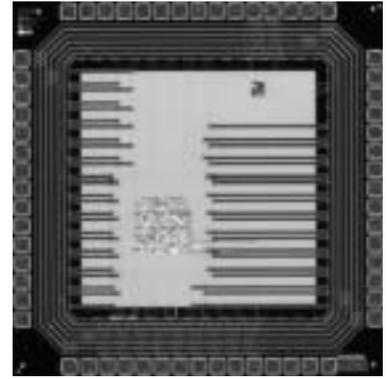


低ジッタ全デジタルPLLおよびアナログPLLの試作

九州東海大学工学部 佐々木 博文, 藤本 邦昭

概要：我々は、全デジタルPLL（PLL：Phase Locked Loop）の高性能化を目的として研究を進めている。前回の試作では入力信号に同期させて出力周波数を決定するプログラマブル分周器を毎回リセットさせることにより出力ジッタを基準クロックの2パルス以内に抑制することができる全デジタルPLLを試作した。今回は、位相差が基準クロックの1パルスに達した時、次の一周期間、出力周波数を決定するプログラマブル分周器の分周比を±1することにより位相を補正し、位相差が基準クロックの2パルス以上になった場合、初期引込み回路を動作させ、強制的に同期状態に引込む方式を提案した。この方式は、出力ジッタを基準クロックの1パルス以内に抑制することができる。回路動作については、シミュレーションおよびFPGA（Field Programmable Gate Array）を用いた実験で既に確認していたが、今回の試作により集積化した場合にも問題なく動作することを明らかにした。また、今回の試作では、比較するためにアナログPLLも同一チップ内に試作した。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre トランジスタ数：1,000以上、10,000未満 試作ラン：ローム CMOS 0.35μm 2.4mm角 チップ種別：その他

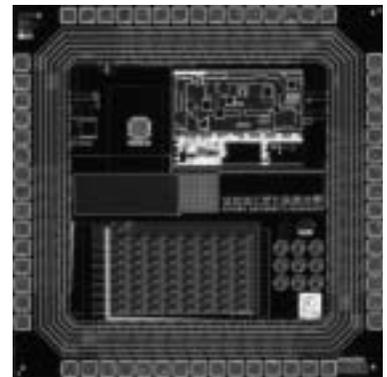


二次元平面上の細線化による対象物体検出回路

公立ほこだて未来大学システム情報科学部 秋田 純一

概要：受光系と信号処理系を同一チップに集積するVisionChipは、画像信号の並列性を生かすことができるために従来の画像処理系と比較して圧倒的な高速処理が可能となる。ロボットビジョンなどへの応用を考えると、出力は画像の何らかの抽象量、すなわちスカラ量であることが望ましい。本チップでは、平面上に存在する物体の中心位置スカラ量として抽出するVisionChipの実現のために、物体の中心位置を示すフラグを生成するアルゴリズムとその検証回路の設計と試作を行った。画素ごとに隣接画素の値に応じて遷移するオートマトンを配置し、画素平面全体でセルオートマトンを形成し、全体として細線化処理を並列に行う。細線化処理の最後で消滅する点を物体の中心とみなし、効率的に細線化を行うためのオートマトンの遷移関数の検討を行った。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：ローム CMOS 0.35μm 2.4mm角 チップ種別：イメージセンサ/スマートセンサ



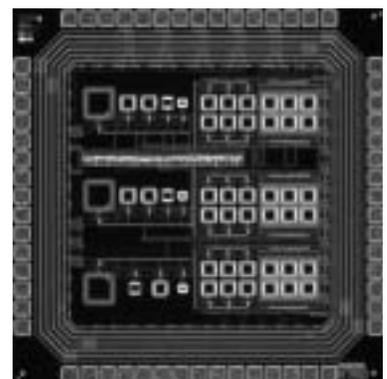
インダクタンス結合チップ間無線通信チャンネルアレイにおけるクロストーク測定用送信チップ

慶應義塾大学理工学部 三浦 典之, 黒田 忠広

概要：オンチップインダクタ間のインダクタンス結合を利用してチップ間無線インターフェースを考案した [1]。この技術により1.2Gb/s/chのデータ通信が可能である。データバンド幅はチャンネルのアレイ配置によりさらに向上される。一方、アレイ内のチャンネル間クロストークは信号品質を劣化するため、チャンネルアレイにおけるクロストークの測定および解析は必要不可欠である。本チップにおいて送信チャンネルアレイを設計した。回路はインダクタを備えたデータ通信用のH-bridge送信回路である。本チップは同時に設計した受信チップとスタックすることにより、クロストーク測定用回路内の受信インダクタとの結合を形成し、クロストークの測定を行う。送信チップは60, 90, 120μmに研磨して3種のチップを作成し異なる通信距離において測定ができるように実装上の工夫を施した。正常動作を確認し、クロストーク波形の測定に成功し、チャンネルアレイにおけるInterference-to-Signal Ratio (ISR)を測定した。

参考文献：Mizoguchi, Yusof, Miura, Sakurai, Kuroda, "A 1.2G/s/pin Wireless Superconnect Based on Inductive Inter-chip Signaling (IIS)", ISSCC Digest of Technical Papers, pp. 142-143, Feb. 2004.

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Apollo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：ローム CMOS 0.35μm 2.4mm角 チップ種別：通信 (RF回路, ATMなど)



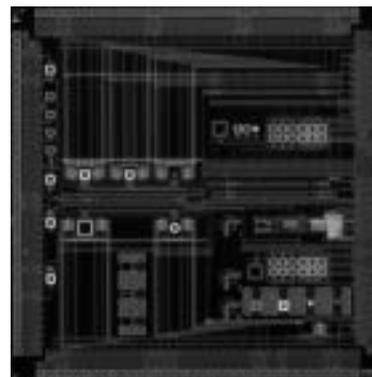
インダクタンス結合チップ間無線通信チャンネルアレイにおけるクロストーク測定用受信チップ

慶應義塾大学理工学部 三浦 典之, 黒田 忠広

概要：オンチップインダクタ間のインダクタンス結合を利用してチップ間無線インターフェースを考案した [1]。この技術により1.2Gb/s/chのデータ通信が可能である。データバンド幅はチャンネルのアレイ配置によりさらに向上される。一方、アレイ内のチャンネル間クロストークは信号品質を劣化するため、チャンネルアレイにおけるクロストークの測定および解析は必要不可欠である。本チップにおいてチャンネルアレイの発生するクロストーク測定回路を設計した。回路はインダクタを備えたデータ通信用の受信回路とその両端に接続したエンベデッドディテクタにより構成される。本チップは同時に設計した送信チップとスタックすることにより、送信チャンネルアレイとの結合を形成し、クロストークの測定を行う。送信チップは60, 90, 120umに研磨して3種のチップを作成し異なる通信距離において測定ができるように実装上の工夫を施した。正常動作を確認し、クロストーク波形の測定に成功し、チャンネルアレイにおける Interference-to-Signal Ratio (ISR) を測定した。

参考文献：Mizoguchi, Yusof, Miura, Sakurai, Kuroda, "A 1.2Gb/s/pin Wireless Superconnect Based on Inductive Inter-chip Signaling (IIS)", ISSCC Digest of Technical Papers, pp. 142-143, Feb. 2004.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：通信 (RF回路, ATMなど)

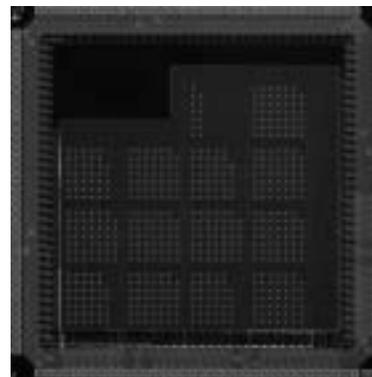


光再構成型ゲートアレイ

九州工業大学 渡邊 実

概要：光により高速に再構成可能な光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) -VLSIを開発した。このデバイスでは、チップ表面に並べられた受光素子に対してプログラム光を照射することで、ゲートアレイ部の回路を瞬間的に再構成することが可能である。この度の設計では、フォトダイオード受光部のサイズを25.5 μ m \times 25.5 μ m、その間隔を99 μ mとし、605個のフォトダイオードを実装した。また、ゲートアレイ部は、4ビット入力LUT (Look-Up Table) を1個持つ論理ブロックが4個、スイッチング・マトリックスが5個、8本の配線チャンネル、16ビットのI/Oから構成される。この度試作した ORGA のゲートアレイ構造は従来の試作品のものと同じであるが、評価の目的で、複数のタイプの再構成回路を実装している。設計に使用した言語はVHDLであり、論理ブロック、スイッチングマトリックス、I/Oブロック個別にレイアウトし、それらのマクロセルを使用してチップの配置配線を行った。

設計期間：0.1人月未満 設計ツール：Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：ニューテクノロジー

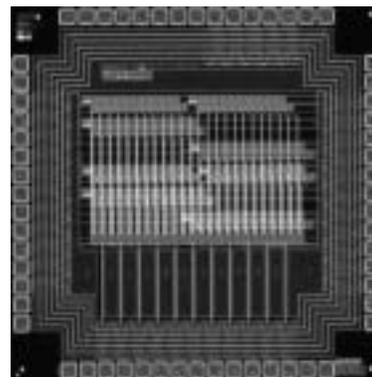


フルカラーLEDディスプレイ駆動回路の設計

高知工科大学工学部 谷脇 史高, 矢野 政顕, 橋 昌良

概要：フルカラーLED平面ディスプレイの駆動方式に関して、インターフェース信号を削減する目的でサブフレーム駆動方式の研究を進めている。本試作チップはLED駆動回路部分の回路方式検討用として設計したものであり、駆動用データを保持するためのフリップフロップ回路と、データシフト方式の種々の組合せについて、動作周波数、消費電力などを比較評価を行うことのできる回路を実装している。また、サブフレーム駆動方式に関しては、すでに、FPGAでの実装を行い方式の検討を行い、マトリックス方式に比べてインターフェース信号の数を減らせる点で有利であることがわかっているが、FPGAでの実装では動作周波数、消費電力、面積などの評価を行うことが難しいため、LSIチップ化した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：その他



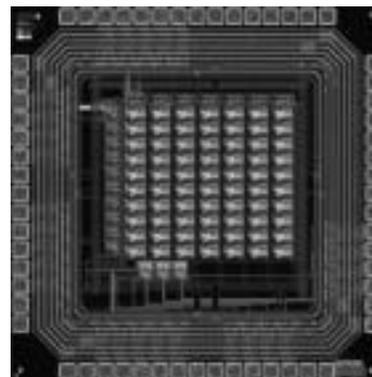
ゼロ交差検出回路

大阪大学大学院工学研究科 井上 恵介, 下ノ村 和弘, 八木 哲也

概要：我々が今までに開発したシリコン網膜は、2次元のラプラシアン・ガウシアン型フィルタ処理を実現できる。本チップは、そのシリコン網膜のアナログ出力に対してゼロ交差検出を行い、実時間で輪郭の位置を検出する。チップは、アナログメモリとゼロ交差検出回路によって構成した。アナログメモリは、2次的にゼロ交差検出を行うために、逐次的に読み出されるシリコン網膜の出力を保持するためのものである。そのアナログメモリから適当な画素情報を読み出し、ゼロ交差点を検出する。シリコン網膜の六角格子状の画素配置を考慮し、3方向でゼロ交差点を検出するために、ゼロ交差検出回路は3つインプリメントした。なお、テストによる測定は行っていない。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：

1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：演算回路 (乗算器, 除算器など)

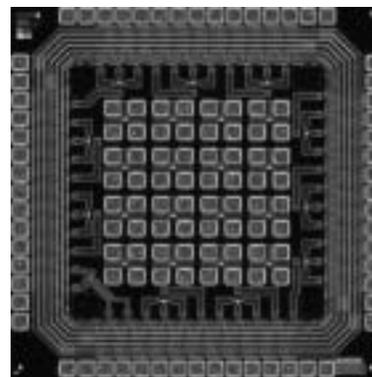


スペース赤外線天文観測用極低温動作読みだし集積回路評価用素子の試作

総合研究大学院大学物理科学研究科 和田 武彦

概要：スペースからの天文観測の特徴であるバックグラウンドの低さを生かすためには、読みだしノイズ低減のため、検出器近くにプリアンプを配置することが望ましい。しかし、赤外線観測では暗電流の低減のために検出器を極低温に冷却するため、プリアンプも極低温で動作する必要がある。また、効率良く観測を行なうには、多画素化が必要であるが、極低温部への入熱を小さくするため多数の出力信号線を用いることができず、出力信号を低温部で多重化する必要がある。そのため、極低温で動作する読みだし集積回路の開発が必要となっている。今回の試作では、極低温でも良好な動作が期待される twin gate 構造の FET 素子の試作を行なった。比較のため、2つの gate 長の比を変更した素子と、通常の gate 構造をもつ FET も同時に配置した。FET 素子特性を評価するため、すべての FET に独立な PAD を配置した。

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：TEG (特性評価回路など)



ニューロン MOS トランジスタを用いた D/A コンバータの TEG

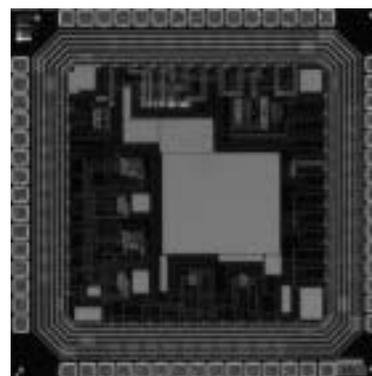
東海大学大学院工学研究科 福原 雅朗

東海大学電子情報学部 吉田 正廣

概要：我々の研究室では、ニューロン MOS トランジスタという機能デバイスを用いたハミング距離検出回路を提案し、その応用に関する研究を行っている [1]。本チップ試作は、提案回路の構成要素の一つであるニューロン MOS トランジスタを用いた D/A コンバータの電気的特性を評価することを目的としている。ニューロン MOS トランジスタはフローティングゲートを有する特殊なデバイスであるため、このフローティングゲートに電荷が蓄積され、これによって所望の動作が行えなくなることが懸念されている。この電荷を初期化する方法の一つとして、蓄積された電荷を放電するためのリセット用トランジスタをフローティングゲートに付加することが考えられる。そこで今回は、リセット用トランジスタを付加したニューロン MOS トランジスタを用いた 3bit D/A コンバータとそれを付加していないものを、それぞれ寸法を変えて二種類ずつ、計四種類試作した。なお、試作チップの測定及び評価はまだ行っていない。

参考文献：[1] 福原, 吉田, “ニューロン MOS トランジスタを用いたハミング距離検出回路の提案”, 電気学会 電子・情報・システム部門大会, GS3-2, 2003 年 8 月。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：TEG (特性評価回路など)

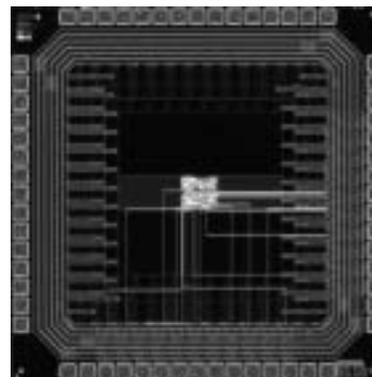


ピクセル検出器用コントロール回路及びデータ圧縮回路

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸

概要：現在ピクセル検出器の読み出し行おうとしており、アナログデジタル混在のフロントエンドエレクトロニクスは存在している。また読み出用信号線を少なくするために1Gbpsの光ファイバーを使用する予定である。しかしながら全てのデータを読み出そうとすると1Gbpsを超えてしまうため、何らかのデータ圧縮機能を持った回路を検出器近傍に実装する必要がある。幸い実際の環境下ではある条件を満たしたものだけが信号であることは分かっているため、特殊な演算をICの中で行うことによって十分なデータ圧縮効果が得られる。このICにはこのデータ圧縮回路及び検出器のコントロール回路を実装してある。また回路のテスト用にパターン発生器を作りこみデバッグが容易になるようにしてある。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Verilog-XL, Avanti社 Apollo, Mentor社 Calibre トランジスタ数：1,000以上，10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG（特性評価回路など）

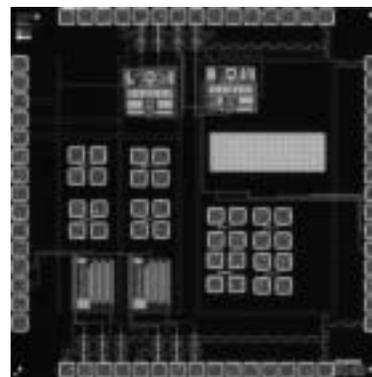


デジタル雑音低減のためのアクティブ・シールド回路の作成

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：近年、アナログ回路の高速性とデジタル回路の柔軟さを兼ね備えたアナログ・デジタル混載集積回路が注目を集めている。アナログ・デジタル混載集積回路では、デジタル回路が導通と遮断を繰り返すことにより、基板を介して雑音がアナログ回路の特性を劣化させることが知られている。これを避けるために、我々はアクティブ・シールド回路を提案している。本試作では、アクティブ・シールド回路の他に、デジタル回路としてリング・オシレータも構成し、リング・オシレータからの雑音がどの程度提案のアクティブ・シールド回路により低減できるか確認できるようにした。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



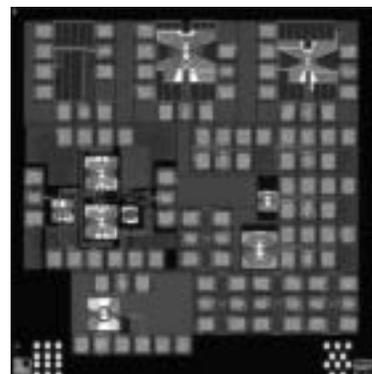
ミリ波帯 PLL に向けた複数係数周波数分周回路の作成

東京大学新領域創成科学研究科 山本 憲, 乗松 崇泰, 藤島 実

東京大学工学系研究科 木野 順

概要: トランシーバにおける搬送波を発生させる位相同期ループ (PLL) の高速動作を目指している。これには、電圧制御発振回路 (VCO) と周波数2分周回路の高性能化が重要になる。そこで、ミリ波帯で動作する電圧制御発振回路の設計を行った。また、PLLを作成するためには複数の分周数を持つ周波数分周回路の構成方法がPLLの高速動作の鍵となる。今回の試作では、アナログミキサを利用して高速に動作する複数係数周波数分周回路を提案し、試作を行った。さらに、周波数2分周回路のトランジスタのパラメータを最適化し、低電圧・低消費電力で動作する周波数2分周回路の設計を行った。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.8mm **チップ種別:** 通信 (RF回路, ATMなど)



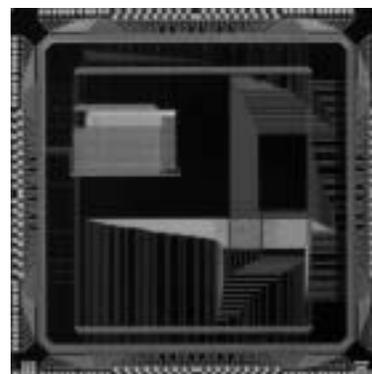
タイムドメイン DP マッチングプロセッサ, MIMD 連想プロセッサの演算器コア

東京大学大学院新領域創成科学研究科 小川 誠

東京大学工学部 早川 仁

概要: タイムドメイン DP マッチングプロセッサ: 遅延時間を用いたアナログ回路により dynamic programming (DP) マッチングを高速・低消費電力で行うプロセッサを開発した。DP マッチングとはシーケンス間のマッチングで、エレメント間のずれも考慮して最適の照合を行うアルゴリズムである。音声認識やDNAの解読等で頻繁に用いられるが計算量が極めて大きい。今回試作したプロセッサでは、エレメントの値を遅延時間で表現し簡単なデジタル論理回路で最適なシーケンスを検索する。試作チップの測定の結果、16次元のパタンのマッチングを電源電圧1.3Vの下、80nsの処理時間、2mWの消費電力で実現することを確認した。MIMD 連想プロセッサの演算器コア: 通常の演算処理と連想処理を演算器を切り替えることで効率よく処理するMIMD型の連想プロセッサの演算器コアを試作した。具体的には8ビットの加減算・絶対値・累算を行う演算器を試作した。これらの演算器を直列に接続することで、ベクトル間のマンハッタン距離を計算する演算である $\sum|A-B|$ を連想専用プロセッサと同様の速度で行い、演算器を並列に切り替えて用いることで通常の演算も実現する。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 5.9mm **チップ種別:** 演算回路 (乗算器, 除算器など)



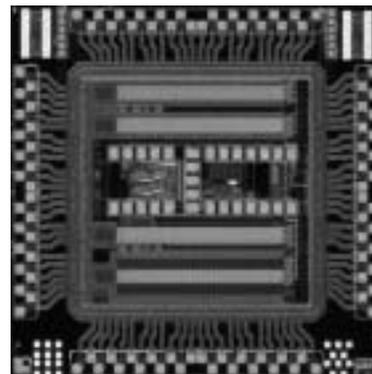
オンチップサンプリングオシロスコープ回路を用いたシグナルインテグリティの評価

京都大学情報学研究科 新名 亮規, 宮崎 崇仁, 橋本 昌宣, 小野寺 秀俊

概要: 現在、LSI上でのシグナルインテグリティの劣化がLSI全体の性能劣化を引き起こし、問題となっている。この問題を解決には、LSI内部の波形の実測が必要がある。今回我々は、高周波のインダクタンス性ノイズを測定するという目的のもと、オンチップオシロ回路の開発を行った。測定チップは、大きく分けてノイズ発生部分、PLL回路、サンプリングクロック発生回路、サンプルホールド回路、出力バッファの5ブロックから構成されている。シミュレーション段階では、サンプル方法の改良などによりグラウンド電圧付近では16GHzの帯域を持つサンプルホールド回路が実現できた。これにより、シミュレーションではインダクタンス性ノイズの観測に成功した。サンプルホールド回路のDC特性は測定できたが、現在のところ実チップでの正常動作は確認できていない。

参考文献: 宮崎, 新名, 橋本, 小野寺, "オンチップオシロ用サンプルホールド回路の広周波数帯域化," C-12-34, 電子情報通信学会総合大会 (2003) .

設計期間: 9人月以上, 10人月未満 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.8mm **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



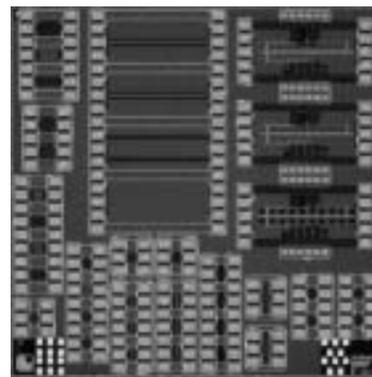
電源網解析向け容量特性評価 TEG

京都大学情報学研究科 山口 隼司, 橋本 昌宜, 小野寺 秀俊

概要：近年の動作速度の向上，消費電力の増大により，LSI 電源網の解析が重要となっている。正確な電源網の解析には，電源網に寄生するさまざまな容量をモデル化する必要がある。本 TEG は，LSI 内部における電源線に付加する容量成分の周波数特性を明かにするために作成した。ウェル容量，デカップリング容量，メタル容量の周波数特性をネットワークアナライザを用いて測定する。電源線のノイズの伝搬特性を評価する TEG，ならびにセルベース設計に用いることができるデカップリング容量セルも開発した。メタル容量は目的通りに測定できたが，ウェル容量は正常な測定を行うことができなかった。原因の追求が課題である。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula

DRC トランジスタ数：100 以上，1,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.8mm チップ種別：TEG（特性評価回路など）



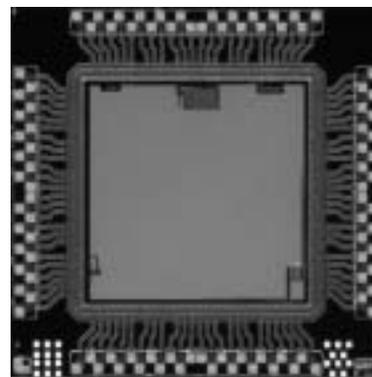
レベルシフト回路

東京大学生産技術研究所 石田 光一, 宮崎 隆之

概要：テクノロジーの進歩にしたがって，アナログ，デジタル，メモリ等それぞれの回路で適切な電圧が異なってきた。また，同一ブロック内でもプロセッサ負荷に応じて複数の電圧を使い分ける技術が求められている。異なる電源電圧のブロックに信号を送るとき，相手が自分より低い電圧で動作しているならばほど影響はないが，相手が自分より高い電圧で動作しているときは低い電圧基準での high を送っても，high と認識されない可能性すらある。そこで必要となるのがレベルシフト回路である。本試作では複数のパターンのレベルシフト回路を実装した。トランジスタのストレス緩和を図ったレベルシフト回路。既存のプロセスを用いて，ゲート酸化膜にオーバストレスをかけることなく，電源電圧範囲を超える出力振幅を得るレベルシフトなどである。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社

Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上，10,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.8mm チップ種別：TEG（特性評価回路など）



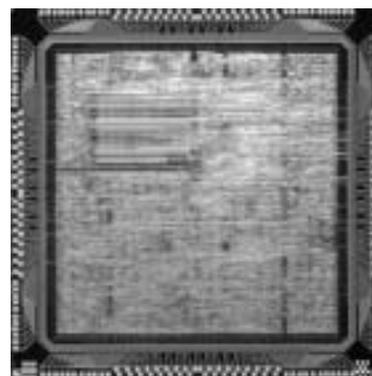
コンフィギュラブルプロセッサを用いた JPEG2000 符号器の設計

京都大学情報学研究科 筒井 弘, 増崎 隆彦, 林 宙輝, 泉 知論, 尾上 孝雄, 中村 行宏

概要：静止画像符号化標準 JPEG2000 は，高圧縮，高機能を特長とし，幅広い分野への応用が期待されている。しかし，現行の符号化標準に比べて数倍の処理能力を必要とし，リアルタイム性の要求されるアプリケーションにおいては，高速化実装が必要不可欠となる。そこで，米テンシリカ社のコンフィギュラブルプロセッサ Xtensa と，JPEG2000 符号化処理アクセラレータを搭載する JPEG2000 符号器を設計した。アクセラレータはエントロピー符号化と離散ウェーブレット変換 (DWT) を高速に処理し，Xtensa ローカルメモリ・インターフェース (XLMI) によりプロセッサと接続されている。本符号器を用いて 512 \times 512，8 ビット深度，グレイスケールのテスト画像を量子化せずに圧縮する場合，処理に要する時間は 55MHz 動作時で約 3 秒である。これは Xtensa のみを利用する場合の約 10 倍の速度である。

参考文献：[1] Y. Hayashi, H. Tsutsui, T. Masuzaki, T. Izumi, T. Onoye, Y. Nakamura, "Design Framework for JPEG2000 Encoding System Architecture", Vol. 2, pp. 740-743, in Proc. of ISCAS2003 (2003) .

設計期間：2 人月以上，3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm チップ種別：アナログ/デジタル信号処理プロセッサ

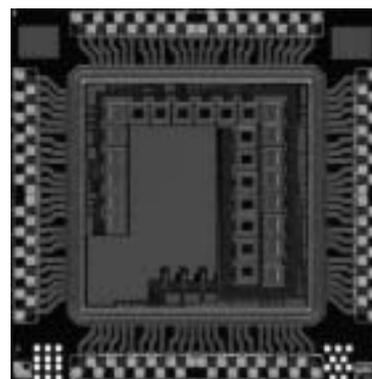


フォトダイオード基礎特性測定 TEG

奈良先端科学技術大学院大学物質創成科学研究科 岡本 英樹, 山本 幸司, 香川 景一郎,
太田 淳, 布下 正宏

概要: フォトダイオードの受光感度, 拡散キャリアによる画素間クロストーク, 接合容量の電圧依存性などの基本特性は, イメージセンサを設計する上で重要である. ファウンダリの提供する CMOS, BiCMOS, SOI プロセスなどを用いて pn 接合を作ればフォトダイオードは実現できる. 汎用プロセスでは, プロセスがイメージセンサに最適化されていないことから, 暗電流が大きく, 受光感度が悪いことが考えられ, これらの特性と設計時に把握しておくことは非常に重要である. しかし, これらの特性は公開されておらず, 研究室ごとにデータを蓄積するか, トライ&エラーで設計しているのが実情である. そこで, イメージセンサの基本特性データを大学間で共有することを目的とし, フォトダイオードの基本特性を測定するための TEG 仕様を策定した. 測定データは, 今後公開することを考えている. 今回は, 日立 0.18 μm について, フォトダイオードの基礎データ測定用 TEG を試作した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.8mm **チップ種別:** イメージセンサ/スマートセンサ



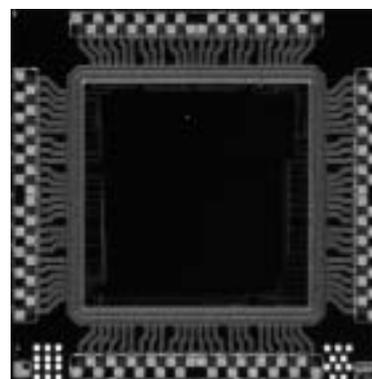
LSI 設計評価用基本デバイス TEG

高知工科大学工学部 石川 純平, 大橋 健二, 橋 昌良, 河津 哲

概要: LSI を設計するに当たり, 基本デバイス特性を確認することを目的として, チャンネル長をパラメータとした N チャンネル MOS トランジスタ, 及び, P チャンネル MOS トランジスタと C-MOS インバータの設計を行った. 2.5V 系と 1.8V 系との比較用 TEG も併せて設計した. 更に, 長チャンネル MOS トランジスタの電位分布測定などチャンネル特性を評価する TEG の設計も併せて行った. 具体的にはチャンネル長 0.35~10 μm の単体 MOS トランジスタ, インバータ 及びチャンネル内の引き出し端子付 MOS トランジスタ等で構成されている

参考文献: [1] 石川, 矢野, 河津, “CMOS インバータの基本設計および特性解析”, 2003 年電気関係学会四国支部連合大会, 9-12, p141, 愛媛大学, 2003 年 10 月

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.8mm **チップ種別:** TEG (特性評価回路など)



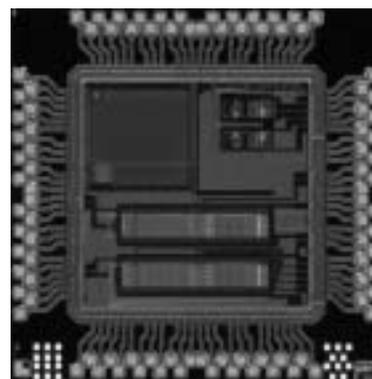
超多重 RFID 向けトランスポンダ実験チップ

神戸大学工学部 福水 洋平, 大野 修治, 瀧 和男, 野口 宏一郎, 奥本 健, 永田 真

概要: 本試作チップは超多重応答を可能にする RFID システム [1] において, 小規模な輻射制御を実現するトランスポンダ (タグ) の実験回路であり, RF 信号処理・デジタルロジック・キャパシタから構成される. 本回路は電磁誘導による非接触給電で外部から供給される電力を内蔵のキャパシタに蓄え, キャパシタに十分な電力が蓄積されると, 読取り機と同期をとってからタグ ID を拡散変調し発信するものであり, 通信方式の基本性能および輻射制御の妥当性を確かめることを目的としている. このチップについては, チップの基本的な動作確認を終え, 通信方式の検証ならびに多重制御の評価フェーズに移るところである.

参考文献: [1] Yohei Fukumizu, et al., "A Highly Collision Resistive RFID System", APSITT-2003, pp. 223-228, Nov. 2003.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 design_compiler, Avanti 社 Appollo, Cadence 社 Virtuoso, SII 社 SX9000, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μm 2.8mm **チップ種別:** 通信 (RF 回路, ATM など)

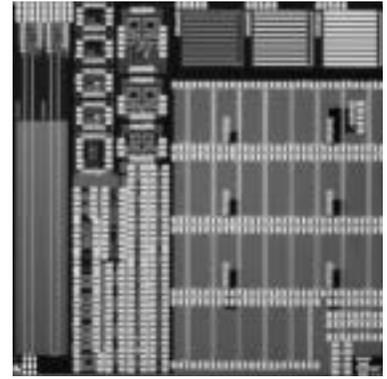


オンチップ配線特性およびPLL 特性評価 TEG

京都大学情報学研究科 土谷 亮, 宮崎 崇仁, 橋本 昌宜, 小野寺 秀俊

概要：本チップはオンチップ配線の信号伝達特性を評価するためのTEGチップである。信号配線の周辺に存在する配線によって信号伝達特性がどのように変化するかを評価した。評価は、ネットワークアナライザを用いた周波数領域での測定、およびリングオシレータの発振周期変化の測定により行った。測定結果から、信号配線に直交する配線が配線特性・配線間の結合に及ぼす影響を評価した。また、高周波回路に用いられるPLLの特性評価を行なった。PLLとその要素回路であるVCO、MOS、スパイラルインダクタなどのTEGを評価した。位相雑音等の測定結果からPLLの性能に対するVCOの影響を明らかにした。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm チップ種別：TEG (特性評価回路など)

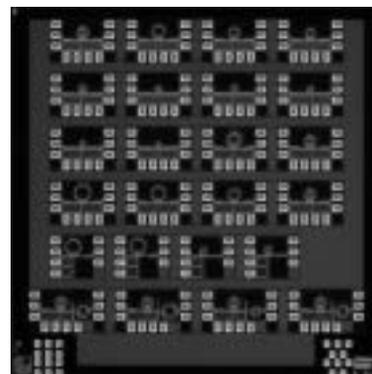


ミリ波帯で動作する周波数分周器と電圧制御発振回路の作製

東京大学新領域創成科学研究科 山本 憲, 藤島 実

概要：PLLを作成する上で重要になってくる回路は電圧制御発振回路と周波数分周回路である。これらの回路について、プロセスによる限界動作の検討を行った。現在までに報告されている周波数2分周回路として、40 GHzで動作するものがある。動作周波数が40 GHz近辺になることを目標とし、設計した動作周波数は30 GHz, 40 GHz, 45 GHz, 50 GHz, 60 GHzである。40 GHzで動作する周波数分周器で用いられている方式はLC共振を用いるものであり、LC共振を利用すると動作周波数を高くすることができるものの、動作周波数範囲が限られるという問題点がある。そこで、動作周波数範囲を広く取ることができる方式を提案し、試作を行った。また、電圧制御発振回路の設計も行った。設計した動作周波数は20 GHz, 30 GHzである。また、発振周波数を制御するバラクタの方式は2種類あるが、それぞれの方式を用いて試作を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC
トランジスタ数：10以上, 100未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：通信 (RF回路, ATMなど)



CDMA Matched Filter

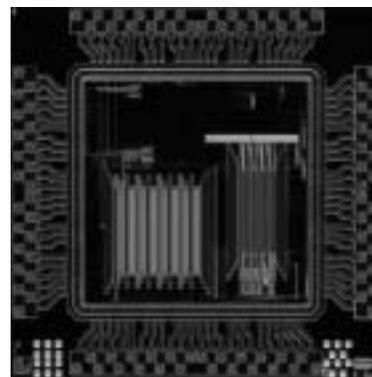
東京大学大学院工学系研究科 山崎 俊彦

東京大学大学院新領域創成科学研究科 中山 友之

概要：Rohm 0.35 μ mで設計し、動作を確認したフローティング・ゲート型電圧モードCDMA マッチトフィルタ, スイッチト・カレントCDMA マッチトフィルタの2種類の回路をHITACHI 0.18 μ mプロセスに最適化し、設計した。これにより、さらなる高速化, 低消費電力化, 省面積化が期待される。スイッチト・カレントCDMA マッチトフィルタでは、フローティング・ゲートMOS回路技術を用いたV-I変換回路, CMOSインバータとCMOSインバータスイッチで構成したシンプルなI-V変換回路を開発した。回路をブロック化することとカレントメモリに流れる電流を軽減することによって低消費電力を実現した。電圧モードマッチトフィルタでは、演算に参加するカップリングキャパシタの数を半分にすることでキャパシタンスの充放電にかかる消費電力を削減し、低消費電力動作を実現した。

参考文献：T. Yamasaki, T. Fukuda, and T. Shibata, "A Floating-Gate-MOS-Based Low-Power CDMA Matched Filter Employing Capacitance Disconnection Technique," Digest of Technical Papers of 2003 Symposium on VLSI Circuits, pp. 267-270, Kyoto, June 12-14, 2003.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



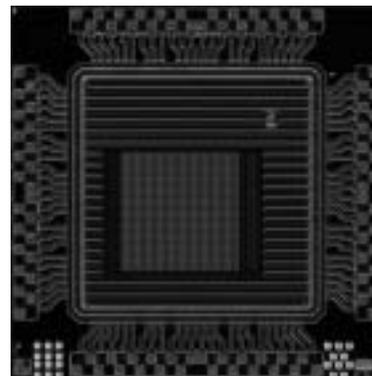
Digital Pixel Sensor TEG

東京大学大学院新領域創成科学研究科 伊藤 潔人

東京大学工学部 Tongprasit Benjamas

概要：外界から画像情報を取り込み、その情報に対して演算処理を行うシステムの中で最もボトルネックとなるのは、画像情報を取り込む回路 (イメージセンサ) と画像処理回路との間のデータ転送である。本チップは画素回路一つ一つにA/D変換器を備え高いフレームレートでデジタル変換された画像データの読み出しを可能とするDigital Pixel Sensor (DPS) のTEGの試作を行った。実装したDPSは、画素内の配線を有効利用することで、取得画像内の任意の矩形領域を読み出すことが可能である。そのため、従来提案されていたDPSに比べ画像処理演算との親和性が高く、様々な演算回路と組み合わせて高度な画像処理アルゴリズムを高速に実行することが見込まれる。本試作では32x32pixelの画素回路を1チップ内に集積した。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：イメージセンサ/スマートセンサ

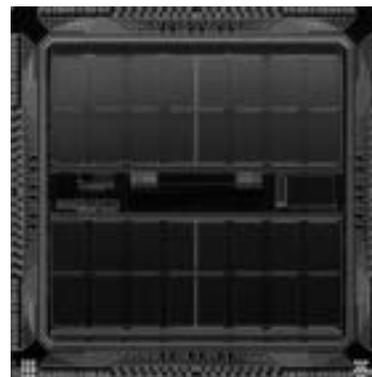


フラッシュコンボリューション型画像フィルタ演算プロセッサ

東京大学大学院新領域創成科学研究科 伊藤 潔人

概要：画像処理で最も汎用的なアルゴリズムである画像フィルタ演算を高速に実行するプロセッサを開発した。本プロセッサは画像フィルタ処理に必要なコンボリューション演算を1クロックサイクル以内で実行する。新たに Quaternary Tile Mapping という画素データのメモリマッピング方式を開発し、画素データの冗長な読み出しや複雑なアドレス計算という問題を解消し高速かつ低消費電力な処理を実現した。また、演算に使用するカーネルの大きさを自由に変更でき、さまざまな画像処理への応用が可能である。回路内は2k ByteのSRAMとコンボリューション演算器によって構成された Processing Element (PE) が32個配置され、それらを選択的に動作させてフィルタ演算を行う。なお、本チップは以前試作したチップのリファイン版である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：マイクロプロセッサ

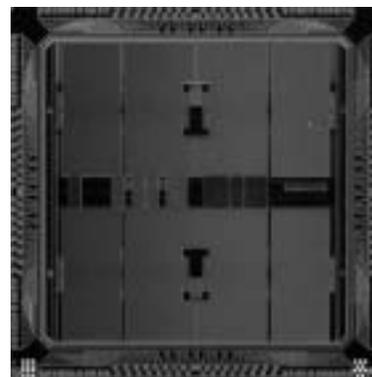


カーネル係数可変型画像フィルタリングプロセッサ

東京大学大学院新領域創成科学研究科 伊藤 潔人

概要：同研究室で開発した画像フィルタリング演算プロセッサ [1] の性能評価を踏まえ、新たにアーキテクチャの拡張を行った改良版の回路である。前回のプロセッサでは、コンボリューションカーネルの大きさを自由に変更できるアーキテクチャを開発したが、カーネルに用いることのできる重み係数は $\{-1, 0, 1\}$ の3種類と限定されていた。本試作では、プロセッサに内蔵するメモリ容量を保ったままカーネル係数を4bitに拡張し汎用性を高めた。また、係数2bitのカーネルを用いて二つのコンボリューション演算を並列に行い、処理速度を倍速化することも可能になっている。また新たにパイプラインを導入し、電源電圧1.8Vにおいて動作周波数200MHzを想定して設計を行った。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：マイクロプロセッサ



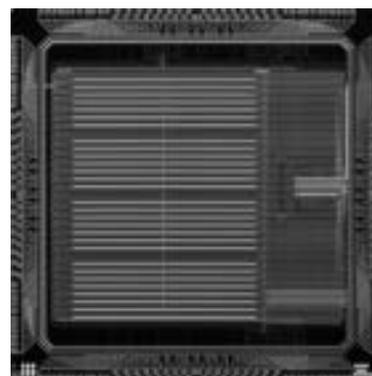
実時間認識のための画像特徴抽出プロセッサ

東京大学大学院工学系研究科 山崎 英男

東京大学工学部 川原 邦男

概要：我々の研究室では、画像から認識に必要な特徴のみを抽出してベクトル表現する Projected Principal-Edge Distribution (PPED) というアルゴリズムを開発した。PPEDでは、64 x 64 pixelsの画像に対し、まずエッジ検出を行う。そして、得られた2次元のエッジ情報を特定の方向にプロジェクションし、64次元のベクトルとして表現する。本研究の目的は、実時間認識のための高速PPEDプロセッサの開発である。さらに高度な認識には、64 x 64 pixelsより大きな画像をスキャンする機能が必須である。そこで、エッジ情報を保持するためのレジスタアレイを実装し、スキャンの際のエッジ検出とプロジェクションを並列に行うことでシームレスなパイプラインを実現し、従来型と比較して100倍以上高速なアーキテクチャを考案した。本チップは、前回の試作した要素回路を元に、PPEDに基づいて画像データから特徴ベクトルを生成するシステム全体を設計した。上下左右4方向のスキャンに対応しており、また、任意のプロジェクションが可能であるため、同一のチップでアルゴリズムを拡張させることができる。

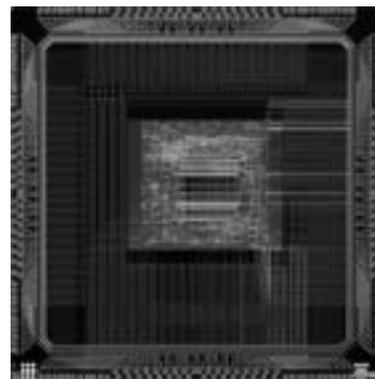
設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



短命令長 SIMD プロセッサ

東京大学大学院工学系研究科 早川 仁

概要：ひとつのチップに入れられるトランジスタの数は年々増加している。そのため、MIMD 構成のプロセッサも現実的となってきたが、そのときに問題となってくるのが分割されたメモリの容量である。特に多種類の演算を行う場合は、命令データのメモリ全体に占める割合が増加し、演算するためのデータを格納するための容量が制限される。そこで、命令をグループに分けそれを切り替えることで少ない命令長で多くの命令を表現可能にし、メモリ容量における命令データの占める容量を削減することを考えた。本試作では8ビットの演算を8並列で行う SIMD プロセッサで、命令超は8ビットながら約40種類の演算を可能にした。実行可能な演算は、8ビットの加減算（桁上りを記憶するためそれ以上のビット数の演算も可能）およびビット演算（And/Or/Xor とその論理反転）、それにメモリアクセスである。レジスタは、ひとつあたり64ビットで、8個の8ビットレジスタを並列に使う「パラレルモード」とある8ビットをすべての演算要素に用いる「シリアルモード」を用意し、行列演算なども可能にした。

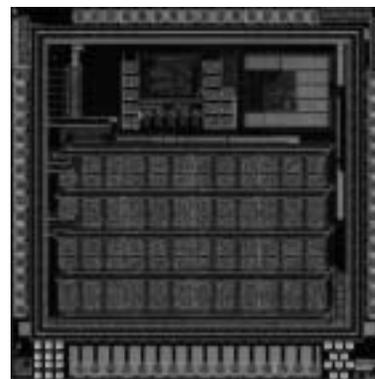


設計期間：1 人以上、2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Apollo, Cadence 社 Virtuoso, Avanti 社 Milkyway, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上、100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm 角 チップ種別：マイクロプロセッサ

電源ノイズ測定 TEG

京都大学情報学研究科 山口 隼司, 橋本 昌宜, 小野寺 秀俊

概要：本 TEG は、LSI 内部における電源線ノイズが回路遅延へ与える影響を評価するため試作した。回路中にリングオシレータを挿入しており、その発振周期の変化を測定する事で、電源線ノイズの影響による遅延の増大値を評価する。電源ノイズを発生させる回路は、電流を消費する場所、量などを変化させることができるように設計した。また、ピコプローブ、オンチップサンプリングオシロスコープ回路を利用し、回路内部の電源線ノイズ波形を観測することも可能である。パターンジェネレータで被測定リングオシレータの指定と発振の制御を行い、パルスカウンタ回路の値をシフトレジスタで出力し、ロジックアナライザで読み出す。現在、試作 TEG の動作確認および測定を行っている。

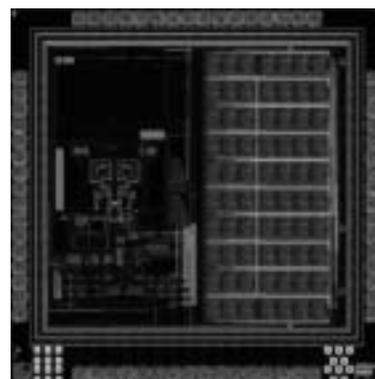


設計期間：3 人以上、4 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：TEG（特性評価回路など）

オンチップ高速信号伝送用 SerDes ならびに遅延ばらつき測定用リングオシレータアレイ TEG

京都大学情報学研究科 新名 亮規, 山岡 健人, 橋本 昌宜, 小野寺 秀俊

概要：近年、LSI の製造プロセスの微細化に伴い、1 チップ内に集積される回路規模は増大している。将来的には多数の機能ブロックが搭載された、大規模 SoC が実現されると考えられる。我々は次世代の超微細プロセスにおける、ブロック間の長距離高速信号伝送技術として、差動シリアル伝送を提案する。今回の試作では、シリアル伝送に必要なシリアルライザ、デシリアルライザを設計し、BIST を用いた BER の測定を目標とした。8Gbps の伝送レートを想定して回路設計を行なった。しかし現在、実チップでの動作は確認できていない。また、製造ばらつきによる遅延のばらつきを測定するための TEG も搭載した。多数のリングオシレータの発振周期からばらつきを測定する。修正、改良したばらつき評価 TEG を9月に試作したため、測定は行っていない。



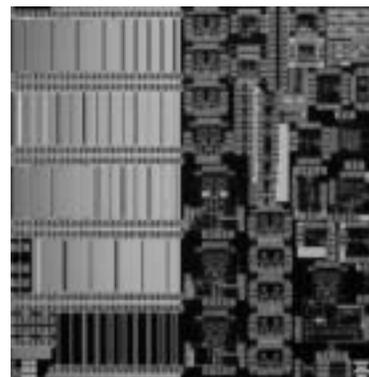
設計期間：2 人以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：通信（RF 回路、ATM など）

オンチップ高速信号伝送用要素回路の特性評価 TEG

京都大学情報学研究科 土谷 亮, 宮崎 崇仁, 新名 亮規, 橋本 昌宜, 小野寺 秀俊

概要：オンチップ高速信号伝送を実現するための要素回路として、SerDes 回路、CML ドライバ、PLL、配線の特性を測定した。配線 TEG では表皮効果・近接効果による減衰の周波数特性が配線構造によってどのように変化するかを測定した。また、基板の影響による特性の変化を測定した。PLL の TEG では発振周波数の見積もり・動作限界の評価を行ない、シミュレーション・解析式から得られる予測に近い結果が得られた。CML ドライバは 10GHz での動作を確認した。8Gbps の伝送レートを想定して回路設計を行なった SerDes 回路は、4Gbps のシリアル信号が出力されることは確認できたものの、想定した 8Gbps の伝送レートはまだ実測で得られなかった。原因を追求すると共に、さらなる伝送レートの向上、低消費電力な回路構成の検討を、今後行なっていく予定である。

設計期間：4 人月以上、5 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



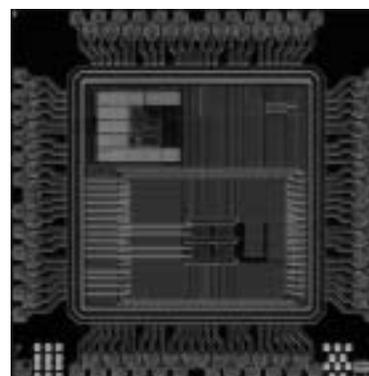
接続情報と演算情報をルックアップテーブルに統合したフィールドプログラマブル VLSI

東北大学大学院情報科学研究科 張山 昌論, 大澤 尚学, 坂本 修, 亀山 充隆

概要：プログラマブル配線の複雑さに起因する性能劣化を解消するために、本研究グループでは、2次元メッシュネットワーク、ビットシリアルパイプラインアーキテクチャ、および直接アロケーションに基づき配線の複雑さを激減したフィールドプログラマブル VLSI (FPVLSI) を提案している。今回は、ルックアップテーブルのプログラミングによりプログラマブル配線の機能を実現することにより、配線の面積をこれまでの 50%程度に減少できる FPVLSI を試作した。HSPICE によるシミュレーションでは、配線を単純化しない従来の FPVLSI と比較して同等面積で 3 倍程度の高性能化を達成できる見通しを得ている。

参考文献：Naotaka Ohsawa, Osamu Sakamoto, Masanori Hariyama, Michitaka Kamayama, "Program-Counter-Less Bit-Serial Field-Programmable VLSI Processor with Mesh-Connected Cellular Array Structure," Proc.

設計期間：IEEE Computer Society Annual Symposium on VLSI, pp. 258-259, 2003. 設計ツール：2 人月以上、3 人月未満 トランジスタ数：Cadence 社 Verilog-XL, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC 試作ラン：10,000 以上, 100,000 未満 チップ種別：日立製作所 CMOS 0.18 μ m 2.9mm 角

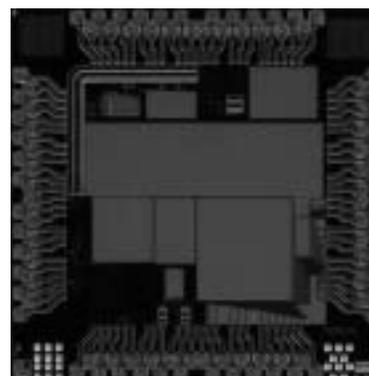


電流測定回路

東京大学生産技術研究所 石田 光一, 川口 博, 宮崎 隆之

概要：本チップには以下の評価回路が搭載されている。・電流測定回路・ワイヤレス通信評価回路 テクノロジーの進歩にしたがって、消費電力を下げることへの要求はだんだんと厳しくなってきた。提案回路の電力低減効果が見られたかどうかは、電力を実測することで可能となるが、そのためには電圧と電流を測定する必要がある。しかしながら従来はチップ内の電圧を測定する手段は数多くあったが、電流を直接測定する手段はなかったといつてよい。本試作では電源ラインなどチップ内部の配線に流れる電流を非接触で検出し、電圧出力として取り出す回路を実現するための検出素子単体評価回路を搭載した。また、5MHz の磁界からコイルにより給電を受け、外部に接続した LED を点滅させる回路も実装している。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：TEG (特性評価回路など)

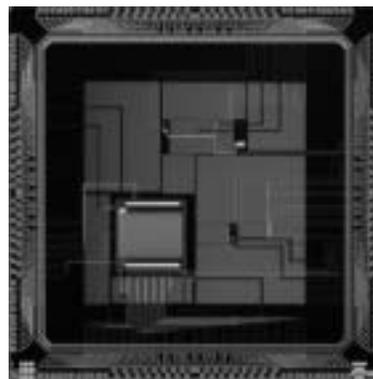


SRAMの設計と電力モデルの検証

東京大学情報理工学系研究科 坂井 修一, 初田 直也, ルオン ディン フォン,
バルリ ニコ デムス, 葛 毅, 岩間 智女

概要: マイクロプロセッサの省電力化をアーキテクチャレベルで検討するにあたり、回路の適切な電力モデルを構築することが重要な課題となっている。そこで、プロセッサの重要な回路要素であるSRAMについて、その電力モデルを検証するため、4kB SRAMをレイアウトした。電圧1.8V、動作周波数500MHzで設計し、ロジックアナライザを用いて、測定できる最大周波数の160MHzまで、正しく動作することを確認した。また、SPICEシミュレーションによって電力消費を求め、アーキテクチャレベルにおけるSRAMモデルの精度を定量的に評価した。

設計期間: 10人月以上 **設計ツール:** Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** 日立製作所 CMOS 0.18 μ m 5.9mm角 **チップ種別:** メモリ

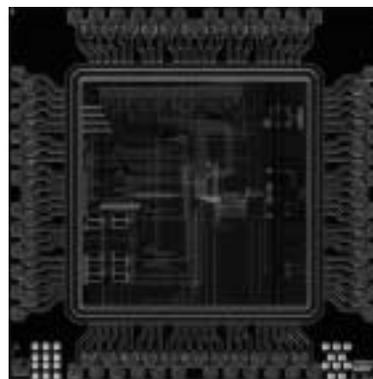


Ultra-Wideband 無線通信用送受信回路

慶應義塾大学工学部 寺田 崇秀, 善積 真吾

概要: パルスを用いる Ultra-Wideband 無線通信用 CMOS 送受信回路を作成した。送信器では従来用いていたパルス生成回路を用いず、電圧駆動型のアンテナ、例えばダイポールアンテナやモノポールアンテナなどの性質を利用してモノサイクルのパルスを送信する。受信器はアンプとミキサ以外をデジタル回路で構成する。従来は受信信号と同じ形状であったテンプレート信号を変形し、簡単なデジタル回路で生成できるようにした。このチップにはパルス振幅変調用送信回路、Bi-phase 変調用送信回路、H-bridge 用送信回路、広帯域低雑音増幅器、積分機能付き広帯域ミキサ、テンプレートパルス生成回路、同期用遅延コントローラなどを搭載し、送受信消費電力は10mWで伝送速度100Mbps、通信距離2mで無線通信を行う。送信パルスの幅は3種生成できるようにしており、使用帯域幅はそれぞれDCから2GHz、4GHz、6GHz程度である。

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別:** アナデジ混載

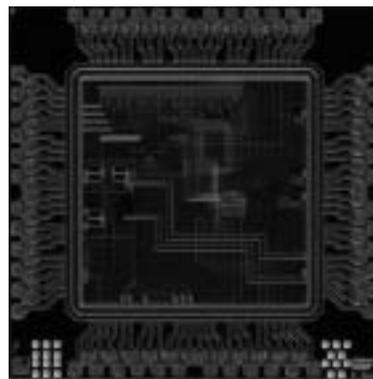


ultra-wideband 無線通信用送受信回路

慶應義塾大学工学部 寺田 崇秀, 善積 真吾

概要: パルスを用いる Ultra-Wideband 無線通信用 CMOS 送受信回路を作成した。送信器では従来用いていたパルス生成回路を用いず、電圧駆動型のアンテナ、例えばダイポールアンテナやモノポールアンテナなどの性質を利用してモノサイクルのパルスを送信する。受信器はアンプとミキサ以外をデジタル回路で構成する。従来は受信信号と同じ形状であったテンプレート信号を変形し、簡単なデジタル回路で生成できるようにした。このチップにはパルス振幅変調用送信回路、Bi-phase 変調用送信回路、H-bridge 用送信回路、広帯域低雑音増幅器、積分機能付き広帯域ミキサ、テンプレートパルス生成回路、同期用遅延コントローラなどを搭載し、送受信消費電力は10mWで伝送速度100Mbps、通信距離2mで無線通信を行う。送信パルスの幅は3種生成できるようにしており、使用帯域幅はそれぞれDCから2GHz、4GHz、6GHz程度である。本試作チップは、この送受信回路の要素回路を個別に搭載したものである。

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別:** アナデジ混載

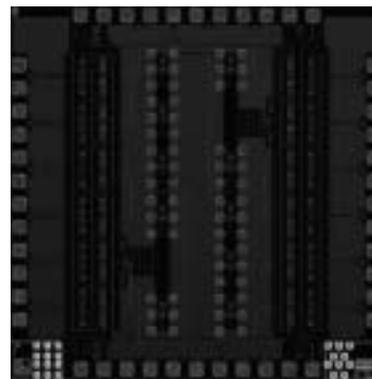


GHz帯高速ドライバ回路

明星大学情報学部 秋山 豊, 上田 千寿, 伊東 恭二, 大塚 寛治
東京大学 齋藤 圭介, 宇佐美 保

概要：概要：HITACHI 0.18 μ m CMOSプロセスを用いて高速ドライバ回路の設計を「電荷交換型高速ペアMOSトランジスタ回路（バラクタ構造）と今までの研究で電源グラウンド揺らぎに対して電源グラウンドペアとした伝送線路とする構成がGHzパルスに対して最適であることを検証し今回これをチップ内部の電源と信号線にスタックドペア配線構造として採用した。これらの構造の有り無しの比較及び差動入力部のバラクタ構造型ESD保護MOSを有するNMOS-Push Pull型ドライバ回路の動作検証を目的とする試作を行った。基本的な動作を確認し、ほぼ目標通りの性能が得られた。今後更に詳細な特性について測定検証する予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：TEG（特性評価回路など）

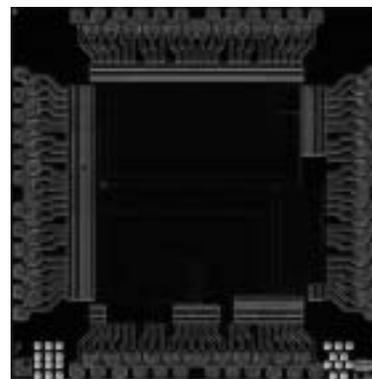


Gb伝送用高速デジタルI/Oの設計

金沢大学自然科学研究科 三上 真司
金沢大学工学部 松野 哲郎, 深山 正幸, 吉本 雅彦

概要：Gb伝送可能なI/O回路のTEGとして送受信バッファを設計した。本送受信バッファは高速伝送を可能とするために、信号レベルにLVDS（Low Voltage Differential Signaling）を採用している。LVDSの特徴は伝送信号を小振幅にし高速化を図ると同時に、差動とすることでノイズによる影響も抑えることができることである。シミュレーションにより目標とする1.2Gbps伝送時に約3mの伝送が可能であると予測される。チップ測定は専用測定機材を使用して行う予定である。また、本チップ上にはトリプルウェルを用いたインバータ遅延時間測定回路を設計した。基板バイアスを印加可能とするために、nウェルpウェルの電源端子を独立に設けた。この回路によりインバータ307段の遅延時間を測定することが可能である。目的は基板バイアス効果によるインバータの遅延時間、および消費電力などの回路性能の変化を実測することである。測定は専用基板を作成して行う予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：通信（RF回路, ATMなど）



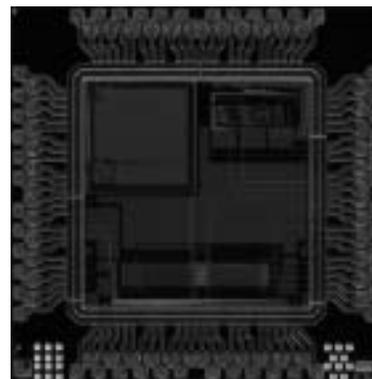
電源/グラウンド雑音測定回路及び遅延回路

神戸大学工学部 奥本 健, 野口 宏一郎, 永田 真

概要：本試作チップは、（1）雑音検出回路と（2）VCDL（Voltage Controlled Delay Line）の2つのブロックで構成される。前者では、デジタル回路内部の電源/グラウンド雑音分布を実測を目的とし、DFF程度の面積の埋め込み型電源/グラウンド雑音検出回路を開発した。テスト回路には、雑音源として32ビット・シフトレジスタを16列と、電源/グラウンド検出回路を64個搭載している。後者では、ピコ秒分解能のVCDLを開発した。遅延生成回路の回路規模を縮小し、小面積化を達成した。本チップに搭載した開発した全回路の基本動作を確認し、現在、詳細な性能の測定評価をすすめている。

参考文献：[1] T. Okumoto, M. Nagata, K. Taki, "A Built-in Technique for Probing Power-Supply Noise Distribution within Large-Scale Digital Integrated Circuits," to appear in Symp. VLSI Circuits 2004.

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, SII社 SX9000, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：ニューテクノロジー

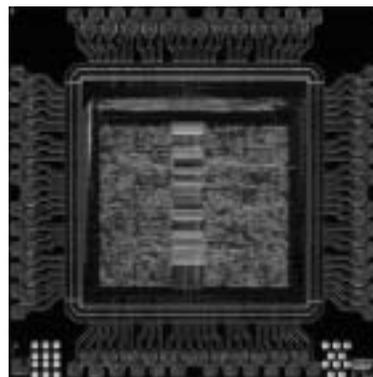


デジタル・デルタシグマ変調回路 (1)

神戸大学工学部 杉本 智彦, 永田 真

概要：本試作チップには、オーディオ用高精度DA変換器に標準的に用いられるデルタシグマ変調信号処理回路を搭載している。2次のデルタシグマ構成とし、インターポレータおよびFIRフィルタも内蔵した。京都大学の作成した0.18 μ m CMOSセルライブラリを用い、論理合成および自動配置配線ツールによる、マルチレート・デジタル信号処理回路の設計手法の確認も目的としている。アーキテクチャの検討には信号処理シミュレータ (SPW) を用い、また設計性能は論理合成後のネットリストを用いた論理シミュレーションで評価した。実測により、試作回路の基本動作は確認しているが、S/N等の設計値に到達していないため、入力信号やフィルタ係数設定を含めた評価系の見直しをすすめている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, SPW, Avanti社 Appollo, Cadence社 Virtuoso, SII社 SX9000, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：アナデジ混載



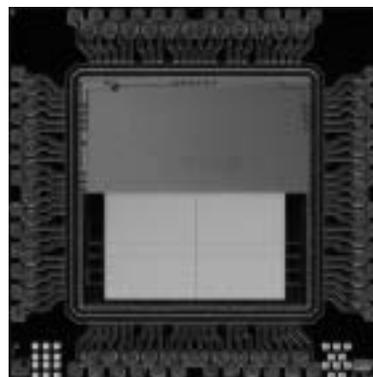
ダイナミック SCL 多値集積回路と電流モード制御信号多重化に基づく非同期データ転送回路の試作

東北大学電気通信研究所 高橋 知宏, 望月 明, 羽生 貴弘

概要：ソールカップルドロジック (SCL) 多値集積回路のさらなる低電力化のために、定常電流パスをカットできるダイナミック論理回路方式を活用したダイナミック SCL 多値集積回路を試作した。測定した結果、多レベル電流値の検出、所望の多値論理関数の出力およびダイナミック記憶が正しく動作していることを確認した。HSPICEシミュレーションにより、CMOS実現と比較し消費電力および遅延を70%および75%に低減可能であることが示されている。また、制御信号を多重化させることで、高速な非同期データ転送を可能とする非同期データ転送インタフェース回路を試作した。測定した結果、送信側と受信側双方の要求信号が多重化されているものの、双方の要求一致を正しく検出し所望の非同期データ転送が実現可能であることを確認した [1]。HSPICEシミュレーションにより、従来の方式と比較し1.5倍の高速化が達成できることが示されている。

参考文献：[1] 高橋知宏, 羽生貴弘, “電流モード制御信号多重化に基づく高速非同期データ転送LSIの試作,” 電子情報通信学会総合大会講演論文集, pp. S73-S74, March 2004.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：ニューテクノロジー



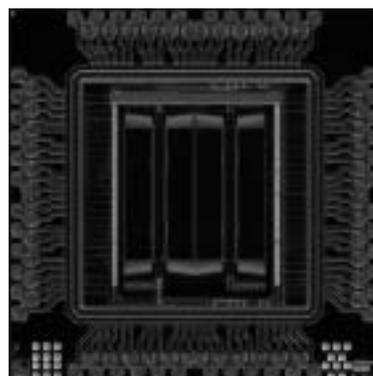
同期式階層構造型4ポートメモリ

広島大学 先端物質科学研究科 上口 光

広島大学 ナノデバイス・システム研究センター 朱 兆旻, 小出 哲士,
マタウシュ ハンスユルゲン

概要：我々の研究グループでは、これまでに、面積効率よく多ポートメモリを構成する方法として、バンク単位でスイッチングを行うバンク型の階層構造型多ポートメモリを提案してきた。ところが、多ポート化することにより、アクセス処理時間が遅くなってしまうという欠点は依然として大きな課題である。そこで、本チップでは、同期式メモリのプリチャージ期間に、多ポート化アクセスの大部分を行うことにより、アクセスサイクル時間の短縮を図る工夫をした。このことにより、従来と比較し、約2/3のサイクル時間短縮が実現した。

設計期間：5人月以上 6人月未満 設計ツール：Virtuoso, Star-HSPICE, Diva, Dracula-DRC, Dracula-LVS, Dracula LPE トランジスタ数：100,000以上 試作ラン：HIT1803_1 HIT18ラン HIT187月試作チップ チップ種別：メモリ



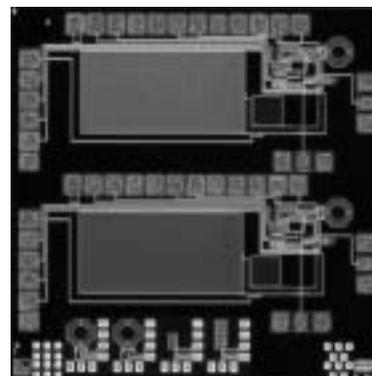
平成15年度 第2回 日立製作所CMOS0.18 μ m チップ試作 (HIT18032)

DSRC用PLLの試作

東京大学新領域創成科学研究科 山本 憲, 金子 秀彦, 藤島 実

概要：近年，無線通信市場の拡大に伴って，無線通信の大容量化・高速化に対する需要は高まってきている。そこで，無線通信において重要な役割を持つ位相同期ループ（PLL）に関して，大容量化・高速化の検討を行った。通信の大容量化・高速化を実現するために従来から分数分周PLLが提案されて来ているが，ノイズ・消費電力の点で問題がある。そこで，アナログミキサを利用して高速に動作する複数係数周波数分周回路を元に，今までの分数分周PLLとは異なる方法で分数分周を実現し，ノイズ・消費電力の問題点を解消したOffset PLLの提案を行った。このOffset PLLを用いて，ETCの料金収受システムに用いられるDSRC用PLLの試作を行った。

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上，1,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：通信（RF回路，ATMなど）

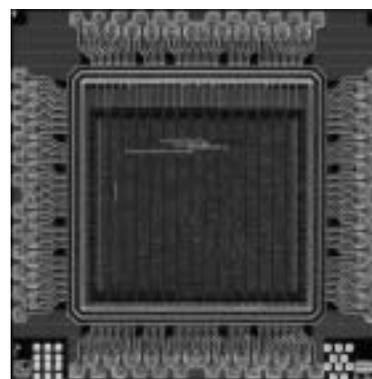


MATLABによるVLSI設計演習および故障診断手法評価用チップ

大阪大学大学院情報科学研究科 藤田 将史, 三浦 克介, 中前 幸治, 藤岡 弘

概要：本チップは，以下の四つの目的で設計・試作された。（1）科学技術計算ソフトウェアパッケージMATLABのVLSI設計への応用を検討し，MATLABによるVLSI設計の演習を行う，（2）BIST（built in self test）設計の演習を行う，（3）VLSI故障診断手法評価用の0.18 μ mランダムロジックデバイスを製作する，（4）集束イオンビームがMOSトランジスタに与える影響を評価する為のTEGを製作する。（1）～（3）の目的の為，MATLABを用いてデジタルフィルタの設計を行い，この結果をverilogで記述し直して，論理合成・配置配線を行った。16ビット固定小数点の31次FIRフィルタであり，これに，非線形フィードバックシフトレジスタを用いた擬似ランダムテストパターン生成回路およびシグネチャー解析回路を付加したBIST構成となっている。日立0.18 μ mルールにより合成した結果，コアサイズが約1.4mm \times 1.3mmのレイアウトを得た。（4）の目的の為，チップの空き領域および空き入出力ピンを利用して，ゲート長0.2 μ m，幅3.0 μ mの単体のn型MOSトランジスタを製作した。設計は，レイアウトエディタを用いて手作業で行った。

設計期間：1人月以上，2人月未満 設計ツール：Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：10,000以上，100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

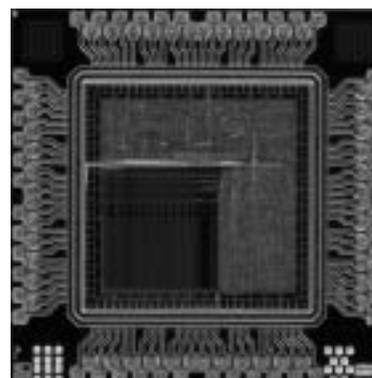


クロスバーバスを持つ16ビットCPU

東北大学大学院工学研究科 小野 泰三, 沈 正七, 栗野 浩之, 小柳 光正

概要：トランジスタの微細化に伴いトランジスタでの遅延に比較して配線の遅延の影響が大きくなっている。特に演算部とメモリ部のデータロードストアがバスボトルネックとなりシステム全体の性能向上を妨げている。この問題を解決するためメモリとレジスタファイル間の高速で柔軟なデータ転送を可能にするCPUを試作した。試作したチップはレジスタファイルとメモリの間にクロスバーバスを配置した16ビットCPUである。並列ロードストア命令によりレジスタファイルとメモリ間で最大8並列でのデータロードストアが可能である。レジスタファイルとメモリのクロスバーバスの切り替え情報は専用のCTU（クロスバーテーブルユニット）と呼ばれるレジスタファイルを参照することにより取得する。CTUには切り替え情報が8パターン格納されており，専用命令によって実行プログラムに最適になるようにクロスバーバスを切り替えることができる。

設計期間：1人月以上，2人月未満 設計ツール：Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：マイクロプロセッサ



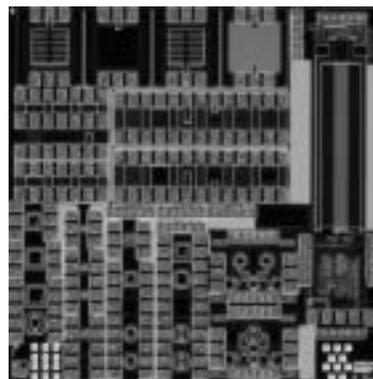
オンチップサンプリングオシロスコープ回路および高周波モデリング用 TEG

京都大学情報学研究所 新名 亮規, 宮崎 崇仁, 山口 隼司, 橋本 昌彦, 小野寺 秀俊

概要: オンチップオシロ回路の開発を行った。評価 TEG はノイズ発生回路, オンチップオシロの 2 ブロックから構成される。測定に関しては現在遂行中であり, 最終的にはシミュレーションで得られたクロストークノイズ波形が正確に再現可能であることを示す。我々の研究室では CMOS デバイスの高周波モデル化手法を確立するため, 様々な TEG を作成し評価を行なっている。本チップで作成した TEG は, 正方形, 八角形, ディファレンシャルのスパイラルインダクタ, nMOS, 及びそれらを用いた VCO である。VCO は 10GHz 動作を実測にて確認した。今後は, 各スパイラルインダクタの周波数特性を測定し, 特性比較, モデリングを行なう。それらの素子を用いてシミュレーションを行ない, CMOS デバイスモデル化手法の妥当性を示す。本チップには電源解析に用いる寄生容量を測定する TEG も搭載した。

参考文献: 宮崎, 新名, 橋本, 小野寺, "オンチップオシロ用サンプルホールド回路の広周波数帯域化," C-12-34, 電子情報通信学会総合大会 (2003)。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



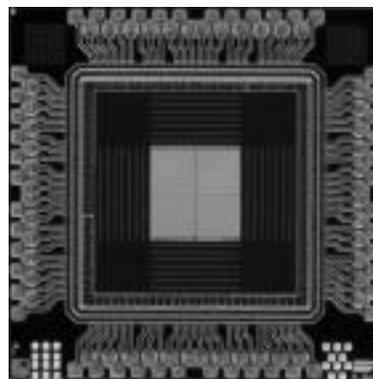
サッカー検出用イメージセンサの設計

東北大学大学院工学研究科 河江 大輔

概要: 眼球運動検査法として, 汎用画像処理が可能となる CCD カメラ-信号処理系を用いた計測が幾つか提案されているが, シリアル伝送がボトルネックとなり, 特に最大角速度が 600deg/sec にも及ぶ衝動性眼球運動 (サッカー) のリアルタイム検出が不可能であった。そこで, センサと同一チップ内に画像処理回路を集積化した新しいサッカー検出チップを試作した。本回路では, 瞳孔画像の重心を瞳孔中心座標としてその座標値を出力することを目的とし, その機能を重心検出に特化しており, センサアレイ, メモリ, 重心計算部からなる。センサは 2 次元マトリクス状に 32*32 個配列されており, 入力画像データは光電変換後メモリに格納される。メモリはシフトレジスタで構成されており, 列並列に画素データを取り出すことができる。重心計算部は面積計算部と 1 次モーメント計算部で構成されており, それぞれの計算を並列に行う。詳細な評価はまだ行っていないが, シミュレーションでは 260k フレーム/sec という性能を得ている。

参考文献: 河江 他, "サッカー評価用眼球中心抽出センサの開発", 琵琶湖ワークショップ講演資料集, pp.259-262, 2000.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ



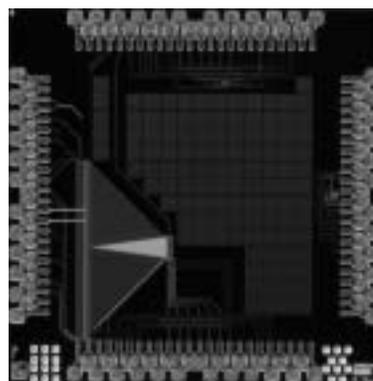
RING OSCILLATOR方式のVCO, DIVIDER, FLASH A/Dコンバータ

早稲田大学電気・情報生命工学科 横山 晋, 野沢 舞, 中山 久留美, 佐々木 昌弘, 松本 隆

概要: 本チップでは, 3.0Gbps のシリアル ATA に使用するための 6GHz を出力する VCO 及びそれを分周してきれいな 3GHz の出力を得るため DIVIDER を設計した。また, 近年 A/D converter は, 高速化・高精度化・低電圧化・小型化が求められている。その傾向に伴い, 様々なノイズやデバイスのミスマッチが発生し, Flash A/D converter において, Comparator Array の出力である Thermometer Code にエラーを含んだ状態で出力されてしまう。通常, エンコーダでエラーを訂正しなければならないが, logic 回路を組み合わせることでエラーを訂正する回路では, 高速化に対応できないため, 高速なものでは, ROM 形式のエンコーダが用いられている。本 CHIP では, twin ROM encoder において, スイッチに全て NMOS を用いることによって, 小型化・高速化を実現し, 電源電圧 1.8V, 0.18 μ m CMOS プロセスにおいて, 6bit 2Gops で動作する Encoder を設計し, これを用いて, 6-bit 2Gbps Flash A/D converter を実現した。

参考文献: [1] Peter C. S. Scholtens, Maarten Vertregt, "A 6-b 1.6-Gsample/s Flash ADC in 0.18- μ m CMOS Using Averaging Termination," IEEE J. Solid-State Circuits, vol. 37, pp.1599-1609 (2002)

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

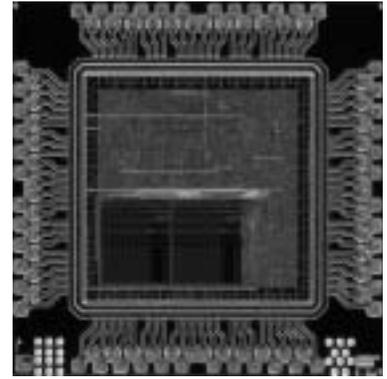


適応ベクトル量子化を用いた画像圧縮プロセッサ

東北大学大学院工学研究科 杉村 武昭, 沈 正七, 栗野 浩之, 小柳 光正

概要：高速並列画像処理システムにおいては、その出力部の帯域幅がシステム全体の性能を制限するボトルネックとなりやすい。このため、出力する情報の圧縮を行う画像圧縮プロセッサが画像処理システムの出力部に必要である。この画像圧縮プロセッサとして、適応ベクトル量子化を用いた画像圧縮プロセッサの設計をおこなった。本試作チップは、入力画像ブロックの分散値を評価するプリプロセッシングユニットと、ベクトル量子化プロセッサ、コードブックキャッシュから構成されており、画像の空間冗長性が画像の部位によって異なることを利用し、輝度の分散値から圧縮対象となる画像ブロックのサイズを可変し、解像度を変化させることで演算量を削減、圧縮率と処理時間を向上させている。ゲートレベルシミュレーションでは、256 サンプルのコードブックを用いて、18000vector/sec の処理速度を実現している。今後試作チップの詳細な評価を行う予定である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



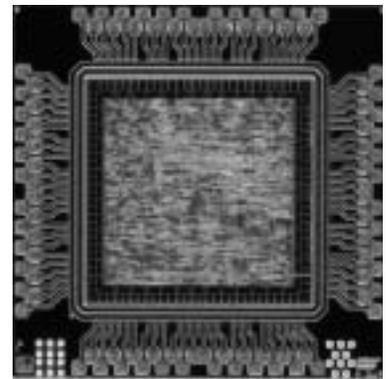
高速 Fourier 変換を用いた多倍長乗算器

電気通信大学情報工学科 矢崎 俊志, 阿部 公輝

概要：近年、暗号などの分野において、多倍長桁の乗算を高速に行うことが要求されている。高速に多倍長乗算を行うには、様々な方法が存在するが、10進数で数千桁にもおよぶ値の乗算には、FFTを用いた乗算が利用されるのが一般的である。このFFT乗算は、ソフトウェアで実装され、有効に利用されている例は多いが、ハードウェアで実装し、その性能や実装面積を報告している例は一般に知られていない。本チップは、16進数8桁 \times 8桁の乗算を行うFFT乗算器であり、各桁は、符号1bit, 指数部5bit, 仮数部10bitからなる16bitの浮動小数点で表現されている。内部には浮動小数点乗算器, 加減算器, 複素数乗算器, バタフライ演算器などの演算器と、それをコントロールする制御回路が実装されている。また、演算する値を記憶するRAMと、FFTに必要な定数を記憶したROMが実装されている。試作により、VLSI実装におけるテクノロジー依存のパラメータが明らかになった。外挿により、16進約6万桁のFFT乗算器が10mm角チップに実装でき、約25msで乗算が実行できることが分かった。

参考文献：矢崎俊志, 阿部公輝, "高速 Fourier 変換を用いた多倍長乗算器の設計と評価および VLSI への実装," 電子情報通信学会技術報告, Vol. 103, No. 476, pp. 253-258, Nov. 2003.

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：演算回路 (乗算器, 除算器など)



可変ダウンサンブラの設計

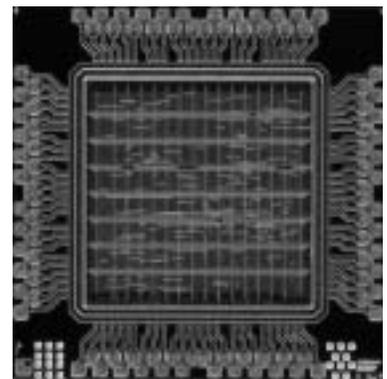
大阪大学大学院情報科学研究科 畠中 理英

大阪大学先端科学イノベーションセンター 正城 敏博

奈良先端科学技術大学院大学情報科学研究科 岡田 実

概要：本チップは、60 Mbps から 40, 30, 20, 15, 10, 7.5, 5, 3.75, 2.5 Mbps へのリサンプリングを可能とするダウンサンブラを設計・試作したものである。本設計では、 $2/3$ の Interpolator と $1/2, 1/4$ の decimator を用いることにより、ダウンサンプリング機能を実現している。これにより、係数固定のフィルタで大部分を構築できた。 $2/3$ のみ内挿を行うため可変フィルタであるが、 $2/3$ は 2 種類のタップ係数を用意すればよいため、内挿タイミングの制御も容易である。また、ダウンサンプリングを数回に分けて行くと、フィルタ特性の急峻さはあまり求められないためタップ数を低減できるが、多段になると信号電力が低下してしまう。そこで、最大 4 段にすることでタップ数の低減と信号電力の制御の両立を図っている。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：演算回路 (乗算器, 除算器など)

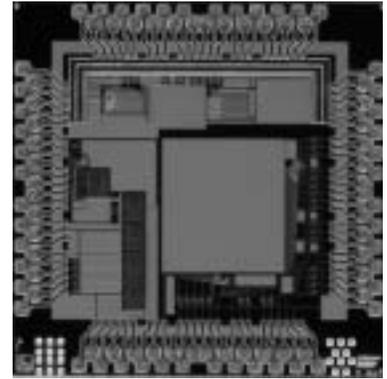


低電源電圧アナログ回路およびFPGAにおけるリーク電流対策回路

東京大学生産技術研究所 石田 光一, Quang Canh Tran, 宮崎 隆之

概要：本チップには以下の評価回路が搭載されている．・低電源電圧アナログ回路・FPGAにおけるリークカット回路 テクノロジーの進化に伴い，電源電圧は低下の一途をたどっている．将来的には，トランジスタを動作させるためにしきい値電圧を現在よりも大幅に低下させる必要が出てくる．しかし，しきい値電圧を下げるとリーク電流が増加してしまい，電力のほとんどを消費してしまうことになる．本研究では，アナログ回路およびFPGA回路におけるリーク電流の影響評価およびリークカット回路を提案する．アナログ回路については折り返しカスコード型のオペアンプおよびスイッチトキャパシタ回路によるボルテージフォロア，積分器等の評価用回路が搭載されている．FPGAではMUXが多数用いられており，MUXの入力がHとLが混在したとき，HからLに流れるリーク電流がある．このリークを止めるための回路を設計した．閾値電圧が高いためリークはほとんど流れないのでリークエミュレータの回路をも入れた．

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上，10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：TEG（特性評価回路など）



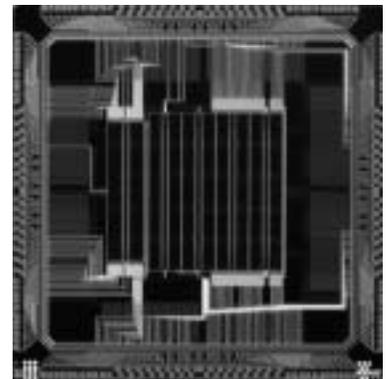
命令/データ統合型4ポートキャッシュメモリ

広島大学先端物質科学研究科 上口 光

広島大学ナノデバイス・システム研究センター 朱 兆旻, マタウシュ ハンスユルゲン, 小出 哲士

概要：本チップでは，サイクル時間の改善をした2003年7月試作チップを，命令/データ統合型多ポートメモリに応用した．キャッシュメモリは本来，命令，データキャッシュと分割されているよりも，統合された一つのキャッシュである方が，キャッシュラインを柔軟に利用できるためミス率が低くなる利点がある．ところが従来までの1ポートキャッシュでは，分割した際のメモリバンド幅向上の利点が大きかったため分割されていた．本チップでは，これを高性能多ポートメモリを用いることにより解決している．なお，本チップの測定はまだ行っていない．

設計期間：5人月以上，6人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Avanti社 Star-sim, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：メモリ

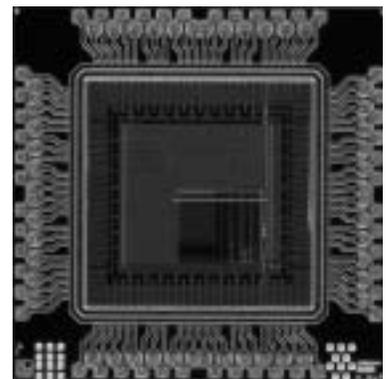


2段PLLを用いた超高精度時間測定回路用TEG

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要：我々は加速器実験で使用する時間精度数百ピコ秒の時間測定チップを数多く開発してきた．この技術をさらに発展させ，発振周波数のわずかに違うPLL回路を2段使い，数十ピコ秒の時間精度で多チャンネルの信号の到達時間を測定できるLSIを開発したいと思っている．このようなチップは，加速器実験でよく用いられるTOF（Time Of Flight）検出器等で強く必要とされており，又多くの応用が見込まれる．今回の試作チップでは，日立0.18 μ mプロセスの基本特性やPLLの設計のための試験回路，メモリーマクロ等を搭載した．このチップの試作で得られた経験と回路特性とにより，次回以降の試作で時間測定回路の動作確認を行う予定である．また，加速器実験や宇宙環境での使用を目指して，このプロセスのガンマ線，粒子線に対する耐性の試験も行う予定である．

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）

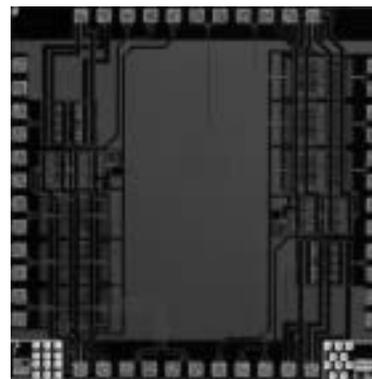


GHz帯高速ドライバ回路II

明星大学情報学部 秋山 豊, 上田 千寿, 伊東 恭二, 大塚 寛治
東京大学 齋藤 圭介, 宇佐美 保

概要：概要：CMOSを用いた高速インターフェイスが実現すれば、CMOSによる低消費電力化だけでなく、さらにはシステムLSIやASICに容易に組み込むことが可能となり装置全体の低消費電力化と共に低コスト化が実現できる。HITACHI 0.18 μ m CMOS プロセスで高速ドライバをシステムの構成開発で前回より更に高速で動作させる為、寄生容量を極力少なくした独自の回路構成及びチップレイアウトを考案、またチップ内では限られた配線幅しか取れない為電源配線のインピーダンスを低くすることが難しく信号線と電源線の差が小さい為、信号線のインピーダンスを高くすることによる評価回路を試作した。ICチップ評価用基板作成中の為、測定は今後行う予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：TEG (特性評価回路など)

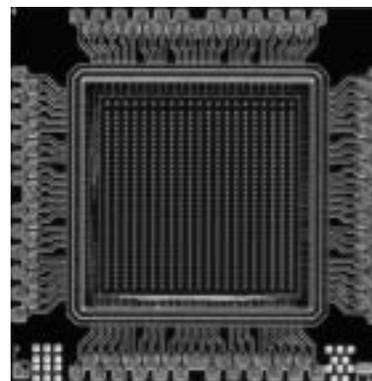


光再構成型ゲートアレイ

九州工業大学 渡邊 実

概要：光により高速に再構成が可能な光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) -VLSIを開発した。このデバイスは光メモリ部と組み合わせて用いられ、チップ表面に並べられた受光素子に対してプログラム光を照射することで、ゲートアレイ部の回路を瞬間的に再構成することが可能である。この度の設計では、フォトダイオード受光部のサイズを16 μ m \times 16 μ m, その間隔を38.4 μ mとし、605個のフォトダイオードを実装した。また、ゲートアレイ部は、4ビット入力LUT (Look-Up Table) を1個持つ論理ブロックが4個、スイッチング・マトリックスが5個、8本の配線チャンネル、16ビットのI/Oから構成される。この度試作したORGAのゲートアレイ構造は従来の試作品のものと同じであるが、評価の目的で、複数のタイプの再構成回路を実装している。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Synopsys社 design_compiler, Avanti社 Appollo, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：ニューテクノロジー



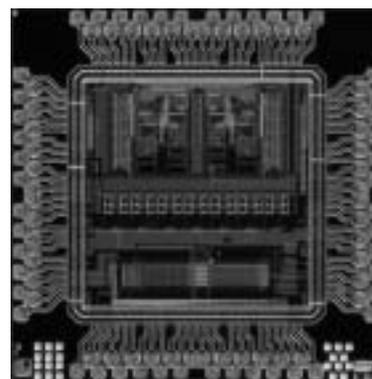
電源/グラウンド雑音測定システム

神戸大学工学部 野口 宏一郎, 奥本 健, 永田 真

概要：デジタル回路の電源/グラウンド雑音測定のための雑音測定システムを開発した。雑音測定システムには、基板雑音の評価に実績のあるSF+LC型雑音検出回路 [1] を電源/グラウンド雑音評価に応用し、さらに雑音測定に必要な機能ユニットや制御系を搭載している。本チップでは、検出回路の回路面積を大きく削減し、測定機能回路を従来に比べ同程度の回路面積で時間分解能、電圧分解能が大きく向上させた。雑音源には32ビット16列のシフトレジスタを用い、周辺にSFLC型検出回路を7個配置し高精度な雑音検出が可能である。現在、測定機能の基本動作を確認でき、検出回路、雑音源、等の性能評価を行っている。

参考文献： [1] M. Nagata, et al., "Measurements and analyses of substrate noise waveform in mixed signal IC environment," IEEE Trans. CAD, Vol. 19, pp. 671--678, June 2000.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, SII社 SX9000, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：アナデジ混載

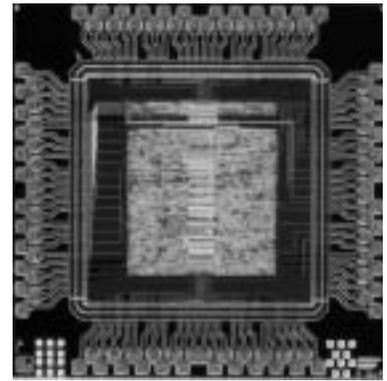


デジタル・デルタシグマ変調回路 (2)

神戸大学工学部 杉本 智彦, 永田 真

概要：本試作チップには、オーディオ用高精度DA変換器に標準的に用いられるデルタシグマ変調信号処理回路を搭載している。2次のデルタシグマ構成とし、インターポレータおよびFIRフィルタも内蔵した。京都大学の作成した0.18 μ m CMOSセルライブラリを用い、論理合成および自動配置配線ツールによる、マルチレート・デジタル信号処理回路の設計手法の確認も目的としている。アーキテクチャ設計には信号処理シミュレータ (SPW) を用い、設計性能の評価には論理合成後のネットリストを用いた論理シミュレーションにより行った。本試作チップは、デジタル・デルタシグマ変調回路 (1) の設計改善版である。試作チップの基本動作を確認し、デジタル・デルタシグマ変調回路 (1) とあわせて詳細な評価を続けている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, SPW, Avanti社 Appolo, Cadence社 Virtuoso, SII社 SX9000, Avanti社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上, 10,000未満
試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：アナデジ混載

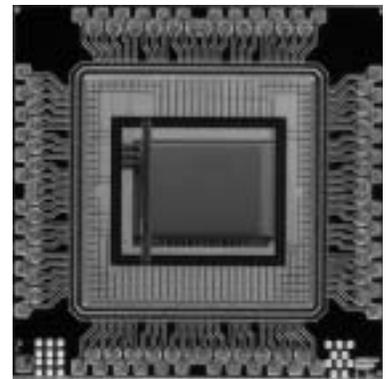


低消費電力キャッシュ用SRAMセル

福岡大学工学部 田中 秀和, 井上 弘士

概要：我々は、命令キャッシュの低消費エネルギー化を目的として、ヒストリ・ベース・タグ比較 (History Based Tag Comparison: HBTC) キャッシュを提案している。従来型セット・アソシアティブ・キャッシュでは、参照すべきデータが唯一のウェイのみに存在するにも関わらず、アクセス時には全てのウェイが活性化される。これに対し、HBTCキャッシュでは過去のタグ比較結果を再利用し、参照データが存在するウェイのみを選択的に活性化する。しかしながら、これまでの研究評価では、0.8 μ m CMOSテクノロジーを前提とした消費エネルギー式を用いていた。また、HBTCキャッシュでは拡張したBTBにおいて全エントリの有効フラグを一括リセットする必要があるが、その際による消費エネルギーはこれまで考慮していなかった。そこで本試作では、16KBの4ウェイ・セット・アソシアティブ・キャッシュにおいて1つのウェイを構成する4KB SRAMを設計し、より詳細な消費エネルギーを測定した。また、強制リセット機能付メモリセルも設計し、HBTCキャッシュにおいて発生するタグ比較結果の無効化処理での消費エネルギーを測定した。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：メモリ

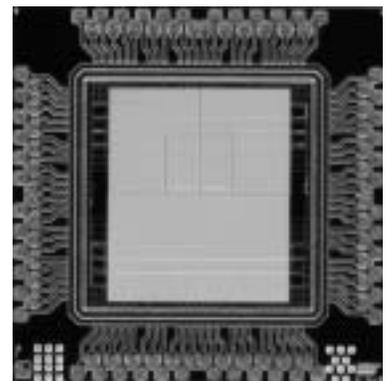


電流モード制御信号多重化に基づく非同期 Duplex 通信インタフェース回路の試作

東北大学電気通信研究所 高橋 知宏, 羽生 貴弘

概要：将来支配的になると予測される配線遅延による性能向上の壁を打破するひとつのアプローチとして、クロックを用いない非同期制御が知られている。本研究グループでは送信側と受信側で行われるハンドシェイク通信を、適切な符号化に基づき電流モードを用いて制御信号を多重化させることで、実質片道の配線遅延で非同期データ転送を可能とする方式を提案してきた。このチップでは非同期データ転送インタフェースの中で特に性能を左右する、多レベルの信号を検出する部分にメモリのセンスアンプなどにも使われるオペアンプを採用し、高速な検出が可能となる回路を試作した。また、配線リソースや付加回路を増加させることなく、更なる大容量データ転送を目指しモジュール間を双方向に非同期データ転送する Duplex 通信回路を試作した。本試作チップの動作検証・性能評価については現在進行中である。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：ニューテクノロジー

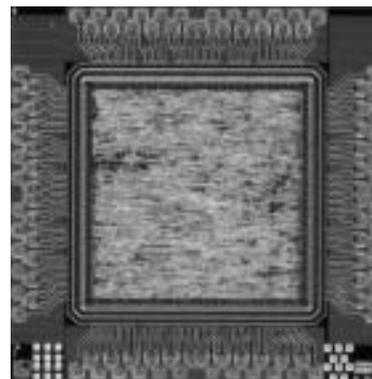


インターネットルータのマルチメディア QoS 制御チップ

大阪大学大学院情報科学研究科 島原 広季, 正城 敏博, 戸出 英樹, 村上 孝三

概要: 将来のインターネットルータにおいて, 映像配信などの高品質な通信を実現するためのバッファ管理法として, フロー毎に最低限使用可能なバッファ量 (以下, “基本量”と呼ぶ) を論理的に確保し, この基本量をポート, クラス, フローの順に階層的に管理するとともに, Pushout 機構による廃棄制御と, バッファからのパケット送出スケジューリングにおける帯域配分法とで連携をとることにより, バッファ高負荷時においてもクラスに見合ったサービスを提供し, 高度な QoS 保証を実現する制御機構を設計し, チップ試作を行った. 特に, 可変長パケットへの対応, 複数ポートによるバッファ機構の共有機能を具備したものとなっている. 0.18 μm CMOS テクノロジーで 47K ゲート, 約 135MHz の動作を達成することができた. 本コントローラは 6 クロックで動作することから, 仮に, 64byte という非常に小さい制御パケットのみが連続的に到着し続ける厳しい条件下でも, 11.5Gbps の処理速度を達成することが明らかとなった.

設計期間: 2 人以上, 3 人未満 設計ツール: Synopsys 社 design_compiler, Avanti 社 Appolo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数: 10,000 以上, 100,000 未満 試作ラン: 日立製作所 CMOS 0.18 μm 2.9mm 角 チップ種別: マイクロプロセッサ



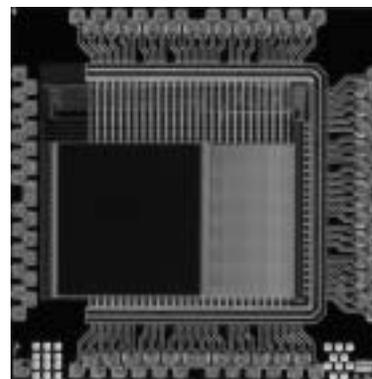
マンハッタン距離検索エンジン

東京大学工学系研究科 大池 祐輔

東京大学大規模集積システム設計教育研究センター (VDEC) 池田 誠, 浅田 邦博

概要: マンハッタン距離を用いたデータ類似性検索は, 画像処理や認識・学習システムなどに広く用いられている. 膨大なデータベース上から入力と類似性の高いデータを検索するには, 一般に膨大なメモリアクセスと演算処理が必要となる. 試作したマンハッタン距離検索エンジンは, デジタル回路によるワード並列の距離検索を実行することで, 広い探索範囲での正確な類似性検索を実現する. 最小距離データだけでなく, 2 番目, 3 番目といった類似性の高いデータの継続的な検索が可能であり, 特に高速性を発揮する演算アルゴリズムを実装している. 8 bit x 32 element x 64 word のデータにおいて, 0.8 V から 2.0 V での動作を確認した. 1.8 V の動作において, 全データに対する距離評価 (ソート) に要する時間は 5.85 us であった.

設計期間: 2 人以上, 3 人未満 設計ツール: Cadence 社 Virtuoso, Cadence 社 Dracula, Synopsys HSPICE, NanoSIM, Apollo, Design Analyzer トランジスタ数: 100,000 以上, 1000,000 未満 試作ラン: 日立製作所 CMOS 0.18 μm 2.9mm 角 チップ種別: イメージセンサ/スマートセンサ



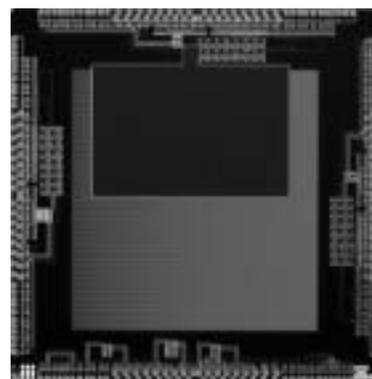
オンチップ di/dt 測定回路

東京大学工学系研究科 名倉 徹

東京大学大規模集積システム設計教育研究センター (VDEC) 池田 誠, 浅田 邦博

概要: 近年の LSI の高速化に伴って di/dt の影響が増大し, 寄生インダクタンスによる電源ノイズの発生や EMI ノイズの原因となっている. 本研究では, 電源線に流れる電流変化によって生ずる磁界をプローブすることで di/dt に比例した電流を発生する, オンチップ di/dt 測定回路を試作した. 本回路とは別に, 電源線に 1 オームの抵抗を直列に挿入してその両端の電圧を測定し, その差を取ることで電流値を測定できる回路を同時に作り込んだ. オンチップ di/dt 測定回路の波形と, 抵抗の両端の電圧から求めた電流波形が一致することから, 提案する di/dt 測定回路が理論通りに動作したことを確かめた. また, di/dt 測定回路の前後にデカップリング容量を付けたものと付けないものを比較し, デカップリング容量が有効に動作していることも di/dt 測定の結果から明らかになった.

設計期間: 2 人以上, 3 人未満 設計ツール: Cadence 社 Virtuoso, Cadence 社 Dracula, Synopsys HSPICE トランジスタ数: 10,000 以上, 100,000 未満 試作ラン: 日立製作所 CMOS 0.18 μm 5.9mm 角 チップ種別: TEG (特性評価回路など)



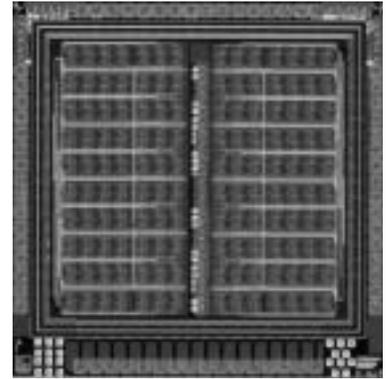
VDEC

遅延ばらつき測定用リングオシレータアレイ TEG

京都大学情報学研究科 山岡 健人, 橋本 昌宜, 小野寺 秀俊

概要：製造ばらつきがデジタル回路に与えるタイミング制約はますます厳しくなっている。チップ間ばらつきとチップ内ばらつきの影響を正確に見積もることが重要である。製造ばらつきによる遅延のばらつきを測定するために本 TEG を試作した。トランジスタサイズ、論理ゲート、段数などの異なる 15 種類のリングオシレータを作成した。10 種類、各 2 個ずつのリングオシレータからなるブロックを 140 ブロック配置した。1 チップに 2,800 のリングオシレータを有する。本 TEG の測定により、各論理ゲートごとの遅延のチップ間ばらつきおよびチップ内ばらつきを求めることができる。また、トランジスタ単体の特性を測定するための TEG も配置した。トランジスタ単体の電流特性がゲート遅延に及ぼす影響を解析することで、遅延ばらつきモデルの正当性を示す。トランジスタ単体の TEG はオンウェハプロービングで測定した。リングオシレータは、評価用ボードを用いて測定する。パターンジェネレータで被測定リングオシレータの指定と発振の制御を行い、パルスカウンタ回路の値をシフトレジスタで出力し、ロジックアナライザで読み出す。現在、試作 TEG の動作確認および測定を行っている。

設計期間：1 人以上, 2 人未満 設計ツール：レイアウト: Cadence 社 Virtuoso, 検証: Avanti 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 LPE トランジスタ数: 100000 以上 チップ種別: TEG (特性評価回路など)



資源共有型 VLIW プロセッサ

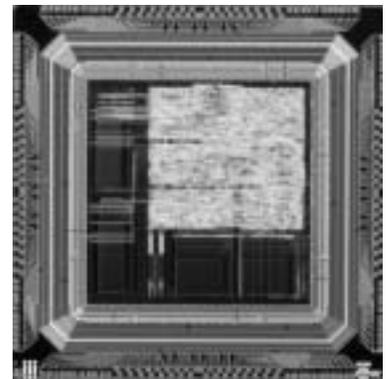
京都大学大学院情報学研究科通信情報システム専攻 荒本 雅夫, 樋口 昭彦, 湯山 洋一,
小野寺 秀俊

東京大学大規模集積システム設計教育研究センター 小林 和淑

概要：VLIW プロセッサの並列資源を共有することにより、面積当たりの演算性能を高めることのできる資源共有型 VLIW プロセッサの試作を行なった。2 つの独立なプロセッサが 1 個の演算資源を共有するプロセッサを SystemC の RTL でモデル化し、そのまま論理合成を行なった。

参考文献：荒本, 湯山, 樋口, 岡澤, 小林, 小野寺, "資源共有型 VLIW プロセッサの性能評価", pp.7-12, no. VLD-2003-115, 信学技法 (2004) 荒本, 湯山, 樋口, 岡澤, 小林, 小野寺, "処理の優先度を利用した実行ユニット共有型 VLIW プロセッサアレイ", 第 7 回システム LSI ワークショップ (2003)

設計期間：3 人以上, 4 人未満 設計ツール：論理設計: Verilog-XL, Design Compiler, 物理設計: Avanti 社 Astro レイアウト: Cadence 社 Virtuoso, 検証: Synopsys 社 Nanosim, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数: 100000 以上 チップ種別: マイクロプロセッサ



平成15年度 第1回 NECBipolar0.8 μ m チップ試作 (NEC03)

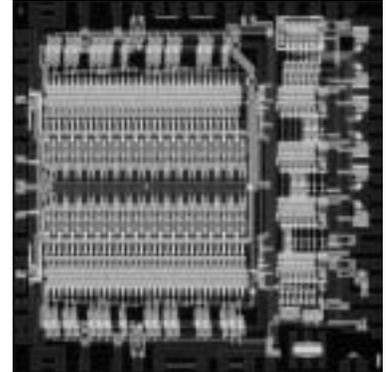
4 GS/s 6-bit フラッシュ型 ADC の試作

中央大学理工学部 川田 真也, 杉本 泰博

概要：本研究ではフラッシュ型 ADC を ECL 構成を用いて構成した。コンパレータを高速動作させるために必要なプリアンプの応答を高速化させるため、インダクタを負荷に使用し帯域の拡大を図った。さらに両相のインダクタをカップリングさせることにより、必要な自己インダクタンスを削減し面積の削減を図った。クロックの切り替わり時に生じるコンパレータのスイッチングノイズを軽減する構成を検討し高速動作を可能にした。また、補間型構成および Duplex-Gray コーディングを使用することにより、回路規模の削減およびエラー耐性の向上を図った。現在評価基板を作成中であり、完成次第測定に着手したい。

参考文献：川田, 杉本: “4GS/s 6-bit バイポーラ ADC の回路構成に関する検討”, 電気学会電子回路研究会資料, ECT-03-97, 2003 年 11 月

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：1,000 以上, 10,000 未満 試作ラン：NEC Bipolar 0.6 μ m 2.0mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

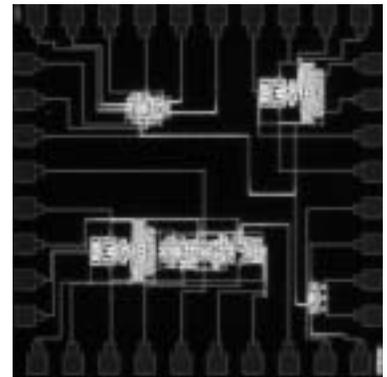


一次連続時間ローパス $\Delta\Sigma$ 変調器とその回路ブロックの設計

上智大学理工学部 湯本 拓, 田島 康博, 和保 孝夫

概要：高いサンプリング周波数で高周波入力信号を A/D 変換できる技術の確立を目指し、バイポーラトランジスタを用いた連続時間 $\Delta\Sigma$ 変調器を設計した。連続時間方式を利用することで、高周波での性能を向上させることができる。連続時間信号から離散時間信号への変換と、アナログ信号から量子化を同時に行うために、マスタースレーブ型のラッチトコンパレータを設計し、クロック周波数 1GHz での動作を確認した。積分器はミラー効果を用いた gm-C 型積分器を設計した。ミラー効果により、キャパシタの面積を 1/30 に縮小することができた。チップには、コンパレータ、積分器を単体で搭載し、動作を確認できるようにした。 $\Delta\Sigma$ 変調器はこれらの回路を組み合わせたものを搭載した。HSPICE によるシミュレーションでは、OSR=100 (入力周波数 5MHz, クロック周波数 1GHz) で SNR=43dB が予測された。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：NEC Bipolar 0.6 μ m 2.0mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

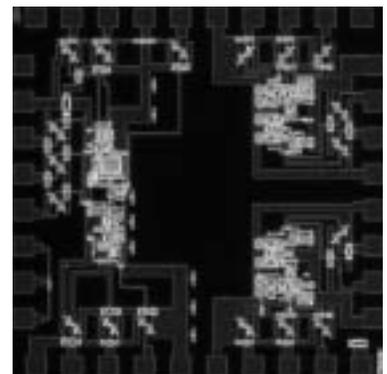


電荷積分器およびフロントエンドエレクトロニクス

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸

概要：放射線検出器 (光電子増倍管, ガスチェンバーなど) 読み出し用のエレクトロニクスの TEG を製作した。電荷積分器はインピーダンスマッチング部及び電荷積分部の 2 ブロックよりなる。電源電圧が低いため電荷積分部が低電圧でも動作するように工夫されている。このタイプの回路はダイナミックレンジ及びリニアリティを考慮し 2 種類を製作した。現在性能を評価中である。フロントエンドエレクトロニクスは低雑音プリアンプ及びフィルタを含む回路である。外部より容易に時定数を調節できる回路を組み込み、外付け回路は極力少なく設計した。これは多チャンネル読み出し用エレクトロニクスの TEG として現在評価している。また雑音評価用にトランジスタ TEG を入れており、これを使用して 1/f などの雑音の評価を行い、上記のフロントエンドエレクトロニクスの評価との整合性をチェックすることが可能である。

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE トランジスタ数：10 以上, 100 未満 試作ラン：NEC Bipolar 0.6 μ m 2.0mm 角 チップ種別：TEG (特性評価回路など)



低電圧動作アナログ回路 TEG

広島大学先端物質科学研究科 吉田 毅, 真下 隆行, 赤木 美穂, 升井 義博, 岩田 穆
広島大学工学部 円林 晃一郎

概要：近年の CMOS プロセス技術の進歩によりデバイスは微細化され、デジタル回路の高速化・高集積化が実現されている。しかし CMOS デバイスの閾値電圧 (V_{th}) は大規模デジタル回路の待機時消費電力を低減するために低電圧化されていないため、アナログスイッチを多用するアナログ回路の実現はますます困難になっている。またデバイスの雑音増加および電源電圧の低電圧化により SN 比は劣化し、高精度・低雑音のアナログ回路の実現は困難になる。したがって我々は、微細 CMOS プロセスによるアナ・デジ混載システム LSI を実現するために、アナログ回路の低電圧動作および低雑音化技術について研究を行っている。本チップは低電圧で動作可能なグランデッドスイッチを用いた低雑音増幅回路および逐次比較形 Analog-to-Digital Converter (ADC) で構成されている。今後試作チップの評価を行う。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, SII 社 SX9000, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：MOSIS-TSMC 0.18 μ m 9 平方 mm チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

平成15年度 第1回 MOSIS-TSMC 0.25 μ m チップ試作 (MT25031)

高速シリアルCDMA通信チップ(受信回路)

広島大学先端物質科学研究科 汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆

概要: ロボット向けの通信チップを試作している。ロボット制御には、少ない伝送路によるネットワーク構成が求められ、加えてデータパスが変化しても全てのデータをリアルタイムに通信する必要がある。そこで、一本の伝送路で仮想的に複数の伝送路が扱えるように、シリアル通信においてCDMA方式による多重化を行っている。本チップは受信回路を搭載している。位相が異なる250MHzのクロックを8種類使いインタリーブすることで2Gbpsのデータ受信を可能にした。CDMA方式で最大8多重された波形より2種類の同期方式(ビット同期, チップ同期)を用いて逆拡散のタイミングを検出するのが特徴である。

設計期間: 2人月以上, 3人月未満 設計ツール: SII社 SX9000, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 xCalibre トランジスタ数: 10,000以上, 100,000未満 試作ラン: MOSIS-TSMC 0.25 μ m 10平方mm チップ種別: 通信(RF回路, ATMなど)

ASK/CDMA方式を用いた近距離無線RF受信回路

大阪大学大学院工学研究科 古屋 英行, 松岡 俊匡, 谷口 研二

概要: システムLSIの大規模化により、入出力及び配線の数が増加が懸念されている。本研究では配線の削減を目的としてLSIパッケージ間で無線通信を行う近距離無線通信チップを設計・試作した。受信回路は検波用スイッチ、積分器、拡散符号生成回路から構成されている。ASK/CDMA方式を導入することにより、低消費電力で簡易な回路構成で多重化を実現した。設定した仕様は、搬送波周波数10GHz、拡散符号周波数250MHz、ビットレート7.35Mbpsである。実測評価によって、測定器で変調した10GHzの搬送波から7.35Mbpsの信号を取り出す事に成功した。

参考文献: 古屋, 車, 清水, 春岡, 松岡, 谷口, "ASK/CDMA方式を用いた近距離無線通信のためのCMOS復調回路", 電子情報通信学会技術研究報告, ICD2003-185, pp. 5-9, 2003年12月

設計期間: 4人月以上, 5人月未満 設計ツール: Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数: 100以上, 1,000未満 試作ラン: MOSIS-TSMC 0.25 μ m 10平方mm チップ種別: 通信(RF回路, ATMなど)

極低消費電力CMOS品質モニタ回路

大阪大学大学院工学研究科 廣瀬 哲也, 松岡 俊匡, 谷口 研二

概要: 新概念・新機能LSIの開発を目的に、製品・商品の品質劣化度合いをモニタする品質モニタチップを設計・試作した。物質の劣化を一般的な化学反応式で模擬し、それをLSI上に構築している。本回路は、弱反転電流を用いた温度モニタ回路ブロック、電流割り算ブロック、積分回路ブロック、比較器ブロック、そしてデジタルカウンタから構成されている。回路全体を電源電圧1.5V、かつ弱反転領域で動作させることにより極低消費電力構成が実現できている。回路全体の消費電力は3.3 μ Wと極低消費電力である。試作チップを実際に温度を変化させて測定することにより、シミュレーションと同等の積分出力電圧を得ることに成功した。

設計期間: 0.5人月以上, 1人月未満 設計ツール: Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数: 100以上, 1,000未満 試作ラン: MOSIS-TSMC 0.25 μ m 10平方mm チップ種別: アナログ(PLL, A-D/DC-DCコンバータなど)

高速シリアルCDMA通信チップ(送信回路)&広帯域LNA

広島大学先端物質科学研究科 汐崎 充, 佐々木 守, 岩田 穆

概要: ロボット制御には, 少ない伝送路によるネットワーク構成が求められ, 加えてデータパスが変化しても全てのデータをリアルタイムに通信する必要がある. そこで, 一本の伝送路で仮想的に複数の伝送路が扱えるように, シリアル通信においてCDMA方式による多重化を行っている. 本チップは, M系列で発生させたデータを8つの拡散符号を用いて2Gbpsの多重化された波形を生成している. 測定により動作の確認を行った. UWBなどのパルス・ベースの無線伝送方式では, LNAに対して, 入力インピーダンスの整合特性と増幅特性の広帯域化が要求される. 入力整合する帯域を広げるため, ボンディング・ワイヤおよびスパイラル・インダクタによる多重共振を利用して, 広帯域化を実現した. また, 次段増幅器が異なる中心周波数をもつように設計することで, 増幅率の確保と広帯域化を両立させた. 回路シミュレーションより, 1.5GHz~2.5GHzの帯域で, 増幅率18dB以上, パスバンド・リップル0.6dB以下, 反射-17dB以下, 雑音指数6.2dB以下という性能を確認した.

設計期間: 1人以上, 2人未満 設計ツール: Cadence社 Virtuoso, SII社 SX9000, Cadence社 Diva, Mentor社 Calibre, Mentor社 xCalibre トランジスタ数: 10,000以上, 100,000未満 試作ラン: MOSIS-TSMC 0.25 μ m 10平方mm チップ種別: 通信 (RF回路, ATMなど)

近距離無線通信用送受信回路とGPS用低雑音増幅器

大阪大学大学院工学研究科 洞木 洞木, 春岡 正起, 古屋 英行, 車 承佑, 松岡 俊匡,
谷口 研二

概要: システムLSIの大規模化により, 入出力及び配線の数が増加が懸念されている. 本研究では配線の削減を目的としてLSIパッケージ間で無線通信を行う近距離無線通信チップを設計・試作した. ASK/CDMA方式を採用し, 低消費電力で簡易な構成の回路を用い, 多重化を実現した. 電圧制御発振器(VCO), 周波数通倍器, 増幅器のTEG回路とそれらとスイッチ, 拡散符号生成回路を用いて構成した送信回路, そして検波用スイッチ, 積分器, 拡散符号生成回路で構成した受信回路を試作した. 動作周波数は搬送波周波数が12GHz, 拡散符号周波数が250MHz, ビットレートは7.35Mbpsである. その他, GPS受信機をターゲットとした低雑音増幅器(LNA)の設計を行った. LNAの仕様は, NF<3dB, S11<10dB, Gain>30dB, Current<5mAである. 次期試作においてGPS受信機に組み込む予定である.

設計期間: 4人以上, 5人未満 設計ツール: Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数: 100以上, 1,000未満 試作ラン: MOSIS-TSMC 0.25 μ m 10平方mm チップ種別: 通信 (RF回路, ATMなど)

無線通信用低雑音増幅器, パワーアンプ及びPLLの設計

九州大学大学院システム情報科学研究院 金谷 晴一

九州大学大学院システム情報科学府 浦川 剛, 大庭 亮介, 中村 徹哉, 川上 晃治,
岡本 賢治, 森田 亮

九州大学大学院システムLSI研究センター 安浦 寛人

概要: 無線LAN (IEEE802.11b, 2.45GHz)用のCMOS低雑音増幅器(LNA), パワーアンプ(PA), およびPLLの設計・試作を行った. LNA・PAの入出力部は, 信号線と接地導体が同一平面状にあるコプレーナ線路(CPW)とし, 特性インピーダンスが50 Ω となるように設計した. また, PLLは2係数プリスケラ方式を用いており, 2.45GHz帯の周波数制御を行うことが可能である. PLLのサブモジュールである電圧制御発振器(VCO), プリスケラを単独で測定するためにそれぞれ単体の回路も試作した. VCOはLC発振器を用いた4相出力が可能であり, プリスケラは高速動作が可能なSCL回路やTSPC回路を中心に構成されている.

参考文献: H. KANAYA, G. URAKAWA, R. OBA and K. YOSHIDA, "Development of CMOS Coplanar Waveguide Matching Circuit for RF Front-end", pp. 1692-1695, APMC2003

設計期間: 6人以上, 7人未満 設計ツール: Cadence社 Verilog-XL, Synopsys社 design_compiler, Avanti社 Appolo, Cadence社 Virtuoso, Avanti社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数: 100以上, 1,000未満 試作ラン: MOSIS-TSMC 0.25 μ m 25平方mm チップ種別: 通信 (RF回路, ATMなど)

平成15年度 第3回 MOSIS-TSMC 0.25 μ m チップ試作 (MT25033)

高速シリアルCDMA通信チップ (受信回路/修正版)

広島大学先端物質科学研究科 汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆

概要：ロボット向けの通信チップを試作している。ロボット制御には、少ない伝送路によるネットワーク構成が求められ、加えてデータパスが変化しても全てのデータをリアルタイムに通信する必要がある。そこで、一本の伝送路で仮想的に複数の伝送路が扱えるように、シリアル通信においてCDMA方式による多重化を行っている。本チップは5月に提出した受信回路の修正バージョンである。位相が異なる250MHzのクロックを8種類使いインタリーブすることで2Gbpsのデータ受信を可能にした。CDMA方式で最大8多重された波形より2種類の同期方式（ビット同期、チップ同期）を用いて逆拡散のタイミングを検出するのが特徴である。測定により2種類の同期が動作していることを確認した。

設計期間：1人月以上、2人月未満 設計ツール：SII社 SX9000, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 xCalibre トランジスタ数：10,000以上、100,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 10平方mm チップ種別：通信 (RF回路, ATMなど)

セルフテスト機能を備えた高速シリアルリンク・トランシーバ (2)

広島大学大学院先端物質科学研究科 佐々木 守

概要：PCI-Express などの数 Gbps クラスの高速シリアルリンクの規格化が行われ、製品化に向けた開発が進んでいる。しかし、このような高速 I/O の IC テストを "at speed" で実行しようとした場合、高価な高速テストが必要となる。そこで、ローエンド・テストでも、高速 I/O のテストが実行できるセルフテスト機能を備えた高速シリアルリンク・トランシーバを設計、試作した。セルフテスト機能として、M 系列に基づく擬似乱数発生器およびパターン圧縮回路 (MISR) を備えている。テスト方法は、デバイス・インタフェース・ボード上に実現した特性インピーダンスを整合させたループ・バック・パスによって、信号をフィードバックさせて送信部、受信部のテストを行う。先に試作、評価したチップのリワークであり、セルフテスト機能部の設計ミスを修正した。ローエンド・テストを模擬した I/O ボード、D/A ボード (バイアス電圧設定用) を備えた PC による実験システムを構築して、チップのセルフテスト機能によって、2.5Gbps の伝送速度を 10 の⁻⁹ 乗以下のビット誤り率で実現できることが確認できた。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：MOSIS-TSMC 0.25 μ m 10 平方 mm チップ種別：通信 (RF 回路, ATM など)

デジタルセル設計のためのチップ試作

九州大学システム LSI 研究センター 松永 裕介

ロジック・リサーチ 中野 俊和, 赤星 博輝

福岡知的クラスター研究所 松永 多苗子

概要：設計したものは大きく分けて、基本素子 (AND, INVERTER, FF など), 通信関係 (長距離伝送路, スイッチなど), 演算器 (FullAdder, LUT など), Reconfigurable Logic となっている。様々なセルを作成したが、同じ機能で、W/L 比が異なっている、回路構成が異なっている、といったセルを作成し、遅延の違いなどの比較ができるようになっている。例えば、基本素子の AND だと、NAND と INVERTER に拡散の島が分かれているセルと、その島を 1 まとめたセルを作成している。設計したものの中で、メインとなるのが Reconfigurable Logic で、これは外部からの制御信号で、任意の機能を持たせることができる。LookUpTable (LUT) と伝送路のスイッチで実現している。この Reconfigurable Logic が動作しない場合、何が原因なのか追求できるように、Reconfigurable Logic の最小構成、さらにそれらを構成する基本的な素子を個別に用意していて、単体で測定できるようになっている。

参考文献：CMOS -Circuit Design, Layout, and Simulation-R. Jacob Baker, Harry W. Li, and David E. Boyce

設計期間：6 人月以上, 7 人月未満 設計ツール：Cadence 社 Virtuoso, Avanti 社 Star-HSPICE, Mentor 社 xCalibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：MOSIS-TSMC 0.25 μ m 16 平方 mm チップ種別：TEG (特性評価回路など)

2.3. チップ試作者の発表文献リスト

- [1] Pimpin, A., Suzuki, Y., and Kasagi, N., "Micro electrostrictive actuator with metal compliant electrodes for flow control applications", Proc. 17th IEEE Int. Conf. MEMS2004, Jan. 2004, Maastricht, pp. 478-481.
- [2] 笠木伸英, 鈴木雄二, "乱流の知的制御", システム/制御/情報, Vol. 48, No. 4, pp. 131-137 (2004).
- [3] 鈴木雄二, 笠木伸英, "マイクロデバイスを用いた熱流体のアクティブ制御", マイクロマシン技術総覧, 産業技術サービスセンター, pp. 737-748 (2003).
- [4] Park, J., Yoshino, T., Yamagami, T., Suzuki, Y. and Kasagi, N., "Development of GA-based Evolved System for Feedback Control of Turbulence", Proc. 5th Symp. on Smart Control of Turbulence, Feb./March 2004, Tokyo, pp. 111-117.
- [5] 佐々木寛弥, 森江 隆, 岩田 穆, "減衰シナプスを導入したスパイクニューロンによるホップフィールドネットワークを用いた高速連想メモリ", 電子情報通信学会信学技報, NC2003-89, 2003年11月, 九州工業大学(北九州)
- [6] 佐々木寛弥, 森江 隆, 岩田 穆, "スパイクニューロン方式ホップフィールドネットワークを用いた高速連想メモリに関する研究", IEEE 広島支部学生シンポジウム, B-22, 2003年12月, 広島
- [7] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input-Channel", Proc. of the Workshop on SASIMI, pp. 206-210, Hiroshima, April 3, 2003.
- [8] 吉田 毅, 真下隆行, 赤木美穂, 岩田 穆, 吉田将之, 植松一眞, "1 チップ無線・神経信号センシング LSI の設計", 電子情報通信学会信学技報, ICD2003-86, 2003年9月, (豊橋).
- [9] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input Channels", IEICE Trans. Fundamentals., vol. E87-A, pp. 376-383, Feb. 2004.
- [10] 升井義博, 真下隆行, 吉田 毅, 佐々木守, 岩田 穆, "低電圧低雑音アナログ増幅回路設計技術に関する研究", IEEE 広島支部学生シンポジウム, B-14, 2003年12月, 広島
- [11] 山口, 塩見, "Handel-C による教育用マイクロプロセッサ SEP-3 の設計と工数評価", pp. 7-12, 情報処理学会研究会報告 2003-CE-71 (2003)
- [12] Kenji Kudo, Yoshihiro Myokan, Winh Chan Than, Shinji Akimoto, Takashi Kanamaru, and Masatoshi Sekine, "Hardware object model and its application to the image processing", pp. 547-558, IEICE Transactions on Fundamentals, vol. E87-A, No. 3, (2004).
- [13] 茂野聡登志, 金丸隆志, 入谷 勝, 関根優年, "Sw・Hw 混載システムを用いたパルスニューラルネットワークのハードウェア化" pp. 135-140, 信学技報 (NC), Vol. 103, No. 732, (2004).
- [14] M. S. Oh, K. Aizawa "A Basic Framework for Event-Based Monitoring by Networked Smart Image Sensors" IPSJ Trans. Computer Vision and Image Media Vol. 44, No. SIG9 (CVIM7), pp. 30-37, July, 2003
- [15] 長尾, 喜多, 浜本, 相澤 "スマートイメージセンサと FPGA を用いた高速動物体追跡と奥行き推定" 映像情報メディア学会誌, Vol. 57, No. 9, pp. 1142-1148, Sep. 2003
- [16] 大田, 相澤 "画素混合画像からの復元とデモザイキング" 映像情報メディア学会誌, Vol. 58, No. 1, pp. 109-114, Jan. 2004
- [17] 椿, 相澤 "CCD における斜め画素混合の検討" 映像情報メディア学会誌, Vol. 58, No. 3, pp. 392-395, Mar. 2004
- [18] R. Oi, K. Aizawa "Programmable sensitivity image sensor with multicapacitance CMOS pixels" IEEE Workshop CCD and Advanced Image sensors May 15-17, 2003
- [19] R. Oi, T. Hamamoto, K. Aizawa "Real-time arbitrary view acquisition system by using random access IBR camera array" IEEE Mutisensor Fusion and Integration for Intelligent Systems (MFI2003) pp. 143-148, Jul. 30-Aug. 1 2003
- [20] T. Ogi, T. Yasuda, T. Hamamoto, K. Aizawa "Smart image sensor for wide dynamic range by variable integration time" IEEE Mutisensor Fusion and Integration for Intelligent Systems (MFI2003) pp. 179-184, Jul. 30-Aug. 1 2003
- [21] R. Oi, K. Aizawa "Wide dynamic range imaging by sensitivity adjustable CMOS image sensor" IEEE Int. Conf. Image Processing (ICIP03) II-583-II-586, Sept. 14-17, 2003
- [22] R. Oi, M. Magnor, K. Aizawa "A Solid-State, Simultaneous Wide Angle-Detailed View Video Surveillance Camera Vision", Modeling and Visualization 2003 (VMV2003) pp. 329-

- [23] I. Tsubaki, K. Aizawa “Demosaicing Method for VideoClips of Digital Still Camera” IEEE Int. Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2003) D4-4 pp. 514-519, Dec. 8-10, 2003
- [24] I. Tsubaki, K. Aizawa “A pixel mixture and restoration method for a single color CCD imager Asilomar Conference on Signals”, Systems and Computers TP8a2-13, Nov. 2003
- [25] I. Tsubaki, K. Aizawa “Restoration and demosaicing for a pixel mixture image SPIE” Vol. 5301B, Sensors, Color, Cameras, and Systems for Digital Photography Jan. 19, 2004
- [26] 大井, 相澤 “可変感度イメージセンサによる広ダイナミックレンジ撮像システム” 画像センシングシンポジウム, B-8, pp. 75-78. Jun. 12, 13, 2003
- [27] 椿, 相澤, “反復法を用いた画素混合からの復元” 画像センシングシンポジウム B-8, pp. 75-78, Jun. 12, 13, 2003
- [28] 大井, M. Magnor, 相澤, 小林, 味八木, 岩松 “ランダムアクセスカメラアレイを用いた広域かつ詳細な監視システム” 映像情報メディア学会情報センシング研究会, Vol. 27, No. 38, pp. 13-16, 2003
- [29] 小林, 大井, 味八木, 相澤 “多眼スマートセンサアレイの構成と応用に関する研究” 画像符号化・映像メディア処理シンポジウム (PCSJ・IMPS2003) I-4.05 pp. 77-78, Nov. 12-14, 2003
- [30] 大井, 相澤, “容量選択型可変感度イメージセンサの特性評価およびシステム化” 映像情報メディア学会, 情報センシング研究会, Vol. 27, No. 58, pp. 25-28, Oct. 2003
- [31] 小林, 大井, 味八木, 相澤, “多眼スマートセンサシステムとその応用に関する検討” 電子情報通信学会画像工学研究会, IE2003-71, pp. 19-24, Oct. 23, 2003
- [32] 椿, 相澤, “画素混合からの復元とデモザイキング手法に関する検討” 映像情報メディア学会年次大会, 21-4, Aug. 27-29, 2003
- [33] 小林, 大井, 味八木, 相澤, “2組の8眼スマートイメージセンサアレイを用いた多眼入力システム” 映像情報メディア学会年次大会, 20-8, Aug. 27-29, 2003
- [34] 椿, 相澤, “画素混合からのデモザイキング手法” 情報科学技術フォーラム, FIT2003 LJ-005, Sep. 10-12, 2003
- [35] 大井, 相澤, “容量選択型可変感度イメージセンサ用即時制御システム” 電子情報通信学会総合大会, D-11-70, Mar. 22-25, 2004
- [36] 岩松, 大井, 小林, 味八木, 相澤, “多眼イメージセンサを用いた物体追跡システムに関する研究” 電子情報通信学会総合大会 D-11-102, Mar. 22-25, 2004
- [37] 小林, 大井, 味八木, 岩松, 相澤, “2組の8眼ランダムアクセスセンサアレイを用いたIBRの検証” 電子情報通信学会総合大会, D-11-104, Mar. 22-25, 2004
- [38] T. Funasaka, M. Iwase, S. Hatakeyama, “FPGAを用いたフラクタル画像情報の立体視化”, Tokyo Denki University (2003)
- [39] T. Kawano, Y. Kato, R. Tani, H. Takao, K. Sawada, and M. Ishida, “Silicon Devices-Selective Vapor-Liquid-Solid Epitaxial Growth of Micro-Si Probe Electrode Area with On-Chip MOSFETs on Si (111) Substrates”, IEEE Transactions on Electron Devices, Vol. 51, No. 3, pp. 415-420, 2004.
- [40] H. Takao and M. Ishida, “Micro Fluidic Integrated Circuits for Signal Processing Using Analogous Relationship between Pneumatic Microvalve and MOSFET”, IEEE/ASME Journal of Microelectromechanical Systems, Vol. 12, No. 4, pp. 497-505, August 2003.
- [41] Y. Kato, T. Kawano, Y. Ito, H. Takao, K. Sawada, M. Ishida, “Signal Conditioning CMOS Circuits Integrated on Si (111) for Image-Recording Sensor of Neural Activity”, IEEE Transactions on Sensors and Micromachines, Vol. 123, no. 9, 2003.
- [42] K. Lee, H. Takao, K. Sawada, and M. Ishida, “Analysis of Thermal Drift of A Constant Temperature Control Type Three-Axis Accelerometer for High Temperatures”, IEEE Transactions on Sensors and Micromachines, Vol. 123, No. 12, pp. 583-587, 2003.
- [43] T. Ono, K. Sawada, Y-C. Jung, Y. Moriyasu, H. Takao, and M. Ishida, “Back-Irradiation Type Photo-Detector Arrays Using Field Emitter Device”, IEICE Transactions on Electronics, vol. E86-C, no. 9, pp. 1805-1809, Sept. 2003.
- [44] Nakura, Ikeda, Asada, “Theoretical Study of Stubs for Power Line Noise Reduction”, pp. 715-718, CICC (2003)
- [45] 名倉, 池田, 浅田, “スタブを用いた電源安定化手法”, pp. 217-222, デザインガイア (2003)
- [46] 名倉, 池田, 浅田, “回路設計技術の最新動向”, pp. 131-132, エレクトロニクス実装学会学術講演会 (2004)
- [47] Nakura, Ikeda, Asada, “On-chip di/dt Detector Circuit for

Power Supply Line”, pp. 19-22, ICMTS (2004)

- [48] H. Yamaoka, H. Yoshida, M. Ikeda, and K. Asada, “A logic-cell-embedded PLA (LCPLA) ! an area-efficient dual-rail array logic architecture”, *IEICE Transactions on Electronics*, vol. E87-C, no. 2, pp. 238-245, Feb. 2004.
- [49] H. Yamaoka, M. Ikeda, and K. Asada, “A high-speed logic circuit family with interdigitated array structure for deep sub-micron IC design”, *Proceedings of European Solid-State Circuits Conference (ESSCIRC)*, pp. 189-192, Sept. 2003.
- [50] 大池祐輔, 新宅宏彰, 池田 誠, 浅田邦博, “光切断法による高精細・実時間三次元撮像システム”, *映像情報メディア学会誌*, Vol. 57, No. 9, pp. 1149-1151, 2003年9月.
- [51] Y. Oike, M. Ikeda, and K. Asada, “High Performance Photo Detector for Correlative Feeble Lighting Using Pixel-Parallel Sensing”, *IEEE Sensors Journal*, Vol. 3, No. 5, pp. 640-645, Oct. 2003.
- [52] Y. Oike, M. Ikeda, and K. Asada, “A Row-Parallel Position Detector for High-Speed 3-D Camera Based on Light-Section Method”, *IEICE Trans. on Electronics*, Vol. E86-C, No. 11, pp. 2320-2328, Nov. 2003.
- [53] Y. Oike, M. Ikeda, and K. Asada, “A 120 x 110 Position Sensor With the Capability of Sensitive and Selective Light Detection in Wide Dynamic Range for Robust Range Finding”, *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 1, pp. 246-251, Jan. 2004.
- [54] Y. Oike, M. Ikeda, and K. Asada, “A 375 x 365 3D 1k frame/s Range-Finding Image Sensor with 394.5 kHz Access Rate and 0.2 Sub-Pixel Accuracy”, *IEEE International Solid-State Circuits Conference (ISSCC) Dig. of Tech. Papers*, pp. 118-119, Feb. 2004.
- [55] Y. Oike, M. Ikeda, and K. Asada, “Design of Real-Time VGA 3-D Image Sensor Using Mixed-Signal Techniques”, in *Proc. of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 523-524, Jan. 2004.
- [56] Y. Oike, H. Shintaku, S. Takayama, M. Ikeda, and K. Asada, “Real-Time and High-Resolution 3-D Imaging System Using Light-Section Method and Smart CMOS Sensor”, in *Proc. of IEEE International Conference on Sensors*, pp. 502-507, Oct. 2003.
- [57] Y. Oike, M. Ikeda, and K. Asada, “A High-Speed and Low-Voltage Associative Co-Processor With Hamming Distance Ordering Using Word-Parallel and Hierarchical Search Architecture”, in *Proc. of IEEE Custom Integrated Circuits Conference (CICC)*, pp. 643-646, Sep. 2003.
- [58] Y. Oike, M. Ikeda, and K. Asada, “A Smart Image Sensor With High-Speed Feeble ID-Beacon Detection for Augmented Reality System”, in *Proc. of European Solid-State Circuits Conference (ESSCIRC)*, pp. 125-128, Sep. 2003.
- [59] Y. Oike, M. Ikeda, and K. Asada, “640 x 480 Real-Time Range Finder Using High-Speed Readout Scheme and Column-Parallel Position Detector”, *IEEE Symposium on VLSI Circuits Dig. of Tech. Papers*, pp. 153-156, Jun. 2003.
- [60] Y. Oike, M. Ikeda, and K. Asada, “High-Speed Position Detector Using New Row-Parallel Architecture For Fast Collision Prevention System”, in *Proc. of IEEE International Symposium on Circuits and Systems (ISCAS)*, Vol. 4, pp. 788-791, May. 2003.
- [61] 大池祐輔, 池田 誠, 浅田邦博, “高感度・高選択性および広ダイナミックレンジを実現する変調光検波型イメージセンサと距離計測への応用”, *電子情報通信学会技術研究報告*, vol. 103, no. 89, pp. 7-12, 2003年5月.
- [62] 大池祐輔, 池田 誠, 浅田邦博, “拡張現実システム実現のための高速・低輝度ビーコン検出イメージセンサ”, *映像情報メディア学会冬季大会論文集*, 4-1, pp. 34, 2003年12月.
- [63] 大池祐輔, 池田 誠, 浅田邦博, “同期式探索構造による高速・低電圧連想プロセッサ”, *電子情報通信学会総大会論文集*, C-12-37, pp. 138, 2004年3月.
- [64] 谷内出悠介, 大池祐輔, 池田 誠, 浅田邦博, “スマートセンサを用いた光切断法による任意視点三次元画像計測手法”, *映像情報メディア学会技術研究報告*, vol. 28, no. 20, pp. 33-36, 2004年3月.
- [65] 飯塚哲也, 池田 誠, 浅田邦博, “充足可能性判定を用いたセル生成手法”, *報処理学会 DA シンポジウム 2003 論文集*, pp. 139-144, 2003年7月.
- [66] 飯塚哲也, 池田 誠, 浅田邦博, “CMOS 論理セルレイアウトの網羅的生成による製造時の配線欠陥最小化手法”, *電子情報通信学会技術研究報告*, vol. 103, no. 476, pp. 157-161, 2003年11月.
- [67] T. Iizuka, M. Ikeda, and K. Asada, “High Speed Layout Synthesis for Minimum-Width CMOS Logic Cells via Boolean Satisfiability”, in *Proc. of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 149-154, Jan. 2004.

- [68] T. Iizuka, M. Ikeda, and K. Asada, "Exact Wiring Fault Minimization via Comprehensive Layout Synthesis for CMOS Logic Cells", in Proc. of IEEE International Symposium on Quality Electronic Design (ISQED), pp. 377-380, Mar. 2004.
- [69] T. Kurashina, S. Ogawa, and K. Watanabe, "A CMOS rail-to-rail current conveyor and Its applications to current-mode filters", IEICE Trans. Fundamentals, E86-A [6], pp. 1445-1450, June 2003.
- [70] T. Kurashina, B. Chipipop, S. Ogawa, and K. Watanabe, "Syntheses and implementations of single-CCII-based current-mode biquadratic filters", Proc. International Tech. Conf. Circuits/Systems, Computers and Communications, pp. 322-325, July 2003.
- [71] 倉科, 小川, 渡辺, "電流モードフィルタの合成", 電気学会電子・情報・システム部門大会, GS3-7, pp. 731-737, Aug. 2003.
- [72] 倉科, 小川, 渡辺, "単一 CCII を用いた電流モードフィルタの合成", 静岡大学電子工学研究所研究報告, 38, pp. 87-95, March 2004.
- [73] Komuro, Kagami, Ishikawa, "A Dynamically Reconfigurable SIMD Processor for a Vision Chip", IEEE Journal of Solid-State Circuits, Vol. 39, No. 1, pp. 265-268 (2004)
- [74] 小室, 鏡, 石川, "ビジョンチップのための動的再構成可能な SIMD プロセッサ", 電子情報通信学会論文誌 D-II, Vol. J86-D-II, No. 11, pp. 1575-1585 (2003)
- [75] Kagami, Komuro, Ishikawa, "A High-Speed Vision System with In-Pixel Programmable ADCs and PEs for Real-Time Visual Sensing", Proc. 8th IEEE International Workshop on Advanced Motion Control, pp. 439-443 (2004)
- [76] Takeuchi, Kagami, Komuro, Ishikawa, "Improving the Sensitivity of a Vision Chip Using the Software A-D Conversion Method", Proc. IS&T/SPIE 16th Annual Symposium Electronic Imaging Science and Technology (2004)
- [77] Kagami, Komuro, Ishikawa, "A Software-controlled Pixel-level A-D Conversion Method for Digital Vision Chips", Proc. 2003 IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors (2003)
- [78] Komuro, Kagami, Ishikawa, "A High Speed Digital Vision Chip with Multi-grained Parallel Processing Capability", Proc. 2003 IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors (2003)
- [79] 竹内, 鏡, 小室, 石川, "ソフトウェア A-D 変換を用いたビジョンチップの固定パターンノイズ除去手法", 映像情報メディア学会技術報告, Vol. 27, No. 58 (IST2003-71), pp. 1-4 (2003)
- [80] Watanabe, Komuro, Kagami, Ishikawa, "Vision Chip Architecture for Simultaneous Output of Multi-Target Positions", Proc. SICE Annual Conference 2003, pp. 2591-2594 (2003)
- [81] Kagami, Komuro, Ishikawa, "An Advanced Digital Vision Chip and Its System Implementation", Proc. SICE Annual Conference 2003, pp. 2512-2515 (2003)
- [82] 鏡, 小室, 石川, "デジタルビジョンチップを用いた実時間視覚処理システム—小型化・高速化と感度特性制御の実現—", 日本機械学会ロボティクス・メカトロニクス講演会 '03 講演論文集, 2P2-1F-D8 (2003)
- [83] T. Tanaka, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, "Experimental demonstration of capacitor-coupled resonant tunneling logic gates for ultra-short gate-delay operation", Jpn. J. Appl. Phys., vol. 42, pp. 6766-6771 (2003)
- [84] Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, K. Sano, "88 GHz Dynamic 2:1 Frequency Divider Using Resonant Tunneling Chaos Circuit", Electron. Lett., Vol. 39, pp. 1546-1547 (2003) .
- [85] Y. Yokoyama, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, "Experimental Demonstration of a Resonant Tunneling Delta-Sigma Modulator for High-Speed, High-Resolution Analog-to-Digital Converter", Inst. Phys. Conf. Ser., No. 174, pp. 243-246 (2003) .
- [86] 田代, 佐々木, 大野, 近藤, "H. 264 用分数画素精度動き探索器の設計", pp. 299, 2003 年度電気関係学会東海支部連合大会 (2003) .
- [87] 長尾祥一, 喜多ちえ, 浜本隆之, 相澤清晴, "スマートイメージセンサと FPGA を用いた高速動物体追跡と奥行き推定", 映像情報メディア学会誌, Vol. 57, No. 9, pp. 1142-1148 (2003)
- [88] T. Hamamoto, S. Shimizu, R. Kawahara, "Quarter pixel based random access image sensor for wide view imaging", IEEE Workshop on CCD and Advanced Image Sensors (2003)
- [89] T. Ogi, T. Yasuda, T. Hamamoto, K. Aizawa, "Smart image sensor for wide dynamic range by variable integration time", IEEE Multisensor Fusion and Integration for Intelligent Systems (MFI), pp. 179-184, (2003)
- [90] R. Kawahara, S. Shimizu, T. Hamamoto, "Wide view imag-

- ing system by using multiple random access image sensors and mirrors”, IEEE Multisensor Fusion and Integration for Intelligent Systems (MFI), pp. 185-190, (2003)
- [91] R. Oi, T. Hamamoto, K. Aizawa, “Real-time Arbitrary-view Acquisition System by using Random Access IBR Camera Array”, IEEE Multisensor Fusion and Integration for Intelligent Systems (MFI), pp. 143-148 (2003)
- [92] Hideki Kashiyama, Takashi Yoshida, Takayuki Hamamoto, “Smart Image Sensor for Detection of Well-focused Position using Multiple Focused Images”, IEEE International Symposium On Intelligent Signal Processing and Communication Systems (ISPACS), D2-6, pp. 282-285 (2003)
- [93] Sakiko Kakehi, Shouichi Nagao, Takayuki Hamamoto, “Smart Image Sensor with Binocular PD Array for Tracking of a Moving Object and Depth Estimation”, IEEE International Symposium On Intelligent Signal Processing and Communication Systems (ISPACS), D5-6, pp. 635-638 (2003)
- [94] T. Yasuda, T. Ogi, T. Hamamoto, K. Aizawa, “Variable-integration-time image sensor for wide dynamic range”, IP Based SoC Design Workshop '03, pp. 65-70 (2003)
- [95] 川原隆輔, 清水 聡, 浜本隆之, “ランダムアクセスイメージセンサを用いた広視野撮像”, 映情学技報, vol. 27, no. 39, pp. 13-16 (2003)
- [96] 山口 隆, 成澤聡介, 北見大岳, 猪木原信幸, 浜本隆之, “蓄積中間画像を利用して動き推定処理を行うデジタルスマートイメージセンサ”, 映情学技報, vol. 27, no. 59, pp. 5-8 (2003)
- [97] 掛樋佐紀子, 長尾祥一, 浜本隆之, “動物体抽出と距離推定を行う 1チップ2眼イメージセンサ”, 映情学技報, vol. 27, no. 59, pp. 1-4 (2003)
- [98] 川原隆輔, 清水 聡, 浜本隆之, “8眼スマートイメージセンサを用いた広視野撮像システム”, Image Media Processing Symposium (IMPS03), I-1.01, pp. 13-14 (2003)
- [99] 松田勝典, 浜本隆之, “16眼カメラを用いた距離推定と任意視点画像合成の検討”, Image Media Processing Symposium (IMPS03), I-2.03, pp. 25-26 (2003)
- [100] 成澤聡介, 増田健太郎, 浜本隆之, “圧縮機能を有する高速デジタルイメージセンサの設計”, Image Media Processing Symposium (IMPS03), I-2.13, pp. 45-46 (2003)
- [101] 吉田 崇, 柏山英輝, 浜本隆之, “高速合焦判定を行うスマートイメージセンサの方式検討および試作検証”, Image Media Processing Symposium (IMPS03), I-2.14, pp. 47-48 (2003)
- [102] 谷口浩之, 久津間祐二, 浜本隆之, “出および前方車両検出機能を有する車載イメージセンサの設計”, Image Media Processing Symposium (IMPS03), I-4.14, pp. 95-96 (2003)
- [103] 吉田 崇, 柏山英輝, 浜本隆之, “多重フォーカス画像を用いた高速合焦判定スマートイメージセンサ”, 信学技報, vol. 103, no. 512, pp. 73-76 (2003)
- [104] 伴野 充, 中西正樹, 山下 茂, 渡邊勝正, “能動関数モジュールを再配置可能なアクティブソフトウェア向けアーキテクチャの提案”, 電子情報通信学会信学技報, VLD2003-95, pp. 151-155 (2003).
- [105] S. Komatsu, M. Fujita, “Irredundant Low Power Address Bus Encoding Techniques Based on Adaptive Codebooks”, IEICE Trans. Fundamentals, Vol. E86-A, No. 12, pp. 3001-3008, Dec. 2003.
- [106] 加藤, 伊藤, “プログラマブルデバイスを用いる SoC の BIST”, 50 回 FTC (2004)
- [107] G. Zeng and H. Ito, “Efficient Test Data Decompress for System-on-a-chip Using an Embedded FPGA Core” Proc. of IEEE Int’l Symp. DFT, pp. 503-510, (2003).
- [108] G. Zeng and H. Ito, “Hybrid Pattern BIST for Core Test Using an Embedded FPGA Core” FIIS03, (2003).
- [109] G. Zeng and H. Ito, “Hybrid BIST for System-on-a-Chip Using an Embedded FPGA Core” VTS, (2004). (to appear)
- [110] 徐, 難波, 伊藤, “テスト数を小さくしたマルチコンテキスト FPGA の故障検出”, FIIS03 (2003).
- [111] 伊藤, “テスト容易化マルチコンテキスト FPGA”, 電気学会電子・情報・システム部門大会論文集, MC2-8, pp. 596-601, (2003).
- [112] Khayrollah Hadidi, 大島宗之, 佐々木昌浩, 松本 隆, “2.5V CMOS Fully Differential Low Power High Linearity Analog Line-Driver” 第 16 回回路とシステム(軽井沢)ワークショップ (2003).
- [113] Khayrollah Hadidi, Hiroyuki Oshima, Masahiro Sasaki, Takashi Matsumoto, “A Highly Linear Fully Differential Low Power CMOS Line Driver”, pp. 541-544, Proceeding of 29th European Solid-State Circuits Conferences (2003)
- [114] Al Amin, Song, Sakurai, Sugiyama, Nakano, “Integration of semiconductor optical amplifiers with an arrayed waveguide

- [115] M. Takenaka and Y. Nakano, "Realization of All-Optical Flip-Flop Using Directionally Coupled Bistable Laser Diode", IEEE Photon. Technol. Lett., vol. 16, pp. 45-47, 2004.
- [116] M. Takenaka and Y. Nakano, "Realization of a compact directionally-coupled bistable laser diode for all-optical flip-flop application", in Proc. IEEE Lasers&Electro-Optics Society (LEOS '03), ThG5, pp. 828-829, 2003.
- [117] M. Takenaka and Y. Nakano, "First Realization of All-Optical Flip-Flop Based on Bistable Laser Diode with Active Multimode Interference Cavity", in Proc. Optical Fiber Communication Conference (OFC '03), WL4, 2004
- [118] Xueliang Song, Daisuke Miyashita, Zhenrui Zhang, Naoki Futakuchi, and Yoshiaki Nakano, "Dynamic switching of InP-based Mach-Zehnder Interferometer All-Optical Switches Fabricated with Metalorganic Vapor Phase Selective Area Growth", Proceedings of European Conference on Integrated Optics (ECIO '03), ThB3.1, pp. 187-190, Prague, Czech Republic, 2-4 April, 2003.
- [119] F. C. Yit, M. Takenaka, Y. Nakano, "Improved Fabrication of Directionally-Coupled Semiconductor Optical Amplifier Devices and their Wavelength Conversion Characteristics under Asymmetric Current Injection", in Proc. of Photonic Switching '03, Versailles, France, PS. Mo. A7, pp. 29-31, 2003.
- [120] S. Fukae, T. Inoue, H. J. Mattausch, T. Koide, T. Hironaka, "Distributed against centralised crossbar function for realising bank-based multiport memories", IEE Electronics Letters, Vol. 40, No. 2, pp. 101-102, 2004.
- [121] S. Fukae, N. Omori, T. Koide, H. J. Mattausch, T. Inoue, and T. Hironaka, "Optimized bank-based multi-port memories through a hierarchical multi-bank structures", Proceedings of the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2003), pp. 323-330, 2003.
- [122] S. Fukae, N. Omori, T. Koide, H. J. Mattausch, and T. Hironaka, "A hierarchical 512-Kbit SRAM with 8 read/write ports in 130nm CMOS", Extended Abstracts of the 2003 International Conference on Solid State Devices and Materials (SSDM2003), pp. 150-151, 2003.
- [123] K. Johguchi, Z. Zhu, T. Hirakawa, T. Koide, T. Hironaka and H. J. Mattausch, "Distributed-crossbar architecture for area-efficient combined data/instruction caches with multiple ports", IEE Electronics Letters, Vol. 40, No. 3, pp. 160-162, 2004.
- [124] Z. Zhu, K. Johguchi, T. Hirakawa, H. J. Mattausch, T. Koide and T. Hironaka, "High access bandwidth multi-port-cache design with compact hierarchical 1-port-bank structure", Proceedings of the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2003), pp. 394-400, 2003.
- [125] Z. Zhu, K. Johguchi, T. Hirakawa, T. Koide, T. Hironaka and H. J. Mattausch, "A high-speed and low power hierarchical multi-port cache", Proceedings of COOL Chips VI-An International Symposium on Low-Power and High-Speed Chips, Vol. I, p. 76, 2003.
- [126] Z. Zhu, K. Johguchi, T. Hirakawa, T. Koide, T. Hironaka and H. J. Mattausch, "A novel hierarchical multi-port cache", The 29th European Solid-State Circuits Conference (ESS-CIRC2003), pp. 405-408, 2003.
- [127] K. Johguchi, Z. Zhu, T. Hirakawa, T. Koide, T. Hironaka and H. J. Mattausch, "Combined data/instruction cache with bank-based multi-port architecture", Extended Abstracts of the 2003 International Conference on Solid State Devices and Materials (SSDM2003), pp. 152-153, 2003.
- [128] 上口 光, 朱 兆旻, 小出哲士, 平川 泰, 弘中哲夫, マタウシュ ハンスユルゲン, "階層型多バンク構造による命令/データ統合型多ポートキャッシュの設計", 第5回 IEEE 広島支部学生シンポジウム (HISS2003) 論文集, pp. 248-251, 2003.
- [129] T. Sueyoshi, H. Uchida, Y. Mitani, K. Hiramatsu, H. J. Mattausch, T. Koide, and Tetsuo Hironaka, "Bank-type multiport register file for highly parallel processors", Extended Abstracts of the 2003 International Conference on Solid State Devices and Materials (SSDM2003), pp. 400-401, 2003.
- [130] T. Sueyoshi, H. Uchida, Y. Mitani, H. J. Mattausch, T. Koide, and Tetsuo Hironaka, "Compact 12-port multi-bank register file test-chip in 0.35um CMOS for highly parallel processors", Proceedings of the Asia South Pacific Design Automation Conference 2004 (ASP-DAC2004), pp. 551-552, 2004.
- [131] 末吉徹也, 内田裕志, 三谷陽介, H. J. Mattausch, 小出哲士, 弘中哲夫, "高並列プロセッサのためのマルチバンク構成レジスタファイル", 第5回 IEEE 広島支部学生シンポジウム論文集, pp. 242-243, 2003.
- [132] K. Inoue, V. G. Moshnyaga, and K. Murakami, "Instruction Encoding for Reducing Power Consumption of I-ROMs

- Based on Execution Locality”, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E86-A, no. 4, pp. 799-805, Apr. 2003.
- [133] 田中秀和, 井上弘士, モシニヤガ・ワシリー, 村上和彰, “ヒストリ・ベース・タグ比較キャッシュの設計と評価”, 第66回情報処理学会全国大会講演論文集(1), pp. 83-84, 2003年3月
- [134] J. Akita, M. Takayasu, H. Takayasu, A. Koizumi, “Image Sensor Architecture for Arbitrarily Directional Motion Detection Using Spatial Propagation Delay of Excitation Signal”, 2003 IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors, 2003. 5.
- [135] 秋田純一, 高安美佐子, 高安秀樹, 小泉 周, “興奮性信号の空間的伝播遅延を用いた任意方向動体検出イメージセンサアーキテクチャ”, 電子情報通信学会論文誌C, Vol. J86-C, No. 8, pp. 863-868, 2003. 8.
- [136] H. J. Oh, M. Sugiyama, Y. Nakano, and Y. Shimogaki, “Comparison of organic and hydride group V precursors in terms of surface kinetics in wide-gap selective area metalorganic vapor phase epitaxy”, Jpn. J. Appl. Phys., 42, L1195-L1197 (2003).
- [137] H. J. Oh, M. Sugiyama, Y. Nakano, and Y. Shimogaki, “Factors determining the generation of polycrystalline growth over masks in selective-area metalorganic vapor phase epitaxy! Gas-phase concentration analysis”, Jpn. J. Appl. Phys., 42, L359-L361 (2003).
- [138] H. J. Oh, M. Sugiyama, Y. Nakano, and Y. Shimogaki, “Surface reaction kinetics in metalorganic vapor phase epitaxy of GaAs through analyses of growth rate profile in wide-gap selective-area growth”, Jpn. J. Appl. Phys., 42, 6284-6291 (2003).
- [139] M. Sugiyama, H. J. Oh, Y. Nakano, and Y. Shimogaki, “Polycrystals growth on dielectric masks during InP/GaAs selective MOVPE”, J. Crystal Growth, 261, 411-418 (2004).
- [140] H. J. Oh, M. Sugiyama, Y. Nakano, and Y. Shimogaki, “The effect of group V precursor on selective area MOVPE of InP/GaAs-related materials”, J. Crystal Growth, 261, 419-426 (2004).
- [141] 杉浦, 藤島, 鳳, “相補型ショットキーソース・ドレイン MOSFET のシリコンシャドウマスクを用いた集積化”, 第51回応用物理学関係連合学術講演会 (2004).
- [142] 村松, 橋本, 小野寺, “電源電圧変動に対するオンチップ配線インダクタンスの影響”, pp. 89, no. A-3-22, 2004年電子情報通信学会総合大会 (2004).
- [143] 山口, 橋本, 小野寺, “ゲート毎の電源電圧変動を考慮した静的遅延解析法”, pp. 43-48, no. VLD2003-143, ICD2003-236 (2004-3), 信学技報 (2004).
- [144] 村松, 橋本, 小野寺, “電源配線の等価回路簡略化による電源解析高速化の検討”, pp. 169-172, 情報処理学会関西支部支部大会 (2003).
- [145] 宮崎, 橋本, 小野寺, “デジタル CMOS プロセスを使用したクロック生成向け PLL の将来性能予測—LC 発振型 VCO を用いた PLL の有効性—”, pp. 29-34, no. ICD20003-98, 信学技法 (2003).
- [146] 土谷, 橋本, 小野寺, “直交配線を持つオンチップ伝送線路の特性評価”, pp. 133-138, 情報処理学会 DA シンポジウム論文集 (2003).
- [147] 土谷, 橋本, 小野寺, “配線 R (f) L (f) C 抽出のための代表周波数決定手法”, pp. 61-66, 第16回回路とシステム (軽井沢) ワークショップ論文集 (2003).
- [148] M. Hashimoto, K. Fujimori, H. Onodera, “Automatic Generation of Standard Cell Library in VDSM Technologies”, pp. 36-41, Proc. ISQED (2004).
- [149] A. Tsuchiya, M. Hashimoto, H. Onodera, “Representative Frequency for Interconnect R (f) L (f) C Extraction”, pp. 691-696, Proc. ASP-DAC (2004).
- [150] T. Miyazaki, M. Hashimoto, H. Onodera, “A Performance Comparison of PLLs for Clock Generation Using Ring Oscillator VCO and LC Oscillator in a Digital CMOS Process”, pp. 545-546, Proc. ASP-DAC (2004).
- [151] M. Hashimoto, Y. Hayashi, H. Onodera, “Experimental Study on Cell-Base High-Performance Datapath Design”, pp. 3204-3207, vol. E86-A, no. 12, IEICE Trans. on Fundamentals (2003).
- [152] A. Tsuchiya, M. Hashimoto, H. Onodera, “Representative Frequency for Interconnect R (f) L (f) C Extraction”, pp. 2942-2951, vol. E86-A, no. 12, IEICE Trans. on Fundamentals (2003).
- [153] M. Hashimoto, M. Takahashi, H. Onodera, “Crosstalk Noise Estimation for Generic RC Trees”, pp. 2965-2973, vol. E86-A, no. 12, IEICE Trans. on Fundamentals (2003).
- [154] K. Okada, K. Yamaoka, H. Onodera, “Statistical Gate-Delay Modeling with Intra-Gate Variability”, pp. 2914-2922, vol. E86-A, no. 12, IEICE Trans. on Fundamentals (2003).



[155] K. Okada, K. Yamaoka, H. Onodera, "A Statistical Gate-Delay Model Considering Intra-Gate Variability", pp. 908-913, Proc. IEEE/ACM ICCAD (2003).

[156] M. Hashimoto, Y. Yamada, H. Onodera, "Equivalent Waveform Propagation for Static Timing Analysis", pp. 169-175, Proc. IEEE/ACM ICCAD (2003).

[157] K. Okada, K. Yamaoka, H. Onodera, "Statistical Modeling of Gate-delay Variation with Consideration of Intra-gate Variability", pp. 513-516, vol. V, IEEE International Symposium on Circuits and Systems (2003).

[158] M. Hashimoto, Y. Yamada, H. Onodera, "Capturing Crosstalk-Induced Waveform for Accurate Static Timing Analysis", pp. 18-23, Proc. ACM/IEEE International Symposium on Physical Design (2003).

[159] K. Okada, K. Yamaoka, H. Onodera, "Statistical Gate-delay Modeling with Intra-gate Variability", pp. 69-75, Proc. of SASIMI 2003 (2003).

[160] H. Hoshino, K. Okada, H. Onodera, "Design Optimization Methodology of On-Chip Spiral Inductor", pp. 102-108, Proc. of SASIMI 2003 (2003).

[161] Y. Yamada, M. Hashimoto, H. Onodera, "Slew Calculation against Diverse Gate-Input Waveforms for Accurate Static Timing Analysis", pp. 280-287, Proc. of SASIMI 2003 (2003).

[162] A. Tsuchiya, M. Hashimoto, H. Onodera, "Frequency Determination for Interconnect RLC Extraction", pp. 288-293, Proc. of SASIMI 2003 (2003).

[163] K. Okada, H. Onodera, "Realistic Delay Calculation Based on Measured Intra-Chip and Inter-Chip Variabilities with the Size Dependence", pp. 746-751, vol. E86-A, no. 4, IEICE Trans. on Fundamentals (2003).

[164] 樋口昭彦, 小林和淑, 小野寺秀俊, "ソフトコアプロセッサにおけるレジスタファイルの消費電力モデル", pp. 71, vol., no. A-3-4, 2004年電子情報通信学会総合大会(2004)

[165] 荒本雅夫, 湯山洋一, 樋口昭彦, 岡澤潤香, 小林和淑, 小野寺秀俊, "資源共有型 VLIW プロセッサの性能評価", pp. 7-12, vol., no. VLD-2003-115, 信学技法 (2004)

[166] 荒本雅夫, 湯山洋一, 樋口昭彦, 岡澤潤香, 小林和淑, 小野寺秀俊, "処理の優先度を利用した実行ユニット共有型 VLIW プロセッサアレイ", pp., vol., no., 第7回システム LSI ワークショップ (2003)

[167] 湯山洋一, 荒本雅夫, 高井幸輔, 小林和淑, 小野寺秀俊, "機能特化型プロセッサアレイによる SoC アーキテクチャの提案", pp. 790-798, vol. J86-C, no. 8, 電子情報通信学会論文誌エレクトロニクス分冊 (2003)

[168] 湯山洋一, 荒本雅夫, 小林和淑, 小野寺秀俊, "SystemC による組み込みプロセッサの RTL 記述とその ISS への適用", pp. 301-306, 情報処理学会 DA シンポジウム論文集 (2003)

[169] 樋口昭彦, 小林和淑, 小野寺秀俊, "命令レベルにおけるレジスタの変化ビット幅を考慮した組み込みプロセッサ向け消費電力見積り手法", pp. 453-458, 第16回回路とシステム(軽井沢)ワークショップ論文集 (2003)

[170] K. Kobayashi, H. Onodera, "A Comprehensive Simulation and Test Environment for Prototype VLSI Verification", pp. 630-636, vol. E87-D, no. 3, IEICE Trans. on Information and Systems (2004)

[171] Y. Yuyama, M. Aramoto, K. Kobayashi, H. Onodera, "An SoC Architecture and its Design Methodology using Unifunctional Heterogeneous Processor Array", pp. 737-742, vol., no., Proc. ASP-DAC (2004)

[172] Y. Yuyama, M. Aramoto, K. Takai, K. Kobayashi, H. Onodera, "Heterogeneous Processor Architecture and Its Design Methodology to Shorten the Design Period of Embedded SoCs", pp. 351-356, vol., no., Proc. of SASIMI 2003 (2003)

[173] Tadashi Suetsugu and Marian Kazimierczuk, "Comparison of Class E Amplifier with Nonlinear and Linear Shunt Capacitance", IEEE Transactions on Circuits and Systems, Part I, Vol. 50, no. 8, pp. 1089-1097, 2003

[174] Tadashi Suetsugu, Shuichi Kiryu and Marian Kazimierczuk, "FEASIBILITY STUDY OF ON-CHIP CLASS E DC-DC CONVERTER", Proceedings of IEEE International Symposium on Circuit and Systems. (ISCAS2003), Vol. III, pp. 443-446, 2003.

[175] 張山昌論, 工藤隆男, 亀山充隆, "ウィンドウ演算のための周期的メモリアロケーションと画像処理 VLSI プロセッサへの応用", 電子情報通信学会論文誌, Vol. J86-C, No. 5, pp. 524-533 (2003).

[176] 張山昌論, 風間英樹, 亀山充隆, "階層的並列メモリアクセスに基づくボール軌道予測用 VLSI プロセッサの構成", 電子情報通信学会論文誌, Vol. J86-C, No. 8, pp. 760-770 (2003).

[177] 三浦清志, 張山昌論, 亀山充隆, "再帰的計算に基づくステレオマッチングと VLSI 化", 電子情報通信学会論文誌,

- [178] Weisheng Chong, Masanori Hariyama, Michitaka Kameyama, "Low-Power Field-Programmable VLSI Processor Using Dynamic Circuits", in Proc. IEEE Computer Society Annual Symposium on VLSI, pp. 243-250 (2003) .
- [179] Naotaka Ohsawa, Osamu Sakamoto, Masanori Hariyama, Michitaka Kameyama, "Program-Counter-Less Bit-Serial Field-Programmable VLSI Processor with Mesh-Connected Cellular Array Structure", in Proc. IEEE Computer Society Annual Symposium on VLSI, pp. 258-259 (2003) .
- [180] Yoshiteru Hayashi, Hiroshi Tsutsui, Takahiko Masuzaki, Tomonori Izumi, Takao Onoye, and Yukihiro Nakamura, "Scalable Design Framework for JPEG2000 Encoder Architecture", pp. 372-377, in The 11th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2003) , April 2003.
- [181] Yoshiteru Hayashi, Hiroshi Tsutsui, Takahiko Masuzaki, Tomonori Izumi, Takao Onoye, and Yukihiro Nakamura, "Design Framework for JPEG2000 Encoding System Architecture", pp. 740-743, in 2003 IEEE International Symposium on Circuits and Systems (ISCAS2003) , Vol. 2, May 2003.
- [182] Yuki Soga, Takafumi Yuasa, Tomonori Izumi, Takao Onoye and Yukihiro Nakamura, "An Improved Communication Channel in Dynamic Reconfigurable Device for Multimedia Applications", pp. 152-157, in the Proc. of Euromedia Conference
- [183] Takafumi Yuasa, Yuki Soga, Naoki Ochi, Tomonori Izumi, Takao Onoye and Yukihiro Nakamura, "Design of Control Logics based on Hand-Shaking Communication Channels on Plastic Cell Architecture", pp. 61-66, in the IEICE Technical Report
- [184] Takuya Okamoto, Takafumi Yuasa, Tomonori Izumi, Takao Onoye and Yukihiro Nakamura, "Design Tools and Trial Design for PCA-Chip2", pp. 868-871, in the IEICE Trans. on Information and Systems
- [185] Naoki Ochi, Takafumi Yuasa, Tomonori Izumi, Takao Onoye and Yukihiro Nakamura, "Designs of Basic Arithmetic Units for Reconfigurable Logic Device based on LUT Array", pp. 141-148, 第1回リコンフィギャラブル研究会
- [186] Takafumi Yuasa, Akihiko Tomita, Tomonori Izumi, Takao Onoye and Yukihiro Nakamura, "An Approach for Circuit Size Reduction by Variable Reordering for PCA-Chip2", pp. 217-221, in the Proc. of 11th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2003)
- [187] M. A. R. Eltokhy, B. K. Tan, T. Matsuoka, and K. Taniguchi, "A New Analog Correlator for DS-CDMA Wireless Applications", IEICE Trans. on Fundamentals, Vol. E86-A, pp. 1294-1301 (2003) .
- [188] 清水, 中村, 松岡, 谷口, "MOSFETのマッチング特性の高精度評価のためのテスト回路", 電子情報通信学会論文誌C, Vol. J86-C, pp. 726-733 (2003) .
- [189] 清水, 松岡, 谷口, "CDMA技術を用いたパラレルバスによる低電力伝送システム", 電子情報通信学会論文誌C, Vol. J86-C, pp. 878-885 (2003) .
- [190] M. A. R. Eltokhy, S. Shimizu, T. Matsuoka, and K. Taniguchi, "A Low Power Analog Matched Filter with Smart Sliding Correlation", IEEJ Trans. Electronics, Information and Systems, Vol. 123-C, pp. 1970-1976 (2003) .
- [191] 春岡, 洞木, 松岡, 谷口, "GPSデュアルバンド・イメージリジエクトミキサのLO位相誤差補償に関する研究", 電子情報通信学会論文誌C, Vol. J86-C, pp. 1177-1183, (2003) .
- [192] S. Shimizu, T. Matsuoka and K. Taniguchi, "Parallel Bus Systems Using Code-Division Multiple Access Technique", Proc. International Symposium on Circuits and Systems, vol. II, pp. 240-243 (2003) .
- [193] Y. Shimizu, T. Matsuoka and K. Taniguchi, "Test Structure for MOSFETs' Matching Measurement", Proc. International Meeting for Future of Electron Devices, Kansai, pp. 45-46 (2003) .
- [194] S. Shimizu, T. Matsuoka and K. Taniguchi, "Multiple-Bit Parallel-CDMA technique for an on-chip interface featuring high data transmission rate, small latency and high noise tolerance", Proc. 29th European Solid-State Circuits Conference, pp. 639-642 (2003) .
- [195] M. Haruoka, Y. Utsurogi, T. Matsuoka and K. Taniguchi, "A Dual-band Image-reject Mixer for GPS with 64dB Image Rejection", Proc. 2003 IEEE AP-S Topical Conference on Wireless Communications Technology, on CD-ROM (2003) .
- [196] S. Cha, T. Matsuoka and K. Taniguchi, "A CMOS Predisorder Using a P + / N-well Junction Diode with a Bias Feed Resistor", Proc. Asia-Pacific Microwave Conference, vol. 1, pp. 77-80 (2003) .
- [197] H. Shima, T. Matsuoka and K. Taniguchi, "A New Analytical

- [198] 井田, 清水, 嶋村, 松岡, 谷口, “有線 CDMA インタフェース用可変ゲインアンプ”, 電気学会電子回路研究会資料, ECT-03-66, pp. 15-20 (2003)
- [199] 清水, 松岡, 谷口, “FD-SOI MOSFET のしきい値電圧のばらつきに関する考察”, 電子情報通信学会技術研究報告, ICD2003-52, pp. 13-17, (2003)
- [200] 春岡, 洞木, 松岡, 谷口, “2 周波型 GPS 用イメージリジェクトミキサの研究”, 電子情報通信学会技術研究報告, ICD2003-100, pp. 41-46 (2003)
- [201] 車, 松岡, 谷口, “バイアス・フィード抵抗付き P + / N 接合を用いた CMOS プレディストータの試作, 評価”, 電子情報通信学会技術研究報告, ICD2003-104, pp. 65-69 (2003)
- [202] 清水, 松岡, 谷口, “多値 Parallel-CDMA 技術を用いた集積回路内並列バスシステム”, 電子情報通信学会 2003 年ソサイエティ大会, C-12-21, p. 96 (2003)
- [203] 古屋, 車, 清水, 春岡, 松岡, 谷口, “ASK/CDMA 方式を用いた近距離無線通信のための CMOS 復調回路”, 電子情報通信学会技術研究報告, ICD2003-186, pp. 5-9 (2003)
- [204] Kazuhiro Shimonomura, Keisuke Inoue, Seiji Kameda and Tetsuya Yagi, “A Novel Robot Vision Applicable to Real Time Target Tracking”, Journal of Robotics and Mechatronics, vol. 15, no. 2, 2003, pp. 185-191.
- [205] 下ノ村和弘, 井上恵介, 亀田成司, 八木哲也, “シリコン網膜と FPGA を用いた動物体の追跡”, 映像情報メディア学会誌, vol. 58, no. 1, 2004, pp. 61-68.
- [206] Kazuhiro Shimonomura, Keisuke Inoue, Seiji Kameda and Tetsuya Yagi, “Silicon Retina System Applicable to Real Time Target Tracking”, Proc. of ICANN/ICONIP2003, Istanbul, Turkey, 2003, pp. 414-417.
- [207] Kazuhiro Shimonomura, Tetsuya Yagi, “A neuromorphic parallel vision with orientation selective receptive field”, Abst. of International Symposium on Bio-Inspired System (ISBS2004), partIV, (BrainIT2004), Kitakyushu, Japan, p. 49.
- [208] 下ノ村和弘, 八木哲也, “V1 視覚野の機能を模倣した電子回路”, 視覚科学フォーラム第 7 回研究会, 大阪, 2003. 7, 予稿集 p. 32.
- [209] 下ノ村和弘, 八木哲也, “V1 単純型細胞受容野をエミュレートするアナログデジタル混在型集積システム”, 日本神経回路学会第 13 回全国大会, 東京, 2003. 9, 講演論文集 pp. 192-193.
- [210] 下ノ村和弘, 八木哲也, “視覚野 V1 を模倣するアナログ・デジタル混在システム”, 映像情報メディア学会研究会情報センシング/電子情報通信学会研究会 ICD 豊橋, 2003. 9, 映情学技報 Vol. 27, No. 48, pp. 25-28.
- [211] 下ノ村和弘, 八木哲也, “単純型細胞を模倣する aVLSI による実時間画像処理”, 東京, 2004. 3, 電子情報通信学会技術研究報告 NC2003-161, pp. 153-158.
- [212] Seiji Kameda and Tetsuya Yagi, “An analog VLSI chip emulating sustained and transient response channels of the vertebrate retina”, IEEE trans. Neural Networks, vol. 14, no. 5, 2003.
- [213] 亀田成司, 八木哲也 “神経回路を模倣したアナログ集積視覚チップの研究動向” 日本神経回路学会誌, vol. 10, no. 2, pp. 62-67, 2003.
- [214] Seiji Kameda and Tetsuya Yagi, “A silicon retina system that calculates direction of motion”, Proc. The 2003 IEEE International Symposium on Circuits and Systems, vol. IV, pp. 792-795, Bangkok, Thailand, 2003. 5.
- [215] Seiji Kameda and Tetsuya Yagi, “An analog silicon retina with multi-chip configuration”, International Joint Conference on Neural Networks 2003 Conference Proceedings, pp. 387-392, Oregon, the United States, 2003. 7.
- [216] 亀田成司, 八木哲也, “網膜の階層処理を実現するマルチチップシステム”, 映情学技報, vol. 27, no. 48, pp. 29-34, 豊橋, 2003. 9.
- [217] K. Eguchi, H. Zhu, T. Tabata, F. Ueno and T. Inoue, “A 1-dimensional chaotic IC designed by SI techniques”, T. IEEJ, Vol. 123-C, No. 9, pp. 1663-1664 (2003-9)
- [218] K. Eguchi, H. Zhu, T. Tabata, F. Ueno and Y. Onoue, “AC IC chip of a communication-aid circuit to detect eye-gazed patterns”, Proc. of the International Technical Conference on Circuit/Systems, Computer and Communications, Vol. 2, pp. 1109-1112 (2003-7)
- [219] 軍司, 鷺津, “熱伝導性基板を用いた電解質溶液の誘電泳動”, pp. 123-128, 2003 年静電気学会講演論文集
- [220] 寺尾, 加畑, 鷺津, “電気浸透流による酵母ゲノム DNA の伸長”, pp. 23-28, 2003 年電気学会研究会試料ケミカルセンサ研究会 (2003)

- [221] Y. Kimura, T. Kinebuchi, H. Kabata, H. Kurumizaka and M. Washizu, "Detection of a specific sequence under a fluorescence microscope using homologous recombination protein, RecA", p. 141, The 1st International Symposium on Micro&Nano Technology (2004)
- [222] M. Gunji and M. Washizu "DEP liquid actuator and mixer on a heat-conducting substrate", pp. 54-65, Proc. ESA-IEEE Joint Meeting on Electrostatics (2003)
- [223] 曾山竜海, 打田 淳, 石田拓磨, 村松正吾, 菊池久和, 久下哲郎, "係数パラメータ水平間引き型可逆ディンタレーサのハードウェア実装", 信学技報告, No. CAS2003-105 (2004/1)
- [224] 三国勝志, 中村吉樹, 今井礼大, 深瀬政秋, 佐藤友暁, "モバイルコンピューティング用マルチメディアプロセッサの実装", FIT2003 情報科学技術フォーラム, C-032, 2003年9月.
- [225] Yoshiki Nakamura, Katsushi Mikuni, and Masa-aki Fukase, "Design Process of a Promising Multimedia Mobile Processor Core", 平成15年度電気関係学会東北支部連合大会, 1A1, 2003年8月.
- [226] Katsushi Mikuni, Yoshiki Nakamura, and Masa-aki Fukase, "Architectural Aspects of Multimedia Mobile Processor Cores", 平成15年度電気関係学会東北支部連合大会, 1A2, 2003年8月.
- [227] 深瀬朝子, 佐藤陽一, 佐藤友暁, 深瀬政秋, 荒木喬 "ランダムアドレッシング機能強化型マルチメディアプロセッサによる暗号システム", FIT2003, 2003年9月.
- [228] Masa-aki Fukase, Asako Fkase, Youichi Sato, and Tomoaki Sato, "Exploiting aHardware Security-Embedded Multimedia Mobile Processor System and its Application", The 2004 International Technical Conference on Circuits/Systems, Computers and Communications, 2004.
- [229] Masa-aki FUKASE, Asako FUKASE, Youichi SATO, "Cryptographic System by a Random Addressing-Accelerated Multimedia Mobile Processor", SCI2004, (2004) .
- [230] Matsuda, Minami, Kanamori, Iwata, Ohzone, Yamamoto, Ihara, Nakajima, "A VDD and Temperature Independent CMOS Voltage Reference Circuit", pp. 559-560, Proc. Asia and South Pacific Design Automation Conference (2004)
- [231] 中山, 岩田, 松田, 廣川, 畑岸, 織田, "電源制御用遅延回路の設計", pp. 193, 電気関係学会北陸支部連合大会 (2003)
- [232] 南, 岩田, 松田, 大曾根, 山本, 伊原, 中島, "CMOS定電圧回路の設計と評価", pp. 194, 電気関係学会北陸支部連合大会 (2003)
- [233] K. Uehara H. Araki, T. Kutsuwa, K. Harashima ; "An LSI Design Methodology using Configurable Micro-processor and SystemC", Proceedings of ITC-CSCC 2003
- [234] M. Inui, H. Araki, T. Kutsuwa, K. Harashima, "A Design of an Optimal Mixture Circuit Using Neuron MOS Transistor and CMOS Transistor", Proceedings of ITC-CSCC 2003
- [235] 乾 道孝, 荒木英夫, 久津輪敏郎, 原嶋, "ニューロンMOSを可変論理回路に用いるための改良", 平成15年電気関係学会関西支部連合大会, G216, (2003. 11)
- [236] 尾川広和, 星野聖彰, 久津輪敏郎, 原嶋, "形状変化可能アナログ素子自動生成とレイアウト容易化法", 平成15年電気関係学会関西支部連合大会, G219, (2003. 11)
- [237] 久保雅弓, 清水直人, 乾 道孝, 久津輪敏郎, "CMOS・v MOS混在回路における面積を考慮した素子割り当て法", 第9回電子情報通信学会関西支部学生会研究発表講演会, A2-4, (2004. 3)
- [238] 藤本祥平, 尾川広和, 星野聖彰, 久津輪敏郎, "アナログ回路を含むLSIの自動設計化における素子自動生成と面積最適化", 第9回電子情報通信学会関西支部学生会研究発表講演会, A2-5, (2004. 3)
- [239] 川元雅紀, 伊藤文人, 井上 浩, "アナログPLL回路用CMOSプッシュプル回路の設計と性能評価", 電子情報通信学会, 機構デバイス研究会, EMD2003-3, Mar. 2003.
- [240] 佐藤紀章, 伊藤文人, 井上 浩, "プッシュプル位相加算ミキサを使用した通信機能ICの一検討", 電子情報通信学会, 機構デバイス研究会, EMD2003-97, Jan. 2004.
- [241] K. Nishio, S. Sawa, H. Yonezu and Y. Furukawa, "Analog Circuit for Motion Detection Based on Insect Visual Systems", Supplementary Proceedings of 13th International Conference on Artificial Neural Networks and 10th International Conference on Neural Information Processing (ICANN/ICONIP 2003) , pp. 438-441, 2003.
- [242] 西尾, 澤, 吉川, 古川, 米津, "下等動物の視覚系に学んだ簡単な形状認識機能を有する接近検出機構の集積回路化", 日本神経回路学会・第13回全国大会, 講演論文集, pp. 30-31, 2003.
- [243] 澤, 西尾, 安部, 古川, 米津, "生体の網膜に学んだエッジ検出機構のアナログ集積回路化", 日本神経回路学会・第13回全国大会, 講演論文集, pp. 154-155, 2003.

- [244] 澤, 西尾, 安部, 古川, 米津, “網膜に学んだ広ダイナミックレンジを有するエッジ検出回路のアナログ集積回路化”, 電子情報通信学会ニューロコンピューティング研究会, 電子情報通信学会技術報告書, vol. 103, No. 466, pp. 25-30, 2003.
- [245] K. Nishio, H. Yonezu, S. Sawa and Y. Furukawa, “Analog LSI for Motion Detection of Approaching Object with Simple-Shape Recognition Based on Lower Animal Vision”, Proceedings of Asia and South Pacific Design Automation Conference 2004 (ASP-DAC 2004), pp. 529-530, January 2004, Yokohama, Japan.
- [246] Masayuki MIYAMA, Osamu TOOYAMA, Naoki TAKAMATSU, Tsuyoshi KODAKE, Kazuo NAKAMURA, Ai KATO, Junichi MIYAKOSHI, Kousuke IMAMURA, Hideo HASHIMOTO, Satoshi KOMATSU, Mikio YAGI, Masao MORIMOTO, Kazuo TAKI, and Masahiko YOSHIMOTO, “An Ultra Low Power Motion Estimation Processor for MPEG2 HDTV Resolution Video”, IEICE Trans., VOL. E86-C, NO. 4, pp. 561-569, APRIL 2003.
- [247] Masayuki MIYAMA, Junichi MIYAKOSHI, Yuki KURODA, Kousuke IMAMURA, Hideo HASHIMOTO, and Masahiko YOSHIMOTO, “A Sub-mW MPEG-4 Motion Estimation Processor Core for Mobile Video Application”, IEEE JSSC, Summar 2004 (to be published).
- [248] Junichi MIYAKOSHI, Masayuki MIYAMA, Yuki KURODA, Kousuke IMAMURA, Hideo HASHIMOTO, and Masahiko YOSHIMOTO, “A Sub-mW MPEG-4 Motion Estimation Processor Core for Mobile Video Application”, IEEE 2003 Custom Integrated Circuits Conference, California, USA (2003. 9), Proc. IEEE Custom Integ. Conf., 181-184 (2003)
- [249] 黒田雄樹, 宮越純一, 深山正幸, 今村幸祐, 橋本英雄, 吉本雅彦, “携帯動画像端末応用サブ mW・MPEG4 動き検出プロセッサコア IP”, 電気関係学会北陸支部連合大会予稿集 (2003)
- [250] 黒田雄樹, 宮越純一, 深山正幸, 今村幸祐, 橋本英雄, 吉本雅彦, “携帯動画像端末応用サブ mW・MPEG4 動き検出プロセッサコア IP”, 第7回システム LSI ワークショップ講演資料集, 及び, ポスタ資料集 (2003)
- [251] 大村正之, 深山正幸, “C/C++ による VLSI 設計 SystemC による JPEG コーデック設計”, 共立出版 (2003)
- [252] Yuki KURODA, Junichi MIYAKOSHI, Masayuki MIYAMA, Kousuke IMAMURA, Hideo HASHIMOTO, and Masahiko YOSHIMOTO, “A Sub-mW MPEG-4 Motion Estimation Processor Core for Mobile Video Application”, Proc. ASP-DAC, 527-528 (2004)
- [253] 伊藤伸也, 野本祥平, 富安洋史, 西川博昭, “マルチメディアネットワーク向きデータ駆動プロセッサの LSI 試作”, 情報処理学会研究報告, 2004-ARC-157, Vol. 2004, No. 20, pp. 13-18.
- [254] 野本祥平, 伊藤伸也, 富安洋史, 西川博昭, “マルチメディアネットワーク向きデータ駆動プロセッサの開発”, 第7回システム LSI ワークショップ予稿集, pp. 231-235.
- [255] S. Ito, R. Kurebayashi, H. Tomiyasu and H. Nishikawa, “A Processor Architecture for Simultaneously Processing Data-flow and Control-flow Threads”, Proceedings of the 15th IASTED International Conference on Parallel and Distributed Computing and Systems, pp. 339-344.
- [256] S. Ichikawa, H. Saito, L. Udorn, and K. Konishi, “Trade-offs in Custom Circuit Designs for Subgraph Isomorphism Problem”, IEICE Transactions on Information and Systems, Vol. E86-D, No. 7, pp. 1250-1257 (2003).
- [257] S. Ichikawa, S. Yamamoto, “Data Dependent Circuit for Subgraph Isomorphism Problem”, IEICE Transactions on Information and Systems, Vol. E86-D, No. 5, pp. 796-802 (2003).
- [258] S. Yamamoto, S. Ichikawa, H. Yamamoto, “Data Dependent Circuit Design! A Case Study”, Proceedings of 13th Int’l Conf. on Field Programmable Logic and Applications (FPL 2003), LNCS 2778, Springer, pp. 1024-1027 (2003).
- [259] 山本昌治, 市川周一, 山本浩司, “部分グラフ同型判定のためのデータ依存回路の実装と評価”, Proceedings of SACSIS2003, pp. 181-182 (2003).
- [260] 山本昌治, 市川周一, 山本浩司, “部分グラフ同型判定のためのデータ依存回路の実装と評価”, 第1回リコンフィギャラブルシステム研究会論文集, pp. 65-72, 電子情報通信学会リコンフィギャラブルシステム研究会 (2003).
- [261] H. M. Go, J. Takayama, S. Ohyama, and A. Kobayashi, “Integration of Variable Spatial Filter Detector with Multivalued Weight Values”, Proceedings of 2003 International Conference on Control, Automation and Systems (ICCAS2003), pp. 921-924, Oct. 2003
- [262] Chitaka Iwama, Luong Dinh Hung, Niko Demus Barli, Shuichi Sakai and Hidehiko Tanaka, “The Design of PRESTO! A Framework for Architectural Level Power Estimation”, 情報処理学会研究報告計算機アーキテクチャ研究会 ARC-2003-154, pp. 103-108, 2003
- [263] Luong Dinh Hung, Chitaka Iwama, Niko Demus Barli, Shuichi Sakai and Hidehiko Tanaka, “Way-variable Caches

for Static Power Reduction”, 情報処理学会研究報告計算機アーキテクチャ研究会 ARC-2003-155, pp. 87-92, 2003

- [264] Luong Dinh Hung, “Dynamic Cache Way Allocation for Power Reduction”, 東京大学大学院情報理工学系研究科修士論文, 2003
- [265] Fransiscus Asisi Doni Januar Nowo Nugroho, “Validation of an SRAM Model for Architecture Level Power Estimation”, 東京大学工学部卒業論文, 2003
- [266] Shoji Takeuchi, Isao Shimoyama, “Standing Microcoil Actuator Array”, Japanese Journal of Applied Physics Part 1, vol. 42, no. 6A, pp. 3695-3697, 2003.
- [267] Norihisa Miki, Isao Shimoyama, “Soft-Magnetic Rotational Microwings in an Alternating Magnetic Field Applicable to Microflight Mechanisms”, Journal of Microelectromechanical Systems, vol. 12, no. 2, pp. 221-227, 2003.
- [268] Kazunori Hoshino, Isao Shimoyama, “Analysis of Elastic Micro Optical Components under Large Deformation”, Journal of Micromechanics and Microengineering, vol. 13, no. 1, pp. 149-154, 2003.
- [269] Shoji Takeuchi, Isao Shimoyama, “A Radio-telemetry System with a Shape Memory Alloy Microelectrode for Neural Recording of Freely Moving Insects”, IEEE Transaction on Biomedical Engineering, vol. 51, no. 1, pp. 133-137, 2004.
- [270] Murat Gel, Isao Shimoyama, “Force Sensing Sub-micrometer Thick Cantilevers with Ultra-thin Piezoresistors by Rapid Thermal Diffusion”, Journal of Micromechanics and Microengineering, vol. 14, no. 3, pp. 423-428, 2004.
- [271] 岩瀬英治, 下山 勲, “磁気異方性を用いた3次元微小構造群の一括順序組立て, Sequential Batch Assembly of 3-D Microstructures by Using a Magnetic Anisotropy and a Magnetic Field”, 電気学会論文誌 E, vol. 123, no. 7, pp. 224-230, 2003.
- [272] 土肥徹次, 菅原雅仁, 下山 勲, “MEMS ガラス管インジェクタの特性評価”, 日本機械学会論文集 C 編, vol. 69, no. 688, pp. 3336-3342, 2003.
- [273] 下山 勲, “昆虫に学ぶマイクロシステム”, 膜型肺, no. 26, pp. 59-65, 2003.
- [274] Sumito Nagasawa, Isao Shimoyama, “Calcium Measurement Method by Fluorescent Analyses Using a Glass Micro Injector”, The 12th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '03), Boston, Massachusetts, USA, Jun. 8-12, 2003.
- [275] Masanao Motoyama, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, “Electro-Statically Actuated Light Emitting Device Using OLED”, The 12th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '03), Boston, Massachusetts, USA, Jun. 8-12, 2003.
- [276] Kazunori Hoshino, Soroj Tritayprasert, Kiyoshi Matsumoto, Isao Shimoyama, “Electrowetting Based Actuation for Microinjection”, The 12th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '03), Boston, Massachusetts, USA, Jun. 8-12, 2003.
- [277] Takashi Yasuda, Koichi Suzuki, Isao Shimoyama, “Automatic Transportation of a Droplet on a Wettability Gradient Surface”, The 7th International Conference on Miniaturized Chemical and BioChemical Analysis Systems (microTAS 2003), Squaw Valley, California USA, Oct. 5-9, 2003.
- [278] Isao Shimoyama, “Advantages of MEMS in Fluid Research”, Turbulence and Shear Flow Phenomena-2003 (TSFP3), Sendai, Jun. 26, 2003.
- [279] Kazunori Hoshino, Yoichi Murakami, Shigeo Maruyama, Kiyoshi Matsumoto, Isao Shimoyama, “Electrostatically-Actuated Micro Cantilevers for Electro-Mechanical Measurement of Single-Walled Carbon Nanotubes Grown by Catalytic CVD”, 17th IEEE International Conference on Micro Electro Mechanical Systems (MEMS '03), Maastricht, The Netherlands, Jan. 25-29, 2004.
- [280] Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, “The Structural-Color Based on the Mechanism of Butterfly Wing Coloring for Wide Viewing Angle Reflective Display”, 17th IEEE International Conference on Micro Electro Mechanical Systems (MEMS '03), Maastricht, The Netherlands, Jan. 25-29, 2004.
- [281] Tetsuo Kan, Kiyoshi Matsumoto, Isao Shimoyama, “Cell-Culture Plate with Sub-micron Aperture Array for Near-Field Fluorescent Measurement”, 17th IEEE International Conference on Micro Electro Mechanical Systems (MEMS '03), Maastricht, The Netherlands, Jan. 25-29, 2004.
- [282] Hiroaki Onoe, Kiyoshi Matsumoto, Isao Shimoyama, “Sequential Self-Assembly by Controlling Interactive Forces between Microparticles”, 17th IEEE International Conference on Micro Electro Mechanical Systems (MEMS '03), Maastricht, The Netherlands, Jan. 25-29, 2004.
- [283] Koichi Yamada, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, “Electro-static trapping and deposition of nano-

particles in a submicron narrow gap for a lateral-electrode LED”, 17th IEEE International Conference on Micro Electro Mechanical Systems (MEMS '03), Maastricht, The Netherlands, Jan. 25-29, 2004.

- [284] Tetsuji Dohi, Kiyoshi Matsumoto, Isao Shimoyama, “The Optical Blood Test Device with the Micro Fabry-Perot Interferometer”, 17th IEEE International Conference on Micro Electro Mechanical Systems (MEMS '03), Maastricht, The Netherlands, Jan. 25-29, 2004.
- [285] 安田 隆, 鈴木絃一, 下山 勲, “表面エネルギー勾配を利用した微量液滴輸送, Droplet Transportation Induced by a Gradient in Surface Free Energy”, 第20回「センサ・マイクロマシンと応用システム」シンポジウム, IEEJ The 20th Sensor Symposium, 王子, 北区, Jul. 23-24, 2003.
- [286] 菅 哲朗, 松本 潔, 下山 勲, “微小集光プローブを用いた細胞用蛍光計測システム, Microscopic Fluorescent Measurement System by Using the Light Focusing Probe”, 第20回「センサ・マイクロマシンと応用システム」シンポジウム, IEEJ The 20th Sensor Symposium, 王子, 北区, Jul. 23-24, 2003.
- [287] 尾上弘晃, 松本 潔, 下山 勲, “pHによるマイクロ粒子自己組立ての結合力制御, Binding Force Control of Micro Self-assembly by Changing pH”, 第20回「センサ・マイクロマシンと応用システム」シンポジウム, IEEJ The 20th Sensor Symposium, 王子, 北区, Jul. 23-24, 2003.
- [288] 下山 勲, “MEMS/NEMSの新しい展開”, JST異分野交流ワークショップ, 函館, Aug. 18-20, 2003.
- [289] 尾上弘晃, ゲルムラト, 星野一憲, 松本 潔, 下山 勲, “MEMS力計測カンチレバーによる液中平面間の界面剪断力の計測, Interfacial Shearing Force Measurement between Flat Surfaces in Aqueous Solution by Force-Sensing Cantilevers”, 2004年春季応用物理学関係連合講演会, 八王子, 東京, Mar. 28-31, 2004.
- [290] 齋藤 宏, 岩瀬英治, 星野一憲, 松本 潔, 下山 勲, “有焼蝕里鱗い進4齋織俊響? 轡巾襪佞⑤肇札鵲 Compound Eye Shaped Flexible Organic Photo Sensor with a Tunable Visual Field”, 2004年春季応用物理学関係連合講演会, 八王子, 東京, Mar. 28-31, 2004.
- [291] 山田幸一, 星野一憲, 松本 潔, 下山 勲, “半導体ナノ粒子の静電トラップによるナノサイズ発光ダイオード, Nano-sized Light Emitting Diode Using Electrostatically Trapped Semiconductor Nanoparticles as a Light Emitter”, 2004年春季応用物理学関係連合講演会, 八王子, 東京, Mar. 28-31, 2004.
- [292] 南 勝也, 戸出英樹, 村上孝三, “高品質通信を実現する出力バッファ制御機構の実装”, 電子情報通信学会ネットワークシステム研究会, NS2002-296, IN2002-269, Mar. 2003. (2003年ネットワークシステム研究賞受賞)
- [293] 島原広季, 南 勝也, 正城敏博, 戸出英樹, 村上孝三, “フロー単位のバッファ量配分規律に基づくQoS制御機構の拡張実装”, 電子情報通信学会ネットワークシステム研究会, NS2003-90, IN2003-56, CS2003-65, Sep. 2003.
- [294] K. Minami, H. Tode, and K. Murakami, “Design of Buffer Controller for Flow-Based High Quality Communications”, IEICE Trans. Commun., Special Issue on Internet Technology III, vol. E86-B, no. 2, pp. 655-663, Feb. 2003.
- [295] K. Minami, H. Tode, and K. Murakami, “Design of Buffer Controller for Flow-Based High Quality Communications”, in Proc. IEEE Globecom 2003, NG22-2, San Francisco, USA, Dec. 2003.
- [296] 石川純平, 矢野政顕, 河津 哲, “CMOSインバータの基本特性及び特性解析”平成15年度電気関係学会四国支部連合大会, 平成15年10月
- [297] 松村暢也, 矢野政顕, “RSA暗号に使用されている乗算剰余演算器の高速化”平成15年度電気関係学会四国支部連合大会, 平成15年10月
- [298] 岡林, 大橋, 河津, “Pulse Scanning C-V法による光担体発生量評価”, 2003年電気関係学会四国支部連合大会, 11-23, p179, 愛媛大学, 2003年10月
- [299] Y. Fukumizu, S. Ohno, M. Nagata, K. Taki, “A Highly Collision Resistive RFID System”, Proceedings of 5th Asia-Pacific Symposium on Information and Telecommunication Technologies (APSITT 2003), pp. 223-228, Nov. 2003.
- [300] 福水洋平, 大野修治, 永田 真, 瀧 和男, “超多重応答を可能にするRFIDシステムのLSI設計と評価”, DAシンポジウム2003, pp. 73-78, 2003.
- [301] 田中義則, 森本薫夫, 永田 真, 瀧 和男, “2線2相式論理回路方式ASDDL/ASD-CMOSの論理合成手法”, 電子情報通信学会技術報告ICD2003-149, 55-60, 2003.
- [302] 杉本智彦, 奥本 健, 永田 真, 瀧 和男, “大規模デジタル回路におけるグラウンド雑音の解析”, 電子情報通信学会技術報告ICD2003-175, 211-216, 2003.
- [303] 田中義則, 森本薫夫, 永田 真, 瀧 和男, “高速論理回路方式ASDDL/ASD-CMOSの論理合成手法”, 電子情報通信学会技術報告ICD2003-235, 37-42, 2004.

- [304] 福水洋平, 大野修治, 永田 真, 瀧 和男, “超多重応答を可能にする RFID システムの LSI 設計と評価”, 第 7 回システム LSI ワークショップ予稿集, pp. 283-286 2003.
- [305] 野口宏一郎, 奥本 健, 杉本智彦, 永田 真, 瀧 和男, “オンチップ電源/グラウンド測定技術”, 第 7 回システム LSI ワークショップ予稿集, pp. 287-290 2003.
- [306] M. Muroyama, A. Hyodo, T. Okuma, H. Yasuura, “A Power Reduction Scheme for Data Buses by Dynamic Detection of Active Bits”, pp. 408-415, DSD 2003.
- [307] 樽見幸祐, 辻本泰造, 安浦寛人, “デジタル無線通信用ベースバンド処理部におけるデジタルフィルタの低消費電力化設計”, DA シンポジウム 2003, pp. 215-219, Jul. 2003.
- [308] T. Morie, T. Matsuura, and A. Iwata, “Pulse Modulation VLSI Implementation of Clustering Algorithm Based on Stochastic Association Model”, Artificial Neural Networks and Neural Information Processing (ICANN/ICONIP 2003) International Conference, pp. 434-437, 2003.
- [309] K. Korekado, T. Morie, Osamu Nomura, H. Ando, T. Nakano, M. Matsugu, and A. Iwata, “A Convolutional Neural Network VLSI for Image Recognition Using Merged/Mixed Analog-Digital Architecture”, 7th Int. Conf. on Knowledge-Based Intelligent Information and Engineering Systems (KES'2003), pp. II-169-176, 2003.
- [310] 森江 隆, 松浦知宏, 岩田 穆, “確率的連想によるクラスタリングアルゴリズムの VLSI 実現”, 電子情報通信学会総合大会, SA-2-2, 2003.
- [311] 森江 隆, 梅澤 淳, 岩田 穆, “抵抗ネットワークの過渡状態を利用するガボール型フィルタ回路”, 電子情報通信学会信学技報, NC2003-82, pp. 13-18, 2003.
- [312] 佐々木寛弥, 森江 隆, 岩田 穆, “減衰シナプスを導入したスパイクニューロンによるホップフィールドネットワークを用いた高速連想メモリ”, 電子情報通信学会信学技報, NC2003-89, pp. 55-60, 2003.
- [313] 北浦, 越智, 津田, “DRC ルールファイルからの設計規則抽出とその可視化”, 情処論, vol. 44, no. 5, pp. 1255-1265, (2003).
- [314] H. Ochi, T. Suzuki, S. Matsunaga, Y. Kawano, T. Tsuda, “Development of an IP Library of IEEE-754-Standard Single-Precision Floating-Point Dividers”, IEICE Trans. Fundamentals, vol. E86-A, no. 12, pp. 3020-3027, (2003).
- [315] K. Kagawa, T. Kawakami, H. Asazu, T. Nishimura, J. Ohta, M. Nunoshita, K. Watanabe, “An image-sensor based optical receiver fabricated in a standard 0.35um CMOS technology for mobile applications”, IEEE Wrokshop CCD&AIS, 2003.
- [316] K. Kagawa, T. Nishimura, T. Hirai, Y. Yamasaki, J. Ohta, M. Nunoshita, and K. Watanabe, “Proposal and Preliminary Experiments of Indoor optical wireless LAN based on a CMOS image sensor with a high-speed readout function enabling a low-power compact module with large downlink capacity”, IEICE Trans. Commun., E86-B (5), pp. 1498-1507 (2003).
- [317] 香川景一郎, 川上智朗, 浅津博昭, 太田 淳, 布下正宏, 渡辺國寛, “携帯情報機器間空間光伝送に向けたイメージセンサ応用受光デバイスと送信光学系の設計”, 映情学技報, 27 (39), pp. 1-4 (2003).
- [318] 浅津博昭, 川上智朗, 池内隆志, 藤内亜希子, 香川景一郎, 太田 淳, 布下正宏, 渡辺國寛, “汎用プロセスを使用した高速光通信用フォトダイオードおよび受光回路の検討”, 映情学技報, 27 (58), pp. 25-28 (2003).
- [319] 浅津博昭, 川上智朗, 池内隆志, 藤内亜希子, 香川景一郎, 太田 淳, 布下正宏, 渡辺國寛, “屋内光無線 LAN 用高画素 CMOS イメージセンサの開発”, 信学技報, ICD2002-82, pp. 13-18 (2003).
- [320] K. Kagawa, T. Kawakami, H. Asazu, T. Ikeuchi, A. Fujiuchi, J. Ohta, M. Nunoshita, “An image-sensor-based optical receiver fabricated in a standard 0.35-um CMOS technology for free-space optical communications”, Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 555-556 (2004).
- [321] 香川景一郎, 浅津博昭, 川上智博, 池内隆志, 藤内亜希子, 太田 淳, 布下正宏, 渡辺國寛, “イメージセンサを応用した空間光伝送用受光デバイスの設計・試作”, 映情学会誌, 58 (3), pp. 334-343 (2004).
- [322] A. Uehara, K. Kagawa, T. Tokuda, J. Ohta, and M. Nunoshita, “Back-illuminated pulse-frequency-modulated photosensor using a silicon-on-sapphire technology developed for use as an epi-retinal prosthesis device”, Electron. Lett., 39 (15), pp. 1102-1104 (2003).
- [323] David C. Ng, K. Isakari, A. Uehara, K. Kagawa, T. Tokuda, J. Ohta, and M. Nunoshita, “A study of bending effect on pulsed frequency modulation based photosensor for retinal prosthesis”, Jpn. J. Appl. Phys. 42 (12), pp. 7621-7624 (2003).
- [324] 太田 淳, 古宮哲夫, David C. Ng, 上原昭宏, 香川景一郎, 徳田 崇, 布下正宏, “パルスドメイン処理機能内蔵人工視覚用ビジョンチップ”, 信学技報, NC2003-83, pp.

- [325] David C. Ng, 古宮哲夫, 上原昭宏, 香川景一郎, 徳田崇, 太田 淳, 布下正宏, “1-bit 画像処理機能をもつパルス周波数変調方式人工視覚デバイスの開発”, 映情学技報, 27 (58), pp. 9-12 (2003) .
- [326] J. Ohta, T. Furumiya, D. C. Ng, A. Uehara, K. Kagawa, T. Tokuda, M. Nunoshita, “Improvement of a Pulse-Frequency-Modulation-Based Photosensor for a Retinal Prosthesis”, IEEE Sensors, pp. 7 (2003) .
- [327] A. Uehara, D. C. Ng, T. Furumiya, K. Kagawa, T. Tokuda, J. Ohta, M. Nunoshita, “A CMOS Neural-interface Chip with 3-channel Voltage Monitoring for Retinal Prosthesis”, IEEE EMBS Asian-Pacific Conference on Biomedical Engineering, (2003) .
- [328] J. Ohta, T. Furumiya, D. C. Ng, A. Uehara, K. Isakari, K. Kagawa, T. Tokuda, M. Nunoshita, “A retinal prosthesis device using a CMOS image sensor employed with modified pulse frequency modulation”, IEEE Workshop CCD&AIS (2003) .
- [329] 古宮哲夫, 香川景一郎, 上原昭宏, 徳田 崇, 太田 淳, 布下正宏, “32 × 32 画素パルス周波数変調方式人工視覚イメージセンサ”, 映情学会誌, 58 (3), pp. 352-361 (2004) .
- [330] J. Ohta, T. Furumiya, D. C. Ng, A. Uehara, K. Kagawa, T. Tokuda, M. Nunoshita, “A retinal prosthesis device using a pulse-frequency-modulation CMOS image sensor”, Asia and South Pacific Design Automation Conference (ASP-DAC) , pp. 549-550 (2004) .
- [331] 香川景一郎, 安岡孝太郎, David C. Ng, 古宮哲夫, 太田 淳, 布下正宏, “パルス周波数変調方式イメージセンサのためのパルス領域画像処理の動作実証”, 映情学技報, 28 (23), pp. 11-14 (2004) .
- [332] K. Yamamoto, Y. Oya, K. Kagawa, J. Ohta, M. Nunoshita, K. Watanabe, “Demonstration of a frequency-demodulation CMOS image sensor and its improvement of image quality”, IEEE Workshop CCD&AIS (2003) .
- [333] J. Ohta, K. Yamamoto, Y. Oya, K. Kagawa, T. Tokuda, M. Nunoshita, “Improvement of a saturation characteristics of a frequency-demodulation CMOS image sensor”, Asia and South Pacific Design Automation Conference (ASP-DAC) , pp. 575-576 (2004) .
- [334] 山本幸司, 大屋 雄, 香川景一郎, 太田 淳, 布下正宏, 渡辺國寛, “コラム ADC・CDS 機能を有する変調光検波イメージセンサ映情学技報”, 28 (23), pp. 7-10 (2004) .
- [335] S. Ashihara, J. Nishina, T. Shimura, K. Kuroda, T. Sugita, K. Mizuuchi, K. Yamamoto, “Nonlinear refraction of femtosecond pulses due to quadratic and cubic nonlinearities in periodically poled lithium tantalate” Optics Communications 222, pp. 421-427 (2003) .
- [336] “Development of charge integrating multi-grid type MSGC”, H. Takahashi, T. Ishitsu, C. Hagai, K. Yano, M. Nakazawa, S. Kishimoto, M. Furusaka, T. Ino, K. Hasegawa, Nucl. Instr. and Meth. A513, pp. 201-205 (2003) .
- [337] “Development of a multi-grid-type microstrip gas chamber for synchrotron radiation applications and spallation neutron sources”, H. Takahashi, C. Hagai, K. Yano, D. Fukuda, M. Nakazawa, S. Kishimoto, T. Ino, M. Furusaka, K. Hasegawa, Nucl. Instr. and Meth. A513, pp. 262-269 (2003)
- [338] “A new X-ray microcalorimeter based on a pixelated TES array”, D. Fukuda, M. Ohno, H. Takahashi, Y. Kunieda, T. Inou, M. Ohkubo, M. Ataka, M. Nakazawa, IEEE Trans. on Applied Superconductivity 13! (2) pp653-656, Part 1 (2003) .
- [339] 高橋浩之, 甲斐昌慶, 福岡史章, Prasit Siritiprussamee, 中沢正治, 猪野 隆, 古坂道弘, 岸本俊二, “中性子散乱実験のためのマイクロストリップガス比例計数管”, 放射線 vol. 29, No. 4, pp. 179-187 (2003) .
- [340] Ohkubo M, Pressler H, Fukuda D, Inou T, Takahashi H, Nakazawa M, “Imaging analysis of superconducting transition edge sensors for calorimeters”, IEEE Trans. on Appl. Superconductivity 13 (2) pp634-637, Part 1 (2003) .
- [341] M. Ohno, H. Takahashi, D. Fukuda, Y. Kunieda, T. Inou, Y. Noguchi, H. Pressler, F. Hirayama, M. Ohkubo, M. Ataka, H. M. Shimizu, M. Nakazawa, “Development of an X-ray imaging microcalorimeter with a pixel-type Ir transition edge sensor”, Nuclear Instruments and Methods in Physics Research A 505 (2003) pp265-268.
- [342] 岩崎隆広, 井上 宏, 菅根利文, 沼 昌宏, 山本啓輔, “設計変更に対応した論理再合成における診断対象回路抽出”, DA シンポジウム 2003, pp. 277-282, 2003 年 7 月
- [343] H. Inoue, T. Iwasaki, T. Sugane, M. Numa, and K. Yamamoto, “Application of error diagnosis technique to incremental synthesis”, IEICE Trans. Fundamentals, vol. E86-A, no. 12, pp. 3214-3217, Dec. 2003
- [344] Takeaki Sugimura, JeoungChill Shim, Hiroyuki Kurino, and Mitsumasa Koyanagi, “Parallel Image Processing Field Programmable Gate Array for Real Time Image Processing System” pp. 372-374, Proceedings of 2003 IEEE International Conference on Field-Programmable Technology

(ICFPT2003)

- [345] 杉村武昭, 出口 淳, 沈 正七, 栗野浩之, 小柳光正, “周波数変調パルス型イメージセンサを用いたロボットのための適応ビジョンシステム”, pp. 106-107, 日本機械学会東北支部第 39 期総会・講演会講演論文集 No. 041-1 (2004)
- [346] Jun Zhang, JeoungChill Shim, Hiroyuki Kurino and Mitsumasa Koyanagi, “A New Pipelined Architecture for High Speed IP Routing Lookup”, Forum on Information Technology 2003
- [347] Jun Zhang, JeoungChill Shim, Hiroyuki Kurino and Mitsumasa Koyanagi, “Design and Evaluation of a High Speed Routing Lookup Architecture”, IEICE Transactions on Communications, VOL. E87-B, No. 3, pp. 406-412, March 2004.
- [348] Z. Liu, H. Kurino and M. Koyanagi, “Design of Parallel Processor Chip with High-Speed Data-Transfer Function”, 1st International Symposium on Mechanical Science Based on Nanotechnology
- [349] Z. Liu, H. Kurino and M. Koyanagi, “Design of a Novel Real-Shared Memory Module for High Performance Parallel Processor System with Shared Memory”, The 18th International Conference on Advanced Information Networking and Applications (AINA 2004)
- [350] Jun Deguchi, Taiichiro Watanabe, Tomonori Nakamura, Yoshihiro Nakagawa, Shim Jeoung-Chill, Hiroyuki Kurino, Toshiaki Abe, Makoto Tamai and Mitsumasa Koyanagi, “Three-Dimensionally Stacked Analog Retinal Prosthesis Chip”, Japanese Journal of Applied Physics, PT., Vol. 43, No. 4B, (accepted) .
- [351] Yoshihiro Nakagawa, Jun Deguchi, Shim Jeoung-Chill, Hiroyuki Kurino and Mitsumasa Koyanagi, “The Vision Chip with Electrical Fovea Motion”, Japanese Journal of Applied Physics, PT., Vol. 43, No. 4B, (accepted) .
- [352] Jun Deguchi, Taiichiro Watanabe, Tomonori Nakamura, Yoshihiro Nakagawa, Shim Jeoung-Chill, Hiroyuki Kurino and Mitsumasa Koyanagi, “Three-Dimensionally Stacked Analog Retinal Prosthesis Chip”, Extended Abstracts of 2003 International Conference on Solid State Device and Materials, pp. 402-403 (SSDM2003) .
- [353] Yoshihiro Nakagawa, Jun Deguchi, Shim Jeoung-Chill, Hiroyuki Kurino and Mitsumasa Koyanagi, “The Vision Chip with Electrical Fovea Motion”, Extended Abstracts of the 2003 International Conference on Solid State Device and Materials, pp. 370-371 (SSDM2003) .
- [354] 出口 淳, 渡部泰一郎, 中村共則, 沈 正七, 栗野浩之, 小柳光正, “積層型人工眼のための刺激パルス制御回路の検討”, 第 64 回応用物理学会関連連合講演会予稿集, 3, 30p-S-7, 1185 (2003) .
- [355] 出口 淳, 渡部泰一郎, 中村共則, 沈 正七, 栗野浩之, 阿部俊明, 玉井 信, 小柳光正, “積層型人工眼のための基本回路の試作と評価”, 第 51 回応用物理学会関連連合講演会, 3, 29a-ZD-3, 1438 (2003) .
- [356] 岡田, 中村, 吉原, 菅原, 益, “動的再構成可能なアナログ RF 回路設計技術”, pp. 243-246, システム LSI ワークショップ (2003) .
- [357] 岡田, 菅原, 吉原, 五味, 伊藤, 益, “可変インダクタを用いた動的再構成 RF 回路設計技術”, pp. 13-18, 電気学会マグネティックス研究会 (2003) .
- [358] Hidenari Nakashima, Junpei Inoue, Kenichi Okada, and Kazuya Masu, “ULSI Interconnect Length Distribution Model Considering Core Utilization”, No. 2, pp. 1210-1215, Design Automation and Test in Europe (2004) .
- [359] 井上淳平, 中島英斉, 岡田健一, 益 一哉, “配線長分布を用いた 65nm プロセスにおける配線構造最適化手法”, A-3-21, 電子情報通信学会総合大会 (2004) .
- [360] 井上淳平, 中島英斉, 岡田健一, 益 一哉, “配線長分布を用いた 65nm プロセスにおける配線構造の最適化”, YD-10, 春季第 50 回応用物理学会関係連合講演会 (2004) .
- [361] 中島英斉, 井上淳平, 岡田健一, 益 一哉, “配置効率を考慮した配線長分布”, STARC シンポジウム (2003) .
- [362] 中島英斉, 井上淳平, 岡田健一, 益 一哉, “配置効率を考慮した配線長分布予測”, A-3-4, 電子情報通信学会ソサイエティ大会 (2003) .
- [363] 井上淳平, 中島英斉, 高木直弘, 岡田健一, 益 一哉, “ネットリストからの配線長分布導出”, 1p-YB-11, 秋季第 64 回応用物理学会学術講演会 (2003) .
- [364] 吉原, 五味, 中村, 伊藤, 岡田, 益, “可変インダクタを用いた広帯域 LC 型電圧制御発振器”, 31p-YD-9, 秋季応用物理学会 (2003)
- [365] 吉原, 菅原, 五味, 岡田, 益, “可変インダクタを用いた広帯域電圧制御発振器”, C-12-14, 電子情報通信学会ソサイエティ大会 (2003)
- [366] 吉原, 菅原, 伊藤, 岡田, 益, “動的再構成による LC-VCO の広帯域化”, ICD2003-112, pp. 277-281, 電子情報通信学会デザインガイア (2003)

- [367] 吉原, 菅原, 伊藤, 岡田, 益, “可変インダクタを用いた広帯域 CMOS VCO の設計”, C-12-28, 電子情報通信学会総合大会 (2004)
- [368] Shinichiro Gomi, Yoshisato Yokoyama, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, Hiroaki Hoshino, Hidetoshi Onodera, and Kazuya Masu, “Variable RF Inductor on Si CMOS Chip”, International Conference on Solid State Devices and Materials, pp. 398-399, 2003.
- [369] 五味振一郎, 中村恒一, 伊藤浩之, 岡田健一, 益 一哉, “Si ULSI における GHz 帯差動伝送線路駆動受端回路の設計”, 電子情報通信学会総合大会 (於 東京工業大学), A-3-24, March 2004.
- [370] 五味振一郎, 横山佳巧, 菅原弘雄, 伊藤浩之, 岡田健一, 益 一哉, “MEMS 技術を用いた RF 可変インダクタ”, 2003 年秋季第 64 回応用物理学会学術講演会, 31p-YD-14, Sept. 2003.
- [371] 中村恒一, 吉原義昭, 岡田健一, 益 一哉, “Si ULSI における差動伝送線路駆動回路の設計”, 2003 年秋季第 64 回応用物理学会学術講演会, 31p-YD-9, Sept. 2003.
- [372] 山田, 菅原, 岡田, 沖, 益, 堀池, “in vivo ワイヤレス通信チップ用送受信回路に関する研究”, B-5-145, 電子情報通信学会総合大会 (2004).
- [373] 伊藤浩之, 岡田健一, 益 一哉, “Si ULSI 内差動伝送線路の時間領域測定による評価”, A-3-23, 電子情報通信学会総合大会 (2004).
- [374] 伊藤浩之, 岡田健一, 益 一哉, “Si CMOS チップ内差動伝送線路の時間領域測定による評価”, 2004 年春季第 50 回応用物理学会関係連合講演会, YD-10, March 2003.
- [375] 伊藤浩之, 岡田健一, 益 一哉, “Si ULSI 内の差動伝送線路の設計及び評価”, VDEC デザイナーフォーラム, Aug. 2003.
- [376] Hiroyuki Ito, Kenichi Okada and Kazuya Masu, “Low Crosstalk Bus Line Configuration Using Differential Transmission Line Interconnect on Si ULSI”, Asia-Pacific Microwave Conference, No. 2, pp. 1006-1009, 2003.
- [377] Hiroyuki Ito, Shinichiro Gomi, Hirotaka Sugawara, Kenichi Okada, and Kazuya Masu, “Low Crosstalk Differential Transmission Line Interconnect on Si ULSI”, Advanced Metallization Conference, pp. 9-10, 2003.
- [378] Hiroyuki Ito, Shinichiro Gomi, Hirotaka Sugawara, Kenichi Okada, and Kazuya Masu, “Low Crosstalk Differential Transmission Line Interconnect on Si ULSI”, Advanced Metallization Conference Asian Session, pp. 56-57, 2003.
- [379] 伊藤浩之, 岡田健一, 益 一哉, “差動伝送線路を用いた Si ULSI 内の広帯域バス構造”, STARC シンポジウム, Sept. 2003.
- [380] 伊藤浩之, 岡田健一, 益 一哉, “差動伝送線路を用いた Si ULSI 内の広帯域バス構造”, 電子情報通信学会ソサイエティ大会, A-3-5, Sept. 2003.
- [381] 伊藤浩之, 五味振一郎, 菅原弘雄, 岡田健一, 益 一哉, “差動伝送線路を用いた Si ULSI 内の低クロストークバスライン”, 2003 年秋季第 64 回応用物理学会学術講演会, 31p-YD-10, Sept. 2003.
- [382] H. Yotsuyanagi, T. Iwakiri, M. Hashizume, T. Tamesada, “Test Pattern Generation for CMOS Open Defect Detection by Supply Current Testing under AC Electric Field”, pp. 537-543, IEICE Trans. on INF. & SYST. Vol. E87-D, No. 3 (2004)
- [383] 出川, “多値論理に基づくプログラマブルデジタルフィルタ LSI の性能評価”, 電子情報通信学会 2004 年総合大会, No. SC-11-14, pp. S-77-S-78, March 2004.
- [384] K. Degawa, T. Aoki and T. Higuchi, “Design of a field-programmable digital filter chip using multiple-valued current-mode logic”, IEICE Trans. Fundamentals, Vol. E86-A, No. 8, pp. 2001-2010, August 2003.
- [385] K. Degawa, T. Aoki and T. Higuchi, “A field-programmable digital filter chip using multiple-valued current-mode logic”, Proceedings of the 33rd IEEE International Symposium on Multiple-Valued Logic, pp. 213-220, May 2003.
- [386] 若松泰平, 本間尚文, 崎山 淳, 青木孝文, 樋口龍雄, “Counter Tree Diagram に基づく冗長 2 進加算器の設計”, 電子情報通信学会 2004 年総合大会, No. A-3-10, pp. 77, March 2004.
- [387] S. Sato, K. Nemoto, S. Akimoto, M. Kinjo, and K. Nakajima, “Implementation of a New Neurochip Using Stochastic Logic”, vol. 14, no. 5, pp. 1122-1127, IEEE Transactions on Neural Networks (2003)
- [388] N. Kawai and S. Kawahito, “Noise Analysis of High-Gain, Low-Noise Column Readout Circuits for CMOS Image Sensors”, IEEE Trans. Electron Devices, vol. 51, pp. 185-194, Feb. 2004.
- [389] 飯田, 清水, “商用ソフトを用いない SFL ベースの LSI 試作の試行”, pp. 75-80, 情処研報, SLDM-114 (2004)
- [390] 高橋知宏, 羽生貴弘, “電流モード制御信号多重化に基づ

く高速非同期データ転送LSIの試作”, 電子情報通信学会総合大会講演論文集, pp. S73-S74, March 2004.

- [391] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, “Josephson-CMOS hybrid memory with ultra-high-speed interface circuit”, IEEE Trans. Appl. Superconductivity. vol. 13, June, 2003, pp. 467-470.
- [392] K. Fujiwara, H. Miyakawa, N. Yoshikawa, Y. Feng, S. R. Whiteley, T. Van Duzer, “Implementation and Low Speed Test of Ultra-Fast Interface Circuits for Josephson-CMOS Hybrid Memories”, Physica C 392-396, 2003, pp. 1495-1500.
- [393] T. Van Duzer, S. R. Whiteley, X. Meng, Q. Liu and N. Yoshikawa, “High-speed interface amplifiers for SFQ-to-CMOS conversion”, Extended Abstract of 9th International Superconductivity Conference, 7-11 July 2003, Sydney, Australia, PMo35.
- [394] 城殿征志, 吉川信行, 吉田 晃, 平野 悟, “SFQ/CMOS ハイブリッドADコンバータ用CMOSデシメーションフィルタの設計”, 信学技報SCE2003-38, 超伝導エレクトロニクス研究会, 東京, 2004年1月.
- [395] 富田卓哉, 宮川英明, 吉川信行, “SFQ/CMOS ハイブリッドメモリシステム用メモリセルの動作特性”, 2003年秋期応用物理学学会学術講演会, 1p-N-7, 福岡大学, 2003年8月.
- [396] 吉川信行, 本告 圭, 城殿征志, “SFQ ADコンバータ用CMOSデシメーションフィルタの設計”, 2003年秋期応用物理学学会学術講演会, 1p-N-9, 福岡大学, 2003年8月.
- [397] 富田卓哉, 小嶋英充, 宮川英明, 吉川信行, “SFQ/CMOS ハイブリッドメモリの実現に向けたSFQ出力回路の統合”, 2004年電子情報通信学会総合大会, C-8-3, 青山学院大学, 2004年3月.
- [398] 道江寛之, 城殿征志, 吉川信行, 吉田 晃, 平野 悟, “SFQ/CMOS ハイブリッドADコンバータ用CMOSデシメーションフィルタのシステム評価” 2004年電子情報通信学会総合大会, C-8-13, 青山学院大学, 2004年3月.
- [399] 秋本 彩, 山梨裕希, 道江寛之, 城殿征志, 吉川信行, “SFQ論理回路設計における論理合成ツール導入の検討”, 2004年春期応用物理学学会学術講演会, 30a-YE-6, 東京工科大学, 2004年3月.
- [400] 徳田勝利, 富田卓哉, 吉川信行, “SFQ/CMOS ハイブリッドシステム用CMOS差動アンプの設計と試作”, 2004年春期応用物理学学会学術講演会, 30p-YE-11, 東京工科大学, 2004年3月.
- [401] Gen Hashiguchi, Takushi Goda, Maho Hosogi, Ken Hirano, Noritada Kaji, Yoshinobu Baba, Kuniyuki Kakushima and Hiroyuki Fujita, “DNA manipulation and retrieval from an aqueous solution with micromachined nanotweezers”, Analytical Chemistry, 75, pp. 4347-4350 (2003)
- [402] T. Iizuka, T. Oba, H. Fujita. “Fabrication of electrostatic micro-actuators for a hard disk drive application”, Journal of Micromechatronics, vol. 2-no. 1, pp. 47-64 (2003)
- [403] 赤松直樹, 鈴木隆文, 満洲邦彦, 藤田博之, 金範??竹内昌治, “神経電位計測用フレキシブルシリコンプローブアレイ”, 電気学会論文誌E部門誌, vol. 123-no. 12, pp. 571-576 (2003)
- [404] Younghak, Cho, Tony Kuki, Yamato Fukuda, Hiroyuki Fujita, Beomjoon Kim, “Fabrication of sharp knife-edged micro probe card combined with shadow mask deposition”, Sensors and Actuators A, 2003
- [405] Yamato FUKUTA, Hiroyuki FUJITA and Hiroshi TOSHIYOSHI. “Vapor Hydrofluoric Acid Sacrificial Release Technique for Micro Electro Mechanical Systems Using Labware”, Jpn. J. Appl. Phys., vol. 42, Part 1, no. 6A, pp. 3690-3694 (2003. 6)
- [406] 猿田訓彦, 藤田博之, 年吉 洋, “SOI基板によるマイクロレンズ光スキャナの製作”, 電気学会E部門論文誌, vol. 123, no. 07, pp. 231-236 (2003. 7)
- [407] Matthieu DENOUEAL, Laurant GRISCOM, Hiroshi TOSHIYOSHI and Hiroyuki FUJITA, “Accurate Double-Height Micromolding Method for Three-Dimensional PolyDiMethylSiloxane Structures”, Jpn. J. Appl. Phys. vol. 42, pp. 4598-4601, Part 1, no. 7A (2003. 7)
- [408] 高橋良文, 竹内雄二, 藤田博之, “光応用計測用MEMS光スキャナ”, 電気学会論文誌Eセンサ・マイクロマシン準部門誌, vol. 123, no. 10, pp. 403-409 (2003. 10)
- [409] 藪部 忠, 藤田博之, “静電ワブルモータの解析”, 電気学会論文誌Eセンサ・マイクロマシン準部門誌, vol. 123, no. 10, pp. 442-447 (2003. 10)
- [410] 藪部 忠, 藤田博之, “非対称グレーティング回折格子による平面集積形光偏光機能素子”, 電気学会論文誌E, Vol. 123, no. 12, pp. 565-570 (2003. 10)
- [411] M. Frenea, S. Faure, B. Le Pioufle, Ph. Coquet, H. Fujita, “Positioning living cells on a high density electrode array by negative dielectrophoresis”, Materials, Science&Engineering C-Bio S, vol. 23-no. 5, pp. 597-603 (2003. 10)

- [412] 安井 学, 角嶋邦之, 平林康男, 三田 信, 藤田博之, “円形状微細穴形成に対する犠牲層としての電着レジストの適用”, 電気学会論文誌Eセンサ・マイクロマシン準部門誌, vol. 123, no. 11, pp. 477-482 (2003. 11)
- [413] 藤田博之, “マイクロ・ナノマシンの展望”, 静電気学会誌 157 vol. 27, No. 6, pp. 258-261 (2003. 11)
- [414] 吉野智則, 年吉 洋, 三田 信, 小林 大, 藤田博之, “磁気ディスクヘッド素子駆動用静電マイクロアクチュエータ”, 電気学会論文誌Eセンサ・マイクロマシン準部門誌, 124 卷 1 号, pp. 21-27 (2003. 12)
- [415] Hiroyuki FUJITA, Shoji TAKEUCHI, Agnes TIXIER, Gonzalo CABODEVILA, Gen HASHIGUCHI, “Micromachined Devices for Bio/Nano Interface”, ICBN 2003 TOKYO, The First International Congress on Bio-Nanointerface, p. 99, Science Council of Japanese and Institute for Interface Science and Technology, May 19-24 (2003)
- [416] Hiroyuki Fujita. “Micro/Electromechanical Systems Based on IC Processes”, Korea-Japan International Symposium of Micro/Nano Mechatronics Technology, May 7, 2003, pp. 1-51 (2003)
- [417] M. Denoual, K. Aoki, A. Mita-Tixier, H. Fujita, “Handling and Fixing in a Micro-fluidic Device”, Bioengineered and Bioinspired Systems Conferences, proceedings of SPIE vol. 5119, pp. 19-21, Maspalomas, Gran Canaria, Canary, Islands, Espagne (2003)
- [418] Ryuji Yokokawa, Shoji Takeuchi, Takahide Kon, Masaya Nishiura, Masaki Edamatsu, Kazuo Sutoh, and Hiroyuki Fujita, “Control of Biomolecular Motors for Nano Transfer System”, JSME ROBOMECH '03, Hakodate, Hokkaido, May 23-25 (2003)
- [419] T. Sonobe, H. Fujita, “PLC-Optical Circulator and Isolator Based on Blazed Diffraction Grating”, Transducers '03, The 12th International Conference on Solid-State Sensors, Actuators and Microsystems, IEEE/EDS, pp. 583-586, Jun. 8-12 (2003)
- [420] Ryuji Yokokawa, Shoji Takeuchi, Takahide Kon, Masaya Nishiura, Masaki Edamatsu, Kazuo Sutoh, and Hiroyuki Fujita, “On/Off Control of Biomolecular Motors in a Microfluidic Device”, The 12th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '03), Boston, USA, June 8-12 (2003)
- [421] A. Tixier-Mita, Y. Mita, H. Fujita, “A Simple, Robust and Controllable Nano-structures Fabrication Technique Using Standard Si Wafers”, Transducers'2003, pp. 250-253 (2003)
- [422] Younghak Cho, Tony Kuki, Yamato Fukuta, Hiroyuki Fujita, Beomjoon KIM, “Si-based micro probe card with sharp knife-edged tips combined metal deposition”, Proc. of the 12th. Int. Conference on Solid-State Sensors, Actuators and Microsystems (Transducer '03), June 8-12, Boston, USA, Vol. 1, 2E94. P, pp. 774-777 (2003)
- [423] Yamato Fukuta, Yoshio Mita, Makoto Arai, Hiroyuki Fujita, “Pneumatic Two-Dimensional Conveyance System for Autonomous Distributed MEMS”, The 12th International Conference on Solid-State Sensors and Actuators (Transducers '03), June 8-12, Boston, USA, 3A2.4 pp. 1019-1022 (2003)
- [424] Makoto Mita, Hiroaki Kawara, Hiroshi Toshiyoshi, Manabu Ataka, Hiroyuki Fujita, “An Electrostatic 2-Dimensional Micro-Gripper for Nano Structure”, Proc. the 12th Int. Conf. on Solid-State Sensors. Actuators and Microsystems (Transducers 03). Boston Marriott Copley Place. Boston. MA. USA. June 8-12.2003. 4D1.2. pp. 1768-1771 (2003)
- [425] Proc. the 12th Int. Conf. on Solid-State Sensors. Actuators and Microsystems (Transducers 03). Boston Marriott Copley Place. Boston. MA. USA. June 8-12.2003. 4D1.2. pp. 1768-1771 (2003)
- [426] K. Kakushima, H. Fujita, “Micromachined Tools for Fabrication and Characterization in Nano Region”, US-Japan Workshop on “ ” Frontiers of Nanoscale Science and Technology, July 10-12, 2003, pp. 86-8 (2003)
- [427] Kunihiro Saruta, Hiroyuki Fujita, Hiroshi Toshiyoshi, “Bulk Micromachined Two-Dimensional Lens Scanners for Transparent Optical Fiber Switches”, US-Japan Workshop on Frontiers of Nanoscale Science and Technology, July 10-12, 2003, pp. 90-91 (2003)
- [428] Dai Kobayashi, Shigeki Kawai, Daisuke Saya, Hiroshi Toshiyoshi, Hiroyuki Fujita, Hideki Kawakatsu, “Optically addressing a large number of cantilevers”, Abstract of 12th International Conference on Scanning Tunneling Microscopy/Spectroscopy and Related Techniques, Mo-1-C4 (2003)
- [429] Hiroyuji Fujita, “Visualization of Bio/Nano Experiments by MEMS Tools”, Fifth Finland-Japan Joint Symposium on Optics in Engineering (OIE '03), Technical Digest, Aug. 7-9, 2003, M1 (2003)
- [430] Eric Leclerc, Alexis Debray, Nicolas Tiercelin, Teruo Fujii, and Hiroyuki Fujita, “Silicon based optical scanner using PDMS as torsion springs”, 2003 IEEE/LEOS International Conference on Optical MEMS, 18-21 August, 2003, Waik-

oloa, Hawaii, pp. 95-96 (2003)

- [431] Keiji Isamoto, Kazuya Kato, Atsushi Morosawa, Changho Chong, Hiroyuki Fujita, Hiroshi Toshiyoshi, "Microelectromechanical VOA Design for High Shock-Tolerance and Low Temperature-Dependence", 2003 IEEE/LEOS International Conference on Optical MEMS, 18-21 August, 2003, Waikoloa, Hawaii, pp. 95-96 (2003)
- [432] N. Akamatsu, T. Suzuki, K. Mabuchi, H. Fujita, B. J. Kim, S. Takeuchi, "Fabrication and Evaluation of A Silicon Probe Array on a Flexible Substrate for Neural Recording", 25th ANNUAL INTERNATIONAL CONFERENCE OF THE IEEE ENGINEERING IN MEDICINE AND BIOLOGY SOCIETY (EMBC) , 17-21 September 2003, Fiesta Americana Grand Coral Beach, Cancun, Mexico, (2003)
- [433] C. Chong, K. Isamoto, H. Fujita, H. Toshiyoshi, "Variable Optical Attenuator with Simple SOI-MEMS Mirror", Proc. the 29th European Conference on Optical Communication/the 14th Int. Conf. on Integrated Optics and Optical Fiber Communication (ECOC/IOOC 2003) . Sep. 21-25.2003. Rimini. Italy. Mo-3.5.2 (2003)
- [434] Hiroyuki Fujita, "Research Activities on MEMS&NEMS", The Second IIS-EPFL Workshop on Micro/Nano Mechatronics and Production Technologies, October 20, 2003, Lausanne, Switzerland, pp. 13-15 (2003)
- [435] Hiroyuki Fujita, "Handling and Utilization of Biological Objects in MEMS/NEWS", 1st Korea-Japan Symposium on Microsystem for Life Science and Chemistry (1st KJSMCLC) , October 29-30, 2003, KAIST, Daejeon, Korea, pp. 79-80 (2003)
- [436] Hiroyuki Fujita, "Handling and Utilization of Biological Objects in MEMS/NEWS", 3rd International Symp. on Nano-Biotechnology, Oct. 31, 2003, Gyeonggi Technopark, Korea, pp. 1-16 (2003)
- [437] M. Denoual, K. Aoki, A. Mita-Tixier, H. Fujita, "A Microfluidic Device for Long-Term Study of Individual Cells", Micro Total Analysis System (mTAS) , USA (2003)
- [438] A. Tixier-Mita, H. Fujita, "Bio-MEMS and Integration with Micro-optics", MOC'2003, pp. 100-103 (2003)
- [439] Hiroyuki Fujita, "Two Directions of Development! Commercialization and Nano Frontier", The 9th International Micromachine/Nanotech Symposium, November 13, 2003, Tokyo, Japan, pp. 73-74 (2003)
- [440] D. Kobayashi, Y. Mita, T. Shibata, T. Bourouina, H. Fujita, P. Beauvillan, "High-Precision Metal-on-Insulator Micro Spires for Use in Nonmagnetic-Probe Magnetic Microscopy", MME 2003 14th Micro Mechanics Europe Workshop, 2-4 November 2003, Delft, The Netherlands, pp. 131-134 (2003)
- [441] Hiroyuki Fujita, "BIO meets MEMS", NanoTech 2003, 25-27 November 2003, Montreux, Switzerland (2003)
- [442] Hideyuki Arata, S. Takeuchi, G. Tresset, Y. Rondelez, K. Tabata, H. Noji, H. Fujita, "Mems Devices for Detecting Correspondence between Mechanical Rotation and ATP Consumption in a Single Biomolecular Motor", The Sixth The University of Tokyo-Seoul National University Joint Seminar on Electrical Engineering 2003 November Seoul (2003)
- [443] Y. A. Chapuis, Y. Fukuta, Y. Mita, H. Fujita, "Les Microsystemes Intelligents! Technologies et Applications", Proceeding of Journees Scientifiques Francophones (JSF 2003) , Tokyo, Japan, November 24-26 (2003)
- [444] Alexis Debray, Nicolas Tiercelin, Eric Leclerc, Alfred Ludwig, Eckhard Quandt, Hiroshi Toshiyoshi, Teruo Fujii et Hiroyuki Fujita, "Nouveaux types de scanner laser 2D pour application automobiles, grace aux techniques de micro-usinage", Journees Scientifiques Francophones, Tokyo (2003)
- [445] C. Chong, K. Isamoto, H. Fujita, H. Toshiyoshi, "Variable Optical Attenuator with Simple SOI-MEMS Mirror (tentative title)", Asia-Pacific Optical and Wireless Communications (APOC 2003) . Nov. 2-6.2003. Wuhan Science and Technology Conference&Exhibition Center. Wuhan. China (2003)
- [446] Hiroyuki FUJITA, "MEMS applications to energy generation", Science et Defense 2003, 2-3 December 2003, Paris, France (2003)
- [447] 新田英之, 竹内昌治, 野地博之, 藤田博之, "顕微鏡観察下における局所的溫度制御のためのマイクロデバイス", 電気学会論文誌E センサ・マイクロマシン準部門誌 (2004)
- [448] Hideyuki Arata, S. Takeuchi, G. Tresset, Y. Rondelez, K. Tabata, H. Noji, H. Fujita, "Mems Devices for Detecting Correspondence between Mechanical Rotation and and ATP Consumption in a Single Biomolecular Motor", IEEE MEMS 2004 Maastricht (2004)
- [449] Y. —A. Chapuis, Y. Fukuta, Y. Mita, H. Fujita, "Distributed MEMS-Microvalves Suitable for Improving Performances of Intelligent Pneumatic Two-Dimensional Micro-Conveyer", Proceeding of SPIE International Symposium-Smart Structures and Materials, San Diego, CA USA, 14-18 March

- [450] Hiroyuki Fujita, Hiroshi Toshiyoshi, Kuniyuki Kakushima, Ryuji Yokokawa, "Micro and Nano Electromechanical Devices for the Evolution of Electronics", Proceedings of International Symposium on Electronics for Future Generations, March 10-11, 2004, Tokyo, Japan (2004)
- [451] Hiroshi Toshiyoshi, Akio Higo, Hiroyuki Fujita, "Micro/Nano Electromechanical Devices for Integrated Photonic Systems", Proceedings of International Symposium on Electronics for Future Generations, March 10-11, 2004, Tokyo, Japan (2004)
- [452] M. Miyano, M. Watanabe, F. Kobayashi, "Configuration for an Optically Differential Reconfigurable Gate Array", SICE Annual Conference, TE'13-3, (2003) .
- [453] M. Watanabe, F. Kobayashi, "A finite physical quantity neural network VLSI with a learning capability", SICE Annual Conference, TE'13-4, (2003) .
- [454] M. Watanabe, F. Kobayashi, "Design of an Optically Differential Reconfigurable Gate Array VLSI chip with optically and electrically controlled logic blocks", 16th Annual IEEE International ASIC/SOC Conference, pp. 287-288, (2003) .
- [455] M. Watanabe, F. Kobayashi, "An Optically Differential Reconfigurable Gate Array with a partial reconfiguration optical system and its power consumption estimation", 17th International Conference on VLSI Design,, (2003) .
- [456] M. Watanabe, F. Kobayashi, "An Optically Differential Reconfigurable Gate Array with a dynamic reconfiguration circuit", 17th international parallel&Distributed Processing Symposium, pp. 188, (2003) .
- [457] 渡邊, 小林, "部分再構成が可能な光再構成型ゲートアレイ VLSI", 電子情報通信学会論文誌, Vol. J86, No. 8, pp. 869-877, (2003) .
- [458] 宮野, 渡邊, 小林, "差分型光再構成ゲートアレイの回路実装評価", 第7回システムLSIワークショップ, pp. 335-338, (2003) .
- [459] 宮野, 渡邊, 小林, "差分型光再構成ゲートアレイの連続再構成", 第22回計測自動制御学会九州支部学術講演会予稿, 203A2, (2003) .
- [460] 志岐, 渡邊, 小林, "差分型光再構成ゲートアレイ VLSI部の遅延シミュレーション", 第22回計測自動制御学会九州支部学術講演会予稿, 203C7, (2003) .
- [461] 藤目, 渡邊, 小林, "差分光再構成型ゲートアレイに使用するダイナミック再構成回路", 電子情報通信学会集積回路研究会, 発表予定, (2003) .
- [462] 中村, 小林, 渡邊, "差分型光再構成ゲートアレイの開発支援システム", 第22回計測自動制御学会九州支部学術講演会予稿, 203C1, (2003) .
- [463] T. Morimoto, Y. Harada, T. Koide and H. J. Mattausch, "Efficient video-picture segmentation algorithm for cell-network-based digital CMOS Implementation", IEICE Transactions on Information&Systems, Vol. E87-D, No. 2, pp. 500-503, 2004.
- [464] Y. Harada, T. Morimoto, T. Koide, and H. J. Mattausch, "CMOS test chip for a high-speed digital image-segmentation architecture with pixel-parallel processing", Proceedings of the 2003 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2003) , pp. 284-287, 2003.
- [465] T. Morimoto, Y. Harada, T. Koide and H. J. Mattausch, "Low-power real-time region-growing image-segmentation in 0.35um CMOS due to subdivided-image and boundary-active-only architectures", Extended Abstracts of the 2003 International Conference on Solid State Devices and Materials (SSDM2003) , pp. 147-147, 2003.
- [466] T. Morimoto, Y. Harada, T. Koide and H. J. Mattausch, "350nm CMOS test-chip for architecture verification of real-time QVGA color-video segmentation at the 90nm technology node", Proceedings of the Asia South Pacific Design Automation Conference (ASP-DAC2004), pp. 531-532, 2004.
- [467] 森本高志, 原田洋明, 小出哲士, マタウシュ ハンスユルゲン, "リアルタイム画像処理のためのセルネットワークに基づくデジタル画像分割LSI", 第5回IEEE広島支部学生シンポジウム, pp. 221-224, 2003.
- [468] 桐山 治, 森本高志, 足立英和, 原田洋明, 小出哲士, マタウシュ ハンスユルゲン, "セルネットワークベース画像分割LSIの低消費電力化設計", 電子情報通信学会2004年総合大会, 2004.
- [469] T. Koide, Y. Yano, and H. J. Mattausch, "An associative memory for real-time applications requiring fully parallel nearest Manhattan-distance search", Proceedings of the workshop on synthesis and system integration of mixed information technologies (SASIMI2003) , pp. 200-205, 2003.
- [470] Y. Yano, T. Koide, and H. J. Mattausch, "Associative memory with fully parallel nearest-Manhattan-distance search for low-power real-time single-chip applications", Proceedings of the

- Asia South Pacific Design Automation Conference (ASP-DAC2004), pp. 543-544, 2004.
- [471] Y. Yano, T. Koide, and H. J. Mattausch, "Associative memory for high-speed hamming/Manhattan distance search with large reference pattern number", Second Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, pp. 38-39, 2004.
- [472] M. Mizokami, Y. Shirakawa, T. Koide, and H. J. Mattausch, "Chip-architecture for automatic learning based on associative memory and short/long term storage concept", Second Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, pp. 36-37, 2004.
- [473] 溝上政弘, 白川佳則, 小出哲士, マタウシュ ハンスユルゲン, "集積化認識システムのための連想メモリベース自動学習アーキテクチャ", 電子情報通信学会 2004 年総合大会, 2004.
- [474] 森 創司, 高橋篤司, "準同期方式による LSI のピーク消費電力の削減", 電子情報通信学会技術報告書 (VLD2003-141), Vol. 103, No. 702, pp. 31-36 (2004).
- [475] 宮岡, 戸川, 柳澤, 大附, "不規則なデータバスを持つプロセッサのハードウェア/ソフトウェア協調合成手法", pp. 441-446, 回路とシステム (軽井沢) ワークショップ (2003)
- [476] 田中, 戸川, 柳澤, 大附, "ネットワークスイッチング処理を対象とした CAM プロセッサ自動合成システム", pp. 435-440, 回路とシステム (軽井沢) ワークショップ (2003)
- [477] 戸川, 戸塚, 涌井, 柳澤, 大附, "A Hardware/Software Co-synthesis System for Processor Cores with Content Addressable Memories", pp. 1082-1092, IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences, Vol. E86-A, No. 5
- [478] 小田, 宮岡, 戸川, 橋, 柳澤, 大附, "システム LSI 設計における定性的側面を考慮したハードウェア/ソフトウェア分割システム", pp. 169-174, 情報処理学会 DA シンポジウム 2003
- [479] 清水, 戸川, 柳澤, 大附, "動的再構成可能システムによる Adaptive FEC の実装", pp. 25-30, 情報処理学会 DA シンポジウム 2003
- [480] 清水, 戸川, 柳澤, 大附, "FPGA を用いた Reconfigurable Adaptive FEC の実装と評価", 電子情報通信学会技術報告, Reconf2003-9
- [481] 石川, 宮岡, 戸川, 柳澤, 大附, "面積制約を考慮した CAM プロセッサ向けハードウェア/ソフトウェア協調設計手法", pp. 83-88, 電子情報通信学会技術報告, IE2003-98 (2003)
- [482] 石川, 宮岡, 戸川, 柳澤, 大附, "面積制約付き CAM プロセッサ合成手法", pp. 115-120, 電子情報通信学会技術研究報告, VLD2003-89 (2003)
- [483] 戸川, 笠原, 宮岡, 崔, 柳澤, 大附, "A retargetable simulator generator for DSP processor cores with packed SIMD-type instructions", pp. 3099-3109, IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences, Vol. E86-A, No. 12 (2003)
- [484] 戸川, 太刀掛, 宮岡, 柳澤, 大附, "A hardware/software partitioning algorithm for processor cores with packed SIMD-type instructions", pp. 3218-3224, IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences, Vol. E86-A, No. 12 (2003)
- [485] 内田, 戸川, 柳澤, 大附, "A thread partitioning algorithm in low power high-level synthesis", pp. 74-79, Proceedings of the ASP-DAC 2004
- [486] 宮岡, 戸川, 柳澤, 大附, "A cosynthesis algorithm for application specific processors with heterogeneous datapaths", pp. 250-255, Proceedings of the ASP-DAC 2004
- [487] 戸川, 太刀掛, 宮岡, 柳澤, 大附, "Instruction set and functional unit synthesis for SIMD processorcores", pp. 743-750, Proceedings of the ASP-DAC 2004
- [488] 清水, 内田, 宮岡, 戸川, 柳澤, 大附, "インターリーブを考慮した Reconfigurable Adaptive FEC", pp. 7-12, 電子情報通信学会技術研究報告, VLD2003-151
- [489] 石川, 内田, 宮岡, 戸川, 柳澤, 大附, "面積制約を考慮した CAM プロセッサ最適化手法", pp. 13-18, 電子情報通信学会技術研究報告, VLD2003-152
- [490] 加藤, 内田, 宮岡, 戸川, 柳澤, 大附, "Packed SIMD 型命令を持つプロセッサ合成システムのためのリターゲットブルコンパイラ", pp. 41-46, 電子情報通信学会技術研究報告, VLD2003-157
- [491] 小田, 内田, 宮岡, 戸川, 橋, 柳澤, 大附, "HW/SW 分割システムにおける仮想 IP 類推手法", pp. 47-52, 電子情報通信学会技術研究報告, VLD2003-158
- [492] 松浦, 内田, 宮岡, 戸川, 柳澤, 大附, "ネットワークプロセッサ合成システム", pp. 55-60, 電子情報通信学会技術研究報告, VLD2003-145

- [493] 宮岡, 戸川, 笠原, 崔, 柳澤, 大附, “An Instruction-Set Simulator Generator for SIMD Processor Cores”, pp. 160-167, Proceedings of workshop SASIMI2003.
- [494] Yingxue Xu, Takayuki Miyazaki, Hiroshi Kawaguchi, and Takayasu Sakurai, “Fast Block-Wise VDD-Hopping Scheme”, 電子情報通信学会ソサイエティ大会, A-3-11, 2003
- [495] 徳永和宏, 宮崎隆行, 桜井貴康, “低電力・ライブラリ・セルの選択に関する一検討”, 電子情報通信学会基礎・境界ソサイエティ大会, 新潟大学, A-3-8, 2003
- [496] 鬼塚浩平, 桜井貴康, “チップ間ワイヤレス電源伝送に関する検討”, 電子情報通信学会 2003 年基礎・境界ソサイエティ大会, 新潟, A-1-3, 2003
- [497] 石田光一, 桜井貴康, “負バイアス制御スイッチを用いた高精度スイッチトキャパシタ回路”, 電子情報通信学会ソサイエティ大会, 新潟, A-1-7, 2003
- [498] 宮崎隆行, 桜井貴康, “リーク電流エミュレーター高閾値デバイスによる低閾値エミュレーション”, 電子情報通信学会 2003 年基礎・境界ソサイエティ大会, 新潟, A-1-6, 2003
- [499] Danardono Dwi Antono, Takayasu Sakurai, “Modeling of Inductive Interconnect Responses and Coupling Effects”, 電子情報通信学会ソサイエティ大会, 新潟大学, SA-1-3, 2003
- [500] Fayed Robert Saliba and Takayasu Sakurai, “Low-Energy Flip-Flops Using Transistor Stack Effect”, 電子情報通信学会ソサイエティ大会, A­ ; 3, 2003
- [501] S. Yoshizumi, T. Terada, J. Furukawa, Y. Sanada, and T. Kuroda, “All Digital Transmitter Scheme and Transceiver Design for Pulse-Based Ultra-Wideband Radio”, IEEE Ultra Wideband Systems and Technologies (UWBST '03), pp. 438-442, Nov. 2003.
- [502] D. Mizoguchi, Y. B. Yusof, N. Miura, T. Sakurai, and T. Kuroda, “A 1.2Gb/s / pin Wireless Superconnect based on Inductive Inter-chip Signaling (IIS)”, IEEE International Solid-State Circuits Conference (ISSCC '03), Dig. Tech. Papers, pp. 142-143, Feb. 2004.
- [503] Toshihiko Yamasaki, Tomohiro Fukuda, and Tadashi Shibata, “A Floating-Gate-MOS-Based Low-Power CDMA Matched Filter Employing Capacitance Disconnection Technique”, Digest of Technical Papers of 2003 Symposium on VLSI Circuits, pp. 267-270, Kyoto, June 12-14, 2003.
- [504] 山崎俊彦, 福田智洋, 柴田 直, “フローティングゲート MOS 回路技術にキャパシタンス切り離し手法を用いた低消費電力 CDMA マッチトフィルタ”, 電子通信学会技術研究報告, (集積回路研究専門委員会 (ICD)), 論文番号 ICD2003-57, pp. 43-48, 2003 年 8 月.
- [505] Masakazu Yagi, Tadashi Shibata, “An Image Representation Algorithm Compatible to Neural-Associative-Processor-Based Hardware Recognition Systems”, IEEE Trans. Neural Networks, Vol. 14, No. 5, pp. 1144-1161, September (2003).
- [506] Toshihiko Yamasaki and Tadashi Shibata, “Analog Soft-Matching Classifier Using Floating-Gate MOS Technology”, IEEE Trans. Neural Networks, Vol. 14, No. 5, pp. 1257-1265, September (2003).
- [507] Teruyasu Taguchi, Makoto Ogawa, and Tadashi Shibata, “An Analog Image Processing LSI Employing Scanning Line Parallel Processing”, in the Proceedings of the 29th European Solid-State Circuits Conference (ESSCIRC 2003), pp. 65-68, Estoril, Portugal, September 16-18, 2003.
- [508] D. Kobayashi, Y. Mita, T. Shibata, T. Bourouina, H. Fujita, and P. Beauvillan, “High-Precision Metal-on-Insulator Micro Spires for Use in Nonmagnetic-Probe Magnetic Microscopy”, in Proc. 14th MicroMechanics Europe Workshop (MME '03), pp. 131-134, Delft, The Netherlands, Nov. 2-4, 2003.
- [509] Masakazu Yagi, Hideo Yamasaki, and Tadashi Shibata, “A Mixed-Signal VLSI for Real-Time Generation of Edge-Based Image Vectors”, to be published in Advances of Neural Information Processing Systems 16.
- [510] M. Umejima, T. Yamasaki, and T. Shibata, “A Bump-Circuit-Based Motion Detector Using Projected-Activity Histograms”, accepted for presentation at The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004).
- [511] H. Yamasaki, and T. Shibata, “A Real-Time VLSI Median Filter Employing Two-Dimensional Bit-Propagating Architecture”, accepted for presentation at The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004).
- [512] Tomoyuki Nakayama, Toshihiko Yamasaki, and Tadashi Shibata “Quasi-Parallel Multi-Path Detection Architecture Using Floating-Gate-MOS-Based CDMA Matched Filters”, accepted for presentation at The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004).
- [513] T. Yamasaki and T. Shibata, “A Low-Power Switched-Current CDMA Matched Filter with On-Chip V-I and I-V Con-

- verters”, IEEE Symposium on VLSI Circuits
- [514] H. Kimura and T. Shibata, “A Simple-Architecture Motion-Detection Analog VLSI Based on Quasi-Two-Dimensional Hardware Algorithm”, to be published in Analog Integrated Circuits and Signal Processing.
- [515] Y. Mita, D. Kobayashi and T. Shibata, “A Convex-Corner Preservation Principle in Bulk Micromachining and its Application to Nano-Point Needles”, The 12th International Conference on Solid-State Sensors and Actuators (Transducers '03), June 8-12, Boston, USA, 3E131. P pp. 1683-1686 (2003).
- [516] Y. MITA, T. BOUROUINA, A. TIXIER-MITA et T. SHIBATA, “Projet SAKURA! Collaboration franco-japonaise pour le developpement et la fourniture de nanostructures standardisees pour des systemes biologiques et optique (in French)”, Journees Scientifique Francophone 2003, 24-26, Novembre, Tokyo (2003).
- [517] 薛 宗陽, 染谷和孝, 関根好文, “逆伝搬特性を有する能動的樹状突起ハードウェアモデル”, 電子情報通信学会論文誌 c, vol. J86-C, no. 11, pp. 1160-1168, 2003. 11.
- [518] Zongyang Xue, Haruki Nagami, Kazutaka Someya, Katsutoshi Saeki and Yoshifumi Sekine, “A Study of Nonlinear Characteristics in a Hardware Active Dendrite Model”, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E86-A, no. 9, pp. 2287-2293, September 2003.
- [519] Naoya Sasano, Katsutoshi Saeki and Yoshifumi Sekine, Short-term memory circuit using hardware ring neural networks, Proc. 2004 Artif. Life and Robotics, GS21-1, pp. 123-127, Oita Japan, 2004. 1
- [520] 内田, 石川, 深井, “縦積み2段構成による増幅器の検討”, 電気学会電子回路研究会資料, ECT-03-94, pp. 15-18 (2003)
- [521] 石川, 深井, “FG-MOSによる多入力可変論理回路の提案”, 電気学会電子回路研究会資料, ECT-03-100, pp. 43-46 (2003)
- [522] 山口, 石川, 深井, “FG-MOSを用いたコンパレータの設計”, 電気学会電子回路研究会資料, ECT-03-101, pp. 47-50 (2003)
- [523] 内田, 石川, 深井, “佐賀大学 LSI 設計環境を用いた MOS 増幅器の設計”, 電気関係学会九州支部大会講演会論文集, 06-1A-11 (2003)
- [524] 山口, 深井, “FGMOSを用いたコンパレータの設計”, 電気関係学会九州支部大会講演会論文集, 06-1A-12 (2003)
- [525] 石川, 深井, “FG-MOSを用いた可変論理回路の提案とチップ試作”, 第7回システム LSI ワークショップ(2003)
- [526] Yuichiro Miyaoka, Nozomu Togawa, Kyosuke Kasahara, Jinku Choi, Masao Yanagisawa, and Tatsuo Ohtsuki, “An Instruction-Set Simulator Generator for SIMD Processor Cores”, Proc. of SASIMI2003, pp. 160-167, April 2003.
- [527] 宮岡祐一郎, 戸川 望, 柳澤政生, 大附辰夫, “不規則なデータパスを持つプロセッサのハードウェア/ソフトウェア協調合成手法”, 電子情報通信学会回路とシステム軽井沢ワークショップ論文集, pp. 441-446, April 2003.
- [528] 田中英夫, 戸川 望, 柳澤政生, 大附辰夫, “ネットワークスイッチング処理を対象とした CAM プロセッサ自動合成システム”, 電子情報通信学会回路とシステム軽井沢ワークショップ論文集, pp. 435-440, April 2003.
- [529] Nozomu Togawa, Takao Totsuka, Tatsuhiko Wakui, Masao Yanagisawa, and Tatsuo Ohtsuki, “A Hardware/Software Co-synthesis System for Processor Cores with Content Addressable Memories”, IEICE Trans. on Fundamentals, Vol. E86-A, No. 5, pp. 1082-1092, May 2003.
- [530] 清水一範, 戸川 望, 柳澤政生, 大附辰夫, “動的再構成可能システムによる Adaptive FEC の実装”, 情報処理学会 DA シンポジウム 2003 論文集, pp. 25-30, July 2003.
- [531] 清水友樹, 木村晋二, 堀山貴史, 中西正樹, 柳澤政生, “畳み込み機構をもつ FPGA のマッピング能力について”, 情報処理学会 DA シンポジウム 2003 論文集, pp. 31-36, July 2003.
- [532] 久保ゆき子, 戸川 望, 柳澤政生, 大附辰夫, “冗長記述を利用した VHDL への透かし埋め込み手法”, 情報処理学会 DA シンポジウム 2003 論文集, pp. 37-42, July 2003.
- [533] 安浦寛人, 末吉敏則, 久我守弘, 柳澤政生, 弘中哲夫, “VDEC IP プロジェクトの成果とその利用について 1. プロセッサコア IP”, 情報処理学会 DA シンポジウム 2003 論文集, pp. 115-120, July 2003.
- [534] 小田雄一, 宮岡祐一郎, 戸川 望, 橋 昌良, 柳澤政生, 大附辰夫, “システム LSI をにおける定性的側面を考慮したハードウェア/ソフトウェア分割システム”, 情報処理学会 DA シンポジウム 2003 論文集, pp. 169-174, July 2003.
- [535] 清水一範, 戸川 望, 柳澤政生, 大附辰夫, “FPGA を用いた Reconfigurable Adaptive FEC の実装と評価”, 電子情

- [536] 石川裕一郎, 宮岡祐一郎, 戸川 望, 柳澤政生, 大附辰夫, “面積制約を考慮したCAMプロセッサ向けハードウェア／ソフトウェア協調設計手法”, 電子情報通信学会デジタル信号処理研究会, Vol. DSP2003-138, pp. 115-120, October 2003.
- [537] 木村晋二, 原田恭典, 柳澤政生, “プロセッサにおける配線の再構成可能性の利用について”, 第7回システムLSIワークショップ, ポスターセッション, November 2003.
- [538] 石川裕一郎, 宮岡祐一郎, 戸川 望, 柳澤政生, 大附辰夫, “面積制約を考慮したCAMプロセッサ向けハードウェア／ソフトウェア協調設計手法”, 電子情報通信学会VLSI設計技術研究会, Vol. VLD89, pp. 115-120, November 2003.
- [539] Nozomu Togawa, Koichi Tachikake, Yuichiro Miyaoka, Masao Yanagisawa, and Tatsuo Ohtsuki, “A Hardware/Software Partitioning Algorithm for Processor Cores with Packed SIMD-Type Instructions”, IEICE Trans. on Fundamentals, Vol. E86-A, No. 12, pp. 3218-3224, December 2003.
- [540] 原田恭典, 木村晋二, 柳澤政生, “プロセッサにおける配線の再構成可能性の利用について”, 電子情報通信学会VLSI設計技術研究会, Vol. VLD114, pp. 1-6, Jan. 2004.
- [541] Junpei Uchida, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “A Thread Partitioning Algorithm in Low Power High-Level Synthesis”, Proc. of ASP-DAC 2004, pp. 74-79, Jan. 2004.
- [542] Yuichiro Miyaoka, Nozomu Togawa, Masao yanagisawa, and Tatsuo Ohtsuki, “A Cosynthesis Algorithm for Application Specific Processors with Heterogeneous Datapaths”, Proc. of ASP-DAC 2004, pp. 250-255, Jan. 2004.
- [543] Nozomu Togawa, Koichi Tachikake, Yuichiro Miyaoka, Masao Yanagisawa, and Tatsuo Ohtsuki, “Instruction Set and Functional Unit Synthesis for SIMD Processor Cores”, Proc. of ASP-DAC 2004, pp. 743-750, Jan. 2004.
- [544] 松浦 努, 内田純平, 宮岡裕一郎, 戸川 望, 柳澤政生, 大附辰夫, “ネットワークプロセッサ合成システム”, 電子情報通信学会VLSI設計技術研究会, Vol. VLD145, pp. 55-61, March 2004.
- [545] 小田雄一, 内田純平, 宮岡裕一郎, 戸川 望, 橋 昌良, 柳澤政生, 大附辰夫, “HW/SW 分割システムにおける仮想IP類推手法”, 電子情報通信学会VLSI設計技術研究会, Vol. VLD151, pp. 47-52, March 2004.
- [546] 石川裕一郎, 内田純平, 宮岡裕一郎, 戸川 望, 柳澤政生, 大附辰夫, “面積制約を考慮したCAMプロセッサ最適化手法”, 電子情報通信学会VLSI設計技術研究会, Vol. VLD152, pp. 13-18, March 2004.
- [547] 清水一範, 内田純平, 宮岡裕一郎, 戸川 望, 柳澤政生, 大附辰夫, “インターリーブを考慮したReconfigurable Adaptive FEC”, 電子情報通信学会VLSI設計技術研究会, Vol. VLD151, pp. 7-12, March 2004.
- [548] 加藤久晴, 内田純平, 宮岡裕一郎, 戸川 望, 柳澤政生, 大附辰夫, “Packed SIMD型命令を持つプロセッサ合成システムのためのリターゲットブルコンパイラ”, 電子情報通信学会VLSI設計技術研究会, Vol. VLD157, pp. 41-46, March 2004.
- [549] 吉岡, 宇佐美, “スリープトランジスタ制御による動的リーク電力の削減手法”, 電子情報通信学会東京支部学生会研究発表会, 予稿集—発表番号17, 2004年3月6日(2004).
- [550] K. Tanigawa, T. Hironaka, A. Kojima, and N. Yoshida, “PARS Architecture! A Reconfigurable Architecture with Generalized Execution Model — Design and Implementation of its Prototype Processor”, IEICE Transaction on Information and Systems, Vol. E86-D, No. 5, pp. 830-840, 2003.
- [551] 川崎貴之, 谷川一哉, 弘中哲夫, 児島 彰, “再構成情報圧縮機構を備えた粗粒度再構成型アーキテクチャ”, 第1回リコンフィギュラブルシステム研究会論文集, pp. 95-102, 2003.
- [552] K. Tanigawa, T. Kawasaki, and T. Hironaka, “A Coarse-Grained Reconfigurable Architecture with Low Cost Configuration Data Compression Mechanism”, IEEE International Conference on Field-Programmable Technology (FPT '03), pp. 311-314, 2003.
- [553] 鈴木圭介, 井上智宏, 佐々木敬泰, 谷川一哉, 弘中哲夫, 北村俊明, “汎用システム評価環境MPEを用いた検証・評価”, 第11回FPGA/PLD Design Conference ユーザ・プレゼンテーション論文集, pp. 113-120, 2004.
- [554] 山口和哲, 楯岡孝道, 阿部公輝, “機能と性能を取捨選択可能なIPsecハードウェア実装の検討”, インターネットコンファレンス2003論文集, p. 119, Oct. 2003.
- [555] 清水雅一, 阿部公輝, “局所同期型非同期回路におけるローカルタイミング生成回路の低消費電力設計”, 電子情報通信学会技術報告, Vol. 103, No. 476, pp. 259-264, Nov. 2003.

- [556] 矢崎俊志, 阿部公輝, “高速 Fourier 変換を用いた多倍長乗算器の設計と評価および VLSI への実装”, 電子情報通信学会技術報告, Vol. 103, No. 476, pp. 253-258, Nov. 2003.
- [557] 山口和哲, 楯岡孝道, 阿部公輝, “機能と性能を取捨選択可能な IPsec ハードウェア実装”, 情報処理学会コンピュータセキュリティ研究会報告, Vol. 35, No. CSEC-24, pp. 194-204, Mar. 2004.
- [558] 佐々木明彦, 阿部公輝, “シミュレーションによる DES 実装の DPA 耐性評価”, 電子情報通信学会技術報告 (情報セキュリティ研究会), ISEC2003-100, pp. 25-30, Mar. 2004.
- [559] 井上高宏, 常田明夫, 高宗義成, 竹中智哉, 江藤慎一郎, “集積化可能な高周波用ダイオードチャージポンプ型 AC-DC 変換回路の一解析法”, CDROM 06-2A-03 電気関係学会九州支部第 56 回連合大会講演論文集 (2003. 9)
- [560] 井上高宏, 常田明夫, 高宗義成, 江藤慎一郎, 竹中智哉, “集積化可能な低リップルチャージポンプ型 AC-DC 変換回路の一検討”, CDROM 06-2A-04 電気関係学会九州支部第 56 回連合大会講演論文集 (2003. 9)
- [561] 井上高宏, 常田明夫, 高宗義成, 江藤慎一郎, 竹中智哉, “集積化可能な高周波入力 AC-DC 変換定電圧電源回路の設計”, CDROM 06-2A-05 電気関係学会九州支部第 56 回連合大会講演論文集 (2003. 9)
- [562] 井上高宏, 常田明夫, 高宗義成, 江藤慎一郎, 竹中智哉, “集積化可能な高周波電磁誘導受電形定電圧電源回路の一設計とその解析”, pp. 69-72, 電気学会電子回路研究会 ECT-03-106 (2003. 11) .
- [563] 井上高宏, 常田明夫, 市原栄蔵, 鶴巢哲朗, 岩崎俊彦, 井本和之, “スイッチトカレント電流コピ回路における電流コピー誤差低減の一手法”, pp. 61-64, 電気学会電子回路研究会 ECT-03-104 (2003. 11) .
- [564] 井上高宏, 常田明夫, 市原栄蔵, 鶴巢哲朗, 井本和之, 岩崎俊彦, “低電圧半クロック遅延電流コンパレータ回路の一設計とその解析”, pp. 65-68, 電気学会電子回路研究会 ECT-03-105 (2003. 11) .
- [565] 井上高宏, 常田明夫, 市原栄蔵, 鶴巢哲朗, 井本和之, 岩崎俊彦, “低電圧半クロック遅延電流コンパレータ回路の一設計”, CDROM 06-1A-13, 電気関係学会九州支部第 56 回連合大会講演論文集 (2003. 9).
- [566] 井上高宏, 常田明夫, 市原栄蔵, “マウスの腹部心音センサー信号から心拍数を抽出する CMOS 集積化可能な電子回路”, CDROM 06-1A-03, 電気関係学会九州支部第 56 回連合大会講演論文集 (2003. 9).
- [567] 井上高宏, 常田明夫, 山川俊貴, 尾園弘和, “CMOS リング発振器形 ASK 変調器の設計に関する一考察”, CDROM 06-1A-10, 電気関係学会九州支部第 56 回連合大会講演論文集 (2003. 9).
- [568] 井上高宏, 常田明夫, 山川俊貴, 尾園弘和, “CMOS リング発振器型 ASK 変調器の一設計とその解析”, pp. 57-60, 電気学会電子回路研究会 ECT-03-103 (2003. 11) .
- [569] 井上高宏, 常田明夫, 市原栄蔵, 山川俊貴, “浮遊ゲート上の初期電荷に依らない FG-MOSFET のみかけのしきい電圧の電子的固定手法とその解析”, pp. 51-55, 電気学会電子回路研究会 ECT-03-102 (2003. 11) .
- [570] 井上高宏, 常田明夫, 日野臣教, 李孜, 千代永純一, “プログラブルキャパシタアレイの周波数特性の解析と設計”, pp. 7-10, 電気学会電子回路研究会 ECT-03-81 (2003. 11) .
- [571] 井上高宏, 常田明夫, 山川俊貴, 尾園弘和, “CMOS リング発振器形 ASK 変調器の一構成とその解析”, pp. 230-231, 第 18 回熊本県産学官技術交流会講演論文集 (2004. 1).
- [572] 井上高宏, 常田明夫, 市原栄蔵, 井本和之, “FG-MOSFET を用いた低電圧電流ミラー回路の一構成とその解析”, pp. 232-233, 第 18 回熊本県産学官技術交流会講演論文集 (2004. 1).
- [573] T. Sugahara, A. Tsuneda, T. Inoue”, Synthesis of Periodic and Aperiodic Binary Sequences by Modulo-2 Addition and Their k-Distributivity”, Proc. of 2003 International Tech. Conf. on Circuits/Systems, Computers and Communications, Vol. 2, pp. 852-855 (2003. 7) .
- [574] K. Eguchi, H. Zhu, T. Tabata, F. Ueno, T. Inoue”, A 1-Dimensional Chaotic IC Designed by SI Techniques”, IEEJ Trans. EIS, Vol. 123, No. 9, pp. 1663-1664 (2003. 9).
- [575] T. Inoue, E. Ichihara, T. Yamakawa, A. Tsuneda, “A Realization of a Common-Source FG-MOSFET with a Simple Electronic Vth Adjustment Almost Irrelevant to the Amount of the Pre-stored Charge on the Floating Gate”, IEICE Trans. Fundamentals, Vol. E87-A, No. 3, pp. 753-756 (2004. 3) .
- [576] 井上高宏, 常田明夫, 日野臣教, 李孜, 千代永純一, “PCA の使用上限周波数に関する理論の一考察”, CDROM 06-1A-04, 電気関係学会九州支部第 56 回連合大会論文集 (2003. 9).
- [577] 井上高宏, 常田明夫, 日野臣教, 李孜, 千代永純一,

“PCAを用いたSCISプログラマブルフィルタに関する一検討”, CDR06-1A-05, 電気関係学会九州支部第56回連合大会論文集 (2003. 9).

- [578] 井上高宏, 常田明夫, 安成 潤, 田中修吾, “電子可変MOS抵抗素子を用いた新しい連続時間形FPAA用コア回路の一構成”, pp. 228-229, 第18回熊本県産学官技術交流会講演論文集 (2004. 1).
- [579] 井上高宏, 常田明夫, 安成 潤, 田中修吾, “電子可変MOS抵抗素子を用いた新しい連続時間形FPAA用コア回路の一実現”, pp. 11-14, 電気学会電子回路研究会ECT-03-82 (2003. 11).
- [580] S. Ando and A. Kimachi, “Correlation image sensor! Two-dimensional matched detection of amplitude modulated light”, IEEE Trans. Electron Devices, vol. 50, no. 10, pp. 2059-2066, 2003.
- [581] S. Ando, N. Ono, and A. Kimachi, “Lock-in Magneto-Optical Imager Using Correlation Image Sensor”, Proc, SICE Annual Conference, pp. 1708-1711, Fukui, 2003.
- [582] T. Kurihara, T. Shimizu, H. Itai, S. Zhan, N. Ono, and S. Ando, “A facial authentication system using real-time surface orientation imager”, Proc, SICE Annual Conference, pp. 2755-2758, Fukui, 2003.
- [583] T. Shimizu, T. Kurihara, N. Ono, and S. Ando, “Ellipsometric imager using correlation image sensor and rotating polarizers”, Proc, SICE Annual Conference, pp. 2659-2662, Fukui, 2003.
- [584] T. Kurihara, T. Shimizu, N. Ono, and S. Ando, “Real-time Imaging Ellipsometer Using Three-Phase Correlation Image Sensor”, Technical Digest of the 20th Sensor Symposium, pp. 241-244, Tokyo, 2003.
- [585] 安藤, 小野, 来海, “時間相関イメージセンサと回転磁界を用いるロックイン磁気光学映像法”, 平成16年電気学会全国大会講演論文集, 2004.
- [586] 永井, 栗原, 清水, 小野, 安藤, “時間相関イメージセンサを用いた実時間振動分布計測法”, 平成16年電気学会全国大会講演論文集, pp. 204-205, 2004.
- [587] 栗原, 永井, 清水, 小野, 安藤, “時間相関型イメージセンサによるヘテロダイン振動分布計測”, 第1回赤外放射の応用関連学会等年会, pp. 69-75, 2004
- [588] 安藤, 小野, 来海, “時間相関イメージセンサを用いるロックイン磁気光学映像法”, 日本光学会, OJ2003, pp. 90-91, 2003
- [589] 栗原, 永井, 清水, 小野, 安藤, “時間相関イメージセンサを用いたヘテロダイン振動分布計測”, 電気学会E部門総合研究会, pp. 9-12, 2003.
- [590] 清水, 栗原, 小野, 安藤, “回転偏光子・検光子による複素反射率比の振幅位相符号化の原理およびその実時間2次元エリプソメータへの適用”, 第46回自動制御連合講演会, pp. 321-324, 2003.
- [591] 安藤, 小野, 来海, “回転磁界を用いるロックイン漏洩磁束映像法”, 第46回自動制御連合講演会, pp. 1022-1025, 2003.
- [592] 栗原, 清水, ？曙, 小野, 安藤, “法瀬ベクトルを用いた顔認証に関する基礎的検討”, 第8回パターン計測シンポジウム, pp. 15-18, 2003.
- [593] “温度に対する周波数特性変動を低減したCMOSログドメイン積分回路”, 秋田一平, 和田和千, 田所嘉昭, 信学技報ICD2003-92, pp. 71-75, 2003年9月.
- [594] “平衡型回路における線形浮遊抵抗対のMOSトランジスタによる等価構成”, 伊藤和将, 和田和千, 田所嘉昭, 電学電子回路研資ECT-03-80, 2003年11月.
- [595] “ガードリングと接地領域の形状による基板雑音の低減効果の検討”, 鈴木寛人, ニコデムス・レディアン・アグン, 和田和千, 高木茂孝, 電学電子回路研資ECT-04-30, 2004年3月.

第3章 VDEC 概要

3.1. 組織概要

VDEC は平成 8 年度に発足した。当時は専任教官 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教官 2 名と事務官 1 名が増員され、さらに、全国の大学と連携を密にする目的で各大学から 2 年を単位として 2 名の教官を派遣する「流動教官ポスト制度」がスタートした。(平成 14 年度からは流動教官を 1 名ずつ交互に交代することとしたため、当年度は 3 名が在籍した。) また、産業界と協力を行うため、客員教授 (一種) が 1 名おかれている。

VDEC は現在、専任教官 10 名、客員教授 1 名、事務官 2 名の定員を有しているが、他にも多くの援助を受けながら運営されている。事務は工学系研究科事務部との合同化により直接の担当掛を共同利用掛とし、工学系研究科事務部全体の支援を受けている。教育・研究の分野では、学内の協力教官、学外の協力研究員、さらには全国の拠点大学の教職員と学生を含む CAD ボランティア等多くの協力者の手によって支えられている。

流動教官派遣大学

年 度	派 遣 大 学
平成 9・10 年度	東北大学, 横浜国立大学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学

3.2. 人事報告

VDEC 人事

センター長・教授	浅田 邦博	助 手	小松 聡
教 授	鳳 紘一郎 (平成 16 年 3 月まで) (新領域創成科学研究科併任)	共同利用主任	真弓 貞雄
教 授	藤田 昌宏 (平成 16 年 4 月から)	共同利用掛長	小貫 浩
客員教授	益子 耕一郎	共同利用掛主任	麦谷 重男
助 教授	池田 誠	協力教官	柴田 直 (東京大学新領域創成科学研究科教授)
助 教授	小林 和淑 (平成 16 年 3 月まで)		藤島 実 (東京大学新領域創成科学研究科助教授)
助 教授	年吉 洋		三田 吉郎 (東京大学工学系研究科電気工学専攻講師)
助 教授	服部 励治 (平成 16 年 3 月まで)		
助 手	鄭 若 彤		
助 手	畠 中 理 英		



退任のご挨拶

小林 和淑

平成 15 年 4 月より 2 年間 VDEC の一員として、デザイナーフォーラム・CAD 講習会の運営を中心に VDEC の活動をお手伝いさせて頂きました。設立前より様々な形で協力をして参りました VDEC の運営に内

部より関わることでいろいろと貴重な体験をすることができました。これからも京都大学サブセンターの運営を中心として VDEC の活動に協力する所存でございますのでよろしくお願い致します。

ことはじ VDEC 事始め

鳳 紘一郎

定年を迎えるにあたり東大でいちばん思い出に残るのは、やはり VDEC の創設です。平成 8 年の創立の前夜には、浅田先生と一緒に関係の官庁や企業を訪れ、あるいは関連学会の会合に出席して VDEC の創設の意義を説明しましたが、はじめはなかなか判ってもらえず、活動の仕方についても人によっていろいろと誤解があったりして、逆巻く波の中を小さな船で幾度も沈没の危険にさらされながら進む思いでした。そういう時は浅田先生の舵さばきが唯一のたよりで、何とか沈まずに出航に漕ぎ着けましたが、その後も VDEC の規模、人員、予算など何かにつけてこちらの希望がスム

ースに通ることは少なく、荒海の航海が続きました。その中で浅田先生が理想を堅持しながら、現実を冷静に見て最適の手を次々と繰り出して行く様は、「三国志」の諸葛孔明の戦いぶりを見る思いで（と言っても私が劉備玄德を気取っていたわけではありません）、他にも関羽や張飛、趙雲のような英雄豪傑たちが助けてくれました。

「三国志」が物語りの好きな人たちの間に何百年も愛されているように、VDEC で設計技術を学んだ人々による LSI が、日本を出発点として広がって行くことを望んでやみません。

平成 15 年度大規模集積システム設計教育研究センター運営委員会委員

氏名	所 属
浅田 邦博	東京大学大規模集積システム設計教育研究センター教授（センター長） 〒113-8656 文京区本郷 7-3-1 TEL03 (5841) 6671 FAX03 (5841) 8911
橋元 良明	東京大学大学院情報学環・学際情報学府 教授（総長補佐） 〒113-0033 文京区本郷 7-3-1 TEL03 (5841) 5937
鳳 紘一郎	東京大学大規模集積システム設計教育研究センター教授 〒113-8656 文京区本郷 7-3-1 TEL03 (5841) 6675 FAX03 (5841) 6724
南谷 崇	東京大学先端科学技術研究センター情報物理システム 教授 〒153-8904 目黒区駒場 4-6-1 TEL03 (5841) 5160 FAX03 (5841) 5161
柴田 直	東京大学大学院新領域創成科学研究科基盤情報学専攻 教授 〒113-8656 文京区本郷 7-3-1 TEL03 (5841) 6656 FAX03 (5841) 8567
藤田 昌宏	東京大学大学院工学系研究科電子工学専攻・電子工学科 教授 〒113-8656 文京区本郷 7-3-1 TEL03 (5841) 5573

氏名	所	属
宮永 喜一	北海道大学大学院工学研究科電子情報工学専攻 教授 〒 060-0813 札幌市北区北 13 条西 8 丁目	TEL011 (706) 6489 FAX011 (706) 7121
大見 忠弘	東北大学未来科学技術共同研究センター教授 〒 980-8579 仙台市青葉区荒巻字青葉	TEL022 (217) 3952 FAX022 (217) 3961
國枝 博昭	東京工業大学大学院理工学研究科集積システム専攻 教授 〒 152-8552 目黒区大岡山 2-12-1	TEL03 (5734) 2574
柳澤 政生	早稲田大学理工学部電子・情報通信学科 教授 〒 169-8555 新宿区大久保 3-4-1	TEL03 (5286) 3392 FAX03 (3204) 4875
吉本 雅彦	金沢大学工学部電気・電子システム工学科 教授 〒 920-8667 金沢市小立野 2-40-20	TEL076 (234) 4861 FAX076 (234) 4870
高木 直史	名古屋大学大学院工学研究科情報工学専攻 教授 〒 464-8603 名古屋市千種区不老町	TEL052 (789) 3312 FAX052 (789) 3798
小野寺秀俊	京都大学大学院情報学研究科通信情報システム専攻 教授 〒 606-8501 京都市左京区吉田本町	TEL075 (753) 5314 FAX075 (753) 5343
谷口 研二	大阪大学大学院工学研究科電子情報エネルギー工学専攻 教授 〒 565-0871 吹田市山田丘 2-1	TEL06 (6879) 7791 FAX06 (6879) 7792
岩田 穆	広島大学大学院先端物質科学研究科機能集積システム工学研究室 教授 〒 739-8526 東広島市鏡山 1-3-1	TEL0824 (24) 7856 FAX0824 (24) 7195
安浦 寛人	九州大学大学院システム情報科学研究科情報工学専攻 教授 〒 816-8580 春日市春日公園 6-1	TEL092 (583) 7620 FAX092 (583) 1338
山内 寛紀	立命館大学理工学部電気電子工学科 教授 〒 525-8507 草津市野路東 1-1-1	TEL0775 (61) 2867 FAX0775 (61) 2663
兵庫 明	東京理科大学理工学部電気工学科 助教授 〒 278-8510 野田市山崎 2641	TEL0471 (24) 1501 内 3756 FAX0471 (22) 5171

平成 15 年度大規模集積システム設計教育研究センター協議会協議員

氏名	所	属
浅田 邦博	大規模集積システム設計教育研究センター長	
大垣眞一郎	工学系研究科長	
柴田 直	大学院新領域創成科学研究科 教授	
田中 英彦	情報理工学系研究科長	
岡部 洋一	情報基盤センター長 教授	
荒川 康彦	先端科学技術研究センター 教授	
鳳 紘一郎	大学院新領域創成科学研究科 教授	
年吉 洋	大規模集積システム設計教育研究センター 助教授	
服部 励治	大規模集積システム設計教育研究センター 助教授	

氏名	所属
小林 和淑	大規模集積システム設計教育研究センター 助教授
池田 誠	大規模集積システム設計教育研究センター 助教授
佐倉 統	大学院情報学環 助教授

3.3. 決算報告

1. 経常経費

経費科目	金額	経費科目	金額
人件費	64,475,365	校費	140,093,000
電子計算機借料	77,238,000	職員旅費	674,000
諸謝金	0	講師等旅費	480,400

2. 平成15年度科学研究費補助金

研究代表者	研究題目	種類	金額(千円)
服部 励治	MEMS技術を用いたプラスチック基盤への埋め込み・配線技術の確立	基盤A(2)	21,800
服部 励治	ハードソフト同時設計によるシステムLSIの設計効率化・開発期間短期化	基盤B(2)	1,100
小林 和淑	ハードソフト同時設計によるシステムLSIの設計効率化・開発期間短期化	若手研究(B)	1,600
小松 聡	データ符号化による集積回路におけるデータ伝送の低消費電力化・信頼性向上の研究	若手研究(B)	1,300
名倉 徹	半導体集積回路におけるシグナルインテグリティ及び信頼性に関する研究	特別研究員奨励費	900

3. 平成15年度産学連携等経費

研究代表者	研究題目	種類	金額(千円)
浅田 邦博	SoC設計プラットフォーム・マクロの研究	共同研究	13,350
浅田 邦博	システムディスプレイの構成方法の研究	共同研究	3,000
服部 励治	有機ELドライバの研究	受託研究	3,000

4. 平成15年度奨学寄附金

以下の企業・個人から寄附を頂きました。

受入件数：9件 受入額 計7,200,000円

日産自動車(株)、(財)電気・電子情報学術振興財団、(株)東芝セミコンダクター社、(株)半導体理工学研究センター、(株)ルネサステクノロジ

4.1. 研究室構成員（平成15年度）

鳳・藤島研究室

鳳 紘一郎 教授（平成16年3月31日退官）

藤島 実 助教授

北澤 清子 助手

今村 晃 博士3年（現在 株式会社東芝）

山本 憲 博士1年

小玉 輝 修士2年

（現在 株式会社ルネサステクノロジ）

斎藤 康祐 修士2年（現在 株式会社インクス）

稲井 健人 修士2年（現在 株式会社キヤノン）

北荘 哲郎 修士2年（現在 株式会社キヤノン）

木野 順 修士2年

（現在 株式会社新日鉄ソリューションズ）

杉浦 邦晃 修士2年

（現在 大学院田中雅明研究室博士課程）

乗松 崇康 修士2年（現在 株式会社日立製作所）

志村 正弘 修士1年

金子 秀彦 修士1年

山谷 歩 修士1年

重松 路威 学部4年（現在 大学院藤田博之研究室）

肥後さやか 学部4年（現在 大学院中谷研究室）

安部 哲平 学部4年（現在 株式会社松下電器産業）

川野 武志 学部4年（現在 大学院荒川研究室）

中村 安見 学部4年（現在 大学院桜井研究室）

浅田・池田研究室構成

浅田 邦博 教授

池田 誠 助教授

鄭 若彤 助手

鈴木 真一 技官

瀬戸 謙修 博士3年（現在 東京大学 藤田研助手）

山岡 寛明 博士3年

大池 祐輔 博士2年

名倉 徹 博士2年

吉田 浩章 博士1年（2002年4月11日より2004年3月31日までゼナシステクノロジーズ）

Ulkuhan Ekincieli 博士1年

Mohamed Abbas ABDELRAHY 博士1年

飯塚 哲也 修士2年（現在 浅田・池田研 博士課程）

高山 伸一 修士2年

池畑 博司 修士2年（2004年5月1日よりVDEC協
力研究員）

小川 貴也 修士2年（現在 東芝）

顔 子翔 修士2年

Song Minkyu 研究員（2003年3月－8月）

三瓶 真弘 修士1年

新宅 宏彰 修士1年

谷内出悠介 修士1年

山本 崇也 修士1年

李 楠 修士1年

高田 謙 （現在柴田研修士課程）

田島 貴明 （現在池田研修士課程）

ディア キン フイ （現在浅田研修士課程）

山内 裕史 （現在浅田研修士課程）

山本 一統 （現在浅田研修士課程）

柴田・三田研究室構成員

柴田 直 教授

三田 吉郎 講師

村井 徹 助手

顧 清榮 博士研究員（現在 上海在住）

山崎 俊彦 博士3年

（現在 東京大学新領域創成科学研究科相澤研助手）

小川 誠 博士2年

小林 大輔 博士2年

伊藤 潔人 博士1年

鈴木 康文 修士2年

梅島 雅之 修士2年（現在 株式会社ソニー）

山崎 英男 修士 2 年
中山 友之 修士 1 年
中下 友介 修士 1 年
早川 仁 修士 1 年
福田 智洋 学部 4 年
トンプラシット ベンジャマース 学部 4 年
(現在 柴田・三田研究室修士 1 年)

亀谷 暁 学部 4 年
(現在 柴田・三田研究室修士 1 年)

川原 邦男 学部 4 年
(現在 柴田・三田研究室修士 1 年)

久保田雅則 学部 4 年
(現在 柴田・三田研究室修士 1 年)

Hao Jia 研究生 (現在 柴田・三田研究室修士 1 年)

藤田研究室

藤田 昌宏 教授

小松 聡 助手

Thanyapat Sakunkonchak 博士 3 年

劉 宇 博士 1 年

小島 慶久 修士 2 年 (現在 藤田研 博士課程)

松本 剛史 修士 1 年

田辺 健 修士 1 年

Cho Moon Ki 研究生

前田 剛敏 学部 4 年

吉田 充孝 学部 4 年 (現在 富士通株式会社)

佐々木俊介 学部 4 年 (現在 藤田研 修士課程)

林 哲也 学部 4 年 (現在 保立研 修士課程)

松井 健 学部 4 年 (現在 藤田研 修士課程)

年吉研究室

年吉 洋 助教授

高橋 拓也 技官

肥後 昭男 修士 2 年 (現在 年吉研 博士課程)

高橋 一浩 修士 1 年

山内木綿子 修士 1 年

小林研究室

小林 和淑 助教授

服部研究室

服部 励治 助教授

益子研究室

益子耕一郎 客員教授

鳳・藤島研究室 Hoh/Fujishima Laboratory (<http://www.axcel.k.u-tokyo.ac.jp>)

低電源電圧で動作する高周波集積回路

藤島 実, 山本 憲, 乗松 崇泰, 金子 秀彦

無線通信回路の中でも搬送波を発生する位相ロックループ回路中の電圧制御発振器と周波数分周器は、無線通信回路中最も高周波の信号を扱うため、オンチップインダクタが用いられることが多い。しかし、オンチップインダクタは寄生容量、寄生抵抗が大きく、低電源電圧化、低消費電力化の障害になっている。また、LC共振を利用した周波数分周器は入力周波数範囲が発振周波数の付近に限られている。それらを解決するため、まずインダクタの寄生成分を抑えインダクタのQ値を最大にすることで、電源電圧1.0Vで動作する1.6GHz動作の電圧制御発振器と2.0GHz動作の周波数分周器を実現した。また、周波数分周器にバラクタを用い、入力周波数範囲を120MHzから680MHzに向上した。さらに高い周波数の動作を目指しMOSFETのモデリングを行った結果、0.35 μ mプロセスのMOSFETの実測とモデルとが30GHzまで一致することを確認した。

無線通信回路で使用されるオンチップインダクタのモデリング

藤島 実, 木野 順

近年、無線通信を担うRF回路をシリコン基板上に作製しようという動きが活発になってきている。RF回路をシリコン基板上に作製し、デジタル回路部分とあわせて1チップ化することで低コスト化、低消費電力化の期待が持てるためである。化合物半導体ではなくシリコンを用いることによる問題点として、RF回路で使用され回路性能に大きく影響するインダクタの性能が劣化してしまうことが挙げられる。このためシリコン基板では、回路性能を正確に見積もるためにインダクタの正確なモデルが重要となる。まず、配線-基板間の容量が小さく、端子間の容量が大きく、端子間の容量が効いてくる特殊なプロセスを用いて、インダクタの構造の違いによってインダクタの端子間の容量に差がでることを明らかにする。さらに通常のプロセスを用いて作られた場合、従来から提案されているインダクタのモデルではインダクタの特性を正確に表すことができないことを示し、基板に流れる渦電流を考慮に入れた、インダクタの特性を正確に表す新しいモデルを提案する。新しいモデルは実測結果と比較して非常に良い一致を示している。また、従来のモデルと新しいモデルを回路シミュレーションに用いた例を示し、新しいモデルの有用性を明らかにする。

Radio Frequency Integrated Circuits for Low Voltage Operation

Minoru Fujishima, Ken Yamamoto, Takayasu Norimatsu, Hidehiko Kaneko

An on-chip inductor is widely used in wireless communication circuits, particularly in a voltage-controlled oscillator (VCO) and a frequency divider (FD) in a phase-locked loop. Since the on-chip inductor has large parasitic capacitance and resistance, it is challenging to realize low power circuits at low supply voltage. To overcome the issue, the quality factor of on-chip inductor is optimized using a thick-oxide substrate. As a result, a 1.6-GHz VCO and a 2.0-GHz FD are realized at the supply voltage of 1.0 volt. In particular, a varactor in FD enhances locking range up to 680MHz. To realize higher-frequency operation, accurate MOSFET model is also investigated using 0.35- μ m CMOS process. Consequently, good agreement has been obtained between the proposed model and the measurement up to 30GHz.

Modeling of an On-Chip Inductor for Radio Frequency Integrated Circuits

Minoru Fujishima, Jun Kino

Silicon-based radio frequency integrated circuits (RFICs) have grown recently since RFICs and digital circuits become embedded on the same chip for low cost and low power. Compared with a compound-semiconductor substrate, however, a silicon substrate potentially degrades on-chip inductors, which is essential in RFICs and affecting the circuit performance. To suppress the degradation of inductors and to estimate the circuit performance properly, accurate inductor model is required. For accurate modeling, first, the difference of terminal capacitances in spiral and symmetry inductors is clarified by using the dedicated process where terminal capacitance is higher than substrate capacitance. Second, a new inductor model is proposed where eddy current flowing in the substrate is considered since the conventional inductor model shows considerable discrepancy in an equivalent terminal resistance. The proposed model shows better agreement with the measurement results than the conventional model not only in scattering parameters but also in the circuit performance where a voltage-controlled oscillator is used for a test vehicle.

シリコンシャドウマスクを用いた相補型ショットキー MOS-FET の集積プロセス

鳳 絃一郎, 藤島 実, 杉浦 邦晃

PtSi/ErSi_{2-x} を用いた N/P 型ショットキーソースドレイン MOSFET における相補型動作を実現するために, 両者を集積する技術としてメカニカルアラインメントつきシリコンシャドウマスクを利用する方法を実証した. 従来報告されていたリフトオフプロセスによって試作した場合と比較し, MOSFET の Id-Vd 特性や Id-Vg 特性の有用性を示した.

量子計算アルゴリズムの開発に適した LSI プロセッサの試作

鳳 絃一郎, 藤島 実, 稲井 健人, 北荘 哲郎, 志村 正弘

量子ビットで従来の計算機の 2^n ビットで表現できる 2^n 個の組み合わせに対し並列的に計算が行える量子計算機の新たなアルゴリズムの開発には, 計算規模の大きな量子計算機エミュレーションが重要である. 量子計算機をエミュレートする場合, 2^n 個の量子状態をレジスタとしてハードウェア上に用意することで実現できるが, 計算規模が大きくなるにつれ, 必要となるハードウェアが指数爆発するという欠点がある. そこで, 量子計算の計算過程に着目し, この $2n$ 個の量子状態の表現方法を工夫することで計算規模の拡大を試みた. $2n$ の量子状態のうち, 計算上意味を持つ状態のみの位置情報をハードウェア上に記憶し, 位置情報を更新することで状態遷移を実現した. これにより, 必要となるハードウェアは削減され, 計算規模を 139 量子ビットまで拡張することができた.

専用 LSI による量子アルゴリズムの大規模シミュレーション

鳳 絃一郎, 藤島 実, 北荘 哲郎, 稲井 健人, 志村 正弘

量子力学の公理に基づいて超並列性を実現する量子計算機は, 因数分解などの問題を古典計算機よりも非常に高速に解く事ができるため, 近年盛んに研究が行われている. しかし十分な計算規模を持つ量子計算機の実現されていない現状では, 量子アルゴリズムに対する振る舞いを調べるためのシミュレーションが不可欠である. しかし, これまでに実現されているシミュレーションでは量子状態の取りうる全ての状態分のメモリを確保するという量子計算機に忠実な方法をとっていたため, $2n$ (n : 量子ビット数) に比例したハードウェアが必要となり, シミュレーション規模の拡大が難しかった. そこで, 量子アルゴリズムをシミュレーションするには大半の状態が同時に使われる事が無い点に着目し, シミュレーション可能な規模が量子ビット数を増加させるべく, 部分ごとに演算させる方法を適用した.

その結果, シミュレーション可能な量子ビット数を 32qubit から 139qubit 相当に増加させる事ができた. これにより大規模な Shor の因数分解アルゴリズムや, これまで規模的に

Fabrication Process of Complementary Shottky MOSFETs Utilizing Silicon Shadow Masks

Koichiro Hoh, Minoru Fujishima, Kuniaki Sugiura

To realize complementary operation, silicon shadow masks with mechanical alignment are studied as fabrication technology integrating both N/P-type Shottky source/drain MOSFETs using PtSi/ErSi_{2-x}. As compared with the case where fabrication processes are based on the lift-off process reported conventionally, the usefulness of the drain current characteristic of MOSFET is shown.

LSI Processor Dedicated for the Development of Quantum-Computing Algorithms

Koichiro Hoh, Minoru Fujishima, Kento Inai, Tetsuro Kitasho, Masahiro Shimura

Since an n-qubit quantum computer calculates all the n-bit combinations in parallel, it is expected to realize high-speed computing. To develop new quantum algorithms for the quantum computer, a large-scale emulation is important. Although the quantum computer can be emulated using $2n$ registers corresponding to all the quantum states, the amount of required hardware increases exponentially with increasing problem scale. To overcome this issue, we propose a new emulation method for large-scale problems considering the quantum-computing algorithm and the efficient representation of quantum states. In the proposed method, the state transitions in quantum computing are realized by updating the location of quantum states used in the algorithm. As a result, the amount of hardware is reduced and problem scale is expanded to 139 qubits.

Simulation of Large-Scale Quantum Algorithms Using a Dedicated Processor

Koichiro Hoh, Minoru Fujishima, Tetsuro Kitasho, Kento Inai, Masahiro Shimura

Recently, the research on a quantum computing based on quantum mechanics has prospered since the quantum computer potentially solves time-consuming problems such as factorization at high speed. Here, the simulation of the software as well as the development of the hardware is indispensable since the quantum computer with sufficient calculation scale is not realized yet. However, conventionally, simulation scale was difficult to expand since the amount of the simulating hardware increases exponentially when the memories for all the quantum states required in the algorithm are allocated. To increase the simulation scale, a new emulating method by sequentially calculating the subsections comprising the whole computing space is proposed, since most quantum states are not simultaneously used when the quantum algorithm is simulated. Consequently, the number of the quantum-computing scale increases up to 139 qubits, where Shor's factorization algorithm and the traveling-sales-

VDEEC
行うことのできなかった巡回セールスマン問題に対するシミュレーションを行う事が可能になった。

man problem are demonstrated.

白金シリサイドショットキー MOSEFT の作製プロセスの最適化

鳳 紘一郎, 藤島 実, 小玉 輝

ショットキー障壁 MOSEFT は従来の MOSFET に比べてソース・ドレイン領域の寄生抵抗が小さく、微細化に伴って生じる短チャネル効果を抑制できると言われている。しかし、PtSi ショットキー障壁 MOSFET には、ドレイン電流のばらつき、大きなサブスレッショルド係数、低いドレイン電流などの問題点が挙げられる。そこで、アニール時の立ち上げ時間によるシリサイド特性のばらつきの最適化、ゲート酸化膜の薄層化による伝達コンダクタンスとサブスレッショルド係数の最適化、アニール温度条件によるドレイン電流の増加を図った。また、MOSFET のソース端ショットキーダイオードの特性を評価すべく、PtSi ショットキー障壁 MOSFET に 30K で正のドレイン電圧とゲート電圧を印加し電子電流を流すことにより、すべてのゲート電圧・ドレイン電圧に対して統一されたファウラー・ノルドハイムプロットが得られるような、ソース端チャネルポテンシャルに対するゲートとドレインの結合容量モデルを考案した。

Optimization of the fabrication process of a platinum-silicide Schottky MOSFET

Koichiro Hoh, Minoru Fujishima, Hikaru Kodama

It is reported that a Schottky barrier MOSEFT has smaller parasitic resistance in source and drain compared with a conventional MOSFET, and suppresses the short channel effect due to miniaturization. However, the issues, such as a variation in drain current, a large subthreshold factor, and low drain current, are observed in a PtSi Schottky barrier MOSFET. Thus, we have optimized annealing start-up time to reduce a variation in a silicide characteristic, thinned a gate oxidation film to increase a transconductance and to decrease a subthreshold factor, and optimized annealing temperature to increase drain current. Additionally, a combined capacitor model of a gate and drain to source-edge channel potential is proposed, where a single Fowler-Nordheim plot is obtained in wide gate and drain voltage range by applying positive drain and gate voltages at the temperature of 30K to observe electronic current and to evaluate the characteristic of a source-edge Schottky diode of MOSFET.

浅田・池田研究室研究室 Asada/Ikeda Laboratory

(<http://www.mos.t.u-tokyo.ac.jp>)

1. 電源雑音の解析手法

浅田 邦博・池田 誠・名倉 徹・顔 子翔

LSI の高速化・低電圧化に伴い、電源ノイズによって引き起こされるエラーや電磁干渉 (EMI) ノイズが深刻化している。これらは、電流変化成分の寄生インダクタンスによる電圧変化 $L (di/dt)$ 、および電磁放射が主因で、この評価・解析のために di/dt 測定が重要になってきている。本研究では、電源線直下にスパイラルインダクタを配置し、誘導性結合により di/dt に比例した誘導起電力を発生させ、増幅器を用いて出力する di/dt 測定回路を作製・評価し、良好な結果を得た。

また、LSI のレイアウトとシミュレーション結果を用い、個々の配線から放射される電磁波を計算し、それら全てを足し合わせることで、チップから放射される EMI ノイズを解析する手法を検討した。

Power Supply Noise Analysis

K. Asada, M. Ikeda, T. Nakura, T. Yen

Power supply noise and EMI noise are becoming critical issues, due to operations of higher frequency and lower-voltage in LSIs. A di/dt is the dominant source of the power supply noise as di/dt causes voltage bounce of $L (di/dt)$ with the parasitic inductance, and also di/dt causes EMI noise. We have developed an on-chip di/dt detector circuit by inductive coupling between power supply line and an underlying spiral inductor, which induces the di/dt proportional voltage. Using an amplifier, di/dt proportional voltage can be observed. We have designed and fabricated the di/dt detector and obtained measurement results, which meet with the simulation results.

We have proposed an EMI noise analysis method using wiring shapes from layout and current waveform by circuit simulation. We summed up electro-magnetic field from every segment of wires and obtained the total EMI emissions from LSIs.

2. 電源雑音の低減および評価

浅田 邦博・池田 誠・名倉 徹・モハメド アバス

LSIの高速化に伴い、電源ノイズによる回路動作不良が問題となっている。スタブを用いることでその電源ノイズを低減させる手法を検討し、理論計算により、同一面積の平行平板容量よりも効果的にノイズを削減可能であることを示した。オフチップのスタブを用いて、スタブが電源ノイズ低減に有効であることを実験的に示した。

また、一般的にMTCMOS・VTCMOSなどの様々な低消費電力向け回路が提案されているが、それぞれにおけるノイズ耐性を比較することにより、将来の低消費電力化・高ノイズ耐性回路設計への指針を示した。

3. 低 EMI 信号伝送

浅田 邦博・池田 誠・李 楠

チップ上の長距離高速データ伝送に適した3線式データ・クロック符号化手法(3相式伝送方式)を検討した。本手法はデータとクロックを符号化することで、非同期信号伝送へ適用可能であり、またデータを差動により伝送するため、信号の信頼性面で優れている。ここでは配線をフィラメント化し、1線式、2線2相式および3線3相式のデータ伝送方式について解析を行ない、3線3相伝送方式が他の伝送方式に比べてリターン電流を1/6以上に削減でき、また電界・磁界分布がより小さい領域内に制限されることでEMIの削減も可能であることを示した。

4. DCVSL を用いた低雑音 CPU の設計

浅田 邦博・池田 誠・鄭 若彤・池畑 博司・ディア キンファイ

本研究では、低雑音CPUの実現を目指し、Z80と命令互換を持ち、パイプラインを用いることなく、1命令1クロックにて実行するマイクロプロセッサの設計を行った。終了検出によりグローバルクロックなしに動作させることで、平均的に高速な動作が可能で、かつグローバルクロック、レジスタスイッチングに起因する雑音発生が少なく、かつそれらによる誤動作も受けにくい。また、基本回路にDCVSLを用いることで、回路の必要部分のみが遷移するためスイッチングノイズが低減するとともに、2線式論理であるため耐雑音性が向上している。これらにより、高信頼なマイクロプロセッサの実現が可能である。

Power Supply Noise Reduction and Evaluation

K. Asada, M. Ikeda, T. Nakura, A. Mohamed

The power supply noise of LSIs is becoming a dominant cause of the LSI functional errors. Thus, we have proposed a power supply noise reduction method using stubs. A theoretical study of stubs shows that the stub can suppress the noise more efficiently compared a planar capacitor with a same area. We demonstrated measurement results of the power supply noise reduction of an LSI with an off-chip stub.

Several kinds of low power schemes have been proposed such as MTCMOS and VTCMOS. We investigated the schemes from the noise immunity points of view, and showed the future direction toward the low power and the high noise immunity circuit schemes.

Low EMI signal transmission

K. Asada, M. Ikeda, N. Li

We studied a delay insensitive data communication architecture using 3-wire data encoding (3-phase data encoding), which is applicable to the on-chip long and hi-speed communication lines. This architecture consists of 3-wires for 1-bit dual-rail data and timing signal, and has advantage on signal reliability. We used filament model to simulate several transmission model, such like 1-wire model, 2-wire 2-phase model, and the proposed 3-wire 3-phase model. As a result, the 3-phase model achieves the reduction of the return current to less than 1/6, compared with the other methods, and electric field and magnetic field are limited to smaller loop, which achieves reduction of EMI.

Low noise microprocessor design using DCVSL

K. Asada, M. Ikeda, R. Zheng, H. Ikehata, K. H. Dia

We have designed a Z80-compatible non-pipeline microprocessor, aiming at low-noise microprocessor realizations. We employed the non-pipeline architecture with completion detection circuits, which realizes high-performance by average, and free from toggle noise of pipeline registers by global clocks. We employed DCVSL (Differential Cascoded Voltage Switch Logic) circuits for noise tolerance, and the architecture achieves only one transient per a gate throughout the necessary signal paths, which reduces switching noise. We can achieve a high-reliable microprocessor with the above techniques.

5. 製造時の配線欠陥を最小化する CMOS 論理セルレイアウトの網羅的生成手法

浅田 邦博・飯塚 哲也・山本 崇也

CMOS 論理セルレイアウトにおいて、製造時に配線に欠陥が最も生じにくいレイアウトを生成する手法を提案した。ここでは、製造時のスポット状の欠陥 (Spot Defect) により配線が短絡する確率を、その欠陥径の分布、短絡が引き起こされる欠陥の領域 (Critical Area)、およびその終端や角での効果を考慮したコスト関数を、セルレイアウトの網羅的配線手法に適用した。これを従来提案している充足可能性判定手法によるセル幅最小のトランジスタ配置探索手法と組み合わせることで、配線の短絡による欠陥が最も起きにくいレイアウトを選び出すことが可能となった。

本手法をトランジスタ数 14 までの CMOS 論理回路に適用し、配線長最小レイアウトと比較することで、配線の短絡発生確率を約 15% 削減できることを示した。

6. 配列型 CMOS 論理回路方式の検討

浅田 邦博・池田 誠・山岡 寛明・Ulkuhan Ekincieli・山内 裕史

高速性、低消費電力性及び面積効率の高い配列型 CMOS 論理回路方式として、2 入力論理セルを内部構造に有する 2 線式プログラマブル・ロジック・アレイを提案した。提案方式は配列型回路構造であるため設計容易性が高く、任意の 2 入力論理関数が表現可能である 2 入力論理セルを用いることで、複雑な論理式を効率良く実現できる。これにより従来の配列方論理回路方式と比較して、高速化、低消費電力化、高面積効率化が可能である。また本回路方式は、2 線式回路であるため、同相ノイズに対する耐性が高く、高い動作信頼性を実現可能である。

本回路方式を用いた回路設計を容易化するために、論理記述から LSI レイアウトを自動生成するモジュール・ジェネレータを開発した。

また、この回路に 2 線式閾値論理回路を組み込むことで、積項数、面積、PD 積を削減できることを示した。

7. 充足可能性判定を利用した命令セット拡張のマッピング手法

浅田 邦博・鈴木 真一・瀬戸 謙修・吉田 浩章・高田 謙

特定用途向けプロセッサの命令セット拡張を柔軟に実装するため、命令セット拡張をリコンフィギュラブルデータパス上にマッピングする手法について提案した。命令セット拡張を表すデータフローグラフ (DFG) のリコンフィギュラブルデータパス上へのマッピング問題を、充足可能性判定 (SAT) 問題として定式化した。

FPGA ライクな配線構造を持つリコンフィギュラブルデータパスに対して、SAT による解を生成し、シミュレーションに基づく手法を用いた解との比較により、提案手法がよりバスの本数が少ないアーキテクチャにマッ

Wiring Fault Minimization using Comprehensive Layout Synthesis of CMOS Logic Cells

K. Asada, T. Iizuka, T. Yamamoto

We proposed a cell layout synthesis technique to minimize the probability of wiring faults due to spot defects. We modeled the probability of faults on intra-cell wirings with considering the spot defects size distribution and the end effect of critical areas. By using this model as a cost function, we comprehensively generate the minimum width layout of CMOS logic cells and select the optimal layouts. In our layout synthesis system, all possible minimum-width transistor placements are generated using transistor placement method using boolean satisfiability. and a comprehensive intra-cell router is applied to all placements and all possible cell layouts are generated. Experimental results show that our technique reduces about 15% of the fault probabilities compared with the wire-length-minimum layouts for CMOS logic circuits with up to 14 transistors.

A Study on Array Logic Circuits

K. Asada, M. Ikeda, H. Yamaoka, U. Ekincieli, H. Yamauchi

We proposed a high-speed, low-power, and area-efficient dual-rail PLA with 2-input logic cells. The structural regularity of the PLA enhances the designability, and 2-input logic cells, which can realize any 2-input Boolean functions, efficiently realize complex logic functions. We employed dual-rail structure to improve the common-mode noise immunity. We developed a module generator for the proposed PLA structure, which produces layouts and simulation models for given Boolean expressions. We introduced dual-rail multiple-threshold logic circuits with logic synthesizer for the proposed PLA architecture and demonstrated reduction of the number of product terms, chip area, and power-delay product.

A Mapping Method of Instruction-Set Extensions Via Boolean Satisfiability

K. Asada, S. Suzuki, K. Seto, H. Yoshida, K. Takata

To implement instruction-set extensions of application-specific processors flexibly, we proposed a method to map them on reconfigurable datapaths. A mapping problem of a data-flow graph (DFG) to a reconfigurable datapath is formulated as a Boolean satisfiability (SAT) problem. We employed reconfigurable datapaths that have FPGA-like interconnections and solved the SAT problems. The solutions demonstrate that the proposed method can map with fewer number of buses compared with results obtained by simulated annealing based mapping. The proposed method can deal with DFGs with up to 20 nodes.

ピング可能であることを示した。また SAT を用いた手法では、20 ノード程度までの DFG を扱うことが可能であることがわかった。

8. 連想プロセッサの研究

浅田 邦博・池田 誠・大池 祐輔・新宅 宏彰

認識や学習システム，データ圧縮などに必要とされるデータの類似性検索を高速に実行する連想プロセッサとして，高速・低電圧動作で正確な検索精度を保証するアーキテクチャの提案と，試作による性能評価を行った。メモリ内に埋め込まれた階層探索構造の距離検索回路は，大容量データに対しても高速な検索を実現し，最小距離のデータだけでなく，データの正確な距離情報とともに近い順に検索可能である。0.18 μ m プロセスによる 64 ビット，32 ワード連想プロセッサ試作では，1.8V 電源電圧にて 411.5MHz で検索処理を実行し，最悪でも 158.0ns で全てのデータを距離の近い順に検索可能である。また，同期検索の特徴を生かした，複数チップ間での並列検索アーキテクチャを提案し，高速検索における大容量化の可能性を示した。

9. スマートイメージセンサの研究

浅田 邦博・池田 誠・大池 祐輔・高山 伸一

物体の瞬間的な変形や破壊の監視，部品検査などの産業用途，ロボットビジョンにおける物体追跡といった応用に向けた，1,000 枚/秒を超える高速な 3 次元撮像イメージセンサを開発した。試作した 375x365 画素 3 次元イメージセンサは，独自の行並列有意画素探索アーキテクチャにより，光切断法 3 次元計測システムにおける投射シート光を 394.5kHz のアクセス速度で検出できる。これにより，0.1%以下の距離精度で 1,000 枚/秒を超える超高速 3 次元形状計測が実現可能である。また，認識システムに必須な物体抽出と色情報の取得を，RGB 混合変調光と画素内検波回路で実現するイメージセンサを開発した。飽和を回避する背景光除去回路により，測定環境に対してロバストな認識支援を実現する。

10. 高性能 3 次元計測システム

浅田 邦博・池田 誠・大池 祐輔・谷内出 悠介・山本 一統

高速および高精細な光切断法 3 次元計測システムの実現を目的とし，画素アクセス直後の出力変化量から瞬時に投射ビームの位置を検出する機能を持つ 640x480 画素イメージセンサを試作，さらに，FPGA によるシステム制御系や 3 次元形状再構成ソフトウェアを開発した。高速 3 次元計測カメラを複数用いた任意視点 3 次元形状計測システムの構成と要求性能について検討し，計測誤差校正プログラムをシステムに実装した。また，ランダムパターン光投影による新しい 3 次元形状計測手法を提案し，測定による実現可能性を示した。本手法は距離解像度の点で光切断法に劣るものの，投射光の走査が不要なことや 1 フレームで距離画像

Associative Processors

K. Asada, M. Ikeda, Y. Oike, H. Shintaku

We have developed a high-speed and low-voltage associative processor with exact Hamming distance computation. We have proposed a word-parallel and hierarchical search architecture embedded into memory array. It achieves a high-speed search operation even for the cases of configurations with large number of words, and low-voltage operation below 1.0 V power supply. A 64-bit 32-word associative processor has been designed and fabricated using an 0.18 μ m CMOS process. It achieves 411.5 MHz operating frequency at a supply voltage of 1.8 V. The worst-case search time is 158.0 ns. We have also proposed a scalable multi-chip architecture and circuit implementation. It efficiently realizes scalability without any degradation of precision, nor degradation of search throughput with a few additional clock latency.

Smart Image Sensors

K. Asada, M. Ikeda, Y. Oike, S. Takayama

We have developed a 375 x 365 3D image sensor for 1,000 frame/s range finding using a standard 0.18 μ m CMOS process. The 3-D image sensor employs a row-parallel search architecture which realizes quick position detection of an incident sheet beam on the sensor plane. It attains a frame access rate of 394.5 kHz and a range accuracy of less than 0.1%. The high-speed position detection corresponds to 1,000 frame/s range finding. We have also developed a pixel-level color image sensor with efficient ambient light suppression using a modulated RGB flash-light for a recognition system. It supports image processing of object extraction and color capture under nonideal conditions.

High-Performance 3-D Range Finding System

K. Asada, M. Ikeda, Y. Oike, Y. Yachide, K. Yamamoto

We have designed a high-speed VGA 3-D image sensor which quickly detects a beam position on the sensor plane. Furthermore we have developed a 3-D camera system using the 3-D image sensor. It includes a system controller, a beam scanner, a Fast SCSI interface, and a software program for 3-D model reconstruction. We have implemented a calibration method for range error suppression, which is required for an arbitrary viewpoint vision system using multiple 3-D cameras. We have also proposed a new 3-D imaging method using a spatial patterned light projection, which makes a 3-D measurement setup simple.

11. ガラス基板上のシステム構築

浅田 邦博・池田 誠・小川 貴也・田島 貴明

ガラス基板上の TFT 製造技術の向上に伴い、液晶パネル上へのシステムの搭載に向けた研究が進行している。ここでは液晶モニターの電子紙等としての利用を念頭におき、誘導性結合・容量性結合による液晶への非接触データ転送と、液晶上へ復号回路を実装することにより自立的な画面の表示が可能となるシステムの構築を目指し、データ転送方式および画像圧縮方式の検討をおこない、データ転送距離と転送レート、および圧縮率と必要ハードウェア量の見積りを行なった。

System on Glass Panels

K. Asada, M. Ikeda, T. Ogawa, T. Tajima

We have been studying embedded systems onto LCD panels. We studied systems on LCD glass panels for such applications like electrical papers. We studied capacitive coupling and inductive coupling for contact-less communication systems between terminals and LCD panels, and image compress-decompress circuits. We estimated data transmission rate against the transmission distance, in a given noise level, and obtained an optimal image compression ratio according to the hardware costs of image decompressor, frame buffers, and data receiver on LCD panels.

柴田・三田研究室 Shibata/Mita Laboratory (<http://www.if.t.u-tokyo.ac.jp>)

1. 右脳型ソフトコンピューティング VLSI : 連想プロセッサ・システム

柴田 直・山崎 俊彦・小川 誠・小林 大輔・伊藤 潔人・中山 友之・早川 仁

現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを、シリコン超 LSI 技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し、直感・連想・推論といった処理を得意とした LSI チップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ（ニューロン MOS, neuMOS）を導入、膨大な template 群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ、0.18 ミクロン CMOS 技術を用いた超高速デジタル連想プロセッサ等をこれまで開発した。今後これらのチップで連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップを用いて構築して行く。そのために我々の思考過程を柔軟に記述できる APROL (Association Programming Language) の開発も行う。四則演算に代わり連想を“computing primitive”とする実時間事象認識知能システム実現を目指す研究である。現在、画像認識・音声認識をテーマに研究を進めている。ここで開発した VLSI 回路技術は、実用的な応用として、CDMA マッチトフィルタへの応用技術等も開発している。

Right-Brain-Computing Integrated Circuits : Associative Processing Systems

T. Shibata, T. Yamasaki, M. Ogawa, D. Kobayashi, K. Ito, T. Nakayama, H. Hayakawa

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called “Neuron MOS Transistor” (neuMOS or ν MOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that “association” is the very computing primitive, we are pursuing human-like intelligence system implementation directly in silicon integrated circuits. Currently research is in progress for robust image recognition and voice recognition processing. The state-of-the-art silicon technology has been utilized to implement such associative processors in both analog and digital CMOS VLSI chips. As practical applications of the circuit technology developed for the associative processor chips, CDMA matched filter chips have also been developed.

2. 画像の特徴ベクトル抽出 VLSI 及びそのパターン認識への応用

柴田 直・小川 誠・伊藤 潔人・山崎 英男・Tongprashit Benjamas・川原 邦男

我々の連想プロセッサアーキテクチャを画像認識に用いるには、2次元の画像情報を特徴ベクトル、即ち一次元の数値列で表現しなければならない。我々はこの目的で、主方向線分投影法 (PPED: Projected Principal-Edge Distribution) と呼ぶ新たな特徴ベクトル表現法を開発した。2次元画像に対し、縦・横・斜め2方向、計4方向の線分を抽出してフィーチャーマップを作成、そのビットフラグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する。これらをつなぎ合わせて64次元ベクトルとし、64×64ピクセルの画像を表現する。これは、元画像の特徴を実にうまく表現しており、手書きによるパターンの変形、歪みに対しほとんど影響を受けない。従って、単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる。特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった。さらにこの手法を矯正歯科診療におけるセファロ X 線写真解析に応用、歯学部学生にも結構困難な解剖学的特徴点抽出がかなり正確にできることがわかった。今後、連想プロセッサと統合し、一般的な知的画像認識システム構築へと発展させていく。このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり、neuMOSを用いたアナログ CMOS 回路技術、および最先端のデジタル CMOS 回路技術の両方を用いて、独自のアーキテクチャを持つ特徴ベクトル生成 VLSI チップの開発を行っている。

3. 実時間動画像処理プロセッサ

柴田 直・山崎 俊彦・梅島 誠之・亀谷 暁

リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾する Saliency Catcher、及びキャッチした物体の3次元計測を瞬時に行える VLSI プロセッサの研究を行っている。Saliency Catcher については、擬似二次元処理と呼ぶ新たな手法を導入、すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため、各画素部では大きなフィルファクタ (各ピクセルプロセッサ内でフォトダイオードが占める面積の割合。これが大きいほど多くの画像情報が処理に取り込める) が実現できた。このチップは、複雑な背景の中から複数の動いている物体を、動きの大きさとともに検出できる。さらにカメラ自身がブレて背景が動いていても検出できるという特徴をもつ。実際にチップで基本性能を確認した。さらに運動物体の3次元計測をリアルタイムで行うチップも開発した。これはキャパシタ間での電荷の再配置のみを演算に使う回路であり、究極の低消費電力システム実現の可能性を秘めている。

A Robust Feature-Vector Generation VLSI's and their Application to Handwriting Pattern Recognition and Medical X-ray Analysis

T. Shibata, M. Ogawa, K. Ito, H. Yamasaki, B. Tongprashit, K. Kawahara

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a feature vector, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by "Projected Principal-Edge Distribution (PPED)" method. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituitary gland), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

Real-Time Moving Image Processing VLSI Systems

T. Shibata, T. Yamasaki, M. Umejima, S. Kametani

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has been also developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

4. Multi-Clue サーチアルゴリズムによるロバストな顔検出 鈴木 康文, 柴田 直

顔の検出は、ヒューマンインタフェースの研究において重要な課題である。従来、肌色に着目したり、ニューラルネットワークによる分類等さまざまな手法が開発されているが、写真の撮影条件の影響を受けたり、あるいは本当の顔を逃してしまう、いわゆる false negative の発生といった問題が多かった。本研究では、多少の false positive (顔以外のものでも似ていると顔として検出) はあっても、「本当の顔を絶対に逃さない」ことを目標とするロバストな顔検出アルゴリズムの基礎を、これまでの成果であるエッジベースのベクトル表現法 (PPED) を発展させて確立した。PPED 法による検出は、例えば壁のしみでも眺めていると人間の顔に見えてくるといった、人間の認識に非常に近い検出アルゴリズムであるが、本研究では PPED とは補完的な性質を持つ、新たな2つのベクトル表現法を開発、オリジナル PPED ベクトルと同時に用いた多重照合法 (multiple clue matching) の開発により、大変ロバストな顔検出を実現した。

5. 初期視覚プロセッシングシステム

三田 吉郎・中下 友介・久保田 雅則・柴田 直

フォトセンサと情報処理回路とを融合した高機能イメージセンサは発展が期待できる。本研究では、イメージセンサを内蔵して、外界の状況から特徴を瞬時に抽出する知的情報処理 VLSI の研究を行なっている。このような VLSI は、フォトダイオードと処理回路とで演算単位「セル」を構成し、セルを縦横に並べる構造が一般的であるが、生体で行なわれているようにセル間を配線するためには三次元配線が必要となる。対して VLSI の配線は原理的に二次元であるから、セル同士の配線をいかに工夫して行なうかが問題となる。本研究では、(1) VLSI 回路中においてトポロジーを再構成する手法、(2) VLSI に MEMS 的要素を加味する手法において、この問題を解決しようと試みている。

6. マイクロ尖塔構造の大量生産技術と走査プローブ顕微鏡への応用

小林 大輔, 三田 吉郎, オーレリアン・グレイ*
タリク・ブルーイナ*, 柴田 直, 藤田 博之**

*電子工業技術高等学院 (ESIEE, パリ)

**東京大学生産技術研究所

高さ百数十 μm , 先端の曲率半径数十 nm という、従来技術の10倍以上の高さを持つ、絶縁体材料によるマイクロ尖塔構造を、簡便な手法で同時大量生産することに成功した。この技術の新型 SPM への応用を目指している。

鍵は、等方性エッチングにおいて、一度生じた鋭角構造は保存されるという原理であり、このため何ら精密な時間制御を必要とせず尖塔構造を作製することができる。絶縁体で作製した尖塔構造の上にプラチナなどの導電性材料をコーティング、加工することで特殊な針を作製し、トンネル原子像と磁区像とを同時観測するシステムの応用を試し

Multiple Clue Search Algorithm for Robust Face Detection

Y. Suzuki, T. Shibata

Face localization is an important issue in new generation of human interface. There have been many approaches such as skin color detection and using neural networks. They have, however, many problems such as high sensitivity to photograph exposure conditions, and existence of "false negatives". The objective in our approach is to try to minimize the number of "false negatives", even it might increase the number of "false positives". Our algorithm can detect non-face images that are very similar to faces. A preliminary research is done by extending our edge-based vector image representation method (PPED). Besides the PPED-based detection method, two other new vector representations, which are complementary to PPED, have been developed. Using the multiple clue method with these three representations, a very robust performance in face detection has been achieved.

Early-vision processing systems

Y. Mita, Y. Nakashita, M. Kubota and T. Shibata

Intelligent image sensor array system is an integral part in humanlike intelligent systems. An image-sensor integrated smart feature extraction VLSI is under investigation in this project. Distributed cellular architecture is popular for these systems : a photodiode sensor and some information processing circuits compose a unit "cell" and the array of cells constitutes the system. However, if the cellular architecture tries to physically imitate living body, three-dimensional wiring is mandatory. However, VLSI wiring is 2-dimensional in nature so that some architectural innovation to augment the missing-one-dimension is necessary. We are proposing two solutions : (1) topology reordering, and (2) introduction of MEMS to VLSI in this project.

Mass-production technology of micro-spire structure and application to Scanning Probe Microscopy

D. Kobayashi, Y. Mita, A. Glay, T. Bourouina,
T. Shibata and H. Fujita

A 150 μm -height spired structure having a 50nm of summit curvature was batch fabricated. The process is a self-convergent bulk micromachining using a commercially-available fused quartz wafer. 2500 probes are available from one 5-inch square quartz wafer, so that the structure can readily be applied to low-cost volume production of SPM/SNOM probes. Moreover, the important discovery in the present work is the fundamental principle that is often misunderstood or ignored by MEMS researchers : convex corners are unexceptionally preserved by isotropic etching. The principle will allow many researchers to obtain nanoscopic structures in simple processing. Clear STM images of highly oriented pyrolytic graphite surface were obtained by

ており、その一歩としてカーボングラファイト (HOPG) を用いた原子像取得に成功している。その際、市販の針に比ベトンネル電流の安定性が優れていることを確認した。

7. ナノホールアレイの作製技術高度化と応用 (日仏共同研究 SAKURA プロジェクト)

三田 吉郎, フレデリック・マーティ*

タリク・ブレイナ*, 柴田 直

*電子工業技術高等学院 (ESIEE, パリ)

日仏の研究者が共同して、VDEC 所有 EB 装置を利用してナノリソグラフィを行ない、ESIEE 所有の深掘り RIE 装置でエッチングを行なって、デザイン相乗り型ナノサイズの構造を作製し、様々な応用に供する試みを行なっている。現在、最小サイズ 500nm, アスペクト比 1 : 60 の構造を作製することに成功している。フォトリソグラフィシステムやバイオシステムへの応用を進行中である。

applying the micro-spikes to STM probes, with better tunneling current stability compared to commercial STM probes.

Development of fabrication technology of nano-holes and applications to bio-and optical systems. (France-Japan collaboration project : SAKURA)

Y. Mita, F. Marty *, T. Bourouina *, T. Shibata

A multi-design nano-fabrication technology and application to different domains is under development with collaboration of French and Japanese researchers. Lithography is performed by VDEC's EB writer and etching is performed by Deep RIE at ESIEE. Up to now minimum feature size of 500nm, and aspect ratio of 1 : 60 is obtained. Applications to Photonic Crystals and Bio-system is under investigation.

藤田研究室

Fujita Laboratory

(<http://www.cad.t.u-tokyo.ac.jp>)

1. 設計の形式的検証に関する研究

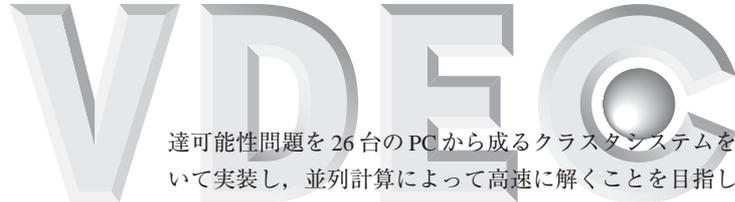
藤田 昌宏, Thanyapat Sakunkonchak, 小島 慶久, 松本 剛史, Cho Moon Ki, 吉田 充孝

VLSI 設計の大規模化・複雑化に伴い、設計の正しさを検証するため要する時間は長期化しており、現在では全設計期間の大半を占めるまでになっている。設計が大規模化した結果、従来のシミュレーションによる検証では、テストパターンの急激な増加が問題になっている。このため、テストパターンを必要とせず、数学的な手法によって正しさを証明する形式的検証の重要性が高まっている。また、設計期間の短縮のためには、できる限り多くの設計誤りを設計過程のより上位で発見し、修正する必要がある。システム設計やビヘイビア設計のような上位設計では、C 言語やその拡張言語 (SpecC, SystemC など) を用いることが多くなってきている。そこで、本研究では、C 言語ベース設計を対象として等価性検証と同期検証を行っている。等価性検証に関しては、C 言語記述を対象とし、記述の違いに着目し、効率的な手法を提案した。同期検証は、SpecC 言語記述を対象とし、適切に同期がなされているかどうかを検証する。ここでは、プログラムの抽象化手法を導入することで、検証を効率化し、大規模な設計記述を扱える手法を提案した。さらに、形式的検証の効率化を図るための技術として、BDD (Binary Decision Diagram) 計算の並列化に関する研究も行っている。BDD 計算は、形式的手法で広く用いられており、その高速化によって検証時間を短縮することは重要である。この研究では、BDD を用いたグラフの到

1. Formal verification of designs

Masahiro Fujita, Thanyapat Sakunkonchak, Yoshihisa Kojima, Takeshi Matsumoto, Moon Ki Cho, Mitsutaka Yoshida

As VLSI designs become larger and more complex, verification of designs take more time, which become the most part of whole design processes. As a result, the number of simulation patterns is increasing rapidly, which becomes a serious problem in verification based on simulation. Therefore, formal verification is strongly required since it proves correctness of designs mathematically without test patterns. To reduce total design term, design errors should be found and modified in early stages in design flow. Recently, C language and C-base languages (SpecC, SystemC) are used to describe the designs in the early stages such as system-level or behavior-level. From this point, we are working on two formal methods on synchronization verification and equivalence checking which are assumed to be applied in C-based designs. We proposed an efficient equivalence checking method for C descriptions which utilized the textual differences between the two descriptions to be verified their equivalence. We also proposed a method to check whether the designs written in SpecC are synchronized properly. In this method, the technique to abstract programs is used to reduce the verification tasks and verify larger designs. We are also working on parallelization of BDD (Binary Decision Diagram) computation. Techniques based on BDD computation are widely used in formal methods, therefore, our proposed method to im-



達可能性問題を 26 台の PC から成るクラスシステムを用いて実装し、並列計算によって高速に解くことを目指し、その評価を行った。並列化によって、計算時間が 8 分の 1 にまで減少することを実験を行って確認している。

2. 算術演算回路における回路修正技術に関する研究

藤田 昌宏, 小松 聡, 林 哲也

集積回路の大規模化・複雑化にともない、設計時間が長期化し、検証・デバッグに費す時間が支配的になってきている。設計者は、製品用にスタンダードセルを、試作用に FPGA を主に用いてきたが、DSM 時代に突入しどちらの実装においても回路性能はレイアウトに大きく依存するようになってきている。そのため、設計誤り、仕様変更等による再設計が大変難しくなり、元の回路と同等の性能を出すために、最小の回路変更でデバッグを行うことが重要になっている。そこで、本研究において論理設計での算術演算回路を対象としたデバッグ手法を提案している。デバッグ手法は、論理的に正しい回路と設計誤りを含む回路の対応づけを入力側からと出力側からそれぞれ行い設計誤り部分を抽出する処理と、設計誤り部分を正しい回路へ置き換える処理の二つの処理から構成されている。本研究では、浮動小数点乗算器を対象として、階層的な構造を持つ算術演算回路のデバッグ手法を実装し、サンプル回路に対して評価を行った。

3. 論理回路合成技術に関する研究

藤田 昌宏

論理合成は、レジスタ転送レベル (RTL) の記述から、面積・遅延・消費電力などコスト関数として最適化処理を施しながら、最終的に半導体ライブラリに登録されているセルのみからなる論理回路を自動生成するプロセスであり、現在の LSI 設計では、基本ツールとして広く利用されている。市販されている論理合成ツールは、VHDL, Verilog などのハードウェア記述言語 (Hardware Description Language, HDL) が利用されている。現在、レジスタ転送レベルより上位の高位レベル、あるいはハードウェア・ソフトウェア協調設計の支援も行うシステムレベルの記述のため、C 言語を元とした設計記述言語が使われ出している。そこで、本研究では、C 言語を元としたシステムレベルからの設計記述言語の代表の 1 つである SpecC 言語に対し、論理合成が効率よく適用可能なように、レジスタ転送レベルの記述法を新たに開発に協力し、標準化案をまとめた。電子機器設計支援技術の標準化案をまとめている Accellera が制定しているレジスタ転送レベルの表現法を元に SpecC で具体的にどのように表現すべきかを制定した。この標準化案は、SpecC のホームページで公開されている。

prove the computation by parallelization contributes to reducing the verification time. Using our cluster system with 26 PCs, we implemented the method of the parallelized BDD computation for reachability analysis of a graph. As experimental results, we showed that the analysis time of one example reduced to one-eighth by introducing parallelization.

2. Debug Methodology for Arithmetic Logic Circuits

Masahiro Fujita, Satoshi Komatsu, Tetsuya Hayashi

As VLSI systems become larger and take up much longer time, verification and debug of logic design have become one of the dominating parts of the total design flow. Since arithmetic circuits are considered as time-consuming parts in typical LSI designs, designers spend much time in optimization and physical design of such circuits. Therefore minimal revision of circuit structures for debugging is important to preserve the circuit performances. In this study, we investigate a debugging methodology targeting arithmetic circuits which modifies circuits locally and speeds up the total design time for redesign. To complete debug, we identify erroneous parts by mapping, forwardly and backwardly, erroneous circuits with correct reference circuits generated from a architecture library, and revise them. We implemented a debug algorithm targeting arithmetic circuits which have hierarchical architecture and evaluated it by using sample floating point multipliers.

3. Logic synthesis and layout combined techniques

Masahiro Fujita

Logic synthesis is a process to generate networks of logic cells registered in the semiconductor libraries from register transfer level (RTL) descriptions. Today's logic synthesis tools are based on hardware description languages (HDL), such as, VHDL and Verilog. Now system level design languages that can support high-level or system-level designs in hardware/software co-designs are becoming to be used. We pick up one of C-based system design language, SpecC as a representative language and have determined standard way to describe RTL description in SpecC jointly with the SpecC consortium. It is based on Accellera standard which defines various levels in RTL. The standard can be found in the SpecC consortium home page.

4. ソフトウェア・ハードウェア協調システム設計技術に関する研究

藤田 昌宏, 小松 聡, 小島 慶久, 田辺 健, 松井 健

デジタルシステムを実現する際に、ソフトウェアとハードウェアが適切に役割を分担することにより、価格性能比を最適にする設計技術、および設計支援技術について研究している。本研究では、従来の追加ハードウェアの制御回路をマイクロコントローラとメモリに置き換えることにより、チップ作製後に修正可能なアーキテクチャを提案している。追加ハードウェアを専用命令セットをもつプロセッサとしてモデル化し、アプリケーションから最適な命令セットを自動生成し、また、その命令セットを用いて最適なコードを自動的に生成する。例題の暗号化アルゴリズム Rijndael にて、専用命令を持たないプロセッサの場合と比較して、ステップ数で 2.6 倍程度高速化が可能との見積りを命令セットシミュレータを用いて得た。また、配置配線が既に行われており、ファンクションユニット (FU) とレジスタファイル (RF) 間のバスの接続がプログラマブルなアーキテクチャを対象とした高位合成手法について研究している。バス配線の接続・切断のコンフィギュレーションによって、利用可能な FU や同時に利用可能な FU が変化し、また配線容量による遅延が変化する。このようなアーキテクチャを対象として、ステップ数やクロック周期などのコストを最適化しながら、スケジューリングをシンボリックに行い、最適なアセンブリコードを生成し、同時に、最適なバス接続のコンフィギュレーションを求めるための高位合成手法を提案し、定式化手法を示した。さらに、協調システム設計においてシステム全体のデバッグ・検証を効率的に行うために、システム設計言語 SpecC にソフトウェア開発で用いられる抽象化手法であるプログラムスライシング手法を適用する研究を行っている。ANSI-C 言語用のプログラムスライシングツールを基本とし、SpecC 言語に特有な階層化構造、並列実行構文、同期構文に対応する依存グラフを定義することで SpecC 言語プログラムスライシングを提案した。また、UML (統一モデリング言語) を利用してシステムの上位設計を行う手法についても研究している。オブジェクト指向設計論に基づく状態遷移表現を用い、設計初期からシステムの実行可能モデルを得ることで設計手戻りの抑制を図る手法について提案した。

5. 低電力システム設計技術に関する研究

藤田 昌宏, 小松 聡

近年の極微細プロセス技術の進歩により、高性能なシステム LSI が実現可能となったが、それに伴い消費電力の増加が大きな問題となっている。また、プロセスの微細化に伴い、配線やチップインタフェースでの消費電力が全体の消費電力に対して相対的に大きくなってきており、いかに低電力にデータを伝送するかということが低電力設計に大きな影響を与えている。このような観点から、多くの低電力

4. Computer Aided Design for Software/Hardware Combined Systems

M. FUJITA, S. KOMATSU, Y. KOJIMA, K. TANABE and K. MATSUI

Design methodologies and corresponding CAD techniques for software/hardware combined digital systems are studied. In this study, we replace the conventional controller circuit of the specialized hardware with compact micro-controller and memory in order to increase the debuggability and the flexibility of design even after chip fabrications. Specialized hardware can be modeled as the processor with the specialized instruction-set for the target application. The optimal specialized instruction-set is automatically generated from the given application, and the optimal code using the generated instruction-set is also automatically generated. Instruction Set Simulator estimated that our processor can achieve the 2.6 times faster performance in step-count than the generic processor without specialized instruction-set, for the example, Rijndael encryption algorithm. We also study a high level synthesis method targeting the architecture in which placing and routing are already done with programmable bus connections between Functional Units (FUs) and Register Files (RFs). In this architecture, available FUs, the combination of FUs available at the same time, and delays caused by wire load will change depending on the bus connection configuration. We proposed a high level synthesis method and provided its formulation which schedules in symbolic manner optimizing the costs such as the number of steps or the clock period, then generate the optimal assembly code and the optimal configuration for bus connections simultaneously. For efficient debug and verification of whole system design, we expand the software abstraction method, program slicing, into the system level design language, SpecC. In our architecture, we defined the dependence graph structure for SpecC's syntax and semantics, such as hierarchical structures, parallel executions, and synchronization, based on the dependence graph of ANSI-C. We also study a methodology of the high-level system design using Unified Modeling Language (UML). Using our methodology, we can obtain the executable models of the target system by using the state transition representation based on the object-oriented design methodology even in the earliest stage of designing, which enables us to avoid expensive rework of design.

5. Low power system design method

Masahiro Fujita, Satoshi Komatsu

Though recent shrunk VLSI technology has realized high performance system LSI, the increasing power dissipation is becoming serious concern on system LSI design. It also causes the increase of power dissipation of data transmission on interconnects/chip interface compared to overall chip power dissipation. In this study, we propose an irredundant low power address bus encoding method by considering JUMP/BRANCH



データ符号化手法が提案されている。通常、アドレスバスはデータバスと比較して時間軸での因果関係が大きく、アドレスデータが冗長性を持つためバス符号化により、効率的に信号遷移頻度を削減できる。本研究ではジャンプ/分岐などの履歴に着目し、消費電力削減効果が高く、かつ非冗長な符号化手法を提案し、その評価を行った。実験結果より、信号遷移頻度を約 80-95% (平均 88%) 削減可能であることを示した。また、符号化回路の評価も行い、アドレスバスのキャパシタンスが大きい状況では、本手法が非常に有効であることを示した。

6. LSI チップ故障・誤設計診断技術に関する研究

藤田 昌宏, 田辺 健

極めて高い信頼性が必要とされる社会インフラ用 LSI や、宇宙線によるビット反転エラーの発生率が高い人工衛星用 LSI では、多数決回路などの冗長計算やエラー処理回路などが利用されている。たとえば、多数決回路では、同じ計算を複数行って、結果の多数決を取るが、その際、同じ演算回路を使って複数計算しても信頼性は上がらない。しかし、通常のシミュレーションでは、このような信頼性の評価は難しく、より系統的な解析手法が望まれる。そこで、本研究では、システムレベル設計に的を絞って、設計に対する信頼性を解析・評価する手法について研究している。まず、ターゲット言語としてシステム設計記述向けの C 言語である SpecC 言語を取り上げ、SpecC 言語によって設計記述された人工衛星電子機器に対して、使用するハードウェアの個々の部品の信頼性からシステム全体の信頼性を解析する手法や、信頼性上のボトルネックとなる部分の抽出を行う。具体的には、SpecC 言語による冗長演算回路設計に対し、ソフトウェア工学における解析手法であるプログラムスライシングを導入することで、冗長設計の誤りを検出する手法を探索する。入力された回路設計を元にスライシングを行う点を求め、この点からバックワードスライシングとフォワードスライシングを組み合わせて実行することで、冗長に複数用意された各演算器が均等に用いられているかを自動的に検証する手法の研究を行っている。

7. 電気系・機械系協調設計/検証技術

藤田 昌宏, 小松 聡, 佐々木 俊介

宇宙衛星などのように、動作現場での仕様変更・システム修正が困難なアプリケーションにおいては、抽象度の高いレベルから最終的な製造物に至るまで、一貫した仕様記述・設計検証技術が不可欠である。本研究では、実際の衛星をターゲットとし、電気系・機械系の双方を考慮した設計支援・検証技術の研究を行っている。その一環として、ロボットアームを含むシステムを設計し、機械系のモデルを C 言語で記述して検証に利用する手法を提案した。

history. Generally the instruction address bus increases by same step without JUMP/BRANCH operation. It indicates that the switching activity is decreased effectively by mapping low switching code word to the address which appears frequently. We evaluated this encoding method by using some bench-mark programs. Experimental results showed that these methods can reduce signal transitions by 80-95% (average 88%). Moreover circuit simulation results indicated these methods were very attractive when the address bus capacitance was large.

6. Diagnosis techniques for manufacturing faults and design errors

Masahiro Fujita, Ken Tanabe

Digital systems for high-reliable applications, such as, the ones used in social infrastructures and space satellite systems, need special attention to their fault-tolerant designs, such as, majority circuits, error corrections, and others. In majority circuits, same computations are made by multiple times, and the majorities in the results are actually used for later computations. If the same function units are used for such multiple computations, no actual improvement in reliability can be obtained. This fact cannot be confirmed by normal simulations. Instead more systematic approach is required. In this research we are concentrating on system-level digital system designs and use SpecC language which is a C-based system level design language as our target language. We are developing methodologies that can compute reliability for the entire systems from the ones for each component and the ones that can extract key points for reliability enhancement. We use a software analysis method, program slicing, for the analysis of redundant designs written in system level design language, SpecC. We propose the automatic analysis method which verifies whether each individual computation uses separated its own function units, by an execution of some backward slicings and forward slicings from the slicing points generated from SpecC design.

7. Co-design methodology on electric and mechanical mixed systems and its verification techniques

Masahiro Fujita, Satoshi Komatsu, Shunsuke Sasaki

In the application where the on-site debugging is difficult such as space satellite, the consistent (from higher abstract level to the implementation) techniques related to specification description and design verification are indispensable. We are studying the design methodology and verification method of actual satellites considering both electric parts and mechanical parts of satellites. As a part of this study, we designed a robot arm system and indicated a method for the design of mechanical models by C language. In addition, we performed the verification of the system by using the C language mechanical model.

年吉研究室

Toshiyoshi Laboratory

(<http://toshi.fujita3.iis.u-tokyo.ac.jp>)

静電マイクロアクチュエータの光ファイバ通信応用

年吉 洋, 高橋 拓也

MEMS (Micro Electro Mechanical Systems) 技術による静電駆動型のマイクロミラーを光通信コンポーネントに応用する際の設計上の課題として, 駆動電圧の低電圧化, スキャン角度の拡大, 長期安定性, 温度依存性, 耐衝撃性の改善があげられる. 本研究では, 光学, 材料力学, 半導体プロセス工学などを総合したマイクロミラーの設計製作に関する理工学の構築を進めている. 光学関連企業数社との個別共同研究.

フォトニック結晶と MEMS デバイスの融合

年吉 洋, 肥後 昭男

ソリッドステート型の光導波路デバイスを現在の 1/10000 以下 (面積比) に小型化するために, フォトニック結晶光導波路上に MEMS デバイスを集積化した新しい光変調器/光スイッチを試作している. 光導波路上のエバネッセント領域で高屈折率材料 (シリコン) を機械的に振動させることにより, 変調を掛ける方式である. これまでに, 電子ビーム描画およびシリコンの高アスペクト比ドライエッチングによりフォトニック結晶導波路を形成し, その上に酸化膜, 多結晶シリコンからなる MEMS レイヤーを追加して静電駆動型の光変調器を製作した.

光による微小物体の駆動制御

年吉 洋, 山内 木綿子

MEMS 機構の微細化とアレイ化にともなって, 個別のマイクロ機構を駆動するための電気配線が困難になりつつある. これを解決する手段として, 自由空間中を伝搬する光ビームを用いて微小機械構造を駆動する方法を検討した. ただし, 光のもつ運動量は μm オーダーの機構を駆動するには小さすぎる. そこで本研究では, 電圧印加による静電引力を外から導入した光で変調できる仕組みをフォトダイオードと静電容量型のアクチュエータとして構成する新しい方法を考案した.

マイクロレンズスキャナの光ファイバスイッチ応用

年吉 洋, 高橋 一宏

MEMS (Micro Electro Mechanical Systems) 技術により製作

Electrostatic Microactuators for Fiber Optic Applications

Hiroshi Toshiyoshi and Takuya Takahashi

Technical difficulties in applying MEMS (Micro Electro Mechanical Systems) electrostatic micro mirrors lie in lowering their driving voltage, extending scan angles, improving long-term stability including temperature dependence and anti-shock tolerance. In this work, we develop a toolbox of microengineering knowledge for designing and producing micro mechanical mirrors in collaboration with industrial partners.

Integration of Photonic Crystals with MEMS Devices

Hiroshi Toshiyoshi and Akio Higo

A new type of microelectromechanical optical device is under development by integrating MEMS components with photonic-crystal (PhC) waveguides in order to minimize the device size to 1/10000 times folded compared with the photonic lightwave circuit (PLC) devices today. A micron-scale movable structure is placed over the evanescent field in close vicinity of an optical waveguide, and a traveling light through the waveguide is intensity/phase modulated by means of the mechanical motion of such high refractive-index material. We have developed a prototype of an opto-mechanical device by patterning the PhC waveguide and post-processing micro/nano mechanical structures with deposited silicon oxide and polysilicon layers.

Optical Addressing of Micro Structures

Hiroshi Toshiyoshi and Yuko Yamauchi

With decreasing the size of MEMS devices, it is becoming more difficult to have electrical interconnections to the microcomponents on a chip. As a possible solution to this problem, we have newly developed a method to mechanically address/drive microstructure by using light beams traveling in free space; momentum of photon, however, is very small to drive micromechanical structures. Hence we employed electrostatic force of applied voltage acting on the movable mechanical parts and optically modulated the voltage applied to the actuators by using a photocoupler structure of integrated silicon photodiodes and capacitive electrostatic micro actuators.

Microlens scanners for optical fiber switch application

Hiroshi Toshiyoshi and Kazuhiro Takahashi

Various kinds of MEMS (Micro Electro Mechanical Systems)



した微小なミラーを用いて大規模光クロスコネクタスイッチ (OXC, optical crossconnect) を構成する研究が国内外で盛んに行われている。本研究では、ミラーをスイッチング素子に用いた場合の問題点として、光ファイバアレイとコリメータレンズアレイの位置合わせ誤差について検討した結果、コリメータレンズそのものを微小駆動することで光学特性を改善できることを指摘した。また、レンズを比較的大きな変位で駆動することにより、コリメータレンズにスキャン機能を持たせることができる。このようなレンズ駆動型の光スキャナを用いて光クロスコネクタを実現する研究を行っている。

mirrors have been developed for large-scale optical crossconnect (OXC) applications. After careful investigation on optical alignment between fiber arrays and collimator arrays, we have concluded that micro-mechanically adjustable collimators could improve optical performance of the system. Furthermore, collimator lens is able to scan the light beam when actuated at larger stroke. We have thus developed microelectromechanically movable lens scanners for OXCs.

小林研究室 Kobayashi Laboratory

(<http://www-lab13.kuee.kyoto-u.ac.jp>)

ハードウェア有効利用のための資源共有型 VLIW プロセッサ

荒本 雅夫, 小林 和淑, 小野寺 秀俊

並列度の高いプロセッサは、命令レベルでの並列性に限界があるためにハードウェア量ほど性能が向上しない。さらにプロセッサの性能を向上させるためには、命令レベルでの並列性の他にスレッドレベルでの並列性を利用する必要がある。本論文ではハードウェアを有効利用するための資源共有型 VLIW プロセッサを提案した。これは VLIW (Very Long Instruction Word) プロセッサに SMT (Simultaneous MultiThreading) 技術を適用したものである。提案するプロセッサは、従来のスーパースカラをベースとした SMT プロセッサとは異なり、VLIW プロセッサをベースとしている。複雑な並列性の解析はコンパイラで静的に行う。並列性が引き出せず空き資源が発生する場合は複数のスレッドの処理を同時に行い、ハードウェアを有効利用する。スーパースカラプロセッサでは動的に命令をスケジューリングするためにハードウェアが複雑になる。VLIW プロセッサでは静的に命令をスケジューリングするためにソフトウェアが複雑になる。提案プロセッサでは、ハードウェアとソフトウェアの両方で命令をスケジューリングする。そのために、ハードウェア・ソフトウェアの一方を複雑にすることなく効率のよい実装が実現できる。

A Resource-Shared VLIW Processor for Efficient Hardware Utilization

Kazutoshi Kobayashi, Masao Aramoto, Hidetoshi Onodera

Performance of a highly parallel processor does not improve according to the amount of parallel hardware resources, since ILP (Instruction-Level Parallelism) in a program is eliminated. In order to improve the performance of a processor, it is necessary to use TLP (Thread-Level Parallelism) together with ILP. In this work, we propose a Resource-Shared VLIW processor for efficient hardware utilization. This processor is a VLIW (Very Long Instruction Word) processor on the SMT (Simultaneous Multi-Threading) technology. The proposed processor is different from a conventional SuperScalar-based SMT processor since it is based on VLIW. In the proposed processor, a compiler (software) statically analyzes the dependency of variables. When resources for instruction execution are free because of low ILP, that resources execute instructions from a different thread. The hardware is complicated in a SuperScalar processor, because instruction scheduling is done dynamically. A compiler is complicated in a VLIW processor, since scheduling is done statically. In the proposed processor, instruction scheduling is done by both compiler and hardware. Therefore, hardware and compiler can be very simple.

カメラの動きを使った動き予測の MPEG-4 への適用

岡村 怜王奈, 小林 和淑, 小野寺 秀俊

撮像時のカメラの動きを用いた動き探索を MPEG-4 に適用し、その画質と演算量を定量的に評価する。提案手法では、静止物体のみが存在する動画像において、既存の高速アルゴリズムに比べて 45% の演算量であるにもかかわらず、圧縮後の画質は、全探索手法と同等かそれ以上であること

An MPEG-4 implementation of Motion Estimation by Camera Motion

Leona Okamura, Kazutoshi Kobayashi, Hidetoshi Onodera

To reduce the amount of computation on motion estimation, we propose an efficient motion estimation algorithm by restricting search areas according to the motion of a camcorder, which is obtained from a gyro sensor. When the camcorder moves, still ob-

がわかった。

FPGA プロトタイピングによるマルチプロセッサエミュレーション環境の構築

小谷 学, 小林 和淑, 小野寺 秀俊

通常, 組み込み機器においては, 汎用の組み込みプロセッサといくつかの専用ハードウェアでシステムを構成し, 例えば動画画像処理等の計算量の非常に大きい処理を専用ハードウェアに実装し, プロセッサの負荷を分散する方法を採ってきた。専用ハードウェアを用いてきたのは高速, 低消費電力の利点のためである。しかし今日の LSI 製造プロセスの進歩による回路規模の増大に伴って, 設計期間の長期化, マスクコストの増大, バグ発生率の増加といった問題が生じる。製品出荷後の機能修正も不可能であり, 以上に述べた組み込み機器の要求に対し専用ハードウェアで対処することは困難になりつつある。本研究では, これらアーキテクチャを研究するにあたり大変重要となる, 評価用環境の構築について述べる。前述の背景より, 負荷分散の対象として特にプロセッサベースのデバイスを取り上げ, FPGA 搭載ボードを用いてマルチプロセッサエミュレーション環境を構築した。

非対称型マルチプロセッサシステムのためのプロセス移送の検討

コプロセッサにプロセッサを使用すれば現在存在する膨大なソフトウェア資産を利用でき, メインプロセッサとの協調動作も容易となる。プロセッサの性能向上へのアプローチとしては, クロック高速化と 1 クロックあたりの処理命令数の向上がある。後者の具体的手法としては, スーパースカラ, VLIW (Very Long Instruction Word), アウトオブオーダー実行などがある。しかし命令単位での並列化には限度があり, 並列性を見つけるためのハードウェアコストも大きい。一方スレッド・プロセス単位で並列実行しようとした場合には各スレッド間の依存関係は非常に小さく, 少ないハードウェアで並列処理を行うことができる。組込機器においても複数のタスクを同時実行するマルチタスク環境が一般的になっているため, TLP (Thread Level Parallelism) が有効である。一つのプロセッサ内に複数の実行ユニットを持たせるだけでなく, プロセッサを複数搭載することで並列処理を行うマルチプロセッサというアプローチもある。本研究では低消費電力と処理能力の両立が可能な非対称型マルチプロセッサシステムを検討し, このシステムを有効活用可能なプロセス移送方式を提案した。

jects seems to move in the opposite direction. The proposed method estimates the position where the objects moves, and investigates in a restricted region around it. The proposed method never points out such wrong motion vectors because it seeks them from real motion. Compared to the full search block matching method, the proposed method can reduce the calculation cost by 55% while keeping or improving the video.

A Study on Creating an Environment for Multi-Processor System Emulation using FPGA Prototyping

Manabu Kotani, Kazutoshi Kobayashi, Hidetoshi Onodera

We study how the evaluation environment should function for general-purpose usage, especially for a processor-based, or multiprocessor system. And we evaluate a functionally-modularized FPGA board as a basis of effective evaluation environment. We can create a versatile system emulation environment by taking advantage of its flexibility and extensibility. For the purpose of emulating a multiprocessor system with FPGAs, we prepare a soft-macro MIPS-compatible RISC processor core, verify its functionality, and implement a processor-based image processing system as an application. As an example we designed a JPEG encoding system on the above-referenced functionally modularized FPGA board, and we estimate that this system will work 12fps (frame-per-second) QCIF-size image with 16.5MHz and that data transaction between FPGAs will not dominate as bottleneck of the system. With this emulation environment, we can design various multiprocessor systems of dozens of MHz performance.

Study on a Process Emigration Method for Asymmetric Multi-Processor Systems

Yutetsu Takatsukasa, Kazutoshi Kobayashi, Hidetoshi Onodera

We adopt an ASMP (ASymmetric Multi-Processor) architecture as a candidate of embedded systems. We propose a process emigration method to maximize a merit of ASMP Systems. In ASMP systems, number of active processors can be changed dynamically. We can choose a heterogeneous architecture for ASMP systems, while SMP systems require homogeneous architecture. It is possible to choose suitable sub-processors among many types of sub-processors. To stop power supply on idler processors, power consumption must be minimized. There are many OSs (Operating System) supporting SMP, but few OS supports ASMP. We propose process emigration method adequate to ASMP systems. By process emigration, a process running on main-processor is suspended, emigrate to a sub-processor and continue to be running on it. We implement process emigration functions as a kernel module for Linux. A verification environment for process emigration is under construction. We estimate the performance of an ASMP system for a Motion-JPEG encoding program. The system will work at 13fps (frames per second) with a 400MHz sub-processor, and time to emigrate



the process is less than 1%.

服部研究室 Hattori Laboratory

(http://www.vbl.kyushu-u.ac.jp/~hat_lab)

電子ペーパー

服部 励治

電子ペーパーとは電子ディスプレイと紙の特性を併せ持つものである。すなわち、電子ディスプレイのように表示画面を自由に書き換えられ、紙のように薄く・軽く・安く・白く、かつ超低消費電力でなければいけない。このようなディスプレイを実現しようと現在さまざまな技術が開発されているが、我々は“電子分流体”を用いたディスプレイの開発に取り組んでいる。この技術は他に比べあらゆる点で優れており、最も電子ペーパー実現に最も近いところにある。服部研究室ではこのディスプレイの駆動方法・専用ドライバー IC・実装方法などを中心に研究・開発を行っている。

Electronic Paper

Reiji Hattori

“Electronic Paper” has both characteristics of “an electronic display” and “a paper.” That is to say, it must be quickly rewritable or refreshable just like an electronic display and must be thin, light, cheap, white and an ultra-low power consumption device just like a paper. Although such a display is developed all over the world with various kinds of technologies, we are now developing a display using “Electronic Liquid Powder”. This technology is superior to all others and has the closest position to an electronic paper. Our laboratory is focusing on the researches and developments of the driving method, the custom driver IC and the mounting method.

有機 EL ディスプレイ

服部 励治

有機ELディスプレイは応答性、視野角、コントラストで液晶ディスプレイより優れ、次世代フラット・パネルディスプレイの有力候補として注目されている。しかし、有機ELは電流駆動素子であるため液晶とは全く違う駆動法を必要とする。我々は携帯電話背面パネルからTVモニターまでのさまざまな有機ELのアプリケーションに適した駆動法を考え、有機EL素子からコントロールICまでを含めたトータル・システムとして有機ELディスプレイの最適設計に取り組んでいる。

Organic Light-Emitting Display

Reiji Hattori

Much attention has been paid for OLED in a new generation display because OLED display has advantages over LCD such as high response speed, wide viewing angle and high contrast in dark. However, since OLED is a device driven by current source, it needs a quite different driving method from that of LCD. We are devoting ourselves into the optimum designing of OLED to various kinds of application searching the total system solution including from OLED diode device to a controlling IC.

益子研究室 Mashiko Laboratory

SoC 設計及び手法の研究と産学連携

益子 耕一郎

SoC (System on a Chip) 設計は IT (Information Technology) 時代を支える基盤技術となっている。しかし、SoC の応用分野が広がると共に、規模・動作速度・消費電力・信頼性などの諸点で従来の設計手法が通用しない局面が生じてき

SoC Design and Methodology through Collaboration between Academia and Industry

Koichiro Mashiko

SoC or System-on-a-chip has become an essential ingredient for the IT era. However, as the application of SoC broadens, the technical or engineering barriers to overcome circuit density,

た。これらの諸問題は一社あるいは半導体産業界のみでは資金・時間・人的資源の面でカバーしきれないレベルに達しており、産学連携が必須とされている。産業界と大学の連携を通じ、効率的・効果的な SoC 設計とその手法を検討する。

power density, speed or reliability become so burdensome that the conventional concepts or methodology cannot directly applied to these problems. Also these problems cannot be solved by each company or industry itself and thus the academia-industry collaboration is strongly demanded. The efficient and effective methodology for the SoC design is investigated through the academia-industry collaboration.

4.3. 研究発表

1. 研究論文

- [1] M. Fujishima, K. Saito and K. Hoh, "16-qubit quantum computing emulation based on high-speed hardware architecture", *Jpn. J. Appl. Phys.*, Vol. 42, pp. 2182-2184, 2003. 4
- [2] K. Ishida, M. Fujishima, "Chopper-stabilized highpass sigma delta modulator utilizing a resonator structure", *IEEE Transactions on circuits and systems II : Analog and digital signal processing*, vol. 50, no. 9, pp. 627-631, 2003. 9
- [3] K. Yamamoto, T. Norimatsu and M. Fujishima, "1 V 2 GHz CMOS frequency divider", *Electronics Letters-IEE*, Vol. 39, No. 17, pp. 1227-1228, 2003. 8
- [4] M. Fujishima, "LSI-based efficient emulation overcoming algorithmic restrictions inherent in quantum computers", *Fluctuation and Noise Letters (FNL)*, Vol. 3, No. 4, pp. C9-C17, 2003. 12
- [5] S. Etoh, T. Fujimura, R. Hattori, Y. Kuroki, "Fabrication of on-chip microcapillary using photosensitive glass", *Microsystem Technologies* 9 (8), pp. 541-545 (Oct. 2003)
- [6] S. Etoh, T. Fujimura, R. Hattori, Y. Kuroki, "Observation of on-chip electrophoresis microcapillary using confocal laser scanning microscopy", *Jpn. J. Appl. Phys.*, Vol. 42, No. 6B, 4093-4097 (Jun. 1, 2003)
- [7] T. Fujimura, A. Ikeda, S. Etoh, R. Hattori, Y. Kuroki, S. S. Chang,, "Fabrication of open-top microchannel plate using deep X-ray exposure mask made with silicon on insulator substrate", *Jpn. J. Appl. Phys.*, Vol. 42, No. 6B, 4102-4106 (Jun. 1, 2003)
- [8] R. Perera, A. Ikeda, R. Hattori, Y. Kuroki, "Trap assisted leakage current conduction in thin silicon oxynitride films grown by rapid thermal oxidation combined microwave excited plasma nitridation", *Microelectronic Engineering*, 65 (4), pp. 357-370 (May, 2003)
- [9] R. Perera, A. Ikeda, R. Hattori, Y. Kuroki, "Effects of post annealing on removal of defect states in silicon oxynitride films grown by oxidation of silicon substrates nitrated in inductively coupled nitrogen plasma", *Thin Solid Films*, 423 (2), pp. 212-217 (Jan. 15, 2003)
- [10] Reiji Hattori, Jerzy Kanicki, "Contact Resistance in Schottky Contact Gated-Four-Probe a-Si TFT", *Jpn. J. Appl. Phys. PT. 2*, Vol. 42, No. 8A, L907-L909 (Aug. 1, 2003)
- [11] 瀬戸謙修, 藤田昌宏, 浅田邦博, "充足可能性判定を利用した最適コード生成手法", *情報処理学会論文誌*, 第44巻, 第5号, pp. 1202-1205, 2003.
- [12] S. Komatsu, M. Fujita, "Irredundant Low Power Address Bus Encoding Techniques Based on Adaptive Codebooks", *IEICE Trans. Fundamentals*, Vol. E86-A, No. 12, pp. 3001-3008, Dec. 2003.
- [13] T. Sakunokchak, S. Komatsu, and M. Fujita, "Verification of Synchronization in SpecC Description with the Use of Difference Decision Diagrams", *IEICE Trans. Fundamentals*, Vol. E86-A, No. 12, pp. 3192-3199, Dec. 2003.
- [14] K. Seto, M. Fujita, and K. Asada, "Optimal Code Generation Based on Boolean Satisfiability", *IPJS Journal*, Vol. 43, No. 5, May. 2003. (in Japanese)
- [15] Y. Oike, H. Shintaku, M. Ikeda, and K. Asada, "A High-Resolution and Real-Time 3-D Imaging System Based on Light-Section Method", *Journal of Image Information and Television Engineers*, Vol. 57, No. 9, pp. 1149-1151, Sep. 2003. (in Japanese)
- [16] Y. Oike, M. Ikeda, and K. Asada, "High Performance Photo Detector for Correlative Feeble Lighting Using Pixel-Parallel Sensing", *IEEE Sensors Journal*, vol. 3, no. 5, pp. 640-645, Oct. 2003.
- [17] Y. Oike, M. Ikeda, and K. Asada, "A Row-Parallel Position Detector for High-Speed 3-D Camera Based on Light-Section Method", *IEICE Trans. on Electronics*, Vol. E86-C, No. 11, pp. 2320-2328, Nov. 2003.
- [18] Y. Oike, M. Ikeda, and K. Asada, "A 120 x 110 Position Sensor With the Capability of Sensitive and Selective Light Detection in Wide Dynamic Range for Robust Range Finding", *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 1, pp. 246-251, Jan. 2004.
- [19] H. Yamaoka, H. Yoshida, M. Ikeda, and K. Asada, "A Logic-Cell-Embedded PLA (LCPLA): An Area-Efficient Dual-Rail Array Logic Architecture", *IEICE Trans. Electron.*, vol. E87-C, no. 2, pp. 238-245, Feb. 2004.
- [20] Matthieu Denoual, Laurent Griscom, Hiroshi Toshiyoshi and Hiroyuki Fujita, "Accurate Double-Height Micromolding Method for Three-Dimensional PolyDiMethylSiloxane Structures", *Jpn. J. Appl. Phys.* Vol. 42 (2003) pp. 4598-4601.
- [21] Hiroshi Toshiyoshi, Guo-Dung John Su, Jason LaCosse, and Ming C. Wu, "A Surface Micromachined Optical Scanner Array using Photoresist Lenses Fabricated by a Thermal Reflow Process", *IEEE Journal of Lightwave Tech.* Vol. 21, No. 7 (2003) pp. 1700-1708.
- [22] Kunihiko Saruta, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Fabrication of Micro Lens Optical Scanner on SOI Wafer", *IEEJ Trans. SM*, Vol. 123, No. 7 (2003), pp. 231-236.
- [23] Yamato Fukuta, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Vapor Hydrofluoric Acid Sacrificial Release Technique for Micro Electro Mechanical Systems Using Labware", *Jpn. J. Appl. Phys.* Vol. 42, Part 1, No. 6A (2003), pp. 3690-3694.
- [24] Pei Yu Chiou, Hyejin Moon, Hiroshi Toshiyoshi, Chang-Jin Kim, and Ming C. Wu, "Light actuation of liquid by optoelectrowetting", *Sensors and Actuators, A* 104 (2003), pp. 222-228.
- [25] Hiroshi Toshiyoshi, "Mechanism and Performance Limit of Electrostatic Microactuators", *J. Soc. Instrument and Control Engineers (J. -SICE)*, vol. 42, No. 1 (2003) pp. 18-23.
- [26] 湯山洋一, 荒本雅夫, 高井幸輔, 小林和淑, 小野寺秀俊, 「機能特化型プロセッサアレーによる SoC アーキテクチャ

の提案], 電子情報通信学会論文誌 エレクトロニクス分冊, vol. J86-C, no. 8, pp. 790-798, 2003年8月

- [27] K. Kobayashi, H. Onodera, "A Comprehensive Simulation and Test Environment for Prototype VLSI Verification", *IEICE Trans. on Information and Systems*, vol. E87-D, no. 3, pp. 630-636, 2004
- [28] K. Kobayashi, R. Nakanishi, H. Onodera, "An Efficient Motion Estimation Algorithm Using a Gyro Sensor", *IEICE Trans. on Fundamentals*, vol. E87-A, no. 3, pp. 530-538, 2004

2. 国際会議

- [1] M. Fujishima, K. Saito, M. Onouchi and K. Hoh, "High-speed processor for quantum-computing emulation and its application", *IEEE Int. Symp. on Circuits and Systems*. Vol. IV, pp. 884-887, 2003. 5, Bangkok, Thailand
- [2] K. Yamamoto, M. Fujishima and K. Hoh, "Optimization of shield structures in analog integrated circuits", *IEEE Int. Symp. on Circuits and Systems*. Vol. I, pp. 753-756, 2003. 5, Bangkok, Thailand
- [3] M. Fujishima and K. Hoh, "High-speed quantum computing emulator utilizing a dedicated Processor", *SPIE Int. Symp. on Fluctuations and Noise*. pp. 281-287, 2003. 6, Santa Fe, New Mexico, USA
- [4] M. Fujishima, K. Inai, T. Kitasho and K. Hoh, "75-qubit quantum computing emulator", 2003 International Conference on Solid State Devices and Materials, pp. 406-407, 2003. 9, Tokyo
- [5] Minoru Fujishim and Ken Yamamoto, "A 1.0V 10.2GHz CMOS frequency divider with differential injection locking", 2003 IEEE Topical Conference on Wireless Communication Technology, 2003. 10, Honolulu, Hawaii
- [6] Minoru Fujishima and Koichiro Hoh, "Abstract emulation of quantum computing", The 5th International Workshop on Future Information Processing Technologies (IWFIP), 2003. 11, Miyazaki
- [7] M. Fujishima, "FPGA-based high-speed emulator of quantum computing", *IEEE International Conference on Field-Programmable Technology (FPT' 03)* pp. 21-26, 2003. 12
- [8] K. Yamamoto and M. Fujishima, "4.3GHz 44uW CMOS frequency divider", 2004 IEEE International Solid-State Circuit Conference, pp. 104-105, 2004, 2, San Francisco, CA
- [9] K. Hoh and M. Fujishima, "High-speed RF/Digital Design with Low-power Consumption", *Proceedings of International Symposium on Electronics for Future Generations*, pp. 89-94, 2004. 3, Tokyo
- [10] Y. Oike, M. Ikeda, and K. Asada, "High-Speed Position Detector Using New Row-Parallel Architecture For Fast Collision Prevention System", in *Proc. of IEEE International Symposium on Circuits and Systems (ISCAS)*, Vol. 4, pp. 788-791, May. 2003.
- [11] Y. Oike, M. Ikeda, and K. Asada, "640 x 480 Real-Time Range Finder Using High-Speed Readout Scheme and Column-Parallel Position Detector", *IEEE Symposium on VLSI Circuits (VLSI Symp.) Dig. of Tech. Papers*, pp. 153-156, Jun. 2003.
- [12] Y. Oike, M. Ikeda, and K. Asada, "A Smart Image Sensor With High-Speed Feeble ID-Beacon Detection for Augmented Reality System", in *Proc. of European Solid-State Circuits Conference (ESSCIRC)*, pp. 125-128, Sep. 2003.
- [13] H. Yamaoka, M. Ikeda, and K. Asada, "A High-Speed Logic Circuit Family with Interdigitated Array Structure for Deep Sub-Micron IC Design", *Proceedings of European Solid-State Circuits Conference (ESSCIRC)*, pp. 189-192, Portugal, Sep. 2003.
- [14] Y. Oike, M. Ikeda, and K. Asada, "A High-Speed and Low-Voltage Associative Co-Processor With Hamming Distance Ordering Using Word-Parallel and Hierarchical Search Architecture", in *Proc. of IEEE Custom Integrated Circuits Conference (CICC)*, pp. 643-646, Sep. 2003.
- [15] T. Nakura, M. Ikeda, and K. Asada, "Theoretical Study of Stubs for Power Line Noise Reduction", in *Proc. of IEEE Custom Integrated Circuits Conference (CICC)*, 31-4, Sep. 2003.
- [16] Y. Oike, H. Shintaku, S. Takayama, M. Ikeda, and K. Asada, "Real-Time and High-Resolution 3-D Imaging System Using Light-Section Method and Smart CMOS Sensor", in *Proc. of IEEE International Conference on Sensors (IEEE SENSORS)*, pp. 502-507, Oct. 2003.
- [17] Y. Oike, M. Ikeda, and K. Asada, "Design of Real-Time VGA 3-D Image Sensor Using Mixed-Signal Techniques", in *Proc. of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 523-524, Jan. 2004.
- [18] T. Iizuka, M. Ikeda, and K. Asada, "High Speed Layout Synthesis for Minimum-Width CMOS Logic Cells via Boolean Satisfiability", in *Proc. of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 149-154, Jan. 2004.
- [19] Y. Oike, M. Ikeda, and K. Asada, "A 375 x 365 3D 1k frame/s Range-Finding Image Sensor with 394.5kHz Access Rate and 0.2 Sub-Pixel Accuracy", *IEEE International Solid-State Circuits Conference (ISSCC) Dig. of Tech. Papers*, pp. 118-119, Feb. 2004.
- [20] T. Nakura, M. Ikeda, and K. Asada, "On-chip di/dt Detector Circuit for Power Supply Line", in *Proc. of IEEE International Conference on Microelectronic Test Structure (ICMTS)*, pp. 19-22 Mar. 2004.
- [21] T. Iizuka, M. Ikeda, and K. Asada, "Exact Wiring Fault Minimization via Comprehensive Layout Synthesis for CMOS Logic Cells", in *Proc. of IEEE International Symposium on Quality Electronic Design (ISQED)*, pp. 377-380, Mar. 2004.
- [22] K. Asada, Y. Oike, and M. Ikeda, "Three Dimensional Image Sensor for Real Time Application Based on Triangulation", in *Proc. of International Symposium on Electronics for Future Generations*, pp. 95-100, Mar. 2004.
- [23] Masahiro Fujita, "Application of formal methods in electronic parts of space satellite designs", *Model Checking workshop in The International Conference on Dependable Systems and Networks (DSN) 2003*, San Francisco, USA, May, 2003.
- [24] Takeshi Matsumoto, Hiroshi Saito, and Masahiro Fujita,

"Equivalence Checking of C-based Hardware Descriptions by Using Symbolic Simulation and Program Slicing", In Proc. IEEE/ACM International Workshop on Logic and Synthesis, pp. 252-259, USA, May 2003.

- [25] K. Seto, M. Fujita, and K. Asada, "Retargetable Code Generation Based on Finite State Machine and Boolean Satisfiability", 12th International Workshop on Logic and Synthesis, pp. 260-265, California, USA, May. 2003.
- [26] Takeshi Matsumoto, Thanyapat Sakunkonchak, Hiroshi Saito, and Masahiro Fujita, "Verification of Behavioral Consistency in C by Using Symbolic Simulation and Program Slicer", In Proc. International Workshop on Software Model Checking, pp. w80-w84, USA, June 2003.
- [27] H. Saito, K. Seto, Y. Kojima, S. Komatsu, and M. Fujita, "Engineering Changes in Field Modifiable Architectures", International Conference on Formal Methods and Models for Co-Design (MEMOCODE' 03), pp. 87-94, Jun. 2003.
- [28] T. Sakunkonchak and M. Fujita, "Formal Verification of Synchronization Issues in SpecC Description with Automatic Abstraction", Model Checking for Dependable Software-Intensive Systems Workshop, In The International Conference on Dependable Systems and Networks (DSN-2003), San Francisco USA, June 2003.
- [29] Masahiro Fujita, "System Level Design Methodologies from the Viewpoint of Formal Verification", The 5th International Conference on ASIC Tutorial, ASICON2003, Beijing, China, Oct. 2003.
- [30] T. Sakunkonchak and M. Fujita, "Formal Verification of Synchronization Issue in System-Level Design with Automatic Abstraction", IFIP International Conference on Very Large Scale Integration (IFIP VLSI-SoC 2003), Darmstadt Germany, December 2003 (Ph. D. Forum).
- [31] Indradeep Ghosh, Mukul Prasad, Rajarshi Mukherjee, Masahiro Fujita, "High Level Design Validation : Current Practices and Future Directions", One day tutorial, 17th Int'l Conf. on VLSI Design, Mumbai, India, Jan. 2004.
- [32] Satoshi Komatsu, "Research and Education Activities of VDEC (VLSI Design and Education Center)", Waseda University System LSI International Workshop, Jan. 2004.
- [33] M. Fujita, D. Gajski, T. Imai, T. Hasegawa, "System-level Design Methodology for SoC Design", One day tutorial, ASP-DAC 2004, Yokohama, Japan, Jan. 2004.
- [34] Tomoyuki Shirasaki, Reiji Hattori, Tsuyoshi Ozaki, Kazuhito Sato, Minoru Kumagai, Manabu Takei, Yukikazu Tanaka, Satoru Shimoda and Tomoko Tano, "Full Color Polymer OLED Display Driven by a-Si, H TFT Utilizing a New Current-Programmed Method", Proceeding of IDW' 03, pp. 1665-1666 (Dec. 2003)
- [35] Reiji Hattori, Shuhei Yamada, Yoshitomo Masuda, Norio Nihei, "Novel type of Bistable Reflective Display using Quick Response Liquid Powder", Proceeding of Society for Information Display, pp. 846-849, (2003)
- [36] R. Hattori, T. Fujimura, S. Etoh and Y. Kuroki, "Photosensitive Glass on-Chip Microcapillary and Its Observation Using Confocal Laser Scanning Microscopy", Second International Conference on Molecular Electronics and Bioelectronics (M & BE2), (March 5-7, 2003, GAKUSHI KAIKAN, Tokyo Japan)
- [37] Y. Yuyama, M. Aramoto, K. Takai, K. Kobayashi, H. Onodera", "Heterogeneous Processor Architecture and Its Design Methodology to Shorten the Design Period of Embedded SoCs", Proc. of SASIMI 2003, pp. 351-356,, 2003
- [38] Y. Yuyama, M. Aramoto, K. Kobayashi, H. Onodera", "An SoC Architecture and its Design Methodology using Unifunctional Heterogeneous Processor Array", Proc. ASP-DAC, pp. 737-742,, 2004
- [39] Hiroshi Toshiyoshi, "Micro Electro Mechanical Devices for Fiber Optic Telecommunication", International Symposium on Micro-Mechanical Engineering Heat Transfer, Fluid Dynamics, Reliability and Mechatronics (ISMME 2003), Dec. 1-3, 2003.
- [40] Hiroshi Toshiyoshi, "MEMS for Fiber Optic Applications", the 16th Int. Conf. on Optical Fiber Sensors (OFS-16), Oct. 13-17, 2003, Nara-ken New Public Hall, Nara, Japan.
- [41] C. Chong, K. Isamoto, H. Fujita, and H. Toshiyoshi, "Variable Optical Attenuator with Simple SOI-MEMS Mirror (tentative title)", Asia-Pacific Optical and Wireless Communications (APOC 2003), Nov. 2-6, 2003, Wuhan Science and Technology Conference&Exhibition Center, Wuhan, China.
- [42] C. Chong, K. Isamoto, H. Fujita, and H. Toshiyoshi, "Variable Optical Attenuator with Simple SOI-MEMS Mirror", Proc. the 29th European Conference on Optical Commulation/the 14th Int. Conf. on Integrated Optics and Optical Fiber Communication (ECOC/IOOC 2003), Sep. 21-25, 2003, Rimini, Italy, Mo-3. 5. 2.
- [43] Keiji Isamoto, Kazuya Kato, Atsushi Morosawa, Changho Chong, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Micromechanical VOA Design for High Shock-Tolerance and Low Temperature-Dependence", IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications (MOEMS 03), Outrigger Waikoloa Beach, Hawaii, USA, Aug. 18-21, 2003.
- [44] W. Piyawattanametha, P. R. Patterson, D. Hah, H. Toshiyoshi, and M. C. Wu, "A 2D Scanner by Surface and Bulk Micromachined Angular Vertical Comb Actuators", IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications (MOEMS' 03), Outrigger Waikoloa Beach, Hawaii, USA, Aug. 18-21, 2003.
- [45] Hiroshi Toshiyoshi, "MEMS for Fiber Optic Applications", in Proc. 5th Japanese-Finnish Joint Symposium Optics in Engineering (OIE' 03), Aug. 7-9, 2003, Saariselka, Lapland, Finland.
- [46] H. Toshiyoshi, K. Isamoto, A. Morosawa, M. Tei, and H. Fujita, "A 5-Volt Operated MEMS Variable Optical Attenuator", Proc. the 12th Int. Conf. on Solid-State Sensors, Actuators and Microsystems (Transducers 03), Boston Marriott Copley Place, Boston, MA, USA, June 8-12, 2003, 4D1. 2, pp. 1768-1771.

- [47] Makoto Mita, Hiroaki Kawara, Hiroshi Toshiyoshi, Manabu Ataka, and Hiroyuki Fujita, "An Electrostatic 2-Dimensional Micro-Gripper for Nano Structure", Proc. the 12th Int. Conf. on Solid-State Sensors, Actuators and Microsystems (Transducers 03), Boston Marriott Copley Place, Boston, MA, USA, June 8-12, 2003, 4D1. 2, pp. 1768-1771.
- [48] W. Piyawattanametha, P. Patterson, D. Hah, H. Toshiyoshi, M. C. Wu, "A Surface and Bulk Micromachined Angular Vertical Combdrive for Scanning Micromirrors", 2003 Optical Fiber Communication Conference and Exposition (OFC 2003), March 23-28, 2003, Georgia World Congress Center, Atlanta, Georgia, USA, TuN1.
- [49] M. C. M. Lee, D. Hah, E. K. Lau, H. Toshiyoshi and M. Wu, "Nano-electro-mechanical Photonic Crystal Switch", Proc. The Sixth International Symposium on Contemporary Photonics Technology (CPT2003), KOKUYO HALL, Shinagawa, Tokyo, Japan, January 15-17, 2003.
- [50] Dooyoung Hah, Chang-Auck Choi, Chi-Hoon Jun, Youn Tae Kim, Pamela R. Patterson, Hiroshi Toshiyoshi, Ming C. Wu, "MOEM scanners for optical networks", Proc. the 9th KIEE MEMS symposium (Invited given by D. Hah).
- [10] 杉浦邦明, 藤島 実, 鳳紘一郎, 「相補型ショットキーソース・ドレイン MOSFET のシリコンシャドウマスクを用いた集積化」, 第 51 回応用物理学会関係連合講演会 29a-ZH-4, p. 964, 2004. 3, 東京
- [11] 小玉 輝, 藤島 実, 鳳紘一郎, 「ショットキーソース/ドレイン MOSFET におけるソース端トンネル障壁の評価」, 第 51 回応用物理学会関係連合講演会 29a-ZH-1, p. 963, 2004. 3, 東京
- [12] Y. Oike, M. Ikeda, and K. Asada, "Smart Active Range Finder With the Capability of High Sensitivity, High Selectivity and Wide Dynamic Range", IEICE Technical Report, vol. 103, no. 89, pp. 7-12, May 2003.
- [13] T. Iizuka, M. Ikeda, and K. Asada, "Cell Layout Synthesis via Boolean Satisfiability", in Proc. of IPSJ DA Symposium 2003, pp. 139-144, Jul. 2003. (in Japanese)
- [14] Y. Oike, H. Shintaku, M. Ikeda, and K. Asada, "A Real-Time and High-Resolution 3-D Imaging System Using Smart CMOS Image Sensor", in Proc. of ITE Annual Conference 2003, 20-9, pp. 299-300, Aug. 2003. (in Japanese)
- [15] T. Iizuka, M. Ikeda, and K. Asada, "Exact Wiring Fault Minimization via Comprehensive Layout Synthesis for CMOS Logic Cells", IEICE Technical Report, vol. 103, no. 476, pp. 157-161, Nov. 2003. (in Japanese)
- [16] T. Nakura, M. Ikeda, and K. Asada, "Power Supply Noise Reduction using Stubs", IEICE Technical Report, vol. 103, no. 476, pp. 217-222, Nov. 2003. (in Japanese)
- [17] Y. Oike, M. Ikeda, and K. Asada, "An Image Sensor with High-Speed Feeble ID Beacon Detection for Augmented Reality System", in Proc. of ITE Winter Conference 2003, 4-1, pp. 34, Dec. 2003. (in Japanese)
- [18] T. Nakura, M. Ikeda, and K. Asada, "Recent Trend of Circuit Designs", JIEP Technical Report, pp. 131-132, March. 2004. (in Japanese)
- [19] Y. Oike, M. Ikeda, and K. Asada, "A High-Speed and Low-Voltage Associative Co-Processor Using Word-Parallel and Hierarchical Search Architecture", in Proc. of IEICE General Conference 2004, C-12-34, pp. 138, Mar. 2004. (in Japanese)
- [20] T. Ogawa, M. Ikeda, and K. Asada, "Analysis on Contactless Data Transfer Systems between System LSIs", in Proc. of IEICE General Conference 2004, A-1-22, pp. 22, Mar. 2004. (in Japanese)
- [21] 松本剛史, 齋藤 寛, 藤田昌宏, "C 言語でのハードウェア記述に対する効率的な等価性検証手法の提案", 電子情報通信学会技術研究報告 Vol. 103, No. 40, pp. 31-36. (VLD/SLDM 5 月研究会, 函館)
- [22] 小松 聡, 石原 亨, 藤田昌宏, "C プログラムからのハードウェア設計教育— Handel-C と DK1 を使った演習—", DA シンポジウム 2002, 遠鉄ホテルエンパイア(浜松市), pp. 253-258, 2003 年 7 月.
- [23] 藤田昌宏, "高位検証技術", 2003 年電子情報通信学会ソサイエティ大会 チュートリアル講演「TA-1. ギガスケール・システムの設計手法」, 2003 年 9 月.
- [24] 小松 聡, 藤田昌宏, "LSI における検証技術", 第 10 回ソ

3. 国内学会, 研究会等

- [1] 木野 順, 藤島 実, 鶴田和弘, 「厚膜酸化プロセスを用いたインダクタの特性評価」電子情報通信学会 集積回路研究専門委員会 9 月研究会, pp. 47-52, 2003. 9, 愛知
- [2] 乗松崇泰, 山本 憲, 藤島 実, 鶴田和弘, 「厚膜酸化プロセスを用いた低消費電力無線通信回路」, 電子情報通信学会 集積回路研究専門委員会 9 月研究会, pp. 53-58, 2003. 9, 愛知
- [3] 斉藤康祐, 藤島 実, 鳳紘一郎, 「NP 問題を高速に解く二分探索機能を持つ並列プロセッサ」, 電子情報通信学会 ソサエティ大会 一般講演 C-12-6, p. 81, 2003. 9, 新潟
- [4] 乗松崇泰, 藤島 実, 「5GHz 帯向け MOSFET の基板回路網モデル」, 電子情報通信学会 ソサエティ大会 一般講演 C-12-13, p. 88, 2003. 9, 新潟
- [5] 木野 順, 藤島 実, 「螺旋型および対称型インダクタのポート間容量の比較」, 電子情報通信学会 ソサエティ大会 一般講演 C-12-16, p. 91, 2003. 9, 新潟
- [6] 稲井健人, 藤島 実, 鳳紘一郎, 「ゼロでない確率を持つ基底の遷移に基づく量子計算エミュレーション」, 第 64 回応用物理学会学術講演会 30a-ZC-1, p. 459, 2003. 9
- [7] 乗松崇泰, 藤島 実, 「スケール依存を考慮した MOSFET の基板抵抗モデル」, 電子情報通信学会 総合大会 一般講演 C-12-30, p. 132, 2004. 3, 東京
- [8] 稲井健人, 北荘哲郎, 藤島 実, 鳳紘一郎, 「量子計算アルゴリズムの開発に適した LSI プロセッサの試作」, 電子情報通信学会 総合大会 シンポジウム講演 SC-11-18, pp. S85-86, 2004. 3, 東京
- [9] 北荘哲郎, 稲井健人, 藤島 実, 鳳紘一郎, 「専用プロセッサを用いた大規模量子計算シミュレーション」, 電子情報通信学会 総合大会 シンポジウム講演 SC-11-19, pp. S87-88, 2004. 3, 東京

フトウェア工学の基礎ワークショップ (FOSE' 03), pp. 251-256, 2003年11月.

- [25] 藤田昌宏, “形式的設計検証ツールの虚像と実像”, 第7回システムLSIワークショップ, ならびにデザインガイア2003, 2003年11月.
- [26] 小島慶久, 瀬戸謙修, 齋藤 寛, 小松 聡, 藤田昌宏, “リコンフィギャラブルなブロック間接続をもつアーキテクチャの静的最適化のための高位合成手法”, 電子情報通信学会技術研究報告 [第2回リコンフィギャラブルシステム研究会], pp. 16-21, 2003年11月.
- [27] 瀬戸謙修, 藤田昌宏, 浅田邦博, “アプリケーションに特化した機能ユニットおよびコンフィギュレーション可能な接続からなるデータパス向けコンフィギュレーション生成手法”, デザインガイア (2003), 北九州国際会議場 (北九州市), 2003年11月.
- [28] 松本剛史, 齋藤 寛, 藤田昌宏, “C言語を対象とした記述間の差異に基づく効率的な等価性検証手法”, 電子情報通信学会技術研究報告 VLD2003-146, Vol. 103, No. 702, pp. 61-66, Mar. 2003.
- [29] 田辺 健, 齋藤 寛, 小松 聡, 藤田昌宏, “SpecC言語によるハードウェア・ソフトウェア混在システム記述を対象としたプログラムスライシング手法の提案”, 電子情報通信学会技術研究報告 VLD2003-149, Vol. 103, No. 702, pp. 79-84, Mar. 2003.
- [30] 佐々木 俊介, 小松 聡, 藤田昌宏, “電子系・機械系協調設計における設計検証法に関する検討”, 電子情報通信学会技術研究報告 CPSY2003-49, Vol. 103, No. 735, pp. 27-32, Mar. 2003.
- [31] 松井 健, 小松 聡, 藤田昌宏, “UMLを用いた実時間・高信頼性組み込みシステムの上位設計についての検討”, 電子情報通信学会技術研究報告 CPSY2003-50, Vol. 103, No. 735, pp. 33-38, Mar. 2003.
- [32] 大橋誠二, 杉本慎太郎, 服部励治, “Mediciによる有機ELデバイスのデバイスシミュレーション”, 応用物理学九州支部講演会, (2003年12月6日, ハウステンボス, 佐世保市)
- [33] 服部励治, “電子ペーパーの魅力”, 市民セミナー「ユビキタス, そして電子ペーパー」, (2003年11月6日, 名古屋市東区東桜会館)
- [34] 服部励治, “a-Si TFT 駆動による OLED の新展開”, 第10回月刊ディスプレイ技術セミナー, (2003年9月26日, 東京都千代田区明神会館)
- [35] 江藤信一, 東 俊人, 藤村 剛, 服部励治, 黒木幸令, “サンプルインジェクション形状の違いによる電気泳動への影響の研究”, 応用物理学学会学術講演会, (2003年9月30日~9月3日, 福岡大学, 福岡)
- [36] 服部励治, 東 俊人, 江藤信一, 藤村 剛, 黒木幸令, “電気泳動チップにおける幾何学的チャンネル構造でのサンプルの挙動の研究”, 応用物理学学会学術講演会, (2003年9月30日~9月3日, 福岡大学, 福岡)
- [37] 服部励治, “アモルファスシリコン TFT 駆動有機 EL ディスプレイ”, ファインテックジャパン・セミナー, 有機 EL コース, (2003年7月4日 9:30~12:30, 東京ビッグサイト, 東京)
- [38] 服部励治, “有機 EL ディスプレイの駆動方法”, プレスジャーナル主催, 特別緊急セミナー「有機 EL の基礎と技術展望」, (2003年6月9日, コクヨホール, 品川・東京)
- [39] 大橋誠二, 小笠原 亮, 服部励治, “有機 EL ダイオードの SPICE モデルと物理的考察”, 応用物理学関係連合講演会, (2003年3月27日~30日, 神奈川大学, 神奈川)
- [40] 服部励治, “マイクロレンズアレイ電気泳動ディスプレイ”, 社団法人高分子学会, 印刷・情報記録・表示研究会, (2003年2月20日, 化学会館ホール, 東京)
- [41] 小笠原 亮, 大橋誠二, 服部励治, “有機 EL 電流駆動用ドライバ IC の評価法”, 電子情報通信学会, 発光型/非発光型ディスプレイ合同研究会, 信学技報, EID2002-108 Vol. 102, No. 601, pp. 13-16, (2003-01), (2003年1月27日~28日, 静岡大学, 静岡市)
- [42] 服部励治, “マイクロレンズアレイ電気泳動ディスプレイ”, Electronic Journal 第13回 FPD Seminar 電子ペーパー徹底解剖, (2003年1月21日, コクヨホール, 東京・品川)
- [43] 肥後昭男, 藤田博之, 岩本 敏, 石田悟巳, 荒川泰彦, 年吉 洋, 五明明子, 白根昌之, 山田博仁, 「MEMS- フォトニック結晶素子の製作方法の検討」, 2003年(平成15年)秋季第64回応用物理学学会学術講演会, 2003年8月30日~9月2日, 福岡大学七隈キャンパス, 2p-ZM-5.
- [44] 小林 大, 川井茂樹, 年吉 洋, 藤田博之, 川勝英樹, 「高周波 AFM 用ナノカンチレバーの製法」, 2003年(平成15年)秋季第64回応用物理学学会学術講演会, 2003年8月30日~9月2日, 福岡大学七隈キャンパス, 31p-ZD-1.
- [45] 小林 大, 佐谷大輔, 年吉 洋, 藤田博之, 川井茂樹, 川勝英樹, 「ナノ・カンチレバー・アレーによる細胞の力学特性測定へ向けた取り組み」日本顕微鏡学会大59階学術講演会, 2003. 6. 7-9, 札幌コンベンションセンター, 札幌市.
- [46] 年吉 洋, 猿田訓彦, 藤田博之, 「バルクマイクロマシニング技術による2次元レンズ駆動スイッチ」平成15年電気学会全国大会シンポジウム S21-1, 宮城県仙台市, 東北学院大学, 2003年3月18日(火曜). 福田和人, 新田英之, 肥後昭男, 藤田博之, 年吉 洋, 「HF 蒸気を用いた簡易な犠牲層エッチングによる高歩留まりなマイクロ構造のリリース法」平成15年電気学会全国大会, 2002年3月26日~29日, 東北学院大学, 3-151.
- [47] 諫本圭史, 両澤 淳, 鄭 昌鎬, 藤田博之, 年吉 洋, 「シリコンマイクロマシニングによる5V駆動光ファイバ可変減衰器」平成15年(2003年)電子情報通信学会総合大会, 東北大学 川内キャンパス (仙台市), 2003年3月19日(水)~22日(土).
- [48] 肥後昭男, 年吉 洋, 藤田博之, 岩本 敏, 荒川泰彦, 五明明子, 白根昌之, 山田博仁, 「MEMS- フォトニック結晶素子—マイクロメカニカル変調機構の設計と製作—」第50回応用物理学学会関連連合講演会, 講演予稿集 28a-YN-5, 2003. 3. 27-30 神奈川大学横浜キャンパス.
- [49] 岩本 敏, 肥後昭男, 年吉 洋, 荒川泰彦, 「MEMS- フォトニック結晶素子—平板端位置の影響—」第50回応用物

理学会関連連合講演会, 講演予稿集 28a-YN-7, 2003. 3
神奈川大学.

- [50] 樋口昭彦, 小林和淑, 小野寺秀俊, 「命令レベルにおけるレジスタの変化ビット幅を考慮した組み込みプロセッサ向け消費電力見積り手法」, 第16回 回路とシステム(軽井沢) ワークショップ論文集, pp. 453-458, 2003年4月
- [51] 湯山洋一, 荒本雅夫, 小林和淑, 小野寺秀俊, 「SystemCによる組み込みプロセッサのRTL記述とそのISSへの適用」, 情報処理学会 DA シンポジウム論文集, pp. 301-306, 2003年7月
- [52] 湯山洋一, 荒本雅夫, 高井幸輔, 小林和淑, 小野寺秀俊, 「機能特化型プロセッサアーキテクチャの提案」, 電子情報通信学会論文誌 エレクトロニクス分冊, vol. J86-C, no. 8, pp. 790-798, 2003年8月
- [53] 荒本雅夫, 湯山洋一, 樋口昭彦, 岡澤潤香, 小林和淑, 小野寺秀俊, 「処理の優先度を利用した実行ユニット共有型VLIWプロセッサアレイ」, 第7回システムLSIワークショップ, pp., 2003年11月
- [54] 荒本雅夫, 湯山洋一, 樋口昭彦, 岡澤潤香, 小林和淑, 小野寺秀俊, 「資源共有型VLIWプロセッサの性能評価」, 信学技法, no. VLD-2003-115, pp. 7-12, 2004年1月
- [55] 樋口昭彦, 小林和淑, 小野寺秀俊, 「ソフトコアプロセッサにおけるレジスタファイルの消費電力モデル」, 2004年電子情報通信学会総合大会, no. A-3-4, pp. 71, 2004年3月

4. 紀要, その他

- [1] K. Hoh and M. Fujishima "Large scale quantum emulation is available by study on the quantum algorithm" CREST News Letter Vol. 5, No. 2, p. 4, 2003. 9
- [2] M. Fujishima "Algorithmic restrictions inherent in quantum computers" CREST News Letter Vol. 5, No. 3, p. 4, 2003. 12
- [3] K. Hoh "System integration of quantum-scale devices" 2003 CREST Symposium on "FEMD", Kokuyo Hall, pp. 86-93, 2003. 10
- [4] 鳳紘一郎, 藤島 実, 「ハードウェアコンピューティングの新たなパラダイム— LSIを用いた量子計算の効率的なエミュレーション—」第1回21世紀のCOEワークショップ—ソフトハードの融合で目指す人に優しい情報エレクトロニクス pp. 3-8 東京大学柏キャンパス/基盤科学棟2F大講義室 2003年11月
- [5] 藤島 実, 「低電源電圧位相ロックロープ回路の最適設計」第2回21世紀COEワークショップ—未来社会を担う機能融合デバイスとシステムフォトニクス pp. 13-20 東京大学本郷キャンパス/武田ホール 2004年1月
- [6] 藤田博之, 年吉 洋, 「MEMS光デバイス」機能性材料の3次元微細加工技術講演会, 財団法人 先端加工機械技術振興協会, 2003. 10. 22, 東京 三会堂ビル石垣記念ホール.
- [7] K. Saruta, H. Fujita, and H. Toshiyoshi, "Bulk Micromachined Two-Dimensional Lens Scanners for Transparent Optical Fiber Switches", Japan-US Workshop on "Frontiers of Nanoscale Science and Technology" (邦題: 日米ナノ科学技術ワークショップ), July 10, 2003, RCAST, Univ. of Tokyo, poster

presentation.

- [8] 年吉 洋, 角嶋邦之, 藤田博之, 「MEMS技術の高周波デバイス応用」電子情報通信学会技術研究報告 回路とシステム/VLSI設計技術/デジタル信号処理研究会, 2003年6月26日~27日, 沖縄県産業支援センター, pp. 79-82.
- [9] 年吉 洋, 「シリコンマイクロマシニングによる5V駆動光ファイバ可変減衰器」(助光産業技術振興協会 第1回光材料・応用技術研究会, 東京, 2003. 6. 20.
- [10] 藤田博之, 年吉 洋, 「マイクロマシンの現状と展望」学振第133委員会「材料の微細組織と機能性」第176研究会 2003. 1. 24 (金) 13:00~17:00 東京大学山上会館会議室201号室.
- [11] 服部励治, 「マイクロレンズアレイ電気泳動ディスプレイ」電子材料 2003年4月号 pp. 38-43, 工業調査会発行
- [12] 益子耕一郎: "2003VLSI回路シンポジウム報告" STARC ニュース p. 12 2003年7月
- [13] 益子耕一郎: "CICC2003報告" STARC ニュース p. 18 2003年10月
- [14] 益子耕一郎: "IEDM2003報告" STARC ニュース p. 18 2004年1月
- [15] 益子耕一郎: "ASP-DAC2004報告" STARC ニュース p. 15 2004年4月
- [16] 益子耕一郎: "ISSCC2004報告" STARC ニュース p. 16 2004年4月
- [17] Tsuyoshi FUJIMURA, Yukinori KUROKI, Akihiro IKEDA, Shinichi ETOH, Reiji HATTORI, Masanori HIDAKA and Suk Sang Chang, "A Study of Thick PMMA Film Etching by the Method of Combined Deep X-Ray Lithography and Thermal Development", Research Reports on Information Science and Electrical Engineering of Kyushu University Vol. 8 No. 2, 141-146 (Sep., 2003)
- [18] Shinichi ETOH, Toshihito HIGASHI, Tsuyoshi FUJIMURA, Reiji HATTORI and Yukinori KUROKI, "Fast Separation of DNA Fragments in On-chip Electrophoresis Microcapillary", Research Reports on Information Science and Electrical Engineering of Kyushu University Vol. 8 No. 1, 37-41. (March, 2003)
- [19] 服部励治, 「アモルファスシリコンTFT駆動有機ELディスプレイ」, 電子材料 2003年12月号 pp. 29-34, 工業調査会発行

5. 著書

- [1] 共訳, 「デジタルシステム工学基礎編」, William J. Dally/John W. Poulton 原著 "Digital Systems Engineering" Cambridge University Press, (丸善株式会社, 東京, 2003年)
- [2] 共訳, 「デジタルシステム工学応用編」, William J. Dally/John W. Poulton 原著 "Digital Systems Engineering" Cambridge University Press, (丸善株式会社, 東京, 2003年)
- [3] 服部励治, 分筆, 「有機ELディスプレイにおける高輝度・高効率・長寿命化技術」, 第3章 高輝度化・高効率化・長寿命化のための駆動回路・方法 pp. 129-134, 技術情

報協会 発行

[4] 服部励治, 分筆, “マイクロレンズ (アレイ) の超精密加工と量産化技術—光劣化防止/屈折率分布・形状制御—”,

第6章 第8節 マイクロレンズアレイ電気泳動ディスプレイ pp. 283-293, 技術情報協会 発行

付録

5.1 利用規定

【VDEC WWW ページアカウント】

VDECを通じた活動はWWWアカウントを通じて行う。質問や要望の申し出などの際も、必ず「アカウント番号」を付けるなど、活動の基礎となるものである。アカウントは、AA01234のように、「英文字2桁」＋「数字5桁」で構成される。このアカウントを利用すると、VDECのWWWページ経由で、機密情報を含むサービスの詳細な情報にアクセスしたり、申し込みを行ったりすることができる。アカウントの申し込み方と変更の仕方は以下のとおり。

1. VDECのWWWページ
<http://www.vdec.u-tokyo.ac.jp/>にアクセスし、「アカウント登録」→「新規登録」の順にリンクをたどって、必要事項を記入して申し込む。
2. アカウント申請は、**各大学・高専の教官**が行い、学生からの利用申し込み受付は行わない。
3. 新規登録の際に、VDECのWWWページを読むコンピュータのIPアドレスを、研究室のもの、教官のもの全て含め半角数字で入力する。詳細情報のダウンロードや、申し込み等は、センターが発行するアカウントとパスワードに加えて、ここで入力した、ブラウザを起動している計算機のIPアドレスによって制限をかけている。
4. アカウントの内容に変更が生じた場合は、WWWページの「アカウント登録」→「登録内容変更」のページで変更を行う。IPアドレスは複数登録できるため、学内のネットワーク工事等で、IPアドレスが変更になる場合、あらかじめ新旧IPアドレスを登録しておくことに注意する。

【VDEC ホスト計算機アカウント】

1. VDECの所有するホスト計算機 (usr1.vdec.u-tokyo.ac.jp, SunFire6800) にログインするためのアカウントを申請すれば、利用することができる。計算機利用の目的は主としてセンターが提供する

CADソフトウェアを利用した設計・検証のほか、チップ設計・評価に関係する大学に所属する研究者独自のプログラムの開発と実行とし、一般のVLSI教育と関係のない計算には原則として用いないことを前提に申込を受け付ける。

2. VLSIチップ試作申し込みを前提とし、チップ試作申し込み時に同時にホスト計算機利用申請をする必要がある。
3. 申込者は**VLSIチップ試作申し込み単位である各大学・高専教官**とし、学生毎には利用者アカウントの発行は行わない。
4. 利用期間は利用承認時期から該当試作チップの納品時期までとする。利用期間終了後はユーザファイル等が消去されることがあるため、ユーザの責任で利用期間内にバックアップするものとする。

【チップ試作】

1. 試作日程はVDEC運営委員会で各大学の学部授業日程ならびに大学院教育に配慮して決める。
2. チップ試作申し込み期間は、**設計締め切りの6ヶ月前から3ヶ月前までの期間**とする。
3. チップ試作申込者は**各大学・高専の教官**とし、学生からのチップ試作受付はおこなわない。
4. 申し込みはセンターWWWのホームページで行い、別途書面による**秘密保持規約**において正式確認する。
5. チップ試作費は試作チップ納品時に送付される請求書類等に応じ、**ユーザ毎に遅滞なくチップ試作会社に支払う**。
6. チップ試作費用ならびに納品チップ数は、別途これを定め、センターWebページその他のセンター情報誌等に掲載する。
7. チップ試作申し込みの取り消しは**設計締め切りの1ヶ月前まで**とし、それ以降は基本的に試作費の支払い義務を負う。

- チップの品質検査は同一チップ上に作られるテスト回路で行い、センターおよびチップ試作会社は基本的に試作チップの動作、性能等についてそれ以上の責任を負わない。
- チップ試作申し込みでは同時に別途規定するホスト計算機利用申請を行う必要がある。

【CAD 利用】

- CAD 利用は、演習・授業でも必要であり、VLSI チップ試作申し込みを条件とはしない。
- ユーザが必要なライセンス数を把握するため、CAD 項目単位で申し込みを受け付ける。
- CAD 利用申込者は、各大学・高専の教官とし、学

生からの利用申し込み受付は行わない。

【CAD 項目とサポートされる OS】

CAD 項目

- ・ Verilog HDL 論理設計ツール
- ・ VHDL 論理設計ツール
- ・ 自動配置配線ツール
- ・ 会話型回路・レイアウト設計ツール
- ・ アナログ回路・レイアウト設計ツール
- ・ アナログ回路シミュレータ

サポートされる OS (平成 15 年 4 月現在)

- ・ SUN Sparc: Solaris7 以上推奨
- ・ HP9000: hpux 10.20 以降

5.2. 申し込みガイド

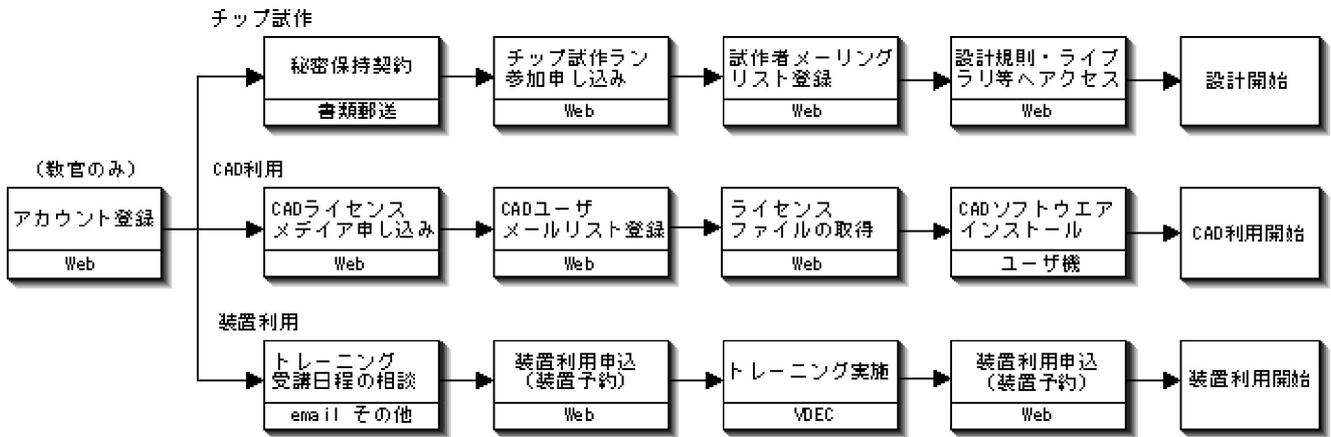


図 5.1 VDEC 利用申込の流れ

【VDEC 利用方法の概要】

- VDEC の利用までの手順をまとめると図 5.1 のようになる。VDEC 計算機アカウントは、大学・高専の教官にのみ発行され、チップ試作費用は、アカウント所有者宛てに請求される。
- VDEC における利用申請およびユーザへの案内は主に VDEC ホームページ (<http://www.vdec.u-tokyo.ac.jp/>) 上で行われる。VDEC ホームページの上部にインデックスフレーム (図 5.2) が表示さ

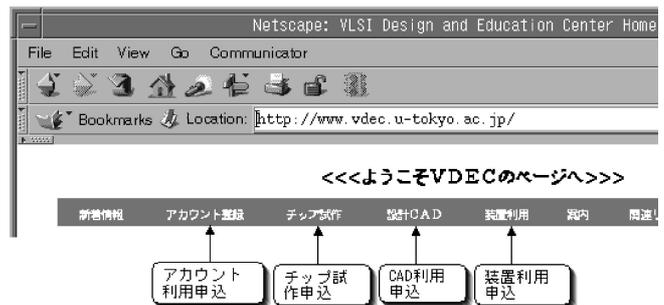


図 5.2 VDEC ホームページのインデックスフレーム

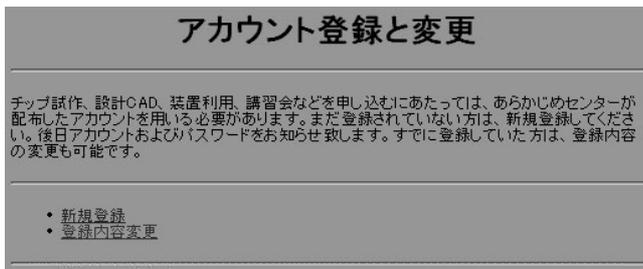


図 5.3 アカウント登録・変更ページの入口

れるので、これを用いて、アカウント申込、チップ試作申込、CAD 利用申込、公開装置の利用申込のためのページ等を表示することができる。また、フレーム構成となっており、フレームの左側を丹念に読むと有益な情報へのリンクを見つけることもできる。

【アカウント利用申込】

1. VDEC の利用を開始するに先立ち、アカウント登録のページに入り (図 5.3)、WWW ページアクセスのためのアカウントを取得する必要がある。新規アカウントを申請する場合は「新規登録」のページへ進む。IP アドレスや住所など、一旦登録した内容の変更は、「登録内容の変更」のページへと進む。
2. 「新規登録」のページでは、フォームを全て埋めて内容を確認してから “Submit” ボタンをクリックする。
3. 新規登録後、VDEC で審査ののち職員の手によって登録が行われる。この待ち時間は最大で数週間程度。
4. アカウント申し込みで登録する IP アドレスは、各種サービスの申し込み、機密情報等制限をかけている WWW ページへのアクセスを行うコンピュータ、および試作チップ設計データ提出に用いるコンピュータの IP アドレスである。CAD 利用のためのアドレス (後述) ではないことに注意する。

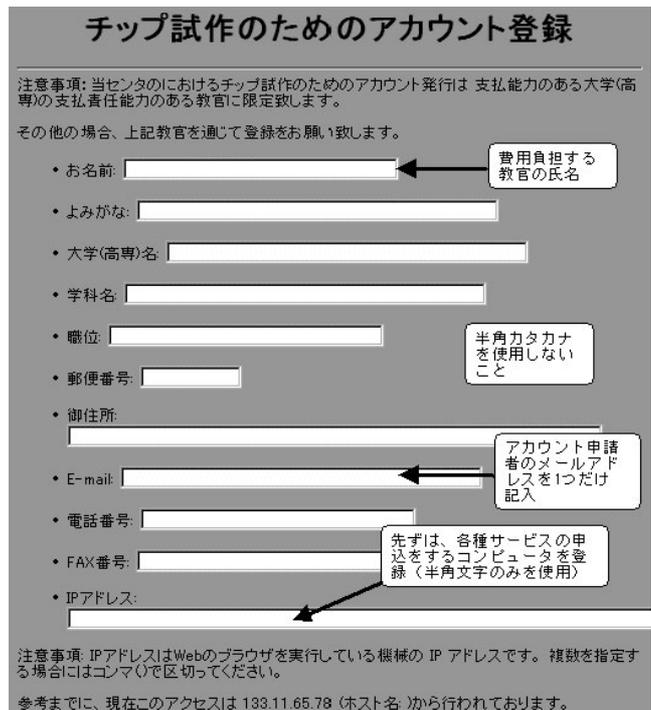


図 5.4 アカウント新規登録の注意点

入力に関する注意点 (図 5.4) :

- 全ての入力項目について半角カタカナは使用しない
- email アドレスは、半角文字で入力。email アドレスを間違えると、パスワード等の情報が送付されないので注意。
- IP アドレスは、半角文字のみを使用
- 間違った IP アドレスまたは要件を満たさない IP アドレス (後述) を登録すると、アカウントが発行されたとしても、制限を行っているページへのアクセスができないので注意。特に IP アドレスやドメイン名の区切りを表す。(ピリオド) と、複数のアドレスの区切りを表す、(コンマ) を間違えないように注意する
- 名前の前後に不要なスペースが混入されないよう注意する

登録する IP アドレスに関する要件

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けませんが、管理

の行き届いたコンピュータのみに限定すること

- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない (しても意味が無い)
 - Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない
5. 「登録内容の変更」のページでは、変更したい項目のみ、チェックボックスチェックの上、新しい内容を記入し、“登録” ボタンをクリックする。この際も、アクセスホストの IP アドレスの指定には十

分注意をすること。(図 5.5)

6. 「登録内容変更」のページには、アクセス制限がかかっている。そのため、IP アドレスなどが急に変更になってしまった場合、申請しようとしてもこのページに入れなくなる。その場合、「新規登録」を行い、email アドレスを前回と同じにしておく。

【チップ試作申込】

1. チップ試作申込には前項アカウント利用申込を行い発行されたアカウントが必要である。アカウント利用申込の際に登録した IP アドレスのコンピュータからアクセスして申し込む。
2. 「チップ試作 (チップサービスの案内)」のページで申込条件、試作チップの種類、試作日程、試作料金を見て試作するチップの品種が決まったら「チップ試作申込」の個所へ移動し、“受付中”の文字をクリックする。この時、ユーザ ID とパスワードが要求されるので半角文字で入力すると、「チップ申込」のページが表示される。必要事項を記入して“申込” ボタンをクリックする。

図 5.5 アカウントの登録内容変更の注意点

図 5.6 チップ申込ページでの注意点

チップ申込フォームの入力に関する注意点 (図 5.6)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
 - チップ数入力には半角数字を用いる
3. 「チップ試作申込確認のページ」(チップ試作申込の下方にリンクがある)を開いて、チップ寸法、品種数等が正しく申し込まれていることを確認する。
 4. 「チップ試作 (チップサービスの案内)」または「チップ試作申込」ページの左側のフレームに表示されている「チップ試作者のメーリングリスト」をクリックして、「設計者のメールリスト登録ページ」を表示させ、試作を行う予定の試作ランをクリックして実際に設計を行う設計者のメールアドレスをメーリングリストに登録する。

メーリングリスト登録での入力に関する注意点 (図 5.7)

- 全角英数字や半角カタカナを決して用いないこと
- 入力フォームの文字数には制限があるので、多数の試作者が参加する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- . (ピリオッド) と, (コンマ) を間違えないように注意する (Web 上ではこの見分けが困難である！)
- 大学のメールアドレス (基本的に .ac.jp) 以外は、登録できない

チップ試作メーリングリストの利用に関する注意

- チップ試作の技術的な質問に関しては全てメーリングリストに流すようにすること。また、チップ試作を申し込むとチップ試作者メーリングリストの過去記事が参照できるようになる。同じような質問が無いか一度目を通されたい

図 5.7 チップ試作メーリングリスト登録ページでの注意点

図 5.8 CAD 利用登録案内のページ

- メーリングリストに登録したメールアドレスのアカウントについては各ユーザまたは管理者で厳重な管理をお願いしたい。学生が卒業後も登録メールアドレスを使用することのないように注意して頂きたい
 - メーリングリストに登録されたメールアドレスからネットワークプロバイダ等へのメールの転送を行わないこと
5. 当該プロセスにて始めて試作を行う場合、ファウンダリー毎に秘密保持契約が必要となる。秘密保持契約書面は、「チップ試作申込完了」のページから辿れるようになっている。ページをプリントアウトした上で内容を確認し書名の上 VDEC 宛てに送付すること。内容を VDEC 側でチェックして制限を (手動で) 外すまで、設計規則等の機密情報にはアクセスできない。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

【CAD 利用申込】

1. チップ試作申込には前項アカウント利用申込を行い発行されたアカウントが必要である。アカウント利用申込の際に登録した IP アドレスのコンピュータからアクセスして申し込む。
2. VDEC ホームページ上部のインデクスフレームで“設計 CAD”をクリックすると「CAD 利用登録の案内」のページ (図 5.8) が現れる。“CAD 利用申込”を選ぶと「申込用フォーム」が表示される。ライセンス数は、原則として最大同時利用者数分を申し込むこと。これは次回 CAD ソフトウェア入札のための基礎データ収集の意味がある。

CAD ライセンス数入力に関する注意点 (図 5.9)

- 希望する CAD 項目のチェックボックスをチェックした上で必要なライセンス数を入力すること。チェックを行わないと入力した数字は無効となる
- ライセンス数の入力には、半角数字のみを使用
- メディア申し込みを必ずチェックする。

必ずチェック

最大同時
使用者数

これも必ずチェック

どれか必ずチェック

- Cadence社設計ツール
ライセンス数: [*] ライセンス数: [11]
メディアリクエスト: [*]
使用目的: [*]研究 []講義 []トレーニング []その他
- Synopsys社設計ツール
ライセンス数: [*] ライセンス数: []
メディアリクエスト: []
使用目的: [*]研究 []講義 []トレーニング []その他
- 旧Avant!社設計ツール
ライセンス数: [*] ライセンス数: [11]
メディアリクエスト: [*]
使用目的: [*]研究 []講義 []トレーニング []その他

図 5.9 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

- 「計算機アドレスの登録」のパート (図 5.10) では、本 CAD ソフトウェアの利用を考えている全てのコンピュータのアドレスを入力する必要がある。なお、登録する計算機のアドレスは、不正アクセスを防止するため、DNS によるホスト名の照合を行うため、DNS の逆引きが行えないコンピュータ、大学機関外に設置されているコンピュータなどは登録しても利用できないので注意すること。

計算機アドレス入力に関する注意点 (図 5.10)

- アドレスの指定はフルドメイン形式で行う
 - 全角文字は用いない
 - 入力フォームの文字数には制限があるので、多数の計算機アドレスを登録する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
 - . (ピリオッド) と, (コンマ) を間違えないように注意する (Web 上ではこの見分けが困難である)
- フォームの記入後、“申込”ボタンをクリックすると送信確認画面が現れるので、表示された情報が正しいことを確認して“確認”ボタンをクリックする。
 - 申込完了後に必ず申込のページをリロードしてライセンス数、計算機アドレスなどが正しく申し込まれていることを確認すること。

【計算機アドレスの登録】

- 以下の欄にフルドメイン形式で (例: www.vdec.u-tokyo.ac.jp) CAD を使用する計算機のアドレスを記入して下さい。
- 従来登録している計算機に追加する場合には追加ボタンを、従来の計算機と置き換える場合には更新ボタンを選択して下さい。ただしライセンス数の変更のみの場合にはいずれのボタンも選択しないで下さい。
- 複数の計算機を登録する場合には、”,”で区切って複数個入力するか、複数回登録を繰り返して下さい。
- 利用登録可能な計算機はネームサーバに登録されておりDNSを介して名前参照が可能であるものに限りますので御了承下さい。なお、毎月末にライセンスサーバアクセス制限ホストの更新を行なう際にDNSの参照を行なうため、その際にDNSを介した名前参照が行なえなかった場合、当該月間のCADの利用が出来なくなりますので、DNSの管理には十分ご注意ください。
- 計算機のアドレス変更はライセンスサーバの再起動を行なうまで反映されません。原則としてライセンスサーバの再起動は月末に行ないます。急を要する場合は御連絡下さい。

追加 更新

なお、現在の利用登録されている計算機のアドレスは次の通り

追加用ラジオボタン

現在登録されているアドレスをリセットして更新するラジオボタン

CADの利用を予定しているコンピュータのアドレスを全てフルドメイン形式で入力すること。但し、DNSの逆引きによりホスト名とIPアドレスの確認を行うので、不明な場合にはネットワーク管理者等に相談すること

図 5.10 CAD 利用申込フォームの「計算機アドレスの登録」パート記入における注意点

- 申し込んだ内容が有効になるためには CAD ライセンスサーバの再起動が必要であるが、再起動すると全国のどこかで CAD が起動中だった場合それを動かなくしてしまうため無闇に行えない。このため予告の上原則として毎月月末に行う。従って月途中での申し込みの場合即応ができないので注意すること。どうしても急遽必要な場合には別途連絡頂きたい。
- CAD ツールのメディアは、VDEC の共用計算機 `usr1.vdec.u-tokyo.ac.jp` から、FTP にて必要なファイルを各自ダウンロードする。このためのアカウントは、職員が手動で作製ののち通知される。ログインしたのち、CAD 申し込みのページに書いてあったディレクトリに移動し、必要なファイルをダウンロードする。
- CAD ライセンスサーバに関する情報、その他 CAD 関係の情報はすべて CAD 利用者メーリングリスト (`CADuser@vdec.u-tokyo.ac.jp`) 上で行う。CAD ツールを利用する方と管理者を登録すること。但し、CAD ツールの利用申込をしないと登録が出来ないようにになっている。「CAD 利用者メーリングリストの登録」のページは、「CAD 利用登録の案内」ページから迎れる。

メーリングリスト登録フォームの入力に関する注意点 (図 5.11)

- 全角文字や半角カタカナを用いない
- 入力フォームの文字数には制限があるので、多数の試作者が参加する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- . (ピリオッド) と, (コンマ) を間違えない
- 大学のメールアドレス (基本的に .ac.jp) 以外は、登録できない

CAD 利用者メーリングリストの利用に関する注意

- CAD のインストール, その他の質問を行う前に、過去記事の検索を行い、機知の問題でない場合に限り、メーリングリストに質問を投げるようにすること。
- 機密保持にかかわるような内容のメールは、CA-

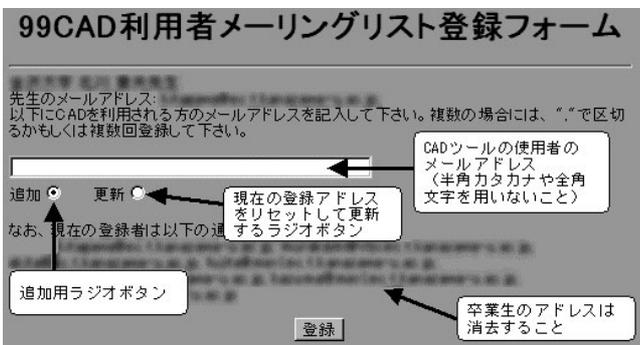


図 5.11 CAD 利用者メーリングリスト登録における注意点

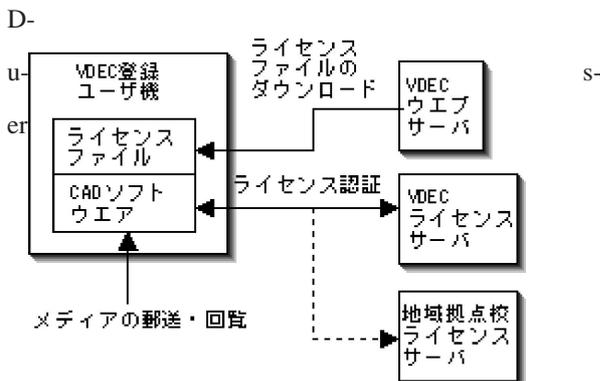


図 5.12 CAD ライセンシングの方法

に送ってはならない。各試作のメーリングリストに送ること。

- CAD 利用申込を行った VDEC アカウント管理者には、時々「CAD 利用者メーリングリストフォーム」のページをチェックし、卒業生のメールアドレスをメーリングリストから除くなどアカウントのメンテナンスにご協力頂きたい。
- メーリングリストのセキュリティのため、登録者が登録アドレスからプロバイダー他のメールの転送を行わないように注意して頂きたい。

【参考】 CAD ツールを実行するためには、ユーザ機へのライセンスファイルのインストールと CAD ツールの実行時における VDEC または地域拠点校のライセンスサーバによる認証が必要である (図 5.12)。ライセンスファイルの変更により認証を行うライセンスサーバを切り替えることが出来るので、VDEC または地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することにより CAD ソフトウェアを実行することが可能である。また、ライセンスサーバの認証は、CAD ツール起動後も定期的に行われるので、CAD ツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。ファイアウォールを使用しているネットワーク環境では、VDEC の Web サーバと VDEC および地域拠点校のライセンスサーバへのアクセスを可能にするための特別な設定が必要である (図 5.13)。この場合、各大学・高専のネットワーク管理者と相談すること。

【メーリングリスト記事の検索】

1. 計算機管理、ソフトウェアの不具合等の問題が生じたときは、CADuser メーリングリストで質問する前に、あらかじめ同様の問題がなかったかどうか、調べるのが強く勧められる。
2. VDEC WWW ページのトップから、「CAD 関係」→「CADuserML の過去記事」リンクをたどること

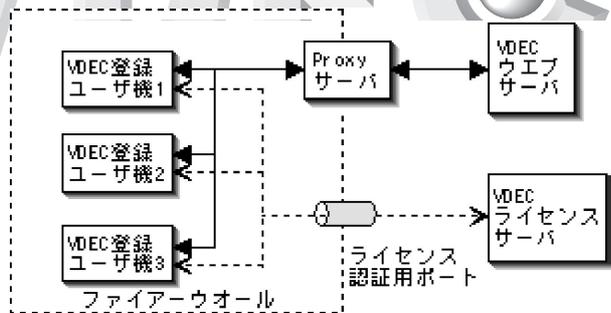


図 5.13 ファイアーウォールを通した VDEC へのアクセス方法

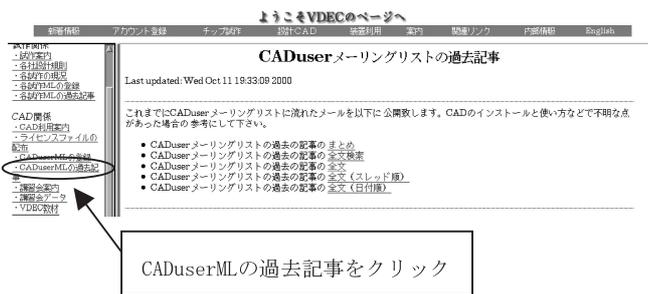


図 5.14 CADuser メーリングリスト 過去記事の検索



図 5.15 キーワードによる過去記事の検索が行える

で、全文をダウンロードできるほか、過去記事の検索を行える。

【毎月注意を払うべき点. 熟読必須.】

1. VDEC では毎月、CAD を使用できる計算機のリスト (アクセスリストと呼ぶ) を更新している。このとき DNS の逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CAD が使えなくなるので、アクセスリスト更新前に対処

する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪一ヶ月 CAD が使用できなくなる。

2. 以上の理由で、VDEC から「CAD のアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.html である。ブックマークを強くお勧めする。
4. IP アドレス (ホスト名) registered という表示が出ていれば登録されている。
5. false (false (ホスト名)) FAIL という表示が出ていれば登録に失敗しているのので、原因を探る。
6. 一般的に、DNS の逆引き (ホスト名から IP アドレスを引く) に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDEC のサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

【毎年注意を払う点】

1. CAD のアカウントは、毎年更新である。継続性のため、新年度の4月にCADが使える場合もあるが、これはたまたまであることを良く認識し、遅滞無く新年度申し込みを行う。
2. 新年度の申し込みは、毎年3月ころに CADuser メーリングリスト宛にアナウンスがあるので、それを見るときにただちに申し込みページにアクセスして、新年度に必要なライセンスを申し込む。

【VDEC 所有公開装置の利用】

1. WWW ページで VDEC が所有する大型装置 (テスト等) の情報を開示している。このうちいくつかの装置は公開利用可能であるので、WWW ページに書いてある手順にそれぞれ従い、利用申し込みをする。



VLSI Design and Education Center
The University of Tokyo
2004