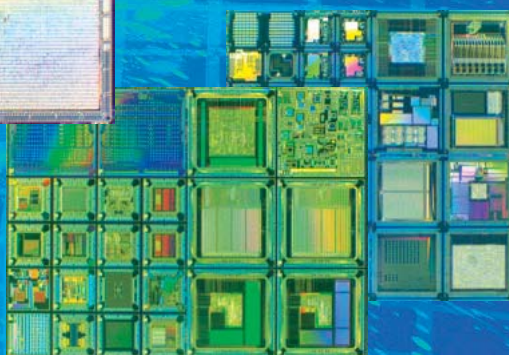
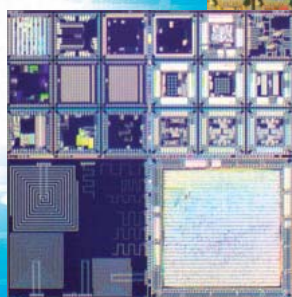
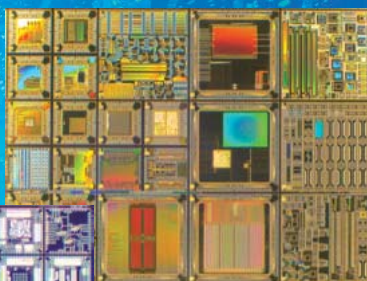


Activity Report
from April 2004 to March 2005

VDEC

*VLSI Design and Education Center
The University of Tokyo*

2005



平成17年度

東京大学 大規模集積システム設計教育センター 年報



VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター(VDEC)の2004年度年報をお送りします。

2004年度は前年度に引越した武田先端知ビルを本拠として本格的に活動を開始した年となりました。従来の各種大型装置類を移設しただけでなく、新たにアドバンテスト社より最新鋭の電子線描画装置F5112や新しい概念に基づくシステムLSI試験装置T2000の寄贈をいただき、いずれも本格稼働致しました。特にF5112はキャラクタプロジェクションによる高速直描機能に加え、マスク描画機能を兼ね備えた拡張仕様機で、LSI研究者だけでなくMEMS研究者やバイオ・ケミカルチップ研究者等からも多くの利用申し込みを頂いています。また新しい建物で各種セミナーも開催され、快適な環境で受講生していただくことが可能となりました。

2004年度のチップ試作数は本年報にもありますように依然として高いレベルを維持し、主要国際学会等でのVDECを利用した研究成果発表数は大きな伸びを示しています。従来の試作メニューに加え2004年度は新たにASPLA/STARCによるCMOS90nm技術と沖による0.15umCMOS/SOI技術によるテストランを実施しました。これらの最先端技術は大変高価な技術ですが、関係各位のご支援により大学関係者が利用可能なチップ試作の道筋ができたものと喜んでおります。2005年度にはこれら最先端の試作メニューを順次一般のVDECユーザに公開していきたいと考えています。これにより大学・高専におけるLSI設計研究の一段の高度化と人材育成に寄与するものと期待していますが、同時に高価な試作コストと高度な設計技術を両立させる観点から、産学協力をこれまで以上に押し進める必要があると認識しています。大学・高専が設計しファウンドリ企業がチップを製造するという従来の一方向モデルに代わり、両者がより緊密な情報交換と研究協力を行う双方向モデルを構築し、VDECはチップ試作のプロウカの役割から一歩進んで、研究交流のカタリストの役割を担えればと考えています。

東京大学は2004年4月から国立大学法人に組織変更となりました。これにともない徐々にプラスとマイナスの面が明らかになってまいりました。法人化によりチップ試作発注等の手続きがより柔軟になり、運営費の最適配分の自由度が増した点等がプラス面です。マイナス面は国立大学法人に共通することですが、文部科学省からの運営費交付金の減額プランです。VDECは法人化以前から強力な技術スタッフや拠点校の協力の下で大変効率の高い運営を実現してきたと自負していますが、今後予定されている交付金漸減のなかでより厳しい運営が求められています。このような状況の中、VDECでは従来果たしてきた役割を維持発展していきたいと考えていますが、そのためには皆様からのますますのご支援ご支持をお願い申し上げる次第です。

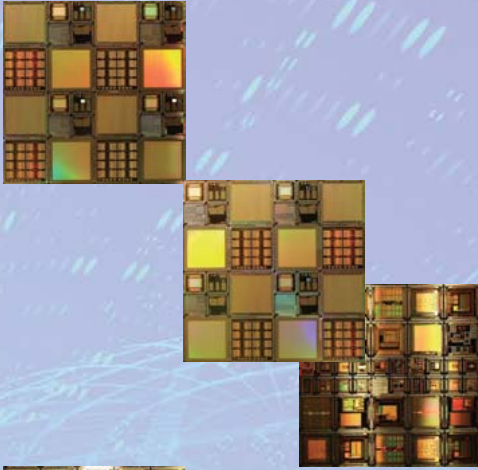
平成 17年 7月

(全国共同利用施設)

東京大学大規模集積システム設計教育研究センター

センター長

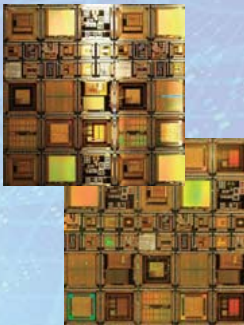
浅田 邦博



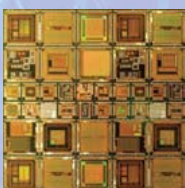
VDEC

VLSI Design and Education Center
The University of Tokyo

2005



第 1 章 VDEC 事業の紹介と平成 16 年度事業報告	2
1.1 VDEC における LSI 設計教育	
1.2 CAD ソフトウェアの整備	
1.3 VLSI チップ試作状況	
1.4 CAD セミナー	
1.5 装置の整備・運用・利用公開	
1.6 VDEC プロジェクト	
1.7 平成 17 年度の活動計画	
1.8 VDEC 発ベンチャー	
第 2 章 チップ試作結果報告	33
2.1 試作一覧 / チップ種別索引	
2.2 試作結果 および チップ写真	
2.3 チップ試作者の発表文献リスト	
第 3 章 VDEC 概要	181
3.1 VDEC 組織概要	
3.2 人事報告	
3.3 決算報告	
第 4 章 研究報告	187
4.1 研究室構成員	
4.2 研究概要	
4.3 研究発表	
第 5 章 付 録	214
5.1 VDEC の事業・利用規程・申し込みガイド	
5.2 IP/MCORE プロジェクト・データへの アクセス情報	



第1章 VDEC 事業の紹介と平成 16 年度事業報告

1.1. VDEC における LSI 設計教育

東京大学大規模集積システム設計教育研究センター（VDEC）は発足後 9 年目を迎える。

平成 16 年度も『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を 3 つの柱として、円滑な運営を目指した事業を展開した。図 1.1 に示す VDEC の活動内容に基づき、以下に平成 16 年度の概要を報告する。

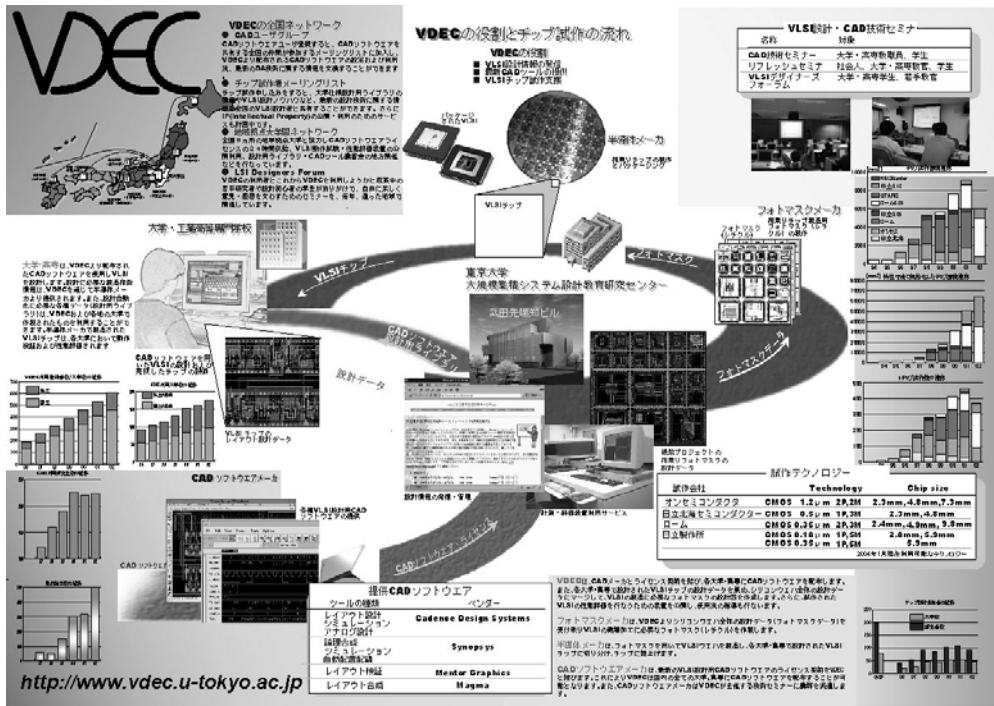


図 1.1 VDEC の活動内容

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。しかし、VDEC 発足当初、我が国の大学には CAD ソフトウェア利用技術教育や実用的 LSI 設計フロー教育のカリキュラムはほとんど存在していなかったため VDEC にとってはこれらの整備が急務の課題であった。CAD ソフトウェアの利用技術に関しては CAD ベンダーが独自の設計技術を有しており、これを導入することとした。大学院学生、若手教官を対象として CAD ベンダーから講師を招き、それぞれの CAD ソフトウェア毎に年 2 回のセミナーを開催することとし、CAD ベンダーと契約を結んだ。これまで年 2 回の内 1 回は

VDEC で、残り一回は地方拠点校で実施している。参加定員は設備の関係でそれぞれ 20～50 名程度であり必ずしも十分とはいえないが、VDEC としては各ユーザ研究室内で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって CAD 利用技術が全国的に広がることを期待している (1.3 章参照)。

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを年 1 回 (12 月～1 月) 開催している。このコースは“デジタル設計コース”，“アナログ設計コース”，“CMOS-RF 設計ユーズ”，“最先端設計事例コース”の

4コースからなっている。前3者は演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。最先端設計事例コースは講義主体のコースであるが、大学および企業から第一線の講師を招き、設計経験をもとにした講演を行っている。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとっ

てはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するのがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。(図1.2)。

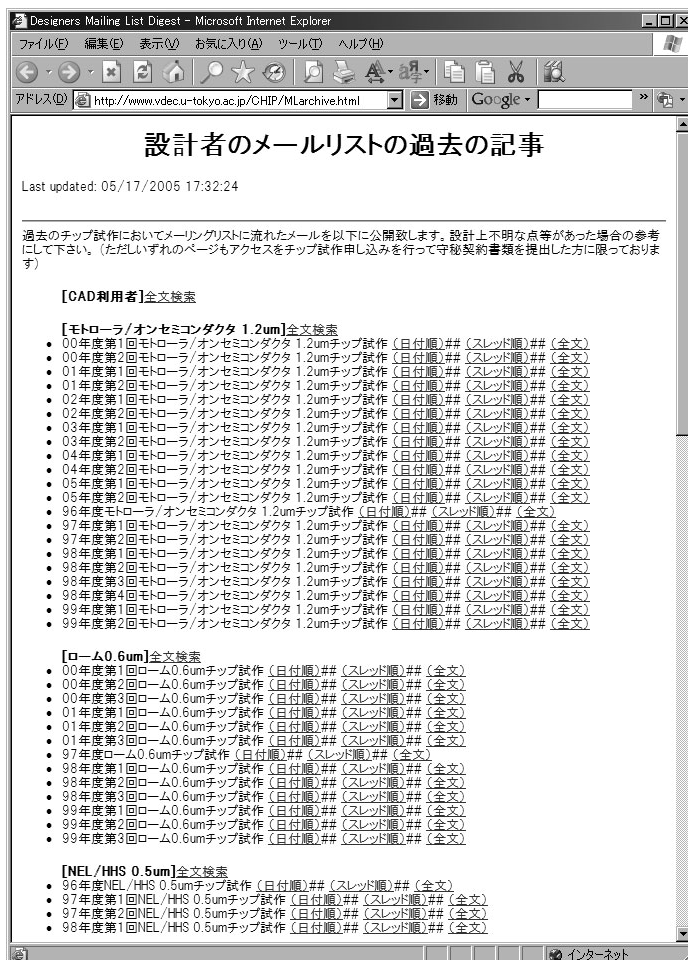


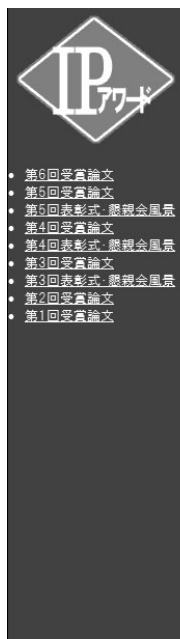
図 1.2 VDEC メーリングリスト検索システム

VDECではこの支援活動に参加していただいているユーザに感謝の意を込めて、VDEC デザイナー・フォーラムにて“最多回答ユーザ賞”をさしあげている。

VLSI チップ試作支援に関しては、従来のオンセミ 1.2 μm CMOS, ローム 0.35 μm CMOS, 日立 0.18 μm CMOS, NEC 0.8 μm Bipolar などの試作に続き、2004 年度からの本格運用を目指して沖電気 0.15 μm SOI 及び ASPLA 90 nm CMOS 試作を実施した。今後も公募などの方法で大学ユーザへ試作サービスを提供していく。さらに、VDEC では現在のサービス項目に載って

いない BiCMOS, SiGe 等について、アメリカ MOSIS 社との連携で、アカデミック価格で試作を行っている。

また、一流の LSI 設計者を目指す学生に対してインセンティブを与える仕組みとして5年前より LSI IP アワードを実施している。本アワードは半導体各社と日経 BP 社の支援でスタートした IP 開発支援のしくみであり、すでに6回目の募集を終えた。6回目は約49の応募にたいしその上位20件の優秀IPに対して100万円~200万円の賞金を授与している(図1.3)。



第6回LSI IPデザイン・アワード 発表会・表彰式・懇親会風景 優秀論文20件に賞を授与

日経BP社が発案し、国内半導体関連企業16社と1団体が運営するLSI IPデザイン・アワード(IPアワード)の表彰式が、5月20日(木)品川でSoC/SPデバイス・コンファレンス2004J(主催日経マイクロデバイス)の併設イベントとして盛大に開催された。第6回の応募総数は大学、企業合わせて49件(大学部門33件、企業部門16件)で、このうち大学部門12件、企業部門8件の論文に正賞を授与した。年々応募の質が上がっており、企業部門ではIPアワードを通してビジネスに結びつくIPも出始めている。表彰式の後に行われた懇親会では、この賞が研究の一つの目標になっているとの受賞者挨拶があった。表彰式・懇親会には、超電導工学研究所所長で運営委員長の田中昭二氏をはじめ、協賛企業から役員クラスの方が多数参加された。



運営委員会を代表して挨拶する運営委員長 田中昭二氏(超電導工学研究所所長)



150人を越える参加者で埋まる表彰式会場



受賞者に贈られる様

図 1.3 LSI IP 賞

VDEC 発足以来9年目を迎え、8年余の活動の中でLSI 設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育がスタートしている。図1.4にVDEC を利用した研究成果の指標として、VDEC に関

係する発表文件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC 発足以来、集積回路に関する研究が活性化されていることが確認できる。

■ 発表論文数

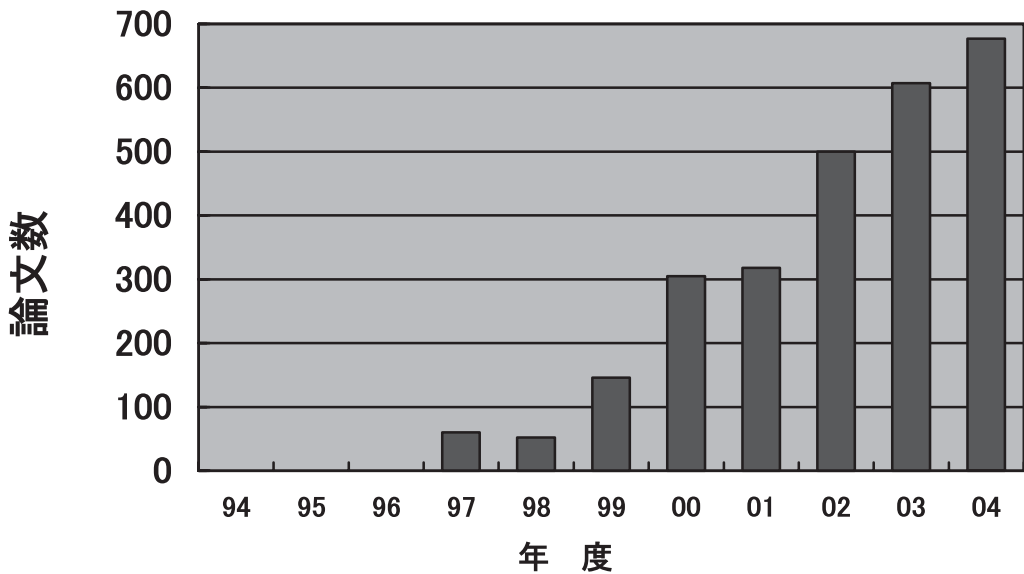


図 1.4 VDEC を利用した発表文献数の推移

図 1.5 に VDEC に関する発表文献の VDEC ファシリティー利用状況を示す。論文執筆にあたり CAD ソフトウェアが幅広く利用されていることが確認できる。CAD ソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジー

が好んで利用される傾向にあり、平成 16 年度からサービスを開始する沖電気の 0.15 μm SOI テクノロジと ASPLA 90 nm テクノロジの利用が期待できる。そのほかのファシリティーとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

VDECを利用した研究論文

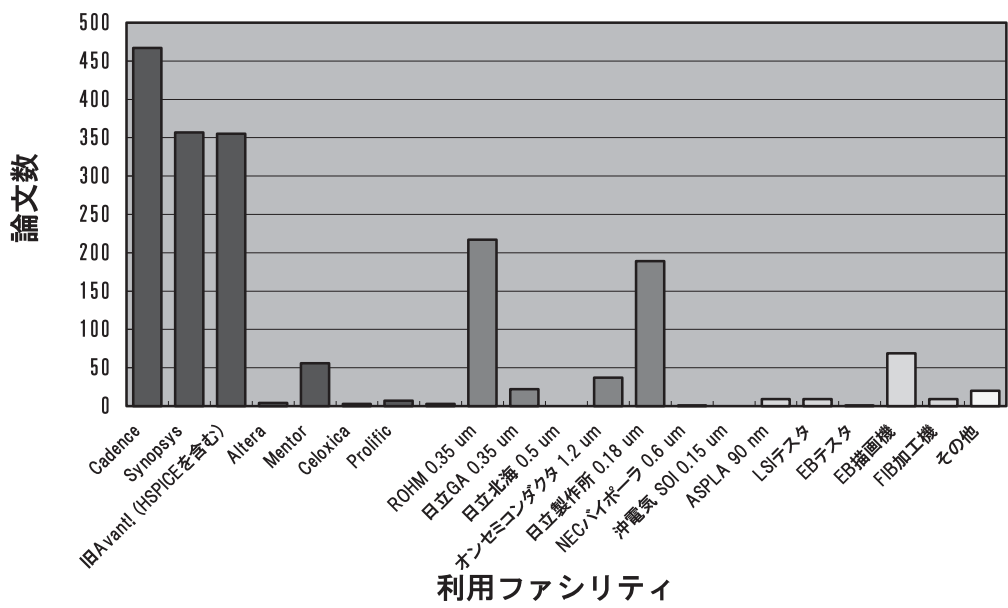


図 1.5 VDEC ファシリティー利用状況

1.2 CAD ソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成16年度は表1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティン

グライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている(a)全国教官数および(b)その所属する大学数および(c)CADの利用申請があった研究室(教官)数の推移は図1.7の通りである。

表1.1 導入されたCADシステム

名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力, シミュレーション, 論理合成, テスト生成, マクロセルを含むセルベースの配置配線とバックアノテーション, 会話型の回路図およびマスクレイアウト入力, アナログ機能・回路シミュレーション, 設計検証, 回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション, 論理合成, テスト生成。マクロセルを含むセルベースの配置配線設計とバックアノテーション, 回路シミュレーション, デバイスシミュレーション	Synopsys, Inc.
Magma 社設計システム	VerilogHDL/VHDL シミュレーション, 論理合成, 配置配線設計とバックアノテーション	Magma Design Automation Inc.
レイアウト検証システム	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
C 言語ベース設計システム	Handel-C でシステム設計, 合成, 検証	Celoxica, Ltd.
デバイス・プロセス・回路シミュレーション	SmartSpice, Atlas, Athena	SILVACO Japan Inc.
アナログ・RF 設計システム	ADS, RFDE	Agilent Technologies Japan, Ltd..

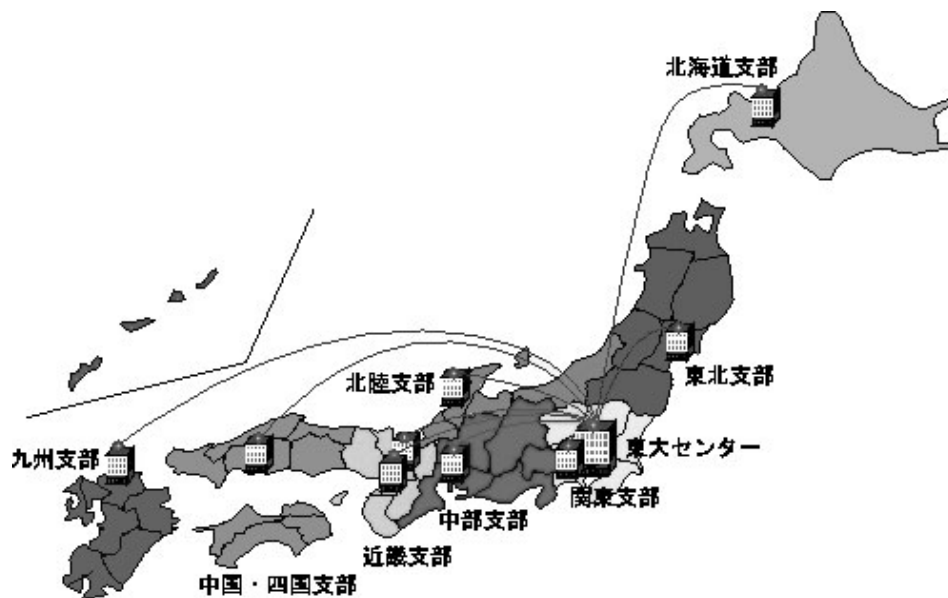
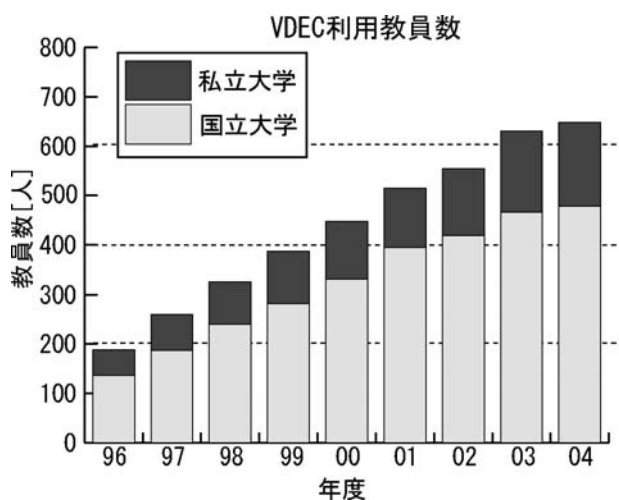
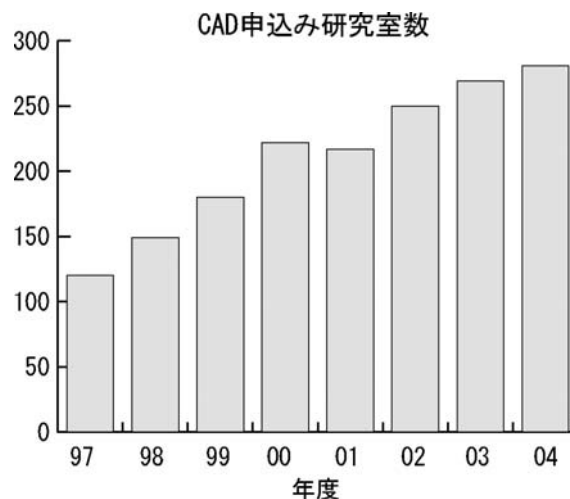


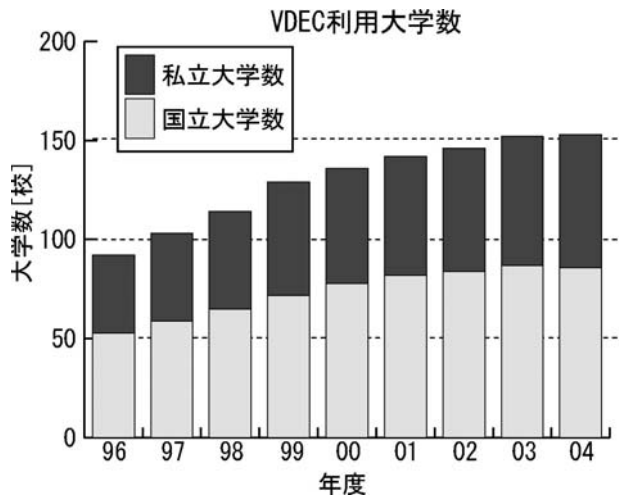
図 1.6 全国地域拠点校



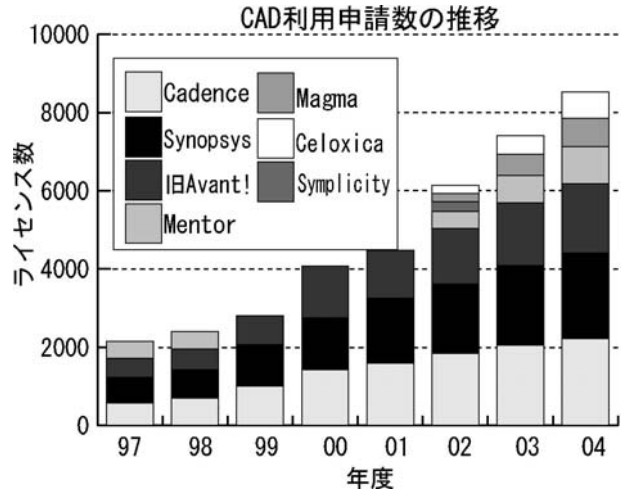
(a) 利用登録教官数



(c) CAD 申し込み研究室数



(b) 利用登録大学・高専数



(d) CAD 申し込み数

図 1.7 ユーザ登録数および CAD 申込数の推移

VDEC

1.3 VLSI チップ試作状況

1.3.1 VLSI チップ試作

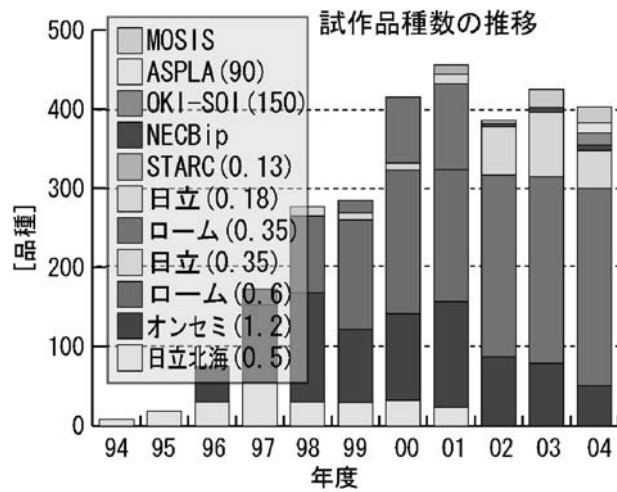
図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSI チップ試作は、平成 6, 7 年度 (1994, 1995 年度) のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS 0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続) 1 社であったが、平成 8 年度 (1996 年度) の VDEC 発足後、日本モトローラ社の CMOS 1.2 μm (平成 11 年度からは、オン・セミコンダクターにて継続) が協力を開始し、平成 9 年度からはローム社の CMOS 0.6 μm が加わった。さらに平成 10 年度には日立製作所の CMOS 0.35 μm 、平成 11 年度にはローム社 0.35 μm がそれぞれ加わった。また、IP 開発プロジェクトの一環として STARC 0.13 μm の試作を行った。平成 13 年度から、日立製作所の CMOS 0.18 μm のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。これは、TSMC, IBM といった海外のファブを MOSIS を経由す

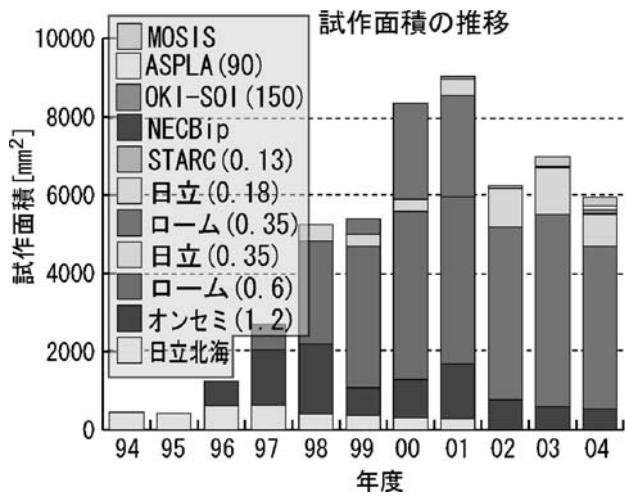
ることで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。平成 16 年からテスト試作として沖電気 CMOS SOI 0.15 μm プロセスおよび ASPLA 90nm プロセスの試作を開始している。

図 1.3.1 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。02 年度は試作数が減少したが、これは、ROHM 社の 0.6 μm プロセスを終了したことによる一時的な現象である。

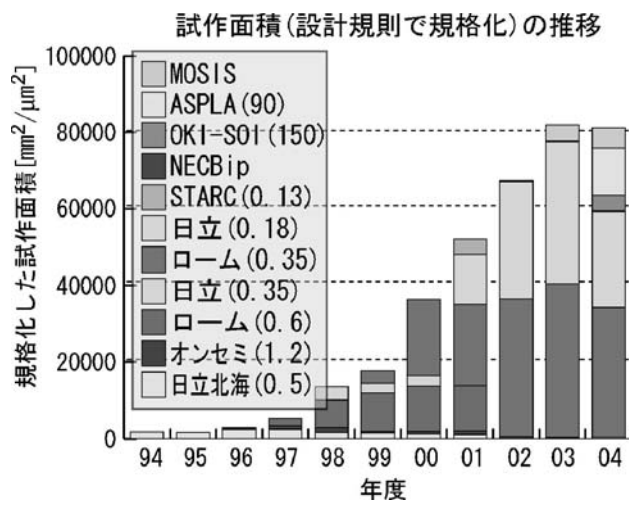
図 1.3.1 (b) に設計されたチップ面積を示す。試作プロセスが微細化すると、集積度が向上することで、見かけ上試作面積が減少するように見える場合がある。そこで、図 1.3.1 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1 チップ試作数・面積推移

また、図 1.3.2 にこれまでに試作に参加した教官数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報

にアクセスするための「機密保持契約」締結教官数は、オンセミコンダクタが 108 名、ロームの 0.35 μ m プロセスが 83 名、日立製作所が 16 名となっている。

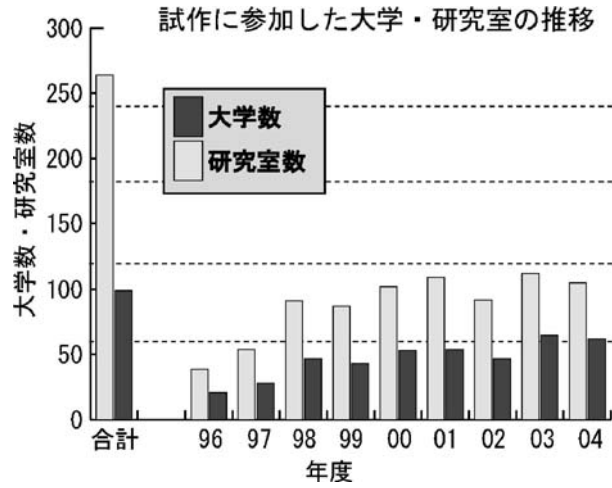


図 1.3.2 VDEC チップ試作参加教官数・大学数の推移とその累計

1.3.2 平成 16 年度チップ試作概況

平成 16 年度は、表 1.3.1 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 2 章のチップ試作報告を参照されたい。

表 1.3.1 平成 16 年度チップ試作日程

○ CMOS 1.2 μ m (オンセミコンダクタ：旧 日本モトローラ)

	申込開始	申込 \times 切	設計 \times 切	チップ納品
第 0 回	平成 15 年 10 月 4 日	平成 16 年 1 月 14 日	平成 16 年 4 月 5 日	平成 16 年 7 月 14 日
第 1 回	平成 16 年 4 月 5 日	平成 16 年 7 月 5 日	平成 16 年 10 月 4 日	平成 17 年 1 月 11 日
第 2 回	平成 16 年 10 月 4 日	平成 17 年 1 月 11 日	平成 17 年 4 月 4 日	平成 17 年 7 月 15 日

○ CMOS 0.35 μ m (ローム)

	申込開始	申込 \times 切	設計 \times 切	チップ納品
第 1 回	平成 16 年 4 月 14 日	平成 16 年 3 月 29 日	平成 16 年 6 月 28 日	平成 16 年 10 月 1 日
第 2 回	平成 16 年 5 月 2 日	平成 16 年 5 月 24 日	平成 16 年 8 月 23 日	平成 16 年 11 月 25 日
第 3 回	平成 16 年 5 月 2 日	平成 16 年 8 月 2 日	平成 16 年 11 月 1 日	平成 17 年 1 月 27 日
第 4 回	平成 16 年 8 月 2 日	平成 16 年 10 月 29 日	平成 17 年 1 月 31 日	平成 17 年 5 月 14 日

○ CMOS 0.18μm (日立)

	申込開始	申込メ切	設計メ切	チップ納品
第1回	平成16年4月14日	平成16年4月19日	平成16年7月19日	平成16年12月17日
第2回	平成16年7月9日	平成16年10月12日	平成17年1月11日	平成17年5月13日

○ Bipolar (NEC)

	申込開始	申込メ切	設計メ切	チップ納品
第1回			平成16年9月29日	平成17年2月23日

○ CMOS SOI 0.15μm (OKI)

	申込開始	申込メ切	設計メ切	チップ納品
第0回			平成16年3月17日	平成16年7月21日
第1回			平成16年9月30日	平成17年2月15日
第2回			平成17年3月14日	平成17年7月21日

○ CMOS 90nm (ASPLA)

	申込開始	申込メ切	設計メ切	チップ納品
第1回			平成16年9月30日	平成17年2月1日
第2回			平成16年12月17日	平成17年3月28日

1.3.3 ライブラリ整備状況

VDECにおけるチップ試作（主にデジタルLSI試作）では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ

整備事業を行ってきている。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
HHS (NEL) 0.5μm	P2lib	京都大学小野寺研究室	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • CellEnsamble 用配置配線ライブラリ 	試作チップの動作検証完了
		http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html		
	EXDlib	九州大学安浦研究室	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • VHDL 用シミュレーションライブラリ • Apollo 用配置配線ライブラリ 	試作チップの動作検証完了
			<ul style="list-style-type: none"> • CellEnsamble 用配置配線ライブラリ 	
http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html				

MOT (On Semi) 1.2μm	P2lib	京都大学 小野寺研究室	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • CellEnsamble 用配置配線ライブラリ 	試作チップの動作検証完了
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html		
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • Apollo 用配置配線ライブラリ 	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html		
日立 0.35μm ROHM0.35μm	EXDlib	東京大学 VDEC		
	日立ゲートアレイ	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html		
	京大 lib	CDROM にて配布 京都大学 小野寺研究室		
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • Apollo 用配置配線ライブラリ 	
http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html				
パスポートライブラリ			<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • Apollo 用配置配線ライブラリ 	日立から提供のセルを ApolloGA に移植
	CDROM にて配布			
日立 0.18μm	京大 lib	CDROM にて配布 京都大学 小野寺研究室		
		<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • ApolloII 用配置配線ライブラリ 		
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html			
	日立ゲートアレイ	東京大学 VDEC	<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • Apollo 用配置配線ライブラリ 	
http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html				
パスポートライブラリ	CDROM にて配布		<ul style="list-style-type: none"> • Synopsys 用論理合成ライブラリ • VerilogXL 用シミュレーションライブラリ • VHDL 用シミュレーションライブラリ 	ロームから提供

1.4. CAD セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 16 年度には、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で現在使用可能な Cadence, Synopsys, Magma, Mentor Graphics, Xilinx, Silvaco など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC で開発したライブラリを用いたチップ設計に関する講習も VDEC スタッフで実施している。平成 16 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 5 日間、Synopsys のツールを 7 日間、Magma のツールを 2 日間、Mentor Graphics のツールを 2 日間、Silvaco のツールを 1 日間、Xilinx のツールを 2 日間で実施し、各コースに 40 名までの教官・学生の受講があり、各ツ

ールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーを地方拠点（北海道、名古屋、東北、金沢、九州）及び東京で実施し、Cadence, Synopsys, Magma, Mentor Graphics, Sharp 等各社の最新のツールの上級トレーニングを行った（表 1.4.1）。

これら CAD 技術セミナーへの参加要望は非常に大きいため、VDEC 拠点校の協力を得ながら各地方拠点校で開催しているが、地方拠点開催でもその地方からの参加者にとどまらず、遠方からの参加希望が多く寄せられている。これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。



図 1.4.1 地方拠点校で開催した CAD 講習会会場風景（北海道大学）

表 1.4.1 平成 16 年度 CAD 技術セミナー開催状況

講習項目	開催地	開催時期	参加人数	講習内容
XILINX エンベ デッドシステム 開発講習会	東京大学	平成 16 年 7 月 26 日～27 日	16	エンベデッドシステムの開発, デバッグ, シミ ュレーション
Synopsys, Chip Synthesis 講習会	東京大学	平成 16 年 8 月 24～25 日	40	回路合成・解析ツールの基本操作, クロック・ 設計制約の設定, 階層コンパイル, 最適化
Magma 講習会	東京大学	平成 16 年 8 月 26～27 日	9	MAGMA 設計フローの説明, ツールの概要説明 と基本操作
Synopsys Astro 講習会	東京大学	平成 16 年 8 月 31～9 月 1 日	40	自動配置配線コアツール Astro のデザインフロ ーと各フェーズでの機能
Synopsys HSPICE 講習会	東京大学	平成 16 年 9 月 2～3 日	40	概要 HSPICE の基本的な機能と回路記述方法を ベースに, 演習問題を通じて HSPICE の操作方 法と, シミュレーション統合環境
Cadence, IC-CAE 講習会	東京大学	平成 16 年 9 月 6 日	39	Composer デザインエントリ, Verilog シミュレ ーション I/F, の理解を目的とし, 基本操作方法
Cadence, VLE 講習会	東京大学	平成 16 年 9 月 7 日	40	Layout Editor の使用方法, Pcell (Parameterized Cell) の概念と作成方法, Stream 変換方法
Cadence, Encounter 講習会	東京大学	平成 16 年 9 月 8 日	30	Encounter Platform の使用方法について学習しま す.
Cadence, Dracula 講習会	東京大学	平成 16 年 9 月 9 日	40	DRC の実行方法とデバッグ方法
Cadence, Verilog-HDL 講 習会	東京大学	平成 16 年 9 月 10 日	40	Verilog HDL を使用した回路の構造記述, 動作記 述の基礎と, NC-Verilog の実行方法
Synopsys, Cocentric System Studio 講習会	東京大学	平成 16 年 9 月 16～17 日	31	SystemC の概要, SystemC の基本文法, System Studio の概要, シミュレーションの設定と制御
Mentor, Calibre 講習会	東京大学	平成 16 年 9 月 21～22 日	15	IC レイアウト検証ツール Calibre を使用して, ル ールファイルの作成方法, DRC/LVS の実行方法 を習得
Silvaco Gateway, SmartSpice 講習 会	東京大学	平成 16 年 9 月 15 日	3	アナログ設計環境 Gateway, SmartSpice を用いた シミュレーションの実行, 結果の出力, 波形表 示に至る一連の操作トレーニング. 波形ビュー ー SmartView の操作方法
Cadence VXL (Virtuoso-XL) 講習会	北海道大 学	平成 17 年 2 月 28～3 月 1 日	17	VXL の概念, データのセットアップ, 使用方法
HSPICE 講習会	金沢大学	平成 17 年 3 月 3～4 日	21	HSPICE のネットリストの構造と記述方法, HSPICE で扱えるデバイスモデル, HSPICE の解 析アルゴリズム, 解析エラーの種類と回避方法
Synopsys Design Compiler 講習会	名古屋大 学	平成 17 年 3 月 7～8 日	23	概要論理合成, 制約と最適化
Mentor Calibre 講習会	東京大学	平成 17 年 3 月 14～15 日	13	IC レイアウト検証ツール Calibre を使用して, ル ールファイルの作成方法, DRC/LVS の実行方法 を習得
Magma 講習会	東京大学	平成 17 年 3 月 17～18 日	5	MAGMA 設計フローの説明, ツールの概要説明 と基本操作
Verilog-A 講習会	九州大学	平成 17 年 3 月 23～24 日	19	アナログ記述言語 Verilog-A の習得, アナログ回 路とミックス度シグナル回路の設計方法の紹介
BachC 講習会	東北大学	平成 17 年 3 月 30～31 日	3	Bach C 言語, シミュレーション方法, 合成方法, 様々な回路の記述方法

社員の再教育、キャリア・アップに
平成16年度VDECリフレッシュ教育

VDEC
VLSI Design and Education Center
The University of Tokyo
2004

VLSI設計教育 コースのご案内

<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

本コースは、集積回路産業に関わる職業人を対象としたリフレッシュ教育として、VLSI設計に関する基礎と最新の知識・技術の習得を目的として実施します。教育機関に在籍する教育・学生の方の参加も可能です。
本年度は新たにCMOS-RF集積回路設計コースが加わりました。

コース1 HDLによるデジタル集積回路設計と演習
日程: 12月13日(月)~16日(木) 4日間 定員: 35名程度
講師: 今井 正治(大阪大学 教授) 越智 裕之(京都大学 助教授) 小林 和淑(京都大学 助教授) 池田 誠(東京大学 助教授)
受講料: 31,000円(テキスト代含む)

コース2 アナログ集積回路設計と演習
日程: 1月12日(火)~14日(木) 3日間 定員: 35名程度
講師: 杉本 泰博(中央大学 教授) 小野寺 秀俊(京都大学 教授) 小谷 光司(東北大学 助教授)
受講料: 20,000円

コース3 CMOS-RF集積回路設計と演習
日程: 11月17日(月)~20日(木) 4日間 定員: 35名程度
講師: 三浦 道子(広島大学 教授) 藤島実(東京大学 助教授) 松岡 俊匡(大阪大学 助教授)
受講料: 28,000円

コース4 最先端VLSI設計実例
日程: 1月11日(月)・26日(水) 定員: 150名程度
コーディネータ: 益子 耕一郎(東京大学 客員教授) 村上 和彰(九州大学 教授)
講師: 最先端で活躍されている多数の研究者を集めます
受講料: 6,000円

開催場所 東京大学武田先端知ビル(本郷キャンパス浅野地区)1階セミナー室・5階武田ホール
申込方法 ・上記のWEBページからお申し込みください。
・大学等教育機関からの参加も可能ですが、本コースの開催趣旨により、希望者多数の場合は、社会人の方の申込を優先させて頂きます
・受講申込人数が定員を越え次第、申し込みを終了させていただきます
問合せ先 電話:092-642-4012, FAX:092-642-4015担当:VDEC-庶務(企画・運営)
E-mail:refresh@vdec.u-tokyo.ac.jp Web:http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html

【共催】 東京大学大規模集積システム設計教育センター(VDEC) 財団法人 総合研究奨励会
【協賛】 文部科学省高等教育専門教育課 電子情報技術産業協会(EDITA) 半導体理工学研究所(STARC) 応用物理学会 情報処理学会 電気学会 電子情報通信学会
IEEE Solid-State Circuits Society, Japan Chapter IEEE Solid-State Circuits Society, Kansai Chapter

図 1.4.2 平成 16 年度リフレッシュ教育ポスター

平成16年度12月～1月には平成15年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表1.4.2)。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情

報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。

本年度はVLSI設計に関する4つのコース(コース1: HDLによるデジタル集積回路設計と演習(12/13～12/16実施)、コース2: アナログ集積回路設計と演習(1/12～1/14実施)、コース3: CMOS-RF集積回路設計と演習(1/17～1/20実施)、コース4: 最先端VLSI設計実例(1/11, 1/26))を開催し、講師として大学・企業の集積回路研究・教育に携わる教官や研究者20名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコース1, 2, 3はそれぞれ約40名、コース4は約75名あり、延べ180名程度となった。



図1.4.3 平成16年度リフレッシュ教育会場風景
(東大VDECセミナー室)

表 1.4.2 リフレッシュセミナー開催状況

講習項目	開催日	講師	参加数	講習概要
コース 1： HDL による デジタル集積回路設計と 演習	平成 16 年 12 月 13 ~ 16 日	今井正治 (大阪大学教授), 越智裕之 (京都大学助教 授), 小林和淑 (京都大学助 教授), 池田 誠 (東京大学 助教授)	40	ハードウェア記述言語 (HDL) による デジタル集積回路設計, Verilog HDL を用いた FPGA の設計演習, 論理合成 と自動配置配線手法による ASIC 設計 の流れの演習
コース 2： アナログ集積 回路設計と演 習	平成 17 年 1 月 12 ~ 14 日	杉本泰博 (中央大学教授), 小野寺秀俊 (京都大学教 授), 小谷光司 (東北大学助 教授)	40	アナログ集積回路の特徴と役割, レイ アウト設計, 設計検証, 回路シミュレ ーション
コース 3： CMOS-RF 集 積回路設計と 演習	平成 17 年 1 月 17 ~ 20 日	三浦道子 (広島大学教授), 藤島実 (東京大学助教授), 松岡俊匡 (大阪大学助教授)	40	RF 回路シミュレーションのための MOSFET モデル, RF CMOS 回路の基 礎, RF 回路の基礎
コース 4： 最先端 VLSI 設計事例	平成 17 年 1 月 11, 26 日	益子耕一郎 (東京大学客員 教授), 村上和彰 (九州大学 教授), 宮森高 (東芝), 渡 辺信久 (アーム), 黒川秀文 (NEC エレクトロニクス), 西村憲二 (ザイリンクス), 生田潔 (コーウエア), 松岡 俊匡 (大阪大学), 松澤昭 (東工大), 小久保優 (日立 製作所)	75	デジタルメディア用 SoC のプラットフ ォーム MeP, 組込プラットフォーム構 築に向けての ARM ソリューション, SoC のソフト化を後押しする C 言語設 計ベース・プロセッサ, FPGA でこそ実 現可能な SoC 設計と手法, 仮想プラッ トフォームを用いたシステム設計手 法, カスタムロジックの C プログラム + プロセッサ実装を可能とする SoC プ ラットフォーム Redefis, CMOSRF 回路 と無線通信用 LSI の設計, CMOS アナ ログ回路設計の基礎, PLL の設計と最 新 PLL 技術状況

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象とした VDEC LSI デザイナーフォーラム (VDEC LSI Designers Forum) を開催している。VDEC LSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、CAD 業界の裏話、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。平成 16 年度は、8 月 3 日、4 日に福岡国際会議場で開催され、48 名の参加者があった。今回は、2004 年 8 月 4-5 日に福岡で開催された AP-

ASIC 2004 の特別セッションとして開催され、IEEE SSCS Japan Chapter に共催団体として支援していただいた。AP-ASIC の通常セッションとは別枠で VDEC デザイナーフォーラムのポスターセッションを組み、さらに台湾 CIC、韓国 IDEC のユーザにも参加して頂いた。また、本フォーラム開催にあたって、会場・宿泊設備その他の準備、スタッフの手配等は、地元幹事大学のご協力により実現されている。平成 16 年度は、九州大学の服部先生の研究室に幹事を務めていただいた。



図 1.4.4 VDEC デザイナーズフォーラム会場風景

表 1.4.3 平成 16 年度デザイナーズフォーラムプログラム

8 月 6 日 9:00 ~ 12:00

1.	9:00 ~ 9:40	基調講演：システムオンチップ (SoC) の今後の方向とテクノロジーへのインパクト	松澤先生	(東工大)
2.	9:40 ~ 10:10	ファブレスメーカーの試作デバイス評価解析から量産試験の動向と大学へのその薦めについて	久池井社長	(アルデータ)
3.	10:10 ~ 10:30	休憩		
4.	10:30 ~ 11:00	VDEC の紹介	池田先生	(vdec)
5.	11:00 ~ 11:30	リコンフィギュラブル RF 回路設計技術	岡田先生	(東工大)
6.	11:30 ~ 12:00	ホームネットワーク構築について	島中先生	(vdec)

【その他の共催・協賛セミナー】

日本学術振興会第 165 委員会が主催する「VLSI 設計・夏の学校」への協賛を行い、こちらも盛況であっ

た。(社)電子情報通信学会 VLSI 設計技術研究会が主催する講習会「VLSI 設計演習」への協賛も行った。

1.5. 装置の整備・運用・利用公開

VDEC では、発足以来導入されてきた装置を維持管理するとともに、全国大学教員に対し公開している（一部装置は、試験公開中）。表 1.5.1 に装置の一覧と利用公開の状況を示す。装置は、VLSI 用大型テスターと、その他若干のプロセス装置とに大別できる。VDEC 発足以来、東京大学工学部各号館へ分散配置されてきたが、平成 16 年度末までに「武田先端知ビル」内の 1 階実験室ならびに地下スーパークリーンルームに装置の移設が完了し、これまで以上に有機的な連携をもって利用することができるようになった。また、平成 16 年度にアドバンテスト株式会社より最新鋭のテスター（T2000）と電子線描画装置（F5112 + VD01）とが寄附された。今後同装置の全国公開に向けた整備を行う予定である。

平成 9 年度より各種治具の標準化に取り組んだ結果、VDEC が推奨する標準ピン配置に基づき試作したデジタル LSI は、治具を新たに作成することなく、VDEC および拠点校の LSI テスターにより評価が行える体制が整っている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドーターボードを 1 種類準備することで、全国の各大学における LSI テスターに対応可能な体制が整っている。今

後、LSI テスト法および LSI テスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作した LSI の特性・性能評価が容易に行える環境の整備に努めたい。試作チップの評価に関しては、発足当初より QFP や BGA パッケージを実装できるソケットの頒布およびソケットのピンを標準 2.54mm ピッチに変換する変換ボードを開発してきた。WEB 経由の申し込みにより購入することができる。電子線描画装置、集束イオンビーム加工装置は、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を考案し、試験運用を行っている。年間 360 枚以上のマスク描画実績ならびに、同数のウエハ直接描画実績がある。

公開されている装置に関しては、セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としている。必要に応じ、VDEC の職員などが対応することで、利用を認める場合もあるので、個別に相談いただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジック LSI テストシステム	ミックスシグナル LSI テスター： ITS9000Exa	100MHz/200MHz320 ピンのデジタルピンおよび4チャンネルのアナログピンを有している。VDECにおいて標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@vdec.u-tokyo.ac.jp
	EB テスター： IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常 LSI テスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384ピン、1GHz までのデジタル回路のテストを行える。	公開中	IDS5000@vdec.u-tokyo.ac.jp
	LSI テスター： HP8300	384ピン、1GHz までのデジタル回路のテストを行える。	公開中	HP83000@vdec.u-tokyo.ac.jp
	回路修正用 FIB： IDSP2X	LSI パターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	オートプローバ： PM-90-A	ウエハ上での LSI の動作検証を行うためのオートプローバ。上述の LSI テスターとドッキングして使用することが可能で、VDEC において標準ピン配置で試作したチップを測定するためのプローブカードを揃えている	希望に応じ利用可能	equipment@vdec.u-tokyo.ac.jp
アナログ・RF 測定システム	アナログ・RF 測定装置一式： HP4156, HP4284, HP...etc	DC パラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但し VDEC の業務による利用を優先とする	equipment@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ： Cascade 社	マニュアルにて6インチまでのウエハ上のチップの測定が可能。測定には、通常のプローブ針（6本まで）のほか、50GHz までの測定が可能な高周波プローブを2本備える		
	低雑音・温度制御機構付きセミオートプローバ： Karl Suss 社	8インチまでのウエハ上のチップの測定が可能。ウエハ温度を-50℃ から200℃ まで制御可能。プローブカードによる測定。GPIB を介した制御を行うことで半自動測定も可能		
	極低温プローバ： 長瀬産業株式会社	5インチウエハを25K まで冷やした測定が可能	要相談	equipment@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置： F5112+VD01	半導体製造用マスクの描画およびエッチング、ウエハへ直接描画が可能。最小描画寸法 0.1 μ m。	試験的に公開中	equipment@vdec.u-tokyo.ac.jp
汎用 FIB システム	FIB 装置： SMI9800MSP	ガラスマスクの欠陥修正の他、断面観測のための加工等が可能	試験的に公開中。	SIIFIB@vdec.u-tokyo.ac.jp

1.6. VDEC プロジェクト

1.6.1 AS ☆ PLA プロジェクト

90nm 世代におけるシグナル・インテグリティ評価

東京大学 国際・産学共同研究センター 稲垣賢一, Danardon Dwi Antono, 桜井貴康

概要: テクノロジーの進歩に伴い LSI の配線密度は向上し、タイミング、シグナルインテグリティ、信頼性、製造性が複合した課題として存在する。電源配線に関しては従来行われてきた静的な解析だけでなく、動的 IR ドロップも考慮した設計が必要となっている。最適設計のために配線幅や配線間隔等について指針が必要である。そこで、配線 TEG とともにオンチップサンプリングスコープ回路を適宜配置することにより、種々の形態の配線パラメータを抽出する。これにより 90nm 世代における配線設計指針を得ることを目的としている。

本チップ設計ではアナログ MOS モデルが利用できなかったため、アナログ回路設計は公表されているトランジスタ特性図に頼ったものとなっている。ロジック回路部分はデジタル MOS モデルを使用し、概算で適宜寄生容量を挿入する形式でシミュレーションを行った。

レイアウト段階においては、面積削減のためロジック部分はスタンダードセルを手動配置した。コンパレータをはじめとするアナログ回路は手動レイアウトすることとし、フルカスタム設計を行った。比較的大きな面積を必要とするタイミング生成回路を一箇所にまとめて共有し、測定回路直近に小型のサンプリングヘッド回路を配置し回路面積の削減を図った。設計検証には Calibre DRC, LVS を利用した。

設計期間: 6 人月 **トランジスタ数:** 10 万 **設計ツール:** Synopsys Star-HSPICE, Cadence Virtuoso, Mentor Calibre **チップ種別:** デジアナ混載 / TEG

90nm CMOS デジタル回路の電源系雑音評価

神戸大学 植村俊文, 深澤光弥, 野口宏一朗, 永田 真

概要: サブ 100nm 領域 CMOS デジタル回路の特徴の一つは高速・低電圧動作であるが、その設計には電源系雑音の考慮が欠かせない。本テストチップは、90nm CMOS 技術を用い、1.0V の低電圧かつ数 100MHz ~ GHz の高動作周波数におけるデジタル回路のダイナミック雑音の評価を目的としている。具体的には、汎用スタンダードセルで構成したループ型シフトレジスタ・アレイと雑音検出回路アレイを搭載し、デジタル回路の動作時雑音を電源、グラウンド、ウェル、および基板の電位に対して測定可能としている。これらの構成は 180nm プロセスでも評価実績があり、ダイナミック雑音をデバイス世代間で比較評価することで、スケールアップによりサブ 100nm 領域で顕在化する問題を見出し、ダイナミック雑音を考慮した設計手法の確立に貢献できると考えている。

本テストチップはフルカスタム設計で、開発期間は大学院生 3 名でおよそ 1 ヶ月であった。デジタルスタンダードセルおよび I/O パッドは提供頂いたライブラリを利用した。なお、雑音検出回路はアナログ回路であり、トリプルウェル構造、メタルスタックによる MIM 容量、2.5V デバイス、を用いている。設計ステップは回路シミュレーションに基づく回路設計、レイアウトエディタによるハンドレイアウト、および検証とし、とくに LVS/DRC は単体セルから I/O を含むチップ全体まで徹底して実施した。ただし、ポストレイアウトシミュレーションは寄生素子を大まかに見積ることで代用し、最終的な性能評価は実測に委ねることとした。現在、テストチップ評価用ボードの開発を完了し、各回路の基本動作を確認した段階である。

設計期間: 3 人月 **設計ツール:** Cadence Analog Artist, Star-Hspice, Nanosim, Mentor Calibre **トランジスタ数:** 800,000 **チップ種別:** デジタル / アナログデジタル混載

LUT アレイ、ライブラリ動作検証用 TEG, クロストーク遅延評価 TEG

京都大学 情報学研究科 小野寺秀俊, 小林和淑, 小谷 学, 河野武志, 香月和也

大阪大学 情報科学研究科 小笠原泰弘, 橋本昌宜

概要: 微細ばらつきにおけるばらつきを調べるための LUT アレイならびに、京大で作成したセルライブラリ検証用の TEG の試作を行なった。LUT アレイは、ASPLA より提供されたスタンダードセルのレイアウトより、Astro 用のライブラリの作成を行ない、手設計と論理合成により作成した Verilog ネットリストより、自動 P&R を行なうことにより設計を行なった。ライブラリ検証用 TEG は、当研究室で開発した VARDS システムより、ASPLA 社のプロセス用のレイアウトデータを生成し、それより Astro 用のライブラリを作成することにより行なった。測定の結果、正常に動作していることを確認した。

誘導性、容量性の配線間結合によるクロストークによる遅延変動を評価する TEG を試作した。パス構造の配線構造を作成し、遅延変動をリングオシレータの発振周期の変化で測定する。設計は提供されたスタンダードセルを手動配置、配線することにより行なった。測定の結果、クロストークによる遅延変動が正常に測定できていることが分かった。

設計期間: 6 人月 **設計ツール:** Synopsys Design Compiler, Synopsys Astro, Synopsys Star-HSPICE, Cadence Virtuoso, Cadence Verilog-XL, Cadence Dracula, Mentor Calibre **トランジスタ数:** 150 万 **チップ種別:** デジタル / TEG

ASPLA90nm プロセスを利用した VDEC チップ試作

中央大学 理工学部情報工学科 榎本忠儀, 樋口雄貴, 磯崎亮多, 中沢純一, 梅澤祐一, 永山 卓, 小林伸彰, 萩原洋介

概要：設計フロー測定評価環境：バックゲートバイアスを行うことが出来るよう、ASPLA より提供されたプリミティブセルを基本に再設計した。レイアウト設計は Cadence Virtuoso を、DRC 検証は Mentor Calibre を、回路設計と性能検証は Mentor Calibre, Synopsys Star-HSPICE を、用いた。

テーマ 1

チップ V04 は、主として、当研究室で開発したリーク電流削減回路 {電圧レベル変換 (Self-controllable Voltage Level; SVL) 回路} の特性を評価するために設計・試作した。搭載回路は SVL 回路を接続したインバータ、同 SRAM、同差分絶対値和回路、同リングオシレータである。

a. SVL 回路を適用したインバータ：プロセスの微細化に伴い増大する各種リーク電流 (サブスレシヨルド電流, pn 接合逆バイアスリーク電流, GIDL, ゲートトンネルリーク) の振る舞い、および、SVL 回路による電界緩和効果とバックゲートバイアスの自動生成を観察する。これによりリーク電流低減される効果を検証する。

b. SVL 回路を適用したリングオシレータ：SVL 回路の最適化を検証する。SVL 回路を適用した差分絶対値和回路：SVL 回路が論理回路のリーク電流削減に有効な手段であることを検証する。は各種リーク電流の性質を把握し、リーク電流を削減することである。SVL 回路により待機時消費電力は削減される。これを実測により確認する。

c. SVL 回路を適用した SRAM：の待機時消費電力を実測、解析、評価し、90-nm 世代における SVL 回路の有用性を検証する。測定結果では、SVL 回路を適用した 1Kb SRAM の待機時消費電力は SVL 回路を適用しない 1Kb SRAM の待機時消費電力の数 % 以下に低減できた。

テーマ 2

V05；貫通電流削減技術の評価

チップ V05 は、主として、当研究室で開発した動作時消費電力削減手法を検証するために設計・試作した。V05 に搭載された回路は CLA 加算回路、乗算回路、クロックドライバとレジスタ、マルチプレクサ、である。

3) 参考文献：

- [1] 樋口雄貴, 榎本忠儀, 「CMOS スイッチ 2 個でリーク電流削減とデータ保持を両立」, 第 8 回システム LSI ワークショップ, 予稿集, pp. 231-234, 2004 年 11 月 30 日.
- [2] 樋口雄貴, 榎本忠儀, 「電圧レベル変換 (SVL) 回路を適用した低リーク 90-nm CMOS SRAM」, ICD2004-225, pp. 29-34, 2005 年 3 月 10 日.
- [3] 磯崎亮多, 榎本忠儀, 「90-nm CMOS 16:1 マルチプレクサ (MUX) の高速化と低電力化」, ICD2004-226, pp. 35-40, 2005 年 3 月 10 日.
- [4] 永山 卓, 榎本忠儀, 「90-nm CMOS クロックドライバの低電力化と高速化」, 信学総合大会講演論文集, エレクトロニクス, C-12-8, p. 71, 2005 年 3 月 21 日.
- [5] 萩原, 榎本忠儀, 「8-bit 90-nm CMOS 桁上げ先見加算回路の低リーク電流化と高速化」, 信学総合大会講演論文集, エレクトロニクス, C-12-9, p. 72, 2005 年 3 月 21 日.
- [6] 梅沢, 榎本忠儀, 「SVL 回路を適用した低リーク電流 8 ビット 90-nm CMOS 桁上げ伝播加算回路の設計」, 信学総合大会講演論文集, エレクトロニクス, C-12-10, p. 73, 2005 年 3 月 21 日.

設計期間：8 人月 設計ツール：Synopsys Star-HSPICE, Cadence Virtuoso, Mentor Calibre トランジスタ数：V04；21,000 Tr V05；11,9600 Tr チップ種別：V04；デジタル/TEG/新技術 (リーク電流削減技術) V05；デジタル/TEG/新技術 (貫通電流削減技術)

リコンフィギュラブル無線集積回路に向けた特性評価 TEG の試作

東京工業大学 精密工学研究所 益 一哉, 岡田健一, 吉原義昭

概要：本研究では、RF 回路の各種バイアス電圧を制御し、また、回路ブロックを切り替えることにより、製造後の回路を動的に再校正および再構成する回路方式を開発することを目的としている。本技術により、低コスト化とマルチバンド化を実現する。シリコン CMOS 技術を用い、800MHz 帯から 5GHz 帯までの動作を可能とする動的再構成可能な RF デバイス・回路設計技術を確立する。本試作では、5GHz 帯までの RF 回路の設計に向け、トランジスタおよびバラクタ素子の特性評価を行う。トランジスタ TEG は nMOS と pMOS の 2 種類あり、それぞれ 2 種類のゲート幅で、ソース接地とスイッチのパターンで構成されている。また、de-embedding パターンは nMOS と pMOS で別々に作成し計 4 種類のパターンにより Open-Short 校正を行う。バラクタ TEG は pn 接合バラクタと A-MOS バラクタを作成した。測定には、Agilent 社ネットワークアナライザ (E8364B), パラメータアナライザ (4157A), NF アナライザ (N8975A), Focus 社オートチューナ, Cascade 社高周波プローブステーションを用い、50GHz までのオンウエハ測定を行なう。

設計期間：1 人月 設計ツール：Cadence Virtuoso, Mentor Calibre トランジスタ数：21 チップ種別：高周波特性測定用 TEG

ミリ波帯 CMOS 回路用試験デバイス

東京大学 大学院新領域創成科学研究科 小林 直樹, 山本 憲, 藤島 実

概要: ミリ波帯 CMOS 回路用デバイスの TEG を作成した。作成したものはトランジスタ、バラクタ、インダクタ、コプレナ伝送線路 (CPW) である。これらの TEG の評価を行い、ミリ波帯で使用可能なモデリングを行うことを目指した。寄生成分を除去するために、ショートパターンやオープンパターンを利用した校正を行った。トランジスタはマルチフィンガー構造を利用し、最小ゲート長のもと、フィンガー数とフィンガー当たりのゲート幅に関してスケーラブルなモデルを作成した。モデルは NMOSFET, PMOSFET の両方に対して作成した。CPW は、線路長を $940\mu\text{m}$ で固定し、線幅と線間隔の異なるパターンを設計した。伝送線路の特性インピーダンス及び伝搬乗数は線幅及び線間隔の値により決まる。回路素子の特性に影響を及ぼすことのないように、パラメータ化されたセルを用いてデンシティを調整し、ダミーメタル層の発生を抑制しながらカスタムレイアウト設計を行った。

設計期間: 2 人月 **設計ツール:** Star-HSPICE, Cadence Virtuoso, Mentor Calibre, Agilent ADS **トランジスタ数:** 10 以上, 100 未満 **チップ種別:** アナログ

ASPLA90nm プロセスを利用した VDEC チップ試作

リアルタイムソーティングプロセッサ

概要: 多くの値の中から最大値やメディアン値を求める処理は、Rank Order Filter と呼ばれ画像処理において非常に有用である。しかし、Rank Order Filter は典型的な非線形処理であり本質的にソーティングを必要とするため、ソフトウェアで実現しようとするとき非常に処理時間がかかる。

そこで、逐次入力されるデータの格納時に順位を付けることで、リアルタイムでのソーティングを可能にしたソーティングプロセッサを考案した。このプロセッサは、ある順位の値の取り出しおよび指定された値の順位の検索を、データの数の影響を受けることなく高速に実現できる。

本試作チップでは、128 個の 16 ビット値に対してソーティングを行う回路を実装した。また、128 個より多数のデータに対しても、複数のチップを連結することにより、同様にソーティングを実行できる拡張性を持った構成とした。

本チップは、連想プロセッサを用いた医用 X 線画像解析において、解析対象画像上で認識ウィンドウをスキャンして特徴点を検索し、逐次得られる評価値から上位の評価値を持つ点を抽出して検索対象の位置を特定する処理等に用いる。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys Design Compiler, Synopsys Astro, Cadence Virtuoso, Cadence Verilog-XL, Cadence Dracula, Mentor Calibre **トランジスタ数:** 100,000 以上, 1,000,000 未満 **チップ種別:** アナログ/デジタル信号処理プロセッサ

ASPLA90nm プロセスを利用したチップ試作

東京大学 浅田邦博, 池田 誠

概要: チップ試作におけるオンチップテストに適した SoC プラットフォーム構築のための基本回路として、そのバウンダリ部の構成要素の設計試作を行うとともに、その動作を検証目的で、長距離平走配線におけるクロストークの測定を目指したテスト回路の設計を行った。

設計期間: 0.5 人月 **設計ツール:** Cadence Virtuoso, Synopsys Star-HSPICE, Cadence Dracula, Mentor Calibre **トランジスタ数:** 1,000 **チップ種別:** アナログ/デジタル

2004年3月試作

CMOS SOI プロセスによる試作

東京大学 浅田邦博, 池田 誠, 名倉 徹, 大池祐輔, 飯塚哲也, Dia Kin Hooi

概要: 今後のアナログ・デジタル混載 SoC に向けた電源雑音抑制に向けたテスト回路の試作を行った。また、SOI におけるドレイン接合容量が小さいことを利用した新しいダイナミック回路方式の検証のためのテスト回路の試作を行い、測定により高速性を示した。レイアウトの違いによる製造性の検証のため、製造性の異なるインバータにより構成される 300 段のリングオシレータをそれぞれ実装し、それぞれの動作不良を測定することで、製造性に関する検討目指している。また多層の配線層数有するプロセス、および SOI プロセスにおけるイメージセンサーの検討のためのテスト回路の試作を行い、その特性の評価を行っている。

設計期間: 2 人月 **設計ツール:** Star-HSPICE, Synopsys Nanosim, Cadence Virtuoso, Cadence Dracula, Mentor Calibre **トランジスタ数:** 3,000 **チップ種別:** デジタル/アナログ/イメージセンサー/TEG

51 段リングオシレータ TEG

東京大学 大規模集積システム設計教育研究センター 小松 聡

概要: 下記の 3 種のトランジスタ構造で構成された 51 段リングオシレータ TEG の設計・試作を行った。(1) フローティング・ボディ構造, (2) 外部からボディ電位を制御する構造, (3) ゲート-ボディを短絡した DTMOS 構造。また、それぞれについて高閾値トランジスタ, 低閾値トランジスタの 2 種の TEG を用意し、合計 6 種類の TEG を試作した。

設計期間: 0.2 人月 **設計ツール:** Synopsys Star-HSPICE, Cadence Virtuoso, Cadence Dracula **トランジスタ数:** 350 **チップ種別:** TEG

ミリ波帯 CMOS トランシーバ実現に向けた回路素子の作成

東京大学 大学院新領域創成科学研究科 山本 憲, 藤島 実

概要: ミリ波帯で動作するトランシーバを実現するために、回路素子の TEG を作成した。作成したものはトランジスタ, インダクタ, コプレナ伝送線路である。これらの TEG の評価を行い、ミリ波帯で使用可能なモデリングを行うことを目指した。寄生成分を除去するために、ショートパターンやオープンパターンを利用した校正を行った。インダクタのパラメータとしては線幅 w , 線間隔 s , 巻数 n , 内径 d_{in} があるが、 d_{in} を $50\mu\text{m}$ に固定し、他のパラメータに関してスケラブルなモデルを作成した。インダクタのモデルは当研究室で提案した新しいモデルであり、適用できる周波数は 40GHz までである。トランジスタはマルチフィンガー構造を利用し、ゲート長 l は最小である $0.14\mu\text{m}$ で固定し、フィンガー数 n , フィンガー 1 本当たりのゲート幅 w_f に関してスケラブルなモデルを作成した。モデルは NMOS, PMOS の両方に対して作成した。CPW のレイアウトパラメータとしては線幅 w , 線間隔 s , 線路長 l があり、伝送線路の特性インピーダンス及び伝播乗数は w 及び s の値により決まる。各種 CPW を測定した結果としては、 w が小さく、 s が大きい方が高特性インピーダンス, 高 Q 値となるが、 s がシリコン基盤までの距離 h と比べて大きくなると、特性インピーダンス及び Q 値の伸びが鈍化している。これより、CMOS プロセスの CPW においては、シリコン基盤がグラウンドとして作用し、その影響が s が大きくなるに従い、両端のグラウンド電極の影響に対して相対的に強くなる事が確認できる。

設計期間: 0.5 人月 **設計ツール:** Star-HSPICE, Cadence Virtuoso, Cadence Dracula, Agilent ADS **トランジスタ数:** 10 以上, 100 未満 **チップ種別:** アナログ

スタンダードセル評価回路

京都大学 古澤賢治, 橋本昌宜, 小野寺秀俊

概要: スタンダードセル生成ツール VARDS (京都大学にて開発) を用いた SOI プロセス用スタンダードセル開発の可能性を探るため、33 種類のスタンダードセルを作成した。その動作検証を行うためのリングオシレータを設計試作した。作成したスタンダードセルの論理種は INV, BUF, NAND2, NOR2, NAND4, NOR4, AOI21, OAI21, MUX2, TBUF, DFR, DFRS である。それらを 29 段リング状に接続して発振回路を構成した。リングオシレータは 15 本を一組として、4 ビットの制御信号により発振する回路を指定する。DFF10 段で分周した信号を出力する。HV, LV, 2つのプロセスで作成した。測定の結果、HV, LV とともに各回路での発振を確認した。

設計期間: 1 人月 **設計ツール:** Synopsys Star-HSPICE, Cadence Virtuoso, Cadence Dracula, Mentor Calibre **チップ種別:** TEG

トランジスタ特性評価・追跡用 TEG

東京大学 大規模集積システム設計教育研究センター 協力教員 三田吉郎

概要：大規模集積システム設計教育研究センターでは、定常的に提供している集積回路試作サービスの全てについて、

- トランジスタの特性がひどくばらついていないことを内部データとしてモニタし、
- 必要なアーキテクチャについてシミュレーション用のパラメータ抽出に対応

するための、「特性評価・追跡用 TEG」を用意している。同方針に基づき、VDEC の業務の一環として平成 16 年 2 月期の試作に、提供されているトランジスタアーキテクチャについて、幅と長さをマトリクス状に振ったテストエレメントグループを設計試作した。

同 TEG は、武田先端知ビルにあるセミオートプローバと半導体パラメータアナライザによって、die-to-die、将来的には lot-to-lot の特性ばらつきを評価し、内部データとして蓄積することを想定している。

設計期間：1 人月 設計ツール：Synopsys Star-HSPICE, Cadence Virtuoso, Cadence Dracula トランジスタ数：100 チップ種別：TEG

MOSFET の特性バラツキの評価用回路

大学院工学 大阪大学研究科 清水由幸, 松岡俊匡, 谷口研二

概要：1 つのチップ内における MOSFET の特性バラツキを統計的に評価するための回路の設計を行った。チップ内における MOSFET の特性バラツキはランダムな要素であるため、同一寸法、同一条件の多数の MOSFET の測定結果から統計的に評価しなければならない。回路内には 56 種類のゲート寸法に対して MOSFET を各 64 個ずつ配置しており、周辺に配置した選択回路によって任意の 1 個の MOSFET を選択、測定できる。また、選択回路によって挿入される寄生抵抗が測定結果に与える影響を回避するために、本回路では全ての被測定 MOSFET に対して Kelvin 法による測定が可能となっている。本回路の測定より、各寸法につき 64 個の MOSFET の測定結果の統計から、56 種類のゲート寸法の MOSFET のしきい値電圧およびトランスコンダクタンスのバラツキの様子を線形領域、飽和領域それぞれについて得た。

設計期間：1.5 人月 設計ツール：Star-HSPICE, Cadence Virtuoso, Cadence Dracula トランジスタ数：約 4000 チップ種別：TEG

ミリ波帯 CMOS トランシーバ用 RF 回路

東京大学 大学院工学系研究科 谷本英之

東京大学 大学院新領域創成科学研究科 王 寧一, 渡辺 宏樹, 山本 憲, 藤島 実

概要: ミリ波帯で動作するトランシーバ用の回路として、位相同期ループ(PLL)とコプレナ伝送線路を作成した。PLLに関しては、インダクタとインダクタを用いた発振回路の TEG を用意し、部分回路の動作解析を行えるようにしてある。また、PLL の動作周波数は 30GHz である。インダクタやコプレナ伝送線路の測定においては、寄生成分を除去するためにショートパターンやオープンパターンを利用した校正を行った。測定結果であるが、PLL としての動作は確認できなかった。PLL を構成する VCO、周波数分周器の動作マージンが狭く、これらの回路を接続した際に動作していないことが原因である。VCO 単体の測定結果は 29.7GHz - 33.1GHz であり、30GHz の搬送波を作成できることは確認できた。コプレナ伝送線路の設計にあたっては線幅 w 、線間隔 s の組み合わせを変化させるとともに、シリコン基板による特性劣化のモデル化するため、下位メタルを信号線として使用することで、メタル厚 t 及びシリコン基盤までの距離 d の異なるパターンを設計した。この測定結果は、 d が小さくなることで、特性インピーダンス、 Q 値ともに低い値となっている。ここで、上位メタル層と並列な下位メタル層を用いて等価的に t を増加しているにもかかわらず Q 値が低下していることから、伝送線路の Q 値を改善するためには信号線断面積を大きくとり直列抵抗を低減させるより、断面積を小さくし単位長さ当たりのインダクタンスを上昇させるほうが効果的なアプローチであることが確認できた。

設計期間: 0.5 人月 **設計ツール:** Star-HSPICE, Cadence Virtuoso, Cadence Dracula, Agilent ADS **トランジスタ数:** 100 以上, 1000 未満 **チップ種別:** アナログ

RF 磁界プローブの設計

静岡大学 電子科学研究科 青山 聡, 加藤 智, 川人祥二

東北大学 工学部電気工学科 安井健史, 山口正洋

概要: 近年、電子機器の高速化、高集積化に伴い電子機器内での電磁ノイズの干渉 (EMI) が深刻な問題となってきている。我々の研究室では電磁ノイズ発生源の高精度な特定を目的とした高性能な近傍磁界計測プローブの開発を目指している。提案する磁界プローブは、高分解能を実現できるオンチップ微小検出コイルに、高感度化を目的とした増幅器をチップ内に有した Active 型プローブである。SOI プロセスを用いることで広帯域な増幅器をつくるのが可能となる。また本プローブでは回路を差動化し検出信号を差動信号にすることで回路的に電界成分を除去する方式を用いている。この方式を用いることで、HSPICE を用いたシミュレーションにより 52dB (@1GHz) の電界成分除去比が得られることが確認されている。本試作では検出コイルの異なる 3 種類の Active プローブ (1 ターン/2 ターン/マッチング抵抗付き 2 ターン)、と 2 種類の Passive プローブ (1 ターン/シールドループ (1)) を搭載した。また Active プローブ用増幅器、測定校正用回路、読み出し S/H 回路 TEG をそれぞれ有し、各々の単体動作評価を行えるようにした。なお本プローブの評価はベアチップに直接プローブを当てるオンチップ測定にて行う。

参考文献:

- (1) Naoya Tamaki, et al "A Miniature Thin-Film Shielded-Loop Probe with a Flip-Chip Bonding for Magnetic Near Field Measurements," The Transactions of the Institute of Electronics, Electronics C, vol.J87-C-3, pp.335-342, Mar. 2004.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys Star-HSPICE, Cadence Virtuoso, Mentor Calibre **トランジスタ数:** 約 1000 **チップ種別:** アナログ / TEG

スタンダードセル評価回路 / RF 要素回路評価 TEG

京都大学 古澤賢治, 上村晋一郎, 橋本昌宜, 小野寺秀俊

概要: スタンダードセル生成ツール VARDS (京都大学にて開発) を用いて 310 種類の SOI プロセス用スタンダードセルを作成した。動作検証のため、リングオシレータとチェーン回路を設計試作した。設計したスタンダードセルの論理種類は、INV+BUF, TINV+TBUF, AOI21, AOI211, AOI22, OAI21, OAI211, OAI22, NAND2+AND2, NAND3+AND3, NAND4+AND4, NOR2+OR2, NOR3+OR3, NOR4+OR4, XNOR, XOR, MUX, HAD, FAD, DF, DFR, DFRS, DFN, DFN, DFNR, DFNSR である。リングオシレータの段数は 29 段で、DFF10 段で分周した信号を出力する。また、作成したチェーン回路は 19 本である。チェーン回路は同じ論理のセルを駆動力の小さいものから順に接続し構成する。多入力論理については、各入力でチェーン回路を作成しそれぞれを接続した。各チェーン回路の入力は共通としており、ステップを入力した場合、全てのチェーンの出力が変化する。チェーン回路もリングオシレータと同様に LV, HV, 両方のプロセスで作成した。測定の結果、リングオシレータは各回路での発振を確認した。チェーン回路は、HV では全てのチェーンの動作が確認できたが、LV では XOR のチェーンで信号が伝播しなかった。現在、原因を探求中である。

また、SOI プロセスの RF 回路への適合性を調べるため、スパイラルインダクタや RF 用トランジスタの特性を評価する TEG ならびに簡単な LNA を設計した。特性を評価した結果、高抵抗基板を用いた SOI プロセスの RF 設計における優位性を確認した。

設計期間: 1 人月 **設計ツール:** Synopsys Star-HSPICE, Cadence Virtuoso, Cadence Dracula, Mentor Calibre **チップ種別:** TEG

フォトゲート方式 SOI イメージセンサ

奈良先端科学技術大学院大学 物質創成科学研究科 香川景一郎, 太田 淳

概要：SOIのシリコン基板を除去することにより、裏面から光を入射する方式のイメージセンサを検討した。受光素子にはフォトゲートを用いた。画素数は 160×160 、画素サイズは $6\mu\text{m}$ 角、フィルファクタは47%とした。入出力電圧範囲を拡げるために、画素内のソースフォロアトランジスタおよび、電流源トランジスタには、ディプリージョン型 MOSFET を使用した。転送ゲートは、リークを低減するために高閾値 MOSFET を用いた。走査回路には D-FF を連結したスキャナを用いた。リセットタイミングをずらして蓄積時間を可変とするために、行選択用スキャナとリセット行選択スキャナを個別に設けた。イメージセンサの上部に、 160×20 画素の電位計測回路を設けた。これは、微小領域の電位分布計測を目的としたもので、各画素にシリコン基板電位を固定するためのプラグを有する。ポストプロセスによりシリコン基板を除去することで、チップ裏面にメッシュ状に配置したプラグを露出し、その上に電極を形成することを考えている。破壊を防ぐために、プラグには電源・GND 両方に接続した保護ダイオードを設けた。

設計期間：1 人月 設計ツール：Cadence Virtuoso, Cadence Verilog-XL, Cadence Dracula, Mentor Calibre トランジスタ数：100,000
程度 チップ種別：イメージセンサ

イメージセンサ及びイメージプロセッシングシステム検討用 TEG

東京大学大学院工学系研究科 三田吉郎 東京大学大学院新領域創成科学研究科 柴田 直

概要：イメージセンサと情報処理回路とを集積化し、物体の特徴抽出といった、初期視覚処理をその場で行なう集積化イメージプロセッシングシステムは、認知認識システムなど、従来の VLSI とは異なった新たなアプリケーションを開拓できる可能性がある。東京大学柴田・三田研究室では、物体の持つエッジ情報に特に注目して、認知処理を瞬時に行なうシステムを開発しており、これまでローム $0.6\mu\text{m}$ 、 $0.35\mu\text{m}$ といったテクノロジーによってプロトタイプシステムを実現してきた。

今後さらなる高集積化のために、より微細なテクノロジーに挑戦する必要があると共に、SOI ウェハはバルクマイクロマシーニングの素材として非常に興味深く、ポストプロセスを組み合わせて光学素子を作り込むことが可能であると考えられる。上記2点を重点的に研究するにあたり、今回の試作では最も基本的な素子である、イメージセンサやセンスアンプ回路の基礎 TEG を作製した。その際、SOI 基板では有効受光部である PN 接合が横方向にしか存在しないため、一般には感度低下が避けられないが、PN 接合の形状を工夫することによって感度の向上を試みており、予備実験において期待の持てる結果を得た。

設計期間：1 人月 設計ツール：Synopsys Star-HSPICE, Cadence Virtuoso, Cadence Dracula トランジスタ数：100 チップ種別：イメージセンサ / TEG / 新技術

OKI SOI $0.15\mu\text{m}$ 第 2 回テストラン

大阪大学 電子情報エネルギー工学専攻 金 奎哲, 松岡俊匡, 谷口研二

概要： $0.15\mu\text{m}$ 完全空乏型 SOI (FD-SOI) プロセスを用いて LNA (Low Noise Amplifier) を設計した。回路は折り返しタイプの 2 段アンプと測定を容易するため 50Ω マッチング用のバッファで構成した。LNA は全部 4 種類で初段アンプの Q 値を変えた 3 種類と中和回路を入れた 1 種類の LNA を設計した。シミュレーション結果では、5GHz で S11, S22 共に -15dB 以下、利得 12dB 以上、NF2dB 以下の結果を得た。

設計期間：1 ヶ月 設計ツール：Star-HSPICE, Cadence Virtuoso, Cadence Dracula トランジスタ数：38 チップ種別：アナログ / TEG

1.7 平成 17 年度の活動計画

平成 17 年度は、従来の設計情報発信、CAD ツール提供、チップ支援に加え、平成 14 年度で終了した STARC との共同研究「システム LSI のための再利用可能な設

計資産の構築手法の実験的研究」およびそれ以降に各大学で開発された IP の公開に向けた取り組みを継続する。

【設計情報発信・セミナー開催】

本年度は、平成 9 年度より継続している CAD ツール利用法に関する技術セミナー、平成 10 年度から継続している社会人向けの「リフレッシュセミナー」、平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行なうことを予定している。なおデザイナーズフォーラムに関しては、若手に向けた若手のための若手によるフォーラムという原点に立ち戻った開催を目指す予定である。これにより自然な形で、若手の VLSI 設計者の層を厚くし、定常的な情報交換の場を確立していきたい。試作チップ数の増加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSI テスト技術および、VDEC および

拠点校に設置されている LSI テスター利用法のセミナーも継続して開催し、VDEC および拠点校のテスターに対し「利用資格」を有する学生・研究者の数を増やす努力をしていく予定である。同時に各拠点校のテスター関係者の連携を密にすることで多様化していくテストの需要に全国レベルで対応する体制を整えていきたい。これは、大きなコストを必要とするテスターの維持・管理を効率化し、維持コストを抑えつつ有効利用を促進するねらいを持っている。また平成 14 年度開始した時限の研究会「LSI 動作解析技術研究会」を介した、産業界と密接に連携した次世代のテスト技術・故障診断技術の研究交流推進を継続する。

【CAD ツール提供】

上流設計 (Cadence, Synopsys), 中流設計 (Synopsys (旧 Avant!), Cadence), 下流設計 (Cadence) の各基本ツールを、平成 17 年度もサポートしていく。これに加え平成 14 年度から導入した設計検証 (Mentor: Caribra), 上中流設計 (Magma), 上流設計 (Celoxica), 平成 16 年度から導入したアナログ RF 設計ツール (Agilent: RFDE, ADS) を継続してサポートするとともに、デバイス・プロセス・回路シミュレーションツール (Silvaco) ツールの試験導入を延長しユーザーの利用状況により継続の検討を行う。CAD ツールに必要な論理設計用ライブラリについては、ファウンドリ提供のものに加え、京都大学、九州大学、早稲田大

学、豊橋科学技術大学などの協力を得て、VDEC のチップ試作テストラン等を通じて構築されたライブラリの整備が進んでおり、平成 17 年度は、より信頼性の高いものの提供、およびライブラリに応じた進んだ設計フローの構築などを目指していきたい。特に、平成 14 年度までのプロジェクト型研究で構築された IP について可能なものから順次公開していきたい。

また後述のプロジェクト型研究などの推進により、VDEC のチップ試作に適した SoC プラットフォームの構築とプラットフォームに基づく設計手法の確立を進めたい。これらの活動整備には広く各大学からの協力を期待している。

【チップ試作支援】

平成 17 年度は、平成 16 年度から引き続きオン・セミコンダクター、ローム株式会社、日立製作所、NEC

化合物デバイスの協力により、4 種類のプロセスで計 17 回の試作を設定する予定である (すでに一部の試作

は進行中である)。また、平成16年度からテストランとして開始している沖電気のCMOS-SOIプロセスおよびASPLAプロセスの定常試作に向けてのテストランを継続して実施する予定である。チップの組み立ては全て富士通VLSIに委託することで多様な組み立ての

ニーズに応じられるようにしていきたい。

さらに、平成14年度から開始した東大VDEC－米国MOSISとの協力に基づくMOSISにおけるチップ試作についても今年度も一層強化する方向ですすめたい。

表 1.7.1 VDEC チップ試作スケジュール (平成17年度)

【CMOS 1.2μm 2P2M】 オン・セミコンダクタ (旧日本モトローラ)

	申込開始	申込メ切	設計メ切	チップ納品 (予定)
第0回			平成17年 4月4日	平成17年 7月15日
第1回	平成17年 4月4日	平成17年 7月4日	平成17年 10月3日	平成18年 1月23日
第2回	平成17年 10月3日	平成18年 1月10日	平成18年 4月3日	平成18年 7月17日

【CMOS 0.35μm 2P3M】 ローム株式会社

	申込開始	申込メ切	設計メ切	チップ納品 (予定)
第1回		平成17年 3月25日	平成17年 4月25日	平成17年 9月 5日
第2回		平成17年 4月22日	平成17年 5月23日	平成17年 10月 3日
第3回		平成17年 5月20日	平成17年 6月20日	平成17年 11月 7日
第4回	平成17年 3月28日	平成17年 6月17日	平成17年 7月25日	平成17年 11月28日
第5回	平成17年 4月25日	平成17年 7月22日	平成17年 8月22日	平成18年 1月13日
第6回	平成17年 5月23日	平成17年 8月19日	平成17年 9月26日	平成18年 2月13日
第7回	平成17年 6月20日	平成17年 9月23日	平成17年 10月24日	平成18年 3月 6日
第8回	平成17年 7月25日	平成17年 10月21日	平成17年 11月21日	平成18年 4月10日
第9回	平成17年 8月22日	平成17年 11月18日	平成17年 12月19日	平成18年 5月 1日
第A回	平成17年 9月26日	平成17年 12月16日	平成18年 1月23日	平成18年 6月 5日
第B回	平成17年 10月24日	平成18年 1月20日	平成18年 2月20日	平成18年 7月 3日
第C回	平成17年 11月21日	平成18年 2月17日	平成18年 3月27日	平成18年 8月 1日

【CMOS 0.18μm 1P5M】 日立製作所

	申込開始	申込メ切	設計メ切	チップ納品 (予定)
第1回		平成17年 4月18日	平成17年 7月19日	平成16年 11月21日
第2回	平成17年 7月4日	平成17年 10月11日	平成18年 1月10日	平成18年 5月15日

【Bipolar 0.6μm】 NEC 化合物デバイス

	申込開始	申込メ切	設計メ切	チップ納品 (予定)
第1回			平成17年 9月	

【CMOS-SOI 0.15μm 1P5M/TM】 沖電気

	申込開始	申込メ切	設計メ切 (予定)	チップ納品 (予定)
第0回			平成17年 3月14日	平成17年 7月下旬
第1回			平成17年 9月16日	平成17年 7月下旬
第2回			平成18年 3月17日	平成18年 1月下旬

【CMOS 90nm 1P6M】ASPLA (先端 SoC 基盤技術) : ASPLA 社シャトル便に準じる

	申込開始	申込メ切	設計メ切 (予定)	チップ納品 (予定)
第0回			平成 17 年 4 月 25 日	
第1回		平成 17 年 1 月 14 日	平成 17 年 5 月 23 日	平成 17 年 8 月
第2回			平成 17 年 9-10 月	
第3回			平成 18 年 12-1 月	

【CMOS 0.18μm 2P5M】MOSIS-TSMC

試作	設計締め切り
MOSIS-TSMC 0.25um CMOS	
1 回	2005 年 5 月 9 日
2 回	2005 年 8 月 15 日
3 回	2005 年 11 月 28 日
4 回	2006 年 2 月--3 月
MOSIS-TSMC 0.18um CMOS Mixed Signal	
1 回	2005 年 5 月 9 日
2 回	2005 年 8 月 15 日
3 回	2005 年 11 月 28 日
4 回	2006 年 2 月--3 月
MOSIS-IBM SiGe0.5um BiCMOS	
1 回	2005 年 10 月 3 日

30

表 1.7.2 チップ試作料金

設計規則	チップサイズ	税抜価格 (千円)	設計規則	チップサイズ	税抜価格 (千円)
CMOS 1.2μm 2P2M	2.3mm 角	36	CMOS 0.35μm 2P3M	2.4mm 角	93.75
	4.8mm 角	150		4.9mm 角	375
	7.3mm 角	320	9.8mm 角	1500	
BiPolar 0.6μm	2.0mm 角	144.5	CMOS 0.18μm 1P5M	2.9mm 角	311.4
				5.9mm 角	1245.6

*チップ試作料金が改定される場合があります

**組立代金は別途

【プロジェクト型研究】

VLSI 技術は日々進歩しており、VDEC がサポートしている CAD ツールやライブラリ、チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており、各方面の協力を随時お願いする予定である。

平成 17 年度においても、平成 15 年度から継続している、あらたに大学におけるチップ試作において、LSI

テスター無に初期の動作テストを可能とするような SoC マクロの構築を目指したプロジェクト型研究を推進する。本研究を遂行する過程で SoC マクロ本体の設計に加え、SoC マクロを用いた設計およびその設計フローの構築に際し各方面からのご協力を随時お願いする予定である。

1.8. VDEC 発ベンチャー

VDEC 通じて得られた LSI の設計・試作経験を生かして、起業したベンチャー企業がでてきた。ここでは、その一例を紹介する。

●株式会社シンセシス

所在地	本社 〒 562-0036 大阪府箕面市船場西 2 丁目 1 番 11 号 エリモセンタービル 13F Tel: 072-727-8162 Fax: 072-727-8163 京都センター 〒 606-8203 京都市左京区田中関田町 22-75-201 Tel/Fax: 075-712-7044
沿革	大阪大学の白川功教授（当時：現兵庫県立大学教授）、村上孝三教授、谷口研二教授と今井正治教授、京都大学の中村行宏教授の 5 名の教授（当社研究顧問）とその研究室が中心になって設立した、システム LSI の開発・設計を行う産学連携ベンチャー企業である。主幹研究員 / 研究主任を兼務する大学教員と当社技術部員が開発・設計を技術指導し、当社と契約した大学院生社員が開発・設計の実務を担当している。 現在では、大阪大学・京都大学・奈良先端科学技術大学院大学・兵庫県立大学の 7 研究室とその関連研究室の教員、大学院生、卒業生が参画している。
主な試作履歴	RO35024: 2 件, MT25031: 2 件, MT25032: 1 件など

第2章 チップ試作結果報告

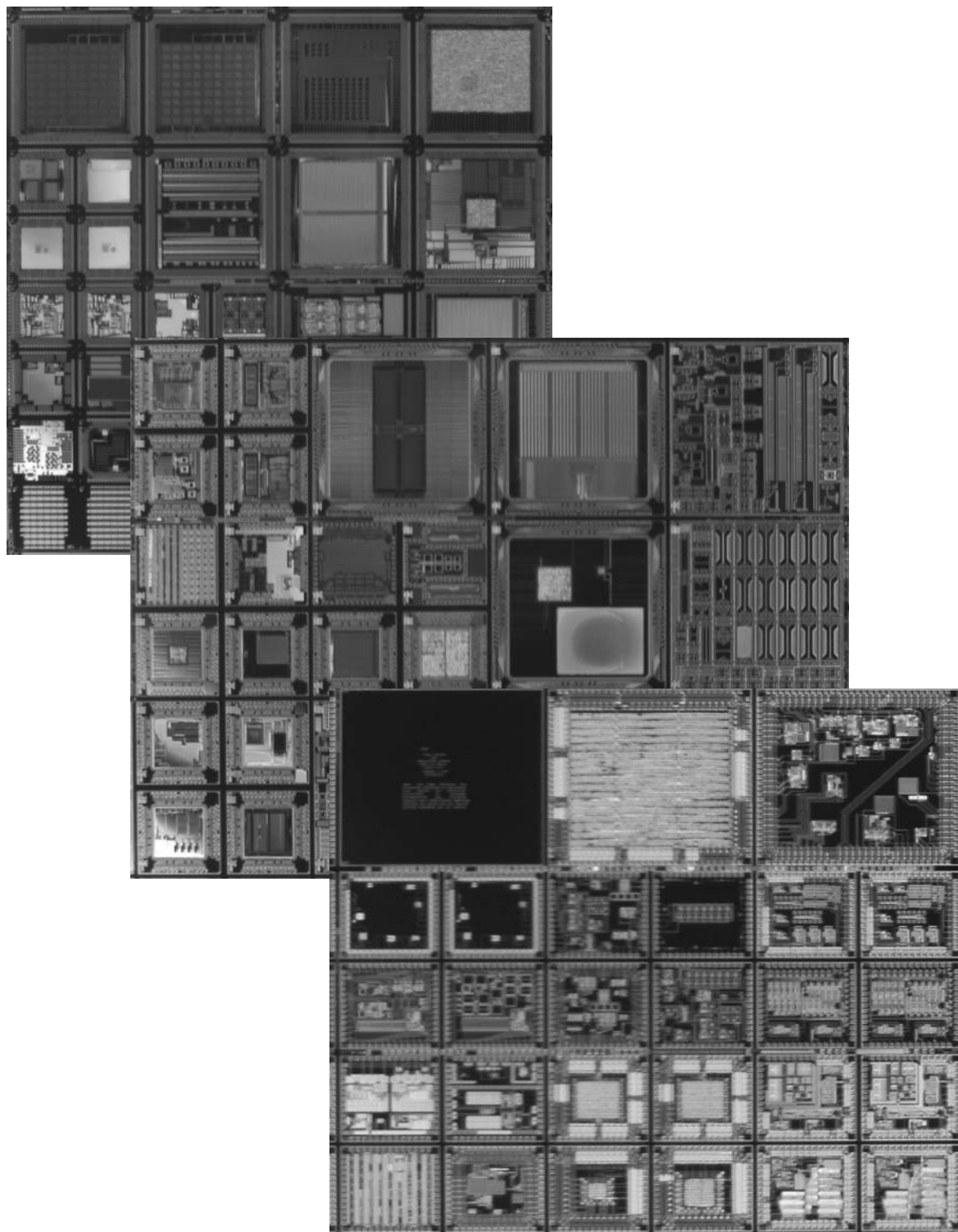


図 2.1 「相乗りチップ」の顕微鏡写真

平成15年度 第2回 オンセミコンダクタ CMOS1.2 μ m チップ試作 (MOT032)

題 名	大 学 名	研 究 者	掲載頁
NOR論理ゲート速度性能評価回路とマイクロプロセッサの設計	静岡理工科大学電気電子情報工学科 静岡理工科大学電子工学科	波多野 裕 渋谷 耕児, 縣 伸史, 北村 義徳, 永野 肇, 村松 透, 望月 秀幸	51
FG-MOSFETを用いた回路および2相クロック発生回路	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏 市原 栄蔵	51
スマート RFID タグ用電源回路	熊本大学工学部	井上 高宏, 江藤 慎一郎, 竹中 智哉	51
完全埋め込み型 FES 用カスタム集積回路	埼玉大学工学部	中溝 正彦, 高橋 幸郎	52
下等動物の視覚系に学んだ二次元動き検出チップの試作	豊橋技術科学大学大学院工学研究科	西尾 公裕, 米津 宏雄	52
E級増幅器	福岡大学工学部	末次 正	52
MOS 型定電流回路の設計・試作(3)	岡山県立大学大学院情報系工学研究科	日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝	53
MOS 構成に適したアナログ形 PLL の試作(1)	秋田大学工学資源学部	宮前 亨, 吾妻 俊征, 伊藤 文人, 井上 浩	53
リング発振器型電圧制御発振器の開発試作	秋田大学工学資源学部	宮前 亨, 井上 浩	53
ニューロン MOS を利用したアナログ・デジタル基本回路の試作	佐賀大学大学院工学系研究科 佐賀大学理工学部	石川 洋平, 塚本 尚平, 岡岡 貴志 深井 澄夫	54
スイッチング電源制御用 LSI の設計	富山県立大学大学院工学研究科	大場 博之, 松田 敏弘, 岩田 栄之	54
小型センサ用 CMOS A/D コンバータの設計	富山県立大学大学院工学研究科	堀井 信嘉, 松田 敏弘, 岩田 栄之	54
トランジスタ特性測定用回路	富山県立大学大学院工学研究科	南 隆一, 松田 敏弘, 岩田 栄之	55
小型半導体加速度センサ用 LSI の設計	富山県立大学大学院工学研究科	堀井 信嘉, 松田 敏弘, 岩田 栄之	55
通信システム用回路ブロックの試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	55
低雑音増幅回路の試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	56
並列型 A-D 変換回路の試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	56
CMOS トランスコンダクタ	筑波大学システム情報工学研究科	庄野 和宏	56
10bitDAC	群馬大学工学部	小林 春夫	57
12bitDAC	群馬大学工学部	小林 春夫	57

平成16年度 第1回 オンセミコンダクタ CMOS1.2 μ m チップ試作 (MOT041)

題 名	大 学 名	研 究 者	掲載頁
スイッチドキャパシタ・ノッチフィルタの設計	静岡大学電子工学研究所	高橋 誠, 小川 寛美, 渡辺 健蔵	58
Rail-to-Rail CMOS カレント・コンペアの設計	静岡大学電子工学研究所	ホアン チュン スン, 小川 寛美, 渡辺 健蔵	58
高信頼順序回路、10 進デジタル回路、及びデジタル要素回路の設計	静岡理工科大学電気電子情報工学科 静岡理工科大学電子工学科	波多野 裕 山本 毅, 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢	58
高信頼順序回路、10 進デジタル回路、及びデジタル要素回路の設計	静岡理工科大学電気電子情報工学科 静岡理工科大学電子工学科	波多野 裕 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢, 山本 毅	59
高信頼順序回路、10 進デジタル回路、及びデジタル要素回路の設計	静岡理工科大学電気電子情報工学科 静岡理工科大学電子工学科	波多野 裕 村松 一矢, 水口 隆太郎, 小林 潤士, 里中 勝己, 磯部 圭吾, 山本 毅	59
スマート RFID タグ用集積化定電圧電源回路	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏, 茂谷 俊昭 江藤 慎一郎	59
電子可変線形 MOS 抵抗回路とオーバードライブ CMOS アナログスイッチの製作	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏, 洲上 宏之 安成 潤, 神園 大知	60
スーパーヘテロダイン方式 AM ラジオの試作	東京理科大学理工学部	藤井 伸介, 館山 克樹, 行友 渉, 兵庫 明 関根 慶太郎	60
ワンチップ AM ラジオの試作	東京理科大学理工学部	小池 健, 藤瀬 雅俊, 兵庫 明 関根 慶太郎	60
AM ラジオ回路の TEG	東京理科大学理工学部	小池 健, 藤瀬 雅俊, 藤井 伸介, 館山 克樹, 行友 渉, 兵庫 明, 関根 慶太郎	61

NMOS/PMOS 差動対・キャパシタ・電圧制御発振器の TEG	東京理科大学理工学部	藤井 伸介, 藤瀬 雅俊, 行友 涉, 舘山 克樹, 小池 健, 兵庫 明, 関根 慶太郎	61
MOS 型定電流回路の設計・試作(4)	岡山県立大学大学院情報系工学研究科	日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝	61
MOS 型整流回路・直流電圧増幅回路の設計・試作(1)	岡山県立大学大学院情報系工学研究科	日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝	62
パルス形ハードウェア軸策モデルの試作	日本大学理工学部電子情報工学科	小野 克幸, 佐伯 勝敏, 関根 好文	62
負性抵抗素子を用いた温度センサ回路	日本大学大学院理工学研究科 日本大学理工学部電子情報工学科	太田 寛 佐伯 勝敏, 関根 好文	62
MOS 構成に適したアナログ形 PLL の試作 (2)	秋田大学工学資源学部	宮前 亨, 吾妻 俊征, 佐々木 健太, 井上 浩	63
新しいリング発振器型電圧制御発振器を用いた基本 PLL の試作	秋田大学工学資源学部	宮前 亨, 井上 浩	63
演算増幅器の試作・検証	佐賀大学大学院工学系研究科 佐賀大学理工学部	石川 洋平, 塚本 尚平 古賀 陽一郎, 近藤 弘康, 高平 亨, 深井 澄夫	63
ニューロン MOS を利用したアナログ・デジタル基本回路の試作	佐賀大学大学院工学系研究科 佐賀大学理工学部	石川 洋平, 塚本 尚平, 舛岡 貴志 深井 澄夫	64
ラッチ付コンパレータとハ字型 2 端子回路	上智大学理工学部	秋山 俊介, 宮本 尚幸, 和保 孝夫	64
カオスを利用したパルス幅変調回路の試作	熊本電波工業高等専門学校電子工学科	江口 啓, 光石 翔	64
ストップウォッチ回路	茨城大学工学部	尾保手 茂樹	65
疑似断線故障回路と組み込み電流テスト回路の試作	徳島大学大学院工学研究科 徳島大学工学部	藤本 佳照, 秋田 哲男 四柳 浩之, 橋爪 正樹	65
Ultra Wideband 用オンチップアンテナ		原田 典浩	65
冗長化設計 Wallace Tree 型乗算器の試作 1	千葉大学工学部	佐々木 陽一, 難波 一輝, 伊藤 秀男	66
冗長化設計 Wallace Tree 型乗算器の試作 2	千葉大学工学部	佐々木 陽一, 難波 一輝, 伊藤 秀男	66
トランジスタ特性測定用回路	富山県立大学大学院工学研究科	南 隆一, 松田 敏弘, 岩田 栄之	66
スイッチング電源制御用 LSI の開発	富山県立大学大学院工学研究科	大場 博之, 松田 敏弘, 岩田 栄之	67
小型センサ用 CMOSD/A コンバータの改良	富山県立大学大学院工学研究科	堀井 信嘉, 松田 敏弘, 岩田 栄之	67
小型半導体加速度センサ用 LSI の設計	富山県立大学大学院工学研究科	堀井 信嘉, 松田 敏弘, 岩田 栄之	67
演算増幅器の試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	68
FM 放送受信システム用回路ブロックの試作 1	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	68
FM 放送受信システム用回路ブロックの試作 2	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英	68
同期・非同期カウンタの消費電力検証用チップ試作	小山工業高等専門学校電子制御工学科	西野 聡, 鈴木 敬	69

平成 15 年度 第 4 回 ローム CMOS0.35 μ m チップ試作 (RO35034)

題 名	大 学 名	研 究 者	掲載頁
Image Processing VLSI with Built-In Digital Pixel Sensor	東京大学大学院新領域創成科学研究科基盤情報学専攻 東京大学工学部電子情報工学専攻	伊藤 深人 トンプラシット ベンジャマース	70
Motion Detection Chip	東京大学工学系研究科 東京大学新領域創成科学研究科 東京大学工学部	山崎 俊彦 梅島 誠之 亀谷 暁	70
電流モードアナログ CDMA マッチフィルタ	東京大学工学系研究科 東京大学新領域創成科学研究科	山崎 俊彦 中山 友之	70
ラインドライバ、D 級アンプ	早稲田大学理工学部 東京大学大規模集積システム設計教育研究センター	大島 宗之, 高須 甲斐, 松本 隆 佐々木 昌浩	71
拡散符号を利用した距離測定回路	大阪大学大学院工学研究科	清水 新策, 松岡 俊匡, 谷口 研二	71
積層型マルチプロセスチップ向け共有キャッシュの試作	東北大学大学院工学研究科	橋本 宏之 小柳 光正	71
スマート RFID タグ用個体識別符号生成 CMOS 論理回路	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏, 千代永 純一 日野 臣教	72
スマート RFID タグ用 ASK 変調回路	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏 山川 俊貴	72
生体信号処理用超小型 CMOS アナログ集積回路の製作	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏, 岩崎 俊彦 市原 栄蔵, 鶴巢 哲朗	72

無線通信制御プロセス	東京電機大学理工学研究科電子情報工学専攻	芦川 真也, 星野 洋	73
特定小電力無線受信 IC の要素回路試作	金沢大学集積回路工学研究室	有賀 健太, 伊藤 久浩, 中野 伸吾, 橋 秀明, 北川 章夫	73
高精細マイクロディスプレイ LSI, 微小物体可視化センサ T E G	金沢大学集積回路工学研究室	中野 智崇, 中江 智, 北川 章夫	73
L S I 設計コンテスト	金沢大学集積回路工学研究室	早瀬 佳, 村上 知倫, 北川 章夫	74
L S I 設計コンテスト	金沢大学集積回路工学研究室	高木 宏章, 西澤 滋人, 花岡 栄次郎, 後藤 喜久, 北川 章夫	74
L S I 設計コンテスト	金沢大学集積回路工学研究室	竹口 雄治, 中野 誠, 松末 真也, 北川 章夫	74
$\Delta \Sigma$ DAC に用いる 3 次ノイズシェーバ	九州大学大学院システム情報科学府	金川 典史, 井上 美德	75
SFL 言語処理系とオープンソースのバックエンドによる TEG チップの試作	東海大学大学院工学研究科 東海大学電子情報学部	飯田 佳洋 清水 尚彦	75
リーク電流の静的特性を測定するための TEG	東京大学国際・産学共同研究センター	石田 光一, Danardonno Antono, 鬼塚 浩平, 桜井 貴康	75
デルタ・シグマ ADC の試作	長崎総合科学大学工学部 長崎総合科学大学新技術創成研究所 長崎総合科学大学大学院工学研究科	田中 義人, 八谷 茂幸 清山 浩司 陳 蕾	76
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 城殿 征志	76
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 城殿 征志	76
SFQ/CMOS ハイブリッドメモリシステムの動作検証	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 徳田 勝利, 冨田 卓哉	77
SFQ/CMOS ハイブリッド用 CMOS クライオデバイスモデルの検証	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 徳田 勝利, 冨田 卓哉	77
受動素子および折り返しカスコード型一段増幅回路の試作	静岡大学工学部	浅井 秀樹	77
高機能高画質 CMOS イメージセンサ	東北大学大学院工学研究科	舘 知恭	78
乗算・除算・平方根の機能を融合した動的再構成可能 ALU	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	宮本 直人, 小谷 光司 大見 忠弘	78
電力関係式を用いて設計されたデルタシグマ AD 変換器	名古屋工業大学大学院工学研究科	根上 崇, 加藤 正史, 荒井 英輔	78
スイッチトカレント技術に基づく 1 次 $\Delta \Sigma$ 変調器の設計	名古屋工業大学大学院工学研究科	寺田 信行, 加藤 正史, 荒井 英輔	79
8bit \times 256 SRAM	東京大学大学院情報理工学系研究科	酒造 正樹, 下山 勲	79
ASIC ベース 16BitMPU 実験システムの開発	金沢工業大学大学院工学研究科電気電子工学専攻 金沢工業大学電気系	山下 敦弘 福田 一郎	79
高速信号解析チップ	東京大学工学系研究科 東京大学人工物工学研究センター	Yeol Yeom-Jung 高橋 浩之	80
マルチチャネルプリアンプ	東京大学工学系研究科 東京大学人工物工学研究センター	Yeol Yeom-Jung 高橋 浩之	80
多層構造 Convolutional Neural Network 演算回路	九州工業大学大学院生命体工学研究科	是角 圭祐, 中野 鉄平, 森江 隆	80
PWM 方式ガボールフィルタ回路 TEG	九州工業大学大学院生命体工学研究科	門 慶彦, 是角 圭祐, 森田 修, 中野 鉄平, 森江 隆	81
パルス変調方式任意カオス回路 TEG	九州工業大学大学院生命体工学研究科	後藤 優治, 中野 鉄平, 森江 隆	81
フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG	奈良先端物質創成科学研究科	池内 隆志, 藤内 亜紀子, 香川 景一郎, 太田 淳	81
ユークリッド距離変換回路の試作	名古屋大学大学院情報科学研究科 中京大学情報科学部	高木 雅彦, 平田 富夫 磯 直行	82
2 ビット電流モード連続時間型 $\Delta \Sigma$ 変調器	上智大学理工学部	酒詰 俊輔, 池浦一賢 一賢, 和保 孝夫	82
バッテリーレス無線送受信回路とアンテナ評価用 TEG	東京工業大学精密工学研究所	山田 智浩, 岡田 健一, 益 一哉	82
可変段数パイプラインを用いた乗算器	山形大学工学部	後藤 源助, 多田 十兵衛	83
アナログ回路のための種々の低電圧化原理の確認	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平, 伊藤 和将 上田 昇, 和田 和千	83
Ashra トリガーセンサー回路用 TEG1	東京大学宇宙線研究所 茨城大学工学部 東邦大学大学院理学研究科	会田 勇一, 青木 利文, 佐々木 真人, 増田 正孝 木村 孝之 安田 雅弘	83

Ashra トリガーセンサー回路用 TEG2	東京大学宇宙線研究所 茨城大学工学部 東邦大学大学院理学研究科	会田 勇一, 青木 利文, 佐々木 真人, 増田 正孝 木村 孝之 安田 雅弘	84
アクティブソフトウェア向け再構成可能な条件判定回路	奈良先端科学技術大学院大学情報科学研究科	伴野 充, 中西 正樹, 山下 茂, 渡邊 勝正	84
信号処理用 JTAG コントローラおよびテスト TEG	高エネルギー加速器研究機構素粒子原子核研究所	田中 真伸, 根岸 久	84
Verilog-HDL を用いた 16bit マイクロプロセッサの設計	東京都立航空工業高等専門学校電子工学科	鈴木 達夫, 大鳥 浩史, 坂平 悠, 佐藤 弘樹, 三村 貴志, 松倉 秀幸, 吉川 拓, 千葉 良太郎	85
LUT カスケード LSI	九州工業大学マイクロ化総合技術センター 明治大学	中村 和之 田中 克征, 吉住 謙一, 甲斐 祐介, 笹尾 勤 井口 幸洋	85

平成16年度 第1回 ローム CMOS0.35 μ m チップ試作 (RO35041)

題 名	大 学 名	研 究 者	掲載頁
動的基板ノイズ低減手法	東京大学工学系研究科	名倉 徹	86
センサ回路 TEG とオンチップオシロスコープ用タイミング信号生成回路 TEG	東京大学工学部 東京大学 VDEC	大池 祐輔, 飯塚 哲也 池田 誠, 浅田 邦博	86
初歩的なデコーダ回路の製作	広島工業大学工学部	益田 幸雄, 高松 脩哉, 植田 誠司, 田中 武	86
Motion Detection Chip	東京大学新領域創成科学研究科	亀谷 暁	87
アナログメディア値探索 TEG、高集積化フォトダイオードアレイ	東京大学新領域創成科学研究科	中下 友介	87
並列アーキテクチャ電流モード CDMA マッチフィルタ	東京大学新領域創成科学研究科	中山 友之	87
フォトダイオード特性評価用 TEG	東京大学工学部	清水 健, 高橋 徳浩	88
ν MOS を用いた耐タンパー論理回路	東京大学新領域創成科学研究科	トンブラシット ベンジャマース	88
スイッチドキャパシタ・フィルタの設計	静岡大学電子工学研究所	高橋 誠, 小川 覚美, 渡辺 健蔵	88
Rail-to-Rail CMOS カレント・コンペアの設計	静岡大学電子工学研究所	ホワン チュン スン, 小川 覚美, 渡辺 健蔵	89
電流型パルス幅復調回路の試作	広島大学大学院先端物質科学研究科	亀田 成司, 小田原 正起, 岩田 穆	89
並列リコンフィギュラブル画像処理プロセッサのプロセッシングエレメント部の試作	東北大学大学院工学研究科	杉村 武昭, 福島 誉史, 栗野 浩之, 小柳 光正	89
並列ロードストア命令に対応したデュアルポートメモリの試作	東北大学工学部 東北大学大学院工学研究科	中谷 好博 福島 誉史, 栗野 浩之, 小柳 光正	90
積層型人工眼チップのための刺激電流パラメータ制御回路の試作	東北大学大学院工学研究科	出口 淳, 福島 誉史, 栗野 浩之, 小柳 光正	90
6ビット循環型 A/D コンバータの試作	東北大学大学院工学研究科	小野 宏, 辻 孝司, 福島 誉史, 栗野 浩之, 小柳 光正	90
特定小電力無線用 PLL, VCO, スパイラルインダクタ TEG の設計	金沢大学集積回路工学研究室	有賀 健太, 伊藤 久浩, 秋田 純一, 北川 章夫	91
特定小電力無線用 RF フロントエンド, バラクタ TEG の設計	金沢大学集積回路工学研究室	有賀 健太, 伊藤 久浩, 秋田 純一, 北川 章夫	91
特定小電力無線受信 IC	金沢大学集積回路工学研究室	有賀 健太, 伊藤 久浩, 中野 伸吾, 早瀬 圭, 秋田 純一, 北川 章夫	91
バンドパス型 $\Delta\Sigma$ 変調器・演算増幅器の試作	金沢大学集積回路工学研究室	早瀬 佳, 中野 伸吾, 高田 雅史, 秋田 純一, 北川 章夫	92
広ダイナミックレンジを有する二次元エッジ検出網膜チップの試作	豊橋技術科学大学大学院工学研究科	澤 伸也, 米津 宏雄	92
アナログ回路ブロックの電源 ON/OFF 制御回路ほか	東京大学国際・産学共同研究センター	石田 光一, 鬼塚 浩平, 桜井 貴康	92
マイクロディスプレイ用ドライバ回路 TEG	長崎総合科学大学工学部 長崎総合科学大学大学院新技術創成研究所 長崎総合科学大学大学院工学研究科	田中 義人 房安 貴弘 陳 蕾	93
MOSFET アレイと SRAM の試作	長崎総合科学大学工学部 長崎総合科学大学大学院工学研究科	田中 義人, 畠田 亮太郎, 中水流 史朗 金 奉基, 八谷 茂幸	93
SFQ/CMOS ハイブリッドメモリシステムの動作検証	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 徳田 勝利, 冨田 卓哉	93

SFQ/CMOS ハイブリッド用 CMOS クライオデバイスモデルの検証	横浜国立大学工学部 横浜国立大学工学部	吉川 信行 徳田 勝利, 冨田 卓哉	94
MOSFET 特性ばらつき評価用試験回路	広島市立大学情報科学部	寺田 和夫, 山内 文周, 上木 彰彦	94
位相インパルス応答関数法を実装した動的再構成プロセッサ	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	宮本 直人, 小谷 光司 大見 忠弘	94
Multi Function Gate の試作	仙台電波工業高等専門学校専攻科電子システム工学専攻 仙台電波工業高等専門学校電子工学科	永沼 和文 石塚 拓人, 戸内 真之, 浅見 誠治	95
8bit×8 SRAM	東京大学大学院情報理工学系研究科	酒造 正樹, 星野 一憲, 下山 勲	95
素子ばらつきを考慮した電流モードバイプライン方式ADC	中央大学理工学研究科 中央大学理工学部	合田 裕二 杉本 泰博	95
ポジロンCT用フロントエンドチップ	東京大学工学系研究科 東京大学人工物工学研究センター	Yeom Jung-Yeol 高橋 浩之	96
センサネットワーク用チップ	東京大学工学系研究科 東京大学人工物工学研究センター	小松 謙介 高橋 浩之	96
画素並列型ガボールフィルタ LSI	九州工業大学大学院生命体工学研究科	森江 隆, 是角 圭祐, 中野 鉄平	96
制御用専用ニューラルチップ	山梨大学工学部	森下 裕之	97
演算増幅器と光通信信号処理回路	慶應義塾大学理工学部	田村 善朗, 熊谷 博子, 松本 佳宣	97
低ジッタ全デジタル PLL の試作	九州東海大学工学部	佐々木 博文, 藤本 邦昭	97
オンチップ伝送線路およびバッテリーレス無線送受信回路用 TEG	東京工業大学精密工学研究所	山田 智浩, 伊藤 浩之, 岡田 健一, 益 一哉	98
差分光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	98
差分光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	98
低電圧 ASK 送信回路	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	八木 大介 和田 和千	99
Ashra トリガーセンサーLSI(1)	東京大学宇宙線研究所 茨城大学工学部 東邦大学大学院理学研究科	会田 勇一, 青木 利文, 佐々木 真人 木村 孝之 安田 雅弘	99
超多重 RFID 向けトランスポンダ実験チップ	神戸大学工学部	福水 洋平, 大野 修治, 永田 真, 瀧 和男	99
ミキサ回路の各種構成による性能比較評価	神戸大学工学部	藤原 正樹, 小坂 大輔, 永田 真	100
ゲートレベルバイプライン SDFPA と CMOS ロジックおよび CMOS バスゲートロジックによる SAD 演算回路	東北大学電気通信研究所	松永 翔雲, 西ノ原 大介, 羽生 貴弘	100
共鳴トンネル素子と Si-CMOS を用いた高速回路	名古屋大学工学研究科	酒向 万理生, 前澤 宏一	100
64bit 楕円曲線暗号 LSI の試作	早稲田大学大学院情報生産システム研究科	小林 伸行, 久門 亨	101
0.35 μ m CMOS トランジスタ特性測定実験用チップ	立命館大学理工学部	藤野 毅	101
単分子オンチップ計測回路 TEG	名古屋大学工学研究科 名古屋大学工学部	中里 和郎 石崎 賢, 清水 毅, 山口 賢	101
触覚信号伝送回路	東京大学大学院情報理工学系研究科	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	102
信号伝送機能をもつ触覚素子用回路	東京大学大学院情報理工学系研究科	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	102

平成16年度 第2回 ローム CMOS0.35 μ m チップ試作 (R035042)

題 名	大 学 名	研 究 者	掲載頁
MEMS 融合のためのイメージセンサ	東京大学工学系研究科	三田 吉郎	103
TEG for Discharge Observation	東京大学新領域創成科学研究科	亀谷 暁	103
8ビット終了検出型マイクロコントローラ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター (VDEC)	ディア キンフイ 鄭 若丹, 池田 誠, 浅田 邦博	103
走査レーザ SQUID 顕微鏡の基礎特性評価用 TEG (その 1)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治, 藤岡 弘	104
走査レーザ SQUID 顕微鏡の基礎特性評価用 TEG (その 2)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治, 藤岡 弘	104
システム LSI の試作	大阪工業大学工学部	久津輪 敏郎, 荒木 英夫, 尾川 広和, 藤本 祥平, 楳山 徹	104
入力信号追従型クロックブースト回路とミラーホールド容量を用いた S/H 回路	宮崎大学工学部	淡野 公一 淡野, 中島 雄大, 佐藤 公信, 松浦 貴行, 永田 健, 橋口 慎吾, 山下 崇	105
スイッチドキャパシタ・ノッチフィルタの設計	静岡大学電子工学研究所	高橋 誠, ホワン チュン スン, 小川 覚美, 渡辺 健蔵	105

1 チップ無線・神経センシング LSI の設計	広島大学先端物質科学研究科	吉田 毅, 岩田 穆	105
スイッチレジスタ回路網による画像処理チップの開発	広島大学大学院先端物質科学研究科	亀田 成司, 岩田 穆	106
Multiple-Valued Field-Programmable VLSI	東北大学大学院情報科学研究科	Haque Mohammad Munirul, 長谷川 智亮, 亀山 充隆	106
角度検出器用駆動回路を構成する要素回路の試作 A	東京理科大学理工学部	齋藤 充洋, 米川 智宣, 兵庫 明, 関根 慶太郎	106
角度検出器用駆動回路を構成する要素回路の試作 B	東京理科大学理工学部	齋藤 充洋, 米川 智宣, 兵庫 明, 関根 慶太郎	107
チップ間ワイヤレス電源送受信回路の設計	東京大学国際・産学共同研究センター	鬼塚 浩平, 桜井 貴康	107
学習機能を搭載した Inverse Function Delayed Neuron チップの試作	東北大学情報科学研究科 東北大学電気通信研究所	福原 淳, 末長 晋也 早川 吉弘, 中島 康治	107
MOSFET 特性ばらつき評価と $\Delta \Sigma$ A-D の試作	長崎総合科学大学工学部 長崎総合科学大学大学院工学研究科 長崎総合科学大学新技術創成研究所	田中 義人 金 奉基, 景 暁軍 清山 浩司	108
アナログ TEG 回路の試作	長崎総合科学大学工学部 長崎総合科学大学新技術創成研究所 長崎総合科学大学大学院工学研究科	田中 義人 清山 浩司 金 奉基	108
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 道江 寛之	108
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 道江 寛之	109
SFQ/CMOS ハイブリッドメモリシステムの動作検証	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 徳田 勝利, 冨田 卓哉	109
SFQ/CMOS ハイブリッド用 CMOS クライオデバイスモデルの検証	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 徳田 勝利, 冨田 卓哉	109
イメージセンサの検証用回路	東京理科大学工学研究科 東京理科大学工学部	藤田 健治 樽木 久征, 杉田 俊超	110
フローティングゲート MOS、イメージセンサの特性評価用 TEG	広島市立大学大学院情報科学研究科	助田 有教 堀居 賢樹	110
自己修復型人工物用チップ	東京大学工学系研究科 東京大学人工物工学研究センター	小松 謙介 高橋 浩之	110
ポジトロン CT 用フロントエンドチップ	東京大学工学系研究科 東京大学人工物工学研究センター	Yeom Jung-Yeol 高橋 浩之	111
イメージセンサ機能をもつ波長多重光無線 LAN 用並列受光デバイス	奈良先端科学技術大学院大学物質創成科学研究科	藤内 亜紀子, 池内 隆志, 香川 景一郎, 太田 淳	111
イメージセンサ機能をもつ空間多重光無線 LAN 用並列受光デバイス	奈良先端科学技術大学院大学物質創成科学研究科	池内 隆志, 藤内 亜紀子, 香川 景一郎, 太田 淳	111
パルス領域画像処理機能をもつ低電圧・高ダイナミックレンジ周波数変調方式ビジョンチップ	奈良先端物質創成科学研究科	山本 真也, 古宮 哲夫, 香川 景一郎, 徳田 崇	112
2 次元集積化磁気センサ TEG	茨城大学工学部	木村 孝之	112
光子駆動回路	慶應義塾大学理工学部	宮原 晋平, 松本 佳宣	112
光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	113
光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	113
低電圧ログドメインフィルタと帯域可変ポリフェーズフィルタ	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平, 伊藤 和将 和田 和千	113
エッジおよびその移動方向検出回路	大阪大学大学院工学研究科	井上 恵介, 八木 哲也	114
オフセット補償効果を持つラインメモリの試験回路	大阪大学大学院工学研究科	井上 恵介, 八木 哲也	114
LSI 設計実習における 16 ビットパイプラインプロセッサの設計	奈良先端科学技術大学院大学情報科学研究科	中西 正樹, 井上 照将, 鈴木 智哉, 橘 達弘, 中村 幸紀	114
新公開鍵暗号 L S I	早稲田大学情報生産システム研究科	木村 晋二, 土井 伸洋, 金 成男	115
バス機能の動的制御に基づくチップ内高速データ転送回路	東北大学電気通信研究所	竹内 崇, 羽生 貴弘	115
多値差動ロジックに基づく低ノイズ 16 ビット乗算器	東北大学電気通信研究所	j 望月 明, 羽生 貴弘	115
16 ビットパイプラインプロセッサの設計実習 1	早稲田大学大学院情報生産システム研究科	池永 剛	116
16 ビットパイプラインプロセッサの設計実習 2	早稲田大学大学院情報生産システム研究科	池永 剛	116
基板ノイズ測定用テストチップ	慶應義塾大学理工学部	岩津 勝彦, 中野 誠彦	116
CMOS オペアンプの試作	都城工業高等専門学校電気工学科 宮崎大学工学部電気電子工学科	堀田 真嗣, 田中 寿, 平田 洋輔 中島 雄太, 松浦 貴行, 外山 貴子, 淡野 公一, 石塚 興彦	117
信号伝送機能をもつ触覚素子用回路	東京大学大学院情報理工学系研究科	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	117

信号伝送機能をもつ触覚素子用回路	東京大学大学院情報理工学系研究科	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	117
信号伝送機能をもつ触覚素子用回路	東京大学大学院情報理工学系研究科	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	118
信号伝送機能をもつ触覚素子用回路	東京大学大学院情報理工学系研究科	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	118

平成16年度 第3回 ローム CMOS0.35 μ m チップ試作 (R035043)

題 名	大 学 名	研 究 者	掲載頁
デジタルピクセルセンサと演算回路の TEG	東京大学新領域創成科学研究科	トンブラシット ベンジャマース	119
2値・多値融合論理に基づく32ビット並列乗算器	東北大学大学院情報科学研究科 東北工業大学工学部	木暮 俊光, 出川 勝彦, 青木 孝文 樋口 龍雄	119
冗長2進加算器を用いた並列乗算器	東北大学大学院情報科学研究科 東北工業大学工学部	若松 泰平, 本間 尚文, 木暮 俊光, 青木 孝文 樋口 龍雄	119
ダイレクトコンバージョン方式に適したミキサ回路	芝浦工業大学大学院工学研究科	奥村 宣孝, 上田 和弘	120
スマート RFID タグ用 BASK リング発振器と個体識別符号生成低電力 CMOS 論理回路	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏, 中島 晃, 馬庭 志織 山川 俊貴, 竹中 智哉, 千代永 純一	120
生体信号処理用低電圧アナログ CMOS 回路の製作	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏, 米澤 隆広 鶴巢 哲朗, 岩崎 俊彦, 梅田 武史	120
低クロック振幅フリップ・フロップの設計	東京大学生産技術研究所 東京大学国際・産学共同研究センター	川口 博 Kyu-Won Choi, Tran Canh, Atit Tamtrakarn, 許 蛭雪, 鬼塚 浩平, 桜井 貴康	121
低消費電力アナログ TEG 回路の試作	長崎総合科学大学工学部 長崎総合科学大学大学院新技術創成研究所 長崎総合科学大学大学院工学研究科	田中 義人 清山 浩司 金 奉基	121
SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータ用デシメーションフィルタの試作	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 道江 寛之	121
SFQ/CMOS ハイブリッドメモリスシステムの動作検証	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 徳田 勝利, 冨田 卓哉	122
RF 回路設計用 TEG の試作	東北大学工学部 東北大学大学院工学研究科	黒田 理人 渡辺 一史	122
微少リーク電流評価用 TEG および電荷転送プリアンプ TEG および高速光電変換回路 TEG	東北大学大学院工学研究科 東北大学工学部	諏訪 智之, 高橋 紘人, 佐塚 友彦 浄法寺 佑	122
大規模パルス形ハードウェアニューラルネットワーク用ニューロンモデルと軸策モデルの試作	日本大学理工学部電子情報工学科	小野 克幸, 佐伯 勝敏, 関根 好文	123
電流制御降圧型 PWM DC-DC コンバータの試作	中央大学理工学研究科 中央大学理工学部	蒲谷 晃則, 櫻井 宏樹, 木野田 房郎 杉本 泰博	123
自己修復型人工物用チップ	東京大学工学系研究科 東京大学人工物工学研究センター	小松 謙介 高橋 浩之	123
自己修復センサ用チップ	東京大学工学系研究科 東京大学人工物工学研究センター	藤原 健 高橋 浩之	124
ワイヤチェーン用フロントエンドチップ	東京大学工学系研究科 東京大学人工物工学研究センター	Yeom Jung-Yeol 高橋 浩之	124
2次連続時間 $\Delta\Sigma$ 変調器	上智大学理工学部	小林 章二, 和保 孝夫	124
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	齋田 晃一, 松本 佳宣	125
光通信用信号処理回路	慶應義塾大学理工学部	田村 善朗, 赤松 大生, 松本 佳宣	125
ファジィ推論回路の試作	九州東海大学工学部	佐々木 博文, 藤本 邦昭	125
ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	126
光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	126
光無線 LAN のためのクロック生成回路	高知工科大学工学部	橋 昌良	126
高速乗算器の試作	高知工科大学工学部	田中 佳明, 谷脇 史高, 矢野 政顕, 橋 昌良	127
LSI 設計評価用デバイス TEG	高知工科大学工学部	川越 伸一, 三宮 大輔, 橋 昌良, 河津 哲	127
Ashra トリガースンサ-LSI 試作(2)	東京大学宇宙線研究所 青木 利文 茨城大学工学部 東邦大学大学院理学研究科	会田 勇一 佐々木 真人 木村 孝之 安田 雅弘	127

微細 CMOS 基準電圧発生回路	富山県立大学大学院工学研究科 富山県立大学工学部	南 隆一, 松田 敏弘, 岩田 栄之 鈴木 圭一	128
実数 ZCZ 有限長系列セットを用いた M-ary/DS-SS 通信モデムのベースバンド処理部の試作	山口大学工学部	松元 隆博, 植松 良介, 棚田 嘉博	128
バイナリ重みベクトルの自己組織化マップハードウェア	九州工業大学大学院生命体工学研究科	平塚 智一, 堀尾 恵一, 山川 烈	128
イメージセンサ用光検出回路の TEG	九州工業大学大学院生命体工学研究科	岩崎 正明, 山川 烈	129
信号処理用 FIFO およびテスト TEG	高エネルギー加速器研究機構素粒子原子核研究所	田中 真伸, 田内 一弥	129
セキュアプロセッサの開発	岩手県立大学大学院ソフトウェア情報学研究科 岩手県立大学ソフトウェア情報学部	穂積 健介, 福原 和哉 大宮 太一, 狩野 孝弘, 高橋 大介, 猪股 俊光, 曾我 正和	129

平成16年度 第1回 日立製作所 CMOS0.18 μ m チップ試作 (HIT18041)

題 名	大 学 名	研 究 者	掲載頁
診断容易化のための改良 Interval-based logic BIST 回路の設計	大阪大学大学院情報科学研究科	四之宮 傑, 三浦 克介, 中前 幸治, 藤岡 弘	130
MIMD 連想プロセッサの連想処理・算術切り替え型 ALU、短命令長命令セットのためのデコーダ	東京大学工学系研究科	早川 仁	130
高速デジタル連想プロセッサ	東京大学新領域創成科学研究科	小川 誠	130
画像特徴抽出プロセッサ	東京大学工学系研究科	山崎 英男	131
電流モード論理素子を用いたオンチップ高速信号伝送 TEG	京都大学情報学研究科	新名 亮規	131
3.1~5GHz 帯域低電力ウルトラワイドバンドのトランシーバ回路ほか	東京大学国際・産学共同研究センター	石田 光一, Tamtrakarn Atit, 鬼塚 浩平, 桜井 貴康	131
クライオデバイスモデル研究用 CMOS デバイス	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 徳田 勝利, 富田 卓哉	132
高並列プロセッサ向けマルチバンク構成レジスタファイル	広島大学ナノデバイス・システム研究センター	末吉 徹也, マタウシュ ハンス ユルゲン, 小出 哲士	132
2 段 PLL を用いた超高精度時間測定回路	高エネルギー加速器研究機構素粒子原子核研究所	新井 康夫	132
Ultra Wideband 送受信器		寺田 崇秀	133
Ultra Wideband 用非同期型送受信器		善積 真吾	133
高速レシーバ回路	明星大学情報学部 明星大学理工学部	秋山 豊, 伊東 恭二, 宇佐美 保, 大塚 寛治 水野 文夫, 鷹野 致和	133
オンチップ伝送線路および RF トランジスタ評価用 TEG	東京工業大学精密工学研究所	伊藤 浩之, 岡田 健一, 益 一哉	134
CMOS 高速信号伝送回路及び広帯域 RF アナログ回路の試作	東京工業大学精密工学研究所	菅原 弘雄, 五味 振一郎, 杉田 英之, 伊藤 浩之, 岡田 健一, 益 一哉	134
オンチップ伝送線路配線評価用 TEG	東京工業大学精密工学研究所	杉田 英之, 伊藤 浩之, 五味 振一郎, 吉原 義昭, 岡田 健一, 益 一哉	134
ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	135
GHz サンプリング AD 変換器及び 10Gb/s 1:4 DEMUX	鹿児島大学工学部	上村 勇仁, 永吉 芳行, 小野 宏一, 大島 賢一, 山下 喜市	135
オンチップ信号検出マクロ	神戸大学工学部	野口 宏一朗, 深沢 光弥, 永田 永田	135
オンチップ信号モニタのための S/H 回路	神戸大学工学部	野口 宏一朗, 永田 真	136
SRAM キャッシュ・メモリの設計	福岡大学大学院工学研究科 九州大学大学院システム情報科学研究院情報理学部門	田中 秀和 井上 弘士	136
マルチプレクサの性能を評価する回路-1	中央大学理工学部 中央大学大学院理工学研究科	榎本 忠儀 樋口 雄貴, 磯崎 亮多, 永山 卓, 梅沢 祐一, 萩原 洋介	136
マルチプレクサの性能を評価する回路-2	中央大学理工学部 中央大学大学院理工学研究科	榎本 忠儀 樋口 雄貴, 磯崎 亮多, 永山 卓, 梅沢 祐一, 萩原 洋介	137

平成15年度 第3回 日立製作所 CMOS0.18 μ m チップ試作 (HIT18033)

題 名	大 学 名	研 究 者	掲載頁
低消費電力 PLL	東京大学新領域創成科学研究科	山本 憲, 藤島 実	138

Sorting Network TEG and Digital Pixel Sensor TEG	東京大学大学院新領域創成科学研究科基盤情報学専攻 東京大学工学部電子情報工学科 東京大学工学部電気工学科	伊藤 深人 トンプラシット ベンジャマース 川原 邦男	138
実時間認識のための画像特徴抽出プロセッサ	東京大学大学院工学系研究科 東京大学工学部	山崎 英男 川原 邦男	138
MIMD 連想プロセッサの MIMD エlement(簡易 ALU 版)	東京大学工学系研究科	早川 仁	139
Serial ATA の送受信部、FLASH AD コンバータ	早稲田大学理工学研究科 東京大学大規模集積システム設計研究教育センター	横山 晋, 野沢 舞, 松本 隆 佐々木 昌浩	139
電流モード論理素子を用いたオンチップ高速信号伝送用回路 TEG	京都大学情報学研究科	新名 亮規	139
無線通信制御用マイクロコントローラ	金沢大学集積回路工学研究室	尾形 秀範, 北川 章夫	140
オンチップリニアドロップ型 DC-DC コンバータほか	東京大学国際・産学共同研究センター	石田 光一, Tamtrakarn Atit, 鬼塚 浩平, 桜井 貴康	140
クロスバメモリの試作	広島市立大学情報科学部 広島市立大学大学院情報科学研究科 広島大学ナノデバイス・システム研究センター	浅生 宗隆, 小澤 亮 井上 智宏, 弘中 哲夫 マタウシュ ハンス ユルゲン, 小出 哲士	140
再構成情報の圧縮を実現した再構成型 PARS プロセッサの改良	広島市立大学情報科学部 広島市立大学大学院情報科学研究科	谷川 一哉, 弘中 哲夫 川崎 貴之	141
クライオデバイスモデル研究用 CMOS デバイス	横浜国立大学工学部 横浜国立大学工学府	吉川 信行 徳田 勝利, 冨田 卓哉	141
2 段 PLL を用いた超高精度時間測定回路用 TEG	高エネルギー加速器研究機構素粒子原子核研究所	新井 康夫	141
フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG	奈良先端科学技術大学院大学物質創成科学研究科	岡本 英樹, 山本 幸司, 香川 景一郎, 太田 淳	142
オンチップ伝送線路配線および RF アナログ回路評価用 TEG	東京工業大学精密工学研究所	伊藤 浩之, 中村 恒一, 五味 振一郎, 岡田 健一, 益 一哉	142
光再構成型ゲートアレイ	九州工業大学情報工学科	渡邊 実	142
デジタル回路の電源雑音評価チップ	神戸大学工学部	深澤 光弥, 永田 真	143
オンチップ信号波形取得システム	神戸大学工学部	野口 宏一朗, 深沢 光弥, 永田 永田	143
電流モード双方向非同期データ転送回路とそのスループット測定回路	東北大学電気通信研究所	高橋 知宏, 羽生 貴弘	143
各種加算機能をもたせた演算回路の設計	法政大学大学院工学研究科	米本 友紀, 青木 勇樹, 清水 直樹, 藤田 実	144
データ転送局所化に基づくフィールドプログラマブル VLSI	東北大学大学院情報科学研究科	張山 昌論, 亀山 充隆	144

平成16年度 第1回 NEC Bipolar0.6 μ m チップ試作 (NEC04)

題 名	大 学 名	研 究 者	掲載頁
4 GS/s 6-bit フラッシュ型 ADC の試作	中央大学理工学研究科 中央大学理工学部	川田 真也 杉本 泰博	145
ダブルレート連続時間型 $\Delta\Sigma$ 変調器	上智大学理工学部	湯本 拓, 和保 孝夫	145
電流積分器	高エネルギー加速器研究機構素粒子原子核研究所	田中 真伸, 島崎 昇一	145
光検出器用フロントエンドエレクトロニクス TEG	高エネルギー加速器研究機構素粒子原子核研究所 総合研究大学院大学素粒子原子核専攻	田中 真伸 河合 克彦	146

平成15年度 第5回 Mosis-TSMC CMOS0.25 μ m チップ試作 (MT25035)

題 名	大 学 名	研 究 者	掲載頁
インダクタ・カップリングによるチップ間無線通信チップ	広島大学先端物質科学研究科	有園 大介, 佐々木 守, 岩田 穆	147
広帯域 LNA	広島大学大学院先端物質科学研究科	佐々木 守, 汐崎 充	147
高速シリアル CDMA 通信チップ	広島大学先端物質科学研究科	汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆	147
2 周波対応 GPS 受信機フロントエンドチップ	大阪大学大学院工学研究科	春岡 正起, 洞木 吉博, 松岡 俊匡, 谷口 研二	148
バイアス・オフセットを用いた Linear-in-dB 可変利得増幅回路	大阪大学工学研究科	車 承佑, 井田 司, 松岡 俊匡, 谷口 研二	148

負帰還リセットを用いた CMOS イメージセンサ	北海道大学大学院情報科学研究科	加賀谷 亮, 池辺 将之, 浅井 哲也, 雨宮 好仁	148
--------------------------	-----------------	----------------------------	-----

平成16年度 第3回 MOSIS-TSMC CMOS0.25 μ m チップ試作 (MT25043)

題 名	大 学 名	研 究 者	掲載頁
弱反転領域を用いたセンサのアナログフロントエンド部の設計	大阪大学工学研究科	井田 司, 松岡 俊匡, 谷口 研二	149
微小誘電率変化検出用センサ TEG	大阪大学工学研究科	田中 智之, 松岡 俊匡, 谷口 研二	149

平成16年度 第4回 MOSIS-TSMC CMOS0.25 μ m チップ試作 (MT25044)

題 名	大 学 名	研 究 者	掲載頁
可視光通信用イメージセンサの TEG	慶應義塾大学理工学部	春山 真一郎	150

平成16年度 第3回 MOSIS-TSMC CMOS0.18 μ m チップ試作 (MT18043)

題 名	大 学 名	研 究 者	掲載頁
低電圧動作アナログ回路 TEG	広島大学先端物質科学研究科	吉田 毅, 升井 義博, 石田 尚也, 円林 晃一郎, 岩田 穆	151

平成16年度 第4回 MOSIS-TSMC CMOS0.18 μ m チップ試作 (MT18044)

題 名	大 学 名	研 究 者	掲載頁
スパイラル・インダクタ対によるチップ間無線結合 I/O 回路	広島大学大学院先端物質科学研究科	佐々木 守, 岩田 穆	152
フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG	奈良先端大物質創成科学研究科	吉田 明洋, 山本 幸司, 香川 景一郎, 太田 淳	152

平成15年度 第1回 MOSIS-IBM BiCMOS0.5 μ m チップ試作 (MI5031)

題 名	大 学 名	研 究 者	掲載頁
3bit 分解能 4GHz 帯域 並列比較形 ADC の設計	広島大学先端物質科学研究科	部谷 圭彦, 安田 芳明, 岩田 穆	153

平成16年度 第1回 MOSIS-IBM BiCMOS0.5 μ m チップ試作 (MI5041)

題 名	大 学 名	研 究 者	掲載頁
3bit 分解能 6GHz 帯域 並列比較形 ADC の設計	広島大学先端物質科学研究科	安田 芳明, 部谷 圭彦, 岩田 穆	154

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
HIT18033	フォトダイオード・アクティブピクセルセンサ基礎データ測定用TEG	岡本 英樹, 山本 幸司, 香川 景一郎, 太田 淳	142
HIT18041	高速レシーバ回路	秋山 豊, 伊東 恭二, 宇佐美 保, 大塚 寛治, 水野 文夫, 鷹野 致和	133
HIT18041	オンチップ伝送線路およびRFトランジスタ評価用TEG	伊藤 浩之, 岡田 健一, 益 一哉	134
HIT18041	オンチップ伝送線路配線評価用TEG	杉田 英之, 伊藤 浩之, 五味 振一郎, 吉原 義昭, 岡田 健一, 益 一哉	134
HIT18041	マルチプレクサの性能を評価する回路-1	榎本 忠儀, 樋口 雄貴, 磯崎 亮多, 永山 卓, 梅沢 祐一, 萩原 洋介	136
HIT18041	マルチプレクサの性能を評価する回路-2	榎本 忠儀, 樋口 雄貴, 磯崎 亮多, 永山 卓, 梅沢 祐一, 萩原 洋介	137
MOT032	MOS型定電流回路の設計・試作(3)	日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝	53
MOT032	トランジスタ特性測定用回路	南 隆一, 松田 敏弘, 岩田 栄之	55
MOT041	MOS型定電流回路の設計・試作(4)	日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝	61
MOT041	MOS型整流回路・直流電圧増幅回路の設計・試作(1)	日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝	62
MOT041	擬似断線故障回路と組み込み電流テスト回路の試作	藤本 佳照, 秋田 哲男, 四柳 浩之, 橋爪 正樹	65
MOT041	トランジスタ特性測定用回路	南 隆一, 松田 敏弘, 岩田 栄之	66
MOT041	同期・非同期カウンタの消費電力検証用チップ試作	西野 聡, 鈴木 敬	69
MT18044	フォトダイオード・アクティブピクセルセンサ基礎データ測定用TEG	吉田 明洋, 山本 幸司, 香川 景一郎, 太田 淳	152
MT25043	微小誘電率変化検出用センサTEG	田中 智之, 松岡 俊匡, 谷口 研二	149
RO35034	SFL言語処理系とオープンソースのバックエンドによるTEGチップの試作	飯田 佳洋, 清水 尚彦	75
RO35034	PWM方式ガボールフィルタ回路TEG	門 慶彦, 是角 圭祐, 森田 修, 中野 鉄平, 森江 隆	81
RO35034	パルス変調方式任意カオス回路TEG	後藤 優治, 中野 鉄平, 森江 隆	81
RO35034	フォトダイオード・アクティブピクセルセンサ基礎データ測定用TEG	池内 隆志, 藤内 亜紀子, 香川 景一郎, 太田 淳	81
RO35034	Ashraトリガーセンサー回路用TEG1	会田 勇一, 青木 利文, 佐々木 真人, 増田 正孝, 木村 孝之, 安田 雅弘	83
RO35034	Ashraトリガーセンサー回路用TEG2	会田 勇一, 青木 利文, 佐々木 真人, 増田 正孝, 木村 孝之, 安田 雅弘	84
RO35041	センサ回路TEGとオンチップオシロスコープ用タイミング信号生成回路TEG	大池 祐輔, 飯塚 哲也, 池田 誠, 浅田 邦博	86
RO35041	フォトダイオード特性評価用TEG	清水 健, 高橋 徳浩	88
RO35041	マイクロディスプレイ用ドライバ回路TEG	田中 義人, 房安 貴弘, 陳 蕾	93
RO35041	MOSFETアレイとSRAMの試作	田中 義人, 畠田 亮太郎, 中水流 史朗, 金 奉基, 八谷 茂幸	93
RO35041	MOSFET特性ばらつき評価用試験回路	寺田 和夫, 山内 丈周, 上木 彰彦	94
RO35041	ミキサ回路の各種構成による性能比較評価	藤原 正樹, 小坂 大輔, 永田 真	100
RO35041	0.35 μ mCMOSトランジスタ特性測定実験用チップ	藤野 毅	101
RO35041	単分子オンチップ計測回路TEG	中里 和郎, 石崎 賢, 清水 毅, 山口 賢	101
RO35042	TEG for Discharge Observation	亀谷 暁	103
RO35042	走査レーザSQUID顕微鏡の基礎特性評価用TEG (その1)	三浦 克介, 中前 幸治, 藤岡 弘	104
RO35042	走査レーザSQUID顕微鏡の基礎特性評価用TEG (その2)	三浦 克介, 中前 幸治, 藤岡 弘	104
RO35042	MOSFET特性ばらつき評価と $\Delta\Sigma A-D$ の試作	田中 義人, 金 奉基, 景 暁軍, 清山 浩司	108
RO35042	アナログTEG回路の試作	田中 義人, 清山 浩司, 金 奉基	108
RO35042	フローティングゲートMOS、イメージセンサの特性評価用TEG	助田 有教, 堀居 賢樹	110
RO35042	2次元集積化磁気センサTEG	木村 孝之	112
RO35042	オフセット補償効果を持つラインメモリの試験回路	井上 恵介, 八木 哲也	114
RO35042	基板ノイズ測定用テストチップ	岩津 勝彦, 中野 誠彦	116
RO35043	ダイレクトコンバージョン方式に適したミキサ回路	奥村 宣孝, 上田 和弘	120
RO35043	低消費電力アナログTEG回路の試作	田中 義人, 清山 浩司, 金 奉基	121
RO35043	RF回路設計用TEGの試作	黒田 理人, 渡辺 一史	122
RO35043	微少リーク電流評価用TEGおよび電荷転送プリアンプTEGおよび高速光電変換回路TEG	諏訪 智之, 高橋 紘人, 佐塚 友彦, 浄法寺 佑	122

RO35043	LSI設計評価用デバイスTEG	川越 伸一, 三宮 大輔, 橋 昌良, 河津 哲	127
RO35043	微細CMOS基準電圧発生回路	南 隆一, 松田 敏弘, 岩田 栄之, 鈴木 圭一	128
RO35043	イメージセンサ用光検出回路のTEG	岩崎 正明, 山川 烈	129

アナデジ混載

ラン名	タイトル	研究者	掲載頁
HIT18033	デジタル回路の電源雑音評価チップ	深澤 光弥, 永田 真	143
HIT18033	オンチップ信号波形取得システム	野口 宏一郎, 深沢 光弥, 永田 永田	143
HIT18041	オンチップ信号検出マクロ	野口 宏一郎, 深沢 光弥, 永田 永田	135
HIT18041	オンチップ信号モニタのためのS/H回路	野口 宏一郎, 永田 真	136
MOT032	スイッチング電源制御用LSIの設計	大場 博之, 松田 敏弘, 岩田 栄之	54
MOT032	10bitDAC	小林 春夫	57
MOT032	12bitDAC	小林 春夫	57
MOT041	スイッチング電源制御用LSIの開発	大場 博之, 松田 敏弘, 岩田 栄之	67
NEC04	電流積分器	田中 真伸, 島崎 昇一	145
RO35034	スマートRFIDタグ用個体識別符号生成CMOS論理回路	井上 高宏, 千代永 純一, 日野 臣教	72
RO35034	生体信号処理用超小型CMOSアナログ集積回路の製作	井上 高宏, 岩崎 俊彦, 市原 栄蔵, 鶴巢 哲朗	72
RO35034	$\Delta\Sigma$ 型DACに用いる3次ノイズシェーバ	金川 典史, 井上 美穂	75
RO35041	並列アーキテクチャ電流モードCDMAマッチトフィルタ	中山 友之	87
RO35041	積層型人工眼チップのための刺激電流パラメータ制御回路の試作	出口 淳, 福島 誉史, 栗野 浩之, 小柳 光正	90
RO35041	AshraトリガーセンサーLSI(1)	会田 勇一, 青木 利文, 佐々木 真人, 木村 孝之, 安田 雅弘	99
RO35041	触覚信号伝送回路	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	102
RO35041	信号伝送機能をもつ触覚素子用回路	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	102
RO35042	1チップ無線・神経センシングLSIの設計	吉田 毅, 岩田 穆	105
RO35042	信号伝送機能をもつ触覚素子用回路	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	117
RO35042	信号伝送機能をもつ触覚素子用回路	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	117
RO35042	信号伝送機能をもつ触覚素子用回路	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	118
RO35042	信号伝送機能をもつ触覚素子用回路	岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之	118
RO35043	スマートRFIDタグ用BASKリング発振器と個体識別符号生成低電力CMOS論理回路	井上 高宏, 中島 晃, 馬庭 志織, 山川 俊真, 竹中 智哉, 千代永 純一	120
RO35043	生体信号処理用低電圧アナログCMOS回路の製作	井上 高宏, 米澤 隆広, 鶴巢 哲朗, 岩崎 俊彦, 梅田 武史	120
RO35043	低クロック振幅フリップ・フロップの設計	川口 博, Kyu-Won Choi, Tran Canh, Atit Tamtrakarn, 許 莹雪, 鬼塚 浩平, 桜井 貴康	121
RO35043	AshraトリガーセンサーLSI試作(2)	会田 勇一, 佐々木 真人, 木村 孝之, 安田 雅弘	127

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
HIT18033	実時間認識のための画像特徴抽出プロセッサ	山崎 英男, 川原 邦男	138
HIT18033	オンチップ伝送線路配線およびRFアナログ回路評価用TEG	伊藤 浩之, 中村 恒一, 五味 振一郎, 岡田 健一, 益 一哉	142
HIT18041	高速デジタル連想プロセッサ	小川 誠	130
HIT18041	画像特徴抽出プロセッサ	山崎 英男	131
MOT032	完全埋め込み型FES用カスタム集積回路	中溝 正彦, 高橋 幸郎	52
MOT032	ニューロンMOSを利用したアナログ・デジタル基本回路の試作	石川 洋平, 塚本 尚平, 舛岡 貴志, 深井 澄夫	54
MOT041	ニューロンMOSを利用したアナログ・デジタル基本回路の試作	石川 洋平, 塚本 尚平, 舛岡 貴志, 深井 澄夫	64
MOT041	カオスを利用したパルス幅変調回路の試作	江口 啓, 光石 翔	64
RO35034	高速信号解析チップ	Yeol Yeom-Jung, 高橋 浩之	80
RO35034	ユークリッド距離変換回路の試作	高木 雅彦, 平田 富夫, 磯 直行	82
RO35034	信号処理用JTAGコントローラおよびテストTEG	田中 真伸, 根岸 久	84
RO35041	1T1MOSを用いた耐タンパー論理回路	トンプラシット ベンジャマース	88
RO35041	並列リコンフィギュラブル画像処理プロセッサのプロセッシングエレメント部の試作	杉村 武昭, 福島 誉史, 栗野 浩之, 小柳 光正	89
RO35041	位相インパルス応答関数法を実装した動的再構成プロセッサ	宮本 直人, 小谷 光司, 大見 忠弘	94

RO35041	画素並列型ガボールフィルタLSI	森江 隆, 是角 圭祐, 中野 鉄平	96
RO35041	制御用佩用ニューラルチップ	森下 裕之	97
RO35042	学習機能を搭載したInverse Function Delayed Neuronチップの試作	福原 淳, 末長 晋也, 早川 吉弘, 中島 康治	107
RO35042	新公開鍵暗号LSI	木村 晋二, 土井 伸洋, 金 成男	115
RO35043	自己修復型人工物用チップ	小松 謙介, 高橋 浩之	123
RO35043	自己修復センサ用チップ	藤原 健, 高橋 浩之	124
RO35043	静電容量型センサ用容量検出回路	齋田 晃一, 松本 佳宣	125
RO35043	信号処理用FIFOおよびテストTEG	田中 真伸, 田内 一弥	129

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
HIT18033	低消費電力PLL	山本 憲, 藤島 実	138
HIT18033	オンチップリニアドロップ型DC-DCコンバータほか	石田 光一, Tamtrakarn Atit, 鬼塚 浩平, 桜井 貴康	140
HIT18033	2段PLLを用いた超高精度時間測定回路用TEG	新井 康夫	141
HIT18041	2段PLLを用いた超高精度時間測定回路	新井 康夫	132
HIT18041	GHzサンプリングAD変換器及び10Gb/s 1:4 DEMUX	上村 勇仁, 永吉 芳行, 小野 宏一, 大畠 賢一, 山下 喜市	135
MI5031	3bit分解能 4GHz帯域 並列比較形ADCの設計	部谷 圭彦, 安田 芳明, 岩田 穆	153
MI5041	3bit分解能 6GHz帯域 並列比較形ADCの設計	安田 芳明, 部谷 圭彦, 岩田 穆	154
MOT032	FG-MOSFETを用いた回路および2相クロック発生回路	井上 高宏, 市原 栄蔵	51
MOT032	スマートRFIDタグ用電源回路	井上 高宏, 江藤 慎一郎, 竹中 智哉	51
MOT032	MOS構成に適したアナログ形PLLの試作(1)	宮前 亨, 吾妻 俊征, 伊藤 文人, 井上 浩	53
MOT032	リング発振器型電圧制御発振器の開発試作	宮前 亨, 井上 浩	53
MOT032	小型センサ用CMOS A/Dコンバータの設計	堀井 信嘉, 松田 敏弘, 岩田 栄之	54
MOT032	通信システム用回路ブロックの試作	藤井 信生, 高木 茂孝, 佐藤 隆英	55
MOT032	低雑音増幅回路の試作	藤井 信生, 高木 茂孝, 佐藤 隆英	56
MOT032	並列型A-D変換回路の試作	藤井 信生, 高木 茂孝, 佐藤 隆英	56
MOT032	CMOSトランスコンダクタ	庄野 和宏	56
MOT041	スイッチドキャパシタ・ノッチフィルタの設計	高橋 誠, 小川 寛美, 渡辺 健蔵	58
MOT041	Rail-to-Rail CMOSカレント・コンペアの設計	ホアン チュン スン, 小川 寛美, 渡辺 健蔵	58
MOT041	スマートRFIDタグ用集積化定電圧電源回路	井上 高宏, 茂谷 俊昭, 江藤 慎一郎	59
MOT041	電子可変線形MOS抵抗回路とオーバードライブCMOSアナログスイッチの製作	井上 高宏, 洲上 宏之, 安成 潤, 神園 大知	60
MOT041	スーパーヘテロダイン方式AMラジオの試作	藤井 伸介, 館山 克樹, 行友 涉, 兵庫 明, 関根 慶太郎	60
MOT041	ワンチップAMラジオの試作	小池 健, 藤瀬 雅俊, 兵庫 明, 関根 慶太郎	60
MOT041	AMラジオ回路のTEG	小池 健, 藤瀬 雅俊, 藤井 伸介, 館山 克樹, 行友 涉, 兵庫 明, 関根 慶太郎	61
MOT041	NMOS/PMOS差動対・キャパシタ・電圧制御発振器のTEG	藤井 伸介, 藤瀬 雅俊, 行友 涉, 館山 克樹, 小池 健, 兵庫 明, 関根 慶太郎	61
MOT041	MOS構成に適したアナログ形PLLの試作(2)	宮前 亨, 吾妻 俊征, 佐々木 健太, 井上 浩	63
MOT041	新しいリング発振器型電圧制御発振器を用いた基本PLLの試作	宮前 亨, 井上 浩	63
MOT041	演算増幅器の試作・検証	石川 洋平, 塚本 尚平, 古賀 陽一郎, 近藤 弘康, 高平 亨, 深井 澄夫	63
MOT041	ラッチ付コンパレータとA字型2端子回路	秋山 俊介, 宮本 尚幸, 和保 孝夫	64
MOT041	演算増幅器の試作	藤井 信生, 高木 茂孝, 佐藤 隆英	68
MOT041	FM放送受信システム用回路ブロックの試作1	藤井 信生, 高木 茂孝, 佐藤 隆英	68
MOT041	FM放送受信システム用回路ブロックの試作2	藤井 信生, 高木 茂孝, 佐藤 隆英	68
MT18043	低電圧動作アナログ回路TEG	吉田 毅, 升井 義博, 石田 尚也, 円林 晃一郎, 岩田 穆	151
MT25043	弱反転領域を用いたセンサのアナログフロントエンド部の設計	井田 司, 松岡 俊匡, 谷口 研二	149
NEC04	4 GS/s 6-bit フラッシュ型ADCの試作	川田 真也, 杉本 泰博	145
NEC04	ダブルレート連続時間型 $\Delta\Sigma$ 変調器	湯本 拓, 和保 孝夫	145
RO35034	電流モードアナログCDMAマッチトフィルタ	山崎 俊彦, 中山 友之	70
RO35034	リーク電流の静的特性を測定するためのTEG	石田 光一, Danardono Antono, 鬼塚 浩平, 桜井 貴康	75
RO35034	デルタ・シグマADCの試作	田中 義人, 八谷 茂幸, 清山 浩司, 陳 雷	76

RO35034	受動素子および折り返しカスコード型一段増幅回路の試作	浅井 秀樹	77
RO35034	電力関係系を用いて設計されたデルタシグマAD変換器	根上 崇, 加藤 正史, 荒井 英輔	78
RO35034	スイッチトカレント技術に基づく1次 $\Delta\Sigma$ 変調器の設計	寺田 信行, 加藤 正史, 荒井 英輔	79
RO35034	マルチチャネルブリアンプ	Yeol Yeom-Jung, 高橋 浩之	80
RO35034	2ビット電流モード連続時間型 $\Delta\Sigma$ 変調器	酒詰 俊輔, 池浦一賢 一賢, 和保 孝夫	82
RO35034	アナログ回路のための種々の低電圧化原理の確認	秋田 一平, 伊藤 和将, 上田 昇, 和田 和千	83
RO35041	動的基板ノイズ低減手法	名倉 徹	86
RO35041	スイッチドキャパシタ・フィルタの設計	高橋 誠, 小川 覚美, 渡辺 健蔵	88
RO35041	Rail-to-Rail CMOSカレント・コンペアの設計	ホワン チュン スン, 小川 覚美, 渡辺 健蔵	89
RO35041	6ビット循環型A/Dコンバータの試作	小野 宏, 辻 孝司, 福島 誉史, 栗野 浩之, 小柳 光正	90
RO35041	バンドパス型 $\Delta\Sigma$ 変調器・演算増幅器の試作	早瀬 佳, 中野 伸吾, 高田 雅史, 秋田 純一, 北川 章夫	92
RO35041	アナログ回路ブロックの電源ON/OFF制御回路ほか	石田 光一, 鬼塚 浩平, 桜井 貴康	92
RO35041	素子ばらつきを考慮した電流モードバイブライン方式ADC	合田 裕二, 杉本 泰博	95
RO35041	ポジトロンCT用フロントエンドチップ	Yeom Jung-Yeol, 高橋 浩之	96
RO35041	センサネットワーク用チップ	小松 謙介, 高橋 浩之	96
RO35041	低電圧ASK送信回路	八木 大介, 和田 和千	99
RO35042	入力信号追従型クロックブースト回路とミラーホールド容量を用いたS/H回路	淡野 公一 淡野, 中島 雄太, 佐藤 公信, 松浦 貴行, 永田 健, 橋口 慎吾, 山下 崇	105
RO35042	スイッチドキャパシタ・ノッチフィルタの設計	高橋 誠, ホワン チュン スン, 小川 覚美, 渡辺 健蔵	105
RO35042	角度検出器用駆動回路を構成する要素回路の試作A	齋藤 充洋, 米川 智宣, 兵庫 明, 関根 慶太郎	106
RO35042	角度検出器用駆動回路を構成する要素回路の試作B	齋藤 充洋, 米川 智宣, 兵庫 明, 関根 慶太郎	107
RO35042	自己修復型人工物用チップ	小松 謙介, 高橋 浩之	110
RO35042	ポジトロンCT用フロントエンドチップ	Yeom Jung-Yeol, 高橋 浩之	111
RO35042	低電圧ログドメインフィルタと帯域可変ポリアフェーズフィルタ	秋田 一平, 伊藤 和将, 和田 和千	113
RO35042	CMOSオペアンプの試作	堀田 真嗣, 田中 寿, 平田 洋輔, 中島 雄太, 松浦 貴行, 外山 貴子, 淡野 公一, 石塚 興彦	117
RO35043	電流制御降圧型 PWM DC-DCコンバータの試作	蒲谷 晃則, 櫻井 宏樹, 木野田 房郎, 杉本 泰博	123
RO35043	ワイヤチェンバ用フロントエンドチップ	Yeom Jung-Yeol, 高橋 浩之	124
RO35043	2次連続時間型 $\Delta\Sigma$ 変調器	小林 章二, 和保 孝夫	124

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
HIT18033	Sorting Network TEG and Digital Pixel Sensor TEG	伊藤 潔人, トンブラシット ベンジャマース, 川原 邦男	138
MOT032	下等動物の視覚系に学んだ二次元動き検出チップの試作	西尾 公裕, 米津 宏雄	52
MT25035	負帰還リセットを用いたCMOSイメージセンサ	加賀谷 亮, 池辺 将之, 浅井 哲也, 雨宮 好仁	148
RO35034	Image Processing VLSI with Built-In Digital Pixel Sensor	伊藤 潔人, トンブラシット ベンジャマース	70
RO35034	Motion Detection Chip	山崎 俊彦, 梅島 誠之, 亀谷 暁	70
RO35034	拡散符号を利用した距離測定回路	清水 新策, 松岡 俊匡, 谷口 研二	71
RO35034	高機能高画質CMOSイメージセンサ	館 知恭	78
RO35041	Motion Detection Chip	亀谷 暁	87
RO35041	アナログメディア値探索TEG、高集積化フォトダイオードアレイ	中下 友介	87
RO35041	広ダイナミックレンジを有する二次元エッジ検出網膜チップの試作	澤 伸也, 米津 宏雄	92
RO35042	MEMS融合のためのイメージセンサ	三田 吉郎	103
RO35042	イメージセンサの検証用回路	藤田 健治, 樽木 久征, 杉田 俊超	110
RO35042	イメージセンサ機能をもつ波長多重光無線LAN用並列受光デバイス	藤内 亜紀子, 池内 隆志, 香川 景一郎, 太田 淳	111
RO35042	イメージセンサ機能をもつ空間多重光無線LAN用並列受光デバイス	池内 隆志, 藤内 亜紀子, 香川 景一郎, 太田 淳	111
RO35042	パルス領域画像処理機能をもつ低電圧・高ダイナミックレンジ周波数変調方式ビジョンチップ	山本 真也, 古宮 哲夫, 香川 景一郎, 徳田 崇	112
RO35043	デジタルピクセルセンサと演算回路のTEG	トンブラシット ベンジャマース	119

ラン名	タイトル	研究者	掲載頁
HIT18033	光再構成型ゲートアレイ	渡邊 実	142
HIT18041	ダイナミック光再構成型ゲートアレイ	渡邊 実	135
RO35034	高精細マイクロディスプレイLSI, 微小物体可視化センサTEG	中野 智崇, 中江 智, 北川 章夫	73
RO35034	アクティブソフトウェア向け再構成可能な条件判定回路	伴野 充, 中西 正樹, 山下 茂, 渡邊 勝正	84
RO35041	低ジッタ全デジタルPLLの試作	佐々木 博文, 藤本 邦昭	97
RO35041	差分光再構成型ゲートアレイ	渡邊 実	98
RO35041	差分光再構成型ゲートアレイ	渡邊 実	98
RO35042	光再構成型ゲートアレイ	渡邊 実	113
RO35042	光再構成型ゲートアレイ	渡邊 実	113
RO35043	ファジィ推論回路の試作	佐々木 博文, 藤本 邦昭	125
RO35043	ダイナミック光再構成型ゲートアレイ	渡邊 実	126
RO35043	光再構成型ゲートアレイ	渡邊 実	126
RO35043	光無線LANのためのクロック生成回路	橘 昌良	126

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
HIT18033	再構成情報の圧縮を実現した再構成型PARSプロセッサの改良	谷川 一哉, 弘中 哲夫, 川崎 貴之	141
HIT18033	電流モード双方非同期データ転送回路とそのスループット測定回路	高橋 知宏, 羽生 貴弘	143
MOT041	パルス形ハードウェア軸策モデルの試作	小野 克幸, 佐伯 勝敏, 関根 好文	62
MOT041	負性抵抗素子を用いた温度センサ回路	太田 寛, 佐伯 勝敏, 関根 好文	62
MT18044	スパイラル・インダクタ対によるチップ間無線結合I/O回路	佐々木 守, 岩田 穆	152
RO35034	多層構造Convolutional Neural Network演算回路	是角 圭祐, 中野 鉄平, 森江 隆	80
RO35041	共鳴トンネル素子とSi-CMOSを用いた高速回路	酒向 万理生, 前澤 宏一	100
RO35042	バス機能の動的制御に基づくチップ内高速データ転送回路	竹内 崇, 羽生 貴弘	115
RO35043	大規模パルス形ハードウェアニューラルネットワーク用ニューロンモデルと軸策モデルの試作	小野 克幸, 佐伯 勝敏, 関根 好文	123
RO35043	バイナリ重みベクトルの自己組織化マップハードウェア	平塚 智一, 堀尾 恵一, 山川 烈	128

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
HIT18033	MIMD連想プロセッサのMIMDエレメント(簡易ALU版)	早川 仁	139
HIT18033	無線通信制御用マイクロコントローラ	尾形 秀範, 北川 章夫	140
HIT18033	データ転送局所化に基づくフィールドプログラマブルVLSI	張山 昌論, 亀山 充隆	144
MOT032	NOR論理ゲート速度性能評価回路とマイクロプロセッサの設計	波多野 裕, 渋谷 耕児, 縣 伸史, 北村 義徳, 永野 肇, 村松 透, 望月 秀幸	51
MOT032	小型半導体加速度センサ用LSIの設計	堀井 信嘉, 松田 敏弘, 岩田 栄之	55
MOT041	小型センサ用CMOSD/Aコンバータの改良	堀井 信嘉, 松田 敏弘, 岩田 栄之	67
MOT041	小型半導体加速度センサ用LSIの設計	堀井 信嘉, 松田 敏弘, 岩田 栄之	67
MT25044	可視光通信用イメージセンサのTEG	春山 真一郎	150
NEC04	光検出器用フロントエンドエレクトロニクスTEG	田中 真伸, 河合 克彦	146
RO35034	無線通信制御プロセッサ	芦川 真也, 星野 洋	73
RO35034	ASICベース16BitMPU実験システムの開発	山下 敦弘, 福田 一郎	79
RO35034	Verilog-HDLを用いた16bitマイクロプロセッサの設計	鈴木 達夫, 大島 浩史, 坂平 悠, 佐藤 弘樹, 三村 貴志, 松倉 秀幸, 吉川 拓, 千葉 良太郎	85
RO35042	8ビット終了検出型マイクロコントローラ	ディア キンファイ, 鄭 若丹, 池田 誠, 浅田 邦博	103
RO35042	システムLSIの試作	久津輪 敏郎, 荒木 英夫, 尾川 広和, 藤本 祥平, 椋山 徹	104
RO35042	LSI設計実習における16ビットパイプラインプロセッサの設計	中西 正樹, 井上 照将, 鈴木 智哉, 橘 達弘, 中村 幸紀	114
RO35042	16ビットパイプラインプロセッサの設計実習1	池永 剛	116
RO35042	16ビットパイプラインプロセッサの設計実習2	池永 剛	116

RO35043	セキュアプロセッサの開発	穂積 健介, 福原 和哉, 大宮 太一, 狩野 孝弘, 高橋 大介, 猪股 俊光, 曾我 正和	129
---------	--------------	---	-----

メモリ

ラン名	タイトル	研究者	掲載頁
HIT18033	クロスバメモリの試作	浅生 宗隆, 小澤 亮, 井上 智宏, 弘中 哲夫, マタウシュ ハンス ユルゲン, 小出 哲士	140
HIT18033	クライオデバイスモデル研究用CMOSデバイス	吉川 信行, 徳田 勝利, 富田 卓哉	141
HIT18041	クライオデバイスモデル研究用CMOSデバイス	吉川 信行, 徳田 勝利, 富田 卓哉	132
HIT18041	高並列プロセッサ向けマルチバンク構成レジスタファイル	末吉 徹也, マタウシュ ハンス ユルゲン, 小出 哲士	132
HIT18041	SRAMキャッシュ・メモリの設計	田中 秀和, 井上 弘士	136
RO35034	積層型マルチプロセッサチップ向け共有キャッシュの試作	橋本 宏之, 小柳 光正	71
RO35034	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 城殿 征志	76
RO35034	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 城殿 征志	76
RO35034	SFQ/CMOSハイブリッドメモリシステムの動作検証	吉川 信行, 徳田 勝利, 富田 卓哉	77
RO35034	SFQ/CMOSハイブリッド用CMOSクライオデバイスモデルの検証	吉川 信行, 徳田 勝利, 富田 卓哉	77
RO35034	8bit×256 SRAM	酒造 正樹, 下山 勲	79
RO35041	並列ロードストア命令に対応したデュアルポートメモリの試作	中谷 好博, 福島 誉史, 栗野 浩之, 小柳 光正	90
RO35041	SFQ/CMOSハイブリッドメモリシステムの動作検証	吉川 信行, 徳田 勝利, 富田 卓哉	93
RO35041	SFQ/CMOSハイブリッド用CMOSクライオデバイスモデルの検証	吉川 信行, 徳田 勝利, 富田 卓哉	94
RO35041	8bit×8 SRAM	酒造 正樹, 星野 一憲, 下山 勲	95
RO35042	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 道江 寛之	108
RO35042	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 道江 寛之	109
RO35042	SFQ/CMOSハイブリッドメモリシステムの動作検証	吉川 信行, 徳田 勝利, 富田 卓哉	109
RO35042	SFQ/CMOSハイブリッド用CMOSクライオデバイスモデルの検証	吉川 信行, 徳田 勝利, 富田 卓哉	109
RO35043	SFQ/CMOSハイブリッドΣΔADコンバータ用デシメーションフィルタの試作	吉川 信行, 道江 寛之	121
RO35043	SFQ/CMOSハイブリッドメモリシステムの動作検証	吉川 信行, 徳田 勝利, 富田 卓哉	122

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
HIT18033	各種加算機能をもたせた演算回路の設計	米本 友紀, 青木 勇樹, 清水 直樹, 藤田 実	144
HIT18041	診断容易化のための改良Interval-based logic BIST回路の設計	四之宮 傑, 三浦 克介, 中前 幸治, 藤岡 弘	130
HIT18041	MIMD連想プロセッサの連想処理・算術切り替え型ALU、短命令長命令セットのためのデコーダ	早川 仁	130
MOT041	高信頼順序回路、10進デジタル回路、及びデジタル要素回路の設計	波多野 裕, 山本 毅, 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢	58
MOT041	高信頼順序回路、10進デジタル回路、及びデジタル要素回路の設計	波多野 裕, 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢, 山本 毅	59
MOT041	高信頼順序回路、10進デジタル回路、及びデジタル要素回路の設計	波多野 裕, 村松 一矢, 水口 隆太郎, 小林 潤士, 里中 勝己, 磯部 圭吾, 山本 毅	59
MOT041	ストップウォッチ回路	尾保手 茂樹	65
MOT041	冗長化設計Wallace Tree型乗算器の試作1	佐々木 陽一, 難波 一輝, 伊藤 秀男	66
MOT041	冗長化設計Wallace Tree型乗算器の試作2	佐々木 陽一, 難波 一輝, 伊藤 秀男	66
RO35034	LSI設計コンテスト	早瀬 佳, 村上 知倫, 北川 章夫	74
RO35034	LSI設計コンテスト	高木 宏章, 西澤 滋人, 花岡 栄次郎, 後藤 喜久, 北川 章夫	74
RO35034	LSI設計コンテスト	竹口 雄治, 中野 誠, 松末 真也, 北川 章夫	74
RO35034	乗算・除算・平方根の機能を融合した動的再構成可能ALU	宮本 直人, 小谷 光司, 大見 忠弘	78
RO35034	可変段数パイプラインを用いた乗算器	後藤 源助, 多田 十兵衛	83
RO35034	LUTカスケードLSI	中村 和之, 田中 克征, 吉住 謙一, 甲斐 祐介, 笹尾 勤, 井口 幸洋	85

RO35041	初歩的なデコーダ回路の製作	益田 幸雄, 高松 脩哉, 植田 誠司, 田中 武	86
RO35041	電流型パルス幅復調回路の試作	亀田 成司, 小田原 正起, 岩田 穆	89
RO35041	Multi Function Gateの試作	永沼 和文, 石塚 拓人, 戸内 真之, 浅見 誠治	95
RO35041	演算増幅器と光通信用信号処理回路	田村 善朗, 熊谷 博子, 松本 佳宣	97
RO35041	ゲートレベルバイブラインSDFとCMOSロジックおよびCMOSバスゲートロジックによるSAD演算回路	松永 翔雲, 西ノ原 大介, 羽生 貴弘	100
RO35041	64bit楕円曲線暗号LSIの試作	小林 伸行, 久門 亨	101
RO35042	スイッチトレジスタ回路網による画像処理チップの開発	亀田 成司, 岩田 穆	106
RO35042	Multiple-Valued Field-Programmable VLSI	Haque Mohammad Munirul, 長谷川 智亮, 亀山 充隆	106
RO35042	エッジおよびその移動方向検出回路	井上 恵介, 八木 哲也	114
RO35042	多値差動ロジックに基づく低ノイズ16ビット乗算器	j 望月 明, 羽生 貴弘	115
RO35043	2値・多値融合論理に基づく32ビット並列乗算器	木暮 俊光, 出川 勝彦, 青木 孝文, 樋口 龍雄	119
RO35043	冗長2進加算器を用いた並列乗算器	若松 泰平, 本間 尚文, 木暮 俊光, 青木 孝文, 樋口 龍雄	119
RO35043	高速乗算器の試作	田中 佳明, 谷脇 史高, 矢野 政顕, 橋 昌良	127

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
HIT18033	Serial ATAの送受信部、FLASH ADコンバータ	横山 晋, 野沢 舞, 松本 隆, 佐々木 昌浩	139
HIT18033	電流モード論理素子を用いたオンチップ高速信号伝送回路TEG	新名 亮規	139
HIT18041	電流モード論理素子を用いたオンチップ高速信号伝送TEG	新名 亮規	131
HIT18041	3.1~5GHz帯域低電力ウルトラワイドバンドのトランシーバ回路ほか	石田 光一, Tamtrakarn Atit, 鬼塚 浩平, 桜井 貴康	131
HIT18041	Ultra Wideband送受信器	寺田 崇秀	133
HIT18041	Ultra Wideband用非同期型送受信器	善積 真吾	133
HIT18041	CMOS 高速信号伝送回路及び広帯域RFアナログ回路の試作	菅原 弘雄, 五味 振一郎, 杉田 英之, 伊藤 浩之, 岡田 健一, 益 一哉	134
MOT032	E級増幅器	末次 正	52
MOT041	Ultra Wideband用オンチップアンテナ	原田 典浩	65
MT25035	インダクタ・カップリングによるチップ間無線通信用チップ	有蘭 大介, 佐々木 守, 岩田 穆	147
MT25035	広帯域LNA	佐々木 守, 汐崎 充	147
MT25035	高速シリアルCDMA通信用チップ	汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆	147
MT25035	2周波対応GPS受信機フロントエンドチップ	春岡 正起, 洞木 吉博, 松岡 俊匡, 谷口 研二	148
MT25035	バイアス・オフセットを用いたLinear-in-dB可変利得増幅回路	車 承佑, 井田 司, 松岡 俊匡, 谷口 研二	148
RO35034	ラインドライバ、D級アンプ	大島 宗之, 高須 甲斐, 松本 隆, 佐々木 昌浩	71
RO35034	スマートRFIDタグ用ASK変調回路	井上 高宏, 山川 俊貴	72
RO35034	特定小電力無線受信ICの要素回路試作	有賀 健太, 伊藤 久浩, 中野 伸吾, 橋 秀明, 北川 章夫	73
RO35034	バッテリーレス無線送受信回路とアンテナ評価用TEG	山田 智浩, 岡田 健一, 益 一哉	82
RO35041	特定小電力無線用PLL, VCO, スパイラルインダクタTEGの設計	有賀 健太, 伊藤 久浩, 秋田 純一, 北川 章夫	91
RO35041	特定小電力無線用RFフロントエンド, バラクタTEGの設計	有賀 健太, 伊藤 久浩, 秋田 純一, 北川 章夫	91
RO35041	特定小電力無線受信IC	有賀 健太, 伊藤 久浩, 中野 伸吾, 早瀬 圭, 秋田 純一, 北川 章夫	91
RO35041	オンチップ伝送線路およびバッテリーレス無線送受信回路用TEG	山田 智浩, 伊藤 浩之, 岡田 健一, 益 一哉	98
RO35041	超多重RFID向けトランスポンダ実験チップ	福水 洋平, 大野 修治, 永田 真, 瀧 和男	99
RO35042	チップ間ワイヤレス電源送受信回路の設計	鬼塚 浩平, 桜井 貴康	107
RO35042	光素子駆動回路	宮原 晋平, 松本 佳宣	112
RO35043	光通信用信号処理回路	田村 善朗, 赤松 大生, 松本 佳宣	125
RO35043	実数ZCZ有限長系列セットを用いたM-ary/DS-SS通信モデムのベースバンド処理部の試作	松元 隆博, 植松 良介, 棚田 嘉博	128

2.2. 試作結果

平成15年度 第2回 オンセミコンダクタCMOS1.2 μ m チップ試作 (MOT032)

NOR論理ゲート速度性能評価回路とマイクロプロセッサの設計

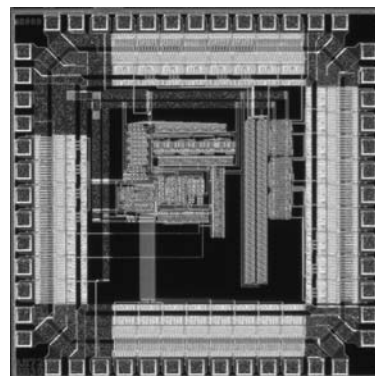
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 渋谷 耕児, 縣 伸史, 北村 義徳, 永野 肇, 村松 透, 望月 秀幸

概要：基本NOR論理ゲートの速度性能を詳細に実測評価するため、フルカスタム設計により、2種類の50段NORゲート・チェーンを設計した。伝搬遅延時間の立上りと立下りを分離して評価できる回路構成とした。更に、フルカスタム方式により4ビット・マイクロプロセッサを設計した。以前試作して機能動作を実測により確認しているゲートアレイ方式4ビット・マイクロプロセッサ（ゲート使用効率61%）の入出力回路を除く占有面積と比較して、約42%に縮小できた。7月15日入荷の試作チップを直ちに測定して、2種類のNORチェーンの遅延時間の違いを分離することに成功した。また、フルカスタム方式4ビット・マイクロプロセッサを実測して機能動作を確認することができた。最高動作周波数は測定器限界まで動作した。

参考文献：[1] 波多野, 渋谷, 縣, 北村, 永野, 村松, 望月, "NAND論理ゲート速度性能評価回路とマイクロプロセッサの設計", p. 51, 2004年VDEC年報(2004)。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.3mm角 チップ種別：マイクロプロセッサ



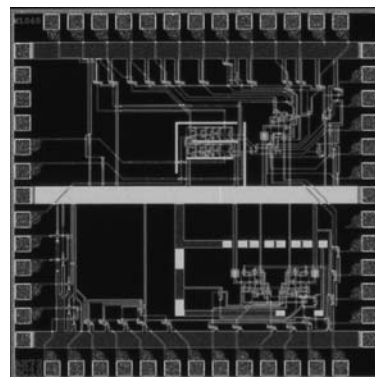
FG-MOSFETを用いた回路および2相クロック発生回路

熊本大学工学部 井上 高宏

熊本大学大学院自然科学研究科 市原 栄蔵

概要：今回試作したチップは、FG-MOSFETを用いたリフレッシュ形V_{th}電子設定可能な回路と、ソース接地形スイッチト複合MOSFET回路、および、重なり合わない2相のクロックを発生する回路で構成されている。また、動作確認用に各要素回路のTEGも試作した。リフレッシュ形V_{th}電子設定可能な回路は、リフレッシュモードとオペレーションモード2つのモードで動作する。リフレッシュモードでは、参照電流源および参照電圧源により、FG-MOSFETのみかけのしきい電圧を任意に設定することができる。オペレーションモードでは、リフレッシュモードで設定したみかけのしきい電圧をしきい電圧とするMOSFETとして動作するような構造となっている。ソース接地形スイッチト複合MOSFET回路は、リフレッシュ形V_{th}電子設定可能な回路を並列に接続した構造となっている。これにより、オペレーションモードのデューティサイクルがほぼ100%のソース接地複合MOSFETとして動作を可能にする。テストによる測定はまだ行っていない。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

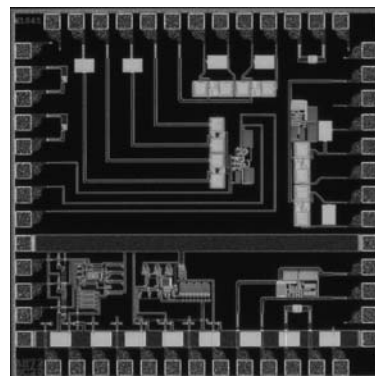


スマートRFIDタグ用電源回路

熊本大学工学部 井上 高宏, 江藤 慎一郎, 竹中 智哉

概要：今回試作したチップは、スマートRFIDタグ用電源回路であり、電源回路を構成する要素回路は、1段低リプル・ダイオードチャージポンプ型AC-DC変換回路、オペアンプ、それにレギュレータ回路となっている。低リプル・ダイオードチャージポンプ型AC-DC変換回路はwellダイオード、poly-polyキャパシタで構成されている。レギュレータ回路は、シャントレギュレータ回路、シリーズレギュレータ回路の2種類を試作した。また、シリーズレギュレータ回路においては、出力トランジスタの面積が大きいため、外付けにした。レギュレータ回路の参照電圧は回路内部で発生させている。レギュレータ回路内部に使用したオペアンプは、フルスイングOp-Amp、フォールディッドカスコードOTAの2種類となっている。さらに、学部生が試作したCMOSオペアンプも搭載している。また、動作確認用に各要素回路のTEGも試作し、テストによる測定を行なった。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



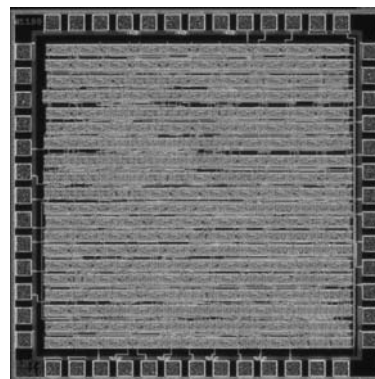
完全埋め込み型 FES 用カスタム集積回路

埼玉大学工学部 中溝 正彦, 高橋 幸郎

概要: 事故等により脊髄や神経に損傷を受けて四肢麻痺などの運動機能を喪失した患者に対して, 機能的電気刺激 (FES) を用いることにより運動機能の再建が可能となる. 刺激電極からの感染を避け, 刺激の選択性の向上のためには, 刺激電極と刺激装置共に完全に体内に埋め込むことが望ましい. このため刺激用電力と刺激情報を電磁結合により体内に転送し, これを体内で整流, 復調するための電子回路を有する埋め込み装置を開発した. 装置の仕様は, 刺激制御用情報の伝送に 123kHz のシリアルデータを 1.23MHz のバースト波の有無による ASK 方式を, また電力伝送には 123kHz を用い, 刺激電極数は最大 32 チャンネルとした. この装置には低消費電力化と小型化が必要であることから, カスタム集積回路化が有効である. 試作したチップはテストにより動作が確認された.

参考文献: [1] 高橋, 星宮, 松木, 半田, "体外電力供給方式による埋め込み型機能的電気刺激装置", 医用電子と生体工学, Vol. 37, No. 1, 1999

設計期間: 9 人月以上, 10 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



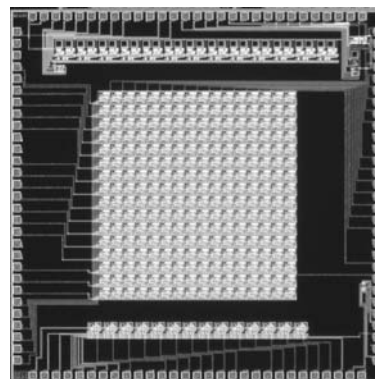
下等動物の視覚系に学んだ二次元動き検出チップの試作

豊橋技術科学大学大学院工学研究科 西尾 公裕, 米津 宏雄

概要: これまでに, 背景を含む画像がチップ上に投影されても, ターゲットの動きのみを検出できるように, 下等動物の視覚系に学んでターゲットの動き情報のみを出力する二次元ネットワークを考案してきた [1]. 現在, このネットワークをよりシンプルに構築するために, その初段である二次元動き検出ネットワークの単純化を試みている. 下等動物の脳は, 非常にシンプルな構造にも関わらず, 実時間での動き検出を可能にしている. 特に, カエルの視覚系では, 網膜で生成されたエッジ情報から, 視蓋および視床において, 移動する物体の二次元の移動方向および速度を検出している. その情報処理に学んで考案したネットワークは, 比較的シンプルなアナログ基本回路で構成された. 今回の試作では, 単位回路を二次元に配列したネットワークを設計した. また, チップ中には, ネットワークを構成する基本回路の TEG も含めた. 試作チップの測定では, 各基本回路の動作を検証するとともに, 二次元ネットワークの特性を評価する.

参考文献: K. Nishio, H. Yonezu, A. B. Kariyawasam, Y. Yoshikawa, S. Sawa and Y. Furukawa, "Analog Integrated Circuit for Motion Detection against Moving Background Based on Insect Visual Systems", Optical Review, vol. 11, pp. 24-33, 2004.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 4.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ

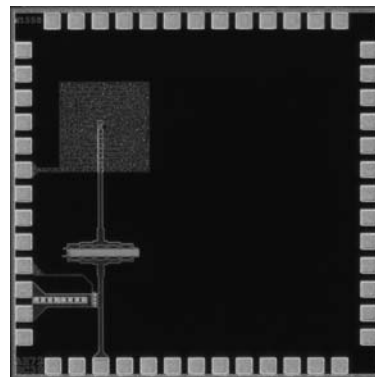


E 級増幅器

福岡大学工学部 末次 正

概要: シングルエンド型の動作周波数 1GHz の E 級増幅器を設計した. インダクタはメタル 2 層を用いてスパイラルインダクタを作成した. キャパシタンスとしてポリ 2 層を用いた. スイッチは NMOS トランジスタのみを用いて 1 個作成した. スイッチ駆動回路は外付けとして組み込んでいないので, ゲートはメタル線で直接パッドに接続されている. E 級増幅器のシャントキャパシタンスはトランジスタの drain-source 間キャパシタンスをそのまま使うこととして, E 級増幅器のシャントキャパシタンスの設計値と一致するようにトランジスタの大きさを設計した. インダクタおよびキャパシタ内, それらを接続するメタルラインの幅は, 最大の電流量から線幅を決めてそれ以上になるように設計した. 一つのチップ内に 2 つ同じ増幅器を組み込んである.

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE **トランジスタ数:** 10 未満 **試作ラン:** 2.3mm 角 **チップ種別:** 通信 (RF 回路, ATM など)

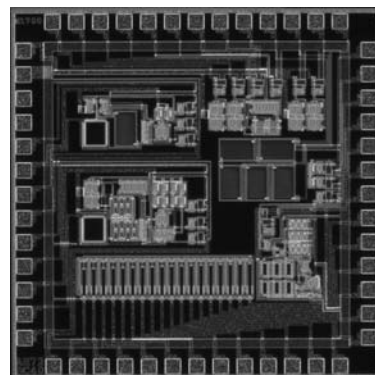


MOS 型定電流回路の設計・試作 (3)

岡山県立大学大学院情報系工学研究科 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：アナログ・デジタル回路の混在した CMOSLSI 技術の向上に伴い、アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した電源回路が極めて重要となる。それは安定な定電流回路が電源電圧と周囲温度に対して安定に動作するアナログ回路の実現のために不可欠だからである。特に低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積の増大のため、製造コストが上昇してしまう。これらの事から、本設計では高抵抗を用いずに安定な低バイアス電流を発生する電流源の設計および検討を行った。今回の設計における当初の仕様は、所定の電源電圧および温度で基準値からの変動が±1%以内の定電流を得ることを目標としている。本チップは、前年度設計を行った「MOS 型定電流回路の設計・試作 (1)」と「MOS 型定電流回路の設計・試作 (2)」で用いているゲート保護ダイオードの改良と共に、両チップを1チップ化したものである。また、チップには回路構成を簡略化したオペアンプを追加した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula
DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：TEG (特性評価回路など)



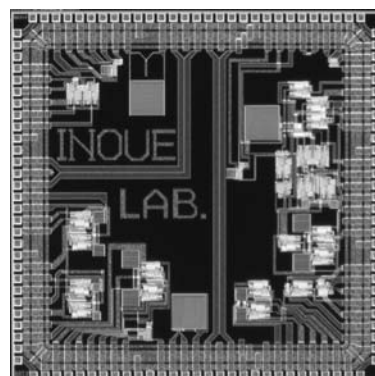
MOS 構成に適したアナログ形 PLL の試作 (1)

秋田大学工学資源学部 宮前 亨, 吾妻 俊征, 伊藤 文人, 井上 浩

概要：近年、デジタル通信の発展と LSI の高性能化の要求に伴い、デジタル形の PLL 回路を利用した機能集積回路が増えてきた。アナログ形 PLL の利点を生かしながらも大幅な回路の単純化が可能となる新しい回路構成の考案が必要である。本試作研究では、CMOS アナログ回路を応用し、分周器やチャージポンプ等を用いないアナログ形 PLL を提案し、その動作を検証することを目的に IC 設計・試作した [1]。試作した IC は、アナログ形 PLL の全体回路を構成する個別回路ブロック及びそのテスト回路と、個別ブロックに含まれる基本回路、ならびに回路内に用いられる諸抵抗及び諸容量の特性評価回路で構成している。本回路は1チップ化がし易く、更に回路規模縮小が可能と考えられる。

参考文献：[1] 川元, 伊藤, 井上, "アナログ PLL LSI に用いる CMOS プッシュプル回路の最適化," 2003 年電子情報通信学会総合全国大会, エレクトロニクス, C-12-39.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：4.8mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



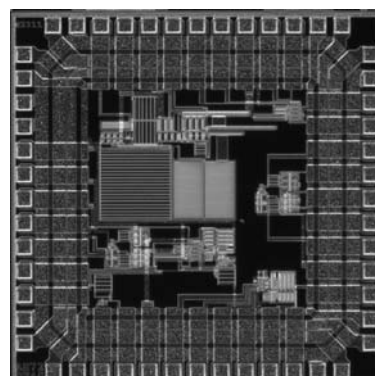
リング発振器型電圧制御発振器の開発試作

秋田大学工学資源学部 宮前 亨, 井上 浩

概要：近年の通信機器において、半導体集積回路技術の進歩により小型化・高性能化されてきている。携帯電話、PHS のような小型通信端末には、LC 発振回路が多く用いられており、共振器全体の Q 値を高く確保するためにディスクリート素子を利用して構成されている。通信機器のさらなる小型化および新たな応用の開発を行うためには、発振器を IC 内に組み込むことが望まれる [1]。本試作では、IC 内に実現される発振器として、回路の単純性と適合性からリング発振器を応用した PLL 用の電圧制御発振器 (VCO) を提案し、その動作を検証することを目的に IC 設計・試作した。VCO は、回路構成を新規に提案することにより、制御電圧に対して線形で広範囲に発振周波数が可変すること、前回の試作時の性能を改善できることを確認した。

参考文献：[1] 宮前亨, 井上浩, "リング発振器を応用した新しい電圧制御発振器の設計とその評価," 信学技報 EMD2004-6, May 2004

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

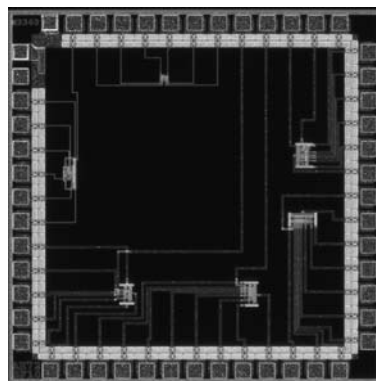


ニューロンMOSを利用したアナログ・デジタル基本回路の試作

佐賀大学大学院工学系研究科 石川 洋平, 塚本 尚平, 舩岡 貴志
佐賀大学理工学部 深井 澄夫

概要：本研究室では、ニューロンMOSトランジスタを用いたアナログ・デジタル回路設計の研究を行っている。アナログでは、本研究室において現在研究中である「チャンネル長変調効果の影響を低減するニューロンMOSカレントミラー回路」の試作を行っている。また、ニューロンMOSカレントミラー回路内部に用いる差動増幅回路の試作も行っている。デジタルでは、ニューロンMOSの最大の特徴である線形荷重と特性および可変閾値特性を活かした応用として2入力・3入力・4入力可変論理回路の試作を行っている。可変論理回路とは外部からの制御信号により同一回路構成で多くの論理関数を実現することができる柔軟性の高い回路である。また、従来提案されているニューロンMOSの設計手法であるFPD (Floating-Gate Potential Diagram) を利用し、ニューロンMOSコンパレータの試作も行っている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

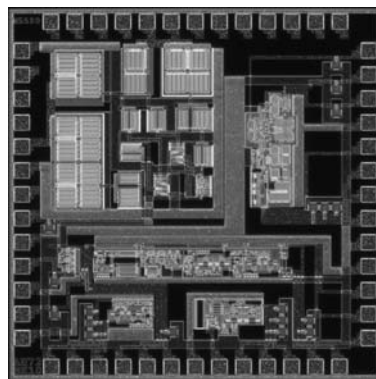


スイッチング電源制御用LSIの設計

富山県立大学大学院工学研究科 大場 博之, 松田 敏弘, 岩田 栄之

概要：スイッチング電源の小型化, 高効率化のために、動作が安定で、汎用性のある制御用LSIが必要とされる。今回の試作では、制御用LSI内のブロックのうち、発振回路, ラッチ回路, 出力回路, 周波数低減回路, 誤差増幅器, 比較器を設計した。発振回路はクロックとして用いるため、周波数の安定性が必要となる。ラッチ回路は電源のスイッチングの割合を出力するため、高周波でもクロックに対して安定に動作する必要がある。周波数低減回路は出力電圧が低下してきた場合、電流値を低下させる回路である。出力電圧や電流に影響を与えるため、誤差増幅器の利得は高く保つ必要がある。また、高周波のスイッチング周波数に対応するため、高速応答が必要とされる。比較器はスイッチングデューティに影響を与え、低電圧でも動作する必要がある。今回の試作では特に、発振回路を高周波化し、動作の安定化を行うことに重点を置き、設計を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナデジ混載

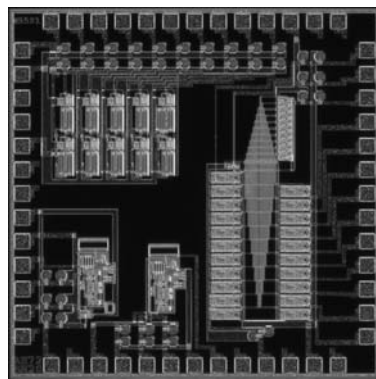


小型センサ用CMOS A/Dコンバータの設計

富山県立大学大学院工学研究科 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、この出力を増幅, 補正する必要がある。そこで、小型半導体加速度センサのオフセット電圧をデジタル値で調整する方法を検討している。そのために、センサの出力をいったんデジタル値に変換し、補正を行った後、アナログ値に戻すために、A/Dコンバータが必要となる。今回は、比較的単純な構造で、ある程度の精度が得られる逐次比較方式を採用した。センサと増幅回路のオフセット電圧を十分に扱うためには10bit程度の分解能が必要である。回路はSample & Hold回路, Comparator, 逐次比較論理回路, D/Aコンバータから構成される。D/Aコンバータは前回試作したR-2R ladder型D/Aコンバータを用いた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

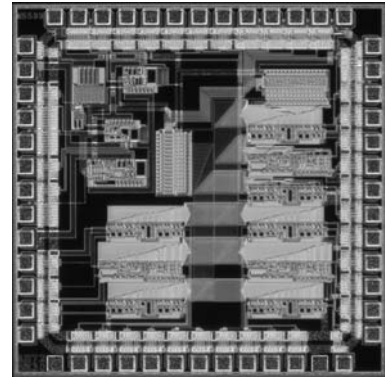


トランジスタ特性測定用回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之

概要：MOSFETおよびオペアンプの特性を測定するためにトランジスタ特性測定用回路、オペアンプを設計し、本チップに搭載した。設計した回路は、9つのブロック（1ブロックに対してトランジスタ最大31個）からなるトランジスタ特性測定用回路、5ビットデコーダ（Nch用、Pch用）、基本Nch入力オペアンプ、基本Pch入力オペアンプ、高PSRR Nch入力オペアンプ、バイアス回路である。本トランジスタ特性測定用回路では、トランジスタの数が多いためトランジスタのドレインソースを共通化し、デコーダでゲート信号を切り替えることで測定するトランジスタを選択するという方式を取った。トランジスタ特性測定では、主に ΔV_{th} 特性について調査する。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.3mm角 チップ種別：TEG（特性評価回路など）

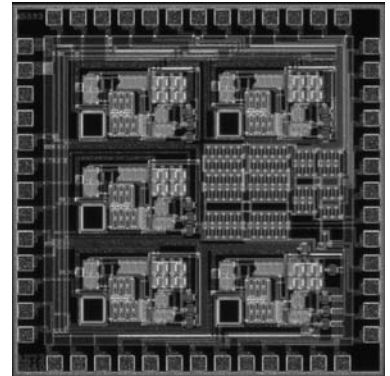


小型半導体加速度センサ用LSIの設計

富山県立大学大学院工学研究科 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、外部からの雑音に影響されやすくなる。このため、微小な出力をセンサ近傍で増幅し、外部からの影響を受けにくくする必要がある。本チップでは小型半導体加速度センサの出力信号増幅回路を構成するLSIの設計を行った。複数のオペアンプと抵抗によって増幅器回路を構成するために同一の回路構成のオペアンプ5つと、それぞれ大きさの違うN-well抵抗を配置している。4つのオペアンプは組み合わせて使用するために、VDDとGND、VSS、C.C.は共通となっている。前回、GNDとVSSを別パッドで出していたが今回はGNDとVSSを内部で接続した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：2.3mm角 チップ種別：マイクロプロセッサ

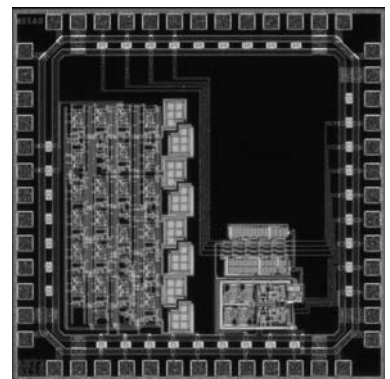


通信システム用回路ブロックの試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：通信システムで必要となる電圧制御発振回路、ミキサ、フィルタの試作を行った。電圧制御発振回路として4段の差動ダイレイセルを縦続接続したリングオシレータを用い、発振周波数が76MHzから90MHzで可変でき、振幅が約1V_{p-p}となるように設計している。また、ミキサはGilbert型の乗算回路とRCポリフェーズフィルタを用いて構成している。この構成により変換利得約10dBで、さらに80kHzから440kHzの帯域でイメージを50dB以上減衰できるように工夫している。フィルタはバターワース型の8次非対称帯域通過特性となるように設計している。WangのOTAと呼ばれる回路と容量により積分器を構成し、さらに積分器を複数組み合わせることで2次区間回路を実現している。この2次区間回路の縦続接続によりフィルタ全体を構成している。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：2.3mm角 チップ種別：アナログ（PLL、A-D/DC-DCコンバータなど）

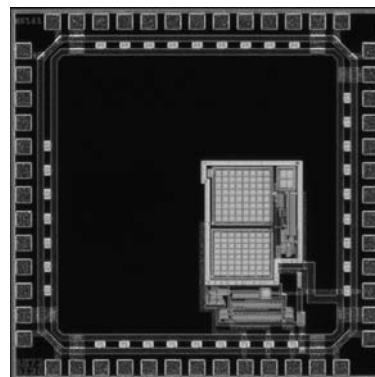


低雑音増幅回路の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM 放送受信機の集積化を目指して、受信機に必要な低雑音増幅回路の試作を行った。中心周波数が約80MHzであるため、オンチップインダクタを使用せずに低雑音増幅回路を構成している。基本的にはゲート接地増幅回路の入力抵抗とゲート・ソース間の容量を利用してパワーマッチングを行っている。まず、ゲート・ソース間の容量値をパワーマッチングの条件から定め、他の素子値を雑音係数を最小化するという条件で定めている。さらに、増幅率を上げるためにゲート接地増幅回路の出力に差動増幅回路を付加している。また、この差動増幅回路を用いて不平衡-平衡信号変換も行っている。シミュレーションでは、利得が20dB、雑音係数3.1dB、消費電力12.6mWという結果を得ている。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

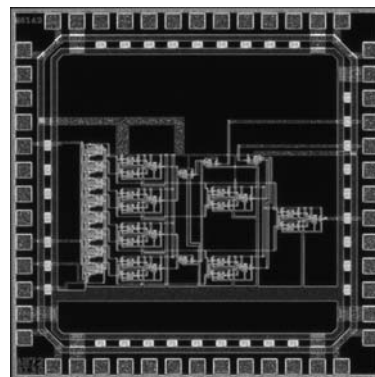


並列型 A-D 変換回路の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：アナログ信号をデジタル信号に変換するために不可欠な A-D 変換回路の試作を行った。A-D 変換回路の設計に精通することと、将来的な課題である高速信号処理の実現を考慮し、動作解析の容易な3ビット並列型 A-D 変換回路を試作している。また、並列型 A-D 変換回路の構成としては、1個の参照電圧を抵抗分割することにより各比較器の参照電圧を得るといったシンプルな構成を採用している。比較器には、差動増幅回路の入出力をクロスカップルして構成したラッチ回路を用いている。この並列型 A-D 変換回路の出力に、排他的論理和を基本として構成したエンコーダを接続し、サーモメータコードからバイナリーコードへ変換している。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

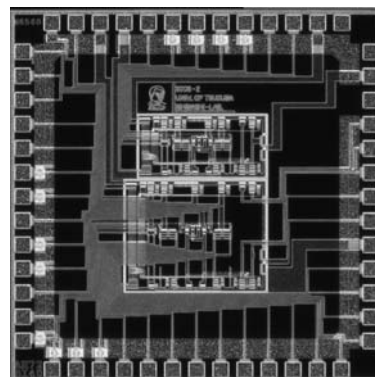


CMOS トランスコンダクタ

筑波大学システム情報工学研究科 庄野 和宏

概要：当研究室において、アナログ CMOS 集積回路の研究を立ち上げている。昨年度は、様々なアスペクト比を持つトランジスタ、ダイオード、抵抗、キャパシタを実装し、静特性、素子値、温度特性等の基本的な電気特性を測定した。これを踏まえ、本年度では、CMOS アナログ線形化トランスコンダクタ（電圧-電流変換器）を構成した。本試作では、トランスコンダクタとして、よく知られている Wang のトランスコンダクタを実装した。本チップには、電圧シフト回路やテール電流源回路も搭載している。また、各部の電流や電圧が測定できるように、1. 目的とする回路、2. 目的とする回路の電圧や電流が測定できるように様々な部分を切り離した回路、の二つを実装した。動作電源電圧は5Vである。チップの評価を通して、移動度減衰による線形性の悪化を確認した。このことは、PSpiceシミュレーションの結果とよく一致する。この結果を、今後の研究のための基礎データとしたい。

設計期間：0.1人月以上、0.5人月未満 設計ツール：PSpice, なし, タナーリサーチ社 L-Edit V10.11, なし トランジスタ数：10以上、100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

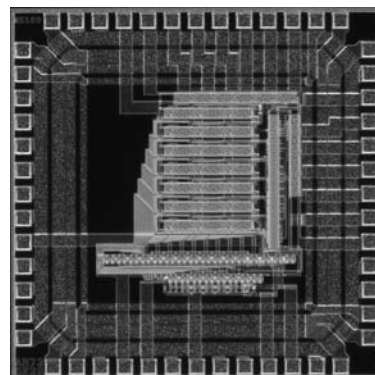


10bitDAC

群馬大学工学部 小林 春夫

概要：DACの高速性と高い分解能に対する要求は毎年増え続けている。XDSLの様な一般的なものを使用しているブロードバンドモデムのような有線通信システムやモバイルセルラーネットワークのような無線通信システムが市場で急成長していることにより主として駆動されています。そこでの要求は10から14ビットのオーダーのデータワード分解能で何十、何百MS/sのスピードでデータを操作できるDACを必要としています。そこで、携帯電話の送信回路・計測器の信号発生器等に用いる高速・高精度CMOS DA変換器を実現することを目的に試作を行いました。概要として10bit CMOS DA変換器は上位4bitをセグメント型にし、下位6bitをバイナリ型、12bit CMOS DA変換器は上位6bitをセグメント型にし、下位6bitをバイナリ型にした。それによって、低グリッチ・少量ハードウェアを実現しました。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Encounter，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist トランジスタ数：1,000以上，10,000未満 試作ラン：2.3mm角 チップ種別：アナデジ混載

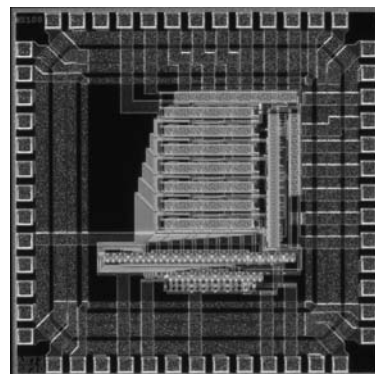


12bitDAC

群馬大学工学部 小林 春夫

概要：DACの高速性と高い分解能に対する要求は毎年増え続けている。XDSLの様な一般的なものを使用しているブロードバンドモデムのような有線通信システムやモバイルセルラーネットワークのような無線通信システムが市場で急成長していることにより主として駆動されています。そこでの要求は10から14ビットのオーダーのデータワード分解能で何十、何百MS/sのスピードでデータを操作できるDACを必要としています。そこで、携帯電話の送信回路・計測器の信号発生器等に用いる高速・高精度CMOS DA変換器を実現することを目的に試作を行いました。概要として10bit CMOS DA変換器は上位4bitをセグメント型にし、下位6bitをバイナリ型、12bit CMOS DA変換器は上位6bitをセグメント型にし、下位6bitをバイナリ型にした。それによって、低グリッチ・少量ハードウェアを実現しました。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Encounter，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist トランジスタ数：1,000以上，10,000未満 試作ラン：4.8mm角 チップ種別：アナデジ混載

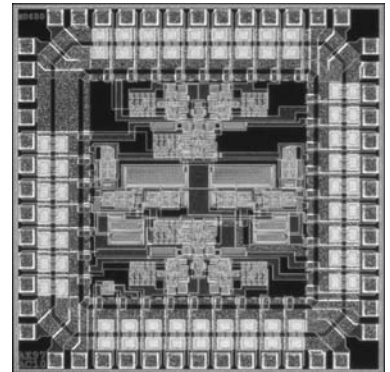


スイッチドキャパシタ・ノッチフィルタの設計

静岡大学電子工学研究所 高橋 誠, 小川 覚美, 渡辺 健蔵

概要：地震が発生する前兆の現象として地殻変動に伴う電波放射がみられる。電波放射は、地球規模のノイズレベルが低い極低周波（ELF）帯においての観測が適しているとされ研究が行われている。しかしその電波の帯域付近は50/60Hzの商用電源と、その高調波ノイズの影響を受ける。そこでそれらのノイズを除去するためのQの高い急峻な特性を持つノッチフィルタが必要である。RCアクティブフィルタは素子の温度特性が直接フィルタ特性に影響を与えるため、スイッチドキャパシタでノッチフィルタが設計された。ここでは全差動型のスイッチドキャパシタ・ノッチフィルタが試作されている。回路のアナログスイッチは外部回路から与えられる重なり合わない2相クロックで制御される。試作回路の特性を測定し、HSPICEによるシミュレーション結果と比較した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva
試作ラン：2.3mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



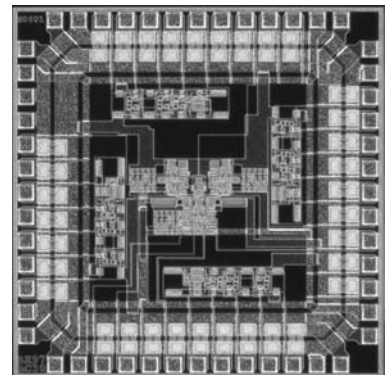
トランジスタ数：100以上, 1,000未

Rail-to-Rail CMOSカレント・コンペアの設計

静岡大学電子工学研究所 ホアン チュン スン, 小川 覚美, 渡辺 健蔵

概要：第二世代カレント・コンペア（CCII）は電流モード信号処理の基本構成素子である。低電源電圧でも広いダイナミックレンジと広帯域動作が期待できる電流モード信号処理の特長をいかして広帯域 Rail-to-Rail カレント・コンペアを設計した。カレント・コンペアは低消費電力化のためにAB級で動作するように構成されており、また、広帯域で安定な動作が得られるように位相補償回路が加えられている。試作回路の特性評価を行い、HSPICEによるシミュレーション結果と比較した。また、CCIIを用いた電流モードフィルタを試作した。抵抗とキャパシタは外付けとした。単一CCIIを用いたフィルタ構成、及び、状態変数フィルタについて特性を測定した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva
トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



高信頼順序回路, 10進デジタル回路, 及びデジタル要素回路の設計

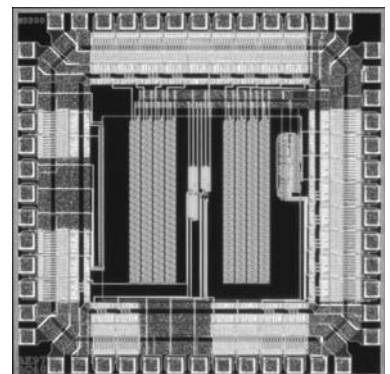
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 山本 毅, 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢

概要：高信頼順序論理回路群, 10進表示デジタル回路群, 及びデジタル要素回路群等を3チップに分けて設計した。高信頼順序回路として冗長系ラッチ回路等を設計した。インターフェースを考慮したデジタル回路として, 10進加算回路, 全加算器+7セグメントデコーダ回路, 10進デコーダ回路を設計した。デジタル要素回路として, コンパレータをフルカスタム方式, ゲートアレイ方式, ニューロンMOSで設計した。また, ニューロンMOS全加算器, 乗算器を設計した。その他, 4種類の50段NANDチェーン, 4種類の50段NORチェーン, 光誘起電流検出回路, 縦積み回路の性能検討回路等を設計した。1月7日に入荷した試作チップを直ちに実測して, 冗長ラッチ, 7セグ回路, コンパレータ, デコーダ, 縦積み回路, 8種類のNANDとNORチェーンの動作を確認した。

参考文献：[1] 波多野, 渋谷, 縣, 北村, 永野, 村松, 望月, ” NAND 論理ゲート速度性能評価回路とマイクロプロセッサの設計”, p. 51, 2004年VDEC年報(2004)。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
トランジスタ数：1,000以上, 10,000未満 試作ラン：2.3mm角 チップ種別：演算回路（乗算器, 除算器など）



高信頼順序回路, 10進デジタル回路, 及びデジタル要素回路の設計

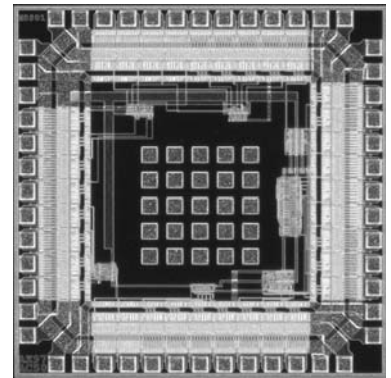
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢, 山本 毅

概要：高信頼順序論理回路群, 10進表示デジタル回路群, 及びデジタル要素回路群等を3チップに分けて設計した。高信頼順序回路として冗長系ラッチ回路等を設計した。インターフェースを考慮したデジタル回路として, 10進加算回路, 全加算器+7セグメントデコーダ回路, 10進デコーダ回路を設計した。デジタル要素回路として, コンパレータをフルカスタム方式, ゲートアレイ方式, ニューロンMOSで設計した。また, ニューロンMOS全加算器, 乗算器を設計した。その他, 4種類の50段NANDチェーン, 4種類の50段NORチェーン, 光誘起電流検出回路, 縦積み回路の性能検討回路等を設計した。1月7日に入荷した試作チップを直ちに実測して, 冗長ラッチ, 7セグ回路, コンパレータ, デコーダ, 縦積み回路, 8種類のNANDとNORチェーンの動作を確認した。

参考文献：[1] 波多野, 渋谷, 縣, 北村, 永野, 村松, 望月, ” NAND 論理ゲート速度性能評価回路とマイクロプロセッサの設計”, p. 51, 2004年VDEC年報(2004)。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社Star-HSPICE, Cadence社Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.3mm角 チップ種別：演算回路(乗算器, 除算器など)



高信頼順序回路, 10進デジタル回路, 及びデジタル要素回路の設計

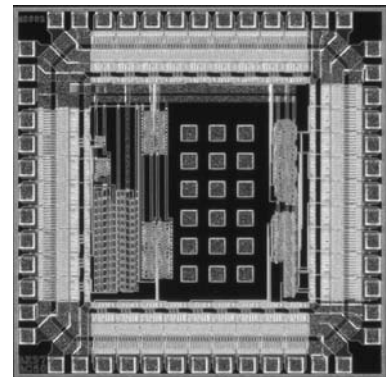
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 村松 一矢, 水口 隆太郎, 小林 潤士, 里中 勝己, 磯部 圭吾, 山本 毅

概要：高信頼順序論理回路群, 10進表示デジタル回路群, 及びデジタル要素回路群等を3チップに分けて設計した。高信頼順序回路として冗長系ラッチ回路等を設計した。インターフェースを考慮したデジタル回路として, 10進加算回路, 全加算器+7セグメントデコーダ回路, 10進デコーダ回路を設計した。デジタル要素回路として, コンパレータをフルカスタム方式, ゲートアレイ方式, ニューロンMOSで設計した。また, ニューロンMOS全加算器, 乗算器を設計した。その他, 4種類の50段NANDチェーン, 4種類の50段NORチェーン, 光誘起電流検出回路, 縦積み回路の性能検討回路等を設計した。1月7日に入荷した試作チップを直ちに実測して, 冗長ラッチ, 7セグ回路, コンパレータ, デコーダ, 縦積み回路, 8種類のNANDとNORチェーンの動作を確認した。

参考文献：[1] 波多野, 渋谷, 縣, 北村, 永野, 村松, 望月, ” NAND 論理ゲート速度性能評価回路とマイクロプロセッサの設計”, p. 51, 2004年VDEC年報(2004)。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社Star-HSPICE, Cadence社Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.3mm角 チップ種別：演算回路(乗算器, 除算器など)



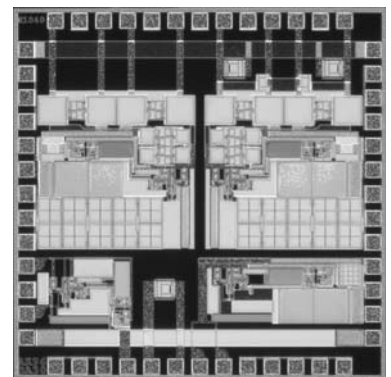
スマートRFIDタグ用集積化定電圧電源回路

熊本大学工学部 井上 高宏, 茂谷 俊昭

熊本大学大学院自然科学研究科 江藤 慎一郎

概要：今回試作したチップは, 3VDC出力のスマートRFIDタグ用集積化定電圧電源回路であり, 交流入力から直流出力を得るための2段低リプルダイオードチャージポンプ型AC-DC変換回路, 出力電圧を定電圧化するためのシリアルレギュレータ回路で構成されている。2段低リプル・ダイオードチャージポンプ型AC-DC変換回路はダイオードとキャパシタから構成されており, ダイオードとしてダイオード接続したp型MOSFETを, キャパシタにはpoly-polyキャパシタを用いた。シリアルレギュレータ回路に用いたオペアンプは標準的なCMOSオペアンプ回路構成を用い, このオペアンプの電源電圧を高く設計することで出力トランジスタの面積縮小を図った。またシリアルレギュレータ回路に用いる参照電圧の発生には, 電源電圧に依存しない基準電流発生回路を利用した。また, 動作確認用に各要素回路のTEGも試作し, テスタによる測定を行った。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula LVS, Cadence社Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



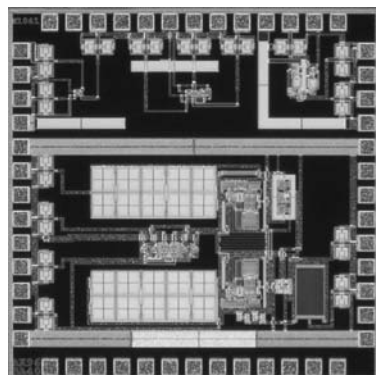
電子可変線形MOS抵抗回路とオーバードライブCMOSアナログスイッチの製作

熊本大学工学部 井上 高宏, 測上 宏之

熊本大学大学院自然科学研究科 安成 潤, 神園 大知

概要：試作したチップは、電子可変線形MOS抵抗回路とオーバードライブCMOSアナログスイッチである。抵抗回路は、MOSFETの非飽和領域の特性を用いることにより線形抵抗素子を実現した。また、スイッチ素子としての機能も併せもつ。製造偏差や温度変化による回路特性の変動を低減するためPLLを設計し、それを用いて抵抗値の自動チューニングを図った。現在、本抵抗回路を用いた連続時間形FPA用アナログコア回路への応用を考えている。動作確認用に抵抗回路単体のTEGも試作した。オーバードライブCMOSアナログスイッチは、ブートストラップ正電源、負電源、CMOSアナログスイッチにより構成される。それぞれのブートストラップ正電源、負電源で、正負にオーバードライブした電圧をCMOSアナログスイッチのゲートに入力することで、CMOSアナログスイッチ単体で動作可能な電源電圧よりも低い電源電圧で動作するスイッチを実現した。本回路は、電源電圧1.5Vで動作する。テストによる測定はまだ行っていない。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



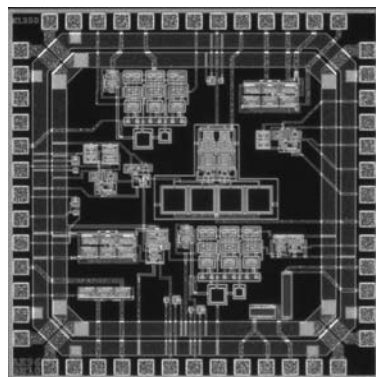
スーパーヘテロダイン方式AMラジオの試作

東京理科大学理工学部 藤井 伸介, 館山 克樹, 行友 渉, 兵庫 明

関根 慶太郎

概要：AMラジオ受信機をCMOSで集積化することを目指し、スーパーヘテロダイン方式のAMラジオの試作を行った。試作したラジオは、高周波増幅部であるRF-AMP、周波数混合を行うミキサ、ミキサにLO信号を供給するための電圧制御発振回路、中間増幅部である可変利得増幅器、チャンネル選択を行うバンドパスフィルタ、検波部である包絡線検波回路で構成している。RF-AMPは差動増幅回路、ミキサはGilbert型の乗算器、電圧制御発振回路はリングオシレータ型、可変利得増幅器はクアドリテールセルを用いた構成、バンドパスフィルタはジャイレータを用いた2次のGm-Cバンドパスフィルタ、包絡線検波回路はボルテージフォロワを用いた構成とした。可変利得増幅器、バンドパスフィルタには、それぞれ利得調節端子、通過帯域調節端子を付加している。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



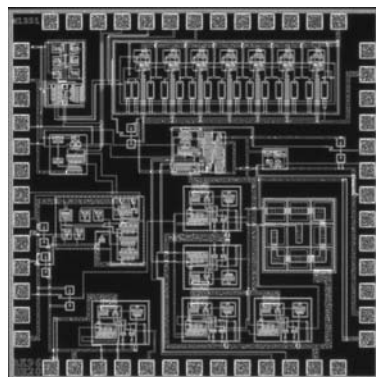
ワンチップAMラジオの試作

東京理科大学理工学部 小池 健, 藤瀬 雅俊, 兵庫 明

関根 慶太郎

概要：我々の研究室では学部4年生を対象にワンチップAMラジオを試作している。本チップでは、現在通信機に最も用いられているスーパーヘテロダイン方式のAMラジオの試作を行った。試作したラジオは、高周波増幅部であるRF-AMP、周波数混合を行うミキサ、ミキサにLO信号を供給するためのVCO、中間増幅部であるVGA、チャンネル選択を行うバンドパスフィルタ、検波部である包絡線検波回路で構成される。RF-AMPは差動増幅回路、ミキサはギルバートセル、VCOは7段のリングオシレータ、VGAはクアドリテールセルを用いた構成、バンドパスフィルタはTow-thomas型を使い、包絡線検波回路はボルテージフォロワを用いた構成とした。RF-AMP、VGAには同相電位を安定させるためにコモンモードフィードバックを用いている。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

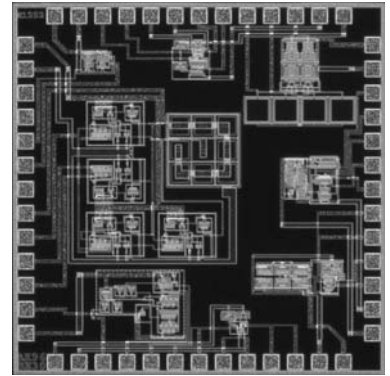


AM ラジオ回路の TEG

東京理科大学工学部 小池 健, 藤瀬 雅俊, 藤井 伸介, 舘山 克樹, 行友 渉, 兵庫 明,
関根 慶太郎

概要：本チップでは AM ラジオ受信機を構成するブロックである，高周波増幅器，ミキサ，電圧制御発振器，可変利得増幅器，バンドパスフィルタ，包絡線検波回路の評価を行うため，要素回路を実装した．高周波増幅器は差動出力を得るために完全差動型としている．また，その他の回路は，ミキサはギルバートセルを用いた構成，電圧制御発振器は2段のリングオシレータを用いた構成，可変利得増幅器はクワドリテールセルを用いた構成，バンドパスフィルタは tow-thomas 型としている．回路は全て設計しやすいようにシンプルな構成にした．

設計期間：8 人月以上，9 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上，1,000 未満 試作ラン：2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

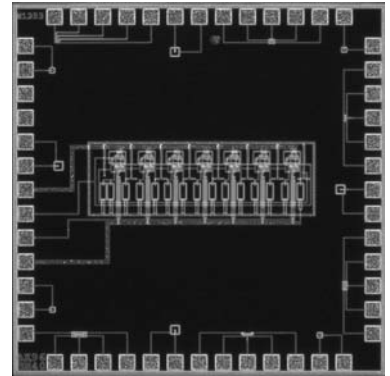


NMOS/PMOS 差動対・キャパシタ・電圧制御発振器の TEG

東京理科大学工学部 藤井 伸介, 藤瀬 雅俊, 行友 渉, 舘山 克樹, 小池 健, 兵庫 明,
関根 慶太郎

概要：我々の研究室では，学部4年生を対象にワンチップ AM ラジオを試作している．実際のアナログ回路をチップに実装する場合，MOS のしきい値，gm 等の値を正確に把握することは極めて重要である．差動対は差動増幅回路に用いられ，同相ノイズを除去することができるため，様々な回路で広く用いられる．このような理由から本チップでは MOS のしきい値，gm 等の評価を行うため NMOS/PMOS を用いた差動対を搭載した．また AM ラジオ受信機を構成するブロックである電圧制御発振器の TEG を載せた．動作確認を行い，測定値とシミュレーション値を比較することで，シミュレーションで用いるパラメータの信頼性の確認を行い，今後のチップ製作における目安とする．

設計期間：8 人月以上，9 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10 以上，100 未満 試作ラン：2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

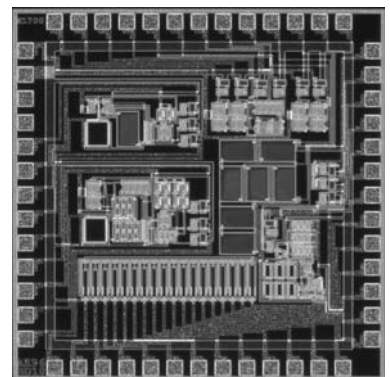


MOS 型定電流回路の設計・試作 (4)

岡山県立大学大学院情報系工学研究科 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：アナログ・デジタル回路の混在した CMOSLSI 技術の向上に伴い，アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した電源回路が極めて重要となる．それは安定な定電流回路が電源電圧と周囲温度に対して安定に動作するアナログ回路の実現のために不可欠だからである．特に低バイアス電流の発生回路には高抵抗が用いられるが，チップの占有面積の増大のため，製造コストが上昇してしまう．これらのことから，本設計では高抵抗を用いずに安定な低バイアス電流を発生する電流源の設計および検討を行った．今回の設計における当初の仕様は，所定の電源電圧および温度で基準値からの変動が $\pm 1\%$ 以内の定電流を得ることを目標としている．本チップは「MOS 型定電流回路の設計・試作 (3)」のマスキレイアウトにおける問題点を修正したものであり， -60°C ~ $+100^{\circ}\text{C}$ の温度範囲で $\pm 1\%$ 以下の定電流特性を確認できた．

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：100 以上，1,000 未満 試作ラン：2.3mm 角 チップ種別：TEG (特性評価回路など)

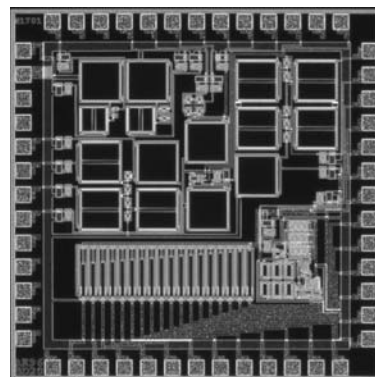


MOS型整流回路・直流電圧増幅回路の設計・試作(1)

岡山県立大学大学院情報系工学研究科 日笠 猛, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：無線通信において、チップ外部のアンテナで受信した電波からアナログ回路の駆動に必要な直流電源電圧を得るには、整流回路が不可欠となる。さらに整流回路の出力電圧が低い場合、電圧増幅回路を接続する必要がある。これらのことから、本設計では無線電波から直流電圧を得るための整流回路と直流電圧増幅回路の設計および検討を行った。本チップは、整流回路としてMOS型およびダイオード型半波整流回路・倍電圧整流回路・全波整流回路、直流電圧増幅回路としてトータムポール型チャージポンプ回路・ディクソン型チャージポンプ方式DC-DCコンバータから構成されている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：TEG (特性評価回路など)

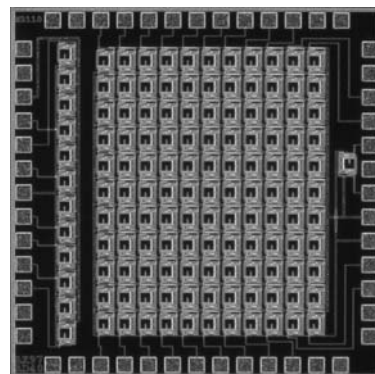


パルス形ハードウェア軸策モデルの試作

日本大学理工学部電子情報工学科 小野 克幸, 佐伯 勝敏, 関根 好文

概要：現在、様々な分野において、脳内で行われている情報処理能力を工学的に応用するための研究が行われており、そのなかでも我々は、パルス形のモデルである、パルス形ハードウェアニューラルネットワークのニューロンチップを実装することを目標に研究を行っている。今回、パルス形ハードウェアニューラルネットワークの実装のために、その伝送線路として用いる、パルス形ハードウェア軸策モデルの試作を行った。本試作では、パルス形ハードウェア軸策モデルの動作を確認するとともに、素子数が膨大となりうるニューラルネットワークにおける電源電圧の同一化に対する検討も行い、検証の結果、電源電圧を同一化する事による影響は問題にならないという結果を確認している。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, PSpice トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：ニューテクノロジー



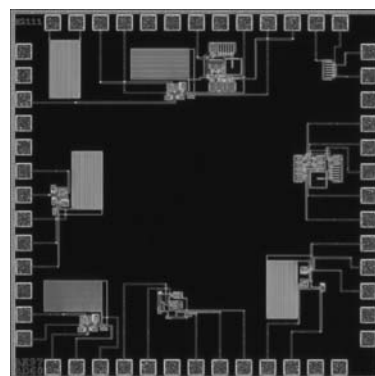
負性抵抗素子を用いた温度センサ回路

日本大学大学院理工学研究科 太田 寛

日本大学理工学部電子情報工学科 佐伯 勝敏, 関根 好文

概要：近年、センサと同一の基板上でセンサ出力を段階的に前処理して、後段の処理系の負荷を減らすような階層的アーキテクチャが考え出され、このような半導体センサと処理回路の情報処理を行うインテリジェントセンサが求められている。今回、我々が提案したIC化可能なΛ字形負性抵抗素子を用いて、電流変化が小さく、増幅器を用いずに、高い温度感度を得ることが可能な温度センサ回路について提案し、IC設計、試作を行った。試作したチップは温度センサ回路のパラメータを変化させた回路及び、抵抗部を外部接続とした温度センサ回路を試作した。今回は、温度センサ回路を構成する個々の素子の動作を確認した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, PSpice トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：ニューテクノロジー



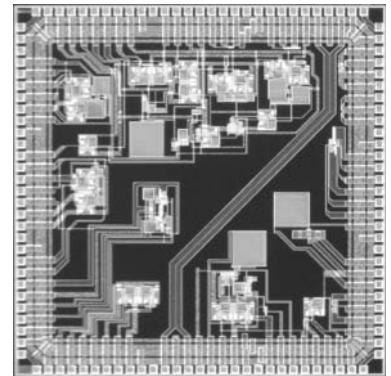
MOS構成に適したアナログ形PLLの試作(2)

秋田大学工学資源学部 宮前 亨, 吾妻 俊征, 佐々木 健太, 井上 浩

概要: デジタル形PLLに対し, アナログ形PLLの利点を生かしながらも大幅な回路の簡単化が可能となる新しい回路構成を考案してきた. 本試作研究では, CMOSアナログ回路を応用し, ダイレクト変換型アナログ形PLLを提案し, その動作を検証することを目的にIC設計・試作した[1]. 本方法では, 従来必要とされてきた回路ブロックを用いないPLL回路を構成することができ, 回路全体のLSI化が容易になると考えられる. 試作したICは, アナログ形PLLの全体回路を構成する個別テスト回路と, 個別ブロックに含まれる基本回路及び諸抵抗及び諸容量の特性評価回路で構成し, また, 配線間の電磁結合を調べるための配線も行っている.

参考文献: [1] 佐藤, 伊藤, 井上, "プッシュプル位相加算ミキサを使用した通信機能ICの一検討," 電子情報通信学会技術研究報告, EMD2003-97, 2004年1月.

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数: 100以上, 1,000未満 試作ラン: 4.8mm角 チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



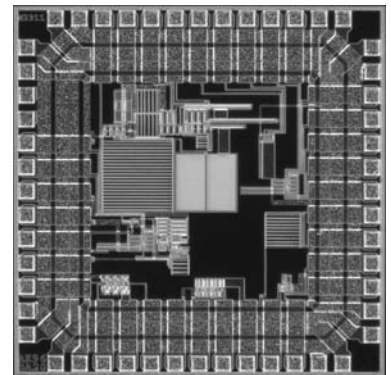
新しいリング発振器型電圧制御発振器を用いた基本PLLの試作

秋田大学工学資源学部 宮前 亨, 井上 浩

概要: 携帯電話に代表されるような通信機器の小型化・高性能化の要求に伴い, システム内の重要なブロックとなるPLL (Phase-Locked Loop 位相同期ループ) のIC化が望まれる[1]. 基本的なPLLは, 位相比較器, ループフィルタ, 電圧制御発振器 (VCO) の回路ブロックで構成され, 本研究試作では, 回路構成が単純で広可変範囲の汎用性の高いIC化VCOの開発を目的に, インバータを制御する新しいリング発振器型VCO回路構成を提案し, IC設計・試作を行った. また, 提案したVCOの応用として, 基本PLLへの適用を検討した. 特性評価から, 本VCOの周波数可変範囲が広いことが確認できること, 基本PLLへ適用した場合に周波数ロック範囲が広いこと, 1チップで動作できることなどが明らかとなった.

参考文献: [1] 宮前亨, 井上浩, "リング発振器型VCOの開発とその応用," 東北地区若手研究者研究発表会, Mar. 2005.

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数: 10以上, 100未満 試作ラン: 2.3mm角 チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



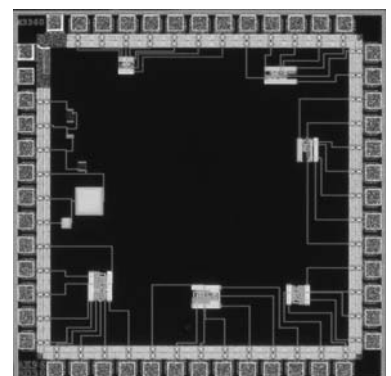
演算増幅器の試作・検証

佐賀大学大学院工学系研究科 石川 洋平, 塚本 尚平

佐賀大学理工学部 古賀 陽一郎, 近藤 弘康, 高平 亨, 深井 澄夫

概要: 本チップでは, アナログ集積回路の汎用能動素子である演算増幅器の設計を通じて基本アナログ集積回路ブロックの設計技術及び検証技術を早期に習得することを目的としている. 今回の回路構成は, 主に差動増幅回路とソース接地増幅回路の2段基本構成の演算増幅器が中心となっている. フィードフォワードAB級出力段を加えた3段構成の演算増幅器も試作している. また, TEG用にキャパシタ・抵抗を試作している. 参加学生 (学部4年・修士2年) 各個人が演算増幅器の利得・位相余裕・バイアス等を自ら決めて設計しレイアウトまでを行い合計6つの演算増幅器を試作している.

設計期間: 0.5人月以上, 1人月未満 設計ツール: Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数: 10以上, 100未満 試作ラン: 2.3mm角 チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)

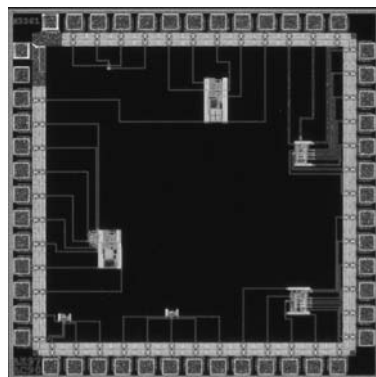


ニューロンMOSを利用したアナログ・デジタル基本回路の試作

佐賀大学大学院工学系研究科 石川 洋平, 塚本 尚平, 舩岡 貴志
佐賀大学理工学部 深井 澄夫

概要：近年、ニューロンMOSの最大の欠点である初期電荷の影響を改善できるレイアウトの手法が海外で報告されている。そこで、これまでの手法とその提案手法の初期電荷の影響を比較するためにニューロンMOSインバータのTEG (Test Element Group) を試作した。また、本研究室で研究中であるニューロンMOSの線形荷重和を利用したニューロンMOSカレントミラー回路に演算増幅器を含めレイアウトを行った。また、ニューロンMOS演算回路の新たな設計手法として、従来提案されているニューロンMOSの設計手法であるFPD (Floating-Gate Potential Diagram) を利用し、さらに容量再分割・機能合成等の新たな手法を追加し、2種類のニューロンMOSコンパレータの試作も行っている。さらに、演算増幅器のIP化・比較検討のため、位相補償用コンデンサおよび抵抗をスイッチにより切り換えることのできる演算増幅器のレイアウトも行っている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



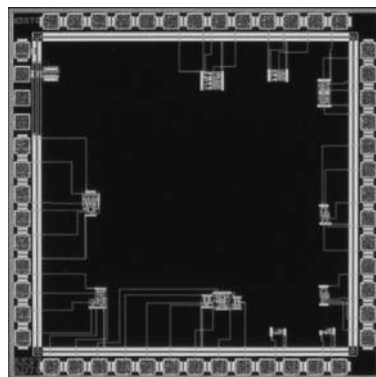
ラッチ付コンパレータとΛ字型2端子回路

上智大学理工学部 秋山 俊介, 宮本 尚幸, 和保 孝夫

概要：A/D変換器の基本構成要素であるラッチ付コンパレータを設計した。搭載したのは、ダイナミック型コンパレータ、AB級コンパレータ、および、プリアンプおよびSRフリップフロップ付コンパレータの3種である。回路シミュレーションにより、典型的な性能として遅延時間3nsで消費電力0.3mW (ダイナミック型) ~0.6mW (AB級) の値が得られた。また、共鳴トンネルダイオードを用いた論理回路であるMOBILE (単安定双安定転移論理回路) をCMOS技術で実現し、新しい論理ゲートを設計することを目指して、p/nMOS-FETを組み合わせて負性微分抵抗特性を得ることができるとするΛ字型2端子回路を設計した。以前に行った設計を参考にして、L/Wを最適化することで、より高いピークバレー電流比の実現を目指した。

参考文献：越坂, 和保, 「負性微分抵抗回路TEG」平成11年度VDEC年報, 92頁 (1999)

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンパレータなど)

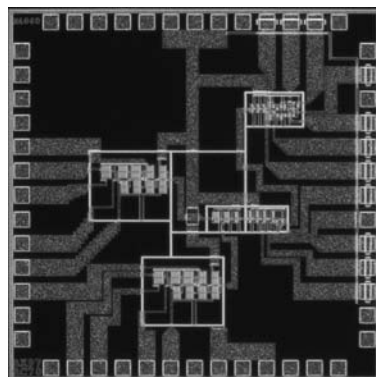


カオスを利用したパルス幅変調回路の試作

熊本電波工業高等専門学校電子工学科 江口 啓, 光石 翔

概要：スイッチング電源回路等において、周波数領域におけるスイッチングノイズのレベルを低減するための一手法として、ランダムスイッチングという手法がある。本チップにおいては、ランダムスイッチングに用いるカオスを利用したパルス幅変調回路の設計を行っている。試作回路はテント写像と呼ばれる一次元カオス発生回路のランダム出力により、無安定マルチバイブレータの時定数を変化させ、2値パルスのパルス幅を変調するものである。カオス回路の設計にあたっては、スイッチトカレント (SI) 技術を用いており、アナログ出力を2値化したものをマルチバイブレータに与えている。本回路のレイアウト設計は、高専専攻科生1名によって行われている。

設計期間：1人月以上, 2人月未満 設計ツール：MAGIC, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

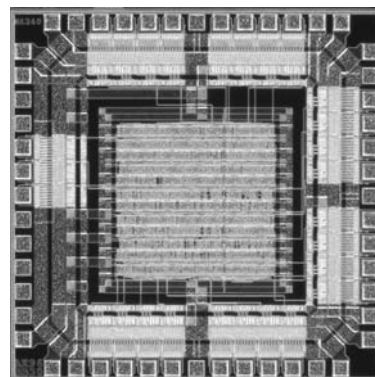


ストップウォッチ回路

茨城大学工学部 尾保手 茂樹

概要：茨城大学大学院理工学研究科メディア通信工学専攻ではLSI設計特別演習を修士1年に対して開講している。授業は前期開講科目であり、前半は座学を行い、後半にUNIX端末を用いてLSIの設計演習を行っている。座学は、半導体の基礎、MOSトランジスタの基礎、論理回路、プロセス技術、デザインルール、Verilog HDL文法から成る。演習は1名のティーチングアシスタントと共に行っている。今回のチップは来年度の設計課題の試作であった。設計は修士1年の学生が主に行った。3ヶ月程度の時間を要した。腕時計などに搭載されているストップウォッチの動作を参考にして設計を行った。出力はBCDとし、7セグメントデコーダは外付けのICを使用している。水晶振動子は4MHzのものを使用することを想定している。時間、分、秒までが表示できるように構成している。現在、このチップを用いて回路を製作中である。今後はこの設計を元に様々な機能を追加していく形で授業を進めていきたいと考えている。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.3mm角 チップ種別：演算回路（乗算器、除算器など）



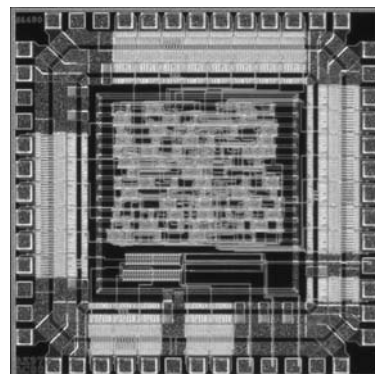
擬似断線故障回路と組み込み電流テスト回路の試作

徳島大学大学院工学研究科 藤本 佳照, 秋田 哲男

徳島大学工学部 四柳 浩之, 橋爪 正樹

概要：断線故障発生時の回路の動作解析および断線故障検出のための組み込み電流テスト回路の動作解析を行うため、擬似断線故障としてトランスミッションゲートを信号線へ挿入した回路の試作を行った。試作回路では、（1）ITCベンチマーク回路b03内に擬似断線故障を4箇所挿入した回路、（2）NOTゲートを20個接続したインバータチェーン回路に擬似断線故障を1箇所挿入した回路、の2つを設計し、特性測定用トランスミッションゲート1つを挿入した。また、組み込み電流テストのために、（2）の回路の電源供給信号線の周囲に電流計測用のコイルの試作を行った。今後特性の測定等を行う予定である。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上、10,000未満 試作ラン：2.3mm角 チップ種別：TEG（特性評価回路など）



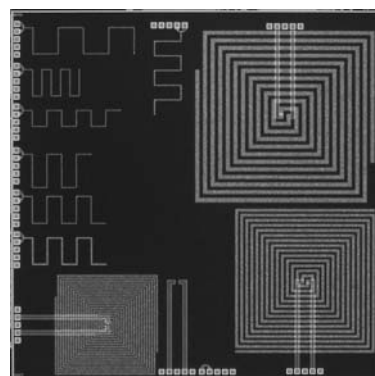
Ultra Wideband用オンチップアンテナ

原田 典浩

概要：本試作チップは、Ultra Wideband (UWB) 用のオンチップアンテナである。Ultra Widebandとは、現在最も注目されている無線通信の1つであり、高速、低消費電力、低コストが原理的に可能であるとされる。UWBは、周波数帯域が中心周波数の20%以上、あるいは500MHz以上の無線通信と定義されている。注目されるきっかけとなったのは、2002年2月にアメリカのFCCという周波数を管轄する機関がUWBの民生利用を許可したことである。これにより、それまで軍用レーダとして利用されていたUWBが民生用途に広く研究・開発されるようになった。本試作チップは、現在UWB用に利用されている帯域として最も早く利用されると考えられている3.1~5GHzを動作帯域としたオンチップ・アンテナである。形状として、面積を抑えるためメアング型やスパイラル型を選択し、各々の形状に関するパラメータを変化させたアンテナを複数搭載する。このチップをもとに、最も良好な性能を持つ形状を実証した。

参考文献：無し

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso トランジスタ数：10未満 試作ラン：7.3mm角 チップ種別：通信（RF回路、ATMなど）



VDEC

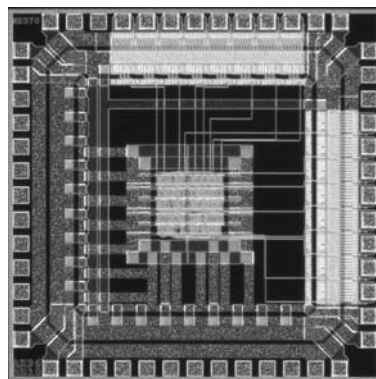
冗長化設計 Wallace Tree 型乗算器の試作 1

千葉大学工学部 佐々木 陽一, 難波 一輝, 伊藤 秀男

概要：一般ロジック回路を対象とした冗長化設計による欠陥救済の研究の一環としてチップの試作を行った。実際にチップを試作し、その動作を確かめることにより、冗長化設計が有用であることを確かめる。冗長化設計を施す回路は、4bit Wallace Tree 型乗算器とする。Wallace Tree 型乗算器は乗算器の中でも高速な乗算が可能であり、DSP 等の実用化されている回路に用いられている。よって冗長化設計を施す対象とした。試作するのは冗長化設計を施した4bit Wallace Tree 型乗算器と、冗長化設計を施していない4bit Wallace Tree 型乗算器の2つである。この2種の回路の性能の比較を行い、冗長化設計した場合の利点や問題点などを調べる。このチップは冗長化設計を施していない4bit Wallace Tree 型乗算器である。

参考文献：[1] 難波 一輝, 伊藤 秀男, "SoC の局所ホモジニアス欠陥救済方式", FTC 研究会, July. 2004.

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：演算回路（乗算器, 除算器など）



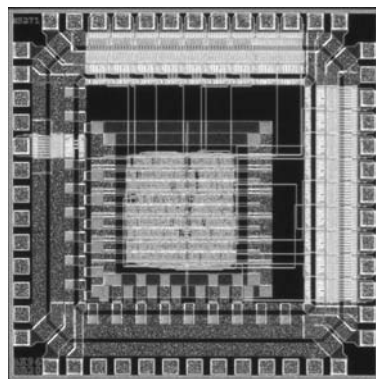
冗長化設計 Wallace Tree 型乗算器の試作 2

千葉大学工学部 佐々木 陽一, 難波 一輝, 伊藤 秀男

概要：一般ロジック回路を対象とした冗長化設計による欠陥救済の研究の一環としてチップの試作を行った。実際にチップを試作し、その動作を確かめることにより、冗長化設計が有用であることを確かめる。冗長化設計を施す回路は、4bit Wallace Tree 型乗算器とする。Wallace Tree 型乗算器は乗算器の中でも高速な乗算が可能であり、DSP 等の実用化されている回路に用いられている。よって冗長化設計を施す対象とした。試作するのは冗長化設計を施した4bit Wallace Tree 型乗算器と、冗長化設計を施していない4bit Wallace Tree 型乗算器の2つである。この2種の回路の性能の比較を行い、冗長化設計した場合の利点や問題点などを調べる。このチップは冗長化設計を施した4bit Wallace Tree 型乗算器である。

参考文献：[1] 難波 一輝, 伊藤 秀男, "SoC の局所ホモジニアス欠陥救済方式", FTC 研究会, July. 2004.

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：演算回路（乗算器, 除算器など）

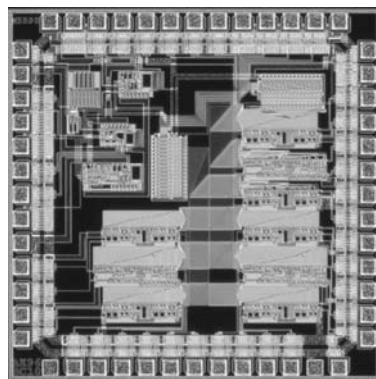


トランジスタ特性測定用回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之

概要：MOSFET およびオペアンプの特性を測定するためにトランジスタ特性測定用回路、オペアンプを設計し、本チップに搭載した。設計した回路は、9つのブロック（1ブロックに対してトランジスタ最大31個）からなるトランジスタ特性測定用回路、5ビットデコーダ（Nch 用, Pch 用）、基本 Nch 入力オペアンプ、基本 Pch 入力オペアンプ、高 PSRR Nch 入力オペアンプ、バイアス回路である。本トランジスタ特性測定用回路では、トランジスタの数が多いためトランジスタのドレイン-ソースを共通化し、デコーダでゲート信号を切り替えることで測定するトランジスタを選択するという方式を取った。トランジスタ特性測定では、主に ΔV_{th} 特性について調査する。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.3mm 角 チップ種別：TEG（特性評価回路など）

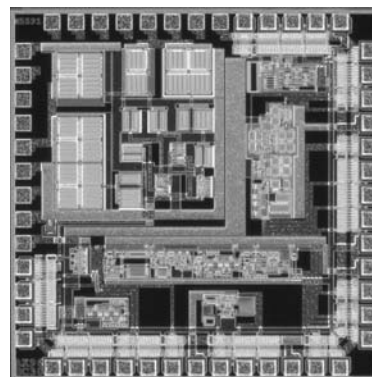


スイッチング電源制御用 LSI の開発

富山県立大学大学院工学研究科 大場 博之, 松田 敏弘, 岩田 栄之

概要：これまでスイッチング電源の基本ブロック、補償ブロックの設計を行ってきた。今回は、従来試作した回路において生じている問題について、改善を行ったものを載せている。今回の試作では発振回路、ラッチ回路、出力回路、OCP 時の周波数低減回路、誤差増幅器、比較器を設計した。ラッチ回路は、従来よりもさらに Duty を幅広く可変することができるように改善を行った。誤差増幅器は利得、位相余裕、周波数帯域の改善を行った。比較器では、さらに低い電圧でも動作するように改善した。また、今回の試作では、保護素子を各回路の入出力に対して接続することで静電対策を行ってある。保護素子による特性の変化を評価するために、従来使用していた誤差増幅器を載せている。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：アナデジ混載

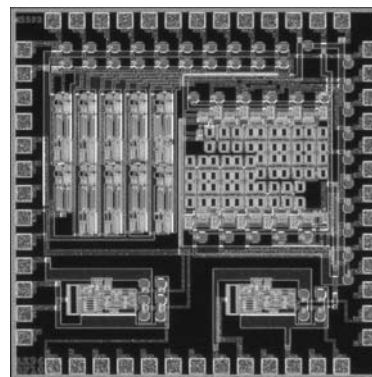


小型センサ用 CMOSD/A コンバータの改良

富山県立大学大学院工学研究科 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、この出力を増幅、補正する必要がある。そこで、小型半導体加速度センサのオフセット電圧をデジタル値で調整する方法を検討している。そのために、センサの出力をいったんデジタル値に変換し、補正を行った後、アナログ値に戻すために、A/D コンバータが必要となる。この A/D コンバータに用いる 10bit の D/A コンバータの改良を行った。チップ内には、R-2R ladder 型とコンデンサの重み付けによる Charge Scaling 型の 2 種類と、それぞれのバッファ用のオペアンプを配置した。R-2R ladder 型はスイッチに用いた MOS のオン抵抗による比率の乱れを防ぐための抵抗を CMOS で構成するように変更した。Charge Scaling 型はパッド容量による出力の変化を防ぐために内部で D/A コンバータとバッファを接続した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：マイクロプロセッサ

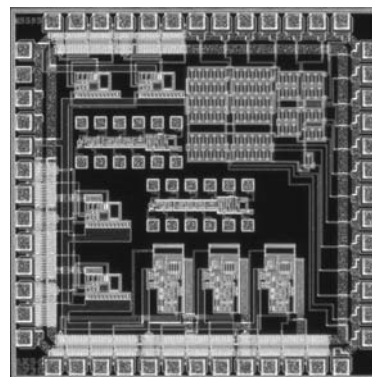


小型半導体加速度センサ用 LSI の設計

富山県立大学大学院工学研究科 堀井 信嘉, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、外部からの雑音に影響されやすくなる。このため、微小な出力をセンサ近傍で増幅し、外部からの影響を受けにくくする必要がある。本チップでは小型半導体加速度センサの出力信号増幅回路を構成する LSI の設計を行った。前回用いていたオペアンプを改良し、オペアンプ自体のオフセット等の精度を向上させた。この回路を複数と抵抗によって増幅器回路を構成している。4つのオペアンプは組み合わせて使用するために、VDD と GND 等を共通としている。また、構成の違うオペアンプを単体で測定できるように配置した。それぞれ大きさの違う抵抗を N-well で構成、配置している。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.3mm 角 チップ種別：マイクロプロセッサ

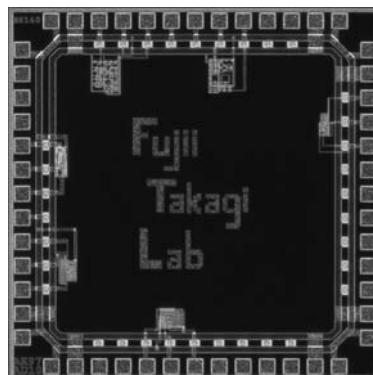


演算増幅器の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：演算増幅器は、差動増幅回路、電流源回路、カレントミラー回路、ソース接地増幅回路などのアナログ回路の基本要素から構成される汎用性の高い素子である。さらに、位相補償の難しさや、スルーレートと消費電流などの様々なトレードオフも考慮して設計する必要があるため、初学者が学ぶべき最良の回路であり、また、設計の難しい回路でもある。このような理由から我々の研究室では、演算増幅器の設計コンテストを実施し、学部学生などの新しく研究室に入ってきた者を対象に、演算増幅器の試作をさせている。今回のチップでは、6種類の演算増幅器を試作した。試作の演算増幅器はどれも基本的には差動増幅回路とソース接地増幅回路から構成されており、特段の工夫はないが、アナログ回路設計の難しさを学生たちは実感することができた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角
チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

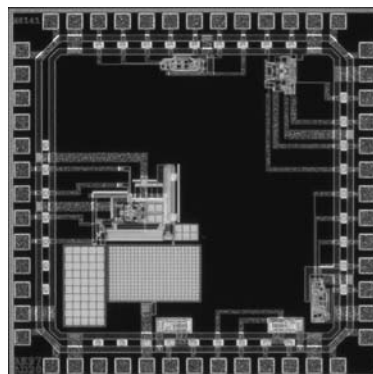


FM放送受信システム用回路ブロックの試作1

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM放送受信機の集積化を目標として、受信機に必要な回路ブロックの試作を行った。このチップで試作した回路ブロックは低雑音増幅回路、電圧制御発振回路、ミキサである。低雑音増幅回路はゲート接地増幅回路とソース接地増幅回路を組み合わせて構成し、パワーマッチングとノイズマッチングの最適化を試みた。電圧制御発振回路では制御電流の変化に対して直線的に発振周波数が変化するように回路の工夫を凝らした。ミキサでは乗算歪みを極力抑えるために、非飽和領域で動作するMOSトランジスタを4個組み合わせ、MRCと呼ばれる回路を基本に構成した。シミュレーションでは、電源電圧3Vのとき低雑音増幅回路の消費電流が6mA、電圧制御発振回路のそれが1mA、ミキサのそれが0.4mAという結果を得ている。

設計期間：10人月以上 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

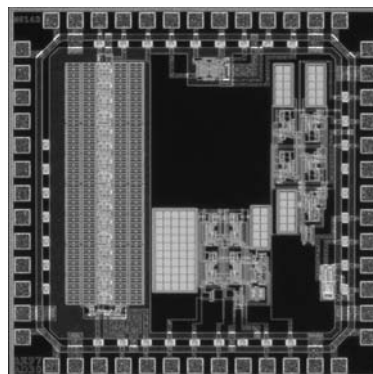


FM放送受信システム用回路ブロックの試作2

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英

概要：FM放送受信機の集積化を目標として、受信機に必要な回路ブロックの試作を行った。このチップで試作した回路ブロックは可変利得増幅回路、帯域通過フィルタ、復調回路である。可変増幅回路は差動増幅回路を2段縦続接続して構成し、20dBから60dBの可変利得を実現している。帯域通過フィルタは差動増幅回路を基本として構成した電圧制御電流源回路と容量により積分回路を実現し、この積分回路を複数組み合わせ構成している。復調回路はFM波をAM波に変換するピークディファレンシャル回路と不要な高周波成分を取り除くためのフィルタから構成されている。シミュレーションでは、電源電圧3Vのとき可変利得増幅回路の消費電流が0.2mAから1mA、帯域通過フィルタのそれが0.2mA、復調回路のそれが0.14mAという結果を得ている。

設計期間：10人月以上 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



同期・非同期カウンタの消費電力検証用チップ試作

小山工業高等専門学校電子制御工学科 西野 聡, 鈴木 敬

概要：同期式と非同期式システムの動作速度と消費電力評価のための基本回路の試作を行った。具体的にはCMOS-D・FFを使用した10ビットのシフトレジスタを2回路とD・FFを数個組み込んだ。これらの回路は外部接続で各種の同期式および非同期式カウンタを構成できるようになっている。実際に非同期式1024進と20進シフトカウンタを構成して消費電力評価を行った。その結果は現在解析中である。実際にはCMOS-D・FFの一部に動作不良のものがあり、こちらも現在原因を究明中である。また、同期式カウンタのリングカウンタを構成して、他のカウンタとの消費電力比較を行なう予定である。実際には線幅などの要素が動作速度や消費電力にかかわっている可能性もあるので今後は種々のプロセスで同様な評価を行なう必要があるのではないかと考えている。

設計期間：1人月以上, 2人月未満 設計ツール：, , Synopsys社 Star-HSPICE トラン

ジスタ数：100以上, 1,000未満 試作ラン：2.3mm角 チップ種別：TEG (特性評価回路など)

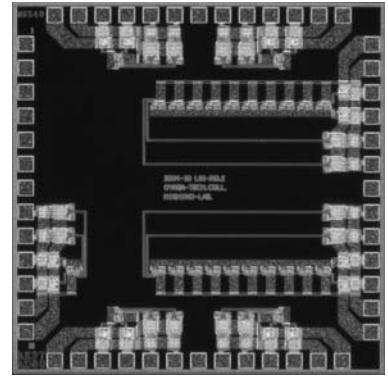
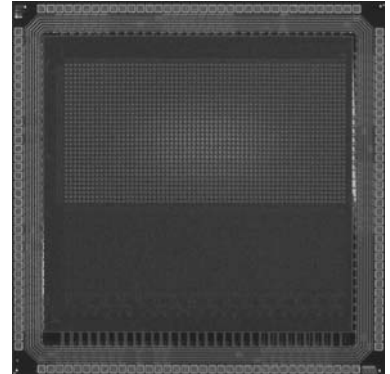


Image Processing VLSI with Built-In Digital Pixel Sensor

東京大学大学院新領域創成科学研究科基盤情報学専攻 伊藤 潔人
 東京大学工学部電子情報工学専攻 トンプラシット ベンジャマース

概要：Conventionally, pixel data are read out sequentially from an image sensor chip, and then converted to a digital format using an A/D converter in order to conduct digital signal processing in the following stages. The data transfer from the image sensor to the digital processor presents a serious bottleneck in realizing real-time image processing systems. Digital pixel sensors (DPS) have been developed to resolve the problem. Since each pixel is equipped with a built-in A/D converter in a DPS, all pixel data are converted in parallel. One row of data can be read out simultaneously in a single clock cycle, thus eliminating the data transfer bottleneck. As a result, high image processing performance can be expected from the integration of image processing functions to the DPS. However, one-row readout scheme, so-called line-readout, is not compatible to image processing algorithms, because image filtering process is usually carried out on a block of neighboring pixels, e.g., a 3x3 or 5x5-pixel block, etc. In the case of line-readout architecture of DPS, data need be buffered until all five rows of data are transferred before starting a 5x5 image filtering operation. It requires additional buffer memories and complicated control of processing elements. This is a new architecture of a computational digital-pixel-sensor chip, which allows the parallel readout of block-of-pixel data and parallel processing by SIMD (single instruction multiple data) processing elements. Thus, a real-time image-processing-compatible DPS VLSI is developed.

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**4.9mm 角 **チップ種別：**イメージセンサ/スマートセンサ

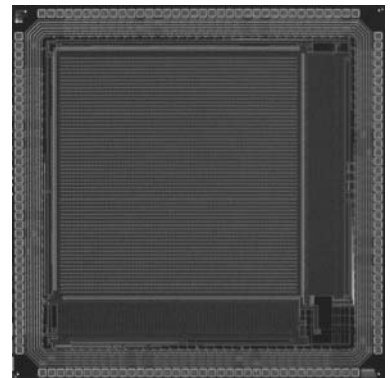


Motion Detection Chip

東京大学工学系研究科 山崎 俊彦
 東京大学新領域創成科学研究科 梅島 誠之
 東京大学工学部 亀谷 暁

概要：監視カメラなどに用いるため、動き検出機能を持ったイメージセンサの需要が高まっている。本チップは画素差分情報の射影を用いた動体位置検出、速度演算イメージセンサである。画素差分方式とは、時系列の動画像群に対して、各ピクセルで画素値の差分をとることで動体のみを抽出する方式である。本チップではバンプ回路を用いて得られた画素差分情報をXY両軸に射影した動きヒストグラムを用いて処理を行う。これにより、2次元画像を扱う方式に比べ用いる情報が少ないため、演算用ハードウェアの規模を小さくできる。動体の位置は射影したヒストグラムの平均値でヒストグラム自身を閾値処理することで計算する。また、動体の速度はヒストグラムをシフト・マッチすることで一定時間内でのヒストグラムの動きを計算する。このシフト・マッチはハードウェアを並列にすることで同時に処理し、演算時間の短縮を図っている。本チップは前年に試作されたチップに比べて、速度計算をより高精度に行うアーキテクチャを実装した改良版である。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数：**100,000 以上 **試作ラン：**4.9mm 角 **チップ種別：**イメージセンサ/スマートセンサ

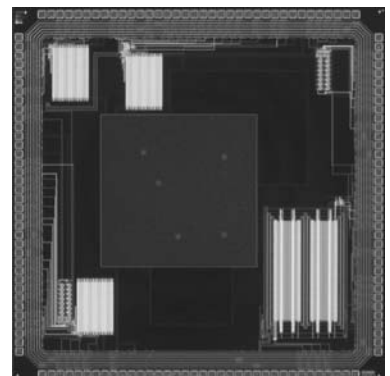


電流モードアナログCDMA マッチトフィルタ

東京大学工学系研究科 山崎 俊彦
 東京大学新領域創成科学研究科 中山 友之

概要：CDMA無線通信方式において基地局と移動端末との同期を検出するマッチトフィルタと呼ばれる回路について試作を行った。電流モードのアナログCDMA マッチトフィルタを設計した。入力電圧を電流に変換するためには、V-I converterが必要になるが、従来の方式ではアナログスイッチの(PN接合による)寄生容量の影響により高速動作を実現するにはブロック化するなどの手法が用いられていた。本チップでは、MOSの線形領域を利用することによりV-I変換部のボトルネックを低減するアーキテクチャになっている。回路構成が簡単な、スイッチトカレントによって相関値を演算しているので電力供給やチップ面積に強い制限を受ける携帯端末に非常に適している。また、復調には同期検出の様に単純な畳み込み演算ではなく複雑な処理を要するためどうしてもデジタル回路で処理せざるを得ない。そのためのインタフェースとして必須の低消費電力A/Dコンバータも同時に開発した。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**4.9mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



ラインドライバ, D級アンプ

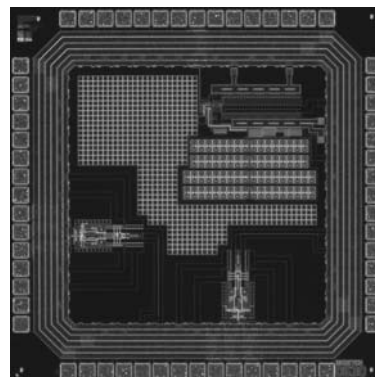
早稲田大学理工学部 大島 宗之, 高須 甲斐, 松本 隆

東京大学大規模集積システム設計教育研究センター 佐々木 昌浩

概要：近年、パワーアンプの小型軽量化、高効率化が求められてきた。本チップでは一般に低消費電力という事で用いられているD級アンプに対し、4次バターワースLPF, Feedback, Self Oscillating System, Schmitt Triggerを用いて構成し、性能向上をはかった。近年、安価なメタリックケーブルを用いて高速データ通信を行う事に対して関心が高まっている。これは、既存インフラの有効利用が可能な手法であり、その例としてxDSL, CATV, Ethernet等がある。これらのシステムは、高性能トランシーバ回路を構成するアナログフロントエンド回路によってその性能は左右される。本チップではアナログフロントエンド回路の1つであるラインドライバの、CMFBの高速化、Push Pull Inverterの低消費電力化等による高性能化を図った。

参考文献：[1] Michael S. Kappes, “A 3-V CMOS Low Distortion Class AB line Driver Suitable for HDSL Applications”, pp.371-376, IEEE Journal of Solid-State Circuits, Vol. 35, No. 3, March, 2000 (2000)

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：通信 (RF回路, ATMなど)

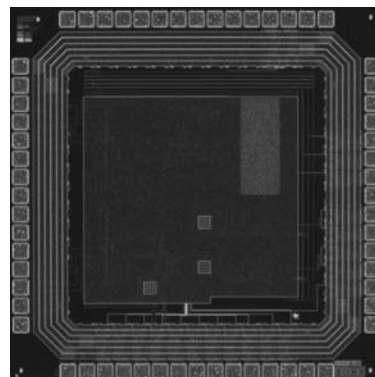


拡散符号を利用した距離測定回路

大阪大学大学院工学研究科 清水 新策, 松岡 俊匡, 谷口 研二

概要：同一のリニアフィードバックシフトレジスタによって生成された拡散符号は、位相が同じときのみ高い自己相関値を示す。この性質を利用し、送信光と受信光の拡散符号の位相差から距離を測定するICを設計した。本ICはフォトダイオード、リニアフィードバックシフトレジスタ、マッチドフィルタによって構成され、フォトダイオードで受けた光と送信光の位相差をマッチドフィルタによって求めることで、距離を得る。マッチドフィルタの出力は電圧振幅を10倍に増幅するオペアンプを用いてチップ外に出力する。また、送信光は本ICによって作成された拡散符号を同一基板の発光ダイオードに与えることで作成する。本ICは距離測定回路に加え、フォトダイオードのTEGを2個搭載する。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist
トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：イメージセンサ/スマートセンサ



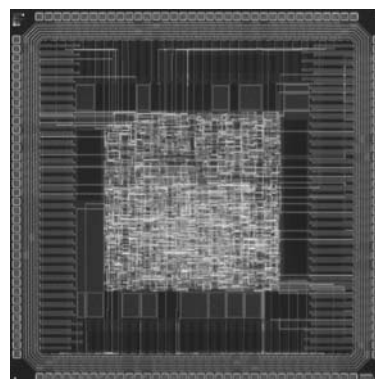
積層型マルチプロセッサチップ向け共有キャッシュの試作

東北大学大学院工学研究科 橋本 宏之

小柳 光正

概要：我々はLSIチップを三次元的に積層化し、集積度を飛躍的に高くできる三次元集積化技術について研究を行っている。積層されたチップ間では、高密度に形成された垂直方向の配線によって通信を行う。この垂直配線により、チップ間の配線数を基板のそれと比較して数百倍にまで増やすことができ、非常に帯域幅の広いバスでチップ間を接続できる。現在、プロセッサにおいて消費電力の増大等の問題により、動作周波数の向上による処理性能の向上が困難となっている。このため、動作周波数を上げずにチップ内部に実装した複数個のプロセッサを並列に動作させることで全体の処理性能を上げる手法が注目されている。この時、内部のプロセッサ間の通信性能がシステム全体の性能を大きく左右する。本研究室では複数のプロセッサを実装したチップと、共有キャッシュを実装したチップを三次元集積化技術を用いて積層化した高性能並列処理システムを提案する。この試作チップでは動作周波数と面積の評価のために共有キャッシュの制御回路等の実装を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC
トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：メモリ

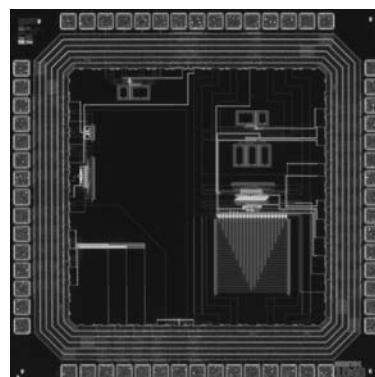


スマート RFID タグ用個体識別符号生成 CMOS 論理回路

熊本大学工学部 井上 高宏, 千代永 純一
 熊本大学大学院自然科学研究科 日野 臣教

概要：今回試作したチップは、RFID タグ用の個体識別符号（ID コード）を生成する回路となっており、2進数 64 ビットの個体識別符号が生成可能となっている。システム全体の回路構成としては、8×8 ビットのマスク ROM アレイ、8 ビットシフトレジスタ、20 ビットバイナリカウンタ、デマルチプレクサ、発振周波数 500kHz で設計したリング発振器によるクロックジェネレータ、初期化用モノステーブル・マルチバイブレータで構成されている。主に CMOS インバータを基本とした論理回路で構成されており、低電源電圧化を視野に入れて設計を行っている。今回はシステム全体回路の他にも、各要素回路の TEG の試作も行った。すでにシステム全体回路及び TEG すべてにおいてテストによる測定を行っている。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva
 試作ラン：2.4mm 角 チップ種別：アナデジ混載



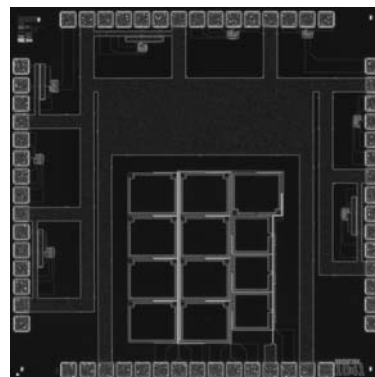
トランジスタ数：100 以上、1,000 未

スマート RFID タグ用 ASK 変調回路

熊本大学工学部 井上 高宏
 熊本大学大学院自然科学研究科 山川 俊貴

概要：今回試作したチップは、ASK 変調回路となっており、リング発振回路により構成されている。また、動作確認用に各要素回路の TEG も試作した。テストによる測定はまだ行っていない。リング発振回路には、MOSFET 2 個たて積みの CMOS インバータを 3 つ用いている。電源電圧 3.0V のとき、発振周波数が 928MHz となるように設計した。この ASK 変調回路の大きな特徴として 317MHz/V という高い電源電圧依存性を持つことが挙げられる。この ASK 変調回路は、本研究室で現在開発中の RFID タグにおいて、タグからリーダーへの信号伝送を行うための回路として用いることを目標としているため、設計の際には低消費電力、低電圧で動作し、かつチップ占有面積を小さくすることを強く意識した。そして、レイアウトの際には、高周波（UHF 帯：900MHz 付近）で動作させることを強く意識した。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10 以上、100 未満 試作ラン：2.4mm 角 チップ種別：通信（RF 回路、ATM など）

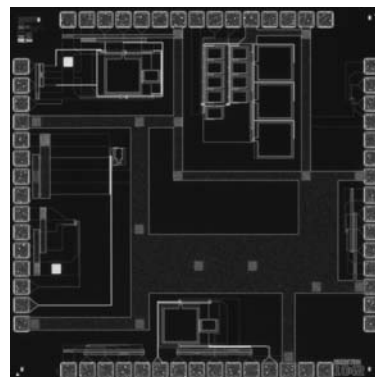


生体信号処理用超小型 CMOS アナログ集積回路の製作

熊本大学工学部 井上 高宏, 岩崎 俊彦
 熊本大学大学院自然科学研究科 市原 栄蔵, 鶴巢 哲朗

概要：当研究室では、病気の発生・メカニズムの解析および新薬の開発などを目的とした、遺伝子改変マウスの心拍数・体温・呼吸音の計測および個体識別の行なえる生体植え込み型超小型スマート RFID タグの設計・開発を行なっている。そこで、スマート RFID タグに内蔵して、微小マイクロホンや圧力センサー等から得られる低レベルの雑音を伴った生体の心音センサー信号から、心拍数情報をもつ高レベルのスパイクパルス信号のみ比較抽出する低電圧アナログ CMOS 集積回路の設計を行った。提案回路は、直流動作点電圧発生回路、バイアス電圧発生回路、アナログ CMOS 減算回路、自動オフセット電圧除去回路、および 3 段コンパレータからなる。チップにはそれらをシステムとして集積化したものと個別に、クロック発生回路、単安定マルチバイブレータ、各要素回路の TEG を相乗りさせた。テストによる測定を行った。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10 以上、100 未満 試作ラン：2.4mm 角 チップ種別：アナデジ混載

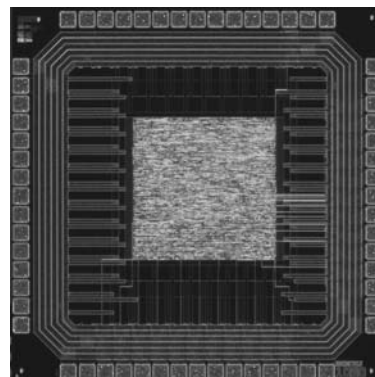


無線通信制御プロセッサ

東京電機大学理工学研究科電子情報工学専攻 芦川 真也, 星野 洋

概要：本チップは、複数のコードレス電極を用いる生体計測システムにおいて、無線電極内で通信制御を行うために開発した専用プロセッサである。将来は電極そのものを集積化できるように開発を進めている。システムは無線電極と受信したデータを各電極の時系列データとして蓄える情報収集端末で構成される。それぞれの電極は計測のためのアナログ増幅器、ADコンバータ、メモリ、微弱無線送受信機から構成され、本プロセッサはADコンバータ以降のデジタル回路部分を制御するためのものである。内部は7つのモジュールで構成され、8ビットパラレルで動作する。データは無線伝送されるので、プロセッサの入出力は8ビットシリアルである。また、省電力化を意図し、通信速度は9600から1200bpsの範囲で4段階に設定できる。無線送受信モジュールはCircuit Design社のCDC-TR-02を用い、本プロセッサの規格を合わせた。サンプリングレートも4段階に可変とした。今後アナログ増幅器と本プロセッサをハイブリッド化して生体モニタリング用の無線電極を実現させたい。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：2.4mm角 チップ種別：マイクロプロセッサ

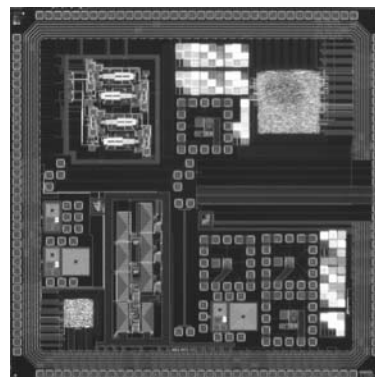


特定小電力無線受信ICの要素回路試作

金沢大学集積回路工学研究室 有賀 健太, 伊藤 久浩, 中野 伸吾, 橋 秀明, 北川 章夫

概要：国内の狭帯域無線通信規格である特定小電力無線規格トランシーバに用いる要素回路（低雑音増幅器（LNA），乗算器（MIXER）， Δ - Σ 型ADC）について設計を行った。この無線規格は民生用の建物内低速データ通信および制御系の無線通信を想定したものである。受信部ではシングルスーパーヘテロダイナミックアーキテクチャを採用しており、LNA, MIXER, Δ - Σ 型ADCを集積し、デジタル信号処理部によって検波がおこなわれる。使用する周波数帯は420MHz帯である。各回路の測定の結果LNA, MIXERについては正常な動作を確認することができたが、 Δ - Σ 型ADCでは正常な動作を確認することは出来なかった。また、LNA, MIXERにおいても動作は確認できたが、一部仕様を満足できなかった評価項目があった。今後の試作では今回の試作の結果をから回路構成からレイアウト構成までを含め、原因を考察し、要求仕様を満足するのが課題である。

設計期間：4人月以上，5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：4.9mm角 チップ種別：通信（RF回路, ATMなど）

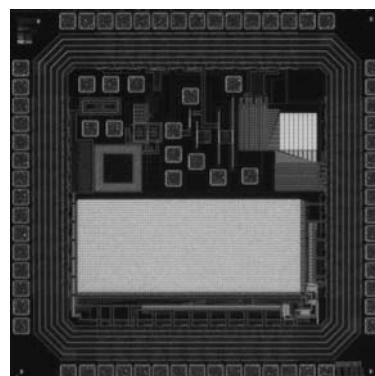


高精細マイクロディスプレイLSI, 微小物体可視化センサTEG

金沢大学集積回路工学研究室 中野 智崇, 中江 智, 北川 章夫

概要：ディスプレイはインターフェイスとして多くの場所で用いられている。その中で低消費電力動作するディスプレイに代表される物として、シリコン集積回路を基板としたディスプレイにマイクロディスプレイがある。本チップでは一般的な走査線方式を捨て、画素のマトリックスをRAMとして扱うランダムアクセス方式を提案している。この方法により、フルデジタルの階調表現（色の濃淡表現）が可能となり、既存の回路よりも低消費電力化も達成することができる。本試作ではモノクロカラー表示で64階調、ピクセル数は84×36のマイクロディスプレイを試作した。微小物体可視化センサはアレイ状に配置された検出回路によりチップ上に置かれた物体との間の容量を検出する回路である。検出した容量はVCOにより周波数に変換され検出精度を上げている。TEGではアレイ状の検出部、検出精度を上げるVCOを作成した。

設計期間：6人月以上，7人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上，100,000未満 試作ラン：2.4mm角 チップ種別：その他

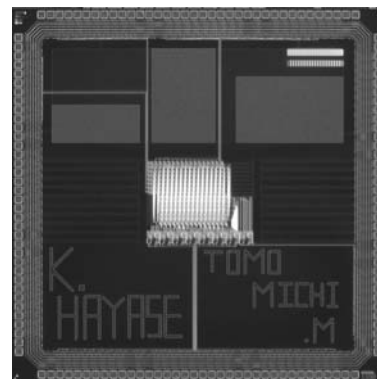


LSI 設計コンテスト

金沢大学集積回路工学研究室 早瀬 佳, 村上 知倫, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを体験してもらう為に実施している。設計する回路は学部学生が自由に選択した。CAD利用経験のあるTAが補助しつつ、回路シミュレーションからレイアウト、検証まで学部学生が行った。必要IOピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TAが1つのチップフレーム上にマージした。設計内容は、それぞれ一人で設計した16bit加算器2種の他、二人で設計した16bit乗算器1種、16bitALUである。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula LVS, Cadence社Dracula LPE, Cadence社Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：4.9mm角 チップ種別：演算回路（乗算器、除算器など）

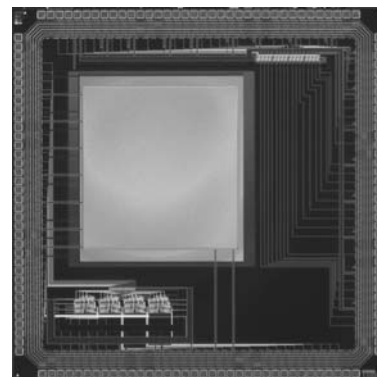


LSI 設計コンテスト

金沢大学集積回路工学研究室 高木 宏章, 西澤 滋人, 花岡 栄次郎, 後藤 喜久, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを体験してもらう為に実施している。設計する回路は学部学生が自由に選択した。CAD利用経験のあるTAが補助しつつ、回路シミュレーションからレイアウト、検証まで学部学生が行った。必要IOピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TAが1つのチップフレーム上にマージした。設計内容は、それぞれ一人で設計した16bit加算器2種の他、二人で設計した16bit乗算器1種、16bitALUである。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula LVS, Cadence社Dracula LPE, Cadence社Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：4.9mm角 チップ種別：演算回路（乗算器、除算器など）

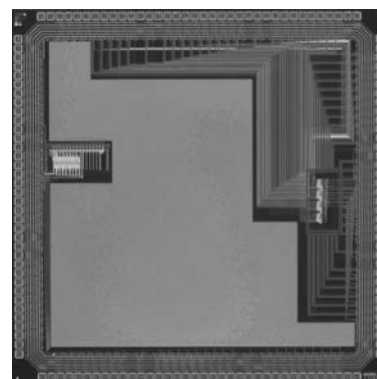


LSI 設計コンテスト

金沢大学集積回路工学研究室 竹口 雄治, 中野 誠, 松末 真也, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを体験してもらう為に実施している。設計する回路は学部学生が自由に選択した。CAD利用経験のあるTAが補助しつつ、回路シミュレーションからレイアウト、検証まで学部学生が行った。必要IOピンの関係上、各参加者は二名で1チップを相乗りし、設計を行った。最終的に担当TAが1つのチップフレーム上にマージした。設計内容は、それぞれ一人で設計した16bit加算器2種の他、二人で設計した16bit乗算器1種、16bitALUである。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula LVS, Cadence社Dracula LPE, Cadence社Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：4.9mm角 チップ種別：演算回路（乗算器、除算器など）

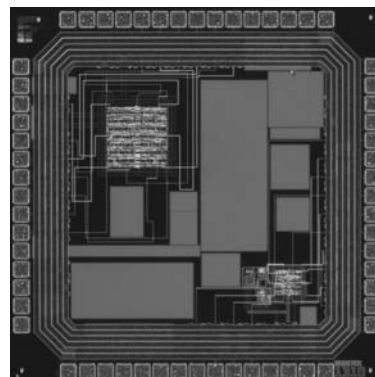


$\Delta\Sigma$ 型DACに用いる3次ノイズシェーパ

九州大学大学院システム情報科学府 金川 典史, 井上 美穂

概要：従来、 $\Delta\Sigma$ 型DACはオーディオといった低速で高精度のデジタル信号に対して用いられることが多い。しかし電源電圧の低下やデジタルデータの高精度化などに伴い、DACでのアナログ回路の要求が厳しくなることから、通信などの広帯域分野でも $\Delta\Sigma$ 型DACを用いることを検討するため、高速デジタルデータに $\Delta\Sigma$ 型DACを対応させることを目的として設計を行った。設計を行ったのは $\Delta\Sigma$ 変調を行うデジタル回路であるノイズシェーパの部分で、標準化周波数10MHz、10bitのデジタルデータを処理することを目的とし、動作周波数を100MHzと設定した。1次と2次のノイズシェーパを組み合わせ安定動作で3次の効果が得られる2段構成のMASH方式とし、量子化器は1bitであるがMASH方式であるので、量子化器の出力をさらに演算するため、出力は4値(2bit)となる。ノイズシェーパを高速で動作させようとすると、演算回路を通るたび遅延が重なっていき、タイミングのずれによるエラーが生じてしまう。そこで最も演算の多いルートをパイプライン動作させ、タイミングを合わせることでエラーの発生を防ぎ、正しい出力を得られるようにした。

設計期間：2か月以上、3か月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：アナデジ混載



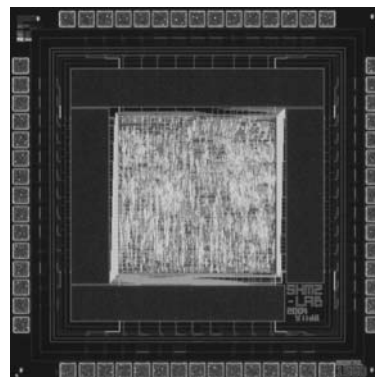
SFL言語処理系とオープンソースのバックエンドによるTEGチップの試作

東海大学大学院工学研究科 飯田 佳洋

東海大学電子情報学部 清水 尚彦

概要：論理回路のエントリ教育において、合成への見通しの良いSFL言語は学習者の学習効率の向上に有効である。学部学生への教育を想定した場合、レイアウトまでの処理系全体が自宅のPCに載せられる需要は高い。この課題に対して、SFL処理系とオープンソースのバックエンドの組合せによるレイアウト作成環境を構築した。この環境で作成したシンボリックレイアウトがテクノロジライブラリの構築だけでチップ化可能であることを検証するため、TEGの試作を行った。設計はSFLで行い、sfl2vl, sfl2vhによりVerilog, VHDLに変換して論理検証系と合成系へ接続した。合成はオープンソースのAllianceを用い、論理検証にIcarus Verilogを用いた。Allianceのテクノロジライブラリを作成し、基本ゲートセル、小規模順序回路、リングオシレータ、複合ゲートによる中規模順序回路を実装したTEGの設計を行った。レイアウトはDracula, Hspiceでルール適合・動作確認を行い、試作チップは基板への実装にて正常な動作を確認した。これによって再配布可能なツールのみを用いたASIC設計が可能であることを実証し、今後は大規模回路設計および学部教育カリキュラムへの展開を行っていく。

設計期間：2か月以上、3か月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上、100,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)

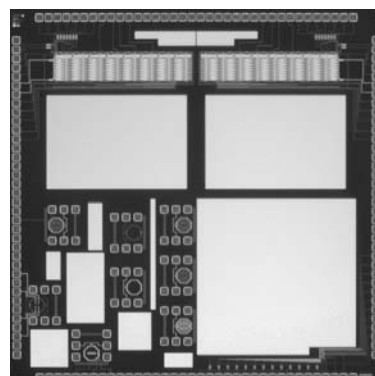


リーク電流の静的特性を測定するためのTEG

東京大学国際・産学共同研究センター 石田 光一, Danardon Antono, 鬼塚 浩平, 桜井 貴康

概要：低しきい値のデバイスを用いた場合のアナログ回路への影響を測定することを目的とし、しきい値の低いデバイスを等価的に模擬するための回路を用い、スイッチトキャパシタ回路におけるリーク電流の静的特性を測定するためのトランジスタスイッチアレイを設計した。その他、LSIの配線におけるシグナルインテグリティ測定を行うためのTEGを設計した。さらにDC-DCコンバータやチップ間通信で用途の拡大が予測されるオンチップスパイラルインダクタについて、インダクタ内にトランジスタやメタルを含む回路を配置した場合の両者間の影響を観測するためのTEG設計も行った。

設計期間：1か月以上、2か月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上、1,000未満 試作ラン：4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



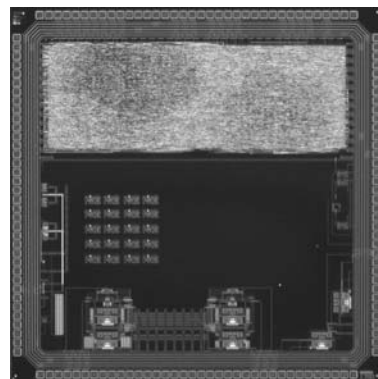
デルタ・シグマ ADC の試作

長崎総合科学大学工学部 田中 義人, 八谷 茂幸
 長崎総合科学大学新技術創成研究所 清山 浩司
 長崎総合科学大学大学院工学研究科 陳 蕾

概要: 高性能・高分解能化などの目的から、オーディオ分野などを中心に、 $\Delta\Sigma$ 方式のアナログ・デジタルコンバータ ($\Delta\Sigma$ A-D) が多く用いられる用になった。患者や医療機器への影響を考慮して、通信デバイスなどの電子機器の導入に積極的に取り組みにくかった医療の現場にも、ユビキタスの変革が着実に進みつつある。本試作では、心電計及び肺音計など超低周波数帯で使用可能な $\Delta\Sigma$ A-D の設計・試作を行った。搭載回路は、 $\Delta\Sigma$ 変調器とデシメーションフィルタ、また、 $\Delta\Sigma$ 変調器に使用した能動素子の TEG として完全差動方 OP アンプ、コンパレータ及び、サブストレートノイズ検出回路である。測定の結果、 $\Delta\Sigma$ 変調器は、電源電圧 3.3V で信号周波数帯域 0.5~5kHz において、SNRD が 80dB、OP-AMP は、Gain=62.2dB、GBW=29.3MHz、SR=24.4V/usec であった。

参考文献: W. A. Tanuarto, 田中, "高速ラッチコンパレータのオフセット測定評価" 平成 16 年度, 電気関係学会九州支部連合大会, 講演論文集 II, pp. 430, Vol2 (2004)

設計期間: 2 人以上, 3 人未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

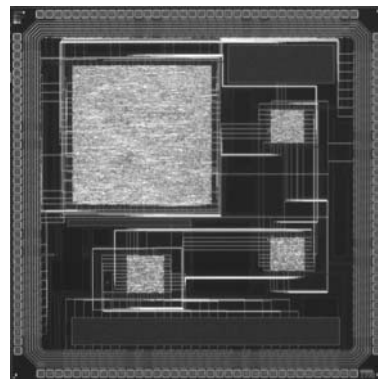


SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 城殿 征志

概要: SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータは、SFQ $\Sigma\Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma\Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma\Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma\Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間: 0.5 人以上, 1 人未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** 4.9mm 角 **チップ種別:** メモリ

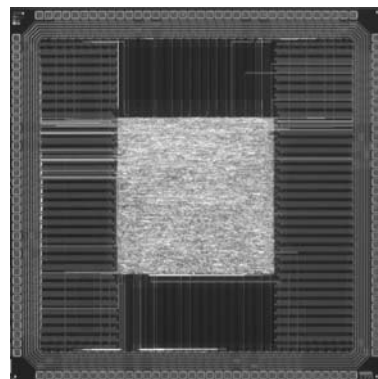


SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 城殿 征志

概要: SFQ/CMOS ハイブリッド $\Sigma\Delta$ AD コンバータは、SFQ $\Sigma\Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma\Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma\Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma\Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間: 0.5 人以上, 1 人未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** 4.9mm 角 **チップ種別:** メモリ



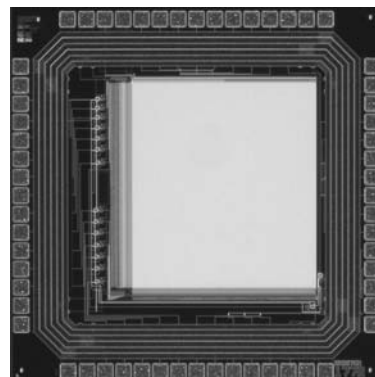
SFQ/CMOSハイブリッドメモリスステムの動作検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリスステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダーである。一方、CMOSデバイスは数GHzで動作し、その電圧振幅は1Vのオーダーである。したがって、ハイブリッドシステムの実現のためには、SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。本チップでは、CMOSメモリとアンプから成るシステムを構成し、入力40mVの微小信号入力に対するCMOSシステムの動作を確認した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：メモリ



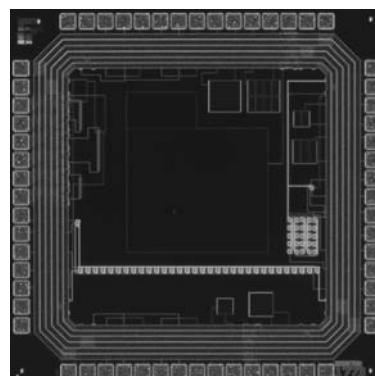
SFQ/CMOSハイブリッド用CMOSクライオデバイスモデルの検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリスステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダーである。一方、CMOSデバイスは数GHzで動作し、その電圧振幅は1Vのオーダーである。したがって、ハイブリッドシステムの実現のためには、SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。また、本システムでは、CMOSデバイスを低温で動作させることになるが、システムの設計、性能評価のためには、低温でのCMOSデバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかのCMOSデバイスを試作した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：メモリ

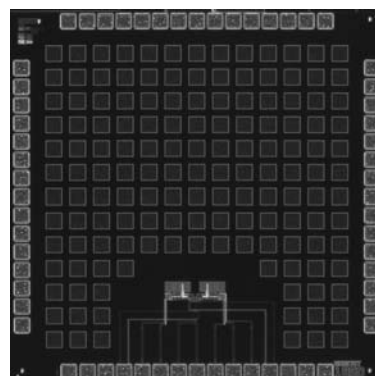


受動素子および折り返しカスコード型一段増幅回路の試作

静岡大学工学部 浅井 秀樹

概要：アナログ回路の学習の一環として、このチップを試作した。チップは、オペアンプ、MOSFET、抵抗およびキャパシタ等の素子のレイアウトからなる。オペアンプは、設計から製作までの一連の流れを学ぶための題材としてとりあげた。オペアンプの回路構成は、折り返しカスコード型の1段増幅器である。特に、そのレイアウトについては、対となるMOSFETのマッチングを意識した。MOSFET、抵抗、キャパシタの各素子は、これらがもつ基本的な特性やシミュレーションとの誤差の評価を目的とするため、MOSFETはチャネル長およびチャネル幅を変えて作成を行った。抵抗は、拡散層やポリシリコン層などの材質や抵抗値を変更して、また、キャパシタは、MOS容量の異なるものをそれぞれ複数作成した。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：10以上, 100未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

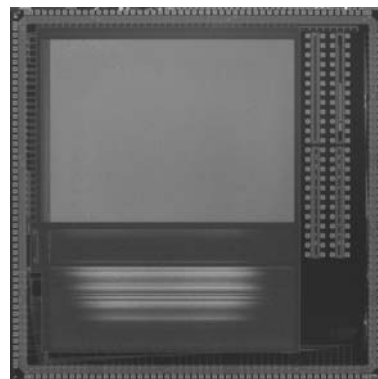


高機能高画質CMOSイメージセンサ

東北大学大学院工学研究科 館 知恭

概要：高画質な大容量の画像データをネットワーク上で扱うためには、高圧縮な画像圧縮技術が求められている。その実現のためには撮像と同時に Object のカテゴリー分離情報を用いてカテゴリーごとに最適圧縮をしなければならない。従来の CMOS イメージセンサの研究は、CCD に迫るほどの高画質化、ビジョンチップに代表される高機能化が進められてきた。しかしながら、高画質化と高機能化の両方を同時に実現させるものはなかった。そこで我々は CMOS イメージセンサと同一基板上にノイズ低減回路と Analog to Digital Converter (ADC), Arithmetic Logic Unit (ALU) 集積した高画質、高機能 CMOS イメージセンサを提案している。ALU では色情報、荒さ情報、距離情報、動き情報をそれぞれ演算し、この 4 種の情報を用いて 16 種の Category に分類を行い、画像情報と同時に Object 情報として各画素の画像情報に加え出力させる。本チップでは前述の高機能高画質 CMOS イメージセンサを集積している。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**100,000 以上 **試作ラン：**9.8mm 角 **チップ種別：**イメージセンサ/スマートセンサ



乗算・除算・平方根の機能を融合した動的再構成可能 ALU

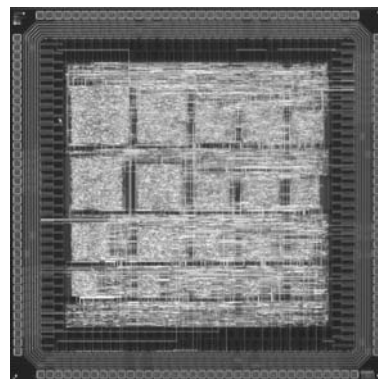
東北大学大学院工学研究科 宮本 直人, 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

概要：データパス系のアプリケーションでは、乗算・除算・平方根といった算術演算系の演算が頻出する。ここに提案する ALU は、乗算・除算・平方根の機能を融合し、単位時間あたりに除算器・除算器・開平器のいずれか一つの構成となる。これら三種類の演算器は、いずれも全加算器がアレイ状に配置された構造をとり、実現する機能の違いは、どの信号がどの全加算器に入力されるかによって決まる。本 ALU は、ゲートレベルのリソースシェアリング技術を用いてこれらの全加算器を共有化しており、除算器・除算器・開平器をそれぞれ別に用意する場合よりも 35% 少ないトランジスタ数で実装することができる。微細化によりゲートリーク電流が増大する中で、消費電力の増大を防ぐためには、電源供給を停止する方法以外に、本 ALU のように資源共有化によってチップ上のトランジスタ数を減少させることが、将来必要になると考えている。

参考文献：Naoto Miyamoto, Karnan Leo, Koji Kotani and Tadahiro Ohmi, "A Dynamically Reconfigurable IP for Data-Intensive Applications," AP-ASIC 2004, pp. 404-405, Fukuoka (2004)

設計期間：0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**4.9mm 角 **チップ種別：**演算回路 (乗算器, 除算器など)

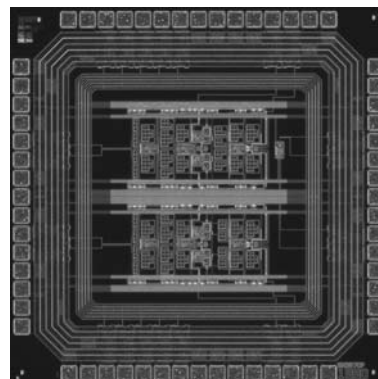


電力関係式を用いて設計されたデルタシグマ AD 変換器

名古屋工業大学大学院工学研究科 根上 崇, 加藤 正史, 荒井 英輔

概要：現在デルタシグマ AD 変換器の作成には、シミュレーションにかかる時間の比重がかなり大きなものとなっている。また、一般的にアナログ集積回路設計では、その道に精通した人物の経験や感が必要とされており、回路作成を簡略化し開発速度を上げることは必要不可欠である。そのため、電力関係式を使ったデルタシグマ AD 変換器の作成方法が提案されてきており、個別部品レベルでの検証が行われてきた。本チップでは電力関係式を用いたデルタシグマ AD 変換器の設計において集積回路への適用時に起こりうる問題点を検討するために、3 次デルタシグマ AD 変換器を実装した。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**2.4mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

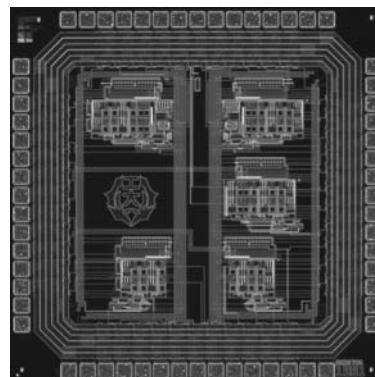


スイッチトカレント技術に基づく1次 $\Delta\Sigma$ 変調器の設計

名古屋工業大学大学院工学研究科 寺田 信行, 加藤 正史, 荒井 英輔

概要：近年、様々な携帯電子機器の普及に伴い回路の長時間電池駆動の要求が高まっており、特にアナログ信号処理回路部の低電源電圧化、低消費電力化が不可欠となってきている。この要求を満足する回路技術の一つにスイッチトカレント技術があり、本試作チップでは、スイッチトカレント技術の基本検討として1次 $\Delta\Sigma$ 変調器を設計した。なお、信号は通常電圧で入力されるので1次 $\Delta\Sigma$ 変調器本体の前段にV/I変換器を搭載した。また、1次 $\Delta\Sigma$ 変調器の構成要素であるメモリセル、積分器に関してはそれぞれ単体での動作検証をするためにチップ上に個別搭載した。試作チップを測定した結果、メモリセル、積分器、1次 $\Delta\Sigma$ 変調器ともに正常な動作を確認した。また、1次 $\Delta\Sigma$ 変調器の特性である20dB/decのノイズシェイピングも確認した。しかしながら、試作チップから得られた結果はHSPICEシミュレーションから得られた結果に比べノイズフロアが上昇していた。今後は雑音特性の改善を検討しつつ、スイッチトカレント技術に基づく新規回路の設計を進める予定である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



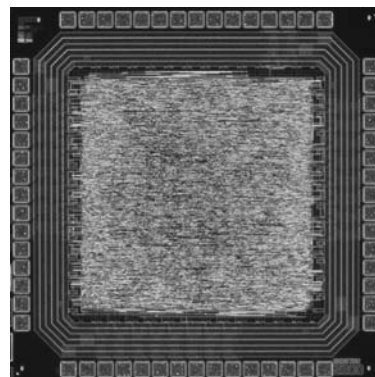
8bit×256 SRAM

東京大学大学院情報理工学系研究科 酒造 正樹, 下山 勲

概要：我々のグループでは、これまでの試作でALUやCPUの設計を行ってきた。これらの演算ユニットにはメモリ空間が含まれておらず、外部接続のROMを用いていた。今回の試作では、ワンチップでのマイコン実現へ向け、フリップフロップを用いた8bit×256のSRAMを設計した。外部から入力したクロック信号に同期して、データの書き込みと読み出しが可能である。入出力は、8bitのアドレスバス、8bitの入力データバス、8bitの出力バス、1bitの書き込みイネーブル入力からなる。2.4mm角のチップサイズを選択し、チップ全面に配置配線を行うことができた。論理合成にかかった時間はVDECのusr1上で実行した場合、10分程度と高速に行うことができた。

参考文献：菅原, 大村, 関口, 富岡, 酒造, 長澤, 松本, 下山, "ALUの設計," p. 137, 2002年度VDEC年報(2002)。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：メモリ



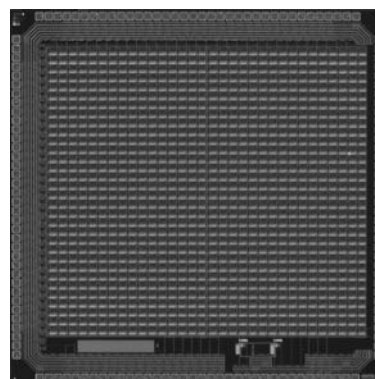
ASICベース16BitMPU実験システムの開発

金沢工業大学大学院工学研究科電気電子工学専攻 山下 敦弘

金沢工業大学電気系 福田 一郎

概要：MPUの基本構造と動作やASICベースの設計を効率よく修得できる実験システムの開発を目的として、16BitMPUのチップ試作を行った。16BitMPUの基本アーキテクチャに、逐次制御方式のハーバードアーキテクチャを採用し、命令長は16Bit固定、データフォーマットは-32768~32767、アドレス空間は256word (1word=16Bit)、サポートするメモリは外部メモリ、演算方式はレジスタ間演算、データバスは16Bit、アドレスバスは8Bitである。また、MPUの内部動作を観測できる機能が搭載されている。バックアノテーション検証で、観測用クロック100MHz、MPU動作クロック3.125MHzでの動作を確認した。また、動作検証ボードを製作して、観測用クロック32MHz、MPU動作クロック2MHzでの動作を確認したが、それ以上での動作確認は行っていない。

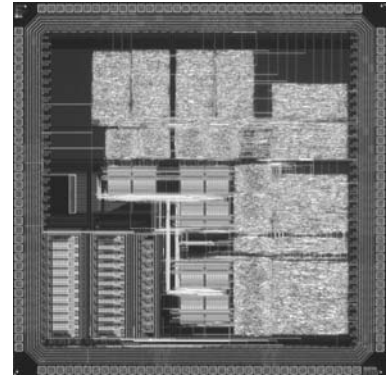
設計期間：8人月以上、9人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC, MentorGraphics社 ModelSim トランジスタ数：10,000以上、100,000未満 試作ラン：4.9mm角 チップ種別：マイクロプロセッサ



高速信号解析チップ

東京大学工学系研究科 Yeol Yeom-Jung
 東京大学人工物工学研究センター 高橋 浩之

概要：放射線の測定に用いるセンサは、個々の放射線の入射に応じて、そのエネルギーや到来時刻の解析が可能なパルス動作をさせることが多い。一つ一つのパルスには、センサ中での放射線の入射位置や、センサ内部に生じた電荷キャリアの成分比などセンサの動作や入射放射線に関する多くの情報が含まれている。そこで、このような情報をデジタル値の形で取り出して解析をすることで、より高精度な測定が可能になることが期待されている。本チップは、数MHz程度のパルスレートを想定し、高速で動作するマルチチャンネル放射線センサからの信号波形を同時に複数のチャンネルで解析するために、100MHz程度までの周波数で動作可能なAD変換器とVGA, Preamp, 64ワードのFIFOメモリなどを10チャンネル分搭載したチップである。

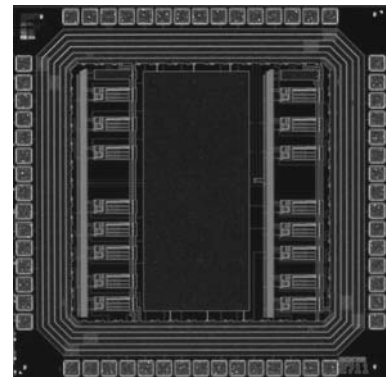


設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**4.9mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

マルチチャンネルプリアンプ

東京大学工学系研究科 Yeol Yeom-Jung
 東京大学人工物工学研究センター 高橋 浩之

概要：放射線計測では、センサに直接接続するプリアンプは、信号対雑音特性の大半を決定し、これに応じて、エネルギー分解能、時間分解能、空間分解能などが決まってくるため、大変重要な部分である。従来は、高いコストと空間を占めるディスクリット回路を用いることが主流であったが、本チップは、安価に多数チャンネルを有するプリアンプを実現することを狙って設計した。これにより、センサを細かくブロック分けして、エレクトロニクスを構成することが可能になり、センサの静電容量をより小さく抑えることが可能になる。また、プリアンプ部分の信号対雑音比は、通常、静電容量に反比例するので、高いエネルギー分解能を有するためには、ASICの利用が望ましいと考えられる。本チップでは、16チャンネルのプリアンプを1つのチップに集積し、通常マルチチャンネルセンサにおいて使いやすい規模となっている。

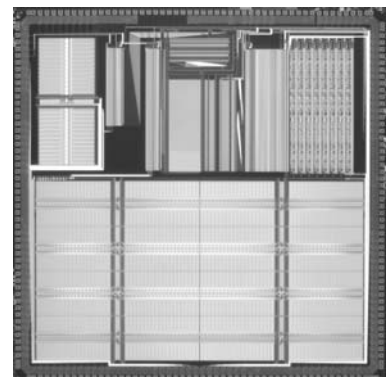


設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**100以上, 1,000未満 **試作ラン：**2.4mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

多層構造 Convolutional Neural Network 演算回路

九州工業大学大学院生命体工学研究科 是角 圭祐, 中野 鉄平, 森江 隆

概要：本チップは、昨年度設計した多層構造 Convolutional Neural Network 演算回路を改良し、低消費電力化を行ったものである。80×80画素の演算処理が可能であり、顔の位置検出を行うことができる。チップは主にSRAM, デジタルパルス幅変調 (PWM) 変換回路, PWM積和演算回路, PWM-デジタル変換回路, デジタル累算器, Look-Up Tableを実装している。積和演算の1回の処理時間は1μsで設計しており、パイプライン動作を行うことで、処理時間の効率化を図っている。なお、顔検出に要する時間は約66msである。80個のニューロン素子, 4080 (80×51) 個のシナプス素子の並列演算により、演算性能は最大で約8.2GOPSである。現在、本チップをFPGAにより制御することで、顔検出デモシステムを構築中である。



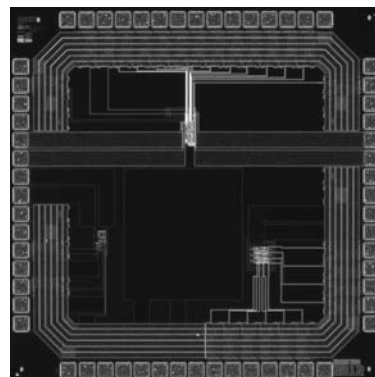
設計期間：1人月以上, 2人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 Astro, SII社 SX9000, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100,000以上 **試作ラン：**9.8mm角 **チップ種別：**ニューテクノロジー

PWM方式ガボールフィルタ回路 TEG

九州工業大学大学院生命体工学研究科 門 慶彦, 是角 圭祐, 森田 修, 中野 鉄平,
森江 隆

概要：ガボールウェーブレット変換は画像の局所的な空間周波数を抽出することができ、顔認識や医療画像診断などで威力を発揮する強力な特徴抽出法として知られているが、計算量が膨大なため応用が限られていた。昨年度、抵抗ネットワーク型セルラーニューラルネットワークによる画素並列方式に基づき、PWM信号を用いたアナログ・デジタル融合回路アーキテクチャにより、LSI化を図った。今回、2.4mm角のチップに、改良を加えた画素回路、PWM生成のためのランプ波形生成回路およびPWM-デジタル変換回路TEGを搭載した。ロジアナ/オシロスコープを用いた測定により（テストは使用せず）、正常な回路動作を確認した。

設計期間：2人月以上、3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, SII社 SX9000, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）



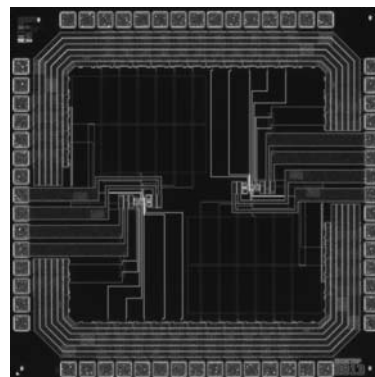
パルス変調方式任意カオス回路 TEG

九州工業大学大学院生命体工学研究科 後藤 優治, 中野 鉄平, 森江 隆

概要：我々はすでに、パルス幅またはパルス位相変調信号（PWM/PPM）で非線形時間波形をサンプリングすることにより、任意の非線形変換が実現できることを提案している [1]。この原理を用いて、電圧波形をサンプリングする方式の任意カオス信号生成回路を設計・試作し、様々な1次元カオス信号を生成することに成功している。今回、この改良型として電流波形をサンプリングする新しいカオス信号生成回路を考案・設計した。この方式では、D/Aを通して与える非線形波形の量子化の効果が、電流波形の時間積分により軽減され、より高い精度でカオス信号を生成できることが期待される。

参考文献： [1] T. Morie, et al., "Pulse Modulation Techniques for Nonlinear Dynamical Systems and a CMOS Chaos Circuit with Arbitrary 1-D Maps," IEICE Trans. Electron., Vol. E87-C, No. 11, pp. 1856-1862, 2004.

設計期間：2人月以上、3人月未満 設計ツール：SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）

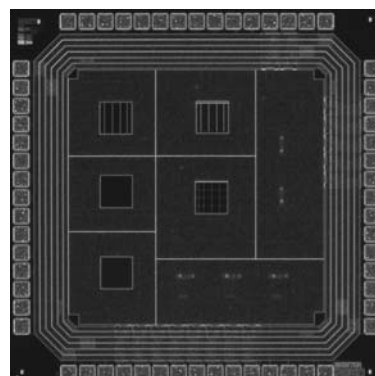


フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG

奈良先端大物質創成科学研究科 池内 隆志, 藤内 亜紀子, 香川 景一郎, 太田 淳

概要：異なるプロセス間でのフォトダイオード・CMOSイメージセンサ画素の基本特性を比較するために、以下の仕様に基づいたTEGチップを設計した。フォトダイオードの受光感度（A/W）の波長依存性の測定には、200 μm角の開口と接合領域をもつPN接合を用いた。CMOSイメージセンサの基本画素として3-Tr方式アクティブピクセルセンサを用い、フォトダイオードの接合面積を10 μm角とした。画素の中心間距離は20 μmとし、フォトダイオード間距離を10 μmとした。迷光を避けるために、フォトダイオード周囲に、千鳥格子状にVIAを配置して遮光した。5画素を一列に配置し、1画素のみを開口し、残りの画素を遮光した。これにより、受光感度（V/lx-s）と拡散キャリアによる画素間クロストーク特性の波長依存性が測定できる。試作したチップを用いて、以上の特性を測定した。測定時には、光学系により光照射領域をフォトダイオード開口部のみに限定した。テストは用いず、ASCOS社 TIME98+低電圧ユニットによる駆動波形を生成し、測定を行った。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：10以上、100未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）



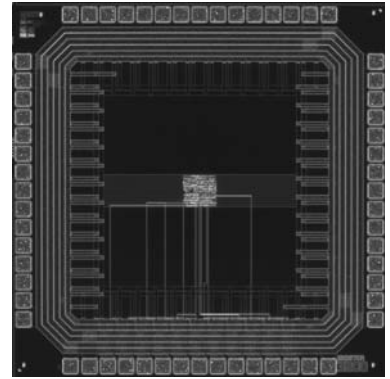
ユークリッド距離変換回路の試作

名古屋大学大学院情報科学研究科 高木 雅彦, 平田 富夫
中京大学情報科学部 磯 直行

概要: 画像処理やパターン認識の基本処理としてユークリッド距離変換が行われる。距離変換とは、前景と背景の画素にて構成された2値画像において、各画素が最近隣の前景とのユークリッド距離を持つよう変換することである。本試作では、2値画像を列と行の処理に分けることで効率的に距離変換処理を行うアルゴリズム [1] のうち、列の処理を実現した。各セルは列内にて隣接し、それぞれクロックに同期して信号を伝播する。出力は2ビットの記号化された値であり、引き続き行われる行の処理の入力として使われる。試作したチップの対象画像は8×8画素である。

参考文献: [1] 宮澤雅史, 曾培峰, 磯直行, 平田富夫: "シストリックアレイによるユークリッド距離変換アルゴリズムの実現", 情処研報, AL-87, pp.43-49, 2002.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 2.4mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



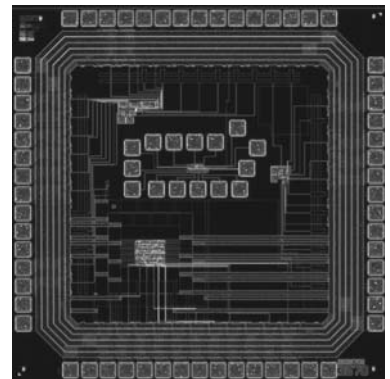
2ビット電流モード連続時間型 $\Delta\Sigma$ 変調器

上智大学理工学部 酒詰 俊輔, 池浦一賢 一賢, 和保 孝夫

概要: $\Delta\Sigma$ 変調器の高速化と高分解能化を両立させる目的で、多ビットコンパレータの採用が検討されている。今回は、1次電流モード連続時間型 $\Delta\Sigma$ 変調器において、閾値の異なる3個のコンパレータを使用して2ビット化を図った。また、これらの比較器と積分器はいずれも、高速化・低電圧化に有利な電流モードで動作するよう設計した。2ビット化によりSNRが約4dB改善改善できることが回路シミュレーションにより分かった。これは理論値である6dBに近く、2ビット化の効果が確認できた。すでに試作した電圧モードと比較した結果、電流モードの採用で、より高いサンプリング周波数での動作が可能になり、SNRの向上が確認できた。また、A/D変換器への発展を目指して、 $\Delta\Sigma$ 変調器の次段に接続するためのデシメーションフィルタ用のTEGとして3次4倍CICフィルタを設計した。信号処理を予め代数式で記述することにより回路規模、消費電力の削減を図った。

参考文献: 増田, 和保, 「連続時間 $\Delta\Sigma$ 変調器」平成15年度VDEC年報, 126頁 (2003)

設計期間: 8人月以上, 9人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数: 100以上, 1,000未満 **試作ラン:** 2.4mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

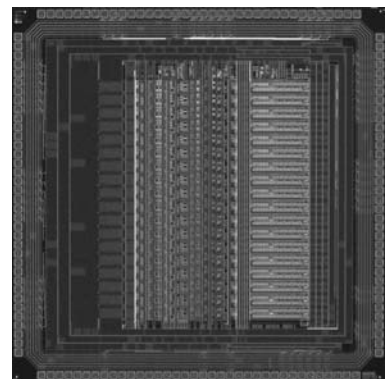


バッテリーレス無線送受信回路とアンテナ評価用TEG

東京工業大学精密工学研究所 山田 智浩, 岡田 健一, 益 一哉

概要: 本試作では、人体への服用を目指したバッテリーレス無線送受信回路およびアンテナの試作を行った。無線送受信回路は整流・昇圧回路と電源となるキャパシタ、電圧制限回路およびMOSスイッチで構成されている。整流・昇圧回路ではダイオードとキャパシタを用いた半波整流昇圧回路を多段接続したものを用いた。電圧制限回路はダイオードを多段接続したものを作成した。本試作では、送受信回路はプロトタイプとして、信号の送信タイミングは外部の測定器から与える。アンテナとしてスパイラルインダクタを試作した。インダクタにより発生させた磁場を信号伝送の媒体として利用する。インダクタを2個試作し、両インダクタを用いて、信号伝送の評価を行う。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist **トランジスタ数:** 10以上, 100未満 **試作ラン:** 4.9mm角 **チップ種別:** 通信 (RF回路, ATMなど)

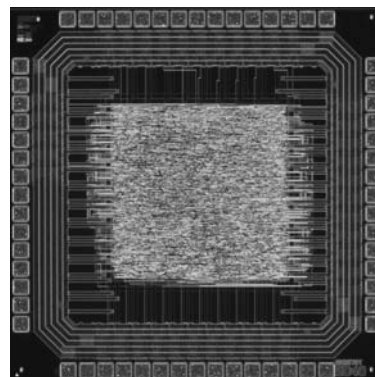


可変段数パイプラインを用いた乗算器

山形大学工学部 後藤 源助, 多田 十兵衛

概要：現在、消費電力を削減する手法として、クロック周波数を動的に変更し、電源電圧を低下させることが一般的に行われている。しかし、電源電圧を低下させると、リーク電流が増大し、低消費電力化の効率が悪くなる恐れがある。そこで、パイプラインレジスタの動作を動的に制御することで、パイプラインの複数のステージを1つのステージとして扱う可変段数パイプライン手法を提案した。可変段数パイプラインでは、パイプラインのステージ間にあるパイプラインレジスタに、レジスタを通さずに出力結果を次のステージにバイパスする回路を付加する。高速な動作が必要ない場合には、パイプラインレジスタを動作させずに出力結果を次のステージにバイパスする。パイプラインレジスタを動作させないため、電力を大きく削減することが出来る。本チップでは、これを16ビット乗算器に適用し、設計を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo
トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：演算回路（乗算器, 除算器など）



アナログ回路のための種々の低電圧化原理の確認

豊橋技術科学大学大学院工学研究科 秋田 一平, 伊藤 和将

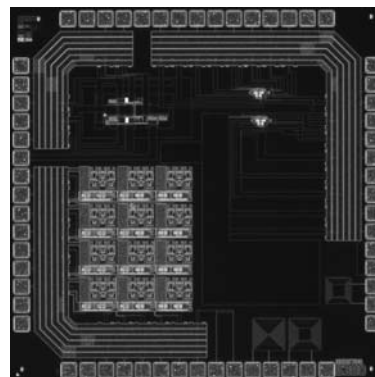
豊橋技術科学大学工学部 上田 昇, 和田 和千

概要：低電圧アナログ回路の構成技術であるCMOSログドメイン回路, 平衡型回路, 信号分割回路を取り上げ, これらの有効性を確認するための回路を試作している。(1) CMOSログドメイン回路として, 既に知られている積分器の構成を用い, 二つの積分器を組み合わせて遮断周波数300kHzの2次バターワース低域通過フィルタを設計することで, 弱反転領域を信号処理に利用する際の信頼性やシミュレーション結果の妥当性を調べた。

(2) 平衡型回路のための回路ブロックとして提案され, 等価的に線形な抵浮遊抵抗対として動作する回路 [1] について, 動作原理を確認するための設計を行っている。(3) 信号分割回路の中で最も簡単な2分割増幅回路の場合に示されている設計指針に基づき, 例となる回路を設計している。シミュレーションならびに実測結果との比較により, 設計指針の有用性を示すことを目的としている。

参考文献：[1] “平衡型回路における線形浮遊抵抗対のMOSトランジスタによる等価構成,” 伊藤 和将, 和田 和千, 田所 嘉昭, 電学電子回路研資 ECT-03-80, 2003年11月。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



Ashraトリガーセンサー回路用 TEG

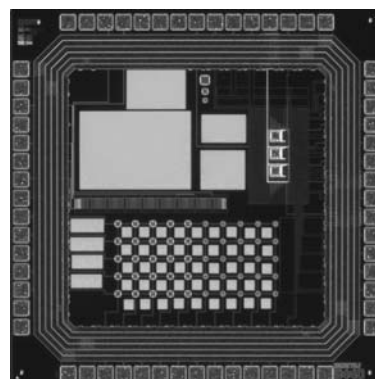
東京大学宇宙線研究所 会田 勇一, 青木 利文, 佐々木 真人, 増田 正孝

茨城大学工学部 木村 孝之

東邦大学大学院理学研究科 安田 雅弘

概要：Ashra (All-sky Survey High Resolution Air-shower detector) は, 高エネルギー宇宙線由来で生じる光を 2π 視野, 数分角の角度分解能で観測する事により, 宇宙線の起源と伝播の解明, VHEvの検出等を目標とする実験である。高エネルギー宇宙線観測を行う上で重要なデバイスであるトリガーセンサーは, 入力された光を光電変換し, 光電子を増倍させるPMT (Photo-multiplier Tube) を多画素化したMAPMT (Multi-anode PMT) と, MAPMTから出力された電流を電圧変換し波高弁別を行うトリガーセンサーLSIによって構成される。トリガーセンサーLSIの設計に当たり, 回路や配線等の様々なパラメータ評価を行う必要がある。このパラメータ評価を行うためにTEG (Test Elements Group) を作成した。本TEGでの評価項目として, MAPMTとの接合を行うパッドサイズの違いによる寄生容量の評価, トリガー出力波形の伝送経路となるWiredORによる遅延評価, 過電流対策用の保護回路の性能評価, 閾値弁別を行うシフトレジスタと波高弁別を行うコンパレータ等により構成されるトリガセンサ回路の性能評価が挙げられる。これらの性能評価を行うための回路を設計した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)

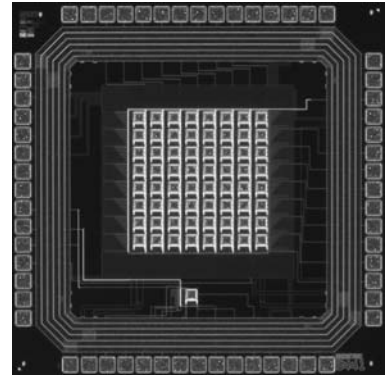


Ashra トリガーセンサー回路用 TEG2

東京大学宇宙線研究所 会田 勇一, 青木 利文, 佐々木 真人, 増田 正孝
 茨城大学工学部 木村 孝之
 東邦大学大学院理学研究科 安田 雅弘

概要: Ashra (All-sky Survey High Resolution Air-shower detector) は, 高エネルギー宇宙線由来で生じる光を 2π 視野, 数分角の角度分解能で観測する事により, 宇宙線の起源と伝播の解明, VHEv の検出等を目標とする実験である. この観測を行う上で重要なデバイスとしてトリガーセンサーが挙げられる. トリガーセンサーは入力された光を光電変換し, 光電子を増倍させる PMT (Photo-multiplier Tube) を多画素化した MAPMT (Multi-anode PMT) と, MAPMT から出力された電流を電圧変換し波高弁別を行うトリガーセンサー-LSI によって構成されている. 「Ashra トリガーセンサー回路用 TEG1」では回路単体での性能評価を行ったが, 本試作においては閾値選択と波高弁別を行う回路を 8×8 画素に並べた TEG, 性能評価用の 1 画素の TEG を設計した. この画素はコンパレータとシフトレジスタにより構成されるアナログデジタル混合回路である. 性能評価を行った結果, シフトレジスタによるデータ伝送は 12.5MHz まで正常に行える事が確認された.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 2.4mm 角 **チップ種別:** TEG (特性評価回路など)

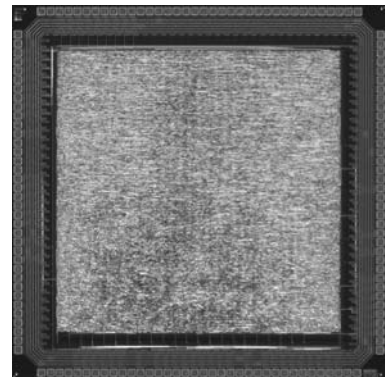


アクティブソフトウェア向け再構成可能な条件判定回路

奈良先端科学技術大学院大学情報科学研究科 伴野 充, 中西 正樹, 山下 茂, 渡邊 勝正

概要: アクティブソフトウェアとは自分の計算状況を監視して, 自分の状態や計算手順を調整する機能をもつソフトウェアである. アクティブソフトウェアは能動関数と呼ばれる内部に起動条件をもつ関数で記述され, 自身の起動条件が成立すると起動する. そのため, アクティブソフトウェアでは能動関数の起動条件の判定, 能動関数の起動・実行といったことが並列かつ頻繁に行われるという性質もっている. そこで, アクティブソフトウェアの効率的な実行のために条件判定機構をハードウェアにて実装した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** 4.9mm 角 **チップ種別:** その他

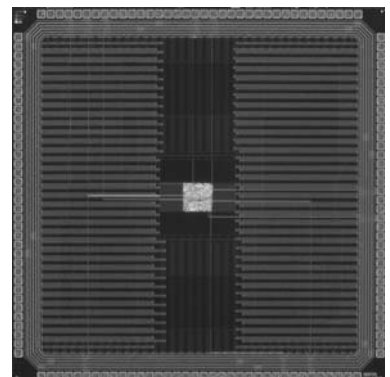


信号処理用 JTAG コントローラおよびテスト TEG

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸, 根岸 久

概要: 200Mbps で入力されるデジタル信号をバッファし, 内部でデジタルフィルタリングを行い必要な情報を取り出すための ASIC を製作する目的で, その内部ブロックのうちひとつを抽出し今回の TEG に入れてある. 機能としては内部のレジスタの制御を行うためのロジックおよびスローコントロール用の JTAG 入出力回路である.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 4.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



Verilog-HDLを用いた16bitマイクロプロセッサの設計

東京都立航空工業高等専門学校電子工学科 鈴木 達夫, 大鳥 浩史, 坂平 悠, 佐藤 弘樹,
三村 貴志, 松倉 秀幸, 吉川 拓,
千葉 良太郎

概要：都立航空高専の電子工学科では、Verilog-HDLを用いたマイクロプロセッサの設計を授業で教えている。それを市販のFPGAを用いて実現していたが、高専の卒業研究で、その試作チップを作ってみることにした。ノイマン型コンピュータの本質を理解しやすくするために、極めて単純な構造のマイクロプロセッサになっている。内部には16bit幅のアドレスバスとデータバスが1本ずつあり、レジスタは2つである。命令も32種類であるが、動作の理解に必要な十分なものが厳選されており、教育的効果は極めて高いものとなっている。試作チップの製作では、最初、色々と分からないことばかりであったが、VDECのリフレッシュ教育を受けることで、順調に進むことになった。試作チップを作ることで、多くのことを学び、とても勉強になった。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：マイクロプロセッサ

LUTカスケードLSI

九州工業大学マイクロ化総合技術センター 中村 和之

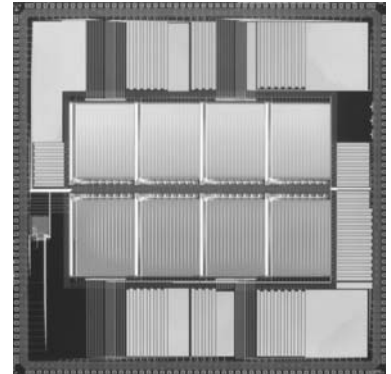
田中 克征, 吉住 謙一, 甲斐 祐介, 笹尾 勤

明治大学 井口 幸洋

概要：大規模メモリベースのLUT-cascade方式 [1] によるプログラム可能LSIを、0.35umCMOSプロセスにより開発した。一つのLUT&スイッチユニット (LSU:Look-Up Table and Switch Unit) は、64kbの非同期SRAMと、僅かなセレクト論理により構成される。そのLUTを直列接続し、BDD表現された論理をメモリにマッピングするツール [1] を利用することで、再構成可能 (Programmable) 論理を実現できる。本LSIは、8段パイプライン動作と完全非同期動作の2つの動作モードを持つ。本LSIは、昨年開発したLUTカスケードLSIに対して、第2世代のチップであり、特にメモリ部分の疑似同期動作化により、チップ全体の低電力化を図ったものである。

参考文献： [1] T. Sasao, M. Matsuura, and Y. Iguchi, "A cascade realization of multiple-output function for reconfigurable hardware", International Workshop on Logic and Synthesis (IWLS01) , pp. 225-230, June, 2001

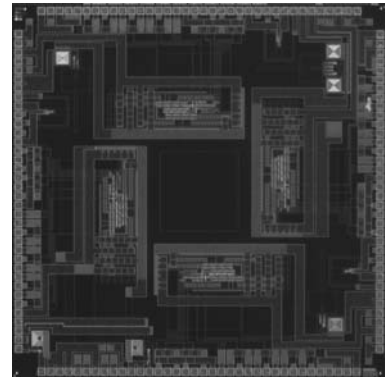
設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Verilog-XL, SII社 SX9000, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：9.8mm角 チップ種別：演算回路 (乗算器, 除算器など)



動的基板ノイズ低減手法

東京大学工学系研究科 名倉 徹

概要：集積回路の大規模化・高速化によってLSIの電源線に流れる電流量が増大し、電源線の寄生素子によって発生するノイズ量は大きくなる。特に消費電流の急激な変化 (di/dt) と電源線のインダクタンス成分によって引き起こされる di/dt ノイズは、今後の集積回路の高速化にとって深刻な問題となる。また、この di/dt ノイズは基板ノイズの原因ともなっており、アナログ・デジタル混載 LSI における、アナログ回路の特性劣化を引き起こす。基板ノイズはグラウンドノイズよりも大きさは小さいが、ほぼ同じ波形を持つ。グラウンド線インピーダンスにおいてインダクタンス成分が主な場合、グラウンドノイズと基板ノイズは di/dt に比例することになる。昨年、設計・試作して実証した di/dt 測定回路があるが、その出力を増幅器に入力し、その出力電流を基板に注入することで、基板ノイズをキャンセルすることができる。本ノイズ低減回路を用いた場合の基板ノイズを測定したところ、34%の基板ノイズ低減効果が得られた。また、本回路構成を最適化することにより、54%にまで低減効率を向上させることが可能であることを理論的に示した。

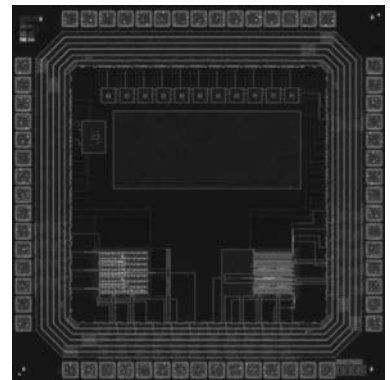


設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**4.9mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

センサ回路 TEG とオンチップオシロスコープ用タイミング信号生成回路 TEG

東京大学工学部 大池 祐輔, 飯塚 哲也
 東京大学 VDEC 池田 誠, 浅田 邦博

概要：本試作では各種の CMOS センサ回路用の TEG と、オンチップオシロスコープのためのタイミング信号を生成するための遅延信号生成回路用の TEG を実装した。実装した CMOS センサ用 TEG は、入射した変調光によって発生した光電流を、磁界を用いて受光部上で直接検波することで高速な位相検出を実現する。光伝播法 (TOF 法) による高精度な距離計測を目的とする。実装した遅延信号生成回路は、128 個のバッファを直列に接続した遅延線により構成され、クロック信号を遅延線に入力し、各バッファの出力を 7 ビットのセレクトにより選択することで所望の遅延を持ったクロック信号を出力する。今回の試作では入力信号を 30MHz のクロックとし、各遅延素子は 250psec の遅延を持つように設計を行った。各遅延を選択するセレクト部は、配線遅延を均等にするために H ツリー型の構造を持つようにレイアウトされている。測定の結果、7 ビットの選択信号に対して所望の遅延を持つクロック信号が出力され遅延信号生成回路が正常に動作していることが確認された。

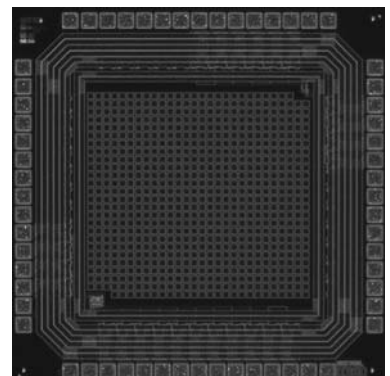


設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**2.4mm 角 **チップ種別：**TEG (特性評価回路など)

初歩的なデコーダ回路の製作

広島工業大学工学部 益田 幸雄, 高松 脩哉, 植田 誠司, 田中 武

概要：市販の集積回路を組み合わせた回路では、システムの小型化を図ることや、電子回路あるいは論理回路情報の漏洩を防ぐことには限界がある。それらの電子回路あるいは論理回路をワンチップ化して置き換えることにより、漏洩の問題を起りにくくすることができる。今回は、集積回路設計技術、特にレイアウト設計を習得するために、初歩的なデコーダ回路を、レイアウト設計ツールを用いて設計した。このデコーダ回路は、センサーからの入力信号をデコードするもので、デコードされた信号はスイッチからの入力によりセレクトされ出力される。集積回路内に基本 CELL を 4 個作り、この組合せによりでコード回路を構成する。外部回路とのインタフェース (I/F) は、センサー入力 2bit, スイッチ入力 4bit, およびデコード出力 15bit である。標準ロジック集積回路の 74 シリーズで構成した場合、集積回路数は 15 個程度になるものを、ワンチップ化した。プリント基板上の配線パターンを含めれば、1/15 の実装面積となり大幅な省スペースを実現できる。



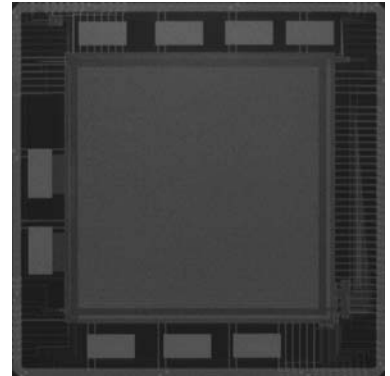
設計期間：1人月以上, 2人月未満 **設計ツール：**SHI 社 SX9000, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**2.4mm 角 **チップ種別：**演算回路 (乗算器, 除算器など)

Motion Detection Chip

東京大学新領域創成科学研究科 亀谷 暁

概要：我々の研究室では生物に近い画像認識を行う VLSI システムの構築を目指して研究を進めている。高等生物は視野の中で動いているものに注目する性質がある。本チップでは動体を切り出して、認識用 VLSI に動体の画像を渡すまでの処理を目的としている。従来の切り出し方式は画素差分情報を XY 両軸に射影し、平均値で閾値処理することで動体を矩形に切り出していた。しかしこの方式は動体が不連続に読み出され、かつ動体が無い場所を読み出してしまうという問題があった。前者は、動体検出に画素差分方式を用いているために、動体検出精度が動いている方向に依存してしまうためである。また後者は、カメラの動きによって生じた「動き」を高精度に検出してしまうために起こる。本チップは、閾値処理したバイナリデータに対して隣接3ビットの AND と OR を行うことで、欠損を埋め、余分な矩形を削除する。それにより、上記の二つの問題を解決するアーキテクチャを実装している。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100,000 以上 試作ラン：9.8mm 角 チップ種別：イメージセンサ/スマートセンサ

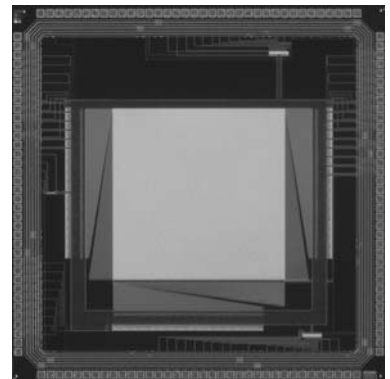


アナログメディアン値探索 TEG, 高集積化フォトダイオードアレイ

東京大学新領域創成科学研究科 中下 友介

概要：既に試作・検証済みのエッジ検出回路搭載イメージセンサチップを画像認識処理に適用することを考えた場合、重要となるのはその閾値決定方法である。閾値の決定方法には様々な方法が考えられるが、我々の研究室の研究成果として、各隣接画素の差分絶対値をとり、そのメディアン値を閾値とした画像認識処理の応用可能性が示されている。本チップにはアナログエッジフィルタにおいて閾値を決定するための、アナログメディアン値探索を行う試作回路を実装した。24 入力のアナログ値に対し、そのメディアン値を探索し出力する。また、イメージセンサの高集積化を検証するため、フォトダイオードアレイも同チップ上に実装した。このフォトダイオードアレイは、従来エッジ検出回路に搭載してきたフォトダイオード読み出し回路をその4分の1程度の面積で実装したものである。1セルあたりの面積は小さくなっているが、開口率は30%以上であり、イメージセンサとしての性能を維持したまま高集積化を実現した。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：イメージセンサ/スマートセンサ



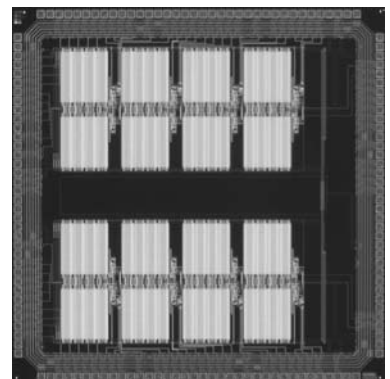
87

並列アーキテクチャ電流モード CDMA マッチトフィルタ

東京大学新領域創成科学研究科 中山 友之

概要：CDMA 無線通信方式において基地局と移動端末との同期を検出するマッチトフィルタと呼ばれる回路について試作を行った。マッチトフィルタを並列に用いることによりセルサーチ、パスサーチを同一ハードウェアで処理する CDMA 通信方式を考案した。ハードウェアを有効利用するためにセルサーチ時には PN 符号検索を高速に処理するアルゴリズムを考案した。フローティングゲート MOS 技術を用いた上記のシステムは開発済であるが、より低面積、低消費電力が見込まれる電流型マッチトフィルタを用いたものを開発、実装した。また、電圧型マッチトフィルタのソースフォロア定電流をカットできる方式も実装する予定である。本試作において開発されたマッチトフィルタをセルサーチにおいて並列動作させたところ、I 相、Q 相合わせて8並列256チップ相関長で15.1mW という低消費電力が得られた。今後は機能回路の詳細を検討し直し、さらなる低消費電力、小型、高速化に向けて研究していきたい。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：アナデジ混載

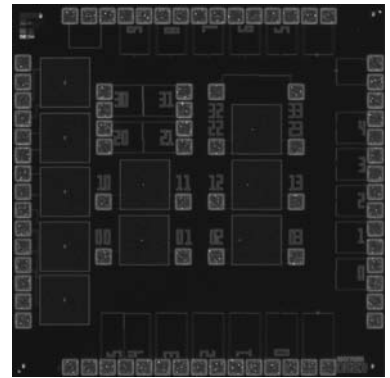


フォトダイオード特性評価用 TEG

東京大学工学部 清水 健, 高橋 徳浩

概要：本研究室では、エッジフィルタや動き検出回路など、フォトダイオードを用いた様々な回路が試作されてきた。しかし、どのような大きさ、形状のフォトダイオードが各々のピクセルセンサに最適であるかについて定量的な評価は一切行われてこなかった。そのため、フォトダイオードに流れる電流量などが推し量れず、フォトダイオード部に関しては経験に頼った設計を行い、そのためチップがうまく動作しなかった場合のトラブルシューティングの際に大きな妨げとなってきた。そこで、フォトダイオードの様々な特性を評価するための TEG を試作し、最終目標としてはピクセルセンサに最適なフォトダイオードの形状や大きさを模索する。そのために、PN 接合の組み合わせ方や面積、周辺長を変化させたフォトダイオードや、L 字型や楕円形など我々は利用してこなかった形状のフォトダイオードを複数設計し、光電流や、形状・大きさの違いによる電流の差異などを実際に測り今後のための基礎データとする。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)

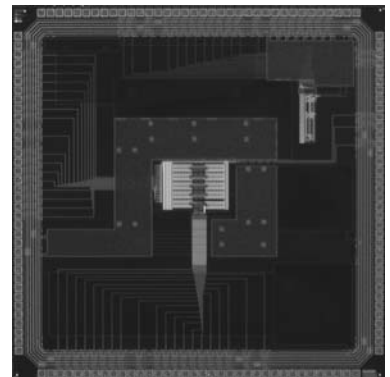


2ノ MOS を用いた耐タンパー論理回路

東京大学新領域創成科学研究科 トンプラシット ベンジャマース

概要：近年スマートカードはさまざまな分野で使用されるようになってきた。その結果、スマートカードの中に書かれた情報(特に PIN)が不正に読み出され、悪用される危険性も高まっている。内部の情報はさまざまな方法で読み出されるが、入出力を暗号化してもシステムの電力を観察し、その動作を推定するような方法がある。これを防ぐためには耐タンパー性を持つ回路設計が必要となってくる。そこで、2線式回路を用いて、常に対になっている演算(求める値と反転の値)を同時に行うことで、求める値に必要な演算とその反転値の演算を同時に行い外部から見た電力の変動を抑えることを提案する。この方法は、変動を抑えるために電力については通常の回路設計法より多く消費するが、高々2倍程度で、その結果、内部の動作を推定することが困難となる。本試作ではこの2線式回路の実装を行った。キャパシタを多く使う本回路は、プロセスの制限のためにレイアウトが大きくなっているが、これは DRAM 等のキャパシタ製造技術を応用することで回避できる。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ

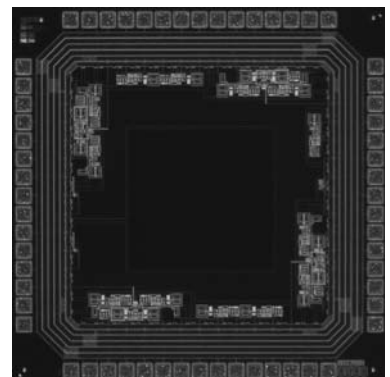


スイッチドキャパシタ・フィルタの設計

静岡大学電子工学研究所 高橋 誠, 小川 寛美, 渡辺 健蔵

概要：地震が発生する前兆の現象として地殻変動に伴う電波放射がみられる。その電波放射を捕らえ、地震予知を行う手法とする研究が行われている。その際にその電波帯域付近のノイズを除去するノッチフィルタが必要とされる。スイッチドキャパシタ回路でノッチフィルタを構成すれば素子の温度特性の影響を受けないフィルタが構成できる。高精度のスイッチドキャパシタ・フィルタを設計するためには高ゲイン、高精度のオペアンプが必要である。ここではスイッチドキャパシタ・フィルタを構成するための素子として、シングルエンドオペアンプ、全差動型オペアンプ、コンパレータ、アナログスイッチを試作した。試作回路の特性を測定し、HSPICE によるシミュレーション結果と比較した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

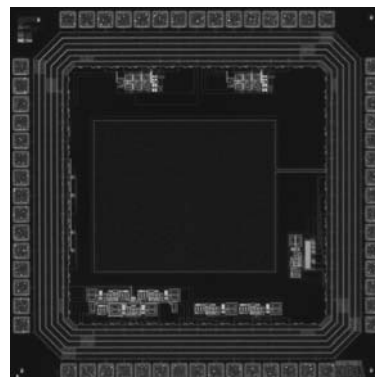


Rail-to-Rail CMOS カレント・コンペアの設計

静岡大学電子工学研究所 ホワン チュン スン, 小川 覚美, 渡辺 健蔵

概要：第二世代カレント・コンペア (CCII) は電流モード信号処理の基本構成素子である。低電源電圧でも広いダイナミックレンジと広帯域動作が期待できる電流モード信号処理の特長をいかして広帯域 Rail-to-Rail カレント・コンペアを設計した。カレント・コンペアは低消費電力化のために AB 級で動作するように構成されており、また、広帯域で安定な動作が得られるように位相補償回路が加えられている。試作回路の特性評価を行い、HSPICE によるシミュレーション結果と比較した。また、CCII を用いた電流モードフィルタを試作した。抵抗とキャパシタは外付けとした。単一 CCII を用いたフィルタ構成、及び、状態変数フィルタについて特性を測定した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

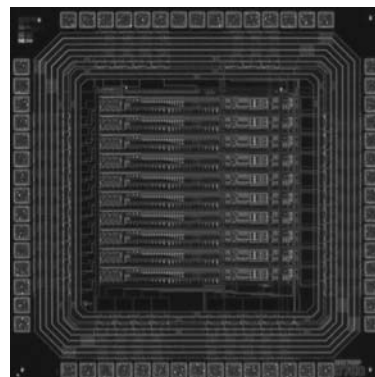


電流型パルス幅復調回路の試作

広島大学大学院先端物質科学研究科 亀田 成司, 小田原 正起, 岩田 穆

概要：現在、広島大学 21 世紀 COE で提案されている 3 次元カスタムスタックシステム (3DCSS) を用いた画像処理システムの研究が進められている。チップ間の画像データ通信にスパイラルインダクタを用いた無線通信を利用し、その転送回路を列並列に配置することで高速な画像処理が実現できる。しかしながら、列並列データ転送では各転送回路の特性ばらつきが問題となる。また、スパイラルインダクタによるデータ通信を利用するためには、各画素で計算されたアナログ画像情報をデジタルに変換する必要がある。本試作では、パルス幅変調 (PWM) 方式による列並列転送回路を試作した。個々の転送回路に複数の電流源を使用した素子特性ばらつき補償回路を持つ。また、電流源の寄生容量の影響を抑える機構も加えている。サイズが $1286.15\mu\text{m} \times 119.25\mu\text{m}$ の転送回路を 10 個並列に並べ、ばらつきの補償効果を確認できるようにした。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：2.4mm 角 チップ種別：演算回路 (乗算器, 除算器など)



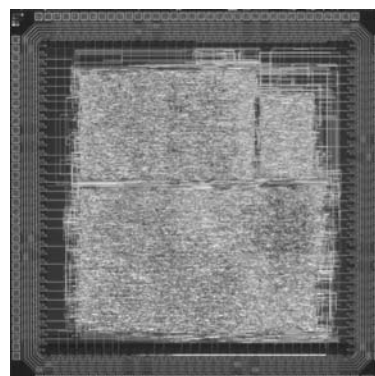
並列リコンフィギュラブル画像処理プロセッサのプロセッシングエレメント部の試作

東北大学大学院工学研究科 杉村 武昭, 福島 誉史, 栗野 浩之, 小柳 光正

概要：近年ロボット技術が急速な発展を見せ、将来人間と同じ環境を共有して作業することが現実味を帯びてきている。このようなロボットの実現には高性能な実時間高速画像処理システムが必要であり、リコンフィギュラブル画像処理プロセッサの研究を行っている。本チップはこの構成要素となる、プロセッシングエレメント部とその動的再構成を行う制御部を集積したものである。プロセッシングエレメントは、16bit ALU, 8bit 積和算器, 16bit レジスタファイル, 画像データメモリアンターフェース, プロセッシングエレメント間ネットワークインターフェース, これらを制御するコンフィギュレーションレジスタから構成されており、最大で 16 コンテキストのコンフィギュレーションデータを 1 クロックサイクルで動的に切り替えることが可能である。

参考文献：杉村武昭, 出口淳, 小西雄太, 中谷好博, 福島誉史, 近野敦, 栗野浩之, 内山勝, 小柳光正, "並列リコンフィギュラブル画像処理プロセッサを用いたロボットビジョンシステム" pp49-54, 信学技報 Vol. 104 No. 521, ICD 研究会 (2004)

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



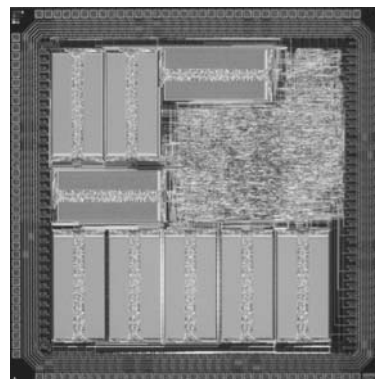
並列ロードストア命令に対応したデュアルポートメモリの試作

東北大学工学部 中谷 好博

東北大学大学院工学研究科 福島 誉史, 栗野 浩之, 小柳 光正

概要：近年、システムLSIやSoCにおいて高速動作かつ、大容量のメモリを搭載する必要が出てきているが、その双方を同時に満たすことは困難である。そこで、三次元積層型集積回路技術を用いて並列処理システムを構築することによりそれらの問題を解決することを目指している。本チップは三次元積層型集積回路を用いた並列処理システムの構成要素となるメモリシステムの試作チップである。提案するシステムは複数のメモリとそれに対応した複数のプロセッサから構成され、それぞれのメモリとプロセッサはインターコネクションネットワークを用いて接続されている。それぞれのメモリにはSRAMを用いた1KByteのデュアルポートメモリを使用している。デュアルポートメモリを使用するため、メモリのポートをそのメモリに対応したプロセッサ用とそれ以外のプロセッサ用に分けて使用することが可能となり、三次元構造において構造的に離れたメモリとプロセッサのアクセスする際にも対応したメモリとプロセッサのアクセスは常に1クロックで行うことができるように設計している。

設計期間：2か月以上、3か月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100,000以上 **試作ラン：**4.9mm角 **チップ種別：**メモリ



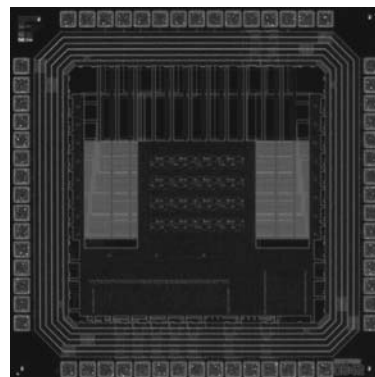
積層型人工眼チップのための刺激電流パラメータ制御回路の試作

東北大学大学院工学研究科 出口 淳, 福島 誉史, 栗野 浩之, 小柳 光正

概要：網膜の疾患により視細胞が死滅して失明に至った患者の治療のために、患者の網膜を直接電気刺激して視覚機能を回復させる人工眼の開発が求められている。我々はLSIを3次元的に積層する3次元集積化技術を用いた積層型人工眼を提案している [1]。網膜の電気刺激に用いる電流パルスの振幅、幅などのパラメータは患者の網膜の状態により異なる。そのため、人工眼チップ埋め込み後に、眼外から眼内のチップにパラメータ制御用のデータを伝送し、パラメータ調節を行う必要がある。今回、我々はそのような人工眼チップ開発に向けて、電流パルス発生回路、および、電流パルスのパラメータ制御回路を1チップ上に試作した。電流パルス発生回路はフォトダイオード、発振器、電流バッファから構成されている。パラメータ制御回路はD/A変換器、レジスタを用いて電流パルス発生回路の制御を行う。今後は、パラメータ制御回路のレジスタにデータを伝送するための送受信機の設計を行い、プロトタイプ的人工眼チップの試作を目指す。

参考文献： [1] J. Deguchi, et al., Jpn. J. Appl. Phys. 43 (2004) 1685.

設計期間：1か月以上、2か月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**2.4mm角 **チップ種別：**アナデジ混載



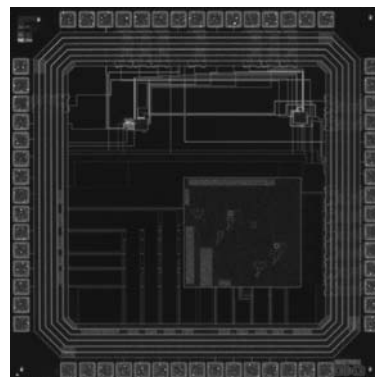
6ビット循環型A/Dコンバータの試作

東北大学大学院工学研究科 小野 宏, 辻 孝司, 福島 誉史, 栗野 浩之, 小柳 光正

概要：近年、医療用、家庭用、福祉用などの自ら外界認識、状況判断を行うロボットの研究が盛んに行われている。このようなロボットを実現するためには視覚認識が重要となり、実時間画像処理システムが必要となる。我々はこの実時間画像処理システムの実現のために、三次元集積化技術を用いた画像処理センサを提案している。この画像処理センサでは、各ピクセル内にA/D変換器を配置して光電流のA/D変換を並列に行うことで、高速な画像処理が可能となる。ピクセル内にA/D変換器を配置するためには超小型のA/D変換器が必要となる。そこで今回、我々は三次元集積化技術を用いた画像処理センサ開発に向けて、超小型6ビット循環型A/D変換器の試作を行った。本A/D変換器は、スイッチド・キャパシタ増幅回路、アナログマルチプレクサ、1.5ビットフラッシュ型A/Dコンバータ、エンコーダ、デジタル補正回路から構成されており、回路面積は145um×145umである。

参考文献： 小野宏, 出口淳, 杉村武昭, 栗野浩之, 小柳光正 ”イメージセンサのための非線形A/D変換器の検討” 2004年度IEICE, C-12-29

設計期間：1か月以上、2か月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**2.4mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



特定小電力無線用PLL, VCO, スパイラルインダクタTEGの設計

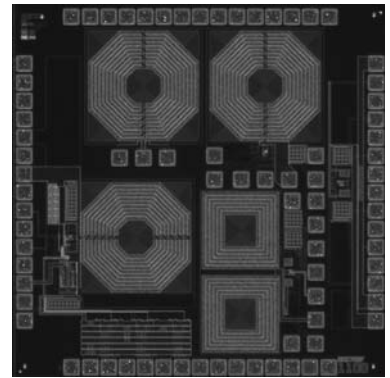
金沢大学集積回路工学研究室 有賀 健太, 伊藤 久浩, 秋田 純一, 北川 章夫

概要：国内の狭帯域無線通信規格である特定小電力無線規格用の受信用ICの要素回路、インダクタTEGの設計を行った。設計した位相同期ループ(PLL)、電圧制御発振器(VCO)は受信用ICに搭載される回路で、単体性能評価用に試作した。またVCO内に搭載するスパイラルインダクタのTEGも設計した。PLLは評価用ボードに実装した外部部品込みで性能評価を行った。VCO、インダクタTEGはウェハー上に高周波プローブでプロービングし、スペクトルアナライザ、ネットワークアナライザによって性能評価を行った。PLL、VCOは正常動作を確認することができた。インダクタTEGの測定結果から今後の設計時の参考にするための等価回路を作成することができた。VCOは要求仕様を満足できたが、PLLでは位相雑音特性の改善が課題である。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社

Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジ

スタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：通信(RF回路, ATMなど)



特定小電力無線用RFフロントエンド, バラクタTEGの設計

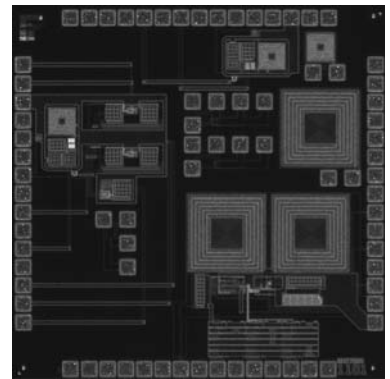
金沢大学集積回路工学研究室 有賀 健太, 伊藤 久浩, 秋田 純一, 北川 章夫

概要：国内の狭帯域無線通信規格である特定小電力無線規格用の受信用ICのRFフロントエンド部、バラクタTEGの設計を行った。このチップは受信用ICのRFフロントエンド部を単体評価用に設計したものである。使用周波数帯は420MHzである。ハートレー方式のイメージ除去構成をとっており、MIXERは2つ搭載されている。今回はポリフェイズフィルタを外付け構成とした。またVCOに搭載するバラクタTEGも設計した。評価用ボードを作成し、外部整合用回路込みで性能評価を完了している。正常動作を確認し、要求仕様を満足することができた。バラクタTEGにより特性の測定も完了しており、今後の設計の際の参考にすることができる。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社

Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：通信(RF回路,

ATMなど)



特定小電力無線受信IC

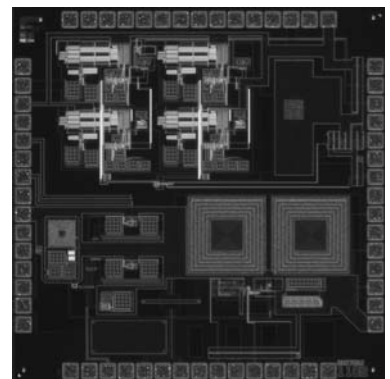
金沢大学集積回路工学研究室 有賀 健太, 伊藤 久浩, 中野 伸吾, 早瀬 圭, 秋田 純一, 北川 章夫

概要：国内の狭帯域無線通信規格である特定小電力無線規格用の受信用ICの設計を行った。この無線規格は民生用の建物内低速データ通信および制御系の無線通信を想定したものである。シングルスーパーヘテロダインアーキテクチャを採用しており、低雑音増幅器(LNA)、乗算器(MIXER)、電圧制御発振器(VCO)、位相同期ループ(PLL)、 Δ - Σ 型ADCを集積しており、デジタル信号処理による検波を行う。使用周波数帯は420MHz帯である。評価用ボードを作成し、試作ICを実装し外部素子とともに評価済みである。各回路の正常動作を確認することができた。一部仕様を満足できなかった評価項目もいくつか出てきた。回路構成からレイアウト構成まで含め、原因を考察し、要求仕様を満足するのが今後の課題である。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS,

Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：

2.4mm角 チップ種別：通信(RF回路, ATMなど)

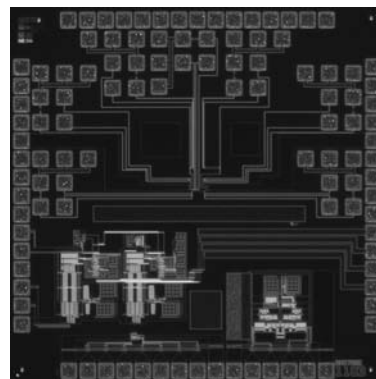


バンドパス型 $\Delta\Sigma$ 変調器・演算増幅器の試作

金沢大学集積回路工学研究室 早瀬 佳, 中野 伸吾, 高田 雅史, 秋田 純一, 北川 章夫

概要：バンドパス型 $\Delta\Sigma$ 変調器を用いることで任意の周波数において量子化ノイズを抑圧され高い SNR を得る事が出来、高分解能の A/D 変換器の実現が期待できる。本回路は、特定小電力無線規格トランシーバに用いる受信部で用いられるものである。サンプリング周波数 2.8MHz, OSR=64 で SPICE シミュレーションの結果, SNR は 70dB であった。また、 $\Delta\Sigma$ 変調器で使われる演算増幅器は、ゲインブーストされたフォールデッドカスコード型の全差動演算増幅器である。演算増幅器は雑音耐性を高めるため全差動型にした。演算増幅器も個別に測定するため単体でも試作した。 $\Delta\Sigma$ 変調器、演算増幅器の測定の結果、 $\Delta\Sigma$ 変調器は正常な動作を確認できなかったが、演算増幅器の正常な動作を確認でき、80 dB の DC ゲインを確認することが出来た。 $\Delta\Sigma$ 変調器が正常動作しなかったがその原因がわかった。次回試作では回路構成からレイアウト構成まで含め、要求仕様を満足するのが課題である。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



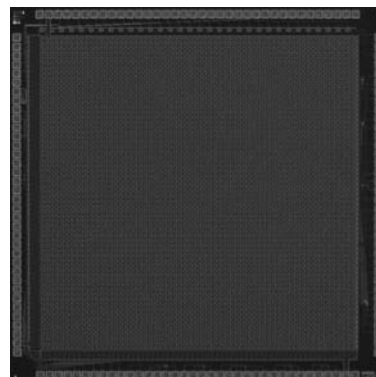
広ダイナミックレンジを有する二次元エッジ検出網膜チップの試作

豊橋技術科学大学大学院工学研究科 澤 伸也, 米津 宏雄

概要：我々は、網膜の視覚情報処理に学び、物体の輪郭情報を実時間で生成するエッジ検出網膜チップの提案とその集積回路化を試みてきた [1]。この網膜チップは、対数変換型光センサ部を導入することで広範囲の光強度の対応することできる。しかし、入力光強度に合わせて外部バイアス電圧の調整が必要であるため、一定のバイアス条件下ではそのダイナミックレンジが制限される。そこで、網膜チップのさらなる広ダイナミック化に向けて、網膜チップに導入されている抵抗回路網の改良を行った。また、出力信号を読み出すためにチップ内部に二次元シフトレジスタを搭載した。本試作では、新たに提案した網膜チップの単位回路を 64×64 画素配列した二次元エッジ検出網膜チップおよび二次元シフトレジスタを試作し、その特性を評価することを目的とした。

参考文献：澤, 西尾, 安部, 古川, 米津, "生体の網膜に学んだエッジ検出機構のアナログ集積回路化", 日本神経回路学会第 13 回全国大会 講演論文集, pp. 154-155, 2003.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：イメージセンサ/スマートセンサ

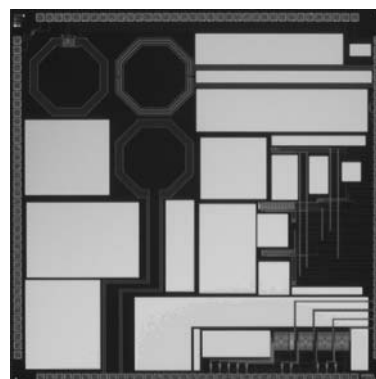


アナログ回路ブロックの電源 ON/OFF 制御回路ほか

東京大学国際・産学共同研究センター 石田 光一, 鬼塚 浩平, 桜井 貴康

概要：・アナログ回路が消費する電力はデジタル回路に比べて大きい傾向にある。システムにおいて全てのアナログ回路ブロックを常時動作させている必要がない場合も多いので、未使用の回路ブロックの電源を切り放すことはチップ全体の消費電力抑制に重要である。アナログ回路ブロックの電源を ON/OFF 制御する場合、起動時のセトリングタイムが短いほど好ましい。このため演算増幅器の起動時間を改善させるための回路を設計した。・チップ間ワイヤレス電力伝送の実現に向け、電力送信回路と磁界輻射用インダクタおよび受信用複数巻きインダクタを設計した。また、受信側整流部の部分回路として 3 つの PMOS を組み合わせ、フォワードバイアス状態を避けることを目指した整流器の設計を行った。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



マイクロディスプレイ用ドライバ回路 TEG

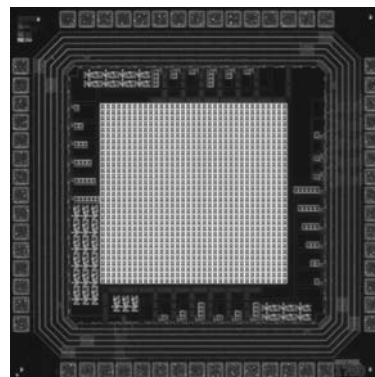
長崎総合科学大学工学部 田中 義人

長崎総合科学大学大学院新技術創成研究所 房安 貴弘

長崎総合科学大学大学院工学研究科 陳 蕾

概要：マイクロディスプレイは、現在では特にビデオカメラやデジタル・スチルカメラに使用されるビューファインダーが代表的な用途である。またニッチマーケット向けには、暗視用ゴーグル、弱視補助、熱映像装置などが挙げられる。ユビキタス社会が加速的の広がりを見せる中、高精細で多情報の画像媒体として、また Near Eye 用途の将来として、マイクロディスプレイは情報と通信分野への大いなる展開が期待されている。一般にマイクロディスプレイとは、対角インチ数が1.5型以下の小型ディスプレイを指す。マイクロディスプレイを搭載したヘッド・マウント・ディスプレイを頭部に装着すれば、技術者は仮想マニュアルを目の前に置いた状態で複雑な機器を修理することができる。さらにノート・パソコンに適用すれば、本体をより小さく軽くでき、電池動作寿命を大幅に延ばすことが可能になる。本試作では、ピクセルアノードとその電圧をコントロールするドライバ回路の回路方式及び設計パラメータの検討・評価を目的として試作を行った。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)



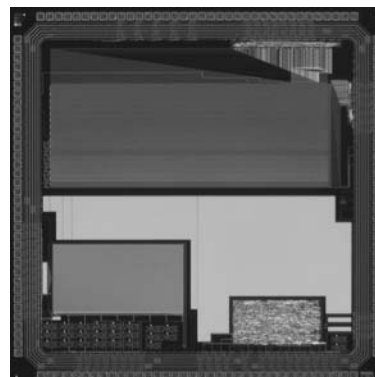
MOSFET アレイと SRAM の試作

長崎総合科学大学工学部 田中 義人, 畠田 亮太郎, 中水流 史朗

長崎総合科学大学大学院工学研究科 金 奉基, 八谷 茂幸

概要：集積回路プロセス技術の微細化及び低電圧化が進みアナログ CMOS 回路の素子のばらつきが増大する傾向にある。素子ばらつきは、その特性を劣化させるばかりではなく補正回路等による設計の複雑化を招く原因となっており、素子ばらつきの理論的及び実験的研究は、重要になってきている。本試作では、MOSFET の V_t と β ばらつきデータ取得・解析の為、LSI 内部に作り込んだ隣接する MOSFET 間のマッチング特性の評価を目的とした。また、2003 年度に試作した $\Delta\Sigma$ -D のデシメーションフィルタ用の SRAM も同 LSI に搭載した。MOSFET アレイは、同一 LSI 内部のランダムばらつきを調査する為、(W/L) の比率が16種類、MOSFET の総数16320個の MOSFET をアレイ上に試作した。MOSFET アレイは2種類のデコーダ (X, Y 制御) により選択され IDS-VGS 特性を測定する構成になっている。また、試作した SRAM は、8bit1024ワードで読み出し・書き込み回路の異なる回路を2回路、試作した。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：10,000以上、100,000未満 試作ラン：4.9mm角 チップ種別：TEG (特性評価回路など)



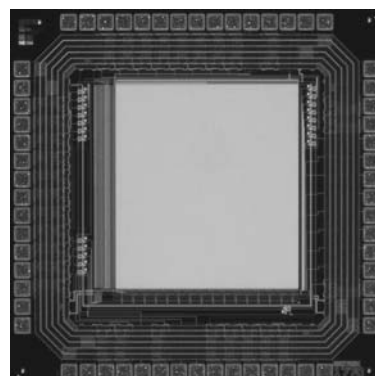
SFQ/CMOS ハイブリッドメモリシステムの動作検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクワイオメモリの実現を目指している。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタ DRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ 回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダである。一方、CMOS デバイスは数GHzで動作し、その電圧振幅は1Vのオーダである。したがって、ハイブリッドシステムの実現のためには、SFQ 論理回路の高速微小電圧出力を CMOS 論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。本チップでは、CMOS メモリとアンプから成るシステムを構成し、入力40mVの微小信号入力に対する CMOS システムの動作を確認した。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上、100,000未満 試作ラン：2.4mm角 チップ種別：メモリ

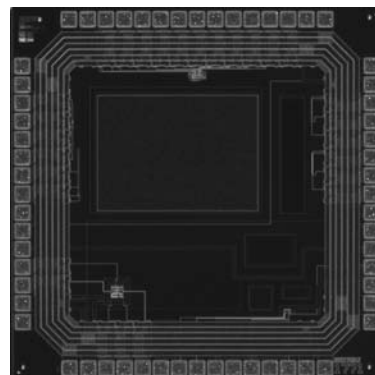


SFQ/CMOSハイブリッド用CMOSクライオデバイスモデルの検証

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダである。一方、CMOSデバイスは数GHzで動作し、その電圧振幅は1Vのオーダである。したがって、ハイブリッドシステムの実現のためには、SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。また、本システムでは、CMOSデバイスを低温で動作させることになるが、システム的设计、性能評価のためには、低温でのCMOSデバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかのCMOSデバイスを試作した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：メモリ



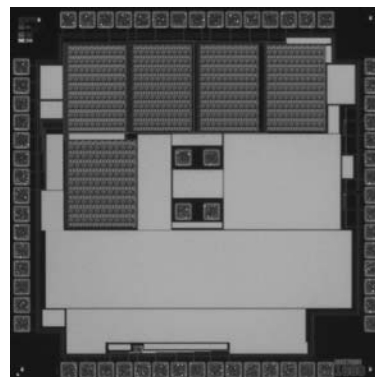
MOSFET特性ばらつき評価用試験回路

広島市立大学情報科学部 寺田 和夫, 山内 文周, 上木 彰彦

概要：1) MOSFETのしきい値ばらつき評価用試験回路, 2) 多数の単体MOSFETを行列状に並べてデコーダを通して測定できるようにしたMOSFETアレイ, 3) MOSFETのドレインコンダクタンスとしきい値電圧の両方のばらつきを評価できる試験回路の3種を集積した。1) 3) は我々が考案した、簡単な電流電圧特性を測定するだけで標準偏差を測定できる回路である。2) はその測定結果を検証するためのものである。設計通りのデータが得られ、試験回路で得られた標準偏差が個々のMOSFETの特性から計算したものと一致することが確かめられた。また、チャンネル面積の異なるMOSFETを用いた試験回路の結果から、「標準偏差がチャンネル面積の平方根に逆比例する」ことが確かめられた。

参考文献：K. Terada and K. Fukeda, "Further Study of VTH-Mismatch Evaluation Circuit", Proc. Int. Conf. on Microelectronics Test Structure, p. 155-159, (2004)

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：TEG (特性評価回路など)



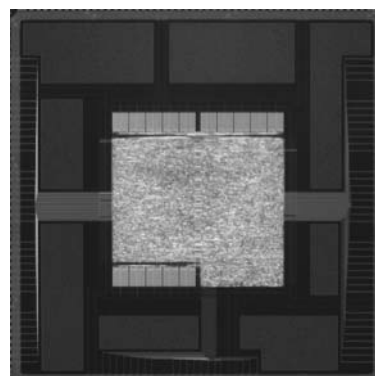
位相インパルス応答関数法を実装した動的再構成プロセッサ

東北大学大学院工学研究科 宮本 直人, 小谷 光司
 東北大学未来科学技術共同研究センター 大見 忠弘

概要：二次元画像をフーリエ変換 (FFT) して得られる位相情報は、1/100 サブピクセルの超高精度パターンマッチングの実現に不可欠である。しかし、従来のFFTを含むデジタル画像認識LSIでは処理速度が非常に遅く、高フレームレートを得るには画像のサイズを小さくせねばならなかった。例えば株式会社山武のCinderella IIは、256 x 256画素の画像認識に27msec・3.5W必要である。これは、512 x 512画素に換算すると10fpsも達成できない。一方、提案するプロセッサは、512 x 512画素をCinderella IIのほぼ二倍の15fps・0.5W@100MHzを実現した。本プロセッサは内部に四個の動的再構成ALUを持ち、これらのALUは、アルゴリズムに必要な全処理の中から何れか一つに瞬時に再構成できる。オブジェクト指向言語のように、クラスタ化されたデータの塊に対して複数の連続したメソッドを実行する計算シーケンスとなる。プロセッサ中でメインメモリアクセス回数と信号の総伝搬距離は最小化され、その結果、消費電力とデータ転送時間が極めて少なくなった。

参考文献：Kazuyuki Maruo, Masayoshi Ichikawa, Naoto Miyamoto, Leo Karnan, Takahiro Yamaguchi, Koji Kotani and Tadahiro Ohmi, "A Dynamically-Reconfigurable Image Recognition Processor," IPDPS 2004, pp. 151-154 (2004)

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：9.8mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



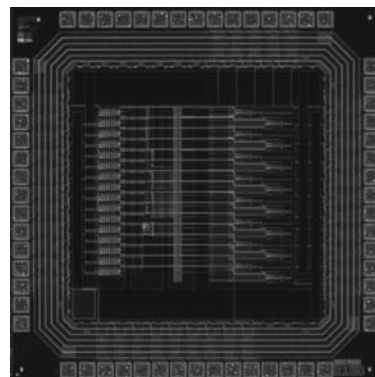
Multi Function Gateの試作

仙台電波工業高等専門学校専攻科電子システム工学専攻 永沼 和文

仙台電波工業高等専門学校電子工学科 石塚 拓人, 戸内 真之, 浅見 誠治

概要：本校では、論理回路の基礎やそれによって構成される多くの演算回路などについて学ぶ機会がある。それらの実際の動作を簡単に見て理解することができるように、また新しいデザインルールでの1回目の試作として、学生実習のデモンストレーションに用いることを目的とした多機能ゲート回路 (Multi Function Gate) を組み込んだLSIの設計試作を行った。提案した回路は、デジタル技術の教科書に一般的に記載されている十数種類の論理機能回路を一つのLSIに組み込んだものである。そして組み込んだ回路それぞれの論理動作を外部から指令として入力する制御信号によって切り替えることが出来る構成となっている。入出力には16bitに対応したデマルチプレクサとマルチプレクサを配置して多機能ゲート回路としての動作を行う。また、今後は本LSI回路を応用して、新しいシステム回路を設計試作することを検討している。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：演算回路 (乗算器, 除算器など)



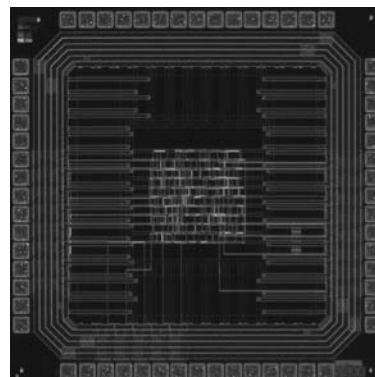
8bit×8 SRAM

東京大学大学院情報理工学系研究科 酒造 正樹, 星野 一憲, 下山 勲

概要：我々のグループでは、これまでの試作でALUやCPUの設計を行ってきた。これらの演算ユニットにはメモリ空間が含まれておらず、外部接続のROMを用いていた。今回の試作では、ワンチップでのマイコン実現へ向け、フリップフロップを用いた8bit×8のSRAMを設計した。外部から入力したクロック信号に同期して、データの書き込みと読み出しが可能である。入出力は、8bitのアドレスバス, 8bitの入力データバス, 8bitの出力バス, 1bitの書き込みイネーブル入力からなる。出力端子には独自のパッドを設計し、納品されたチップに対する検査を可能にした。

参考文献：菅原, 大村, 関口, 富岡, 酒造, 長澤, 松本, 下山, "ALUの設計," p. 137, 2002年度VDEC年報 (2002) .

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：メモリ



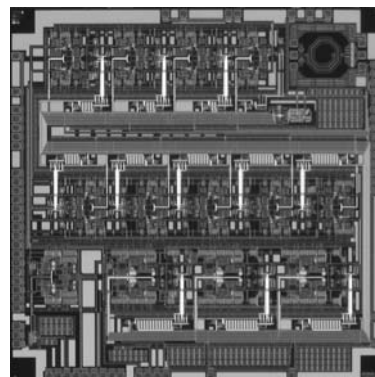
素子ばらつきを考慮した電流モードパイプライン方式ADC

中央大学理工学研究科 合田 裕二

中央大学理工学部 杉本 泰博

概要：パイプライン方式ADCは高速動作が可能であり、小規模回路で構成できる特徴をもっている。しかし、更なる高精度化を実現しようとする場合、製造等の過程で発生する素子ばらつきに基づく誤差の影響が問題となる。この素子ばらつきのためA/D変換に誤差が生じ、その結果として回路全体のダイナミックレンジが減少してしまう。そこで、素子ばらつきの影響により入力に対して出力が δ の大きさの誤差を持つとするならば、入力に対して出力が $+\delta$, $-\delta$ と、同量、逆極性の誤差を持つような2つの回路構成を考え、両回路の出力を平均化することで出力信号中に含まれる誤差を打ち消すという、素子ばらつきに影響されない新たなA/D変換方式を提案した。C言語を用いたシステムシミュレーションでは、素子ばらつきに基づく誤差を打ち消し、ダイナミックレンジを大幅に拡大することが出来た。この構成を採用し、電流モードにてパイプライン方式ADCの試作を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上, 10,000未満 試作ラン：4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

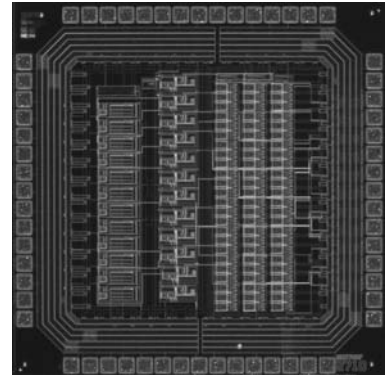


ポジトロンCT用フロントエンドチップ

東京大学工学系研究科 Yeom Jung-Yeol
 東京大学人工物工学研究センター 高橋 浩之

概要：小動物用の高分解能ポジトロンCT (PET: Positron Emission Tomography) は、薬剤の開発や生体の研究において多くの有用な情報を与えてくれるツールとして、その発展が期待されている。我々は高分解能PETへの適用を目的として、小型のAPD (Avalanche Photo Diode) や化合物半導体センサなど、半導体センサを活用することを検討している。本チップでは半導体センサと組み合わせるための高い信号対雑音比を有するプリアンプ部を必要とし、さらに1mm以下のピクセルに対応する高密度化の要求されるセンサのフロントエンド電子回路の機能を多数集積することを目的に設計した。ここでは、比較的一般的な機能を中心として、積分時間可変な電荷増幅器、フィルタ時定数の制御可能な波形整形増幅器、複数の設定値の可能なコンパレータなどの機能を12チャンネル分集積した。これにより、PET用化合物半導体画像センサのパルス信号処理の高性能化が期待される。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**2.4mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

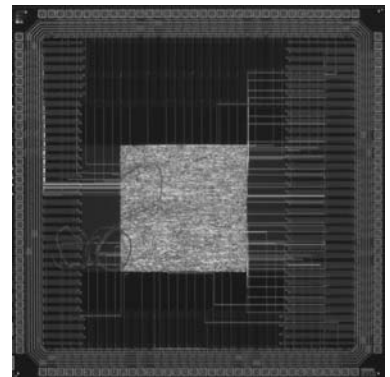


センサネットワーク用チップ

東京大学工学系研究科 小松 謙介
 東京大学人工物工学研究センター 高橋 浩之

概要：センサネットワークは、独立に動作する多数のセンサから得られる情報を統合し、高信頼かつ、高機能なセンサ集合体を実現するものであるが、本チップでは比較的均質かつ多数のセンサを用いることを仮定し、センサネットワーク上で互いに近接する各センサ間で情報の共有がなされる場合に、この冗長性を用いて、お互いの動作が適切であるかどうかを診断しあうことを導入した。この手法により、全体として高い信頼性を与えるセンサネットワークを実現することができると考えられる。本チップでは各センサに対応する信頼度を導入し、この信頼度はそのセンサが自身でできるのではなく、隣り合うセンサから、書き換えてもらう機能をもたせた。この信頼度の大きさによってネットワークを再構築し、不良センサを排除することが可能である。全体の動作は並列に動作するので高速性も期待できる。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**4.9mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

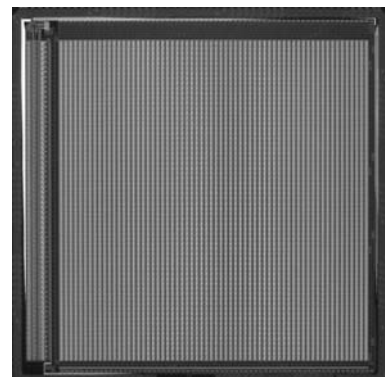


画素並列型ガボールフィルタLSI

九州工業大学大学院生命体工学研究科 森江 隆, 是角 圭祐, 中野 鉄平

概要：ガボールウェーブレット変換は画像の局所的な空間周波数を抽出ことができ、顔認識や医療画像診断などで威力を発揮する強力な特徴抽出法として知られているが、計算量が膨大なため応用が限られていた。昨年度、抵抗ネットワーク型セルラーニューラルネットワークによる画素並列方式に基づき、PWM信号を用いたアナログ・デジタル融合回路アーキテクチャにより、LSI化を図った。今回、画素回路を改良すると共に、デジタル-PWM変換回路などの周辺回路を組込み、完全デジタル入出力制御を可能とした。9.8mm角のチップに64x64画素分の回路を集積した。ロジアナを用いた測定により(テストは使用せず)、インパルス動作、空間周波数抽出動作を確認した。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 Astro, SII社 SX9000, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数：**100,000以上 **試作ラン：**9.8mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

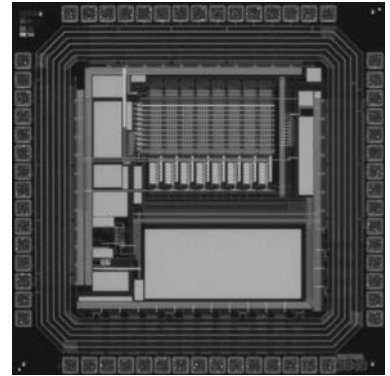


制御用専用ニューラルチップ

山梨大学工学部 森下 裕之

概要：分散処理システムの末端における制御などへ応用することを目指して、ニューラルネットワークをデジタル回路で実現するプロトタイプチップを試作した。実装したニューロンは8個で、その動作は形式ニューロン模型に従うとした。面積的には倍のニューロンの実装も可能であるが、ニューロン数の上限はパッドの数で決まった。ニューロン間の結合は重みにより決定されるが、その値をメモリーに保存し自由に変更が可能であるようにした。これにより、任意のニューラルネットワークを実現することが出来る。また、ニューロンの閾値処理を行う演算部分をニューロン毎に設けることで、回路規模は増加するものの消費電力の低減を図った。具体的な機能として特定の生物における神経機能をエミュレートすることを目指しており、限られた器機に限れば現実的な制御方法として利用も可能である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

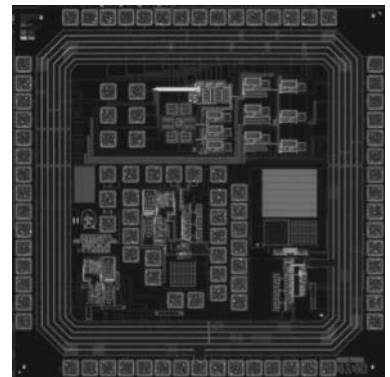


演算増幅器と光通信信号処理回路

慶應義塾大学理工学部 田村 善朗, 熊谷 博子, 松本 佳宣

概要：0.35ミクロンCMOS技術を用いてゲイン、周波数特性の異なるいくつかの演算増幅器を考案して設計した。また、FTTHや光インターコネクトなどの短距離光通信用にトランスインピーダンス回路、Rail to Rail Amp, バッファ回路などを設計した。トランスインピーダンス回路に必要とされる抵抗はHi-PolyR抵抗を利用した。また、Rail to Rail Ampにはオフセット補正機能を持たせた。さらに、CMOS技術で製作されるフォトダイオードの応答感度、周波数特性を評価するために、異なるレイアウトのフォトダイオードを設計した。また、フォトダイオードとトランスインピーダンス回路、レーザーダイオード駆動回路などを集積化した素子に関する設計もおこなった。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上、1,000未満 試作ラン：2.4mm角 チップ種別：演算回路（乗算器、除算器など）

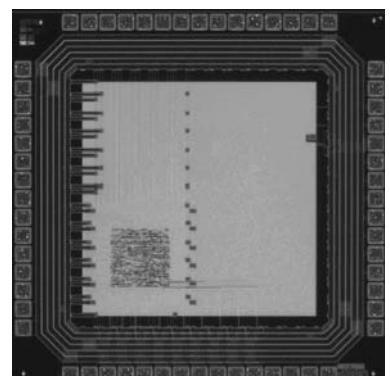


低ジッタ全デジタルPLLの試作

九州東海大学工学部 佐々木 博文, 藤本 邦昭

概要：当研究室では、全デジタル位相同期ループ（PLL：Phase Locked Loop）の高性能化を目指して研究を進めており、2003年度には1周期前の状態を考慮して位相制御を行なうことにより、出力ジッタを高速クロックの1パルス分、すなわち最小限に抑制できる全デジタルPLLの試作を行った。しかし、この回路は出力ジッタが入力信号の立ち上がりエッジの前後どちらに発生するかが不定であった。タイミング抽出などのシステムにおいては出力ジッタが基準クロック1パルス分であっても入力信号の立ち上がりに対して出力ジッタの発生位置が不定であると、基準クロック2パルス分の余裕を見なければならず、高速動作等を制限していた。今回試作した全デジタルPLLでは、出力ジッタが基準クロック1パルス分であり、かつ出力ジッタを常に入力信号の立ち上がりエッジの片側に制御しこの問題点を解決している。

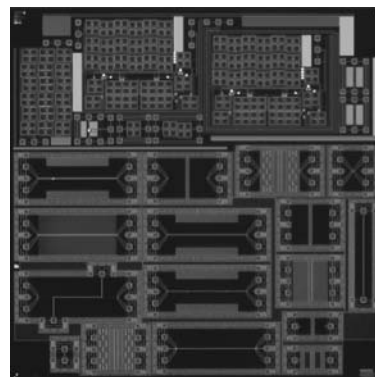
設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：その他



オンチップ伝送線路およびバッテリーレス無線送受信回路用 TEG

東京工業大学精密工学研究所 山田 智浩, 伊藤 浩之, 岡田 健一, 益 一哉

概要：本試作では、LSI 内での超高速信号伝送を目指した伝送線路配線とバッテリーレス無線送受信回路の試作を行った。伝送線路 TEG は縞り線と擬差動伝送線路、de-embedding パターンで構成されている。縞り線のモード変換低減効果とビアでの損失を評価するために、縞り合わせない差動伝送線路 TEG も試作している。また縞り線と差動伝送線路用の de-embedding パターンはオープン 2 種類とショート 3 種類、スルー 1 種類を作成している。擬差動伝送線路評価 TEG は 5 種類あり、それぞれ擬差動線路単体と差動線路の部分の評価するパターンを作成している。無線送受信回路は前回の試作した回路に加え、信号送信のタイミングを発生する回路を作成している。また、送受信回路にアンテナコイルを加えた TEG も作成した。アンテナを除いた送受信回路は 1.2mm×1.5mm と小面積で実現している。

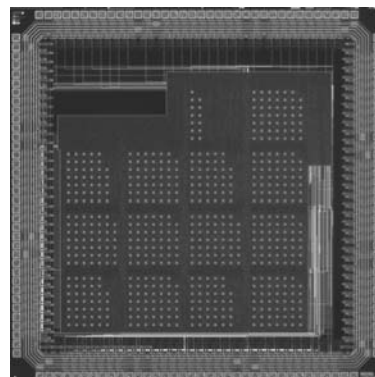


設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10 以上, 100 未満 試作ラン：4.9mm 角 チップ種別：通信 (RF 回路, ATM など)

差分光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能な差分光再構成型ゲートアレイ ODRGA (Optically Differential Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わせられたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $9.5\mu\text{m} \times 9.5\mu\text{m}$ 、その間隔を $99.0\mu\text{m}$ とし、1210 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模と従来の試作品のものと同じであるが、評価の目的で、2 倍の光バスを実装した。

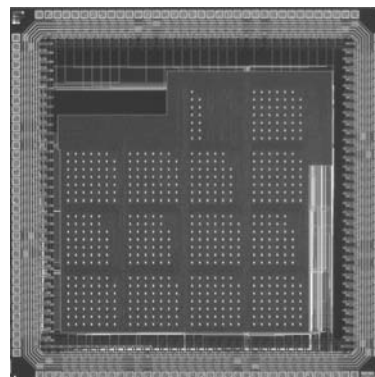


設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：その他

差分光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能な差分光再構成型ゲートアレイ ODRGA (Optically Differential Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わせられたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $20.1\mu\text{m} \times 18.9\mu\text{m}$ 、その間隔を $99.0\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ODRGA のゲート規模は 68 ゲート規模と従来の試作品のものと同じであるが、光バスの検査回路を見直し、光学部の開発を容易にできるチップとして設計した。



設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：その他

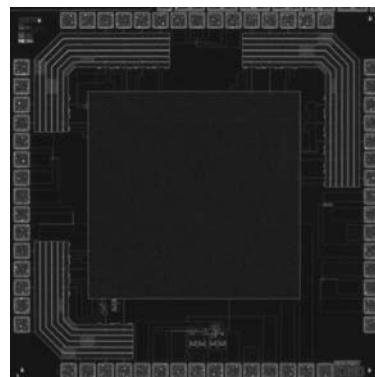
低電圧 ASK 送信回路

豊橋技術科学大学大学院工学研究科 八木 大介

豊橋技術科学大学工学部 和田 和千

概要：低速のアナログ信号を無線で伝える小型システムを目指し、低電源電圧下で動作する Amplitude Shift Keying (ASK) 方式の送信回路を試作している。含まれる回路ブロックは、アナログ・デジタル変換回路 (ADC) と、搬送波を発生させるための発振回路である。ADC には、オーバーサンプリング方式で回路規模を小さくできる $\Delta\Sigma$ ADC の構成を用いている。また発振回路は、数百 MHz 程度の発振波形を簡単な構成で得られるリング発振回路としている。リング発振回路のみならず、 $\Delta\Sigma$ ADC をも CMOS インバータのみで構成することで、送信回路の低電圧化を図っている。この回路の詳細な解析により、実現し得る特性のトレードオフを考慮し、最適なトランジスタサイズを求めて設計している。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10 以上, 100 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



Ashra トリガーセンサー LSI (1)

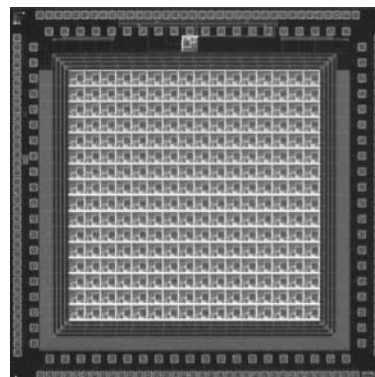
東京大学宇宙線研究所 会田 勇一, 青木 利文, 佐々木 真人

茨城大学工学部 木村 孝之

東邦大学大学院理学研究科 安田 雅弘

概要：Ashra (All-sky Survey High Resolution Air-shower detector) は、高エネルギー宇宙線を 2π 視野、数分角の角度分解能で観測をする事により、宇宙線の起源と伝播の解明、VHEv の検出等を目標とする実験である。Ashra では高エネルギー宇宙線から生じるチェレンコフ光、大気蛍光という異なる二種類の光を同時観測する。これらの光を観測するために、撮像装置の露光制御を行うトリガーセンサーが必要となる。トリガーセンサーは入力された光を光電変換し、光電子を増倍させる PMT (Photo-multiplier Tube) を多画素化した MAPMT (Multi-anode PMT) と、MAPMT から出力された電流を電圧変換し波高弁別を行うトリガーセンサー LSI によって構成されている。本試作では、この Ashra トリガーセンサー LSI の試作開発を行った。Ashra トリガーセンサー LSI では目標とする物理により、(1) 閾値電圧の変可変、(2) 高速トリガー、(3) 時定数の可変といった機能を有する画素の多画素化が要求されている。これらの要求を満たす機能を含んだ回路を $200\mu\text{m} \times 200\mu\text{m}$ の画素内に配置し、さらにこの画素を 16×16 に並べたトリガーセンサー LSI を開発した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：アナデジ混載



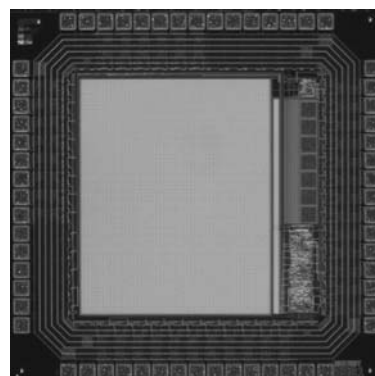
超多重 RFID 向けトランスポンダ実験チップ

神戸大学工学部 福水 洋平, 大野 修治, 永田 真, 瀧 和男

概要：本試作チップには、超多重応答を可能にする RFID システム [1] において小規模な輻輳制御を実現するトランスポンダ (タグ) の実験回路を搭載しており、RF 信号処理・デジタルロジック・キャパシタから構成される。本回路は電磁誘導による非接触給電で外部から供給される電力を内蔵のキャパシタに蓄え、キャパシタに十分な電力が蓄積されると、読取り機と同期をとってからタグ ID を拡散変調し発信する。現在、チップの基本的な動作確認を終え、通信方式の基本性能および輻輳制御の妥当性を確認するための評価実験をすすめている。

参考文献：Y. Fukumizu, S. Ohno, M. Nagata, K. Taki, "Design of RFID Front-end Circuitry Enabling CDMA-based Collision Resistance", SSDM2004, pp. 400-401, Sep. 2004.

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.4mm 角 チップ種別：通信 (RF 回路, ATM など)



ミキサ回路の各種構成による性能比較評価

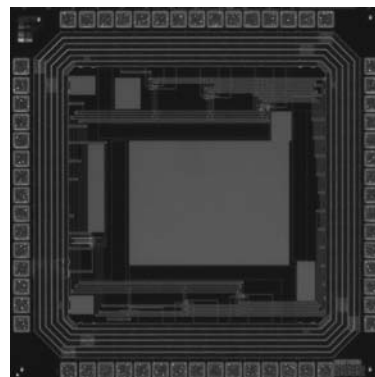
神戸大学工学部 藤原 正樹, 小坂 大輔, 永田 真

概要：システム LSI におけるチップ内回路動作の高速化により，高周波基板クロストーク雑音の解析／評価手法の確立が今後重要になる．本研究は，既存研究 [1] にあるように，ミキサ回路の周波数変換機能を利用して，チップ内の高周波信号を低周波に移動し，測定する手法の展開をめざしている．本研究の第一歩として，本テストチップに数パターンのミキサ回路を搭載し，動作確認及び性能比較を行う．ミキサ回路はシングルバランスおよびダブルバランス構成で設計し，さらに入出力方式を変更して，合計6パターンを設計した．現在，基本特性評価を終えたところである．

参考文献：R. Gharpurey, "A Methodology for Measurement and Characterization of Substrate Noise in High Frequency Circuits," CICC1998, pp. 487-490, 1998.

設計期間：1 人月以上，2 人月未満 設計ツール：SII 社 SX9000, Synopsys 社 Star-

HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：10 以上，100 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)

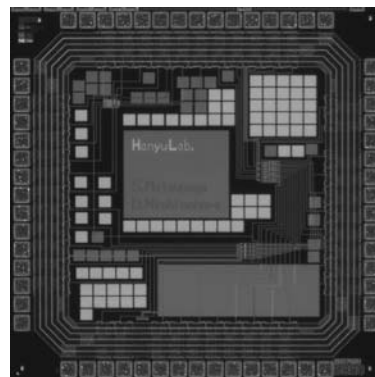


ゲートレベルパイプライン SDFa と CMOS ロジックおよび CMOS パスゲートロジックによる SAD 演算回路

東北大学電気通信研究所 松永 翔雲, 西ノ原 大介, 羽生 貴弘

概要：当研究室では近年顕在化している配線ボトルネックを本質的に解決する手法として，演算と記憶を一体化させるロジックインメモリ回路の研究を行っている．これまで強誘電体材料を用いて記憶と演算を密に一体化できる特徴を活かし，論理ゲート毎に記憶機能を有するゲートレベルパイプライン算術演算回路を提案してきた．本試作ではその比較対象として，論理ゲート1段毎にDラッチを付加した CMOS 構成によるゲートレベルパイプライン SDFa (Signed Digit Full Adder) を設計した．また，動的電源電圧制御による消費電力管理を実現する上で効果的な回路方式を模索するため，通常の CMOS ロジックと CMOS パスゲートロジックを比較するための回路を試作した．CMOS ロジックと CMOS パスゲートロジックとの両方で，動き検出 LSI に必要な SAD 演算の基本構成要素である FF 付き8ビット加算器を設計した．テストによる測定は現在進行中である．

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：1,000 以上，10,000 未満 試作ラン：2.4mm 角 チップ種別：演算回路 (乗算器，除算器など)



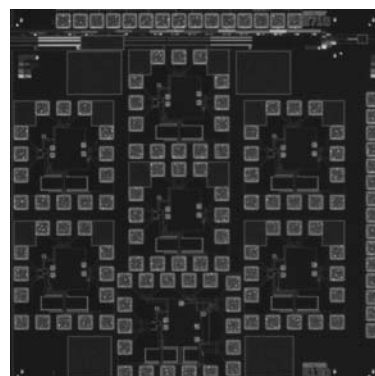
共鳴トンネル素子と Si-CMOS を用いた高速回路

名古屋大学工学研究科 酒向 万理生, 前澤 宏一

概要：超高周波動作が可能な機能素子である共鳴トンネル素子を Si-LSI 上に集積化できれば，高速化や回路の単純化，低消費電力化などに大きな効果が期待できる．我々は，Fluidic Self-Assembly (FSA) 法を用いてこれに挑戦している．FSA 法は，最適な基板上で作製した微小デバイスブロックを溶液中に置いた Si 上に散布し，配置する技術である．この方法により，材料によらない様々なデバイスの集積化が可能になる．本チップはこの技術により可能となる共鳴トンネル／CMOS 集積回路の動作およびその優位性を検討することを目的としている．そのため，共鳴トンネル素子を配置・配線することが可能な領域を持つ回路パターンを設計した．具体的な回路としては，これまで共鳴トンネル素子と HEMT により構成されてきた超高速論理ゲートである MOBILE (Monostable-Bistable Transition Logic Element) を対象としている．現在，共鳴トンネル素子の微小チップ化，配置技術などプロセス技術に関して検討を進めている段階である．今後，このチップを用いて実際に異種材料集積回路を作製し，その性能を評価する．

参考文献：酒向，横山，大野，岸本，前澤，水谷，"共鳴トンネル素子と MOSFET を用いた MOBILE の可能性"，C-10-4，電子情報通信学会総合大会 (2004)

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 未満 試作ラン：2.4mm 角 チップ種別：ニューテクノロジー



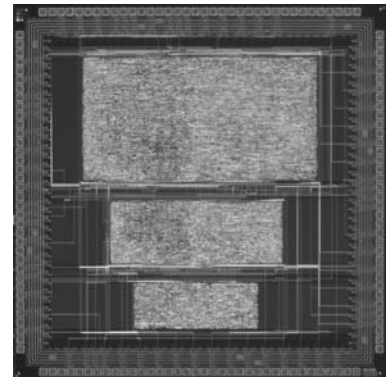
64bit 楕円曲線暗号 LSI の試作

早稲田大学大学院情報生産システム研究科 小林 伸行, 久門 亨

概要：楕円曲線暗号は RSA 暗号に対し非常に短い鍵長で同等の安全性を保障できることから高速化, 小回路規模化, 低消費電力化が期待され, 次世代の公開鍵暗号として注目を浴びている暗号アルゴリズムである。本試作では, この楕円曲線暗号の動作, 回路構成の理解を深めることを目的として, 64bit の楕円曲線暗号 LSI の試作を行った。また, 楕円曲線暗号の暗(復)号化演算において大部分を占めるモンゴメリ乗算に着目し, この演算を効率よく実行可能な演算器を搭載することで, 従来よりも低消費電力化を実現している。

参考文献：小林伸行, 久門亨, 後藤敏, 池永剛, 内田順平, 角尾幸保, "高性能 GF (p) 演算器を搭載した楕円曲線暗号 LSI", SCIS2005, Jan. 2005

設計期間：3 人月以上, 4 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：演算回路 (乗算器, 除算器など)

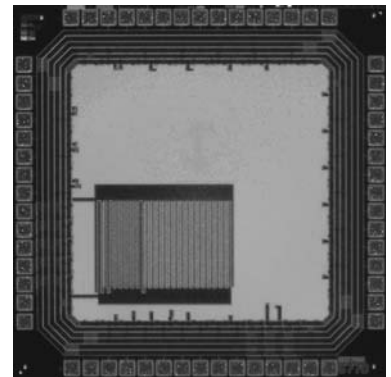


0.35 μm CMOS トランジスタ特性測定実験用チップ

立命館大学理工学部 藤野 毅

概要：理工学部 2 回生にトランジスタおよび CMOS 回路特性の基礎を理解させるための学生実験測定 TEG を作成した。搭載した TEG は以下の 4 種類である。(1) 拡散抵抗の特性測定 (N 拡散 5 種, P 拡散 1 種) (2) トランジスタ単体特性測定 (NMOS 8 種, PMOS 2 種) (3) インバータの DC 特性測定 (4 種) (4) NAND 回路のデジタル論理特性 (1 種) (5) ファンアウトを変化させた遅延回路の特性測定 (4 種) 全 4 回の実験用であり, 内 2 回では TEG を電圧/電流発生器およびオシロスコープを用いて TEG を測定し, 残りの 2 回では SPICE シミュレータを用いてシミュレーションを行う。実験とシミュレーション結果を比較してレポートをまとめることにより, CMOS 回路の基本原則を理解させる。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva 満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)



トランジスタ数：1,000 以上, 10,000 未

101

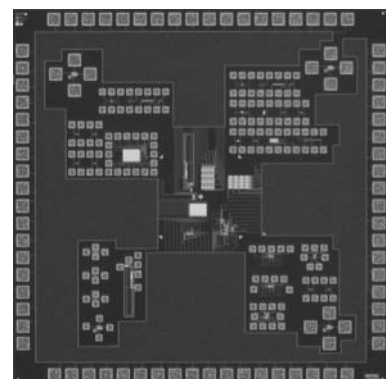
単分子オンチップ計測回路 TEG

名古屋大学工学研究科 中里 和郎

名古屋大学工学部 石崎 賢, 清水 毅, 山口 賢

概要：単分子の信号をオンチップで計測するアナログ CMOS 回路の検討を行った。単分子を伝導する信号は微弱であり, そのまま計測器に接続したのでは S/N 比がとれない。単分子のすぐ近くで信号を入れ, その応答をインピーダンス変換して外に取り出すいくつかの回路を検討し, 基本的な動作特性を得た。具体的な構成はキャパシタンス計測回路・インピーダンス変換回路・波形整形回路・磁場検出回路である。この試作チップ上に名古屋大学の微細加工装置でナノ電極を設けた後, 自己組織化単分子膜をナノ電極に接続し, 単分子の電気伝導を調べる。チップを溶液に浸す必要があり, 測定治具の開発も同時に進めている。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)

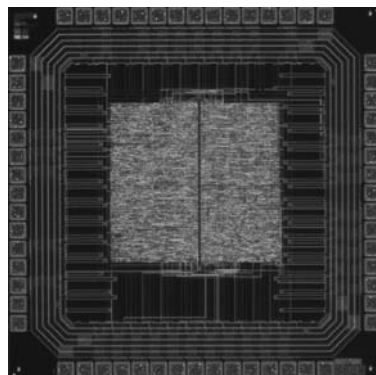


触覚信号伝送回路

東京大学大学院情報理工学系研究科 岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之

概要: 柔軟体中に埋め込まれた触覚素子の信号を、マルチホップによって伝達する通信素子を開発した。柔軟体の内部に導電体膜の領域を形成し、隣接する領域間をまたぐように通信素子が配置される。各素子は自身と同じ領域に接続された素子に電気信号を送信し、以後この繰り返しによって任意の素子にパケットを転送する。試作した回路は、信号の非同期検出、衝突回避、転送経路決定の処理を行う論理演算回路と、通信膜への送受信回路からなる。またクロックも同一素子上の回路によって供給されている。本試作は、多数素子間での信号転送機能の評価を目的とし、触覚用計測機能は搭載されていない。

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 2.4mm 角 **チップ種別:** アナデジ混載

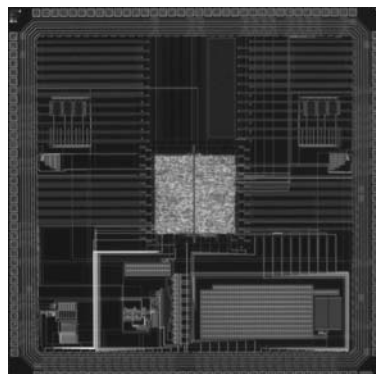


信号伝送機能をもつ触覚素子用回路

東京大学大学院情報理工学系研究科 岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之

概要: 柔軟体中で変形を計測し、その計測値をマルチホップによって転送可能な触覚素子用回路を設計した。柔軟体の内部に導電体膜の領域を形成し、隣接する領域間をまたぐように通信素子が配置される。導電体膜は複数層形成されており、各通信素子は、その膜間容量を計測して触覚信号とする。各素子は、自身と同じ領域に接続された隣接素子に測定データを含む電気信号を送信し、以後この繰り返しによって任意の地点までパケットを転送する。これによって配線を用いずに触覚データを収集することができる。設計した回路には、容量計測回路からパケット転送アルゴリズムまで、触覚素子として必要とされる全ての機能が集積されている。

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 4.9mm 角 **チップ種別:** アナデジ混載



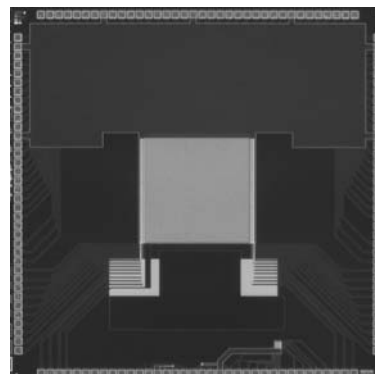
平成16年度 第2回 ロームCMOS0.35 μ m チップ試作 (R035042)

MEMS融合のためのイメージセンサ

東京大学工学系研究科 三田 吉郎

概要: 技術の進歩によって、光情報を電子情報に変換するイメージセンサの解像度はますます高くなってきている。しかし、センサ部分から画像処理を行う部分までの転送がボトルネックとなってきた。そこでイメージセンサの段階である程度の処理を行うことが提案されている。しかし高度な機能をイメージセンサに埋め込むとセンサ部分を圧迫するため、高い機能と解像度を持ったイメージセンサの実現は困難である。そこで、MEMS技術と半導体イメージセンサを融合したイメージセンサを提案する。これは、MEMS技術によって、光の入射位置を変更したり、イメージセンサ背面に演算回路を作成したりすることで、イメージセンサ部分は簡素なままで、高度な処理を実現できる。本チップは、それを実証するためのイメージセンサで、フォトダイオード単体やセンスアンプの特性を評価できるようにし、MEMS技術の融合の基礎的なデータ取得を目的として試作を行った。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 4.9mm角 **チップ種別:** イメージセンサ/スマートセンサ

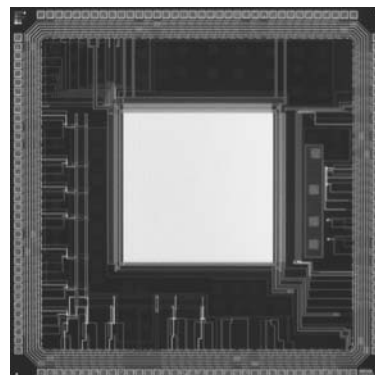


TEG for Discharge Observation

東京大学新領域創成科学研究科 亀谷 暁

概要: 放電現象は古くから知られているが完全に解明されていない物理現象のひとつである。その理由として高電圧で起こるために観測が困難である点、主に電子によって起こる現象であるために微細な観測技術が必要である点、そして放電が高速に起こる点が上げられる。本チップは、放電中の電位情報を高い空間解像度で得ることで、放電現象を詳しく分析するプロジェクトの一環として設計した。放電による電位は、キャパシタンスカップリングによってVLSIが観測可能な電位に下げる。このキャパシタは、MEMS技術によってシリコン基盤に微細な処理を施すことで作成される。このキャパシタをVLSIの平面上に接着することで、放電プローブとして用いる。本チップは、ソースフォロワ型・カレントミラー型の大きささまざまな読み出し回路の他に、VLSI内の信号伝播速度を測定するためのTEGを含んでおり、放電中の観測の可能性や、サンプリングした時間のばらつきを評価することができる。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** 4.9mm角 **チップ種別:** TEG (特性評価回路など)



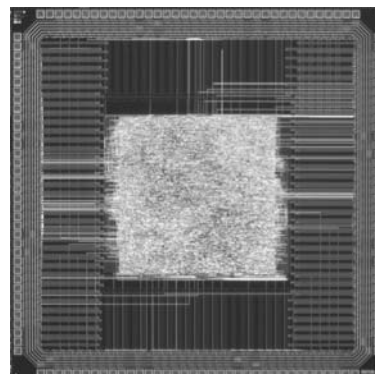
8ビット終了検出型マイクロコントローラ

東京大学工学系研究科 ディア キンファイ

東京大学大規模集積システム設計教育研究センター (VDEC) 鄭若丹, 池田 誠,
浅田 邦博

概要: 2線式ダイナミック論理に基づくDCVSL (Differential Cascode Voltage Switch Logic) という回路で、8ビットZ80と命令互換を持つ終了検出型マイクロコントローラを設計した。DCVSL回路と2線式の使用によって終了信号生成可能でクロックの使用が避けられる。また、ノイズ発生の検出をしやすくなり、ノンパイプライン方式を用いて命令一つに対して内部信号のトランジションが1回に限定させ、スイッチング雑音の発生確率を減らすことで、設計されたマイクロコントローラは低雑音で実現することができるが予想される。

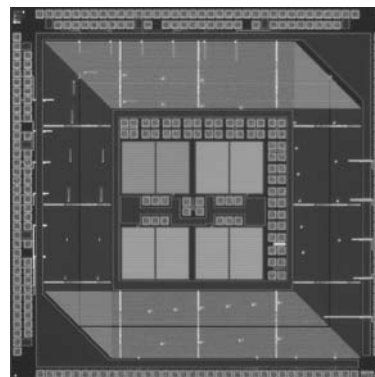
設計期間: 10人月以上 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 Design-Compiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** 4.9mm角 **チップ種別:** マイクロプロセッサ



走査レーザ SQUID 顕微鏡の基礎特性評価用 TEG (その1)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治, 藤岡 弘

概要：走査レーザ SQUID (超伝導量子干渉素子) 顕微鏡と呼ばれる LSI 検査装置が提案されている。この装置では、チップ裏面から PN 接合にレーザを照射し、誘起される電流による磁場を SQUID で測定する。LSI を非破壊・非接触で検査し、電気的故障箇所を特定する能力を有すると期待されており、次世代の LSI 検査装置として注目されている。しかし、チップ上に存在する故障の種類・位置と測定データの関係が明確ではなく、故障箇所の特定手法が確立されていない。本試作では、走査レーザ SQUID 顕微鏡の基礎特性を評価するための TEG を設計・実装した。金属配線でのレーザの反射の影響を調べる TEG、接合部の不純物濃度差の影響を調べる TEG、電流経路形状の違いによる影響を調べる TEG、配線容量の影響を調べる TEG、論理回路 (NOT 回路) での故障位置と誘起電流の関係を調べる TEG 等を作成した。電流を検出しやすいよう、1 辺が約 3.2mm と大きい矩形ループ配線を形成し、その一部にレーザを照射する PN 接合部や NOT 回路を挿入した。また、高精度な回路シミュレーションによる検討を行う為の寄生容量・抵抗測定用 TEG も作成した。

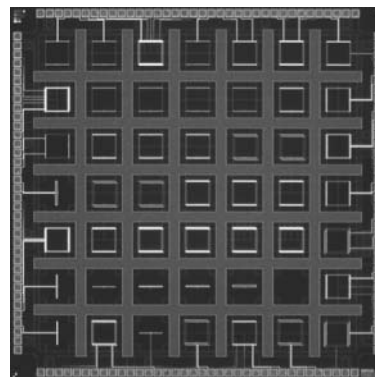


設計期間：1 人以上、2 人未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上、100 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)

走査レーザ SQUID 顕微鏡の基礎特性評価用 TEG (その2)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治, 藤岡 弘

概要：走査レーザ SQUID (超伝導量子干渉素子) 顕微鏡と呼ばれる LSI 検査装置が提案されている。この装置では、チップ裏面から PN 接合にレーザを照射し、誘起される電流による磁場を SQUID で測定する。LSI を非破壊・非接触で検査し、電気的故障箇所を特定する能力を有すると期待されており、次世代の LSI 検査装置として注目されている。しかし、チップ上に存在する故障の種類・位置と測定データの関係が明確ではなく、故障箇所の特定手法が確立されていない。本試作では、走査レーザ SQUID 顕微鏡の基礎特性を評価するための TEG を設計・実装した。電流経路が開回路の場合、閉回路の場合の差を調べる TEG、電流経路に順方向あるいは逆方向に PN 接合が存在する場合の影響を調べる TEG、誘導電流の影響を調べる TEG を作成した。これらは、一辺 300 μ m の矩形ループとし、電磁誘導の影響を避けるため、できるだけ離してチップ上に配置した。また、SQUID の磁場検出感度ならびに電流経路計測の空間分解能を調べる為、長方形ループの長辺を 300 μ m、短辺を 0, 5, 10, 20 μ m と変えた TEG を作成した。

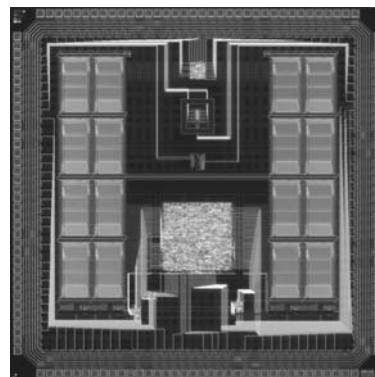


設計期間：1 人以上、2 人未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10 以上、100 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)

システム LSI の試作

大阪工業大学工学部 久津輪 敏郎, 荒木 英夫, 尾川 広和, 藤本 祥平, 榎山 徹

概要：研究室で開発した 2 つの CPU とメモリ多値論理を扱うニューロン MOSFET を用いた半加算器と D/A コンバータを 1 チップに搭載したシステム LSI の試作を行った。レイアウト下部の回路はデータバスと命令セットともに 16bit で構成した CPU であり、単純な構成をとることで拡張性と動作速度の高速化を目指しており、教育用に使用できるものを目指している。左右に展開している回路は SRAM であり、この CPU に接続される。上部に位置する回路は 4bit の CPU である。この CPU はレイアウト中心部にあるニューロン MOSFET を用いた半加算器と外部で接続すること考えており、多値論理演算回路と 2 値論理演算器との比較と融合を目指した実験を行うために用いる。中央上部寄りに位置する回路は 8bit の D/A コンバータである。アナログ素子のレイアウトを自動で生成するプログラムを試作し、それをを用いて作成した。作成されたレイアウトが正常に動作するか実験する為に用いる。



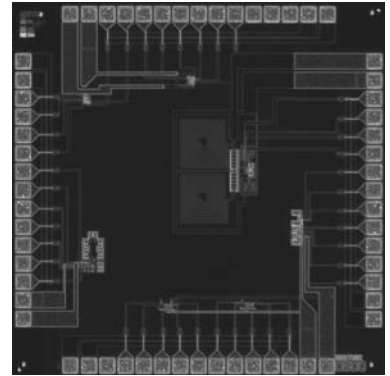
設計期間：1 人以上、2 人未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：4.9mm 角 チップ種別：マイクロプロセッサ

入力信号追従型クロックブースト回路とミラーホールド容量を用いた S/H 回路

宮崎大学工学部 淡野 公一 淡野, 中島 雄太, 佐藤 公信, 松浦 貴行, 永田 健, 橋口 慎吾, 山下 崇

概要: 低電圧, 低歪みサンプル・ホールド (S/H) 回路を実現するため, 入力信号追従型クロックブースト回路とミラーホールド容量を用いた S/H 回路を製作した. 前者は, クロックの振幅を2倍にし, かつ, 入力信号に追従する信号を生成する回路である. この回路をアナログスイッチの制御信号として利用することで, アナログスイッチの低オン抵抗化とオン抵抗の一定化が可能となり, 結果として, 低電圧, 低歪みでのスイッチングが可能となる. また, ダミースイッチを付加した回路も製作し, ダミースイッチの有無による特性比較を行っている. 後者は, S/H 回路のホールドキャパシタにミラー容量を用いることで, サンプル時とホールド時でその値を変え, S/H 回路のドループ特性とホールド誤差の特性改善を行うものである. その他にも基本的な CMOS アナログ回路を作り込んでいる. なお, VDEC のテストによる測定は行わず, 研究室における測定器を用いて特性評価を行っている.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 2.4mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

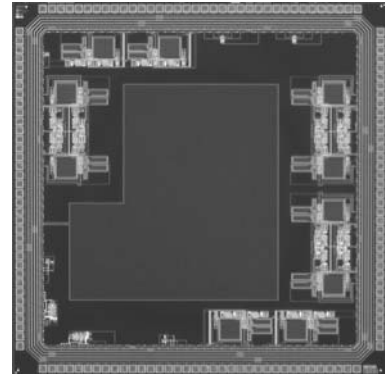


スイッチドキャパシタ・ノッチフィルタの設計

静岡大学電子工学研究所 高橋 誠, ホワン チュン スン, 小川 覚美, 渡辺 健蔵

概要: 地震が発生する前兆の現象として地殻変動に伴う電波放射がみられる. 電波放射は, 地球規模のノイズレベルが低い極低周波 (ELF) 帯においての観測が適しているとされ研究が行われている. しかしその電波の帯域付近は 50/60Hz の商用電源と, その高調波ノイズの影響を受ける. そこでそれらのノイズを除去するための Q の高い急峻な特性を持つノッチフィルタの設計を行った. RC アクティブフィルタは素子の温度特性が直接フィルタ特性に影響を与えるため, スwitchドキャパシタでノッチフィルタが設計された. ここではシングルエンドと全差動型のスイッチドキャパシタ・ノッチフィルタが試作されている. 試作回路の特性を測定し, HSPICE によるシミュレーション結果と比較した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

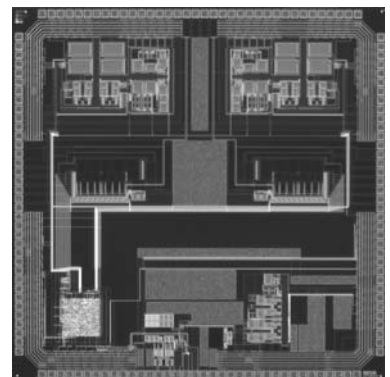


1チップ無線・神経センシング LSI の設計

広島大学先端物質科学研究科 吉田 毅, 岩田 穆

概要: 生体活動と神経活動の関係を正確に把握するため, 生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている. 本研究では小脳の神経信号を検出し, 検出信号を無線で送信する神経信号センシング LSI の設計・試作を行った. 設計した神経信号センシング LSI は, ダイレクトチョッパ方式低雑音増幅回路, 逐次比較形 Analog-to-Digital Converter (ADC), 無線送信回路によって構成されている. 設計したダイレクトチョッパ方式低雑音増幅回路は, 低周波雑音の存在する CMOS 演算増幅回路で, 実際に数十 μV 振幅の神経信号を検出できる. 信号入力チャネル数は 10ch とした. また逐次比較形 ADC は抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し, 10 ビット分解能, サンプル周波数 50kHz で動作する. 無線送信回路は, 発振周波数 100MHz の VCO を基とし, BPSK 変調で 500kbps のデータ伝送を実現する.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 4.9mm 角 **チップ種別:** アナデジ混載

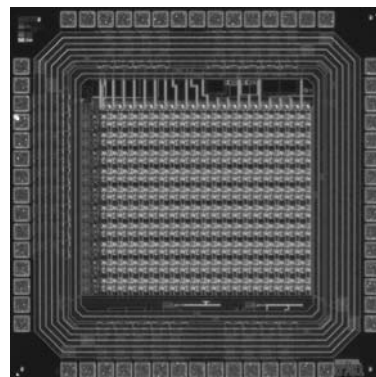


スイッチトレジスタ回路網による画像処理チップの開発

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要: 超並列の回路構造により高速に画像情報を処理するビジョンチップにおいて、画素回路の小型化は重要課題である。ビジョンチップ、特に生体模倣型ビジョンチップ、の画素回路の主要な構成要素の一つが入力画像の平滑化を回路的に行う抵抗回路網である。抵抗回路網に用いる抵抗要素にはポリ抵抗やMOS抵抗など様々なものが提案されている。しかし、既存の手法による抵抗回路網では、発熱を抑えかつ線形性を維持した回路を求めるとサイズが大きくなる問題がある。そこで、スイッチトレジスタに着目した。スイッチドレジスタはMOS-Trのスイッチ回路を閉じる時間を調節することで抵抗の役割を果たす。これを使えば小型で線形性の良い回路網を実現できると考えられる。今回は、スイッチドレジスタ回路網による平滑化処理チップを試作した。同種の機能を有するチップに比べ約半分のサイズを実現した。画素数は20×20、画素サイズは65.6um×57.3umである。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 2.4mm角 **チップ種別:** 演算回路 (乗算器, 除算器など)



Multiple-Valued Field-Programmable VLSI

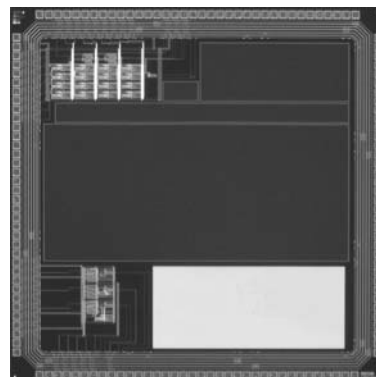
東北大学大学院情報科学研究科 Haque Mohammad Munirul,

長谷川 智亮, 亀山 充隆

概要: 多値ソースカップルドロジックに基づくフィールドプログラマブルVLSIのチップ試作を行った。回路は演算セルとスイッチブロックにより構成される。演算セルはスイッチブロックを介して隣接8近傍の演算セルと接続される。セル間のデータ転送は電流を用いて行う。演算セルは、1ビットの論理演算と1ビットの記憶機能を持つ。差動対回路を用いて構成され、差動対回路で入力信号としきい値とを比較するしきい演算が行われる。演算セルへの入力は線形加算され、多値信号として与えられる。入力に対してしきい値をプログラムすることで任意の論理演算が可能となる。スイッチブロックはカレントミラー回路とパススイッチにより構成され、隣接セル間の接続がプログラムされる。演算とスイッチのプログラムのための情報はシフトレジスタに保存する。処理を開始する前にシフトレジスタにコンフィグレーションデータを入力し、回路のプログラムを行う。

参考文献: Haque Mohammad Munirul, Michitaka Kameyama, "Ultra-Fine-Grain Field-Programmable VLSI Using Multiple-Valued Source-Coupled Logic", Intl. Symposium on Multiple-Valued Logic, pp.26-30 (2004) .

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 4.9mm角 **チップ種別:** 演算回路 (乗算器, 除算器など)

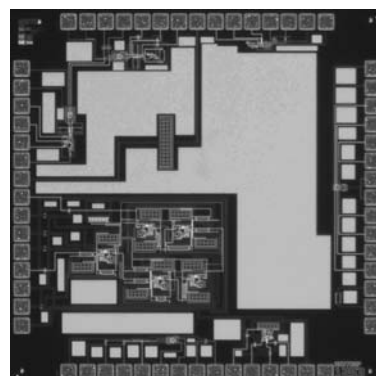


角度検出器用駆動回路を構成する要素回路の試作 A

東京理科大学理工学部 齋藤 充洋, 米川 智宣, 兵庫 明, 関根 慶太郎

概要: 角度検出器用駆動回路の集積回路化を目指し、本システムで必要となる要素回路として、OTA、1次Gm-Cローパスフィルタ、オールパスフィルタ、乗算器、2種類のオペアンプ、2種類のバイアス回路を試作した。また、キャパシタ、レベルシフト回路、シングル-差動変換回路、ESD保護回路をTEGとして実装した。OTAはバイアスオフセット技術を用いたOTAを改良した構成を採用し、それらをgmセルとして用いることで1次Gm-Cローパスフィルタ、オールパスフィルタを構成した。乗算器は従来から用いられているGilbert型の回路を改良したものを試作した。オペアンプはオールパスフィルタに用いるものと乗算器に用いる補助アンプを実装した。バイアス回路はスタートアップ回路を付加しているものと付加していない構成を実装した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 2.4mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

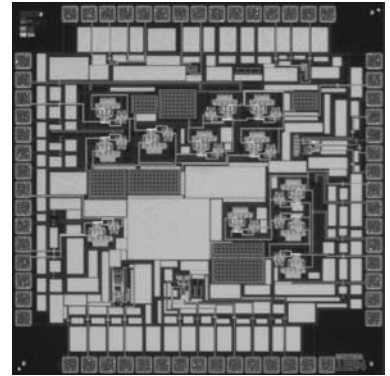


角度検出器用駆動回路を構成する要素回路の試作 B

東京理科大学工学部 齋藤 充洋, 米川 智宣, 兵庫 明, 関根 慶太郎

概要：角度検出器用駆動回路の集積回路化を目指し、本システムで必要となる回路として、5次 Gm-C ローパスフィルタを試作した。Filter 構成は5次 LC ラダーローパスフィルタを元にした構成で、L の OTA によるインダクタシミュレートを行っている。また、OTA、オペアンプ、シングル-差動変換回路のバイアス検証用回路を用意した。キャパシタ、抵抗、NMOS、PMOS を TEG として実装した。OTA はバイアスオフセット技術を用いた OTA を改良した構成を採用し、それらを gm セルとして用いることで5次 Gm-C ローパスフィルタを構成した。オペアンプは差動増幅段により構成されている。なお、各パッドには静電気放電の問題を軽減するために、ESD 保護回路を付加し、各回路ブロックの電源、グラウンドは分離しパッドに配線している。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上、1,000 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

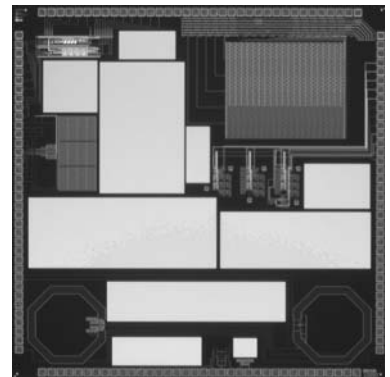


チップ間ワイヤレス電源送受信回路の設計

東京大学国際・産学共同研究センター 鬼塚 浩平, 桜井 貴康

概要：SiP の一般化に向けチップ間の信号伝送をワイヤレスで行う研究が行われている一方、電源線についてはワイヤボンディングを用いることが前提となっている。電源を含めた完全なワイヤレスを実現することで、コストダウン、さらにはメモリチップなどアプリケーションによって要求の異なる部分をユーザーサイドで組み換えることが容易に実現できる可能性がある。SiP に取められるチップの低消費電力化が進んだ場合に用途に応じてチップ間の接続を完全にワイヤレス化する手法の可能性を実証するため、インダクタを用いた磁界カップリングによるワイヤレス電源送受信回路の設計を行った。受信回路の整流部分には PMOS ダイオードを用いた。

設計期間：0.1 人月以上、0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10 以上、100 未満 試作ラン：4.9mm 角 チップ種別：通信 (RF 回路, ATM など)



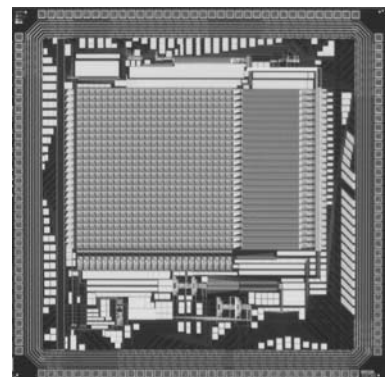
学習機能を搭載した Inverse Function Delayed Neuron チップの試作

東北大学情報科学研究科 福原 淳, 末長 晋也

東北大学電気通信研究所 早川 吉弘, 中島 康治

概要：ニューラルネットワークの高集積化には、特にシナプス回路の高集積化が重要である。我々は本試作においてシナプス荷重値を3値 (-1, 0, +1) のみとする離散化を行うことで高集積化を目指した。しかしながら、荷重値の離散化は、学習性能の低下が指摘されている。そこで、従来の神経細胞モデルには無い、自励発振能力を有し、最適値問題等において問題となるローカルミニマムを回避可能な Inverse Function Delayed Neuron (ID) モデルを採用し、離散荷重値における学習性能の低下を補う事が可能となった。今回の試作では、学習機能を有する 25 ニューロン全結合型のニューラルネットワークをアナログ・デジタル混載の回路によって構築した。実行可能なアプリケーションは、学習に加え、高い性能を示す最適値問題である。-2 の荷重値が最適値問題で必要となるため、離散荷重値は (-2, -1, 0, +1) を用意した。測定結果より、ネットワーク中のニューロンが、自励発振現象を示す事を確認した。また、HSPICE シミュレーションによって、最適値問題においてより高性能な動的解表現が実行可能である事も確認した。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



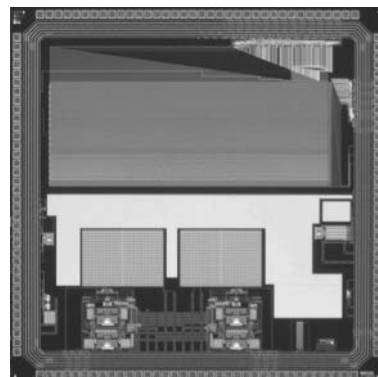
MOSFET 特性ばらつき評価と $\Delta\Sigma A-D$ の試作

長崎総合科学大学工学部 田中 義人
 長崎総合科学大学大学院工学研究科 金 奉基, 景 暁軍
 長崎総合科学大学新技術創成研究所 清山 浩司

概要：本試作では、大きく分けて以下の3点の目的で試作を行った。(1) 試作ランの異なる LSI 間の MOSFET 特性ばらつきデータ取得・解析(2) 肺音計センサ部に使用する $\Delta\Sigma A-D$ の改良版(3) その他、医療用 LSI に使用する低消費電力アナログ回路の TEG (1) については、2004 年度6月28日設計データ提出締め切りに搭載した MOSFET アレイと同様の回路を搭載している。2度の試作を行うことで、チップ内部のミスマッチに関するデータに加え、絶対的な特性変動のパラメータの取得を行った。(2) は、2003 年度2月に試作を行った $\Delta\Sigma A-D$ の積分器とスイッチに改良を加えたタイプである。(3) は、低消費電力回路設計を目標とし、MOSFET をサブスレッショルド領域にバイアスした SC フィルタ、コンパレータ、スイッチトオペアンプ及び、入力 IO 部の電圧リミッタと無線送信用ドライバを搭載した。試作した TEG の特性として SC フィルタは、1次 LPF であり電源電圧 1.5V、消費電力 8.8 μ W、遮断周波数 0.2Hz である

参考文献：景暁軍, 田中義人, "超低周波数域スイッチト・キャパシタフィルタの一検討" 第12回電子情報通信学会学生会講演論文集, pp84, 2004.

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)



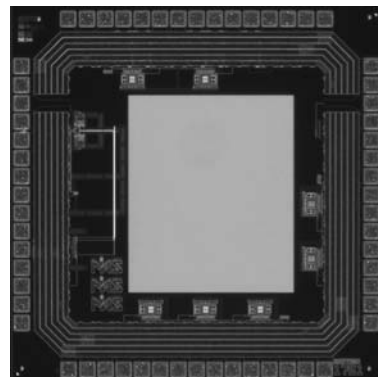
アナログ TEG 回路の試作

長崎総合科学大学工学部 田中 義人
 長崎総合科学大学新技術創成研究所 清山 浩司
 長崎総合科学大学大学院工学研究科 金 奉基

概要：本試作は、医療機器用 LSI に使用する素子単体の試作・評価を目的としている。搭載した回路は、無線通信用キャリア検出器、低消費電力型 $\Delta\Sigma A-D$ 用スイッチトオペアンプと ESD 対策用アナログ I/O である。キャリア検出器は、受信派に含まれるノイズへの反応を緩和する為、ヒステリシス特性を有するコンパレータが必要となる。ヒステリシス特性と低消費電力化を実現するため、入力差動ペアとポジティブフィードバックをロードに持つ入力差動ペアを基本として、最小限度のバイアス電流に設定した。出力段は、2段のラッチ回路で検出値を保持する構成を採用した。

参考文献：金奉基, 田中義人, "低消費電力ヒステリシス・コンパレータ" 第12回電子情報通信学会学生会講演論文集, pp63, 2004.

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)

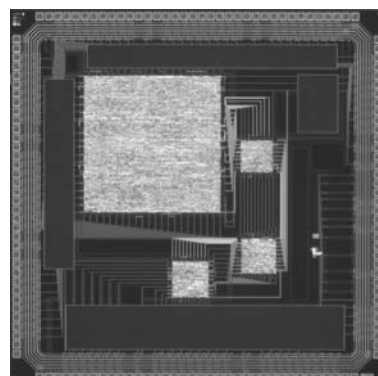


SFQ/CMOS ハイブリッド $\Sigma\Delta AD$ コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 道江 寛之

概要：SFQ/CMOS ハイブリッド $\Sigma\Delta AD$ コンバータは、SFQ $\Sigma\Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma\Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma\Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma\Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：メモリ



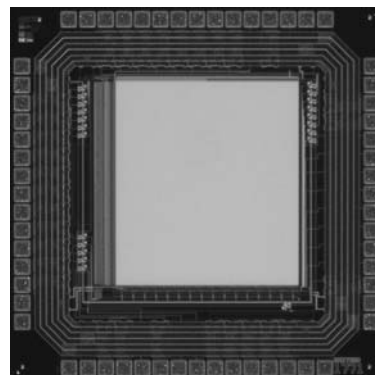
SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 道江 寛之

概要：SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz、SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：2.4mm 角 チップ種別：メモリ



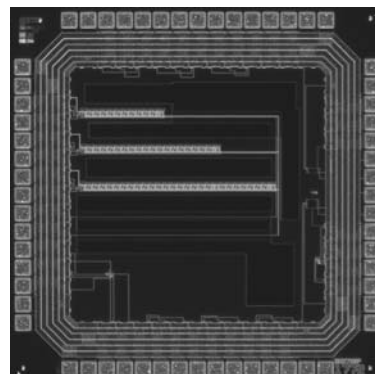
SFQ/CMOS ハイブリッドメモリスステムの動作検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリスシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ 回路は 50GHz の高速クロック周波数で動作するが、その電圧振幅は 100 μ V のオーダである。一方、CMOS デバイスは数 GHz で動作し、その電圧振幅は 1V のオーダである。したがって、ハイブリッドシステムの実現のためには、SFQ 論理回路の高速微小電圧出力を CMOS 論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。本チップでは、CMOS メモリとアンプから成るシステムを構成し、入力 40mV の微小信号入力に対する CMOS システムの動作を確認した。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：2.4mm 角 チップ種別：メモリ



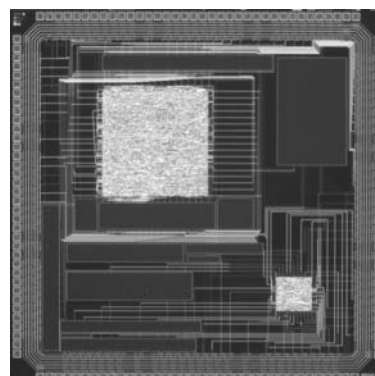
SFQ/CMOS ハイブリッド用 CMOS クライオデバイスモデルの検証

横浜国立大学工学部 吉川 信行

横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリスシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ 回路は 50GHz の高速クロック周波数で動作するが、その電圧振幅は 100 μ V のオーダである。一方、CMOS デバイスは数 GHz で動作し、その電圧振幅は 1V のオーダである。したがって、ハイブリッドシステムの実現のためには、SFQ 論理回路の高速微小電圧出力を CMOS 論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。また、本システムでは、CMOS デバイスを低温で動作させることになるが、システム的设计、性能評価のためには、低温での CMOS デバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかの CMOS デバイスを試作した。CMOS デバイスの低温測定により、CMOS デバイスの 4.2K における動作の評価を行い、低温 CMOS モデルの検討を行った。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：4.9mm 角 チップ種別：メモリ



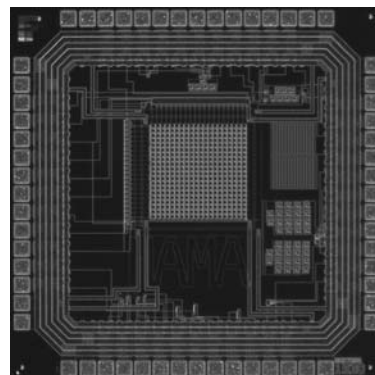
イメージセンサの検証用回路

東京理科大学工学研究科 藤田 健治

東京理科大学工学部 樽木 久征, 杉田 俊超

概要: 将来の大規模なスマートイメージセンサの試作に備えて、撮像回路とその周辺回路の基本動作を確認するための検証用チップを試作した。本チップは、反転型フォトダイオードアレイからなる回路と、いくつかのテスト回路で構成される。センサ回路は縦20x横20画素とそのサイズは小さく、画素アレイの周辺に配置したシフトレジスタを用いて画像データを順次読み出す。テスト回路としては、複数の異なった構造のアクティブピクセルセンサ用のセル回路、画素値の平均化を行う回路、2つのアナログ値の絶対値差分を求める回路、各種オペアンプ回路等を集積した。これらの回路を用いて、各構造による光電変換効率の調査や、各回路の演算精度の検証および動作確認を行った。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 2.4mm角 **チップ種別:** イメージセンサ/スマートセンサ



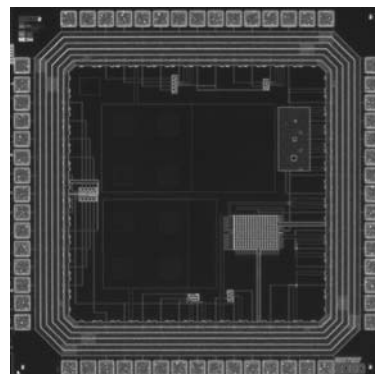
フローティングゲートMOS, イメージセンサの特性評価用TEG

広島市立大学大学院情報科学研究科 助田 有教

堀居 賢樹

概要: 本チップでは、フローティングゲートMOSの特性評価用回路とイメージセンサの特性評価用回路を試作した。フローティングゲートMOSの特性評価では、多入力のフローティングゲートMOS回路を複数用意し、各回路の多入力特性評価を行った。この回路では、フローティングゲートに電荷が蓄積される場合の影響を防ぐために、電荷を初期化するリセット用トランジスタを付加した。イメージセンサの特性評価では、フォトダイオードのサイズを変えた単体の画素回路を複数用意した。これにより、各フォトダイオードの動作特性を確認し、蓄積型、対数型の動作特性についても評価を行った。また、16x16のピクセルアレイを用意することで、イメージセンサの動作確認を行い、動作周波数や消費電力の評価を行う予定である。なお、一部の回路については測定を行っているが、全ての回路の詳細な特性については未評価。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 2.4mm角 **チップ種別:** TEG (特性評価回路など)



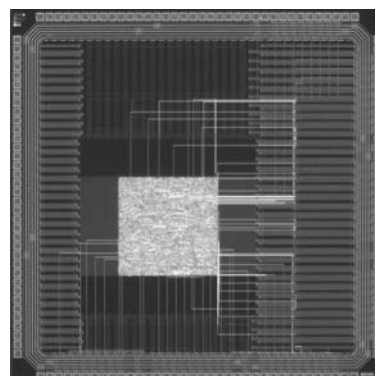
自己修復型人工物用チップ

東京大学工学系研究科 小松 謙介

東京大学人工物工学研究センター 高橋 浩之

概要: 自己修復型人工物の考え方は、人工物は単体では必ず故障を起こすということを前提として、それでも内部構成を変革しながら、当面動作を続けることの出来るような人工物を実現したい、というものである。本チップは、この中で必要とされるセンサネットワークを実現するためのものである。センサネットワークは、独立動作する多数のセンサから得られた情報を統合するが、本チップでは比較的均質かつ多数のセンサを用いることを仮定し、ネットワーク上で隣り合う各センサ間で共有される情報を利用して、全体として極めて高い信頼性を与えるセンサネットワークを実現するものである。本チップでは各センサに対応する信頼度を導入し、この信頼度を隣り合うセンサから、書き換えてもらう機能をもたせた。この信頼度の大きさによってネットワークを再構築し、不良センサを排除することが可能である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 4.9mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



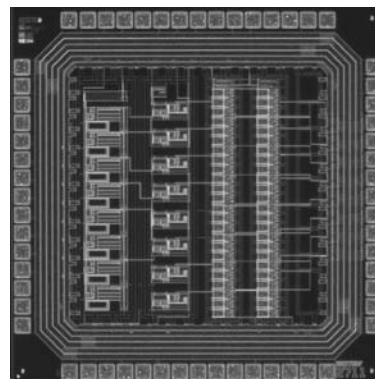
ポジトロンCT用フロントエンドチップ

東京大学工学系研究科 Yeom Jung-Yeol

東京大学人工物工学研究センター 高橋 浩之

概要: 最近, 小動物用の高分解能ポジトロンCT (PET: Positron Emission Tomography) の発展が期待されている。我々は高分解能PETへの適用を目的として, 小型のAPD (Avalanche Photo Diode) やCdTe検出器等の化合物半導体センサなど, 半導体センサを活用することを検討している。本チップではこれらの半導体センサと組み合わせるための高い信号対雑音比を有するプリアンプ部を核にフロントエンド電子回路の機能を多数集積することを目的に設計した。ここでは, 積分時間可変な電荷増幅器, フィルタ時定数の制御可能な波形整形増幅器, 複数の設定値の可能なコンパレータなどの機能を8チャンネル分集積し, 独立のディスクリミネーションレベルを各チャンネルに設定できるようにした。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 2.4mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



イメージセンサ機能をもつ波長多重光無線LAN用並列受光デバイス

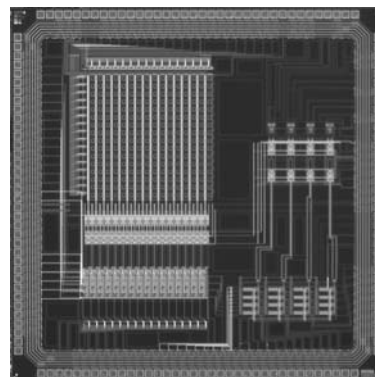
奈良先端科学技術大学院大学物質創成科学研究科 藤内 亜紀子, 池内 隆志,

香川 景一郎, 太田 淳

概要: 近年, 有線方式より施設が容易で高速通信の可能性を秘めている光無線通信が注目を集めている。我々は, 位置検出の際には通信端末の位置を画像としてとらえ, 通信時には端末間で最適な画素のみを用いる屋内光無線LANシステムを考案している。隣接4画素を用いて画素からの出力信号を差動化することで, イメージセンサのデジタル制御回路から光受信回路へのクロストークノイズを抑制した。画素数は 16×16 とした。本チップは, 4波長多重することにより通信帯域を4倍に広げると共に, 分波時に生じる波長間クロストークを低減するためのアナログ積和演算器を内蔵している。測定には, テスタは用いなかった。

参考文献: A. Fujiuchi et al., "Free-space wavelength-division-multiplexing optical communications using a multi-channel photoreceiver," in 2004 ICO International Conference (2004) .

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 4.9mm角 **チップ種別:** イメージセンサ/スマートセンサ



イメージセンサ機能をもつ空間多重光無線LAN用並列受光デバイス

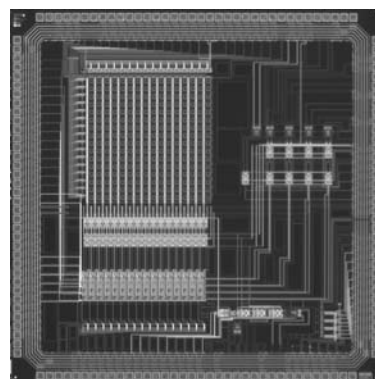
奈良先端科学技術大学院大学物質創成科学研究科 池内 隆志, 藤内 亜紀子,

香川 景一郎, 太田 淳

概要: 近年, 有線方式より施設が容易で高速通信の可能性を秘めている光無線通信が注目を集めている。我々は, 位置検出の際には通信端末の位置を画像としてとらえ, 通信時には端末間で最適な画素のみを用いる屋内光無線LANシステムを考案している。隣接4画素を用いて画素からの出力信号を差動化することで, イメージセンサのデジタル制御回路から光受信回路へのクロストークノイズを抑制した。画素数は 16×16 とした。本チップは, 空間多重通信を利用することにより受信帯域を4倍に広げることができる。測定には, テスタは用いなかった。

参考文献: 池内他, 「差動化によるWDM光無線LAN用ビジョンチップにおける撮像・通信モード間クロストーク低減に関する検討」, 映像情報メディア学会情報センシング研究会10月研究会 (2004) .

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 100,000以上 **試作ラン:** 4.9mm角 **チップ種別:** イメージセンサ/スマートセンサ

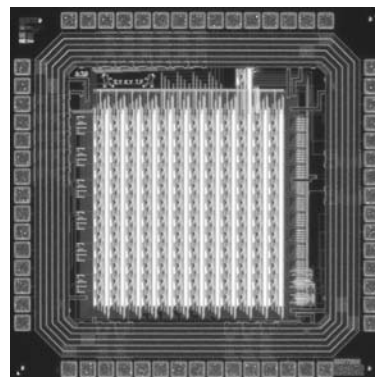


パルス領域画像処理機能をもつ低電圧・高ダイナミックレンジ周波数変調方式ビジョンチップ

奈良先端大物質創成科学研究科 山本 真也, 古宮 哲夫, 香川 景一郎, 徳田 崇

概要: 人工視覚デバイスなどのへの応用を目的として, ぼかし・エッジ強調・エッジ抽出などの基本的な画像処理機能をもつビジョンチップの低消費電力化に取り組んでいる。そのために, 0.35 μm プロセスにおいて, 電源電圧を1.5 V以下に下げること検討した。パルス周波数変調方式を用いることで, 低い電源電圧でも100 dB以上の高ダイナミックレンジを確保することを狙った。また, パルス周波数変調方式に特化したデジタルパルス領域画像処理を用いることで, アナログ方式ビジョンチップでは難しい低電圧動作を実現した。画素数は 10×10 とした。実験結果から, 120 dB以上のダイナミックレンジが得られ, 基本的な画像処理が実行できることを確認した。測定では, テスタは用いず, CPLDにより駆動波形を生成し, センサのデジタル出力をPCに取り込んで評価を行った。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** 2.4mm角 **チップ種別:** イメージセンサ/スマートセンサ

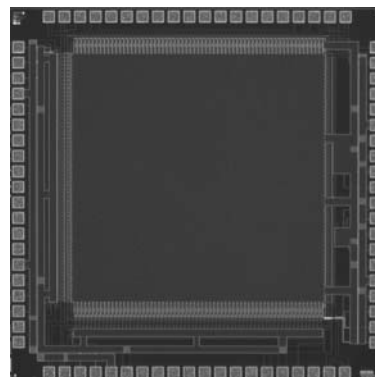


2次元集積化磁気センサ TEG

茨城大学工学部 木村 孝之

概要: 磁気センサを製作する際には, 一般的に移動度の高いInSbやGaAsなどの材料が用いられる。一方, Siはこれらの物質に比べて移動度が低いため, 磁気センサを構成する場合は感度が低くなり使用が難しい。本試作では, Siのバルク材料としての性質ではなく, MOS-FETの反転層を用いた2次元集積化ホールセンサを製作した。設計したセンサは $W/L=1$ であった。また, 読み出し回路はCMOSイメージセンサに用いられるような2段ソースフォロアであり, アンプを画素内に採り入れているためノイズには強いという特徴がある。さらに, 1画素のサイズは $50 \mu\text{m}$ 角であり, 画素アレイは 64×64 個からなる。ホール効果を用いた磁気センサでは差電圧を読み出して引き算をする必要がある。今回の回路では, ホール効果を読み出す2端子の電圧を時分割で読み出し, A/D変換後に引き算することにより信号を得た。現在, 非磁性材料によるパッケージングと特性測定の準備を行っているが, 以前試作したTEGと同程度の積感度 ($5.7 \text{mV} (1 \text{mA}, 1 \text{kG})$) が得られると予想されると期待される。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 4.9mm角 **チップ種別:** TEG (特性評価回路など)

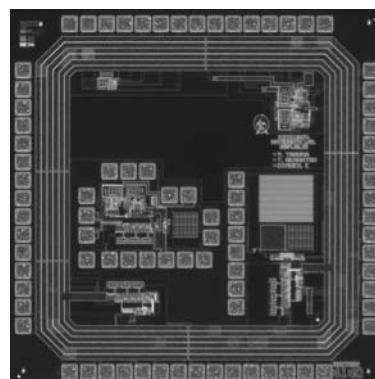


光素子駆動回路

慶應義塾大学理工学部 宮原 晋平, 松本 佳宣

概要: 光インターコネクション等の短距離間光伝送を目的とした光送信回路の設計を行った。高出力LEDを駆動するのに必要な数十mA以上の電流を流すために, ゲート幅の小さいトランジスタを多数並列に並べることでゲート抵抗の増加を防ぎ, またアルミ配線やコンタクトホールでの電流許容量を超えないように配慮した。また, 複数LEDを同時に駆動できる駆動回路に関しても設計, レイアウトを行った。また, LEDは温度変化によってその光出力が変動することから, 外部からのバイアス電圧によって光出力を一定に保つ構成として, さらにパルス出力と定常駆動電流を流せる構成とした。試作したチップの駆動部の特性を計測したところ, 80mA程度までの電流を任意に駆動できることが確認できた。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 2.4mm角 **チップ種別:** 通信 (RF回路, ATMなど)

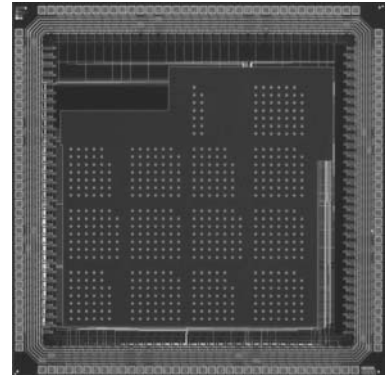


光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なラッチタイプの光再構成回路を有する光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) VLSIを開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $20.1\mu\text{m} \times 18.9\mu\text{m}$ 、その間隔を $99.0\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模である。ラッチタイプの光再構成回路の評価を行った。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：その他

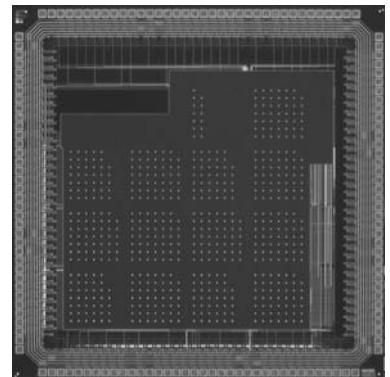


光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なラッチタイプの光再構成回路を有する光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) VLSIを開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $9.5\mu\text{m} \times 8.8\mu\text{m}$ 、その間隔を $99.0\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリックス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模と従来の試作品のものと同じである。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：その他



低電圧ログドメインフィルタと帯域可変ポリフェーズフィルタ

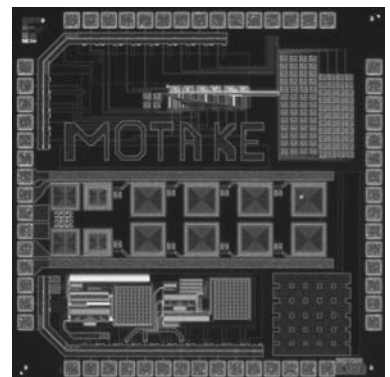
豊橋技術科学大学大学院工学研究科 秋田 一平, 伊藤 和将

豊橋技術科学大学工学部 和田 和千

概要：まず、電源電圧 1.0V で積分動作をし、MOS トランジスタで構成されたログドメイン積分回路 [1] を設計し、これを二つ使用した 2 次バタワースフィルタを試作している。従来知られているログドメイン積分回路に比べ、低電圧時の特性精度が高いことが理論的に、ならびにシミュレーションから示されており、この特長を本試作チップの測定を通して検証した。また、平衡型回路のための線形浮遊抵抗対を用いて、帯域可変のポリフェーズフィルタを構成している。線形浮遊抵抗対は、電源電圧 $\pm 1.5\text{V}$ で動作し、帯域が 10MHz 程度の回路であることをシミュレーションにより確認して、使用した。ここではポリフェーズフィルタの例として、三つの区間を縦続接続した構成とし、 1MHz から 3MHz において像を 50dB 抑圧する特性のフィルタを設計している。

参考文献：“CMOS Log-Domain Integrator with DC Gain Improved,” I. Akita, K. Wada, and Y. Tadokoro, Proc. 2004 IEEE Int'l Analog VLSI Workshop, pp. 61-66, Oct. 2001.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10 以上, 100 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

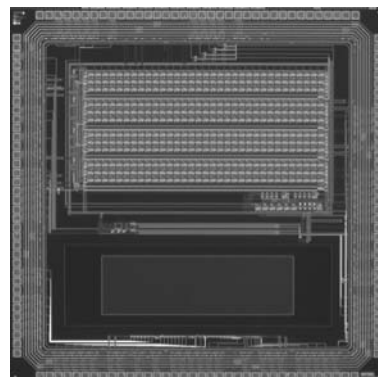


エッジおよびその移動方向検出回路

大阪大学大学院工学研究科 井上 恵介, 八木 哲也

概要：我々が今までに開発したシリコン網膜は、2次元のラプラシアン-ガウシアン型フィルタ処理とフレーム間の差分計算を実時間で実現できる。本チップは、そのシリコン網膜のアナログ出力に対してエッジおよび、その移動方向を検出する。チップは、アナログメモリ、ゼロ交差検出回路、閾値処理回路および、単純な論理演算回路により構成した。アナログメモリは、逐次的に読み出されるシリコン網膜の出力を保持するためのものである。アナログメモリから適当な画素情報を読み出し、ゼロ交差検出回路によりエッジを検出する。また、フレーム間差分出力に対して閾値処理により、動きを検出する。計算されたエッジと動きの情報を単純な組み合わせ論理演算により統合することで、エッジの移動方向を検出する。なお、テストによる測定は行っていない。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：演算回路(乗算器, 除算器など)

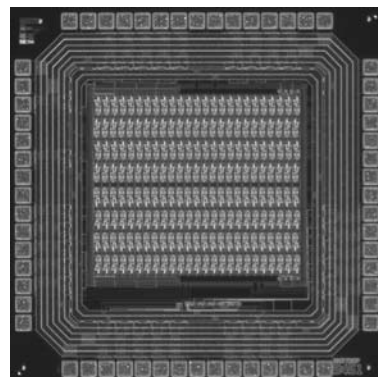


オフセット補償効果を持つラインメモリの試験回路

大阪大学大学院工学研究科 井上 恵介, 八木 哲也

概要：我々が今までに開発したシリコン網膜は、2次元のラプラシアン-ガウシアン型フィルタ処理を実時間で実現できる。ラプラシアン-ガウシアン型のフィルタ処理された出力に対して、ゼロ交差検出によりエッジを検出できる。シリコン網膜の出力は、1画素ずつ逐次的に読み出されるために、2次元でゼロ交差検出を行う際には、数ライン分の情報を保持しておく必要がある。そこで本チップは、シリコン網膜の出力を保持するためのアナログメモリの試験回路を実装した。このアナログメモリは、シリコン網膜にもインプリメントされているサンプルアンドホールド回路に2つのスイッチを付け加えたものである。この回路により自身のオフセットを補償することで、回路ノイズの影響を軽減しながら、安定してゼロ交差検出を実現できる。設計したチップでは、100個で1ライン分のメモリを2ライン分インプリメントした。なお、テストによる測定は行っていない。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.4mm角 チップ種別：TEG(特性評価回路など)

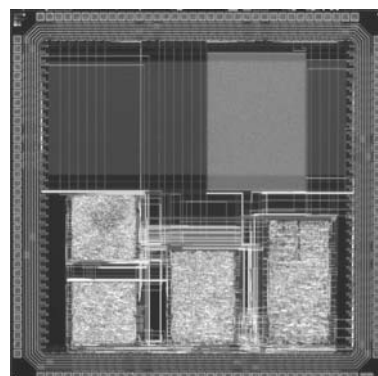


LSI設計実習における16ビットパイプラインプロセッサの設計

奈良先端科学技術大学院大学情報科学研究科 中西 正樹, 井上 照将, 鈴木 智哉,
橘 達弘, 中村 幸紀

概要：奈良先端科学技術大学院大学 情報科学研究科 ではハードウェア記述言語を用いたLSI設計実習を行っている。本チップは実習の一環として作成されたもので、4名分のパイプラインプロセッサを1チップにまとめたものとなっている。設計課題はDLXアーキテクチャに従うパイプライン制御のプロセッサで、ストール処理、データフォワードリング等の基本機能を有する他、内部レジスタを可観測にしている。修士学生4名が基本機能と入出力端子を共通仕様とし、命令セットから各自が独立にVerilog-HDLで設計し、マクロセルとしてレイアウトまでを行った。4個のプロセッサと外部のI/Oとの接続を決定するプロセッサの選択回路の設計および全体のレイアウトは助手が担当した。

設計期間：8人月以上, 9人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：マイクロプロセッサ



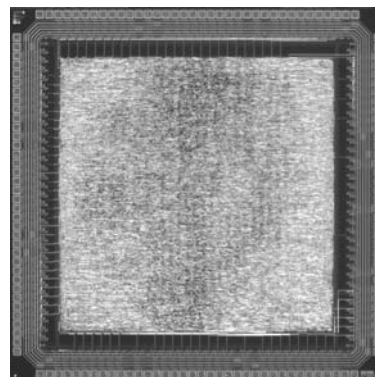
新公開鍵暗号 L S I

早稲田大学情報生産システム研究科 木村 晋二, 土井 伸洋, 金 成男

概要：近年の情報化の進展とともに、デジタルデータの暗号化の必要性が増している。鍵の配信の点からは公開鍵の法に利点があるが、これまで公開鍵方式は計算量の点で問題があり、大量のデータの転送には向いていなかった。そこでここでは、復号が2回の乗算と1回の加算で行える新しい公開鍵暗号方式に対し、それを実現する LSI の設計を行った。とくに、リアルタイムの動画データデータの復号ができることを目標とし、1024 ビットのモンゴメリ乗算をベースとしながら、2回の乗算と1回の加算を一つのループでまとめて演算の数を減らすとともに、4回のモンゴメリ演算を一つのクロックで実行することで高速化を行った。モンゴメリ乗算の部分は、桁上げの無い加算である Carry Save Adder および冗長二進加算の両方で実現を行い、性能の比較を行った。また、これらの加算で用いられる数表現から通常の二進数への変換はモンゴメリ乗算部とのパイプラインとした。80 MHz のクロックで、640x480 ドットのフルカラー画像を毎秒 30 枚送る性能を達成した。なお、本設計はパラメタ設計となっている。

参考文献：C. Jin, et. al., "Efficient Hardware Architecture of a New Simple Public Key Cryptosystem," Proc. SASIMI 2004, pp.107-112, Oct 2004.

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ

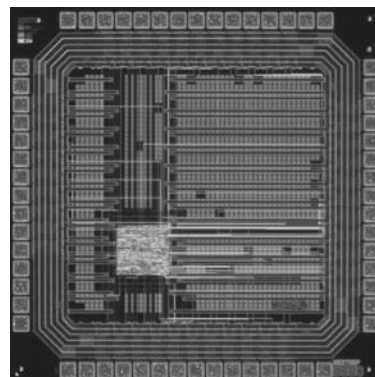


バス機能の動的制御に基づくチップ内高速データ転送回路

東北大学電気通信研究所 竹内 崇, 羽生 貴弘

概要：1 チップ上に複数のモジュールを混載した場合、チップ全体の高性能化にはモジュール間における高速データ転送が必要不可欠である。同時に近年の微細化の進展に伴い、配線遅延など配線に起因する問題が顕著となっている。本研究グループでは、配線に占めるデータの密度に着目し、データを高密度化することで、データ転送の高速化を図る方式を提案してきた。提案方式では、制御回路を各モジュールに分散しており、本チップでは、分散化された制御回路を試作した。本チップの試作に際しては、制御回路の入出力が多く存在するため、双方向バッファを活用することで、ピンボルトネックを解消した。試作したチップに対する、論理検証、消費電力評価については現在進行中である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：2.4mm 角 チップ種別：ニューテクノロジー

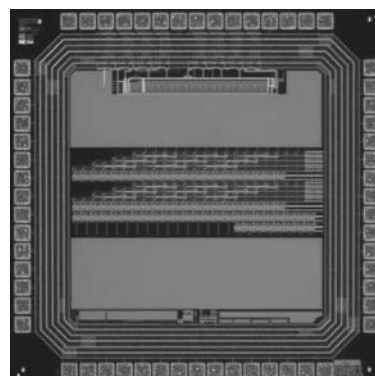


多値差動ロジックに基づく低ノイズ 16 ビット乗算器

東北大学電気通信研究所 j 望月 明, 羽生 貴弘

概要：2つの差動対回路を相補的に動作させ、出力を電流加算することでノイズ耐性を持った高性能多値演算回路が実現される。すなわち、多値化および近年の微細化に伴う低電圧化により、論理電圧振幅が小さくとも、隣接交差配線クロストークノイズをキャンセルできるような新しい回路方式を提案し、算出演算回路の例として 16 ビット乗算器を試作した。トランジスタを使わない結線による電流加算と差動対回路を徹底的に活用することで、コンパクト性および高速性を維持しつつ、ノイズ低減機能が付加でき、高信頼かつ高性能な乗算器が達成される。本チップでは、基本コンポーネントとなる Booth リコーダ、部分積生成回路、キャリーセーブ加算器ツリーを構成する Signed-Digit 数系に基づく全加算器 (SDFA) を TEG として搭載している。現在、動作検証およびノイズ耐性についての評価は、進行中である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：2.4mm 角 チップ種別：演算回路 (乗算器, 除算器など)

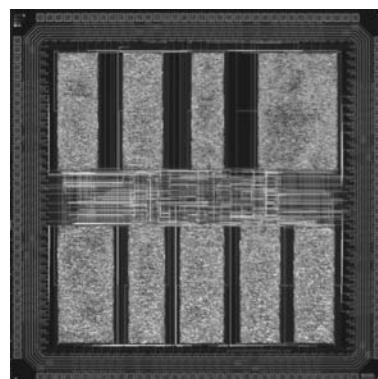


16ビットパイプラインプロセッサの設計実習1

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システムLSI分野を志向する修士課程の学生全員にLSIの設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システムLSI設計の中のLSI設計実習の一環として試作したものである。設計課題は、MIPSライクな16ビット5段パイプラインプロセッサで、28命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードリングやストール機能の実現までを課題達成の要求条件としている。また、各々が作成したアセンブラプログラム（バブルソート等）を共有し、検証用パターンとして用いた。レイアウトに関しては、縦サイズ固定という制約の中で、最適化（速度／面積優先）を試行させた。最終的には1チップに9個のプロセッサモジュールを搭載し、各々が外部I/Oから直接アクセス可能としている。チップ製造後は、独自に開発したVDECチップ評価用ボード（MU200-SXCW）上で実LSIの動作確認や評価を行わせ、LSI開発に関する幅広い経験を積ませている。本経験が、より先駆的なデジタルLSIの研究課題へチャレンジする際に大いに寄与すると考えている。

設計期間：10人月以上 **設計ツール：**Synopsys社VCS, Synopsys社DesignCompiler, Synopsys社Apollo, Cadence社Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**4.9mm角 **チップ種別：**マイクロプロセッサ

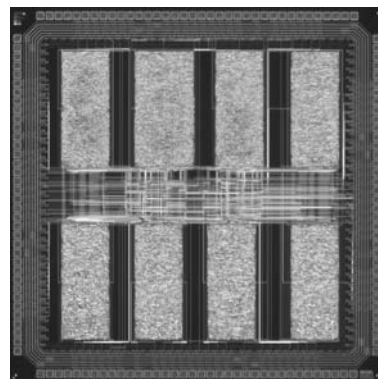


16ビットパイプラインプロセッサの設計実習2

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システムLSI分野を志向する修士課程の学生全員にLSIの設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システムLSI設計の中のLSI設計実習の一環として試作したものである。設計課題は、MIPSライクな16ビット5段パイプラインプロセッサで、28命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードリングやストール機能の実現までを課題達成の要求条件としている。また、各々が作成したアセンブラプログラム（バブルソート等）を共有し、検証用パターンとして用いた。レイアウトに関しては、縦サイズ固定という制約の中で、最適化（速度／面積優先）を試行させた。最終的には1チップに8個のプロセッサモジュールを搭載し、各々が外部I/Oから直接アクセス可能としている。チップ製造後は、独自に開発したVDECチップ評価用ボード（MU200-SXCW）上で実LSIの動作確認や評価を行わせ、LSI開発に関する幅広い経験を積ませている。本経験が、より先駆的なデジタルLSIの研究課題へチャレンジする際に大いに寄与すると考えている。

設計期間：10人月以上 **設計ツール：**Synopsys社VCS, Synopsys社DesignCompiler, Synopsys社Apollo, Cadence社Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**4.9mm角 **チップ種別：**マイクロプロセッサ

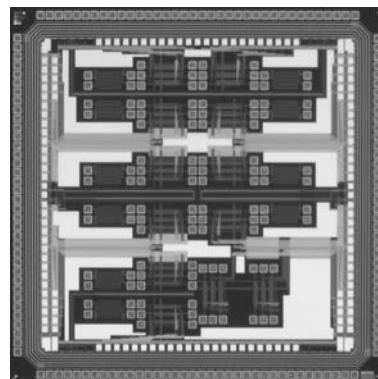


基板ノイズ測定用テストチップ

慶應義塾大学理工学部 岩津 勝彦, 中野 誠彦

概要：デジタル、アナログ混載のSoCでは、デジタル回路が発生するスイッチングノイズが基板を介してアナログ回路に影響を及ぼす。SoC設計において利用可能な基板モデル構築のためテストチップを作成した。本チップでは、段数の異なるインバータチェーンがデジタル回路の代表として配置されており、その周辺にデバイスによるセンサが配置されている。チップ内部にもセンサーパッドを持たせることによりパッケージされた状態のみならず、ベアチップ単体での両方での測定を可能にしている。パッケージを通しての実験によりデジタル回路スイッチングに対応する位相においてノイズ波形が観測された。これらの波形は、LPEを用いて抽出されたパラメータを用いて回路シミュレーションを行い比較を行っている。またマニュアルプローバによるベアチップの測定は今後行う。

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社Virtuoso, Cadence社Dracula LPE, Cadence社Dracula DRC **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**4.9mm角 **チップ種別：**TEG（特性評価回路など）

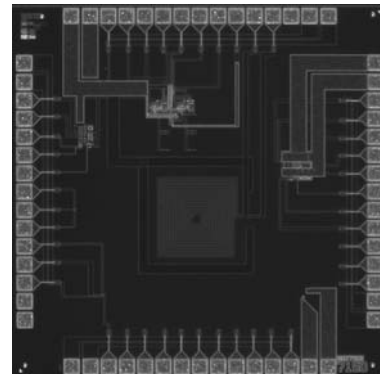


CMOS オペアンプの試作

都城工業高等専門学校電気工学科 堀田 真嗣, 田中 寿, 平田 洋輔
宮崎大学工学部電気電子工学科 中島 雄太, 松浦 貴行, 外山 貴子, 淡野 公一,
石塚 興彦

概要：本チップでは、チョッパアンプ、CMOS オペアンプ、nMOS、pMOS、及び、スパイラルインダクタの試作を行った。チョッパアンプは、微弱かつ低周波信号である表面筋電位信号を処理する LSI の一部に使用し、低周波におけるノイズを低減した回路である。CMOS オペアンプは、今後の LSI 設計において、基本ブロック（セル）として用いるために設計した回路である。また、本試作ランでは初めて試作を行うため、基本特性を測定するために nMOS、pMOS、スパイラルインダクタを設計した。現在、試作したこれらの回路の測定を行っているところである。

設計期間：4 人月以上、5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE トランジスタ数：10 以上、100 未満 試作ラン：2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

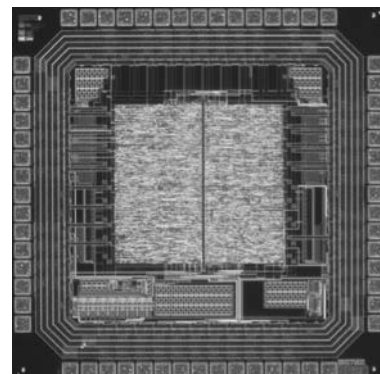


信号伝送機能をもつ触覚素子用回路

東京大学大学院情報理工学系研究科 岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之

概要：柔軟体中に埋め込まれた触覚素子の信号を、マルチホップによって伝達する通信素子を開発した。柔軟体の内部に導電体膜の領域を形成し、隣接する領域間をまたぐように通信素子が配置される。各素子は自身と同じ領域に接続された素子に電気信号を送信し、以後この繰り返しによって任意の素子にパケットを転送する。試作した回路は、信号の非同期検出、衝突回避、転送経路決定の処理を行う論理演算回路と、通信膜への送受信回路からなる。またクロックも同一素子上の回路によって供給されている。本試作は、多数素子間での信号転送機能の評価を目的とし、触覚用計測機能は搭載されていない。

設計期間：5 人月以上、6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上、100,000 未満 試作ラン：2.4mm 角 チップ種別：アナデジ混載

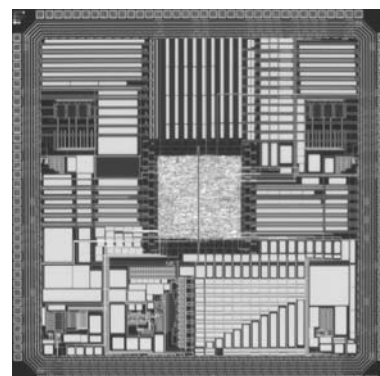


信号伝送機能をもつ触覚素子用回路

東京大学大学院情報理工学系研究科 岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之

概要：柔軟体中で変形を計測し、その計測値をマルチホップによって転送可能な触覚素子用回路を設計した。柔軟体の内部に導電体膜の領域を形成し、隣接する領域間をまたぐように通信素子が配置される。導電体膜は複数層形成されており、各通信素子は、その膜間容量を計測して触覚信号とする。各素子は、自身と同じ領域に接続された隣接素子に測定データを含む電気信号を送信し、以後この繰り返しによって任意の地点までパケットを転送する。これによって配線を用いずに触覚データを収集することができる。設計した回路には、容量計測回路からパケット転送アルゴリズムまで、触覚素子として必要とされる全ての機能が集積されている。

設計期間：5 人月以上、6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上、100,000 未満 試作ラン：4.9mm 角 チップ種別：アナデジ混載

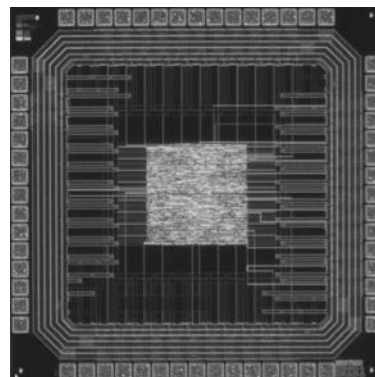


信号伝送機能をもつ触覚素子用回路

東京大学大学院情報理工学系研究科 岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之

概要：柔軟体中に埋め込まれた触覚素子の信号を、マルチホップによって伝達する通信素子を開発した。柔軟体の内部に導電体膜の領域を形成し、隣接する領域間をまたぐように通信素子が配置される。各素子は自身と同じ領域に接続された素子に電気信号を送信し、以後この繰り返しによって任意の素子にパケットを転送する。試作した回路は、信号の非同期検出、衝突回避、転送経路決定の処理を行う論理演算回路と、通信膜への送受信回路からなる。またクロックも同一素子上の回路によって供給されている。本試作は、多数素子間での信号転送機能の評価を目的とし、触覚用計測機能は搭載されていない。

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上, 100,000 未満 試作ラン：2.4mm 角 チップ種別：アナデジ混載

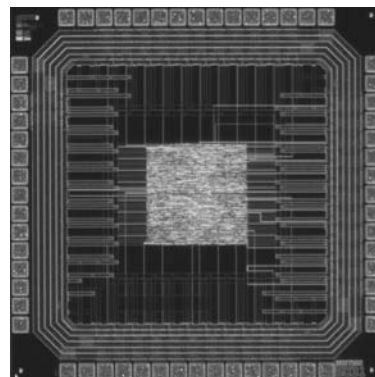


信号伝送機能をもつ触覚素子用回路

東京大学大学院情報理工学系研究科 岡田 明正, 牧野 泰才, 星 貴之, 篠田 裕之

概要：柔軟体中に埋め込まれた触覚素子の信号を、マルチホップによって伝達する通信素子を開発した。柔軟体の内部に導電体膜の領域を形成し、隣接する領域間をまたぐように通信素子が配置される。各素子は自身と同じ領域に接続された素子に電気信号を送信し、以後この繰り返しによって任意の素子にパケットを転送する。試作した回路は、信号の非同期検出、衝突回避、転送経路決定の処理を行う論理演算回路と、通信膜への送受信回路からなる。またクロックも同一素子上の回路によって供給されている。本試作は、多数素子間での信号転送機能の評価を目的とし、触覚用計測機能は搭載されていない。

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：10,000 以上, 100,000 未満 試作ラン：2.4mm 角 チップ種別：アナデジ混載



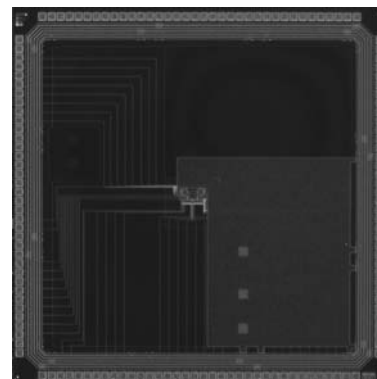
平成16年度 第3回 ロームCMOS0.35 μ m チップ試作 (R035043)

デジタルピクセルセンサと演算回路のTEG

東京大学新領域創成科学研究科 トンプラシット ベンジャマース

概要：回路技術の発達により、イメージセンサは解像度の高い画像を取り込むことができるようになってきた。その結果、画像を取得するセンサチップから画像処理チップへのデータ転送が問題となってきた。このため、センサと画像処理回路を1つのチップに載せる手法が提案されている。一方、センサ部分に関しては、高解像度化に適するため、アナログ値を用いるものがよく使われてきた。しかし、画像処理の多くはデジタル値で行うので、各ピクセルから読み出されたアナログ値をデジタル値に変換する処理がボトルネックとなってきた。これを解決するために、デジタルピクセルセンサと呼ばれる各ピクセル内にA/Dコンバータをもったものが提案されている。本チップは、センサから画像処理回路へ読み出し方法を特色とするデジタルピクセルセンサである。多くの画像処理では2次元の一定範囲をブロックとして演算を行う。従来のセンサでは1列ごとに読み出しを行うため、読み出し部分が画像処理に置いてボトルネックになっていた。そこで、演算回路から一定範囲の2次元ブロックを読み出すことのできるアーキテクチャを考案し、これを本試作に実装した。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上，10,000未満 試作ラン：4.9mm角 チップ種別：イメージセンサ/スマートセンサ



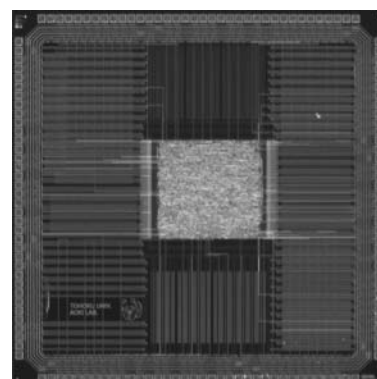
2値・多値融合論理に基づく32ビット並列乗算器

東北大学大学院情報科学研究科 木暮 俊光, 出川 勝彦, 青木 孝文
東北工業大学工学部 樋口 龍雄

概要：多値論理に基づく新しい集積回路技術は、配線量を直接的に削減できる点で有効な解決策を与えると考えられる。しかし、多値論理回路のEDAツールはほとんど実用化されておらず、設計者はこれまでフルカスタムで多値論理回路を設計してきた。そのため、大規模な多値論理回路や2値論理回路との混在回路の設計は困難であった。今後、多値論理回路技術をVLSIシステムにおいて有効に活用するためには、2値論理回路と多値論理回路が融合した回路を高い抽象度から容易に設計できることが望ましい。そこで本研究グループでは、2値論理と多値論理を融合したVLSIシステムのためのハイレベル設計環境を提案している。本チップは、提案するハイレベル設計環境を用いて合成した2値・多値融合論理に基づく32ビット並列乗算器である。

参考文献：木暮, 出川, 青木, 樋口, "2値・多値融合論理に基づく乗算器のハイレベル設計", 多値論理研究ノート第27巻, pp. 3-1-3-9, September. 2004

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Virtuoso トランジスタ数：10,000以上，100,000未満 試作ラン：4.9mm角 チップ種別：演算回路（乗算器，除算器など）



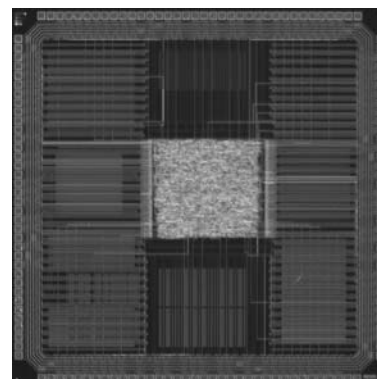
冗長2進加算器を用いた並列乗算器

東北大学大学院情報科学研究科 若松 泰平, 本間 尚文, 木暮 俊光, 青木 孝文
東北工業大学工学部 樋口 龍雄

概要：本研究グループでは、加算アルゴリズム（加算器上に実現される演算手順）の新しい表現法として、Counter Tree Diagram (CTD) を提案している。CTDを用いることにより、従来の2進数系のみならず、Signed-Digit (SD) 数系やGeneralized-Signed-Digit (GSD) 数系などの特殊数系に基づく加算アルゴリズムを統一的に表現することができる。本チップは、CTDを用いて設計した冗長2進加算器（RBA）に基づく32ビット並列乗算器である。設計した乗算器は、部分積生成、部分積加算および最終段加算より構成される。本試作では、電流モード多値論理回路によるRBAを用いて部分積加算を構成した。一方、部分積生成と最終段加算は、従来の2進論理回路をRTL記述により設計した。ここで、並列乗算器の検証および配置配線には、本研究グループで提案する2値・多値融合論理回路のハイレベル設計環境を利用した。回路動作は、NanoSimのシミュレーションにより確認した。

参考文献：若松, 本間, 崎山, 青木, 樋口, "冗長加算器の最適設計に関する実験的検討", 多値論理研究ノート第27巻, pp. 14-1-14-8, September 2004.

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Virtuoso トランジスタ数：10,000以上，100,000未満 試作ラン：4.9mm角 チップ種別：演算回路（乗算器，除算器など）

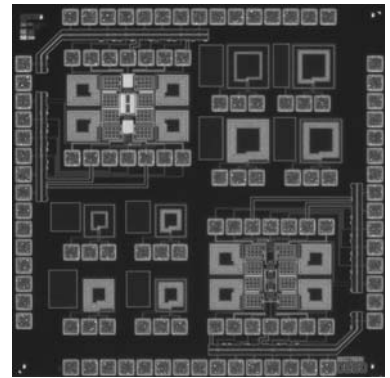


ダイレクトコンバージョン方式に適したミキサ回路

芝浦工業大学大学院工学研究科 奥村 宣孝, 上田 和弘

概要：近年，ソフトウェア無線などのマルチバンド無線機に適した方式としてダイレクトコンバージョン方式が注目されている。ダイレクトコンバージョン受信機で問題となるIM2を低減するミキサ回路を構成している。構成したミキサ回路は，IM2を低減するためのミキサ回路を備えておりIIP2の向上が期待される。本チップは，特性評価を目的とし試作を行った。提供されているMOSモデルの一部を書き換えCadence社SpectreRFでシミュレーションを行っている。ここでは，レイアウトの異なるミキサを2つ構成している。また，特性評価のためのスパイラルインダクタを構成している。スパイラルインダクタは，グリーンハウス法によって計算されたものを用いている。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社Verilog-XL，Cadence社Virtuoso，Cadence社Dracula LVS，Cadence社Dracula DRC，Cadence社Diva，Cadence社Analog Artist トランジスタ数：10以上，100未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）



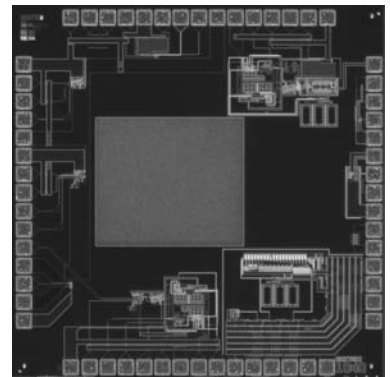
スマートRFIDタグ用BASKリング発振器と個体識別符号生成低電力CMOS論理回路

熊本大学工学部 井上 高宏, 中島 晃, 馬庭 志織

熊本大学大学院自然科学研究科 山川 俊貴, 竹中 智哉, 千代永 純一

概要：今回試作したチップは，RFIDタグ用の回路となっており，電源電圧3Vにおいて発振周波数915MHzとなるように設計したCMOSインバータ3段構成のBASKリング発振器と，CMOSインバータを基本とした論理回路を組み合わせ構成した2進数64ビットの個体識別符号（IDコード）生成回路となっている。個体識別符号生成回路においては電源ラインにパワーマネージメント用のp型MOSFETスイッチを設け，回路全体の低消費電力化を図っている。今回はアナログ回路とデジタル回路の相乗りチップとなっているので，各回路の周りにはガードリングを設け，回路同士のノイズの影響の低減を図っている。また，各要素回路のTEGも試作した。現在，テストによる測定を行っている最中である。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社Virtuoso，Synopsys社Star-HSPICE，Cadence社Dracula LVS，Cadence社Dracula DRC，Cadence社Diva トランジスタ数：100以上，1,000未満 試作ラン：2.4mm角 チップ種別：アナデジ混載



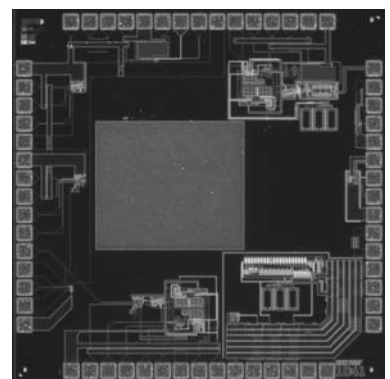
生体信号処理用低電圧アナログCMOS回路の製作

熊本大学工学部 井上 高宏, 米澤 隆広

熊本大学大学院自然科学研究科 鶴巢 哲朗, 岩崎 俊彦, 梅田 武史

概要：当研究室では，病気の発生・メカニズムの解析および新薬の開発などを目的とした，遺伝子改変マウスの心拍数・体温・呼吸音の計測および個体識別の行なえる生体植え込み型超小型スマートRFIDタグの設計・開発を行なっている。そこで，スマートRFIDタグに内蔵して，心音・呼吸音・体温などの生体信号処理を行なう小型低電圧低消費電力CMOS集積回路の実現を目的として，スイッチトカレント $\Sigma\Delta$ A-D変換器の設計を行なった。試作回路は，低電圧フォールドドカスコードOTA回路，スイッチトカレント積分器，半クロック遅延電流コンパレータ回路，500kHzクロック発生回路からなる。チップにはそれらをシステムとして集積化したものと個別に，体温センサ回路，チョッパー変調回路，完全差動増幅器，基準電圧発生回路，各要素回路のTEGを相乗りさせた。テストによる測定はまだ行っていない。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社Virtuoso，Synopsys社Star-HSPICE，Cadence社Dracula LVS，Cadence社Dracula DRC，Cadence社Diva トランジスタ数：10以上，100未満 試作ラン：2.4mm角 チップ種別：アナデジ混載



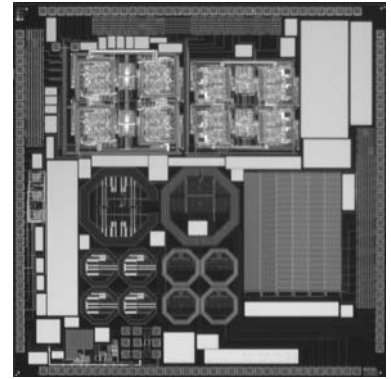
低クロック振幅フリップ・フロップの設計

東京大学生産技術研究所 川口 博
東京大学国際・産学共同研究センター

Kyu-Won Choi, Tran Canh,
Atit Tamtrakarn, 許 蛭雪, 鬼塚 浩平,
桜井 貴康

概要：低クロック振幅フリップ・フロップを設計した。回路形式はパストランジスタ型で、クロックはパルス駆動される。情報を保持するインバータラッチをマージンの確保のためにクロックトインバータにしており、シミュレーションではクロック振幅 1V まで動作可能である。その他、CPW ウェブガイドをインダクタに用いたギガヘルツ帯域アンプ、医用の新方式低電圧低電力低雑音オプアンプ、低リーク電流を実現する FPGA などの設計も行った。さらにチップ間ワイヤレス電源伝送手法に関し、アンテナおよび送受信回路を平行化することによって最大伝送電力を向上させるための設計を行い、単体送受信との実測比較を行うことを目指した。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**4.9mm 角 **チップ種別：**アナデジ混載



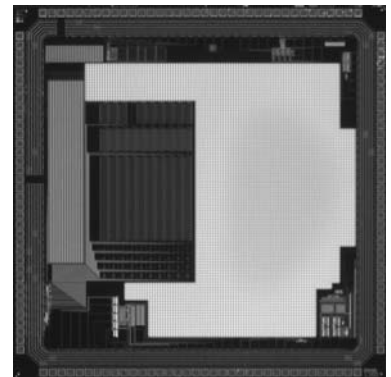
低消費電力アナログ TEG 回路の試作

長崎総合科学大学工学部 田中 義人
長崎総合科学大学大学院新技術創成研究所 清山 浩司
長崎総合科学大学大学院工学研究科 金 奉基

概要：ユビキタス時代に向け医療・福祉用の携帯型聴音計・心電計 LSI の研究を行っている。これらの機器は、常時携帯する事を想定しており、小型化に加え低消費電力で無線機能を持つ必要がある。近年、低消費電力化を目的としてスイッチトオペアンプ (SOP) 技術を用いたスイッチトキャパシタの研究、報告が行われている。従来型 SOP の構成は、スイッチの挿入で初期設計時のバイアス点が変わりオペアンプの特性に影響を与えていた。本試作では、ミラーオペアンプ (Miller-Opamp) を用いて、アンプの特性に影響を与えない SOP の回路構成にした。また、全ての MOSFET をサブスレッショルド領域でバイアスする事によりさらなる低消費電力化を試みた。ポストレイアウトシミュレーションでは、電源電圧 1.5V の時、ゲイン 68dB, GBW500kHz, 消費電力 7.7 μ W が得られた。

参考文献：清山, 田中, " スwitchトオペアンプの回路構成法に関する一検討" 平成 16 年度電気関係学会九州支部連合大会, 講演論文集 II, pp449, Vol2 (2004)

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**4.9mm 角 **チップ種別：**TEG (特性評価回路など)

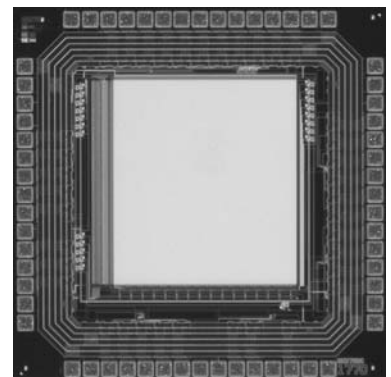


SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータ用デシメーションフィルタの試作

横浜国立大学工学部 吉川 信行
横浜国立大学工学部 道江 寛之

概要：SFQ/CMOS ハイブリッド $\Sigma \Delta$ AD コンバータは、SFQ $\Sigma \Delta$ モジュレータの高速性、高感度性のため、高いオーバーサンプリング周波数が可能となり、高速、高分解能の AD コンバータを実現できる。一方、SFQ $\Sigma \Delta$ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる。そのため、本研究では SFQ $\Sigma \Delta$ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った。SFQ $\Sigma \Delta$ モジュレータからの 20GHz の信号は、まずデマルチプレクサにより低速の平行信号に変更され、CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる。これにより、バンド幅 10MHz, SNR14bit の AD コンバータが実現できる。本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数：**100,000 以上 **試作ラン：**2.4mm 角 **チップ種別：**メモリ

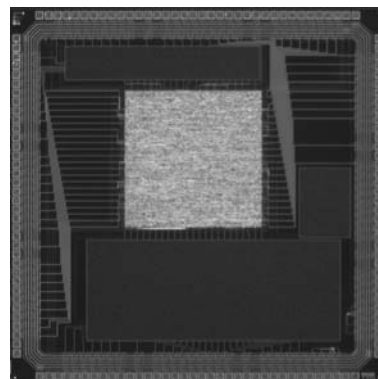


SFQ/CMOSハイブリッドメモリシステムの動作検証

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要: 我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、SFQ回路は50GHzの高速クロック周波数で動作するが、その電圧振幅は100 μ Vのオーダである。一方、CMOSデバイスは数GHzで動作し、その電圧振幅は1Vのオーダである。したがって、ハイブリッドシステムの実現のためには、SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプの開発が必要となる。本チップでは、CMOSメモリとアンプから成るシステムを構成し、入力40mVの微小信号入力に対するCMOSシステムの動作を確認した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 4.9mm角 **チップ種別:** メモリ

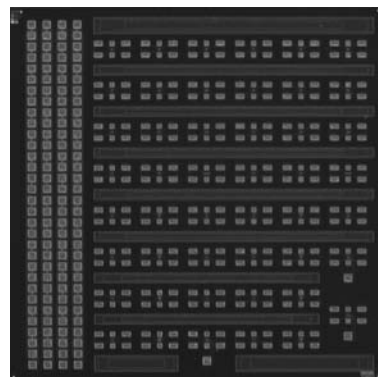


RF回路設計用TEGの試作

東北大学工学部 黒田 理人
 東北大学大学院工学研究科 渡辺 一史

概要: CMOS回路のRF帯域への応用は、MOSFETの微細化により加速されている。円滑にRF回路の設計を行うためには、あらかじめRF領域でのMOSFETの寄生抵抗や寄生容量などの寄生素子の正確な値が必要である。なぜなら、MOSFETの動作限界周波数付近でこれらの寄生素子がMOSFET動作に与える影響が非常に大きいからである。RF領域でのこれらの寄生素子は、DC領域での振る舞いとは全く異なり、複雑なバイアス依存性や周波数依存性を持つことが知られている。このため、RF回路設計を行うためにはRF領域での寄生素子の振る舞いをあらかじめライブラリー化しておく必要がある。本試作は、RF帯域での寄生抵抗や寄生容量の値を正確に見積もり、RF回路設計のためのライブラリーを構築するための試作である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 4.9mm角 **チップ種別:** TEG (特性評価回路など)

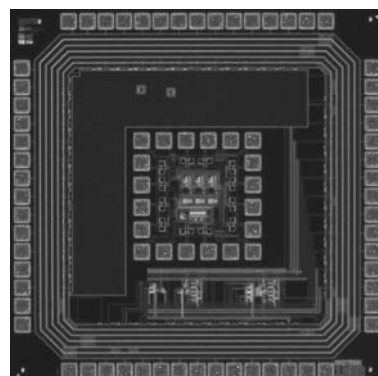


微少リーク電流評価用TEGおよび電荷転送プリアンプTEGおよび高速光電変換回路TEG

東北大学大学院工学研究科 諏訪 智之, 高橋 紘人, 佐塚 友彦
 東北大学工学部 浄法寺 佑

概要: 微少リーク電流評価用TEGは微細化の進んだLSIで原子数個単位のばらつきに起因する電気的特性を評価するためのTEG回路である。電荷転送プリアンプTEGは、コンパレータ回路を低消費電力で動作させるときに入力トランジスタの閾値電圧ばらつきに起因する誤差を補償し精度を向上させることを目的としている。プリアンプの効果を確認するため、ラッチコンパレータ単体のTEGも試作した。高速光電変換回路TEGはフォトダイオードにより電気信号に変換した光信号をリアルタイムかつ高速 (ns) に得るための回路である。微弱な光信号を増幅する増幅回路および定期的に入ってくる光による電流をカットするためのハイパスフィルタ回路を配置した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** 2.4mm角 **チップ種別:** TEG (特性評価回路など)



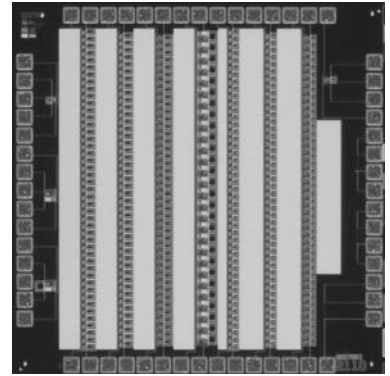
大規模パルス形ハードウェアニューラルネットワーク用ニューロンモデルと軸策モデルの試作

日本大学理工学部電子情報工学科 小野 克幸, 佐伯 勝敏, 関根 好文

概要：現在、様々な分野において、脳内で行われている情報処理能力を工学的に応用するための研究が行われており、そのなかでも我々は、パルス形のモデルであるパルス形ハードウェアニューラルネットワークのニューロンチップを実装することを目標に研究を行っている。ニューラルネットワークを実装する際には、ニューロンの数が膨大となるため、各ニューロンモデルの微細化を行う必要がある。そこで本試作では、パルス形ハードウェアニューラルネットワークのニューロンモデルと、パルス形ハードウェア軸策モデルのスケールリングとコンデンサの占有面積に対する検討を行い、検証の結果、スケールリングやコンデンサを微細化した回路における動作を確認した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社

Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, PSpice トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：ニューテクノロジー



電流制御降圧型 PWM DC-DC コンバータの試作

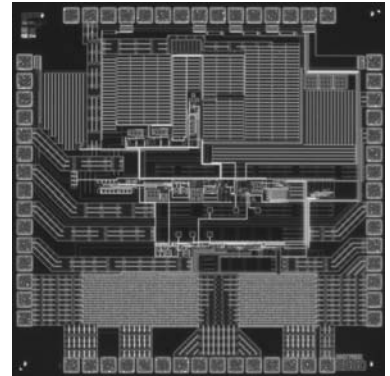
中央大学理工学研究科 蒲谷 晃則, 櫻井 宏樹, 木野田 房郎

中央大学理工学部 杉本 泰博

概要：本研究では電流制御降圧型 PWM DC-DC コンバータを構成した。スイッチング周波数は5MHzもしくは20MHzに切替可能としている。これは高周波化によるインダクタの小型化を目指したもので、周波数を選択できる構成とすることにより、インダクタの選択に自由度を持たせたものである。スロープ補償にはDutyの二乗に比例する特性を用いており、一般的な一次のスロープ補償に比べ、より安定な条件で動作させることが可能となっている。Dutyの二乗に比例する特性はMOSの二乗特性を用いて発生させている。出力トランジスタは、ボンディングワイヤに寄生したインダクタによるリングングを抑えるために、Pchトランジスタを3段に分けて順次オンさせる構成となっている。さらに、基準電源を新規に構成した。これは出力電圧（電流）を自由に変化させることができ、かつ精度はバンドギャップと同等の特性を持っている。この基準電源を用い、発振周波数の安定化を行った。

参考文献：Hiroki Sakurai, Yasuhiro Sugimoto, "Analysis and Design of a Current-Mode PWM Buck Converter Adopting the Output-Voltage Independent Second-Order Slope Compensation Scheme", IEICE Trans. Fundamentals, vol. E88-A, No. 2, Feb. 2005.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



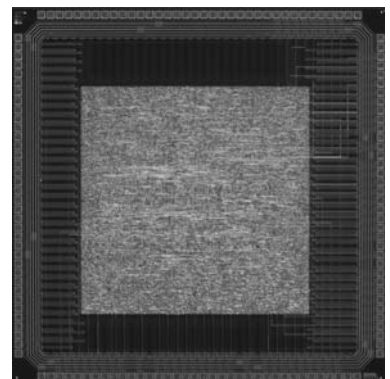
自己修復型人工物用チップ

東京大学工学系研究科 小松 謙介

東京大学人工物工学研究センター 高橋 浩之

概要：自己修復型人工物の考え方は、人工物は単体では必ず故障を起こすということを前提として、それでも内部構成を変革しながら、当面動作を続けることの出来るような人工物を実現したい、というものである。本チップは、この中で必要とされるセンサネットワークを実現するためのものである。センサネットワークは、独立動作する多数のセンサから得られた情報を統合するが、本チップでは比較的均質かつ多数のセンサを用いることを仮定し、ネットワーク上で隣り合う各センサ間で共有される情報を利用して、全体として極めて高い信頼性を与えるセンサネットワークを実現するものである。本チップでは前回試作したチップよりも集積度を向上させ、各センサに対応する信頼度の計算精度を上げた。光センサを用いてチップを試験したところ信頼度の大きさによってネットワークを再構築し、不良センサを排除することができた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



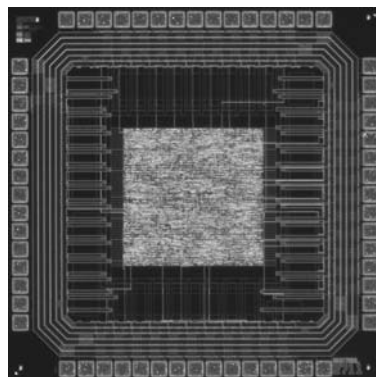
自己修復センサ用チップ

東京大学工学系研究科 藤原 健

東京大学人工物工学研究センター 高橋 浩之

概要：大規模の人工物に対応できるスケーラブルな自己修復型のチップを開発するためにセンサネットワークとのインタフェースをとるための基本機能を実装したものである。自己修復型人工物は、人工物の内部構成を変革しながら、故障時にも当面動作を続けることの出来るような人工物であるが、独立動作する多数のセンサから得られた情報を統合する際のインタフェースを行なうものである。本チップでは各センサに対応する信頼度を導入し、この信頼度を隣り合うセンサとの通信を行いながら、各センサの状態を更新していく機能をもっている。この際、端の部分では更に別のチップとまたインタフェースをとることで大規模なシステムを構築可能としている。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**2.4mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



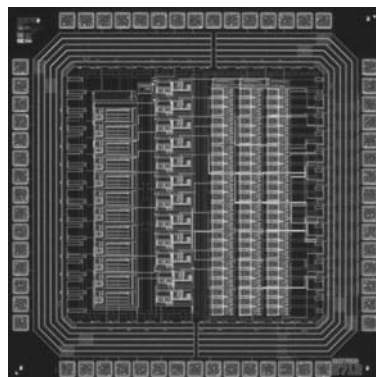
ワイヤチェンバ用フロントエンドチップ

東京大学工学系研究科 Yeom Jung-Yeol

東京大学人工物工学研究センター 高橋 浩之

概要：本チップは中性子散乱実験用に用いられるワイヤチェンバのフロントエンド信号処理を行なうために、高速動作の可能なパルス信号処理回路を複数チャンネル集積したものである。ワイヤチェンバから出力される信号パルスとしては、10fC程度の小さな電荷になるため、これをローノイズかつ高速に測定するためには、等価雑音電荷が0.1fC程度の高性能電荷増幅器が必要となる。さらに本チップには、積分時間の可変な積分器、フィルタ時定数の制御可能な波形整形増幅器、ウィンドウ型コンパレータなどの機能を12チャンネル分集積したものであり、これをベアチップのまま基板に実装して高密度のフロントエンド電子回路を実現する予定である。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**2.4mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



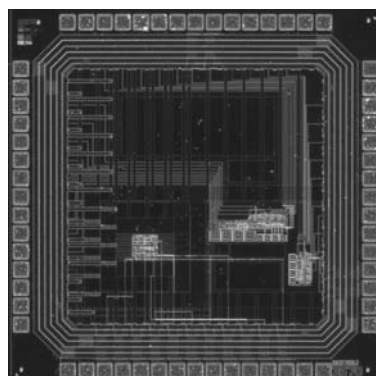
2次連続時間型 $\Delta\Sigma$ 変調器

上智大学理工学部 小林 章二, 和保 孝夫

概要：CMOSを用いた2次連続時間型 $\Delta\Sigma$ 変調器を設計した。積分器には、差動入力段と共通ソース段、およびCMフィードバック回路を含む全差動型2段構成オペアンプを用い、高いゲインを得ることで理想的な積分器特性に近づけた。前回の検討結果を考慮してL/Wの最適化を図った。また、比較器にはマスタースレーブ型を用いた。シミュレーションによれば、入力帯域100kHz, OSR=128 (クロック周波数25.6MHz) の時, SNR=70dB (11ビット), 消費電力は約20mWであった。フィードバック係数はインパルス不変法に基づく値を想定したが、内部DACのテイル電流源で微調整を可能とした。また、比較のため1次連続時間型 $\Delta\Sigma$ 変調器を搭載した。

参考文献：小林, 和保 「CMOS2段オペアンプの設計」平成16年度VDEC年報, 160頁 (2004)

設計期間：3人月以上、4人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**100以上、1,000未満 **試作ラン：**2.4mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

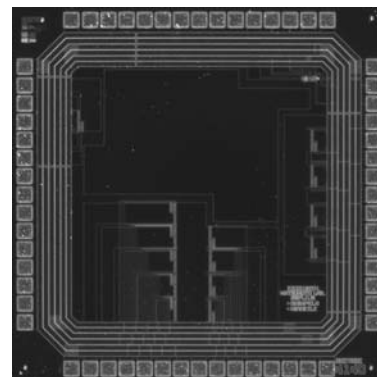


静電容量型センサ用容量検出回路

慶應義塾大学工学部 轡田 晃一, 松本 佳宣

概要：近年，研究開発が盛んに行われている静電容量型センサ用の微小容量検出回路を設計した．一つの回路で3軸センサの検出ができるように，3つのスイッチトキャパシタ方式の容量検出器を6相クロックで駆動する構成とした．また，発振回路と利得約50倍の非反転増幅器も併せて集積化した．スイッチトキャパシタと非反転増幅器に用いる演算増幅器は折り返しカスコード型のRail to Rail演算増幅器を用いた．演算増幅器のオフセットを評価するために，回路パラメータやレイアウトを変えた演算増幅器を複数設計して，その評価を行えるようにした．この回路はフェムトファラッドオーダーの微小容量検出が必要な加速度センサなどの分野への応用が期待される．

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上，1,000未満 試作ラン：2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

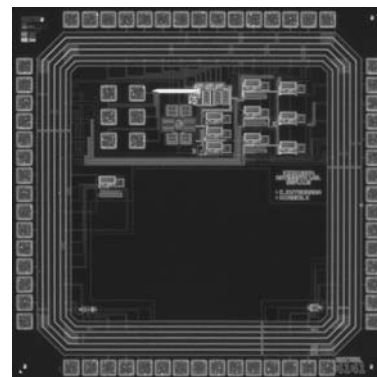


光通信用信号処理回路

慶應義塾大学工学部 田村 善朗, 赤松 大生, 松本 佳宣

概要：多重方式光通信網で用いられるバースト伝送対応用のATC (Auto Threshold Control) 集積回路の設計と試作評価を行った．バースト伝送ATC回路は，ピーク検出回路とボトム検出回路から構成され充電用トランジスタ部にカレントミラー構造を用いて，オーバーシュートを低減した．基準電圧1.65V，振幅30mVのパルス信号を入力として行なったシミュレーションでは，ATC回路の応答速度は約7nsec，誤差は1~2mVという高精度な結果が得られた．試作チップを評価用ボードに実装し，ATC回路の動作を測定した結果，入出力オフセットと応答速度の面ではシミュレーションより劣っていたが，振幅検出の面ではシミュレーション通りの結果が得られた．本研究で設計したATC回路は，入出力オフセットという問題点はあるものの検出動作そのものには問題はなく，バースト伝送対応の光受信器で用いるのに有用である．

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上，1,000未満 試作ラン：2.4mm角 チップ種別：通信 (RF回路, ATMなど)

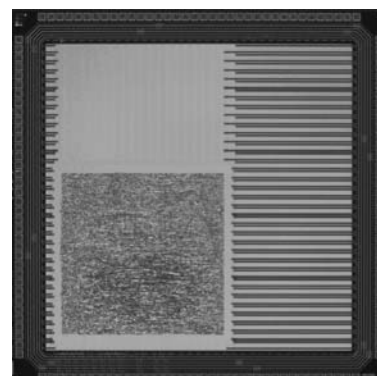


ファジィ推論回路の試作

九州東海大学工学部 佐々木 博文, 藤本 邦昭

概要：位相同期ループ (PLL: Phase Locked Loop) は情報社会において不可欠な機能回路のひとつであり，携帯電話，テレビ，オーディオ機器，パソコン，通信機器，計測機器等における信号の同期，自動周波数制御，周波数変換などに使用されている．当研究室では，アナログPLLのフィルタ部分をファジィ推論回路に置き換えたファジィPLLの開発を行っており，今回はそこに使用するファジィ推論回路の試作を行った．試作したファジィ推論回路は，2入力1出力で，メンバーシップ関数が5種類，推論規則が25個で，推論規則には簡略化推論法を用いている．演算に浮動小数点演算を使用せず，全て固定小数点演算で行うことにより回路規模の縮小と高速化を図った．また，メンバーシップ関数に回路化に最も適した三角型メンバーシップ関数を採用することにより，5種類のメンバーシップ関数を7個のゲートと数十個のスイッチで実現している．

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上，100,000未満 試作ラン：4.9mm角 チップ種別：その他

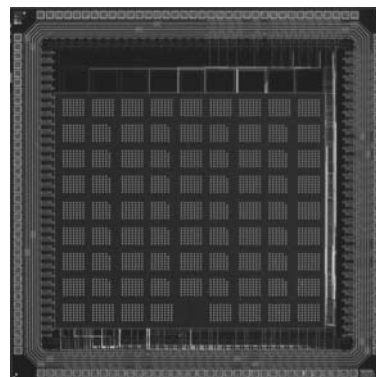


ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なダイナミック型の光再構成回路を有する光再構成型ゲートアレイ DORGA (Dynamic Optically Reconfigurable Gate Array) VLSIを開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $9.5\mu\text{m} \times 8.8\mu\text{m}$ 、その間隔を水平 $42.0\mu\text{m}$ 、垂直 $33\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4ビット入力-1ビット出力-LUT (Look-Up Table) を1個、フリップ・フロップ1個を実装した論理ブロックが28個、配線チャンネル内の配線は8本、それに対応したスイッチング・マトリックス36個、4ビットの I/O ブロック16個を実装した。この度試作した ORGA のゲート規模は476ゲート規模である。ダイナミックタイプの光再構成回路の評価を行った。

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：その他

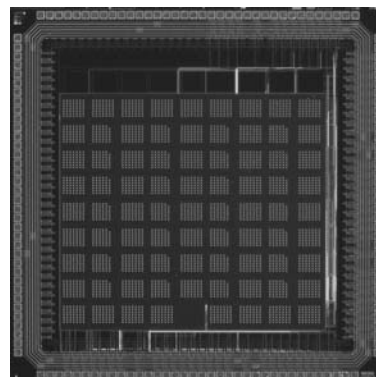


光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なラッチタイプの光再構成回路を有する光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) VLSIを開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $9.1\mu\text{m} \times 8.8\mu\text{m}$ 、その間隔を水平 $42.0\mu\text{m}$ 、垂直 $33.0\mu\text{m}$ とし、3616 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4ビット入力-1ビット出力-LUT (Look-Up Table) を1個、フリップ・フロップ1個を実装した論理ブロックが28個、配線チャンネル内の配線は8本、それに対応したスイッチング・マトリックス36個、4ビットの I/O ブロック16個を実装した。この度試作した ORGA のゲート規模は476ゲート規模である。

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：4.9mm角 チップ種別：その他



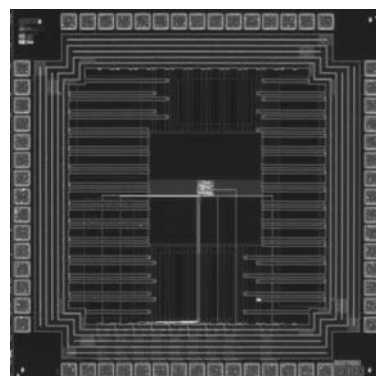
光無線 LAN のためのクロック生成回路

高知工科大学工学部 橋 昌良

概要：レーザーダイオードアレイを用いて構成される光無線 LAN システムのための LSI。回路は LAN を流れるデータとエンドノードなどの制御信号を1本のレーザービームで送るために、データのためのクロック信号を制御信号で FM 変調し重畳されるためのものである。この回路は PLL 回路で構成され、今回試作した回路はこのうちフラクショナル N 分周期を構成するデジタル部分である。VHDL を用いて RTL で設計し、VCS によりシミュレーションの後、Design Compiler で論理合成、Astro を用いて P&R を行い、パターンは Dracula で検証した。クロック信号の周波数は 100MHz と 100.1MHz であり、抽出したパラメータをバックアノテートしたシミュレーションでは必要な性能が満足されていることを確認できた。

参考文献：(2) Posri, Tachibana, "Phase Locked Loop Design in Transmitting and Receiving Part of Optical Wireless Access", 2004年電気関係学会四国支部連合大会, 17-16, p324, 徳島大学, 2004年9月

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.4mm角 チップ種別：その他

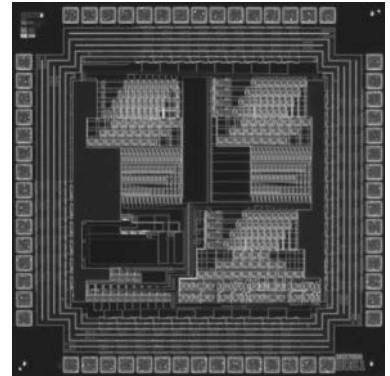


高速乗算器の試作

高知工科大学工学部 田中 佳明, 谷脇 史高, 矢野 政顕, 橋 昌良

概要：回路形式の異なる3種類の8×8乗算器から構成されるチップである。乗算器はブースのデコーダと部分積生成回路にトランSMISSIONゲートを用いた構成と NAND/NORゲート回路のみを用いた構成について、遅延時間、消費電力、面積を比較検討できるように設計されている。使用されているゲートは演算速度の高速化をねらって乗算器のために設計されたもので、チャンネル幅の広いトランジスタを使用している。ゲートの遅延時間を測定するためのリングオシレータもパターン化してある。パターンは、ゲート回路の設計および乗算回路の配置配線についてはVirtuosoのみを使用して手書きで設計を行った。学部4年1名と修士課程1年1名による設計。設計期間は約2ヶ月である。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：2.4mm角 チップ種別：演算回路（乗算器、除算器など）



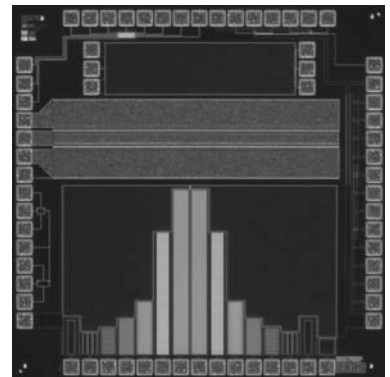
LSI設計評価用デバイスTEG

高知工科大学工学部 川越 伸一, 三宮 大輔, 橋 昌良, 河津 哲

概要：LSIを設計するに当たり、リーク電流及び雑音に関する基本特性を確認することを目的として、面積を一定にしてLOCOS端長を変化させたMOSキャパシタ及びゲート・コントロールド・ダイオードをN及び基板上で設計した。更に、雑音特性を考慮したCMOSインバータの設計を行うと共に、アナログ増幅器特性を評価しうるTEGを設計した。又、学生実験用としてチャンネル長の異なるCMOSインバータの演算速度評価用TEGの設計も併せて行った。具体的にはチャンネル長0.35~10μmのN・PMOSトランジスタ、CMOSインバータ等で構成されている。

参考文献：川越, 岡林, 大橋, 河津, “高速Pulse Scanning C-V法による担体発生量評価IV”, 2004年電気関係学会四国支部連合大会, 11-33, p158, 徳島大学, 2004年9月

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：10以上、100未満 試作ラン：2.4mm角 チップ種別：TEG（特性評価回路など）



AshraトリガーセンサーLSI試作(2)

東京大学宇宙線研究所 会田 勇一

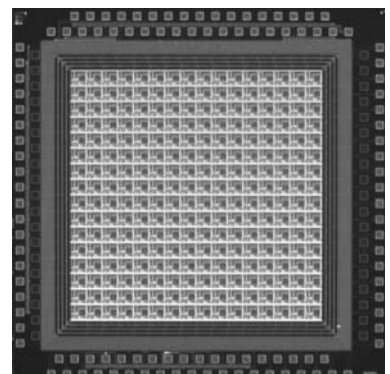
青木 利文 佐々木 真人

茨城大学工学部 木村 孝之

東邦大学大学院理学研究科 安田 雅弘

概要：Ashraは、高エネルギー宇宙線を2π視野、数分角の角度分解能での観測により、宇宙線の起源と伝播の解明、VHEνの検出等を目標とする実験である。観測対象となる高エネルギー宇宙線から生じる光の観測に重要なデバイスとして、露光制御を行うトリガーセンサーが挙げられる。本試作では、Ashraトリガーセンサーの一部であるトリガーセンサーLSIの試作開発を行った。ローム社2004年度第1回のAshraトリガーセンサーLSI試作で設計したLSIの機能に加えて、複数のトリガーセンサーLSIとMAPMTの配線時に問題となる、トリガーセンサーLSIと外部回路との配線数減少を目的とした16×16画素トリガーセンサーLSIの試作設計を行った。配線数の減少には前段の出力と後段の出力の論理的な演算を行いながらデータを出力する事が必要であるため、AND回路を縦続接続した回路構成とした。この技術によりAshraで使用予定である64×64画素トリガーセンサーの座標配線数を、1/4に減少させる事に成功した。ただし、欠点として伝搬遅延の増加が生じる。これらが問題ないレベルかどうかに関して、現在測定中である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上、100,000未満 試作ラン：4.9mm角 チップ種別：アナデジ混載

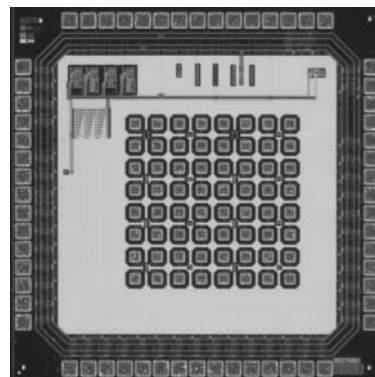


微細 CMOS 基準電圧発生回路

富山県立大学大学院工学研究科 南 隆一, 松田 敏弘, 岩田 栄之
富山県立大学工学部 鈴木 圭一

概要：近年、電子機器の小型化に伴いデジタル回路とアナログ回路を混載した LSI の必要性が高まっており、とくにアナログ回路では高精度の基準電圧が必要である。本試作チップでは基準電圧発生回路を CMOS デバイスで実現した。所定の電源電圧および温度範囲で出力電圧の変動が 1mV 以下であることを目標としている。回路構成は標準的な CMOS プロセスを用いている。1.2 μ m プロセスで設計した回路構成を基本として、より微細なプロセスである 0.35 μ m への適応が可能か検討する。また、基準電圧発生部のトランジスタの W/L 比をさらに細かく調整可能な MOSFET を配置し、本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上、1,000 未満 試作ラン：2.4mm 角 チップ種別：TEG (特性評価回路など)



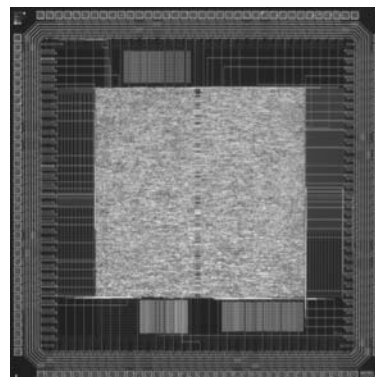
実数 ZCZ 有限長系列セットを用いた M-ary/DS-SS 通信モデムのベースバンド処理部の試作

山口大学工学部 松元 隆博, 植松 良介, 棚田 嘉博

概要：我々は、実数 ZCZ 有限長系列セットを用いた M-ary/DS-SS 通信モデムのベースバンド処理部の試作を行った [1]。長さが 2 のべき乗 + 1 の実数 ZCZ 有限長系列セットは、その非周期自己相関関数が端点を除き直交し、相互相関関数がある区間において 0 となる系列セットである。そのため、この系列を用いた M-ary/DS-SS 通信では、系列同士を干渉なく識別することが出来る。この系列セットは、短い長さの要素系列の畳み込みによって得られるため、マッチトフィルタを小規模に実現できる。また、符号発生器は、マッチトフィルタのインパルス応答が系列の時間反転波形になることを利用することで、送信側を簡単に構成している。これより実数値系列であっても回路を小規模で実現できることを示した。

参考文献：[1] 松元, 植松, 棚田, ”実数 ZCZ 有限長系列を用いた M-ary/DS-SS 通信モデムの試作,” 信学技報 WBS2004-51, pp.35-40 (2004) .

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10,000 以上、100,000 未満 試作ラン：4.9mm 角 チップ種別：通信 (RF 回路, ATM など)

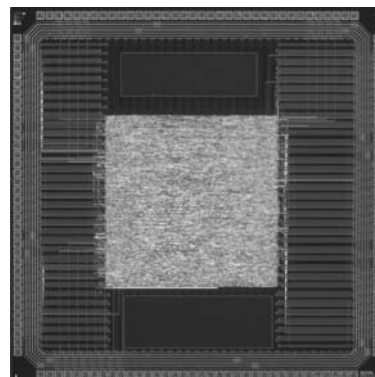


バイナリ重みベクトルの自己組織化マップハードウェア

九州工業大学大学院生命体工学研究科 平塚 智一, 堀尾 恵一, 山川 烈

概要：自己組織化マップ (Self-Organizing Map: SOM) は教師信号なしでデータを分類できるという特長を持つニューラルネットワークであり、パターン分類やデータ解析等へ応用されている。現在、SOM を実現する方法としては、PC やワークステーション等の汎用計算機を用いるのが一般的である。しかしながら、入力ベクトルの要素数、競合層ユニット数の増加に伴い、学習時間が増加する。SOM の一連の演算をワンチップで実現できれば、計算時間が格段に短縮でき、応用の幅も大きく広がるものと考えられる。ハードウェア化を容易にするために、SOM で取り扱うデータとして、バイナリデータを用いた。これにより、入力ベクトルと結合重みベクトルの類似性尺度演算には、ハミング距離を採用することができ、EXOR ゲートで実現可能となった。また、結合重みベクトル更新演算は、入力ベクトルと異なるビットを反転させる操作で実現した。勝者決定演算は、シフトレジスタを用いたビットシリアルワードパラレルな回路を用いることにより、全ての比較対象を並列かつ効率的に処理することができた。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：4.9mm 角 チップ種別：ニューテクノロジー

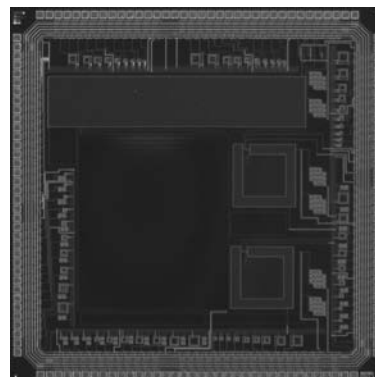


イメージセンサ用光検出回路の TEG

九州工業大学大学院生命体工学研究科 岩崎 正明, 山川 烈

概要：イメージセンサでは実際に試作するプロセスでの光検出回路の特性を知る必要がある。そこで、光検出回路の基本特性である分光感度特性や、量子効率を測定することを目的として、サイズ、形状、構成を変えた受光回路を設計した。具体的には、フォトトランジスタ、フォトダイオード (n-well, n+)、アクティブピクセル回路 (2種類)、対数受光回路を受光面積を変えて設計した。また、トランジスタ、インバータなどの基本デバイスも数種類作成した。本チップ内の TEG は、現在評価中である。今後は、この試作デバイスの結果を参考に、ロボットビジョンへの応用を目的とした特徴検出機能を持つ 2次元動物体イメージセンサの開発を目指す。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：4.9mm 角 チップ種別：TEG (特性評価回路など)

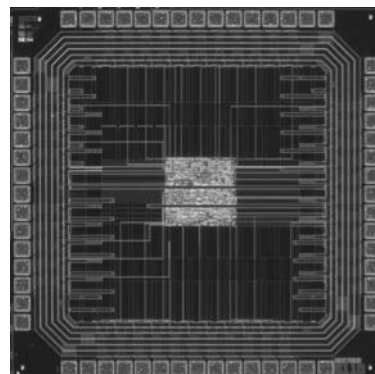


信号処理用 FIFO およびテスト TEG

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸, 田内 一弥

概要：200Mbps で入力されるデジタル信号をバッファし、内部でデジタルフィルタリングを行い必要な情報を取り出すための ASIC を製作する目的で、その内部ブロックのうちひとつを抽出し今回の TEG に入れてある。機能としては入力デジタル信号のセレクトとデジタルバッファおよびバッファ内の信号を制御するランダムロジックである。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Apollo トランジスタ数：10 以上, 100 未満 試作ラン：2.4mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



セキュアプロセッサの開発

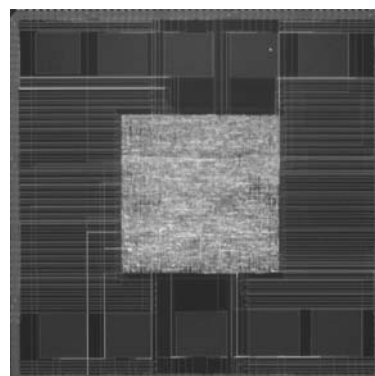
岩手県立大学大学院ソフトウェア情報学研究科 穂積 健介, 福原 和哉

岩手県立大学ソフトウェア情報学部 大宮 太一, 狩野 孝弘, 高橋 大介, 猪股 俊光, 曾我 正和

概要：不正侵入、他人なりすまし、改竄、やスキミング等を防ぐキー技術は安全で確実な個人認証技術である。そのための認証媒体として、デジタル署名機能をもつ非接触 IC カードが最適と考え、(a) 高速署名計算機能、(b) 秘密鍵漏洩防止機能、(c) 汎用プロセッサとしての計算機能、(d) 低電力消費、の 4 つの要件を満たすセキュアプロセッサ SEP-5 の試作を行った。SEP-5 は 32 ビットのマイクロプロセッサで、多倍長演算機能を持ち、RSA デジタル署名計算を約 0.94 秒で実行できる。ゲート規模は約 29,000 ゲート (2NAND 換算) となった。

参考文献：[1] 穂積, 猪股, 曾我, "セキュアプロセッサの開発", 情処研報 2004-ARC-160, pp.71-76, (2004)

設計期間：6 人月以上, 7 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：9.8mm 角 チップ種別：マイクロプロセッサ

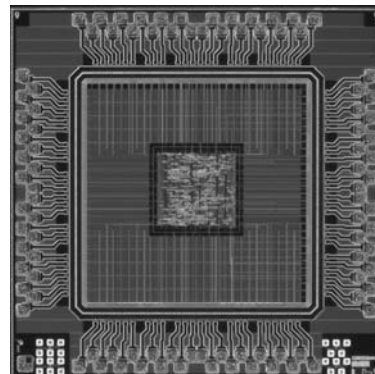


診断容易化の為に改良 Interval-based logic BIST 回路の設計

大阪大学大学院情報科学研究科 四之宮 傑, 三浦 克介, 中前 幸治, 藤岡 弘

概要: SoCのテスト容易性改善の為に、BIST設計が用いられているが、通常のBISTでは故障を検出するのみで、不良箇所を特定する診断を行うことはできない。これに対し、スキャンパスを通じて故障検出時の回路の主出力を外部に取り出すことが可能なInterval-based logic BISTが報告されている。この回路では、故障出力配線の特定制が可能であり、これにより、テスト容易化だけでなく診断の容易化も実現している。本試作では、更なる診断の容易化を目指して、Interval-based logic BISTを改良したBIST手法を提案し、その有効性を実証するチップを設計・実装した。故障出力配線の特定制を更に容易にするため、スキャンパスの組み換えを可能にしている。被テスト回路として16bit整数乗算回路を実装し、それに対して8個のスキャンフリップフロップからなるスキャンチェーン4本を有する通常のInterval-based logic BISTを付加した回路、本手法により2通りにスキャンパスを組み替え可能なBISTを付加した回路、4通りに組み替え可能なBISTを付加した回路の計3つの回路を設計・実装した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Dracula DRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別:** 演算回路 (乗算器, 除算器など)

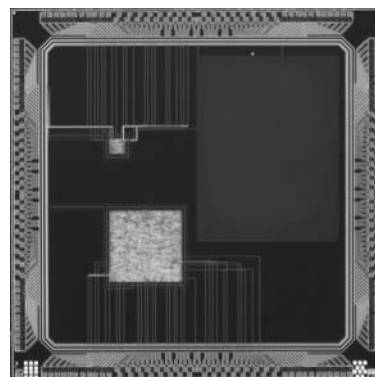


MIMD 連想プロセッサの連想処理・算術切り替え型 ALU, 短命令長命令セットのためのデコーダ

東京大学工学系研究科 早川 仁

概要: 我々は、人のように柔軟な認識を行うハードウェアシステムを研究している。その中で、入力された信号に最も近い出来事を記憶の中から探し出すこと (連想処理) は中心的な役割を果たし、これまで連想処理を専用に行うSIMD型プロセッサ (連想プロセッサ) をいくつか開発してきた。しかし、これらは連想専用であったため連想結果を利用した条件判断や簡単な算術演算などは外部で行う必要があった。そこで、連想処理に必要な演算器を分割し、それらを直列に接続することで連想処理を、選択して使用することで算術処理を行える、連想処理・汎用処理切り替え型のALUを持った連想プロセッサを考案した。また、より高度な連想処理を効率よく行うために、この切り替え型連想プロセッサを1チップ上に複数用意しMIMD構成にしたMIMD連想プロセッサを提案する。本試作では、MIMDエレメントの中核となる連想処理・算術処理切り替え型ALU、および、1つのMIMDエレメントに必要な命令メモリを削減する短命令長の命令セットのためのデコーダを設計した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** 日立製作所 CMOS 0.18 μ m 5.9mm角 **チップ種別:** 演算回路 (乗算器, 除算器など)

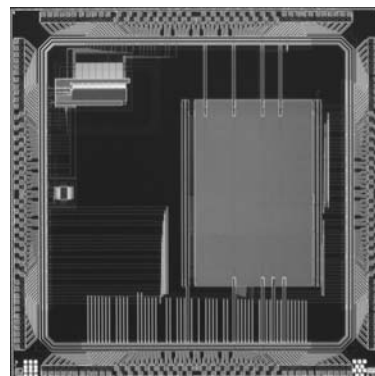


高速デジタル連想プロセッサ

東京大学新領域創成科学研究科 小川 誠

概要: ベクトル量子化に基づいた連想処理を行う、デジタル専用プロセッサ。距離演算に最適化された並列演算回路と、最小距離を高速に検出する二次元ビット伝播方式のWinner-Take-All回路を特徴とする。プロセッサには32並列の距離演算回路と8KBのオンチップメモリ、128入力のWTA回路が含まれる。距離演算回路では、シフト+アキュムレータにより乗算機能もサポートされ、従来のマンハッタン距離だけでなくユークリッド距離の演算も行える。WTA処理は、従来、ビット長と同程度のサイクルが必要であったが、二次元ビット伝播方式では24ビットの入力データを1サイクルで検索を実行する。試作プロセッサは測定の結果、電源電圧1.8Vの下、66MHzで動作し、消費電力は72mWであった。プロセッサ内には、64次元のベクトルを128個記憶することが可能で、マッチング時間は約4 μ sとなる。なお、本プロセッサはマッチングエンジンマクロを設計・検証するためのプロセッサであり、今後、本試作で設計したマッチングエンジンマクロを用いて、並列度を向上させコントローラ回路を高機能化した連想プロセッサを設計・試作する予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** 日立製作所 CMOS 0.18 μ m 5.9mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



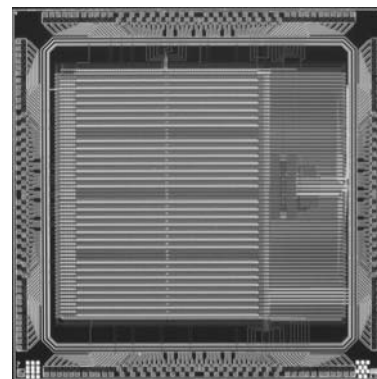
画像特徴抽出プロセッサ

東京大学工学系研究科 山崎 英男

概要：画像認識において最も重要な処理は、画像から認識に必要な特徴のみを抽出した圧縮表現である特徴ベクトルの生成である。我々の研究室では、画像の最も基本的な特徴であるエッジ情報に基づいた特徴ベクトル生成アルゴリズムを開発し、医用X線写真解析や顔検出で成果を得てきた。[1] しかし、これらの画像特徴抽出アルゴリズムは演算コストが高く、ソフトウェアによる処理では遅延が大きくなってしまふ。本チップは、画像認識のボトルネックであるこれらのアルゴリズムを高速に実現する画像特徴抽出プロセッサである。特に、エッジ情報を保持する2次元のシフトレジスタアレイを実装することにより、高解像度画像をスキャンして連続的に特徴ベクトルを生成することの高速化を実現した。本試作では、以前に試作されたチップの測定からのフィードバックにより、不具合の修正および安定性の向上を図った。

参考文献：[1] M. Yagi and T. Shibata, "An Image Representation Algorithm Compatible to Neural-Associative-Processor-Based Hardware Recognition Systems," Trans. Neural Networks, vol. 14, no. 5, pp. 1144-1161, Sep. 2003.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ



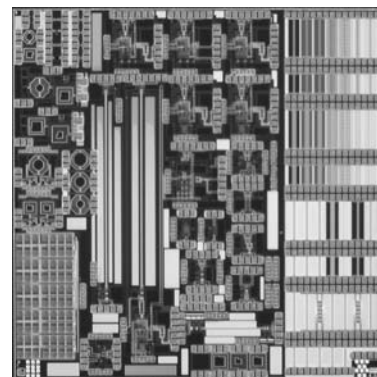
電流モード論理素子を用いたオンチップ高速信号伝送 TEG

京都大学情報学研究科 新名 亮規

概要：近年、LSIの製造プロセスの微細化に伴い、1チップ内に集積される回路規模は増大している。将来的には多数の機能ブロックが搭載された、大規模SoCが実現されると考えられる。我々は次世代の超微細プロセスにおける、ブロック間の長距離高速信号伝送技術として、差動シリアル伝送を提案する。今回の試作では、シリアル通信用 MUX TEG, CML ドライバ, レシーバを使用した信号伝送特性評価 TEG を作成した。設計した MUX は、最大8.2Gbps で動作することを実測にて確認した。信号伝送特性評価 TEG は、3mm の LSI 内配線に対し、信号の伝送特性を評価する TEG である。パルスパターンジェネレータを使用して評価し、最大7.5Gbps の信号伝送が行なえることを確認した。本回路の測定結果に基づき、将来的な伝送特性予測、伝送効率の評価を行なう予定である。

参考文献：A. Shinmyo et al. "Design and Measurement of 6.4Gbps 8:1 Multiplexer in 0.18 μ m CMOS Process", IEEE Proc. ASP-DAC 2005

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm 角 チップ種別：通信 (RF 回路, ATM など)

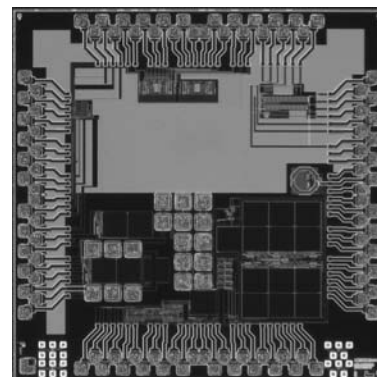


3.1~5GHz 帯域低電力ウルトラワイドバンドのトランシーバ回路ほか

東京大学国際・産学共同研究センター 石田 光一, Tamtrakarn Atit, 鬼塚 浩平, 桜井 貴康

概要：・通常のウルトラワイドバンドの帯域は3.1~10.6GHz だが、実際は10GHz までの帯域は必要なく、5GHz までの帯域で十分というアプリケーションも多いので、この様な仕様のトランシーバを試作した。送信側は送信機とコントローラを実装し、受信側は低雑音アンプ、パルスアンプおよびダイナミックパルスディテクタを作った。・従来、デバイスのスケールはアナログ回路には適さないとされてきたが、スケールされたデバイスでスケール前の電源電圧が取り扱うことができればこれらの問題は解決できると考えられる。そこで、標準使用電圧の2倍の3.6V を取り扱うことができる高耐圧の演算増幅器を設計した。・チップ上における将来の分散電源方式実現に向け、小型で出力電圧を高速に変化させることができるバック型DC-DC コンバータの設計を行った。高い出力電圧から低い出力電圧への変化時間は HSPICE シミュレーションにおいて約1ns であった。出力電圧変化時を除く実測において最大効率は約50% であった。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：通信 (RF 回路, ATM など)

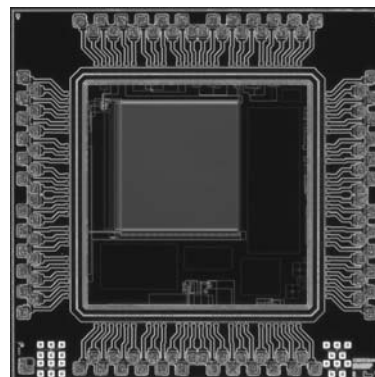


クライオデバイスモデル研究用 CMOS デバイス

横浜国立大学工学部 吉川 信行
 横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要:我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センス回路を用いることによりサブナノ秒のアクセスタイムが可能となる。以上の高速ハイブリッドクライオメモリの設計、システム性能評価のためには、低温でのCMOSデバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかのCMOSデバイスを試作した。CMOSデバイスの低温測定により、CMOSデバイスの4.2K動作の評価を行い、低温CMOSモデルの検討を行った。

設計期間:0.5人月以上, 1人月未満 **設計ツール:**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数:**10,000以上, 100,000未満 **試作ラン:**日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別:**メモリ

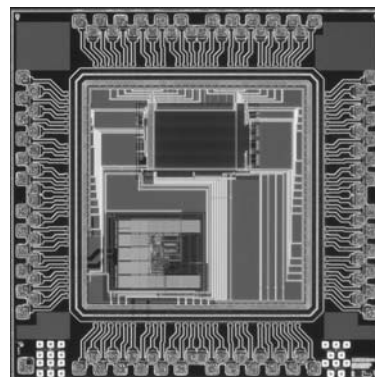


高並列プロセッサ向けマルチバンク構成レジスタファイル

広島大学ナノデバイス・システム研究センター 末吉 徹也,
 マタウシュ ハンス ユルゲン,
 小出 哲士

概要:近年、コンピュータの性能向上を図るために、スーパスカラ方式やVLIW方式などの、複数の命令を同時並列実行するプロセッサが利用されている。プロセッサの並列度の増加に伴い、レジスタファイルのポート数、及びエントリ数を増加させる必要があるが、従来の多ポートメモリ構造ではポート数の増加に伴い、面積、遅延時間、消費電力が増大してしまうため、並列度の向上は困難である。本研究室では、高並列プロセッサ用の多ポートレジスタファイルを実現するために、階層構造型多ポートメモリアーキテクチャ (Hierarchical Multiport-memory Architecture:HMA) を利用したバンク構成のレジスタファイルを提案している。この試作チップでは、4命令並列スーパスカラプロセッサへの実装を想定した12ポート構成のHMAレジスタファイルを設計を行い、面積800 μ m x 470 μ m、動作周波数580MHz、消費電力220mW@500MHzを実現した。

設計期間:3人月以上, 4人月未満 **設計ツール:**Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数:**10,000以上, 100,000未満 **試作ラン:**日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別:**メモリ

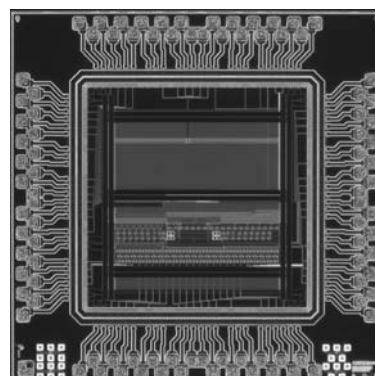


2段PLLを用いた超高精度時間測定回路

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要:我々は加速器実験で使用する時間精度数百ピコ秒の時間測定チップを数多く開発してきた。この技術をさらに発展させ、発振周波数のわずかに違うPLL回路を2段用い、数十ピコ秒の時間精度で多チャンネルの信号の到達時間を測定できるLSIを開発したいと思っている。このようなチップは、加速器実験でよく用いられるTOF (Time Of Flight) 検出器等で強く必要とされており、又多くの応用が見込まれる。今回の試作チップでは、16段の遅延素子からなるリングオシレーターを持つPLL回路を2個搭載し、10MHzの基準クロックより、それぞれ160MHzと170MHzとで発振するように設定した。各リングオシレーターの遅延素子の遅延時間差を利用し、24段のVernier Delay Lineを構成し、30ps程度の微小時間を検出する回路を目指した。

設計期間:1人月以上, 2人月未満 **設計ツール:**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:**1,000以上, 10,000未満 **試作ラン:**日立製作所 CMOS 0.18 μ m 2.9mm角 **チップ種別:**アナログ (PLL, A-D/DC-DCコンバータなど)



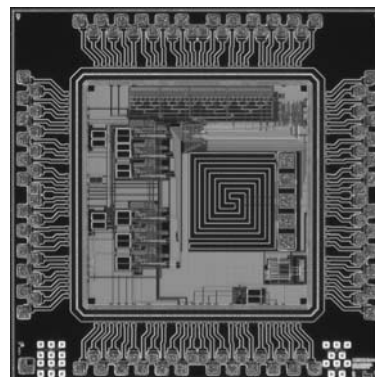
Ultra Wideband 送受信器

寺田 崇秀

概要: 本試作チップは、インパルス方式の Ultra Wideband (UWB) 送受信器である。Ultra Wideband とは、現在最も注目されている無線通信の1つであり、高速、低消費電力、低コストが原理的に可能であるとされる。UWB は、周波数帯域が中心周波数の 20%以上、あるいは 500MHz 以上の無線通信と定義されている。注目されるきっかけとなったのは、2002年2月にアメリカの FCC という周波数を管轄する機関が UWB の民生利用を許可したことである。これにより、それまで軍用レーダとして利用されていた UWB が民生用途に広く研究・開発されるようになった。日本やヨーロッパでも FCC の動きに対応して UWB に対する法規制を検討しているが、いまだ結論はでていない。というのも、UWB は既存の狭帯域な無線通信と、使用する帯域が重なっているため、既存の無線に対する干渉が懸念されている。そのため、規制のレベルについて、慎重な議論が続けられている。本試作チップは、センサネットワークや RF-ID をターゲットとした、低消費電力、低コストな送受信器である。その送信電力は日本の伝播法に則り、微弱無線の規定内におさまっている。また、低消費電力、低コスト実現のため、いくつかの回路的工夫がなされた。本試作チップによって、その工夫を実証した。

参考文献: 無し

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)



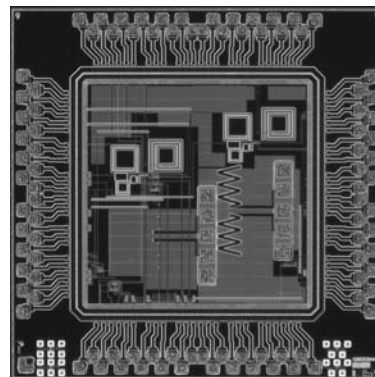
Ultra Wideband 用非同期型送受信器

善積 真吾

概要: 本試作チップは、Ultra Wideband (UWB) 用の送受信器である。Ultra Wideband とは、現在最も注目されている無線通信の1つであり、高速、低消費電力、低コストが原理的に可能であるとされる。UWB は、周波数帯域が中心周波数の 20%以上、あるいは 500MHz 以上の無線通信と定義されている。注目されるきっかけとなったのは、2002年2月にアメリカの FCC という周波数を管轄する機関が UWB の民生利用を許可したことである。これにより、それまで軍用レーダとして利用されていた UWB が民生用途に広く研究・開発されるようになった。本試作チップは、現在 UWB 通信の帯域として最も利用される可能性が高い 3.1~5GHz 帯をターゲットとした送受信回路である。従来の同期が必要な回路とは異なり、本チップでは入力してきたパルスを 2 乗する非同期なアーキテクチャを採用した。こうすることで、同帯域をターゲットとした従来の UWB 送受信器よりも低コストとなる。本試作チップにより、高速な通信が可能であることを実証する。

参考文献: 無し

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **チップ種別:** 通信 (RF 回路, ATM など)



高速レシーバ回路

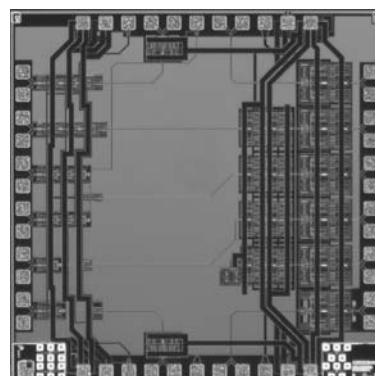
明星大学情報学部 秋山 豊, 伊東 恭二, 宇佐美 保, 大塚 寛治

明星大学理工学部 水野 文夫, 鷹野 致和

概要: 概要: 前回まで日立 0.18 μ m CMOS プロセスを用いて電荷交換型差動ドライバにつき試作を行って来たが、今回レシーバ回路等の試作を追加した。ドライバ回路は前回試作で 8Gbps の高速動作を確認、今回更に高速化を図る為にドレイン間距離を 1 μ m に狭め、構造をくし型にして電荷交換効果を高めた。レシーバ回路は初段には入力レベルの変動に対する出力レベル変動の小さい正帰還型、2 段目には出来るだけ帯域を伸ばすため電流源型、終段は出力振幅を大きくするため非飽和型構造とした。動作確認の結果ドライバ回路に於いては Rise time=78.24ps Fall time=87.06ps で前回の最高値を更に 10ps 程度更新、消費電流においても良好な改善効果を確認する事が出来た。しかし Eye パターンで Jitter の改善が更に必要であることが判明し次回 TEG で対処する事にした。レシーバ回路、ピーキング回路、シングル入力差動出力回路については引き続き検証する予定である。

参考文献: 今村, 秋山, 大塚, 伊東, 伊藤, "0.18 μ m プロセスによる 3GHz 動作 CMOS インバータの I/O インターフェイスへの適用" 第 19 回エレクトロニクス実装学術講演会" 2005.3, pp29-30

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 日立製作所 CMOS 0.18 μ m 2.9mm 角 **チップ種別:** TEG (特性評価回路など)



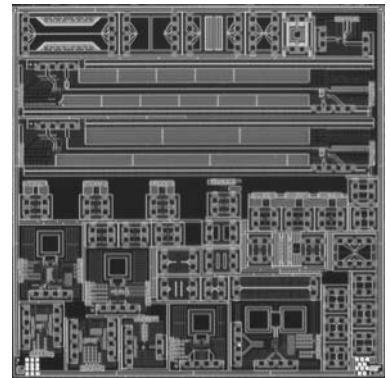
オンチップ伝送線路およびRFトランジスタ評価用 TEG

東京工業大学精密工学研究所 伊藤 浩之, 岡田 健一, 益一哉

概要：本チップは、オンチップの差動伝送線路と擬差動伝送線路の特性評価、RFトランジスタのモデリングを目的に試作した。差動伝送線路TEGは、配線幅や差動インピーダンスが異なる10種類のパターンと直交配線や並走配線がある6種類、曲げ構造1種類、de-embeddingパターン6種類で構成されている。擬差動伝送線路はde-embeddingパターンを含めた5種類からなる。また、RC線路単体2種類も作成している。これらの配線TEGはネットワークアナライザを用いた50GHzまでの周波数領域測定により評価した。トランジスタTEGはnMOSとpMOSの2種類あり、それぞれ2種類のゲート幅で、ソース接地とスイッチのパターンで構成されている。またde-embeddingパターンを各4種類作成している。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社

Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：10以上, 100未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：TEG (特性評価回路など)



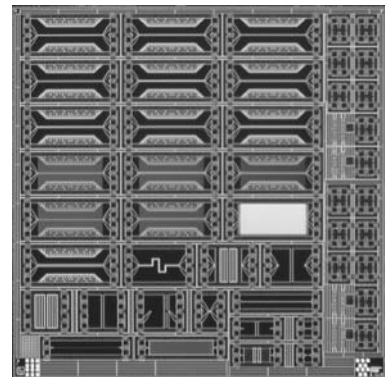
CMOS 高速信号伝送回路及び広帯域RFアナログ回路の試作

東京工業大学精密工学研究所 菅原 弘雄, 五味 振一郎, 杉田 英之, 伊藤 浩之, 岡田 健一, 益一哉

概要：本試作では、LSI内で高速信号伝送を実現するための回路とGHz帯での広帯域動作を目指したアナログ回路の試作を行った。高速信号伝送回路はGND電圧から電源電圧VDDまでの電圧、つまり、CMOSインバータを用いて論理入出力可能となる回路構成とした。送信回路、受信回路共に差動増幅回路とした。伝送線路配線はコブレン型伝送線路を用いた。また比較のために従来の長距離配線で用いられているRC線路についても試作を行った。広帯域RFアナログ回路では、無線通信用の低雑音増幅器(LNA)とミキサ(MIX)とその構成素子を試作した。回路内の受動素子であるインダクタを可変させることによって、広帯域化を目指している。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社

Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：10以上, 100未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：通信(RF回路, ATMなど)



オンチップ伝送線路配線評価用 TEG

東京工業大学精密工学研究所 杉田 英之, 伊藤 浩之, 五味 振一郎, 吉原 義昭, 岡田 健一, 益一哉

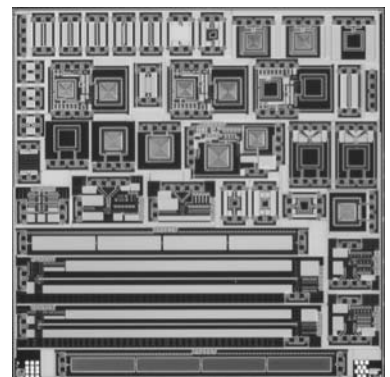
概要：擬差動伝送分：本チップでは、擬差動伝送線路を用い高速信号伝送、低消費電力化と低面積化を実現する伝送線路の特性評価と擬差動伝送線路を用いた一対一伝送用の回路の試作を行っている。線路を特性評価するために線路単体のTEGを用いS-parameterで評価する。パッドの寄生成分を除去するためにDe-embeddingパターンも試作している。一対一伝送用回路はパルスパターン発生器とデジタルオシロスコープを用い時間領域で評価する。配線の距離は4mmである。また、回路の動作を確認するためにレシーバ単体のTEGも試作している。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社

Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：10以上, 100未満

試作ラン：日立製作所 CMOS 0.18 μ m

5.9mm角 チップ種別：TEG (特性評価回路など)

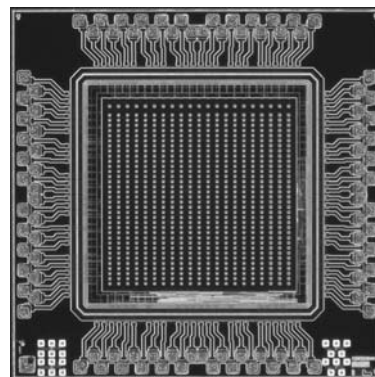


ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要：光により高速に再構成が可能なダイナミック型の光再構成回路を有する光再構成型ゲートアレイ DORGA (Dynamic Optically Reconfigurable Gate Array) VLSIを開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わされたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを $16\mu\text{m} \times 16\mu\text{m}$ 、その間隔を $38.4\mu\text{m}$ とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4ビット入力-1ビット出力-LUT (Look-Up Table) を1個、フリップ・フロップ1個を実装した論理ブロックが4個、配線チャンネル内の配線は8本、それに対応したスイッチング・マトリックス5個、4ビットの I/O ブロック4個を実装した。この度試作した ORGA のゲート規模は68ゲート規模である。ダイナミックタイプの光再構成回路の評価を行った。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS $0.18\mu\text{m}$ 2.9mm 角 チップ種別：その他

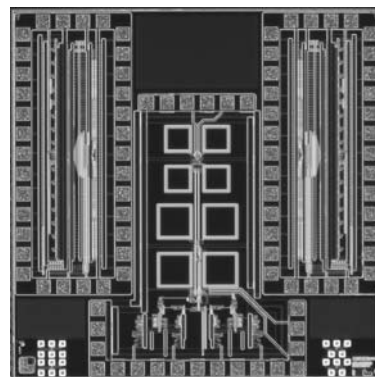


GHz サンプリング AD 変換器及び 10Gb/s 1:4 DEMUX

鹿児島大学工学部 上村 勇仁, 永吉 芳行, 小野 宏一, 大島 賢一, 山下 喜市

概要：高速 HDD, DVD, ギガビットイーサネットなどへの応用を目的に GHz サンプリング AD 変換器の低コスト化, 低消費電力化に取り組んでいる。今回, コンパレータの高速化, 低電力化, 及びエンコーダにバブリング対策を盛り込んで, 6 bit Flash 型 AD 変換器を試作した。試作チップの性能は, 入力範囲 800mV で DNL は 1.5 LSB, INL は 2.0 LSB, 1.5GS/s 動作時の消費電力は 188mW であった。DNL 及び INL が大きい原因はコンパレータの差動 MOS トランジスタの V_{th} オフセットと推定している。また, 同じチップ内に光通信用 10Gb/s 1:4 DEMUX も試作した。本 DEMUX では分周器及びクロックバッファにオンチップスパイラルインダクタによるピーキングを採用し広帯域化を図った。

設計期間：7 人以上, 8 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：日立製作所 CMOS $0.18\mu\text{m}$ 2.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



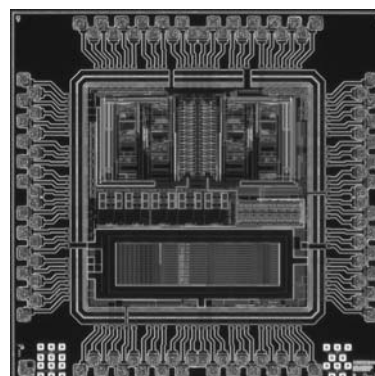
オンチップ信号検出マクロ

神戸大学工学部 野口 宏一朗, 深沢 光弥, 永田 永田

概要：本チップは 24 ビット 32 列シフトレジスタと, 2 個のオンチップマルチチャンネル波形取得回路で構成している。これらの構成は 2003 年度に同じプロセスで試作したオンチップ波形取得システムと等しいが, 機能向上と性能改善を目的に, 内部回路を変更している。主な改善項目は, 可変遅延ステップ生成回路のタイミング精度の高精度化, 参照電圧生成用 ADC の高精度化, 検出回路の小面積化/高帯域化, 測定対象回路とタイミング生成回路の同期調整機能で, 面積を増加すること無く各モジュールを高性能化した。また, I/O の整理や機能ブロックのレイアウト位置の調整, 信号配線ルーティングの変更を行ない, 利便性の高いハード IP として開発した。現在, 全てのオンチップ回路の基本動作を確認でき, 自動測定環境を構築中である。

参考文献：野口, 深沢, 野口, "オンチップ信号波形取得システム", 2004 年 VDEC 年報 (2004)

設計期間：1 人以上, 2 人月未満 設計ツール：SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：1,000 以上, 10,000 未満 試作ラン：日立製作所 CMOS $0.18\mu\text{m}$ 2.9mm 角 チップ種別：アナデジ混載



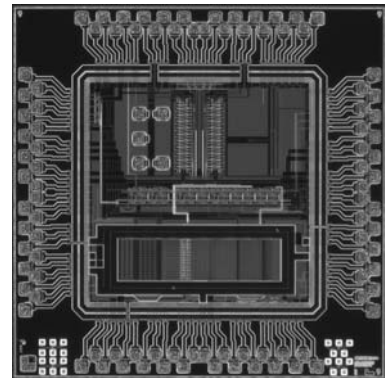
オンチップ信号モニタのためのS/H回路

神戸大学工学部 野口 宏一朗, 永田 真

概要：S/H回路は簡単な回路構造で回路面積が小さく、サンプリング動作により高帯域な信号検出を実現できる。しかしながら、オンチップ信号モニタ回路としてS/H回路を用いると、S/H回路からチップ外への信号経路上で、他の機能回路から簡単に外乱を受け検出波形が劣化してしまい、そのままではオンチップ振動モニタ回路として用いることはできない。本チップは、S/H回路と、S/H回路と電圧バッファあるいは電流バッファを統合したフロントエンド回路、の3種類の性能比較ができる構成となっている。S/H回路は合計13個であり、また被測定対回路として24ビット32列シフトレジスタを搭載した。S/H出力信号経路と、その下に配置された回路との寄生結合による雑音耐性の評価も可能である。現在のところ、3種類のS/H回路の基本動作を確認している。

参考文献：野口, 深澤, 野口, "オンチップ信号波形取得システム", 2004年VDEC年報(2004)

設計期間：1人月以上, 2人月未満 設計ツール：SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上, 10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：アナデジ混載



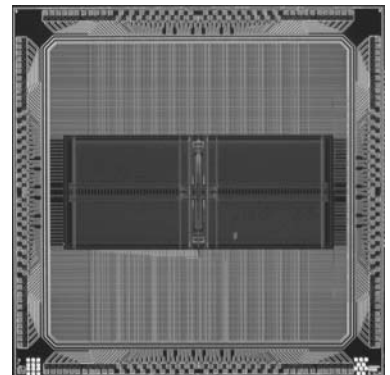
SRAM キャッシュ・メモリの設計

福岡大学大学院工学研究科 田中 秀和

九州大学大学院システム情報科学研究院情報理学部門 井上 弘士

概要：現在、トランジスタの微細加工技術の進歩に伴い、プロセッサ・チップの消費電力が問題になってきている。その中で、キャッシュ・メモリの消費電力が大半を占めるようになってきた。しかしながら、先端技術を用いたキャッシュ・メモリの消費電力は公にされていない。そこで、キャッシュ・メモリの消費電力を明らかにするために、16KBの4ウェイ・セット・アソシアティブ・キャッシュをカスタムレイアウトにより設計した。目標動作周波数は300MHzである。本チップは、アドレス・デコーダ、SRAMアレイ、センス・アンプ、タグ比較回路、参照データを選択するためのマルチプレクサを有している。また、SRAMアレイの構成に関しては、6トランジスタSRAMとした。なお、テストによる測定は行っていない。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：メモリ



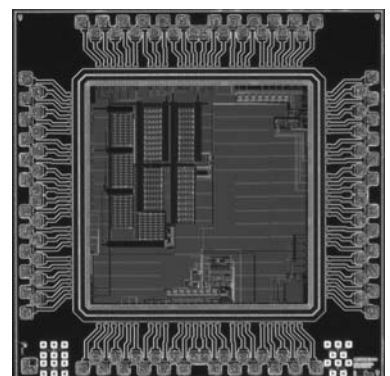
マルチプレクサの性能を評価する回路-1

中央大学理工学部 榎本 忠儀

中央大学大学院理工学研究科 樋口 雄貴, 磯崎 亮多, 永山 卓, 梅沢 祐一, 萩原 洋介

概要：本H1630チップに搭載されている回路は、マルチプレクサ、クロックドライバ、特性評価用MOSTEG、高速動作検証用PLL回路、である。マルチプレクサは新たに開発したNANDあるいはNORゲートから成るD-FFで構成されている。マルチプレクサの回路規模、消費電力、動作速度を評価して、スイッチ形D-FFで構成された従来のマルチプレクサと比べ、回路規模、消費電力、動作速度、の優位性を検証する。マルチメディアプロセッサの総消費電力の約50%がクロックドライバとレジスタで消費される場合がある。従って、クロックドライバとレジスタの低消費電力化は重要である。本チップに搭載されたクロックドライバとレジスタには中央大学榎本研究室で開発された消費電力と遅延時間を同時に最小とする技術が採用されており、本クロックドライバとレジスタを評価することにより、これらの技術を検証する。特性評価用MOSTEGはサブスレッショルド電流、GIDL電流、等各種リーク電流を評価するためのTEGである。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：TEG (特性評価回路など)



マルチプレクサの性能を評価する回路-2

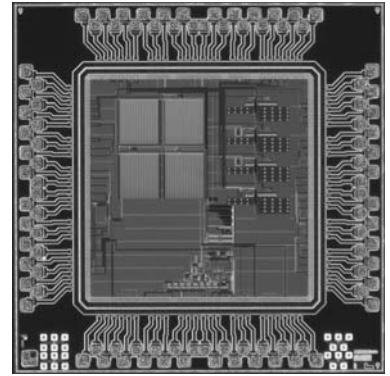
中央大学理工学部 榎本 忠儀

中央大学大学院理工学研究科 樋口 雄貴, 磯崎 亮多, 永山 卓, 梅沢 祐一, 萩原 洋介

概要：本 H1631 チップに搭載されている回路は、1-Kb SRAM、クロックドライバ付きマルチプレクサ、高速動作検証用リングオシレータ、各種リーク電流測定用 CMOS インバータ、である。1-Kb SRAM は各種リーク電流が削減されることが評価可能なデバイスである。本 SRAM には中央大学榎本研究室で開発されたリーク電流削減回路（SVL 回路）が搭載されており、SRAM のサブスレッショルド電流、GIDL 電流、ゲートトンネルリーク電流、等各種リーク電流が大幅に削減する。本 SRAM を評価することにより、リーク電流削減効果を検証する。クロックドライバ付きマルチプレクサは H1630 に搭載されているマルチプレクサとクロックドライバを合体した回路で、マルチプレクサの性能を総合的に評価するためのデバイスである。リングオシレータは上述の SVL 回路の最適化を評価する回路である。

特性評価用 CMOS インバータはサブスレッショルド電流、GIDL 電流、等各種リーク電流を評価するための TEG である。

設計期間：6 人月以上, 7 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別：TEG (特性評価回路など)

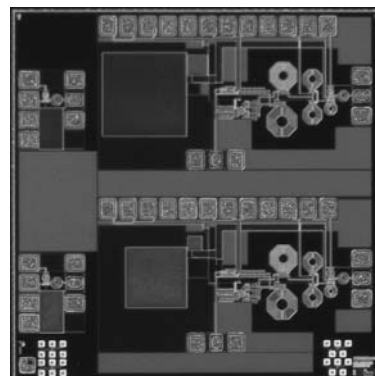


低消費電力PLL

東京大学新領域創成科学研究科 山本 憲, 藤島 実

概要：トランシーバにおける搬送波を発生させる位相同期ループ (PLL) の低消費電力動作を目指している。PLLの低消費電力化のためには電圧制御発振回路 (VCO) と周波数2分周回路の低消費電力化が重要になる。周波数2分周回路の低消費電力化に関しては、以前に消費面積が大きいオンチップインダクタを用いずに最も低消費電力化を実現できる方式を提案したため、これを利用した。VCOの低消費電力化に関しては、動作マージンを減らすことにより低消費電力化を測った。これらの回路を低消費電力化することにより、最も低消費電力動作をするPLLを作成した。また、PLLのアーキテクチャに関して、従来のデジタル回路を用いた方式ではノイズが大きいため、デジタル回路を用いない新しい方式を提案した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：2.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

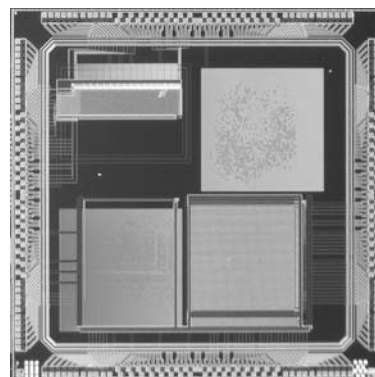


Sorting Network TEG and Digital Pixel Sensor TEG

東京大学大学院新領域創成科学研究科基盤情報学専攻 伊藤 潔人
東京大学工学部電子情報工学科 トンブラシット ベンジャマース
東京大学工学部電気工学科 川原 邦男

概要：A prototype of high-speed sorting circuit is designed on this chip. We use sorting in various uses. But its expensive computation causes problems in realizing high speed and high throughput systems. Employing efficient word comparison sorting, the high-speed sorting is successfully realized. A prototype of digital pixel sensor (DPS) is also designed on the chip. The precedent image processors encounter the bottleneck in routing a large amount of image data from sensors to processing unit. In order to solve the interconnection problems, the image processing VLSI with built-in digital pixel sensors is proposed. The key features of this chip are as follow. First, A/D converters are implemented to each pixel, thus, pixel data are digitized inside their cell and readout as a digital value. Second, the block-readout method is developed. This read-out method reduces time delay before the computational operation begins. The novel searching circuit is also implemented on this chip. This circuit searches data in any ordinal number and the amount of data. A 64x64 pixel array digital pixel sensor is implemented on the test chip. Digital pixel sensor is a solution for high speed readout. It includes A/D converter in each pixel cell. Therefore, the A/D conversions in each cell work out in parallel. The block readout architecture is also developed in this circuit. With this architecture, a block of data is read out in the same time and passed to the next operation. The operation begins with less delay time.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：5.9mm角 チップ種別：イメージセンサ/スマートセンサ

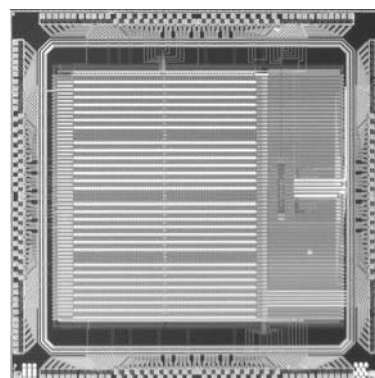


実時間認識のための画像特徴抽出プロセッサ

東京大学大学院工学系研究科 山崎 英男
東京大学工学部 川原 邦男

概要：画像のマッチング等の処理を行う際、2次元の画像データをそのまま扱うと演算コストが膨大になってしまう。そこで我々の研究室では、画像から特徴のみをベクトル表現として抽出する Projected Principal Edge Distribution (PPED) というアルゴリズムが開発された。PPEDでは、まず水平、垂直、+45度、-45度の4方向のエッジ検出を行う。そして、4つのエッジ検出画像の2値データをそれぞれエッジと垂直な方向に投影し、得られた1次元のデータ列を並べることでベクトルを得る。本チップは、このPPEDアルゴリズムに基づいて高速にベクトルを生成することを目的としている。高解像度の画像をスキャンしてベクトルを連続的に生成することを想定し、ベクトルの連続生成を高速化するのに必要なエッジ検出画像を保持する2次元のシフトレジスタアレイを実装した。これにより、ソフトウェア処理の10,000倍の速度での処理が可能となった。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：5.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

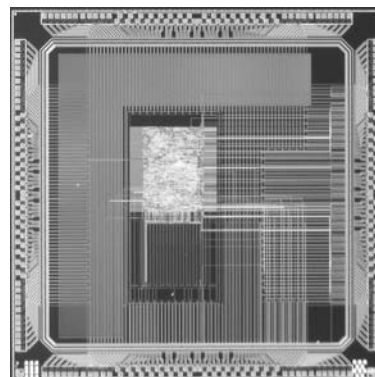


MIMD 連想プロセッサの MIMD エlement (簡易 ALU 版)

東京大学工学系研究科 早川 仁

概要：ひとつのチップに入れられるトランジスタの数は年々増加しており、MIMD 構成のプロセッサも現実的となってきたが、分割されたメモリの容量とデータ転送の効率に問題が生じる。特に多種類の演算を行う場合は命令長も長くなり、メモリに占める命令の割合が増加し、結果として演算するためのデータを格納するための容量が制限される。また、内部メモリを用いずデータと同時に命令を与える形式では同じ命令が続いても命令を付加しなくてはならず、データの転送効率が落ちる。そこで、命令をグループに分けそれを切り替えることで少ない命令長で多くの命令を表現可能にし、メモリに占める命令の割合を削減することを考えた。本試作は、それを検証するための SIMD 型のプロセッサで、8 ビットの演算を 8 並列で行う。この SIMD プロセッサを複数同時に動作させることで MIMD プロセッサを構成する。本チップでは、8 ビットの命令長で約 40 種類の演算を可能にした。命令はメモリに格納しておき、64 ビットのバスを通して外部と通信する。このバスは命令・データのどちらも転送可能で、先に送った命令に基づいてデータの扱いを決定する。このようにすることでデータと命令を分離し、データ転送の効率化を目指す。

設計期間：1 人以上、2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10,000 以上、100,000 未満 試作ラン：5.9mm 角 チップ種別：マイクロプロセッサ



Serial ATA の送受信部, FLASH AD コンバータ

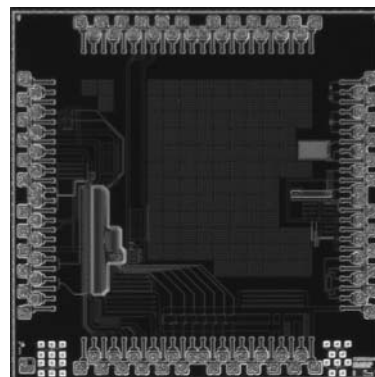
早稲田大学理工学研究科 横山 晋, 野沢 舞, 松本 隆

東京大学大規模集積システム設計研究教育センター 佐々木 昌浩

概要：本チップでは、3.0Gbps のシリアル ATA の送受信部と、そこで使用するための 6 GHz を出力する VCO 及びそれを分周してきれいな 3GHz の出力を得るため DIVIDER を設計した。また、近年 A/D converter は、高速化・高精度化・低電圧化・小型化が求められている。その傾向に伴い、様々なノイズやデバイスのミスマッチが発生し、Flash A/D converter において、Comparator Array の出力である Thermometer Code にエラーを含んだ状態で出力されてしまう。通常、エンコーダでエラーを訂正しなければならないが、logic 回路を組み合わせてエラーを訂正する回路では、高速化に対応できないため、高速なものでは、ROM 形式のエンコーダが用いられている。本 CHIP では、twin ROM encoder において、スイッチに全て NMOS を用いることによって、小型化・高速化を実現し、電源電圧 1.8V, 0.18μm CMOS プロセスにおいて、6bit 2Gops で動作する Encoder を設計し、これを用いて、6-bit 2Gbps Flash A/D converter を実現した。

参考文献：Peter C. S. Scholtens, Maarten Vertregt, "A 6-b 1.6-Gsample/s Flash ADC in 0.18-μm CMOS Using Averaging Termination," IEEE J. Solid-State Circuits, vol. 37, pp. 1599-1609 (2002)

設計期間：4 人以上、5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上、100,000 未満 試作ラン：2.9mm 角 チップ種別：通信 (RF 回路, ATM など)



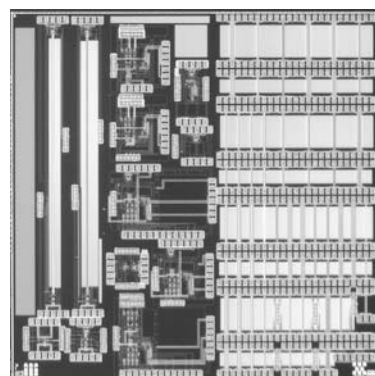
電流モード論理素子を用いたオンチップ高速信号伝送用回路 TEG

京都大学情報学研究科 新名 亮規

概要：近年、LSI の製造プロセスの微細化に伴い、1 チップ内に集積される回路規模は増大している。将来的には多数の機能ブロックが搭載された、大規模 SoC が実現されると考えられる。我々は次世代の超微細プロセスにおける、ブロック間の長距離高速信号伝送技術として、差動シリアル伝送を提案する。今回の試作では、シリアル伝送用 MUX, DEMUX, 及びそれらを構成する要素回路 TEG を作成した。また、LSI 内部の配線特性評価 TEG, CML ドライバ, レシーバを使用した信号伝送評価 TEG を作成した。日立 0.18μm CMOS プロセスを用いて、8Gbps の伝送レートを想定して回路設計を行なった。MUX に関しては、最大 6.4Gbps での動作が確認できた。想定した 8Gbps の伝送レートは実測で得られていない。原因を追求すると共に、さらなる伝送レートの向上、低消費電力な回路構成の検討を、今後行なっていく予定である。

参考文献：A. Shinmyo et al. "Design and Optimization of CMOS Current Mode Logic Dividers", IEEE Proc. AP-ASIC 2004

設計期間：3 人以上、4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：10,000 以上、100,000 未満 試作ラン：5.9mm 角 チップ種別：通信 (RF 回路, ATM など)

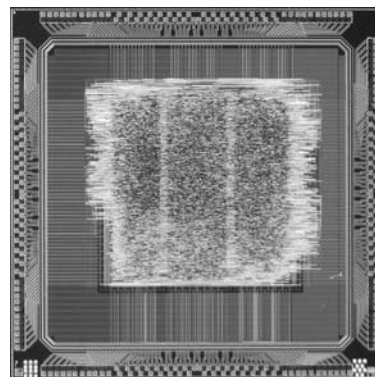


無線通信制御用マイクロコントローラ

金沢大学集積回路工学研究室 尾形 秀範, 北川 章夫

概要：1チップ無線通信LSIに搭載するための無線通信制御用マイクロコントローラを設計した。試作したマイクロコントローラはMicrochipTechnology社マイクロコントローラPIC16F84の命令セットと互換である。これはソフトウェア開発環境を流用できるようにするためである。またハーバードアーキテクチャを採用し、パイプライン構造による高速化を行っている。またスリープ（省電力）機能も搭載している。評価にはLSIテストを利用し、正常動作を確認した。性能は、最高動作周波数:140MHz, 消費電力:動作時45mA@50MHz, 3.3V 待機時<2uA @3.3Vであった。通信用プログラムも合わせて作成し、要求仕様を満足することを確認した。この設計した無線通信制御用マイクロコントローラはVDECにIP登録を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：5.9mm角 チップ種別：マイクロプロセッサ

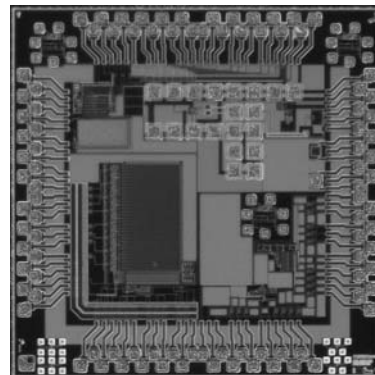


オンチップリニアドロップ型DC-DCコンバータほか

東京大学国際・産学共同研究センター 石田 光一, Tamtrakarn Atit, 鬼塚 浩平, 桜井 貴康

概要：・チップ上における将来の分散電源方式実現に向け、小型で出力電圧を高速に変化させることができるリニアドロップ型DC-DCコンバータの設計を行った。高い出力電圧から低い出力電圧への変化時間はHSPICEシミュレーションにおいて約1ns, 実測で数nsであった。・チップ内の配線に流れる電流をオンチップで観測することができれば、チップに実装されたDC-DCコンバータのリプルおよび効率の最適化設計が可能となる。このための電流検出素子とアナログデジタル変換器を設計し実装した。・ウルトラワイドバンド向けのアナログコリレータ回路の設計を目的として、乗算機、低域通過フィルタ、パルス発信機を設計した。超低電力化のため、全ての回路はパッシブ回路で試作した。また、ウルトラワイドバンドパルスの送信機も実装した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：2.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

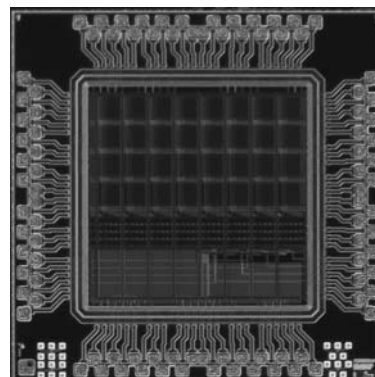


クロスバメモリの試作

広島市立大学情報科学部 浅生 宗隆, 小澤 亮
 広島市立大学大学院情報科学研究科 井上 智宏, 弘中 哲夫
 広島大学ナノデバイス・システム研究センター マタウシュ ハンス ユルゲン,
 小出 哲士

概要：本チップは4ポート32バンク、総メモリ容量32Kbitのクロスバメモリである。クロスバメモリは、1ポートSRAMをバンクメモリとして利用することで、マルチポートメモリを小面積で実現できる。しかし、既存ツールによる自動生成では小面積である利点を発揮できない問題がある。そこで、この問題を解決するクロスバメモリジェネレータを製作するため本チップを試作した。本チップの試作では自動生成に向けたフロアプランや配線方法を検討した。この検討を基に製作したジェネレータでは、バンクメモリを既存ツールで生成するとし、指定したポート数、バンク数、アドレス幅、データ幅のクロスバメモリを生成できる。なお、現在「PowerMedusa」FPGAボードによる測定を行っている最中である。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：2.9mm角 チップ種別：メモリ



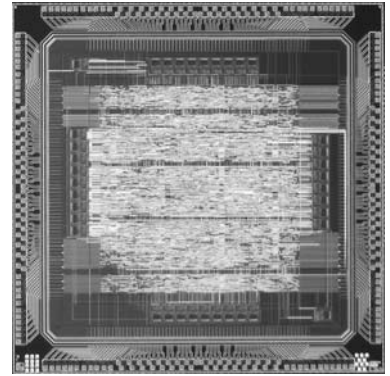
再構成情報の圧縮を実現した再構成型 PARS プロセッサの改良

広島市立大学情報科学部 谷川一哉, 弘中哲夫
広島市立大学大学院情報科学研究科 川崎貴之

概要：近年、再構成型アーキテクチャが高性能、低消費電力、省面積といった様々な点で注目を浴びている。一方、従来の再構成型アーキテクチャには実行モデルという概念がないため、あるプロセッサ用に記述されたソフトウェアを別のプロセッサで再利用しようと考えた場合に、ソフトウェアの大幅な変更が必要になると言う問題がある。そこで我々は I-PARS (Ideal PARallel Structure) 実行モデルという実行モデルを提案し、本研究では I-PARS 実行モデルの実行に最適化されたプロトタイププロセッサを試作している。本試作では以前作成した unite プロセッサの改良を行った。1) 複数の再構成情報にまたがっていた機能の再構成に関する情報を1つの再構成情報内に格納する機能の実現方法の改良を行った。2) 再構成情報を格納するオンチップキャッシュ用のメモリを単独でテストするための機構を付け加えた。

参考文献：川崎貴之, 谷川一哉, 弘中哲夫, 児島彰. 再構成情報圧縮機構を備えた粗粒度再構成型アーキテクチャ. 第1回リコンフィギュラブルシステム研究会論文集, pp. 95.102, 2003

設計期間：10人月以上 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：5.9mm角 チップ種別：ニューテクノロジー

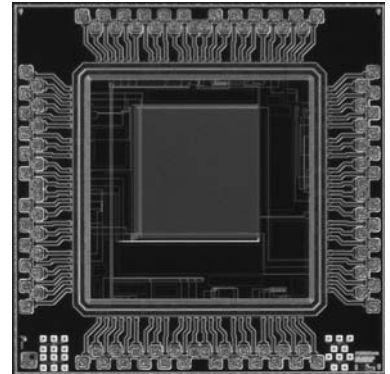


クライオデバイスモデル研究用 CMOS デバイス

横浜国立大学工学部 吉川 信行
横浜国立大学工学部 徳田 勝利, 富田 卓哉

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドクライオメモリの実現を目指している。本メモリシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センス回路を用いることによりサブナノ秒のアクセスタイムが可能となる。以上の高速ハイブリッドクライオメモリの設計、システム性能評価のためには、低温での CMOS デバイスの特性評価、ならびにクライオデバイスモデルの構築が必要不可欠である。本チップでは、クライオデバイスモデル構築用の幾つかの CMOS デバイスを試作した。CMOS デバイスの低温測定により、CMOS デバイスの 4.2K 動作の評価を行い、低温 CMOS モデルの検討を行った。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：2.9mm角 チップ種別：メモリ

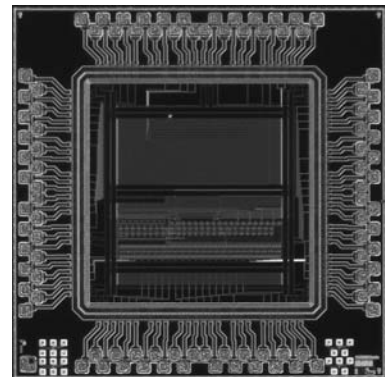


2段PLLを用いた超高精度時間測定回路用 TEG

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要：我々は加速器実験で使用する時間精度数百ピコ秒の時間測定チップを数多く開発してきた。この技術をさらに発展させ、発振周波数のわずかに違う PLL 回路を 2 段用い、数十ピコ秒の時間精度で多チャンネルの信号の到達時間を測定できる LSI を開発したいと思っている。このようなチップは、加速器実験でよく用いられる TOF (Time Of Flight) 検出器等で強く必要とされており、又多くの応用が見込まれる。今回の試作チップでは、日立 0.18um プロセスの基本特性や PLL の設計のための試験回路、メモリーマクロ等を搭載した。このチップの試作で得られた経験と回路特性とにより、次回以降の試作で時間測定回路の動作確認を行う予定である。また、加速器実験や宇宙環境での使用を目指して、このプロセスのガンマ線、粒子線に対する耐性の試験も行う予定である。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：2.9mm角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

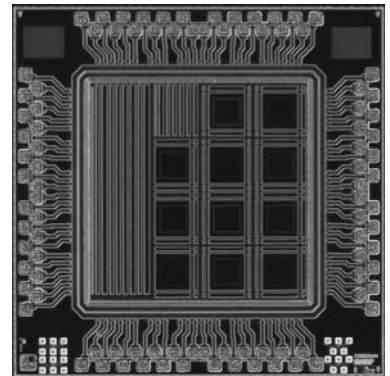


フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG

奈良先端科学技術大学院大学物質創成科学研究科 岡本 英樹, 山本 幸司, 香川 景一郎, 太田 淳

概要:異なるプロセス間でのフォトダイオード・CMOSイメージセンサ画素の基本特性を比較するために、以下の仕様に基づいた TEG チップを設計した。フォトダイオードの受光感度 (A/W) の波長依存性の測定には、200 μm 角の開口と接合領域をもつ PN 接合を用いた。CMOS イメージセンサの基本画素として 3-Tr 方式アクティブピクセルセンサを用い、フォトダイオードの接合面積を 10 μm 角とした。画素の中心間距離は 20 μm とし、フォトダイオード間距離を 10 μm とした。迷光を避けるために、フォトダイオード周囲に、千鳥格子状に VIA を配置して遮光した。5 画素を一行に配置し、1 画素のみを開口し、残りの画素を遮光した。これにより、受光感度 (V/lx-s) と拡散キャリアによる画素間クロストーク特性の波長依存性が測定できる。試作したチップを用いて、以上の特性を測定した。測定時には、光学系により照射領域をフォトダイオード開口部のみに限定した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** 2.9mm 角 **チップ種別:** TEG (特性評価回路など)

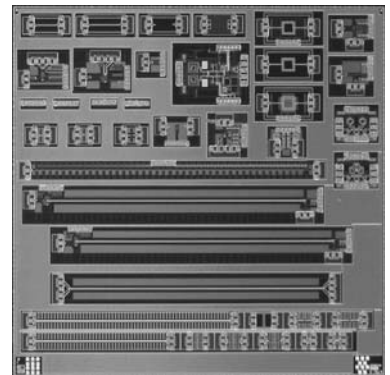


オンチップ伝送線路配線および RF アナログ回路評価用 TEG

東京工業大学精密工学研究所 伊藤 浩之, 中村 恒一, 五味 振一郎, 岡田 健一, 益 一哉

概要:LSI 内での超高速信号伝送を目指した伝送線路配線と、広帯域な GHz 帯 RF アナログ回路を実現するための要素回路の試作を行った。オンチップ伝送線路配線は時間領域測定により評価した。また、その要素回路であるドライバー/レシーバー回路などの TEG も試作し、評価した。伝送線路配線との特性比較のために RC 配線も試作し、時間領域測定により評価した。可変インダクタを用いた広帯域 VCO の特性評価を行った。また、新規小面積インダクタや可変インダクタの TEG, 伝送線路単体の TEG, それぞれの de-embedding パターンも試作している。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** 5.9mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

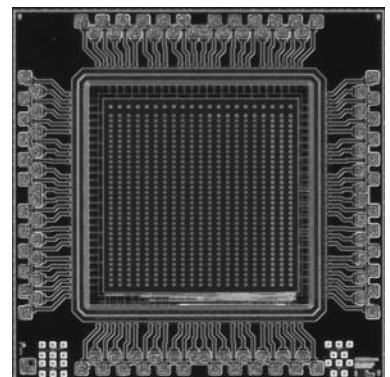


光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実

概要:光により高速に再構成が可能なラッチタイプの光再構成型ゲートアレイ ORGA (Optically Reconfigurable Gate Array) VLSI を開発した。光再構成型ゲートアレイとは光メモリと光によってプログラム可能なゲートアレイ VLSI とが組み合わせられたもので、既存の FPGA 以上の大規模なゲートアレイを実現する目的で開発が進められている。この度の設計では、フォトダイオード受光部のサイズを 16 μm \times 16 μm , その間隔を 38.4 μm とし、605 個のフォトダイオードを実装した。また、ゲートアレイ部は既存の Island-Style FPGA と同じ構造であり、4 ビット入力-1 ビット出力-LUT (Look-Up Table) を 1 個、フリップ・フロップ 1 個を実装した論理ブロックが 4 個、配線チャンネル内の配線は 8 本、それに対応したスイッチング・マトリクス 5 個、4 ビットの I/O ブロック 4 個を実装した。この度試作した ORGA のゲート規模は 68 ゲート規模である。ラッチタイプの光再構成回路の評価を行った。

設計期間: 0.1 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** 2.9mm 角 **チップ種別:** その他



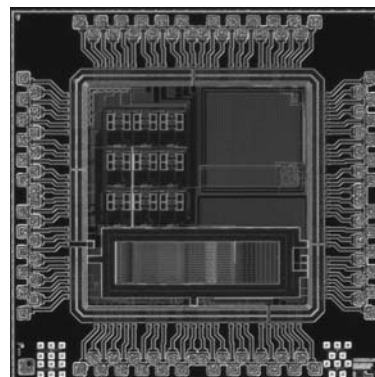
デジタル回路の電源雑音評価チップ

神戸大学工学部 深澤 光弥, 永田 真

概要：デジタル回路の電源／グラウンド雑音を実測，評価するチップを試作した．雑音源は汎用スタンダードセルライブラリに含まれるDFFを用いて24ビットシフトレジスタを構成し，これを32段並べた構成にした．測定回路にはSF+LC型雑音検出回路をアレイ状に9個搭載し，また埋め込み型（SF+Gm）雑音検出回路 [1] も搭載している．さらに，電源電位とグラウンド電位のそれぞれに適した回路構成の検出回路を搭載することで，電源からグラウンドまでの電圧範囲で測定を可能にした．現在，すべての回路の正常動作を確認済みであり，様々な動作条件での電源／グラウンド雑音の実測，評価を行っている．

参考文献：M. Nagata, T. Okumoto, K. Taki, "A Built-in Technique for Probing Power Supply and Ground Noise Distribution Within Large-Scale Digital Integrated Circuits," JSSC, to appear.

設計期間：1人月以上，2人月未満 設計ツール：SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上，100,000未満 試作ラン：2.9mm角 チップ種別：アナデジ混載



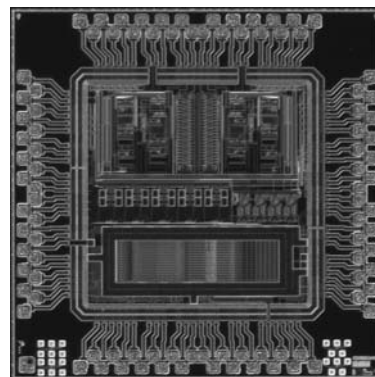
オンチップ信号波形取得システム

神戸大学工学部 野口 宏一朗, 深澤 光弥, 永田 永田

概要：ミックスドシグナルLSI動作診断のためのオンチップ信号波形取得システムを開発した．複数の検出フロントエンドと，波形取得に必要な信号をオンチップで生成する波形取得機構から構成している．開発回路の機能確認と性能評価を目的として，24ビット32列のシフトレジスタ，2個の波形取得機構，および8個の検出回路，を搭載したテストチップを設計・試作・評価した．これまでに，可変ステップ遅延発生回路とR-2R型DA変換回路を用いて，時間分解能40psec，電圧分解能200uVでの波形取得を実現し，また測定時間も従来手法（検出回路のみオンチップ）に比べて95%以上短縮できることを示した [1]．

参考文献：K. Noguchi, M. Nagata, "On-Chip Multi-Channel Waveform Monitoring for Diagnostics of Mixed-Signal VLSI Circuits," DATE2005, pp. 146-151, Mar. 2005.

設計期間：1人月以上，2人月未満 設計ツール：SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上，10,000未満 試作ラン：2.9mm角 チップ種別：アナデジ混載

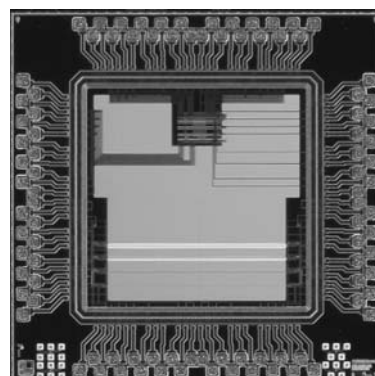


電流モード双方向非同期データ転送回路とそのスループット測定回路

東北大学電気通信研究所 高橋 知宏, 羽生 貴弘

概要：クロックスキューなど同期式制御の諸問題を本質的に解決するひとつの手法として，非同期式制御が知られている．本研究グループでは送信側と受信側で行われるハンドシェイク通信を，適切な符号化に基づき電流モードを用いて制御信号を多重化させることで，実質片道の配線遅延で非同期データ転送を可能とする方式を提案してきた．このチップでは，配線リソースや付加回路をほとんど増加させることなく，双方向にデータ転送可能なインタフェース回路を試作した．また，そのスループットを測定するためにインタフェースの入出力にFFを挿入し，配線長に異なるインタフェース回路を複数用意した．測定の結果，双方のモジュールの入力波形が反対のモジュールの出力波形に現れていることを確認し，双方向非同期データ転送の動作を実証した．スループット測定については現在進行中である．

設計期間：0.1人月以上，0.5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：2.9mm角 チップ種別：ニューテクノロジー



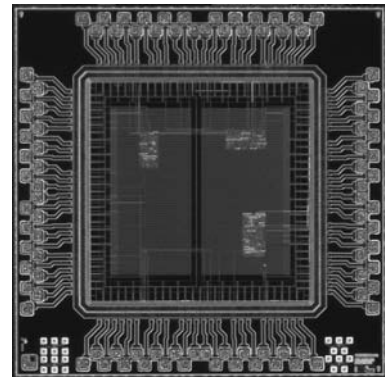
各種加算機能をもたせた演算回路の設計

法政大学大学院工学研究科 米本 友紀, 青木 勇樹, 清水 直樹, 藤田 実

概要: 本チップでは, 加算器に焦点を当て次に示す各種の機能をもたせた演算回路を設計した. あわせて, LSIの設計から評価を行うための研究環境を構築することも目的とした.

(1) 標準的な加算器: 4ビットの2進数入力aとbの加算を行い, 結果sを5ビットで出力する. (2) 小数点を持つ数値の加算器: 入力する数値を10進数2桁とし, 小数点の位置は任意とする. 異なった小数点位置を持つ数値同士の加算を可能にする. 結果が3桁以上になった場合は上位2桁のみを表示する. (3) メモリ付き加算器: 電卓のようなメモリ機能を持つ加算器を作る. 通常の加算もでき, 加算した値をメモリに保存し, スイッチ一つで呼び出せるようにした. メモリから値を呼び出し, 次の入力した値との加算も出来るようにした. (4) フィボナッチ数の計算器: 1から始まり, 入力スイッチを押す毎にフィボナッチ数を計算して出力する. 演算は10回まで行えるようにした. 本チップの特性測定により, 周波数と動作電圧の範囲, スタティックおよびダイナミック消費電力特性などの評価結果を得ることが出来た.

設計期間: 2人以上, 3人未満 設計ツール: Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数: 1,000以上, 10,000未満 試作ラン: 2.9mm角 チップ種別: 演算回路 (乗算器, 除算器など)

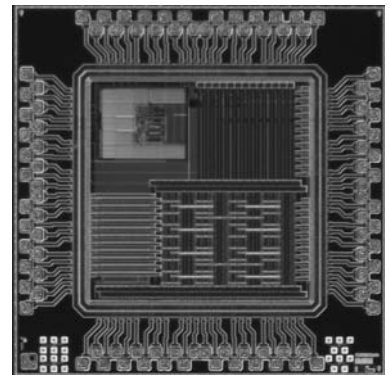


データ転送局所化に基づくフィールドプログラマブルVLSI

東北大学大学院情報科学研究科 張山 昌論, 亀山 充隆

概要: FPGAでは, プログラマブルな配線の面積・遅延・消費電力が大きくなるという問題がある. その問題を解決するために, ビットシリアルパイプラインアーキテクチャに基づくフィールドプログラマブルVLSIを試作した. ビットシリアルパイプライン方式では, 語長によらず演算器間のデータ転送を1ビットの配線にできるため, 配線を大幅に簡単化できる. ビットシリアルのデメリットは, ビット数分のデータ転送回数が必要となることであるが, 配線の簡単化により1回あたりのデータ転送時間を大幅に削減できるため, 0.18 μ m CMOSルールで設計されたチップでの演算モジュールの遅延時間はビットパラレル方式と比較して1.5倍程度となった. 一方, FPGAの大部分を占める配線の面積を大幅に削減できるため, 並列度を大幅に増加できる. チップ内に, PLL, 64個のセルを搭載した. 本FPVLSIは, 並列度の高いDSPアプリケーションに適するため, 種々のDSPアプリケーションに対して評価を行った. その結果, 同一面積・消費電力下での評価は, 従来のFPGAと比較して, 4倍~9倍と見積もられた.

設計期間: 1人以上, 2人未満 設計ツール: Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数: 100,000以上 試作ラン: 2.9mm角 チップ種別: マイクロプロセッサ



平成16年度 第1回 NEC Bipolar $0.6\mu\text{m}$ チップ試作 (NEC04)

4 GS/s 6-bit フラッシュ型 ADC の試作

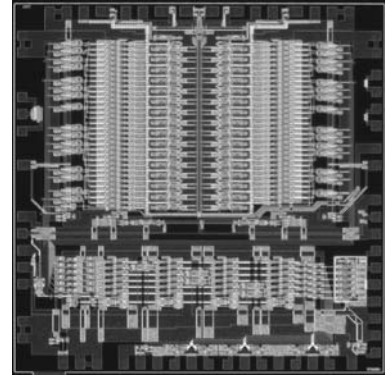
中央大学理工学研究科 川田 真也

中央大学理工学部 杉本 泰博

概要：フラッシュ型 ADC を、ECL 構成を用いて構成した。コンパレータの高速動作に必要なプリアンプの応答を高速化させるため、インダクタを負荷に使用し帯域の拡大を図った。さらに差動のインダクタをカップリングさせることにより、必要な自己インダクタンスを削減し面積の削減を図った。また、クロックの切り替わり時に生じるコンパレータのスイッチングノイズを軽減する構成を検討し高速動作を可能にした。プリアンプ部は補間型構成とし、エンコーダ部は Duplex-Gray コーディングを使用することにより、回路規模の削減およびエラー耐性の向上を図っている。本チップは、昨年度試作したチップの評価結果を基に、回路構成およびレイアウトの改良を行ったものである。特に電源周りの強化を行った。電源ライン及び GND ラインの線幅を負荷に応じて拡大し電位の変動を抑制した。また、コーディング部およびバイアス部の構成を見直し、配線抵抗やノイズなどの影響を受けにくい構成に変更した。

参考文献：S. Kawada, Y. Sugimoto, "A bipolar ECL comparator for a 4 GS/s and 6-bit flash A-to-D converter", 信学会英文論文誌 C 2004 年 6 月号

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：1,000 以上, 10,000 未満 試作ラン：2.0mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



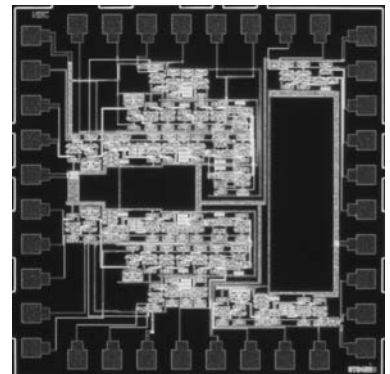
ダブルレート連続時間型 $\Delta\Sigma$ 変調器

上智大学理工学部 湯本 拓, 和保 孝夫

概要：バイポーラトランジスタの特徴である高速性・高駆動能力を生かした連続時間型 $\Delta\Sigma$ 変調器を設計した。高速動作で問題となるコンパレータのメタスタビリティに起因する誤動作を抑止する目的で2個のコンパレータを使用し、タイムインターリーブ方式で交互に切り替えて使う回路を設計した。今回採用したインターリーブ方式については、事前のブレッドボード実験で基本的な考え方が正しいことを確認した。コンパレータとしては、昨年の試作回路で動作確認ができた回路に対して、更に改良を加えたものを使用した。コモンモード電圧、エミッタ結合対テイル電流の調整により、クロック 1GHz, 入力 10MHz での動作を回路シミュレーションで確認した。チップには比較のための従来型回路と、要素回路としてコンパレータ、積分回路を搭載した。

参考文献：湯本, 田島, 和保, 「1 次連続時間型ローパス $\Delta\Sigma$ 変調器とその回路ブロックの設計」平成 16 年度 V D E C 年報, 137 頁 (2004)

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Specter トランジスタ数：100 以上, 1,000 未満 試作ラン：2.0mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

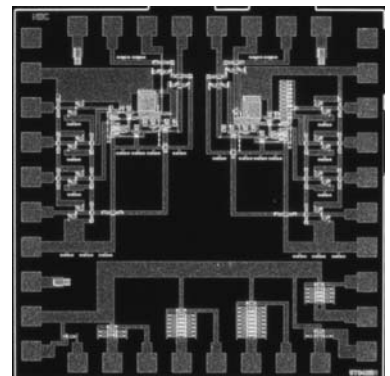


電流積分器

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸, 島崎 昇一

概要：電流源からのパルス電流を検知し積分するエレクトロニクスの TEG である。前年度の試作時に問題であった部分を修正した。また内部で使用しているアンプおよびスイッチ部分の動作を確認するための TEG も入れている。アンプ部は差動入力能動負荷を使用したアンプでアナログ帯域はシミュレーション上では 500MHz を超えている。このアンプおよび帰還回路によって入力インピーダンスは 300MHz 以上までフラットな特性を示す。スイッチは ECL スイッチを用いているため ON/OFF 時間が短くて 20nsec 程度の電流パルスの検出に使用できると思われる。問題点としてはダイナミックレンジが狭いことでありこれを広げる工夫が必要となる。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：2.0mm 角 チップ種別：アナデジ混載

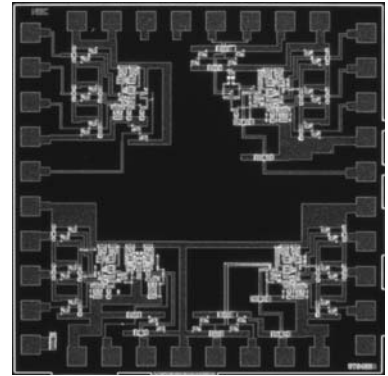


光検出器用フロントエンドエレクトロニクス TEG

高エネルギー加速器研究機構素粒子原子核研究所 田中 真伸
総合研究大学院大学素粒子原子核専攻 河合 克彦

概要：光検出器からの高速な信号に対しインピーダンス変換を行い電圧信号に直し後段の波形整形回路へ受け渡すための ASIC TEG を試作した。この応用の場合検出器からの信号が微弱であるためにフロントエンドエレクトロニクスの初段に用いられるトランジスタの低雑音特性が重要となるため数種のトランジスタ TEG を製作し雑音特性を調べた。結果は良好で我々の目的としている特性は得られそうである。またフロントエンドエレクトロニクスの動作も確認でき雑音特性についても計算と一致することが確認できた。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva トランジスタ数：10 以上, 100 未満 試作ラン：2.0mm 角 チップ種別：マイクロプロセッサ



平成15年度 第5回 MOSIS-TSMC CMOS0.25 μ m チップ試作 (MT25035)

インダクタ・カップリングによるチップ間無線通信用チップ

広島大学先端物質科学研究科 有菌 大介, 佐々木 守, 岩田 穆

概要：スパイラルインダクタ・カップリングによる隣接したチップ間無線通信用チップを試作した。従来の3次元IC実装技術ではチップ間配線行程が複雑になり、それに伴う高度な位置合わせや加工が必要になる。そこで、隣接するチップ間のデータ通信をスパイラルインダクタペアの共振特性を利用した無線インタコネクタ技術を提案している。本チップは、大きさ、巻き数の異なる送受信それぞれのインダクタと、データ再生のためコンパレータ、チップ間距離にあわせてコンパレータのバイアスを自動生成するオートリファレンス回路を搭載した。測定結果として、0.8Gbps/CH、チップ間距離100 μ m~300 μ m、インダクタ300 μ m角、200 μ m角それぞれの1Channelシリアル通信を実現した。今後は、高速化、低面積化、さらにパラレル通信の実現を目指す。

設計期間：2人月以上、3人月未満 設計ツール：SII社 SX9000, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10以上、100未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：通信 (RF回路, ATMなど)

広帯域LNA

広島大学大学院先端物質科学研究科 佐々木 守, 汐崎 充

概要：パルス位置変調のUWBに代表されるPulse-Based無線システムのための広帯域LNAである。入力インピーダンス整合の広帯域化およびゲイン特性の平坦化のために、多重共振特性を利用している。多重共振の共振点を最適化するため、非線形計画法を応用したパラメータ最適化ツールを自作した。その結果、ESD保護回路を備えながら、中心周波数2GHz、比帯域幅50%、ゲイン18dB、帯域内リプル0.6dB、(帯域内)入力反射係数-17dB以下、消費電流5.5mAを実現した。一方、外付けのチップコイルを1つだけにして実装を容易化した上で、入力インピーダンス整合のための多重共振を導入できるように、初段をゲート接地増幅器とした。従って、帯域内の最大NFは6.2dBとなり、アプリケーションによっては今後改善が必要である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 xCalibre, Cadence社 SpectreRF トランジスタ数：10以上、100未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：通信 (RF回路, ATMなど)

高速シリアルCDMA通信チップ

広島大学先端物質科学研究科 汐崎 充, 向井 徹, 小野 将寛, 佐々木 守, 岩田 穆

概要：ロボット制御向けネットワークを構築する通信チップを試作した。要求としては、(1) センサやアクチュエータ、プロセッサが扱う種々のデータをリアルタイムに通信、(2) 少ない伝送路によるネットワーク構成、(3) 高速通信が挙げられる。試作したチップは、シリアル通信にCDMA方式による多重化を取り入れ、1本の伝送路を仮想的に複数伝送路として扱う事でこれらの要求を満足する特徴を持つ。小振幅の多重波形に強固な2段階の同期手法(ビット同期, チップ同期)を提案し、これを取り入れた通信チップを設計・試作した。測定により2.7Gcps (chips per second)、7多重の通信を確認した。消費電力は送信回路148mW、受信回路264mWである。

参考文献：Mitsuru Shiozaki et al., "A 2 Gbps and 7-multiplexing CDMA Serial Receiver Chip for Highly Flexible Robot Control System," Symposium on VLSI Circuits, Digest of Technical Paper, pp.194-197, June 2004.

設計期間：2人月以上、3人月未満 設計ツール：SII社 SX9000, Mentor社 Calibre, Mentor社 xCalibre トランジスタ数：10,000以上、100,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 16mm² チップ種別：通信 (RF回路, ATMなど)

2周波対応 GPS 受信機フロントエンドチップ

大阪大学大学院工学研究科 春岡 正起, 洞木 吉博, 松岡 俊匡, 谷口 研二

概要：L1/L2の2周波帯を同時に受信できる2周波対応GPS受信機フロントエンドチップを0.25 μ m CMOSプロセスを用いて設計，試作を行った．LNAの入力インピーダンス整合とPLLループフィルタ用の受動部品を除いて，GPSフロントエンドに必要な機能をすべて1チップ化した．小型化，低消費電力化のためにハートレー型のイメージリジエクト構成を採用し，L1/L2の2周波帯でLNA，イメージリジエクトミキサ，PLLシンセサイザを共有化している．実装面積は3.16mm \times 3.16mmであり，電源電圧2.5Vで消費電流は35mAであった．ダウンコンバータの最大電圧利得は85dB，利得の可変範囲は65dB，NFは8dB，イメージリジエクト比は32dBであった．

参考文献：春岡，洞木，松岡，谷口，"2周波型GPS受信機フロントエンドチップの研究"，電子情報通信学会技術研究報告，ICD-2004-50，pp. 47-52，July 2004.

設計期間：5人月以上，6人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist トランジスタ数：100以上，1,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：通信（RF回路，ATMなど）

バイアス・オフセットを用いた Linear-in-dB 可変利得増幅回路

大阪大学工学研究科 車 承佑, 井田 司, 松岡 俊匡, 谷口 研二

概要：受信機内信号レベルが一定になるように調節するIF帯可変利得増幅器（VGA）の設計を行った．広範囲な利得特性を有する線形化トランスコンダクタンスVGAを用いて2段縦列接続し，3段の固定利得増幅器（FGA）と合わせ，5段構成のVGAを設計した．本試作では，線形化トランスコンダクタンスVGAの無線通信用への適用を考慮し，多段構成による周波数特性の低下を緩和するためのVGA単体の3dB周波数帯域向上に着目した．測定により，試作したVGAは10dBから76.5dBまでの連続的な可変利得特性を示した．またIIP3とNFは周波数40MHzでそれぞれ-11.5dBmと15dBの結果が得られた．

参考文献：Sungwoo Cha, Tetsuya Hirose, Masaki Haruoka, Toshimasa Matsuoka, and Kenji Taniguchi, "A CMOS IF Variable Gain Amplifier with Exponential Gain Control," IEICE Trans. On Fundamentals, Vol. E88-A, No. 2, pp. 416-423 Feb. 2005.

設計期間：5人月以上，6人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist トランジスタ数：100以上，1,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：通信（RF回路，ATMなど）

負帰還リセットを用いた CMOS イメージセンサ

北海道大学大学院情報科学研究科 加賀谷 亮, 池辺 将之, 浅井 哲也, 雨宮 好仁

概要：本チップは，CMOS Image Sensor（64x64）に負帰還によるリセットを実装したものである．画素回路と出力増幅器との間で負帰還ループを構成して画素回路のMOSFETしきい値バラツキを補正する．出力増幅器は，1列毎に配置する．出力増幅器の動作を切り替えることで，スロープ型A/D変換器としても利用する．測定器（光源，及び信号発生器，オシロスコープ，Logic Analyzer）による実測で，MOSFETしきい値バラツキがリセット時に補正できていることを確認した．

参考文献：加賀谷 亮, 池辺 将之, 浅井 哲也, 雨宮 好仁, "負帰還リセットによるCMOSイメージセンサのバラツキ補償," 映像情報メディア学会誌, vol. 59, no. 3, pp. 415-421 (2005) .

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Analog Artist トランジスタ数：10,000以上，100,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：イメージセンサ/スマートセンサ

平成16年度 第3回 MOSIS-TSMC CMOS0.25 μ m チップ試作 (MT25043)

弱反転領域を用いたセンサのアナログフロントエンド部の設計

大阪大学工学研究科 井田 司, 松岡 俊匡, 谷口 研二

概要：生体信号などのセンサからの微弱な信号を増幅し、デジタル化するための回路を弱反転領域を用いて設計を行った。増幅部は、フリッカ雑音とオフセットの影響を抑制するため、増幅部の前後にミキサーを挿入して、信号を高周波域で増幅するチョッパアンプを用いて設計を行った。デジタル変換部は $\Delta\Sigma$ モジュレータを用い、ノイズシェーピングによりS/N比の向上をはかった。測定を行ったところ、チョッパアンプにより、オフセット値が4分の1程度に低減されることを確認した。また、 $\Delta\Sigma$ モジュレータは帯域10kHzで、S/N比50dBの特性を確保していることを確認した。消費電流はアンプ単体で10 μ A、 $\Delta\Sigma$ モジュレータで17 μ Aであった。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：1,000以上、10,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

微小誘電率変化検出用センサTEG

大阪大学工学研究科 田中 智之, 松岡 俊匡, 谷口 研二

概要：本チップは、センサ用微小容量変化検出チップの開発のためのTEGである。従来のガスセンサの多くは酸化半導体を用いたセンサ部と処理回路からなり、面積的に大きなものである。我々は高分子膜を用いた小型高精度ワンチップセンサを提案する。高分子膜は、集積回路製造工程後に低温で製膜することができる。特定の気体がセンサ部に付着すると誘電率の変化が起き、その微小な変化に対応した電流変化を読み取る。センサ部は櫛型構造をとり、寄生容量及び寄生抵抗をキャンセルする回路方式を採用した。センサ部は集積回路製造工程後において、様々な高分子誘電体を塗布できるように、保護層を取り除いている。想定する容量値を可変とするため、センサ部の面積には2~8倍までの範囲のものを用意した。チップ上の誘電率変化を局所的に検出するために、アレイ状にセンサ部を構成し、制御信号によりその情報を得ることを可能にした。本試作では、センサ部の特性評価のみであるが、今後はこの基本回路を応用した高精度ガスセンサのワンチップ化を目標とする。テストによる測定の有無：無

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：MOSIS-TSMC 0.25 μ m 10mm² チップ種別：TEG (特性評価回路など)

可視光通信用イメージセンサのTEG

慶應義塾大学理工学部 春山 真一郎

概要：現在、MOSISのサービスを用いて2005年5月にデザインを提出する予定ですので、それ以降に概要を書きたいと思います。2004年度はチップ試作は行いませんでした。

設計期間：0.1人月未満 トランジスタ数：10未満 試作ラン：MOSIS-TSMC 0.25 μ m
10mm² チップ種別：マイクロプロセッサ

平成16年度 第3回 MOSIS-TSMC CMOS0.18 μ m チップ試作 (MT18043)

低電圧動作アナログ回路 TEG

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 石田 尚也, 円林 晃一郎, 岩田 穆

概要: 生体活動と神経活動の関係を正確に把握するため, 生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている. 本研究では小脳の神経信号を検出し, 検出信号を無線で送信する神経信号センシング LSI の設計・試作を行った. 設計した神経信号センシング LSI は, ダイレクトチョッパ方式低雑音増幅回路, 逐次比較形 Analog-to-Digital Converter (ADC), 無線送信回路によって構成されている. 設計したダイレクトチョッパ方式低雑音増幅回路は, 低周波雑音の存在する CMOS 演算増幅回路で, 実際に数十 μ V 振幅の神経信号を検出できる. 信号入力チャンネル数は 10ch とした. また逐次比較形 ADC は抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し, 10 ビット分解能, サンプル周波数 50kHz で動作する. 無線送信回路は, 発振周波数 100MHz の VCO を基とし, BPSK 変調で 500kbps のデータ伝送を実現する.

設計期間: 8 人月以上, 9 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** MOSIS-TSMC 0.18 μ m 10mm² **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

スパイラル・インダクタ対によるチップ間無線結合 I/O 回路

広島大学大学院先端物質科学研究科 佐々木 守, 岩田 穆

概要：3次元 IC 実装を容易化するスパイラル・インダクタ対によるチップ間無線結合 I/O 回路を設計，試作した。低消費電力化を実現するため，スパイラル・インダクタの自己共振特性および2つのスパイラル・インダクタ間の相互共振特性を積極的に利用する回路構成を採用した。さらに，高速シリアル通信で用いられ複雑な回路を要求する同期方式を採用せず，クロックを必要としない非同期通信方式とした。すなわち，受信回路に自己プリチャージ機構を導入することで非同期受信を可能にしている。評価システムによる実測から同期クロックなしで，チャンネル当たり 1.0Gbps の通信速度を 0.95mW で実現できることを確認した。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 xCalibre, Cadence 社 SpectreRF トランジスタ数：100 以上，1,000 未満 試作ラン：MOSIS-TSMC 0.18 μ m 10mm² チップ種別：ニューテクノロジー

フォトダイオード・アクティブピクセルセンサ基礎データ測定用 TEG

奈良先端大物質創成科学研究科 吉田 明洋, 山本 幸司, 香川 景一郎, 太田 淳

概要：異なるプロセス間でのフォトダイオード・CMOS イメージセンサ画素の基本特性を比較するために，以下の仕様に基づいた TEG チップを設計した。フォトダイオードの受光感度 (A/W) の波長依存性の測定には，200 μ m 角の開口と接合領域をもつ PN 接合を用いた。CMOS イメージセンサの基本画素として 3-Tr 方式アクティブピクセルセンサを用い，フォトダイオードの接合面積を 10 μ m 角とした。画素の中心間距離は 20 μ m とし，フォトダイオード間距離を 10 μ m とした。迷光を避けるために，フォトダイオード周囲に，千鳥格子状に VIA を配置して遮光した。5 画素を一行に配置し，1 画素のみを開口し，残りの画素を遮光した。これにより，受光感度 (V/lx-s) と拡散キャリアによる画素間クロストーク特性の波長依存性が測定できる。試作したチップを用いて，以上の特性を測定した。測定時には，光学系により光照射領域をフォトダイオード開口部のみに限定した。テストは用いず，ASCOM 社 TIME98+低電圧ユニットによる駆動波形を生成し，測定を行った。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10 以上，100 未満 試作ラン：MOSIS-TSMC 0.18 μ m 10mm² チップ種別：TEG (特性評価回路など)

平成15年度 第1回 MOSIS-IBM BiCMOS0.5 μ m チップ試作 (MI5031)

3bit 分解能 4GHz 帯域 並列比較形 ADC の設計

広島大学先端物質科学研究科 部谷 圭彦, 安田 芳明, 岩田 穆

概要: 電波望遠鏡では, 高速, 広帯域な AD 変換器の実現が要望されている. サンプルング周波数 4GHz, 信号帯域 4GHz, 分解能 3bit の性能を目標として並列比較形 AD 変換器の設計・試作を行った. PLL クロック発生器をオンチップ化し, 外部クロック供給と内部供給が可能な構成として, クロストークによるジッターの評価も目的としている. SiGe ヘテロバイポーラトランジスタによるプリアンプ付きラッチコンパレータと ECL クロックドライバー, SCFL 出力バッファを設計し, これらを用いて 3bit 分解能の AD 変換器を実現した. アナログ入力フルスケール電圧は 1V, 電源電圧は 4V, 消費電力は 4W である. VCO は 8GHz を発振させ, 2 分周して 4GHz クロックを得るように設計した. AD 変換器は 8GHz で動作することを確認したが, 誤動作する状態があることがわかった. LSI 設計にはケーデンスのアナログ設ツールを用いた. 測定には SG と高速オシロスコープを用いた.

設計期間: 6 人以上, 7 人未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** MOSIS-IBM 0.5 μ m 15mm² **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

3bit 分解能 6GHz 帯域 並列比較形 ADC の設計

広島大学先端物質科学研究科 安田 芳明, 部谷 圭彦, 岩田 穆

概要：電波望遠鏡に要求される高速、広帯域なAD変換器の実現を目指して、前年に設計・試作したADCの評価結果を活用して、サンプリング周波数4GHz、信号帯域6GHz、分解能3bitの性能の並列比較形ADCを設計・試作した。PLLクロック発生器をオンチップ化している。SiGeヘテロバイポーラトランジスタによるプリアンプ付きラッチコンパレータとECLクロックドライバー、SCFL出力バッファを高速化し、これらを用いて3bit分解能のAD変換器を実現した。アナログ入力部の帯域を拡大して、フルスケール電圧は1V、帯域6GHzを達成した。電源電圧は4V、消費電力は4.4Wである。評価の結果、AD変換器の設計修正による誤動作が改善されることが確認できた。LSI設計にはケーデンスのアナログ設計ツールを用いた。測定にはSGと高速オシロスコープを用いた。

設計期間：5人月以上、6人月未満 設計ツール：Cadence社Virtuoso, Cadence社

Diva, Cadence社Analog Artist トランジスタ数：1,000以上、10,000未満 試作ラン：MOSIS-IBM 0.5 μ m 15mm² チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

2.3. チップ試作者の発表文献リスト

1. 研究論文

- [1] T. Yoshida, M. Akagi, T. Mashimo, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Wireless Neural-Sensing LSI," IEICE Trans. Electronics, vol. E87-C, pp. 996-1002, June 2004.
- [2] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input Channels," IEICE Trans. Fundamentals, vol. E87-A, pp. 376-383, Feb. 2004.
- [3] K. Terada, M. Eimitsu and K. Fukeda, "A Test Circuit for Measuring MOSFET Threshold Voltage Mismatch," Solid-State Electronics, Vol. 49, p. 818-824, (2005)
- [4] T. Iizuka, M. Ikeda, and K. Asada, "High Speed Layout Synthesis for Minimum-Width CMOS Logic Cells via Boolean Satisfiability," IEICE Transactions on Fundamentals, vol. E87-A, no. 12, pp. 3293-3300, Dec. 2004.
- [5] Toru Nakura, Makoto Ikeda, Kunihiro Asada, "Stub vs. Capacitor for Power Supply Noise Reduction," IEICE Trans. on Electronics, Vol. E88-C No. 1, pp. 125-132, Jan. 2005
- [6] Y. Oike, M. Ikeda, and K. Asada, "Design and Implementation of Real-Time 3-D Image Sensor With 640 x 480 Pixel Resolution," IEEE Journal of Solid-State Circuits, Vol. 39, No. 4, pp. 622-628, Apr. 2004.
- [7] H. Yamaoka, M. Ikeda, and K. Asada, "A High-Speed and Area-Efficient Dual-Rail PLA Using Divided and Interdigitated Column Circuits," IEICE Trans. on Electronics, Vol. E87-C, No. 6, pp. 1069-1077, Jun. 2004.
- [8] 大池祐輔, 池田誠, 浅田邦博, "複合現実感応用に向けた高速・低輝度 ID ビーコン検出イメージセンサ," 映像情報メディア学会誌, Vol. 58, No. 6, pp. 835-841, 2004年6月.
- [9] Y. Oike, M. Ikeda, and K. Asada, "A High-Speed and Low-Voltage Associative Co-Processor With Exact Hamming/Manhattan-Distance Estimation Using Word-Parallel and Hierarchical Search Architecture," IEEE Journal of Solid-State Circuits, Vol. 39, No. 8, pp. 1383-1387, Aug. 2004.
- [10] Y. Oike, M. Ikeda, and K. Asada, "Hierarchical Multi-Chip Architecture for High Capacity Scalability of Fully Parallel Hamming-Distance Associative Memories," IEICE Trans. on Electronics, Vol. E87-C, No. 11, pp. 1847-1855, Nov. 2004.
- [11] Y. Oike, M. Ikeda, and K. Asada, "A Pixel-Level Color Demodulation Image Sensor for Support of Image Recognition," IEICE Trans. on Electronics, Vol. E87-C, No. 12, pp. 1651-1658, Dec. 2004.
- [12] Y. Oike, M. Ikeda, and K. Asada, "A 375 x 365 High-Speed 3-D Range-Finding Image Sensor Using Row-Parallel Search Architecture and Multi-Sampling Technique," IEEE Journal of Solid-State Circuits, Vol. 40, No. 2, pp. 444-453, Feb. 2005.
- [13] 鏡, 小室, 渡辺, 石川, "ビジョンチップを用いた実時間視覚処理システム VCS-IV," 電子情報通信学会論文誌 (D-I), Vol. J88-D-I, No. 2, pp. 134-142 (2005)
- [14] K. Maezawa, Y. Kawano, Y. Komoto, Y. Ohno, S. Kishimoto, T. Mizutani and K. Sano, "Direct Observation of High-Frequency Chaos Signals from the Resonant Tunneling Chaos Generator," Jpn. J. Appl. Phys., vol. 43, pp. 5235-5238 (2004)
- [15] I. Soga, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, "Fluid Dynamic Assembly of Semiconductor Blocks for Heterogeneous Integration," Jp. J. Appl. Phys., vol. 43, pp. 5951-5954 (2004).
- [16] 卜楠, 濱本泰治, 福田修, 辻敏夫, "FPGAによる確率ニューラルネットワークのハードウェア実現," 電子情報通信学会論文誌 vol. J88-D-II, no. 2, pp. 390-397, 2005.
- [17] 金谷, 中村, 川上, 吉田, "CPW 整合回路を用いた RF-CMOS フロントエンドの設計手法" 電子情報通信学会論文誌 Vol. J87-C, No. 12, December, pp. 1017-1023, 2004.
- [18] 坂本, 永本, 柴田, 小栗 "非同期ビットシリアル回路シミュレータ QROQS の開発" pp. 155-162, 電子情報通信学会論文誌 (2005).
- [19] 加賀谷亮, 池辺将之, 浅井哲也, 両宮好仁, "負帰還リセットによる CMOS イメージセンサのバラツキ補償," 映像情報メディア学会誌, vol. 59, no. 3, pp. 415-421 (2005).
- [20] H. Shimizu and Y. Nakano, "First Demonstration of TE Mode Nonreciprocal Propagation in an InGaAsP/InP Active Waveguide for an Integratable Optical Isolator" Jpn. J. Appl. Phys. 43, 12A, L1561-L1563, (2004).
- [21] Ning Li, Ichitaro Waki, Chaiyasit Kumtornkittikul, Ji-Hao Liang, Masakazu Sugiyama, Yukihiko Shimogaki, and Yoshiaki Nakano, "Fabrication of AlGaIn-based waveguides by inductively coupled plasma etching," Jpn. J. Appl. Phys. 43, L1340 (2004).
- [22] 佐藤, 江川, 深瀬, 中村, "高速省電力ウェーブパイプライン用評価テスト回路の開発," 社会情報, Vol. 13, No. 2, pp. 99-108, (2004)
- [23] Hashimoto, Onodera, "Crosstalk Noise Optimization by Post-Layout Transistor Sizing," pp. 3251-3257, vol. E87-A, no. 12, IEICE Trans. on Fundamentals (2005)
- [24] Okada, Onodera, "Statistical Parameter Extraction for Intra- and Inter-Ship Variabilities of Metal-Oxide-Semiconductor Field-Effect Transistor Characteristics," pp. 131-134, vol. 44, no. 1A, 2005, Japanese Journal of Applied Physics (2005)
- [25] Okada, Hoshino, Onodera, "Design Optimization Methodology for On-Chip Spiral Inductors," pp. 933-941, vol. E87-C, no. 6, IEICE Trans. on Electronics (2004).
- [26] Sugawara, Yokoyama, Gomi, Ito, Okada, Hoshino, H. Onodera, K. Masu, "Variable RF Inductor on Si CMOS Chip," pp. 2293-2296, vol. 43, no. 4B, Japanese Journal of Applied Physics (2004).
- [27] Hashimoto, Yamada, Onodera, "Equivalent Waveform Propa-

gation for Static Timing Analysis,” pp. 498-508, vol. 23, no. 4, IEEE Trans. on CAD, (2004).

- [28] Higuchi, Kobayashi, H. Onodera, “Instruction-Level Power-Estimation Method by Considering Hamming Distance of Registers,” pp. 823-829, vol. E87-A, no. 4, IEICE Trans. on Fundamentals (2004).
- [29] Haque Mohammad Munirul, “Multiple-Valued Field-Programmable VLSI Based on Source-Coupled Logic,” 修士学位论文 2005 年
- [30] Y. Shimizu, T. Matsuoka, and K. Taniguchi, “Threshold Voltage Mismatch of FD-SOI MOSFETs,” IEICE Trans. Electron., Vol. E87-C, No. 6, pp. 1013-1014, June 2004.
- [31] H. Furuya, S. Cha, Y. Shimizu, M. Haruoka, T. Matsuoka, and K. Taniguchi, “CMOS Demodulator for Short-range Wireless Interconnection Using ASK/CDMA Technique,” IEICE Trans. on Fundamentals, Vol. E87-A, No. 10, pp. 2719-2721, Oct. 2004.
- [32] S. Shimizu, T. Matsuoka, and K. Taniguchi, “High Speed and High Noise Tolerant Parallel Bus Interface for VLSI Systems using Multiple Bit Code Division Multiple Access,” IEICE Trans. Electron., Vol. E87-C, No. 11, pp. 1923-1927, Nov. 2004.
- [33] S. Cha, T. Hirose, M. Haruoka, T. Matsuoka, and K. Taniguchi, “A CMOS IF Variable Gain Amplifier with exponential gain control,” IEICE Trans. on Fundamentals, Vol. E88-A, No. 2, pp. 410-415, Feb. 2005.
- [34] 春岡, 洞木, 松岡, 谷口, “ミキサブロックを用いない電圧制御ダウンコンバータ,” 電子情報通信学会論文誌 C, Vol. J87-C, No. 8, pp. 662-663, Aug. 2004.
- [35] 車, 松岡, 谷口, “CMOS プロセスを用いたプレディストータの検討,” 電子情報通信学会論文誌 C, Vol. J87-C, No. 10, pp. 777-779, Oct. 2004.
- [36] 清水, 田中, 井田, 宮本, 松岡, 谷口, “低電源電圧動作可能な高速 CMOS デマルチプレクサ,” 電子情報通信学会論文誌 C, Vol. J88-C, No. 1, pp. 66-67, Jan. 2005.
- [37] 車, 古屋, 清水, 春岡, 井田, 松岡, 谷口, “ASK/CDMA 方式を用いた近距離無線通信のための 12GHz CMOS 変復調回路,” 電子情報通信学会論文誌 C, Vol. J88-C, No. 3, pp. 187-194, Mar. 2005.
- [38] Shimonomura and Yagi, “A neuromorphic parallel vision with orientation selective receptive field,” pp. 181-184, 2004 International Congress Series, vol. 1269 International Congress Series, vol. 1269, 2004, pp. 181-184 (2004).
- [39] T. Miyazaki, M. Hashimoto and H. Onodera, “A Performance Prediction of Clock Generation PLLs! A Ring Oscillator Based PLL and An LC Oscillator Based PLL,” IEICE Trans. on Electronics, Vol. E88-C, No. 3, pp. 437-444, 2005.
- [40] M. Hashimoto and H. Onodera, “Crosstalk Noise Optimization by Post-Layout Transistor Sizing,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E87-A, No. 12, pp. 3251-3257, 2004.
- [41] M. Hashimoto, Y. Yamada and H. Onodera, “Equivalent Waveform Propagation for Static Timing Analysis,” IEEE Trans. on CAD, Vol. 23, No. 4, pp. 498-508, April 2004.
- [42] 江口, 上野, 朱, 田畑, 井上, “Design of a charge-average type SC DC-DC converter for cellular phone,” Transactions of IEE of Japan, vol. 125-C, no. 1, pp. 37-42 (2005)
- [43] 軍司, 中西, 鷺津 “単相交流電圧を用いた液滴の静電操作,” 静電気学会誌 29 巻 1 号 (2005)
- [44] 木村, 杵渕, 加畑, 胡桃坂, 鷺津, “相同組換えタンパク質を利用した光学顕微鏡下での特定塩基配列解析技術の開発,” 静電気学会誌 29 巻 1 号 (2005)
- [45] 佐藤陽一, 深瀬政秋, 佐藤友暁, “ハードウェアセキュリティ組み込み型スレッドレベル同時処理マルチメディアモバイルプロセッサの開発,” 社会情報, Vol. 14, No. 2 (2005)
- [46] K. Nishio, H. Yonezu, M. Ohtani, H. Yamada and Y. Furukawa, “Analog Integrated Circuit for Motion Detection of Approaching Object Based on the Insect Visual System,” Opt. Rev., Vol. 11, No. 1, pp. 38-47 (2004).
- [47] K. Nishio, H. Yonezu, A. B. Kariyawasam, Y. Yoshikawa, S. Sawa and Y. Furukawa, “Analog Integrated Circuit for Motion Detection against Moving Background Based on the Insect Visual System,” Opt. Rev., Vol. 11, No. 1, pp. 24-33 (2004).
- [48] Masayuki MIYAMA, Junichi MIYAKOSHI, Kousuke IMAMURA, Hideo HASHIMOTO, and Masahiko YOSHIMOTO, “VLSI-Oriented Motion Estimation Using a Steepest Descent Method in Mobile Video Coding,” IEICE Trans. Electron., VOL. E87-C, NO. 4, pp. 466-474.
- [49] H. OHIRA, K. KAWAKAMI, M. KANAMORI, Y. MORITA, M. MIYAMA, and M. YOSHIMOTO, “A Feed-Forward Dynamic Voltage Control Algorithm for Low Power MPEG4 on Multi-Regulated Voltage CPU,” IEICE Trans. Electron., Vol. E87-C No. 4, pp. 457-465.
- [50] Masayuki MIYAMA, Junichi MIYAKOSHI, Yuki KURODA, Kousuke IMAMURA, Hideo HASHIMOTO, and Masahiko YOSHIMOTO, “A Sub-mW MPEG-4 Motion Estimation Processor Core for Mobile Video Application,” IEEE Journal of Solid-State Circuits, VOL. 39, NO. 9, pp. 1562-1570.
- [51] KENTARO KAWAKAMI, MIWAKO KANAMORI, YASUHIRO MORITA, JUN TAKEMURA, HIDEO OHIRA, MASAYUKI MIYAMA, and MASAHIKO YOSHIMOTO, “A FEED-FORWARD DYNAMIC VDD-VBB-FREQUENCY MANAGEMENT FOR LOW POWER MOTION VIDEO COMPRESSION ON 90NM RISC PROCESSOR,” Intelligent Automation and Soft Computing, Vol. 11, No. X, pp. 1-16, 2005. (to be published)
- [52] Junichi MIYAKOSHI, Yuichiro MURACHI, Koji HAMANO, Tetsuro MATSUNO, Masayuki MIYAMA, and Masahiko YOSHIMOTO, “A Low-Power Systolic Array Architecture for Block-matching Motion Estimation,” IEICE TRANS. ELECTRON., April 2005. (to be published)
- [53] Hiroaki Onoe, Kiyoshi Matsumoto, Isao Shimoyama, “Three-Dimensional Micro-Self-Assembly Using Hydrophobic Interaction Controlled by Self-Assembled Monolayers,” Journal of

- Microelectromechanical Systems, vol. 13, no. 4, pp. 603-611, 2004.
- [54] Kazunori Hoshino, Soroj Tritayaprasert, Kiyoshi Matsumoto, Isao Shimoyama, "Electrowetting-based Pico-liter Liquid Actuation in a Glass-tube Microinjector," Sensors and Actuators A, vol. 114, no. 2-3, pp. 473-477, 2004.
- [55] Sumito Nagasawa, Isao Shimoyama, "Calcium Concentration Measurement by Local Fluorescent-dye Injection," Sensors and Actuators B, vol. 102, no. 1, pp. 7-13, 2004.
- [56] 岩瀬英治, 尾上弘晃, 下山勲, "ナノ表面構造による機能発現," 機械の研究, vol. 57, no. 1, pp. 182-188, 2005.
- [57] M. Muroyama, A. Hyodo, T. Okuma, and H. Yasuura, "A Power Reduction Scheme for Data Buses by Dynamic Detection of Active Bits," IEICE Transactions on Electronics, Vol. E87-C, No. 4, pp. 598-605, Apr. 2004.
- [58] HIROSE T., Yoshimura R., Ido T., Matsuoka T., and Taniguchi K., "Watch-dog circuit for quality guarantee with subthreshold MOSFET current," IEICE Trans on Electronics, vol. E87-C, no. 11, pp. 1910-1914 (2004)
- [59] T. Morie, J. Umezawa, and A. Iwata, "Gabor-Type Filtering Using Transient States of Cellular Neural Networks," Intelligent Automation and Soft Computing, Vol. 10, No. 2, pp. 95-104, 2004.
- [60] T. Morie, K. Murakoshi, M. Nagata, and A. Iwata, "Pulse Modulation Techniques for Nonlinear Dynamical Systems and a CMOS Chaos Circuit with Arbitrary 1-D Maps," IEICE Trans. Electron., Vol. E87-C, No. 11, pp. 1856-1862, 2004.
- [61] K. Korekado, T. Morie, O. Nomura, H. Ando, T. Nakano, M. Matsugu, and A. Iwata, "A VLSI Convolutional Neural Network for Image Recognition Using Merged/Mixed Analog-Digital Architecture," J. Intelligent & Fuzzy Systems, Vol. 15, No. 3/4, pp. 173-179, 2004.
- [62] 青木勇樹, 米本友紀, 清水直樹, 藤田実, "各種演算機能をもたせた0.18 μ m CMOS VLSIの設計と試作評価," 法政大学研究集報, vol. 41 (2005)
- [63] 香川景一郎, 浅津博昭, 川上智博, 池内隆志, 藤内亜希子, 太田淳, 布下正宏, 渡辺國寛, "イメージセンサを応用した空間光伝送用受光デバイスの設計・試作," 映情学会誌, vol. 58, no. 3, pp. 334-343, 2004.
- [64] 吉野, 荒井, "パルスニューロンモデルに基づく音源定位システムと低消費電力ニューロン回路の設計," pp. 42-49, 電子情報通信学会論文誌 C Vol. J88-C No. 1 (2005).
- [65] Jun Deguchi, Taiichiro Watanabe, Tomonori Nakamura, Yoshihiro Nakagawa, Shim Jeoung-Chill, Hiroyuki Kurino, Toshiaki Abe, Makoto Tamai and Mitsumasa Koyanagi, "Three-Dimensionally Stacked Analog Retinal Prosthesis Chip," Japanese Journal of Applied Physics, PT., Vol. 43, No. 4B, pp1685-1689 (2004)
- [66] Yoshihiro Nakagawa, Jun Deguchi, Shim Jeoung-Chill, Hiroyuki Kurino and Mitsumasa Koyanagi, "The Vision Chip with Electrical Fovea Motion," Japanese Journal of Applied Physics, PT., Vol. 43, No. 4B, pp1680-1684 (2004)
- [67] Yoshiaki Yoshihara, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "Wide Tuning Range LC-VCO Using Variable Inductor For Reconfigurable RF Circuit," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, Vol. E88-A, No. 2, pp. 507-512, Feb. 2005.
- [68] Yoshiaki Yoshihara, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "Inductance-Tuned LC-VCO for Reconfigurable RF Circuit Design," IEICE Electronics Express, Vol. 1, No. 7, pp. 156-159, July 2004.
- [69] Hiroyuki Ito, Kohichi Nakamura, Kenichi Okada and Kazuya Masu, "High Density Differential Transmission Line Structure on Si USLI," IEICE Transactions on Electronics, Vol. E87-C, No. 6, pp. 942-948, June 2004.
- [70] Hirotaka Sugawara, Yoshisato Yokoyama, Shinichiro Gomi, Hiroyuki Ito, Kenichi Okada, Hiroaki Hoshino, Hidetoshi Onodera, and Kazuya Masu, "Variable RF Inductor on Si CMOS Chip," Japanese Journal of Applied Physics, Vol. 43, No. 4B, pp. 2293-2296, 2004.
- [71] 本間尚文, 崎山淳, 若松泰平, 青木孝文, 樋口龍雄, "Counter Tree Diagramに基づく冗長加算器の系統的設計手法- 冗長2進加算器の例", 情報処理学会論文誌, Vol. 45, No. 5, pp. 1279-1288, May 2004.
- [72] S. Akimoto, A. Momoi, S. Sato, K. Nakajima, "Implementation of continuous-time dynamics on stochastic neurochip," vol. E87A, pp. 2227-2232, IEICE TRANSACTIONS ON FUNDAMENTALS (2004).
- [73] 富士岡, 高橋, "2段積み $\Delta\Sigma$ ADCを制御ICとした電源制御回路の構成法, 2004年度修士論文 (2005)
- [74] 佐藤, 高橋, "シングルウェル構成によるマッピング回路の構成法" 2004年度修士論文 (2005)
- [75] A. Mochizuki and T. Hanyu, "Low-Power Multiple-Valued Current-Mode Logic Using Substrate Bias Control," IEICE Trans. Electron, Vol. E87-C No. 4, pp. 582-588, April 2004
- [76] A. Mochizuki, D. Nishinohara, and T. Hanyu, "Low-power Motion-Vector Detection VLSI Processor Based on Pass-Gate Logic with Dynamic Supply-Voltage/Clock-Frequency Scaling," IEICE Trans. Electron, Vol. E87-C, No. 11, pp. 1876-1883, November 2004
- [77] A. Mochizuki, T. Takeuchi, and T. Hanyu "Dynamically Function-Programmable Bus Architecture for High-Throughput Intra-Chip Data Transfer," IEICE Trans. Electron, Vol. E87-C, No11, pp. 1915-1922, November 2004
- [78] T. Takahashi, N. Onizawa, and T. Hanyu, "Differential Operation Oriented Multiple-Valued Encoding and Circuit Realization for Asynchronous Data Transfer," IEICE Trans. Electron, vol. E87-C, No. 11, pp. 1928-1934, November 2004
- [79] 高橋知宏, 羽生貴弘, 亀山充隆, "双方向同時制御に基づく非同期データ転送方式とそのVLSI実現," 電子情報通信学会論文誌 C, Vol. 87-C, No5, pp. 459-468, May 2004
- [80] 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, "A hardware/software cosynthesis algorithm for processors with heterogeneous datapaths", IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences, Vol.

E87-A, No. 4, pp. 830-836

- [81] 清水一範, 内田純平, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, “FPGA-Based Reconfigurable Adaptive FEC”, IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences, pp. 3036-3046
- [82] Suzuki M, Asada Y, Watanabe D, and Ohya Y. (2004) Cell shape and growth of budding yeast cells in restrictive microenvironments. *Yeast*. 21 (12) !983-9.
- [83] H. Kawaguchi, T. Someya, T. Sekitani, and T. Sakurai, “Cut-and-Paste Customization of Organic FET Integrated Circuit and Its Application to Electronic Artificial Skin,” *IEEE Journal of Solid State Circuits*, April 2004
- [84] H. Kawaguchi, Y. Shin, and T. Sakurai, “TRON-LP! Power-Conscious Real-Time OS Based on Cooperative Voltage Scaling for Multimedia Applications,” *IEEE Transaction on Multimedia*, (Accepted)
- [85] Jin-Hyeok Choi, Yingxue Xu, Takayasu Sakurai, “Statistical Leakage Current Reduction in High-Leakage Environments Using Locality of Block Activation in Time Domain,” *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 9, pp. 1497-1503, 2004
- [86] H. Kimura and T. Shibata, “A Simple-Architecture Motion-Detection Analog VLSI Based on Quasi-Two-Dimensional Hardware Algorithm,” *Analog Integrated Circuits and Signal Processing*, 39 (3) ! pp. 225-235, June (2004).
- [87] Katsutoshi Saeki, Heisuke Nakashima, Yoshifumi Sekine, CMOS Implementation of a Multiple-Valued Memory Cell Using -Shaped Negative-Resistance Devices, *The Institute of Electronics, Information and Communication Engineers Transaction on Fundamentals of Electronics, Communications and Computer Science*, vol. E87-A, no. 4, pp. 801-806, 2004.4.
- [88] Yuichiro Miyaoka, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “A Hardware/Software Cosynthesis Algorithm for Processors with Heterogeneous Datapaths,” *IEICE Trans. on Fundamentals*, Vol. E87-A, No. 4, pp. 830-836, April 2004.
- [89] Kazunori Shimizu, Junpei Uchida, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “FPGA-Based Reconfigurable Adaptive FEC,” *IEICE Trans. on Fundamentals*, Vol. E87-A, No. 12, pp. 3036-3046, December 2004.
- [90] Junpei Uchida, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, “High-Level Power Optimization Based on Thread Partitioning,” *IEICE Trans. on Fundamentals*, Vol. E87-A, No. 12, pp. 3075-3082, December 2004.
- [91] Youhua Shi, Shinji Kimura, Masao Yanagisawa, and Tatsuo Ohtsuki, “A Hybrid Dictionary Test Data Compression for Multiscan-Based Designs,” *IEICE Trans. on Fundamentals*, Vol. E87-A, No. 12, pp. 3193-3199, December 2004.
- [92] Youhua Shi, Shinji Kimura, Masao Yanagisawa, and Tatsuo Ohtsuki, “A Selective Scan Chain Reconfiguration through Run-Length Coding for Test Data Compression and Scan Power Reduction,” *IEICE Trans. on Fundamentals*, Vol. E87-

A, No. 12, pp. 3208-3215, December 2004.

- [93] 渡邊幸之介, 大塚智宏, 天野英晴, “ネットワークインタフェース用コントローラチップ Martini における乗っ取り機構の実装と評価,” *情報処理学会論文誌コンピュータシステム*, Vol. 45, SIG11 (ACS7), pp. 393-407, Oct, 2004. 4.
- [94] Usami, Yoshioka, “Dynamic Sleep Control for Finite-State-Machines to Reduce Active Leakage Power,” pp. 3116-3123, *IEICE Transaction of Fundamentals*, Vol. E87-A, No. 12 (2004)
- [95] 桑原啓, 松本佳宣, “短距離通信用 CMOS 集積化光受信器の開発,” *電子情報通信学会論文誌, C*, Vol. J87-C, No. 4, pp. 396-403, (2004 年 4 月).
- [96] Naoto Miyamoto, Leo Karnan, Kazuyuki Maruo, Koji Kotani and Tadahiro Ohmi, “A 100MHz 7. 84mm² 31. 7msec 439mW 512-Point 2-Dimensional FFT Single-Chip Processor,” *The Institute of Electronics, Information and Communication Engineers Special Issue on Low-Power System LSI,IP and Related Technologies*, *IEICE Trans. on Electronics*, Vol. E87-C, No. 4, pp. 502-509, April 2004

2. 国際会議

- [1] Lingfeng Li, Satoshi Goto, Takeshi Ikenaga, “An Efficient Deblocking Filter Architecture with 2-Dimensional Parallel Memory for H. 264/AVC,” *IEEE Asia and South Pacific Design Automation Conference 2005 (ASP-DAC)*, Jan. 2005.
- [2] Pimpin, A., Suzuki, Y., and Kasagi, N., “Micro electrostrictive actuator with metal compliant electordes for flow control applications,” pp. 478-481, *IEEE Int. Conf. MEMS’04* (2004).
- [3] M. Shiozaki, T. Mukai, M. Ono, M. Sasaki and A. Iwata, “A 2Gbps and 7-multiplexing CDMA Serial Receiver Chip for Highly Flexible Robot Control System,” *2004 Symposium on VLSI Circuits*, Honolulu, Hawaii, June 17-19, 2004.
- [4] K. Sasaki, T. Morie and A. Iwata, “A Spiking Neural Network with Negative Thresholding and Its Application to Associative Memory,” *2004 IEEE Int. Midwest Symposium on Circuits and Systems (MWSCAS2004)*, pp. III-89-III-92, Hiroshima, July 25-28, 2004.
- [5] A. Iwata, M. Sasaki, T. Kikkawa, S. Kameda, H. Ando, K. Kimoto, D. Arizono and H. Sunami, “A 3D-Integration Scheme Utilizing Wireless Interconnections for Implementing Hyper Brains,” *2005 IEEE International Solid-State Circuits Conference (ISSCC) Dig. of Tech. I Papers*, pp. 262-263, Feb. 2005.
- [6] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, “A Low Noise Amplifier using Chopper Stabilization for a Neural Sensor LSI,” *Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials*, pp. 539-540, Tokyo, Sep. 2004.
- [7] K. Terada and K. Fukeda, “Further Study of VTH-Mismatch Evaluation Circuit,” *Proc. Int. Conf. on Microelectronics Test Structure*, p. 155-159, (2004)
- [8] 船坂, 岩瀬, 畠山, “3D Visualization of Region of Stabilization for Nonlinear Systems Using FPGA”, pp. 98, *IECON*

(2004)

- [9] Toru Nakura, Makoto Ikeda, Kunihiro Asada, "Design and Measurement of On-chip di/dt Detector Circuit for Power Supply Line," IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (AP-ASIC) University Design Forum, sess. 16-12, pp. 426-427, August 2004
- [10] Toru Nakura, Makoto Ikeda, Kunihiro Asada, "Preliminary Experiments for Power Supply Noise Reduction using Stubs," IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (AP-ASIC), sess. 13-7, pp. 286-289, August 2004
- [11] Toru Nakura, Makoto Ikeda, Kunihiro Asada, "Power Supply di/dt Measurement using On-chip di/dt Detector Circuit," IEEE/JSAP Symposium on VLSI Circuits, sess. 7-4, pp. 106-109, June 2004
- [12] U. Ekinici, H. Yamaoka, H. Yoshida, M. Ikeda, and K. Asada, "Constraint Driven Dual-Rail PLA Module Generator with Embedded 2-Input Logic Cells," in Proc. of IEEE Mediterranean Electrotechnical Conference (MELECON), pp. 189-192, May 2004.
- [13] Y. Oike, M. Ikeda, and K. Asada, "A Pixel-Level Color Image Sensor With Efficient Ambient Light Suppression Using Modulated RGB Flashlight and Application to TOF Range Finding," IEEE Symposium on VLSI Circuits (VLSI Symp.) Dig. of Tech. Papers, pp. 298-301, Jun. 2004.
- [14] Y. Oike, M. Ikeda, and K. Asada, "A High-Speed XGA 3-D Image Sensor and Its Applications," in Proc. of the 6th Biannual World Automation Congress (WAC 2004), Jun. 2004.
- [15] Y. Oike, M. Ikeda, and K. Asada, "Design and Implementation of Word-Parallel Digital Associative Memories," in Proc. of IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (AP-ASIC), University Design Forum, pp. 428-429, Aug. 2004.
- [16] Y. Oike, M. Ikeda, and K. Asada, "A Word-Parallel Digital Associative Engine with Wide Search Range Based on Manhattan Distance," in Proc. of IEEE Custom Integrated Circuits Conference (CICC), pp. 295-298, Oct. 2004.
- [17] Y. Oike, M. Ikeda, and K. Asada, "Digital Associative Memories Based on Hamming Distance and Scalable Multi-Chip Architecture," in Proc. of IP Based System-on-Chip Design Forum & Exhibition (IP-SOC), pp. 127-130, Dec. 2004.
- [18] Komuro, Kagami, Namiki, Ishikawa, "A High-speed Vision Chip and Robot Applications, Proc. TExCRA 2004, pp. 3-4 (2004)
- [19] K. Maezawa, Y. Kawano, Y. Komoto, Y. Ohno, S. Kishimoto, T. Mizutani and K. Sano, "APPLICATIONS OF HIGH-FREQUENCY CHAOS IN RESONANT TUNNELING CHAOS GENERATOR CIRCUITS," Int. Meeting on Future Electron Devices, Kasai, IMFEDK2004 (2004)
- [20] K. Maezawa, "Resonant Tunneling Diodes and Their Application to Ultrahigh-Speed Circuits," JAIST Int. Symp. Nano Technology 2004.
- [21] I. Soga, Y. Ohno, S. Kishimoto, K. Maezawa, T. Mizutani, "Super Hybrid Integration of AlGaAs/GaAs HEMTs on AlN ceramic substrate," MRS Fall Meeting (2004).
- [22] Nan Bu, Taiji Hamamoto, Toshio Tsuji and Osamu Fukuda, "FPGA Implementation of a Probabilistic Neural Network for a Bioelectric Human Interface," Proceedings of The 2004 IEEE International Midwest Symposium on Circuits and Systems, Vol. III, pp. 29-32, Hiroshima, July 2004.
- [23] K. Fujimoto, H. Sasaki and Y. Shi, "An Analog PLL Using Fuzzy Inference Circuit," Proceedings of the 2004 International Conference on Intelligent Mechatronics and Automation (ICIMA2004), pp. 323-326, (2004).
- [24] H. KANAYA, T. NAKAMURA, K. YOSHIDA "DESIGN OF ON CHIP COPLANAR WAVEGUIDE MATCHING CIRCUIT FOR BI-CMOS RF AMPLIFIER," pp. 113-116, Proc. IEEE 64th ARFTG Microwave Measurements Conference.
- [25] T. Tsujimoto, H. Kanaya, K. Nakashi, K. Okamoto, T. Nakamura, H. Takatori, K. Hatano, T. Tsuchiya, K. Yoshida, Y. Kuroki, H. Yasuura, "CMOS SYSTEM LSI FOR PROCESSING IEEE 802. 11B WLAN PHY SIGNALS THROUGH DIGITAL, ANALOG BASEBAND, AND RF," Proceedings of the 2004 IEEE Asia-Pacific Conference on Circuits and Systems, pp. 17-20, (12.2004)
- [26] M. Imai, M. Ozcan, T. Nanya, "Evaluation of Delay Variation in Asynchronous Circuits based on the Scalable-Delay-Insensitive Model," Proc. Async2004, pp. 62-71, 2004
- [27] T. Ito, Y. Shibata and K. Oguri, "Implementation of the Extended Euclidean Algorithm for the Tate pairing on FPGA," pp. 911-916, Proc. FPL (2004).
- [28] K. Nakayama, M. Takata, T. Izumi, K. Kojima, A. Kitagawa, M. Kumeda and M. Suzuki, "Nonvolatile memory based on phase change," pp. 181-185, Proceedings of The 2nd International Symposium on Nanomanufacturing (2004).
- [29] S. Narisawa, K. Masuda, T. Hamamoto, "High Speed Digital Smart Image Sensor with Image Compression Function," IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (ASP-DAC), pp. 128-131 (2004).
- [30] T. Yoshida, A. Yokota, H. Kashiyama, T. Hamamoto, "Smart image sensor for high speed infocus detection," IEEE Int. conf. on Image Processing (ICIP'04), CD-ROM, 4pages (2004)
- [31] Y. Kutsuma, H. Yaguchi, T. Hamamoto, "Real-time Lane Line and Forward Vehicle Detection by Smart Image Sensor," IEEE Int. Symposium on Communications and Information Technologies 2004 (ISCIT 2004), pp. 957-962 (2004)
- [32] A. Yokota, T. Yoshida, H. Kashiyama, T. Hamamoto, "High Speed Depth Estimation by Smart Image Sensor System," IEEE Int. Symposium on Communications and Information Technologies 2004 (ISCIT 2004), pp. 963-968 (2004)
- [33] R. Kawahara, S. Shimizu, T. Hamamoto, "Wide View Surveillance System with Multiple Smart Image Sensors and Mirrors," Pacific-Rim Conference on Multimedia 2004 (PCM 2004), LNCS 3333, pp. 53-60 (2004)
- [34] M. Tomono, M. Nakanishi, S. Yamashita, and K. Watanabe,

“Event-Oriented Computing with Reconfigurable Platform,” In. Proc. of the 10th Asia and South Pacific Design Automation Conference (ASP-DAC2005), pp. 1248-1251, January 2005.

- [35] S. Komatsu, M. Fujita, “Low Power and Fault Tolerant Encoding Methods for On-Chip Data Transfer,” Proc. of the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2004), pp. 34-40, Oct. 2004.
- [36] G. Zeng and H. Ito, “Non-intrusive Test Compression for SOC Using Embedded FPGA Core” Proc. of IEEE International Symposium on Defect and Fault Tolerance In VLSI Systems, pp. 420-428, 2004.
- [37] G. Zeng and H. Ito, “Hybrid BIST for System-on-a-Chip Using an Embedded FPGA Core” Proc. Of IEEE VLSI Test Symposium (VTS), pp. 353-358, 2004.
- [38] Koichi Tanno, Kiminobu Sato, Okihiko Ishizuka, and Hisashi Tanaka, “Low-Voltage, Low-Distortion and Rail-to-Rail CMOS Sample and Hold Circuit,” Proceedings, 2004 International Symposium on Nonlinear Theory and its Applications (NOLTA2004), Fukuoka, Japan, pp. 239-242, Nov. 29-Dec. 3, 2004.
- [39] Masahiro Sasaki, Mai Nozawa, Takashi Matsumoto, “0.18um CMOS 2GHz Error-Correcting Encoder,” pp. 521-526, WSEAS TRANSACTIONS on CIRCUITS and SYSTEMS Issue 3, Volume 3, May 2004 (2004)
- [40] Masahiro Sasaki, Shin Yokoyama, Takashi Matsumoto, “0.18um CMOS 6GHz Pseudo Non-overlapping clock Generator using High-speed Dividers,” pp. 1208-1214, WSEAS TRANSACTIONS on CIRCUITS and SYSTEMS Issue 5, Volume 3, July 2004 (2004)
- [41] Masahiro Sasaki, Yu Ono, Takashi Matsumoto, “A wired CDMA Interface System,” pp. 1215-1220, WSEAS TRANSACTIONS on CIRCUIT and SYSTEMS Issue5, Volume 3, July 2004 (2004)
- [42] X. Song, Z. Zhang, F. Yit and Y. Nakano, “All-Optical Wavelength Conversion with Monolithically Integrated Mach-Zehnder Interferometer SOA Switches by Selective Area MOVPE,” in Proc. Asia-Pacific Optical Communications (APOC 2004), 5624-02, Beijing, Nov. 7-11, 2004.
- [43] X. Song, Zhenrui Zhang and Yoshiaki nakano, “Monolithically Integrated SOA-MZI All-Optical Switch with High-Yield Regrowth-Free Selective Area MOVPE,” in Proceedings of 30th European Conference on Optical Communication (ECOC 2004), Vol. 1, Mo3. 4. 5, pp. 34-35, Stockholm, Sep. 2004.
- [44] Foo Cheong Yit, Xueliang Song, Haizheng Song, Zhenrui Zhang, Masakazu Sugiyama, Yoshiaki Nakano, “Four-Band-gap Energy Monolithic Integration in an SOA-MZI All-Optical Switch with Selective Area MOVPE,” in Proceeding of 8th Contemporary Photonics Technology, E-2, Tokyo, Jan. 2005.
- [45] Xueliang Song, Foo Cheong Yit, Zhenrui Zhang and Yoshiaki Nakano, “Monolithic MZI All-Optical Switch with Selective Area MOVPE,” in Proc. of Conference on Optoelectronic and Microelectronic Materials and Devices (COMMAD 2004), p. 99, Brisbane, 8-10, Dec. 2004.
- [46] S. Kaneko, H. Shimizu, X. P. Zhou, and Y. Nakano, “Photo-Induced Phase Modulation in InGaAs/InGaAlAs Electro-Absorption Modulators for All Optical Wavelength Conversion,” 9th OptoElectronics and Communication Conference and 3rd International Conference on Optical Internet, Yokohama, Japan, July, 2004.
- [47] H. Shimizu and Y. Nakano, “Fabrication of a Semiconductor-Waveguide-type Optical Isolator based on the nonreciprocal loss shift,” 3rd International Conference on the Physics and Application of the Spin-Related Phenomena in Semiconductors, Santa Barbara, USA, July, 2004
- [48] H. Shimizu and Y. Nakano, “First Demonstration of TE Mode Nonreciprocal Propagation in a Semiconductor Active Waveguide for Integratable Optical Isolator,” 24th International Semiconductor Laser Conference, PD1, Matsue, Japan, September, 2004
- [49] H. Shimizu and Y. Nakano, “Fabrication of a TE mode Semiconductor-Waveguide-type Optical Isolator Based on the Nonreciprocal Loss shift,” 2004 fall meeting of the Material Research Society, Boston, 2004.
- [50] T. Shioda, T. Doi, A. Al Amin, X. Song, M. Sugiyama, Y. Shimogaki and Y. Nakano, “Simulation and Design of the Emission Wavelength of Multiple Quantum Well Structures Fabricated by Selective Area Metal-Organic Vapor Phase Epitaxy,” in Proc. The 3rd Asian Conference on Chemical Vapor Deposition (ACVD3), 63, Taipei, Nov. 12-14, 2004.
- [51] Chaiyasit Kumtornkittikul, Ichitaro Waki, Ning Li, Hiroshi Otani, Masakazu Sugiyama, Yukihiro Shimogaki, and Yoshiaki Nakano, “Waveguide Structure for Ultrafast Photonic Devices Utilizing Intersubband Absorption in GaN-based MOVPE-grown Multiple Quantum Wells,” in Proc. LEOS Annual Meeting 2004, Puerto Rico, Nov. 7-11, 2004
- [52] Chaiyasit Kumtornkittikul, Ichitaro Waki, Ning Li, Masakazu Sugiyama, Yukihiro Shimogaki, and Yoshiaki Nakano “GaN/AlN Multiple Quantum Wells and Waveguide Fabrication for Ultrafast Photonic Devices Utilizing Intersubband Transition,” in Proc. IEEE TENCON 2004, Chiangmai, Thailand, Nov. 21-24, 2004
- [53] M. Takenaka, M. Raburn, and Y. Nakano, “Improvement of optical flip-flop characteristics of compact directionally-coupled bistable laser diode,” in Proc. Indium Phoshide and Related Materials (IPRM 2004), 523-526, Kagoshima, May 31-June 4, 2004.
- [54] M. Takenaka, M. Raburn, and Y. Nakano, “All-Optical Flip-Flop Operation via Two-Mode Bistability of Multimode Interference Bistable Laser Diodes,” in Proc. European Conference on Optical Communication (ECOC 2004), Tu. 4.4. 5, Stockholm, Sep. 5-9, 2004.
- [55] M. Takenaka, M. Raburn, and Y. Nakano, “All-optical flip-

- flop multimode interference bistable laser diodes with reverse biased saturable absorbers," in Proc. International Semiconductor Laser Conference (ISLC 2004), 26-27, Matsue, Sep. 21-25, 2004.
- [56] A. Al Amin, X. Song, K. Sakurai, M. Sugiyama, Y. Nakano, "Integration of Semiconductor Optical Amplifiers with an Arrayed Waveguide Grating Demultiplexer by MOVPE Selective Area Growth," Integrated Photonics Research Topical Meeting, San Francisco, June 30-July 2, 2004.
- [57] A. Al Amin, T. Doi, K. Sakurai, Z. Zhang, X. Song, M. Sugiyama and Y. Nakano, "Simulation of Bandgap in MOVPE Selective Area Growth of InGaAsP-based Photonic Integrated Circuits" 4th IEEE/LEOS International Conference on Numerical Simulation of Optoelectronic Devices (NUSOD 2004), Santa Barbara, August 24-26, 2004.
- [58] A. Al Amin, K. Sakurai, T. Sakurai, M. Sugiyama and Y. Nakano, "Fabrication of an Integrated Dynamic Channel Equalizer by MOVPE Selective Area Growth," 3rd International Conference on Electrical and Computer Engineering (ICECE), Dhaka, December 28-30, 2004.
- [59] T. Sato, D. Miyamori, R. Sakuma, and M. Fukase, "Unauthorized Port Access Detection in the H-HIDS," Proc. of SCI2004, pp. 389-394 (2004).
- [60] T. Sato, R. Sakuma, D. Miyamori, and M. Fukase, "High-Speed and Low-Power LFSR by Wave-Pipelining," Proc. of CCCT, Vol. III, pp. 396-401 (2004) .
- [61] T. Sato, R. Sakuma, D. Miyamori, and M. Fukase, "Performance Analysis of Wave-Pipelined LFSR," Proc. of ISCIT 2004, pp. 694-699 (2004).
- [62] A. Ahmadi, Y. Shirakawa, Md. A. Abedin, K. Takemura, K. Kamimura, H. J. Mattausch, and T. Koide, "Real-time Character Recognition System Using Associative Memory Based Hardware," COE Int'l Workshop on Nanoelectronics for Terabit Information Processing, pp. 40-41, Hiroshima, Japan, Dec. 2004.
- [63] A. Ahmadi, H. J. Mattausch, and T. Koide, "A Numerical Approach for Snake Models and Implementation with an FPGA Architecture," Workshop on Circuits, Systems and Signal Processing (ProRISC' 2004), pp. 1-6, Netherland, Nov. 2004.
- [64] Z. Zhu, K. Johguchi, H. J. Mattausch, T. Koide, and T. Hironaka, "Low Power Bank-based Multi-port SRAM Design due to Bank Standby Mode," Proceedings of the 47th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS2004) Vol. I, pp. 569-572 (2004).
- [65] K. Takemura, T. Koide, H. J. Mattausch and T. Tsuji, "Analog-circuit-component optimization with genetic algorithm," Proc. of the 47th Midwest Symp. on Circuits and Systems, pp. 489-492, 2004.
- [66] Z. Zhu, T. Morimoto, H. Adachi, O. kiriyama, T. Koide, and H. J. Mattausch "Multi-view Face Detection and Recognition using Haar-like Features," Extended Abstracts of the Third Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, pp. 46-47 (2004).
- [67] K. Johguchi, Z. Zhu, H. J. Mattausch, T. Koide and T. Hironaka, "Unified Data/Instruction Cache with Bank-Based Multi-Port Architecture," Extended Abstracts of the Third Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, pp. 50-51 (2004).
- [68] K. Kamimura, K. M. Rahman, H. J. Mattausch and T. Koide, "Optimized Multi-Stage Minimum-Distance-Search Circuit with Feedback-Stabilization for Fully-Parallel Associative Memories," The 47th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2004), pp. 1161-1164, 2004.
- [69] H. Adachi, T. Morimoto, O. Kiriyama, Z. Zhu, T. Koide, and H. J. Mattausch, "Real-Time Segmentation of Large-scale Images by Pipeline Processing with Small-Size Cell Network," Proceedings of the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2004), pp. 95-102, 2004.
- [70] YShirakawa, H. J. Mattausch, and T. Koide, "Reference-Pattern Learning and Optimization from an Input-PatternStream for Associative-Memory-Based Pattern-Recognition Systems," The 47th IEEE International Midwest Symposium on Circuits and Systems, pp. I-561-I-564, 2004.
- [71] YShirakawa, M. Mizokami, T. Koide, and H. J. Mattausch, "Automatic Pattern-Learning Architecture Based on Associative Memory and short/Long Term Storage Concept," Extend. Abst. of the Int. Conf. on Solid State Devices and Materials Tokyo 2004, pp.362-363, 2004.
- [72] T. Fujii, K. Kobayashi, T. Koide, H. J. Mattausch, and T. Hironaka, "Highly Efficient Switch Architecture Based on Banked Memory with Multiple Ports," Proceedings of the Workshop on Synthesis And System Intergration of Mixed Information Technologies (SASIMI) 2004, pp. 491-498, 2004.
- [73] T. Fujii, K. Kobayashi, T. Koide, H. J. Mattausch, and T. Hironaka, "Multi-bank based Switch Architecture with Flexible Scheduled Buffering of Packets," Extended Abstracts of the Third Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, pp. 50-51, 2004.
- [74] T. Morimoto, O. Kiriyama, H. Adachi, T. Koide, and H. J. Mattausch "Digital Low-Power Real-Time Video Segmentation by Region Growing," Extended Abstract of the 2004 International Conference on Solid State Devices and Materials (SSDM2004), pp. 138-139 (2004).
- [75] O. Kiriyama, T. Morimoto, H. Adachi, Y. Harada, T. Koide, and H. J. Mattausch, "Low Power Design for Real-time Image Segmentation LSI and Compact Digital CMOS Implementation," 2004 IEEE Asia-Pacific Conference on ASIC Proceedings (AP-ASIC2004), pp. 432-433, 2004.
- [76] O. Kiriyama, T. Morimoto, H. Adachi, Z. Zhu, T. Koide, and H. J. Mattausch, "Efficient Object Tracking Algorithm using Image Segmentation and Pattern Matching," Extended Abstracts of the Third Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, pp. 44-45, 2004.

- [77] T. Morimoto, H. Adachi, O. Kiriya, Z. Zhu, T. Koide, and H. J. Mattausch, "Low-Power Video Segmentation by Pipeline Processing of Tiled Images," Extended Abstracts of the Third Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, pp 42-43, 2004.
- [78] T. Morimoto, O. Kiriya, H. Adachi, Z. Zhu, T. Koide H. J. Mattausch, "A Low-Power Video Segmentation LSI with Boundary-Active-Only Architecture," Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC2005), Vol. 2, D-13 (2005).
- [79] T. Koide, Y. Yano and H. J. Mattausch "Bank-Type Associative Memory for High-Speed Nearest Manhattan Distance Search in Large Reference-Pattern Space," Extended Abstract of the 2004 International Conference on Solid State Devices and Materials (SSDM2004), pp. 360-361 (2004).
- [80] Kobayashi, Aramoto, Yuyama, Higuchi, Onodera, "A Resource-shared VLIW Processor Architecture for Area-efficient On-chip Multiprocessing," pp. 619-622, vol., no., ASP-DAC 2005 (2005).
- [81] Shinmyo, Hashimoto, Onodera, "Design and Measurement of 6.4 Gbps 8:1 Multiplexer in 0.18 μ m CMOS Process," pp. D-9-11, vol., no., ASP-DAC 2005 (2005).
- [82] Tsuchiya, Hashimoto, Onodera, "Return Path Selection for Loop RL Extraction," pp. 1078-1081, vol., no., ASP-DAC 2005 (2005).
- [83] Hashimoto, Yamaguchi, Sato, Onodera, "Timing Analysis Considering Temporal Supply Voltage Fluctuation," pp. 1098-1101, vol., no., ASP-DAC 2005 (2005).
- [84] Higuchi, Kobayashi, Onodera, "An Analytical Power Model for Synthesized Register Files Considering address Dependencies," pp. 41-46, vol., no., SASIMI 2004 Proceedings (2004).
- [85] Hashimoto, To. Yamamoto, Onodera, "Statistical analysis of Clock Skew Variation," pp. 214-219, vol., no., SASIMI 2004 Proceedings (2004).
- [86] Takatsukasa, Kobayashi, Onodera, "Dynamic Voltage and Frequency Scaling Techniques for Heterogeneous Multi-Processor Architecture in Future Nanometer Technologies," pp. 477-482, vol., no., SASIMI 2004 Proceedings (2004).
- [87] Hashimoto, Tsuchiya, Shinmyo, Onodera, "Performance Prediction of On-chip Global Signaling," pp. 87-100, vol., no., In Proceedings of IEEE Electrical Design of Advanced Packaging and Systems (2004).
- [88] Hashimoto, Yamaguchi, Onodera, "Timing Analysis Considering Spatial Power/Ground Level Variation," pp. 814-820, vol., no., ICCAD (2004).
- [89] Hashimoto, Tsuchiya, Onodera, "On-Chip Global Signaling by Wave Pipelining," pp. 311-314, vol., no., In Proceedings of IEEE 13th Topical Meeting on Electrical Performance of Electronic Packaging (2004).
- [90] Hashimoto, Yamamoto, Onodera, "Statistical Analysis of Clock Skew Variation," pp. 214-219, vol., no., In Proceedings of Workshop on Synthesis and System Integration of Mixed Technologies (2004).
- [91] Muramatsu, Hashimoto, Onodera, "LSI Power Network Analysis with On-chip Wire Inductance," pp. 55-60, vol., no., In Proceedings of Workshop on Synthesis and System Integration of Mixed Technologies (2004).
- [92] Miyazaki, Hashimoto, Onodera, "A Performance Prediction of Clock Generation PLLs! A Ring Oscillator Based PLL and An LC Oscillator Based PLL," pp. 45-50, vol., no., In Proceedings of IEEE International Analog VLSI Workshop (2004).
- [93] Tsuchiya, Hashimoto, Onodera, "Performance Limitation of On-chip Global Interconnects for High-speed Signaling," pp. 489-492, vol., no., In Proceedings of IEEE Custom Integrated Circuits Conference (2004).
- [94] Shinmyo, Hashimoto, Onodera, "Design and Optimization of CMOS Current Mode Logic Dividers," pp. 434-435, vol., no., In Proceedings of IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (2004).
- [95] Yuyama, Aramoto, Kobayashi, Onodera, "RTL/ISS Co-Modeling Methodology for Embedded Processor Using SystemC," pp. 305-308, vol. V, no., International Symposium on Circuit & Systems (2004).
- [96] Haque Mohammad Munirul, Hasegawa Tomoaki and Michitaka Kameyama, "Implementation and Evaluation of a Fine-Grain Multiple-Valued Field Programmable VLSI Based on Source-Coupled Logic," Proc. of the 35th IEEE International Symposium on Multiple-Valued Logic (to be published)
- [97] M. Nakao, K. Izumi, "Circuit Designs and Fabrication of Swarm-Intelligence LSIs based on Modeling Foraging Behaviors of Ant," the 47th IEEE International Midwest Symposium on Circuits and Systems, pp. III-97-100 (2004)
- [98] Hiroshi Tsutsui, Takahiko Masuzaki, Yoshiteru Hayashi, Yoshitaka Taki, Tomonori Izumi, Takao Onoye, Yukihiro Nakamura! "Scalable Design Framework for JPEG2000 System Architecture," in Proc. of 9th Asia-Pacific Computer Systems Architecture Conference (ACSAC) (Beijing, China), pp. 296-308, Sep. 2004.
- [99] Jumpei Ashida, Ryusuke Miyamoto, Hiroshi Tsutsui, Takao Onoye, Yukihiro Nakamura! "A Scalable Approach for Estimation of Focus of Expansion," in Proc. of The 4th IASTED International Conference on Visualization, Imaging, and Image Processing (VIIP2004) (Marbella, Spain), pp. 6-11, Sep. 2004.
- [100] Takao Onoye, Hiroshi Tsutsui, Gen Fujita, Yukihiro Nakamura, Isao Shirakawa! "Embedded System Implementation of Scalable and Object-Based Video Coding," in Proc. of World Automation Congress (WAC), International Forum on Multimedia and Image Processing (IFMIP) (Seville, Spain), June 2004.
- [101] S. Cha, H. Furuya, Y. Shimizu, M. Haruoka, T. Matsuoka, and K. Taniguchi, "A CMOS Transmitter for Short-range Wireless Communication Using ASK/CDMA Technique," International Meeting for Future of Electron Devices, Kansai, July 26-28, 2004, Kyoto, Japan, pp. 93-94.
- [102] Kazuhiro Shimonomura, Tetsuya Yagi, "An orientation selec-

- tive multi-chip aVLSI system for parallel image processing,” BIS2. 4, 2004 Brain Inspired Cognitive Systems (BICS2004).
- [103] Tetsuya Yagi, “A neuromorphic a VLSI sensor for real-time image processing,” pp. 18-22, 2004 Proceedings of the International Sensors Conference (2004)
- [104] M. Hashimoto, T. Yamamoto and H. Onodera, “Statistical Analysis of Clock Skew Variation in H-tree Structure,” Proc. ISQED, pp. 402-407, 2005.
- [105] M. Hashimoto, J. Yamaguchi, T. Sato and H. Onodera, “Timing Analysis Considering Temporal Supply Voltage Fluctuation,” Proc. ASP-DAC, pp. 1098-1101, 2005.
- [106] A. Tsuchiya, M. Hashimoto and H. Onodera, “Return Path Selection for Loop RL Extraction,” Proc. ASP-DAC, pp. 1078-1081, 2005.
- [107] A. Shinmyo, M. Hashimoto and H. Onodera, “Design and Measurement of 6.4 Gbps 8:1 Multiplexer in 0.18 μ m CMOS Process,” Proc. ASP-DAC, pp. D9-D10, 2005.
- [108] M. Hashimoto, A. Tsuchiya, A. Shinmyo and H. Onodera, “Performance Prediction of On-chip Global Signaling,” Proc. Electrical Design of Advanced Packaging and Systems, pp. 87-100, 2004.
- [109] M. Hashimoto, J. Yamaguchi and H. Onodera, “Timing Analysis Considering Spatial Power/Ground Level Variation,” Proc. ICCAD, pp. 814-820, 2004.
- [110] M. Hashimoto, A. Tsuchiya and H. Onodera, “On-Chip Global Signaling by Wave Pipelining,” Proc. EPEP, pp. 311-314, 2004.
- [111] A. Muramatsu, M. Hashimoto and H. Onodera, “LSI Power Network Analysis with On-chip Wire Inductance,” Proc. SASIMI, pp. 55-60, 2004.
- [112] M. Hashimoto, T. Yamamoto and H. Onodera, “Statistical Analysis of Clock Skew Variation,” Proc. SASIMI, pp. 214-219, 2004.
- [113] T. Miyazaki, M. Hashimoto and H. Onodera, “A Performance Prediction of Clock Generation PLLs! A Ring Oscillator Based PLL and An LC Oscillator Based PLL,” Proc. International Analog VLSI Workshop, pp. 45-50, 2004.
- [114] A. Tsuchiya, M. Hashimoto and H. Onodera, “Performance Limitation of On-chip Global Interconnects for High-speed Signaling,” Proc. CICC, pp. 489-492, 2004.
- [115] A. Shinmyo, M. Hashimoto and H. Onodera, “Design and Optimization of CMOS Current Mode Logic Dividers,” Proc. AP-ASIC, pp. 434-435, 2004.
- [116] K. Inoue, H. Tanaka, V. G. Moshnyaga, and K. Murakami, “A Low Power I-Cache Design with Tag-Comparison Reuse,” Proc. of the The International Symposium on System-On-Chip (SOC04), pp. 61-67, Nov. 2004.
- [117] T. Sadakata and Y. Matsunaga, “A Behavioral Synthesis Method Considering Complex Operations,” SASIMI, Vol. 1, pp. 303-309, Oct. 2004.
- [118] Terao, Kabata, Washizu, “Positioning of Cells in Microstructure and Extraction of Continuous DNA Fibers from Individual Cells,” pp. 24-26, Proc. of Micro TAS 2004 (2004)
- [119] Terao, Kabata, Washizu, “Arraying DNA Fibers in Microstructure by Electroosmotic Flow,” pp. 89-96, Proc. of 6th IEJ-ESA Joint Symposium (2004)
- [120] Gunji, Nakanishi, Washizu, “Droplet actuation based on single-phase electrostatic excitation,” pp. 168-170, Proc. of Micro-TAS 2004 (2004)
- [121] Ito, Gunji, Washizu, “Dynamics of DEP Liquid Actuation in Viscous Fluid,” pp. 69-78, Proc. of 6th IEJ-ESA Joint Symposium (2004)
- [122] Terada, Oota, Eguchi and Ueno, “A ring type switched-capacitor (SC) programmable converter with DC or AC input/ DC or AC output,” “The 2004 IEEE International Midwest Symposium on Circuits and Systems (MSCAS2004), vol. I, pp. 29-32, (July, 2004)
- [123] Masa-aki Fukase, Asako Fukase, Youichi Sato, and Tomoaki Sato, “Exploiting a Hardware Security-Embedded Multimedia Mobile Processor System and its Application,” Proc. of ITC-CSCC2004, pp. 7C3L-3-1-7C3L-3-4 (2004)
- [124] M. Fukase, A. Fukase, Y. Sato, and T. Sato, “Cryptographic System by a Random Addressing-Accelerated Multimedia Mobile Processor,” Proc. of 8th SCI2004, Vol. II, pp. 174-179 (2004)
- [125] Masa-aki Fukase, Yoshiki Nakamura, Ryo Akaoka, and Tomoaki Sato, “Development of a Multimedia Mobile Processor,” Proc. of ISCIT 2004, pp 65 (2004)
- [126] M. Fukase, Y. Sato, and T. Sato “Design of a Hardware Security-Embedded Multimedia Mobile Processor,” Proc. of ISCIT 2004, pp 40 (2004)
- [127] H. Ogawa, K. Hoshino, H. Araki, K. Harashima, T. Kutsuwa; “An Automatic Generation Method for Analog Circuits in a Short Time,” ITC-CSCC 2004 Proceedings, 7C1L-6 pp. 1-4, 2004.
- [128] K. Uehara, H. Araki, T. Kutsuwa, K. Harashima; “A Pre-Synthesis Power Estimation Method for Behavioral Level VLSI Design,” ITC-CSCC 2004 Proceedings, 8A2L-4, pp. 1-4, 2004.
- [129] S. Sawa, K. Nishio, Y. Furukawa, H. Yonezu and J. -K. Shin, “Analog Integrated Circuit for Edge Detection with Wide Dynamic Range Based on Vertebrate Outer Retina,” Int. Conf. on Electrical Engineering 2004 (ICEE 2004), Sapporo, Japan, July 4-8, 2004. Conference Proceedings, pp. 827-832.
- [130] K. Nishio, S. Sawa, H. Yonezu, Y. Furukawa and J. -K. Shin, “Analog Integrated Circuit for Edge and Motion Detection of a Moving Target Based on Biological Systems,” World Automation Congress 2004 (WAC 2004), Seville, Spain, June 28-July 1, 2004. Proceedings (CD)
- [131] K. Nishio, H. Yonezu, S. Sawa, Y. Yoshikawa and Y. Furukawa, “Analog Integrated Circuit for Detection of Approaching Object against Moving Background Based on Lower Animal Vision,” Int. Symposium on Circuits and Systems, Vancouver, May 23-26, 2004. Proceedings, pp. IV-832-IV-835.
- [132] Kentaro KAWAKAMI, Miwako KANAMORI, Yasuhiro MORITA, Jun TAKEMURA, Junichi MIYAKOSHI, Hideo

OHIRA, Masayuki MIYAMA, Masahiko YOSHIMOTO, "A Feed-Forward Dynamic Voltage Frequency Management for Power-minimum Motion Video Compression in Sub-Decimicron Era," Sixth Biannual World Automation Congress (WAC), IMFIP-081, 2004.

- [133] Tomoyuki Takahata, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Surface Acoustic Wave Optical Deflector for Surface Plasmon Resonance Sensor," 2004 IEEE/LEOS International Conference on Optical MEMS and Their Applications, pp. 70-71, 2004.
- [134] Tetsuji Dohi, Kiyoshi Matsumoto, Isao Shimoyama, "The Micro Fabry-Perot Interferometer for the Spectrum Endoscope," The 18th International Conference on Micro Electro Mechanical Systems, pp. 830-833, 2005.
- [135] Tomoyuki Takahata, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Photonic Crystal Tuned by Cantilever," 18th IEEE International Conference on Micro Electro Mechanical Systems, pp. 112-115, 2005.
- [136] Kazunori Hoshino, Takaharu Nagai, Yoshio Mita, Masakazu Sugiyama, Kiyoshi Matsumoto, Isao Shimoyama, "Active Ink-jet Nozzles Equipped with Arrayed Visual Sensors for Parallel Alignment Control," The 18th International Conference on Micro Electro Mechanical Systems, pp. 48-51, 2005.
- [137] Eiji Iwase, Isao Shimoyama, "Multi-Step Sequential Batch Self-Assembly of Three-Dimensional Micro-Structures using Magnetic Field," The 18th International Conference on Micro Electro Mechanical Systems, pp. 588-591, 2005.
- [138] Hideyuki Kinoshita, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Thin Compound Eye Camera with a Zooming Function by Reflective Optics," The 18th International Conference on Micro Electro Mechanical Systems, pp. 235-238, 2005.
- [139] Hiroaki Onoe, Murat Gel, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Binding Force Measurement between Micro-Scale Flat Surfaces in Aqueous Environment by Force-Sensing Piezoresistive Micro-Cantilevers," The 18th International Conference on Micro Electro Mechanical Systems, pp. 16-19, 2005.
- [140] Seiichi Takamatsu, Kazunori Hoshino, Kiyoshi Matsumoto, Tsutomu Miysaka, Isao Shimoyama, "Biomolecular Image sensor of Bacteriorhodopsin Patterned by Electrodeposition," The 18th International Conference on Micro Electro Mechanical Systems, pp. 847-850, 2005.
- [141] Hiroshi Saito, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Compound Eye Shaped Flexible Organic Image Sensor with a Tunable Visual Field," The 18th International Conference on Micro Electro Mechanical Systems, pp. 96-99, 2005.
- [142] Masaki Shuzo, Hidekazu Arai, Ryohei Kanzaki, Isao Shimoyama, "Silicon Based Nano Lead for Single Cell Recording," The 18th International Conference on Micro Electro Mechanical Systems, pp. 766-769, 2005.
- [143] Masakazu Tohara, Eiji Iwase, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Pop-Up" Display with 3-Dimensional Microlens Structures," The 18th International Conference on Micro Electro Mechanical Systems, pp. 231-234, 2005.
- [144] Kentaro Noda, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "300nm-Thick Cantilever in PDMS for Tactile Sensing," The 18th International Conference on Micro Electro Mechanical Systems, pp. 283-286, 2005.
- [145] Takeshi Okumoto, Makoto Nagata, Kazuo Taki, "A Built-in Technique for Probing Power-Supply Noise Distribution within Large-Scale Digital Integrated Circuits," in IEEE 2004 Symposium on VLSI Circuits Digest of Technical Papers, pp. 98-101, June 2004
- [146] Yohei Fukumizu, Shuji Ohno, Makoto Nagata, Kazuo Taki, "A Design of Transponder IC for Highly Collision Resistant RFID Systems," in Proceedings of 2004 IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (AP-ASIC 2004), pp. 438-439.
- [147] Yohei Fukumizu, Shuji Ohno, Makoto Nagata, Kazuo Taki, "Design of RFID Front-end Circuitry Enabling CDMA-based Collision Resistance," in Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials (SSDM 2004), pp. 400-401, Sep. 2004.
- [148] Koichiro Noguchi, Makoto Nagata, "On-Chip Multi-Channel Waveform Monitoring for Diagnostics of Mixed-Signal VLSI Circuits," in Proceedings of Design Automation and Test in Europe 2005 (DATE 2005), Volume1-2C1, pp. 146-151, 2005.03.
- [149] K. Tarumi, M. Muroyama, S. Yamaguchi, and H. Yasuura, "A Design Method for a Low Power Equalization Circuit by Adaptive Bitwidth Control," ISCIT 2004, pp. 704-709, Oct. 2004.
- [150] M. Muroyama, K. Tarumi, K. Makiyama, and H. Yasuura, "A Variation-Aware Low-Power Coding Methodology for Tightly Coupled Buses," ASP-DAC2005, pp. 557-560, Jan. 2005.
- [151] HIROSE T., Yoshimura R., Ido T., Matsuoka T., and Taniguchi K., "Watchdog circuit for product degradation monitor using subthreshold MOS current," International Conference on Solid State Devices and Materials, pp. 150-151, Tokyo, Japan (Sep. 15-17, 2004)
- [152] T. Morie, J. Umezawa, and A. Iwata, "A Pixel-Parallel Image Processor for Gabor Filtering Based on Merged Analog-Digital Architecture," Symposium on VLSI Circuits, Digest of Technical papers, pp. 212-213 (2004).
- [153] T. Morie, T. Nakano, J. Umezawa, and A. Iwata, "Gabor Filtering Using Cellular Neural Networks and its Application to Face/Object Recognition," World Automation Congress, #IFMIP075 (2004).
- [154] A. Fujiuchi, T. Ikeuchi, K. Kagawa, J. Ohta, M. Nunoshita, "Free-space wavelength-division-multiplexing optical communications using a multi-channel photoreceiver," Int'l Conf. Optics & Photonics in Technology Frontier (ICO), pp. 480-48, 2004.

- [155] N. Fujioka, S. Ashihara, T. Shimura, and K. Kuroda, "Group-velocity-matched second-harmonic generation in noncollinear quasi-phase matching geometry," 2004 ICO International conference, 14B4-3 (Chiba, 2004).
- [156] S. Ashihara, M. Ikeda, T. Shimura, and K. Kuroda, "Mid-infrared femtosecond pulse generation by optical parametric amplification under broadband QPM condition," 14th International Conference on Ultrafast Phenomena, ME-32 (Niigata, 2004).
- [157] S. Ashihara, N. Fujioka, T. Shimura, and K. Kuroda, "Femtosecond SHG and soliton formation under simultaneous quasi-phase-matching and group-velocity-matching," 10th Microoptics conference, H5 (Jena, 2004).
- [158] Jun Deguchi, Taiichiro Watanabe, Keita Motonami, Takeaki Sugimura, Hiroshi Tomita, Jeoung-Chill Shim, Hiroyuki Kurino, Makoto Tamai, and Mitsumasa Koyanagi, "Retinal Prosthesis System with Telemetry Circuit Controlled by Human Eyelid Movement," Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials, Tokyo, 2004, pp. 350-351
- [159] Takeaki Sugimura, and Mitsumasa Koyanagi, "Design and Evaluation of Image Processing Chip with Three Dimensional FPGA," pp. 67-71, Proceedings of 2nd International Symposium on Mechanical Science Based on Nanotechnology, Sendai (2005)
- [160] Taiichiro Watanabe, Keita Motonami, Kazuhiro Sakamoto, Jun Deguchi, Takafumi Fukushima, Jeoung-Chill Shim, Hajime Mushiake, Hiroyuki Kurino, and Mitsumasa Koyanagi, "Ultimate Functional Multi-Electrode System (UFMES) Based on Multi-Chip Bonding Technique," Extended Abstracts of 2004 International Conference on Solid State Device and Materials, pp. 380-381 (2004)
- [161] T. Fukushima, H. Kurino, R. Nitobe, H. Kuribara, Y. Yamada, J. Shim, and M. Koyanagi "Bump Formation Technique for Multi-Chip Module with Optical Interconnections," The Electrochemical Society International Semiconductor Technology Conference (ISTC), 15-17, September 2004, Shanghai China.
- [162] T. Fukushima, H. Kurino, H. Kikuchi, H. Kijima, Y. Yamada, J. Shim, and M. Koyanagi, "Deep Si Hole Etching Technique for Super Chip Integration," The Electrochemical Society International Semiconductor Technology Conference (ISTC), 15-17, September 2004, Shanghai China.
- [163] Junpei Inoue, Hiroyuki Ito, Shinichiro Gomi, Takanori Kyogoku, Takumi Uezono, Kenichi Okada, and Kazuya Masu, "Evaluation of On-Chip Transmission Line Interconnect Using Wire Length Distribution," IEEE/ACM Asia South Pacific Design Automation Conference, pp. 133-138, Jan. 2005.
- [164] Kenichi Okada, Yoshiaki Yoshihara, Hirotaka Sugawara, and Kazuya Masu, "A Dynamic Reconfigurable RF Circuit Architecture," IEEE/ACM Asia South Pacific Design Automation Conference, pp. 683-686, Jan. 2005.
- [165] Hiroyuki Ito, Junpei Inoue, Shinichiro Gomi, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "On-Chip Transmission Line for Long Global Interconnects," IEEE International Electron Devices Meeting, pp. 677-680, Dec. 2004.
- [166] Hiroyuki Ito, Shinichiro Gomi, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "High Density Bus Line Structure With Pseudo Differential Transmission Line in Si ULSI," IEEE Asia-Pacific Microwave Conference, p. 175, Dec. 2004.
- [167] Hirotaka Sugawara, Kenichi Okada and Kazuya Masu, "Small Area Inductor for Silicon CMOS Chip," IEEE Asia-Pacific Microwave Conference, p. 255, Dec. 2004.
- [168] Junpei Inoue, Hidenari Nakashima, Takanori Kyogoku, Takumi Uezono, Kenichi Okada, and Kazuya Masu, "Optimization Methodology of Global Interconnect Structure," International Conference on Microelectronics, pp. 351-354, Dec. 2004.
- [169] Shinichiro Gomi, Kohichi Nakamura, Hiroyuki Ito, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "High Speed and Low Power On-Chip Micro Network Circuit with Differential Transmission Line," IEEE International Symposium on System-on-Chip, pp. 173-176, Nov. 2004.
- [170] Hideyuki Sugita, Hiroyuki Ito, Shinichiro Gomi, Kenichi Okada, and Kazuya Masu, "Pseudo Differential Transmission Line Structure on Si ULSI," Advanced Metallization Conference, pp. 126-127, Oct. 2004.
- [171] Takanori Kyogoku, Hidenari Nakashima, Junpei Inoue, Naohiro Takagi, Hiyoko Shinoki, Kenichi Okada and Kazuya Masu, "Wire Length Distribution of SoC considering Macro Block Shapes," The Workshop on Synthesis And System Integration of Mixed Information Technologies, pp. 176-180, Oct. 2004.
- [172] Kenichi Okada, Yoshiaki Yoshihara, Hirotaka Sugawara, and Kazuya Masu, "Dynamic Reconfigurable RF Circuit Design," The Workshop on Synthesis And System Integration of Mixed Information Technologies, pp. 451-457, Oct. 2004.
- [173] Hirotaka Sugawara, Yoshiaki Yoshihara, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "Wide-Range RF Variable Inductor on Si CMOS Chip with MEMS Actuator," IEEE European Microwave Conference, pp. 701-704, Oct. 2004.
- [174] Shinichiro Gomi, Kohichi Nakamura, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "Differential Transmission Line Interconnect for High Speed and Low Power Global Wiring," IEEE Custom Integrated Circuits Conference, pp. 325-328, Oct. 2004.
- [175] Hideyuki Sugita, Hiroyuki Ito, Shinichiro Gomi, Kenichi Okada, and Kazuya Masu, "Pseudo Differential Transmission Line Structure on Si ULSI," Advanced Metallization Conference Asian Session, pp. 126-127, Sep. 2004.
- [176] Masakazu Sato, Kazuhisa Itoi, Hiroshi Abe, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, Kazuya Masu, and Tatsuya Ito, "On-chip Spiral Inductors Integrated with Wafer-Level Package," International Conference on Solid State Devices and Materials, pp. 286-287, Sep. 2004.
- [177] Hirotaka Sugawara, Kenichi Okada, and Kazuya Masu, "Small Area Snake Inductor on Si RF CMOS Chip," Interna-

tional Conference on Solid State Devices and Materials, pp. 288-289, Sep. 2004.

- [178] Hiroyuki Ito, Shinichiro Gomi, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "Twisted Differential Transmission Line Structure for EMI Noise Reduction at Global Interconnect in Si LSI," International Conference on Solid State Devices and Materials, pp. 290-291, Sep. 2004.
- [179] Shinichiro Gomi, Kohichi Nakamura, Hiroyuki Ito, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "High-Speed Transmission Circuit for Micro-Network on Si ULSI," International Conference on Solid State Devices and Materials, pp. 308-309, Sep. 2004.
- [180] Kenichi Okada, Tomohiro Yamada, Takumi Uezono, Kazuya Masu, Akio Oki, and Yasuhiro Horiike, "in-vivo Wireless Communication System for Bio MEMS Sensors," International Conference on Solid State Devices and Materials, pp. 366-367, Sep. 2004.
- [181] Takanori Kyogoku, Junpei Inoue, Hidenari Nakashima, Kenichi Okada and Kazuya Masu, "Optimization Technique of Number of Interconnect Layers and Circuit Area Based on Wire Length Distribution," International Conference on Solid State Devices and Materials, pp. 474-475, Sep. 2004.
- [182] Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, Kazuhisa Itoi, Masakazu Sato, Hiroshi Abe, Tatsuya Ito, and Kazuya Masu, "High-Q Variable Inductor Using Redistributed Layers for Si RF Circuits," IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 187-190, Sep. 2004.
- [183] Yoshiaki Yoshihara, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "A Wide Tuning Range CMOS VCO using Variable Inductor," IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 278-281, Sep. 2004.
- [184] Tomohiro Yamada, Hirotaka Sugawara, Kenichi Okada, Kazuya Masu, Akio Oki, and Yasuhiro Horiike, "Battery-less Wireless Communication System through Human Body for in-vivo Healthcare Chip," IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 322-325, Sep. 2004.
- [185] Shinichiro Gomi, Kohichi Nakamura, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "High Speed and Low Power Global Interconnect IP with Differential Transmission Line and Driver-Receiver Circuits," IEEE Asia-Pacific Conference on Advanced System Integrated Circuits, pp. 384-387, Aug. 2004.
- [186] Hiroyuki Ito, Shinichiro Gomi, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "Differential Transmission Line Structure for Over 10 Gbps Signal Transmission at Global Interconnect in Si ULSI," IEEE Asia-Pacific Conference on Advanced System Integrated Circuits Designer Forum, pp. 414-415, Aug. 2004.
- [187] Yoshiaki Yoshihara, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "Reconfigurable RF Circuit Design for Multi-band Wireless Chip," IEEE Asia-Pacific Conference on Advanced System Integrated Circuits Designer Forum, pp. 418-419, Aug. 2004.
- [188] Kenichi Okada, Tomohiro Yamada, Takumi Uezono, Kazuya Masu, Akio Oki, and Yasuhiro Horiike, "Near Field Communication Chip using PIM for Bio Sensor," IEEE Asia-Pacific Conference on Advanced System Integrated Circuits Designer Forum, pp. 440-441, Aug. 2004.
- [189] Kazuhisa Itoi, Masakazu Sato, Hiroshi Abe, Hiroyuki Ito, Hirotaka Sugawara, Kenichi Okada, Kazuya Masu, and Tatsuya Ito, "On-chip High-Q Solenoid Inductors Embedded in WL-CSP," IEEE Conference on High Density Microsystem Design and Packaging and Component Failure Analysis, pp. 105-108, June 2004.
- [190] Kazuhisa Itoi, Masakazu Sato, Hiroshi Abe, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, Kazuya Masu, and Tatsuya Ito, "On-Chip High-Q Cu Inductors Embedded In Wafer-Level Chip-Scale Package for Silicon RF Application," IEEE MTT-S International Microwave Symposium, pp. 197-200, June 2004.
- [191] Kenichi Okada, Hiroaki Hoshino, and Hidetoshi Onodera, "Modeling and Optimization of On-Chip Spiral Inductors in S-parameter Domain," IEEE International Symposium on Circuits and Systems, Vol. V, pp. 153-156, May 2004.
- [192] Yoshiaki Yoshihara, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "Wide Tunable LC-VCO using Variable Inductor," IEEE Workshop on Wireless Circuits and Systems, pp. 29-30, May 2004.
- [193] Tomohiro Yamada, Kenichi Okada, Kazuya Masu, Akio Oki, and Yasuhiro Horiike, "Battery-less Wireless Communication System Using PIM for in-vivo Healthcare Chip," IEEE Workshop on Wireless Circuits and Systems, pp. 31-32, May 2004.
- [194] N. Homma, T. Wakamatsu, J. Sakiyama, T. Aoki, and T. Higuchi. "Counter Tree Diagrams for redundant adder design," Proc. of the 2004 International Technical Conference on Circuits/Systems, Computers and Communications, pp. 6C3L-2-1-6C3L-2-4, July 2004.
- [195] K. Ishida, N. Homma, T. Aoki and T. Higuchi, "Design and Verification of Parallel Multipliers Using Arithmetic Description Language! ARITH," Proceedings of the 34th IEEE International Symposium on Multiple-Valued Logic, pp. 334-339, May 2004.
- [196] N. Homma, K. Ishida, T. Aoki and T. Higuchi, "Arithmetic Description Language and Its Application to Parallel Multiplier Design," Proceedings of the 12th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp. 319-326, October 2004.
- [197] A. Mochizuki, D. Nishinohara and T. Hanyu "Low-Power Pipelined VLSI System Using a Power-Supply-Controlled CMOS Pass-Gate Network and Its Application," The 2004 International Conference on Circuits/Systems, Computers and Communications, 6CIL-5-1-6CIL-5-4, July 2004
- [198] T. Takahashi, and T. Hanyu "Multiple-Valued Multiple-Rail

- Encoding Scheme for Low-Power Asynchronous Communication,” Proceedings 34th IEEE International Symposium on Multiple-Valued Logic, pp. 20-25, May 2004
- [199] A. Mochizuki, T. Takeuchi and T. Hanyu “Intra-Chip Address-Presetting Data-Transfer Scheme Using Four-Valued Encoding,” Proceedings 34th IEEE International Symposium on Multiple-Valued Logic, pp. 192-197, May 2004
- [200] Hiromitsu Kimura, Mitsuru Ibuki and Takahiro Hanyu “TMR-Based Logic-in-Memory Circuit for Low-Power VLSI,” The 2004 International Conference on Circuits/Systems, Computers and Communications, 8C3L-3-1-8C3L-3-4, July 2004
- [201] N. Yoshikawa, T. Tomida, K. Tokuda, Q. Liu, S. Whiteley and T. Van Duzer, “High-Speed Digital Systems by Hybridization of CMOS and Single-Flux-Quantum Logic Circuits,” Extended Abstracts of the 2004 International conference on Solid State Devices and Materials, Tokyo, September 2004, pp. 142-143.
- [202] Q. Liu, T. Van Duzer, X. Meng, S. R. Whiteley, N. Yoshikawa, “Simulation and Measurements on a 64-kbit Hybrid Josephson-CMOS Memory” Abstract of 2004 Applied Superconductivity Conference (ASC2004), Jacksonville, Florida, October 2004.
- [203] N. Yoshikawa, T. Tomida, K. Tokuda, Q. Liu, X. Meng, S. R. Whiteley, T. Van Duzer, “Characterization of 4 K CMOS Devices and Circuits for Hybrid Josephson-CMOS Systems,” Abstract of 2004 Applied Superconductivity Conference (ASC2004), Jacksonville, Florida, October 2004.
- [204] A. Akimoto, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, S. Yorozu, H. Terai, “Consideration of Logic Synthesis and Clock Distribution Networks for SFQ Logic Circuits,” Abstracts on 17th International Symposium on Superconductivity (ISS2004), Niigata, November 2004.
- [205] Y. Arai, “A High-Resolution Time Digitizer Utilizing Dual PLL Circuits,” 2004 IEEE Nuclear Science Symposium and Medical Imaging Conference, Rome, Italy, Oct., 2004, Conference Record, N18-3
- [206] M. Watanabe, F. Kobayashi, “Timing Analysis of an Optically Differential Reconfigurable Gate Array for Dynamically Reconfigurable Processors,” International Conference on ENGINEERING OF RECONFIGURABLE SYSTEMS AND ALGORITHMS, p. 311, (2004).
- [207] M. Watanabe, F. Kobayashi, “Testing method for optical connections using gate array structure in ORGAs,” International Conference on ENGINEERING OF RECONFIGURABLE SYSTEMS AND ALGORITHMS, p. 299, 2004.
- [208] M. Watanabe, F. Kobayashi, “An optical reconfiguration circuit for optically reconfigurable Gate Arrays,” IEEE International Midwest Symposium on Circuits and Systems, I-529-I-532, 2004.
- [209] M. Watanabe, F. Kobayashi, “A high-density optically reconfigurable gate array using dynamic method,” International conference on Field-Programmable Logic and its Applications, pp. 261-269, 2004.
- [210] M. Watanabe, F. Kobayashi, “An Optically Differential Reconfigurable Gate Array using a 0.18 um CMOS process,” IEEE International SOC Conference, pp. 281-284, 2004.
- [211] M. Watanabe, F. Kobayashi, “A dynamic optically reconfigurable gate array using dynamic method,” International Workshop on Applied Reconfigurable Computing, pp. 50-58, 2005.
- [212] 川津秀樹, 内田純平, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, “A sub-operation parallelism optimization algorithm in HW/SW partitioning for SIMD processor cores”, SA-SIMI2004, pp483-490
- [213] 清水一範, 戸川望, 池永剛, 柳澤政生, 後藤敏, 大附辰夫, “A Reconfigurable Adaptive FEC System for Reliable Wireless Communications”, 2004 IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS'2004), pp13-16
- [214] T. Miyazaki, T. Q. Canh, H. Kawaguchi, and T. Sakurai, “Observation of one-fifth-a-clock wake-up time of power-gated circuit,” Proceedings of IEEE Custom Integrated Circuits Conference, pp. 87-90, 10, 2004
- [215] T. Someya, T. Sakurai, T. Sekitani, H. Kawaguchi, S. Iba, and Y. Kato, “A Large-Area, Flexible, and Lightweight Sheet Image Scanner,” IEEE International Electron Devices Meeting Digest of Technical Papers, #15. 1, 12, 2004
- [216] T. Terada, S. Yoshizumi, Y. Sanada, and T. Kuroda, “Transceiver Circuits for Pulse-Based Ultra-WideBand,” in Proc. IEEE International Symposium on Circuits and Systems (ISCAS'04), pp. 4349-4352, May 2004.
- [217] N. Miura, D. Mizoguchi, Y. Yusof, T. Sakurai, and T. Kuroda, “Analysis and Design of Transceiver Circuit and Inductor Layout for Inductive Inter-chip Wireless Superconnect,” Symposium on VLSI Circuits Dig. Tech. Papers, pp. 246-249, Jun. 2004.
- [218] N. Mura, D. Mizoguchi, T. Sakurai and T. Kuroda, “Cross Talk Countermeasures in Inductive Inter-Chip Wireless Superconnect,” in Proc. IEEE Custom Integrated Circuits Conference (CICC'04), pp. 99-102, Oct. 2004.
- [219] H. Hayakawa, M. Ogawa and T. Shibata, “A Right-Brain/Left-Brain Integrated Associative Processor Employing Convertible MIMD Elements,” in Ext. Abstracts of the International Conference on Solid State Devices and Materials (SSDM '04), pp. 398-399, Tokyo, Japan, Sept. 19-22, 2004.
- [220] Masayuki Umejima, Toshihiko Yamasaki, and Tadashi Shibata, “A Bump-Circuit-Based Motion Detector Using Projected-Activity Histograms,” Proceedings of The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004), pp. I-749-752, Vancouver, Canada, May 23-26 2004.
- [221] Y. Nakashita, Y. Mita, and T. Shibata, “An Analog Edge-Filtering Processor Employing Only-Nearest-Neighbor Interconnects,” in Ext. Abstracts of the International Conference on Solid State Devices and Materials (SSDM'04), pp. 356 -357, Tokyo, Japan, Sept. 19-22, 2004.
- [222] M. Ogawa, and T. Shibata, “A Delay-Encoding-Logic Array Processor For Dynamic Programming Matching,” in Proc. of

the 30th European Solid-State Circuits Conference (ESS-CIRC), pp. 311-314, Leuven, Belgium, September 21-24 2004.

- [223] Hideo Yamasaki and Tadashi Shibata, "A Real-Time VLSI Median Filter Employing Two-Dimensional Bit-Propagating Architecture," Proceedings of The 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004), pp. II-349-352, Vancouver, Canada, May 23-26 2004.
- [224] T. Nakayama, T. Yamasaki, and T. Shibata, "Quasi-Parallel Multi-Path Detection Architecture Using Floating-Gate-MOS-Based CDMA Matched Filters," in Proceedings of the 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004), pp. I-425-428, Vancouver, Canada, May, 2004.
- [225] T. Yamasaki, T. Nakayama, and T. Shibata, "A Low-Power Switched-Current CDMA Matched Filter with On-Chip V-I and I-V Converters," in Dig. Tech. Papers of Symp. VLSI Circuits pp. 214-217, Jun. 2004.
- [226] Yoshifumi Nakabora, Katsutoshi Saeki, Yoshifumi Sekine, Synchronization of Coupled Oscillators Using Pulse-Type Hardware Neuron Models with Mutual Coupling, The 2004 International Conference on Circuits/Systems, Computers and Communications, pp. 8D2L-3-1-8D2L-3-4, 2004.7.
- [227] Masashi Muragi, Katsutoshi Saeki, Yoshifumi Sekine, Propagation of Pulses in a Closed-Loop Neural Network Using Pulse-Type Hardware Neuron Models, The 2004 International Conference on Circuits/Systems, Computers and Communications, pp. 8D2L-5-1-8D2L-5-4, 2004.7.
- [228] Katsutoshi Saeki, Atsumi Takeda, Yoshifumi Sekine, Temporal Pattern Recognition Circuit Using Hardware Ring Neural Networks, 2004 IEEE International Analog VLSI Workshop, pp. 245-249, 2004.10.
- [229] Ken Sitoh, Yoshifumi Sekine, Inhibitory Cell Circuit of the Neocognitron-type Artificial Network, 2004 IEEE International Analog VLSI Workshop, pp. 121-125, 2004.10.
- [230] Tetsuya Tukada, Yoshifumi Sekine, A Basilar Membrane Model Using Simulink for Hearing-Aid Systems, 9th International Conference on Neural Information Processing, pp. 1166-1167, 2004.11.
- [231] Ishikawa, Fukai, "A Neuron MOS Variable Logic Circuit with The Simplified Circuit Structure", 19-20 proceedings p436-p437, AP-ASIC2004 (2004)
- [232] Youhua Shi, Shinji Kimura, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, "Reducing Test Data Volume for Multiscan-based Designs through Single/Sequence Mixed Encoding," 47th IEEE International Midwest Symposium on Circuits and Systems, pp. 445-448, July 2004.
- [233] Jinku Choi, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, Masao Yanagisawa, and Tatsuo Ohtsuki, "An Efficient Algorithm/Architecture Codesign for Image Encoders," 47th IEEE International Midwest Symposium on Circuits and Systems, pp. 469-472, July 2004.
- [234] Hideki Kawazu, Junpei Uchida, Yuichiro Miyaoka, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, "A sub-op-eration parallelism optimization algorithm in HW/SW partitioning for SIMD processor cores," Proc. of SASIMI2004, pp. 483-490, October 2004.
- [235] Youhua Shi, Shinji Kimura, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, "Alternative Run-Length Coding through Scan Chain Reconfiguration for Joint Minimization of Test Data Volume and Power Consumption in Scan Test," Proc. of IEEE The 13th Asian Test Symposium on Circuits and Systems, pp. 432-437, November 2004.
- [236] Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga, Masao Yanagisawa, Satoshi Goto, and Tatsuo Ohtsuki, "A Reconfigurable Adaptive FEC System for Reliable Wireless Communications," Proc. of The 2004 IEEE Asia-Pacific Conference on Circuits and Systems, pp. 13-16, December 2004.
- [237] Jumpei Uchida, Yuichiro Mkiyaoka, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, "Experimental Evaluation of High-Level Energy Optimization Based on Thread Partitioning," Proc. of The 2004 IEEE Asia-Pacific Conference on Circuits and Systems, pp. 161-164, December 2004.
- [238] Naoki Tomono, Shuitsu Kohara, Jumpei Uchida, Yuichiro Miyaoka, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, "A Processor Core Synthesis System in IP-based SoC Design," Proc. of ASP-DAC 2005, pp. 286-291, January 2005.
- [239] M. Yoshimi, Y. Osana, T. Fukushima, H. Amano, "Stochastic Simulation for Biochemical Reactions on FPGA" pp. 105-114 Proceedings of 14th International Conference, FPL2004 (2004)
- [240] Yohei Hasegawa, Shohei Abe, Katsuaki Deguchi, Masayasu Suzuki, Hideharu Amano. "Time-multiplexed Execution on the Dynamically Reconfigurable Processor -A Performance/Cost Evaluation," Proceedings of International Symposium on Field Programmable Gate Arrays (FPGA2005), pp. 265, February 2005.
- [241] Masayasu Suzuki, Yohei Hasegawa, Yutaka Yamada, Naoto Kaneko, Katsuaki Deguchi, Hideharu Amano, Kenichiro Anjo, Masato Motomura, Kazutoshi Wakabayashi, Takeo Toi, and Toru Awashima. "Stream Applications on the Dynamically Reconfigurable Processor," Proceedings of International Conference on Field Programmable Technology (FPT2004), pp. 137-144, December 2004.
- [242] Hideharu Amano, Takeshi Inuo, Hirokazu Kami, Taro Fujii, and Masayasu Suzuki. "Techniques for Virtual Hardware on a Dynamic Reconfigurable Processor -An approach to tough cases-," Proceedings of International Conference on Field Programmable Logic and Application (FPL2004), pp. 464-473, September 2004.
- [243] Noriaki Suzuki, Syunsuke Kurotaki, Masayasu Suzuki, Naoto Kaneko, Yutaka Yamada, Katsuaki Deguchi, Yohei Hasegawa, Hideharu Amano, Kenichiro Anjo, Masato Motomura, Kazutoshi Wakabayashi, Takeo Toi, and Toru Awashima. "Implementing and Evaluating Stream Applications on the Dynamically Reconfigurable Processor," Proceedings of International Conference on Field-Programmable Custom

- Computing Machines (FCCM2004), poster session, April 2004.
- [244] Masayasu Suzuki, Yohei Hasegawa, Yutaka Yamada, Katsuki Deguchi, Kenichiro Anjo, Toru Awashima, and Hideharu Amano. "Stream Application Evaluation on the DRP-1," Proceedings of International Conference on COOL Chips VII, pp. 33-47, April 2004.
- [245] Usami, Yoshioka, "A Scheme to Reduce Active Leakage Power by Detecting State Transitions," pp. I493-496, Proc. 47th IEEE International Midwest Symposium on Circuits and Systems (2004)
- [246] Y. Ichikawa, T. Sasaki, T. Hironaka, T. Kitamura and T. Kondo, "Low Energy Consumption by a Variable Stages Pipeline Technique," International Technical Conference on Circuits/Systems Computers and Communications (ITC-CSCC2004), No. 6C1L-4 (2004).
- [247] T. Hironaka, M. Maeda, T. Saito, T. Sueyoshi, K. Aoyama, T. Koide, H. J. Mattausch and K. Tanigawa, "Superscalar Processor with Multi-Bank Register File," Proc. 8th International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA'05)," pp. 1-3 (2005).
- [248] Tomohiro Yoneda, Atsushi Matsumoto, Manabu Kato, Chris Myers ! High Level Synthesis of Timed Asynchronous Circuits, Proc. of Eleventh International Symposium on Advanced Research in Asynchronous Circuits and Systems, pp. 178-189 (2005).
- [249] M. Shimizu and K. Abe, "Low Power Design of Local-Timing Generator for Locally Timed Asynchronous Circuits," Proc. COOL Chips VII, p. 76, Yokohama, Apr. 2004.
- [250] 山川俊貴, 井上高宏, 江藤慎一郎, 竹中智哉, 千代永純一, 常田明夫, "A smart RF ID tag circuit for mouse's heartbeat signal extraction," 2004 International Analog VLSI Workshop Proceedings, pp. 227-232, 2004年10月
- [251] 安成潤, 井上高宏, 淵上宏之, 常田明夫, "A CMOS Continuous-Time FPAA Analog Core Using Automatically-Tuned Linear MOS Resistors," 2004 IEEJ International Analog VLSI Workshop Proceedings, pp. 282-287, 2004年10月
- [252] 山川俊貴, 井上高宏, 日野臣教, 市原栄蔵, 高宗義成, 江藤慎一郎, 竹中智哉, 千代永純一, 常田明夫, "A circuit design of a smart RF ID tag for heartbeat signal extraction," 47th Midwest Symposium on Circuits and Systems Proceedings, pp. 307-310, 2004年7月
- [253] 安成潤, 井上高宏, 常田明夫, "A CMOS Continuous-Time FPAA Analog Core Using Automatically-Tuned MOS Resistors," 47th Midwest Symposium on Circuits and Systems Proceedings, pp. 153-156, 2004年7月
- [254] K Mima, T Sato, "Hardware Cost Reduction in Fault Detection Mechanism for Constructive Timing Violation Technique," CD-ROM, 10th International Symposium on Integrated Circuits, Devices and Systems (2004)
- [255] Kazuyuki Maruo, Masayoshi Ichikawa, Naoto Miyamoto, Leo Karnan, Takahiro Yamaguchi, Koji Kotani and Tadahiro Ohmi, "A Dynamically-Reconfigurable Image Recognition Processor," 2004 International Parallel and Distributed Processing Symposium (IPDPS 2004), pp. 151-154, New Mexico, 2004
- [256] Naoto Miyamoto, Karnan Leo, Koji Kotani and Tadahiro Ohmi, "A Dynamically Reconfigurable IP for Data-Intensive Applications," 2004 IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (AP-ASIC 2004), pp. 404-405, Fukuoka, 2004
- [257] Naoto Miyamoto, Toshiyuki Nozawa, Takeshi Ohkawa, Masanori Fujibayashi, Amir Jamak, Leo Karnan, Soichiro Kita, Koji Kotani and Tadahiro Ohmi, "The Flexible Processor-A Dynamically Reconfigurable Logic Engine," Proceedings of the 2nd Student-Organizing International Mini-Conference on Information Electronics Systems (SOIM-COE04), Sendai, 2004
- [258] Naoto Miyamoto, Koji Kotani, Kazuyuki Maruo and Tadahiro Ohmi, "An Image Recognition Processor Using Dynamically Reconfigurable ALU," 2004 IEEE Custom Integrated Circuits Conference (CICC 2004), pp. 599-602, Orlando, 2004
- [259] Md. Ashfaquzzaman Khan, Naoto Miyamoto, Takeshi Ohkawa, Amir Jamak, Soichiro Kita, Koji Kotani and Tadahiro Ohmi, "An Approach to Realize Time-Sharing of Flip-Flops in Time-Multiplexed FPGAs," 2004 IEEE International Conference on Field-Programmable Technology (FPT 2004), pp. 351-354, 2004
- [260] Tomoyasu Tate, Shigetoshi Sugawa, Koji Chiba, Koji Kotani and Tadahiro Ohmi "A High S/N Ratio Object Extraction CMOS Image Sensor with Column Parallel Signal Processing," International Conference on Solid State Devices and Materials (2004)

3. 国内学会, 研究会等

- [1] 小林伸行, 久門亨, 内田純平, 後藤敏, 池永剛, 角尾幸保, "N bit-wise モンゴメリ乗算回路を搭載した楕円曲線暗号回路の実装," 電子情報通信学会ソサイエティ大会, AS-3-2, Sep. 2004.
- [2] 小林伸行, 久門亨, 内田純平, 後藤敏, 池永剛, 角尾幸保, "楕円曲線暗号のLSI化," 第8回システムLSIワークショップ, Nov. 2004.
- [3] 増永宏一, 後藤敏, 池永剛, "固定カメラで撮影されたMPEG画像向け可変早送りのアルゴリズムおよびハードウェアの提案," 第8回システムLSIワークショップ, Nov. 2004.
- [4] 小林伸行, 久門亨, 内田純平, 後藤敏, 池永剛, 角尾幸保, "高性能GF(p)演算器を搭載した楕円曲線暗号LSI," Symposium on Cryptography and Information Security (SCIS2005), 1E3-1, Jan. 2005.
- [5] 増永宏一, 後藤敏, 池永剛, "MPEG画像向け可変速早送りアルゴリズム及びそのハードウェア化の提案," 電子情報通信学会ICD/VLD共催研究会, Mar. 2005.

- [6] 増永宏一, 後藤敏, 池永剛, “ハンディカムで撮影された MPEG 画像向け可変速早送りアルゴリズム及びそのハードウェア化の提案,” 電子情報通信学会総合大会, A-4-8, Mar. 2005.
- [7] ビンビンアロンコン, 鈴木雄二, 笠木伸英, “乱流能動制御用マイクロ電歪アクチュエータの開発”, pp. 388-389, 日本流体力学会年会 2004 (日本流体力学会誌, Vol. 23 別冊) (2004).
- [8] 汐崎充, 向井徹, 小野将寛, 佐々木守, 岩田穆, “融通性のあるロボット制御向け-2Gbps-7 多重 CDMA シリアル受信チップ” 電子情報通信学会, 信学技報, SDM2004-136, ICD2004-78, pp. 97-102, 2004 年 8 月.
- [9] 佐々木寛弥, 森江隆, 岩田穆, “しきい値制御型スパイクングフィールドバックネットワークとその LSI 実現,” 電気学会 電子・情報・システム部門大会, TC1-5, pp. 24-27, 2004 年 9 月, (宇都宮).
- [10] 向井徹, 吉田毅, 佐々木守, “アンテナを含む 1 チップ CMOS 無線通信システムのための準ミリ波帯フロントエンドの研究,” 第 8 回システム LSI ワークショップ, ポスター資料集, pp. 211-214, 2004 年 11 月 (北九州).
- [11] 升井義博, 赤木美穂, 円林晃一郎, 吉田毅, 岩田穆, “Rail to Rail 入力を可能とした 1V 電源電圧逐次比較 AD 変換器,” 第 8 回システム LSI ワークショップ, ポスター資料集, pp. 239-242, 2004 年 11 月 (北九州).
- [12] 升井義博, 赤木美穂, 円林晃一郎, 吉田毅, 佐々木守, 岩田穆, “1V 動作 Rail-to-Rail 入力逐次比較型 AD 変換器,” 電子情報通信学会, 信学技報, ICD2004-193, pp. 1-5, 2004 年 12 月 (広島).
- [13] 亀田成司, 岩田穆, “パルス変調方式に基づく列並列転送回路を利用したマルチチップ視覚システムの開発,” 電子情報通信学会, 信学技報, ICD2004-190, pp. 43-47, 2004 年 12 月 (広島).
- [14] 上木彰彦, 寺田和夫, 泓田紘平, “MOSFET のしきい値電圧ばらつき評価用試験回路,” 2004 年 電気・情報関連学会中国支部連合大会 030304, p. 58
- [15] 飯塚哲也, 池田誠, 浅田邦博, “論理制約式を用いた最小幅トランジスタ配置手法の非相補型回路への拡張,” 情報処理学会 DA シンポジウム 2004 論文集, pp. 121-126, 2004 年 7 月.
- [16] 飯塚哲也, 吉田浩章, 池田誠, 浅田邦博, “充足可能性判定を用いた CMOS 論理セルレイアウトの階層的生成手法,” 電子情報通信学会 技術研究報告, vol. 104, no. 478, pp. 1-6, 2004 年 12 月.
- [17] 名倉徹, 池田誠, 浅田邦博, “オフチップスタブを用いた LSI における電源ノイズ低減,” 2004 年電子情報通信学会ソサイエティ大会, C-12-1, pp. 71, 2004 年 9 月
- [18] 谷内出悠介, 大池祐輔, 池田誠, 浅田邦博, “光切断法を用いた実時間三次元形状システムのスマートイメージセンサによる実現と複数視点計測への応用,” 第 8 回システム LSI ワークショップ, pp. 255-258, 2004 年 11 月
- [19] 大池祐輔, 橋本紘和, 池田誠, 浅田邦博, “変調光検波による画像認識支援カラーイメージセンサ,” 映像情報メディア学会技術研究報告, vol. 28, no. 59, pp. 9-12, 2004 年 10 月.
- [20] 大池祐輔, 池田誠, 浅田邦博, “マンハッタン距離検索デジタル連想プロセッサ,” 電子情報通信学会ソサイエティ大会論文集, C-12-7, 2004 年 9 月.
- [21] 大池祐輔, 池田誠, 浅田邦博, “行並列探索回路による高速 3 次元形状計測イメージセンサ,” 電子情報通信学会技術研究報告, vol. 104, no. 174, pp. 7-10, 2004 年 7 月.
- [22] 大池祐輔, 池田誠, 浅田邦博, “1024x768 画素 高速・高精細 3 次元イメージセンサ,” 映像情報メディア学会年次大会論文集, 19-1, 2004 年 8 月.
- [23] 小室, 鏡, 石川, “ドミノ論理を用いた可変長パイプライン総和回路と機能イメージセンサへの応用,” 第 8 回システム LSI ワークショップ講演資料集およびポスター資料集, pp. 259-262 (2004)
- [24] 小室, 鏡, 石川, “画像モーメントセンサの設計,” 映像情報メディア学会 技術研究報告, Vol. 28, No. 59, (IST2004-86) pp. 5-8 (2004)
- [25] 鏡, 小室, 石川, “高速・高感度ビジョンチップのための画素内 A-D 変換を行う光検出回路の検討,” 映像情報メディア学会技術研究報告, Vol. 28, No. 59, (IST2004-86) pp. 5-8 (2004)
- [26] 石川, 小室, “ビジョンチップとその応用” (招待講演), 第 29 回光学シンポジウム予稿集 pp. 63-68 (2004)
- [27] 大川, 大野, 岸本, 前澤, 水谷, “直列接続共鳴トンネルダイオードを用いた新しい発振回路,” C-10-1, 電子情報通信学会ソサイエティ大会 (2004)
- [28] 酒向, 大野, 岸本, 前澤, 水谷, “共鳴トンネル素子と MOSFET を用いた $\Delta\Sigma$ ADC の構成,” C-10-2, 電子情報通信学会ソサイエティ大会 (2004)
- [29] 小本, 大野, 岸本, 前澤, 水谷, “共鳴トンネルカオス回路を用いた超高速パルスパターンジェネレータの提案,” C-10-3, 電子情報通信学会ソサイエティ大会 (2004)
- [30] 前澤, 酒向, 横山, 大野, 岸本, 水谷, “共鳴トンネル論理ゲート MOBILE を用いた $\Delta\Sigma$ 型 A/D コンバータの構成,” pp. 23-26, 電子情報通信学会技術研究報告 vol. 104, No. 623 (2005)
- [31] 前澤, 小本, 大川, 岸本, 水谷, “共鳴トンネル素子を用いた新しい発振器の構成,” pp. 35-40, 電子情報通信学会技術研究報告 vol. 104, No. 693 (2005)
- [32] 卜楠, 濱本泰治, 福田修, 辻敏夫, “確率ニューラルネットを利用したヒューマンインタフェースの FPGA 実装,” 第 37 回日本人間工学会中国・四国支部大会講演予稿集, pp. 60-61, 2004.
- [33] 濱本泰治, 卜楠, 柴建次, 辻敏夫, “FPGA による筋電制御型ポインティングデバイスの実現,” 第 5 回計測自動制御学会システムインテグレーション部門 講演会論文集, 2G4-4, pp. 651-652. 2004.
- [34] 中村, 浦, 金谷, 吉田, “無線 LAN 送受信アンプ用 CPW 整合回路の開発” 電子情報通信学会 2004 年総合大会講演論文集 p. 76 C-2-41.
- [35] 金谷, 中村哉, 中司, 岡本, 樽見, 辻本, 高取, 畑農, 吉田, 黒木, 安浦, “CPW 整合回路を用いた無線 LAN 用システム LSI の開発” 第 5 回 LSI・アプリケーション産

- 学連携会議 (2004)
- [36] 中村, 古賀, 賈, 金谷, 吉田, “CPW 整合回路一体型増幅器の開発” 第二回 シリコンアナログ RF 研究会 (2004)
- [37] 辻本, 金谷, 中司, 岡本, 樽見, 中村, 高取, 畑農, 土屋, 吉田, 黒木, 安浦 “IEEE 802.11b 無線 LAN 物理層 1 チップ化の試み” 第 8 回システム LSI ワークショップ (2004)
- [38] 小暮, 今井, 近藤, 中村, 南谷, “遅延変動を考慮したスタンダードセルライブラリの構築と評価,” 電子情報通信学会技術研究報告 VLD2004-63, pp. 13-18, Dec., 2004
- [39] 伊藤, 柴田, 小栗 “FPGA を用いた FG (2m) 上の Tate Pairing の実装に関する検討” pp. 235-238, 第 4 回リコンフィギャラブルシステム研究会論文集 (2004) .
- [40] 中野康樹, 柴田裕一郎, 小栗清, “pp. 173-180, 第 4 回リコンフィギャラブルシステム研究会論文集 (2004) .
- [41] 高野, 坂本, 永本, 柴田, 小栗 “ビットシリアル PCA 用シミュレータ tanoqs の開発” pp. 125-132, 第 4 回リコンフィギャラブルシステム研究会論文集 (2004) .
- [42] 永本, 坂本, 小佐々, 柴田, 小栗 “アプリケーションからの PCA 基本要素の抽出,” pp. 87-94, 第 4 回リコンフィギャラブルシステム研究会論文集, (2004) .
- [43] 中村, 柴田, 小栗 “リコンフィギャラブルレイトレイシングマシンの演算精度と回路規模に関する検討,” pp. 89-94, 第 4 回リコンフィギャラブルシステム研究会論文集 (2004) .
- [44] 松元, 植松, 棚田, “実数 ZCZ 有限長系列を用いた M-ary/DS-SS 通信モデムの試作,” 電子情報通信学会技術研究報告, WBS2004-51, pp. 35-40, 2004
- [45] 松元, 月足, 松藤, 棚田, “光 ZCZ 符号を用いた M-ary/DS-SS 方式のためのマッチトフィルタの試作,” 電子情報通信学会技術研究報告, RCS2004-309, pp. 113-118, 2005
- [46] 安達, 松元, 棚田, “実数 ZCZ 有限長系列による M-ary/DS-SS のための符号発生器の試作,” 第 6 回 IEEE 広島支部学生シンポジウム論文集, p. 347-348, 2004.
- [47] 月足, 松元, 松藤, 棚田, “M 系列型アダマール行列による光 ZCZ 符号に対する M-ary 方式用 MF の試作,” 第 6 回 IEEE 広島支部学生シンポジウム論文集, pp. 164-165, 2004.
- [48] 月足, 松元, 松藤, 棚田, “シルベスタ型アダマール行列による光 ZCZ 系列に対する M-ary 方式用マッチトフィルタの試作,” 平 16 電気・情報関連学会中国支部連合大会講演論文集, p. 126, 2004.
- [49] 小林, 平松, 佐々木, 大野, 近藤, “拡張テンプレートを複数併用する HDTV 用 4 画素精度動き検出器の構成,” pp. 23, 信学会総大会講演論文集情報システム 2 (2005)
- [50] 久津間, 谷口, 浜本, “白線検出機能を有する車載イメージセンサの設計と試作,” 映情学技報, vol. 28, no. 25, pp. 17-20 (2004)
- [51] 増田, 成澤, 浜本, “画像圧縮機能を有する高速デジタルイメージセンサの設計,” 映情学技報, vol. 28, no. 25, pp. 21-24 (2004)
- [52] 横田, 吉田, 柏山, 浜本, “高速合焦判定イメージセンサを用いた距離計測システム,” 信学技報, vol. 104, no. 174, pp. 1-6 (2004)
- [53] 谷口, 久津間, 浜本, “車載用スマートイメージセンサにおける白線および前方車両検出,” 画像の理解・認識シンポジウム MIRU2004, vol. I, pp. 386-391 (2004)
- [54] 尾木, 浜本, “AD 変換機能を有する広ダイナミックレンジ撮像イメージセンサの設計,” 映情学技報, vol. 28, no. 58, pp. 9-12 (2004)
- [55] 川原, 清水, 浜本, “スマートイメージセンサを用いた広視野動物体検出システム,” Image Media Processing Symposium (IMPS04), I-2. 13, pp. 39-40 (2004)
- [56] 尾木, 浜本, “広ダイナミックレンジ撮像のためのデジタルイメージセンサの設計,” Image Media Processing Symposium (IMPS04), I-2. 14, pp. 41-42 (2004)
- [57] 今井, 浜本, 大竹, “高レート撮像のための新しい動画像圧縮センサの設計,” Image Media Processing Symposium (IMPS04), I-4. 09, pp. 79-80 (2004)
- [58] 吉田, 浜本, 兎玉, “動視点からの位置変化と合焦情報を用いた距離推定方式,” Image Media Processing Symposium (IMPS04), I-4. 11, pp. 83-84 (2004)
- [59] M. Tomono, M. Nakanishi, S. Yamashita, and K. Watanabe, “Dynamically Reconfigurable Coprocessor for Exception Detection,” IEICE Technical Report, VLD2004-9, pp. 13-18, May 2004.
- [60] M. Tomono, M. Nakanishi, S. Yamashita, and K. Watanabe, “Event-Oriented Computing with Reconfigurable Platform and its Application,” IEICE Technical Report, RECONF 2004, pp. 103-109, September 2004.
- [61] 中井伸郎, 中西正樹, 山下茂, 渡邊勝正, “配線リソースを考慮した再構成可能 1bit プロセッサアレイ,” 情報処理学会研究報告, 2005-SLDM-118, pp. 7-12, 2005 年 1 月 .
- [62] 小松聡, 藤田昌宏, “データ符号化による VLSI における低消費電力・高信頼データ伝送手法の検討,” 電子情報通信学会技術研究報告 Vol. 104, No. 478, VLD2004-92, pp. 185-190, 2004 年 12 月 .
- [63] 佐野淳平, 北神正人: “バースト誤り位置指摘符号の構成とその復号法,” 信学技報, DE-2004-109, DC-2004-24, October 2004.
- [64] G. Zeng and H. Ito, “Sharing Test Patterns for Multiple Cores Using Scan Chain Disable” 信学技報 (機能集積情報システム) FIIS04, No. 145, 2004.
- [65] 堀田, 松浦, 淡野, 石塚, 外山, 田中, 平田, “表面筋電位信号処理 LSI のためのチョップ増幅器による低ノイズ化の検討,” pp. 12, 第 12 回信学会九州支部学生会講演論文集 (2004) .
- [66] B. A. Abderazek, M. Arsenji, K. Kiuchi, M. Akanda, S. Shigeta, T. Yoshinaga and M. Sowa, “PQPpfB! Parallel Queue Processor Architecture in Verilog-HDL,” In Information Processing Society of Japan, 66th National Meeting, March 9-11, 2004
- [67] Kazuyuki Kiuchi, Ben A. Abderazek S. Shigeta, T. Yoshinaga, Masahiro Sowa, “Efficient Issue Mechanism for Parallel Queue Processor Architecture,” IPSJ 66th Conf., March

9~11, 2004.

- [68] Musfiqzaman Md. Akanda, Ben A. Abderazek S. Shigeta, T. Yoshinaga, Masahiro Sowa, "Queue Computation Mechanism For Parallel Execution in Parallel Queue Processor," IPSJ 66th Conf., March 9~11, 2004.
- [69] 清水大雅, 中野義昭 "非相反損失に基づく TE モード半導体導波路型光アイソレータの改良試作," 第 64 会応用物理学学会学術講演会, 2004 年 9 月, 東北学院大学
- [70] 清水大雅, 中野義昭 "非相反損失に基づく TE モード半導体導波路型光アイソレータ," 第 28 回日本応用磁気学会学術講演会 沖縄コンベンションセンター, 2004.
- [71] 塩田倫也, 杉山正和, 霜垣幸浩, 中野義昭, "InGaAsP 選択成長における量子井戸発光波長の予測," 化学工学会第 70 年会, 名古屋大学, 3 月 22-24 日, 2005.
- [72] 塩田倫也, アルアミン A., 杉山正和, 霜垣幸浩, 中野義昭, "MOVPE 選択成長のモデリングと InGaAsP/InP 系選択成長の特性予測," 第 52 回応用物理学関係連合講演会, 埼玉大学, 3 月 29 日-4 月 1 日, 2005.
- [73] カムトーンキッティクル・チャイヤスイット, リ・ニン, 脇一太郎, 大谷洋, 杉山正和, 中野義昭, "GaN 系サブバンド間吸収超高速光デバイスに向けた導波路の設計," 電子情報通信学会エレクトロニクスソサイエティ大会 (徳島大学) 講演論文集, 2004 年 9 月 21 日
- [74] 櫻井謙司, Al Amin Abdullah, 櫻井貴志, 杉山正和, 中野義明, "InP 系アレイ導波路合分波器の試作と MOVPE 選択成長による能動素子集積化の検討," 電子情報通信学会技術研究報告 (フォトリソグラフィ研究会), 大阪, PN2004-99, pp. 7-10, 2005 年 1 月.
- [75] 櫻井謙司, Al Amin Abdullah, 塩田倫也, 杉山正和, 中野義昭, "選択成長による光合分波器と半導体光増幅器の集積化," 電子情報通信学会総合大会, 大阪, 2005 年 3 月. (発表予定).
- [76] 竹中充, モーレイバン, 中野義昭, "多モード干渉カプラ型双安定レーザおよび半導体光増幅器を用いた信号再生波長変換器の検討," 第 52 回応用物理学関係連合講演会, 平成 17 年 3 月.
- [77] A. Al Amin, K. Sakurai, T. Sakurai, M. Sugiyama and Y. Nakano, "Fabrication of Double-Etched Waveguides for Compact and Low-Loss InP Photonic Circuits," 65th Autumn Meeting of Japan Society of Applied Physics, Sendai, Sep. 2004.
- [78] 碧山賢一, 末吉徹也, 前田志, 小出哲士, マタウシュ ハンス ユルゲン, 弘中哲夫, "高並列プロセッサのためのマルチバンク構成レジスタファイル," 信学技報 ICD2004-185, pp. 13-18, 2004.
- [79] 樋口, 小林, 小野寺, "Self-Timed Cut-Off 法の待ち時間動的最適化によるリーク電流削減手法," pp. 197-202, vol. VLD2004-94, ICD2004-180, DC2004-80 (2004-12), no., 信学技報 (2004)
- [80] 橋本, 小野寺, "微細 LSI におけるタイミング解析—電源ノイズ・信号線ノイズ・ばらつきへの対応—," pp. 予稿なし, vol., no., 2004 年電子情報通信学会ソサイエティ大会講演論文集 (2004)
- [81] 村松, 橋本, 小野寺, "オンチップインダクタンスを考慮した LSI 電源配線網解析," pp. 277-282, vol., no., DA シンポジウム 2004 論文集 (2004)
- [82] 小谷, 高務, 湯山, 小林, 小野寺, "機能モジュール方式による FPGA ボードを用いたラビットプロトタイプング," pp. 205-208, vol., no., DA シンポジウム 2004 論文集 (2004)
- [83] 土谷, 橋本, 小野寺, "配線 RL 抽出におけるリターンパス選択手法," pp. 175-180, vol., no., DA シンポジウム 2004 論文集 (2004)
- [84] 小林, "システムレベル言語による設計," pp. 29-34, vol., no. VLD2004-6 (2004-05), 信学技報 (2004).
- [85] 樋口, 小林, 小野寺, "アクセスパターンによるレジスタファイルの高位消費電力モデル," pp. 25-30, vol., no. VLD2004-11 (2004-05), 信学技報 (2004)
- [86] 坂井, 柴田, 中, 岡田, 女川, "電荷量制御型アクティブマトリクス駆動有機 EL 回路の作製," 平成 16 年度応用物理学学会北陸・信越支部学術講演会, E-6 (2004)
- [87] 岸田, 浜辺, 玉那覇, 小島, 山田, 柴田, "バタフライ演算器を搭載したプロセッサによる IDCT 処理の高速化," 情報処理学会第 67 回全国大会
- [88] 穴井, 浜辺, 小島, 柴田, "AES 用演算器を搭載したプロセッサによる AES の高速化," 情報処理学会第 67 回全国大会
- [89] 奈良迫, 中尾, 泉, "指向性を考慮した蟻の行動様式のモデル化," A-2-4, 2004 年電子情報通信学会ソサイエティ大会 (2004)
- [90] 越智直紀, 中原健太郎, 森江太士, 神山真一, 泉知論, 越智裕之, 中村行宏, "動的再構成可能デバイスの耐故障化に関する研究," pp. 23-28, 電子情報通信学会技術研究報告 No. VLD2004-101, CPSY2004-67 (2005).
- [91] 越智直紀, 中原健太郎, 神山真一, 泉知論, 越智裕之, 中村行宏, "動的再構成可能デバイスの耐故障化に関する基礎検討," pp. 13-20, 第 25 回バルテノン研究会資料集 (2004).
- [92] 湯浅隆史, 神山真一, 泉知論, 尾上孝雄, 中村行宏, "LUT アレイ型論理デバイスにおける回路規模削減のための変数順序ならびに項表現の同時決定手法," pp. 241-246, 第 17 回回路とシステム軽井沢ワークショップ (2004).
- [93] Sinichi Koyama, Takafumi Yuasa, Tomonori Izumi, Hiroyuki Ochi, Yukihiro Nakamura, "MDD-Based Approaches to Generate Sum-of-Generalized-Complex-Terms Expression for LUT-Array-Based PLDs," pp. 21-28, 第 25 回バルテノン研究会資料集 (2004).
- [94] 松岡, 清水, 車, 金, 春岡, 谷口, "RF CMOS 技術の現状と今後の技術課題," 電子情報通信学会 ICD 研究会, 2004 年 7 月.
- [95] 春岡, 洞木, 松岡, 谷口, "2 周波対応 GPS 受信機フロントエンドチップの研究," 電子情報通信学会 ICD 研究会, 2004 年 7 月.
- [96] 車, 廣瀬, 春岡, 松岡, 谷口, "バイアス・オフセットを用いた CMOS Linear-in-dB 可変利得増幅回路の設計," 電

- 子情報通信学会 ICD 研究会, 2004 年 7 月 .
- [97] 宮本, 清水, 井田, 松岡, 谷口, “PTAT 参照電圧生成回路を用いた, 弱反転動作 CMOS デジタル回路の低消費電力化に関する研究,” 電子情報通信学会 ICD 研究会, 2005 年 3 月 .
- [98] 下ノ村, 八木, “一次視覚野細胞の方位選択性を模倣するマルチチップシステム,” pp. 23-28, ICD2004-41, 電子情報通信学会技術研究報告 (2004)
- [99] 下ノ村, 八木, “V1 の機能を模倣した集積回路システムによる視覚エミュレーション実験,” p. 21.2004 視覚科学フォーラム第 8 回研究会 (2004)
- [100] 下ノ村, 谷口, 八木, “一次視覚野単純型細胞の方位選択性を模倣する VLSI システム,” OJ1-10, 第 27 回日本神経科学大会・第 47 回日本神経化学学会大会合同大会 (Neuro2004),
- [101] 下ノ村, 八木, “一次視覚野単純型細胞をモデルにしたマルチチップアナログ VLSI,” pp. 62-63, 2004 日本神経回路学会第 13 回全国大会 (2004)
- [102] 奥村宣孝, 上田和宏, “ダイレクトコンバージョン受信機用ミキサの線形化”, pp96, 2005 年電子情報通信学会総合大会
- [103] 尾形秀範, 北川章夫, “アセンブリレベル合成法”, 信学技報, CAS2004-78, pp35-40, 2005 年
- [104] 高田雅史, 中山和也, 泉貴富, 新村達, 北川章夫, “相変化メモリを利用した不揮発性 SRAM”, 信学技報, CAS2004-78, pp47-52, 2005 年
- [105] 高田雅史, 中山和也, 泉貴富, 新村達, 北川章夫, “相変化不揮発性メモリの多値記録方式と回路構成”, 信学技報, CAS2004-78, pp41-46, 2005 年
- [106] 高田雅史, 中山和也, 泉貴富, 新村達, 北川章夫, “相変化メモリを利用した不揮発性 SRAM”, 信学技報, SDM2005, 2005 年
- [107] 田中秀和, 井上弘士, モシニヤガ・ワシリー, 村上和彰, “タグ比較再利用による低消費電力命令キャッシュの設計と評価,” 第 17 回 回路とシステム軽井沢ワークショップ, pp. 229-234, Apr. 2004.
- [108] 榎本忠儀, “サブ 100-nm デジタル LSI の低消費電力技術,” 信学技報, ICD2004-16, pp. 15-20, 2004 年 5 月 20 日 .
- [109] 小林, 渡邊, 榎本, “適応的に処理回数を最小化する高速動きベクトル検出 (ME) アルゴリズムとこれを適用した低消費電力 CMOS ME 回路の開発,” 信学技報, ICD2004-69, pp. 43- 48, 2004 年 8 月 19 日 .
- [110] 長谷川, 榎本, “マルチステップ中断法動きベクトル検出アルゴリズムとこれを適用した低消費電力 CMOS 差分絶対値和回路の開発,” 信学技報, ICD2004-116, pp. 49-54, 2004 年 10 月 21 日 .
- [111] 樋口, 榎本, “CMOS スイッチ 2 個でリーク電流削減とデータ保持を両立,” 第 8 回システム LSI ワークショップ, 予稿集, pp. 231-234, 2004 年 11 月 30 日 .
- [112] 永山, 榎本, “180-nm CMOS クロックドライバの低電力化と高速化,” ICD2004-224, pp. 23-28, 2005 年 3 月 10 日 .
- [113] 樋口, 榎本, “電圧レベル変換 (SVL) 回路を適用した低リーク 90-nm CMOS SRAM,” ICD2004-225, pp. 29-34, 2005 年 3 月 10 日 .
- [114] 磯崎, 榎本, “90-nm CMOS 16:1 マルチプレクサ (MUX) の高速化と低電力化,” ICD2004-226, pp. 35-40, 2005 年 3 月 10 日 .
- [115] 樋口, 榎本, “SVL 回路を適用した低リーク電流 180-nm CMOS SRAM の設計,” 信学総合大会講演論文集, エレクトロニクス 2, C-12-7, p. 70, 2005 年 3 月 21 日 .
- [116] 永山, 榎本, “90-nm CMOS クロックドライバの低電力化と高速化,” 信学総合大会講演論文集, エレクトロニクス, C-12-8, p. 71, 2005 年 3 月 21 日 .
- [117] 萩原, 榎本, “8-bit 90-nm CMOS 桁上げ先見加算回路の低リーク電流化と高速化,” 信学総合大会講演論文集, エレクトロニクス, C-12-9, p. 72, 2005 年 3 月 21 日 .
- [118] 梅沢, 榎本, “SVL 回路を適用した低リーク電流 8 ビット 90-nm CMOS 桁上げ伝播加算回路の設計,” 信学総合大会講演論文集, エレクトロニクス, C-12-10, p. 73, 2005 年 3 月 21 日 .
- [119] 磯崎, 榎本, “0.13-um CMOS, 10-Gbps, 16:1 低電力マルチプレクサ (MUX),” ICD2004-195, pp. 13-18, 2004 年 12 月 17 日 .
- [120] 貞方 毅 and 松永 裕介, “複合演算を考慮した動作合成手法,” DA シンポジウム 2004, pp. 301-306, Jul. 2004.
- [121] 貞方 毅 and 松永 裕介, “チェイニングを考慮した動作合成手法,” ETNET2005, March 2005.
- [122] 木村, 杵淵, 加畑, 胡桃坂, 鷲津, “相同組み換えタンパク質 RecA により引き起こされる拡散運動,” 第 42 回生物物理学会年会講演予稿集 (2004)
- [123] 軍司, 中西, 鷲津 “単相交流電圧を用いた液滴の静電操作,” pp. 41-46, 静電気学会講演論文集 '04 (2004)
- [124] 軍司, 中西, 鷲津, “微小電極を用いた沿面放電によるポリマー流路の部分的親水化,” p192, 第 10 回化学とマイクロ・ナノシステム研究会講演要旨集 (2004)
- [125] 木村, 杵淵, 加畑, 胡桃坂, 鷲津, “相同組換えタンパク質を利用した光学顕微鏡下での特定塩基配列解析技術の開発,” pp. 59-65, 静電気学会講演論文集 '04 (2004)
- [126] 赤岡亮, 三國勝志, 中村吉樹, 深瀬政秋, “マルチメディアモバイルプロセッサの最適設計に関する研究” 情報処理学会東北支部研究会 (2004)
- [127] 大場, 松田, 岩田, 田村, 廣川, 織田, “電源制御 LSI 用補正回路の設計,” pp. D-20, 電気関係学会北陸支部連合大会 (2004)
- [128] 堀井, 松田, 岩田, 小幡, “小型センサ用 CMOS D/A コンバータの開発,” pp. D-21, 電気関係学会北陸支部連合大会 (2004)
- [129] 松田, 南, 金森, 岩田, 大曾根, 山本, 伊原, 中島, “高精度 CMOS 定電圧回路の開発,” pp. SDM2004-142, 電子情報通信学会 シリコン材料・デバイス研究会 (2004)
- [130] 宮前亨, 井上浩, “リング発振器を応用した新しい電圧制御発振器の設計とその評価,” 信学技報 EMD2004-6, May 2004
- [131] 宮前亨, 井上浩, “リング発振器型 VCO の開発とその応用,” 東北地区若手研究者研究発表会, Mar. 2005.

- [132] 井上浩, 宮前亨, “新しいリング発振器型 VCO の設計とその応用,” 電子情報通信学会 2005 年総合大会, C-12-38, Mar. 2005.
- [133] 村地勇一郎, 浜野康司, 宮越純一, 深山正幸, 吉本雅彦, “携帯機器応用低消費電力 MPEG2 MP@HL 動き検出プロセッサの開発,” 信学技報, Vol. 104, No. 67, pp. 7-12, May. 2004
- [134] 村地勇一郎, 浜野康司, 宮越純一, 深山正幸, 吉本雅彦, “携帯機器応用 80mW・MPEG2 MP@HL 動き検出プロセッサコア IP の開発,” STARC シンポジウム, 横浜 (2004.9)
- [135] 川上健太郎, 金森美和子, 森田泰弘, 竹村 淳, 深山正幸, 吉本雅彦, “リーク電力を考慮した周波数-電圧協制御型プロセッサの消費電力最小化スケジューリング,” 電子情報通信学会集積回路研究会, 山形 (2004.10), 研究会予稿集 (2004)
- [136] 村地勇一郎, 浜野康司, 宮越純一, 深山正幸, 吉本雅彦, “携帯機器応用低消費電力 MPEG2 MP@HL 動き検出プロセッサの開発,” 第 8 回システム LSI ワークショップ, 北九州 (2004.11), 講演資料集, 及び, ポスタ資料集 (2004)
- [137] 黒田雄樹, 江井友美, 小野みどり, 峯岸孝行, 深山正幸, 吉本雅彦, “HDTV 解像度対応 H. 264/MPEG-2/MPEG-4 リコンフィギュラブル可変長符号プロセッサ,” 第 8 回システム LSI ワークショップ, 北九州 (2004.11), 講演資料集, 及び, ポスタ資料集 (2004)
- [138] 三上真司, 松野哲郎, 深山正幸, 吉本雅彦, “ワイヤレス近距離データ通信システム LSI の設計,” 第 8 回システム LSI ワークショップ, 北九州 (2004.11), 講演資料集, 及び, ポスタ資料集 (2004)
- [139] 松野哲郎, 村地勇一郎, 浜野康司, 宮越純一, 深山正幸, 吉本雅彦, “携帯機器応用 95mW MPEG2 MP@HL 動き検出プロセッサコア IP (1) —アルゴリズム, アーキテクチャ, VLSI 実装—,” 電子情報通信学会全国大会予稿集 (2005.3)
- [140] 村地勇一郎, 浜野康司, 松野哲郎, 宮越純一, 深山正幸, 吉本雅彦, “携帯機器応用 95mW MPEG2 MP@HL 動き検出プロセッサコア IP (2) —低消費電力全探索向けシステムトリックアレイアーキテクチャー—,” 電子情報通信学会全国大会予稿集 (2005.3)
- [141] 高松誠一, 星野一憲, 松本潔, 宮坂力, 下山勲, “感光性たんぱく質を用いた光センサの試作とその特性,” 日本ロボット学会学術講演会 2004, 2004.
- [142] 岩瀬英治, 下山勲, “磁気異方性組み立てを用いた 3 次元微小構造の応用,” 第 21 回 “センサ・マイクロマシンと応用システム” シンポジウム, pp. 31-34, 2004.
- [143] 竹井裕介, 星野一憲, 松本潔, 下山勲, “カーボン・ナノチューブの形成開始位置の制御,” 第 21 回 “センサ・マイクロマシンと応用システム” シンポジウム, pp. 151-154, 2004.
- [144] 高畑智之, 星野一憲, 松本潔, 下山勲, “SPR センサのための表面弾性波音響光学偏向素子,” 第 21 回 “センサ・マイクロマシンと応用システム” シンポジウム, pp. 275-278, 2004.
- [145] 尾上弘晃, ゲルムラト, 星野一憲, 松本潔, 下山勲, “ピエゾ抵抗カンチレバーを用いた微小液中平面間の結合力計測システム,” 第 21 回 “センサ・マイクロマシンと応用システム” シンポジウム, pp. 357-360, 2004.
- [146] 中井亮仁, 星野一憲, 松本潔, 下山勲, “マイクロミラーの振動を用いた高解像度多眼立体視ディスプレイ,” 第 21 回 “センサ・マイクロマシンと応用システム” シンポジウム, pp. 27-30, 2004.
- [147] 菅哲朗, 加沢知毅, 松本潔, 下山勲, “ナノ開口アレイ基板を用いた神経細胞微小領域蛍光計測,” 第 21 回 “センサ・マイクロマシンと応用システム” シンポジウム, pp. 113-116, 2004.
- [148] 土肥徹次, 松本潔, 下山勲, “マイクロファブリケーター干渉計を用いた血液吸光スペクトルの計測,” 第 21 回 “センサ・マイクロマシンと応用システム” シンポジウム, pp. 319-322, 2004.
- [149] 高原広季, 戸出英樹, 正城敏博, 村上孝三, “フロー単位 QoS 制御機構の設計・試作および実験的評価,” 電子情報通信学会 ネットワークシステム研究会, NS2004 Mar. 2005
- [150] (1) 川越, 岡林, 大橋, 河津, “高速 Plus Scanning C-V 法による担体発生量評価法,” 2004 年電気関係学会四国支部連合大会, 11-33, p158, 徳島大学, (2004)
- [151] (2) Posri, Tachibana, “Phase Locked Loop Design in Transmitting and Receiving Part of Optical Wireless Access,” 2004 年電気関係学会四国支部連合大会, 17-16, p324, 徳島大学, (2004)
- [152] 田中義則, 森本薫夫, 永田真, 瀧和男, “高速論理回路方式 ASDDL/ASD-CMOS の論理合成手法,” 電子情報通信学会技術報告 ICD2003-235, 37-42, 2004.
- [153] 大野修治, 福水洋平, 永田真, 瀧和男, “TD-CDMA による輻輳制御を用いた RFID システム向けトランスポンダの IC 設計と評価,” 電子情報通信学会技術報告 ICD2004-138, 19-24, 2004.
- [154] 森本薫夫, 永田真, 瀧和男, “非対称な信号遷移を用いた高速論理回路方式,” 電子情報通信学会技術報告 ICD2004-139, 25-30, 2004.
- [155] 永田真, 植村俊文, “デジタル LSI における電源/グラウンド雑音の評価とモデリング,” 予稿無し, 電子情報通信学会ソサエティ大会 2004.
- [156] 永田真, “アナログ LSI チップ開発ノウハウ,” 予稿無し, 若手研究者のためのイメージセンサ LSI 設計フォーラム 2004.
- [157] 深澤光弥, 野口宏一郎, 永田真, 瀧和男, “デジタル LSI の埋め込み型電源雑音検出手法,” 第 8 回システム LSI ワークショップ予稿集, pp. 219-222 2004.
- [158] 永田真, “デジタル LSI における電源/グラウンド雑音の評価とモデリング,” エレクトロニクス実装学術講演大会, pp. 159-160, 2005. 17C-07
- [159] 永田真, “SoC におけるデジタルノイズ,” 電子情報通信学会総合大会, pp. SS27-SS28, 2005.
- [160] K. Tarumi, A. Hyodo, M. Muromiya, and H. Yasuura, “A Design Method for a Low Power Digital FIR Filter in Digital

- Wireless communication systems,” The 17th Workshop on Circuits and Systems in Karuizawa, pp. 223-228, Apr. 2004.
- [161] K. Tarumi, M. Muroyama, and H. Yasuura, “A Power Reduction Technique for an Equalization Circuit Using Adaptive Bitwidth Control,” IEICE Technical Report, CAS2004-16, VLD2004-27, SIP2004-30, pp. 37-41, Jun. 2004.
- [162] 樽見幸祐, ライクウォクピン, 徳永将之, and 安浦寛人, “OFDM 変復調における FFT の低消費電力化技術,” 電子情報通信学会技術研究報告 VLD2004-95, ICD2004-181, DC2004-81, pp. 203-208, Dec. 2004.
- [163] 森江隆, 梅澤淳, 岩田穆, “AD 融合回路方式による画素並列型ガボールフィルタ LSI,” 電子情報通信学会 信学技報, SDM2004-126/ICD2004-68 (2004).
- [164] 森江隆, 梅澤淳, 岩田穆, “リアルタイム画像認識のための AD 融合方式画素並列型ガボールフィルタ LSI,” 第 8 回システム LSI ワークショップ, pp. 263-266 (2004).
- [165] Atsushi Ichihara, Akira Yasuda, “A compensation Circuit using State Variable Feedback,” pp29-33, ECT-05-6, The Papers of Technical Meeting on Electronic Circuits, IEE Japan (2005)
- [166] 池内隆志, 藤内亜紀子, 吉田明洋, 香川景一郎, 太田淳, 布下正宏, “差動化による WDM 光無線 LAN 用ビジョンチップにおける撮像・通信モード間クロストーク低減に関する検討,” 映情学技報, vol. 28, no. 59, pp. 37-40, 2004.
- [167] 寺田, 加藤, 荒井, “CMOS 型スイッチトカレントメモリセルに基づく低消費電力サンプルホールド回路,” C-12-19, 電子情報通信学会 2005 総合大会 (2005).
- [168] 藤岡伸秀, 芦原聡, 志村努, 黒田和男, “周期分極反転 LiNbO₃ の非平行配置を用いたフェムト秒第 2 高調波発生 (II),” 第 51 回応用物理学関係連合講演会講演予稿集, p. 1302 (2004).
- [169] 藤岡伸秀, 芦原聡, 小野英信, 志村努, 黒田和男, “2 次元擬似位相整合素子を用いたフェムト秒第 2・第 3 高調波発生 (II),” 第 52 回応用物理学関係連合講演会予稿集 (2005).
- [170] 芦原聡, 藤岡伸秀, 志村努, 黒田和男, “擬似位相整合素子を用いた時間ソリトン生成,” 第 51 回応用物理学関係連合講演会講演予稿集, p. 1223 (2004).
- [171] 藤岡伸秀, 芦原聡, 志村努, 黒田和男, “2 次元擬似位相整合素子を用いたフェムト秒第 2・第 3 高調波発生,” 第 65 回応用物理学学会学術講演会予稿集, p. 1060 (2004).
- [172] 出口淳 渡部泰一郎 本波啓太 杉村武昭 富田浩史 沈正七 栗野浩之 玉井信 小柳光正, “まぶたの動きを利用した低電力人工眼システムの検討” 第 65 回応用物理学学会関係連合講演会予稿集 3, 4a-ZT-4, 1146, (2004)
- [173] 坂口武史, 呉赫宰, 杉村武昭, 尹成寛, 朴文基, 沈正七, 栗野浩之, 小柳光正, “バックゲートを有する完全空乏型 SOI CMOSFET の評価” 第 65 回応用物理学学会学術講演会予稿集, 3p-L-7, (2004)
- [174] 小野宏・出口淳・杉村武昭・栗野浩之・小柳光正, “イメージセンサのための非線形 A/D 変換器の検討” 2004 年度 IEICE ソサイエティ大会一般講演予稿集 (エレクトロニクス ソサイエティ) C-12-29 (2004)
- [175] 石原聡之, 辻田哲平, 出口淳, 杉村武昭, 近野敦, 栗野浩之, 内山勝, 小柳光正, “高速ビジョンチップを用いたビジュアルサーボ基礎実験,” 計測自動制御学会東北支部 40 周年記念学術講演会, C08 (2004)
- [176] 杉村武昭, 出口淳, 小西雄太, 中谷好博, 福島誉史, 近野敦, 栗野浩之, 内山勝, 小柳光正, “並列リコンフィギュラブル画像処理プロセッサを用いたロボットビジョンシステム” pp49-54, 信学技報 Vol. 104 No. 521, ICD 研究会 (2004)
- [177] 渡部泰一郎, 本波啓太, 坂本一寛, 出口淳, 福島誉史, 沈正七, 虫明元, 栗野浩之, 小柳光正 “活動電位の同時多点計測のための集積化神経インプラントの開発,” 第 65 回応用物理学学会関係連合講演会予稿集 3, 4a-ZT-5, 1146 (2004)
- [178] 本波啓太, 渡部泰一郎, 出口淳, 沈正七, 福島誉史, 富田浩史, 栗野浩之, 玉井信, 小柳光正 “錐状電極を有する人工眼システムに関する研究,” 第 65 回応用物理学学会関係連合講演会予稿集 3, 4a-ZT-6, 1146 (2004)
- [179] 伊藤浩之, 岡田健一, 益一哉, “Si ULSI 内の高速信号伝送に適した差動伝送線路構造に関する検討”, 情報処理学会 DA シンポジウム論文集 (於 浜松), Vol. 2004, No. 8, pp. 271-276, Jul. 2004.
- [180] 井上淳平, 中島英斉, 岡田健一, 益一哉, “配線長分布によるセル配置効率の最適化手法,” 情報処理学会 DA シンポジウム論文集 (於 浜松), Vol. 2004, No. 8, pp. 127-132, Jul. 2004.
- [181] 京極貴規, 井上淳平, 上蘭巧, 岡田健一, 益一哉 “配置効率を考慮した SoC の配線長分布,” 2005 年春季 第 52 回応用物理学学会 関係連合講演会 (於 埼玉大学), 31a-ZE-1, March 2005.
- [182] 岡田健一, 小野寺秀俊, 益一哉 “アナログ・RF 用微細デバイス技術,” 電子情報通信学会 総合大会 (於 大阪大学), AT-2 (チュートリアル講演), March 2005.
- [183] 京極貴規, 井上淳平, 上蘭巧, 岡田健一, 益一哉 “配置効率を考慮した SoC のマクロ面積配分手法,” 電子情報通信学会 総合大会 (於 大阪大学), A-3-9, March 2005.
- [184] 上蘭巧, 井上淳平, 京極貴規, 岡田健一, 益一哉 “オンチップ伝送線路を用いた将来における LSI の遅延時間予測手法,” 電子情報通信学会 総合大会 (於 大阪大学), A-3-10, March 2005.
- [185] 杉田英之, 伊藤浩之, 五味振一郎, 岡田健一, 益一哉 “Si ULSI 内における擬差動伝送線路の実測による評価,” 電子情報通信学会 総合大会 (於 大阪大学), A-3-11, March 2005.
- [186] 伊藤浩之, 岡田健一, 伊藤達也, 佐藤正和, 益一哉 “ウエハレベル CSP 技術を用いた方向性結合器,” 電子情報通信学会 総合大会 (於 大阪大学), C-2-61, March 2005.
- [187] 菅原弘雄, 吉原義昭, 岡田健一, 益一哉 “リコンフィギュラブル RF 回路に向けた広帯域 LNA,” 電子情報通信学会 総合大会 (於 大阪大学), C-12-30, March 2005.
- [188] 伊藤浩之, 井上淳平, 五味振一郎, 杉田英之, 岡田健一, 益一哉, “オンチップ GHz 伝送線路配線,” 電子情報通信

学会 シリコン材料デバイス研究会 (於 機械振興会館),
Vol. 104, No. 645, pp. 1-6, Jan. 2005.

- [189] 伊藤浩之, 井上淳平, 五味振一郎, 杉田英之, 岡田健一, 益一哉, “オンチップ GHz 伝送線路配線,” 応用物理学会 シリコンテクノロジー分科会 (於 機械振興会館), No. 69, pp. 2-6, Jan. 2005.
- [190] 吉原義昭, 菅原弘雄, 岡田健一, 益一哉 “GHz 帯マルチバンド無線回路向け VCO 及び分周器についての検討” 電子情報通信学会シリコンアナログ RF 研究会 (於 東京大学), Vol. RF2004-3, p. 6, Jan. 2005.
- [191] 伊藤浩之, 五味振一郎, 杉田英之, 岡田健一, 益一哉 “高速信号伝送に適したオンチップ差動伝送線路構造,” STARC シンポジウム (於 新横浜), Sept. 2004.
- [192] 五味振一郎, 伊藤浩之, 杉田英之, 岡田健一, 益一哉 “オンチップ差動伝送線路を用いた高速信号伝送回路,” STARC シンポジウム (於 新横浜), Sept. 2004.
- [193] 井上淳平, 伊藤浩之, 五味振一郎, 京極貴規, 上蘭巧, 岡田健一, 益一哉 “配線長分布を用いたオンチップ伝送線路の性能評価,” STARC シンポジウム (於 新横浜), Sept. 2004.
- [194] 京極貴規, 井上淳平, 中島英斉, 岡田健一, 益一哉 “回路規模と配線層数を考慮した回路とプロセスの協調設計手法,” 電子情報通信学会 ソサイエティ大会 (於 徳島大学), A-3-1, Sept. 2004.
- [195] 井上淳平, 伊藤浩之, 京極貴規, 上蘭巧, 岡田健一, 益一哉 “配線長分布を用いたオンチップ伝送線路の性能評価,” 電子情報通信学会 ソサイエティ大会 (於 徳島大学), A-3-2, Sept. 2004.
- [196] 杉田英之, 伊藤浩之, 五味振一郎, 岡田健一, 益一哉 “Si ULSI における擬差動伝送線路構造,” 電子情報通信学会 ソサイエティ大会 (於 徳島大学), A-3-3, Sept. 2004.
- [197] 伊藤浩之, 五味振一郎, 杉田英之, 岡田健一, 益一哉 “Si LSI における縀り合わせ差動伝送線路を用いた EMI 低減手法,” 電子情報通信学会 ソサイエティ大会 (於 徳島大学), A-3-4, Sept. 2004.
- [198] 山田智浩, 上蘭巧, 岡田健一, 沖明男, 益一哉, 堀池靖浩 “服用型バッテリーレス無線送受信システムの設計,” 電子情報通信学会 ソサイエティ大会 (於 徳島大学), C-12-20, Sept. 2004.
- [199] 吉原義昭, 菅原弘雄, 伊藤浩之, 岡田健一, 益一哉 “GHz 帯広帯域 PLL 向け発振器及び分周器についての検討,” 電子情報通信学会 ソサイエティ大会 (於 徳島大学), C-12-23, Sept. 2004.
- [200] 菅原弘雄, 吉原義昭, 岡田健一, 益一哉 “オンチップ可変インダクタを用いた広帯域マッチングネットワーク,” 電子情報通信学会 ソサイエティ大会 (於 徳島大学), C-12-24, Sept. 2004.
- [201] 五味振一郎, 中村恒一, 伊藤浩之, 杉田英之, 岡田健一, 益一哉 “オンチップマイクロネットワーク通信の実現に向けた高速信号伝送線路配線駆動回路の設計,” 電子情報通信学会 ソサイエティ大会 (於 徳島大学), C-12-25, Sept. 2004.
- [202] 菅原弘雄, 岡田健一, 益一哉 “省面積 Si オンチップス
- ネーク型インダクタ,” 2004 年秋季 第 65 回 応用物理学会 学術講演会 (於 東北学院大学), 3a-L-4, Sept. 2004.
- [203] 伊藤浩之, 五味振一郎, 杉田英之, 岡田健一, 益一哉 “Si CMOS チップにおける EMI 低減のための縀り合わせ差動伝送線路構造,” 2004 年秋季 第 65 回 応用物理学会 学術講演会 (於 東北学院大学), 3a-L-8, Sept. 2004.
- [204] 杉田英之, 伊藤浩之, 五味振一郎, 岡田健一, 益一哉 “Si ULSI 内における擬差動伝送線路構造の検討,” 2004 年秋季 第 65 回 応用物理学会 学術講演会 (於 東北学院大学), 3a-L-9, Sept. 2004.
- [205] 京極貴規, 井上淳平, 中島英斉, 岡田健一, 益一哉 “配線長分布を用いた LSI の配線層数と回路面積の最適化,” 2004 年秋季 第 65 回 応用物理学会 学術講演会 (於 東北学院大学), 3p-M-22, Sept. 2004.
- [206] 岡田健一, 吉原義昭, 菅原弘雄, 益一哉, “リコンフィギュラブル RF 回路設計技術” (招待講演), VDEC デザイナーフォーラム (於 博多), Aug. 2004.
- [207] 菅原弘雄, 岡田健一, 益一哉 “広帯域 RF 回路の設計アプローチ—広帯域マッチングネットワーク—,” 電子情報通信学会シリコンアナログ RF 研究会 (於 広島大学), Vol. RF2004-2, p. 1, Aug. 2004.
- [208] 伊藤達也, 佐藤正和, 糸井和久, 阿部博史, 菅原弘雄, 伊藤浩之, 岡田健一, 益一哉 “高周波インダクタ内蔵ウェハレベルパッケージ,” エレクトロニクス実装学会 超高速高周波エレクトロニクス実装研究会, Vol. 4, No. 1, pp. 7-8, May 2004.
- [209] 岡田健一, 吉原義昭, 菅原弘雄, 伊藤浩之, 益一哉 “リコンフィギュラブル RF 回路設計技術に関する研究,” 電子情報通信学会シリコンアナログ RF 研究会 (於 東京工業大学), Vol. RF2004-1, p. 1, April 2004.
- [210] 伊藤浩之, 岡田健一, 益一哉 “Si CMOS チップ上に作成した差動伝送線路のアイパターン測定,” 電子情報通信学会シリコンアナログ RF 研究会 (於 東京工業大学), Vol. RF2004-1, p. 1, April 2004.
- [211] 藤本, 四柳, 橋爪, 為貞, “レイアウト情報を用いた故障候補エリアの抽出,” pp. 79-84, 電子情報通信学会技術研究報告, vol. 103, no. 482, (2004)
- [212] 若松泰平, 本間尚文, 崎山淳, 青木孝文, 樋口龍雄, “冗長加算器の最適設計に関する実験的検討,” 多値論理研究ノート第 27 巻, pp. 14-1-14-8, September 2004.
- [213] 渡邊, 石田, 本間, 青木, 樋口, “算術アルゴリズム記述言語 ARITH に基づく並列乗算器の設計と評価,” pp261, 平成 16 年度電気関係学会東北支部連合大会.
- [214] 石田一哉, 本間尚文, 青木孝文, 樋口龍雄, “算術アルゴリズム記述言語を用いた乗算器モジュールジェネレータの構築,” デザインガイア 2004 ~ VLSI 設計の新しい大地を考える研究会~, 478, pp. 169-174, December 2004.
- [215] 宮原, 松澤, “パイプライン型 ADC の研究-容量と OP アンプの基本要件の検討” 電子情報通信学会, 集積回路研究会 (2004, 7)
- [216] 宮原, 松澤, “90nm CMOS による低電圧・超高速 OP アンプの検討,” 電子情報通信学会, シリコンアナログ RF 研究会 (2005, 1)

- [217] 馬上, 松澤, “超高速 SCF 型 $\Sigma \Delta$ ADC の検討,” 電子情報通信学会, シリコンアナログ RF 研究会 (2005, 1)
- [218] 高橋知宏, 羽生貴弘, “電流信号多重化に基づく非同期データ転送 LSI の実現,” 多値論理研究ノート, Vol. 27, No. 12, pp. 12-1 ~ 12-8, September 2004.
- [219] 鬼沢直哉, 高橋知宏, 羽生貴弘, “多値電流モード Null Convention ロジックに基づくコンパクト非同期算術演算回路の構成,” 多値論理とその応用研究会技術研究報告, Vol. MVL-05, No. 1, pp. 61-66, January 2005.
- [220] 庄子耕平, 伊吹満, 羽生貴弘, “TMR ロジックに基づくビット並列大小比較 CAM の構成,” 多値論理とその応用研究会技術研究報告, Vol. MVL-05, No. 1, pp. 67-72, January 2005.
- [221] 鈴木大輔, 羽生貴弘, “強誘電体ロジックに基づくセルオートマトン VLSI とその応用,” 多値論理とその応用研究会技術研究報告, Vol. MVL-05, No. 1, pp. 73-89, January 2005.
- [222] 望月明, 白濱弘勝, 羽生貴弘, “多値差動ロジックに基づく高性能部分積生成器の構成,” 電子情報通信学会 総合大会, C-12-11, March 2005.
- [223] 鬼沢直哉, 羽生貴弘, “多値非同期データ転送技術に基づくチップ内高速相互結合網の構成,” 電気関係学会東北支部連合大会, pp. 182, August 2004.
- [224] 北村健, 羽生貴弘, “多値ダイナミック差動論理に基づく高速低電力 ALU の構成,” 電気関係学会東北支部連合大会, pp. 181, August 2004.
- [225] 松永翔雲, 羽生貴弘, “相補形強誘電体ロジックに基づくパイプライン算術演算回路の構成,” 電気関係学会東北支部連合大会, pp. 183, August 2004.
- [226] 庄子耕平, 伊吹満, 羽生貴弘, “TMR ロジックに基づくビット並列大小比較 CAM の構成,” 電気関係学会東北支部連合大会, pp. 184, August 2004.
- [227] 鈴木大輔, 羽生貴弘, “不揮発性ロジックに基づく格子ガスオートマトン演算 VLSI の構成,” 電気関係学会東北支部連合大会, pp. 185, August 2004.
- [228] 徳田, 富田, 藤原, 小嶋, 吉川, “SFQ/CMOS ハイブリッドメモリシステムの動作検証,” 電子情報通信学会超伝導エレクトロニクス研究会 SCE2004-23, 福岡, 2004 年 7 月.
- [229] 富田, 小嶋, 徳田, 吉川, “SFQ/CMOS ハイブリッドメモリシステムの高速化,” 2004 年電子情報通信学会ソサエティ大会, C-8-6, 2004 年 9 月.
- [230] 徳田, 富田, 吉川, “SFQ/CMOS ハイブリッドシステム用 4.2K MOS デバイスモデルの検討,” 2004 年秋季応用物理学学会学術講演会, 2p-F-14, 2004 年 9 月.
- [231] 道江, 城殿, 吉川, “SFQ/CMOS ハイブリッド AD コンバータ用 CMOS デシメーションフィルタの設計と評価,” 電子情報通信学会 2005 年総合大会, 大阪大学, 豊中, 2005 年 3 月.
- [232] 徳田, 小嶋, 富田, 藤原, 吉川, “SFQ 回路を用いた CMOS アンプの遅延時間測定,” 2005 年春季第 52 回応用物理学学会関係連合講演会, 埼玉大学, 埼玉, 2005 年 3 月.
- [233] 宮野, 渡邊, 小林, “パルスレーザを用いた差分型再構成ゲートアレイ,” 電子情報通信学会技術研究報告 Vol. 104, No. 476, pp. 1-4, (2004).
- [234] 志岐, 渡邊, 小林, “差分光再構成型ゲートアレイ VLSI,” 電子情報通信学会技術研究報告 Vol. 104, No. 476, pp. 5-9, (2004).
- [235] 藤目, 渡邊, 小林, “光再構成型ゲートアレイの再構成回路の評価,” 電子情報通信学会技術研究報告 Vol. 104, No. 476, pp. 11-15, (2004).
- [236] 渡邊, 小林, “0.18 μ m プロセスによる差分光再構成型ゲートアレイ,” 電子情報通信学会技術研究報告 Vol. 104, No. 363, pp. 61-66, (2004).
- [237] 宮野, 渡邊, 小林, “差分型光再構成ゲートアレイの領域分割照射,” 電子情報通信学会・第 4 回リコンフィギュラブルシステム研究会, pp. 227-234, (2004).
- [238] 宮野, 渡邊, 小林, “VCSEL を用いた差分型光再構成ゲートアレイ,” 電子情報通信学会・集積光デバイス技術時限研究専門委員会, pp. 29-34, (2004).
- [239] 松尾, 渡邊, 小林, “光再構成型ゲートアレイの検査手法,” 第 23 回計測自動制御学会九州支部学術講演会予稿, 203B1, (2004).
- [240] 植田, 渡邊, 小林, “ダイナミック差分光再構成型ゲートアレイ,” 第 23 回計測自動制御学会九州支部学術講演会, 203B6, (2004).
- [241] 山角, 小林, 渡邊, “光再構成型ゲートアレイのプログラミング環境,” 第 23 回計測自動制御学会九州支部学術講演会予稿, 203B2, (2004).
- [242] 宮野, 渡邊, 小林, “差分型光再構成ゲートアレイの光再構成タイミング解析,” 第 23 回計測自動制御学会九州支部学術講演会予稿, 203C1, (2004).
- [243] 宮野, 渡邊, 小林, “差分型光再構成ゲートアレイの照射領域と再構成速度の評価,” 第 8 回システム LSI ワークショップ, pp. 323-326, (2004).
- [244] 川津秀樹, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, “SIMD 型プロセッサコア向け HW/SW 分割における内部演算並列度最適化手法,” 電子情報通信学会 第 17 回回路とシステム (軽井沢ワークショップ), pp.579-584
- [245] 田中真, 内田純平, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, “フロアプランとタイミング制約に基づくレジスタ間データ転送を考慮した高位合成手法,” 情報処理学会 DA シンポジウム 2004, pp.283-288
- [246] 田中真, 内田純平, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, “レジスタ分散型アーキテクチャを対象とするフロアプランを考慮した高位合成手法,” 電子情報通信学会技術研究報告, VLD2004-82, pp.127-132
- [247] 麻生雄一, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, “面積制約を考慮したマルチスレッドプロセッサの合成手法,” 電子情報通信学会技術研究報告 (VLD2004), pp. 31-35
- [248] 細田宗一郎, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, “動的フローに適應したネットワークプロセッサ設計とその評価,” 電子情報通信学会技術研究報告 (VLD2004), pp. 79-84

- [249] Atit Tamtrakarn, Takayasu Sakurai, "Medium-loss considerations for designing an ultra-wideband transceiver" ナナサメセ 蠶鹹命・愠颯愁汽■膳 B 膾 A-1, 2004
- [250] 鬼塚浩平, 桜井貴康, "インダクティブカップリングによる電力伝送回路最適化に関する一考察," 電子情報通信学会ソサイエティ大会, A-1-3, 2004
- [251] 石田光一, 桜井貴康, "低しきい値デバイスを用いた低電圧駆動アナログ回路," 電子情報通信学会ソサイエティ大会, A-1, 2004
- [252] 徳永和宏, 川口博, 桜井貴康, "VLSI 設計における Dual VDD 回路の電力削減効果," 電子情報通信学会ソサイエティ大会, 2004
- [253] 寺田崇秀, 善積真吾, 黒田忠広, "Ultra-Wideband 無線通信送受信回路に関する研究," 第一回 シリコンアナログ RF 研究会, Apr. 2004.
- [254] 三浦典之, 溝口大介, ユスミラズ・ビンティ・ユスフ, 桜井貴康, 黒田忠広, "誘導結合チップ間無線超配線用インダクタおよび送受信回路の解析と設計," 電子情報通信学会技報 Vol. 104, No. 248, SDM2004-120 ~ 139, pp73-78, Aug. 2004.
- [255] Y. Mita, T. Shibata, K. Ito, and M. Ogawa, "Early Vision Processing VLSI Systems," Proceedings of International Symposium on Electronics for Future Generations, pp. 113-118, March 10-11, Tokyo, 2004.
- [256] 山崎英男, 八木雅和, 柴田直, "アナログ・デジタル融合アーキテクチャに基づく実時間画像特徴ベクトル生成 VLSI プロセッサ," 電子通信学会技術研究報告, (集積回路研究専門委員会 (ICD)), 論文番号 ICD2004-70, pp. 49-54, 2004 年 8 月
- [257] T. Shibata, M. Yagi, T. Yamasaki, and M. Ogawa, "A Psychologically-Inspired VLSI Architecture for Human-Like Soft-Computing Systems," Proceedings of International Symposium on Electronics for Future Generations, pp. 159-166, Tokyo, March 10-11 2004.
- [258] T. Shibata, T. Yamasaki, and D. Kobayashi, "Correlation-Based Analog Information Processing Systems Using Floating-Gate MOS Technology," Proceedings of International Symposium on Electronics for Future Generations, pp. 168-175, Tokyo, March 10-11 2004.
- [259] 中山友之, 山崎俊彦, 柴田直, "フローティングゲート MOS CDMA マッチフィルタにおける擬似並列マルチパス検出アーキテクチャ," 電子通信学会技術研究報告, (集積回路技術研究専門委員会 (ICD)), 論文番号 ICD2004-137, pp. 103-108, 2004 年 8 月
- [260] 中山友之, 山崎俊彦, 柴田直, "V-I および I-V 変換回路を搭載した低消費電力スイッチトカレント CDMA マッチフィルタ," 電子通信学会技術研究報告, (集積回路技術研究専門委員会 (ICD)), 論文番号 ICD2004-138, pp. 109-114, 2004 年 8 月
- [261] 舩岡, 石川, 深井, "v-MOS カレントミラー回路の設計とチップ試作", 07-2P-03, 電気関係学会九州支部連合大会 (2004)
- [262] 石川, 小倉, 深井, "インターネットを利用したアナログ集積回路解析に関する一検討", FIE-04-42 pp19-22 電気学会教育フロンティア研究会 (2004)
- [263] 村上, 石川, 深井, "佐賀大学 LSI 設計環境を用いたオペアンプの設計.", 07-2P-16, 電気関係学会九州支部連合大会 (2004)
- [264] 川津秀樹, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, "SIMD 型プロセッサコア向け HW/SW 分割における内部演算並列度最適化手法," 電子情報通信学会 回路とシステム軽井沢ワークショップ, pp. 579-584, April 2004.
- [265] 友野直紀, 小原俊逸, 内田純平, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, "IP 再利用を考慮したシステム LSI におけるプロセッサコア合成システム," 情報処理学会 DA シンポジウム 2004, pp. 19-24, 2004 年 7 月 .
- [266] 田中真, 内田純平, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, "フロアプランとタイミング制約に基づくレジスタ間データ転送を考慮した高位合成手法," 情報処理学会 DA シンポジウム 2004, pp. 283-288, 2004 年 7 月 .
- [267] 田中真, 内田純平, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, "レジスタ分散型アーキテクチャを対象とするフロアプランを考慮した高位合成手法," 電子情報通信学会 VLSI 設計技術研究会, Vol. VLD82, pp. 127-132, 2004 年 12 月 .
- [268] 内田純平, 奈良竜太, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, "ワードベースモンゴメリ乗算器を搭載した高速楕円曲線暗号 LSI," 電子情報通信学会 VLSI 設計技術研究会, Vol. VLD125, pp. 5-10, 2005 年 3 月 .
- [269] 升本英行, 戸川望, 柳澤政生, 大附辰夫, "ネットワークプロセッサ合成システムの改良とその評価," 電子情報通信学会 VLSI 設計技術研究会, Vol. VLD141, pp. 25-30, 2005 年 3 月 .
- [270] 麻生雄一, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, "面積制約を考慮したマルチスレッドプロセッサの合成手法," 電子情報通信学会 VLSI 設計技術研究会, Vol. VLD142, pp. 31-36, 2005 年 3 月 .
- [271] 細田宗一郎, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, "動的フローに適応したネットワークプロセッサ設計とその評価," 電子情報通信学会 VLSI 設計技術研究会, Vol. VLD150, pp. 79-84, 2005 年 3 月 .
- [272] 北村聡, 伊豆直之, 田邊昇, 濱田芳博, 中條拓伯, 渡邊幸之介, 大塚智宏, 天野英晴, "DIMMnet-2 ネットワークインタフェースボードの試作," 情報処理学会研究報告 2004-ARC-159, pp. 151-156, Sep, 2004.
- [273] 吉見, 長名, 福島, 天野, "確率モデルを用いた化学反応シミュレーションの FPGA による高速化" pp. 220-226, 2004 年リコンフィギャラブルシステム研究会 (2004)
- [274] 天野英晴, 安達義則, 堤聡, 石川健一郎. "動的リコンフィギャラブルプロセッサにおける可変クロック機構の導入," 電子情報通信学会技術研究報告 VLD2004-99, Vol. 104, No. 589, pp. 13-16, 2005 年 1 月 .
- [275] 長谷川揚平, 阿部昌平, 安生健一郎, 粟島亨, 天野英晴. "動的リコンフィギャラブルプロセッサを用いた IPsec アクセラレータの設計と実装," 電子情報通信学会技術研究報告 CPSY2004-37, Vol. 104, No. 476, pp. 29-34, 2004

年 12 月 . 月

- [276] 天野英晴, 阿部昌平, 出口勝昭, 長谷川揚平. “動的リコンフィギャラブルプロセッサにおける入出力と演算のバランス? 論理とデータ, どちらを動かすか? .”, 電子情報通信学会技術研究報告 CPSY2004-40, Vol. 104, No. 476, pp. 47-52, 2004 年 12 月 . 月
- [277] 出口勝昭, 阿部昌平, 安生健一郎, 栗島亨, 天野英晴. “DRP-1 上への JPEG2000 の離散ウェーブレット変換器と算術符号器の実装,” 第 4 回リコンフィギャラブルシステム研究会 論文集, pp. 9, 2004 年 9 月 .
- [278] 阿部昌平, 長谷川揚平, 黒瀧俊輔, 安生健一郎, 栗島亨, 天野英晴. “リコンフィギャラブルプロセッサ DRP-1 上での AES-CBC の実装,” 第 4 回リコンフィギャラブルシステム研究会 論文集, pp. 239-242, 2004 年 9 月 . 月
- [279] 天野英晴, 阿部昌平, 出口勝昭. “動的リコンフィギャラブルプロセッサの基本的トレードオフの解析,” 第 4 回リコンフィギャラブルシステム研究会 論文集, pp. 25-32, 2004 年 9 月 .
- [280] 森, 宇佐美, “CPU のデータパスに着目した動作時リーク電力削減手法,” p. 15, 平成 16 年度電子情報通信学会東京支部学生会研究発表会 (2005 年 3 月)
- [281] 白川, 宇佐美, “MTCMOS 回路における遅延解析,” p. 26, 平成 16 年度電子情報通信学会東京支部学生会研究発表会 (2005 年 3 月)
- [282] 市川裕二, 谷川一哉, 川崎貴之, 弘中哲夫, “低消費エネルギー PARS アーキテクチャの設計,” 第 4 回リコンフィギャラブルシステム研究会論文集, pp. 188-195 (2004) .
- [283] 市川裕二, 佐々木敬泰, 弘中哲夫, 北村俊明, 近藤俊夫, “可変パイプライン手法によるプロトタイプ低消費エネルギープロセッサの設計,” 信学技 CPSY2004-21 (SWoPP2004), No. 241, pp. 7-12 (2004) .
- [284] 浅生宗隆, 井上智宏, 弘中哲夫, マタウッシュハンス, 小出哲士, “メモリジェネレータを用いたバンク型マルチポートメモリの速度・面積評価,” 信学技報, vol. 104, No. 248, SDM2004-124, pp. 25-30 (2004)
- [285] 前田志, 末吉徹也, 碧山賢一, 弘中哲夫, 小出哲士, マタウッシュハンス ユルゲン, 谷川一哉, “スーパスカラ向けマルチバンクレジスタファイルの詳細設計,” 信学技報 CPSY2004-21 (SWoPP2004), No. 241, pp. 1-6 (2004) .
- [286] 中西勝利, 鈴木圭介, 井上智宏, 弘中哲夫, 谷川一哉, “単位面積あたりの性能を重視した計算エンジンの設計と評価,” 第 6 回 IEEE 広島支部学生シンポジウム (HISS) 論文集, pp. 181-183, (2004) .
- [287] 葛毅, 櫻井隆雄, 阿部公輝, 坂井修一, “RSA 暗号処理における高基数剰余乗算回路,” 情報処理学会研究報告 (コンピュータセキュリティ研究会), Vol. 2004, No. 75, pp. 15-20, Jul. 2004.
- [288] 矢崎俊志, 阿部公輝, “FFT 乗算器の最適化実装,” 電子情報通信学会技術報告 (VLSI 設計技術研究会), Vol. 104, No. 477, pp. 163-168, Dec. 2004.
- [289] 清水雅一, 阿部公輝, “東データ方式非同期回路における低消費電力ハンドシェイクプロトコルの性能及びコスト評価,” 電子情報通信学会技術報告 (VLSI 設計技術研究会), Vol. 104, No. 477, pp. 31-36, Dec. 2004.
- [290] 葛毅, ルオン・ディン・フォン, 阿部公輝, 坂井修一, “高基数 SRT 除算に基づくスケーラブル剰余乗算回路,” SCIS2005 (The 2005 Symposium on Cryptography and Information Security), pp. 307-312, Jan. 2005.
- [291] 佐々木明彦, 阿部公輝, 太田和夫, “暗号回路の耐タンパー性評価手法の構築,” SCIS2005 (The 2005 Symposium on Cryptography and Information Security), pp. 613-618, Jan. 2005.
- [292] 渡部信吾, 阿部公輝, “疑似乱数生成器 Mersenne Twister のハードウェア化,” 電子情報通信学会 2005 年総合大会講演論文集, Mar. 2005, 掲載予定 .
- [293] 松本陽, 清水雅一, 阿部公輝, “低消費電力東データ方式非同期回路のコスト評価,” 電子情報通信学会 2005 年総合大会講演論文集, Mar. 2005, 掲載予定 .
- [294] 石田, 溝口, “高速化を目指した FPGA ベース画像処理システム,” 日本実験力学学会講演論文集, No5 (2005), 244-247
- [295] 江藤慎一郎, 茂谷俊昭, 井上高宏, 常田明夫, “LDO 技術を用いた集積化 MOS 定電圧電源回路の一設計とその解析,” 電気学会電子回路研究会資料, pp. 13-18, 2005 年 1 月
- [296] 千代永純一, 中島晃, 井上高宏, 常田明夫, “スマート RFID タグ用個体識別符号生成低消費電力 CMOS 論理回路,” 電気学会電子回路研究会資料, pp. 13-18, 2005 年 1 月
- [297] 竹中智哉, 馬庭志織, 山川俊貴, 井上高宏, 常田明夫, “電圧ならびに電流モードのリング発振器の構成とその RF デジタル変調器への応用,” 電気学会電子回路研究会資料, pp. 19-24, 2005 年 1 月
- [298] 岩崎俊彦, 井上高宏, 鶴巢哲朗, 常田明夫, “オーバードライブ CMOS アナログスイッチの構成とその低電圧 SI $\Sigma \Delta$ -AD 変換器への応用,” 電気関係学会九州支部第 57 回連合大会, 07-2P-01, 2004 年 9 月
- [299] 井上高宏, 神園大知, 山川俊貴, 常田明夫, “オーバードライブ CMOS アナログスイッチを用いたしきい電圧自動設定形低電圧ソース接地複合 MOS トランジスタ,” 電気関係学会九州支部第 57 回連合大会, 07-2P-02, 2004 年 9 月
- [300] 井上高宏, 中島晃, 千代永純一, 二木聖, 常田明夫, “スマート RFID タグのための初期化用単発パルス発生回路の一提案,” 電気関係学会九州支部第 57 回連合大会, 07-2P-05, 2004 年 9 月
- [301] 井上高宏, 千代永純一, 二木聖, 中島晃, 常田明夫, “スマート RFID タグ用個体識別符号生成 CMOS 論理回路の一構成,” 電気関係学会九州支部第 57 回連合大会, 07-2P-06, 2004 年 9 月
- [302] 井上高宏, 竹中智哉, 山川俊貴, 牧章裕, 馬庭志織, 常田明夫, “CMOS 電圧モードリング発振回路形 BASK 変調器の搬送周波数安定化の一手法,” 電気関係学会九州支部第 57 回連合大会, 07-2P-08, 2004 年 9 月
- [303] 井上高宏, 馬庭志織, 山川俊貴, 竹中智哉, 千代永純一, 常田明夫, “電流モード CMOS リング発振回路の一構成

とその解析,” 電気関係学会九州支部第 57 回連合大会, 07-2P-09, 2004 年 9 月

- [304] 井上高宏, 牧章裕, 竹中智哉, 山川俊貴, 常田明夫, “CMOS リング発振器形 PSK 変調器の一構成,” 電気関係学会九州支部第 57 回連合大会, 07-2P-10, 2004 年 9 月
- [305] 井上高宏, 安成潤, 測上宏之, 常田明夫, “MOSFET の非飽和領域を用いた電子可変線形 MOS 抵抗回路の一実現とその解析,” 電気関係学会九州支部第 57 回連合大会, 07-2P-12, 2004 年 9 月
- [306] 井上高宏, 梅田武史, 鶴巢哲朗, 米澤隆広, 常田明夫, “集積化可能な体温計測回路の一構成とその解析,” 電気関係学会九州支部第 57 回連合大会, 07-2P-21, 2004 年 9 月
- [307] 井上高宏, 鶴巢哲朗, 梅田武史, 米澤隆広, 常田明夫, “生体用圧力センサー信号から心音情報を抽出するアナログ CMOS 回路のブレッドボード実験による機能検証,” 電気関係学会九州支部第 57 回連合大会, 07-2P-22, 2004 年 9 月
- [308] 江藤慎一郎, 井上高宏, 山川俊貴, 竹中智哉, 茂谷俊昭, 常田明夫, “低リプルダイオードチャージポンプ型 AC-DC 変換回路を用いた集積化可能な定電圧電源回路の一設計,” 電気関係学会九州支部第 57 回連合大会, 07-2P-24, 2004 年 9 月
- [309] 井上高宏, 山川俊貴, 江藤慎一郎, 茂谷俊昭, 常田明夫, “集積可能な AC-DC 変換形低リプル定電圧電源回路の一設計,” 電気関係学会九州支部第 57 回連合大会, 07-2P-25, 2004 年 9 月
- [310] 山原, 美馬, 佐藤, “タイミング違反を利用した省電力 ALU における違反検出回路の高速化手法とその評価,” CD-ROM, 情報処理学会九州支部火の国情報シンポジウム (2005)
- [311] 美馬, 佐藤, “建設的タイミング違反方式を適用した ALU の改良とその評価,” pp. 19-24, 並列/分散/協調処理に関する『青森』サマー・ワークショップ, 情処研報 2004-ARC-159-4 (2004)
- [312] 宮崎, 山田, 馬場, 松下, “傾斜像面を用いた共焦点型 3

次元計測のための高機能イメージセンサ” 映像学技報 vol. 28, no. 59, pp1-4 (2004)

- [313] 宮本直人, 小谷光司, 丸尾和幸, 大見忠弘, “動的再構成 ALU を搭載した画像認識プロセッサ—高速フーリエ変換・逆変換に適した再構成コンピューティング—,” 電子情報通信学会技術研究報告, SIP2004-91, ICD2004-123, IE2004-67 (2004), pp. 13-18
- [314] 館知恭, 須川成利, 千葉浩児, 赤羽奈々, 小谷光司, 大見忠弘 “列並列演算器を備えたりアルタイムオブジェクト抽出を行なう高機能高画質 CMOS イメージセンサ” 映像情報メディア学会技術報告 VOL. 28, NO. 58, pp. 33-36 (2004)

4. その他

- [1] 金谷 “次世代型モバイル用システム LSI の開発” ワイヤレスジャパン 2004 / モバイル電子部品フォーラム
- [2] 深瀬政秋, 三國勝志, 中村吉樹, 佐藤陽一, 赤岡亮, “マルチメディアモバイルプロセッサ,” 平成 16 年度 VDEC 年報 (2004)
- [3] 香川景一郎, 太田淳, “ビジョンチップを用いた屋内光無線 LAN,” 光学, vol. 33, no. 10, pp. 595-600, 2004.
- [4] 芦原聡, 志村努, 黒田和男, “解説: 擬似位相整合によるフェムト秒カスケードデバイス,” レーザー研究, 32, pp. 170-174 (2004) .
- [5] 芦原聡, 志村努, 黒田和男, “解説: 2 次非線形光学効果による光ソリトン圧縮,” オプトロニクス No. 3 pp. 119-123 (2004) .
- [6] 北村聡, 伊豆直之, 伊沢徹, 宮代具隆, 宮部保雄, 渡邊幸之介, 大塚智宏, 濱田芳博, 田邊昇, 中條拓伯, 天野英晴, “FPGA を用いたメモリスロット装着型ネットワークインタフェースの設計,” FPGA/PLD Design Conference ユーザ・プレゼンテーション, pp. 13-20, Jan, 2005.
- [7] 西谷, 栗原, 貞光, 堀場, “DCT プロセッサの設計,” pp. 51-54, 第 9 回関西大学先端科学技術シンポジウム講演集 (2006)

第3章 VDEC 概要

3.1. 組織概要

VDEC は平成 8 年度に発足した。当時は専任教員 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教員 2 名と事務官 1 名が増員され、さらに、全国の大学と連携を密にする目的で各大学から 2 年を単位として 2 名の教員を派遣する「流動教員制度 (平成 16 年度からは国立大学法人になったことに伴い客員研究員制度となる。)」がスタートした。また、産業界と協力をを行うため、客員教授が 1 名おかれている。

VDEC は現在、専任教員 10 名、客員教授 1 名、事務員 2 名の定員を有しているが、他にも多くの援助を受けながら運営されている。事務は工学系研究科事務部との合同化により直接の担当係を共同利用係とし、工学系研究科事務部全体の支援を受けている。教育・研究の分野では、学内の協力教員、学外の協力研究員、さらには全国の拠点大学の教職員と学生を含む CAD ボランティア等多くの協力者の手によって支えられている。

流動教員派遣大学

年 度	派 遣 大 学
平成 9・10 年度	東北大学, 横浜国立大学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学
平成 16 年度	九州大学, 大阪大学

3.2. 人事報告

VDEC 人事

センター長・教授 浅田 邦博
教 授 藤田 昌宏
客員教授 益子 耕一郎
(平成 17 年 3 月まで)
客員教授 川手 啓一
(平成 17 年 4 月から)
助 教 授 池田 誠
助 教 授 年吉 洋
(平成 17 年 3 月まで)
助 教 授 高宮 真
(平成 17 年 6 月から)
講 師 高木 一義
(平成 17 年 4 月から)
助 手 鄭 若 彤
助 手 小松 聡
助 手 佐々木 昌浩
(平成 16 年 10 月から)
助 手 畠 中 理 英
主 査 真弓 貞雄
(平成 17 年 3 月まで)

主 査 齋 島 弘
(平成 17 年 4 月から)
共同利用係長 小貫 浩
共同利用係主任 麦谷 重男
(平成 17 年 3 月まで)
共同利用係主任 杉田 佳代子
(平成 17 年 4 月から)
協力教員 柴田 直
(東京大学新領域創成科学研究
科教授)
高木 信一
(東京大学新領域創成科学研究
科教授)
藤島 実
(東京大学新領域創成科学研究
科助教授)
三田 吉郎
(東京大学工学系研究科電気工
学専攻助教授)

VDEC



新任のご挨拶

畠中 理英

H16年4月1日より、大阪大学大学院情報科学研究科から、2年間の任期で出向しております畠中です。学生時代より音声ATM通信の制御用LSI、デジタル衛星放送用LSIなど、通信・放送用LSIの設計に携わってきました。VDECでは、夏(7~8月)と春(2

佐々木 昌浩

2004年10月よりVDECの助手として着任致しました佐々木です。

これまで、日産自動車において、集積回路設計を中心に電子制御ユニットやハイブリッド自動車向けパワーモジュール・モータコントローラーの設計を経験した後、早稲田大学博士課程に入学し、同大学助手を経てVDECに参りました。

学生時代からの研究内容は、アナログ-デジタル、デジタル-アナログコンバーターを中心に高速アナロ

グ及びミクストシグナル回路の研究を行って来ましたが及びミクストシグナル回路の研究を行って来ました。その他のテーマとして高速シリアル伝送・有線CDMA伝送・多値伝送回路の研究も行っております。

VDECでは日立0.18 μm 、オンセミコンダクタ1.2 μm を中心にしたチップ試作に関する業務並びに、CAD技術ユーザー対応等の業務を行う予定です。利用者の皆様が快適に研究・試作出来る環境を整備して行きたいと思っておりますので、よろしくお願い致します。

VDECでは日立0.18 μm 、オンセミコンダクタ1.2 μm を中心にしたチップ試作に関する業務並びに、CAD技術ユーザー対応等の業務を行う予定です。利用者の皆様が快適に研究・試作出来る環境を整備して行きたいと思っておりますので、よろしくお願い致します。

退任のご挨拶

益子 耕一郎

あっという間に2年が過ぎ客員教授の職も無事に満期退任となりました。その間、浅田先生・池田先生をはじめ大勢の方にお世話になりました。改めて御礼を申し上げます。振り返りますと、企業からSTARCという産学連携の共同研究を推進するコンソーシアムに出向し、さらにVDECで全国の大学への試作サービスを側面支援する立場も経験し、色々思うことの多い2年間でした。VDECは約10年前、STARCとほぼ同時期に設立されました。当時の日本の大学における半導体の教育・研究は、物性と化合物半導体に重点が置かれ、回路設計はほとんどバイポーラのみという状況でした。それを産業界と方向性を共有するシリコン・CMOS・回路設計というキーワードに重点を移してい

く上でVDECの果たしてきた役割は大なるものがあると思います。しかし、目を海外に転じますと、台湾・韓国そして中国大陸のこの分野における躍進はそのスピードにおいて日本をはるかにしのぐものがあります。行政レベルによる潤沢な研究サポートと迅速な意志決定がその大きな理由と考えられます。このような状況の中で、戦略技術であり総力戦の様相を呈してきた半導体産業に対し、VDECそしてSTARCの役割はさらに大きくなり、同時にこれまでのやり方の枠をはみ出す試みも今後益々重要になると思われま。VDECの更なるご発展を祈念いたしますとともに私でお役に立てることがありましたらいつでもお声を掛けてください。ありがとうございました。

服部 励治

私にとってVDECに着任しておりました2年間は日

本の中心である東京と接することができる有意義な期

間でした。やはり東京は仕事をするには非常に便利なところですが、共同研究先を見つけるも、リフレッシュ教育の様なセミナーを開くにも大変有利であることに痛感しました。しかし、便利すぎて仕事に追い回されてしまいます。今度、VDECでの任期を終え九州に戻りますが、研究室に根を下ろしもう少しゆっくりと仕事していこうと思う次第です。LSI設計では経験の浅

い私でしたが、この2年間で色々と勉強することができました。今まで半導体物性/デバイス研究の道を歩んできましたが、更に新しい分野が加わり研究の幅が広がった気がします。全国のVDEC利用者の方々にはあまりお役に立てなかったかもしれませんが、今後ともよろしく願いいたします。

年吉 洋

2002年5月よりVDECに籍をおいておりましたが、この4月より東大生産技術研究所に異動となりました。この間、耐圧40Vの高電圧集積回路チップ上に静電マイクロアクチュエータなどのMEMSデバイスをポストプロセスで集積化することを目指して、企業さんと共同研究して参りましたが、なかなか皆さんに使って頂けるレベルにまで達することができず、原理検証止まりとなってしまいました。あと1回試作すればなんとかデバッグが終わるかと思っておりますので、もう少々長

い目で見て頂ければと思います。VDECに異動になった当初は、全国利用としての業務内容が一般的な大学、研究所の仕事と大きく異なっていることに少なからず面食らいました。私は端で見ていた位のことしかできませんでしたが、浅田センター長をはじめ皆様の組織運営の手腕に勉強させて頂くことが大変多くございました。これから生研に戻りますが、the greater VDECの一員として、微力ながら引き続きお役に立てればと存じます。

初代センター長 鳳紘一郎先生を偲ぶ

東京大学大規模集積システム設計教育研究センターの初代センター長、鳳紘一郎先生は、平成17年2月21日に、満62才で逝去されました。

先生は、平成8年5月に大規模集積システム設計教育研究センターが全国共同利用センターとして東京大学に設置されると初代のセンター長(同年11月より同センター教授)に就任して平成12年3月までセンター

長として新センターを運営されました。

センター立ち上げ期の運営にセンター長として精力的に尽力された後も、センターの運営に数々の貢献をされてきた先生の退官後間もないご逝去は大変残念でなりません。先生の穏やかな人との接し方を心に刻みつつ、心からご冥福をお祈りいたしたいと思いません。

平成16年度大規模集積システム設計教育研究センター運営委員会委員名簿

氏名	所 属
浅田 邦博	大規模集積システム設計教育研究センター長
平尾 公彦	工学系研究科長
柴田 直	大学院新領域創成科学研究科 教授
坂井 修一	大学院情報理工学系研究科 教授

氏名	所属
岡部 洋一	情報基盤センター長 教授
荒川 康彦	先端科学技術研究センター 教授
高木 信一	大学院新領域創成科学研究科 教授
藤島 実	大学院新領域創成科学研究科 助教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
年吉 洋	大規模集積システム設計教育研究センター 助教授
池田 誠	大規模集積システム設計教育研究センター 助教授
平田 直	総長補佐 地震研究所 教授

平成 16 年度大規模集積システム設計教育研究センター 全国運営協議会委員名簿

氏名	所属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授 (センター長)
平田 直	東京大学地震研究所 教授 (総長補佐)
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
南谷 崇	東京大学先端科学技術研究センター情報物理システム 教授
柴田 直	東京大学大学院新領域創成科学研究科基盤情報学専攻 教授
高木 信一	東京大学大学院新領域早世科学研究科基盤情報学専攻 教授
宮永 喜一	北海道大学大学院工学研究科電子情報工学専攻 教授
大見 忠弘	東北大学未来科学技術共同研究センター 教授
國枝 博昭	東京工業大学大学院理工学研究科集積システム専攻 教授
柳澤 政生	早稲田大学理工学部電子・情報通信学科 教授
山田 実	金沢大学工学部電気・電子システム工学科 教授
高木 直史	名古屋大学大学院工学研究科情報工学専攻 教授
小野寺秀俊	京都大学大学院情報学研究科通信情報システム専攻 教授
谷口 研二	大阪大学大学院工学研究科電子情報エネルギー工学専攻 教授
岩田 穆	広島大学大学院先端物質科学研究科半導体集積科学専攻 教授
安浦 寛人	九州大学大学院システム情報科学研究科情報工学専攻 教授
山内 寛紀	立命館大学理工学部電気電子工学科 教授

氏名	所 属
兵庫 明	東京理科大学理工学部電気電子情報工学科 助教授
黒田 忠広	慶応義塾大学理工学部電子工学科 教授
吉本 雅彦	神戸大学工学部情報知能工学科 教授

3.3. 決算報告

1. 運営費交付金

経 費	金 額
物 件 費	219,961,726
人 件 費	66,811,510

2. 平成 16 年度科学研究費補助金

研究代表者	研 究 題 目	種 類	金額 (千円)
藤田 昌宏	形式的検証手法を利用したデジタルシステムの設計デバッグ技術に関する研究	基盤研究 (B) (2)	68,600
小松 聡	データ符号化による集積回路におけるデータ伝送の低消費電力化・信頼性向上の研究	若手研究 (B)	2,300
名倉 徹	半導体集積回路におけるシグナルインテグリティ及び信頼性に関する研究	特別研究員奨励費	500
角嶋 邦之	ナノ領域計測用マイクロマシントールの製作と応用	特別研究員奨励費	600
飯塚 哲也	半導体集積回路のトランジスタレベルの回路最適化技術に関する研究	特別研究員奨励費	800

3. 平成 16 年度産学連携等経費

研究代表者	研 究 題 目	種 類	金額 (千円)
藤田 昌宏	進化型組み込みシステムに関する研究	共同研究	8,000
浅田 邦博	システムディスプレイの要素回路技術に関する研究	共同研究	3,570
藤田 昌宏	ハード開発向け UML 記述によるシステム記述	共同研究	6,000
浅田 邦博	スタンダードセルフフローにおけるトランジスタレベル最適化	共同研究	1,000
藤田 昌宏	形式的検証ツールの評価方法の研究	共同研究	8,000
藤田 昌宏	システムレベル仕様・設計検証技術に関する研究	共同研究	8,500
浅田 邦博	SoC 設計プラットフォーム・マクロの研究	共同研究	17,850
浅田 邦博	SOI デバイスおよび回路に関する特性評価	共同研究	550
浅田 邦博	先端集積回路の評価・解析技術高度化の研究	受託研究	10,000
浅田 邦博	高性能 MOS デバイス技術の研究	受託研究	800

4. 平成 16 年度奨学寄附金

以下の企業・個人から寄附を頂きました。

受入件数：9 件 受入額 計 16,202,000 円

藤田昌宏, (財)電気・電子情報学術振興財団, 日産自動車(株), サン・マイクロシステムズ(株), (株)東芝研究開発センター, (株)富士通研究所, (株)半導体理工学研究センター

第4章 研究報告

4.1. 研究室構成員（平成16年度）

浅田・池田研究室構成

浅田 邦博 教授
池田 誠 助教授
佐々木昌浩 助手（2004年10月16日より）
鄭 若彤 助手
鈴木 真一 技官
大池 祐輔 博士3年（現在 SONY）
名倉 徹 博士3年（現在 NEC）
Ulkuhan Ekinci 博士2年（現在休学中）
Mohamed Abbas ABDELRAHY 博士2年
吉田 浩章 博士1年
飯塚 哲也 博士1年
高山 伸一 修士2年（現在休学中）
顔 子翔 修士2年（現在 NECEL）
三瓶 真弘 修士2年
新宅 宏彰 修士2年
谷内出悠介 修士2年（現在 池田研 博士課程）
山本 崇也 修士2年（現在 ルネサステクノロジ）
李 楠 修士2年（現在 松下電機）
田島 貴明 修士1年
デア キンファイ 修士1年
村田 泰亮 修士1年
山内 裕史 修士1年
山本 一統 修士1年
金 允璟 修士1年
梁 志成 研究生（現在 浅田研 修士課程）
戎野 浩平 学部4年（現在 京セラ）
松尾 清隆 学部4年（現在 保立研 修士課程）
橋本 紘和 学部4年（現在 浅田研 修士課程）
風間 大輔 学部4年（現在 池田研 修士課程）

藤田研究室

藤田 昌宏 教授
小松 聡 助手

瀬戸 謙修 産学官連携研究員

Thanyapat Sakunkonchak 日本学術振興会 外国人特別研究員

劉 宇 博士1年
小島 慶久 博士1年（休学中）
高 尚華 博士1年
田辺 健 修士2年（現在 株式会社東芝）
松本 剛史 修士2年（現在 藤田研 博士課程）
佐々木俊介 修士1年
松井 健 修士1年
Cho Moon Ki 研究生
Kamal Adhikari 研究生
西原 佑 学部4年（現在 藤田研 修士課程）
石井 健 学部4年（現在 池田研 修士課程）

年吉研究室

年吉 洋 助教授
高橋 拓也 技官
肥後 昭男 博士1年
山下 清隆 博士1年
高橋 一浩 修士2年
山内木綿子 修士2年
泰井 祐輔 修士1年

服部研究室

服部 励治 助教授

柴田・三田研究室構成員

柴田 直 教授
三田 吉郎 講師
村井 徹 助手
ベンジャミン カイヤー 博士研究員
小川 誠 博士3年（現在 株式会社ソニー）
小林 大輔 博士3年（現在 宇宙科学研究所 JAXA）



助手)

伊藤 潔人 博士2年
鈴木 康文 博士1年
山崎 英男 博士1年
中山 友之 修士2年 (現在 警視庁)
中下 友介 修士2年 (現在 株式会社ソニー)
早川 仁 修士2年
(現在 柴田・三田研 博士1年)
トンプラシット ベンジャマース 修士1年
亀谷 暁 修士1年
川原 邦男 修士1年
久保田雅則 修士1年
ハオ ジア 修士1年
オウグ オストルク 修士1年
伊藤 晃太 学部4年 (現在 藤田(博)研 修士1年)
シーサムラーヌ サックダー 学部4年
(現在 柴田・三田研 修士1年)
清水 健 学部4年 (現在 平本研 修士1年)
高橋 徳浩 学部4年 (現在 柴田・三田研 修士1年)
福田 智洋 学部4年

高木研究室構成

高木 信一 教授
西川 昌志 修士1年
熊谷 寛 学部4年 (現在 高木研 修士課程)
武田 浩司 学部4年 (現在 中野・杉山研 修士課程)

藤島研究室

藤島 実 助教授
北澤 清子 助手
山本 憲 博士2年
ライ チーホン 博士1年
金子 秀彦 修士2年 (現在 特許庁)
志村 正弘 修士2年 (現在 株式会社東芝)
金子 暁彦 修士1年
谷本 英之 修士1年
渡辺 宏樹 修士1年
王 寧一 修士1年
小林 直樹 学部4年 (現在 大学院藤島研究室)
鬼塚 隆祐 学部4年 (現在 大学院杉山研究室)

4.2. 研究概要

浅田・池田研究室 Asada and Ikeda Laboratory

(<http://www.mos.t.u-tokyo.ac.jp>)

スマートイメージセンサの研究

浅田邦博, 池田 誠, 大池祐輔, 谷内出悠介, 橋本紘和, 松尾清隆

高速・高精細 3次元映像取得を目的として, 1024 × 768 画素の高速 3次元イメージセンサを開発した. 本イメージセンサは, 数メートルの距離に対して1mm以下の精度を持つ 3次元映像を 31.8 枚/秒で取得できる. この小さな画素構造を用いた列並列タイミング補償回路を提案した. 本手法により, 背景光抑圧, 低輝度投射光, デバイス特性ばらつきの影響軽減などを実現する. また, 光電流を受光部上で磁界により検波するデバイスを提案, 試作した. 高速検波によって光伝搬法(レーダ法)における高精度距離計測を実現できると期待される. さらに, 微細化されたメタル層を利用して, LSI上のメタル層パターンによって偏光や回折などの効果が得られることをデバイス試作により示した.

高性能 3次元計測システム

浅田邦博, 池田 誠, 大池祐輔, 谷内出悠, 新宅宏彰, 山本一統, 金 允璟

光切断法を用いた複数視点 3次元計測システムを構築した. スマートイメージセンサと投射光源を搭載したカメラを複数設置し, 全カメラの位置補正値をあらかじめ得る. 本システムは光切断法で最も高精度な実時間 3次元形状取得を実現する. また, システムの律速要因となる受光部感度の特性を測定し, 最も効果的な投射光の波長を示した. 一方で, ランダムパターン投射光を用いた新しい 3次元計測手法を提案した. 性能に関わるパターンウィンドウサイズを周波数解析により決定し, 高精度な距離情報取得に成功した. また, マンハッタン距離を用いた校則連想プロセッサをデジタル方式で実現し, 3次元映像からの物体抽出における有効性を示した.

高速トランジスタ配置を用いたセル特性見積もり手法

浅田邦博, 吉田浩章

半導体プロセスの微細化に伴って VLSI の大規模化が進むにつれ, 設計の早い段階においてレイアウトや物理的な影響を考慮することが必須になってきている. 本研究では高速なトランジスタ配置手法を用いて寄生成分の見積もりを行い, セルの特性を正確に見積もる手法を提案した. 本手法では階層的配置手法とグラフ 2 分割に基づく配置手法の 2 手法を利用し, 高速なトランジスタ配置を実現している.

Smart Image Sensors

K. Asada, M. Ikeda, Y. Oike, Y. Yachide, H. Hashimoto, K. Matsuo

We have developed a high-speed 3-D image sensor with 1024 x 768 pixels. The image sensor achieves 31.8 range maps/s with less than 1 mm range accuracy at a target distance of several meters. We have also proposed a column-parallel timing calibration technique using the compact pixel configuration. It achieves ambient light suppression, low-intensity beam projection, and suppression of the access timing variations. We have proposed a new device based on MAGFET for a high-accuracy time-of-flight range finding system. A photo current is directly correlated by a magnetic field on the photo receiver. Furthermore we have shown a light diffraction and a light polarization using a scaled metal pattern on a chip in the latest process technology.

High-Performance 3-D Range Finding System


K. Asada, M. Ikeda, Y. Oike, Y. Yachide, H. Shintaku K. Yamamoto, Y. K. Kim

We have developed a real-time high-accuracy 3-D measurement system based on the light-section method. It consists of multiple cameras with the smart image sensors and laser sources. The calibration parameters are acquired in advance, and a 3-D model is captured by time-division light projection. Furthermore, we measured the spectral sensitivity of the CMOS process to determine the most efficient wavelength of the laser beam. We have also proposed a new 3-D measurement method using a random patterned light projection. The pattern window size is determined by the frequency analysis for a high-accuracy 3-D measurement. Then, we have proposed a high-speed digital associative engine with wide-range Manhattan distance search. The associative engine is efficient for high-speed 3-D object clipping.

Cell Characteristics Estimation Using Quick Transistor Placement

K. Asada, H. Yoshida

With the advent of deep-submicron technologies, it has become essential to model the impact of layout parasitics up-front in all design flows. In our novel approach, we proposed a feasible technique that estimates cell characteristics accurately using quick transistor placement. To achieve a fast runtime, the proposed placement algorithm is based on hierarchical placement



また 0.13 μ m 商用セルライブラリに対する計算機実験を行い、本手法の妥当性を示した。

非相補型 CMOS 回路にも適用可能な最小幅トランジスタ配置手法

浅田邦博, 池田 誠, 飯塚哲也

非相補型の CMOS 回路にも適用可能な最小幅トランジスタ配置手法を提案した。従来までに提案されている最小幅トランジスタ配置手法は相補型の CMOS 回路のみを適用範囲としており、非相補型の回路に対する最小幅トランジスタ配置手法は存在しなかった。本手法では、最小幅トランジスタ配置問題を充足可能性判定問題に定式化し、トランジスタのゲート入力信号により P/N ペアを構成することができない回路に対しても最小幅の配置を生成することができる。実験結果から、本手法により従来手法では適用不可能な回路に対してもトランジスタ配置を生成できることが示された。

アナログ回路の性能ばらつきシンボリック解析

浅田邦博, 池田 誠, 山本崇也

アナログ回路設計者にとって性能ばらつき解析の重要度は益々増加しているが、最も一般的に用いられる SPICE による Monte Carlo 法 (MC) は多数の繰り返し演算を必要とする。提案手法では、解析式を用いたシンボリックなアプローチを用いて AC 解析を高速に行い、センシティブティを用いることで MC の繰り返し演算を避ける。動作点解析部のうち、回路トポロジ非依存の前半部は非線形解析を行い、回路トポロジ依存の後半部は線形近似を行いシンボリックに解析を行う。シンボリック解析には行列式決定グラフを用いたダイアグラム構造を利用して計算の効率化を図る。本手法は、SPICE よりもばらつき解析を高速に解析可能であり、ばらつき最適化に対して有効な精度を実現できることを示した。

電子ビームブロッカー括露光におけるショット削減手法

浅田邦博, 池田 誠, 風間大輔

LSI の微細化に伴い、マスクコストの高騰が問題となっている。マスクコストの削減のため、電子ビームブロッカー括露光が提案されているが、スループット向上に課題が残されている。本研究では電子ビームブロッカー括露光におけるスループット向上を目的とし、スループットに大きく寄与する露光ショット数の削減手法を提案した。従来マスク上のブロックはセルライブラリの一つのセルのレイアウトに対応しているが、提案手法では接続関係の多い 2 つのセルをレイアウト上に等間隔で並べ、その部分を一回で露光することによってショット数を削減する。提案手法により、従来法と比較してショット数を 16.3% 削減できることを示した。

and bi-partitioning based placement techniques. Experimental results on a 0.13 μ m industrial standard cell library showed the feasibility of the proposed approach.

Exact Minimum-Width Transistor Placement for Dual and Non-Dual CMOS Cells

K. Asada, M. Ikeda, T. Iizuka

We proposed a minimum-width transistor placement method for CMOS cells in presence of non-dual P and N type transistors using Boolean Satisfiability (SAT). The exact layout synthesis methods proposed previously are not applicable to non-dual CMOS cells and an exact transistor placement problem of non-dual CMOS cells is defined for the first time. The experimental results showed that the proposed method is applicable to the circuits which can not be solved by the conventional exact method.

Symbolic Analysis on Performance Fluctuation of Analog Circuits

K. Asada, M. Ikeda, T. Yamamoto

Process variation is getting serious problem as the feature size becomes small. Fast and accurate analysis on the process variation is needed for high performance analog circuit design. SPICE Monte Carlo simulation has been commonly employed for the fluctuation analysis, which requires a large number of simulations. We proposed a sensitivity-based symbolic analysis using determinant decision diagrams, DDD. We demonstrated the proposed method is faster than MC with sufficient accuracy for an optimization of performance deviations.

Shot Reduction Strategy for Character Projection Lithography

K. Asada, M. Ikeda, D. Kazama

Due to the recent improvement of VLSI process technology, the VLSI mask cost is increasing significantly. Electron beam Character Projection Lithography, using stencil masks, has been proposed to reduce the mask cost. The throughput, however, is very low. We proposed a shot reduction technique for the character projection to enhance the throughput. The conventional block patterns on a stencil mask are generated from cell layouts of a standard cell library, while the proposed method place two cells supposed to have connections into one block. The experimental results show 16.3% shots have been reduced compared with the conventional method.

基板ノイズ低減手法

浅田邦博, 池田 誠, 名倉 徹, モハメド アバス

LSI の高速化・低電圧化とアナログ・デジタル混載システムの発展に伴い, 電源ノイズ・基板ノイズによって引き起こされるエラーが深刻化している。基板はグランド線と低インピーダンスで接続されているため, グランドノイズと基板ノイズは密接な関係がある。グランド線インピーダンスの主成分がインダクタンスである場合, グランドノイズと基板ノイズは di/dt に比例する。昨年の研究成果として di/dt を測定するオンチップ回路を開発したが, 本研究では, di/dt 測定回路出力を基板に注入することにより, 基板ノイズを低減することが可能であることを示した。

EMI ノイズ解析および低減

浅田邦博, 池田 誠, 顔 子翔, 李 楠

LSI の高速化にともない, 電磁干渉 (EMI) が問題となってきた。LSI のレイアウトとシミュレーション結果を用い, 個々の配線から放射される電磁波を計算し, それら全てを足し合わせることで, チップから放射される EMI ノイズを解析する手法を検討した。また, チップ上の長距離高速データ伝送に向けた, 3 信号線を用いてデータおよびクロックを符号化伝送する 3 相式データ伝送方式の検討を行った。常に近接した 2 本の線が相補的に信号遷移するため, 電界・磁界分布がより小さい領域内に制限され, EMI の削減が可能であることを示した。

DCVSL 回路を用いた非パイプライン型低雑音 CPU の設計

浅田邦博, 池田 誠, 鄭 若彤, 鈴木真一, デリア キンフィ, 梁 志成

本研究では, 非パイプライン型低雑音マイクロプロセッサを自己同期の DCVSL 回路で設計した。従来の DCVSL 回路の速度を向上するため, プリチャージ信号の負荷を減らす手法 (footless DCVSL) を考案した。CMOS SOI プロセスでの試作結果, 従来の DCVSL 回路より 1.12 倍の速度改善がわかった。さらに, マイクロプロセッサの動作信頼性を改善するため, スマートクロックドライバを提案した。回路のプリチャージ時間, 電源電圧, 閾値電圧などのパラメータの変化に対応して誤動作状態から回復するため, 高信頼性を実現できることが期待される。

配列型 CMOS 論理回路方式の検討

浅田邦博, 池田 誠, Ulkuhan Ekinciel, 山内裕史, 戎野浩平

高速性, 低消費電力性及び面積効率の高い配列型 CMOS 論理回路方式として, 2 入力論理セルを内部構造に有し, さらに 2 線式閾値論理を組み込んだ 2 線式プログラマブル・ロジック・アレイを提案した。提案方式は配列型回路構造

Substrate Noise Reduction using di/dt Detector

K. Asada, M. Ikeda, T. Nakura, A. Mohamed

Power supply noise and substrate noise are becoming critical issues, due to operations of higher frequency, lower-voltage and the development of analog/digital mixed signal LSIs. Since ground lines and substrates are connected together with low impedance, the substrate noise has close relation to the ground bounce. The amplitude of the ground noise and the substrate noise are proportional to the di/dt . We have developed a di/dt detector last year. This year, we have shown that the output current from the di/dt detector injected into the substrate reduces the substrate noise.

EMI noise analysis and EMI noise reduction

K. Asada, M. Ikeda, T. Yen, N. Li

We have proposed an EMI noise analysis method using wiring shapes from layout and current waveform by circuit simulation. We summed up electro-magnetic field from every segment of wires and obtained the total EMI emissions from LSIs. We studied a delay insensitive data communication architecture using 3-wire data encoding, 3-phase data encoding, which is applicable to the on-chip long and hi-speed communication lines. Since adjacent wires switch to the different directions, the electric and magnetic fields are restricted in a smaller loop, resulting in EMI noise reduction.

Low noise non-pipeline microprocessor design using DCVSL Cell Library

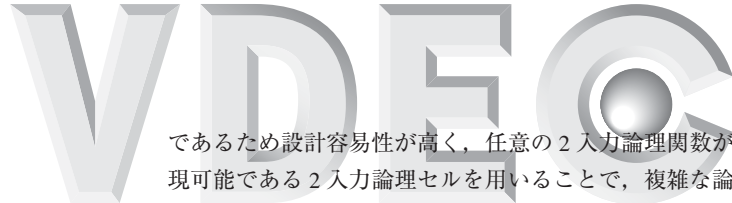
K. Asada, M. Ikeda, R. Zheng, S. Suzuki, K. H. Dia, Z. Liang

An non-pipeline microprocessor was designed with self-timed DCVSL (Differential Cascoded Voltage Switch Logic) circuits. To enhance the speed performance and to reduce the load of the precharge signals for the DCVSL circuits, footless DCVSL with self-timed precharge scheme is proposed. The proposed footless DCVSL achieves 1.12 times speed improvement over the conventional DCVSL circuit if implemented in CMOS SOI technology. We also proposed a "Smart Clock Driver" for the non-pipeline microprocessor to enhance the reliability of the processor. The "Smart Clock Driver" adopts operation according to the variations such like precharge time, supply voltage, and threshold voltage, and controls self-recovery from fault status.

A Study on Array Logic Circuits

K. Asada, M. Ikeda, H. Yamaoka, U. Ekinciel, H. Yamauchi, K. Ebisuno

We proposed a high-speed, low-power, and area-efficient dual-rail PLA with 2-input logic cells and dual-rail multiple-threshold logic circuit. The structural regularity of the PLA enhances the designability, and 2-input logic cells, which can realize any



であるため設計容易性が高く、任意の2入力論理関数が表現可能である2入力論理セルを用いることで、複雑な論理式を効率良く実現できる。これにより従来の配列方論理回路方式と比較して、高速化、低消費電力化、高面積効率化が可能である。また本回路方式は、2線式回路であるため、同相ノイズに対する耐性が高く、高い動作信頼性を実現可能である。本回路方式を用いた回路設計を容易化するために、論理記述からLSIレイアウトを自動生成するモジュール・ジェネレータを開発した。また、排他的論理和ベースの配列型回路を提案し、この構造を利用したハミング符号器を作成した。

ガラス基板上のシステム構築

浅田邦博, 池田 誠, 田島貴明

ガラス基板への TFT 製造技術の向上に伴い、液晶パネル上へのシステムの搭載に向けた研究が進行している。ここではガラス基板の電子ペーパー等としての利用を念頭において、容量性結合・誘導性結合によるガラス基板への非接触データ伝送を考える。受信側の素子の大きさ、伝送距離、最適データレートの見積もりを行った。

SoC のテスト手法

浅田邦博, 池田 誠, 村田泰亮

フィールドでの LSI のテスト手法として現在広く使われているのが、セルと呼ばれるシフトレジスタを LSI ロジックと I/O ピンとの間に配置する、バウンダリスキャン法である。本研究では、より柔軟なテストを可能にするため、バウンダリスキャンテストのセルの操作を、チップ上の CPU 及びその上で動作するインタプリタにより行う手法について提案し、搭載するインタプリタの設計を行った。インタプリタは、セルの値の操作とホストコンピュータとのデータ通信を行うための文を実装した言語仕様とし、C 言語によって実装し動作確認を行い、その後チップ上への搭載を可能にするためにアセンブラ言語により記述した。

2-input Boolean functions, efficiently realize complex logic functions. The structure enabled high-speed, low-power and area efficiency compared with usual PLA. We employed dual-rail structure to improve the common-mode noise immunity and reliability. We developed a module generator for the proposed PLA structure, which produces layouts and simulation models for given Boolean expressions. We proposed exclusive OR based PLA and developed hamming code generator using the architecture.

System on Glass Panels

K. Asada, M. Ikeda, T. Tajima

We have been studying embedded systems onto LCD panels. We studied systems on LCD glass panels for such applications like electrical papers. We studied capacitive coupling and inductive coupling for contact-less communication systems between terminals and LCD panels. We estimated the optimized data transmission rate against the transmission distance, and element size assuming TFT circuit.

A Testing method For SoC

K. Asada, M. Ikeda, T. Murata

A boundary scan testing method is used widely for testing LSIs in the field. In this method, shift registers called cells are placed between LSI logic and I/O pins. We have proposed a testing method using an on-chip CPU and interpreter operating on the CPU to enable easier testing. This interpreter operates operation of cells and communication to host computer. We described the interpreter in C language at first to confirm its operation. Secondary we described the interpreter in assembler language to enable implementation on chips.

藤田研究室 Fujita Laboratory (<http://www.cad.t.u-tokyo.ac.jp>)

設計の形式的検証に関する研究

藤田昌宏, Thanyapat Sakunkonchak, 松本剛史, Cho Moon Ki, 石井 健, 西原 祐

VLSI 設計の大規模化に伴い、設計の検証に要する時間は長期化しており、現在では全設計期間の大半を占めるまで

1. Formal verification of designs

Masahiro FUJITA, Thanyapat SAKUNKONCHAK, Takeshi MATSUMOTO, Cho Moon Ki, Ken ISHII, Tasuku NISHIHARA

As VLSI designs become larger and more complex, verification of designs takes more time. Verification process dominates the

になっている。さらに、従来のシミュレーションによる検証では、テストパターンの急激な増加が問題になっている。このため、テストパターンを必要とせず、数学的な手法によって正しさを証明する形式的検証の重要性が高まっている。設計期間の短縮のためには、できる限り多くの設計誤りをより早期に発見し、修正する必要がある。そこで、本研究では、Cベース設計言語で記述されたシステム設計やベヘビア設計における形式的検証手法としてSpecC設計記述の同期検証手法とC言語記述の等価性検証に取り組んだ。同期検証では、正しい同期設計がなされているかどうかを検証する2手法を提案した。1つ目の手法は、同期に関する文のある位置関係が、決められた規則に従っているかを非常に高速に検証し、誤った同期設計である可能性のある部分を報告する。2つ目の手法は、正しい同期であるかどうかを整数線形計画法の問題に帰着させて、より正確に検証する。このとき、より大規模な設計の検証を行うために抽象化手法を適用するため、検証が失敗した場合、得られた反例が実際の設計では起こり得ないものである場合が生じる。そこで、反例が実際の設計で存在するかどうかを調べる手法と実際の設計では存在しない場合の抽象化改良手法を併せて提案した。C言語に対する等価性検証では、記号シミュレーションに基づく、記述間の差異を利用した効率的な手法を提案した。これらの検証手法は、実験によって正しい結果が得られることが確認された。これらの検証手法に加えて、設計記述を数学的なモデルに変換し、既存の形式的検証ツールを用いて検証を行うことにも取り組んだ。ここでは、SpecC言語で記述された並列性を含む設計の有限状態機械への変換と、ハードウェア部分がレジスタ転送レベルにおいてハードウェア記述言語で、ソフトウェア部分がC言語で記述された協調設計を有限状態機械へ変換する手法を提案した。特に、後者の手法では、実際に既存の検証ツールを用いて正しく検証できることを確認した。

ソフトウェア・ハードウェア協調システム設計技術に関する研究

藤田昌宏, 瀬戸謙修, 小松 聡, 小島慶久, 高 尚華, Kamal Adhikari

デジタルシステムを実現する際に、ソフトウェアとハードウェアが適切に役割を分担することにより、価格性能比を最適にする設計技術、および設計支援技術について研究している。このような技術では、システム全体の仕様をCベース言語などで記述し、そこからプロファイリング情報などを通してソフトウェアとハードウェアの最適な役割分担を決める。その後、ソフトウェア部分のCコードに対してはコンパイラによってオブジェクトコードを生成し、ハードウェア部分のCコードに対しては高位合成、論理合成およびレイアウトツールを使用してハードウェアを生成する。ハードウェア部分は、性能的ボトルネックとなりやすいループ処理を担当することが多い。ループ処理はハードウェア中でパイプライン化されることが多い。しかしながら現状の高位合成ツールでは単純なパイプライン自動合成しかできないことが多い。そこで本研究では、高位合成に

whole design process. In order to verify the correctness of the entire designs, a very large number of simulation patterns is necessary, which becomes a serious problem in verification based on simulation. Therefore, formal verification is strongly required since it proves correctness of designs mathematically without test patterns. To reduce the design process, design errors should be found and modified in early stages in design flow. In this research, two formal verification methods targeting C-based system-level or behavior-level designs are proposed: one is synchronization verification for designs in SpecC and the other is equivalence checking of C descriptions. In synchronization verification, our method, at first, checks potential synchronization errors based on locations of syntactical elements related to synchronization designs. Then, more precise verification is carried out using integer linear programming solver. At the verification, since we apply an abstraction technique to reduce design sizes, to be able to verify, false-negative counterexamples can be obtained. To avoid them, we also proposed the analysis method to decide whether a given counterexample is false-negative and the abstraction refinement method based on a given false-negative counterexamples. In equivalence checking, we proposed the efficient verification method utilizing textual differences between the given descriptions. All verification methods described above were evaluated by experiments, and obtained correct results. We also developed the transformation method from SpecC designs to Finite State Machines (FSMs) and from HW/SW co-designs to FSMs, so that existence verification tools can be used to verify high-level designs. Using the transformation from HW/SW co-designs, where the HW part is described in RTL, and the SW part is in C language, we successfully verified some properties with existing formal verifiers.

Computer Aided Design for Software / Hardware Combined Systems

Masahiro FUJITA, Kenshu SETO, Satoshi KOMATSU, Yoshihisa KOJIMA, Gao SHANGHUA, Kamal ADHIKARI

Design methodologies and corresponding CAD techniques for software/hardware combined digital systems are studied. In such methodologies, the specification of the overall system is usually described by a C-based design language, and the optimal hardware/software partitioning is performed by using profiling information. After partitioning, the C code corresponding to software is translated into object code by a compiler, and the C code corresponding to hardware is translated into hardware by using high-level synthesis, logic synthesis and layout tools. Hardware portions often execute loops which tend to be performance bottlenecks. Usually, loops are pipelined in hardware. However, most existing high-level synthesis tools can only perform simple pipeline synthesis. In this research, we propose a method for synthesizing high-performance pipeline by applying several source-level optimizations before loop pipelining using high-level



においてパイプライン化する前にソースレベルの最適化を適用することで、高位合成ツールをそのまま使用した場合よりも高性能なパイプラインを合成する手法を提案した。実験結果から、提案手法によりパイプラインの性能が大幅に向上することが示された。また、配線遅延などのレイアウトの影響を考慮したパイプライン化についても研究している。

高位設計記述に対するデバッグ支援技術に関する研究

藤田昌宏, 田辺 健, 松本剛史, 佐々木俊介

VLSI 設計の大規模化・高機能化に伴い、検証で発見された設計誤りを修正する作業もより複雑になっており、設計者にとって理解が容易なデバッグ支援技術が不可欠となっている。本研究テーマでは、近年、広く行われるようになってきているシステムレベル設計や動作設計といった高位設計を対象としたデバッグ支援技術の研究を行った。まず、対象とする言語としてシステムレベル記述言語である SpecC 言語を取り上げ、ソフトウェア工学における解析手法であるプログラムスライシング手法を導入する研究を行った。この研究では、SpecC におけるプログラムスライシングを実現するために SpecC 記述をシステム依存グラフで表現する方法を示し、ツールの実装を行った。また、依存グラフを辿ることで、プログラム中の未初期化変数の参照や未使用の変数の存在といった、バグの可能性の高い箇所を検出することができることを示した。さらに、C 言語記述の等価性検証における反例解析手法の研究も行った。この研究では、検証の結果が等価でなかった場合に、記述中のどの部分とその等価でない原因になっているのかをより狭い範囲で特定することを目指した。具体的には、2 つの実行パスとして与えられた反例をデータフローグラフとして表現し、それらの入力側と出力側から対応が取れる部分を取り除いていくことによって、最終的に等価でない原因となっている部分を得ることができる。例題を用いた実験によって、デバッグに有用なほどに狭い範囲で等価でない部分を特定することができることを示した。

UML を用いた上位設計手法に関する研究

藤田昌宏, 小松 聡, 松井 健

オブジェクト指向設計方法論はソフトウェア開発分野で広く利用され、設計生産性の向上に寄与しているとされる。そこで、これに倣うことでハードウェアの設計においても同様の効果を得ることを期待し、そのための手法について研究している。本研究では、オブジェクト指向モデルの標準表記法である UML (統一モデリング言語) とシステム設計記述言語である SpecC とを組み合わせ用いることを考え、これによりシステムの上位設計をオブジェクト指向設計方法論に沿って行うための開発プロセスを考案した。さらに、実際の設計で良く用いられるインタフェース回路の一種としてコンパクトフラッシュメモリインタフェースを例題と

synthesis. Experimental results showed that the performance of pipeline can be largely improved by the proposed method. We are also working on pipelining method considering layout effect such as interconnect delay.

Debug support techniques in high-level designs

Masahiro FUJITA, Ken TANABE, Takeshi MATSUMOTO, Shunsuke SASAKI

As VLSI designs are larger and more complex, debugging design errors is also becoming a difficult task. Therefore, debug support techniques that are useful and understandable to designers are inevitable in VLSI design. In this research topic, we developed the debug support techniques targeting high-level designs such as system-level designs and behavior-level designs, which are widely applied recently. We proposed program slicing method, which is a software analysis method, of SpecC language, which is a system level design language. In this research, we have shown how to make system dependence graphs of SpecC descriptions and we have developed a program slicing tool of SpecC language. We also proposed bug detecting methods using program slicing. In this method, reference of uninitialized variables and unused variables can be detected by traversing dependence graphs. We also proposed a counter-example analysis method in equivalence checking of C descriptions. The purpose of the analysis is to identify the source of inequivalence from the whole descriptions when verification fails, so that designers can easily know which portions should be modified. In our equivalence checking, a counter-example is reported in the form of equivalence classes. The analysis method takes a counter-example and represents in data flow graphs. Then, taking correspondence of the graphs from the input side and the output side, the source of inequivalence can be finally identified. By experiments on a few examples, we have shown that the method could effectively identify the portions that were not equivalent and should be modified for equivalence.

Specification and design of hardware systems with UML and SpecC

Masahiro FUJITA, Satoshi KOMATSU, Ken MATSUI

Object-Oriented (OO) methodologies have been widely adopted in many application domains, and the Unified Modeling Language (UML) has become the industry standard for modeling software systems. And interest in hardware design using UML has been growing significantly since OO and UML improve product quality and productivity, which is a major issue in hardware design. So in this research, we examine and propose a process of high-level system design using OO, UML and SpecC. According to this process, we designed a compact-flash memory interface controller which is a common example of interface cir-

して取り上げ、この開発プロセスに沿って分析設計を行えることを確認した。

デジタル/アナログ混載システムの設計支援技術に関する研究 藤田昌宏, 小松 聡, 劉 宇

近年、ハードウェアとソフトウェア両方とも記述できるシステムレベル設計言語 (SLDL) が注目されている。現在のデジタルシステムのみを対象としている、SLDL に対してミックスド・シグナル拡張を行うことで、アナログ・デジタル混在システム設計を支援できることを目標している。SLDL のミックスド・シグナル拡張には、並列で動作しているデジタル部分とアナログ部分の同期を考慮しなければならない。従来、システム全体で単一の時間を使って、アナログとデジタルを同期させる手法が存在したが、本研究では、AD イベントと DA イベントを利用し、アナログ部分と timed/untimed デジタルビヘイビアとを同期する手法を提案した。さらに、提案した手法を C-base SLDL: SpecC のカーネルに挿入して実装する方法を示した。実験結果から、提案手法が timed/untimed デジタルシステムレベル記述で動作していることを示した。

低電力システム設計技術に関する研究

藤田昌宏, 小松 聡

現在の VLSI システム設計において、消費電力は最も重大な設計制約のうちの 1 つである。加えて、VLSI システムのエラーに対する耐性もまた現在あるいは将来の微細化された VLSI テクノロジーにおいて重要な要素の一つである。本研究では、オンチップデータ伝送での、高信頼データ伝送方式に対する低消費電力符号の影響についての検討を行った。SPEC2000 ベンチマークを利用した実験により、提案された方法により最高 33% の信号遷移削減を実現できることを示した。さらに、エンコーダ/デコーダ回路でのオーバヘッドおよびバス信号の振幅最適化を考慮した評価を行い、低消費電力符号化と高信頼符号化を組み合わせることで、将来の VLSI システムにおいて有効なデータ伝送方式を実現可能であることを示した。

cuit and confirmed the process is useable for specification and design of hardware systems.

Computer Aided Design for Digital-Analog Mixed Systems Masahiro FUJITA, Satoshi KOMATSU, Liu YU

Recently, System-Level Design Languages (SLDL) which can describe both hardware and software aspects of the design are getting attentions. Mixed-signal extensions of SLDL enable current discrete-oriented SLDL to describe and simulate not only digital systems but also Digital-Analog mixed-signal systems. The synchronization layer is one of the most critical work in mixed-signal extensions. In the research, we provide an event-driven synchronization approach for both timed and untimed system-level designs through which discrete and continuous time systems are synchronized via Analog-Digital(AD) events and Digital-Analog(DA) events. We also demonstrate how the synchronization method can be incorporated into SLDL, such as simulation kernel of SpecC. In the extended kernel, a new simulation cycle, AMS cycle is introduced. A preliminary evaluation on a spike-based current mode ADC with CNT based analog system-level description shows that the extended kernel works well under the system-level description.

6. Low power system design method

Masahiro FUJITA, Satoshi KOMATSU

Energy consumption is one of the most critical constraints in the current VLSI system designs. In addition, fault tolerance of VLSI systems is also one of the most important requirements in the current shrunk VLSI technologies. This study presents an impact of the low power encoding on the fault tolerant data encoding methods in on-chip data transfer scheme. Experiments using SPEC2000 benchmark programs show that the proposed methods can reduce signal transitions by up to 33% on the bus with fault tolerance. Moreover, the results show that bus signal swing optimization can increase the effectiveness of the encoding method.


年吉研究室 Toshiyoshi Laboratory (<http://toshi.fujita3.iis.u-tokyo.ac.jp>)

静電マイクロアクチュエータの光ファイバ通信応用

年吉 洋, その他企業からの受託研究員, 共同研究員

Electrostatic Microactuators for Fiber Optic Applications

Hiroshi Toshiyoshi and Industrial Affiliates



MEMS (Micro Electro Mechanical Systems) 技術による静電駆動型のマイクロミラーを光通信コンポーネントに応用する際の設計上の課題として、駆動電圧の低電圧化、スキャン角度の拡大、長期安定性、温度依存性、耐衝撃性の改善があげられる。本研究では、光学、材料力学、半導体プロセス工学などを総合したマイクロミラーの設計製作に関する理工学の構築を進めている。光学関連企業数社との個別共同研究。

フォトニック結晶と MEMS デバイスの融合

年吉 洋, 肥後昭男

ソリッドステート型の光導波路デバイスを現在の1/10000以下(面積比)に小型化するために、フォトニック結晶光導波路上にMEMSデバイスを集積化した新しい光変調器/光スイッチを試作している。光導波路上のエバネッセント領域で高屈折率材料(シリコン)を機械的に振動させることにより、変調を掛ける方式である。これまでに、電子ビーム描画およびシリコンの高アスペクト比ドライエッチングによりフォトニック結晶導波路を形成し、その上に酸化膜、多結晶シリコンからなるMEMSレイヤーを追加加工して静電駆動型の光変調器を製作した。さらに、製作プロセスを安定して行うために、シリコン酸化膜(犠牲層)、シリコン窒化膜(保護層)および、シリコン薄膜(機械的構造層)の3種類を使い分けたプロセスを考案した。

光による微小物体の駆動制御

年吉 洋, 山内木綿子

MEMS機構の微細化とアレイ化にともなって、個別のマイクロ機構を駆動するための電気配線が困難になりつつある。これを解決する手段として、自由空間中を伝搬する光ビームを用いて微小機械構造を駆動する方法を検討した。ただし、光のもつ運動量は μm オーダーの機構を駆動するには小さすぎる。そこで本研究では、電圧印加による静電引力を外部から導入した光で変調できる仕組みをフォトダイオードと静電容量型のアクチュエータとして構成する新しい方法を考案した。このデバイス構成で静電マイクロミラーを製作し、それを自由空間光演算素子として応用する方法を提案した。

マイクロレンズスキャナの光ファイバスイッチ応用

年吉 洋, 高橋一宏

MEMS (Micro Electro Mechanical Systems) 技術により製作した微小なミラーを用いて大規模光クロスコネクストスイッチ(OXC, optical crossconnect)を構成する研究が国内外で盛んに行われている。本研究では、ミラーをスイッチング素子に用いた場合の問題点として、光ファイバアレイ

Technical difficulties in applying MEMS (Micro Electro Mechanical Systems) electrostatic micro mirrors lie in lowering their driving voltage, extending scan angles, improving long-term stability including temperature dependence and anti-shock tolerance. In this work, we develop a toolbox of microengineering knowledge for designing and producing micro mechanical mirrors in collaboration with industrial partners.

Integration of Photonic Crystals with MEMS Devices

Hiroshi Toshiyoshi and Akio Higo

A new type of microelectromechanical optical device is under development by integrating MEMS components with photonic-crystal (PhC) waveguides in order to minimize the device size to 1/10000 times folded compared with the photonic lightwave circuit (PLC) devices today. A micron-scale movable structure is placed over the evanescent field in close vicinity of an optical waveguide, and a traveling light through the waveguide is intensity / phase modulated by means of the mechanical motion of such high refractive-index material. We have developed a prototype of an opto-mechanical device by patterning the PhC waveguide and post-processing micro/nano mechanical structures with deposited silicon oxide and polysilicon layers. We have newly developed more reliable fabrication process using silicon oxide (sacrificial layer), silicon nitride (passivation layer), and (poly)silicon layer (structure).

Optical Addressing of Micro Structures

Hiroshi Toshiyoshi and Yuko Yamauchi

With decreasing the size of MEMS devices, it is becoming more difficult to have electrical interconnections to the microcomponents on a chip. As a possible solution to this problem, we have newly developed a method to mechanically address/drive microstructure by using light beams traveling in free space; momentum of photon, however, is very small to drive micromechanical structures. Hence we employed electrostatic force of applied voltage acting on the movable mechanical parts and optically modulated the voltage applied to the actuators by using a photocoupler structure of integrated silicon photodiodes and capacitive electrostatic micro actuators. We have also developed a micro mirror device based upon the principle and proposed an architecture for spatial optical computing.

Microlens scanners for optical fiber switch application

Hiroshi Toshiyoshi and Kazuhiro Takahashi

Various kinds of MEMS (Micro Electro Mechanical Systems) mirrors have been developed for large-scale optical crossconnect (OXC) applications. After careful investigation on optical alignment between fiber arrays and collimator arrays, we have concluded that micro-mechanically adjustable collimators could

とコリメータレンズアレイの位置合わせ誤差について検討した結果、コリメータレンズそのものを微小駆動することで光学特性を改善できることを指摘した。また、レンズを比較的大きな変位で駆動することにより、コリメータレンズにスキャン機能を持たせることができる。このようなレンズ駆動型の光スキャナを用いて光クロスコネクトを実現する研究を行っている。また、今年度はアクチュエータと駆動用の高電圧（40V 耐圧）回路をモノリシックに集積化する方法を検討した。

improve optical performance of the system. Furthermore, collimator lens is able to scan the light beam when actuated at larger stroke. We have thus developed microelectromechanically movable lens scanners for OXCs. We have also developed a new technology to monolithically integrate microactuators with high-voltage (40 V) driver circuits.

服部研究室 Hattori Laboratory

(http://www.vbl.kyushu-u.ac.jp/~hat_lab)

電子ペーパー

服部励治

電子ペーパーとは電子ディスプレイと紙の特性を併せ持つものである。すなわち、電子ディスプレイのように表示画面を自由に書き換えられ、紙のように薄く・軽く・安く・白く、かつ超低消費電力でなければいけない。このようなディスプレイを実現しようと現在さまざまな技術が開発されているが、我々は“電子分流体”を用いたディスプレイの開発に取り組んでいる。この技術は他に比べあらゆる点で優れており、最も電子ペーパー実現に最も近いところにある。服部研究室ではこのディスプレイの駆動方法・専用ドライバー IC・実装方法などを中心に研究・開発を行っている。

Electronic Paper

Reiji Hattori

“Electronic Paper” has both characteristics of “an electronic display” and “a paper.” That is to say, it must be quickly rewritable or refreshable just like an electronic display and must be thin, light, cheap, white and an ultra-low power consumption device just like a paper. Although such a display is developed all over the world with various kinds of technologies, we are now developing a display using “Electronic Liquid Powder”. This technology is superior to all others and has the closest position to an electronic paper. Our laboratory is focusing on the researches and developments of the driving method, the custom driver IC and its mounting method.

有機 EL ディスプレイ

服部励治

有機ELディスプレイは応答性、視野角、コントラストで液晶ディスプレイより優れ、次世代フラット・パネルディスプレイの有力候補として注目されている。しかし、有機ELは電流駆動素子であるため液晶とは全く違う駆動法を必要とする。我々は携帯電話背面パネルからTVモニターまでのさまざまな有機ELのアプリケーションに適した駆動法を考え、有機EL素子からコントロールICまでを含めたトータル・システムとして有機ELディスプレイの最適設計に取り組んでいる。

Organic Light-Emitting Display

Reiji Hattori

Much attention has been paid for OLED in a new generation display because OLED display has advantages over LCD such as high response speed, wide viewing angle and high contrast in dark. However, since OLED is a device driven by current source, it needs a quite different driving method from that of LCD. We are devoting ourselves into the optimum designing of OLED to various kinds of application searching the total system solution including from OLED diode device to a controlling IC.

1. 右脳型ソフトコンピューティング VLSI: 連想プロセッサ・システム

柴田 直, 小川 誠, 小林大輔, 中山友之, 早川 仁, 高田 謙, シーサムラース・サクダ

現在のコンピュータは四則演算の超高速処理に特化したマシンであり, 人間のように「ものを見て柔軟に判断・理解し, 即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し, 過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを, シリコン超 LSI 技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し, 直感・連想・推論といった処理を得意とした LSI チップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ (ニューロン MOS, neuMOS) を導入, 膨大な template 群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ, 0.18 ミクロン CMOS 技術を用いた超高速デジタル連想プロセッサ等を, これまで開発した。今後連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップ用いて構築して行く。そのために我々の思考過程を柔軟に記述できる APROL (Association Programming Language) の開発も行う。四則演算に代わり連想をメ computing primitive モとする実時間事象認識知能システム実現を目指す研究である。現在, 画像認識・音声認識をテーマに研究を進めている。ここで開発した VLSI 回路技術は, 実用的な応用として, CDMA マッチトフィルタへの応用技術等も開発している。

2. 画像の特徴ベクトル抽出 VLSI 及びそのパターン認識への応用

柴田 直, 伊藤潔人, 山崎英男, トンプラシット・ベンジャマース

我々の連想プロセッサアーキテクチャを画像認識に用いるには, 2次元の画像情報を特徴ベクトル, 即ち一次元の数値列で表現しなければならない。我々はこの目的で, 主方向線分投影法 (PPED: Projected Principal-Edge Distribution) と呼ぶ新たな特徴ベクトル表現法を開発した。2次元画像に対し, 縦・横・斜め2方向, 計4方向の線分を抽出してフィーチャーマップを作成, そのビットフラグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する。これらをつなぎ合わせて64次元ベクトルとし, 64×64ピクセルの画像を表現する。これは, 元画像の特徴を実にうまく表現しており, 手書きによるパターンの変形, 歪みに対しほとんど影響を受けない。従っ

Right-Brain-Computing Integrated Circuits: Associative Processing Systems

T. Shibata, M. Ogawa, D. Kobayashi, T. Nakayama, H. Hayakawa, K.Takata, Srisomrun Sakda

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are ef-fortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called "Neuron MOS Transistor"(neuMOS or vMOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that "association" is the very computing primitive, we are pursuing human-like intelligence system implementation directly in silicon integrated circuits. Currently research is in progress for robust image recognition and voice recognition processing. The sate-of-the-art silicon technology has been utilized to implement such associative processors in both analog and digital CMOS VLSI chips. As a practical application of the circuit technology developed for the associative processor chips, CDMA matched filter chips have also been developed.

A Robust Feature-Vector Generation VLSI's and their Application to Handwriting Pattern Recognition and Medical X-ray Analysis

T. Shibata, M. Ogawa, K. Ito, H. Yamasaki, B. Tongprashit

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a feature vector, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by "Projected

て、単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる。特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった。さらにこの手法を矯正歯科診療におけるセファロ X 線写真解析に応用、歯学部学生にとっても高度な訓練を必要とする解剖学的特徴点抽出の困難な作業が、専門医と同様にできることがわかった。今後、連想プロセッサと統合し、一般的な知的画像認識システム構築へと発展させていく。このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり、neuMOS を用いたアナログ CMOS 回路技術、および最先端のデジタル CMOS 回路技術の両方を用いて、独自のアーキテクチャを持つ特徴ベクトル生成 VLSI チップの開発を行っている。

3. 実時間動画画像処理プロセッサ

柴田 直, 亀谷 暁, オウグ・オストルク, ハオ・ジア

リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾する Saliency Catcher, 及びキャッチした物体の 3 次元計測を瞬時に行える VLSI プロセッサの研究を行っている。Saliency Catcher については、擬似二次元処理と呼ぶ新たな手法を導入、すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため、各画素部では大きなフィルファクタが実現できた。フィルファクタとは、各ピクセルプロセッサ内でフォトダイオードが占める面積の割合で、これが大きいほど多くの画像情報が処理に取り込める。このチップは、複雑な背景の中から複数の動いている物体を、動きの大きさとともに検出できる。さらにカメラ自身がブレて背景が動いても検出できるという特徴をもつ。実際にチップで基本性能を確認した。さらに運動物体の 3 次元計測をリアルタイムで行うチップも開発した。これはキャパシタ間での電荷の再配置のみを演算に使う回路であり、究極の低消費電力システム実現の可能性を秘めている。

4. Multi-Clue サーチアルゴリズムによるロバストな顔検出

柴田 直, 鈴木康文, 川原邦男

顔の検出は、ヒューマンインタフェースの研究において重要な課題である。従来、肌色に着目したり、ニューラルネットによる分類等さまざまな手法が開発されているが、写真の撮影条件の影響を受けたり、あるいは本当の顔を逃してしまう、いわゆる false negative の発生といった問題が多かった。本研究では、多少の false positive (顔以外のものでも似ていると顔として検出) はあっても、「本当の顔を絶対に逃さない」ことを目標とするロバストな顔検出アルゴリズムの基礎を、これまでの成果であるエッジベースのベクトル表現法 (PPED) を発展させて確立した。PPED 法による検出は、例えば壁のしみでも眺めていると人間の顔に見えてくるといった、人間の認識に非常に近い検出アルゴリズムであるが、本研究では PPED とは補完的な性質を持つ、新たな 2 つのベクトル表現法を開発、オリジナル PPED ベクトルと同時に用いた多重照合法 (multiple cluematching)

Principal-Edge Distribution (PPED)” algorithm. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituitary gland), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

Real-Time Moving Image Processing VLSI Systems

T. Shibata, S. Kametani, Öztürk Övgü, Hao Jia

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has been also developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

Multiple Clue Search Algorithm for Robust Face Detection

T. Shibata, Y. Suzuki, K. Kawahara

Face localization is an important issue in new generation of human interface. There have been many approaches such as skin color detection and using neural networks. They have, however, many problems such as high sensitivity to photograph exposure conditions, and existence of “false negatives”. The objective in our approach is to try to minimize the number of “false negatives”, even it might increase the number of “false positives”. Our algorithm can detect non-face images that are very similar to faces. A preliminary research is done by extending our edge-based vector image representation method (PPED). Besides the PPED-based detection method, two other new vector representations, which are complementary to PPED, have been developed. Using the multiple clue method with these three representations, a very robust performance in face detection has been achieved. We also developed a new distance measure in which the statisti-



の開発により、大変ロバストな顔検出を実現した。さらにPPEDベクトルの各エレメントの持つ重要性を、各クラスの統計的性質より導き出す手法を開発、これを距離計算に取り込むことによりさらに検出精度を上げることができた。

5. 初期視覚プロセッシングシステム

三田吉郎, 中下友介, 高橋徳浩, 清水 健, 柴田 直

フォトセンサと情報処理回路を融合した高機能イメージセンサは発展が期待できる。本研究では、イメージセンサを内蔵して、外界の状況から特徴を瞬時に抽出する知的情報処理VLSIの研究を行なっている。これは本研究室の「右脳的情報処理システム」の入力フロントエンドとして用いる予定である。このようなVLSIは、フォトダイオードと処理回路とで演算単位「セル」を構成し、セルを基盤の目状に並べる構造が一般的であるが、生体で行なわれているようにセル間を配線するためには三次元配線が必要となる。ひるがえってVLSIの配線は原理的に二次元であるから、セル同士の配線をいかに工夫して行なうかが問題となる。センサをセル同士の交点にずらし、また各セルで一旦情報処理を行なった結果のみを近接セルに転送する二段階方式を用いることで、3近傍セルまでの演算をできることを提唱した。0.35 μ mテクノロジーにおいてチップを試作しリアルタイム動作を行なうことに成功した。また基礎的データを収集するため、0.35 μ mバルク基板、0.15 μ mSOI基板において光電変換効率の測定を行なった。

6. ナノホールアレイの作製技術高度化と応用（日仏共同研究SAKURAプロジェクト）

三田吉郎, フレデリック・マーティ*, 久保田雅則, 伊藤 晃太, タリク・ブレイナ*, 柴田 直

* 電子工業技術高等学院 (ESIEE, パリ)

日仏の研究者が共同し、VDEC所有EB装置を利用してナノリソグラフィを行ない、ESIEE所有の深掘りRIE装置でエッチングを行なって、デザイン相乗り型ナノサイズ構造を作製、様々な応用に供する試みを行なっている。現在、最小サイズ370ナノメートル、アスペクト比1:107のトレンチ構造を作製することに成功している。MEMS用サブミクロンサイズの深掘り構造は、これまでせいぜいアスペクト比1:10程度であったが、本研究では一桁優れた結果を出した。一般にEBリソグラフィは時間がかかるとされ、またこれほど微細な構造に最適なエッチング条件は逆で、10 μ m以上の大きな開口部のエッチングには不向きであることが問題となっていたが、微細な構造と大きな開口の輪郭のみをEBリソグラフィ及び、ナノエッチング条件であらかじめエッチングした後、大開口部のエッチングを行なう、「輪郭リソグラフィ法」を開発しこの問題を解決した。これらの技術によれば、サブミクロンの微細パターンをリソグラフィのとおり垂直に転写できることになるので、薄膜を水平に積んでリソグラフィするというこれまでのマイクロマシーニングを深化させ、垂直方向に展開できるという「パラダイムシフト」が起こる。このパラダイムシフト

cal characteristics of a class are taken into account to determine to the relative significance among elements. The new distance measure has improved the classification performance.

Early-vision processing systems

Y. Mita, Y. Nakashita, N. Takahashi, K. Shimizu and T. Shibata

Intelligent image sensor array system is an integral part in humanlike versatile systems. An image-sensor integrated smart feature extraction VLSI is under investigation in this project. Distributed cellular architecture is popular for these systems: a photodiode sensor and some information processing circuits compose a unit "cell" and the array of cells constitutes the system. However, if the cellular architecture tries to physically imitate living body, three-dimensional wiring is mandatory. However, VLSI wiring is 2-dimensional in nature so that some architectural innovation to augment the missing-one-dimension is necessary. We have proposed architecture where: (1) photodiode is placed at the intersection of 4 cell borders and (2) photodiode image is first preprocessed at each connecting cells and only the preprocessed information is exchanged. By this architecture, information up to next nearest neighbor cell is collectable. A real-time demonstration using 0.35 μ m technologies VLSI is successful. Also, efficiency of both 0.35 μ m bulk and 0.15 μ m SOI technology is measured.

Development of fabrication technology of nano-holes and applications to bio- and optical systems. (France-Japan collaboration project: SAKURA)

Y. Mita, F. Marty*, M. Kubota, K. Ito, T. Bourouina*, T. Shibata

*Ecole Supérieure d'Ingenieurs en Electronique et Electrotechnique (ESIEE), Paris

A multi-design nano-fabrication technology and application to different domains is under development with collaboration of French and Japanese researchers. VDEC's EB writer performs lithography and Deep RIE at ESIEE performs etching. Our top data is aspect ratio 1:107 for trenches of 370nm. This is the record ten times deeper as compared to ordinal submicron Deep-RIE technology. The two potential drawbacks were (1) the time consumption of EB lithography, and (2) the optimal etching condition for nanoscale structure is not applicable to larger openings. These problems were solved by "contour-lithography-method" that first forms nanoscale patterns as well as contours of larger openings by EB lithography followed by nano-DRIE, and then the larger opening is etched by the optimal condition. This technology provides us with a vertical nanostructures defined by lithography. This is a complete paradigm shift from ordinal micromachining, whose nature was deposition of thin films and lithography in horizontal axis, to the vertical direction. A "vertical Distributed Bragg Reflector" system is fabricated as an example of a benefit from this paradigm shift. Also, measure-

の恩恵を受ける一例として、光通信用フィルタをリソグラフィどおりサンプル表面に対し垂直に作製する、「Vertical DBR フィルタ」を提唱し作製した。また、これら MEMS 構造の性能を決める長さ (Critical Dimension) を、電子顕微鏡などの光学手法ではなく、電気的測定によって求める簡便な手法を開発し、電子顕微鏡よりも優れた繰り返し精度を得ることができた。

7. マイクロアクチュエータアレイの信頼性自動測定手法

三田吉郎, ベンジャミンカイヤー*, 福田和人*, 藤田博之*, 柴田 直

* 生産技術研究所集積化マイクロメカトロニクス研究室 (LIMMS, CNRS-IIS)

マイクロアクチュエータをアレイ状に無数にならべて協調的に動作させるアレイ化マイクロシステムを実用に供するには、アクチュエータの信頼性を高めることが必要であるが、信頼性が高いが故に、故障までの検証時間が飛躍的に増大するジレンマが問題となる。特に現在開発中の、エアフローによるマイクロアクチュエータは、1 アクチュエータが接触したままになる故障を起すまでの待ち時間が3ヶ月以上であり、加速試験手法が必須である。周波数は機械的周波数でkHz前後と決まっているため集積回路のような高速試験ができないことが問題である。本アクチュエータのような、平行平板型の静電気力アクチュエータでは、通常の動作電圧に比べ高い動作電圧で試験を行なうことで、加えた電圧の exponential に反比例して故障までの時間を短縮することを見出し、加速試験法への一歩をふみだすことができた。同時に、並列に接続された複数の平行平板アクチュエータが正常に動作しているか否かを、電気的測定のみによって判別できる手法を開発した。

ment of the Critical Dimension is an important issue. Different from ordinal methods such as observation by SEM, our method can determine the CD only by a simple electrical measurement. The experiments showed better repeatability than SEM observation.

Automated and accelerated life-time measurement of electrostatic actuator array

Y. Mita, B. Caillard*, Y. Fukuta*, H. Fujita*, T. Shibata

* Laboratory for Integrated MicroMechanic Systems (LIMMS, CNRS-IIS)

To put an arrayed micro actuator system to a practical use, high reliability of actuator must be demonstrated. However, since the actuator gets more and more reliable, it takes longer and longer time to test the failure. That is the dilemma of microactuator. Our air-flow actuator under development needs more than 3 months and it underlines the necessity of accelerated testing. Unlike VLSI, high-frequency reliability testing is impossible because operation frequency is fixed at around 1kHz due to mechanical resonant frequency. We have found that the parallel-plate electrostatic microactuator, that is our case, can be tested in an accelerated way, by applying higher tension than normal operation mode. The time-to-the-failure is shortened by inversely exponential to the applied tension. That will enable us to the accelerated test of MEMS devices. Also, an electrical testing method of parallelly-connected electrostatic microactuators is developed.

高木研究室 Takagi Laboratory

(http://www.fi.k.u-tokyo.ac.jp/japanese/staff_research/05_takagi_main.html)

ひずみ Si MOSFET に関する研究

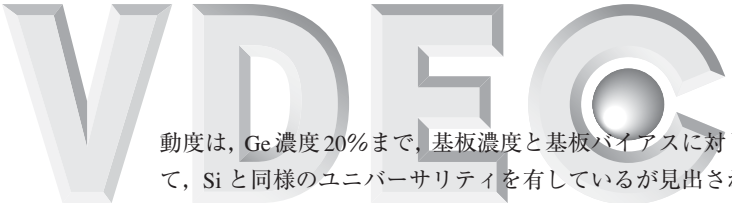
高木信一, 武田浩司, 熊谷 寛

ひずみ Si 中のキャリア輸送特性、とくに反転層正孔のキャリア輸送特性には不明点が多い。更なる性能向上のためには、散乱機構の理解が不可欠であるため、ひずみ Si 中の移動度の定量的評価・解析を行っている。Si 反転層移動度を理解する上での一つの重要な切り口は、実効電界に対するユニバーサリティである。ひずみ量を系統的に変えたひずみ Si pMOSFET に対して、基板濃度あるいは基板バイアスを変化させた場合の、実効電界に対するユニバーサリティについて検討した。結果として、ひずみ Si pMOSFET の移

Strained-Si MOSFETs

S. Takagi, K. Takeda, H. Kumagai

Carrier transport properties in strained-Si films and, particularly, inversion-layer hole transport properties are still unclear. Since the comprehensive understanding of scattering mechanisms in strained-Si MOSFETs is indispensable in further enhancement of the performance, we are conducting quantitative evaluations and analyses on mobility in strained-Si MOSFETs. An important issue on understanding the mobility is the universal relationship against the effective normal field. We have investigated this universality of strained-Si p-channel MOSFETs with changing



動度は、Ge濃度20%まで、基板濃度と基板バイアスに対して、Siと同様のユニバーサリティを有しているが見出された。一方、30%では、ユニバーサリティからのずれが観測された。

Ge Metal-Insulator-Semiconductor (MIS) FET に関する研究

高木信一, 熊谷 寛, 西川昌志

高性能 Ge MISFET を実現するための最大の課題は良好な MIS 界面特性の形成, 特に Ge に固有の界面不活性化技術 (界面準位低減技術) の確立である。この課題の実現には, Ge MIS 界面の評価技術の確立が重要であるため, PCVD SiN を用いた Ge MIS キャパシタを用いて MIS 界面特性の評価を行った。SiN/Ge MIS キャパシタの CV 特性は大きな周波数分散・温度依存性を有することが分かり, 室温では 1MHz においても十分高周波極限とならない場合があることが分かった。室温以下の低温での CV 測定を行うことにより, 十分高周波極限となる CV 特性が得られ, 界面準位を Terman 法により解析するが可能となることが分かった。この方法で得られた SiN/Ge MIS 界面の界面準位はエネルギー分布が非対称であり, その結果, 基板タイプにより CV 特性が大きく異なることが示された。

MOSFET 中のキャリア輸送現象に関する研究

高木信一

MOSFET の極短チャネル化は, 無散乱でチャネルを走行するバリスティック輸送を発現させ, 結果的に, 素子駆動力の向上を引き起こすことが期待されている。このような Ballistic 輸送下での MOSFET に適当なチャネル材料として, 有効質量と状態密度の小さい Ge チャネル, 更に極薄膜 Ge-On-Insulator (GOI) MOSFET が有望であることを提案し, 理論計算により素子構造の最適設計を進めている。電流駆動力に与える Ge の面方位の効果について調べたところ, GOI 薄膜化による駆動力向上の起源は, 面方位によって異なり, (111) 面では電子注入速度の向上が, (100) 面では反転層厚みの減少による誘起キャリア濃度の増大が, 主要因であることが分かった。結果として, 駆動電流最大となる面方位は, ゲート絶縁膜厚に依存し, 薄膜化極限では, (100), (110) 面が, EOT が 1nm 程度まで厚くなると (111), (110) 面が最適となる。

substrate impurity concentration and substrate bias. As a result, it has been found that the mobility in strained-Si p-MOSFETs on SiGe substrates with Ge content of up to 20% still does hold the universality against the effective field with a parameter e of 1/3, while that with Ge content of 30% has exhibited deviation from the universal relationship.

Ge Metal-Insulator-Semiconductor (MIS) FETs

S. Takagi, H. Kumagai, M. Nishikawa

One of the most important issues on realizing high performance Ge MISFETs is the formation of MIS interfaces with high quality interface properties and, particularly, MIS interface control technologies, leading to the reduction in interface states. For this purpose, it is necessary to establish metrologies to evaluate Ge MIS interface properties. We have performed the evaluation of interface properties for Ge MIS capacitors using PCVD SiN films. It has turned out that CV characteristics of SiN/Ge MIS capacitors have large frequency and temperature dispersions and those at 1 MHz are not able to be regarded at room temperature as high frequency limit. It has been found that the CV curves in the high frequency limit can be obtained at temperatures lower than room temperature, allowing us to evaluate interface state density by applying the Terman method to these CV data. It has also been found that the interface states density, obtained by the present method, has exhibited an asymmetric energy distribution, leading to the difference in apparent CV curves on p- and n-type Ge substrates.

Carrier Transport Properties in Inversion-Layers of Advanced MOSFETs

S. Takagi

Ultra-short channels in MOSFETs are expected to introduce ballistic carrier transport, where no scattering events occur in the channel, and, as a result, to maximize the current drive of MOSFETs. As for MOS channel materials and structures suitable for such ballistic MOSFETs, we have proposed Ge channels having low effective mass and low density-of-states and Ge-On-Insulator (GOI) MOSFETs. We are working on the optimal device structure design by using theoretical calculations. The effects of surface orientations of Ge on current drive of n-channel GOI MOSFETs have been studied. It has been found that the physical origins of the drive current enhancement associated with reducing GOI thickness are different among the surface orientation; the increase in injection electron velocity for (111) surfaces and the increase in surface carrier concentration due to the decrease in inversion-layer thickness for (100) surfaces. As a result, the optimal surface orientation is dependent on the gate oxide thickness. It has been revealed that (111) and (110) surfaces are optimal in gate oxides of 1 nm or thicker, while (111) and (110) surfaces are optimal in much thinner oxides.

藤島研究室

Fujishima Laboratory

(<http://www.axcel.k.u-tokyo.ac.jp>)

60GHz CMOS トランシーバの設計

藤島 実, 山本 憲, 王 寧一, 渡辺宏樹, 小林直樹

CMOS プロセスの微細化は、化合物半導体に迫る高周波特性を実現した。CMOS ではローコストが実現できる一方、これまでの MOSFET モデルでは高い周波数では正確なシミュレーションが行えない、増大する製造ばらつきに対処するための設計マージンにより、速度低下・消費電力の増大・面積増加などの問題を招くなどの新たな問題も生じている。本研究ではこれらの問題点を解決し、60GHz で動作する CMOS トランシーバの実現を目指している。

受動デバイスのモデリングと低雑音増幅回路

藤島 実, ライ チー ホン, 谷本英之

ミリ波用 LSI において重要な役割を持つ素子として伝送線路がある。そのなかでコプレーナ導波路 (CPW) は CMOS プロセスに適した伝送線路であり、良好な高周波特性を持つ。しかし、LSI に用いられる CPW モデリングは、基板による損失の影響が大きくなることから、その特性を正確に見積もることは簡単ではない。私たちは基板損失や近接効果・表皮効果などの各種物理現象を考慮に入れて解析を行うことで、ミリ波帯においても使用可能な CPW 回路モデルの確立を目指している。

高周波回路の自動合成

藤島 実, 金子暁彦

高速無線通信に用いられるアナログ回路は高い周波数へと急激にシフトしている。高い周波数において高性能を実現するには、設計においてデバイスパラメータを最適化する必要がある。本研究では、デバイスパラメータを自動的に最適化するための自動合成システムの実現を目指している。高周波アナログ回路では、デジタル回路以上に様々なトレードオフを考慮しなければならないが、最適な回路の自動合成手法が確立されれば、CMOS デバイスの能力を最大限に引き出すことができ、アプリケーションが広がるだけでなく、コストも抑えることも可能となる。

Design of 60GHz CMOS Transceivers

M. Fujishima, K. Yamamoto, N.Y. Wang, H. Watanabe, N. Kobayashi

Miniaturizing a CMOS achieved the high-frequency performance comparable to a compound semiconductor. Although CMOS reduces cost, the high-frequency application in CMOS is under development due to the following issues. The influence of parasitic elements growing in high-frequency region results in inaccurate simulation using a DC MOSFET model. The design margin for increasing manufacturing variation due to miniaturization causes issues of speed degradation, and the increase of area and power. The local oscillator with low power and low noise is not easy to fabricate. We are focusing on solving these issues to realize a CMOS transceiver operating at 60GHz.

Passive Device Modeling and Low Noise Amplifier

M. Fujishima, C. H. Lai, H. Tanimoto

In a communication system, the low-noise amplifier (LNA) is one of important building blocks in the downlink of the system. It amplifies the incoming signal for further processing through the downlink chain. The design of this LNA involves many traditional challenges such as obtaining a low noise figure, high linearity, high gain at a specified output power. In addition, new challenges in the design at high frequency involve using new components such as coplanar lines (CPW) instead of spirals to provide inductances. Proper characterization of each component including the transistor, interconnecting lines, capacitors etc. are also necessary. Research on the LNA is therefore conducted as a series of build-up sub-topics: CPW characterization, Layout-optimization and LNA design topology.

Automatic Synthesis for High-Frequency Circuit

M. Fujishima, A. Kaneko

Recently, demand for high speed communication is increasing. RF analog circuit design differs from that of digital design. RF circuit designer must consider many trade-offs. In order to effectively design high performance circuit, a design optimization tool which functions at a physical level is needed. In design optimizers, circuit behaviors are expressed into functions of physical parameters, and the function can be optimized. We attempt to exploit the potential CMOS devices by the establishment of optimization methods for RF analog circuits. CMOS is optimized for various applications using existing process technologies. Existing processes will reduce the fabrication cost.

一方向性関数に対する逆問題は、社会状況の変化に応じてますます複雑化し、高速に解くことが重要となってきている。このため、限られた消費電力でこのような問題を高速に解くための1チッププロセッサは有用である。しかし、一方向性関数に対する逆問題に特化したチップマルチプロセッサは存在しない。そこで、限られた消費電力で一方向性関数に対する逆問題を高速に解くため、量子計算と同等の手順で処理するチップマルチプロセッサの条件を提案する。この条件を満たすチップマルチプロセッサをFPGAに実装した結果、演算時間が短縮できることを示した。

キーロンダリングに基づく小型ストリーミング暗号回路

藤島 実, 金子秀彦

ユビキタスネットワークでは、相互に通信しながら演算処理をする無数の超小型集積回路がセンサネットワークを構成する。センサネットワークにおける重要な課題の1つとして、ノード間通信の安全性がある。そこで用いられるLSIで求められるのは、超小型であることと、低消費電力であることの2点である。しかし、RSAに代表される大量の電力を消費する非対称暗号や、AESに代表される大規模な回路面積が必要である共通鍵暗号などの、これまで暗号方式をセンサネットワークに適用することは出来ない。そこで、小型で低消費電力な暗号回路を実現すべく、暗号化を一時鍵交換とメッセージ送信の2つの操作に分離する暗号方式を提案する。提案した暗号方式は従来用いられている暗号方式と同程度の強度を持ち、超小型で低消費電力を実現できる暗号方式であることを示した。

An On-Chip High-Speed Solver of Inverse Problems Based on Quantum-Computing Principle

M. Fujishima, M. Shimura, R. Onitsuka

A high-speed solver of an inverse problem to a one-way function becomes important although the problems become complicated according to the change in a social situation. However, a chip multiprocessor dedicated to the inverse problem to the one-way function is nonexistent although a single-chip processor consuming limited power is useful to realize the high-speed solver. In this paper, we propose a new chip multiprocessor operating a similar procedure to quantum computing. The chip multiprocessor is implemented on a field programmable gate array (FPGA), and the factorization of a 64bit integer is demonstrated. As a result, the proposed processor reduces the calculation time by 35% compared with a general-purpose processor with 3.4GHz clock frequency. As a result, it is shown that the proposed processor solves the inverse problem such as factorization and the discrete logarithm problem at higher-speed than a general-purpose processor with consuming limited power.

A Tiny Streaming Cipher Circuit Based on Key Laundering

M. Fujishima, H. Kaneko

The era of ubiquitous network society is just around the corner. In the ubiquitous network society, sensor networks are expected to consist of thousands of inexpensive wireless nodes, each having communication and computational power. The security issues posed by sensor networks are one of the most important problems. Since sensor nodes are very small, a cryptographic algorithm implemented to the sensor nodes should be very small and also secure enough. However, asymmetric cryptographic algorithms such as RSA and secret key encryption algorithms such as AES are not suitable for sensor networks due to the limited computation, power, and storage resources available on wireless sensor nodes. Therefore, to realize a very small and low power encryption integrated circuit, which can be placed even underneath a pad, we proposed a new cryptographic algorithm which realizes an encryption of communication by two operations, key laundering operation and sending message operation. We compared its security with the conventional cryptographic algorithms. As a consequence, we proved that the proposed cryptographic algorithm was as secure as conventional algorithms, and was able to realize a very small and low power consumption integrated circuit which is suitable for sensor networks.

4.3. 研究発表

1. 研究論文

- [1] Y. Oike, M. Ikeda, and K. Asada, "Design and Implementation of Real-Time 3-D Image Sensor With 640×480 Pixel Resolution," *IEEE J. Solid-State Circuits*, vol. 39, no. 4, pp. 622-628, Apr. 2004.
- [2] Y. Murakami and K. Asada, "Development of a Grounded-Trench MOS-Assisted Bipolar-Mode FET," *Electron. Commun. Jpn. Pt. 2*, vol. 87, no. 3, pp. 828-837, Sept. 2002.
- [3] H. Yamaoka, M. Ikeda, and K. Asada, "A High-Speed and Area-Efficient Dual-Rail PLA Using Divided and Interdigitated Column Circuits," *IEICE Trans. Electron.*, vol. E87-C, no. 6, pp. 1069-1077, June 2004.
- [4] 大池, 池田, 浅田, "Smart Image Sensor with High-Speed and High-Sensitivity ID Beacon Detection for Augmented Reality System," *映像情報メディア学会誌*, vol. 58, no. 6, pp. 835-841, June 2004.
- [5] Y. Oike, M. Ikeda, and K. Asada, "A High-Speed and Low-Voltage Associative Co-Processor with Exact Hamming/Manhattan-Distance Estimation Using Word-Parallel and Hierarchical Search Architecture," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1383-1387, Aug. 2004.
- [6] Y. Oike, M. Ikeda, and K. Asada, "Hierarchical Multi-Chip Architecture for High Capacity Scalability of Fully Parallel Hamming-Distance Associative Memories," *IEICE Trans. Electron.*, vol. E87-C, no. 11, pp. 1847-1855, Nov. 2004.
- [7] Y. Oike, M. Ikeda, and K. Asada, "A Pixel-Level Color Demodulation Image Sensor for Support of Image Recognition," *IEICE Trans. Electron.*, vol. E87-C, no. 12, pp. 1651-1658, Dec. 2004.
- [8] T. Iizuka, M. Ikeda, and K. Asada, "High Speed Layout Synthesis for Minimum-Width CMOS Logic Cells via Boolean Satisfiability," *IEICE Trans. Fundamentals*, vol. E87-A, no. 12, pp. 3293-3300, Dec. 2004.
- [9] T. Nakura, M. Ikeda, and K. Asada, "Stub vs. Capacitor for Power Supply Noise Reduction," *IEICE Trans. Electron.*, vol. E88-C, no. 1, pp. 125-132, Jan. 2005.
- [10] Y. Oike, M. Ikeda, and K. Asada, "A 375×365 High-Speed 3-D Range-Finding Image Sensor Using Row-Parallel Search Architecture and Multi-Sampling Technique," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 444-453, Feb. 2005.
- [11] 小島慶久, 藤田昌宏, "分割二分決定グラフによる有限状態機械の到達可能性解析のPCクラスタを用いた並列実装手法の提案," *情報処理学会論文誌*, vol. 46, no. 3, pp. 803-815, 2005年3月.
- [12] "Micro Electro Mechanical Devices for Fiber Optic Telecommunication," *JSME Int. J. Ser. B*, vol. 47, no. 3, pp. 439-446, 2004.
- [13] Dooyoung Hah, Sophia Ting-Yu Huang, Jui-Che Tsai, Hiroshi Toshiyoshi, and Ming C. Wu, "Low-Voltage, Large-Scan Angle MEMS Analog Micromirror Arrays with Hidden Vertical Comb-Drive Actuators," *IEEE J. Microelectromech. Syst.*, vol. 13, no. 2, pp. 279-289, 2004.
- [14] Makoto Mita, Hiroshi Toshiyoshi, Manabu Ataka, and Hiroyuki Fujita, "Generation of Random Numbers by Micromechanism," *IEEJ Trans. SM*, vol. 124, no. 9, pp. 316-320, 2004.
- [15] Keiji Isamoto, Atsushi Morosawa, Masataka Tei, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A 5-volt operated MEMS variable optical attenuator by SOI bulk micromachining," *IEEE J. Select. Topics Quantum Electron.*, vol. 10, no. 3, pp. 570-578, May-June 2004.
- [16] Keiji Isamoto, Atsushi Morosawa, Masataka Tei, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "MEMS Variable Optical Attenuator Using Asymmetrically Driven Parallel Plate Tilt Mirror," *IEEJ Trans. SM*, vol. 124, no. 6, pp. 213-218, 2004.
- [17] J.-C. Tsai, S. Huang, D. Hah, H. Toshiyoshi, and M. C. Wu, "Open-Loop Operation of MEMS-Based $1 \times N$ Wavelength-Selective Switch with Long-Term Stability and Repeatability," *IEEE Photon. Technol. Lett.*, vol. 16, no. 4, pp. 1041-1043, 2004.
- [18] Tomonori Yoshino, Hiroshi Toshiyoshi, Makoto Mita, Dai Kobayashi, and Hiroyuki Fujita, "An Electrostatic Microactuator for Positioning a Hard-Disk Drive Magnetic Head," *IEEJ Trans. SM*, vol. 124, no. 1, pp. 21-27, 2004.
- [19] Reiji Hattori, "Accuracy of Current Delivery System in Current Source Data-Driver IC for AM-OLED," *J. Semicond. Technol. Sci.*, vol. 4, no. 4, pp. 269-274, Dec. 2004.
- [20] Reiji Hattori, Shuhei Yamada, Yoshitomo Masuda, Norio Nihei, and Ryo Sakurai, "A quick-response liquid-powder display (QR-LPD[®]) with plastic substrate," *J. Soc. Inf. Disp.*, vol. 12, no. 4(1), pp. 405-409, 2004.
- [21] Reiji Hattori, Shuhei Yamada, Yoshitomo Masuda, and Norio Nihei, "A novel bistable reflective display using quick-response liquid powder," *J. Soc. Inf. Disp.*, vol. 12, no. 1, pp. 75-80, 2004.
- [22] H. Kimura and T. Shibata, "A Simple-Architecture Motion-Detection Analog VLSI Based on Quasi-Two-Dimensional Hardware Algorithm," *Analog Integr. Circ. Signal Process.*, vol. 39, no. 3, pp. 225-235, June 2004.
- [23] D. Kobayashi, Y. Mita, T. Shibata, T. Bourouina, and H. Fujita, "Batch bulk-micromachined high-precision metal-on-insulator microspires and their application to scanning tunneling microscopy," *J. Microelectromech. Microeng.*, vol. 14, no. 9, pp. S76-S81, Sept. 2004.
- [24] Yamato Fukuta, Masashi Yanada, Atsushi Ino, Yoshio Mita, Yves-Andre Chapuis, Satoshi Konishi, and Hiroyuki Fujita, "Conveyor for Pneumatic Two-Dimensional Manipulation Realized by Arrayed MEMS and its Control," *J. Robot. Mechatron.*, vol. 16, no. 2, pp. 163-170, Apr. 2004.
- [25] N. Sugiyama, T. Tezuka, T. Mizuno, M. Suzuki, Y. Ishikawa, N. Shibata, and S. Takagi, "Temperature Effects on Ge Con-

densation in SiGe-On-Insulator Structure by Thermal Oxidation,” *J. Appl. Phys.*, vol. 95, no. 8, pp. 4007-4011, Apr. 2004.

- [26] J. Koga, T. Ishihara, and S. Takagi, “Quantitative Examination of Mobility Lowering Associated with Ultrathin Gate Oxides in Silicon Metal-Oxide-Semiconductor Inversion Layer,” *Jpn. J. Appl. Phys.*, vol. 43, no. 4B, pp. 1699-1703, Apr. 2004.
- [27] T. Numata, M. Noguchi, and S. Takagi, “Reduction in Threshold Voltage Fluctuation in Fully-Depleted SOI MOSFETs with Back Gate Control,” *Solid-State Electron.*, vol. 48, no. 6, pp. 979-984, June 2004.
- [28] T. Tezuka, N. Sugiyama, T. Mizuno, S. Nakaharai, and S. Takagi, “Fabrication of SiGe-On-Insulator Substrates for High-Performance Strained SOI-MOSFETs by Ge-Condensation Technique,” Proc. ECS, PV2003-14, “Advanced Short-Time Thermal Processing for Si-Based CMOS Devices,” pp. 305-314, 2004.
- [29] T. Mizuno, N. Sugiyama, T. Tezuka, T. Numata, and S. Takagi, “Thin film strained-SOI CMOS devices: physical mechanisms for reduction of carrier mobility,” *IEEE Trans. Electron Devices*, vol. 51, no. 7, pp. 1114-1121, July 2004.
- [30] T. Maeda, T. Yasuda, M. Nishizawa, N. Miyata, Y. Morita, and S. Takagi, “Ge-MIS structures with Ge₃N₄ dielectrics by direct nitridation of Ge substrates,” *Appl. Phys. Lett.*, vol. 85, no. 15, pp. 3181-3183, 2004.
- [31] T. Numata and S. Takagi, “Device Design for Subthreshold Slope and Threshold Voltage Control in Sub-100 nm Fully-Depleted SOI MOSFETs,” *IEEE Trans. Electron Devices*, vol. 51, no. 12, pp. 2161-2167, Dec. 2004.
- [32] T. Maeda, K. Ikeda, S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama, and S. Takagi, “High Mobility Ge-on-insulator p-Channel MOSFETs Using Pt Germanide Schottky Source/Drain,” *IEEE Electron Device Lett.*, vol. 26, no. 2, pp. 102-104, Feb. 2005.
- [33] N. Sugiyama, N. Hirashita, T. Mizuno, Y. Moriyama, and S. Takagi, “Analysis of Growth Rate during Si Epitaxy by Hydrogen Coverage Model,” *Mater. Sci. Semicond. Process.*, vol. 8, no. 1-3, pp. 11-14, Feb. 2005.
- [34] K. Usuda, T. Numata, and S. Takagi, “Strain evaluation of strained-Si layers on SiGe by the nano-beam electron diffraction (NBD) method,” *Mater. Sci. Semicond. Process.*, vol. 8, no. 1-3, pp. 155-159, Feb. 2005.
- [35] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, T. Maeda, and S. Takagi, “High Performance (110)-Surface Strained-SOI MOSFETs,” *Mater. Sci. Semicond. Process.*, vol. 8, no. 1-3, pp. 327-336, Feb. 2005.
- [36] T. Sekitani, Y. Kato, S. Iba, H. Shinaoka, T. Someya, T. Sakurai, and S. Takagi, “Bending experiment of pentacene field-effect transistors on plastic films,” *Appl. Phys. Lett.*, vol. 86, no. 7, pp. 073511, Feb. 2005.
- [37] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, and S. Takagi, “(110)-Surface Strained-SOI CMOS Technology,” *IEEE Trans. Electron Devices*, vol. 52, no. 3, pp. 367-374, Mar. 2005.
- [38] M. Fujishima, K. Inai, T. Kitasho, and K. Hoh, “Large-scale emulation of quantum computing based on nonzero state transitions,” *Jpn. J. Appl. Phys.*, vol. 43, no. 4B, pp. 1690-1694, 2004.
- [39] K. Yamamoto and M. Fujishima, “A 44- μ W 4.3-GHz injection-locked frequency divider with 2.3-GHz locking range,” *IEEE J. Solid-State Circuits*, vol. 40, no. 3, pp. 671-677, 2005.

2. 国際会議

- [1] U. Ekinciel, H. Yamaoka, H. Yoshida, M. Ikeda, and K. Asada, “Constrain Driven Dual-Rail PLA Module Generator with Embedded 2-Input Logic Cells,” Proc. IEEE Mediterranean Electrotechnical Conf. (MELECON), pp. 189-192, May 2004.
- [2] T. Nakura, M. Ikeda, and K. Asada, “Power Supply di/dt Measurement Using On-chip di/dt Detector Circuit,” IEEE Symp. on VLSI Circuits (VLSI Symp.), Dig. Tech. Papers, pp. 106-109, June 2004.
- [3] Y. Oike, M. Ikeda, and K. Asada, “A Pixel-Level Color Image Sensor With Efficient Ambient Light Suppression Using Modulated RGB Flashlight and Application to TOF Range Finding,” IEEE Symp. on VLSI Circuits (VLSI Symp.), Dig. Tech. Papers, pp. 298-301, June 2004.
- [4] Y. Oike, M. Ikeda, and K. Asada, “Smart Access Image Sensors for High-Speed and High-Resolution 3-D measurement based on Light-Section Method,” *Int. J. Intell. Automat. Soft Comput.*, AutoSoft Press, vol. 10, no. 2, pp. 105-128, June 2004.
- [5] Y. Oike, M. Ikeda, and K. Asada, “A High-Speed XGA 3-D Image Sensor and Its Application,” Proc. 6th Biannual World Automation Congress (WAC 2004), June 2004.
- [6] T. Iizuka, M. Ikeda, and K. Asada, “Minimum-Width Transistor Placement Method via Boolean Constraints for Non-Complementary Transistors,” Proc. IPSJDA Symp. 2004, pp. 121-126, July 2004.
- [7] T. Nakura, M. Ikeda, and K. Asada, “Preliminary Experiments for Power Supply Noise Reduction using Stubs,” Proc. IEEE Asia-Pacific Conf. on Advanced System Integrated Circuit (AP-ASIC), pp. 286-289, Aug. 2004.
- [8] Y. Oike, M. Ikeda, and K. Asada, “Design and Implementation of Word-Parallel Digital Associative Memories,” Proc. IEEE Asia-Pacific Conf. on Advanced System Integrated Circuits (AP-ASIC), University Design Forum, pp. 428-429, Aug. 2004.
- [9] T. Nakura, M. Ikeda, and K. Asada, “Design and Measurement of On-chip di/dt Detector Circuit for Power Supply Line,” Proc. IEEE Asia-Pacific Conf. on Advanced System Integrated Circuit (AP-ASIC), University Design Forum, pp. 426-427, Aug. 2004.
- [10] Y. Oike, M. Ikeda, and K. Asada, “A 1024x768 High-Speed and High-Accuracy 3-D Image Sensor,” Proc. ITE Annual Conf. 2004, pp. 19-1, Aug. 2004.
- [11] Y. Oike, M. Ikeda, and K. Asada, “A Word-Parallel Digital Associative Engine with Wide Search Range Based on Manhattan Distance,” Proc. IEEE Custom Integrated Circuits Conf.

- (CICC), pp. 295-298, Oct. 2004.
- [12] M. Abbas, M. Ikeda, and K. Asada, "On High Noise Immunity CMOS Design Scheme with Low Leakage Power Consumption," Proc. 17th Int. Conf. on Solid State and Integrated Circuit Technology (ICSICT 2004), pp. 2031-2034, Oct. 2004.
- [13] M. Abbas, M. Ikeda, and K. Asada, "Noise Effects on Performance of Low Power Design Schemes in Deep Submicron Regime," Proc. 19th IEEE Int. Symp. on Defect and Fault Tolerance in VLSI Systems (DFT 2004), pp. 87-97, Oct. 2004.
- [14] M. Ikeda and K. Asada, "Low Noise and Manufacturable Circuit Structures for Advanced SoCs," Proc. Int. SoC Conf., Oct. 2004.
- [15] Y. Oike, M. Ikeda, and K. Asada, "Digital Associative Memories Based on Hamming Distance and Scalable Multi-Chip Architecture," Proc. IP Based System-on-Chip Design Forum & Exhibition (IP-SOC), pp. 127-130, Dec. 2004.
- [16] T. Matsumoto, H. Saito, and M. Fujita, "An Efficient Equivalence Checking of Similar C Descriptions with Use of the Textual Difference," Proc. IEEE/ACM Int. Workshop on Logic and Synthesis 2004, pp. 314-320, June 2004.
- [17] K. Seto, Y. Kojima, and M. Fujita, "Compiler Techniques for Field Modifiable Architectures," Proc. 2004 Workshop on Compilers and Tools for Constrained Embedded Systems (CTCES 04), pp. 58-66, Sept. 2004.
- [18] S. Komatsu, M. Fujita, "Low Power and Fault Tolerant Encoding Methods for On-Chip Data Transfer," Proc. Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2004), pp. 34-40, Oct. 2004.
- [19] T. Matsumoto, H. Saito, and M. Fujita, "An Equivalence Checking Method for C Descriptions based on Symbolic Simulation with Textual Differences," Proc. IASTED Int. Conf. on Advances in Computer Science and Technology, pp. 246-251, Nov. 2004.
- [20] K. Tanabe, S. Sasaki, and M. Fujita, "Program Slicing for System Level Designs in SpecC," Proc. IASTED, Int. Conf. on Advances in Computer Science and Technology, pp. 252-258, Nov. 2004.
- [21] M. Fujita, "On equivalence checking between behavioral and RTL descriptions," Proc. IEEE Int. High Level Design Validation and Test Workshop 2004 (HLDVT2004), pp. 179-184, Nov. 2004.
- [22] Hiroshi Toshiyoshi, "MEMS for Fiber Optic Application," Int. Workshop on Micromechatronics and Micro and Nano Fabrication, University of Karlsruhe, Germany, Oct 5-6, 2004.
- [23] Hiroshi Toshiyoshi, "Pros and Cons of Surface Stiction in MEMS Devices and Processes," Nano Interface Mechanics Workshop (NMW2004), Institute of Industrial Science, University of Tokyo, Tokyo, Japan (Invited), Sept. 8-9, 2004.
- [24] Kazuhiro Takahashi, Kunihiro Saruta, Makoto Mita, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "An Optical Scanner with Electrostatic Comb Drive XY-Stage," IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications (Optical MEMS 2004), Takamatsu, Japan, pp. 56-57, Aug. 22-26, 2004.
- [25] Hiroshi Obi, Toshio Yamanoi, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A Vertical-Comb Torsion Mirror with Distributed Gap for Suppressing In-Plane Instability," IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications (Optical MEMS 2004), Takamatsu, Japan, pp. 60-61, Aug. 22-26, 2004.
- [26] Yuko Yamauchi, Akio Higo, Kuniyuki Kakushima, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Optically Assisted Electrostatic Actuation Mechanism," IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications (Optical MEMS 2004), Takamatsu, Japan, pp. 164-165, Aug. 22-26, 2004.
- [27] Keiji Isamoto, Tatsuya Makino, Kazuya Kato, Atsushi Morosawa, Changho Chong, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A Two-Mask Process for Self-Assembled Vertical Comb Drive Mirrors," IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications (Optical MEMS 2004), Takamatsu, Japan, pp. 172-173, Aug. 22-26, 2004.
- [28] Masanao Tani, Masahiro Akamatsu, Yoshiaki Yasuda, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A 2D-Optical Scanner Actuated by PZT Film Deposited by Arc Discharged Reactive Ion-Plating (ADRIP) Method," IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications (Optical MEMS 2004), Takamatsu, Japan, pp. 188-189, Aug. 22-26, 2004.
- [29] Akio Higo, Satoshi Iwamoto, Satomi Ishida, Hiroyuki Fujita, Yasuhiko Arakawa, Hiroshi Toshiyoshi, Hirohito Yamada, Akiko Gomyo, and Masatoshi Tokushima, "Micromechanical Structures for Photonic Crystal Waveguide Switches," Asia-Pacific Conf. on Transducers and micro-Nano Technology (AP-COT 2004), Sapporo, Japan, July 4-7, 2004.
- [30] Hiroshi Toshiyoshi, "Stability Issues in MEMS Devices and Packages," International Workshop on SoC/SiP Integration of MEMS and Passive Components with RF-ICs, Keyaki Hall, Chiba University (Invited), Mar. 2, 2004.
- [31] Reiji Hattori, "Analysis of Current-Programmed AM-OLED," Proc. Int. TFT Conf. 2005, pp. 10-15, Mar. 2005.
- [32] Gordon Yip, Shintarou Sugimoto, Reiji Hattori, "OTFT Device Modeling with Verilog-A Language Including Non-Linear Effects of Source/Drain Contact Resistance," Proc. Int. TFT Conf. 2005, pp. 198-201, Mar. 2005.
- [33] T. Shirasaki, T. Ozaki, T. Toyama, M. Takei, M. Kumagai, K. Sato, S. Shimoda, T. Tano, K. Yamamoto, K. Morimoto, J. Ogura, and R. Hattori, "Solution for Large-Area Full-Color OLED Television—Light Emitting Polymer and a-Si TFT Technologies—" (Invited Paper) Proc. IDW'04, pp. 275-278, Dec. 2004.
- [34] R. Hattori, S. Ohashi, S. Sugimoto, and G. Yip, "Effective Power Reduction in a Non-Emissive State of Passive-Matrix OLED," (Outstanding Poster Paper Award) Proc. IDW'04, pp. 1411-1414, Dec. 2004.
- [35] Reiji Hattori, "Current Sink Data-Driver IC for AM-OLED using BiCMOS Circuit," (Selected as the LG Best Paper of the ISOC 2004, The Third Prize) Proc. 2004 Int. SoC Design Conf., pp. 276-279, 2004.
- [36] Reiji Hattori, Shuhei Yamada, Yoshitomo Masuda, Norio Ni-

hei, and Ryo Sakurai, "Ultra thin and flexible paper-like display using QR-LPD® technology" (Selected as the Distinguished Contributed Paper of SID'04) Proc. Society for Information Display, pp. 136-139, 2004.

- [37] Tomoyuki Shirasaki, Tsuyoshi Ozaki, Kazuhito Sato, Minoru Kumagai, Manabu Takei, Tadahisa Toyama, Satoru Shimoda, Tomoko Tan, and Reiji Hattori, "Full-Color Polymer AMOLED using Ink-Jet and a-Si TFT Technologies," Proc. Society for Information Display, pp. 1516-1519, 2004.
- [38] Y. Mita, S. Komatsu, M. Ikeda, M. Fujishima, and K. Asada, "Practical Course of Design, Fabrication and Testing of CMOS Gate Array," 5th European Workshop on Microelectronics Education (EWME04), Lausanne, Switzerland, Apr. 15-16, 2004.
- [39] Y. Fukuta, Y. Mita, Y.-A. Chapuis, Makoto Arai, and H. Fujita, "MEMS Conveyance System for Pneumatic Two-Dimensional Manipulation based on Autonomous Distributed Systems," Proc. IEEE Int. Conf. on Robotics and Automation (ICRA '04), New Orleans, USA, WM14-1, Apr. 26-May 1, 2004.
- [40] B. Saadany, F. Marty, Y. Mita, Dhaa Khalil, and T. Bourouina, "A MEMS Tunable Optical Filter Based on Vertical DBR Architecture," Design, Test, Integration and Packaging of MEMS/MOEMS, Montreux, Switzerland, May 12-14, 2004.
- [41] Y. Suzuki and T. Shibata, "Multiple-Clue Face Detection Algorithm Using Edge-Based Feature Vectors," Proc. 2004 IEEE Int. Conf. on Acoustics, Speech, and Signal Processing (ICASSP 2004), Montreal, pp. V-737-V-740, May 17-21, 2004.
- [42] M. Umejima, T. Yamasaki, and T. Shibata, "A Bump-Circuit-Based Motion Detector Using Projected-Activity Histograms," Proc. 2004 IEEE Int. Symp. on Circuits and Systems (ISCAS 2004), Vancouver, Canada, pp. I-749-I-752, May 23-26, 2004.
- [43] H. Yamasaki and T. Shibata, "A Real-Time VLSI Median Filter Employing Two-Dimensional Bit-Propagating Architecture," Proc. 2004 IEEE Int. Symp. on Circuits and Systems (ISCAS 2004), Vancouver, Canada, pp. II-349-II-352, May 23-26, 2004.
- [44] T. Nakayama, T. Yamasaki, and T. Shibata, "Quasi-Parallel Multi-Path Detection Architecture Using Floating-Gate-MOS-Based CDMA Matched Filters," Proc. 2004 IEEE Int. Symp. on Circuits and Systems (ISCAS 2004), Vancouver, Canada, pp. I-425-I-428, May 23-26, 2004.
- [45] T. Yamasaki, T. Nakayama, and T. Shibata, "A Low-Power Switched-Current CDMA Matched Filter with On-Chip V-I and I-V Converters," Dig. Tech. Papers 2004 Symp. on VLSI Circuits, Hawaii, USA, pp. 214-217, June 17-19, 2004.
- [46] Y. Suzuki and T. Shibata, "An Edge-Based Face Detection Algorithm Robust Against Illumination, Focus, and Scale Variations," Proc. 12th European Signal Processing Conf., Vienna, Austria, pp. 2279-2282, Sept. 6-10, 2004.
- [47] H. Hayakawa, M. Ogawa and T. Shibata, "A Right-Brain/Left-Brain Integrated Associative Processor Employing Convertible MIMD Elements," Ext. Abs. Int. Conf. on Solid State Devices and Materials (SSDM '04), Tokyo, Japan, pp. 398-399, Sept. 19-22, 2004.
- [48] Y. Nakashita, Y. Mita, and T. Shibata, "An Analog Edge-Filtering Processor Employing Only-Nearest-Neighbor Interconnects," Ext. Abs. Int. Conf. on Solid State Devices and Materials (SSDM '04), Tokyo, Japan, pp. 356-357, Sept. 19-22, 2004.
- [49] M. Ogawa and T. Shibata, "A Delay-Encoding-Logic Array Processor For Dynamic Programming Matching," Proc. 30th European Solid-State Circuits Conf. (ESSCIRC), Leuven, Belgium, pp. 311-314, Sept. 21-24, 2004.
- [50] F. Marty, L. Rousseau, B. Saadany, B. Mercier, O. Francais, Y. Mita, and T. Bourouina, "Advanced Silicon Etching Techniques Based on Deep Reactive Ion Etching (DRIE) for Silicon HARMS and 3D Micro- and Nano-Structures," ASME European Micro and Nano Systems (EMN04), Paris, France, pp. 25-28, Oct. 20-21, 2004.
- [51] Y. Fukuta, Y. Mita, Y.-A. Chapuis, and H. Fujita, "Airflow Micromanipulation of Objects by Arrayed MEMS Device for Autonomous Distributed System," Asia-Pacific Conf. of Transducers and Micro-Nano Technology (APCOT MNT), Sapporo, Japan, vol. 3-2, pp. 880-884, July 4-7, 2004.
- [52] Y. Fukuta, Y.-A. Chapuis, Y. Mita, and H. Fujita, "Airflow MEMS Array Conveyor Which Provide Clean and Contact-Free Manipulations for Micro TAS," 8th Int. Conf. on Miniaturised Systems for Chemistry and Life Sciences (MicroTAS 2004), Malmoe, Sweden, Sept. 26-30, 2004.
- [53] Y. Fukuta, Y.-A. Chapuis, Y. Mita and H. Fujita, "A MEMS Arrays for Pneumatic Conveyor and its Control Based on Distributed System," IEEE Int. Conf. on MicroElectroMechanical Systems (MEMS 2005), Florida, USA, Jan. 31-Feb. 3, 2005.
- [54] K. Hoshino, T. Nagai, Y. Mita, M. Sugiyama, K. Matsumoto, and I. Shimoyama, "Active Ink-Jet Nozzles Equipped with Arrayed Visual Sensors for Parallel Alignment Control," IEEE Int. Conf. on MicroElectroMechanical Systems (MEMS 2005), Florida, USA, Jan. 31-Feb. 3, 2005.
- [55] T. Tezuka, T. Mizuno, N. Sugiyama, S. Nakaharai, Y. Moriyama, K. Usuda, T. Numata, N. Hirashita, T. Maeda, S. Takagi, Y. Miyamura, and E. Toyoda, "SiGe-on-Insulator and Ge-on-Insulator Substrates Fabricated by Ge-Condensation Technique for High-Mobility Channel CMOS Devices," MRS Spring Meeting, symposium B: High-Mobility Group-IV Materials and Devices, Apr. 2004.
- [56] N. Sugiyama, N. Hirashita, T. Mizuno, Y. Moriyama, and S. Takagi, "Analysis of Growth Rate during Si Epitaxy by Hydrogen Coverage Model," Abs. 2nd Int. SiGe Technology and Device Meeting, pp. 202-203, June 2004.
- [57] K. Usuda, T. Numata, and S. Takagi, "Strain evaluation of strained-Si layers by nano-beam electron diffraction (NBD) method," Abs. 2nd Int. SiGe Technology and Device Meeting, pp. 79-80, May 2004.
- [58] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, T. Maeda, and S. Takagi, "(110)-Surface Strained-SOI CMOS Technology," Abs. 2nd Int. SiGe Technology and Device Meeting, pp. 89-90, May 2004.

- [59] K. Uchida, J. Koga, and S. Takagi, "Carrier Transport in Ultra-thin Si Layers (invited)," 2004 IEEE Si Nanoelectronics Workshop, June 13-14, Hawaii, USA, pp. 17-18, July 2004.
- [60] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Sugiyama, and S. Takagi, "Selectively-formed high mobility SiGe-on-Insulator pMOSFETs with high Ge content strained surface channels using local condensation technique," IEEE Symp. on VLSI Technology (VLSI Symp.), pp. 198-199, July 2004.
- [61] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, T. Maeda, and S. Takagi, "High Velocity Electron Injection MOSFETs for Ballistic Transistors using SiGe/ Strained-Si Heterojunction Source Structures," IEEE Symp. on VLSI Technology (VLSI Symp.), pp. 202-203, July 2004.
- [62] S. Takagi, "Material and Structure Design for Advanced CMOS Channels," 2004 Int. Meeting for Future of Electron Devices, Kansai, July 26-28, Kyoto, pp. 117-118, June 2004.
- [63] S. Takagi, "Advanced SOI CMOS Technology Using Strained Si/SiGe Channels (invited talk)," 2004 Int. Workshop on Active-Matrix Liquid-Crystal Displays (AM-LCD 04), Tokyo, Aug. 25-27, Dig. Tech. Paper, pp. 69-72, Aug. 2004.
- [64] T. Ishihara, J. Koga, and S. Takagi, "Unified Understanding of Carrier Mobility in MOS Inversion Layers (invited)," Int. Conf. on Simulation of Semiconductor Processes and Devices 04 (SISPAD04), Sept. 2004.
- [65] S. Takagi, "Physical Origin of Drive Current Enhancement in Ultra-thin Ge-On-Insulator (GOI) MOSFETs under Full Ballistic Transport," Ext. Abs. SSDM2004, pp. 10-11, Sept. 2004.
- [66] T. Ishihara, J. Koga, and S. Takagi, "Comprehensive Understanding of Carrier Mobility in MOSFETs with Oxynitrides and Ultrathin gate oxides," Ext. Abs. SSDM2004, pp. 730-731, Sept. 2004.
- [67] S. Takagi, T. Mizuno, T. Tezuka, N. Sugiyama, T. Numata, K. Usuda, Y. Moriyama, S. Nakaharai, J. Koga, A. Tanabe, N. Hirashita, T. Irisawa, and T. Maeda, "Strained-Si/SiGe-On-Insulator CMOS technology as a platform of device performance boosters," ECS Symp. on SiGe: Materials, Processing, and Devices, Proceeding Volume 2004-7, pp. 849-856, Sept. 2004.
- [68] Y. Moriyama, N. Sugiyama, N. Hirashita, S. Nakaharai, and S. Takagi, "Effect of temperature on relaxation of CVD SiGe films grown on Si substrates," ECS Symp. on SiGe: Materials, Processing, and Devices, Proceeding Volume 2004-7, pp. 849-856, Sept. 2004.
- [69] T. Maeda, T. Yasuda, M. Nishizawa, N. Miyata, Y. Morita, and S. Takagi, "Ge-MIS structures fabricated by direct nitridation of Ge," ECS Symp. on SiGe: Materials, Processing, and Devices, Proceeding Volume 2004-7, pp. 167-174, Sept. 2004.
- [70] S. Nakaharai, T. Tezuka, N. Sugiyama and S. Takagi, "Formation Mechanism of Ge-on-Insulator Layers by Ge-condensation Technique," ECS Symp. on SiGe: Materials, Processing, and Devices, Proceeding Volume 2004-7, pp. 741-748, Sept. 2004.
- [71] A. Tanabe, T. Numata, T. Mizuno, T. Maeda, and S. Takagi, "Ge Diffusion Effect on Low Frequency Noise in Ultra-thin Strained-SOI CMOS," ECS Symp. on SiGe: Materials, Processing, and Devices, Proceeding Volume 2004-7, pp. 483-492, Sept. 2004.
- [72] N. Hirashita, T. Numata, T. Tezuka, N. Sugiyama, K. Usuda, T. Irisawa, A. Tanabe, Y. Moriyama, S. Nakaharai, S. Takagi, E. Toyoda and Y. Miyamura, "Strained-Si/SiGe-on-Insulator Wafers Fabricated by Ge-Condensation Process," Proc. IEEE Int. SOI Conf., pp. 141-142, Sept. 2004.
- [73] N. Sugiyama, N. Hirashita, T. Mizuno, Y. Moriyama, S. Nakaharai, T. Tezuka, K. Usuda, and S. Takagi, "Alignment of dislocations during the Ge condensation of SiGe-on-insulator with a (110) Surface," 3rd Int. Workshop on New Group IV (Si-Ge-C) Semiconductors Control of Properties and Applications to Ultrahigh Speed and Opto-Electronic Devices, Oct. 12-13, Sendai, Japan, pp. 87-88, Oct. 2004.
- [74] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Sugiyama, and S. Takagi, "Fabrication of strained SiGe-on-Insulator and Ge-on-Insulator layers by Ge-condensation technique for high performance pMOSFETs (invited)," 3rd Int. Workshop on New Group IV (Si-Ge-C) Semiconductors Control of Properties and Applications to Ultrahigh Speed and Opto-Electronic Devices, Oct. 12-13, Sendai, Japan, pp. 7-8, Oct. 2004.
- [75] N. Taoka, A. Sakai, S. Mochizuki, O. Nakatsuka, S. Zaima, M. Ogawa, Y. Yasuda, T. Tezuka, N. Sugiyama, and S. Takagi, "Analysis of dislocation structures and the mosaicity of strain-relaxed SiGe buffer layers on SOI substrates with pure-edge dislocation networks," 3rd Int. Workshop on New Group IV (Si-Ge-C) Semiconductors Control of Properties and Applications to Ultrahigh Speed and Opto-Electronic Devices, Oct. 12-13, Sendai, Japan, pp. 39-40, Oct. 2004.
- [76] K. Usuda, T. Numata, T. Maeda, T. Irisawa, N. Hirashita, and S. Takagi, "Strain evaluation in very thin SOI layers for MOSFET channel using nano-beam electron diffraction (NBD)," 4th In. Symp. on Advanced Science and Technology of Silicon Materials, Hawaii, pp. 332-336, Nov. 2004.
- [77] S. Takagi, "Strained Si/SiGe-On-Insulator CMOS technology," 4th Int. Symp. on Advanced Science and Technology of Silicon Materials, Kona, Hawaii, pp. 257-262, Nov. 2004.
- [78] N. Taoka, A. Sakai, S. Mochizuki, O. Nakatsuka, S. Zaima, Y. Yasuda, M. Ogawa, T. Tezuka, N. Sugiyama, and S. Takagi, "Dislocation and strain distribution analysis for SiGe buffer layers formed on silicon on insulator substrates," MRS2004 Fall Meeting, Symposium F: Group IV Semiconductor Nanostructures, Boston, USA, F7-8, Nov. 2004.
- [79] T. Numata, T. Irisawa, T. Tezuka, J. Koga, N. Hirashita, K. Usuda, E. Toyoda, Y. Miyamura, A. Tanabe, N. Sugiyama, and S. Takagi, "Performance Enhancement of Partially- and Fully-Depleted Strained-SOI MOSFETs and Characterization of Strained-Si Device Parameters," Tech. Dig. Int. Electron Device Meeting (IEDM), pp. 177-180, Dec. 2004.
- [80] S. Takagi, "Strained-Si/SiGe/Ge-On-Insulator CMOS technology," 2004 Int. Electron Devices and Materials Symposia (IEDMS), National Chiao Tung Univ., Taiwan, pp. 59-62, Dec.

2004.

- [81] T. Maeda, T. Yasuda, M. Nishizawa, N. Miyata, Y. Morita, and S. Takagi, "Direct nitridation of Ge substrates by nitrogen radical source for application to Ge MIS structures," Material Research Society (MRS), Spring Meeting, Symposium G: Advanced Gate Dielectric Stacks on High-Mobility Semiconductors, San Francisco, Mar. 2005.
- [82] K. Yamamoto, T. Norimatsu, and M. Fujishima, "High-speed and wide-tuning-range LC frequency dividers," Proc. 2004 Int. Symp. on Circuits and Systems, ISCAS '04, vol. 4, pp. IV-361-IV-364, 2004.
- [83] M. Fujishima and J. Kino, "Accurate subcircuit model of an on-chip inductor with a new substrate network," 2004 IEEE Symp. on VLSI Circuits, pp. 376-379, 2004.
- [84] K. Yamamoto and M. Fujishima, "55GHz CMOS frequency divider with 3.2GHz locking range," 2004 European Solid-State Circuit Conf., pp. 135-138, 2004.
- [85] M. Fujishima and K. Yamamoto, "High-performance frequency dividers utilizing differential locking," 7th Int. Conf. on Solid-State and Integrated-Circuit Technology, pp. 1476-1481, 2004 (invited).
- cal Layout Synthesis for CMOS Logic Cells via Boolean Satisfiability," IEICE Tech. Rep., vol. 104, no. 478, pp. 1-6, Dec. 2004.
- [11] H. Yoshida, K. De V. Boppana, M. Ikeda, and K. Asada, "Accurate Pre-Layout Estimation of Intra-cell Parasitics Using Fast Transistor-level Placement," IEICE Tech. Rep., vol. 104, no. 478, pp. 7-12, Dec. 2004.
- [12] 松本剛史, 齋藤寛, 藤田昌宏, "C言語動作記述の既存RTL用検証ツールを用いた検証の提案," DA シンポジウム 2004 論文集, pp. 241-146, 2004年7月.
- [13] 小松聡, 藤田昌宏, "データ符号化によるVLSIにおける低消費電力・高信頼データ伝送手法の検討," 電子情報通信学会技術研究報告, vol. 104, no. 478, VLD2004-92, pp. 185-190, 2004年12月.
- [14] Thanyapat Sakunkonchak, Satoshi Komatsu, and Masahiro Fujita, "A Framework on Synchronization Verification of System-Level Design," 電子情報通信学会技術研究報告, vol. 104, no. 708, pp. 71-76, 2005年3月.
- [15] 佐々木俊介, 田辺健, 藤田昌宏, "SpecC記述のプログラムスライシングを利用した未初期化変数・未使用変数の検出," 電子情報通信学会技術研究報告, vol. 104, no. 708, pp. 59-64, 2005年3月.
- [16] 松井健, 小松聡, 藤田昌宏, "UMLとSpecCを用いたハードウェアの上位設計手法に関する検討," 電子情報通信学会技術研究報告, VLD2004-136, pp. 65-70, 2005年3月.
- [17] 西原佑, 松本剛史, 小松聡, 藤田昌宏, "FSMへの変換に基づくHW/SW協調設計の形式的検証手法に関する研究," 情報処理学会研究報告, 2005-SLDM-119(7), pp. 37-42, 2005年3月.
- [18] 高橋巧也, 藤田博之, 年吉洋, "垂直櫛歯型静電アクチュエータの横方向不安定性を考慮した変位・電圧特性解析法" 電気学会第21回センサ・マイクロマシンと応用システムシンポジウム, 平成16年10月14日~15日, 京都テルサ, A1-6.
- [19] 中澤友則, 六尾妙, 星泰雄, 川井茂樹, 年吉洋, 川勝英樹, 小林大, 中川和久, 三宅政仁, 橋口原, "液中光励振による計測と可視化および, ナノギャップアレーによる単分子補足の認識に向けて," 電気学会第21回センサ・マイクロマシンと応用システムシンポジウム, 平成16年10月14日~15日, 京都テルサ, C5-5.
- [20] 山内木綿子, 肥後昭男, 藤田博之, 年吉洋, "光アドレッシングによる微小構造体アレイの非接触駆動," 平成16年度電気学会センサ・マイクロマシン準部門総合研究会, 埼玉大学, 2004年5月12~13日.
- [21] 高橋一浩, 猿田訓彦, 三田信, 藤田博之, 年吉洋, "櫛歯型静電マイクロアクチュエータによるレンズ光スキャナの検討," 平成16年度電気学会センサ・マイクロマシン準部門総合研究会, 埼玉大学, 2004年5月12~13日.
- [22] 肥後昭男, 岩本敏, 石田悟巳, 藤田博之, 荒川泰彦, 年吉洋, 山田博仁, 五明明子, 徳田正敏, "MEMS-フォトリソ結晶機能素子の作製方法," 電気学会マイクロマシン・センサシステム研究会, キャンパスプラザ京都, 2004年2月27日.

3. 国内学会, 研究会等

- [1] Y. Oike, M. Ikeda, and K. Asada, "A High-Speed 3-D Range Finder Using Row-Parallel Search Architecture," IEICE Tech. Rep., vol. 104, no. 174, pp. 7-10, June 2004.
- [2] 浅田, 大池, "Real-Time and High-Resolution 3-D Imaging System Based on Light-Section Method," 画像ラボ, vol. 15, no. 7, pp. 40-44, July 2004.
- [3] M. Abbas, M. Ikeda, and K. Asada, "Statistical Evaluation of Logic Errors in Low Power Design Schemes," Proc. IEICE Society Conf. 2004, A-9-3, Sept. 2004.
- [4] TH. Yen, M. Ikeda, and K. Asada, "Estimation of Radiated Electromagnetic Emission from Integrated Circuit Using Short Wire Antenna," Proc. IEICE Society Conf. 2004, B-4-30, Sept. 2004.
- [5] T. Nakura, M. Ikeda, and K. Asada, "Power Supply Noise Reduction on LSIs using Off-chip stubs," Proc. IEICE Society Conf. 2004, C-12-1, Sept. 2004.
- [6] N. Li, M. Ikeda, and K. Asada, "Study of Low EMI Circuit with 3-Phase Transmission Protocol," Proc. IEICE Society Conf. 2004, C-12-5, Sept. 2004.
- [7] Y. Oike, M. Ikeda, and K. Asada, "Design of Digital Associative Engine for Manhattan Distance Search," Proc. IEICE Society Conf. 2004, C-12-7, Sept. 2004.
- [8] Y. Oike, H. Hashimoto, M. Ikeda, and K. Asada, "A Color Demodulation Image Sensor for Support of Image Recognition," IEICE Tech. Rep., vol. 28, no. 59, pp. 9-12, Oct. 2004.
- [9] Y. Yachide, Y. Oike, M. Ikeda, and K. Asada, "Implementation of a Real-Time 3-D Imaging System and Application to Multi-Viewpoint Measurement," Proc. IEICE 8th Workshop on System LSI, pp. 255-258, Nov. 2004.
- [10] T. Iizuka, H. Yoshida, and M. Ikeda, and K. Asada, "Hierarchi-

- [23] 小尾浩士, 藤田博之, 年吉洋, “パーティカル・コーム型 トーションミラーの水平面内安定化,” 電子情報通信学会 2004 年総合大会, 東京工業大学大岡山キャンパス, 講演番号 C-3-69, 2004 年 3 月 25 日.
- [24] イップ・ゴードン, 杉本慎太郎, 服部励治, “単一 DAC 電流分配法 AM-OLED パネル内電流メモリー回路の解析,” 電子情報通信学会, 発光型/非発光型ディスプレイ合同研究会, 佐賀市交流センター, 佐賀市, 2005 年 1 月 27 ~ 28 日.
- [25] 服部励治, “有機 EL サイドから a-Si, poly-Si TFT に何を求めるか,” 第 31 回アモルファス物質の物性と応用セミナー, 金沢エクセルホテル東急, 金沢, 2004 年 11 月 25 日 ~ 26 日.
- [26] 服部励治, “アモルファスシリコン TFT を用いた大型有機 EL ディスプレイ,” EDF 電子ディスプレイ・フォーラム 2004, 東京ビッグサイト会議棟 6F, 東京, 2004 年 4 月 8 日.
- [27] Y. Mita, M. Takada, and T. Shibata, “A Simple and fast PC interface for VLSI Measurement,” Proc. 2004 IEEE Asia-Pacific Conf. on Advanced System Integrated Circuits (AP-ASIC), pp. 398-400, Fukuoka, Japan, Aug. 4-5, 2004.
- [28] 中山友之, 山崎俊彦, 柴田直, “フローティングゲート MOS CDMA マッチトフィルタにおける擬似並列マルチパス検出アーキテクチャ,” 電子通信学会技術研究報告, 集積回路回路技術研究専門委員会 (ICD), 論文番号 ICD2004-137, pp. 103-108, 2004 年 8 月.
- [29] 中山友之, 山崎俊彦, 柴田直, “V-I および I-V 変換回路を搭載した低消費電力スイッチトカレント CDMA マッチトフィルタ,” 電子通信学会技術研究報告, 集積回路回路技術研究専門委員会 (ICD), 論文番号 ICD2004-138, pp. 109-114, 2004 年 8 月.
- [30] 山崎英男, 八木雅和, 柴田直, “アナログ・デジタル融合アーキテクチャに基づく実時間画像特徴ベクトル生成 VLSI プロセッサ,” 電子通信学会技術研究報告, 集積回路研究専門委員会 (ICD), 論文番号 ICD2004-70, pp. 49-54, 2004 年 8 月.
- [31] Y. Mita, D. Kobayashi, T. Bourouina, T. Shibata, “Fabrication en parallèle de micro-aiguilles de 150um avec un rayon de courbure nanométrique pour l'application à la microscopie à l'effet tunnel,” Journées Scientifique Francophone 2004, Tokyo, Nov. 4-5, 2004. (in French)
- [32] Y.-A. Chapuis, Y. Fukuta, L. Zhou, Y. Mita, and H. Fujita, “Control of MEMS-based actuators array for micro-smart system,” Proc. SPIE International Symposium on Smart Materials, Nano-, and Micro-Smart Systems, Sydney, Australia, Dec. 12-15, 2004.
- [33] B. Caillard, Y. Mita, Y. Fukuta, Y.-A. Chapuis, T. Shibata, and H. Fujita, “Electrical Detection of Failures of MEMS Electrostatic Microactuators for Test Circuit,” IEEE 6th Latin-American Test Workshop, pp. 201-206, Salvador, Brazil, Mar. 30-Apr. 2, 2005.
- [34] 手塚勉, 中払周, 杉山直治, 白田宏治, 平下紀夫, 田邊顕人, 守山佳彦, 高木信一, 宮村佳児, 豊田英二, “酸化濃縮法による SGOI 基板作製技術 - 高移動度チャネル CMOS への適用 -, ” 日本結晶成長学会バルク成長分科会 第 61 回研究会, May 2004.
- [35] 高木信一, 水野智久, 手塚勉, 杉山直治, 沼田敏典, 白田宏治, 中払周, 守山佳彦, 古賀淳二, 田邊顕人, 平下紀夫, 入沢寿史, 前田辰郎, ひずみ SOI CMOS 技術, 電気学会シンポジウム “超高速 SiGe デバイス材料技術の最新動向,” 東京農工大学工学部, pp. 64-68, June 2004.
- [36] K. H. Park, D. Funao, K. Hirakawa, and S. Takagi. “Effective mass enhancement in n-Si MOSFETs with thin gate oxides,” 第 23 回「電子材料シンポジウム」, 23rd Electronic Materials Symp., July 2004.
- [37] 高木信一, サブバンド構造変調によるチャネルを用いた CMOS 素子技術, 電気学会電子材料研究会, “低消費電力化に向けたゲート電極/ゲート絶縁膜/新構造トランジスタ,” EFM-04-42, pp. 7-11, July 2004.
- [38] 手塚勉, 中払周, 守山佳彦, 杉山直治, 高木信一, “局所酸化濃縮により作製された SiGe-on-Insulator pMOSFET における高移動度の実証,” 応用物理学会シリコンテクノロジー分科会第 64 回研究集会, ULSI デバイス研究委員会 “最先端 CMOS 技術 (VLSI シンポジウム特集),” no. 64, pp. 47-50, July 2004.
- [39] 水野智久, 杉山直治, 手塚勉, 守山佳彦, 中払周, 前田辰郎, 高木信一, ヘテロソース構造 MOSFET におけるチャネルへの高速電子注入, 電子情報通信学会集積回路研究専門委員会 (ICD)・シリコン材料デバイス研究専門委員会 (SDM) 合同研究会, Aug. 2004.
- [40] N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, T. Mizuno, K. Usuda, and S. Takagi, “Fabrication Technology of Strained SOI and Silicon Germanium on Insulator,” 7th China-Japan Symp. on Thin Films (CJSTF VII), Sept. 2004.
- [41] 白田宏治, 沼田敏典, 平下紀夫, 高木信一, “NBD 法によるひずみ Si 中の欠陥の周りのひずみ緩和評価,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.
- [42] 手塚勉, 中払周, 守山佳彦, 杉山直治, 高木信一, “局所酸化濃縮により作製された SiGe-on-Insulator pMOSFET における高移動度の実証,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.
- [43] 池田圭司, 前田辰郎, 高木信一, “Pt/Ge (100) ショットキー障壁高さの評価,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.
- [44] 杉山直治, 平下紀夫, 水野智久, 守山佳彦, 高木信一, “(110) 面上 Si エピタキシーの成長律速過程の解析,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.
- [45] 平下紀夫, 豊田英二, 宮村佳児, 手塚勉, 杉山直治, 白田宏治, 入沢寿史, 沼田敏則, 田邊彰人, 守山佳彦, 中払周, 高木信一, “酸化濃縮法によるひずみ SOI ウェハーの作製,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.
- [46] 田岡紀之, 望月省吾, 中塚理, 酒井朗, 小川正毅, 財満鎮明, 安田幸夫, 手塚勉, 杉山直治, 高木信一, “90° 転位導入による SOI 基板上歪緩和 SiGe バッファ層の形成と転位構造解析,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.

- [47] 水野智久, 杉山直治, 手塚勉, 守山佳彦, 中払周, 前田辰郎, 高木信一, “ソース・ヘテロ構造を用いた超高速 MOSFET,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.
- [48] 中林幸雄, 古賀淳二, 石原貴光, 高木信一, “Si MOS 反転層におけるクーロン散乱移動度の散乱源による分離と温度依存性,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.
- [49] 船尾大輔, 朴敬花, 平川一彦, 高木信一, “p 型ひずみ Si-MOSFET 中のキャリア伝導,” 第 65 回応用物理学会学術講演会, 東北学院大学, Sept. 2004.
- [50] 高木信一, ひずみの利用による高性能 CMOS の実現, 半導体界面制御技術第 154 委員会第 47 回研究会 “歪により新機能を創る,” pp. 1-8, Oct. 2004.
- [51] 沼田敏典, 入沢寿史, 手塚勉, 古賀淳二, 平下紀夫, 白田宏治, 豊田英二, 宮村佳児, 田邊顕人, 杉山直治, 高木信一, [招待論文] 高性能・部分空乏型および完全空乏型ひずみ SOI-MOSFET, 応用物理学会シリコンテクノロジー分科会第 67 回研究集会, ULSI デバイス研究委員会 “IEDM 特集 (先端 CMOS デバイス・プロセス技術),” 電子情報通信学会シリコン材料・デバイス研究会 1 月研究会, no. 67, 信学技報 SDM2004-210 (2005-1), pp. 5-8, Jan. 2004.
- [52] 沼田敏典, 入沢寿史, 手塚勉, 古賀淳二, 平下紀夫, 白田宏治, 豊田英二, 宮村佳児, 田邊顕人, 杉山直治, 高木信一, “高性能・微細ひずみ SOI-MOSFET,” 電気学会電子デバイス研究会, EDD-05-42, pp. 29-33, Mar. 2005.
- [53] 白田宏治, 沼田敏典, 入沢寿史, 平下紀夫, 高木信一, “NBD による微細ひずみ Si-MOSFET チャンネルの直接ひずみ評価,” 31a-P5-20, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [54] 平下紀夫, 豊田英二, 宮村佳児, 杉山直治, 高木信一, “SGOI 基板上的ひずみ Si のひずみ緩和,” 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [55] 水野智久, 杉山直治, 手塚勉, 守山佳彦, 中払周, 前田辰郎, 高木信一, “バックゲート電圧による歪 SOI 素子特性の変調効果,” 31a-P5-22, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [56] 田邊顕人, 沼田敏典, 水野智久, 前田辰郎, 高木信一, “ひずみ SOI MOSFET の低周波ノイズに与える Ge 拡散の影響,” 31a-P5-21, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [57] 沼田敏典, 入沢寿史, 手塚勉, 古賀淳二, 平下紀夫, 白田宏治, 豊田英二, 宮村佳児, 田邊顕人, 杉山直治, 高木信一, “酸化濃縮法 SGOI 基板を用いた微細ひずみ SOI-MOSFET,” 31a-P5-19, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [58] 中林幸雄, 古賀淳二, 石原貴光, 高柳万里子, 高木信一, “Si MOS 反転層におけるクーロン散乱移動度への高チャネル濃度化の影響,” 31a-P5-24, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [59] 土屋英昭, 高木信一, 三好且六, “擬似バリスティック輸送下における MOSFET の電流駆動力—電子電子散乱の影響—,” 31a-P5-28, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [60] 武田浩司, 熊谷寛, 西川昌志, 菅原聡, 高木信一, “ひずみ Si p-MOSFET における反転層正孔移動度のユニバーサリティ,” 31a-P5-26, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [61] 高木信一, 熊谷寛, 西川昌志, 武田浩司, 菅原聡, “Ge 系 MOS トランジスタへの期待,” 30p-S-2, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [62] 朴敬花, 船尾大輔, 平川一彦, 高木信一, “低温領域における Si-MOSFET 中の電子移動度の強い温度依存性,” 31a-P5-25, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [63] 船尾大輔, 朴敬花, 平川一彦, 高木信一, “p 型ひずみ Si-MOSFET 中の正孔分布と移動度—移動度向上機構の考察,” 31a-P5-18, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [64] 熊谷寛, 西川昌志, 武田浩司, 菅原聡, 高木信一, “SiN/Ge MIS キャパシタの CV 特性に与える基板タイプの影響,” 1a-P6-28, 第 52 回応用物理学会関係連合学術講演会, 埼玉大学, Mar. 2005.
- [65] 山本憲, 藤島実, “差動注入同期型を利用した極低消費電力周波数分周器,” 電子情報通信学会集積回路研究専門委員会, 金沢, 2004 年 5 月 20 日.
- [66] 藤島実, 木野順, “基板渦電流を考慮したオンチップインダクタモデル,” 電子情報通信学会集積回路研究専門委員会, 北見, 2004 年 8 月 19 日.
- [67] 志村正弘, 藤島実, “双命令・複数データ型プロセッサによる逆問題の高速処理,” システム LSI ワークショップ, 小倉, pp. 331-334, 2004 年 11 月 30 日.
- [68] 金子秀彦, 藤島実, “小型集積回路用簡易暗号回路の提案,” システム LSI ワークショップ, 小倉, pp. 335-338, 2004 年 11 月 30 日.
- [69] 山本憲, 藤島実, “MOSFET の動作周波数限界を超える CMOS 周波数分周器,” 電子情報通信学会集積回路研究専門委員会, 広島, 2004 年 12 月 17 日.

4. 紀要, その他

- [1] 年吉洋, 「MEMS のバイオおよび通信技術応用」, 東京大学生産技術研究所・大阪大学産業科学研究所—研究所間交流, 阪大産業研, 2004 年 11 月 25 日.
- [2] 年吉洋, 「マイクロマシンにおける表面吸着の問題とその積極的利用方法」, (財)新世代研究所, 2004 年第 1 回ナノプローブ研究会, 2004 年 10 月 15 日.
- [3] 服部励治, 4.3.1(2) 有機 EL 駆動技術 2004 年度, 光技術動向報告書.
- [4] 服部励治, “「液晶には負けない」有機 EL が駆動技術で低コスト化へ,” 日経マイクロデバイス, 2005 年 2 月号 FPD [inside].
- [5] ゴードン・イップ, 杉本真太郎, 服部励治, “単一 DAC 電流分配法 AMOLED パネル内電流メモリー回路の解析,” 信学技報, EID2004-48, vol. 104, no. 620, pp. 53-56, 2005 年 1 月.

- [6] 杉山直治, 手塚勉, 水野智久, 高木信一, “SiGe on Insulator 構造作成技術の現状,” 日本結晶成長学会誌, vol. 31, no. 1, pp. 12-22, Spring 2004.
- [7] 高木信一, “チャンネル技術 見えてきた移動度向上シナリオ,” 日経マイクロデバイス, no. 22, 第2号, pp. 56-61, Feb. 2005.
- [8] 臼田宏治, 水野智久, 沼田典則, 手塚勉, 杉山直治, 守山佳彦, 中払周, 高木信一, “シリコン・オン・インシュレーター (SOI) 基板構造の局所ひずみ評価,” 真空, 48 巻 1 号, p. 18, Jan. 2005.

5. 著書

- [1] S. Komatsu, H. Saito, K. Seto, Y. Kojima, and M. Fujita, Chapter 14: Engineering Changes in Field Modifiable Architectures in “Formal Methods and Models for System Design -A System Level Perspective-,” R. Gupta, P. Le Guernic, S. K. Shukla, J. P. Talpin, Eds., Kluwer Academic Publishers, 全 374 頁, pp. 353-372, 2004.
- [2] 服部励治分筆, “有機 EL 材料技術,” 監修/佐藤佳晴, 第 3 章 駆動回路技術第 1 節 TFT 技術性能比較シーエムシー出版発行, pp. 71-79, 2004 年 5 月.
- [3] Ron Schmitt, 黒田忠弘監訳, 「LSI 技術者のための親切的な電磁気学」, 丸善株式会社, 全 361 頁, 第 5 章分担, 2005.

5.1 VDEC 利用規程・申し込みガイド

5.1.1 概要

VDEC は、全国の大学・高専向けに様々な支援事業を実施している。

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会 (8-9 月・3 月)
4. 社会人リフレッシュ教育 (12 月-1 月, 学生も参加可能)
5. VLSI デザイナーフォーラム (若手の会)
6. 大型装置利用

CAD ベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC 設立以来、これまでの実績では、CAD の利用・CAD 講習会は無償、LSI 試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザには VDEC を利用する「顧客」ではなく、VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDEC の担当者 (vdec@vdec.u-tokyo.ac.jp) に必ず相談いただきたい。その他のサービスについては VDEC の裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、ア

カデミック側が 51% 以上のイニシアチブを取る研究であることが必要である。

また、CAD の申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDEC のシステムは、Internet と Unix operating system の上になりたっているため、Internet の仕組みや Unix についての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

VDEC からのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDEC の WEB ページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP) アドレスによって制限をかけている。

従って、VDEC を利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な (サービス開始前 1 ヶ月以上) 時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEB ページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字 2 字 + 半角数字 5 桁 (例: VD00000) からなる。

5.1.2 まずはじめに

申込で特に注意する点は、VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxyサーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5のように、IPアドレスを全て「半角」の英数字で、「,」（半角カンマ）で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT（IP masquerade というプログラム名で呼ばれることもある。機能としてはNATが正しい。）で研究室内をローカルネットワークにしている場合は、NATサーバのアドレスを入力する。よくある間違いとして、ローカルネットワークのIP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増

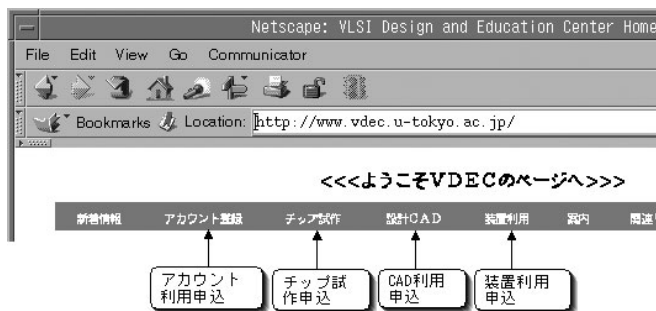


図 5.1 VDEC ホームページのインデックスフレーム

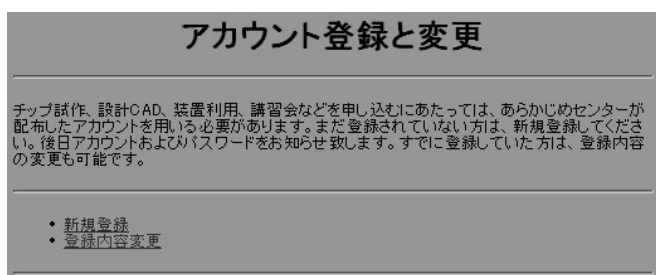


図 5.2 アカウント登録・変更ページの入口

チップ試作のためのアカウント登録

注意事項: 当センターにおけるチップ試作のためのアカウント発行は 支払能力のある大学(高等)の支払責任能力のある教官に限定致します。

その他の場合、上記教官を通じて登録をお願い致します。

• お名前: ← 費用負担する教官の氏名

• よみがな:

• 大学(高等)名:

• 学科名:

• 職位: ← 半角カタカナを使用しないこと

• 郵便番号:

• 御住所:

• E-mail: ← アカウント申請者のメールアドレスを1つだけ記入

• 電話番号:

• FAX番号: ← 先ずは、各種サービスの申込をするコンピュータを登録(半角文字のみを使用)

• IPアドレス:

図 5.3 アカウントの新規登録の注意点

設などでIPアドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古いIPが使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じE-Mailアドレスを入力することで上書き変更が可能である。

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けませんが、管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐため

接のアクセスが行えない場合にはその限りではない。

5.1.3 CAD ツールの共同利用

VDEC では、集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している。これらのソフトウェアは、VDEC の VLSI 試作以外のアカデミック用途 (MOSIS-VDEC を通じた試作, 教育用の演習, EB 等 VDEC の大型装置利用のためのデータ作成, 等) の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーから CAD を選べる状況 (二重化) を理想としている。LSI の設計には、CAD ソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD 申込の WEB ページに教員がアクセスする (WEB アカウントが必要である)。NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後、CAD の申請ができる。

申請時に WEB から入力する内容は以下のとおり。

- ソフトウェアライセンス数 (研究室で同時に使用するとと思われる最低数を入力)
- 用途
- メディアリクエスト (使用する Operating System を選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム (VDEC, 端的には usr1 から名前→IP アドレスの解決ができる, 「.ac.jp」で終わるホスト名であることが条件。)

ソフトウェアの CDROM (メディア) について、VDEC の創設期においては、メディアを近隣の研究室

必ずチェック

最大同時使用者数

これも必ずチェック

どれか必ずチェック

- Cadence社設計ツール:
ライセンス: [*] ライセンス数: [11]]
メディアリクエスト: []
[*]Cadence (Solaris, HPUX)
使用目的: [*]研究 []講義 []トレーニング []その他
- Synopsys社設計ツール:
ライセンス: [*] ライセンス数: []]
メディアリクエスト: []
[*]Synopsys Synthesis/Simulation/Verification (Solaris, HPUX, Linux, WindowsNT)
使用目的: [*]研究 []講義 []トレーニング []その他
- 旧Avant!社設計ツール:
ライセンス: [*] ライセンス数: [11]]
メディアリクエスト: []
[*]Synopsys Astro/Milkyway (Solaris, HPUX)
使用目的: [*]研究 []講義 []トレーニング []その他

図 5.4 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在では CD に書き込める ISO イメージファイルで提供している。提供するサイトは、usr1.vdec.u-tokyo.ac.jp である。メディアのリクエストを怠ると、上記ホストにログインできないので注意が必要である。usr1 のアカウントも職員の手によって手動で発行するので、CAD を申請してから 2 週間程度の時間差がある。usr1 へのログインは、WEB アカウントの英字を「小文字にしたもの」、たとえば WEB に「VD00000」でアクセスできている場合、usr1 には「vd00000」でログインする。パスワードは大文字小文字の変換を「しない」ので、こちらも注意が必要である。

メディアを取得した後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルは WEB 経由で別途取得の上設定するか、環境変数 LM_LICENSE_FILE 等を (ライセンスサーバのポート番号) @ (ライセンスサーバ) の形式で設定する。また、/etc/hosts ファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセス

できるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CAD ツールを実行するためには、VDEC または地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDEC または地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することにより CAD を実行することが可能である。また、ライセンスサーバの認証は、CAD ツール起動後も数分おきに行われるので、CAD ツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDEC の Web サーバと VDEC および地域拠点校に対して、ライセンス認証用の特定のポートを空ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が置こることもある。VDEC に対する大幅なアカデミックディスカウントの引き換えとして、各研究室は CAD ベンダーによる直接のサポートを受けられない。かわりに VDEC では、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CAD を利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser ML の注意点は以下のとおり。

1. WEB ページから、利用するメンバの E-Mail アドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送しないこと（情報漏洩の観点から）。
2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめ CADuser ML の過

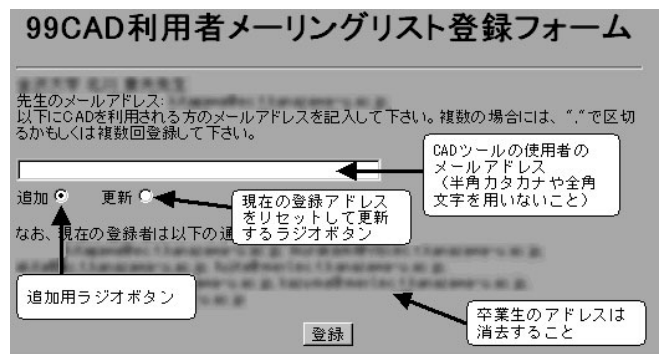


図 5.5 CAD 利用者メーリングリスト登録における注意点

去記事検索が WEB からできるので、類似の質問が無いかどうか検索してから投稿すること。

4. 機密保持にかかわるような内容のメールは、CADuser に送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること（必須ではないが、ネット利用のエチケットといえる）。

ライセンスは年度単位で申込みを受けつけしている。各 CAD ベンダーと VDEC との交渉がまとまる毎年3月末に、CADuser ML と WEB 上に、次年度の CAD 利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしているが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点。熟読必須。】

1. VDEC では毎月、CAD を使用できる計算機のリスト（アクセスリストと呼ぶ）を更新している。このとき DNS の逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CAD が使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに

影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪一ヶ月以上 CAD が使用できなくなる。

2. 以上の理由で、VDEC から「CAD のアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.html である。ブックマークを強くお勧めする。

4. IP アドレス（ホスト名）registered という表示が出ていれば登録されている。
5. false (false (ホスト名)) FAIL という表示が出ていれば登録に失敗しているため、原因を探る。

一般的に、DNS の逆引き（ホスト名から IP アドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDEC のサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

5.1.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEB ページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対する NDA 契約を行った後、設計規則やライブラリにアクセスできる。設計規則は WEB 経由のアクセスならびに、WEB での公開を禁止している会社の場合は CDROM 等で送付される。NDA の対象は教員であるが、研究室の職員・学生にも同じ NDA が適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の 6～3ヶ月前、キャンセルのメ切は 1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点 (図 5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

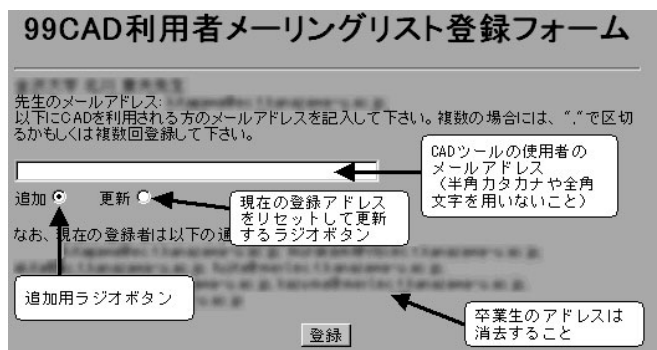


図 5.6 VLSI 試作メーリングリスト登録ページの注意点

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。過去記事検索もできる。

レイアウトを設計した後、VDEC が提供する最新の Design Rule Check ファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通して、提出しようとする回路が本当に動作しそうである確信を持つておくことは最低限必要であろう。デザインの提出は usr1.vdec.u-tokyo.ac.jp に最終の GDS-II stream 形式ファイルを置

き、提出コマンド /usr/Designs/bin/submit.pl を実行する。提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC 側で再度デザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計

者に修正のお願いを連絡するので、提出したからといって安心せず、1 週間ほどは VDEC からの連絡に注ぎたい。

デザイン提出から数ヶ月後に、VLSI チップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

5.1.5 CAD ツール講習会

CAD ベンダーとの契約により、個々のサポートは提供しないかわりに、毎年 2 回、夏と春と CAD 講習会を開催している。夏は基本的に東京大学の武田先端ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加し

て、大体の知識を付けてから実際の試作なり CAD 利用を行うことをお勧めしている。アナウンスならびに申込はこれも、VDEC の WEB ページによって行われるのでご注意ください。

5.1.6 社会人リフレッシュ教育

CAD ツール講習会からさらに進んだ形で、Verilog である回路を実際に設計し、レイアウト合成したり、FPGA による実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、[RF] コースならびに一線の

研究者による設計事例の講演会などを企画している。12 月～1 月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

5.1.7 デザイナーフォーラム (若手の会)

毎年夏から秋にかけて、VDEC を利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が

5 ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

5.1.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置については、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本

的に自由な利用が可能

3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

VDEC

5.2 IP データベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている(<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>, 図 5.2.1)。本データベースの利用対象は、IP登録に関してはVDECユーザに限定しているが、IP利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IPのカタログデータの整理、公開および登録者

–利用者間の仲介と機密情報の取り扱いの監督である。平成12年度から平成14年度の3年間、(株)半導体理工学研究センター(STARC)との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

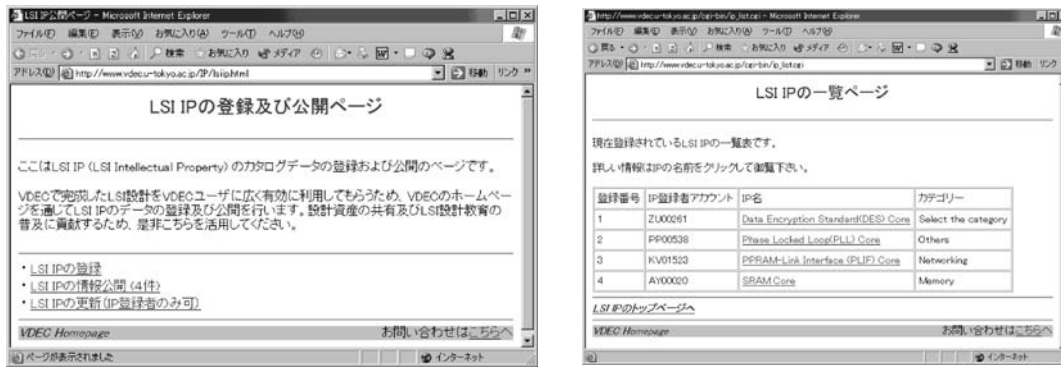


図 5.2.1 VDEC LSI IP Web データベースの例

現在までに登録済みのIPを表5.2.1に示す。

登録番号	IP名	カテゴリー
1	Data Encryption Standard(DES) Core	Others
2	Phase Locked Loop(PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

表 5.2.1 VDEC LSI IP データベースに登録済みのIP(平成16年5月現在)

また、(株)ルネサステクノロジより「M32Rソフトマクロ」, 「M32R-IIソフトマクロ」, 「SH3-DSPコア」の提供を受けており、各大学のユーザが無償でこれら

の商用プロセッサ・IPコアを利用することができ、IPコアベース設計研究を進める上で重要な部分を担っている。

平成 16 年度
東京大学大規模集積システム設計教育研究センター年報

2005 年 10 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒 113-8656 東京都文京区弥生 2 丁目 11 番 16 号
東京大学工学部 9 号館 7 階 715 号室
電話 03-5841-8900
FAX 03-5841-8910
E-mail: vdec@vdec.u-tokyo.ac.jp

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)