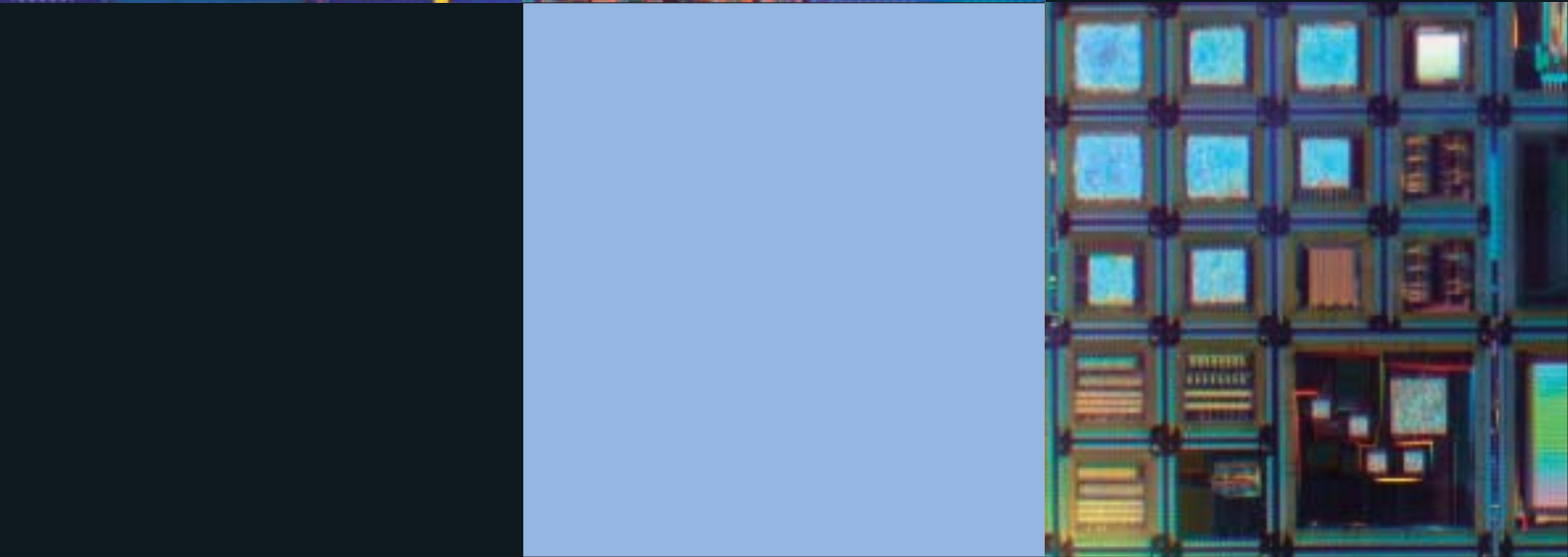
VLSI Design and Education Center The University of Tokyo 2006

VDEC

平成18年度 東京大学大規模集積システム設計教育センター 年報

Activity Report
from April 2005 to
March 2006



VLSI Design and Education Center
The University of Tokyo

大規模集積システム設計教育研究センター（VDEC）の2005年度年報をお送りします。

2005年度末でVDECは満10歳となりました。2006年5月10日にはこれまでお世話になった産業界や学界の方々の参加、講演をいただき“VDEC設立10周年記念シンポジウム”を開催いたしました。年報にもありますように、このシンポジウムでは10年前のセンター設立前夜の逸話をはじめ、各方面からのお祝いの言葉や励ましをいただき、センター職員一同、新たな10年に向け気持ちを引き締めたところです。

おかげさまで2005年度もチップ試作数では依然として高いレベルを維持し、主要国際学会等でのVDECを利用した研究成果発表件数も伸びています。2005年度の新しい技術導入の試みはアナログオプションを含んだロームCMOS0.18um技術のテストランを年度末に実施したことです。従来の高性能デジタル仕様の日立CMOS0.18umや2004年度に導入したSTARC/ASPLAのCMOS90nm技術に加え、今後のVDECでのデジタル・アナログ混載チップ試作の中心的役割を果たすものと期待しています。なお、これにともない従来のロームCMOS0.35umは約一年間の経過措置のあと終了する予定です。新CMOS0.18umの中に耐圧、しきい値の異なるFETを含んでおり、ロームCMOS0.35umの機能を実質上内包していると判断したためです。これまでのCMOS0.35umの利用者の方々には設計規則の変更等でご迷惑をおかけしますが、VDECではより性能と機能が高く素子単価の低い技術導入に努めていきたいと考えており、ご理解をお願い申し上げる次第です。

2006年4月からは大阪大学からの畠中先生の後任として北海道大学から吉澤先生の派遣をいただき、名古屋大学の高木先生とともにVDEC活動にご協力いただいています。これによりVDEC発足時に立案した「各拠点大学にVDEC業務を経験した若い先生方を配置する流動教官計画」が完成いたしました。全国運営協議会では“流動教官制度”に替わるものとして、VDECの業務を経験したこれら拠点大学の先生方を核とし拠点大学毎に担当分野を決めVDEC活動に広域的に協力する“新システム”への移行が決議されました。また2005年度よりVDECスタッフの年吉助教授の後任にNEC出身の高宮助教授が着任しています。今後、これら新体制をベースとしてVDECはより効率的で利用しやすいシステムの実現に向け努力していきたいと考えています。

VDEC10年間の活動により日本のLSI設計教育・研究は大いに高度化したと自負しています。しかしこの分野での台湾、韓国を中心とした東アジア諸国の急速な進展は大きな流れを作りつつあります。中国、東南アジア諸国でのこの分野の活動も始まっています。日本の若手LSI技術者・研究者が世界のリーダとして活躍するための教育・研究の土台を形成するための更なる努力を必要としています。皆様からのますますのご支援ご支持をお願い申し上げる次第です。

2006年7月

（全国共同利用施設）
東京大学大規模集積システム設計教育研究センター
センター長　浅田邦博

VLSI Design and Education
The University of

2006

VDEC10周年特集 …… 2
- 第1部　VDEC設立とこれまでの10年
- 第2部　VDECと集積回路これからへの期待と展望
- VDEC10周年への記念メッセージ

第1章　VDEC事業の紹介と平成17年度事業報告 …… 40
- 1.1　VDECにおけるLSI設計教育
- 1.2　CADソフトウェアの整備
- 1.3　VLSIチップ試作概況
- 1.4　CADセミナー
- 1.5　装置の整備・運用・利用公開
- 1.6　VDEC利用者に関する発表文献リスト
- 1.7　平成18年度の活動計画
- 1.8　VDEC発ベンチャー

第2章　チップ試作報告 …… 91
- 2.1　試作ラン別一覧
- 2.2　チップ種別一覧
- 2.3　各チップの詳細

第3章　VDEC概要 …… 237
- 3.1　VDEC組織概要
- 3.2　人事報告
- 3.3　決算報告

第4章　研究報告 …… 243
- 4.1　研究室構成員
- 4.2　研究概要
- 4.3　研究発表

第5章　付録 …… 278
- 5.1　VDECの利用規程・申し込みガイド
- 5.2　IPデータベースの整備

10周年にあたって

東京大学 大規模集積システム設計教育研究センター（VDEC）センター長
浅田　邦博

VDEC（大規模集積システム設計教育研究センター）は本年5月に設立10周年を迎えました．振り返りますと1996年に当時の鳳先生をセンター長としてVDECの活動を開始して以来，“アッ”という間の10年であったと思います．

このセンター構想が持ち上がったのは，折しもバブル崩壊後日本経済を立て直す機運が高まった1990年代初頭のことでしたが，もともとの発端は1980年当時に菅野先生の指導のもとで行なった調査研究でした．わが国の経済，とくに半導体産業が急速な発展を遂げ始めていた時期ですが，米国が先んじてMOSIS（MOS Implementation System/南カリフォルニア大）を設立し，半導体設計教育・研究に力を入れ始めた頃です．今振り返りますと産業の発展とともに“製造から設計へ”，“ハードからソフトへ”と価値が拡大・変遷する“時代の変化”を見越した組織の設立だったわけですが，わが国でもほぼ同時期にこの重要な変化を見通した調査研究を行なったわけです．たまたま当時東京大学に職を得た私はその調査委員会の幹事補佐として調査活動に関与できたことは大変幸運であったと思います．

1980年当初の調査研究では現在のVDECよりもひとまわりも，ふたまわりも大きな“地域分散型センター”構想を提案しましたが，残念ながら諸般の事情で実現には至りませんでした．その後，わが国の半導体産業でのDRAM不振や，日米半導体協定に影響された高性能マイクロプロセッサ開発での遅れが生じるなど，集積回路設計力での立ち遅れが大変著しくなりましたが，1990年代に入って当時の生駒先生や広瀬先生の指導，助言により，文部省，通産省の理解を得て，1996年に本センターが発足し，“巻き返し”に転じたわけです．

おかげさまでこの10年間にわが国の大学・高専での集積回路設計技術は著しい進化を遂げることができました．半導体産業界からの絶大な理解と支援を得て，また文科省の運営費交付金による継続的設計環境整備のおかげにより，大学での集積回路設計教育は大変高度化し，いまでは年間400品種以上の設計を行うまでになりました．主要国際学会でのわが国の大学からの寄与も大幅な伸びを示しています．その間，この10周年記念会合を開催しています武田先端知ビルを武田郁夫氏から寄贈いただけるなど大きな幸運にも恵まれました．

VDECは次の10年に向け気持ちを新たに再出発いたします．しかし気がかりなことがないわけではございません．VDECに限らずわが国の集積回路設計ではほぼ100%，設計ツールを米国に依存しています．設計ツールは“知恵の塊”ともいえるもので，ぜひこの方面でのわが国の寄与を高める必要があります．また設計力強化では東アジア勢の台頭が著しく，特に台湾では数百人規模で“集積回路設計教官”を増員してきています．これらの教育システムを通じて供給される“設計力”は自国の需要を賄って余りあり，形を変えた“設計力の輸出攻勢”をもまねきかねません．わが国の集積回路設計教育の更なる高度化，差別化を推し進め，これらの海外勢にも十分対抗できる教育・研究体制の構築が急がれます．

今回の10周年記念はこれまでお世話になった方々へ感謝の気持ちを表し，我々センター職員の気持ちを一新し，さらに将来に向けて活動を再スタートする決意を込め開催いたしました．各方面からの引き続きのご支援，ご鞭撻をお願い申し上げます．

2006年5月10日

VDEC10周年記念シンポジウムに寄せて

東京大学総長
小宮山　宏

東京大学大規模集積システム設計教育研究センターの設立10周年に際し，心よりお祝い申し上げます．

VDECはちょうど10年前の本日5月10日に，わが国の大学高専等高等教育機関における集積回路設計試作教育の向上を目指し，集積回路の設計・試作・評価技術に関連するさまざまな支援活動を行う全国共同利用部局として設立されました．爾来10年，VDECの活動は大きな成功を収められ，今日での参加機関数は100大学高専に迫り，登録研究室数は400以上，職員や学生が自ら設計されたVLSIチップ試作は年間400品種に至っていると聞いております．このような大きな活動を小数のスタッフで成功させてきたのも，本学の専任スタッフや協力教職員の方々の努力はもちろんのこと，本日のシンポジウムに来席いただきました来賓の皆様方をはじめとして，産・官・学多方面にわたります，多くの皆様方にいただいた理解と援助の賜物であると考えており，東京大学を代表して感謝申し上げます．

さて，VDECが設立される以前の大学における集積回路の教育研究を思い出しますと，私も専門にしていますCVDによる薄膜の成膜手法など，いわゆるボトムアップ的な研究が大変盛んで，これらは大変多くの重要な成果を挙げてきたと思いますが，一方最新テクノロジを用いて集積回路を設計試作して，新たな回路やシステムを創出する，いわゆるトップダウン的な研究を行うことの出来る研究機関は大変限られていたことが問題であったといえます．眼を海外に向けると，日本に先立つこと15年，アメリカではMOSIS，フランスではCMP，CNFMという集積回路設計試作支援機構が1981年に設立されており，設計試作分野における立ち遅れが心配される状況でした．しかしVDECの活動は速やかに立ち上がり，トランジスタの特性を決めるゲート長1.2 μ mのテクノロジから始まり，ほぼ2年ごとに新たなテクノロジを導入し，2005年春より世界に先駆けて90ナノメートルノードテクノロジの試作を大学に導入されました．

また，VDECに関連して思い出深いことといえば，私が工学部長を拝命していた時分に，株式会社アドバンテスト創業者でおられる武田郁夫様より，VDECと工学部に対して多額の寄付をいただき，それによりまして本日このシンポジウムを開催しております，地上5階地下3階の寄付建物「武田先端知ビル」を2003年11月に竣工することができたことです．本武田先端知ビルは，工学部とVDECとで使用している研究スペースに加え，山の手線内唯一という，連邦基準クラス1の共同利用型スーパークリーンルームを備えており，21世紀の新しい産学連携の場となるべく活用しているところです．竣工に際して株式会社アドバンテスト様より，最新鋭の電子線描画装置F5112とLSIテスタT2000を，また野村マイクロサイエンス株式会社様より超純水製造装置をいただき，これらの装置は全国共同利用設備として本学のみならず広く利用されており，また特にMEMS研究用の試作設備を自助努力によって揃えつつ本学の教員・学生が活発に研究活動を展開していると聞いており，私の提唱しております「自律分散協調系」の思想がここ武田先端知で実現されようとしていることを嬉しく思っています．

21世紀の日本は，少子高齢化，エネルギー問題等多くの困難をかかえる課題先進国であります．これらの課題は逆にイノベーションへの大きなチャンスであり，先頭に立つ勇気をもって新たな価値を創造していかねばなりません．VDECと，VDECを利用されている皆様の研究が今後ますます発展され，集積回路分野においてわが国が21世紀を導くリーダーとなることを願って，お祝いの言葉といたします．

VDEC 10周年のお祝い

東京大学 大学院工学系研究科長
松本　洋一郎

大規模集積システム設計教育研究センターの設立10周年にあたり，工学系研究科を代表してお祝い申しあげます．まことにおめでとうございます．

大規模集積システム設計教育研究センターは我が国における半導体設計技術の向上を目指し，特にVLSIチップ試作を通じた教育研究の場を全国に提供する，全国共同利用センターとして設立されました．私の専門は流体工学や分子流体力学ですが，15年ほど前，半導体製造過程の，特にレジストプロセスにおけるフォトレジストの回転塗布にかかわる流体力学的問題を研究テーマとしていた時期もあり，当時を振り返りますと，工学に関係する実に多くの研究者が半導体の製造プロセスに関わる問題に取り組んでいました．一方，大学で集積回路のデザインの研究を行なう方法としては，莫大な投資をして生産ラインを整備し，維持運営しながら自前で集積回路を作製するか，企業と特別な委託契約を結び生産してもらうかのどちらかしか無く，大変敷居の高い時代でした．VDECが設立されたことで，集積回路設計のCAD，最先端技術を含む集積回路試作サービス，そしてVLSIの評価装置が整備され，全国の大学高専に対して開放されたことで，大変多くの教職員が集積回路試作の研究を行なうようになり，演習や卒業研究を通じて集積回路設計試作の経験を積んだ学生が多数卒業し，産業界をはじめ各所で活躍していると聞いています．

本シンポジウムの開かれております武田先端知ビルは，1階と4階を大規模集積システム設計教育研究センター固有の面積，2階と3階を工学系研究科のプロジェクトスペースとして，2階と3階は昨年度まで本研究科や関連研究科の21世紀COEプログラムの研究拠点として，本年度より公募による大型プロジェクトスペースとして利用しています．特に地下のスーパークリーンルームは工学系研究科とVDECとそれぞれの固有面積であると同時に，壁を設けない開かれたクリーンルームとして，本研究科のみならず公共研究機関・私立大学等幅広い機関の皆様に活用されていると聞いています．私の研究室メンバーがスーパークリーンルームを使うことは今までのところ無いのですが，先日開催されたクリーンルーム利用者説明会には250名を越す参加者が集まったとのことで，先端知を拠点にした研究の大きなうねりが見えてくるかのようでございます．工学系研究科での活動の主体は，研究科内の横型組織であります「先端知高度機能デバイスラボラトリーズ」であり，これには私も昨年度まで代表に与らせていただいていました．研究科としては，当時マテリアル工学専攻教授，現物質・材料機構フェローの堀池先生によるイニシアティブの元，超純水装置を整備し，平尾前研究科長の時代には，機械系・電気系COEと共にシリコンの深掘りエッチング装置導入費用の一部を援助いたしましたが，これら装置の導入を皮切りとして，若手を中心としたラボの活動やVDECに導入された電子線描画装置などを中核に，特にこれから発展が期待されるMEMSプロセスラインが構築されつつあること，先端知クリーンルームの立ち上がりと軌を一にして，関連国際会議における本学の研究発表数が上昇していること，などを大変嬉しく伺っています．本研究科では昨年，お隣の総合研究機構内に，幾原機構長のイニシアティブのもと日本電子株式会社との産学連携室を開室し，電子顕微鏡を中心とする評価支援機構を整えたところですが，先端知スーパークリーンルームにおいても，大規模集積システム設計教育研究センター，先端知高度機能デバイスラボラトリーズ，総合研究機構が手を携えて，世界に冠たるマイクロシステム研究拠点と育っていくことを期待しております．

近年，ナノテクノロジや医工連携といったキーワードで代表される新しい分野が大変注目されており，工学系研究科におきましても本年4月にバイオエンジニアリング専攻を立ち上げたところであります．幅広い分野の叡智を結集して新たな価値を創成し，社会に対してインパクトのある研究を進めるには，VLSIテクノロジはもちろんのこと，大規模集積システム設計教育研究センターのような開かれた全国支援組織がますます重要になってくると思います．次の20周年に向けて新たなスタートを切られたVDECと，御列席の皆様方の今後ますますのご発展をお祈りして，お祝いの言葉に替えさせていただきます．

VDEC10周年記念シンポジウムに寄せて

東京大学 名誉教授
学校法人 東洋大学 理事長
菅野　卓雄

NECエレクトロニクス
化合物デバイス事業部長付
古塚　岐

此処に東京大学大規模集積システム設計教育研究センター（VDEC）が平成8年の設置以来，活発に活動を継続して教育界，学界更に産業界からも高い評価を得て，ここに創立10周年を迎えられたことを心から御慶び申し上げます．

大規模集積システムはリソグラフィー等の物理・化学的技術，パターンやレイアウト設計等の幾何学的要素を含む数学的手法などの要素技術と共に期待される機能を果たす電子回路システムを如何に半導体チップ上に実現していくかという新しい学問分野を電子工学の中に導入したという点で重要な対象であり，この新学問分野の教育，それを支える研究を全国の国公私立大学および工業高等専門学校を結ぶネットワークを構築し，その要としてVDECが推進してきたことは我が国の高等教育において前例がなく，関係者の熱意，努力に対し敬意を表する次第であります．

我が国が今後間違いなく遭遇する減少した若年人口のもとで社会的活力を維持するためには，社会の構成員の専門的能力を高めることが不可欠であり，VDECが大きな役割を果たすことを念願しております．

VDEC様の設立10周年を心よりお祝い申し上げます．

当社は，バイポーラプロセスの試作をご提供することで，2002年より参加させて頂いております（当時はNEC化合物デバイス（株））．思い起こせば，バイポーラプロセスのご希望を伺った当初は，実は不安と驚きの交錯状態でした．不安は，回路設計手法がうまくユーザ様に理解され，動作するチップに辿りつけるかどうかという心配．他方驚きは，CMOS全盛の今，バイポーラのメリットを理解するユーザ様が，少なからずおられるという喜びでした．

予想される問題に対処するためは，ユーザ様に事前説明会を開催し，私どものベテランが解説させて頂くことが最も有効だと考えました．また，設計途中での議論，相互の意思疎通，ご支援を考え，CADツール等の設計環境を当社のそれに合わせて頂くことも提案し，それぞれご理解を頂きました．

この様なスタートで，皆様にご苦労をおかけしながらも理解を頂き，これまでに延べ13ユーザ様に28チップをご提供することができました．平成17年度東京大学大規模集積システム設計教育センター年報に掲載された成果を拝読したときは，一同胸が熱くなるのを覚えました．これまでに頂いたご質問，アドバイスは，今後の技術深化に活用し，ユーザサービスの質の向上に反映して参りたいと存じます．

最後にVDEC様の益々のご発展をお祈り申し上げ，お祝いの言葉とさせて頂きます．

VDEC，その設立前夜から今日まで，そして将来
― 新しいシリコン技術の創出 ―

東北大学大学院未来科学技術共同研究センター
大見　忠弘

東北大学大学院工学研究科電子工学専攻
小谷　光司

1．まえがき

1996年，東京大学本郷キャンパスに大規模集積システム設計研究教育センター（VDEC：VLSI Design and Education Center）が設立され，全国九大学にVDEC支部が設置されて，わが国にもVLSI・設計・教育体制が整えられた．東北大学もその一翼を担わせてもらっている．隣国の韓国（IDEC：IC Design and Education Center，1995），台湾（CIC：Chip Implementation Center，1992）にも後れを取り，米国（The MOSIS Service，1981）やフランス（CMP：Circuits Multi Projects，1981）には15年遅れたスタートとなった．大規模集積システムの設計教育が重要なことは，議論の余地が無いほど明白である．

米国のMOSIS，フランスのCMPの発足を受けて，わが国のVLSI設計教育体制創出の努力が，東京大学の菅野卓雄先生（現東洋大学理事長）を中心に，1980年代前半から展開されたが，残念ながらこの努力は実る事にならなかった．“大規模集積回路の設計などというものが本当に学問なのか”，という根元的な疑問が東京大学内部で非常に強かったことが，その最大の理由であると聞いている．確かに当時の半導体技術は，殆ど全てがノウハウの塊であり，経験と勘に基づく技術の寄せ集めで，学問に基づく本物の産業技術からは程遠い状況にあったことは事実である．しかし“そんなものが学問なのか”と問われた半導体技術に携わる大学関係者の受けた衝撃は大きかった．学問に基づいた本物の半導体技術の創出を筆者等も心に誓った．

菅野卓雄先生，鳳紘一郎先生（2005年御逝去），浅田邦博先生を初めとする多くの先生方の御努力により，VDECがわが国の学の中枢に位置する東京大学本郷キャンパスに設立された事に，我々半導体技術に携わる大学人はまさに万感の思いを抱いている．その後の鳳先生や浅田先生の献身的な御努力には，心から敬意を表している．

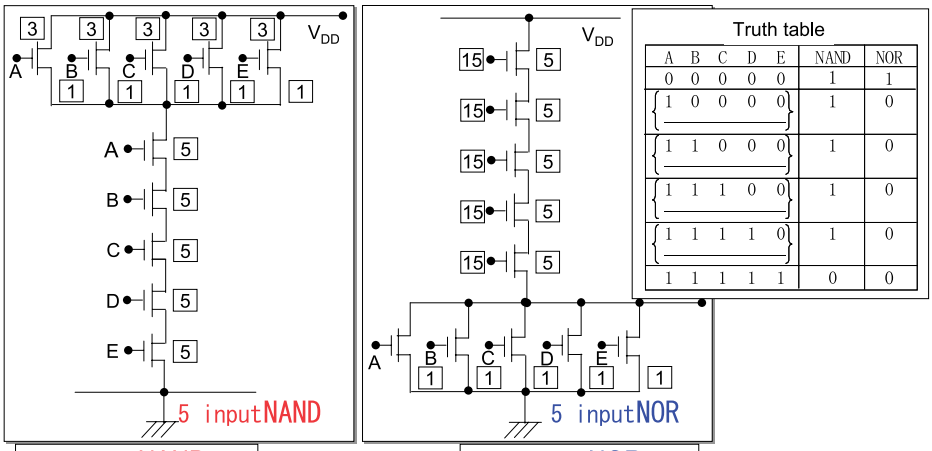
2．新しい半導体の時代に向って

2．1　バランスドCMOS

半導体固有の基盤技術として開発したウルトラクリーンテクノロジーを総動員して，筆者等が創出した，マイクロ波励起超低電子温度高密度プラズマによるラジカル反応新半導体生産方式は，シリコン技術に新しい可能性を切り拓いた．[(1)～(4)]

現状のシリコンLSI製造においてはMOSトランジスタのゲート絶縁膜に熱酸化膜が使用されているが，Si（100）表面のみにしか比較的良質なSiO_2膜が形成されない．結果として，現状の生産技術では，LSIはSi（100）表面にしか作れないし，2次元平面形状のMOSトランジスタしか使えない．Si（100）表面では，pMOSの電流駆動能力がnMOSの1／3程度しかないため，CMOSを構成するとnMOSに比べてpMOSのチャネル幅を3倍程度の大きさにせざるを得ないため，回路構成がUnbalanceになって，スイッチング動作時に大きなオフセット雑音を発生する．更に，負荷トランジスタであるpMOSが直列に接続されるNORゲート等では，入力端子数に比例してpMOSのチャネル幅を大きくしなければならないため（図1），論理ゲートの面積が大きくなってしまい動作速度が劣化してしまう．必要な機能を具現化する時に，負荷トランジスタであるpMOSが直列に接続されるNORゲートはなるべく使わないで，pMOSが並列に接続されるNANDゲート等を中心に回路設計をせざるを得ないという律束条件が課せられる事になる．

機能具現化のため最適の回路設計が行え，オフセット雑音を徹底的に低減するためには，（100）面nMOSと同じ寸法でまったく同等の電流駆動能力を有するpMOSの導入，すなわちBalanced（バランスド）CMOSの導入が不可欠になる．マイクロ波励起超低電子温度高密度プラズマによりきわめて効率よく生成される酸素ラジカル（O^*）やNHラジカル（NH^*）は，すべての面方位のシリコン表面上に，同じ速度で同じ膜質の超高品質の



5 input NAND			5 input NOR	
Oscillation frequency[1]	Area		Area	Oscillation frequency[1]
468 MHz	40	Conventional CMOS	80	207 MHz
431 MHz	30(40)	Balanced CMOS	30(40)	431 MHz

1)0.25μm CMOS 31stage Oscillation frequency of ringoscillator

図1　従来CMOS（アンバランスド）と本提案バランスドCMOSによる動作周波数とその占有面積の比較

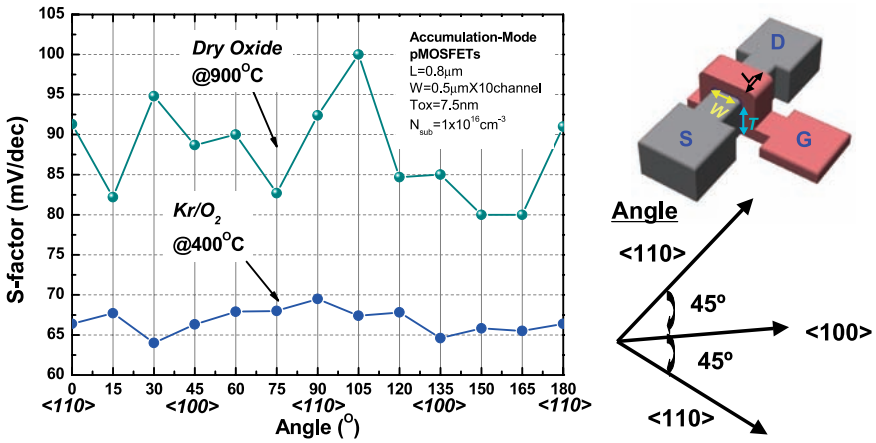


図2　3次元トランジスタにおいて，熱酸化膜とラジカル酸化膜をゲート絶縁膜にしたときのS値チャンネル方向依存性

SiO2やSi$_3$N$_4$を形成する．

任意の面方位のシリコン基板上にLSI製造が可能になると共に，2次元平面形状MOSトランジスタに替わって3次元立体構造のMOSトランジスタが使用可能となる．図2に，Si（100）表面上に矩形形状のMOSトランジスタ（平坦面幅0.5 μm，側壁高さ0.25 μm）を形成し，チャネル方向を徐々に180°変えた時のS factorを示している．O*ラジカルでゲート絶縁膜SiO_2を形成した場合には，3次元立体構造のMOSトランジスタでもS値は64mV～69mVの範囲の変化にとどまり，理論値60mVにきわめて近い値を示している．一方，側壁部も含めてゲート絶縁膜を現状の熱酸化で形成した場合には，S値は82mVか100mVの範囲にばらつき，理論値から程遠い値になって，まともに動作するトランジスタにはならない．

図3（a），（b）には，Si（100）表面とSi（110）表面｛<110>方向｝に形成された同一寸法のpMOSの電流電圧特性を示す．面方位を（100）面から（110）面｛チャネル方向は<110>方向｝に変更するだけで，pMOSの電流駆動能力は3倍に増加している．ゲート絶縁膜は，Kr/O_2プラズマによるO*ラジカル酸化膜であり，Si（110）表面の洗浄は平坦表面を実現するため，アルカリ洗浄をいっさい使用しない室温5工程洗浄を用いている[5]．

3次元立体構造トランジスタを駆使すれば，nMOSとpMOSの実質的な寸法を完全に同じにしたバランスドCMOSに道が拓けることになる．図4に，その候補の一例を示す．（551）面Si SOI基板で，pMOSは（551）表面にだけチャネルを形成し，nMOSは（551）表面と4°オフ（100）面側壁にチャネルを形成する．ゲート絶縁膜はNH*ラジカルによるSi3N4膜である．現状の熱酸化膜にくらべて，リーク電流，相互コンダクタンス及び信頼性・寿命が，それぞれ1／1,000以下，2倍以上，

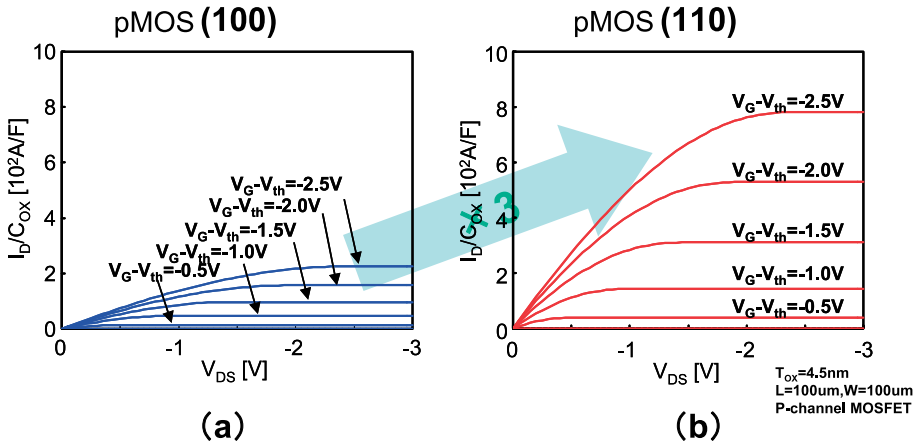


図3　pMOS（100）面，（110）面の電流電圧特性

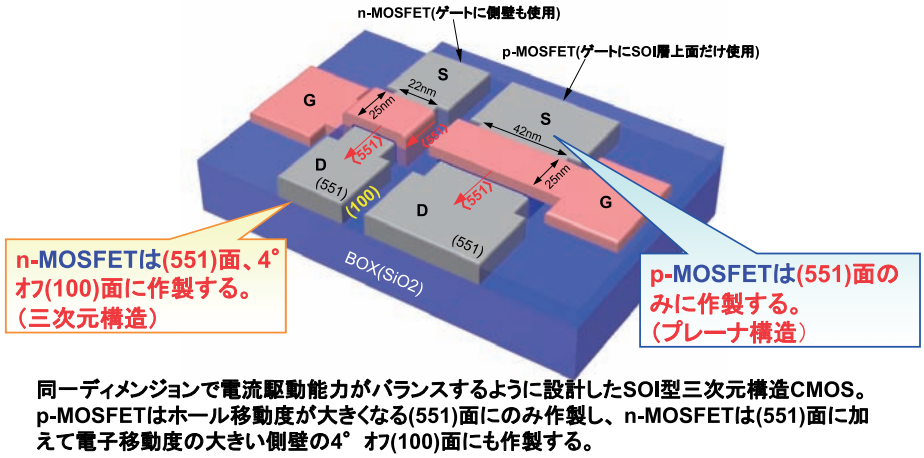


図4　バランスドフルCMOSの構造例

30,000倍以上と圧倒的に優れているからである．

異なる面方位，2次元平面形状に替る3次元立体構造トランジスタが導入されるのであるから，新しいデバイスモデル，回路モデルの創出及び新しい設計論の創出が求められることになる．新しいシリコンの時代の始まりであり，VDECにとっても新しい時代が始まる．

2．2　超高性能超低消費電力シリコン full CMOS システムLSI

Digital Consumer：情報家電の時代には，システム性能の超高性能化と同時に超低消費電力化が強く要求される．超多品種少量生産でありながら，低価格，超短時間供給を同時に要求される．デジタル・アナログ・高周波混載システムLSIを，シリコンのフルCMOSで具現化することがその唯一の答えであろう．これまで，デジタルはCMOSで，アナログ・高周波はBipolarでとされてきたため，チップ面積，生産工程数が略々2倍になって，到底上記の要求に答えられなかった．最大の理由は，MOSトランジスタのしきい値電圧のばらつきや1／f雑音，及びスイッチング動作時のオフセット雑音が大きすぎて，CMOSはアナログや高周波応用には使えなかったからである．

こうした課題は，マイクロ波励起超低電子温度高密度プラズマによるラジカル反応新半導体生産方式の導入で，すべて克服される．オフセット雑音低減は，前節で述べたように3次元立体構造トランジスタによるバランスドCMOSの導入で克服される．しきい値電圧の大きなばらつきの原因は，現状のプラズマロセス装置によるイオン衝撃ダメージとチャージアップダメージである．これら2つの決定的なダメージを取り除いたマイクロ波励起超低電子温度高密度プラズマ装置が，全生産工程に導入されれば，しきい値電圧のばらつきは2桁低減する．イオン衝撃ダメージやチャージアップダメージをいっさい生じない新しいプラズマ装置の導入は，回路設計にも大きな自由度を与える．例えば，現状では生産途中でのチャージアップダメージによりゲート絶縁膜が破壊され

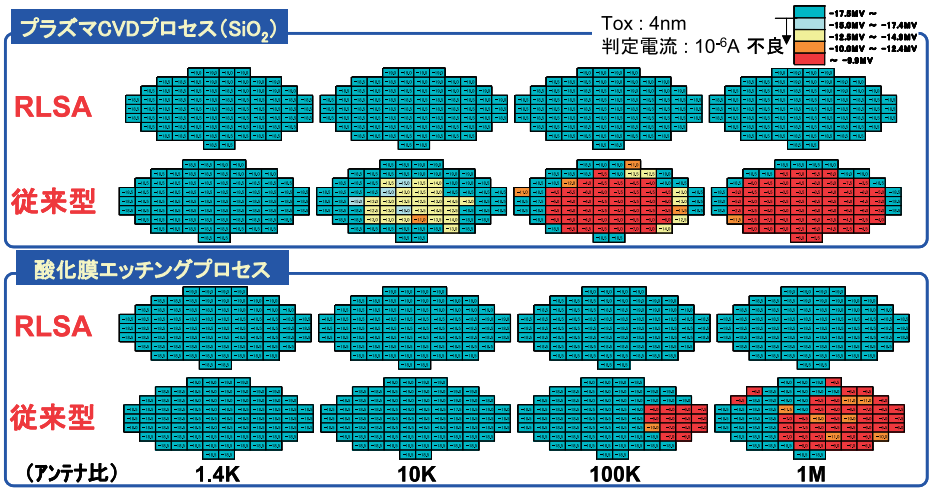


図5　現状装置と超低電子温度高密度プラズマ装置を用いてSiO2の成膜，エッチングを行った時のチャージアップダメージ

現状のプラズマ装置では，1回のCVD成膜，RIEで103以上のアンテナ比を持つパターンではゲート絶縁膜が破壊する．本開発装置を用いれば，アンテナ比106でも全く絶縁膜の破壊を発生させない．

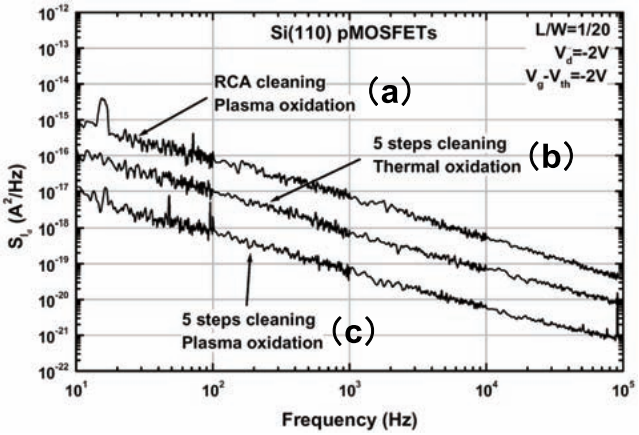


図6　（110）Si表面に製造されたpMOSの1／f雑音

（a）RCA洗浄＋O*ラジカル酸化

（b）温室5工程洗浄＋熱酸化膜

（c）温室5工程洗浄＋O*ラジカル酸化

るのを防ぐため，アンテナ比が厳しく制限されているが，これではデジタル・アナログ・RF混載システムLSIの設計の自由度を著しく奪ってしまう．このような回路レイアウトパターンにこれまで課されていた厳しい制限を完全に取り除くことができる．図5に，アンテナ比を1,400から1,000,000にまで大きくしたTEGパターンチップのSiO_2の1回のプラズマCVD（基板温度400℃）及びSiO_2の1回のRIE後の劣化の様子を示す．アンテナ比1,000,000（百万）のTEGは，1回のSiO_2のプラズマCVDで90％以上のチップが破壊され，RIE工程でも50%のチップが破損する．100工程近いプラズマ工程を経てLSIは製造されるから，アンテナ比に厳しい制限が課されることになる．

図5から明らかなように，イオン衝撃ダメージ，チャージアップダメージをいっさい伴なわない新しいプラズマの装置は，CVD成膜，パターンエッチングのいずれにおいてもアンテナ比百万の回路レイアウトパターンに対してもまったくダメージを与えない．完全に自由な回路レイアウトパターンが使えるようにり，設計の自由度が大幅に拡がった事になる．

（110）表面に，3種類の方法で製造したpMOSの1／f雑音を図6に示す．RCA洗浄を行った後に，O*ラジカル酸化でSiO_2ゲート絶縁膜を形成したpMOSに対し，前出の室温5工程洗浄後O*ラジカル酸化したpMOSの1／f雑音は，2桁以上低減している．1／f雑音は，ゲート絶縁膜とシリコンの界面の平坦度に強く影響される．室温5工程洗浄を採用しても，現状の熱酸化でゲート絶縁膜を形成すると1／f雑音は1桁以上大きい．ラジカル酸化，窒化は絶縁膜とシリコンの界面を平滑化するのに対し，熱酸化は界面を荒らすからである．

現在，3次元立体構造トランジスタのゲート絶縁膜シリコン界面の原子オーダの平坦化実現のための新技術創りを急いでいる．1／f雑音を無くし，相互コンダクタンスをより大きくするためである．同時に，ゲート絶縁膜の極薄膜化，界面の原子オーダの平坦化及び短チャネル化によって劇的に向上したMOSトランジスタの大きな相互コンダクタンスが動作速度向上にそのまま反映されるように，ソース・ドレイン電極の直列抵抗を2桁以上低減する新技術創りを急いでいる．

3. むすび

3次元立体構造トランジスタ，リーク電流が3桁少ないSi3N4ゲート絶縁膜，相互コンダクタンスが1桁近く大きいバランスドCMOS，ノンポーラスでち密な誘電率が1.8程度のフロロカーボン層間絶縁膜等々の新技術を駆使した超高性能シリコンfull CMOSシステムLSIの時代が始まろうとしている．

しきい値電圧のばらつき，1／f雑音，オフセット雑音が2桁程度以上低減され，自由な回路レイアウトパターンが使える時代，まさに知恵くらべの時代である．VDECの役割，重要性が一層増す時代，半導体技術に携わる大学人の責任がきわめて重くなっている．

4. 参考文献

(1) Tadahiro Ohmi, Masaki Hirayama, and Akinobu Teramoto, "New Era of Silicon Technologies Due to Radical Reaction Based Semiconductor Manufacturing," J Phys. D Appl. Phys. Vol. 39, pp R1-R17, Jan. 2006.

(2) 大見忠弘，平山昌樹，白井泰雪，寺本章伸，「次世代半導体技術」，アドバンテスト・テクニカル・レポートProbo（㈱アドバンテスト），No.25，pp.4-11，2005年11月．

(3) 大見忠弘，平山昌樹，白井泰雪，寺本章伸，「サブ100nm半導体技術の課題と展望」，電子情報通信学会誌，89巻，2号　pp.109-116，2006年2月．

(4) 大見忠弘，平山昌樹，白井泰雪，寺本章伸，程イトウ，井ノ口敦智，「大学研究室紹介－東北大学未来科学技術共同研究センター－シリコン産業に革命を起す半導体製造装置」．SEAJ Journal，（(社）日本半導体製造装置協会），No.101，pp.32-37，2006年3月．

(5) TADAHIRO OHMI,.“Total Room Temperature Wet Cleaning for Si Substrate Surface,” Journal of Electrochemical Society, Vol. 143, No. 9, pp. 2957-2964, September 1996.

VDEC設立の背景

産業技術総合研究所／次世代半導体研究センター
廣瀬　全孝

AIST 大学におけるLSI設計教育強化　－その背景とVDEC実現へのプロセス

日本版MOSIS実現に向けた提言とMOSIS関係者からのヒアリング調査報告(1994)

VDEC発足に至る状況の総合報告(1997)

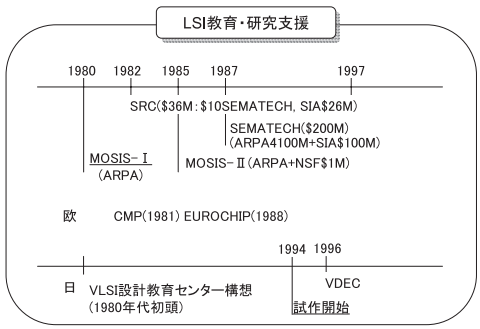
「VLSI設計教育の現状と将来」

鳳紘一郎、上田和宏、安浦寛人
岩田穆、家田信明、石井吉彦
浅田邦博

電子情報通信学会誌
Vol.80 No.1 (1997)

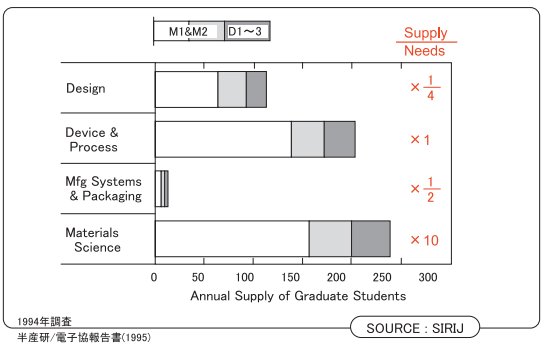
2

AIST LSI設計教育をめぐる米国の動きと日欧の状況



3

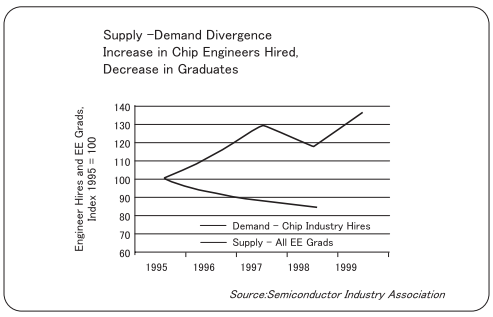
AIST 日本の大学におけるLSI設計教育と産業界のニーズの乖離(1994年)



1994年調査
半産研/電子協報告書(1995)

4

AIST アメリカの大学のEE Gradsの減少(2000年当時)



5

AIST LSI設計教育と研究の環境整備への取り組み

1980年代初頭	VLSI設計教育センター構想 代表　菅野卓雄 （東京大学）
1992年	「マイクロエレクトロニクス研究開発機構・マルチプロジェクトチップ委員会」 代表　上田和宏 （芝浦工大） ： 私立大学関係者組織
1993年	「LSI設計教育・研究連絡協議会」 代表　廣瀬全孝 （広島大学） 代表　生駒俊明 （東京大学） ： 国公立大学関係者組織
1993年	上記の2組織により、大学のチップ試作サービスへの需要調査 国公私立大学教官137名（60校）がチップ試作サービス希望 教育用チップ739種、研究用343種の需要 ワークステーション、CADソフト入手希望は203台、598セット

6

AIST 結び

- 大学におけるLSI設計教育の充実と人材育成の為にVDEC設立という大目標達成に向けた大きな流れが大学の枠を越えて生まれたことは特筆に値する。
- VDEC10周年の今、日本の大学教育高度化の課題は何かを改めて考えてみる時ではないか。
- VDEC設立にむけて、VLSI共同試作のパイロット試行実験に際してNTTエレクトロニクステクノロジー（NEL）殿及び豊田会長に力強いご支援をいただいたことを特記したい。

8

大学支援に向けたSTARCの歩みと今後

代表取締役社長 & CEO
下東　勝博

（株）半導体理工学研究センター（STARC）は，平成7年12月に設立され，当初の目的は産業界と大学とが共同研究を通じて有効な新技術の発掘を行い，半導体技術のブレークスルーを達成することにありました．

現在では40件以上のテーマで大学と共同研究を進めており，終了したテーマの中に企業に技術移管するものも現れています．またこの活動を通じて，大学における多くの半導体技術者の育成に寄与しています．

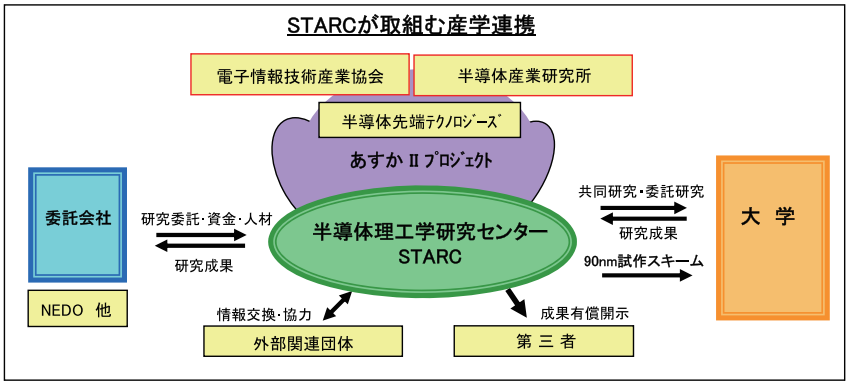
平成12年度からは，システムLSIの設計効率向上を目標に新業務の取り組みを開始し，システム上流設計段階での自動化，設計資産（IP）の再利用を進めるという視点からの技術開発を開始しました．

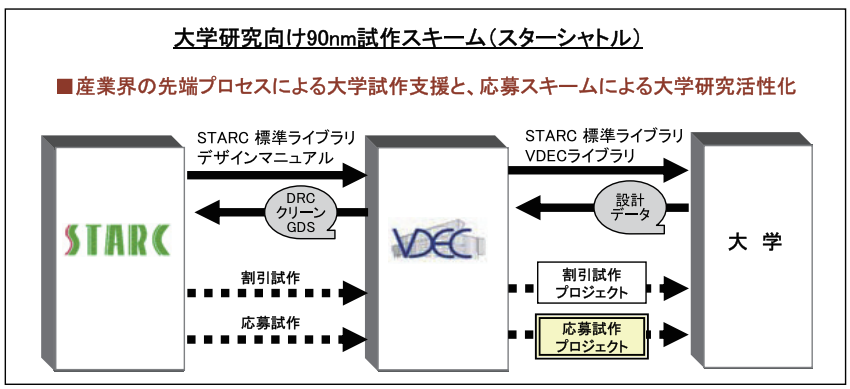
また，平成13年度からはJEITA（電子技術産業協会）における「あすか計画」で，設計技術を担当し，LSIの超微細化や高密度化に伴う新たな設計課題に対応する為の低電力技術や物理設計技術の開発，及び産学のSoC（システム．オン．チップ）設計技術者育成の為のプログラムを開始しました．

平成14年度に（株）先端SoC基盤技術開発（ASPLA社）が誕生しましたが，STARCはここで設計インフラを担当し，90nmプロセスの標準化とSoCのプラットフォーム化を推進して来ました．またこれに関連して，設計メソドロジを統一して飛躍的な設計効率向上を行うべく，平成15年度からは国からの支援を頂いて，新たなプロジェクトを発足させました．

平成17年度で「あすか計画」「ASPLA計画」は当初目標を達成して終了しましたが，STARCではその成果を90nmシャトル試作（スターシャトル）として運営継続し，国内IP育成を推進しています．特に，大学研究に対しては，VDECとの試作スキームにより，今後とも積極的にご活用の支援をして参ります．

平成18年度からは，「あすかII計画」が再スタートしました．STARCは引続き研究開発業務を通じて日本の半導体産業の地位向上に貢献していく所存です．





VDEC10周年記念式典講演資料

共同研究の10年と新たなる歩み
ースターシャトルー

2006年5月10日
㈱半導体理工学研究センター
代表取締役社長 & CEO
下東 勝博

Copyright © Semiconductor Technology Academic Research Center, 2006, All rights reserved.

目次

1. STARCの歴史
2. SNCC Ⅱ 活動と産学連携
3. スターシャトルによるコラボレーション
4. おわりに

Copyright © Semiconductor Technology Academic Research Center, 2006, All rights reserved.

STARC創立

■STARCは1995年12月に設立、VDECと同時期に活動を開始しました！

日刊工業新聞 1995年12月1日

1995年12月28日 STARC創立 （会社設立登記）
11月～96年1月 96年度研究テーマ募集
（5件決定）
1996年 3月 4日 会社事務所開設
（港区新橋6-16-10御成門BNビル）
3月 6日 設立披露パーティ
（東京プリンスホテル）
4月26日 STARCロゴマーク決定
6月 5日 第1期株主総会
（東京プリンスホテル）

Copyright © Semiconductor Technology Academic Research Center, 2005, All rights reserved.

STARC設立趣意書（概要）

（1996.2改訂）

半導体産業の現状認識：
- 今後20～30年間はわが国の基幹産業
- 優れた技術先端性と競争環境が必要
- 一方でシステム・ソフト面で弱点がある
- 産業界と大学の有効な協力関係構築が必須

方針：
- 基礎的・学究的分野を支えるべき大学の活性化
- 民間企業が資金を出し、大学の研究を支援
- 将来の若手技術者の育成

Copyright © Semiconductor Technology Academic Research Center, 2005, All rights reserved.

STARCの誕生

1995 1996
設立 大学との共同研究

- 1995年12月 STARC 設立
  - 半導体産業界として産学連携を強化する目的
- 大学工学系の役割の日米比較とSTARCの必要性

	米国	日本
1920年代	欧州大学思想 ベル研究所設立	欧州大学思想
1940年代	企業研究の成功 企業中央研究所設立	
1970年代	企業が研究から撤退 産学連携強化	企業中央研究所設立 大学紛争、産学連携は疎遠に
1980年代	知財大学帰属(1980) SRC活動開始(1982) 大学での実用化研究 SEMATECH設立(1987)	産学連携空白の20年
1990年代	MARCO開始(1998)	STARC大学共同研究開始(1996)

30年の差
やはり30年近い差

Copyright © Semiconductor Technology Academic Research Center, 2005, All rights reserved.

目次

1. STARCの歴史
2. SNCC Ⅱ 活動と産学連携
3. スターシャトルによるコラボレーション
4. おわりに

Copyright © Semiconductor Technology Academic Research Center, 2005, All rights reserved.

これまでの流れとSNCC Ⅱの始動

1995 1996 2000 2001 2002 2003 2004 2005 2006

設立 大学との共同研究・教育支援
SNCC SoC設計・IP再利用・低電力技術
ASPLA設立 IP AS☆PLA STARC 90nm試作
メソドロジ・テスト環境
第2次SNCC検討 SNCC Ⅱ

第2次SNCC
（半導体新世紀委員会）
「新たな産官学連携を含む
共同活動のあり方」

- SNCC Ⅱの活動方針
  - 参加企業のコンセンサス型から参加希望企業によるアライアンス型へ
  - 参加企業のビジネスモデルやニーズの多様化へフレキシブルに対応
  - 先行企業による先端技術のスピーディーな開発・実用化
  - 成果展開を明確にした開発
- 選択プログラムを主体としたSTARC新プログラムの実施

Copyright © Semiconductor Technology Academic Research Center, 2005, All rights reserved.

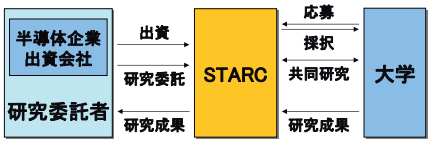
SNCC Ⅱ 新プログラム概要

区分	テーマ名		2006年度活動概要
共通コアプログラム	産学連携	大学との共同研究	新大学共同研究、東工大産学連携講座支援
		SoC設計技術者教育	大学教育支援、アドバンスト教育、MOT教育、教育提供手段
	標準化		IP品質認証、機能検証、IP接続検証、標準準拠テスト環境
	共通管理（企画部・管理部・他）		開発戦略、渉外、法務・知財権、管理全般
先端コアプログラム	プロセスフレンドリー設計技術開発		ばらつき考慮設計メソドロジの確立（65nm対応）
選択プログラム	高位設計技術開発		TLモデリングガイドライン作成、TL設計メソドロジ確立
	テスト・故障解析技術開発		次世代テスト技術開発、次世代故障診断技術開発、標準準拠テスト環境の構築
	Mixed Signal設計技術開発		検証精度向上・高速化のためのEDAツールに対する要求仕様作成、基板ノイズ解析技術検討
	IP育成支援		IP育成のためのスターシャトル運営
	SoCプラットフォーム推進		IP育成のためのスターシャトル設計サポート、ユーザアナログ設計への対応強化

Copyright © Semiconductor Technology Academic Research Center, 2005, All rights reserved.

大学共同研究の仕組みと支援方針

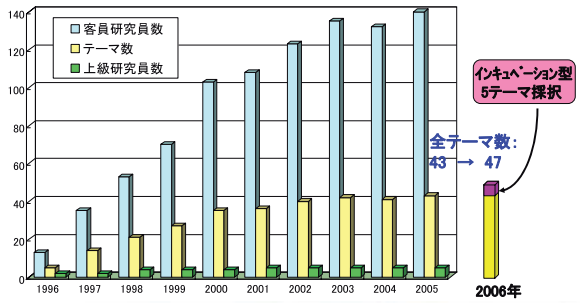
■ 大学共同研究の仕組み



■ 研究支援方針

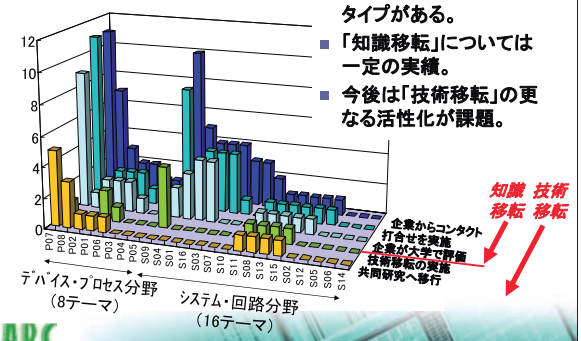
- 分野: ・シリコン半導体関連技術
- 狙い: ・5～10年後の実用化を目指したPre-competitiveな技術開発、若手研究者の育成につながる研究開発
- 期間: ・3年間
- 客員研究員: ・各社から派遣。産業界のニーズを伝え、計画立案に協力し、研究進捗を支援・フォローする。

テーマ数・研究員数の推移

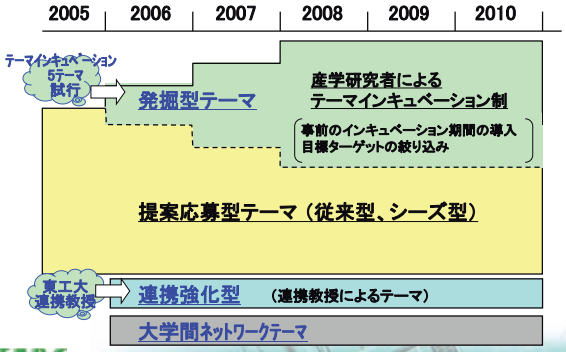


知識移転と技術移転

■ 「成果移転」には二つのタイプがある。
■ 「知識移転」については一定の実績。
■ 今後は「技術移転」の更なる活性化が課題。



「大学共同研究」の多様化



目次

1. STARCの歴史
2. SNCC Ⅱ 活動と産学連携
3. スターシャトルによるコラボレーション
4. おわりに

スターシャトルとは？

ねらい
- AS☆PLAプロジェクトの成果活用と業界への貢献
- 研究開発などに利用可能な試作機会の提供
  → 半導体IPのインキュベーションやその実用化を促進支援
  → 大学（VDEC）の研究開発を重点支援

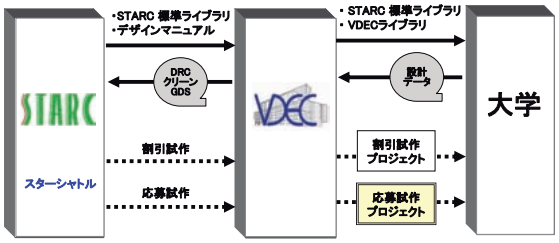
方針
- 研究ニーズに主照準 （要素TEG／アナログTEGの設計サポート強化など）
- 実績のある試作プロセスとライブラリを提供

運行
- 学会のタイミングを考慮した年4便の運行
- 試作月（下表）の3ヶ月前から予約受付

	2006年度				2007年度			
スターシャトル年間計画	5月 (ISSCC推奨)	8月 (VLSIシンポ推奨)	10月 (CICC推奨)	12月 (A-SSCC推奨)	4月	7月	10月	12月
	Generic	Generic	Generic	Generic				
GDSメ切 サンプル納入	5/B 8/B	7/E 10/E	10/B 12/E	12/B 2/E				

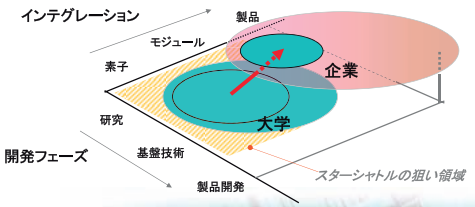
大学研究向け90nm試作スキーム(スターシャトル)

■ 産業界の先端プロセスによる大学研究試作支援
■ 応募スキームによる大学研究活性化

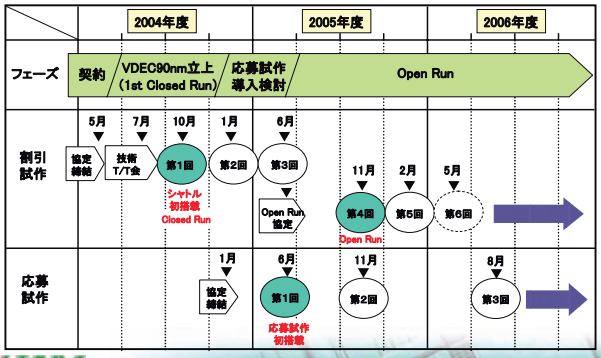


スターシャトルによるIP育成の意義

・産学連携:
基礎技術＝大学、 実用化/製品開発＝企業
・企業の基礎技術の薄さを埋める大学の基礎研究
・これを充実/加速するためのシャトル運行 ＝ IP育成支援

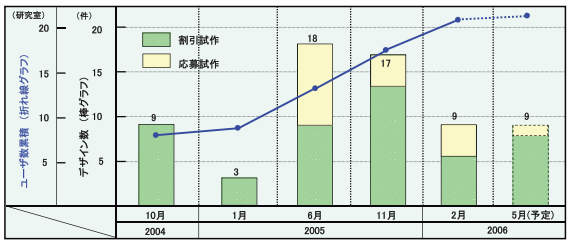


スターシャトルによるコラボレーションの推移

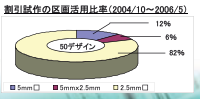


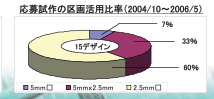
大学研究における活用実績

■大学研究室からの、更なる活用をお待ちしています！



● 2004/10から、多くの大学ユーザに活用頂き、2005年からは対応サイズに「5mm x 2.5mm」を追加し、選択肢を増やしました。

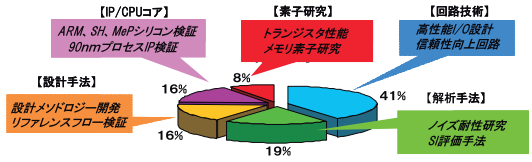




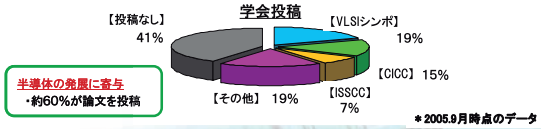
ユーザ活用実績

ユーザからのアンケート調査結果（対象130案件）

用途



学会投稿



＊2005.9月時点のデータ

目次

1. STARCの歴史
2. SNCC Ⅱ 活動と産学連携
3. スターシャトルによるコラボレーション
4. おわりに

VDEC設立10周年を迎えて

兵庫県立大学大学院応用情報科学研究科
白川　功

1. はじめに

半導体企業10社が共同出資して設立した「半導体理工学センター」は1995年暮れであった．これにより，産のニーズ，国の財政支援，および学の人的資源によるシステムLSI の開発に向けての "産官学共働" の環境がようやく整った．さらに，学にとって長年の夢であった「VDEC（大規模集積システム設計教育研究センター）」が1996年度に発足し，システムVLSI の実践的教育研究のための試作環境がどうにか整い，学におけるシステムLSI設計の能力と人力の向上に大きく貢献している．

小文では，特に，このVDEC設立10周年という記念すべき節目にあたって，設立当時の状況を振り返りつつ，今後のシステムLSIの研究開発に対する動向について述べてみたい．

2. 設立当時の社会背景

筆者は1998年にシステムLSIを開発する産学連携型のStart-Up「株式会社シンセシス」の設立に加わった．その最大の動機は，1993年にフランスのグルノーブルで開催されたワークショップ「VLSI 93」において，マンチェスター大学チームがアーム社の組み込みプロセッサーの実装設計を担当したことを知ったこと，さらには，1980年代にはわが国がリードしていた日米半導体シェアが，1995年の逆転後はシェア格差が年々増大し，米国の半分にまで落ち込んでしまったこと，という2つの衝撃的な事実によるものである．欧米の大学が産官学連携によってLSI設計能力の向上を図り，システムLSI を牙城としようとしている様を見て，さらには，日本だけが依然としてメモリ重視体制をとり続け，そこから抜けきれていないという状況をつぶさに見るにつけ，愕然としたものである．このような惨状を目の当たりにして，大学自らシステムLSI設計の能力と人力を早急に立ち上げるべきと痛感して，これまでの研究テーマであった電気系CADからシステムLSI の実装設計へと急遽変更した次第である．

筆者がこのLSI実装設計の分野に参入して，まず，わかったことは，表1に示すように，わが国のメモリ戦略に対処すべく，欧米がすでに1980年代前半に，台湾が1990年代初頭に，それぞれ大学を主体とした設計能力拡大策を国家的プロジェクトとして開始していたことである．わが国では，それまで何度か，このような試作サービス機構を立ち上げる動きが，当時の東京大学教授の菅野卓雄先生を中心に進められたことは耳にしたが，不幸にも成就しなかった．1992-93年には，電子情報通信学会や電気学会の回路関係の研究会でこのような機構の立ち上げの討議が何度かなされたが，その一つの会場で，外国のこの種のサービス機構の動向に詳しい芝浦工業大学の上田和宏先生と出会う機会に恵まれ，ともに意気投合して，最も直近に開設した台湾のCIC（Chip Implementation Center）の見学に私費で行くことにした．1993年秋に2泊3日の行程で台湾の新竹にあるCICと交通大学を訪問し，その実情を見てわれわれは感嘆したことを記憶している．

CICで設計されたマルチプロジェクト・チップは，「教授向け」と称する研究用の回路が数個とそのまわりに「学生向け」と称する教育用の回路が10数個から構成され，そのようなチップが年間200個も設計されること，研究用と教育用に各大学がそれぞれ何個設計したか，総面積がいくらか，などについて定期的に統計をとって公表すること，さらには，設計用のツールをCICがCADベンダーと一括契約して，30大学に配布していること，などの説明を受けた．また，交通大学では，システムLSI 設計専用の数10台の計算機室と検査用の装置が完備した部屋を見学し，この大学での設計量が台湾ではダントツであるとの説明を受けた．

帰国直後に，2人で当時の東京大学総長の吉川弘之先生を訪問して，わが国はこのCICのような試作センターを国策として緊急に開設すべき旨を直訴した．先生はすぐに通産省に働きかけられ，折から，文部省の科研グループに加えて，通産省のワーキングが結成され，それらが合同でパイロットプロジェクトの準備を進めた．

表1　外国における大学向けチップ試作サービス機構

地域名	サービス組織名	開始年	加入機関数	実　績	所轄政府機関	運営機関	ファンドリー数
アメリカ	MOSIS	1980	360 （大学170） （企業190）	12,500	国防総省 NSF（全米科学財団）	MOSIS	4
カナダ	CMC	1984	41 （大学28） （企業13）	132 （1991のみ）	科学技術研究評議会	CMC （クイーンズ大学）	2
フランス	CMP	1981	130 （国内58） （国外72）	1,089	教育省 産業省 研究省	CMP	3
ドイツ	EIS	1983-92	26	250 （5年間）	研究技術省	CMD	3
ヨーロッパ	EURO-CHIP	1989	250	1,000 （1989-93）	ESPRIT DG8	CMP RAL DTU GMD IMEC	5
台　湾	CIC	1991	24	346	国家科学技術委員会	CIC （838人）	3

3. パイロットプロジェクト

1994年度に始まったパイロットプロジェクトでは，NEL（NTT Electronics Technology）社の0.5 μmのCMOSゲートアレイを使って2個のマルチプロジェクト・チップが開発された．公募の中から選ばれた8件の回路の実装結果を以下に記す．

Chip I

(1)　2次元ディジタルフィルタ（8,778ゲート）
(2)　32ビットプロセッサ（14,702ゲート）
(3)　ニューラルネットワーク用コプロセッサ（18,052ゲート）
(4)　16ビットマイクロプロセッサ（8,228ゲート）

Chip II

(1)　信号処理フィルタ（19,053ゲート）
(2)　プロセッサ/メモリ接続スイッチ（17,356ゲート）
(3)　教育用マイクロプロセッサ（4,763ゲート）
(4)　教育用マイクロプロセッサ（6,200ゲート）

引き続いて，1995年度にもパイロットプロジェクトが続けられ，同じくNEL社がファンドリーを担当し，0.5 μmのCMOSゲートアレイに加えて，0.8 μmのアナログCMOSフルカスタム・マルチプロジェクトチップも提供され，以下の回路が実装された．

Chip I（CMOSゲートアレイ）

(1)　並列ノイマンプロセッサ
(2)　実時間OSチップSTRON
(3)　コプロセッサ･コントローラ
(4)　誤り耐性マルチプロセッサセル

Chip II（CMOSフルカスタム）

(1)　自動時調整パイプラインユニット
(2)　カオスニューラル・ネットワーク
(3)　非同期掛算器
(4)　スイッチド･キャパシタフィルタ
(5)　次世代メモリ
(6)　広帯域アナログフィルタ
(7)　電流モードA/Dコンバータ
(8)　MPEG2デコーダコア
(9)　アナログ･ディジタル混成ニューロチップ
(10)　PWM 演算ユニット
(11)　ファジイチップ
(12)　電流モードフィルタ
(13)　オペアンプ
(14)　ハードウエア･ルータ（配線器）

このパイロットプロジェクトの報告会が電子情報通信学会の全国大会で行われた．ここでは実装結果の発表だけではなく，実際にチップが動作する様を実演するコーナーも設けられ，大盛況に終わった．このプロジェクトの成功によって，1996年度に，学が長年にわたって念願であったVDECの設立がようやく認められた．

4. 今後の動向

日常生活の至るところで ICT（Information and

Communication Technologies）化が叫ばれ，その恩恵によって，産業や経済・社会の諸分野においてネットワーク接続された計算機環境が活発に利用されている．PC（Personal Computer）をはじめとするコンピュータの出荷台数は年々増大を続けているが，情報家電（Smart Appliances）の伸びはそれをはるかに凌駕している．PCは，かっては半導体の需要を引き出す最大のドライバーであったが，1997年を境に，携帯電話，DVD，デジタルカメラ，デジタルTV，デジタルビデオカメラ，携帯情報機器をはじめとする情報家電がそのドライバーの地位を奪ってしまった．また，米国 Cahners In-Stat/MDR社の調査によれば，1998年に全世界で6,300億円程度であった情報家電市場が2002年には1兆9,200億円と3倍以上に成長し，さらには，今後少なくとも5年間は年平均100%以上の高い成長率で推移すると予測している．特に，地上波ディジタル放送やディジタルシネマ，あるいは生活環境の質的向上に資するICTにかかわる新たな破壊的技術の研究開発が要請されている今日，この予測は上方修正しなければならないことは確実である．

情報家電機器の大半は「組込みシステム」の範疇に入り，ここで用いられるシステムLSIは，従来のデータ処理に加え，画像や音声などのメディア処理をもこなす高機能性および高性能性を備え，さらには，モバイル環境での応用にも耐え得る低消費電力で実装する必要がある．このような組込み向けメディア処理システムを効率的に実装するためには，最適なアーキテクチャと最先端SoC（System-on-a-Chip）技術を駆使して，まさにstate-of-the-artによる設計を実践しなければならない．

かつてはリニアモデル（開発の形態が，基礎から，応用を経て，さらには実用化へと段階的に移行するという概念）が普遍的であったが，ここ10年間の「ハードウエア/ソフトウエア統合設計」や「トップダウン設計」という設計環境における一連の技術革新によって，ことシステムLSIに関しては，学でも基礎，応用，実用化がコンカレントに実行できる環境が整い，産と同質の開発能力が備わってきている．換言すれば，設計環境の技術革新によって，従来は5，6年を要した設計技術の習熟期間が3，4年に短縮され，院生が博士後期課程まで進学してくれれば，修了までには一人前の設計者に育て上げることができる状況に至っている．特に，画像処理システムの上流設計あるいはそれに伴う各種シミュレーションの技術分野においては，いまや学は産と同質あるいはそれ以上の能力と機動性が備わり，産が学に研究開発の一部をアウトソーシングするという状況も生まれている．ここに，産官学連携の仕組み，あるいは産官学連携型のStart-Upの役割が，今後大きく変動しようとしている．

このような現状を踏まえ，産官学連携のあり方について新たな方策を模索し，システムLSIの研究開発という分野での学のますますの健闘を祈るところである．

VDECファンダリとVDECへの期待

日立製作所　マイクロデバイス事業部
小高　雅則

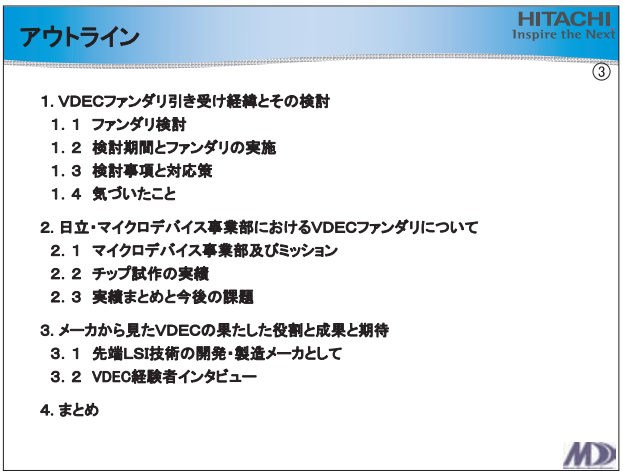
法政大学　工学部　電子情報学科
藤田　実

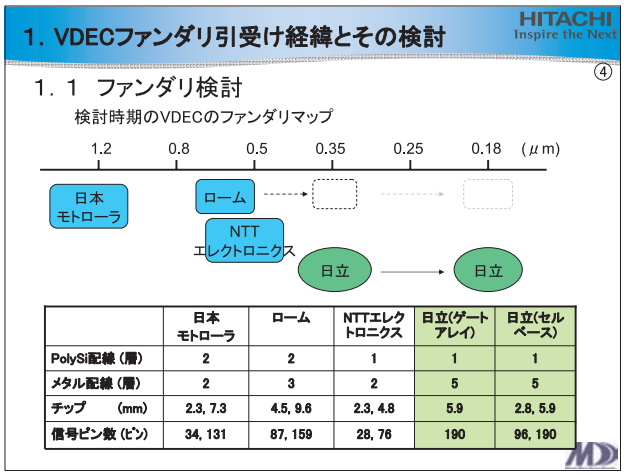
はじめに

集積回路の研究には，巨額の設備投資による試作ラインと，多くのエンジニアによって支えられる製造技術が必要である．このため，過去には集積回路技術の研究はメーカに任せ，大学はそれ以外の技術を研究するという傾向が長く続いた．

しかし，集積回路の規模が増大し機能も高度になるに従い，新しい世代の技術を開発するのに，広範囲な技術の研究と多くの研究者の協力が求められるようになった．各国では先端技術を育成して優位に立つべく，大学でも集積回路を研究できる体制を整えるようになった．この様な潮流に合わせて，わが国でも「大規模集積システム設計教育研究センタ（VLSI Design and Education Center，以下VDECと略記）が設立され，国内の多くの大学において，シリコンVLSIの設計と試作を可能とする環境が設けられた．

今回，VDEC10周年という機会に，VDECファンダリを受けて産学連携を推進してきたメーカの立場から，VDECファンダリとVDECへの期待について，述べる．

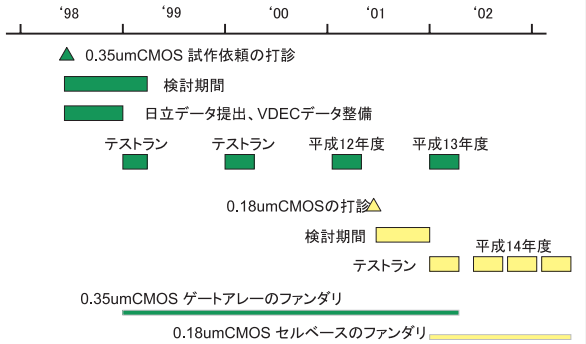




1．2　検討期間とファンダリの実施

HITACHI Inspire the Next

⑤



1．3　検討事項と対応策

HITACHI Inspire the Next

⑥

区分	検討項目	対応策
全般	守秘義務 戦略物資-外為法、輸出貿易管理令	試作契約書 秘密保持契約書
論理・回路設計	ライブラリ RAM、PLLのサポート	日立データ提出 VDECによる整備
レイアウト設計	レイアウトルール 複雑なマスク層構成 フェーズシフタ I/Oバッファ、ボンディングパッド.	東大ライブラリ(0.35um) 京大ライブラリ(0.18um) レイアウトルール テクノロジーファイル
マスクデータ	マルチチップ方式	新規設計データの準備
マスク製作	価格	アカデミックディスカウント
試作	工程・原価管理システムへの対応 品名、実績計上法 追加チップ対応	各社による協力体制 大日本印刷 日立、日立超LSIシステムズ
受注・納品・精算	価格、仕組み作り	イーストンエレクトロニクス

1．4　気づいたこと -メーカ側-

HITACHI Inspire the Next

⑦

・経営トップの理解が必要
- かなりの検討作業が必要
- 会社間にまたがる要請、調整、仕組み作り
- 社内工程・原価管理システムとの整合法
- アカデミックディスカウント対応

・VDECとメーカ間の打合せと調整
- 技術の複雑化に伴い綿密な打合せが必要

・産学連携による情報の共有

1．4　気づいたこと -VDEC関係とユーザとしての要望-

HITACHI Inspire the Next

⑧

・多大なご努力に敬意
- 新技術サポートの拡充
- 負荷の重い課題への取組みと設計環境整備
- 時間との闘い

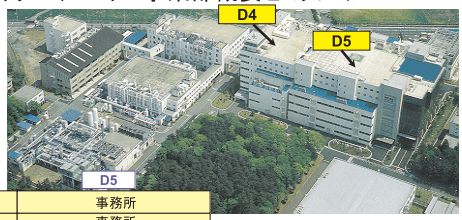
・ユーザとしての要望
- ユーザにとって、やはり最初の一歩が難しい
  - 最新のtutorialとエントリシステムの充実
  - 新しい技術およびライブラリ等の概要
  - CADのバージョンアップやサポート情報
- 開示データの充実
  - （例）SPICEのデバイスパラメータ等、試作以外での利用

2、日立・マイクロデバイス事業部における VDECファンダリについて

HITACHI Inspire the Next

⑨

2．1　マイクロデバイス事業部概要とミッション



	D4	D5
7F	事務所	事務所
6F	事務所	事務所
5F	事務所	1500m²
3・4F	Wafer ファブ 1500m²	Wafer ファブ 3000m²
1・2F	1500m² パンプ	Wafer ファブ 3000m²
B1	テスタ	

・設立　　1975年
・高性能LSIの開発と生産
（情報通信向けLSI他）
・クリーンルーム　10,500m2
・従業員　　約900名

マイクロデバイス事業部のミッション

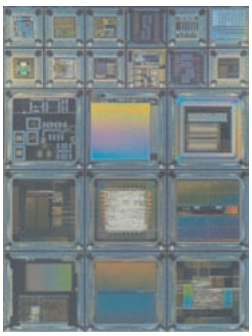
HITACHI Inspire the Next

⑩

2．2　チップ試作の実績

HITACHI Inspire the Next

⑪



大阪大学 谷口研	東京大学 浅田研	東京大学 VDEC
九州大学 安浦研	広島市立大学 弘中研	東京大学 柴田研
金沢大学 深山研	東京大学 柴田研	九州大学 村上研

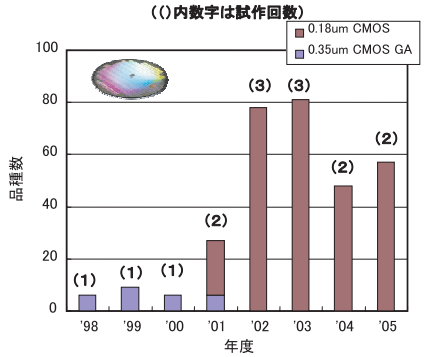
0.18μm CMOS試作チップ写真　（2002年VDEC年報より）

2．2　チップ試作の実績(続き)

HITACHI Inspire the Next

⑫

試作品種数の推移
（（）内数字は試作回数）



2．3　実績まとめと今後の課題

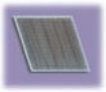
⑬

①チップ試作の実績（1998～2005）

・CMOS 0.35um、0.18um製品

試作回数　　15回

試作品種数　312品種



・現在もアナログ追加など、改善を実施中

②今後の課題

・継続的な試作サポート

・新メニューの立上げ

3．メーカから見たVDECの果たした役割と成果と期待

⑭

3．1　先端LSIの開発・製造メーカとして

①私たちの目指す方向

・パートナとのWhat to make と How to design(develop)の密接コラボレーションによるIT機器・システムの高機能化・高性能化・優位化に貢献するキーLSIの開発と供給

②VDECの果たした役割と成果

1)LSI設計教育によるLSIを設計できる人材の育成

2)産学連携の良い先例

・新しい知(コンセプト・アイデア)の創出⇒大学

・トレンドに乗った技術開発　⇒メーカ

・新しい知のビジネス化　⇒大学・メーカ連携

3)日本半導体産業の活性化

先端LSI技術の開発・製造メーカとして（続き）

⑮

③VDECへの期待

・試作メニューの充実化による大学におけるLSI研究領域の拡大

ex. 無線・高周波領域他・・・・

・LSI設計技術教育の実験プログラム化やプロジェクト化による学部生・大学院生への拡大

・更なる産学連携による日本半導体産業の活性化への貢献

3．2　VDEC経験者インタビュー

⑯

1．1998年日立・中央研究所入社・・SRAM研究・開発に従事

・VDEC利用の一期生

・日本モトローラ1.2μm(学部), NEL 0.5μm(修士課程)利用

・機能メモリの設計・評価

⇒ ①途中でパラメータやルールが変わって設計が大変だったが、LSI設計がどういうものかが判った。

②自分が設計したチップが動いた時は、感動した。

③非常に役立っている。

2．1999年日立・マイクロデバイス事業部入社・・CMOSプロセッサ開発に従事

・日本モトローラ1．2um(修士過程)利用

・8ビット逐次比較型ADコンバータの設計

⇒ ①アナログ設計ノウハウに疎く、手戻りが多かった。

②大学院での研究テーマがMOSデバイスだった。入社後、設計担当になったが、VDECの経験があったため、敷居が低かった。

3．2　VDEC経験者インタビュー(続き)

⑰

3．2001年日立・中央研究所入社・・・オンチップ不揮発メモリの研究に従事

・ローム0.6um、日立0.18umCMOS利用

・画像圧縮用フルアダー回路の設計・評価

⇒①修士課程1年、2年でVDECを使った。研究室で今までに作ったLib資産を有効活用した。

②設計には苦労したが、VDECの経験が、入社後の研究テーマに直接的に結びついた。

4．2004年日立・中央研究所入社・・・センサネット用UWB回路の研究に従事

・日立0．18umCMOS利用

・ミリ波帯PLL・VCO回路の設計

⇒ ①4年生、修士課程1年、2年でVDECを使った。高周波用Libがなく、非常に苦労した。

②Lib充実化を希望する。高周波特性に優れたBiCMOSメニュー希望。

③自分の将来の研究領域を決めるのに非常に役立った。

4．まとめ

⑱

1、日立・マイクロデバイス事業部は、VDECファンダリを引き受け、0.35umCMOS、0.18umCMOSの試作サービスを提供してきた。新メニューを立上げ、今後とも貢献していく。

2、VDECによる人材育成が半導体産業界に大きく貢献している。

3、先端LSI開発・製造メーカとしての今後の課題

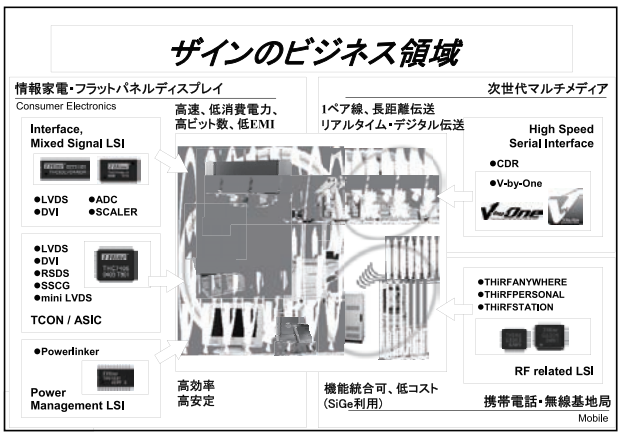
・産学連携の更なる推進

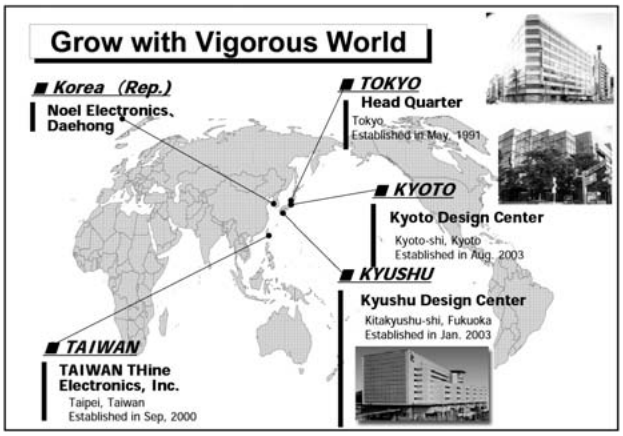
・大学発“知”のビジネス化

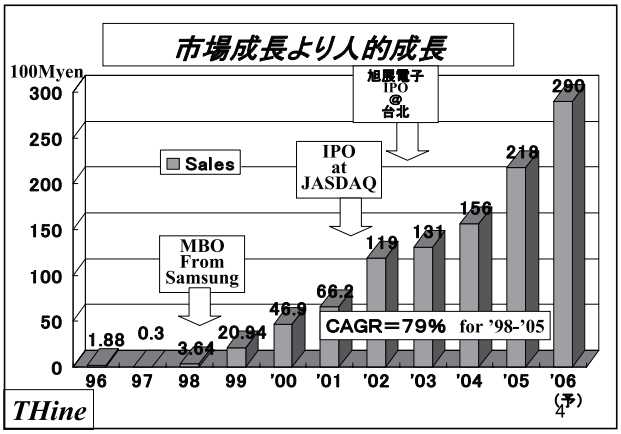
・日本半導体産業活性化の一翼を担う

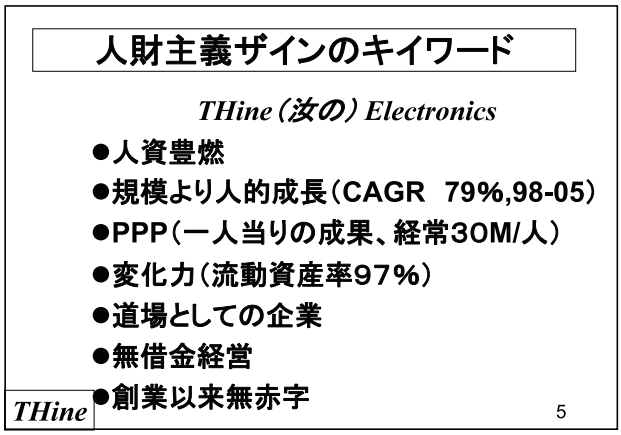
人財主義ザインのVDECへの熱い期待

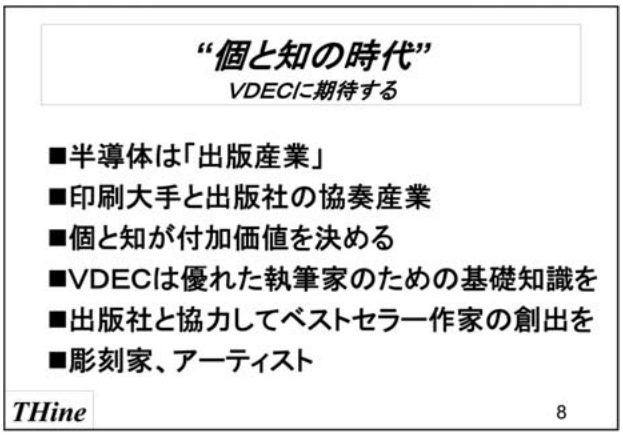
ザインエレクトロニクス
飯塚　哲哉










“個と知の時代”
VDECに期待する
■半導体は「出版産業」
■印刷大手と出版社の協奏産業
■個と知が付加価値を決める
■VDECは優れた執筆家のための基礎知識を
■出版社と協力してベストセラー作家の創出を
■彫刻家、アーティスト
THine
8

SoC設計教育の今後

九州大学システムLSI研究センター
安浦　寛人

1. SoC設計へ求められるもの

SoC（System-on-a-Chip またはシステムLSI）は，今や私たちの日常生活に欠かせない道具であり，多くの社会基盤システムの神経系を支える基盤技術となっている．技術の進歩によって，数千万から数億個のトランジスタを内蔵する1平方センチ程度の小さなシリコンチップ自体がひとつのコンピュータシステムの役割を果たすことができるようになり，パソコンだけでなく，携帯電話やPDAなどの情報通信機器，デジタルカメラやデジタルテレビなどの情報家電，自動車の車載システムなど広く利用されている．さらには，ICカードなどの形で個人の財産やプライバシーとも直接かかわるような用途にも利用され始めている．システムLSIの機能，性能，品質，信頼性，安全性などは社会生活の質や安定性に大きく影響する．

SoCの設計技術は，単なる半導体デバイスの設計ではなく，最終製品として世界中に広がるネットワークと接続されて利用される情報デバイス自身の設計となっており，半導体集積回路設計技術だけでなく，組込みソフトウェア，無線・有線通信技術など幅広い技術が複雑に絡み合う総合技術となっている．その設計にあたっては，最終製品としてのデバイスの企画，設計，製造．検査，流通，運用，廃棄のライフサイクル全体を把握して，コスト，性能，消費電力，信頼性，安全性など各種の指標を視野に入れることが求められる．微細加工技術の進歩による製造やテストの不確実性に対する対応策と，システムの複雑化や大規模化・オープン化に伴う仕様や運用形態の不確定性へも対応する必要があり，SoCの設計は益々難しいものとなっている（図1）．

2. SoC設計者とLSI設計教育

SoC設計者の人材の育成は，産業界においても大きな問題として議論されており，従来のLSI設計教育とソフトウェア設計教育あるいは通信技術などの関連技術の教育との連携が大きな課題となっている．半導体産業分野は，欧米や急速に台頭してきた東アジア地域との激しい競争に晒されており，国際競争力を維持するため，高度なSoC設計人材の確保が企業の緊急の課題となっている．

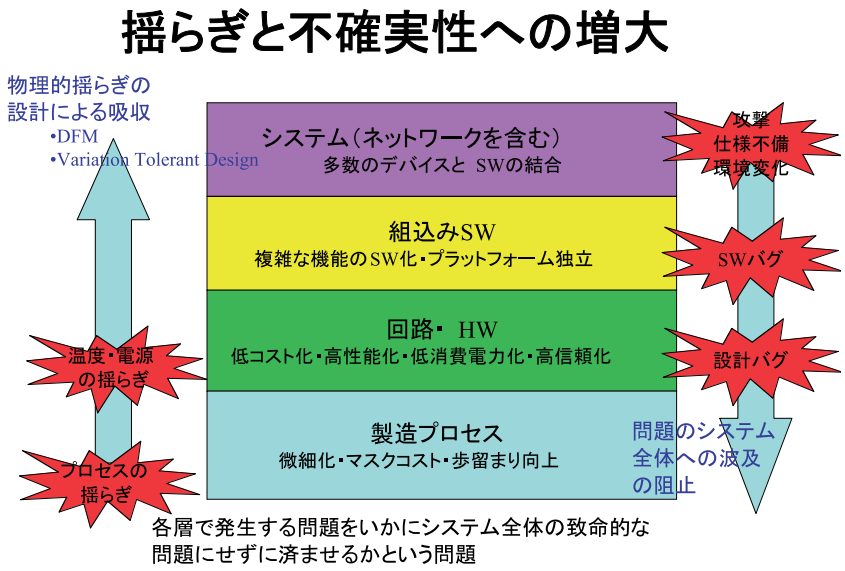


図1　SoC設計の問題点

複雑なシステムの仕様やアーキテクチャは，大半の機能のソフトウェアによる実現を前提としており，組込みソフトウェアに関する知識や経験は，SoC設計の中で欠かせないものとなっている．一方，自動化が進んだとは言え，ディジタル回路を中心とするシステム設計においては，半導体集積回路の基本的な性質やその設計と製造の基本を習得しておくことは，SoC設計者の基本的な素養である．さらに，アナログ回路やRF回路に関する知識も求められるようになっている．回路の設計，検証，製造，テスト，実装の基本的な流れを理解し，組込みソフトウェア設計の基本を習得し，さらにセキュリティや通信プロトコルなどの基本技術に精通した技術者・研究者の教育は，大学に課された大きな課題である．

米国やヨーロッパ諸国では，1990年代からHW/SW協調設計の確立に同期して，電気・電子工学系（EE）を中心とした集積回路設計と計算機科学系（CS）に由来する組込みソフトウェア設計教育を融合させ，SoC設計教育のプログラムを作る努力が継続的に行われている．特に，ヨーロッパ諸国においては，EU統合に合わせた大学制度改革（Diplomaの3年制からBachelorの4年制への移行）において，多くの大学でシステム設計を意識した実践的学部・修士課程教育が試行されている．自動車産業や航空宇宙産業を意識したシステム設計教育では，ソフトウェアと集積回路の双方を理解できるカリキュラムが実践されている．CMPなどのチップ試作サービスがこれらの教育を支えている．

半導体産業で台頭著しい台湾においては，製造中心の産業構造から設計中心の構造への転換を目指すシリコンソフトプロジェクトで4年間に300人を越える教員を欧米から召喚し，設計技術教育の刷新の国家的プロジェクトを進めている．SoC教育企画・諮問委員会の下に，設計プラットフォーム，EDA，組込みソフトウェア，Mixed Signal設計，プロトタイプとレイアウト，システムとIPの6つの委員会を構成し，それぞれに数十名の教員が大学を越えて教材やカリキュラムの開発に当たっている．組込みソフトウェアから物理設計まで，世界最高の教育カリキュラムを作り，教科書を世界中に販売する計画まで立てている．研究成果を取り入れて教育に適用するとともに設計企業で実践するというフィードバックシステムができている．チップ試作については，100名近い技術者を持つチップ試作サービスセンターCICが支えている．

韓国においても，国の支援でIT-SoCコースを主な大学院に設け，集積回路設計（ディジタルとアナログ），設計方法論，アーキテクチャ，組込みシステム，システムプログラミング，IP開発，DSPなどの共通科目および画像システム，RFシステム，通信システムなどの選択科目を履修させるとともに，チップ試作を経験させている．このコースを修めた学生には学費の半額を政府が負担する特典まで与えている．

このように，世界のSoC設計者の養成は，EEとCSの融合という流れの中で，急速にその体系の確立が進められており，我が国も緊急の対応が必要である．

3. QUBE:システムLSI設計人材養成実践プログラム

我が国においては，過去20年に亘り，電気・電子系（EE）の教育と情報系（CS）の教育は分離される方向で大学の組織改革が進められてきた．VDECの設立時にも，SoC設計教育を想定したEEとCSの融合や，CSにおけるLSI設計教育の実施も検討されたが，設計環境の整備，教員の経験と負担，FPGAなどの代替手段の普及などにより，大学院を含めてCS系のシステム設計教育におけるVDECの利用は限定的であったと言える．研究分野においても，システムアーキテクチャなどCS分野の研究者のVDECの試作サービス利用は，未だに多いとは言い難い．

大学でのこのような状況を反映して，我が国においては，SoC設計教育の大半は社内教育システムで，異なるバックグラウンドを持った新人の教育として実施されてきた．しかし，SoC設計が，半導体集積回路あるいは情報通信産業の死命を制する基盤技術となった現在，SoC設計教育は，専門教育機関としての大学・大学院が担うべき役割となっているといえる．激しいコスト競争の中，教育担当社員の人件費や教材の開発・維持費などが負担となり，企業においても教育部門のアウトソーシングの要望は高まる傾向にある．更に，中小ベンチャー企業においては，こうした教育機能を社内に持ち得ず，即戦力人材に頼ることとなり，慢性的な人材不足に悩まされている．

九州大学システムLSI研究センターでは，H14年より福岡県などと連携して福岡システムLSIカレッジを創設し，SoC設計人材育成に取り組んできた．平成17年度からは，その一部を発展させ，文部科学省科学技術振興調整費振興分野人材養成「システムLSI設計人材養成実践プログラム」（通称QUBE）を開設した．このプログラムは，SoC設計人材の育成のためのカリキュラムや教材の開発および，集積回路設計・組込みソフトウェア設計・HW/SWコデザインの3分野における設計人材の養成を目的としている．社会人を対象とすることで，最初に現場のニーズに直結する教育プログラムを開発し，設計現場からのフィードバックを得つつ，カリキュラムや教材の改良を行う．将来的には，この成果を元に，大学院や学部のSoC設計教育の改革に利用する．具体的には，3分野の設計者がチームを編成してシステムLSIの設計・試作・実機評価を実践し，一貫設計フローと先端設

計技術を習得する「システムLSI設計技術習得プログラム」(4講座)，技術マネジメント知識等を盛り込んだ各分野の最先端設計技術を学ぶ「先端設計技術習得プログラム」(22講座）の2プログラムで構成している．電子情報系企業におけるSoC設計分野の中堅，ベテランの技術者及び研究者を対象に，ハードウェアや組込みソフトウェアの垣根を越え，先端技術や製品市場に対する広い視野を持つシステムLSI設計者を養成することを目指している（図2http://www.slrc.kyushu-u.ac.jp/qube/course.html)．これらのコースの中でVDECの試作サービスや設計ツールなどを多角的に活用している．

4. まとめ

SoC設計教育の現状と今後の方向性について議論した．また，九州大学システムLSI研究センターで行っているQUBEを例に取り，その実践的な取組みを紹介した．今後のVDECの方向性を議論される上で参考となれば幸いである．

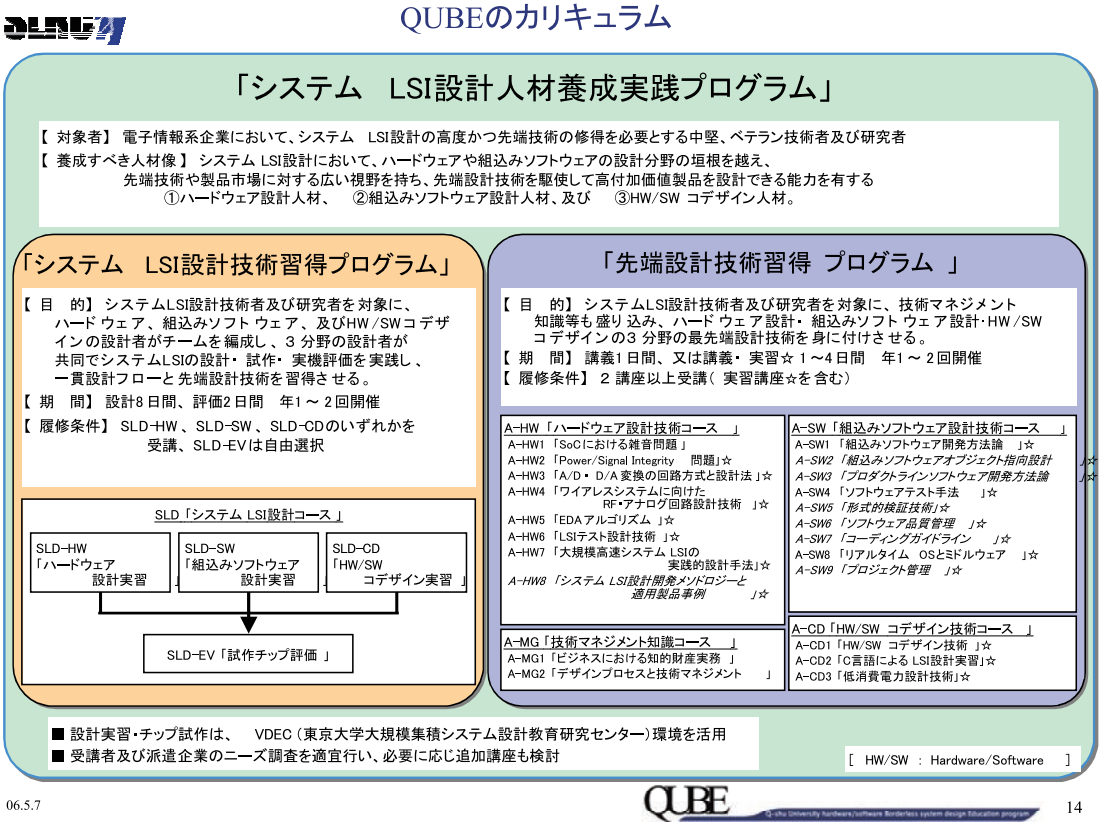


図2　Qubeのカリキュラム

VDEC設立10周年おめでとうございます

株式会社アドバンテスト　取締役会長
竹下　晋平

ADVANTEST

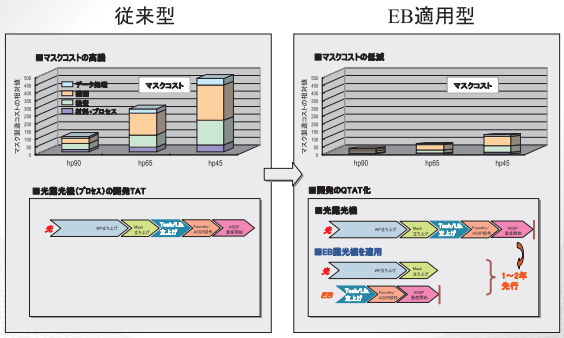
F5112ｷｬﾗｸﾀﾀﾌﾟﾛｼﾞｪｸｼｮﾝﾀｲﾌﾟ
EB直接描画装置

T2000 SoCﾃｽﾄｼｽﾃﾑ

© Copyright 2006 ADVANTEST CORPORATION

SoC開発に於ける最適開発環境

ADVANTEST

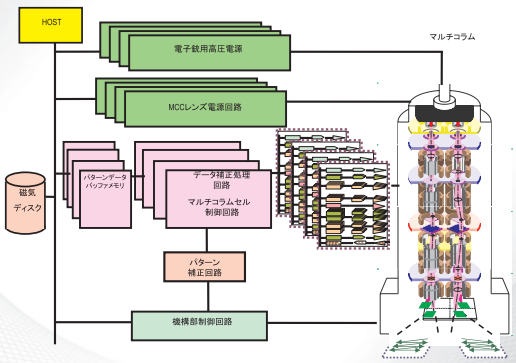


© Copyright 2006 ADVANTEST CORPORATION

次世代機　マルチコラム・システムの開発

ADVANTEST

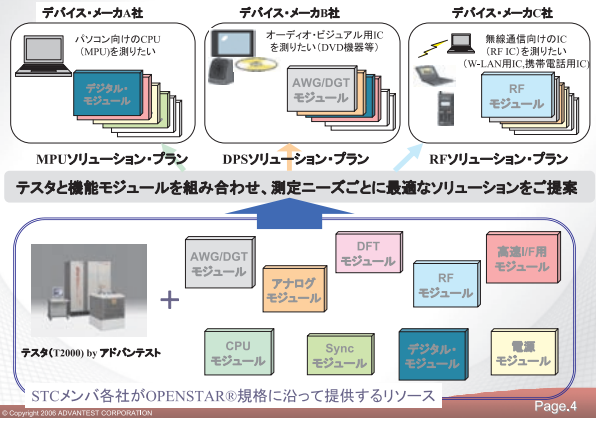
高スループット・45nmﾉｰﾄﾞ対応



© Copyright 2006 ADVANTEST CORPORATION

T2000による新たな提案

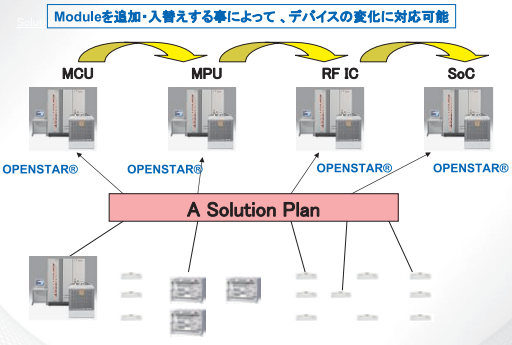
ADVANTEST



© Copyright 2006 ADVANTEST CORPORATION

SoCの変化に対応したテスタ

ADVANTEST



© Copyright 2006 ADVANTEST CORPORATION

Semiconductor Test Consortium Members(85) 2006年4月25日現在

ADVANTEST

University Members: 25

*浅田 邦博教授（東京大学　VDECセンター長）
*南谷 崇　教授（東京大学　先端科学技術研究センター長）
*岩崎 一彦教授（首都大学東京）
*樹下 行三教授（大阪学院大学）
*中前 幸治助 教授（大阪大学）
*多田 哲生教授（徳島文理大学）
*福爪 正樹教授（徳島大学）
*梶原 誠司教授（九州工業大学）
*高松　雄三教授（愛媛大学）
*市原　英行助教授(広島市立大学)
*大塚　寛治教授(明星大学)
*永田　真助教授(神戸大学)
*小林　春夫教授(群馬大学)
*浅川　毅助教授(東海大学)

Professor Jun Xu（Tsingblia University）
Assitant Professor Chatterjee (Georgia Tech)
Dr. Simon (University of Durham)
Prof.Eisenstadt (Univ. of Florida)
Dr. Erik Larsson, Ph.D(Linkopings University of Linkoping, Sweden)
Assistant Professor William Bowhers (Merrimack College)
Professor Andre Ivanov (University of British Columbia)
Professor Tiziana Margaria (University of Goettingen)
Professor Martin Margala (University of Rochester)
Professor Mani Soma (University of Washington)
Professor Abraham (Univ.of Texas)

Global OPENSTAR Conference

© Copyright 2006 ADVANTEST CORPORATION

ADVANTEST

VDECに期待すること

①VSLI設計・製作・評価のできる
　人材の教育
②DFM／DFT ／新テスト方法の考察
③産学協力の中心的役割

© Copyright 2006 ADVANTEST CORPORATION

ADVANTEST

御清聴ありがとうございます。

株式会社アドバンテスト 群馬R&Dセンター

© Copyright 2006 ADVANTEST CORPORATION

VDEC 設立の頃

大学評価・学位授与機構教授, 国際連携センター長
本間　政雄

東京大学大規模集積システム設計教育研究センター（VDEC）が，今年で設立10周年を迎えられたとのこと，心からお祝いを申し上げます．この構想が持ち上がった当時，私は旧文部省高等教育局で工学，農学，獣医学，商船学などいわゆる実学系学部・大学院の担当課である専門教育課の課長をしておりました（1992-95年）．当時は，いわゆる理工系離れ対策や理工系学部の劣悪な教育環境の改善，社会人の大学学部・大学院への積極的な受け入れを推進する「リフレッシュ教育」の推進，さらには衛星通信を活用した高等教育の普及など，専門教育課の仕事は幅広く，また社会的・経済的にも重要性の高い課題に取り組んでいました．私の専門教育課長としての任期が役人としてはかなり異例の3年近くに及んだのは，そういうこともあったと思います．

大規模集積回路の設計，試作をコンピュータ上だけではなく，実際に基盤上に制作して，きちんと設計図通り機能するかどうか，あるいは不具合は生じないかということを実際に大学院レベルの学生に行わせ，教育する必要がある，そのためには実際に回路を制作するシステムが必要である，という話を聞いたのは，当時東大生産技術研究所からテキサス・インスツルメントの研究所長に移られたばかりで，以前から文部省の若手官僚と東大を中心とする少壮教授との大学問題に関する勉強会を通じて懇意にしていた生駒俊明先生からでした．話を詳しく伺うと，生産ラインは企業が提供し，制作費のかなりの部分は旧通産省が研究費の形で何年間かは提供するので，文部省は東大に組織の設置を認め，必要最小限の教員を配置し，運営費をそしてくれればいいということでした．

私は，生駒先生の「米国は言うまでもなく，欧州でも香港，韓国でもすでにこの種の施設が走っており，日本が早く対応しないと国際競争に後れを取り大変なことになる」という熱弁に動かされ，早速高等教育局長の遠山敦子氏（その後トルコ大使，文部科学大臣を歴任，現国立劇場運営財団理事長）に相談しました．遠山局長は構想自体には直ちに賛成してくれました．ただ，これはあくまで大学の教育の話なのだから，他省の力を借りなくても文部省自らの力でできること，やらなくてはいけないことと言われた上で，1995年度の概算要求に設置案を盛り込むよう東大と協議にはいるよう指示がありました．

私は，すぐにその方向で東大工学部の浅田邦博先生（当時は助教授）と概算要求の具体的中身の詰めに入りました．内容の方は，かねてから構想があったわけですので，必要な定員の振り替え財源の捻出を別にすれば，すぐに（といっても浅田先生や他の方々が何日も不眠不休の作業をしていただいた結果です）準備できたわけですが，肝心の東大の評議会を通す見通しが立ちませんでした．いくら局長の指示，文部省の意向でも，ある大学にどのような教育研究組織をいつつくるかはアカデミック・フリーダムに属する事柄で，学内の多数の部局の意向でいったん決まった概算要求の順序はひっくり返せないというわけです．文部省の概算要求は，あくまで個々の大学の「要求」を待って決めるもので，大学から要求もないのに文部省の要求書に含めることはできず，時間的な要因もあってその年は涙をのんで断念することになりました．話は飛びますが，このような個別大学にとっては「最適の」判断でも，国家レベルから見れば「遅きに失する」ことは，とくに法人化後は起きうるわけで，懸念しています．

しかし，紆余曲折はありましたが，翌年度の概算要求には東大から要求が出，それも高い優先度が付されていましたので，最終的には旧大蔵省の査定でも認められ，センターがとにもかくにも発足したわけです．変化が激しく，競争の厳しいこの世界で1年の遅れは大きかったと思いますが，関係者の努力と情熱により，こうしたハンディを乗り越え，我が国の大規模集積回路設計教育に大きな貢献をしてこられたことに敬意を表したいと思います．私は，この種のセンターは，一人東大だけで機能するものではなく，幅広い産業界との連携や国内の関連大学との協働，連携が不可欠と考え，その面での配慮をお願いしましたが，そうした面でも着実に実績を積み重ねられています．

創立10周年に当たり，改めて関係者のご努力に敬意を表し，今後ますますのご発展を皆様とともにお祈りしたいと思います．

VDEC 10周年のお祝い

元：(株)先端SoC基盤技術開発(ASPLA)
代表取締役社長兼CEO
現在：東芝マイクロエレクトロニクス(株)
常務取締役
兼務：東京大学VDEC客員教授
川手　啓一

VDEC10周年記念おめでとう御座います．今後のますますの発展に向けてVDECへの期待を述べさせていただきます．まずは状況認識ですが，日本は今後少子高齢化が進み併せて若者の製造業離れが続き，労働注入量が減少します．これを克服してシステムLSI（SoC）産業の発展を継続するには，一人当たりの付加価値生成の増強，つまりイノベーションを創造する力と生み出された知的財産（IP）を再利用する仕組みを強化する必要があります．

現在の日本のSoC産業において産業に直接寄与する技術IPの所在を見ると，多くは大手IDM（垂直統合型デバイスメーカ）に偏在しますが，厳しいコスト競争の中で人員削減を余儀無くされ，技術維持の為のクリテイカルマスを割り込み，枯渇する懸念があります．次に技術開発コンソシアムが生み出す成果ですが，IDMが持ち帰り事業化する事を前提にしている為，コンソシアム自体が内容を継続的に更新し，サービスを持続する体制にはありません．ベンチャー企業，アカデミアの生み出す新技術については事業化の出口に問題があります．つまり既存のIDMがSoC事業をほぼ寡占し，おまけに技術プラットフォームが個々のIDMに分散する為，初期市場の規模が小さく評価を受ける機会も少ない事です．この様に技術IPの創造と再利用において問題を抱えています．

一つの解は，国内IDMが技術開発，事業展開する為のプラットフォームを共有する事です．その上に1社だけで抱え込む必要の無い共通技術をカーブアウトさせ業界として育成・活用し，同技術の枯渇を防止する．アカデミア，ベンチャー企業の提供する新技術は，評価を受ける機会が増え，大きな潜在市場を得て事業化を促進出来ます．結果として国内IDM各社の競争力強化，アカデミアの産業界への直接寄与，SoC業界の活性化につながると考えます．

（株）ASPLA（先端SoC基盤技術開発）は，大手IDM5社（ルネサステクノロジ，NECEL，松下電器，富士通，東芝）の参加を得て90n世代，300mm口径プロセスを共同開発し，（株）STARC（半導体理工学研究センター）と共同で同プロセス用の設計環境（STARCAD21）を開発し，シャトルサービスを加えて，SoC技術プラットフォーム（AS☆PLA）を完成させました．クライアント向けサービスは2003年10月より先行させ，ARM7，SH4，MePコアの一発完動と14便で120以上のIPのSi検証の成果をえました．2004年5月から一般向けサービスを開始し，VDECにも活用いただいています．Si検証されたIP，SoCは，クライアントの4社4工場で量産が可能です．（別途各社のビジネス判断が入ります）

アカデミアの活力を産業界に結びつけるのがVDECの重要な役割のひとつと考えます．最先端プロセス，事業に直結する場を得て，産業界への出口を意識した研究・開発の環境が揃いました．産学連携体制で先行する東アジアの国々を，VDECのリーダシップでキャッチアップしたく，宜しくご指導のほど，お願いいたします．

VDEC10周年にあたって

ローム株式会社
研究開発本部 取締役本部長
高須　秀視

VDEC設立10周年お祝い申し上げます。

VLSI回路シンポジウムでは大学60％，企業40％と2004年「産」と「学」が逆転し，2005年VDEC試作による発表件数が7件と健闘されており，この10年間関係者の方々の御努力で着実に活動・成果をあげられていることに敬意を表したいと思います。

日本の半導体産業は，優れた製造技術をベースにした汎用メモリ特化で1980年代は大きく伸び半導体市場の半分を占める程であったが，1990年代半ば以降はインテルのプロセッサやTIのDSPに象徴される強い市場牽引力やファブレスを中心としたベンチャー企業群の活力をもとに製品開発力で力を発揮する米国，優れた製造技術力を持つに至った韓国や台湾勢が汎用メモリやファンダリービジネスで大きく伸ばし，日本の半導体産業の地盤沈下は今も続いている。なぜなら，HOW　TO MAKEからWHAT　TO　MAKEの転換が遅れている為である。

半導体産業の利益の源泉は，製造から設計へ移っており，高付加価値製品の市場を狙うには設計やシステム部門の機能強化が不可欠である。又，この分野を担う人材の育成が急務であり，大学の中でVDECの位置付けは益々重要となっている。

半導体産業の中で，ファブレスの成長率は非常に高く重要な地位を占めつつあるが，世界のファブレス上位40社で見ると，米国22社，台湾10社，カナダ4社，ヨーロッパ2社，中国1社，日本1社と日本は大きく出遅れていると言える。ファブレスのベンチャーを育成していくことも今後VDECに課せられた問題であると考えている。今後，益々のご発展を祈願しております。

沖電気工業株式会社
半導体事業グループ研究本部長
北　明夫

VDECは多大な成果をあげつつ設立10周年を迎えることができました。改めてVDECに関わる皆様のご尽力に敬意を表したいと存じます。この間，半導体業界では特にSoCデバイスにおいてプロセス技術のデファクトスタンダード化が進み，回路設計技術による商品差別化が競争力を左右する状況になってきており，回路設計技術力の向上が切望されています。VDECのVLSIチップ試作支援活動を通じて，大学等において集積回路関連研究が顕著に活性化され，研究交流や人材育成に大きく貢献してきていると実感しています。

沖電気では2004年度より，0.15um完全空乏型SOIプロセスシャトルサービスを開始し，VDEC関連では今までに4回の試作で多くのユーザーにご利用頂ております。試作サービスを通じて，ユニークなプロセスをベースにした研究成果の実証にお役に立てたと考えています。さらに，独創的な回路設計技術による完全空乏型SOIプロセスのご利用拡大を期待しています。

今後も，世界をリードするVLSI研究のCOEとして，産学の交流や人材育成などにおいてVDECが引き続き半導体産業の発展に大きく貢献されることを期待いたします。

VDECの創立10周年へのメッセージ

北海道大学VDECサブセンター
宮永　喜一

創立10周年，まことにおめでとうございます．VLSI設計教育センターが，このたび10周年を迎えたと知り，大変よろこんでおります．北海道大学では，当初このセンターの設立に関して，情報科学研究科の雨宮好仁先生が，委員等で参加をされており，設立と同時に，関係のより深い者ということで，私が参加をさせていただきました．

当初は，我々の研究室は，LSIの設計等に関する基本を勉強していた頃で，VDECの重要なミッションである，「LSIの設計と実現に関する全国的なサービスを大学が連携して進める」というような役目などあまりにレベルが高くて，当惑したのを覚えております．それでも，センターの各先生のご指導・ご鞭撻や，他大学の委員の先生のご指導もあり，何とか進めてまいりました．最近では，VDECの実質的な運営にも北海道大学から協力できるようになり，ある程度は委員の役目を果たしているのかと考えております．

LSIの設計．特に，複雑度の高い設計は，高度な知識と経験を必要とします．それらを自ら習得するには，長い時間もかかります．VDECがあることで，LSIの設計に関する教育や研究をしようとする大学の研究室には，非常に心強く，有効であると感じています．

世界的に見れば，LSIを中心としたソフトウエア・ハードウエアの研究・開発が，いっそう重要となり．情報産業のあらゆる分野において，価値の高いLSIを設計することは，重要な研究プロジェクトになっています．国内でのんびりやっているわけにはゆかないことがひしひしと伝わってきます．

このセンターの役割は今後ますます重要となることは必至と感じております．日本の多くの大学がこのセンターを通して，優れたシステムを設計・開発し，世界に向けて高度なLSIを提供できるようになることを期待しております．同時にその要として，VDECでは，大学における最先端LSI設計の教育・研究を進めていただければと希望しております．

VDEC黎明期と今後

東京工業大学VDECサブセンター
國枝　博昭

VDEC創立十周年おめでとうございます．鳳先生，浅田先生をはじめ多くのLSI分野の先生方，政府，会社のご努力とご協力により現在のVDECの誕生と成長を目の当たりにし，感謝の気持ちでいっぱいです．その間のご苦労は並大抵ではなかったものとご推察申し上げます．

VDEC設立以前は，多くの大学ではLSIを設計，製造することなしに，EDAを中心にVLSI研究が行われ，そんな逆境でも諸先輩は限られた範囲内で最大限の業績をあげておりました．もともと，産業界に近い分野でありながら，研究の本質部分に踏み込めない環境は我が国にとっても大きな損失でありました．現在ではこの状況は大幅に改善され，大学においてもLSI試作に基づく研究成果が当然である時代を迎えることができました．このような環境を創出したVDECの役割を大きく，大学独立法人化など変化する状況の中でその役割は引き続き重要であることは変わることはありません．また，その産業貢献は計り知れないものがあると思います．

SoCやシステムLSIに代表されるLSIの大規模化は新たなるLSI設計の時代を迎えています．従来のLSI分野の研究者のみならず，応用分野の研究者がシステム動作可能なLSIを設計してその成果を世に問う時代になっています．VDECや米国MOSISでは，マスクデータの受け渡しによるLSI製造を受託しています．応用分野の研究者にとってはLSI設計に立ち入ったとしてもRTLレベルの設計が限度です．下流設計はLSI専門家に依存する．そのことによってより自分の研究分野に焦点を合わせた研究が可能になります．RTLレベルのデータの受け渡しによるLSI製造受託がどうしても必要です．政府資金に依存しなければいけないわが国の状況から考えると，VDECのターンキーサービスと呼ばれる機能強化が最善の策ではないかと考えています．

VDEC創立十周年がVDEC発展の黎明期であるならば，次の期には何を期待するか再び全国の大学の強い結束による努力が求められているのではないでしょうか．

VDEC創立10周年に寄せて

金沢大学VDECサブセンター
松田　吉雄

VDECが10周年を迎えられたということですが，金沢大学VDECサブセンターを代表して一言ご挨拶を申し上げます．

私ごとで恐縮ですが，私は昨年に半導体業界から大学へ移ったもので，今あたりまえのようにVDECの恩恵をうけておりますが，設立から始まり，ここまでもってこられた関係者の熱意と努力に，改めて敬意を表しますとともに感謝申上げる次第です．

10年前と言えば，プロセッサやDSP或いはメモリと特定分野に特化した戦略が成功して復権をはたしたアメリカと大量の資本投下で台頭してきた韓国，台湾の狭間で，日本の半導体産業は非常に厳しい局面に立たされ，日本半導体の復権をかけて，業界団体が設立され，いくつかの国家プロジェクトが始まり，また産学連携も声高に叫ばれていた時期だと記憶しております．産学連携の一貫として，大学におけるLSI教育の充実が求められていた時期でもあり，この10年VDECはその役割を十分果たしてきたものと思います．

金沢大学においてもLSI教育に力を注ぎ，今では，トランジスタから高位言語によるLSI設計まで，またアナログからデジタルまで，体系化されたカリキュラムが組まれ，相当充実したものになっています．産業界に出てもすぐに戦力になるだけの教育ができているものと自負しております．また，VDECの環境のお陰で，かなりの研究成果もあげられ，これもひとえに金沢大学の先輩諸先生を始め関係者の支援のたまものと感謝する次第です．

現在日本の半導体業界はどうかというと，必ずしも往年の勢いを取り戻しているとは言いがたく，また，大学におけるLSI教育，研究においても，まだまだたくさんの課題があります．一層の充実と更なる発展のために，今後とも関係者のご理解，ご支援の程をお願い申し上げます．

名古屋大学VDECサブセンター
高木　直史

VDEC創立10周年，おめでとうございます．VDECの創立にご尽力された先生方，初代センター長の故 鳳先生，現センター長の浅田先生をはじめ，VDECの運営にご尽力されてこられた教員，職員の皆様に心から感謝し，敬意を表します．

VDECの創立当初，なんとかLSIの試作の道筋はついたものの，LSIの設計方法やCADソフトウェアの利用法など，ほんとうに手探り状態のなか，チャレンジ精神が旺盛な若手の教官や大学院生達が，お互いに情報交換をしながら，LSI設計を進めていたことを懐かしく思い出します．当時の若手教官が，現在，中堅となり，大活躍されているのを見るにつけ，VDECの果たしてきた役割の大きさを感じております．「LSI教育情報の発信拠点形成」，「VLSI設計支援教育用CADソフトウェアの整備」，「VLSIチップ試作支援」による集積システムの設計教育および研究の支援に加え，当該分野の若手教員の育成にも計り知れない成果があったかと存じます．また，流動教官制というユニークな制度による人事交流も特筆に値するかと存じます．

国立大学の法人化に伴い，種々の困難が生じてはいますが，これをよい機会と捉え，VDECが今後もますます発展されますことを祈念致しますとともに，微力ながら運営にご協力することをお誓いし，お祝いのメッセージとさせて頂きます．

立命館大学VDECサブセンター
山内　寛紀

大阪大学VDECサブセンター
谷口　研二

VDEC創立10周年，誠におめでとうございます．私事ですが，NTTから立命館大学へ転職したのも丁度10年前でしたので，大変印象深く記憶しております．設立の1年前からこの動きを各方面から聞いていましたので，これで大学へ移っても今までどおりLSI設計関連の研究ができると安心していたものです．でも移ってみると思っていたのとは大違いで，いかに今までNTTのバックグランドで楽をしてきたかを思い知らされました．また大学の先生方が，環境を立上げ，学生を育て，研究を持続させるのに，日頃いかに苦労されているかを知り頭が下がりました．

また立命館は，講座制ではなく教員一人ですべてを賄うシステムでしたから，たとえVDEC環境を使っても，LSI設計の研究と教育を行うのは無理がありました．そこで，10人規模の先生を集め，システム的に教育・研究を展開する仕組み作りに励むことにしました．そして，ローム株式会社様の絶大なるご支援を戴いて，7年前に研究拠点としてのVLSIセンターを設立し，浅田先生にお越し戴いてご挨拶を賜りました．また2年前には，教育拠点としての電子情報デザイン学科を設立し，現在11名の専任教員を有するまでになりました．LSI設計に多少とも関連する先生の数は20名を数えています．

我々立命館教員は，LSIに親しんだ多くの技術者を世に出すことを使命と考えています．そのため，電子系，機械系，情報系を中心に，学部では毎年300名の学生にLSIリテラシー教育を行っています．そして大学院では，STARC寄附講座に今年200名以上の院生が受講しています．

現在までVDEC事業に貢献する機会が少なく，VDECリフレッシュセミナーの会場にお使い戴いた程度でございますが，今後は，VDEC派遣教員等でもできうる限り御協力させて戴き，VDEC発展のお役に立ちたいと思っております．今回は本当におめでとうございました．

VDECが設立されてからはや10年が経過すると聞き，感慨深く感じています．VDECが始まった時期にスタートした私の研究室では「VDECの歴史＝研究室の歴史」でもあります．20年前，大学に戻った私は会社で習得した集積回路の製造技術開発の経験を生かして集積回路の設計を試みたものの，ベンダーから示された設計支援ソフトの金額を聞いて断念せざるを得なかった苦い思い出があります．それから10年後，何かの折に浅田先生に回路設計の環境が日本の大学には無いことを嘆いたところ，年末にはVDEC地方拠点立上げ経費がクリスマスプレゼントとして贈られてきました．この大きなプレゼントがその後の研究室の進む方向を決めるきっかけとなりました．

振り返ってみると，VDECの成功は，立ち上げ時期の若手教官の献身的な努力に拠るところが極めて大きかったと思われます．当時の若手教官は，学生からの質問に対して的確に回答をするだけでなく，質問メールの書き方まで懇切丁寧に教えていました．若手教官と学生とのやり取りをパソコン画面でみていた私は，頼りになる若手教官がいる限りVDECは成功すると確信しました．事実，VDECがスタートして1-2年後には，若手教官のボランティア精神が全国の学生にまで波及し，組織の枠組みを越えて学生同士が助け合う形のVDECが本格的に機能することになりました．その当時，VDECに参加した学生は「VDECの若手教官と全国の学生仲間に教えられた」と口を揃えて言っています．その意味では，VDECは，全国の教官と学生とが真に一体化した全国共同利用の数少ない成功例とみることができます．

最後に，VDECの今後の発展を祈念するとともに，VDEC立ち上げにご努力いただいた鳳先生のご冥福を祈ります．

京都大学VDECサブセンター
小野寺　秀俊

VDEC京都大学サブセンタには，LSIテスター（平成7年度導入），EBテスターとFIB装置（平成11年度導入）が設置され，本学内ならびに近隣大学のLSI設計教育研究を強力に支援している．平成8年のVDEC設立以前より，京都大学ではLSI設計ならびに設計支援技術の研究を行っていた．LSIも試作していたが，企業との共同研究の一環として相手企業に試作を依頼したり，海外の試作サービス会社を利用していた．数ミリ角のチップ試作に，1年間の校費配当額を超える費用が必要であった．CADツールも必要最小限のものを導入していたが，それらの購入にも多額の研究費を使っていた．1回では支払えず，分割で購入したツールもある．このように不十分な設計環境の中で，多額の研究費を使用してチップの設計や試作を行っていた．そのため，実際のチップ試作に携わる事の出来る学生の数も限られていた．

しかし，VDECの設立により，LSI設計に関する教育研究環境は劇的に変化した．LSI試作が安価に，そして容易に行えるようになった．また，設計に必要なCADツールが自由に使用できるようになった．もう，ライセンス数を気にして同時実行数に注意を払う必要も無い．LSIの設計試作が一気に身近な存在となり，LSI設計の本質に集中する事ができるようになった．日本国内でLSI設計に携わる学生の数も急増し，LSI設計教育のアクティビティと内容は質的に改善されたと感じている．また，メーリングリスト等では，VDECの若手利用者や教員によるバーチャルなコミュニティが形成され，CAD利用技術や設計ノウハウが交換・蓄積されている．VDECからは最先端プロセスでの試作サービスも提供されるようになり，大学においても世界最高性能のチップを実現できる環境が整った．このすばらしい環境を活用し，VDEC利用者のコミュニティが，エレクトロニクスシステムの設計教育研究において世界を牽引する存在となるよう，少しでも貢献できれば幸せである．

付録：VDECに関するデータ

(1) 統計データ

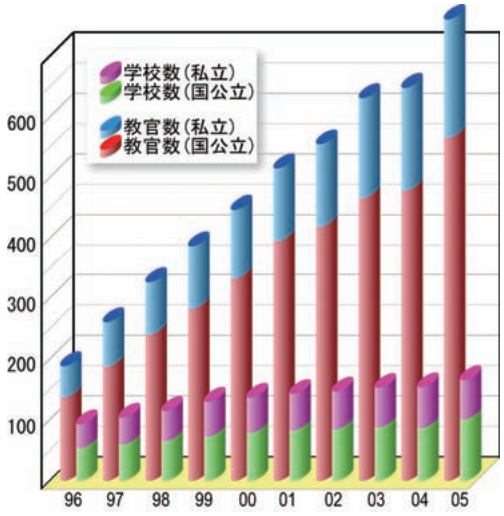


図1　VDEC利用学校数と教官数の年次推移

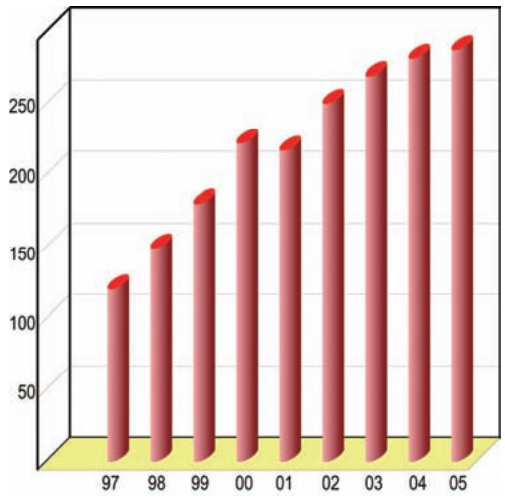


図2　CAD利用申請研究室数の年次推移

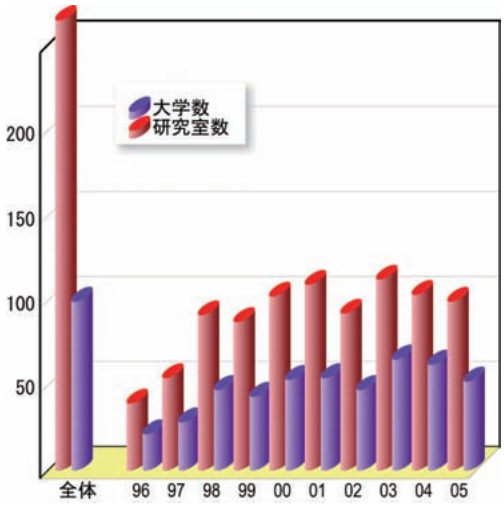


図3　チップ試作大学数と研究室数の年次推移

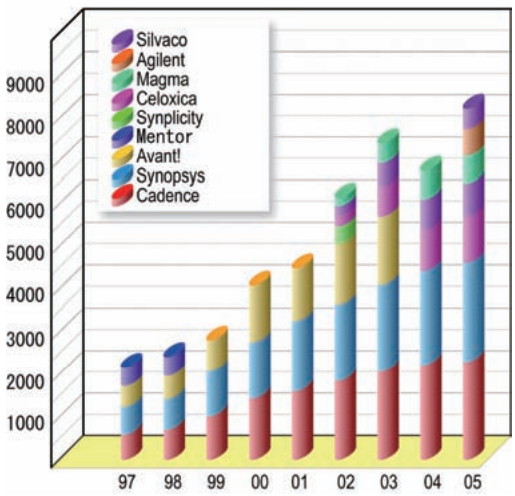


図4　CADライセンス利用数の年次推移

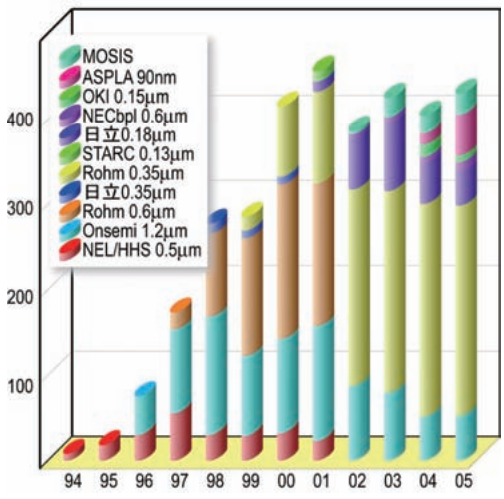


図5　チップ試作品種数の年次推移

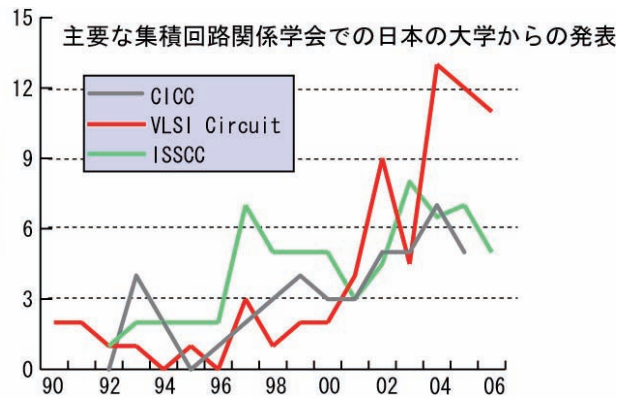


図6　集積回路関連の国際会議での日本の大学からの発表数

(2) VDECに関連のあるベンチャー企業

VDECでの設計/試作経験，人材育成が有効には機能した事例といたしまして，VDECと関連があった（ある）教員が起業したベンチャー企業のリストを以下に示します．（順不同）

[1] エイ・アイ・エル株式会社
（http://www.ailabo.co.jp/）
代表の先生：神戸大学　瀧 和男 教授
（同社，代表取締役社長）
事業内容：(1) HYPER　LSI　DESIGN
(2) 汎用コアの低消費電力，小面積，高速化ハードニング
(3) オリジナルライブラリ／IPの販売
(4) チップ受託開発

[2] 株式会社シンセシス
（http://www.synthesis.co.jp/）
代表の先生：大阪大学　白川 功 名誉教授
（同社，取締役）
事業内容：(1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供/設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社
（http://www.asip-solutions.com/）
代表の先生：大阪大学　今井 正治 教授
（同社，代表取締役 CTO）
事業内容：(1) EDAツールの提供
(2) 設計サービスとソリューション提供
(3) 自社IPの開発

[4] 株式会社ビヨンド・エルエスアイ
（http://www.beyondlsi.com/jp/index.html）
代表の先生：東京工業大学　國枝 博昭 教授
（同社，代表取締役）
事業内容：(1) バイオメトリクス応用製品のための開発，カスタム設計，共同開発，コンサルティング
(2) LSIの設計・開発，関連製品の販売

[5] 株式会社ナノデザイン
（http://www.nanodesign.co.jp/）
代表の先生：九州工業大学　中村 和之 助教授
（同社，代表取締役）
事業内容：(1) アナログLSI設計用CADツールの開発
(2) メモリLSI自動設計ツールの開発

[6] 株式会社NSCore（http://www.nscore.com/）
代表の先生：九州工業大学　中村 和之 助教授
（同社，取締役）
事業内容：標準CMOSプロセスによる新規不揮発メモリの設計・開発

[7] 株式会社エイアールテック
（http://www.a-r-tec.jp/）
代表の先生：広島大学　岩田 穆 教授
（同社，代表取締役）
事業内容：(1) アナログ・RF回路混載SoC設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

(3) VDEC構成員

現在のVDEC構成員

専任スタッフ

センター長・教授	浅田邦博
教授	藤田昌宏
客員教授	川手啓一
助教授	池田誠
助教授	高宮真
講師	高木一義
助手	鄭若彤
助手	小松聡
助手	佐々木昌浩
助手	吉澤真吾
専門職員	齊藤岳己
共同利用係長	小貫浩
共同利用係主任	杉田佳代子

協力教員

柴田直
（東京大学新領域創成科学研究科教授）
高木信一
（東京大学新領域創成科学研究科教授）
藤島実
（東京大学新領域創成科学研究科助教授）
三田吉郎
（東京大学工学系研究科電気工学専攻助教授）

非常勤職員

横地順子
吉田直美
萩田雅士
丸山由香子
楯智子
寶田芽衣子
瀬戸謙修
モハメド・アッバス
原田智之
ラトウナ・クリスラム・ナムワシィ

歴代のVDEC構成員

客員教授

1997～1998	家田　信明	（NEL）
	現在　電子情報通信学会　事務局長	
1999～2000	田中　正文	（ローム）
	現在　テクノマスマティカル	
2001～2002	玉置　洋一	（日立）
2003～2004	益子耕一郎	（STARC）
2005～2006	川手　啓一	（ASPLA）

流動教官

1997～1998	小谷　光司	（東北大学）
1997～1998	羽路　伸夫	（横浜国立大学）
1999～2000	北川　章夫	（金沢大学）
1999～2000	小出　哲士	（広島大学）
2001～2002	北神　正人	（千葉大学）
2001～2002	一色　剛	（東京工業大学）
2002～2003	小林　和淑	（京都大学）
2003～2004	服部　励治	（九州大学）
2004～2005	畠中　理英	（大阪大学）
2005～現在	高木　一義	（名古屋大学）
2006～現在	吉澤　真吾	（北海道大学）

専任スタッフ

（教授）

1996～2003	鳳　紘一郎	
1996～現在	浅田　邦博	
2004～現在	藤田　昌宏	

（助教授）

1996～1997	藤島　実	
1996～現在	池田　誠	
1997～2001	平本　俊郎	
2002～2004	年吉　洋	
2005～現在	高宮　真	

（助手）

1996～1999	韓　小逸	
1998～1999	中田　明良	
1999	伊藤　浩	
2000	三田　吉郎	
2000～2002	石原　亨	
1997～現在	鄭　若彤	
2001～現在	小松　聡	

2004～現在　佐々木昌浩

（事務職員）

1996～1998　新藤　正夫
1997～2000　松本　直衛
1998～2003　清水　　要
2000～2005　岩下　健吾
2000～2001　石井　肇雄
2002～2005　真弓　貞雄
2002～2005　麦谷　重男
2003～現在　小貫　　浩
2005　　蔵島　　弘
2005～現在　齋藤　岳己
2005～現在　杉田佳代子

図7　これまでにVDECで試作されたチップの搭載されたウエハ．すべて異なる品種のウエハである．

第1章　VDEC事業の紹介と平成17年度事業報告

1．1　VDEC事業の紹介と平成17年度事業報告

東京大学大規模集積システム設計教育研究センター（VDEC）は発足後10年目を迎える．平成17年度も『LSI教育情報の発信拠点形成』，『VLSI設計支援教育用CADソフトウェアの整備』，『VLSIチップ試作支援』を3つの柱として，円滑な運営を目指した事業を展開した．図1.1に示すVDECの活動内容に基づき，以下に平成17年度の概要を報告する．

VDECの使命は全国の国公私立大学および高専のLSI設計研究・教育を高度化し，産業界に対しても優秀なLSI設計技術者を数多く送り出すことである．しかし，VDEC発足当初，我が国の大学にはCADソフトウェア利用技術教育や実用的LSI設計フロー教育のカリキュラムはほとんど存在していなかったためVDECにとってはこれらの整備が急務の課題であった．CADソフトウェアの利用技術に関してはCADベンダーが独自の設計技術を有しており，これを導入することとした．大学院学生，若手教官を対象としてCADベンダーから講師を招き，それぞれのCADソフトウェア毎に年2回のセミナーを開催することとし，CADベンダーと契約を結んだ．これまで年2回の内1回はVDECで，残り一回は地方拠点校で実施している．参加定員は設備の関係でそれぞれ20～50名程度であり必ずしも十分とはいえないが，VDECとしては各ユーザ研究室内で"技術伝承"され，VDEC主催のセミナーがトリガーとなってCAD利用技術が全国的に広がることを期待している（1.3章参照）．

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である．この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを年1回（12月～1月）開催している．このコースは"ディジタル設計コース"，"アナログ設計コース"，"最先端設計事例コース"の3コースからなっている．前2者は演習を伴う体験教育コースであり，主要大学の経験豊かな教官を講師に招いて実施している．最先端設計事例コースは講義主体のコースであるが，大学および企業から第一線の講師を招き，設計経験をもとにした講演を行っている．

これらセミナーに加えてVDECでは年1回，若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している．これはワークショップ形式の会合であり，企業・大学からの招待講演に交えて，参加者が設計事例を持ち寄ってその成功談，失敗談を交換する．これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる．このフォーラムの成果はプロシーディングとして印刷物，CDROMの形で入手できる．

このようなセミナー，フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが，それでも実際のLSI設計の場面では，さまざまな困難に直面することが多い．初心者にとってはCADソフトウェアのセットアップは最大の問題である．セットアップの後もCADソフトウェアが発する"難解なエラーメッセージ"でとまどうことも多い．このような場合に力を発揮するものがVDECメールグループである．VDECユーザはVDECのホームページからCAD

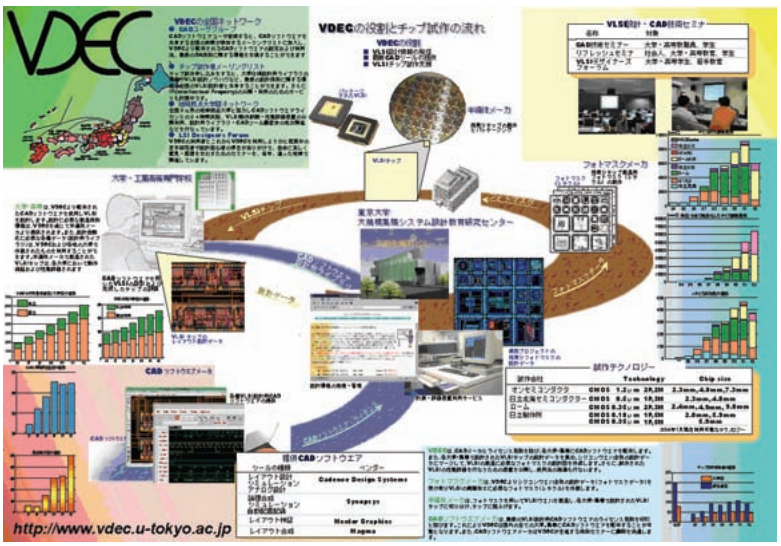


図1.1　VDECの活動内容

メールグループや試作技術対応のユーザグループに登録することができ，そこに直面する疑問点を投稿し，助けを求めることができる．メールグループの登録ユーザはそれに回答する義務を負っているわけではないが，ほとんどの場合，数時間から数日以内に経験豊かなユーザからの支援を得ることができる．また，今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され，教育上の資産として残していく仕組みになっている．(図1.2)．

VDECではこの支援活動に参加していただいているユーザに感謝の意を込めて，VDECデザイナー・フォーラムにて"最多回答ユーザ賞"をさしあげている．

VLSIチップ試作支援に関しては，従来のオンセミ1.2μm CMOS，ローム0.35μm CMOS，日立0.18μm CMOS，NEC 0.8μm Bipolarなどの試作に続き，90nmCMOS試作（ASPLA/STARC）を公募の形で本格的に運用し，また，共同研究という形で沖電気0.15μm SOI試作を実施している．さらに，VDECでは現在のサービス項目に載っていないBiCMOS，SiGe等について，アメリカのMOSISとの連携で，アカデミック価格で試作を行っている．

また，一流のLSI設計者を目指す学生に対してインセンティブを与える仕組みとしてLSI IPアワードを実施している．本アワードは半導体各社と日経BP社の支援でスタートしたIP開発支援のしくみであり，すでに7回目の募集を終えた．7回目は約51の応募にたいしその上位17件の優秀IPに対して100万円～200万円の賞金を授与されている（図1.3）．

VDEC発足以来10年目を迎え，9年余の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育がスタートしている．図1.4にVDECを利用した研究成果の指標として，VDECに関係する発表文件数の推移を示す．単純に比較はできないが発表文献の数は増加傾向にあり，VDEC発足以来，集積回路

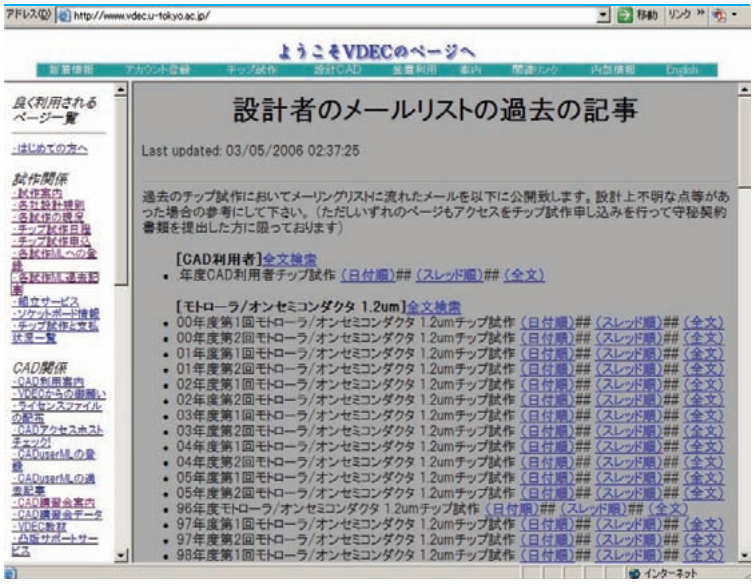


図1.2　VDECメーリングリスト検索システム

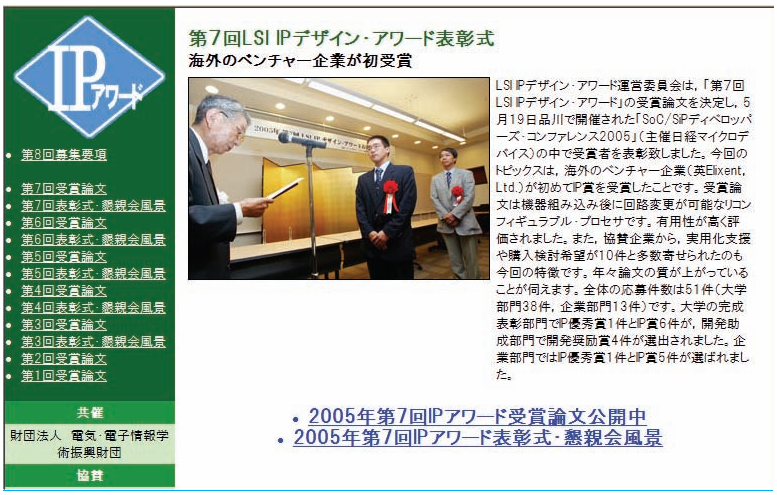


図1.3　LSI IP賞

に関係する研究が活性化されていることが確認できる．

図1.5にVDECに関係する発表文献のVDECファシリティー利用状況を示す．論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる．CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため，研究の基本アイデアを実証するツールとしての貢献度も大きい．また，研究論文には最先端のプロセステクノロジが好んで利用される傾向にあり，平成16年度からサービスを開始する沖電気の0.15 um SOIテクノロジとASPLA90 nmテクノロジの利用が期待できる．そのほかのファシリティーとして，LSIテスターやFIB加工装置，EB描画装置などが研究目的に幅広く利用されることを期待する．

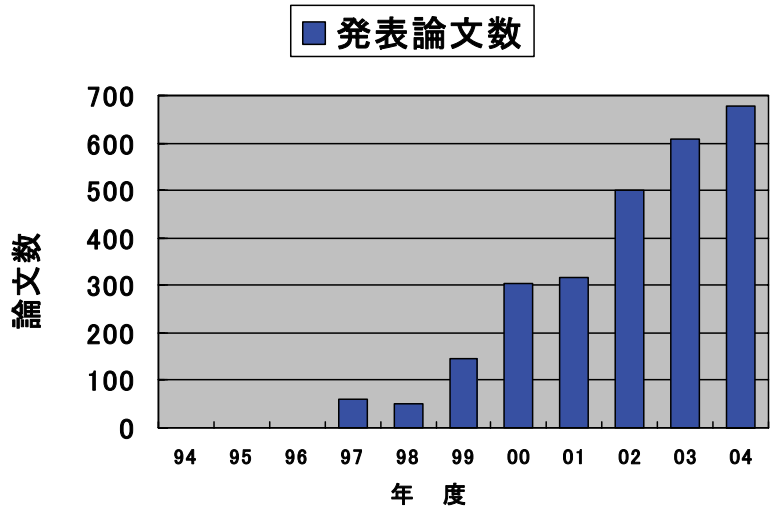


図1.4　VDECを利用した発表文献数の推移

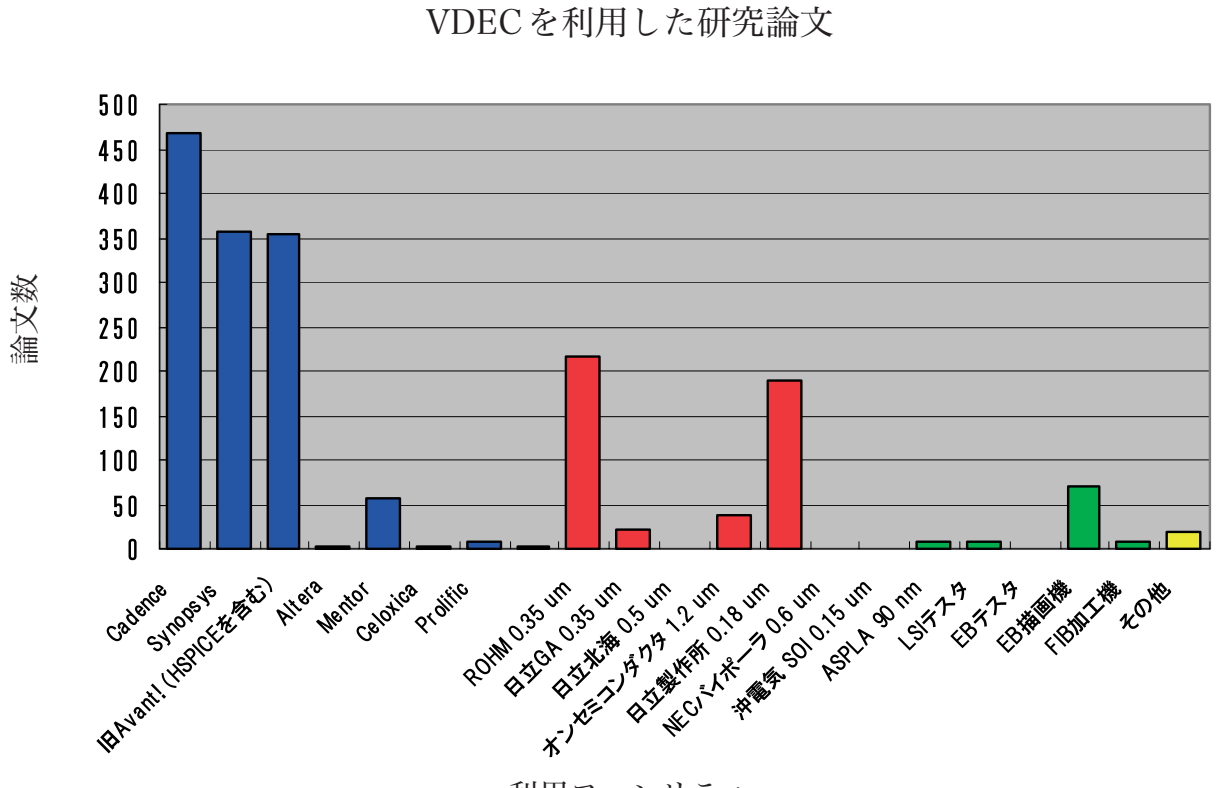


図1.5　VDECファシリティー利用状況

1．2　CADソフトウェアの整備

平成8 年度から整備を行っているCAD ソフトウエアは，平成17年度は表1.1に示すツール群を全国の大学に提供している．CADソフトウエアの利用は，図1.2に示す全国地域拠点校10 箇所にライセンスサーバを設置し，全国各大学の利用者が手許の計算機にインストールしたCADソフトウエアを，最寄のライセンスサーバにおいて認証を行うことで，ネットワークを利用した運用形態となっている．ライセンス数はCADの項目ごとに100から1000 程度のフローティングライセンスとなっており，全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている．

VDEC のCAD の利用，および「1．3 章 」のチップ試作の利用のためには，あらかじめユーザ登録が必要となっているが，これまでVDEC に利用登録をしている（a）全国教官数および（b）その所属する大学数および（c）CAD の利用申請があった研究室（教官）数の推移は図1.7 の通りである．

表1.1　導入されたCADシステム

名称	用途	メーカ
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力，シミュレーション，論理合成，テスト生成，マクロセルを含むセルベースの配置配線とバックアノテーション，会話型の回路図およびマスクレイアウト入力，アナログ機能・回路シミュレーション，設計検証，回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション，論理合成，テスト生成．マクロセルを含むセルベースの配置配線設計とバックアノテーション, 回路シミュレーション, デバイスシミュレーション	Synopsys, Inc.
Magma 社設計システム （平成17年7月まで）	VerilogHDL/VHDL シミュレーション，論理合成，配置配線設計とバックアノテーション	Magma Design Automation Inc.
レイアウト検証システム	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco社設計ツール	高速回路シミュレーション，デバイスシミュレーション	Silvaco
高周波回路設計検証システム	通信機器や関連デバイスなどの高周波回路/システムの設計，検証	Agilent Technologies
C言語ベース設計システム	Handel-C でシステム設計，合成，検証	Celoxica
C言語ベース設計システム	BachC 設計ツール	Sharp

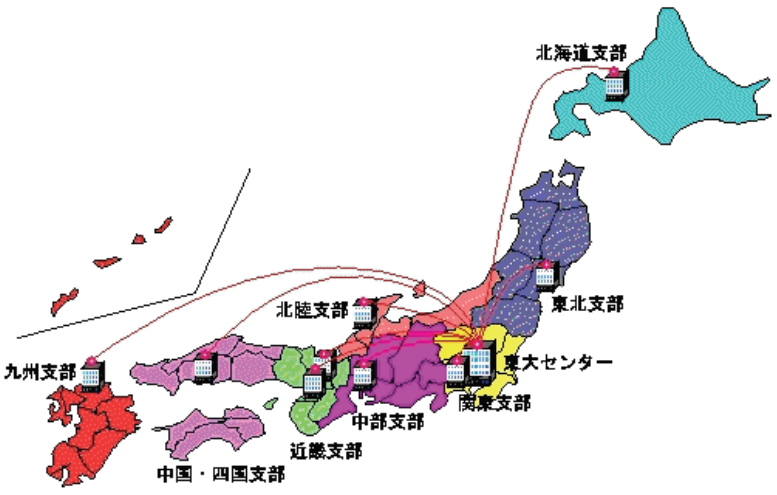
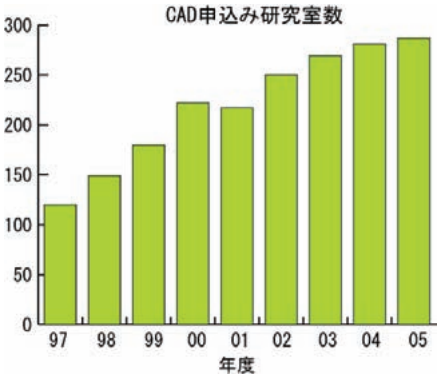
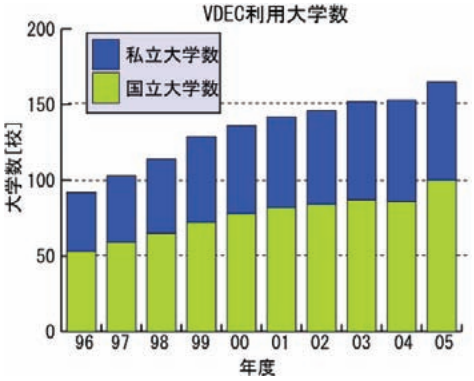


図1.6　全国地域拠点校

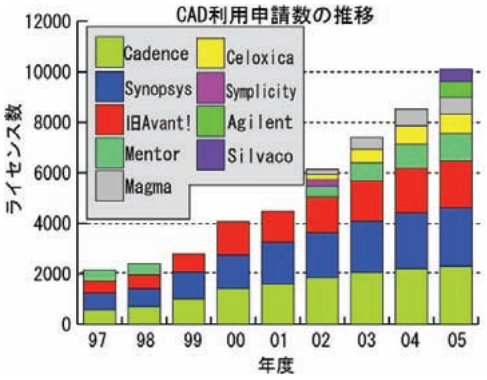
（a）利用登録教官数



（c）CAD 申し込み研究室数



（b）利用登録大学・高専数



（d）CAD 申し込み数

1．3　VDECチップ試作概況

1．3．1　VLSIチップ試作

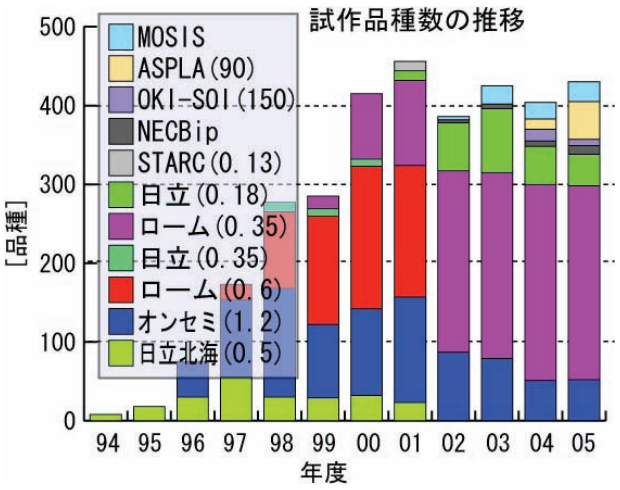
図1.3.1は，VDECおよび，それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである．

VLSIチップ試作は，平成6，7年度（1994，1995年度）のパイロットプロジェクトでは，ファウンドリはNEL社のCMOS0.5μm（当該プロセスはその後日立北海セミコンダクタ社に継続）1社であったが，平成8年度（1996年度）のVDEC発足後，日本モトローラ社のCMOS1.2μm（平成11年度からは，オン・セミコンダクターにて継続）が協力を開始し，平成9年度からはローム社のCMOS0.6μmが加わった．さらに平成10年度には日立製作所のCMOS0.35μm，平成11年度にはローム社0.35μmがそれぞれ加わった．また，IP開発プロジェクトの一環としてSTARC0.13μmの試作を行った．平成13年度から，日立製作所のCMOS0.18μmのサービスを実施している．平成14年度は，広島大学岩田先生の主導の下に，VDECとMOSISの協力による試作サービスを試行的に実施した．これは，TSMC，IBMといった海外のファブをMOSISを経由することで格安で提供するものである．さらに，東京大学柴田先生主導の元に，NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った．平成16年からテスト試作として沖電気CMOS SOI 0.15μmプロセスおよびASPLA 90nm（現在はSTARCにおいて継続）プロセスの試作を開始し，90nm試作については平成17年度より通常の試作として公募の形で運用を行っている．

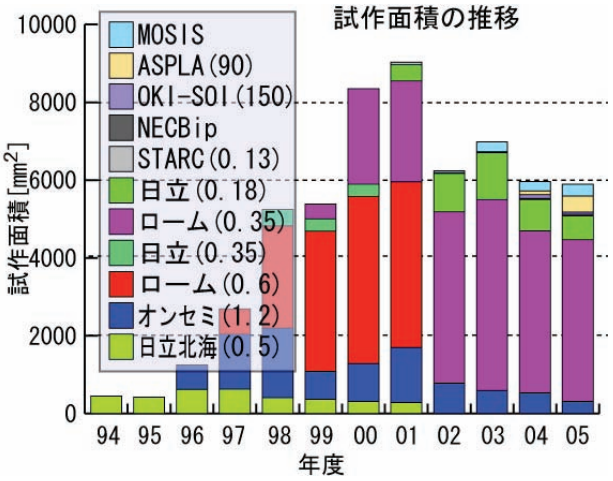
図1.3.1（a）は設計されたチップ品種数を示す．図中の棒グラフは，試作品種数の順調な増加を表しており，VLSI試作研究・教育に直接的に係わった学生数を表しているものと考えられることから，研究・教育効果が劇的に向上していることが想像される．試作されたチップの品種数は，02年度に減少しているが，これはROHM社の0.6umプロセスを終了したことによる現象が考えられる．またそれ以降ほぼ400品種程度で推移しているが，その中でより微細なプロセスへ試作の中心が推移していることが読み取れる．

図1.3.1（b）に設計されたチップ面積を示す．試作プロセスが微細化すると，集積度が向上することで，見かけ上試作面積が減少するように見える場合がある．そこで，図1.3.1（c）に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した，規格化試作面積の傾向も併せて示す．

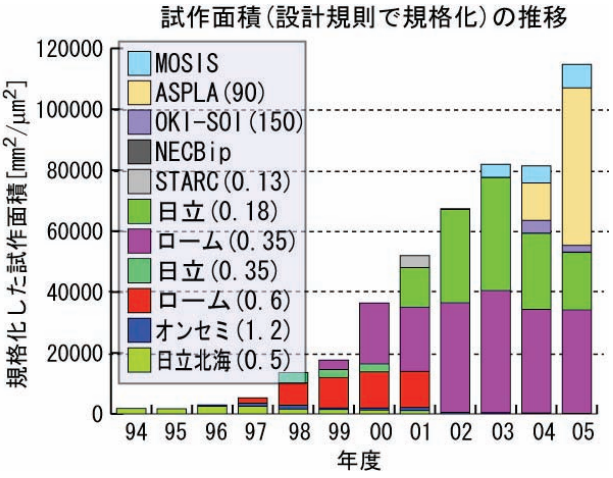
また，図1.3.2にこれまでに試作に参加した教官数，



（a）設計チップ品種数



（b）設計チップ面積



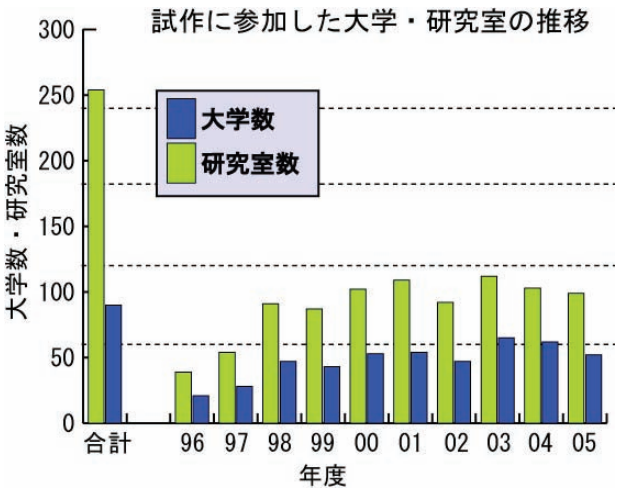
（c）規格化した設計チップ面積

図1.3.1　チップ試作数・面積推移

大学数の推移およびその累計を示す．また，チップ試作に必要な設計規則などの，試作会社固有の機密情報にアクセスするための「機密保持契約」締結教官数は，オンセミコンダクタが136名，ロームの0.35umプロセスが187名，日立製作所が77名，ASPLA/STARC90nmが34名となっている．

1．3．2　平成17年度チップ試作概況

平成16年度は，表1.3.1に示す日程でチップ試作を行った．チップ試作の参加者・試作の内容は，第2章のチップ試作報告を参照されたい．



（c）規格化した設計チップ面積

図1.3.2　VDECチップ試作参加教官数・大学数の推移とその累計

表1.3.1　平成16年度チップ試作日程

●CMOS 1.2um（オンセミコンダクタ：旧 日本モトローラ）

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成16年度第 2 回	2004/10/ 4	2005/ 1/11	2005/ 4/ 4	2005/ 6/28
平成17年度第 1 回	2005/ 4/ 4	2005/ 7/ 4	2005/10/ 3	2006/ 1/25
平成17年度第 2 回	2005/10/ 3	2005/ 1/10	2006/ 4/ 3	2006/ 7/17

●CMOS 0.35um（ローム）

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成17年度第 1 回		2005/ 3/25	2005/ 4/25	2005/ 8/19
平成17年度第 2 回		2005/ 4/22	2005/ 5/23	2005/ 8/19
平成17年度第 3 回	2005/ 3/28	2005/ 5/20	2005/ 6/20	2005/10/21
平成17年度第 4 回	2005/ 3/28	2005/ 6/17	2005/ 7/25	2005/10/21
平成17年度第 5 回	2005/ 4/25	2005/ 7/22	2005/ 8/22	2005/12/ 2
平成17年度第 6 回	2005/ 5/23	2005/ 8/19	2005/ 9/26	2006/12/20
平成17年度第 7 回	2005/ 6/20	2005/ 9/23	2005/10/24	2006/ 1/24
平成17年度第 8 回	2005/ 7/25	2005/10/21	2005/11/21	2006/ 2/23
平成17年度第 9 回	2005/ 8/22	2005/11/18	2005/12/19	2006/ 4/10
平成17年度第10回	2005/ 9/26	2005/12/16	2006/ 1/23	2006/ 5/ 1
平成17年度第11回	2005/10/24	2006/ 1/20	2006/ 2/20	2006/ 6/ 5
平成17年度第12回	2005/11/21	2006/ 2/17	2006/ 3/27	2006/ 7/ 3

●CMOS 0.18um（日立）

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成17年度第 1 回	2005/ 1/11	2005/ 4/18	2005/ 7/19	2005/12/20
平成17年度第 2 回	2005/ 7/ 4	2005/10/11	2006/ 1/10	2006/ 5/15

●Bipolar（NEC）

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回			2005/ 9/30	2006/ 3/24

●CMOS SOI 0.15um（OKI）

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回			2005/ 3/14	2005/ 9/30
第 2 回			2005/10/ 7	2006/ 3/17

● CMOS 90nm（ASPLA）

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成17年度第 1 回	2004/12/10	2005/ 1/15	2005/ 5/25	2005/ 8/ 5
平成17年度第 2 回			2005/10/21	2006/ 1/13
平成17年度第 3 回			2006/ 1/16	2006/ 4/27

1．3．3　ライブラリ整備状況

VDECにおけるチップ試作（主にディジタルLSI試作）では，設計ライブラリの整備が重要である．VDECでは，VDEC提供CADソフトウエア中のライブラリ生成ツールを利用して，平成8年度から順次ライブラリ整備事業を行ってきている．現状では，VDECにおける各プロセスの試作において，利用可能なライブラリは表1．3．2に示すとおりとなっている．

表 1.3.2 VDECで利用可能なライブラリ

プロセス	名称	作成者	内容	状況
HHS（NEL） 0.5 μm	P2lib	京都大学小野寺研究室	・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・CellEnsamble用配置配線ライブラリ	試作チップの動作検証完了
		http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html		
	EXDlib	九州大学安浦研究室	・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・VHDL用シミュレーションライブラリ ・Apollo用配置配線ライブラリ ・CellEnsamble用配置配線ライブラリ	試作チップの動作検証完了
		http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html		
MOT （On Semi） 1.2 μm	P2lib	京都大学 小野寺研究室	・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・CellEnsamble用配置配線ライブラリ	試作チップの動作検証完了
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html		
	EXDlib	東京大学VDEC	・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・Apollo用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html		
日立0.35 μm ROHM0.35μm	EXDlib	東京大学VDEC		
	日立ゲートアレイ			
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html		
	京大lib	CDROMにて配布 京都大学　小野寺研究室		
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
	EXDlib	東京大学VDEC	・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・Apollo用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
	パスポートライブラリ		・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・Apollo用配置配線ライブラリ	日立から提供のセルをApolloGAに移植
		CDROMにて配布		
日立0.18 μm	京大lib	CDROMにて配布 京都大学　小野寺研究室	・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・ApolloII用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
	EXDlib 日立ゲートアレイ	東京大学VDEC http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/	・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・Apollo用配置配線ライブラリ	
		http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html		
	パスポートライブラリ	CDROMにて配布	・Synopsys用論理合成ライブラリ ・VerilogXL用シミュレーションライブラリ ・VHDL用シミュレーションライブラリ	ロームから提供

1．4　CADセミナー

LSI設計技術の向上にはセミナーは欠くことができない存在である．平成16年度には，CAD 利用のための技術セミナー，社会人のためのリフレッシュセミナー，若手教官・学生のためのデザイナーズフォーラム等のセミナー，フォーラムを企画，実施した．

CAD 利用のための技術セミナーでは，VDEC で使用可能なCadence，Synopsys，Magma，Mentor Graphics, SilvacoなどCADベンダーのそれぞれのCADツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている．また，VDEC で開発したライブラリを用いたチップ設計に関する講習もVDEC スタッフで実施している．平成16年度は，8月と9月に初心者を対象とした第1回のCAD 利用のための技術セミナーを東京大学VDEC で実施した．この技術セミナーでは，Cadence のツールを5日間，Synopsys のツールを7日間, Magma のツールを2日間，Mentor Graphicsのツールを2日間，Silvacoのツールを1日間，Xilinxのツールを2日間で実施し，各コースに40名までの教官・学生の受講があり，各ツールの使用方法やVDEC ライブラリを用いたVLSI 設計フローを修得している．また3月には上級者を対象としたCAD技術セミナーを地方拠点（北海道，名古屋，東北，金沢，九州）及び東京で実施し，Cadence，Synopsys，Magma，Mentor Graphics，Sharp等各社の最新のツールの上級トレーニングを行った（表1.4.1）．

【CAD 利用のための技術セミナー】

図1.4.1　地方拠点校で開催したCAD講習会会場風景（北海道大学）

表1.4.1　平成16年度CAD技術セミナー開催状況

講習項目	開催地	開催時期	参加人数	講習内容
Agilent, ADS 基礎講習会	東京大学	2005年 7/28（木）−29（金）	28	ADS（Advanced Design System）の基本的な使用法と、能動回路の設計に必要な知識の学習
Cadence, FE-Ultra 講習会	東京大学	2005年 8/22（月）−23（火）	11	フィジカル・バーチャル・プロトタイプ設計ツールであるFEの機能的特徴、及び基本的な使用方法の学習
Cadence, VLE 講習会	東京大学	2005年 8/24（水）	40	Layout Editorの使用方法、Pcell（Parameterized Cell）の概念と作成方法、Stream変換の学習
Cadence, Artist-CAE 講習会	東京大学	2005年 8/25（木）−26（金）	34	Artist-CAEの基礎と操作方法の学習
Synopsys, Astro 講習会	名古屋大学	2005年 9/01（木）−02（金）	22	自動配置配線コアツールAstroのデザインフローと各フェーズでの機能の習得
Synopsys, Chip synthesis 講習会	大阪大学	2005年 9/06（火）	15	論理合成ツール Design Compiler を用いて、合成条件の設定、結果の解析、階層設計を行う場合のストラテジなどを学習
Synopsys, HSPICE 講習会	東京大学	2005年 9/13（火）−14（水）	40	HSPICE の基本的な機能と回路記述方法をベースに、演習問題を通じてHSPICE の操作方法と、シミュレーション統合環境 CosmosSE を用いたシミュレーション・フローを学習
Mentor, Calibre 講習会	東京大学	2005年 9/15（木）−16（金）	26	IC レイアウト検証ツール Calibre を使用して、ルールファイルの作成方法、DRC/LVSの実行方法の学習。
Sharp, Bach C 講習会	東京大学	2005年 9/21（水）−22（木）	9	C言語記述から回路を自動合成するBachシステムの使用方法について演習を交えて習得
Cadence Analog Artist 講習会（初心者向け）	金沢大学	2006年 3/7（火）−3/8（水）	11	Analog Artistの環境設定、およびシミュレーションの実行と解析方法の学習
Cadence AMS 講習会（中〜上級向け）	広島大学	2006年 3/14（火）−3/15（水）	3	Virtuoso AMS Designerの基本的な使用方法 Verilog-AおよびVerilog-AMSの使用方法
HSPICE 講習会	九州大学	2006年 3/16（木）−3/17（金）	15	HSPICE の基本的な機能と回路記述方法をベースに、演習問題を通じてHSPICE の操作方法と、シミュレーション統合環境 CosmosSE を用いたシミュレーション・フローの学習
Agilent ADS 講習会	東北大学	2006年 3/28（火）−3/31（金）	9	ADS（Advanced Design System）の基本的な使用法と、能動回路の設計に必要な知識の学習。ADSの操作環境で動作するモーメンタムの基本操作の実習
Silvaco 講習会	東京大学	2006年 4月7日（金）	8	STARCの90nmスターシャトルのアナログPDKを使用した設計フローの紹介

これらCAD技術セミナーへの参加要望は非常に大きいため，VDEC拠点校の協力を得ながら各地方拠点校で開催しているが，地方拠点開催でもその地方からの参加者にとどまらず，遠方からの参加希望が多く寄せられている．これはCAD技術セミナーに対する需要が依然として大きなことを表しており，VDECはこの状況に対応し，大規模なCAD技術セミナー開催の仕組みの整備を行ってきた．

平成17年度12月～1月には平成16年度に引き続き，集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI 設計に関する最新かつ高度の知識・技術の習得を目的として，社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した（表1.4.2）．

このセミナーは主に社会人を対象として，演習を伴う最新のVLSI 設計技術の実践的教育を行うもので，平成10年度に文部省専門教育課の支援のもとでスタートしたが，今年度は（財）電気電子情報振興財団の協力（共催）を得，また文部省高等教育局専門教育課，日本電子機械協会（EIAJ），システムLSI 開発支援センター（VSAC），半導体理工学研究センター（STARC），日本応用物理学会，情報処理学会，電気学会，電子情報通信学会の協賛をあわせて得ることができ，大変効果的で有意義なセミナーとなった．

【社会人のためのリフレッシュセミナー】

図1．4．2 平成17年度リフレッシュ教育ポスター

表1.4.2　リフレッシュセミナー開催状況

講習項目	開催日	講師	参加数	講習概要
コース1： HDL によるディジタル集積回路設計と演習	2005年11月 15日(火)～18日(金)	今井正治(大阪大学 教授), 越智裕之(京都大学 助教授), 小林和淑(京都大学 助教授), 池田　誠(東京大学 助教授)	12	ハードウェア記述言語(HDL)によるディジタル集積回路設計, Verilog HDL を用いたFPGA の設計演習, 論理合成と自動配置配線手法による ASIC 設計の流れの演習
コース2： アナログ集積回路設計と演習	2006年1月 10日(火)～12日(木)	杉本泰博 (中央大学 教授), 小野寺秀俊(京都大学 教授), 小谷光司(東北大学 助教授)	42	アナログ集積回路の特徴と役割, レイアウト設計, 設計検証, 回路シミュレーション
コース3： アナログ集積回路設計と演習	2006年1月 24日(火)～27日(金)	江崎達也 (広島大学 助教授), 藤島　実(東京大学 助教授), 松岡俊匡(大阪大学 助教授)	38	RF 回路シミュレーションのための MOSFET モデル, RF CMOS 回路の基礎, RF 回路の基礎
コース4： 最先端VLSI 設計実例	2006年1月 18日(水), 31日(火)	益子耕一郎 (STARC), 村上和彰(九州大学 教授), 石原　亨(九州大学 助教授), 井上弘士(九州大学 助教授) (東工大), 小久保 (日立製作所,その他最先端で活躍されている多数の研究者	75	先端デジタル設計と先端アナログ設計の最先端VLSI設計実例の紹介

本年度はVLSI 設計に関する4つのコース（コース1：HDL によるディジタル集積回路設計と演習（11/15 ～ 11/18 実施），コース2 ：アナログ集積回路設計と演習（1/10 ～ 1/12 実施），コース3 ：CMOS-RF 集積回路設計と演習（1/24 ～ 1/27 実施），コース4 ：最先端VLSI 設計実例（1/18, 1/31）を開催し，講師として大学・企業の集積回路研究・教育に携わる教官や研究者19名を招聘し，VLSI 設計に関する講義や最新のCADツールを使用した実習をはじめ，最先端のVLSI 設計技術の紹介を行った．参加者はコース1，2, 3，4 はそれぞれ12名,42名,38名,75名あり，延べ169名となった．

図1.4.3　平成17年度リフレッシュ教育会場風景（東大VDECセミナー室）

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム（VDEC LSI Designers Forum）を開催している．VDEC LSI デザイナーフォーラムは，LSI設計者が，互いの研究成果だけではなく，チップ設計で苦労した点，失敗事例と解決策，CAD業界の裏話，研究室に於ける設計環境の構築法など，通常の研究会や学会などでは得ることのできない情報を共有し，大学または研究室の枠を越えて研究者が連携を深めることを目的としている．2005年は，8月23日，24日に静岡県熱海市で開催された．今回は，Ph.D.企画セッションが企画，実行された．また，本フォーラム開催にあたって，会場・宿泊設備その他の準備，スタッフの手配等は，地元幹事大学のご協力により実現されている．平成17年度は，東京工業大学の岡田先生に幹事を務めて頂いた．また，Ph.D.企画は京都大学土谷さん，立命館大学三木さん，大阪大学小笠原さん，東京大学飯塚さんの立案により開催された．

図1.4.3　VDECデザイナーズフォーラム会場風景

表1.4.3　平成16年度デザイナーズフォーラムプログラム

8月23日	13:00-13:20	開会の挨拶 VDECの活動について	東京大学 池田 誠先生
	13:20-13:50	招待講演「ASPLA90nmでのディジタル回路設計法」	京都大学 小林 和淑先生
	13:50-14:20	招待講演「微細プロセスにおけるアナログ回路設計の課題」	東京工業大学 松澤研究室 倉科 隆先生
	14:20-14:45	招待講演「95mW MPEG2 MP@HL 動き検出プロセッサコアIPの開発」	神戸大学 吉本研究室 村地 勇一郎
	14:45-14:55	休憩10分	
	14:55-15:20	招待講演「LSIチップ上の信号測定のためのオンチップマルチチャネル信号モニタの開発」	神戸大学 永田研究室 野口 宏一朗
	15:20-15:45	招待講演「実時間認識システムのための画像処理プロセッサ」	東京大学 柴田研究室 山崎 英男
	15:45-16:10	招待講演「ミリ波帯無線トランシーバのRFフロントエンドの設計」	東京大学 藤島研究室 山本 憲
	16:10-16:40	招待講演「高速・低消費電力アナログ・ディジタル変換回路の設計」	東京大学 浅田研究室 佐々木 昌浩先生
	16:40-17:00	休憩20分	
	17:00-18:00	Ph.D.企画セッション	
	18:00-19:00	休憩	
	19:00-20:30	夕食（宴会）	
	20:30-22:00	ポスターセッション	
	22:00-24:00	3次会（希望者のみ）	
8月24日	9:30-10:00	招待講演「算術演算回路の設計事例」	名古屋大学 高木 一義先生
	10:00-11:00	特別招待講演「On-chip Measurement Macros for Power and Signal Integrity」	東京大学 高宮 真先生
	11:00-12:00	招待講演「性能歩留まりの改善を目的としたコンパイラ最適化手法」	九州大学 石原 亨先生

【その他の共催・協賛セミナー】

日本学術振興会第165委員会が主催する「VLSI 設計・夏の学校」への協賛を行い，こちらも盛況であった．（社）電子情報通信学会　VLSI 設計技術研究会が主催する講習会「VLSI 設計演習」への協賛も行った．

1．5　装置の整備・運用・利用公開

VDECでは，発足以来導入されてきた装置を維持管理するとともに，全国大学教員に対し公開している（一部装置は，試験公開中）．表1.8に装置の一覧と利用公開の状況を示す．装置は，VLSI用大型テスターと，その他若干のプロセス装置とに大別できる．VDEC発足以来，東京大学工学部各号館へ分散配置されてきたが，平成16年度末までに「武田先端知ビル」内の1階実験室ならびに地下スーパークリーンルームに装置の移設が完了し，これまで以上に有機的な連携をもって利用することができるようになった．また，平成16年度に株式会社アドバンテストより最新鋭のテスター（T2000）と電子線描画装置（F5112+VD01）とが寄附された． F5112は平成17年4月より試験公開をはじめ，一年間の利用実績は，6大学・研究機構の21研究室のスタッフと学生による年間482人日，合計917回の描画（うちマスク438枚，直接描画479回）であった．T2000についてもほぼ全国公開に向けた整備にめどがつきつつある．

平成9年度より各種治具の標準化に取り組んだ結果，VDECが推奨する標準ピン配置に基づき試作したデジタルLSIは，治具をその都度作製することなく，VDECおよび拠点校のLSIテスターにより評価が行える体制が整っている．さらに，今後新たな品種の試作が可能になった場合においても，品種に応じたドーターボードを1種類準備することで，全国の各大学におけるLSIテスターに対応可能な体制が整っている．今後，LSIテスト法およびLSIテスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り，試作したLSIの特性・性能評価が容易に行える環境の整備に努めたい．試作チップの評価に関しては，発足当初よりQFPやBGAパッケージを実装できるソケットの頒布およびソケットのピンを標準2.54mmピッチに変換する変換ボードを開発してきた．WEB経由の申し込みにより購入することができる．電子線描画装置，集束イオンビーム加工装置は，限られたスタッフのなかで，できるだけ多く利用機会を設けたいという思想から，免許を持っている人間から一定期間装置利用法を習得し，試験に合格したのち利用資格を与える「徒弟免許制度」を考案し，試験運用を行っている．

公開されている装置に関しては，セミナーの受講者に対して利用者資格を認定し，利用は，利用者資格を有する者もしくはその同伴の場合による利用を原則としている．必要に応じ，VDECの職員などが対応することで，利用を認める場合もあるので，個別に相談いただきたい．

表1.4.2　リフレッシュセミナー開催状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSIテストシステム	ミックスシグナルLSIテスター: ITS 9000Exa	100MHz/200MHz320ピンのデジタルピンおよび4チャネルのアナログピンを有している。VDECにおいて標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@vdec.u-tokyo.ac.jp
	EBテスター: IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	IDS5000@vdec.u-tokyo.ac.jp
	LSIテスター：HP8300	384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	HP83000@vdec.u-tokyo.ac.jp
	LSIテスター：ADVANTEST	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	equipment@vdec.u-tokyo.ac.jp
	回路修正用FIB: IDSP2X	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	オートプローバ: PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	equipment@vdec.u-tokyo.ac.jp

項目	装置名	説明	利用公開状況	連絡先
アナログ・RF 測定システム	アナログ・RF 測定装置一式: HP4156B, HP4284, etc	DC パラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但し VDEC の業務による利用を優先とする	equipment@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ: Cascade 社	マニュアルにて 6 インチまでのウエハ上のチップの測定が可能。測定には、通常のプローブ針（6 本まで）のほか、50GHz までの測定が可能な高周波プローブを 2 本備える		
	低雑音・温度制御機構付きセミオートプローバ: S_ss Microtec 社	8 インチまでのウエハ上のチップの測定が可能。ウエハ温度を－50 ℃から 200 ℃まで制御可能。プローブカードによる測定。GPIB を介した制御を行うことで半自動測定も可能		
	極低温プローバ：長瀬産業株式会社	5 インチウエハを 25K まで冷やした測定が可能	要相談	equipment@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置: F5112+VD01	半導体製造用 2.3mm 厚 4,5 インチマスクの描画およびエッチング、2-4 インチ並びに不定形ウエハへの直接描画が可能。性能保障描画寸法 0.1μm。	試験的に公開中	equipment@vdec.u-tokyo.ac.jp
汎用 FIB システム	FIB 装置：SMI9800MSP	ガラスマスクの欠陥修正の他、断面観測のための加工等が可能	試験的に公開中	equipment@vdec.u-tokyo.ac.jp

1．6　VDEC利用者に関する発表文献リスト

1．研究論文

[1] Shen Li, Yong Jiang, Takeshi Ikenaga, Satoshi Goto, "Content-Based Motion Estimation with Extend Temporal-Spatial Analysis, " IEICE Trans. Inf. & Syst., Vol. E88-D, No. 7, pp. 1561-1568, July 2005.

[2] Lingfeng Li, Satoshi Goto, Takeshi Ikenaga, "A Highly Parallel Architecture for Deblocking Filter in H.264/AVC, " IEICE Trans. Inf. & Syst., Vol. E88-D, No. 7, pp. 1623-1629, July 2005.

[3] Zhenyu Liu, Yang Song, Takeshi Ikenaga, Satoshi Goto, "A VLSI Array Processing Oriented Fast Fourier Transform Algorithm and Hardware Implementation, " IEICE Trans. Fundamentals, Vol. E88-A, No. 12, pp. 3523-3530, Dec. 2005.

[4] T. Iizuka, M. Ikeda, and K. Asada, "Yield Optimal Layout Synthesis of CMOS Logic Cells by Wiring Fault Minimization, "IEICE Trans. on Fundamentals, Vol. E88-A, No. 7, pp. 1957-1963, Jul. 2005.

[5] T. Iizuka, M. Ikeda, and K. Asada, "Exact Minimum-Width Transistor Placement for Dual and Non-Dual CMOS Cells, "IEICE Trans. on Fundamentals, Vol. E88-A, No. 12, pp. 3485-3491, Dec. 2005.

[6] T. Nakura, M. Ikeda, and K. Asada, "On-Chip di/dt Detector Circuit, "IEICE Trans. on Electronics, Vol. E88-C, No. 5, pp. 782-787, May 2005.

[7] U. Ekinciel, H. Yamaoka, H. Yoshida, M. Ikeda, and K. Asada, "A Performance Driven Module Generator for a Dual-Rail PLA with Embedded 2-Input Logic Cells, "IEICE Trans. on Information and Systems, Vol. E88-D, No. 6, pp. 1159-1167, Jun. 2005.

[8] K. Maezawa, M. Sakou, W. Matsubara, T. Mizutani, "Resonant tunneling delta sigma modulator suitable for high-speed operation, "Electron. Lett., Vol. 42, No. 2, pp. 77-78 (2006)

[9] I. Soga, S. Hayashi, Y. Ohno, S. Kishimoto, T. Mizutani, "Direct integration of GaAs HEMT on AlN ceramic substrates using fluidic self-assembly, "Electron. Lett., Vol. 41, pp. 1275-1276 (2005)

[10] K. Maezawa, Y. Komoto, S. Kishimoto, T. Mizutani, M. Takakusaki, H. Nakata, "Controlling high-frequency chaos in resonant tunneling chaos generator circuits, "IEICE ELEX , Vol. 2 No. 12 (June 25, 2005), pp. 368-372 (2005)

[11] K. Maezawa, T.Iwase, Y. Ohno, S. Kishimoto, T. Mizutani, K. Sano, M. Takakusaki, H. Nakata, "Metamorphic Resonant Tunneling Diodes and Its Application to Chaos Generator ICs, "Jpn. J. Appl. Phys. , Vol. 45, pp. 4790-4794 (2005)

[12] Asai, Kamiya, Hirose, and Amemiya, "A subthreshold analog MOS circuit for Lotka-Volterra chaotic oscillator, "International Jounal of Bifurcation and Chaos, Vol. 16, No. 1, pp. 207-212 (2006)

[13] Suzuki, Takayama, Motoike, and Asai, "A reaction-diffusion model performing stripe- and spot-image restoration and its LSI implementation, "IEICE Trans. on Fundamentals (Japanese Edition), Vol. J87-A, No. 11, pp. 1272-1281 (2005).

[14] Asai, De Lacy Costello B., and Adamatzky A., "Silicon implementation of a chemical reaction-diffusion processor for computation of Voronoi diagram, "International Journal of Bifurcation and Chaos, Vol. 15, No. 10, pp. 3307-3320 (2005)

[15] Ikebe, and Asai, "A digital vison chip for early feature extraction with rotated template-matching cellular automata, "Journal of Robotics and Mechatronics, Vol. 17, No. 4, pp. 372-377 (2005)

[16] Nakada, Asai, and Amemiya, "Analog CMOS implementation of a locomotion controller with floating-gate devices, "IEEE Transactions on Circuits and Systems I, Vol. 52. No. 6, pp. 1095-1103 (2005).

[17] Myoren H., Goto M., Taino T., Kikuchi K., Nakagawa H., Tokoro K., Aoyagi M., Takada S., Double Relaxation Oscillation SQUID with a 4JL On-Chip Digital Flux Locked-Loop Circuit, IEEE Trans. Appl. Supercond., Vol. 15, No. 2, pp. 332-335(2005).

[18] 樽木　久征，今井　功，浜本　隆之，大竹　浩，“フレーム間およびフレーム内相関を用いた動画像圧縮イメージセンサ，”映像情報メディア学会

誌，Vol. 60, No. 3, pp. 390-396（2006）

[19] S. Komatsu, M. Fujita, "Low Power and Fault Tolerant Encoding Methods for On-Chip Data Transfer in Practical Applications, "IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E88-A, No. 12, pp. 3282-3289, Dec. 2005.

[20] G. Zeng, H. ITO, "X-Tolerant Test Data Compression for SOC with Enhanced Diagnosis Capability, "IEICE Trans. Inform. and Syst., Vol. E88-D, No. 7, pp. 1662-1670（2005）

[21] K. Namba, H. Ito, "Scan Design for Two-Pattern Test without Extra Latches, "IEICE Trans. Inf. & Syst. Vol. E88-D, No. 12, pp. 2777-2785（2005）

[22] Yoshihiro Watanabe, Takashi Komuro, Shingo Kagami, Masatoshi Ishikawa! Parallel Extraction Architecture for Information of Numerous Particles in Real-Time Image Measurement, Journal of Robotics and Mechatronics, Vol. 17, No. 4, pp. 420-427, 2005.

[23] 佐藤，深瀬，“学内無線LANにおける不正アクセス・コンピュータウイルス問題のハード的解決手段の開発，”pp. 15-26, 学術情報処理研究（2005）

[24] Hidetoshi Onodera, "Variability! Modeling and Its Impact on Design, "pp. 342-348, Vol. E89-C, No. 3, IEICE Trans. Fundamentals（2006）

[25] Yoichi Yuyama, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera, "Alternative Self-Shielding for High-Speed and Reliable On-Chip Global Interconnect, "pp. 327-333, Vol. E89-C, No. 3, IEICE Trans. Fundamentals（2006）

[26] Takashi Sato, Masanori Hashimoto, Hidetoshi Onodera, "Successive Pad Assignment for Minimizing Supply Voltage Drop, "pp. 3429-3436, Vol. E88-A, No. 12, IEICE TRANS. FUNDAMENTALS（2005）

[27] Masanori Hashimoto, Tomonori Yamamoto, Hidetoshi Onodera, "Statistical Analysis of Clock Skew Variation in H-Tree Structure, "pp. 3375-3381, Vol. E88-A, No. 12, IEICE TRANS. FUNDAMENTALS（2005）

[28] Atsushi Muramatsu, Masanori Hashimoto, Hidetoshi Onodera, "Effects of On-Chip Inductance on Power Distribution Grid, "pp. 3564-3572, Vol. E88-A, No. 12, IEICE TRANS. FUNDAMENTALS（2005）

[29] K.Kobayashi, M.Aramoto, H.Onodera , "A resource-Shared VLIW Processor for Low-power On-Chip Multiprocessing in the Nanometer Era, "pp. 552-558, Vol. E88-C, No. 4, IEICE Trans. on Electronics（2005）

[30] A.Tsuchiya, M.Hashimoto, H.Onodera, "Performance Limitation of On-Chip Global Interconnects for High-Speed Signaling, "pp. 885-891, Vol. E88-A, No. 4, IEICE Trans. on Fundamentals of Electronics, Communications ond Computer Sciences（2005）

[31] 池辺他，“負帰還リセットによる蓄積容量偏重型CMOSイメージセンサ，”映像情報メディア学会誌（2006）

[32] K. Kawakami, M. Kanamori, Y. Morita, J. Takemura, M. Miyama, and M. Yoshimoto, "Power-Minimum Frequency/Voltage Cooperative Management Method for VLSI Processor in Leakage-dominant Technology Era, "IEICE Trans. Fundamentals, Vol. E88-A, No. 12, pp. 3290-3297, Dec. 2005.

[33] J. Miyakoshi, Y. Murachi, K. Hamano, T. Matsuno, M. Masayuki, M. Yoshimoto, "A Low-Power Systolic Array Architecture for Block-Matching Motion Estimation, "IEICE Trans. Electoronics, Vol. E88-C, No. 4, pp. 559-569, April 2005

[34] Y. Murachi, K. Hamano, T. Matsuno, J. Miyakoshi, M. Miyama, M. Yoshimoto, "A 95 mW MPEG2 MP@HL Motion Estimation Processor Core for Mobile Video Application."IEICE Trans. Fundamentals, Vol. E88-A, No. 12, pp. 3492-3499, Dec. 2005.

[35] S. Cha, Y. Shimizu, G. Kim, T. Matsuoka, and K. Taniguchi, "A 1-V 120-MHz FD-SOI CMOS Linear-in-dB Variable Gain Amplifier, "IEICE Electronics Express, Vol. 2, No. 7, pp. 249-253, Apr. 2005.

[36] H. Shima, T. Matsuoka, and K. Taniguchi, "A New Inductance Extraction Technique of On-wafer Spiral Inductor Based on Analytical Interconnect Formula, "IEICE Trans. Electron, Vol. E88-C, No. 5, pp. 824-828, May 2005.

[37] Y. Utsurogi, M. Haruoka, T. Matsuoka, and K. Taniguchi, "CMOS Front-end Circuits of Dual-band GPS Receiver, "IEICE Trans. Electron, Vol. E88-C, No. 6, pp. 1275-1279, June 2005.

[38] 清水，田中，井田，宮本，松岡，谷口，“オフセットキャンセル機能を有する DS-CDMA 用低消費電力アナログマッチドフィルタ，”電子情報

通信学会論文誌C，Vol. J88-C, No. 8, pp. 655-661, Aug. 2005.

[39] T. Ida, S. Shimizu, T. Matsuoka, and K. Taniguchi, "Wired CDMA Interface with Adaptivity for Interconnect Capacitances, "IEICE Trans. on Fundamentals, Vol. E88-A, No. 10, pp. 2702-2706, Oct. 2005.

[40] H. Shima, T. Matsuoka, and K. Taniguchi, "Experimental Study of Integrated Tunable Transformer, "IEICE Electronics Express, Vol. 2, No. 22, pp. 561-565, Nov. 2005.

[41] M. Haruoka, Y. Utsurogi, T. Matsuoka, and K. Taniguchi, "A Study on the LO Phase Error Compensation of GPS Dual-Band Image-Reject Mixer, "Electronics and Communications in Japan, Part 2, Vol. 88, No. 12, pp. 26-33, Dec. 2005.

[42] 木原，金，清水，村上，上田，後藤，松岡，谷口，“雑音と線形性を考慮したCMOS低雑音増幅器の設計手法に関する検討，”電子情報通信学会論文誌C, Vol. J89-C, No. 2, pp. 72-75, Feb. 2006.

[43] Kazuhiro Shimonomura and Tetsuya Yagi, "A multi-chip aVLSI system emulating orientation selectivity of primary visual cortical cell, "IEEE Transactions on Neural Networks, Vol. 16, No. 4, pp. 972-979 (2005).

[44] 内田，谷，橋本，築山，白川，“システム液晶のための配線容量抽出手法，”情報処理学会論文誌, Vol. 46, No. 6, pp. 1395-1403, (2005).

[45] Nobuaki Kobayashi, Tomomi Ei and Tadayoshi Enomoto, "Low Dynamic Power and Low Leakage Power Techniques for CMOS Motion Estimation Circuits, "IEICE Tran. on Electronics, Vol. E89-C, No. 3, pp. 271-279, Mar. 2006.

[46] T. Matsuda, R. Minami, A. Kanamori, H. Iwata, T. Ohzone, S. Yamamoto, T. Ihara and S. Nakajima, "A temperature and supply voltage independent CMOS voltage reference circuit, "IEICE Transactions on Electronics, Vol. E88-C, No. 5, pp. 1087-1093, 2005.

[47] 佐藤　紀章，伊藤　文人，井上　浩，“PPAMを応用した通信用ミキサの開発，”電子情報通信学会論文誌C，Vol. J88-C，No. 7，pp. 572-573 (2005).

[48] K. Nishio, H. Yonezu and Y. Furukawa, "Analog Integrated Circuit for Detection of an Approaching Object with Simple-Shape Recognition Based on Lower Animal Vision, "IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E89-A, No. 2, pp. 416-427 (2006).

[49] K. Nishio, H. Yonezu and Y. Furukawa, "A Two-Dimensional Network of Analog Circuits for Motion Detection Based on the Frog Visual System, "IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E89-A, No. 2, pp. 428-438 (2006).

[50] Y. Furukawa, H. Yonezu, S. Sawa, K. Nishio and J. K. Shin, "Analog Integrated Circuit for Edge Detection with Massively Parallel Processing Based on Vertebrate Outer Retina, "Sensors and Materials, Vol. 17, No. 5, pp. 299-306 (2005).

[51] H. Yonezu, Y. Furukawa, H. Abe, Y. Yoshikawa, S. -Y. Moon, A. Utsumi, Y. Yoshizumi, A. Wakahara and M. Ohtani, "Elemental Devices, Circuits and Processes for a Monolithic Si/III-V-N Alloy OEIC, "Optical Materials, Vol. 27, pp. 799-803 (2005).

[52] J.Miyakoshi, Y.Murachi, K.Hamano, T.Matsuno, M.Miyama, M.Yoshimoto, "A Low-Power Systolic Array Architecture for Block-Matching Motion Estimation, "IEICE Trans. Electron., Vol. E88-C, No. 4, pp. 559-569 2005.4

[53] Y.Murachi, K.Hamano, T.Matsuno, J.Miyakoshi, M.Miyama, M.Yoshimoto, "A 95 mW MPEG2 MP@HL Motion Estimation Processor Core for Portable High-Resolution Video Application, "IEICE Trans. Fundamentals, Vol. E88-A, No. 12, pp. 3492-3499 2005.12

[54] N.Minegishi, J.Miyakoshi, Y.Kuroda, T.Katagiri, Y.Fukuyama, R.Yamamoto, M.Miyama, K.Imamura, H.Hashimoto, M.Yoshimoto, "VLSI Architecture Study of a Real-time Scalable Optical Flow Processor for Video Segmentation, "IEICE Trans. Electron., 10 pages, April 2006

[55] H. Nishikawa, "Design Philosophy of a Networking-Oriented Data-Driven Processor! CUE, "IEICE Transactions on Electronics, Vol. E89-C No. 3, pp. 221-229 (Mar. 2006)

[56] 仙北，福原，吉田，“2段ニューロンMOSインバータから成る多入力可変論理回路の提案，”電子情報通信学会論文誌C，Vol. J83-C, No. 3, pp. 124-125(2006)

[57] リキットキットワオラクル，福原，吉田，“ハミング距離検索機能を有する低消費電力CAROMの

提案,"Vol. J88-C, No. 9, pp. 750-751(2005)

[58] Kazunori Hoshino, Koichi Yamada, Isao Shimoyama, "A diffraction-limited, real-time, full-colour display, "Journal of Micromechanics and Microengineering, Vol. 15, No. 11, pp. 2194-2197, 2005.

[59] Hiroaki Onoe, Murat Gel, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Direct measurement of the binding force between micro-fabricated particles and a planar surface in aqueous solution by force-sensing piezoresistive cantilevers, "Langmuir, Vol. 21, No. 24, pp. 11251-11261, 2005.

[60] Eiji Iwase, Isao Shimoyama, "Multistep sequential batch assembly of three-dimensional ferromagnetic microstructures with elastic hinges, "Journal of Microelectromechanical Systems, Vol. 14, No. 6, pp. 1265-1271, 2005.

[61] "A Built-in Technique for Probing Power Supply and Ground Noise Distribution Within Large-Scale Digital Integrated Circuits, "Makoto Nagata, Takeshi Okumoto, Kazuo Taki, IEEE Journal of Solid-State Circuits, Vol. 40, No. 4, pp. 813-819, Apr. 2005.

[62] "High-Speed Digital Circuit Design Using Differential Logic with Asymmetric Signal Transition, "Masao Morimoto, Makoto Nagata, Kazuo Taki, IEICE Transactions on Electronics, Vol. E88-C, No. 10, pp. 2001-2008, Oct. 2005.

[63] "Logic Synthesis Technique for High Speed Differential Dynamic Logic with Asymmetric Slope Transition, "Masao Morimoto, Yoshinori Tanaka, Makoto Nagata, Kazuo Taki, IEICE Transactions on Fundamentals, Vol. E88-A, No. 12, pp. 3324-3331, Dec. 2005.

[64] Kosuke Tarumi, Akihiko Hyodo, Masanori Muroyama, and Hiroto Yasuura, "Bitwidth Optimization for Low Power Digital FIR Filter Design, "IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E88-A, No. 4, pp. 869-875, Apr. 2005.

[65] H. Tanaka and K. Inoue, "Adaptive Mode Control for Low-Power Caches based on Way-Prediction Accuracy, "IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E88-A, No. 12, pp. 3274-3281, Dec. 2005.

[66] Hirose, Matsuoka, Taniguchi, Asai, and Amemiya, "Ultralow-power current reference circuit with low temperature dependence, "IEICE Trans. on Electronics, Vol. E88-C, No. 6, pp. 1142-1147, (2005)

[67] 山本　真也，香川　景一郎，古宮　哲夫，徳田　崇，布下　正宏，太田　淳，“32×32画素キャパシティブフィードバックリセット型パルス周波数変調方式低電圧ビジョンチップの試作と評価,”映情学誌，60 (4)，pp. 621-626 (2006).

[68] 山本　幸司，香川　景一郎，前田　勇希，三宅　康也，田邊　英樹，政木　康生，布下　正宏，太田淳，“部分領域高速読み出しをもつ低消費電力ID受信CMOSイメージセンサを用いた情報家電マルチリモコン"オプトナビ"システムの提案,”映情学誌，59(12), pp. 1830-1840(2005).

[69] 香川　景一郎，山本　幸司，前田　勇希，三宅　康也，田邊　英樹，政木　康生，布下　正宏，太田淳，“カスタムCMOSイメージセンサを用いた情報家電用ビジュアルマルチリモコン"オプトナビ",”情報科学技術レターズ，Vol. 4, pp. 229-232 (2005).

[70] T. Tokuda, A. Yamamoto, K. Kagawa, M. Nunoshita and J. Ohta, "A CMOS image sensor with optical and potential dual imaging function for on-chip bioscientific applications, "Sensors and Actuators A! Physical, 125, No. 2 (2006) 273-280.

[71] D. C. Ng, T. Tokuda, A. Yamamoto, M. Matsuo, M. Nunoshita, H. Tamura, Y. Ishikawa, S. Shiosaka, and J. Ohta, "On-chipBiofluescence Imaging Inside a Brain Tissue Phantom Using a CMOS Image Sensor for in vivo Brain Imaging Verification, "Sensors and Actuators B, 2006, in press.

[72] D. G. Ng, T. Tokuda, A. Yamamoto, M. Matsuo, M. Nunoshita, H. Tamura, Y. Ishikawa, S. Shiosaka, and J. Ohta, "A CMOS Image Sensor for on-chip in vitro and in vivo Imaging of the Mouse Hippocampus, "Jpn. J. Appl. Phys., 2006, in press.

[73] D. C. Ng, H. Tamura, T. Tokuda, A. Yamamoto, M. Matsuo, M. Nunoshita, Y. Ishikawa, S. Shiosaka, and J. Ohta, "Real Time in vivo Imaging and Measurement of Serine Protease Activity in the Mouse Hippocampus Using a Dedicated CMOS Imaging Device, "J. Neuroscience Methods, 2006, in press.

[74] T. Tokuda, D. C. Ng, A. Yamamoto, K. Kagawa, M. Nunoshita, and J. Ohta, "A CMOS optical/potential image sensor with 7.5 pixel size for on-chip neural and DNA spot sensing, "Proceedings of the 2005 IEEE Engineering in Medicine and Biology 27th Annual Conference (2005) 1639

[75] T. Tokuda, A. Yamamoto, K .Kagawa, M. Nunoshita, and J. Ohta, "An optical and potential dual-image CMOS sensor for bioscientific applications, "Proceedings of SPIE (2006)キヌコワヘスト1

[76] J. Y. Yeom, H. Takahashi, p. Siritiprussamee, H. Murayama, and M. Nakazawa, "Multichannel CMOS ASIC Preamplifiers for Avalanche Photodiode and Microstrip Gas Chamber Readouts, "IEEE Trans. on Nucl. Sci., Vol. 53, No 1, pp. 242-246, (2006).

[77] p. Siritiprussamee, H. Takahashi, M. Kai, M. Nakazawa, T. Ino, M. Furusaka, S. Kishimoto, M. Taniguchi, S. Ito, and M. Kanazawa, Development of a Two-Dimensional Multigrid-Type Microstrip Gas Chamber Using Global-Local Grouping Method, IEEE Trans. on Nucl. Sci., Vol. 53, No. 1, pp. 326-329, (2006).

[78] N. Zen, Y. Kunieda, H. Takahashi, K. Hiramoto, M. Nakazawa, D. Fukuda, M. Ukibe, and M. Ohkubo, Digital Signal Processing Based on a Clustering Algorithm for Ir/Au TES Microcalorimeter, IEEE Trans. on Nucl. Sci., Vol. 53, No. 1, pp. 259-264, (2006).

[79] Fukuda D, Takahashi H, Kunieda Y, Zen N, Ohkubo M, Nakazawa M, Noise and signal analysis of Ir/Au TES with asymmetrical slits parallel to the electric current, EEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY 15 (2)! 522-525 Part 1, JUN 2005.

[80] Buffet JC, Clergeau JF, Cooper RG, Darpentigny J, De Laulany A, Fermon C, Fetal S, Fraga F, Guerard B, Kampmann R, Kastenmueller A, Mc Intyre GJ, Manzin G, Meilleur F, Millier F, Rhodes N, Rosta L, Schooneveld E, Smith GC, Takahashi H, Van Esch P, Van Vuure TL, Zeitelhack K , Advances in detectors for single crystal neutron diffraction, UCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SPECTROMETERS DETECTORS AND ASSOCIATED EQUIPMENT 554 (1-3)! 392-405 DEC 1 2005.

[81] Hidenari Nakashima, Junpei Inoue, Kenichi Okada, and Kazuya Masu, "Circuit Performance Prediction Considering Core Utilization with Interconnect Length Distribution Model, "IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, Vol. E88-A, No. 12, pp. 3358-3366, Dec. 2005.

[82] Hidenari Nakashima, Naohiro Takagi, Junpei Inoue, Kenichi Okada, and Kazuya Masu, "Evaluation of X Architecture Using Interconnect Length Distribution, "IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, Vol. E88-A, No. 12, pp. 3437-3444, Dec. 2005.

[83] Takanori Kyogoku, Junpei Inoue, Hidenari Nakashima, Takumi Uezono, Kenichi Okada, and Kazuya Masu, "Wire Length Distribution Model for System LSI, "IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, Vol. E88-A, No. 12, pp. 3445-3452, Dec. 2005.

[84] Tomohiro Yamada, Takumi Uezono, Kenichi Okada, Kazuya Masu, Akio Oki, and Yasuhiro Horiike, "RF Attenuation Characteristics for In Vivo Wireless Healthcare Chip, "Japanese Journal of Applied Physics, Vol. 44, No. 7A, pp. 5275-5277, 2005.

[85] Hirotaka Sugawara, Kenichi Okada and Kazuya Masu, "Small-Area Inductor for Silicon CMOS Chips, "Japanese Journal of Applied Physics, Vol. 44, No. 4B, pp. 2766-2769, 2005.

[86] Hiroyuki Ito, Shinichiro Gomi, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "Twisted Differential Transmission Line Structure for Global Interconnect in Si LSI, "Japanese Journal of Applied Physics, Vol. 44, No. 4B, pp. 2774-2779, 2005.

[87] Tomohiro Yamada, Takumi Uezono, Kenichi Okada, Kazuya Masu, Akio Oki, and Yasuhiro Horiike, "In Vivo Batteryless Wireless Communication System for Bio-MEMS Sensors, "Japanese Journal of Applied Physics, Vol. 44, No. 4B, pp. 2879-2882, 2005.

[88] Yoshiaki Yoshihara, Hirotaka Sugawara, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "Wide Tuning Range LC-VCO Using Variable

Inductor For Reconfigurable RF Circuit, "IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, Vol. E88-A, No. 2, pp. 507-512, Feb. 2005.

[89] Shingo Yoshizawa, Naoya Wada, Noboru Hayasaka, Yoshikazu Miyanaga, "Scalable Architecture for Word HMM-Based Speech Recognition and VLSI Implementation in Complete System, "IEEE Transactions on Circuit and Systems-I, Vol. 53, No. 1, pp. 70-77, Jan. 2006.

[90] Shingo Yoshizawa, Noboru Hayasaka, Naoya Wada, Yoshikazu Miyanaga, "VLSI Architecture for Robust Speech Recognition Systems and its Implementation in Verification Platform, "Journal of Robotics and Mechatronics, Vol. 17, No. 4, pp. 447-455, Aug. 2005.

[91] Shingo Yoshizawa, Yoshikazu Miyanaga, "Robust Recognition of Noisy Speech and its Hardware Design for Real Time Processing, "ECTI Transaction on Electrical Eng., Electronics, and Communications (EEC), Vol. 3, No. 1, pp. 36-43, Feb. 2005.

[92] N. Yoshikawa, M. Tokuda1, T. Tomida, H. Kojima, K. Fujiwara, Q. Liu and T. Van Duzer, "Access time measurements of Josephson-CMOS hybrid memory using single-flux-quantum circuits, "Supercond. Sci. Technol. 19 (2006) S350-S353.

[93] Q. Liu, T. Van Duzer, X. Meng, S.R. Whiteley, K. Fujiwara, T. Tomida, K. Tokuda, N. Yoshikawa, "Simulation and measurements on a 64-kbit hybrid Josephson-CMOS memory, "IEEE Trans. Applied Superconductivity. Vol. 15, June 2005, pp. 415-418.

[94] N. Yoshikawa, T. Tomida, M. Tokuda, Q. Liu, X. Meng, S. R. Whiteley, T. Van Duzer, "Characterization of 4 K CMOS devices and circuits for hybrid Josephson-CMOS systems, "IEEE Trans. Applied Superconductivity. Vol. 15, June 2005, pp. 267-271.

[95] 小島　洋平，戸川　望，橘　昌良，柳澤　政生，大附　辰夫，“画像処理向けシステムLSI設計における設計ナビゲーションを考慮したHW/SW分割システム，”pp. 19-24, DAシンポジウム2005 (2005)

[96] 栗原　輝，宮岡　祐一郎, 戸川　望，柳澤　政生，大附　辰夫，“SIMD型プロセッサの自動合成におけるパイプライン演算ユニット生成手法，”pp. 19-24, 電子情報通信学会 第18回 回路とシステム(軽井沢ワークショップ) (2005)

[97] 鈴木　康成，宮岡　祐一郎, 戸川　望，柳澤　政生，大附　辰夫，“インダクタンスを考慮した配線遅延の近似式による見積もり，”pp. 1-7, 電子情報通信学会 第18回 回路とシステム(軽井沢ワークショップ) (2005)

[98] Nozomu TOGAWA, Koichi TACHIKAKE, Yuichiro MIYAOKA, Masao YANAGISAWA, Tatsuo OHTSUKI “A SIMD Instruction Set and Functional Unit Synthesis Algorithm with SIMD Operation Decomposition”, p1340-p1349 IEICE (2005)

[99] Yusuke Nakashita, Yoshio Mita and Tadashi Shibata, "Analog Edge-Filtering Processor Employing Only-Nearest-Neighbor Interconnects, "Japanese Journal of Applied Physics Vol. 44, No. 4B, pp. 2119-2124, April 2005.

[100] Hitoshi Hayakawa, Makoto Ogawa and Tadashi Shibata, "Right-Brain/Left-Brain Integrated Associative Processor Employing Convertible Multiple-Instruction-Stream Multiple-Data-Stream Elements, "Japanese Journal of Applied Physics, Vol. 44, No. 4B, pp. 2109-2118, April 2005.

[101] T. Yamasaki, T. Nakayama, and T. Shibata, "A Low-Power and Compact CDMA Matched Filter Based on Switched-Current Technology, "IEEE Journal of Solid-State Circuits, Vol. 40, No. 4, pp. 926-932, April 2005.

[102] Makoto Ogawa and Tadashi Shibata, "A Delay-Encoding-Logic Array Processor for Dynamic Programming Matching of Data Sequences, "IEEE Journal of Solid State Circuits, Vol. 40, No. 7, pp. 1578-1582, July 2005.

[103] Daisuke Kobayashi, Tadashi Shibata, Yoshikazu Fujimori, Takashi Nakamura, and Hidemi Takasu, "A Ferroelectric Associative Memory Technology Employing Heterogate FGMOS Structure, "IEEE Transactions on Electron Devices, Vol. 52, No. 10, pp. 2188-2197, October 2005.

[104] Naoya Sasano, Katsutoshi Saeki, Yoshifumi Sekine, Short-term memorycircuit using hardware ring neural networks, Artificial Life and Robotics, Vol. 9, No. 2, pp. 81-85, June 2005.

[105] Keiko Hata, Katsutoshi Saeki, Yoshifumi Sekine, A Pulse-Type HardwareCPG Model for Quadruped Locomotion Pattern, International Congress Series, Vol. 1291, March. 2006.(掲載予定)

[106] 石川 洋平，深井 澄夫，相川 正義，“ニューロンMOS可変論理回路の提案，”pp. 196-202, 電気学会論文誌C, IEEJ Trans. EIS, Vol. 126, No. 2, (2006).

[107] N. Togawa, H. Kawazu, J. Uchida Y. Miyaoka, M. Yanagisawa, and T. Ohtsuki, "Sub-operation Parallelism Optimization in SIMD Processor Synthesis and Its Experimental Evaluations, "IEICE Trans. on Fundamentals., Vol. E88-A, No. 4, pp. 876-884, April 2005.

[108]N. Togawa, K. Tachikake, Y. Miyaoka, M. Yanagisawa, and T. Ohtsuki, "A SIMD Instruction Set and Functional Unit Synthesis Algorithm with SIMD Operation Decomposition, "IEICE Trans. on Information and Systems, Vol. E88-D, No. 7, pp. 1340-1349, July 2005.

[109] J. Uchida, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "A Fast Elliptic Curve Cryptosystem LSI Embedding Word-Based Montgomery Multiplier, "IEICE Trans. on Electronics, Vol. E89-C, No. 3, pp. 243-249, March 2006.

[110] 北村 聡，濱田 芳博，宮部 保雄，伊澤 徹，宮代 具隆，田邊 昇，中條 拓伯，天野 英晴，“DIMMnet-2ネットワークインタフェースコントローラの設計と実装，”pp. 13-26, 情報処理学会論文誌, Vol. 46, No. SIG 12(2005).

[111] 矢崎 俊志，阿部 公輝，“FFT多倍長乗算器のVLSI設計，”日本応用数理学会論文誌，Vol. 15, No. 3, pp. 385-401, Sep. 2005.

[112] M. Shimizu and K. Abe, "A Cost-Effective Handshake Protocol and Its Implementation for Bundled-Data Asynchronous Circuits, "IEICE Trans. Fundamentals, Vol. E89-A, No. 1, pp. 280-287, Jan. 2006.

[113] Y. Mitsuyama, M. Kimura, T. Onoye, and I. Shirakawa, "Architecture of IEEE802.11i Cipher Algorithms for Embedded Systems, "IEEE Trans. Fundamentals, Vol. E88-A, No. 4, pp. 899-906, Apr. 2005.

[114] 藤田 玄，尾上 孝雄，白川 功，“MPEG-4向け高精度動き検出コアのVLSI化設計，”電子情報通信学会論文誌，Vol. J88-A, No. 11, pp. 1282-1382, Nov. 2005.

[115] A. Kosaka, H. Okuhata, T. Onoye, and I. Shirawaka, "Design of Ogg Vorbis Decoder System for Embedded Platform, "IEICE Trans. Fundamentals, Vol. E88-A, No. 8, pp2124-2130, Aug. 2005.

2. 国際会議

[1] Y. Kato, S. Iba, T. Sekitani, Y. Noguchi, K. Hizu, X. Wang, K. Takenoshita, Y. Takamatsu, S. Nakano, K. Fukuda, K. Nakamura, T. Yamaue, M. Doi, K. Asaka, H. Kawaguchi, M. Takamiya, T. Sakurai, and T. Someya, "A Flexible, Lightweight Braille Sheet Display with Plastic Actuators Driven by An Organic Field-Effect Transistor Active Matrix, "IEEE International Electron Devices Meeting (IEDM), Washington DC, USA, pp. 105-108, Dec. 2005.

[2] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, and T. Sakurai, "An Organic FET SRAM for Braille Sheet Display with Back Gate to Increase Static Noise Margin, "IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 276-277, Feb. 2006.

[3] M. Hori, M. Ueda and A. Iwata, "A stochastic computing chip for measurement of Manhattan distance, "Extended Abstracts of the 2005 International Conference on Solid State Devices and Materials, pp316-317, Kobe, 2005

[4] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki and A. Iwata, "A 1V Supply 50nV/root-Hz Noise PSD CMOS Amplifier using Noise Reduction Technique of Autozeroing and Chopper Stabilization, "2005 Symposium on VLSI Circuits, pp. 118-121.

[5] T. Yoshida, M. Akagi, M. Sasaki, A. Iwata, "A 1V Supply Successive Approximation ADC with Rail-to-Rail Input Voltage Range, "Proceedings of 2005 IEEE International Symposium on Circuits and Systems (ISCAS2005), pp. 192-195.

[6] T.Funasaka, M.Iwase and K.Fujiwara and S.Hatakeyama "Visualization of Stability of Dynamical Systems by 3D Graphics supported by Cluster Computing, "IDAACS 2005, Sofia, Bulgaria, September, in CD-ROM(2005)

[7] T. Iizuka, M. Ikeda, and K. Asada, "Exact Minimum-Width Transistor Placement Without

Dual Constraint for CMOS Cells, "in Proc. of ACM Great Lakes Symposium on VLSI (GLSVLSI), pp. 74-77, Apr. 2005.

[8] T. Iizuka, M. Ikeda, and K. Asada, "Timing-Driven Cell Layout De-Compaction for Yield Optimization by Critical Area Minimization, "in Proc. of IEEE/ACM Design, Automation and Test in Europe (DATE), pp. 884-889, Mar. 2006.

[9] T. Nakura, M. Ikeda, and K. Asada, "Feedforward Active Substrate Noise Cancelling Technique using Power Supply di/dt Detector , "JSAP/IEEE Symposium on VLSI Circuits (VLSI Symp.) Dig. of Tech. Papers, pp. 284-287, Jun. 2005.

[10] T. Nakura, M. Ikeda, and K. Asada, "Feedforward Active Substrate Noise Cancelling Technique using Power Supply di/dt Detector , "in Proc. of European Solid-State Circuits Conference (ESSCIRC), pp. 467-470, Sep. 2005.

[11] T. Nakura, M. Ikeda, and K. Asada, "On-chip di/dt Detector IP for Power Supply, "in Proc. of IP Based SoC Design Conference & Exhibition (IP-SOC), pp. 160-164, Dec. 2005.

[12] N. Li, M. Ikeda, and K. Asada, "Analysis of Low Noise ThreePhase Asynchronous Data Transmission, "in Proc. of European Solid-State Circuits Conference (ESSCIRC), pp. 479-482, Sep. 2005.

[13] K. H. Dia, R. Zheng, M. Ikeda, and K. Asada, "Footless Dual-Rail Domino Circuit with Self-Timed Precharge Scheme, "in Proc. of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 309-312, Nov. 2005.

[14] M. Ikeda, Y. Yachide, Y. Oike, and K. Asada, "Wavelength Identification Sensor Using MOS Photo-transistor Array Based on Metal Slit Diffraction, "in Proc. of International Conference on Sensing Technology (ICST), pp. 683-686, Nov. 2005.

[15] Y. Yachide, Y. Oike, M. Ikeda, and K. Asada, "Real-Time 3-D Measurement System Based on Light-Section Method Using Smart Image Sensor, "in Proc. of IEEE International Conference on Image Processing (ICIP), pp. 1008-1011, Sep. 2005.

[16] T. Kazama, M. Ikeda, and K. Asada, "Shot Reduction Technique for Character Projection Lithography using Combined Cell Stencil, "in proc. of SPIE Vol. 5992 59922V, 2005

[17] W.Matsubara, M. Sakou, K. Maezawa, T. Mizutani, "No Feedback Delta Sigma ADC for High Frequency Operation Using Frequency Delta Sigma Modulator, "Int. Conf. Solid State Devices & Materials, pp. 662-663 (2005)

[18] M.Imai, T.Nanya, "A Novel Design Method for Asynchronous Bundled-data Transfer Circuits Considering Characteristics of Delay Variations, "pp. 68-77, Proc.Async2006 (2006)

[19] M.Imai, C.Kogure, M.Kondo, H.Nakamura, T.Nanya, "A Novel Design Method using Delay-Variation-Aware Cell Libraries for Asynchronous Bundled-data Transfer Circuits, "pp. 441-442, Proc.ITC-CSCC2005 (2005)

[20] Takahiro MATSUMOTO, Shigeo TSUKIASHI, Shinya MATSUFUJI, Yoshihiro TANADA, "A Design of a Digital Matched Filter Bank for an Optical ZCZ Code Using a Sylvester Type Hadamard Matrix, "Proc. of IWSDA05 , pp. 184-188 (2005).

[21] Yuji Ichikawa, Takahiro Sasaki, Tetsuo Hironaka, Kazuya Tanigawa, Toshiaki Kitamura, and Toshio Kondo! "A Design of Prototype Low Energy Processor by Variable Stages Pipeline Technique, "Proc. of International Technical Conference on Circuits/Systems Computers and Communications (ITC-CSCC2004), Vol. 2, pp. 561-562 (2005).

[22] Tovar G.M., Hirose, Asai, and Amemiya, "Precisely-timed synchronization among spiking neural circuits on analog VLSIs, "Proceedings of the 2006 RISP International Workshop on Nonlinear Circuits amd Signal Processing, pp. 62-65, Honolulu, USA (Mar. 3-5, 2006).

[23] Asai and Amemiya, "Collision-based reaction-diffusion computing for VLSI systems, "The 3rd International Symposium on Ubiquitous Knowledge Network Environment, Sapporo, Japan (Feb. 28-Mar. 1, 2006).

[24] Suzuki, Motoike, and Asai, "Spatial pattern formation on two-layer resistive sheets-theory and LSI implementation -, "The 3rd International Symposium on Ubiquitous Knowledge Network Environment, Sapporo, Japan (Feb. 28-Mar. 1, 2006).

[25] Nakada, Asai, and Hayashi, "A silicon resonate-

and-fire neuron based on the Volterra system, "Proceedings of the 2005 International Symposium on Nonlinear Theory and its Applications, pp. 82-85, Bruges, Belgium (Oct. 18-21, 2005).

[26] Suzuki, Takayama, Motoike, and Asai, "Striped and spotted pattern generation on reaction-diffusion cellular automata-theory and LSI implementation -, "Proceedings of the VIIIth European Conference on Artificial Life, pp. 47-58, Kent, U.K. (Sep. 5-9, 2005).

[27] Nakada, Asai, Hirose, and Amemiya, "Analog current-mode implementation of central pattern generator for robot locomotion, "Proceedings of the International Joint Conference on Neural Networks 2005, pp. 639-644, Montreal, Canada (Jul. 31-Aug. 4, 2005).

[28] Kamiya, Motoike, and Asai, "Spatial pattern formation of diffusive Lotka-Volterra system on analog integrated circuits, "Proceedings of the XXV Dynamics Days Europe, pp. 60-61, Berlin, Germany (Jul. 25-28, 2005).

[29] Nakada, Asai, Hirose, and Amemiya, "Analog CMOS implementation of a neuromorphic oscillator with current-mode low-pass filters, "Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 1923-1926, Kobe, Japan (May 23-26, 2005).

[30] Joye N., Schmid A., Asai, and Leblebici Y., "Fault-tolerant logic family with neuromorphic CMOS circuits, "Proceedings of the 9th International Conference on Cognitive and Neural Systems, II-#29, Boston, USA (May 18-21, 2005).

[31] Myoren H., Kasahara S., Arai T., Taino T., Takada S., Operation Margins for SFQ NAND and NOR Gates Fabricated by a 2.5 kA/cm2 Nb/AlOx/Nb Process, 10th International Superconductive Electronics Conference, pp. 15 (2005.9).

[32] M. Takata, K. Nakayama, T. Izumi, T. Shinmura and A. Kitagawa, "Nonvolatile SRAM based on Phase Change, "pp. 83-88, Proceedings of The 15th Symposium on Phase Change Optical Information Storage

[33] M. Takata, K. Nakayama, T. Izmumi, J. Akita and A. Kitagawa, "Nonvolatile SRAM based on Phase change, "pp. 95-96, NVSMW2006

[34] A.Yokota, T.Yoshida, H.Kashiyama, T.Hamamoto, "High-speed Sensing System for Depth Estimation Based on Depth-From-Focus by Using Smart Imager, "IEEE Int. Symposium on Circuits and Systems 2005 (ISCAS 2005), CD-ROM, 4pages (2005)

[35] Kou Imai, Hisayuki Taruki, Takayuki Hamamoto and Hiroshi Ohtake, "Image compression sensor using inter-frame and intra-frame correlation, "IEEE Workshop on CCD and Advanced Image Sensors, R38, pp. 238-241 (2005)

[36] Takahiro Ogi, Fumitugu Suzuki, Kenji Fujita, Takayuki Hamamoto, "Analog and 15-b digital output image sensor for wide dynamic range, "IEEE Workshop on CCD and Advanced Image Sensors, P21, pp. 125-128 (2005)

[37] Takashi Yamaguchi and Takayuki Hamamoto, "Wide-Dynamic-Range Image Sensor by In-Pixel Reset Control, "Int. Workshop on Image Media Quality and its Applications(IMQA'05), P-28, CD-ROM, 5pages (2005)

[38] Hisayuki Taruki, Kou Imai, Takayuki Hamamoto, and Hiroshi Ohtake, "Evaluation of On-Sensor Image Compression Using Inter and Intra Frame Prediction, "Int. Workshop on Image Media Quality and its Applications (IMQA'05), P-26, CD-ROM, 5pages (2005)

[39] Y. Liu, S. Komatsu, M. Fujita, "AMS Extensions for Timed/Untimed System Level Design Language, "FDL'05, pp. 77-80, Sep. 27-30 2005, Lausanne, Switzerland.

[40] K. Namba and H. Ito, "Design of Defect Tolerant Wallace Multiplier, "Proc. 11th IEEE Int'l Symp. Pacific Rim Dependable Comput., pp. 300-304 (2005)

[41] Masato Kitakami and Junpei Sano, "Code Design and Decoding Methods for Burst Error Locating Codes, "appear to Proc. 2005 Pacific Rim International Symposium on Dependable Computing, pp. 125-132, Deceomber 12-14, 2005, Changsha Hunan, China.

[42] H. Tanaka, K. Tanno, Y. Yoshitomi and K. Murao, "Design and Analysis of OTA Based CNN Cell, "Proceedings, The 20th Commemorative International Technical Conference on Circuits/Systems, Computers and Communications, Jeju, Korea, Vol. 3, pp.

959-960, July 4-7, 2005.

[43] Yoshihiro Watanabe, Takashi Komuro, Shingo Kagami, Masatoshi Ishikawa! Parallel Extraction Architecture for Image Moments of Numerous Objects, 7th IEEE International Workshop on Computer Architecture for Machine Perception (Palermo, Italy, 2005.07.04) / Proceedings, pp. 105-110, 2005.

[44] T. Sato, R. Sakuma, D. Miyamori, and M. Fukase, "Hardware Security-Embedded Wireless LAN Processor, "pp. 839-842, Proc. of ECTI-CON 2005, Vol. II (2005)

[45] T. Sato, R. Sakuma, D. Miyamori, and M. Fukase, "Waved-PRNG for a Wave-Pipelining Test Circuit, "pp. 3.3.1-3.3.4, Proc. of NASA Symposium on VLSI (2005)

[46] M. A. Abedin, K. kamimura, A. Ahamadi, H. J. Mattausch and T. koide, "Fully-parallel Associative Memory Architecture Realizing Minimum Euclidean Distance Searce, "4th Hiroshima International Workshop on Nanoelectronics for Terra-Bit Information Processing, pp. 58-59, 16th Sep 2005, Hiroshima, Japan.

[47] Takeshi Kumaki, Yasuto Kuroda, Tetushi Koide, Hans Jurgen Mattausch, Hideyuki Noda, Ktumi Dosaka, Kazutami Arimoto, Kazunori Saito, "CAM-Based VLSI Architecture for Huffman Coding with Real-time Optimization of the Code-Word-Table, "Proc. IEEE International Symposium on Circuits And System(ISCAS'05), pp. 5202-5205, May, 2005

[48] Takeshi Kumaki, Yasuto Kuroda, Tetushi Koide, Hans Jurgen Mattausch, Hideyuki Noda, Katumi Dosaka, Kazutami Arimoto, Kazunori Saito, "Multi-Port CAM based VLSI Architecture for Huffman Coding with Real-time Potimizede Code Word Table, "Proc. IEEE International Midwest Symposium on Circuits And Systems (MWSCAS'05), pp. 55-58, Aug, 2005.

[49] Yasuto Kuroda, Takeshi Kumaki, Tetushi Koide, Hans Jurgen Mattausch, Hideyuki Noda, Katumi Dosaka, Kazutami Arimoto, Kazunori Saito, "Highly Parallel Huffman Encoding by Exploiting Multiple-Matches in Content Addressable Memory, "Proceedings of The International SoC Design Conference (ISOCC'05), pp. 313-316, Oct, 2005.

[50] Takeshi Kumaki, Yasuto Kuroda, Tetushi Koide, Hans Jurgen Mattausch, Hideyuki Noda, Katumi Dosaka, Kazutami Arimoto, Kazunori Saito, "CAM-Based Huffman Coding Architecture for Real-Time Applications, "4th Hiroshima INternational Workshop on Nanoelectronics for Tera-Bit Information Processing, pp. 62-63, Sept, 2005.

[51] K. Johguchi, Z.Zhu, K. Aoyama, Y. Mukuda, H. J. Mattausch, T.Koide and T. Hironaka, "Unified Data/Instruction Cache with Distributed Crossbar, Hidden Precharge Pipeline and Dynamic CMOS Logic, "4th Hiroshima INternational Workshop on Nanoelectronics for Tera-Bit Information Processing, pp. 64-65, Sept, 2005.

[52] J.Akita, H.Takagi, T.Nagasaki. M.Toda, T.Kawashima, A.Kitagawa, "Vision Chip Architecture for Saccade Tracking, "Proceedings of 2005 IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors, P23, pp. 133-136, 2005.6.

[53] Akira Tsuchiya, Masanori Hashimoto, Hidetoshi Onodera, "Interconnect RL Extraction at a Single Representative Frequency, "pp. 515-520, ASP-DAC2006(2006)

[54] Kazuya Katsuki, Manabu Kotani, Kazutoshi Kobayashi, Hidetoshi Onodera, "Measurement Results of Within-Die Variability on a 90nm LUT Array for Speed and Yield Enhancement of Reconfigurable Devices, "pp. 110-111, ASP-DAC2006(2006)

[55] Masanori Hashimoto, Akira Tsuchiya, Hidetoshi Onodera, "Performance Prediction of On-chip High-throughput Global Signaling, "pp. 79-82, IEEE 14th Topical Meeting on Electrical Performance of Electronic Packaging(2005)

[56] Takeshi Kouno, Masanori Hashimoto, Hidetoshi Onodera, "Input Capacitance Modeling of Logic Gates for Accurate Static Timing Analysis, "pp. 453-456, Proc. of 2005 IEEE Asian Solid-State Citcuits Conference(2005)

[57] Shinishiro Uemura, Takahito Miyazaki, Masanori Hashimoto, Hidetoshi Onodera, "Estimation of Maximum Oscillation Frequency for CMOS LCVCOs, " IEEJ International Analog VLSI Workshop(2005)

[58] K. Katsuki, M. Kotani, K. Kobayashi, H.

Onodera, "A Yield and Speed Enhancement Scheme under Within-die Variations on 90nm LUT Array, "pp. 18-2, Custom Integrated Circuit Conference (2005)

[59] A. Tsuchiya, M. Hashimoto, H. Onodera, "Design Guideline for Resistive Termination of On-Chip High-Speed Interconnects, "pp. 18-5, Custom Integrated Circuit Conference (2005)

[60] Akira Tsuchiya, Masanori Hashimoto, Hidetoshi Onodera, "Substrate Loss of On-chip Transmission-lines with Power/Ground Wires in Lower Layer, "pp. 201-202, IEEE Workshop on Signal Propagation on Interconnects (2005)

[61] Akira Tsuchiya, Masanori Hashimoto, Hidetoshi Onodera, "Effects of Orthogonal Power/Ground Wires on On-chip Interconnect Characteristics, "pp. 33-34, IMFEDK 2005 (2005)

[62] A. Muramatsu, M. Hashimoto, H. Onodera, "Effects of On-chip Inductance on Power Distribution Grid, "pp. 63-69, In Proceedings of International Symposium on Physical Design (2005)

[63] Haque Mohammad Munirul, Tomoaki Hasegawa and Michitaka Kameyama, "Implementation and Evaluation of a Fine-Grain Multiple-Valued Field Programmable VLSI Based on Source-Coupled Logic, "Proc. of the 35th IEEE International Symposium on Multiple-Valued Logic, pp. 120-125, (2005).

[64] Tomoaki Hasegawa, Yuya Homma and Michitaka Kameyama, "Multiple-Valued VLSI Architecture for Intra-Chip Packet Data Transfer, "Proc. of the 35th IEEE International Symposium on Multiple-Valued Logic, pp. 114-119, (2005).

[65] W. Chong, M. Hariyama, and M. Kameyama, "Architecture of a multi-context FPGA using reconfigurable context memory, "in Reconfigurable Architecture Workshop (RAW), Vol. 4, No. 4, USA, 2005, p. 144a.

[66] Y. Murachi, K. Hamano, T. Matsuno, J. Miyakoshi, M. Miyama, M. Yoshimoto, "A 95 mW MPEG2 MP@HL Motion Estimation Pricessor Core for Portable High Resolution Video Application"2005 Symposium on VLSI Circuit Dig. Tech. Papers, pp. 212-215, Kyoto Japan. June 2005.

[67] S. Mikami, T. Matsuno, M. Miyama, M. Yoshimoto, and H. Ono, "A Wireless-Interface SoC Powered by Energy Harvesting for Short-range Data Communication, "2005 IEEE Asian Solid-State Circuits Conference Proceedings, pp. 241-244, Hsinchu, Taiwan, Nov. 2005.

[68] K.Nakahara, S.Kouyama, T.Izumi, H.Ochi and Y.Nakamura, "Autonomous-Repair Cell for Fault Tolerant Dynamic-Reconfigurable, Proc. of International Symposium on Field-Programmable Gate Arrays

[69] G. C. Kim, B. Murakami, Y. Shimizu, M. Goto, S. Cha, K. Ueda, T. Kihara, Y. Utsurogi, T. Matsuoka, and K. Taniguchi, "Small-Signal RF Modeling of FD-SOI MOSFETs Including NQS Effect, "International Meeting for Future of Electron Devices, Kansai, Apr. 11-13, 2005, Kyoto, Japan, pp. 61-62.

[70] Kazuhiro Shimonomura, Tetsuya Yagi, "A 100x100 pixels orientation-selective multi-chip vision system, "IEEE International Symposium on Circuits and Systems (ISCAS2005), Kobe, Japan, pp. 1915-1918 (2005).

[71] Kazuhiro Shimonomura, Tetsuya Yagi, "An orientation-selective multi-chip aVLSI applicable to texture analysis, "INNS/IEEE International Joint Conference on Neural Networks (IJCNN2005), Montreal, Quebec, Canada, pp. 3267-3271 (2005).

[72] K. Shinkai, M. Hashimoto, A. Kurokawa and T. Onoye, "A Gate Delay Model Focusing on Current Fluctuation over Wide-Range of Process Variations, "Proc. TAU, pp. 59-64 (2006).

[73] T. Kanamoto, T. Ikeda, A. Tsuchiya, H. Onodera and M. Hashimoto, "Effective Si-substrate Modeling for Frequency-dependent Interconnect Resistance and Inductance Extraction, "Proc. IWCM, pp. 51-56 (2006).

[74] Y. Ogasahara, M. Hashimoto and T. Onoye, "Measurement and Analysis of Delay Variation due to Inductive Coupling, "Proc. CICC, pp. 305-308 (2005).

[75] M. Hashimoto, A. Tsuchiya, A. Shinmyo and H. Onodera, "Performance Prediction of On-chip High-throughput Global Signaling, "Proc. EPEP, pp. 79-82 (2005).

[76] Y. Uchida, S. Tani, M. Hashimoto, S. Tsukiyama and I. Shirakawa, "Interconnect Capacitance

Extraction for System LCD Circuits, "Proc. Great Lakes Symposium on VLSI, pp. 160-163 (2005).

[77] M.Takata et al. "Nonvolatile SRAM based on Phase Change."The 17th Symp. on Phase Change Optical information Storage, Nov. 2005

[78] M.Takata et al. "Nonvolatile SRAM based on Phase Change."the 21st Non-Volatile Semiconductor Memory Workshop Fev. 2006

[79] Tadayoshi Enomoto and Nobuaki Kobayashi, "A Low Dynamic Power and Low Leakage Power CMOS Square-Root Circuit, "in Proc. of International Symposium on Circuits and Systems (ISCAS'2005), in Kobe, Japan, A4P-V.8, pp. 1678-1681, May. 2005.

[80] Tadayoshi Enomoto and Nobuaki Kobayashi, A Low Dynamic Power and Low Leakage Power 90-nm CMOS Square-Root Circuit, in Proc. of 11th Asia and South Pacific Design Automation Conference (ASP-DAC '06), pp. 90-91, in Yokohama, Kanagawa, Jan. 2006.

[81] M. Fukase, R. Akaoka, and T. Sato, "Hardware Cryptography-Embedded Multimedia Mobile Processor for Ubiquitous Computing, "pp. 1.2.1-1.2.6, Proc. of 12th NASA Symposium on VLSI Design (2005).

[82] M. FUkase, R. Akaoka, L. Lei, C. T. Shu, and T. Sato, "Hardware Cryptography for Ubiquitous Computing, "pp. 462-465, Proc. of ISCIT 2005, (2005).

[83] M. Fukase and T. Sato, "Low Energy Digital Electronics for Multimedia Ubiquitous Environments, "pp. 409-414, Proc. of EIC'05 (2005).

[84] T.Momiyama, M.Inui, H.Araki, T.Kutsuwa, K.Harashima, "Adesign of Variable Logic Circuits using Neuron MOS Transistor, "ITC-CSCC 2005 Proceedings THA1-4, (2005)

[85] N.Takagi, S.Kadowaki, K.Takagi, "A Hardware Algorithm for Integer Division, "Proc. 17th IEEE Symposium on Computer Arithmetic, pp. 140-146 (2005).

[86] Y.Murachi, K.Hamano, T.Matsuno, J.Miyakoshi, M.Miyama, M.Yoshimoto, "A 95 mW MPEG2 MP@HL Motion Estimation Processor Core for Portable High-Resolution Video Application, " (2005 Symposium on VLSI Circuits, Kyoto, Japan)2005 Symposium on VLSI Circuits Digest of Technical Papers, pp. 212-215 2005.6

[87] S.Mikami, T.Matsuno, M.Miyama, M.Yoshimoto, H.Ono, "A Wireless-Interface SoC Powered by Energy Harvesting for Short-range Data Communication, "(IEEE 2005 Asian Solid-State Circuits Conference, Hsinchu, Taiwan), A-SSCC 2005 Proceedings of Technical Papers, pp. 241-244 2005.11

[88] H. Ishii, Y. Kondo, H. Nishikawa, "A Person-Oriented Ubiquitous and Secure Information Communication Environment Supported by Data-Driven Networking Processor, "Proceedings of the 2005 International Conference on Parallel and Distributed Processing Techniques and Applications, pp. 605-611 (June 2005)

[89] Sumito Nagasawa, Hidekazu Arai, Ryohei Kanzaki, Isao Shimoyama, "Integrated Multi-Functional Probe for Active Measurements in a Single Neural Cell, "The 13th International Conference on Solid-State Sensors, Actuators and Microsystems, pp. 1230-1233, 2005.

[90] Masaki Shuzo, Hidekazu Arai, Ryohei Kanzaki, Isao Shimoyama, "A Nano Lead on a Force Sensing Cantilever for Bilateral Manipulation of a Single Cell, "The 13th International Conference on Solid-State Sensors, Actuators and Microsystems, pp. 1720-1723, 2005.

[91] Tetsuji Dohi, Kiyoshi Matsumoto, Isao Shimoyama, "The Flexible Micro Resonator for the Magnetic Resonance Catheter, "The 13th International Conference on Solid-State Sensors, Actuators and Microsystems, pp. 2143-2146, 2005.

[92] Tetsuo Kan, Kiyoshi Matsumoto, Isao Shimoyama, "Sub-Micron Aperture Plate for Intracellular Calcium Transient Measurement, "The 13th International Conference on Solid-State Sensors, Actuators and Microsystems, pp. 1306-1309, 2005.

[93] Shinsuke Onoe, Hiroto Tanaka, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Miniature Fuel Cell with Conductive Silicon Electrodes, "The 13th International Conference on Solid-State Sensors, Actuators and Microsystems, pp. 1296-1299, 2005.

[94] Yusuke Takei, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Selective

Bridging of Single-Walled Carbon Nanotubes Controlled with Electric Field Applied to Silicon Structures, "The 13th International Conference on Solid-State Sensors, Actuators and Microsystems, pp. 101-104, 2005.

[95] Takaharu Nagai, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Direct Ink-Jet Printing of Electric Materials with Active Alignment Control, "The 13th International Conference on Solid-State Sensors, Actuators and Microsystems, pp. 1461-1464, 2005.

[96] Akihito Nakai, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Transmissive Scanning Micromirrors for Autostereoscopic Display, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 40-43, 2006.

[97] Tetsuo Kan, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Measurement of Light Intensity Field with a Fluorescent Bead Cantilever, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 822-825, 2006.

[98] Tomoyuki Takahata, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Photonic Crystal Attenuator with A Flexible Waveguide and Nano-Rods, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 834-837, 2006.

[99] Yusuke Takei, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Density Control of Carbon Nanotubes Using Ethanol Vapor Flow, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 914-917, 2006.

[100] Kentaro Noda, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Fabrication of the Flexible Sensor using SOI Wafer by Removing the Thick Silicone Layer, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 122-125, 2006.

[101] Binh Khiem Nguyen, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Insertion Force Sensor by Sidewall-Doping with Rapid Thermal Diffusion, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 662-665, 2006.

[102] Atsushi Takei, Eiji Iwase, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "Angle Tunable Liquid Wedge Prism driven by Electro-Wetting, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 36-39, 2006.

[103] Naoko Tsujiuchi, Eiji Iwase, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "A Surface Plasmon Resonance Sensor with A V-Shaped Silicon Prism Array, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 522-525, 2006.

[104] Seiichi Yoshimi, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, "A Cantilever Microphone Using Resonance of Closed-End Air Columns, "The 19th International Conference on Micro Electro Mechanical Systems, pp. 574-577, 2006.

[105] "An On-Chip Multi-Channel Waveform Monitor for Mixed Signal VLSI Diagnostics, "Koichiro Noguchi, Makoto Nagata, IEEE 31th European Solid-State Circuits Conference (ESSCIRC 2005), 5G2, pp. 295-298, Sep. 2005.

[106] "Measurements of Digital Signal Delay Variation Due to Dynamic Power Supply Noise, "Mitsuya Fukazawa, Makoto Nagata, IEEE Asian Solid-State Circuits Conference 2005 (A-SSCC), #6-6, pp. 165-168, Nov. 2005.

[107] "A Built-in Power Supply Noise Probe for Digital LSIs, "Mitsuya Fukazawa, Koichiro Noguchi, Makoto Nagata, Kazuo Taki, Asia and South Pacific Design Automation Conference 2006 (ASP-DAC), #1D-9, pp. 106-107, Jan. 2006.

[108] K. Inoue, "Secure Cache! Run-Time Detection and Prevention of Buffer Overflow Attacks, "Proc. of the Asia and South Pacific International Conference on Embedded SoCs (ASPICES05), July 2005.

[109] Hirose, Matsuoka, Taniguchi, Asai, and Amemiya, "Ultralow-power temperature-insensitive current reference circuit, "Technical Program & Abstracts of the 4th IEEE Conference on Sensors, pp. 1205-1208, (2005)

[110] Ueno, Hirose, Asai, and Amemiya, "A CMOS watch-dog sensor for guaranteeing the quality of perishables, "Technical Program & Abstracts of the 4th IEEE Conference on Sensors, pp. 1209-1212, (2005)

[111] Hirose, Asai, and Amemiya, "Spiking neuron

devices consisting of single-flux-quantum circuits, "Program & Abstracts of the 18th International Symposium on Superconductivity, p. 327, (2005)

[112] Hirose, Ueno, Asai, and Amemiya, "Single-flux-quantum circuits for spiking neuron devices, "Proceedings of the 2nd International Conference of Brain-inspired Information Technology, p. 67, (2005)

[113] Y. Kim and T. Morie, "A Pixel Circuit Implementing an Anisotropic Diffusion Algorithm for Subjective Contour Generation Using Merged Analog-Digital circuit Approach, "2006 RISP International Workshop on Nonlinear Circuits and Signal Processing (NCSP'06), Honolulu, Hawaii, March 3-5, 2006.

[114] K. Korekado, T. Morie, O. Nomura, T. Nakano, M. Matsugu, and A. Iwata, "An Image Filtering Processor for Face/Object Recognition Using Merged/Mixed Analog-Digital Architecture, "2005 Symposium on VLSI Circuits, pp. 220-223, Kyoto, Japan, June 17, 2005.

[115] T. Morie, K. Nakamura, and K. Korekado, "A Gabor Filtering VLSI Processor Mimicking a Primary Visual Cortex Function, "Post-IJCNN2005 Workshop, Biologically-Inspired Models and Hardware for Human-like Intelligent Functions (BIMH2005), Montreal, Canada, Aug. 5, 2005.

[116] H. Tanaka, T. Morie, and K. Aihara, "An Analog CMOS Circuit for Spiking Neuron Models, "Abstracts of Brain-Inspired Information Technology (BrainIT2005), p. 68, Kitakyushu, Oct. 7-9, 2005.

[117] D. Atuti, T. Morie, and K. Aihara, "A Current-Sampling-Mode Arbitrary Chaos Generator Circuit Using Pulse Modulation Approach, "Abstracts of Brain-Inspired Information Technology (BrainIT2005), p. 73, Kitakyushu, Oct. 7-9, 2005.

[118] K. Korekado, T. Morie, O. Nomura, T. Nakano, M. Matsugu, and A. Iwata, "Face Position Detection Using an Image Filtering Processor VLSI, "Abstracts of Brain-Inspired Information Technology (BrainIT2005), p. 86, Kitakyushu, Oct. 7-9, 2005.

[119] H. Tanaka, T. Morie, and K. Aihara, "Associative Memory Operation in a Hopfield-type Spiking Neural Network with Modulation of Resting Membrane Potential, "2005 Int. Symp. on Nonlinear Theory and its Applications (NOLTA2005), pp. 313-316, Bruges, Belgium, Oct. 18-21, 2005.

[120] K. Kagawa, S. Yamamoto, T. Furumiya, T. Tokuda, M. Nunoshita, and J. Ohta, "A pulse-frequency-modulation vision chip using a capacitive feedback reset with in-pixel 1-bit image processor, "Electronic Imaging 2006, 6068-14 (2006).

[121] M. Shouho, K. Hashiguchi, K. Kagawa, and J. Ohta, "A low-voltage pulse-width-modulation image sensor, "pp. 226-229 (2005).

[122] Koji Yamamoto, Yuki Maeda, Yasuo Masaki, Keiichiro Kagawa, Masahiro Nunoshita, and Jun Ohta, "A CMOS image sensor for ID detection with high-speed readout of multiple region-of-interests, "pp. 165-168 (2005).

[123] T. Tokuda, D. C. Ng, H. Okamoto, K. Kagawa, J. Ohta, and M. Nunoshita, "Wide Dynamic Range Pulse Modulation Image Sensor for On-chip Bioimaging Applications, "Proceedings of IEEE International Conference on Sensors (2004) 818-821.

[124] David C. Ng, Masamichi Matsuo, Takashi Tokuda, Keiichiro Kagawa, Masahiro Nunoshita, Hideki Tamura, Sadao Shiosaka, and Jun Ohta, "A CMOS Image Sensor for in vitro and in vivo Imaging of the Mouse Hippocampus, "2006 International Conference on Solid State Devices and Materials, 2005/9/13, Kobe, Japan.

[125] Y.Takahashi and M.Yokoyama, "New Cost-effective VLSI Implementation of Multiplierless FIR Filter using Common Subexpression Elimination, "Proc. ISCAS 2005, pp. 1445-1448, May 2005.

[126] Y.Takahashi, T.Sekine, and M.Yokoyama, "A 70 MHz Multiplierless FIR Hilbert Transformer in 0.35 um CMOS, "Proc. ITC-CSCC 2005, Vol. 3, pp. 947-948, July 2005.

[127] H. Niko; Takahashi, H.; Fujita, K.; Nakazawa, M.; Ishikawa, M.; Furusaka, M.; Ino, T.; Kanazawa, M.; An Ultra-Long Global-Local Grouping 1-D MSGC for Very-Large-Area Gas Detector, Nuclear Science Symposium Conference Record, 2005 IEEE Volume 2, October 23-29, Page (s)!1205 1207, (2005).

[128] Fujita, K.; Takahashi, H.; Siritiprussamee, p. ; Niko, H.; Kai, M.; Nakazawa, M.; Furusaka, M.; Ino, T.; Sato, S.; Yokoo, T.; Kishimoto, S.; Development of a 2-Dimensional Multigrid-Type MSGC Using GLG Method for the New Generation Spallation Neutron Source, Nuclear Science Symposium Conference Record, 2005 IEEE

[129] Development of One-Dimensional Neutron Microstrip Gas Counter with Cathode Encodeing, Niko, H.; Fujita, K.; Takahashi, H.; Siritiprussamee, p. ; Nakazawa, M.; Furusaka, M.; Ino, T.; Kishimoto, S.; Nuclear Science Symposium Conference Record, 2005 IEEE Volume 3, October 23-29, Page(s)!1253 1254 (2005).

[130] Takeshi Fujiwara, Kensuke Komatsu, Hiroyuki Takahashi, Masaharu Nakazawa, Yoshiki Shimomura, Distributed Processing Sensor Network Based on Reliability Index and its Simulation, WSEAS TRANSACTIONS on CIRCUITS and SYSTEMS, Issue6, Volume4, 602-609 (2005)

[131] Takeaki Sugimura, Jun Deguchi, Hoon Choi, Takeshi Sakaguchi, Hyuckjae Oh, Takafumi Fukushima, and Mitsumasa Koyanagi, "Low Power and High Sensitivity MRAM Sensing Scheme with Body Biased Preamplifier, "Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials, pp. 928-929, Kobe, Japan, 2005

[132] Takeshi Sakaguchi, Hoon Choi, Takeaki Sugimura, Mikihiko Oogane, Hyuckjae Oh, Jun Hayakawa, Shoji Ikeda, Young Min Lee, Takafumi Fukushima, Terunobu Miyazaki, Hideo Ohno, and Mitsumasa Koyanagi, "Fabrication and Evaluation of Magnetic Tunnel Junction with MgO Tunneling Barrier, "Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials, pp. 642-642, Kobe, Japan, 2005

[133] Takeaki Sugimura, and Mitsumasa Koyanagi, "Novel MRAM Sensing Scheme for Real-time Image Processing System with Three-dimensional Structure, "pp. 15-19, Proceedings of 3rd International Symposium on Mechanical Science Based on Nanotechnology, Sendai (2005)

[134] Taiichiro Watanabe, Keita Motonami, Kazuhiro Sakamoto, Jun Deguchi, Risato Kobayashi, Ken Komiya, Keiji Okumura, Takafumi Fukushima, Hiroyuki Kurino, Hajime Mushiake, and Mitsumasa Koyanagi, "Intelligent Neural Implant Microsystem Fabricated Using Multi-Chip Bonding Technique, "Extended Abstracts of the 2005 International Conference on Solid State Devices and Materials, 462-463 (2005).

[135] Keita Motonami, Taiichiro Watanabe, Jun Deguchi, Takafumi Fukushima, Hiroshi Tomita, Eriko Sugano, Manami Sato, Hiroyuki Kurino, Makoto Tamai, and Mitsumasa Koyanagi, "Evaluation of Electrical Stimulus Current to Retina Cells for Retinal Prosthesis, "Extended Abstracts of the 2005 International Conference on Solid State Devices and Materials, 464-465 (2005).

[136] Tomita, E.Sugano, M.Sato, H.Kurino, Y.Usui, J.Deguchi, T.Watanabe, K.Motonami, M.Koyanagi, M.Tamai, "Electrical Stimulation of the Rabbit Retina With Epi-Retinal Implanted Electrode Arrays."The Association for Research in Vision and Ophthalmology (ARVO) Annual Meeting, 1508/B277 (2005).

[137] E.Sugano, H.Tomita, M.Sato, H.Kurino, J.Deguchi, T.Watanabe, K.Motonami, M.Koyanagi, M.Tamai "Studies on the Biocompatibility of Materials for Retinal Prosthesis, "The Association for Research in Vision and Ophthalmology (ARVO) Annual Meeting, 1535/B304 (2005)

[138] Takumi Uezono, Kenichi Okada, and Kazuya Masu, "Via Distribution Model for Yield Estimation, "IEEE International Symposium on Quality Electronic Design (ISQED), pp. 479-484, San Jose, CA, Mar. 2006.

[139] Kazuya Masu, Kenichi Okada, and Hiroyuki Ito, "On-chip signal transmission and interconnect for Si CMOS LSI, "(invited) IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), San Diego, CA, Jan. 2006.

[140] Junki Seita, Hiroyuki Ito, Hideyuki Sugita, Kenichi Okada, Tatsuya Ito, Kazuhisa Itoi, Masakazu Sato, and Kazuya Masu, "Distributed Constant Passive Devices Using Wafer-Level Chip Scale Package Technology for One-Chip Wireless Communication Circuits, "IEEE

Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), San Diego, CA, Jan. 2006.

[141] Kenichi Okada, Hirotaka Sugawara Daisuke Kawazoe, Yusaku Ito, and Kazuya Masu, "Reconfigurable RF Circuit Design for Multi-Function and Self-Compensation, "International Symposium on Advanced Reconfigurable Systems, Kyoto, Dec. 2005.

[142] Daisuke Kawazoe, Hirotaka Sugawara, Takeshi Ito, Kenichi Okada, and Kazuya Masu, "A Reconfigurable RF Circuit Architecture for Dynamic Power Reduction, "IEEE International Region 10 Conference (Tencon), pp. 115, Melbourne, Australia, Nov. 2005.

[143] Hiroyuki Ito, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "4 Gbps On-Chip Interconnection using Differential Transmission Line, "IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 417-420, Hsinchu, Taiwan, Nov. 2005.

[144] Yusaku Ito, Yoshiaki Yoshihara, Hirotaka Sugawara, Kenichi Okada, and Kazuya Masu, "A 1.3-2.8 GHz Wide Range CMOS LC-VCO Using Variable Inductor, "IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 265-268, Hsinchu, Taiwan, Nov. 2005.

[145] Kazuhisa Itoi, Masakazu Sato, Hiroshi Abe, Takuya Aizawa, Oasmu Nakao, Takashi Takizawa, Kenichi Okada, Kazuya Masu, and Tatsuya Ito, "Fabrication of high-performance on-die passives based on multi-Cu-layer WLP processes, "International Wafer-Level Packaging Congress, San Jose, CA, Nov. 2005.

[146] Makoto Kimura, Hiroyuki Ito, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "High-Density Differential Transmission Line Bus Structure for 65nm Technology, "Advanced Metallization Conference, Asian Session (ADMETA), pp. 56-57, Tokyo, Oct. 2005.

[147] Hirotaka Sugawara, Yoshiaki Yoshihara, Kenichi Okada, and Kazuya Masu, "Reconfigurable CMOS LNA for Software Defined Radio Using Variable Inductor, "IEEE MTT-S European Microwave Conference (EuMC), pp. 1947-1950, Paris, France, Oct. 2005.

[148] Khoa Dang Pham, Kenichi Okada, and Kazuya Masu, "On-Chip Variable Inductor using MOS-FET Switches, "IEEE MTT-S European Microwave Conference (EuMC), pp. 1347-1350, Paris, France, Oct. 2005.

[149] Makoto Kimura, Hiroyuki Ito, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "High-Density Differential Transmission Line Bus Structure for 65nm Technology, "Advanced Metallization Conference (AMC), pp. 26-27, Colorado Springs, CO, Sep. 2005.

[150] Tackya Yammouch, Hirotaka Sugawara, Kenichi Okada and Kazuya Masu, "A Large Variable Ratio Inductor with Spider Legs Shield, "International Conference on Solid State Devices and Materials (SSDM), pp. 652-653, Kobe, Sep. 2005.

[151] Makoto Kimura, Hiroyuki Ito, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "Zero-Crosstalk Bus Line Structure for Global Interconnects in Si ULSI, "International Conference on Solid State Devices and Materials (SSDM), pp. 936-937, Kobe, Sep. 2005.

[152] Kazuhisa Itoi, Masakazu Sato, Kenichi Okada, Kazuya Masu, and Tatsuya Ito, "Comparison of compact on-chip inductors embedded in Wafer-level Package, "Electronic Components and Technology Conference (ECTC), pp. 1578-1583, San Diego, CA, May 2005.

[153] Takanori Kyogoku, Junpei Inoue, Hidenari Nakashima, Takumi Uezono, Kenichi Okada and Kazuya Masu, "Wire Length Distribution Model Considering Core Utilization for System on Chip, "IEEE Computer Society Annual Symposium on VLSI (ISVLSI), pp. 276-277, Tampa, Florida, May 2005.

[154] Tatsuya Ito, Kazuhisa Itoi, Masakazu Sato, Hiroshi Abe, Kenichi Okada, Kazuya Masu, "Integration of the passive element above IC wafers by applying Wafer Level Package technology, "International Workshop on High Frequency Micromagnetic Devices and Materials, pp. 29-30, Sendai, Apr. 2005.

[155] Hideyuki Sugita, Hiroyuki Ito, Shinichiro Gomi, Kenichi Okada, and Kazuya Masu, "On-Wafer Measurement of Pseudo Differential Transmission Line for Global Interconnect in Si LSI, "International Meeting for Future of Electron Devices (IMFEDK), Kansai, pp. 35-36,

Kyoto, Apr. 2005.

[156] Takumi Uezono, Junpei Inoue, Takanori Kyogoku, Kenichi Okada, and Kazuya Masu, "Prediction of Delay Time for Future LSI Using On-Chip Transmission Line Interconnects, "IEEE International Workshop on System Level Interconnect Prediction (SLIP), pp. 7-12, San Francisco, CA, Arp. 2005.

[157] Shingo Yoshizawa, Yoshikazu Miyanaga, Hiroshi Ochi, Yoshio Itho, Nobuo Hataoka, Baiko Sai, Norihisa Takayama, Masaki Hirata, "300-Mbps OFDM Transceiver for Wireless Communication with an 80-MHz Bandwidth, "International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp. 213-216, Dec. 2005.

[158] Yasuyuki Hatakawa, Shingo Yoshizawa, Yoshikazu Miyanaga, "Robust VLSI Architecture for System-On-Chip Design and its implementation in Viterbi Decoder, "IEEE International Symposium on Circuits and Systems (ISCAS), Vol. 3, pp. 25-28, May 2005.

[159] H. Michie, M. kidono, N. Yoshikawa, "Design of a CMOS Deceimation Filter for Josephson/CMOS Hybrid AD Converters"Extended Abstract of 10th International Superconductivity Conference, 5-9 September 2005, Noord wijkerhout, The Netherlands, P-B07.

[160] M. Tokuda, T. Tomida, H. K. Kojima, N. Yoshikawa, K. Fujiwara, Q. Liu, T. VanDuzer"Access-Time Measurements of Josephson-CMOS Hybrid Memory using SFQ Circuits, "Extended Abstract of 10th International Superconductivity Conference, 5-9 September 2005, Noord wijkerhout, The Netherlands, P-B05.

[161] Q. Liu, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, M. Tokuda, N. Yoshikawa"Measurements on the Josephson ?CMOS Hybrid Memory"Extended Abstract of 10th International Superconductivity Conference, 5-9 September 2005, Noord wijkerhout, The Netherlands, O-A03.

[162] M. Watanabe, F. Kobayashi, "A 1, 632 gate-count zero-overhead Dynamic Optically Reconfigurable Gate Array VLSI, "International Workshop on Applied Reconfigurable Computing, 2006.

[163] M. Watanabe, F. Kobayashi, "A 476-gate-count Dynamic Optically Reconfigurable Gate Array VLSI chip in a standard 0.35u m CMOS Technology, "Asia and South Pacific Design Automation Conference, pp. 108-109, 2006.

[164] M. Watanabe, F. Kobayashi, "A zero-overhead Dynamic Optically Reconfigurable Gate Array, "IEEE International Conference on Field-Programmable Technology, pp. 297-298, 2005.

[165] M. Miyano, M. Watanabe, F. Kobayashi, " Rapid Reconfiguration of an Optically Differential Reconfigurable Gate Array with Pulse Lasers, "IEEE International Conference on Field-Programmable Technology, pp. 287-288, 2005.

[166] M. Watanabe, F. Kobayashi, "A 51, 272-gate-count Dynamic Optically Reconfigurable Gate Array in a standard 0.35um CMOS Technology, "International Conference on Solid State Devices and Materials, pp. 336-337, 2005.

[167] M. Watanabe, F. Kobayashi, "An improved dynamic optically reconfigurable gate array, "IEEE COMPUTER SOCIETY ANNUAL SYMPOSIUM ON VLSI, 136-141, 2005.

[168] M. Miyano, M. Watanabe, F. Kobayashi, "Optically Differential Reconfigurable Gate Array using an optical system with VCSELs, "IEEE COMPUTER SOCIETY ANNUAL SYMPOSIUM ON VLSI, 274-275, 2005.

[169] M. Watanabe, F. Kobayashi, "A 16, 000-gate-count Optically Reconfigurable Gate Array in a standard 0.35um CMOS Technology, "IEEE International Symposium on Circuits and Systems, pp. 1214-1217, 2005.

[170] M. Watanabe, F. Kobayashi, "An Optically Differential Reconfigurable Gate Array VLSI chip with a dynamic reconfiguration circuit, "IEEE International parallel & Distributed Processing Symposium, p. 145, 2005.

[171] Bakhtiar Affendi Rosdi, Atsushi Takahashi, "Low Area Pipelined Circuits by Multi-clock Cycle Path and Clock Scheduling, "In Proc. Asia and South Pacific Design Automation Conference 2006 (ASP-DAC 2006), pp. 260-265, January 27, 2006.

[172] K. Onizuka, T. Sakurai, "VDD-Hopping Accelerator for On-Chip Power Supplies Achieving Nano-Second Order Transient Time, "IEEE Asian Solid-State Circuits Conference,

Hsinchu, Taiwan, Session6-1, pp. 145-148, Nov. 2005.

[173] K. Ishida, K. Kanda, A. Tamtrakarn, H. Kawaguchi, and T. Sakurai, "Subthreshold-Leakage Suppressed Switched Capacitor Circuit Based on Super Cut-Off CMOS (SCCMOS), "Proceedings of IEEE International Symposium on Circuits and Systems, pp. 3119-3122, May 2005.

[174] Atit Tamtrakarn, K. Ishida, and T. Sakurai, "A 20% Power Reduction in Two-stage Opamp by Source-Degenerated Active-Load Phase Compensation, "Solid State Devices and Materials, Sep. 2005.

[175] Canh Quang Tran, H. Kawaguchi, T, Sakurai, "More Than Two orders of Magnitude Leakage Current Reduction in Look-Up Table for FPGA's, "IEEE International Symposium on Circuits and Systems, Kobe, Japan, C2L-D, pp. 4701-4704, May 2005.

[176] Canh Quang Tran, H. Kawaguchi, T, Sakurai, "Low-power High-speed Level Shifter Design for Block-level Dynamic Voltage Scaling Environment, "IEEE International Conference on Integrated Circuit Design and Technology, Texas, USA, 1, pp. 229-232, May 2005.

[177] K. Ishida, K. Kanda, A. Tamtrakarn, H. Kawaguchi, and T. Sakurai, "Managing Leakage in Charge-Based Analog Circuits with Low-VTH Transistors by Analog T-Switch (AT-Switch) and Super Cut-off CMOS, "IEEE/JSAP Symposium on VLSI Circuits Digest of Technical Papers, pp. 122-125, June 2005.

[178] Canh Quang Tran, H. Kawaguchi, T, Sakurai, "95% Leakage-Reduced FPGA using Zigzag Power-gating, Dual-VTH/VDD and Micro-VDD-Hopping, "IEEE Asian Solid-State Circuits Conference, Hsinchu, Taiwan, 6, pp. 149-152, Nov. 2005.

[179] K. Ishida, A. Tamtrakarn, H. Ishikuro, and T. Sakurai, "An Outside-Rail Opamp Design Targeting for Future Scaled Transistors, "Proceedings of 2005. IEEE Asian Solid-State Circuits Conference, pp. 73-76, Nov. 2005.

[180] Benjamas Tongprasit, Kiyoto Ito, and Tadashi Shibata, "A Computational Digital-Pixel-Sensor VLSI Featuring Block-Readout Architecture for Pixel-Parallel Rank-Order Filtering, "in the Proceedings of The 2005 International Symposium on Circuits and Systems (ISCAS' 05), pp. 2389-2392, Kobe, Japan, May 23-26, 2005.

[181] Tomoyuki Nakayama, Toshihiko Yamasaki, and Tadashi Shibata, "A Low-Power Switched-Current CDMA Matched Filter Employing MOS-Linear Matching Cell and Output A/D Converter, "in the Proceedings of The 2005 International Symposium on Circuits and Systems (ISCAS' 05), pp. 5365-5368, Kobe, Japan, May 23-26, 2005.

[182] Hideo Yamasaki and Tadashi Shibata, "A Real-Time Image-Feature-Extraction and Vector-Generation VLSI Employing Arrayed-Shift-Register Architecture, "in the Proceeding of the 31th European Solid-State Circuits Conference (ESSCIRC), pp. 121-124, Grenoble, France, 12-16 September, 2005.

[183] Hideo Yamasaki, and Tadashi Shibata, "A High-Speed Median Filter VLSI Using Floating-Gate-MOS-Based Low-Power Majority Voting Circuits, "in the Proceeding of the 31th European Solid-State Circuits Conference (ESS-CIRC), pp. 125-128, Grenoble, France, 12-16 September, 2005.

[184] Yusuke Nakashita, Yoshio Mita, and Tadashi Shibata, "An Analog Visual Pre-Processing Processor Employing Cyclic Line Access in Only-Nearest-Neighbor-Interconnects Architecture, "to be published in Advances in Neural Information Processing Systems 18! Proceedings of the 2005 NIPS Conference, Vancouver, Canada, Dec. 2005.

[185] Kiyoto Ito, and Tadashi Shibata, "A Time-Domain Gradient-Detection Architecture for VLSI Analog Motion Sensors, "accepted for presentation at the 2006 IEEE International Symposium on Circuits and Systems (ISCAS'06), Island of Kos, Greece , May 21-24, 2006.

[186] Benjamas Tongprasit, Tadashi Shibata, "Power-Balanced Reconfigurable Floating-Gate-MOS Logic Circuit for Tamper Resistant VLSI, "accepted for presentation at the 2006 IEEE International Symposium on Circuits and Systems (ISCAS'06), Island of Kos, Greece , May 21-24, 2006.

[187] Kazuki Kusumi, Yoshifumi Sekine, Examination

of Chaos Transmission Usingthe Pulse-type Hardware Chaos Neuron Models, the 2005 InternationalTechnical Conference on Circuits/ Systems, Computers and Communications(ITC-CSCC2005), Vol. 4, pp. 1329-1330, Korea, 2005.7.7.

[188] Yoshifumi Sekine, Sungyoon Yoon, and Masashi Muragi, Propagation Methodof Pulses in a 2-Dimensional Neural Network Using Pulse-Type Hardware NeuronModels, the 2005 International Technical Conference on Circuits/ Systems, Computers and Communications (ITC-CSCC2005), Vol. 1, pp. 81-82, Korea, 2005.7.5.

[189] Hatsavanh HAIMANY, Katsuyuki ONO, Katsutoshi SAEKI, Yoshifumi SEKINE, New Connecting Factors, Incorporated in a Pulse-Type Hardware Neuron Model, Changes Plasticity in Analog VLSI Design, Proc. 2005 IEEJ InternationalAnalog VLSI Workshop, CD-ROM, Bordeaux, France, Oct. 2005.

[190] Keiko Hata, Katsutoshi Saeki, Yoshifumi Sekine, A Pulse-Type HardwareCPG Model for Quadruped Locomotion Pattern, The Second InternationalConference on Brain-inspired Information Technology, p. 55, Kitakyusyu, Oct.2005.

[191] Ken Saito, Yoshifumi Sekine, A Construction of the Element forHierarchical ANN with an Inhibitory Shunting Manner, The SecondInternational Conference on Brain-inspired Information Technology, p. 77, Kitakyusyu, Oct. 2005.

[192] Y.Ishikawa and S.Fukai, “A Simple Neuron MOS Comparator” , pp. 1127-1128, International Technical Conference On Circuits/System, Computers and Communications (ITC-CSCC), Proceedings, Vol. 3, (2005-7).

[193] S. Kohara, N. Tomono, J. Uchida, Y. Miyaoka, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "An Interface-Circuit Synthesis Method with Configurable Processor Core in IP-Based SoC Designs, "Proc. of ASP-DAC 2006, pp. 594-599, Jan. 2006.

[194] Vu Mahn Tuan, Yohei Hasegawa, Naohiro Katsura, and Hideharu AmaNo. "Performance/Cost trade-off evaluation for the DCT implementation on the Dynamic ally Reconfigurable Processor, "In Proceedings of International Workshop on Applied Reconfigurable Computing (ARC2006), March 2006.

[195] Yohei Hasegawa, Shohei Abe, Shunsuke Kurotaki, Vu Manh Tuan, Naohiro Katsura, Takuro Nakamura, Takashi Nishimura, and Hideharu AmaNo. "Application-Based Performance and Power Analysis of Dynamically Reconfigurable Processor". International Symposium on Advanced Reconfigurable Systems, December 2005.

[196] Yohei Hasegawa, Shohei Abe, Hiroki Matsutani, Kenichiro Anjo, Toru Awashima, and Hideharu AmaNo. "An Adaptive Cryptographic Accelerator for IPsec on Dynamically Reconfigurable Processor."In Proceedings of International Conference on Field Programmable Technology (FPT2005), pp. 163-170, December 2005.

[197] Hideharu Amano, Shohei Abe, Katsuaki Deguchi, and Yohei Hasegawa. "An I/O mechanism on a Dynamically Reconfigurable Processor -Which should be moved! Data or Configuration?-."In Proceedings of International Conference on Field Programmable Logic and Application (FPL2005), pp. 347-352, August 2005.

[198] Shunsuke Kurotaki, Noriaki Suzuki, Kazuhiro Nakadai, Hideharu AmaNo. "Implementation of Active Direction-Pass Filter on Dynamically Reconfigurable Processor."In Proceedings of IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS-2005), pp. 215-220, August 2005.

[199] Shohei Abe, Yohei Hasegawa, and Hideharu AmaNo. "Implementation of AES on the Dynamic Reconfigurable Processor, "COOL Chips VIII, April 2005.

[200] Hideharu Amano, Shohei Abe, Yohei Hasegawa, Katsuaki Deguchi and Masayasu Suzuki. "Performance and Cost Analysis of Time-multiplexed Execution on the Dynamically Reconfigurable Processor, "IEEE Symposium on Field-Programmable Custom Computing Machines (FCCM2005), April 2005.

[201] Yasuo Miyabe, Akira Kitamura, Yoshihiro Hamada, Tomotaka Miyasiro, Tetsu Izawa, Noboru Tanabe, Hironori Nakajo, Hideharu

Amano, "Implementation and Evaluation of the Mechanisms for Low Latency Communication on DIMMnet-2, "The sixth International Symposium on High Performance Computing (ISHPC-VI), poster session (2005).

[202] Akira Kitamura, Yoshihiro Hamada, Yasuo Miyabe, Tetsu Izawa, Tomotaka Miyasiro, Konosuke Watanabe, Tomohiro Otsuka, Noboru Tanabe, Hironori Nakajo, and Hideharu Amano, "Evaluation of Network Interface Controller on DIMMnet-2 Prototype Board, "pp. 778-780, The 6th International Conference on Parallel and Distributed Computing, Applications and Technologies(PDCAT2005) (2005).

[203] Yasunori Osana, Yow Iwaoka, Tomonori Fukushima, Masato Yoshimi, Akira Funahashi, Noriko Hiroi, Yuichiro Shibata, Naoki Iwanaga, Hiroaki Kitano, and Hideharu AmaNo. "A Framework for ODE-Based Multimodel Biochemical Simulations on an FPGA."Proccedings of the 15th Field Programmable Logic and its applications(FPL) 2005. Tampere, Finland. August 2005. pp. 574-577.

[204] Yasunori Osana, Tomonori Fukushima, Masato Yoshimi, Yow Iwaoka, Akira Funahashi, Noriko Hiroi, Yuichiro Shibata, Hiroaki Kitano, and Hideharu AmaNo. "An FPGA-Based, Multi-model Simulation Method for Biochemical Systems."Proccedings of the 19th International Parallel and Distributed Processing Symposium / Reconfigurable Architecture Workshop. Denver, Colorado, USA. Apr 2005.

[205] Usami, Ohkubo, Shirakawa, "Analysis on MTC-MOS Circuit based on Lumped RC Model for Virtual Ground Line, "ISOCC'05 (2005).

[206] Ohkubo, Usami, "Delay Modeling and Static Timing Analysis for MTCMOS Circuits, "ASP-DAC'06 (2006年1月).

[207] Tadashi Saito, Moto Maeda, Tetsuya Sueyoshi, Kenichi Aoyama, Tetsushi Koide, Tetsuo Hironaka, Kazuya Tanigawa, "Design of Superscalar Processor with Multi-bank Register File, "IEEE International Symposium on Circuits and Systems, 2005(ISCAS2005), pp. 3507-3510, May 2005.

[208] Tetsuo Hironaka, Moto Maeda, Tadashi Saito, Tetsuya Sueyoshi, Kenichi Aoyama, Tetsushi Koide, Hans Juergen Mattausch and Kazuya Tanigawa, "Superscalar Processor with Multi-Bank Register File, "Post Proc. of 8th International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA'05), Nov. 2005.

[209] I・Yuji Ichikawa, Takahiro Sasaki, Tetsuo Hironaka, Kazuya Tanigawa, Toshiaki Kitamura, Toshio Kondo, "A Design of Prototype Low Energy Processor by Variable Stages Pipeline Technique, "International Technical Conference on Circuits/Systems Computers and Communications(ITC-CSCC2005), Vol. 2, pp. 561-562, 2005.

[210] Keisuke Suzuki, Munetaka Asao, Katsutoshi Nakanishi, Kazuya Tanigawa, Tetsuo Hironaka, "Evaluation of the n Bit-Serial Arithmetic Units in Consideration of Trade-off between Area and Performance, "International Technical Conference on Circuits/Systems Computers and Communications (ITC-CSCC2005), Vol. 3, pp. 943-944, 2005.

[211] 山川，井上，江藤，千代永，竹中，梅田，常田，"An Advanced Design of A Smart RF ID Tag Circuit for Heartbeat Signal Extraction"2005年10月, 2005 International Analog VLSI Workshop

[212] T. Matsumura, N. Iwanaga, T. Onoye, W. Kobayashi, I. Shirakawa, and I. Arungsrisangchai, "3D Sound Movement System for Embedded Applications, "Proc. IEEE International Symposium on Circuits and Systems (ISCAS2005), pp. 5345-5348, May 2005

[213] Y. Mitsuyama, R. Imai, K. Takahashi, T. Onoye, and I. Shirakawa, "An Approach for Area-Efficient Coarse-Grained Reconfigurable Architecture Dedicated to Media Processing, "Proc. International Technical Conference of Circuits/Systems, Computers and Communications (ITC-CSCC2005), pp. 131-132, July 2005.

3. 国内学会, 研究会等

[1] 平塚　誠一郎，後藤　敏，池永　剛，"超低演算量な動き検出アルゴリズムと専用プロセッサへの実装，"電子情報通信学会信号処理／集積回路研究会，Oct. 2005.

[2] Wei Dai, Tohru Hisakado, Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, Yukiyasu Tsunoo, "A power disturbance circuit for A5/1 resistant to power analysis attack, "Symposium on Cryptography and Information Security (SCIS2006), Jan. 2006.

[3] 有門 智弘，後藤 敏，池永 剛，“奥行情報を用いた携帯端末向けリアルタイム 人物抽出LSI,”電子情報通信学会集積回路研究会，Mar. 2006.

[4] 伊東 健，池永 剛，中村 創，“デジタルシネマ用JPEG 2000エンコーダ向け並 列CBMアルゴリズム及びLSIアーキテクチャ,”電子情報通信学会集積回路研究会, Mar. 2006.

[5] 円林 晃一郎，赤木 美穂，升井 義博，眞下 隆行，吉田 毅，佐々木 守，岩田 穆，“1V動作サイクリックAD変換回路の設計,”電子情報通信学会総合大会(2005).

[6] 升井 義博，真下 隆行，吉田 毅，佐々木 守，岩田 穆，“オートゼロ・チョッパスタビライズ技術を併用した1V動作・低雑音CMOS増幅器,”電子情報通信学会技術研究報告，ICD2005-55 (2005).

[7] 石田 尚也，佐々木 守，吉田 毅，岩田 穆，“1チップ無線センサLSIのための低電圧低雑音リングオシレータ型VCO,”電子情報通信学会技術研究報告，ICD2005-57 (2005).

[8] 円林 晃一郎，升井 義博，吉田 毅，佐々木 守，岩田 穆，“生体信号検出のためのバンドパスΣΔAD変換器,”pp. 255-258, 第9回システムLSIワークショップ(2005).

[9] 飯塚 哲也，池田 誠，浅田 邦博，“任意回路構造に対する最小幅トランジスタ配置のための計算量削減手法,”情報処理学会 DAシンポジウム2005論文集，pp. 121-126, 2005年8月.

[10] 飯塚 哲也，池田 誠，浅田 邦博，“セルレイアウトの歩留まり最適化のためのタイミング制約下におけるデコンパクション手法,”電子情報通信学会 技術研究報告，Vol. 105, No. 442, pp. 79-84, 2005年12月.

[11] T. Yamamoto, M. Ikeda, and K. Asada, "Symbolic Analysis of Performance Fluctuation on Analog Circuits, "in Proc. of IEICE Karuizawa Workshop 2005, pp. 31-36, May 2005. (in Japanese)

[12] T. Nakura, M. Ikeda, and K. Asada, "di/dt Detector Core for Power Supply of LSI, "7th IP Award from LSI IP Design Award Committees, May 2005.

[13] 飯塚 哲也，池田 誠，浅田 邦博，“歩留まり最適化のためのCMOS論理セルレイアウトIP生成システム”日経BP主催 第7回 LSI IP デザイン・アワード 開発助成部門 開発奨励賞

[14] 今井，渡邊，近藤，中村，南谷，“遅延変動特性を考慮したタイミング信号設計方式に関する検討,”pp. 31-36, 電子情報通信学会技術研究報告, VLD2005-59 (2005)

[15] 渡邊，今井，近藤，中村，南谷，“bit単位の遅延変動を考慮した高性能低消費電力演算回路の設計,”pp. 37-42, 電子情報通信学会技術研究報告, VLD2005-60 (2005)

[16] 松元 隆博，月足 繁夫，松藤 信哉，棚田 嘉博，“光ZCZ符号発生器の設計,”電子情報通信学会技術研究報告，WBS2005-41，pp. 13-18 (2005).

[17] 平田 智彦，松元 隆博，松藤 信哉，棚田 嘉博，“多次元直交変換器の構成,”第7回IEEE広島支部学生シンポジウム論文集，p. 161-162 (2005).

[18] 月足 繁夫，松元 隆博，松藤 信哉，棚田 嘉博，“M系列型アダマール行列による光ZCZ符号発生器のFPGAへの実装,”第7回IEEE広島支部学生シンポジウム論文集，p. 163-164 (2005).

[19] 月足 繁夫，河村 慎吾，松元 隆博，松藤 信哉，棚田 嘉博，“シルベスタ形アダマール行列による光ZCZ符号発生器の試作,”平17電気・情報関連学会中国支部連合大会講演論文集，p. 33 (2005).

[20] 辻 拓郎，佐々木 敬泰，市川 裕二，弘中 哲夫，近藤 利夫，“可変パイプライン構造による低消費電力技術を用いた浮動小数点演算器の実装および評価,”情報処理学会研究報告，Vol. 2005-ARC-164, pp. 37-42 (2005).

[21] 宇田川，浅井，廣瀬，雨宮，“ノイズを利用してΔΣ変調を行うサブスレッショルドCMOS回路,”電子情報通信学会総合大会，(2006年3月)

[22] 山田，浅井，廣瀬，雨宮，“Collision-Based Computing に基づく論理回路設計,”電子情報通信学会総合大会，(2006年3月)

[23] 廣瀬， Alexandre Schmid， 浅井， Yusuf Leblebici，雨宮，“シリコン神経回路網におけるスパイクニューロン回路の高精度同期～積分発火型ニューロンと減衰シナプス，STDP学習回路の回路実装～,”電子情報通信学会 ニューロコンピューティング研究会，(2005年11月)

[24] 中田，浅井，林，“Resonate-and-Fire Neuron モ

デルのアナログCMOS 集積回路化,”電子情報通信学会 ニューロコンピューティング研究会,(2005年11月)
[25] 鈴木，元池，浅井，“二層連続抵抗体における空間パターンの発生メカニズム,”日本物理学会秋季大会，(2005年9月)
[26] 鈴木，元池，浅井，“非線形アナログ回路と連続抵抗体のネットワークにおけるパターン形成!実デバイスによるDoE拡散実験,”日本物理学会第61回年次大会，(2006年3月)
[27] 神谷，元池，浅井，“アナログLSI上に実装した拡散Lotka-Volterra系における空間パターンの発生,”日本物理学会秋季大会，(2005年9月)
[28] 中山　和也，高田　雅史，泉　貴富，“相変化不揮発性メモリの可能性,”pp. 41-47, JSAP Catalog Number!AP-53331
[29] 鈴木　史継，尾木　貴裕，浜本　隆之，“2つの広ダイナミックレンジ撮像方式を実現するイメージセンサ,”映情学技報，Vol. 29, No. 27, pp. 17-20 (2005)
[30] 樽木　久征，今井　功，浜本　隆之，大竹　浩，“フレーム間およびフレーム内相関を用いた画像圧縮イメージセンサ,”映情学技報，Vol. 29, No. 27, pp. 21-24 (2005)
[31] 浜本　隆之，土井　俊輔，原　彰宏，鈴木　史継，藤田　健治，“可変蓄積時間による広ダイナミックレンジイメージセンサ,”若手研究者のためのイメージセンサLSI設計フォーラム，4pages (2005)
[32] 増田　健太郎，浜本　隆之，“明るさと動きに適応するスマートイメージセンサ,”Image Media Processing Symposium (IMPS05), I-2.10, pp. 35-36 (2005)
[33] Y. Liu, S. Komatsu, M. Fujita, "Timed/Untimed Synchronization for Mixed-Signal System Level Design Environment, "18th Workshop on Circuits and Systems in Karuizawa, Apr.2005, Karuizawa, Japan
[34] 難波，伊藤，“欠陥救済Wallace乗算器の設計,”信学技報，FIIS, (2005)
[35] G. Zeng, H. Ito, “Low-Cost IP Core Test Using Multiplie-Mode Loading Scan Chain, ”信学技報，FIIS, (2005)
[36] 榎本，難波，伊藤，“縮退故障検出可能な耐ソフトエラーラッチの提案と評価,”信学技報，FIIS, (2006)
[37] 佐々木, 難波，伊藤，“シュミットトリガ回路を用いたソフトエラーマスクラッチ,”信学'06総大，D-10-6 (2006)
[38] Masato Kitakami and Junpei Sano, "Code Design and Decoding Methods for Burst Error Locating Codes, "IEICE Technical Report, FIIS-2005, No. 160, June 2005.
[39] M. A. Abedin, K. kamimura, A. Ahamadi, T. koide, and H. J. Mattausch, "Minimum Euclidean Distance Associative Memory Architecture with Fully-Parallel Search Capability, "The 13th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2006), 3-4 Apr 2006, Nagoya, Japan.
[40] 松野　裕之，奥田　真如，才辻　誠，宮崎　崇，西村　英樹，神戸　尚志，“ハードウェア／ソフトウェア協調設計による音声認識システムの設計,”情報処理学会DAシンポジウム(2005)
[41] 小田島　賢和，畑田　浩二，小西　徹也，田中照人，神戸　尚志，“リードソロモン符号を用いたエラー訂正回路設計,”電気関連学会関西支部連合大会(2005)
[42] 大窪　啓太，朝利　壮吾，矢野　智規，神戸尚志，“粒子追跡システムのための高速演算回路設計,”電気関連学会関西支部連合大会(2005)
[43] 大窪　啓太，朝利　壮吾，矢野　智則，神戸尚志，“特定用途向け低ビット複合演算回路設計,”デザインガイア(2005)
[44] 高木　宏章･秋田　純一，“急速眼球運動対応の視線検出機能をもつVisionChipアーキテクチャ”，映像情報メディア学会技術報告，Vol. 29, Vo.34, IST2005-30, pp. 17-20, 2005.6.
[45] 土谷　亮，新名　亮規，橋本　昌宜，小野寺秀俊，“CMLを用いたオンチップ長距離高速信号伝送技術の開発,”pp. 275-278, 第9回システムLSIワークショップ(2005)
[46] 小林　和淑，香月　和也，小谷　学，小野寺秀俊,”トランジスタの特性ばらつきを利用する再構成デバイス,”pp. 129-135, 第9回システムLSIワークショップ(2005)
[47] 小野寺　秀俊，“微細化限界を回路テクノロジで突破する,”pp. 57-68, 第9回システムLSIワークショップ(2005)
[48] 上村　晋一朗，橋本　昌宜，小野寺　秀俊，“LC共振器におけるMOSFETの抵抗成分を考慮した等価並列抵抗の見積もり，“ pp. 119, C-12-39, 電子情報通信学会ソサイエティ大会(2005)
[49] 湯山　洋一，土谷　亮，小林　和淑，小野寺秀俊，“交互自己シールド方式を用いたオンチップグローバル配線の通信信頼性向上手法の検

討,”pp. 145-150, DA シンポジウム(2005)
[50] 土谷亮，橋本昌宜，小野寺秀俊，“配線の伝達特性に基づく抽出周波数決定手法,”pp. 169-174, DA シンポジウム(2005)
[51] 土谷　亮，橋本　昌宜，小野寺　秀俊，“オンチップ高速信号伝送における終端抵抗決定手法,”pp. 425-430, 第18回 回路とシステム(軽井沢)ワークショップ(2005)
[52] 池辺他，“負帰還を用いた蓄積容量制御CMOSイメージセンサ,”信学技報(2005)
[53] 齊藤，池辺，“負帰還型蓄積容量 変調CMOSイメージセンサ”LSIワークショップ(2005)
[54] 池辺他“CMOSイメージセンサの負帰還リセットとCDS併用の検討”映像情報メディア学会誌研究会(2005)
[55] 中谷　好博，張山　昌論，亀山　充隆，“多値・二値ハイブリッドコンテクストスイッチング信号を用いたマルチコンテクストFPGAのアーキテクチャ,”信学技報，Vol. 105，No. 569，pp. 37-42，(2006)
[56] 横山　直人，張山　昌論，亀山　充隆，“ウィンドウ並列・ピクセル並列スケジューリングに基づく高信頼ステレオマッチングVLSIのアーキテクチャ，”電気関係学会東北支部連合大会，2I8, p. 328, (2005).
[57] 横山　直人，張山　昌論，小林　康浩，亀山　充隆，“ウィンドウ並列・ピクセル並列アーキテクチャに基づくステレオビジョンプロセッサ,”信学技報，Vol. 105, No. 569, pp. 43-46, (2006)
[58] 矢舗，吉田，谷本，“CMOSインバータを用いたアクティブRCポリフェーズフィルタの設計”，電気学会電子回路研究会資料，ECT-06-16, 2006
[59] 森田　泰弘，藤原　英弘，野口　紘希，川上　健太郎，宮越　純一，三上　真司，新居　浩二，川口博，吉本　雅彦，“動的電圧制御環境下における0.3-V 動作64-kb SRAM,”2006年電子情報通信学会総合大会，AS-2-2，2006年3月.
[60] 宮越　純一，村地　勇一郎，浜野　康司，松野哲郎，深山　正幸，吉本　雅彦，“動画像符号化動きベクトル検出のための低消費電力シストリックアレイアーキテクチャの研究,”電子情報通信学会　信学技報ICD2005-20, Vol. 105, No. 95, pp. 1-6, 2005年5月
[61] 三上　真司，松野　哲郎，深山　正幸，吉本雅彦，“近距離データ通信用超低消費電力ワイヤレスインターフェースLSI技術,”電子情報通信学会第4回シリコンアナログRF研究会，p. 3，2005年5月.
[62] 神山　真一，森江　太士，中原　健太郎，泉知論，越智　裕之，中村　行宏，“演算粒度評価環境の構築と自己再構成デバイスアーキテクチャ検討,”電子情報通信学会技術研究報告，RECONF2005-36, pp. 37-42, Sep, 2005
[63] 筒井，菅野，増崎，越智，尾上，中村，“JPEG2000 エントロピ符号器における SRAM の構成方法,”A-1-22, pp. 22, 電子情報通信学会ソサイエティ大会(2005).
[64] 下ノ村　和弘，串間　宇幸，井上　恵介，八木哲也，“一次視覚野のニューラルイメージをエミュレートする人工視覚システム,”日本神経回路学会第15回全国大会，鹿児島, 講演論文集 pp. 162-163 (2005).
[65] 下ノ村　和弘，串間　宇幸，八木　哲也，“一次視覚野をモデルにした両眼ビジョンシステム,”電子情報通信学会技術研究報告NC2005-130, pp. 31-36 (2006).
[66] 海野　正典，上田　和宏，“断熱的CMOS論理回路の消費電力解析,”pp. 16, 電子情報通信学会東京支部学生会講演論文集(2006).
[67] 榎並，橋本，尾上，“電源ノイズ解析のための回路動作部表現法の評価,”電子情報通信学会総合大会講演論文集，A-3-15 (2006).
[68] 伊地知，橋本，高橋，築山，白川，“画素充電率制約を満足する液晶ドライバ回路のトランジスタサイズ決定技術,
[69] 小笠原，橋本，尾上，“誘導性・容量性クロストークノイズによる遅延変動の測定と評価,”信学技報，ICD2005-74 (2005).
[70] 中野　伸吾，伊藤　久浩，早瀬　佳，村上　知倫，秋田　純一，北川　章夫，“特定小電力無線通信LSIの開発”，第9回システムLSIワークショップ　講演資料集およびポスタ資料集，2005年11月
[71] 高田　雅史 et al.,“相変化メモリを利用した不揮発性SRAM,”SDM2005-259, pp. 53-58, MAR. 2005.
[72] 高田　雅史，中山　和也，泉　貴富，新村　達，北川　章夫，“相変化メモリを利用した不揮発性SRAM,”電子情報通信学会 技術研究報告(CAS2004-72)，pp. 47-51, JAN. 2005.
[73] 高田　雅史，中山　和也，泉　貴富，新村　達，北川　章夫，“相変化不揮発性メモリの多値記録方式と回路構成,”電子情報通信学会 技術研究報告(CAS2004-72)，pp. 41-46, JAN. 2005
[74] 小林　伸彰，榎本　忠儀，“低消費電力・低リーク電流CMOS平方根回路,”電子情報通信学会技

報(信学技報)，ICD2005-79, pp. 73-78, 2005年8月18日.

[75] 永山　卓，榎本忠儀，“低消費電力･低リーク電流90-nm CMOSクロックドライバ，”信学技報，ICD2005-194, pp. 13-18, 2005年12月16日.

[76] 岩成　武司，樋口　雄貴，榎本　忠儀，“低消費電力･低リーク電流90-nm CMOS SRAMの開発，”信学総合大会講演論文集，AS-2-1, p. S-15 - S-16, 2006年3月25日.

[77] 永山　卓，榎本　忠儀，“低電力化と高速化90-nm CMOSクロックドライバの開発，”信学総合大会講演論文集，AS-2-3, p. S-19 - S-20, 2006年3月25日.

[78] 小林　伸彰，榎本　忠儀，“低消費電力･低リーク電流90-nm CMOS平方根回路の開発，”信学総合大会講演論文集，AS-2-4, p. S-21 - S-22, 2006年3月25日.

[79] 正源　浩之，岩田　栄之，松田　敏弘，石川　晃，村田　正嗣，高瀬　良順，“CMOS アナログ回路用MOSFET 特性のばらつき評価，”D-38頁，平成17年度電気関係学会北陸支部連合大会講演論文集(2005)

[80] 鈴木圭一　南隆一　松田敏弘　岩田栄之(富山県大)　大曽根隆志(岡山県大)　山本真也　伊原隆　中島茂樹(シキノハイテック)，“微細CMOSによる基準電圧発生回路の設計 ，”D-34頁，平成17年度電気関係学会北陸支部連合大会講演論文集(2005)

[81] 吾妻俊征，井上浩，“チップ内配線間の電磁結合の実験的検討，”信学技報EMCJ2005-55，EMD2005-34，July 2005

[82] 佐々木健太，宮前亨，井上浩，“集積回路内バイアス回路の安定化の検討，”計測自動制御学会東北支部第223回研究集会，223-4，Jul.2005

[83] 宮越純一，村地勇一，浜野康司，松野哲郎，深山正幸，吉本雅彦，“動画像符号化動きベクトル検出のための低消費電力シストリックアレイアーキテクチャの研究，”電子情報通信学会技術研究報告，Vol. 105, No. 95, ICD2005-20, pp. 1-6 2005.5

[84] 村地勇一郎，浜野康司，松野哲郎，宮越純一，深山正幸，吉本雅彦，“携帯機器応用 95mW MPEG2 MP@HL 動き検出プロセッサコア，”電子情報通信学会技術研究報告，Vol. 105, No. 234, ICD2005-67, pp. 1-6 2005.8

[85] 福原，吉廣，“ニューロンMOSトランジスタを用いたハミング距離機能付きCAMの消費電力，”電気学会C部門大会, GS2-4(2005)

[86] 仙北，福原，吉田，“ニューロンMOSインバータを用いたn入力可変論理回路の構成法，”電子情報通信学会ソサイエティ大会，C-12-11(2005)

[87] Likhitkitwoerakul，福原，吉田，“ハミング距離検索機能を有する低消費電力 CAROM の構成法，”第9回システムLSIワークショップ･ポスターセッション(2005)

[88] Tetsuo Kan, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, “Evaluation of Intensity Distribution of Sub-micron Aperture Plate, ”第22回"センサ･マイクロマシンと応用システム”シンポジウム, pp. 53-56, 2005.

[89] Yusuke Takei, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, “Control of the CNT growing by applying electric field, ”第22回"センサ･マイクロマシンと応用システム"シンポジウム, pp. 65-68, 2005.

[90] Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, “Study on Structural-Color Display Based on Morpho Butterfly, ”第22回"センサ･マイクロマシンと応用システム"シンポジウム，pp. 465-468, 2005.

[91] Hiroaki Onoe, Kazunori Hoshino, Kiyoshi Matsumoto, Isao Shimoyama, “Sequential Micro-Self-Assembly by Controlling Surface Electrostatic Charges on Microparticles, ”第22回"センサ･マイクロマシンと応用システム"シンポジウム, pp. 473-476, 2005.

[92] “ミックストシグナルLSIのためのオンチップマルチチャネル信号モニタ，”野口宏一朗，永田真，電子情報通信学会技術報告 ICD2005-40, 1-6, 2005.

[93] “非対称な信号遷移を用いた高速ダイナミック回路の論理合成手法，”森本薫夫，永田真，瀧和男，電子情報通信学会技術報告 ICD2005-153, 25-30, 2005.

[94] “ダイナミック電源雑音によるデジタル信号遅延変動の評価，”深澤光弥，永田真，電子情報通信学会技術報告 ICD2005-214, 53-57, 2006.

[95] “LSIチップ上の信号測定のためのオンチップマルチチャネル信号モニタの開発，”野口宏一朗，VDEC LSIデザイナーフォーラム2005, 2005.

[96] “ミックストシグナルLSIのためのオンチップ診断技術，”永田真，STARCシンポジウム，2005.

[97] “基板モデルを考慮した高周波基板雑音検出回路設計法の検討，”藤原正樹，小坂大輔，檀上匠，永田真，シリコンアナログRF研究会，2006.

[98] 阿久津，木村，“浮動小数点演算と演算チェイニングを考慮した粗粒度再構成可能ハードウェ

ア，”信学技法，Vol. 105, No. 645, pp. 43-48, March 2006.

[99] 坂本 良太，室山 真徳，樽見 幸祐，and 安浦 寛人，“CMOSプロセスにおけるゲート遅延ばらつき測定回路の提案，”電子情報通信学会技術研究報告，ICD2005-70, Vol. 105, No. 234, pp. 19-23, Aug. 2005.

[100] 徳永 将之，樽見 幸祐，and 安浦 寛人，“ディジタル無線通信用FFT回路のビット幅制御による低消費エネルギー化手法の検討，”電子情報通信学会技術研究報告，SDM2005-129, ICD2005-68, Vol. 105, No. 234, pp. 7-12, Aug. 2005.

[101] 山口 聖貴，Yang Yuan，樽見 幸祐，坂本良太，室山 真徳，石原 亨，安浦 寛人，“90nmCMOS回路における遅延及び電力ばらつきの実測，”pp. S-23-24, 電子情報通信学会2006年総合大会(2006)

[102] 貞方 毅 and 松永 裕介，“動作合成におけるチェイニングに関する考察，”情報処理学会研究報告，2005-SLDM-122, pp. 67-72, Dec. 2005.

[103] 山口 誠一朗，室山 真徳，樽見 幸祐，and 安浦 寛人，“低演算精度の計算における電力削減手法，”DAシンポジウム2005, pp. 267-272, Aug. 2005.

[104] 李東勲，石原亨，室山真徳，安浦寛人，Farzan Fallah，“マイクロプロセッサのエネルギー消費特性抽出とソフトウェアデバッガを用いた消費エネルギー見積もり，”システムLSI設計技術(SLDM)研究会, 2006.

[105] 井上弘士，“バッファ・オーバフロー検出を目的としたセキュア・キャッシュの性能/消費電力解析，”電子情報通信学会技術研究報告(ICD)，Vol. ICD2005-188，pp. 43-48, 2005年12月

[106] 上野，廣瀬，浅井，雨宮，“様々な食品に対応したCMOS品質劣化モニタセンサ，”電子情報通信学会総合大会(2006年3月)

[107] 宮川，上野，廣瀬，浅井，雨宮，“MOS論理ゲート回路のサブスレッショルド動作，”電子情報通信学会(2006年3月)

[108] 萩原，廣瀬，浅井，雨宮，“リセット機構を用いた温度検出スイッチ回路システム，”電子情報通信学会総合大会(2006年3月)

[109] 廣瀬，浅井，雨宮，“サブスレッショルド領域動作LSIのためのスイッチトキャパシタDC-DCコンバータ，”電子情報通信学会(2006年3月)

[110] 萩原，廣瀬，山田，浅井，雨宮，“CMOSサブスレッショルド領域特性を利用した温度検出スイッチ回路，”第9回システムLSIワークショップ(2005年11月)

[111] 上野，廣瀬，浅井，雨宮，“広範囲な活性化エネルギーに対応したCMOS品質劣化モニタセンサ，”第9回システムLSIワークショップ(2005年11月)

[112] 上野，廣瀬，浅井，雨宮，“磁束量子回路によるスパイクニューロンデバイス，”電子情報通信学会ソサイエティ大会(2005年9月)

[113] 萩原，廣瀬，山田，浅井，雨宮，“CMOS回路による温度検出スイッチ，”電子情報通信学会ソサイエティ大会(2005年9月)

[114] 上野，廣瀬，浅井，雨宮，“サブスレッショルドMOSFETを用いた劣化モニター回路，”第18回回路とシステム軽井沢ワークショップ，pp. 91-96,(2005年4月)

[115] 城本，田端，酒井，島田，北村，“公開鍵暗号を用いてプログラムの保護を行うプロセッサの開発”，pp. 21-26，情報処理学会研究報告2005-ARC-165(2005)

[116] 森江隆，“脳情報工学の確立に向けた アナログ・デジタル融合方式回路技術の進展，”電子情報通信学会 回路とシステム研究会，CAS2005-78, pp. 19-24, 2006.

[117] 是角圭祐，森江隆，野村修，中野鉄平，真継優和，岩田穆，“AD融合／混載アーキテクチャによる顔・物体認識のための画像フィルタリングプロセッサ，”電子情報通信学会 集積回路研究会，ICD2005-58, pp. 19-24, 2005.

[118] 中村享平，是角圭祐，森江隆，“V1単純細胞の機能を模倣するガボールフィルタLSIの評価，”電子情報通信学会 ニューロコンピューティング研究会，NC2005-23, pp. 17-22, 2005.

[119] 田中秀樹，森江隆，合原一幸，“スパイキングホップフィールドネットワークのためのアナログCMOS回路，”電気学会 電子・情報・システム部門大会, #TC5-5, pp. 134-136, 2005.

[120] 是角圭祐，森江隆，野村修，中野鉄平，真継優和，岩田穆，“AD融合/混載アーキテクチャによる画像フィルタリングプロセッサと顔位置検出への応用，”第9回システムLSIワークショップ，pp. 239-242, 2005

[121] 市来史明，青木勇樹，藤田実，“入力信号の立上がり時間を考慮したLSIの配線遅延解析，”電子情報通信学会 2005年ソサイエティ大会，論文番号A-1-31, p. 31, 2005年9月

[122] 能勢悠吾，安達雄大，香川景一郎，高嶋大，谷邦之，和田淳，布下正宏，太田淳，“APS・PPS方式を併用した広ダイナミックレンジCMOSイ

メージセンサ”，映情学技報，30（25），pp. 1-4（2006）.

[123] 佐々木達也，山本真也，香川景一郎，布下正宏，太田淳，“低電圧ソース変調型パルス幅変調方式イメージセンサの提案と原理実証”，映情学技報，30（25）. pp. 5-8（2006）.

[124] 香川景一郎，山本幸司，山本真也，三宅康也，田邊英樹，政木康生，布下正宏，太田淳，“情報家電マルチリモコン"オプトナビ"システムへのフレーム間差分に基づくID領域推定アルゴリズムの適用”，映情学技報，30（25），pp. 29-32（2006）.

[125] 吉田明洋，野村啓二，香川景一郎，布下正宏，太田淳，“波長多重光無線LAN用イメージセンサにおける受信用要素回路の検討”，第53回応用物理学関係連合講演会講演予稿集，No. 3, 23a-E-1, p. 1074（2006）.

[126] 山本幸司，香川景一郎，山本真也，三宅康也，田邊英樹，政木康生，布下正宏，太田淳，“撮像とID同時取得可能なCMOSイメージセンサの開発と情報家電マルチリモコン－オプトナビ－への適用”，第9回システムLSIワークショップ講演資料集およびポスター資料集，pp. 259-262（2005）.

[127] 山本真也，古宮哲夫，香川景一郎，徳田崇，布下正宏，太田淳，“画素内画像処理回路を有する人工視覚向け低電圧駆動パルス周波数変調方式ビジョンチップ”，第9回システムLSIワークショップ講演資料集およびポスター資料集，pp. 223-226（2005）.

[128] 香川景一郎，荘保信，布下正宏，太田淳，“低消費電力アプリケーションに向けた低電圧パルス幅変調方式CMOSイメージセンサ”，信学技報，105（184）, pp. 55-60（2005）.

[129] 山本幸司，香川景一郎，前田勇希，三宅康也，田邊英樹，政木康生，布下正宏，太田淳，“オプトナビ"システムに向けたカラム適応ゲインアンプを有する通常撮像・ID受信可能なCMOSイメージセンサ”，映情学技報，29（61），pp. 14（2005）.

[130] 香川景一郎，山本幸司，前田勇希，三宅康也，田邊英樹，政木康生，布下正宏，太田淳，“情報家電マルチリモコン“オプトナビ”に向けたID光源検出手法の検討”，映像情報メディア学会2005年年次大会講演予稿集，2-4（2005）.

[131] 山本幸司，香川景一郎，前田勇希，三宅康也，田邊英樹，政木康生，布下正宏，太田淳，“30 fps 通常画像・1.2 kfps ID 画像を同時取得可能な複数部分領域高速読み出し方式イメージセンサ“，映像情報メディア学会2005年年次大会講演予稿集，7-2（2005）.

[132] 山本真也，香川景一郎，古宮哲夫，徳田崇，布下正宏，太田淳，“画素内画像処理回路を有する低電圧駆動パルス周波数変調方式ビジョンチップ“，映像情報メディア学会2005年年次大会講演予稿集，7-1（2005）.

[133] 香川景一郎，山本幸司，前田勇希，三宅康也，田邊英樹，政木康生，布下正宏，太田淳，“部分領域高速読出し機能をもつCMOSイメージセンサを用いた情報家電マルチリモコン"オプトナビ"，第11回画像センシングシンポジウム講演論文集，G-3, p. 331-334（2005）.

[134] 香川景一郎，藤内亜紀子，池内隆志，布下正宏，太田淳，“薄型波長多重回折光学素子を用いた波長多重屋内光無線LANの開発”，第30回光学シンポジウム，pp. 45-46（2005）.

[135] 香川景一郎，山本幸司，前田勇希，三宅康也，田邊英樹，政木康生，布下正宏，太田淳，“カスタムCMOSイメージセンサを用いたビジュアルマルチリモコン"オプトナビ"実証システム”，Optics Japan 講演予稿集，25pB6, pp. 656-657（2005）.

[136] 山本真也，古宮哲夫，香川景一郎，徳田崇，布下正宏，太田淳，“画素内画像処理回路を有する人工視覚向け低電圧駆動パルス周波数変調方式ビジョンチップに関する研究”，第4回学生研究論文講演会講演予稿集，pp. 25-26（2006）.

[137] 徳田崇，山本晃士，田中邦博，松尾昌通，David C. Ng，香川景一郎，太田淳，布下正宏，『オンチップDNAマイクロアレイ計測のためのマルチファンクショナルCMOSセンサチップ』第52回応用物理学関係連合講演会 31p-YN-19, 2005/3/31, 埼玉大学.

[138] 山本晃士，徳田崇，香川景一郎，布下正宏，太田淳，『オンチップDNAマイクロアレイ計測のための光・電位デュアルイメージCMOSセンサ』第66回応用物理学会学術講演会 10p-N-5, 2005/9/10, 徳島大学.

[139] 山本晃士，徳田崇，香川景一郎，布下正宏，太田淳，『オンチップDNAマイクロアレイ計測のための光・電位デュアルイメージCMOSセンサ』映像情報メディア学会情報センシング研究会，IST2005-82, 2005/10/28, 東京理科大学.

[140] 田中邦博，徳田崇，香川景一郎，布下正宏，太田淳，『電気化学計測機能を搭載したオンチップバイオセンシング用マルチファンクショナルCMOSセンサ』映像情報メディア学会情報センシ

ング研究会，IST2005-91, 2005/11/14, NHK放送技術研究所.

[141] 田中邦博，徳田崇，香川景一郎，布下正宏，太田淳，『電気化学計測機能を搭載したオンチップバイオセンシング用マルチファンクショナルCMOSセンサ』映像情報メディア学会情報センシング研究会，IST2005-91, 2005/11/14, NHK放送技術研究所.

[142] 田松尾昌通，D. C. Ng，徳田崇，香川景一郎，布下正宏，太田淳，『生体内(in vivo)脳神経イメージング向けCMOSイメージセンサおよびシステムの研究』2005年映像情報メディア学会年次大会，2005/8 , 東京理科大学

[143] D. C. Ng，松尾昌通，山本晃士，徳田崇，香川景一郎，布下正宏，太田淳，『擬似脳スライスサンプルを用いたin vivo脳神経イメージセンサの機能評価』，第66回応用物理学会学術講演会，2005/9/10, 徳島大学

[144] David C. Ng，松尾昌通，山本晃士，徳田崇，香川景一郎，布下正宏，太田淳，『CMOSイメージセンサを用いたin vivoマウス脳海馬機能イメージング』第53回応用物理学関係連合講演会，2006/3/25, 武蔵工業大学

[145] 藤原　健，小松　謙介，高橋　浩之，“頼度を導入したリコンフィギュラブル相互診断型センサネットワーク，”子情報通信学会技術研究報告，105(43) 85-89 2005

[146] 藤原健，高橋浩之，中沢正治，“信頼度を導入した自己修復型センサネットワーク，”日本保全学会　第二回学術講演会要旨集　2005

[147] 藤原健，小松謙介，高橋浩之，中沢正治，“自己修復型センサネットワークの特性評価，”日本機械学会 第15回設計工学・システム部門講演会

[148] 杉村武昭，出口淳，崔勲，坂口武史，呉赫宰，福島誉史，小柳光正，“基板バイアス電圧制御プリアンプを用いたMRAMの低消費電力読み出し手法”，第66回応用物理学会学術講演会講演予稿集，11a-ZN-7, pp. 753, (2005)

[149] 杉村武昭，出口淳，小西雄太，中谷好博，福島誉史，近野敦，栗野浩之，内山勝，小柳光正，“三次元積層型リコンフィギャラブル画像処理プロセッサを用いたロボットビジョンシステム” pp79-84, 信学技報 Vol. 105 No. 43, リコンフィギャラブルシステム研究会(2005)

[150] 渡部泰一郎，小林吏悟，坂本一寛，本波啓太，小宮謙，出口淳，福島誉史，虫明元，栗野浩之，小柳光正，“マルチチップボンディング技術を用いた脳インプラント集積化デバイスの開発，”第66回応用物理学会関連連合講演会予稿集　3, 10p-N-6, 1137, (2005)

[151] 本波啓太，渡部泰一郎，出口淳，福島誉史，富田浩史，菅野江里子，佐藤まなみ，栗野浩之，玉井信，小柳光正，“眼内埋め込み用積層型人工網膜のための刺激パルス電流のin-vivo評価，”第66回応用物理学会関連連合講演会予稿集　3, 10p-N-8, 1138, (2005)

[152] 本波啓太，渡部泰一郎，出口淳，福島誉史，菅野江里子，佐藤まなみ，富田浩史，栗野浩之，玉井信，小柳光正，“積層型人工眼システムのための刺激電極を有するフレキシブルケーブルのin vivo評価，”第52回応用物理学会関連連合講演会予稿集，3, 31p-YN-15, (2005).

[153] 富田浩史，菅野江里子，佐藤まなみ，栗野浩之，渡部泰一郎，本波啓太，出口淳，小柳光正，玉井信“三次元積層技術を用いた1チップ型人工網膜移植による脳内誘発電位の測定，”第59回臨床眼科学会，pp. 352 (2005).

[154] 辻孝司，出口淳，杉村武昭，福島誉史，小柳光正，“動き検出・エッジ検出同時処理可能なCMOSイメージセンサの開発，”映像情報メディア学会技術報告，Vol. 29, No61, pp. 9-12, (2005)

[155] 上薗　巧，井上　淳平，京極　貴規，岡田　健一，益　一哉，“オンチップ伝送線路配線による回路性能向上予測，”情報処理学会 DA シンポジウム論文集（於 浜松），Vol. 2005, No. 9, pp. 127-132, Aug. 2005.

[156] 伊藤　浩之，井上　淳平，五味　振一郎，杉田英之，岡田　健一，益　一哉，“超高速LSI に向けたオンチップ差動伝送線路配線技術，”電子情報通信学会 回路とシステム軽井沢ワークショップ論文集（於 軽井沢プリンスホテル），pp. 419-424, Apr. 2005.

[157] 上薗　巧，京極　貴規，岡田　健一，益　一哉，“歩留まり予測のためのビア数分布モデル，”電子情報通信学会 総合大会（於 国士舘大学），A-3, March 2006.

[158] 木村　実人，伊藤　浩之，杉田　英之，岡田健一，益　一哉，“縒り合わせオンチップ差動伝送線路のクロストーク評価，”電子情報通信学会総合大会（於 国士舘大学），A-3, March 2006.

[159] 清田　淳紀，伊藤　浩之，杉田　英之，岡田健一，伊藤　達也，糸井　和久，佐藤　正和，益　一哉，“ワンチップ無線通信回路に向けたWL-CSP方向性結合器の検討，”電子情報通信学会総合大会（於 国士舘大学），C-2, March 2006.

[160] 川添　大輔，菅原　弘雄，岡田　健一，益　一

哉，“低雑音増幅器における性能補償技術の検討”，電子情報通信学会 総合大会(於 国士舘大学)，C-12, March 2006.

[161] 山内　拓弥，菅原　弘雄，岡田　健一，益　一哉，“オンチップ可変インダクタの等価回路モデル，”電子情報通信学会 総合大会(於 国士舘大学)，C-12, March 2006.

[162] 伊藤　雄作，菅原　弘雄，岡田　健一，益　一哉，“再配線層技術を用いた低雑音電圧制御発振器の検討”，電子情報通信学会 総合大会（於 国士舘大学），C-12, March 2006.

[163] 伊藤　猛，菅原　弘雄，川添　大輔，岡田　健一，益　一哉，“Si CMOS RF 分布定数型増幅器の消費電力削減手法，”電子情報通信学会 総合大会（於 国士舘大学），C-12, March 2006.

[164] 京極　貴規，上薗　巧，岡田　健一，益　一哉，“集積回路における各配線層のビア数分布の統計的解析，”2006年春季 第53回 応用物理学会 関係連合講演会（於 武蔵工業大学），25a-J-15, March 2006.

[165] 伊藤　猛，菅原　弘雄，川添　大輔，岡田　健一，益　一哉，“Si CMOS RF 分布定数型増幅器の設計と評価，”電子情報通信学会シリコンアナログRF研究会（於 慶應大学），Vol. RF2005-4, p. 3, Feb. 2006.

[166] 菅原　弘雄，伊藤　雄作，川添　大輔，山内　拓弥，伊藤　猛，岡田　健一，益　一哉，“究極の無線通信端末を目指したSi ULSIの研究，”IEEE Tokyo Student Workshop（於 東京工業大学），Dec. 2005.

[167] 杉田　英之，伊藤　浩之，木村　実人，岡田　健一，益　一哉，“世界最速スーパーコンピュータの実現に向けた配線設計，”IEEE Tokyo Student Workshop（於 東京工業大学），Dec. 2005.

[168] 木村　実人，伊藤　浩之，杉田　英之，岡田　健一，益　一哉，“超高速プロセッサが未来を造る，”IEEE Tokyo Student Workshop（於 東京工業大学），Dec. 2005.

[169] 伊藤　猛，菅原　弘雄，川添　大輔，岡田　健一，益　一哉，“第4世代携帯電話を実現するRF回路設計技術，”IEEE Tokyo Student Workshop（於 東京工業大学），Dec. 2005.

[170] 伊藤　雄作，吉原　義昭，菅原　弘雄，岡田　健一，益　一哉，“可変インダクタを用いた1.3～2.8GHz CMOS LC-VCOの設計，”電子情報通信学会シリコンアナログRF研究会（於 東北大学），Vol. RF2005-3, p. 2, Nov. 2005.

[171] 菅原　弘雄，西川　和康，岡田　健一，益　一哉，“Si CMOS オンチップインダクタの構造及び動作モードの比較検討，”電子情報通信学会シリコンアナログRF研究会（於 東北大学），Vol. RF2005-3, p. 4, Nov. 2005.

[172] 伊藤　浩之，杉田　英之，岡田　健一，益　一哉，“曲げおよびビアを有するオンチップ伝送線路の高周波特性評価，”電子情報通信学会 ソサイエティ大会（於 北海道大学），A-3-7, Sep. 2005.

[173] 清田　淳紀，伊藤　浩之，岡田　健一，益　一哉，“伝送線路を用いたオンチップマルチドロップバスの検討”，電子情報通信学会 ソサイエティ大会（於 北海道大学），A-3-8, Sep. 2005.

[174] 木村　実人，伊藤　浩之，杉田　英之，岡田　健一，益　一哉，“伝送線路を用いたオンチップ高速高密度バス線路の検討，”電子情報通信学会ソサイエティ大会（於 北海道大学），A-3-9, Sep. 2005.

[175] 杉田　英之，伊藤　浩之，木村　実人，岡田　健一，益　一哉，“擬差動伝送線路を用いたオンチップ高密度伝送線路配線，”電子情報通信学会ソサイエティ大会（於 北海道大学），A-3-10, Sep. 2005.

[176] 伊藤　猛，菅原　弘雄，岡田　健一，益　一哉，“Si RF CMOS 分布定数型増幅器の設計，”電子情報通信学会 ソサイエティ大会（於 北海道大学），C-12-34, Sep. 2005.

[177] 川添　大輔，菅原　弘雄，岡田　健一，益　一哉，“可変バイアス回路を用いたリコンフィギュアラブルLNAの検討”，電子情報通信学会 ソサイエティ大会（於 北海道大学），C-12-35, Sep. 2005.

[178] 伊藤　雄作，吉原　義昭，菅原　弘雄，岡田　健一，益　一哉，“VCOと分周器を用いたGHz帯広帯域発振器の検討”，電子情報通信学会 ソサイエティ大会（於 北海道大学），C-12-36, Sep. 2005.

[179] 菅原　弘雄，岡田　健一，西川　和康，益　一哉，“差動インダクタの信号励起モードの比較検討”，電子情報通信学会 ソサイエティ大会（於 北海道大学），C-12-37, Sep. 2005.

[180] 山内　拓弥，菅原　弘雄，岡田　健一，益　一哉，“MEMSを用いたオンチップ可変トランス，”電子情報通信学会 ソサイエティ大会（於 北海道大学），C-12-38, Sep. 2005.

[181] ファン　ダン　ゴア，岡田　健一，益　一哉，“MOSFET スイッチを用いたオンチップ可変インダクタ，”2005年秋季 第66回 応用物理学会 学

術講演会（於 徳島大学），10a-ZN-4, Sept. 2005.

[182] 山内 拓弥，菅原 弘雄，岡田 健一，益 一哉，“側方シールドを用いた高可変率オンチップインダクタ，”2005年秋季 第66回 応用物理学会学術講演会（於 徳島大学），10a-ZN-5, Sept. 2005.

[183] 木村 実人，伊藤 浩之，杉田 英之，岡田 健一，益 一哉，“オンチップ長距離配線に適用可能なゼロクロストークバスラインの検討，”2005年秋季 第66回 応用物理学会 学術講演会（於 徳島大学），10a-ZN-7, Sept. 2005.

[184] 京極 貴規，井上 淳平，上薗 巧，岡田 健一，益 一哉，“配線長分布を用いたビア数分布の解析，”2005年秋季 第66回 応用物理学会 学術講演会（於 徳島大学），10a-ZN-10, Sept. 2005.

[185] 岡田 健一，菅原 弘雄，益 一哉，“MEMS可変インダクタを用いたリコンフィギュラブルRF回路技術，”電子情報通信学会 電子デバイス研究会 有機エレクトロニクス研究会（於 東京），Vol. 105, No. 257, pp. 45-50, Sep. 2005.

[186] 益 一哉，岡田 健一，伊藤 浩之，“オンチップ伝送線路配線技術”（招待講演），電子情報通信学会 集積回路研究会 電子部品･材料研究会（於 東京），ICD2005-104, CPM2005-104, pp. 47-52, Sep. 2005.

[187] 菅原 弘雄，伊藤 雄作，川添 大輔，岡田 健一，益 一哉，“リコンフィギュラブルRF回路設計技術，”VDEC LSIデザイナーフォーラム（於 湯河原），Aug. 2005.

[188] 伊藤 浩之，杉田 英之，木村 実人，清田 淳紀，岡田 健一，益 一哉，“オンチップ伝送線路配線の設計および評価，”VDEC LSIデザイナーフォーラム（於 湯河原），Aug. 2005.

[189] 杉田 英之，伊藤 浩之，木村 実人，岡田 健一，益 一哉，“オンチップ伝送線路配線の高密度化に関する研究，”VDEC LSIデザイナーフォーラム（於 湯河原），Aug. 2005.

[190] 清田 淳紀，伊藤 浩之，岡田 健一，益 一哉，“オンチップ伝送線路を用いたマルチドロップバスの検討”，電子情報通信学会シリコンアナログRF研究会（於 東京工業大学），Vol. RF2005-2, p. 7, Aug. 2005.

[191] 岡田 健一，菅原 弘雄，益 一哉，“リコンフィギュアラブルRF CMOS無線集積回路の研究，”電子情報通信学会 ソフトウェア無線研究会（於 横須賀YRP），pp. 97-103, July 2005.

[192] 岡田 健一，伊藤 浩之，菅原 弘雄，益 一哉，“Above ICプロセスを用いた高周波回路設計，”電子情報通信学会シリコンアナログRF研究会（於 神戸大学），Vol. RF2005-1, p. 6, May 2005.

[193] 森本，西山，樋口，中野，“インバータチェインを用いた基板ノイズ評価用テストチップにおけるノイズ波形計測と測定系の評価，”第7回シリコンRF研究会

[194] 池田 裕介，松澤 昭，“90nmCMOSを用いた超高速並列型6bitADCの開発，”電子情報通信学会 シリコンアナログRF研究会（RF），仙台，Vol. RF2005-3, p. 3, Nov. 2005.

[195] 笹井 重徳，小島 貴志，倉科 隆，松澤 昭，“サンプリングミキサーの特性解析，”電子情報通信学会 シリコンアナログRF研究会（RF），東京，Vol. RF2005-2, p. 5, Aug. 2005.

[196] 宮原 正也，倉科 隆，松澤 昭，“パイプライン型ADC性能の デザインルール依存性－ゲインブーストアンプの特性の考慮－，”電子情報通信学会 シリコンアナログRF研究会（RF），東京，Vol. RF2005-2, p. 4, Aug. 2005.

[197] 宮原 正也，倉科 隆，松澤 昭，“素子の微細化がアナログCMOS回路に及ぼす影響についての研究－CMOS演算増幅器及びパイプライン型ADC性能のデザインルール依存性－ ，”電子情報通信学会 集積回路研究専門委員会，豊橋，ICD2005-59 Vol. 105, No. 185, pp. 25-30 , Jul. 2005.

[198] 吉澤 真吾，菅原 浩二，宮永 喜一，尾知 博，伊藤 良生，畑岡 信夫，斉 培恒，高山 憲久，平田 雅規，“80MHz帯域OFDM方式無線通信システムの検討とOFDM変復調回路の設計，”電子情報通信学会 SIS研究会，pp. 31-36, Jun. 2005.

[199] 久慈 憲夫，“アナログ回路の故障経路追跡法の検討”，LSI テスティン グシンポジウム/2005会議録pp. 237-242, 2005年11月

[200] 高橋 好明，徳田 勝利，吉川 信行，“SFQ/CMOSハイブリッドメモリセルの2トランジスタ化による高集積化，”2005年秋季応用物理学会学術講演会，8p-ZM-4, 徳島大学, 2005年9月.

[201] 高橋 好明，徳田 勝利，小嶋 英充，河合 宣彰，吉川 信行，“SFQ/CMOSハイブリッドメモリシステムのアクセスタイム測定，”2006年春季応用物理学会学術講演会，22p-H-8, 武蔵野工業大学, 2006年3月.

[202] 渡邊，小林，“動的再構成によるシステム実現，”第6回システムインテグレーション部門講演会，pp. 571-572, 2005

[203] 櫻井，小林，渡邊，“光再構成ゲートアレイのプログラム支援環境，”第24回計測自動制御学会九

州支部学術講演会予稿，pp. 141-142, 2005.
[204] 志岐，渡邊，小林，“0.18umプロセスによる差分光再構成型ゲートアレイVLSI,”第24回計測自動制御学会九州支部学術講演会予稿，pp. 143-144, 2005.
[205] 藤目，渡邊，小林，“光再構成型ゲートアレイの再構成回路の評価,”第24回計測自動制御学会九州支部学術講演会予稿，pp. 135-136, 2005.
[206] 松尾，渡邊，小林，“光再構成型ゲートアレイの検査手法,”第24回計測自動制御学会九州支部学術講演会予稿，pp. 133-134, 2005.
[207] 志岐，渡邊，小林，“272ゲート規模ODRGA-VLSIの実装評価,”電子情報通信学会技術研究報告Vol. 105, No. 184, pp. 61-65, 2005.
[208] 宮野，渡邊，小林，“複数のVCSELを用いたODRGAの再構成速度改善,”電子情報通信学会技術研究報告Vol. 105, No. 184, pp. 67-70, 2005.
[209] Bakhtiar Affendi Rosdi, Atsushi Takahashi, “An algorithm to calculate the minimum clock period of a semi-synchronous circuit that contains multi-clock cycle path,”電子情報通信学会技術報告書(VLD2005-8), Vol. 105, No. 58, pp. 13-18, 2005
[210] Atit Tamtrakarn, and T. Sakurai, “Wideband Low Noise Amplifier for 80-960MHz Ultra-wideband Transceiver,”電子情報通信学会　ソサイティ大会，Sep. 2005.
[211] 中村安見･桜井貴康，“高圧電源を使用した電源ノイズの低減,”電子情報通信学会 ソサイエティ大会，C-12-19, Sep. 2005.
[212] 石川洋平，深井澄夫，相川正義，森田譲，“LSI設計自習システム,”pp. 63-64, 日本産業技術教育学会第18回九州支部大会，C04, (2005-10).
[213] 石丸佳和，近藤弘康，石川洋平，深井澄夫，“ニューロンMOSを用いた4値Tゲートによる多値論理回路の検討”，0-6, 平成17年度学長経費(学内 COE)第2回人工頭脳工学シンポジウム講演論文集 (2006-3).
[214] 栗原輝，宮岡祐一郎，戸川望，柳澤政生，大附辰夫，“SIMD型プロセッサコア向けHW/SW協調合成システムにおけるパイプライン演算ユニット生成手法,”電子情報通信学会回路とシステム軽井沢ワークショップ，pp. 575-580, April 2005.
[215] 小原俊逸，友野直紀，内田純平，宮岡祐一郎，戸川望，柳澤政生，大附辰夫，“IP再利用を考慮したシステムLSI設計におけるインタフェース回路生成システム,”電子情報通信学会回路とシステム軽井沢ワークショップ，pp. 581-586, April 2005.
[216] 栗原輝，宮岡祐一郎，戸川望，柳澤政生，大附辰夫，“SIMD型プロセッサコアの自動合成におけるパイプライン演算ユニット生成手法,”情報処理学会DAシンポジウム2005, pp. 19-24, August 2005.
[217] 小島洋平，戸川望，橘昌良，柳澤政生，大附辰夫，“画像処理向けシステムLSI設計における設計ナビゲーションを考慮したHW/SW分割システム,”情報処理学会DAシンポジウム2005，pp. 25-30, August 2005.
[218] 大智輝，戸川望，柳澤政生，大附辰夫，“レジスタ分散･共有アーキテクチャを対象としたフロアプラン指向高位合成手法,”情報処理学会システムLSI設計技術研究会，Vol. SLDM122, pp. 73-78, Dec. 2005.
[219] 小島洋平，戸川望，橘昌良，柳澤政生，大附辰夫，“設計ナビゲーション機構を有するシステムLSI設計のためのHW/SW分割システム,”電子情報通信学会VLSI設計技術研究会，Vol. VLD111, pp. 19-24, March 2006.
[220] 田淵英孝，小原俊逸，戸川望，柳澤政生，大附辰夫，“動的フローに対応したネットワークプロセッサの改良とその評価,”電子情報通信学会VLSI設計技術研究会，Vol. VLD112, pp. 25-30, March 2006.
[221] 栗原輝，戸川望，柳澤政生，大附辰夫，“SIMD型プロセッサコアの自動合成におけるパイプライン構成最適化手法,”電子情報通信学会VLSI設計技術研究会，Vol. VLD115，pp. 43-48, March 2006.
[222] 長谷川　揚平，阿部　昌平，松谷　宏紀，安生健一朗，粟島　亨，天野　英晴，“動的再構成可能プロセッサを用いたIPsec向け暗号処理アクセラレータの設計と実装”，電子情報通信学会論文誌，Vol．J89-D，No．4，pp．743-754，April 2006.
[223] 天野　英晴，長谷川　揚平，阿部　昌平，“直接実行方式の提案”，電子情報通信学会技術研究報告RECONF2005-88, Vol. 105, No. 518, pp. 13-18, January 2006.
[224] 桂直弘，長谷川揚平，ヴ マントウアン，金森飛匡，天野英晴，“Cレベル設計によるストリームアプリケーションのプログラマブルデバイスへの実装”，電子情報通信学会技術研究報告RECONF2005-82, Vol. 105, No. 513, pp. 31-36, January 2006.

[225] 長谷川揚平，西村 隆，阿部昌平，黒瀧俊輔，ヴマン トウアン，天野英晴，“動的リコンフィギャラブルプロセッサにおける性能と消費電力の定量的解析”，第27回パルテノン研究会予稿集，pp. 3-10, December 2005.

[226] 阿部昌平，長谷川揚平，戸井崇雄，犬尾武，天野英晴，“動的リコンフィギャラブルプロセッサDRP-1におけるアダプティブコンピューティング”，電子情報通信学会技術研究報告 RECONF2005-57, Vol. 105, No. 450, pp. 25-30, November 2005.

[227] 長谷川揚平，天野英晴，阿部昌平，黒瀧俊輔，ヴ マン トウアン，“動的リコンフィギャラブルプロセッサにおける時分割多重実行の性能と消費電力の解析”，電子情報通信学会技術研究報告 RECONF2005-35, Vol. 105, No. 287, pp. 31-36, September 2005.

[228] 黒瀧俊輔，鈴木紀章，中臺一博，奥野博，天野英晴，“アクティブ方向通過型フィルタの動的リコンフィギャラブルデバイスによる実装”，第23回日本ロボット学会学術講演会，3C34, 2005年9月.

[229] 鈴木正康，天野英晴，“テンプレート再構成法の提案”，電子情報通信学会技術研究報告 RECONF2005-24, Vol. 105, No. 43, pp. 55-60, 2005年5月.

[230] 黒瀧俊輔，鈴木紀章，中臺一博，奥野博，天野英晴，“動的リコンフィギャラブルデバイス DRPを用いた音源分離フィルタの実装と評価”，電子情報通信学会技術研究報告 RECONF2005-26, Vol. 105, No. 43, pp. 67-72, 2005年5月

[231] 北村 聡，伊豆 直之，伊沢 徹，宮代 具隆，宮部 保雄，渡邊 幸之介，大塚 智宏，濱田芳博，田邊 昇，中條 拓伯，天野 英晴，“FPGAを用いたメモリスロット装着型ネットワークインタフェースの設計，”pp. 13-20, 第12回FPGA/PLD Design Conference ユーザ・プレゼンテーション(2005).

[232] 北村 聡，濱田 芳博，宮部 保雄，伊澤 徹，宮代 具隆，田邊 昇，中條 拓伯，天野 英晴，“DIMMnet-2ネットワークインタフェースコントローラの設計と実装，”pp293-300, 先進的計算基盤システムシンポジウム SACSIS'05(2005).

[233] 伊澤 徹，渡邊 幸之介，北村 聡，宮部 保雄，宮代 具隆，天野 英晴，“メモリスロット装着型ハードウェアの評価検証環境の構築，”pp1-6, 情報処理学会アーキテクチャ研究会 ARC-163 (2005).

[234] 宮部 保雄，北村 聡，濱田 芳博，宮代 具隆，伊澤 徹，田邊 昇，中條 拓伯，天野英晴，“DIMMnet-2 低遅延通信機構の実装と評価，”pp7-12, 情報処理学会アーキテクチャ研究会 ARC-163 (2005).

[235] 宮代 具隆，宮部 保雄，伊澤 徹，北村 聡，箱崎 博孝，田邊 昇，中條 拓伯，天野 英晴，“DIMMnet-2ネットワークインタフェースにおけるプリフェッチ機構の実装と評価，”pp13-18, 情報処理学会アーキテクチャ研究会 ARC-163 (2005).

[236] 北村 聡，宮部 保雄，中條 拓伯，田邊 昇，天野 英晴，“メッセージパッシングモデルを支援するパケット受信機構の実装，”pp. 39-44, 情報処理学会アーキテクチャ研究会 ARC-165 (DesignGaia'05) (2005).

[237] 長名 保範，吉見 真聡，岩岡 洋，小嶋 利紀，西川 由理，舟橋 啓，広井 賀子，柴田裕一郎，岩永 直樹，北野 宏明，天野 英晴，“FPGAを用いた生化学シミュレータReCSiPのシミュレーション制御機構，”電子情報通信学会. RECONF2005 - 39. Sep. 2005.

[238] 吉見 真聡，長名 保範，岩岡 洋，柴田 裕一郎，岩永 直樹，天野 英晴，“FPGAを用いた科学技術計算向け浮動小数点算術演算器の設計，”パルテノン研究会. 第26回研究会 - 1-7. May. 2005.

[239] 吉見 真聡，長名 保範，岩岡 洋，福島 知紀，舟橋 啓，広井 賀子，柴田 裕一郎，岩永 直樹，北野 宏明，天野 英晴，“ヒープ木を用いた確率モデル生化学シミュレータのFPGAへの実装.”電子情報通信学会. RECONF2005 - 9. May. 2005.

[240] 大久保，宇佐美，“MTCMOS回路の遅延時間モデリングと静的タイミング解析への応用手法，”電子情報通信学会技術研究報告，ICD2005-77, P61-P66 (2005)

[241] 春日，斉藤，宇佐美，“CPUデータパスの動的スリープ制御技術，”電子情報通信学会総合大会，A-3-6 (2006年3月)

[242] 武田，宇佐美，“動的スリープ制御方式の実装と解析，”電子情報通信学会総合大会，A-3-8 (2006年3月)

[243] 鈴木 圭介，浅生 宗隆，窪田 昌史，谷川一哉，弘中 哲夫，“ディジットシリアル浮動小数点演算器を用いた高精度FFT回路の設計検討，” 情報処理学会研究報告，2005-ARC-165, No. 120, pp. 33-38, Dec. 2005.

[244] 市川　裕二，佐々木　敬泰，弘中　哲夫，谷川　一哉，北村　俊明，近藤　利夫，“可変パイプライン手法によるプロトタイプ低消費エネルギープロセッサの設計，”先進的計算基盤システムシンポジウムSACSIS2005論文集，pp. 216-217，2005.

[245] 前田　志，末吉　徹也，碧山　賢一，弘中　哲夫，小出　哲士，マタウッシュ ハンスユルゲン，谷川　一哉，“マルチバンクレジスタファイルを用いたスーパスカラプロセッサの設計と評価，”先進的計算基盤システムシンポジウム（SACSIS2005）論文集，pp. 203-204，2005

[246] 貞光，栗原，西谷，堀場，“DCTプロセッサの試作評価，”pp. 253-256, 第10回関西大学先端科学技術シンポジウム講演集，Jan. 2006.

[247] 渡部　信吾，阿部　公輝，“疑似乱数生成器 Mersenne Twister の VLSI 設計，”情報処理学会研究会報告（コンピュータセキュリティ研究会），Vol. CSEC2005, No. 29, pp. 13-18, May. 2005.

[248] 田上恒大，阿部公輝，“2線式乗算器の構成と性能評価，”DAシンポジウム2005, pp. 43-48, Aug. 2005.

[249] 八幡，五十嵐，土屋，浅川，“NAND/NOR論理変換回路に関する一検討”，D-10-5，電子情報通信学会2006年総合大会（2006）.

[250] 宮原晋平・青野　聖・松本佳宣，“可視光通信用LEDドライバーの試作と可視光LEDの応答性能の評価，”pp. 25-30, 電子情報通信学会集積回路研究会（2005）.

[251] 轡田晃一・松本佳宣，“3軸容量型加速度センサ用検出回路に関する研究，”pp. 77-82, 電子情報通信学会集積回路研究会（2005）.

[252] 牧，竹中，井上，山川，常田，“周波数安定化CMOSリング発振器形BASK変調器の一構成”，14-1P-03, 2005年9月, 電気関係学会九州支部第58回連合大会

[253] 米澤，井上，糸山，常田，“リング発振器を用いた低電圧CMOS体温計測回路の一構成とその解析”，14-1P-04, 2005年9月, 電気関係学会九州支部第58回連合大会

[254] 糸山，井上，米澤，常田，“電流モードリング発振器を用いた体温計測手法の一提案”，14-1P-05, 2005年9月, 電気関係学会九州支部第58回連合大会

[255] 田中，千代永，井上，常田，“スマートRFIDタグIC の個体識別符号生成回路のための初期化単発パルス発生回路の一提案，”14-1P-09, 2005年9月, 電気関係学会九州支部第58回連合大会

[256] 齋藤，井上，山川，常田，“スマートRFIDタグIC用E級パワーアンプの一設計と考察，”14-1P-10, 2005年9月, 電気関係学会九州支部第58回連合大会

[257] 原田，井上，梅田，常田，“スマートRFIDタグ用心拍抽出回路の直流動作点電圧自動発生回路，”14-1P-11, 2005年9月, 電気関係学会九州支部第58回連合大会

[258] 古谷，井上，中島，常田，“電源電圧と温度に不感なCMOS参照電圧源の一提案とその解析，”14-2A-02, 2005年9月, 電気関係学会九州支部第58回連合大会

[259] 渕上，井上，池田，常田，“製造偏差および温度変化を自動補正できるPLL自動チューニングMOS抵抗とその解析，”14-2A-09, 2005年9月, 電気関係学会九州支部第58回連合大会

[260] 池田，井上，渕上，常田，“電子可変線形MOS浮遊抵抗回路の一構成とその解析，”14-2A-08, 2005年9月, 電気関係学会九州支部第58回連合大会

[261] 神園，井上，常田，“ブートストラップ技術を用いたオーバードライブCMOSアナログスイッチの一設計とその解析，”pp. 43-46, ECT-05-68, 2005年11月, 電気学会電子回路研究会資料

[262] 梅田，井上，山川，原田，常田，“スマートRFIDタグ用心拍検出回路における直流動作点の安定化手法とその解析，”pp. 47-50, ECT-05-69, 2005年11月, 電気学会電子回路研究会資料

[263] 中島，井上，常田，“電源電圧と温度に不感な低電圧CMOS参照電流源/参照電圧源回路，”pp. 7-10, ECT-05-72, 2005年11月, 電気学会電子回路研究会資料

[264] Felix Timischl, Takahiro Inoue, Akio Tsuneda “Design of a CMOS Low-Voltage Low-Power Current-Mode Ring Oscillator and Its Application to a Frequency Selective PLL”pp. 25-28, ECT-05-76, 2005年11月, 電気学会電子回路研究会資料

[265] 竹中，Felix Timischl，井上，“400~500MHz帯電圧モードリング発振回路の試作とその測定系を考慮したSPICE解析，”pp. 5-8, ECT-05-76, 2005年12月, 電気学会電子回路研究会資料

[266] 宮本，大川，アミール，カーン，岩間，関東，小谷，須川，大見，“PELOC：動的再構成FPGA用自動配置配線ツール，”pp. 13-18, 電子情報通信学会技術研究報告，信学技報 Vol. 105, No. 287, RECONF 2005-32 (2005).

4. 著書

[1] Suzuki, Takayama, Motoike, and Asai, "Striped and spotted pattern generation on reaction-diffusion cellular automata-theory and LSI implementation -, "Unconventional Computing 2005! From Cellular Automata to Wetware, Teuscher C. and Adamatzky A., Eds., Luniver Press, U.K. (2005).

[2] Adamatzky A., De Lacy Costello B., and Asai T., "Reaction-Diffusion Computers, "Elsevier, UK (2005).

5. 特許等

[1] 森田泰弘，吉本雅彦，藤原英弘，川口博，新居浩二，“半導体記憶装置,”特願2006-61644.

[2] 川上健太郎，竹村淳，吉本雅彦，“デジタルVLSI回路およびそれを組み込んだ画像処理システム並びに携帯端末,”特願2006-027431

[3] 榎本忠儀，岩成武司，小林伸彰，“低電力半導体集積回路,”請求項の数：3，日本国特許，出願（申請）番号：特願2003-396374，出願（申請）日：平成18年3月16日.

[4] 加藤，根上，“アクティブノイズキャンセリング用アナログ電子回路,”特願2006-31840

6. その他

[1] 中村，八重樫，“多目的利用が可能なセキュアプロセッサの開発”

[2] Asai, "Striped and spotted pattern generation on reaction-diffusion cellular automata-theory and LSI implementation -, "Microelectronic Systems Laboratory and Institute of Microelectronics and Microsystems, Ecole Polytechnique Federale De Lausanne (EPFL), Switzerland (Aug. 31, 2005).

[3] Adamatzky A., De Lacy Costello B., and Asai T., "Reaction-diffusion computers, "VIIIth European Conference on Artificial Life (Tutorial Session), Kent, U.K. (Sep. 5-9, 2005).

[4] Y.Takahashi and M.Yokoyama, "A 70MHz Multiplierless FIR Hilbert Transformer in 0.35um CMOS Standard-cell Technology, "in Circuit Exhibition of ESSCIRC 2005, Sept. 2005.

[5] S. Yazaki and K. Abe, "An Optimum Design of FFT Multi-Digit Multiplier and Its VLSI Implementation, "Bulletin of the University of Electro-Communications, Vol. 18, No. 1 and 2, pp. 39-46, Jan. 2006.

1．7　平成18年度の活動計画

平成18年度は，従来の設計情報発信，CADツール提供，チップ支援に加え，平成14年度で終了したSTARCとの共同研究「システムLSIのための再利用可能な設計資産の構築手法の実験的研究」およびそれ以降に各大学で開発されたIPの公開に向けた取り組みを継続する．

【設計情報発信・セミナー開催】

本年度は，平成9年度より継続しているCADツール利用法に関する技術セミナー，平成10年度から継続している社会人向けの「リフレッシュセミナー」，平成8年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え，教科書，教材の整備充実を行なうことを予定している．なおデザイナーフォーラムに関しては，若手に向けた若手のための若手によるフォーラムという原点に立ち戻った開催を継続する予定である．これにより自然な形で，若手のVLSI設計者の層を厚くし，定常的な情報交換の場を確立していきたい．試作チップ数の増加にともない，チップ動作検証に対する要望が増大していくものと予想されるが，LSIテスト技術および，VDECおよび拠点校に設置されているLSIテスター利用法のセミナーも継続して開催し，VDECおよび拠点校のテスターに対し「利用資格」を有する学生・研究者の数を増やす努力をしていく予定である．同時に各拠点校のテスター関係者の連携を密にすることで多様化していくテストの需要に全国レベルで対応する体制を整えていきたい．これは，大きなコストを必要とするテスターの維持・管理を効率化し，維持コストを抑えつつ有効利用を促進するねらいを持っている．また平成14年度開始した時限の研究会「LSI動作解析技術研究会」を介した，産業界と密接に連携した次世代のテスト技術・故障診断技術の研究交流推進を継続する．

【CADツール提供】

上流設計（Cadence，Synopsys），中流設計（Synopsys（旧 Avant!），Cadence），下流設計（Cadence）の各基本ツールを，平成17年度もサポートしていく．これに加え平成14年度から導入した設計検証（Mentor: Caribra），上流設計（Celoxica），平成16年度から導入したアナログRF設計ツール（Agilent: RFDE，ADS）を継続してサポートするとともに，デバイス・プロセス・回路シミュレーションツール（Silvaco）ツールの試験導入を延長しユーザの利用状況により継続の検討を行い，平成17年度より提供を受けているSharp社Cベース設計ツール（BachC）を継続してサポートする．CADツールに必要となる論理設計用ライブラリについては，ファウンドリ提供のものに加え，京都大学，九州大学，早稲田大学，豊橋科学技術大学などの協力を得て，VDECのチップ試作テストラン等を通じて構築されたライブラリの整備が進んでおり，平成18年度は，より信頼性の高いものの提供，およびライブラリに応じた進んだ設計フローの構築などを目指していきたい．特に，平成144年度までのプロジェクト型研究で構築されたIPについて可能なものから順次公開していきたい．

また後述のプロジェクト型研究などの推進により，VDECのチップ試作に適したSoCプラットフォームの構築とプラットフォームに基づく設計手法の確立を進めたい．これらの活動整備には広く各大学からの協力を期待している．

【チップ試作支援】

平成18年度は，平成17年度から引き続きオン・セミコンダクター，ローム株式会社，日立製作所，NEC化合物デバイス，STARC社の協力により，7種類のプロセスで計23回の試作を設定する予定である（すでに一部の試作は進行中である）．平成18年度からローム社0.18umプロセスの試作をサポートし一般からの試作受付を行う予定である．この試作が順調に進むことを確認したうえで，平成18年度いっぱいでローム0.35um試作を終了する予定となっている．また，平成16年度からテストランとして開始している沖電気のCMOS-SOIプロセスは引き続きテストランを継続して実施する予定である．チップの組み立ては全て富士通VLSIに委託することで多様な組み立てのニーズに応じられるようにしていきたい．

さらに，平成14年度から開始した東大VDEC－米国MOSISとの協力に基づくMOSISにおけるチップ試作についても今年度も一層強化する方向ですすめたい．

表1.8.1　VDECチップ試作スケジュール（平成18年度）

【CMOS 1.2 μm 2P2M】　オン・セミコンダクタ（旧日本モトローラ）

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成17年度第 2 回	2005/10/ 3	2005/ 1/10	2006/ 4/ 3	2006/ 7/17
平成18年度第 1 回	2006/ 4/ 3	2006/ 7/ 3	2006/10/ 2	2007/ 1/29
平成18年度第 2 回	2006/10/ 2	2007/ 1/ 9	2007/ 4/ 2	2007/ 7/17

【CMOS 0.35 μm 2P3M】　ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成18年度第 1 回	2005/12/ 5	2006/ 4/14	2006/ 5/22	2006/ 8/28
平成18年度第 2 回	2005/12/22	2006/ 5/12	2006/ 6/19	2006/ 9/25
平成18年度第 3 回	2006/ 1/23	2006/ 6/16	2006/ 7/24	2006/10/30
平成18年度第 4 回	2006/ 3/27	2006/ 8/18	2006/ 9/25	2007/ 1/ 9
平成18年度第 5 回	2006/ 4/24	2006/ 9/15	2006/10/23	2007/ 2/ 5
平成18年度第 6 回	2006/ 6/19	2006/11/10	2006/12/18	2007/ 4/ 9
平成18年度第 7 回	2006/ 7/24	2006/12/ 8	2007/ 1/22	2007/ 5/ 7
平成18年度第 8 回	2006/ 9/25	2007/ 2/16	2007/ 3/26	2007/ 6/18
平成18年度第 9 回	2006/10/16	2007/ 3/ 9	2007/ 4/16	2007/ 7/30

【CMOS 0.18 μm 1P5M】　日立製作所（固定枠）

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成18年度第 1 回	2005/12/25	2006/ 3/27	2006/ 6/26	2006/10/30
平成18年度第 2 回	2005/ 6/ 5	2006/ 9/ 4	2006/12/ 4	2007/ 4/ 9

【Bipolar 0.6 μm】　NEC化合物デバイス

	申込開始	申込〆切	設計〆切	チップ納品
第 1 回			2006/ 9/29	

【CMOS-SOI 0.15 μm 1P5M/TM】　沖電気

	申込開始	申込〆切	設計〆切	チップ納品
第0回			2006/ 4/14	2006/ 8
第1回			2006/ 9/19	2007/ 1
第2回			2007/ 3/12	2007/ 8

【CMOS 90nm 1P6M】　ASPLA（先端SoC基盤技術）：ASPLA社シャトル便に準じる

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成18年度第 1 回	2006/12/ 5	2006/ 1/16	2006/ 4/17	2006/ 7/ 3
平成18年度第 2 回	2006/ 1/16	2006/ 4/17	2006/ 7/18	2006/10/ 2
平成18年度第 3 回	2006/ 4/17	2006/ 6/19	2006/ 9/19	2006/12/15
平成18年度第 4 回	2006/ 6/12	2006/ 9/19	2006/12/11	2007/ 3/16

【CMOS 0.18 μm 1P5M/MIM】　ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成18年度第 1 回	2005/ 2/27	2006/ 5/29	2006/ 8/28	2006/12/11
平成18年度第 2 回	2006/ 5/29	2006/ 8/28	2006/11/27	2007/ 3/19
平成18年度第 3 回	2006/ 8/28	2006/11/27	2007/ 2/26	2007/ 6/11

【CMOS 0.18 μ m 2P5M】　MOSIS-TSMC

試作	設計締め切り
MOSIS-TSMC 0.25um CMOS	
1回	2006/ 5/21
2回	2006/ 9/10
3回	2006/11/13
4回	2007/ 1月-3月の間
MOSIS-TSMC 0.18um CMOS Mixed Signal	
1回	2006/ 4/17
2回	2006/ 6/12
3回	2006/ 8/21
4回	2006/10/16
5回	2006/12/11
6回	2007/ 1月-3月の間

表1．8．2　チップ試作料金

設計規則	チップサイズ	税抜価格（千円）	設計規則	チップサイズ	税抜価格（千円）
CMOS 1.2 μ m 2P2M	2.3mm 角	36	CMOS 0.35um 2P3M	2.4mm 角	93.75
	4.8mm 角	150		4.9mm 角	375
	7.3mm 角	320		9.8mm 角	1500
BiPolar 0.6 μ m	2.0mm 角	144.5	CMOS 0.18 μ m 1P5M	2.9mm 角	311.4
				5.9mm 角	1245.6

*　チップ試作料金が改定される場合があります

** 組立代金は別途

【プロジェクト型研究】

VLSI技術は日々進歩しており，VDECがサポートしているCADツールやライブラリ，チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており，各方面の協力を随時お願いする予定である．

平成17年度においても，平成15年度から継続している，あらたに大学におけるチップ試作において，LSIテスター無に初期の動作テストを可能とするようなSoCマクロの構築を目指したプロジェクト型研究を推進する．本研究を遂行する過程でSoCマクロ本体の設計に加え，SoCマクロを用いた設計およびその設計フローの構築に際し各方面からのご協力を随時お願いする予定である．

1．8　VDEC発ベンチャー

VDEC通じて得られたLSIの設計・試作経験を生か　　の一例を紹介する．
し，起業したベンチャー企業がでてきた．ここでは，そ

●エイシップ・ソリューションズ株式会社（英文名： ASIP Solutions, Inc.）

所在地/連絡先	本　社	〒541-0053 大阪市中央区本町3－5－2 辰野本町ビル6F 〒562-0036
	R&D センター	〒565-0871 大阪府吹田市山田丘1－5 大阪大学先端科学イノベーションセンター A-308 TEL: 06-6876-1456 FAX: 06-6876-2617
	E-mail	imai@asip-solutions.com
	URL	http://www.asip-solutions.com/
事業内容	EDA ツールの提供 ・EDA ツール（ASIP Meister 他）の開発とライセンス販売 ・EDA ツールの使用方法に関する教育とコンサルテーション 設計サービスとソリューション提供 ・ASIP および電子システムの受託設計 ・プロセッサ・コアのライセンシング・サービス ・ASIP および電子システム開発に関するコンサルテーションとソリューション開発 自社 IP の開発 ・自社開発 IP の販売とその使用方法に関するコンサルテーション	

●株式会社ブルックマン・ラボ

所在地/連絡先	本社	〒432-8011　静岡県浜松市城北三丁目5番1号　静岡大学内 TEL: 053-478-1313
	Email	kawahito@idl.rie.shizuoka.ac.jp
事業内容	1．集積回路の設計およびソフトウエアの受託開発設計 2．集積回路の製造，販売業務 3．集積回路の試作および試作品評価業務 4．工業所有権，ノウハウ，システム技術の保全，利用，管理並びに使用許諾 5．集積回路およびソフトウエアに関するコンサルタント業 6．前各号に付帯する一切の業務	

●有限会社 石島電子技研

所在地	本社	TEL: 047-483-8422
	E-mail	ishijima@river.dti.ne.jp
	URL	http://www.ops.dti.ne.jp/~ishijima/rd/
沿　革	ハードウエア開発 アナログ，デジタル電子回路の設計，基板設計，試作 ソフトウエア開発開発 組み込みソフト，Windows アプリケーションソフトの開発 システム・コンサルティング 最適なシステムを最短で構築できるよう，提案	

2. 1　試作ラン別一覧

平成１６年度第２回 ASPLA CMOS 90nm 試作 （AS90042）

題　　名	大　学　名	研　究　者	掲載頁
消費電力および動作周波数の基板バイアス電圧依存性評価 TEG	金沢大学工学部 神戸大学工学部	川上 健太郎，金森 美和子，森田 泰弘，竹村 淳，深山 正幸 藤原 英弘，吉本 雅彦	113
90-nm 512-kb シングルポート SRAM の試作	金沢大学大学院自然科学研究科 神戸大学大学院自然科学研究科 金沢大学自然計測応用研究センター 神戸大学工学部	森田 泰弘，竹村 淳 藤原 英弘 深山 正幸 吉本 雅彦	113

平成１７年度第１回 ASPLA CMOS 90nm 試作 （AS90051）

題　　名	大　学　名	研　究　者	掲載頁
低電圧動作・高精度温度センサ、オンチップオシロスコープのための要素回路	東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	佐々木 昌浩，池田 誠，浅田 邦博 飯塚 哲也	114
RF 回路用モデルのための伝送線路およびインダクタの TEG	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実，山本 憲，ライ チーホン，王 寧一，小林 直樹 谷本 英之，本良 瑞樹	114
遅延・電力のばらつき測定用 TEG チップ	九州大学大学院システム情報科学府 西安工科大学 九州大学工学部 九州大学システム LSI 研究センター 九州大学大学院システム情報科学研究院	坂本 良太，石田 誠，樽見 幸祐 Yang Yuan 山口 聖貴 室山 真徳 黒木 幸令，安浦 寛人	114
10bit 500MHz パイプライン型 A/D 変換器のステージ回路動作検証	東京工業大学大学院理工学研究科	宮原 正也	115
高速・高精度パイプライン ADC ディジタル部	東京工業大学大学院理工学研究科	倉持 泰秀，倉科 隆	115
超高速Σ Δ変調器の試作	東京工業大学大学院理工学研究科	馬上 崇，Win Chaivipas，宮原 正也	115
超高速並列型ＡＤ変換器の開発	東京工業大学大学院理工学研究科	池田 裕介	116
iPAD プラットフォーム用 CPU、メモリおよび周辺回路の試作	東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	鄭 若彤，池田 誠，浅田 邦博 吉田 浩章	116

平成１７年度第２回 ASPLA CMOS 90nm 試作 （AS90052）

題　　名	大　学　名	研　究　者	掲載頁
90nm 世代のシグナル・パワーインテグリティおよびばらつき評価チップ	東京大学国際・産学共同研究センター	稲垣 賢一，ダナルドノ ドゥイ アントノ，皆川 拓也，桜井 貴康	117

平成１７年度第３回 ASPLA CMOS 90nm 試作 （AS90053）

題　　名	大　学　名	研　究　者	掲載頁
ミリ波帯で動作する無線通信回路の作製	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実，山本 憲，ライ チーホン，王 寧一，小林 直樹 谷本 英之，本良 瑞樹	118
実時間画像認識システムのための特徴ベクトル抽出プロセッサ	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	山崎 英男，黄 世燕 Oztruk Ovgu	118
ばらつきを利用して速度と歩留まりを向上させる FPGA	京都大学情報学研究科 京都大学工学部	小林 和淑，小谷 学，香月 和也，小野寺 秀俊 尾形 幸亮	118
オンチップ VCO 回路における位相ノイズ低減手法の確立	中央大学理工学部	原 康之，杉本 泰博	119
低消費電力 RF フロントエンド内蔵センサノード	金沢大学大学院自然科学研究科 神戸大学大学院自然科学研究科 神戸大学工学部	三上 真司 竹内 隆 吉本 雅彦	119
動的電圧制御環境下における低電圧動作 90-nm 64-kb SRAM	金沢大学大学院自然科学研究科 神戸大学大学院自然科学研究科 神戸大学工学部	森田 泰弘，三上 真司 藤原 英弘，宮越 純一，新居 浩二 吉本 雅彦	119
差動対回路に基づく電流モード多値高速乗算器	東北大学電気通信研究所	北村 健，白濱 弘勝，鬼沢 直哉，望月 明，羽生 貴弘	120

平成１７年度第４回 ASPLA CMOS 90nm 試作 （AS90054）

題　　名	大 学 名	研 究 者	掲載頁
3 相式伝送インターフェイス	東京大学工学系研究科 東京大学 VDEC	曺 溶成，池田 誠，浅田 邦博 佐々木 昌浩	121
無線通信用ＲＦアナログ回路およびＴＥＧの試作	東京大学新領域創成科学研究科 東京大学工学系研究科 東京大学工学部	藤島 実，山本 憲，ライ．チ ホン，オンチュ アハメット，王 寧一，小林 直樹，ワサンタマーラー バダラワ 谷本 英之 オウ トウ	121
OFDM 方式無線通信ベースバンド処理回路	北海道大学大学院情報科学研究科	吉澤 真吾，宮永 喜一	121
90nm 世代のシグナル・パワーインテグリティ評価チップ	東京大学国際・産学共同研究センター	稲垣 賢一，ダナルドノ ドゥイ アントノ，高宮 真，桜井 貴康	122
オンチップ差動伝送線路の評価	東京工業大学統合研究院	伊藤 浩之，杉田 英之，清田 淳紀，岡田 健一，益 一哉	122
電源雑音によるデジタル信号の遅延変動評価用 LSI	神戸大学工学部	深澤 光弥，永田 真	122
非同期データ転送に基づく LDPC デコーダチップ	東北大学電気通信研究所	鬼沢 直哉，北村 健，白濱 弘勝，望月 明，羽生 貴弘	123
電源ノイズ波形ならびに遅延変動測定 TEG	大阪大学大学院情報科学研究科	小笠原 泰弘，橋本 昌宜，尾上 孝雄	123
低電力な無線通信向けの送信回路	東京大学大規模集積システム設計教育研究センター	高宮 真	123

平成１７年度第６回 ASPLA CMOS 90nm 試作 （AS90056）

題　　名	大 学 名	研 究 者	掲載頁
	京都大学情報学研究科 京都大学工学部	土谷 亮，濱田 隆行，上村 晋一朗，小野寺 秀俊 久保木 猛	124
電圧モード A/D 変換器に用いる高精度スイッチの試作	中央大学理工学研究科 中央大学理工学部	櫻井 宏樹，田中 滋人，恩田 智之 杉本 泰博，高橋 俊彦	124
誘導結合トランシーバ TEG	慶應義塾大学理工学部	三浦 典之，黒田 忠広	124
動的電圧制御環境下における低電圧動作 90-nm 1-Mb SRAM	金沢大学大学院自然科学研究科 神戸大学大学院自然科学研究科 神戸大学工学部	森田 泰弘 藤原 英弘，新居 浩二 野口 紘希，川口 博，吉本 雅彦	125
8-10bit 500M-1GHz パイプライン型 A/D 変換器	東京工業大学大学院理工学研究科	宮原 正也	125

平成１６年度第２回日立 CMOS 0.18μm 試作 （HIT18042）

題　　名	大 学 名	研 究 者	掲載頁
5.8GHzDSRC 用 PLL	東京大学新領域創成科学研究科	山本 憲，藤島 実	126
MIMD 連想プロセッサ用演算ユニットの試作	東京大学大学院工学系研究科	早川 仁	126
実時間画像処理機能を持った特徴ベクトル生成プロセッサ	東京大学大学院工学系研究科	山崎 英男	126
連想プロセッサアーキテクチャに基づく逐次ランクソーティング VLSI	東京大学大学院工学系研究科	高田 謙	127
Ｓｅｒｉａｌ ＡＴＡの送受信部、ＦＬＡＳＨ ＡＤコンバータ	早稲田大学理工学部	横山 晋，野沢 舞，村上 友規，松本 隆，佐々木 昌浩	127
チップスケールアンテナによる CMOS 準ミリ波帯フロントエンドの研究	広島大学先端物質科学研究科	向井 徹，佐々木 守	127
再構成可能コンテクストメモリを用いたマルチコンテクスト FPGA	東北大学大学院情報科学研究科	亀山 充隆，張山 昌論，CHONG Wei Sheng，緒方 翔	128
低消費電力な UWB 受信器と出力電圧高速可変な電源回路の評価チップ	東京大学大学院工学系研究科	鬼塚 浩平，Tamtrakarn Atit，Canh Tran	128
SFQ/CMOS ハイブリッドメモリシステムの試作	横浜国立大学工学部	吉川 信行，徳田 勝利，高橋 好明	128
高並列プロセッサ向けマルチバンク構成レジスタファイル	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・システム研究センター	末吉 徹也，碧山 賢一 マタウシュ ハンスユルゲン，小出 哲士	129
2 段 PLL を用いた超高精度時間測定回路	高エネルギー加速器研究機構素粒子原子核研究所	新井 康夫	129
高速バスドライバ回路	明星大学情報学部	秋山 豊，伊東 恭二，宇佐美 保，大塚 寛治	129

高速バスドライバ回路	明星大学情報学部	秋山 豊，伊東 恭二，宇佐美 保，大塚 寛治	130
オンチップ高速配線ならびに RF 回路	東京工業大学統合研究院	伊藤 浩之，吉原 義昭，菅原 弘雄，岡田 健一，益 一哉	130
ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	130
アナログ回路雑音応答特性評価チップ	神戸大学工学部	野口 宏一朗，佐藤 秀一，永田 真	131
AD 変換回路の内部信号評価チップ	神戸大学工学部	野口 宏一朗，佐藤 秀一，永田 真	131
実験用マイクロプロセッサと回路特性評価 TEG の設計	法政大学大学院工学研究科	市来 史明，竹田 圭佑，塩川 哲司，藤田 実	131

平成１７年度第１回日立 CMOS 0.18μm 試作 （HIT18051）

題　　名	大 学 名	研 究 者	掲載頁
インダクタの性能向上、およびバラン、ＶＣＯに関する試作	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実，山本 憲，石橋 浩二，小林 直樹 本良 瑞樹	132
デジタル時間領域演算論理を利用した多目的ビジョンチッププロセッサ	東京大学大学院新領域創成科学研究科	伊藤 潔人	132
Ｓｅｒｉａｌ ＡＴＡの送受信部、ＦＬＡＳＨ ＡＤコンバータ	早稲田大学理工学部	横山 晋，野沢 舞，村上 友規，松本 隆，佐々木 昌浩	132
ウィンドウサイズ可変アルゴリズムを用いたステレオビジョン VLSI	東北大学大学院情報科学研究科 小山工業高等専門学校技術室	横山 直人，張山 昌論，亀山 充隆 小林 康浩	133
しきい論理に基づく低電力多値リコンフィギャラブルＶＬＳＩ	東北大学大学院情報科学研究科	ハアク モハマッド ムニルル，亀山 充隆	133
電流センサおよび UWB 用広帯域低雑音増幅器	東京大学国際・産学共同研究センター	石田 光一，タマタカーン アティット 桜井 貴康，，，，，	133
チップスケールアンテナによる CMOS 準ミリ波帯フロントエンドの研究	広島大学先端物質科学研究科	向井 徹，佐々木 守	134
ハードウェア暗号組込み型マルチメディアモバイルプロセッサ	弘前大学理工学部 弘前大学総合情報処理センター	深瀬 政秋，赤岡 亮 佐藤 友暁	134
SFQ/CMOS ハイブリッドメモリシステムの試作	横浜国立大学工学部	吉川 信行，徳田 勝利，高橋 好明	134
オンチップ・アンテナ一体型 UWB パルス生成器	慶應義塾大学理工学部	原田 典浩，Kulkarni Vishal，Muqsith Muhammad	135
アクティブ線路集積回路	明星大学情報学部 明星大学理工学部	秋山 豊，宇佐美 保，大塚 寛治 水野 文夫，鷹野 致和	135
高速信号伝送線路評価用回路、線路、および動的再構成可能 RF 回路技術向け要素回路、受動素子	東京工業大学統合研究院	伊藤 浩之，杉田 英之，清田 淳紀，山内 拓弥，伊藤 猛，岡田 健一，益 一哉	135
動的再構成可能 RF 回路向け要素回路、受動素子および高速信号伝送線路評価用線路	東京工業大学統合研究院	伊藤 雄作，川添 大輔，木村 実人，菅原 弘雄，岡田 健一，益 一哉	136
ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	136
抵抗測定 TEG	神戸大学工学部	松本 哲郎，小坂 大輔，永田 真	136
多値差動対回路に基づくデータパス	東北大学電気通信研究所	北村 健，望月 明，羽生 貴弘	137
2.4 GHz 帯無線通信システム用回路ブロックの試作	東京工業大学理工学研究科	藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン	137
各種回路 TEG の設計と実験用マイクロプロセッサの機能追加	法政大学大学院工学研究科	倉田 泰治，小笹 博之，前島 聡，三宅 宏明，清水 元啓，田村 和義，中井 祐介，藤田 実	137
5.2GHz 用のＲＦフィルタ	慶應義塾大学理工学部	三浦 直樹，沢井 茂，眞田 幸俊	138
高周波アナログ特性モデリング用素子 TEG	群馬大学大学院工学研究科	石原 昇	138
高周波パワーアンプ用基本回路 TEG	群馬大学大学院工学研究科	石原 昇	138
多段リミッタアンプ構成による高速イコライザ回路 TEG	群馬大学大学院工学研究科	石原 昇，阿久津 正彦，弓仲 康史	139
GHz サンプリングフラッシュ型 AD 変換器	鹿児島大学理工学研究科 鹿児島大学工学部	上村 勇仁，永吉 芳行 矢山 浩輔，呉 慶，大畠 賢一，山下 喜市	139

平成１６年度第２回オンセミコンダクター CMOS 1.2μm 試作 （MOT042）

題　　名	大 学 名	研 究 者	掲載頁
10 進ディジタル回路およびニューロン MOS 回路の設計試作	静岡理工科大学電気電子情報工学科 静岡理工科大学電子工学科	波多野 裕 磯部 圭吾 小林 潤士，里中 勝己，水口 隆太郎，村松 一矢，山本 毅，	140
MOS 型定電流回路の設計・試作(5)	岡山県立大学大学院情報系工学研究科	日笠 猛，大曽根 隆志，森下 賢幸，小椋 清孝	140
MOS 型整流回路・直流電圧増幅回路の設計・試作(2)	岡山県立大学大学院情報系工学研究科	日笠 猛，大曽根 隆志，森下 賢幸，小椋 清孝	140
MOS 型整流回路・直流電圧増幅回路の設計・試作(3)	岡山県立大学大学院情報系工学研究科	日笠 猛，大曽根 隆志，森下 賢幸，小椋 清孝	141
広ダイナミックレンジイメージセンサアレイ	広島市立大学大学院情報科学研究科	浜崎 淳，小澤 亮，助田 有教，堀居 賢樹	141
パルス形ハードウェア興奮抑制ニューロン対モデルの試作	日本大学大学院理工学研究科電子工学専攻 日本大学理工学部電子情報工学科	小野 克幸，秦 恵子 佐伯 勝敏，関根 好文	141
チップ入出力部に着目したパルス形ハードウェア興奮抑制ニューロン対モデルの試作	日本大学大学院理工学研究科電子工学専攻 日本大学理工学部電子情報工学科	小野 克幸，秦 恵子 佐伯 勝敏，関根 好文	142
チップ内特性測定用モデル伝送線路およびＴＥＧの試作	秋田大学工学資源学部	吾妻 俊征，井上 浩	142
電源電圧変動に依存しないバイアス回路の試作	秋田大学工学資源学部	佐々木 健太，井上 浩	142
ニューロン MOS 多値論理回路および演算増幅器の試作	佐賀大学大学院工学系研究科 佐賀大学理工学部	古賀 陽一郎，近藤 弘康 深井 澄夫	143
CMOS イメージセンサの基礎実験チップ	佐賀大学理工学部	原 重臣	143
スイッチング電源制御 LSI 用補正回路の設計	富山県立大学大学院工学研究科	大場 博之，松田 敏弘，岩田 栄之	143
オフセット電圧自動補正回路の設計	富山県立大学大学院工学研究科	堀井 信嘉，松田 敏弘，岩田 栄之	144
インターポーザ用オペアンプの設計	富山県立大学大学院工学研究科	堀井 信嘉，松田 敏弘，岩田 栄之	144
SPICE モデルパラメータ抽出用単体 MOSFET の設計	富山県立大学大学院工学研究科	正源 浩之，松田 敏弘，岩田 栄之	144
制御テール電流源を用いた高線形化 CMOS 乗算器	筑波大学理工学研究科 筑波大学システム情報工学研究科	堀 護 庄野 和宏，石橋 幸男	145

平成１７年度第１回オンセミコンダクター CMOS 1.2μm 試作 （MOT051）

題　　名	大 学 名	研 究 者	掲載頁
ニューロンＭＯＳ可変論理回路の試作	大阪工業大学工学部	久津輪 敏郎，椴山 徹	146
基本論理ゲート速度評価回路と加算回路、計数回路、メモリレジスタの設計試作	静岡理工科大学電気電子情報工学科 静岡理工科大学電子工学科	波多野 裕 鈴木 博也 森 章紀，田力 正徳，芝田 通明，，，	146
基本論理ゲート速度評価回路と加算回路、計数回路、メモリレジスタの設計試作	静岡理工科大学電気電子情報工学科 静岡理工科大学電子工学科	波多野 裕 田力 正徳 芝田 通明，鈴木 博也，森 章紀，，，	146
NMOS パワートランジスタ（ワッフルレイアウト）	福岡大学工学部	末次 正	147
スパイラルインダクタ 20nH	福岡大学工学部	末次 正	147
MOS 型定電流回路の設計・試作(6)	岡山県立大学大学院情報系工学研究科	日笠 猛，定本 竜明，大曽根 隆志，森下 賢幸，小椋 清孝	147
MOS 型整流回路・直流電圧増幅回路の設計・試作(4)	岡山県立大学大学院情報系工学研究科	日笠 猛，大曽根 隆志，森下 賢幸，小椋 清孝	148
MOS 型整流回路・直流電圧増幅回路の設計・試作(5)	岡山県立大学大学院情報系工学研究科	日笠 猛，大曽根 隆志，森下 賢幸，小椋 清孝	148
高効率整流回路の試作	東北大学大学院工学研究科	坂井 靖文，小谷 光司，伊藤 隆司	148
移相器及びチップ内配線特性測定用モデル伝送線路の試作	秋田大学工学資源学部	吾妻 俊征，三浦 和仁，井上 浩	149
基本アナログ形 PLL の試作	秋田大学工学資源学部	佐々木 健太，井上 浩	149
演算増幅器およびニューロン MOS を用いたアナログ・ディジタル回路	佐賀大学大学院工学系研究科 佐賀大学理工学部	舛岡 貴志，近藤 弘康，古賀 陽一郎 石丸 佳和，大熊 太郎，加藤 好信，清水 暁生，深井 澄夫	149
ウェーブパイプライン方式 LFSR	弘前大学理工学部 弘前大学総合情報処理センター	佐久間 玲奈，深瀬 政秋 佐藤 友暁	150
トランジスタ特性測定用回路	富山県立大学工学研究科	正源 浩之，松田 敏弘，岩田 栄之	150
トランジスタ特性測定用回路	富山県立大学工学研究科	正源 浩之，松田 敏弘，岩田 栄之	150

オフセット電圧自動補正回路の改良	富山県立大学大学院工学研究科	堀井 信嘉，松田 敏弘，岩田 栄之	151
スイッチング電源制御用 LSI の設計	富山県立大学大学院工学研究科	大場 博之，松田 敏弘，岩田 栄之	151
発振回路の試作	東京工業大学理工学研究科	藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン	151
FM 放送受信システム用回路ブロックの試作（1）	東京工業大学理工学研究科	藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン	152
FM 放送受信システム用回路ブロックの試作(2)	東京工業大学理工学研究科	藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン	152
FM 放送受信システムの試作	東京工業大学理工学研究科	藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン	152
演算増幅器の試作	東京工業大学理工学研究科	藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン	153
電圧モード多値論理基本回路の試作	筑波技術大学産業技術学部	稲葉 基	153

平成１７年度第１回 MOSIS-TSMC CMOS 0.18μm 試作 （MT18051）

題　　名	大 学 名	研 究 者	掲載頁
1Tb/s 3W 三次元積層チップ間誘導結合トランシーバ	慶應義塾大学理工学部	三浦 典之，黒田 忠広	154
1Tb/s 3W 三次元積層チップ間誘導結合トランシーバ	慶應義塾大学理工学部	三浦 典之，黒田 忠広	154
高速伝送線路配線、トランジスタ TEG、高周波 LNA およびミキサー	東京工業大学統合研究院	伊藤 浩之，菅原 弘雄，岡田 健一，益 一哉	154

平成１７年度第２回 MOSIS-TSMC CMOS 0.18μm 試作 （MT18052）

題　　名	大 学 名	研 究 者	掲載頁
スパイラルインダクタのカップリングによるチップ間無線インターコネクト LSI	広島大学先端物質科学研究科	佐々木 守，有薗 大介	155
スパイラルインダクタ対の電磁結合による無線シリアル伝送LSI	広島大学先端物質科学研究科	佐々木 守，閻 彬	155
高速クロック分配方式の開発	広島大学先端物質科学研究科	佐々木 守，汐崎 充，森 敦，岩田 穆	155
低電圧動作アナログ回路 TEG	広島大学先端物質科学研究科	吉田 毅，升井 義博，円林 晃一郎，石田 尚也，青木 慶	156
低電圧動作アナログ回路 TEG	広島大学先端物質科学研究科	吉田 毅，升井 義博，円林 晃一郎，石田 尚也，青木 慶	156
誘導結合トランシーバ用低電力送信回路	慶應義塾大学理工学部	井上 眞梨，黒田 忠広	156

平成１７年度第３回 MOSIS-TSMC CMOS 0.18μm 試作 （MT18053）

題　　名	大 学 名	研 究 者	掲載頁
高速 VCSEL レーザドライバ回路	大阪大学工学部	リー タックヤン，松岡 俊匡，谷口 研二	157
チップ間無線電力伝送	慶應義塾大学理工学部	Yuan Yuxiang	157
再構成可能 CMOS 無線回路	東京工業大学統合研究院	山内 拓弥，菅原 弘雄，川添 大輔，伊藤 雄作，伊藤 猛，岡田 健一，益 一哉	157
広帯域アナログ複素係数フィルタ	北見工業大学工学部	谷本 洋，矢舗 誠，田邊 寛朗，柳沢 英人	158

平成１７年度第４回 MOSIS-TSMC CMOS 0.18μm 試作 （MT18054）

題　　名	大 学 名	研 究 者	掲載頁
動的再構成可能 RF 回路技術向け要素回路、受動素子	東京工業大学統合研究院	川添 大輔，菅原 弘雄，伊藤 雄作，山内 拓也，伊藤 猛，岡田 健一，益 一哉	159
高周波アナログアクティブフィルタの試作	東京工業大学理工学研究科	藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン	159

平成１７年度第２回 MOSIS-TSMC CMOS 0.25μm 試作 （MT25052）

題　　名	大 学 名	研 究 者	掲載頁
オールオンチップ PLL と基板雑音に対する影響評価	広島大学先端物質科学研究科	外谷 昭洋，岩田 穆	160
1:8CMOS デマルチプレクサの試作	大阪大学大学院工学研究科	姚 峥山，金 奎哲，田中 智之，王 軍，井田 司，上田 啓介，松岡 俊匡，谷口 研二	160

平成１７年度第３回 MOSIS-TSMC CMOS 0.25μm 試作 （MT25053）

題　　名	大 学 名	研 究 者	掲載頁
可変利得増幅回路の試作	大阪大学大学院工学研究科	王 軍，姚 峥山，松岡 俊匡，谷口 研二	161
衝突点モニター用ピクセル検出器読出し回路	東北大学理学研究科 宇宙科学研究所	橋本 健太郎，横山 康博，山本 均 池田 博一	161

平成１７年度第４回 MOSIS-TSMC CMOS 0.25μm 試作 （MT25054）

題　　名	大 学 名	研 究 者	掲載頁
	京都大学生存圏研究所	松本 陽史，小嶋 浩嗣，上田 義勝	162

平成１７年度第１回 NEC Bipolar 0.6μm 試作 （NEC05）

題　　名	大 学 名	研 究 者	掲載頁
8-bit,1GS/s バイポーラＳ／Ｈの試作	中央大学理工学部	佐藤 義和，土橋 洋太，杉本 泰博	163
１次連続時間型ΔΣ変調器	上智大学理工学部	森田 寛，田中 隆，湯本 拓，和保 孝夫	163
ダブルサンプリング１次連続時間型ΔΣ変調器	上智大学理工学部	田中 隆，森田 寛，湯本 拓，和保 孝夫	163
ASVPZ2005	高エネルギー加速器研究機構素粒子原子核研究所	田中 真伸	164
ポジティブ・アンプ	高エネルギー加速器研究機構素粒子原子核研究所	谷口 敬，島崎 昇一，根岸 久，田中 真伸	164
ネガティブ・アンプ	高エネルギー加速器研究機構素粒子原子核研究所	谷口 敬，島崎 昇一，根岸 久，田中 真伸	164
高速コンパレータ	高エネルギー加速器研究機構素粒子原子核研究所	谷口 敬，根岸 久，島崎 昇一，田中 真伸	165
N6114 (Multi Input Transistor Charge Sensitive Pre-Amplifier)	高エネルギー加速器研究機構素粒子原子核研究所	河合 克彦，田中 真伸	165
N6115 (Multi Input Transistor Charge Sensitive Pre-Amplifier with PZC，Shaper，Buffer)	高エネルギー加速器研究機構素粒子原子核研究所	河合 克彦，田中 真伸	165
N6116 (Wide Dynamic Range Charge Sensitive Pre-Amplifier)	高エネルギー加速器研究機構素粒子原子核研究所	河合 克彦，田中 真伸	166
N6117 (Multi Input Transistor Charge Sensitive Pre-Amplifier with PZC，Shaper，Buffer)	高エネルギー加速器研究機構素粒子原子核研究所	河合 克彦，田中 真伸	166

平成１７年度第１回 OKI SOI CMOS 0.15μm 試作 （OKI0503）

題　　名	大 学 名	研 究 者	掲載頁
Gate Cascode High Gain Low Noise Amplifier	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実，山本 憲，ライ チーホン，渡辺 宏樹 谷本 英之	167
High Performance Transmission Lines for Low Loss	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実，山本 憲，ライ チーホン，渡辺 宏樹 谷本 英之	167
スタンダードセル評価回路	京都大学情報学研究科 京都大学	古澤 賢治，河野 武志，牟田 博和，小谷 学，小林 和淑 小野寺 秀俊	167
低電圧動作低雑音増幅器の設計	大阪大学工学研究科	木原 崇雄，金 奎哲，松岡 俊匡，谷口 研二	168
無線 LAN 受信機用のミキサ及び VCO の設計	大阪大学工学研究科	金 奎哲，村上 豊生，上田 啓介，後藤 克，木原 崇雄，松岡 俊匡 谷口 研二，	168
160×180 画素開口つきイメージセンサおよび TEG チップ	奈良先端科学技術大学院大学物質創成科学研究科	徳田 崇，松尾 昌通，中川 琢磨，香川 景一郎，布下 正宏，太田 淳	168
CMOS アクティブ磁界プローブの設計	静岡大学電子科学研究科 静岡大学電子工学研究所 東北大学工学研究科	青山 聡 川人 祥二 山口 正洋	169

平成１７年度第２回 OKI SOI CMOS 0.15μm 試作 （OKI0509）

題　　名	大　学　名	研　究　者	掲載頁
メタルスリット構造による回折現象を利用した波長情報取得センサ	東京大学工学部	谷内出 悠介，橋本 紘和，池田 誠，浅田 邦博	170
SOI 基板におけるフォトダイオード特性評価のための回路	東京大学新領域創成科学研究科 東京大学工学部	高橋 徳浩，柴田 直 山崎 英男，三田 吉郎	170
スタンダードセル評価回路	京都大学情報学研究科	牟田 博和，小谷 学，小林 和淑，小野寺 秀俊	170
無線受信機の要素回路の設計	大阪大学工学研究科	木原 崇雄，後藤 克，陳 炳宏，金 奎哲，松岡 俊匡，谷口 研二	171
FD-SOI によるセンサー用フロントエンド回路	宇宙航空研究開発機構宇宙科学研究本部 高エネルギー加速器研究機構素粒子原子核研究所	池田 博一 新井 康夫	171
CMOS アクティブ磁界プローブ	静岡大学電子科学研究科 静岡大学電子工学研究所 東北大工学研究科	青山 聡 川人 祥二 山口 正洋	171
RF プローブチップ	東北大学大学院工学研究科 東北大学工学部	山口 正洋，小屋 祥太 菊池 隼人	172

平成１６年度第４回ローム CMOS 0.35μm 試作 （RO35044）

題　　名	大　学　名	研　究　者	掲載頁
カレントモード演算によるアナログ汎用画像処理プロセッサ	東京大学工学部	清水 健	173
解像度可変エッジ検出イメージセンサ	東京大学大学院新領域創成科学研究科	高橋 徳浩	173
ポストプロセスによる VLSI-MEMS インテグレーションのための要素技術研究チップ	東京大学大学院新領域創成科学研究科	久保田 雅則	173
IC identification circuit	東京大学大学院新領域創成科学研究科	トンプラシット ベンジャマース	174
Mixed-signal メディアン値探索回路	東京大学大学院工学系研究科	山崎 英男	174
ストカスティックコンピューティングシステムによるマンハッタン距離計算回路の設計	広島大学大学院先端物質科学研究科	堀 道弘，岩田 穆	174
２種類の無線インタコネクトを搭載した画像処理用３次元集積システムの開発	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・システム研究センター	亀田 成司，有薗 大介，小田原 正起，佐々木 守，岩田 穆 佐々木 信雄，吉川 公麿	175
２種類の無線インタコネクトを搭載した画像処理用３次元集積システムの開発	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・システム研究センター	亀田 成司，有薗 大介，小田原 正起，佐々木 守，岩田 穆 佐々木 信雄，吉川 公麿	175
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	岩池 彩海，高田 雅史，秋田 純一，北川 章夫	175
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	金子 康隆，高田 雅史，秋田 純一，北川 章夫	176
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	谷澤 智康，高田 雅史，秋田 純一，北川 章夫	176
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	牧野 良成，高田 雅史，秋田 純一，北川 章夫	176
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	平木 謙次，高田 雅史，秋田 純一，北川 章夫	177
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	米田 智弘，高田 雅史，秋田 純一，北川 章夫	177
相変化不揮発性メモリの書換え特性評価 TEG	金沢大学工学部 集積回路工学研究室	泉 貴富，高田 雅史，秋田 純一，北川 章夫	177
相変化不揮発性メモリの書換え特性評価 TEG	金沢大学工学部 集積回路工学研究室	泉 貴富，高田 雅史，秋田 純一，北川 章夫	178
近接物体画像センサ用 TEG	金沢大学工学部 集積回路工学研究室	中江 智，秋田 純一，北川 章夫	178
近接物体画像センサ	金沢大学工学部 集積回路工学研究室	中江 智，秋田 純一，北川 章夫	178
高速ΔΣ型 DAC	九州大学システム情報科学府 九州大学システム情報科学研究院	井上 美穂 黒木 幸令	179
高速かつ低消費電力レベル・シフタ、低振幅クロックの F/F	東京大学工学系研究科	Tran Quang Canh，Yazid Muhammad	179
チップ間ワイヤレス電源伝送回路の評価チップ	東京大学大学院工学系研究科	鬼塚 浩平	179
ランダムアドレッシング機能強化型マルチメディアモバイルプロセッサ	弘前大学理工学部 札幌学院大学社会情報学部	深瀬 政秋，佐藤 陽一，中村 吉樹，赤岡 亮 佐藤 友暁	180

弱反転動作アナログ回路の試作	長崎総合科学大学新技術創成研究所 長崎総合科学大学大学院工学研究科 長崎総合科学大学工学部	清山 浩司 金 奉基 田中 義人	180
パイプラインＡＤＣの試作	長崎総合科学大学新技術創成研究所 東京大学理学系研究科	房安 貴弘 山口 頼人	180
CMOS 上流設計による各種ディジタル回路の試作	横浜国立大大学工学部	吉川 信行，，，， 道江 寛之，高橋 好明，朴 熙中	181
CMOS 上流設計による各種ディジタル回路の試作	横浜国立大大学工学部	吉川 信行，，，， 道江 寛之，高橋 好明，朴 熙中	181
SFQ/CMOS ハイブリッドメモリの試作	横浜国立大学工学部	吉川 信行，徳田 勝利，富田 卓哉，藤原 完	181
短/長期記憶の概念に基づくパターン自動学習連想メモリ	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	白川 佳則 マタウシュ ハンスユルゲン，小出 哲士	182
アナログ-デジタル混載回路による 2 バンク型最小マンハッタン距離検索連想メモリ	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	上村 一弘 マタウシュ ハンスユルゲン，小出 哲士	182
MOSFET 特性ばらつき評価用試験回路２	広島市立大学情報科学部 広島市立大学大学院情報科学研究科	寺田 和夫 山内 丈周，上木 彰彦	182
高機能高画質 CMOS イメージセンサ	東北大学大学院工学研究科	舘 知恭，須川 成利，小谷 光司，大見 忠弘	183
イメージセンサ設計用 TEG	東北大学工学研究科	淨法寺 佑	183
MOS トランジスタ特性測定回路	東北大学工学研究科	渡部 俊一	183
高機能高画質ＣＭＯＳイメージセンサ用ＡＤ変換器	東北大学大学院工学研究科	舘 知恭，須川 成利，小谷 光司，大見 忠弘	184
8bit×8 SRAM	東京大学情報理工学系研究科	酒造 正樹，星野 一憲，下山 勲	184
素子ばらつきを考慮した 12-bit,100MS/s,2V 電流モード A/D 変換器の試作	中央大学理工学部	合田 裕二，杉本 泰博，田中 滋人	184
14-bit、200MS/s DA 変換器回路	中央大学理工学研究科 中央大学理工学部	櫻井 宏樹 杉本 泰博	185
画像処理におけるユークリッド距離変換回路の実現	名古屋大学大学院情報科学研究科 中京大学情報科学部	高木 雅彦，平田 富夫 磯 直行	185
3 次元計測用スマートイメージセンサ TEG	大阪市立大学工学研究科	馬場 庸介，前田 康次，村井 俊文，宮崎 大介 向井 孝彰，，，	185
生体計測用信号処理回路	慶應義塾大学理工学部	近藤 洋一郎，松本 佳宣	186
人体内外通信 in-vivo チップ	東京工業大学統合研究院	山田 智浩，岡田 健一，益 一哉	186
光学部検査回路付・光再構成型ゲートアレイ VLSI	九州工業大学情報工学部	渡邊 実	186
11,424 ゲート・光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	187
高線形アナログ信号処理用回路ブロック	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平，伊藤 和将 和田 和千	187
離散時間信号処理における雑音低減技術と寄生素子の影響の評価	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	鈴木 寛人，八木 大介，吉田 武史 和田 和千	187
LNA の高性能化に関する試作	法政大学工学部 法政大学工学研究科	安田 彰 緒方 克哉，土屋 貴紀	188
基板雑音検出回路と VCO の評価 TEG	神戸大学工学部	藤原 正樹，小坂 大輔，永田 真	188
超多重 RFID 向けトランスポンダ実験チップ	神戸大学工学部	福水 洋平，永田 真	188
FM 送受信回路	立命館大学理工学研究科	藤田 智弘，野田 和也，古野 裕隆	189
周波数変調ΔΣ変調器の予備検討	名古屋大学工学研究科	松原 渉，前澤 宏一，水谷 孝	189
コンテンツベース手法を用いた動き予測エンジンの試作	早稲田大学大学院情報生産システム研究科	李 申，池永 剛，後藤 敏	189
8bit 除算器の試作	名古屋大学工学研究科	堀部 大介，伊藤 大地，梶山 太郎，林 久紘	190
0.35μmCMOS トランジスタ特性測定実験用チップ	立命館大学理工学部	藤野 毅	190
基板ノイズ評価用テストチップ	慶應義塾大学理工学部	岩津 勝彦，中野 誠彦	190
DCT プロセッサの試作	関西大学大学院工学研究科	西谷 貴幸，栗原 大輔，貞光 慎司，阿部 貴之，堀場 康孝	191

平成１７年度第１回ローム CMOS 0.35μm 試作 （RO35051）

題　　名	大　学　名	研　究　者	掲載頁
CMOS デシメーションフィルタの試作	横浜国立大学工学部好明 横浜国立大学工学部	吉川 信行 道江 寛之	192
高感度位置敏感型放射線検出器用チップ	東京大学大学院工学系研究科	Yeol Yeom-Jung，高橋 浩之	192
高感度位置敏感型放射線検出器用チップ	東京大学大学院工学系研究科	Yeom Jung Yeol，高橋 浩之	192
ミックストシグナル集積回路のための基礎技術	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	鈴木 寛人，小野 貴士 和田 和千	193

平成１７年度第２回ローム CMOS 0.35μm 試作 （RO35052）

題　　名	大　学　名	研　究　者	掲載頁
アナログモーションセンサのための時間領域微分演算アーキテクチャ	東京大学大学院新領域創成科学研究科	伊藤 潔人	194
チップ間ワイヤレス電源伝送回路の評価チップ	東京大学大学院工学系研究科	鬼塚 浩平	194
SFQ/CMOS ハイブリッドメモリ用高速ハイブリッドアンプの試作	横浜国立大学工学部好明 横浜国立大学工学部	吉川 信行 藤原 完，高橋 好明，河合 宣彰	194
CMOS デシメーションフィルタの試作	横浜国立大学工学部好明 横浜国立大学工学部	吉川 信行 道江 寛之	195
高精度低消費電力電圧コンパレータ	東北大学大学院工学研究科	佐塚 友彦	195
光電子増倍管用位置読み出しチップ	東京大学大学院工学系研究科	Yeom Yung Yeol，高橋 浩之	195
ポジトロン CT 用プリアンプの試作	東京大学工学系研究科	島添 健次	196
32×32 画素キャパシティブフィードバックリセット型パルス周波数変調方式低電圧ビジョンチップ	奈良先端大物質創成科学研究科 奈良先端大物質	山本 真也 香川 景一郎，古宮 哲夫，徳田 崇，布下 正宏，太田 淳	196
エッジ検出回路	大阪大学工学研究科	井上 恵介，八木 哲也	196

平成１７年度第３回ローム CMOS 0.35μm 試作 （RO35053）

題　　名	大　学　名	研　究　者	掲載頁
低クロック振幅フリップ・フロップとオンチップバックコンバータ用フィルタの評価チップ	東京大学大学院工学系研究科	鬼塚 浩平，Yazid Muhammad	197
CMOS デシメーションフィルタの試作	横浜国立大学工学部好明 横浜国立大学工学部	吉川 信行 道江 寛之	197
16CH 高感度位置敏感型放射線検出器用チップ	東京大学大学院工学系研究科	高橋 浩之，島添 健次	197
光通信用信号処理回路	慶應義塾大学理工学部	赤松 大生，松本 佳宣	198
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	轡田 晃一，松本 佳宣	198
ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	198
ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	199
正方格子２次元シリコン網膜	大阪大学大学院工学研究科	下ノ村 和弘，八木 哲也	199
X 線測定用信号増幅回路	九州工業大学マイクロ化総合技術センター	中島 正博，小池 洋紀，中村 和之	199
周波数変調ΔΣ変調器の原理確認	名古屋大学工学研究科	松原 渉，前澤 宏一，水谷 孝	200
ユビキタス自己発電センサーノード用ＩＣ	早稲田大学大学院情報生産システム研究科	井上 靖秋，潘 潘	200
高機能高画質ＣＭＯＳイメージセンサ	東北大学大学院工学研究科	舘 知恭，関東 弘明，本橋 裕一，岩間 大介，須川 成利	200

平成１７年度第４回ローム CMOS 0.35μm 試作 （RO35054）

題　　名	大　学　名	研　究　者	掲載頁
オペアンプおよびインスツルメンテーションアンプ	東京大学工学系研究科 東京大学 VDEC	栗原 健一郎，門馬 太平，曽我部 拓，井上 拓郎 池田 誠，浅田 邦博	201
オペアンプ及びインスツルメンテーションアンプ	東京大学工学系研究科 東京大学 VDEC	曹 溶成，橋本 紘和，梁 志成 池田 誠，浅田 邦博	201
di/dt 検出器を用いたアクティブ基板ノイズ低減回路	東京大学工学系研究科 東京大学 VDEC	風間 大輔 池田 誠，浅田 邦博	201
32x32 イメージセンサ TEG	東京大学大学院情報理工学系研究科	岩下 貴司，小室 孝，石川 正俊	202
3 次元集積技術を用いたプロトタイプ顔検出・認識 LSI	広島大学先端物質科学研究科	安藤 博士，淵上 展光，賀谷 晃太，有園 大介，佐々木 守，岩田 穆	202

人工網膜チップ用ピクセルアレイの試作(1)	東北大学大学院工学研究科	出口 淳，福島 誉史，田中 徹，小柳 光正	202
人工網膜チップ用ピクセルアレイの試作(2)	東北大学大学院工学研究科	出口 淳，福島 誉史，田中 徹，小柳 光正	203
人工網膜チップ用ピクセル回路 TEG の試作	東北大学大学院工学研究科	出口 淳，福島 誉史，田中 徹，小柳 光正	203
エッジ検出・動き検出同時処理可能な CMOS イメージセンサの試作	東北大学大学院工学研究科	辻 孝司，福島 誉史，田中 徹，小柳 光正	203
CMOS デシメーションフィルタの試作	横浜国立大学工学部好明 横浜国立大学工学部	吉川 信行 道江 寛之	204
高精度低消費電力電圧コンパレータ	東北大学大学院工学研究科	佐塚 友彦	204
放射線検出器用位置読み出しチップ	東京大学大学院工学系研究科	Yeom Jung Yeol，島添 健次，高橋 浩之	204
半導体 PET 用プリアンプ	東京大学大学院工学系研究科	Yeom Jung Yeol，高橋 浩之	205
64×64 画素光無線 LAN 用ビジョンチップ	奈良先端大物質	吉田 明洋，野村 啓二，香川 景一郎，布下 正宏，太田 淳	205
多相構造ＳＤＦＡ３次８倍 CIC フィルタ	上智大学理工学部	池浦 一賢，和保 孝夫	205
光素子駆動回路	慶應義塾大学理工学部	宮原 晋平，青野 聖，松本 佳宣	206
ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	206

平成１７年度第５回ローム CMOS 0.35μm 試作 （RO35055）

題　　名	大　学　名	研　究　者	掲載頁
ブロック並列読み出しアーキテクチャを用いた Digital Pixel Sensor とピクセル並列 Rank-Order フィルタリングプロセッサ	東京大学大学院新領域創成科学研究科	伊藤 潔人	207
スマート RFID タグ用個体識別符号生成 CMOS 論理回路と集積化定電圧電源回路	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏 千代永 純一，江藤 慎一郎	207
スマート RFID タグ用情報伝送回路，パワーアンプ及び生体信号処理回路	熊本大学工学部 熊本大学大学院自然科学研究科	井上 高宏 山川 俊貴，竹中 智哉，梅田 武史	207
FPGA の低消費電力化に関する検証	東京大学工学系研究科	Tran Quang Canh	208
積層型オンチップバックコンバータの評価チップ	東京大学大学院工学系研究科	鬼塚 浩平	208
SFQ/CMOS ハイブリッドメモリシステムの 2 トランジスタセルアレイの試作	横浜国立大学工学	吉川 信行，高橋 好明	208
CMOS デシメーションフィルタの試作	横浜国立大学工学部好明 横浜国立大学工学部	吉川 信行 道江 寛之	209
PET 用の波形サンプリング型信号処理回路の試作(2ch)	東京大学工学系研究科	島添 健次	209
MSGC 用 16 チャンネルプリアンプ	東京大学大学院工学系研究科	Yeom Jung Yeol，高橋 浩之	209
1 チップ無線・神経センシング LSI の設計	広島大学先端物質科学研究科	吉田 毅	210
高速信号伝送線路評価用線路	東京工業大学統合研究院	伊藤 浩之，杉田 英之，木村 実人，岡田 健一，益 一哉	210
冗長ラッチを有さない 2 パターンテスト用スキャン設計回路の試作	千葉大学工学部	池田 卓史，平山 勝之，難波 一輝，伊藤 秀男	210
CDS 型積分回路を用いたΔΣアナログ・ディジタル変換回路	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平，八木 大介 和田 和千	211
ディジタル基板雑音を低減するための打ち消し回路における帯状領域の配置	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	鈴木 寛人 和田 和千	211
16bit パイプラインプロセッサ	奈良先端科学技術大学院大学情報科学研究科	中西 正樹，奥村 文洋，小島 知也，小林 大善，平本 新哉，山根 正嗣	211
１６ビットパイプラインプロセッサの設計実習１	早稲田大学大学院情報生産システム研究科	池永 剛	212
１６ビットパイプラインプロセッサの設計実習２	早稲田大学大学院情報生産システム研究科	池永 剛	212
１６ビットパイプラインプロセッサの設計実習３	早稲田大学大学院情報生産システム研究科	池永 剛	212
アナログ回路セル（１）	早稲田大学大学院情報生産システム研究科	井上 靖秋，潘 俊	213
ユビキタス自己発電センサーノード用ＩＣ	早稲田大学大学院情報生産システム研究科	井上 靖秋，潘 俊	213
アナログ回路セル（２）	早稲田大学大学院情報生産システム研究科	井上 靖秋，倉知 聡	213
64ch 光電子増倍管用プリアンプの試作	広島大学大学院理学研究科	青井 敏浩，深沢 泰司	214
高機能高画質ＣＭＯＳイメージセンサ	東北大学大学院工学研究科	舘 知恭，関東 弘明，本橋 裕一，須川 成利	214

平成１７年度第６回ローム CMOS 0.35μm 試作 （RO35056）

題　　名	大　学　名	研　究　者	掲載頁
バイオセンサ用パイプライン AD コンバータの基本回路試作	武蔵工業大学大学院工学研究科	鈴木 肇，秋山 健史，平田 孝道，秋谷 昌宏	215
LSI 故障診断装置評価用 TEG (1)	大阪大学大学院情報科学研究科	三浦 克介，中前 幸治	215
LSI 故障診断装置評価用 TEG (2)	大阪大学大学院情報科学研究科	三浦 克介，中前 幸治	215
超音波を用いた 3 次元立体視センサ用アナログフロントエンド回路	大阪大学大学院工学研究科	田中 智之，井田 司，石原 寛明，兼本 大輔，山越 陽夫，松岡 俊匡，谷口 研二	216
マイクロディスプレイ	金沢大学工学部 集積回路工学研究室	金子 康隆，平木 謙次，秋田 純一，北川 章夫	216
スーパーヘテロダイン方式の AM ラジオ受信機の試作(1)	東京理科大学理工学部	丹野 哲宏，高橋 慶太，福田 和典，平岡 直洋，兵庫 明，関根 慶太郎	216
スーパーヘテロダイン方式の AM ラジオ受信機の試作(2)	東京理科大学理工学部	松野 隼也，冨岡 勉，服部 幸男，脇 直也，兵庫 明，関根 慶太郎	217
ストレート方式の AM ラジオ受信機の試作	東京理科大学理工学部	金山 尚徳，玉村 淳，皆木 信二，山口 敏幸，兵庫 明，関根 慶太郎	217
音波発生デバイスと折り返しカスコード型オペアンプの評価チップ	東京大学大学院工学系研究科 東京大学生産技術研究所	鬼塚 浩平，石田 将也 石田 光一	217
CMOS デシメーションフィルタの試作	横浜国立大学工学部好明 横浜国立大学工学部	吉川 信行 道江 寛之	218
プリチャージ改良による 2 バンク型最小マンハッタン距離検索連想メモリ	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	上村 一弘，田中 裕己，Md. Ri-tonga Arifin マタウシュ ハンスユルゲン，小出 哲士	218
動的再構成 AES 暗号処理ハードウェア	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	Kurniawan Warih 宮本 直人	218
動的再構成 FPGA（フレキシブルプロセッサ 3）	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	KHAN ASHFAQUZZAMAN 宮本 直人	219
大規模パルス形ハードウェアニューラルネットワークの試作	日本大学大学院理工学研究科電子工学専攻 日本大学理工学部電子情報工学科	小野 克幸 佐伯 勝敏，関根 好文	219
PET 用波形サンプリング型信号処理回路(9ch)	東京大学工学系研究科	島添 健次，Jung Yeol Yeom	219
波長多重光無線 LAN 用イメージセンサ TEG	奈良先端大物質	吉田 明洋，野村 啓二，香川 景一郎，布下 正宏，太田 淳	220
ソース変調方式 PWM	奈良先端大物質創成科学研究科 奈良先端大物質	佐々木 達也 山本 真也，香川 景一郎，布下 正宏，太田 淳	220
ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	220
対数応答型 CMOS イメージセンサ TEG	大阪大学大学院工学研究科	奥野 弘嗣，八木 哲也	221
パルス情報処理回路 TEG	大阪大学大学院工学研究科	下ノ村 和弘，八木 哲也	221
高周波基板雑音検出実証用回路	神戸大学工学部	藤原 正樹，小坂 大輔，永田 真	221
非接触 I/O 評価用テスト LSI	九州工業大学マイクロ化総合技術センター	山内 秀晃，梶原 し乃，中村 和之	222
自己組織化関係ネットワークハードウェアの試作	九州工業大学大学院生命体工学研究科脳情報専攻	田向 権，山川 烈	222
DC-DC コンバータ等	立命館大学理工学研究科	藤田 智弘，野田 和也，古野 裕隆，福田 尚史	222

平成１７年度第７回ローム CMOS 0.35μm 試作 （RO35057）

題　　名	大　学　名	研　究　者	掲載頁
Tamper-Resistant Reconfigurable Logic Gate Employed Asynchronous νMOS circuits	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	トンプラシット ベンジャマース 黄 世燕	223
LSI 故障診断装置評価用 TEG (4)	大阪大学大学院情報科学研究科	三浦 克介，中前 幸治	223
LSI 故障診断装置評価用 TEG (4)	大阪大学大学院情報科学研究科	三浦 克介，中前 幸治	223
多値不揮発機能パスゲートを用いた FPVLSI の基本回路	東北大学大学院情報科学研究科	中谷 好博，張山 昌論，亀山 充隆	224
MOS 容量による電圧増幅を用いた低消費電力・低雑音増幅器の設計	広島大学先端物質科学研究科	村上 智敏	224
			224
高速多線式比例計数管用位置読み出しチップ	東京大学大学院工学系研究科	島添 健次，Yeom Jung Yeol，高橋 浩之	225

PWM 方式画素並列 2 次元ガボールフィルタ LSI(1)	九州工業大学大学院生命体工学研究科	中村 享平，森江 隆	225
PWM 方式画素並列 2 次元ガボールフィルタ LSI(2)	九州工業大学大学院生命体工学研究科	中村 享平，森江 隆	225
多層構造 Convolutional Neural Network LSI	九州工業大学大学院生命体工学研究科	是角 圭祐，中野 鉄平，森江 隆	226
線虫神経回路のタッチ反応を模した低消費制御回路	山梨大学工学部	金田 知陽，加藤 初弘	226
閾値論理を用いた 4 ビットフラッシュ型 A/D 変換器	上智大学理工学部	秋山 俊介，和保 孝夫	226
離散ウェーブレット変換ハードウェア実装のためのインプレース演算モジュール	新潟大学工学部 新潟大学大学院自然科学研究科	村松 正吾 本多 秀章	227
パルスジェネレータ内臓・光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実	227
移動方向検出回路	大阪大学工学研究科	井上 恵介，八木 哲也	227
最大値検出フィルタチップ	大阪大学大学院工学研究科	下ノ村 和弘，八木 哲也	228
	立命館大学理工学研究科	藤田 智弘，野田 和也，古野 裕隆，鈴木 泰徳	228
CAROM と可変論理回路の TEG	東海大学大学院工学研究科 東海大学電子情報学部	仙北 智晴，リキットキットワオラクル ナッチャー，福原 雅朗 吉田 正廣	228
0.35μmCMOS トランジスタ特性測定実験用チップ	立命館大学理工学部	藤野 毅	229
インバータによる 4 相リング発振器	名古屋工業大学工学部	米谷 昭彦	229

平成１７年度第８回ローム CMOS 0.35μm 試作 （RO35058）

題　　名	大 学 名	研 究 者	掲載頁
配線間 EMI 測定チップ	東京大学 VDEC 東京大学工学系研究科	佐々木 昌浩 池田 誠，浅田 邦博	230
TOF 法に向けた磁気検波型センサ TEG	東京大学工学系研究科 東京大学 VDEC	橋本 紘和 池田 誠，浅田 邦博	230
Mixed-Signal メディアン値探索回路	東京大学大学院工学系研究科	山崎 英男	230
チップ間ワイヤレス電源伝送回路とインダクタ測定用 TEG	東京大学生産技術研究所 東京大学国際・産学共同研究センター	鬼塚 浩平，石田 将也 桜井 貴康	231
広ダイナミックレンジシリコン網膜の試作	広島大学大学院先端物質科学研究科	畑野 昌洋，亀田 成司，岩田 穆	231
近接物体画像センサ	金沢大学工学部 集積回路工学研究室	馬村 哲郎，中江 智，秋田 純一，北川 章夫	231
近接物体画像センサ用 TEG	金沢大学工学部 集積回路工学研究室	馬村 哲郎，中江 智，秋田 純一，北川 章夫	232
弱反転領域動作アナログの試作	長崎総合科学大学新技術創成研究所 長崎総合科学大学大学院工学研究科 長崎総合科学大学工学部	清山 浩司 金 奉基 田中 義人	232
CMOS デシメーションフィルタの試作	横浜国立大学工学部	吉川 信行，道江 寛之	232
CMOS デシメーションフィルタの試作	横浜国立大学工学部好明 横浜国立大学工学部	吉川 信行 道江 寛之	233
動的再構成 AES 暗号処理ハードウェア	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	Warih Kurniawan 宮本 直人	233
動的再構成 FPGA（フレキシブルプロセッサ 3）	東北大学大学院工学研究科 東北大学未来科学技術共同研究センター	KHAN ASHFAQUZZAMAN 宮本 直人	233
1 次電流モード連続時間型ΔΣ変調器	上智大学理工学部	宮本 尚幸，小林 章二，和保 孝夫	234
低電圧高精度アナログ信号処理ブロック	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平，八木 大介 和田 和千	234
低電圧動作可能な平衡型スイッチトキャパシタ複素フィルタ	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	吉田 武史 和田 和千	234
粗粒度再構成可能ハードウェア	早稲田大学情報生産システム研究科	木村 晋二，阿久津 日出美，土井 伸洋	235
TMR ロジック回路技術を用い構成した連想メモリと FPGA のベアチップ試作	東北大学電気通信研究所	庄子 耕平，渡邊 康広，望月 明，羽生 貴弘	235
周波数変調ΔΣ変調器の高速動作確認	名古屋大学工学研究科	松原 渉，前澤 宏一，水谷 孝	235
低電圧レベルシフト型シリーズレギュレータの試作	早稲田大学大学院情報生産システム研究科	吉原 務，木村 史法，岡村 怜王奈	236
イメージセンサ設計用 TEG	東北大学大学院工学研究科	淨法寺 佑	236

2. 2 チップ種別一覧

MEMS

ラン名	タ イ ト ル	研 究 者	掲載頁
MT18051	高速伝送線路配線、トランジスタTEG、高周波LNAおよびミキサー	伊藤 浩之, 菅原 弘雄, 岡田 健一, 益 一哉	154
RO35044	ポストプロセスによるVLSI-MEMSインテグレーションのための要素技術研究チップ	久保田 雅則	173

TEG(特性評価回路など)

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90042	消費電力および動作周波数の基板バイアス電圧依存性評価TEG	川上 健太郎, 金森 美和子, 森田 泰弘, 竹村 淳, 深山 正幸, 藤原 英弘, 吉本 雅彦	113
AS90051	低電圧動作・高精度温度センサ、オンチップオシロスコープのための要素回路	佐々木 昌浩, 池田 誠, 浅田 邦博, 飯塚 哲也	114
AS90051	RF回路用モデルのための伝送線路およびインダクタのTEG	藤島 実, 山本 憲, ライ チーホン, 王 寧一, 小林 直樹, 谷本 英之, 本良 瑞樹	114
AS90051	遅延・電力のばらつき測定用TEGチップ	坂本 良太, 石田 誠, 樽見 幸祐, Yang Yuan, 山口 聖貴, 室山 真徳, 黒木 幸令, 安浦 寛人	114
AS90052	90nm世代のシグナル・パワーインテグリティおよびばらつき評価チップ	稲垣 賢一, ダナルドノ ドゥイ アントノ, 皆川 拓也, 桜井 貴康	117
AS90054	3相式伝送インターフェイス	曺 溶成, 池田 誠, 浅田 邦博, 佐々木 昌浩	121
AS90054	90nm世代のシグナル・パワーインテグリティ評価チップ	稲垣 賢一, ダナルドノ ドゥイ アントノ, 高宮 真, 桜井 貴康	122
AS90054	オンチップ差動伝送線路の評価	伊藤 浩之, 杉田 英之, 清田 淳紀, 岡田 健一, 益 一哉	122
AS90054	電源ノイズ波形ならびに遅延変動測定 TEG	小笠原 泰弘, 橋本 昌宜, 尾上 孝雄	123
AS90056		土谷 亮, 濱田 隆行, 上村 晋一朗, 小野寺 秀俊, 久保木 猛	124
AS90056	誘導結合トランシーバTEG	三浦 典之, 黒田 忠広	124
HIT18042	高速バスドライバ回路	秋山 豊, 伊東 恭二, 宇佐美 保, 大塚 寛治	129
HIT18042	高速バスドライバ回路	秋山 豊, 伊東 恭二, 宇佐美 保, 大塚 寛治	130
HIT18042	オンチップ高速配線ならびにRF回路	伊藤 浩之, 吉原 義昭, 菅原 弘雄, 岡田 健一, 益 一哉	130
HIT18051	アクティブ線路集積回路	秋山 豊, 宇佐美 保, 大塚 寛治, 水野 文夫, 鷹野 致和	135
HIT18051	高速信号伝送線路評価用回路、線路、および動的再構成可能RF回路技術向け要素回路、受動素子	伊藤 浩之, 杉田 英之, 清田 淳紀, 山内 拓弥, 伊藤 猛, 岡田 健一, 益 一哉	135
HIT18051	抵抗測定TEG	松本 哲郎, 小坂 大輔, 永田 真	136
HIT18051	各種回路TEGの設計と実験用マイクロプロセッサの機能追加	倉田 泰治, 小笹 博之, 前島 聡, 三宅 宏明, 清水 元啓, 田村 和義, 中井 祐介, 藤田 実	137
MOT042	MOS型定電流回路の設計・試作(5)	日笠 猛, 大曽根 隆志, 森下 賢幸, 小椋 清孝	140
MOT042	MOS型整流回路・直流電圧増幅回路の設計・試作(2)	日笠 猛, 大曽根 隆志, 森下 賢幸, 小椋 清孝	140
MOT042	MOS型整流回路・直流電圧増幅回路の設計・試作(3)	日笠 猛, 大曽根 隆志, 森下 賢幸, 小椋 清孝	141
MOT042	チップ内特性測定用モデル伝送線路およびＴＥＧの試作	吾妻 俊征, 井上 浩	142
MOT042	インターポーザ用オペアンプの設計	堀井 信嘉, 松田 敏弘, 岩田 栄之	144
MOT042	SPICEモデルパラメータ抽出用単体MOSFETの設計	正源 浩之, 松田 敏弘, 岩田 栄之	144
MOT051	スパイラルインダクタ20nH	末次 正	147
MOT051	MOS型定電流回路の設計・試作(6)	日笠 猛, 定本 竜明, 大曽根 隆志, 森下 賢幸, 小椋 清孝	147
MOT051	MOS型整流回路・直流電圧増幅回路の設計・試作(4)	日笠 猛, 大曽根 隆志, 森下 賢幸, 小椋 清孝	148
MOT051	MOS型整流回路・直流電圧増幅回路の設計・試作(5)	日笠 猛, 大曽根 隆志, 森下 賢幸, 小椋 清孝	148
MOT051	移相器及びチップ内配線特性測定用モデル伝送線路の試作	吾妻 俊征, 三浦 和仁, 井上 浩	149
MOT051	トランジスタ特性測定用回路	正源 浩之, 松田 敏弘, 岩田 栄之	150
MOT051	トランジスタ特性測定用回路	正源 浩之, 松田 敏弘, 岩田 栄之	150
MT18052	低電圧動作アナログ回路TEG	吉田 毅, 升井 義博, 円林 晃一郎, 石田 尚也, 青木 慶	156
MT18052	低電圧動作アナログ回路TEG	吉田 毅, 升井 義博, 円林 晃一郎, 石田 尚也, 青木 慶	156
MT18054	動的再構成可能RF回路技術向け要素回路、受動素子	川添 大輔, 菅原 弘雄, 伊藤 雄作, 山内 拓也, 伊藤 猛, 岡田 健一, 益 一哉	159
NEC05	N6114 (Multi Input Transistor Charge Sensitive Pre-Amplifier)	河合 克彦, 田中 真伸	165

NEC05	N6115 (Multi Input Transistor Charge Sensitive Pre-Amplifier with PZC, Shaper, Buffer)	河合 克彦, 田中 真伸	165
OKI0503	スタンダードセル評価回路	古澤 賢治, 河野 武志, 牟田 博和, 小谷 学, 小林 和淑, 小野寺 秀俊	167
OKI0509	SOI基板におけるフォトダイオード特性評価のための回路	高橋 徳浩, 柴田 直, 山崎 英男, 三田 吉郎	170
OKI0509	スタンダードセル評価回路	牟田 博和, 小谷 学, 小林 和淑, 小野寺 秀俊	170
OKI0509	FD-SOIによるセンサー用フロントエンド回路	池田 博一, 新井 康夫	171
RO35044	近接物体画像センサ用TEG	中江 智, 秋田 純一, 北川 章夫	178
RO35044	高速かつ低消費電力レベル・シフタ、低振幅クロックのF/F	Tran Quang Canh, Yazid Muhammad	179
RO35044	チップ間ワイヤレス電源伝送回路の評価チップ	鬼塚 浩平	179
RO35044	MOSFET特性ばらつき評価用試験回路２	寺田 和夫, 山内 丈周, 上木 彰彦	182
RO35044	イメージセンサ設計用TEG	淨法寺 佑	183
RO35044	MOSトランジスタ特性測定回路	渡部 俊一	183
RO35044	3次元計測用スマートイメージセンサTEG	馬場 庸介, 前田 康次, 村井 俊文, 宮崎 大介, 向井 孝彰, , ,	185
RO35044	0.35μmCMOSトランジスタ特性測定実験用チップ	藤野 毅	190
RO35044	基板ノイズ評価用テストチップ	岩津 勝彦, 中野 誠彦	190
RO35052	チップ間ワイヤレス電源伝送回路の評価チップ	鬼塚 浩平	194
RO35052	エッジ検出回路	井上 恵介, 八木 哲也	196
RO35053	X線測定用信号増幅回路	中島 正博, 小池 洋紀, 中村 和之	199
RO35054	人工網膜チップ用ピクセル回路TEGの試作	出口 淳, 福島 誉史, 田中 徹, 小柳 光正	203
RO35055	FPGAの低消費電力化に関する検証	Tran Quang Canh	208
RO35055	高速信号伝送線路評価用線路	伊藤 浩之, 杉田 英之, 木村 実人, 岡田 健一, 益 一哉	210
RO35056	LSI故障診断装置評価用TEG (1)	三浦 克介, 中前 幸治	215
RO35056	LSI故障診断装置評価用TEG (2)	三浦 克介, 中前 幸治	215
RO35056	対数応答型CMOSイメージセンサTEG	奥野 弘嗣, 八木 哲也	221
RO35056	パルス情報処理回路TEG	下ノ村 和弘, 八木 哲也	221
RO35057	LSI故障診断装置評価用TEG (4)	三浦 克介, 中前 幸治	223
RO35057	LSI故障診断装置評価用TEG (4)	三浦 克介, 中前 幸治	223
RO35057	多値不揮発機能パスゲートを用いたFPVLSIの基本回路	中谷 好博, 張山 昌論, 亀山 充隆	224
RO35057	MOS容量による電圧増幅を用いた低消費電力・低雑音増幅器の設計	村上 智敏	224
RO35057	CAROMと可変論理回路のTEG	仙北 智晴, リキットキットワオラクル ナッチャー, 福原 雅朗, 吉田 正廣	228
RO35057	0.35μmCMOSトランジスタ特性測定実験用チップ	藤野 毅	229
RO35058	配線間EMI測定チップ	佐々木 昌浩, 池田 誠, 浅田 邦博	230
RO35058	近接物体画像センサ用TEG	馬村 哲郎, 中江 智, 秋田 純一, 北川 章夫	232
RO35058	イメージセンサ設計用TEG	淨法寺 佑	236

アナデジ混載

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90054	電源雑音によるデジタル信号の遅延変動評価用LSI	深澤 光弥, 永田 真	122
HIT18042	低消費電力なUWB受信器と出力電圧高速可変な電源回路の評価チップ	鬼塚 浩平, Tamtrakarn Atit, Canh Tran	128
HIT18042	アナログ回路雑音応答特性評価チップ	野口 宏一朗, 佐藤 秀一, 永田 真	131
HIT18042	AD変換回路の内部信号評価チップ	野口 宏一朗, 佐藤 秀一, 永田 真	131
MOT042	スイッチング電源制御LSI用補正回路の設計	大場 博之, 松田 敏弘, 岩田 栄之	143
MOT051	スイッチング電源制御用LSIの設計	大場 博之, 松田 敏弘, 岩田 栄之	151
MT25052	オールオンチップPLLと基板雑音に対する影響評価	外谷 昭洋, 岩田 穆	160
MT25053	衝突点モニター用ピクセル検出器読出し回路	橋本 健太郎, 横山 康博, 山本 均, 池田 博一	161
OKI0509	RFプローブチップ	山口 正洋, 小屋 祥太, 菊池 隼人	172
RO35051	高感度位置敏感型放射線検出器用チップ	Yeol Yeom-Jung, 高橋 浩之	192
RO35051	高感度位置敏感型放射線検出器用チップ	Yeom Jung Yeol, 高橋 浩之	192
RO35052	光電子増倍管用位置読み出しチップ	Yeom Yung Yeol, 高橋 浩之	195
RO35053	16CH高感度位置敏感型放射線検出器用チップ	高橋 浩之, 島添 健次	197

RO35054	人工網膜チップ用ピクセルアレイの試作(1)	出口 淳, 福島 誉史, 田中 徹, 小柳 光正	202
RO35054	人工網膜チップ用ピクセルアレイの試作(2)	出口 淳, 福島 誉史, 田中 徹, 小柳 光正	203
RO35054	エッジ検出・動き検出同時処理可能なCMOSイメージセンサの試作	辻 孝司, 福島 誉史, 田中 徹, 小柳 光正	203
RO35054	放射線検出器用位置読み出しチップ	Yeom Jung Yeol, 島添 健次, 高橋 浩之	204
RO35055	スマートRFIDタグ用個体識別符号生成CMOS論理回路と集積化定電圧電源回路	井上 高宏, 千代永 純一, 江藤 慎一郎	207
RO35055	スマートRFIDタグ用情報伝送回路，パワーアンプ及び生体信号処理回路	井上 高宏, 山川 俊貴, 竹中 智哉, 梅田 武史	207
RO35057	高速多線式比例計数管用位置読み出しチップ	島添 健次, Yeom Jung Yeol, 高橋 浩之	225

アナログ/デジタル信号処理プロセッサ

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90053	実時間画像認識システムのための特徴ベクトル抽出プロセッサ	山崎 英男, 黄 世燕, Oztruk Ovgu	118
AS90054	OFDM方式無線通信ベースバンド処理回路	吉澤 真吾, 宮永 喜一	121
HIT18042	MIMD連想プロセッサ用演算ユニットの試作	早川 仁	126
HIT18042	実時間画像処理機能を持った特徴ベクトル生成プロセッサ	山崎 英男	126
HIT18042	連想プロセッサアーキテクチャに基づく逐次ランクソーティングVLSI	高田 謙	127
HIT18042	再構成可能コンテクストメモリを用いたマルチコンテクストFPGA	亀山 充隆, 張山 昌論, CHONG Wei Sheng, 緒方 翔	128
HIT18051	ウィンドウサイズ可変アルゴリズムを用いたステレオビジョンVLSI	横山 直人, 張山 昌論, 亀山 充隆, 小林 康浩	133
HIT18051	しきい論理に基づく低電力多値リコンフィギャラブルＶＬＳＩ	ハアク モハマッド ムニルル, 亀山 充隆	133
MOT042	ニューロンMOS多値論理回路および演算増幅器の試作	古賀 陽一郎, 近藤 弘康, 深井 澄夫	143
MOT051	演算増幅器およびニューロンMOSを用いたアナログ・ディジタル回路	舛岡 貴志, 近藤 弘康, 古賀 陽一郎, 石丸 佳和, 大熊 太郎, 加藤 好信, 清水 暁生, 深井 澄夫	149
MT18054	高周波アナログアクティブフィルタの試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	159
RO35044	IC identification circuit	トンプラシット ベンジャマース	174
RO35044	画像処理におけるユークリッド距離変換回路の実現	高木 雅彦, 平田 富夫, 磯 直行	185
RO35044	コンテンツベース手法を用いた動き予測エンジンの試作	李 申, 池永 剛, 後藤 敏	189
RO35044	DCTプロセッサの試作	西谷 貴幸, 栗原 大輔, 貞光 慎司, 阿部 貴之, 堀場 康孝	191
RO35054	3次元集積技術を用いたプロトタイプ顔検出・認識LSI	安藤 博士, 淵上 展光, 賀谷 晃太, 有園 大介, 佐々木 守, 岩田 穆	202
RO35054	多相構造ＳＤＦＡ３次８倍CICフィルタ	池浦 一賢, 和保 孝夫	205
RO35055	PET用の波形サンプリング型信号処理回路の試作(2ch)	島添 健次	209
RO35055	冗長ラッチを有さない2パターンテスト用スキャン設計回路の試作	池田 卓史, 平山 勝之, 難波 一輝, 伊藤 秀男	210
RO35056	動的再構成AES暗号処理ハードウェア	Kurniawan Warih, 宮本 直人	218
RO35056	動的再構成FPGA（フレキシブルプロセッサ3）	KHAN ASHFAQUZZAMAN, 宮本 直人	219
RO35056	PET用波形サンプリング型信号処理回路(9ch)	島添 健次, Jung Yeol Yeom	219
RO35056	自己組織化関係ネットワークハードウェアの試作	田向 権, 山川 烈	222
RO35057	Tamper-Resistant Reconfigurable Logic Gate Employed Asynchronous νMOS circuits	トンプラシット ベンジャマース, 黄 世燕	223
RO35057	PWM方式画素並列2次元ガボールフィルタLSI(1)	中村 享平, 森江 隆	225
RO35057	PWM方式画素並列2次元ガボールフィルタLSI(2)	中村 享平, 森江 隆	225
RO35057	多層構造Convolutional Neural Network LSI	是角 圭祐, 中野 鉄平, 森江 隆	226
RO35058	動的再構成AES暗号処理ハードウェア	Warih Kurniawan, 宮本 直人	233
RO35058	動的再構成FPGA（フレキシブルプロセッサ3）	KHAN ASHFAQUZZAMAN, 宮本 直人	233

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90051	10bit 500MHz パイプライン型A/D変換器のステージ回路動作検証	宮原 正也	115
AS90051	高速・高精度パイプラインADCディジタル部	倉持 泰秀, 倉科 隆	115
AS90051	超高速ΣΔ変調器の試作	馬上 崇, Win Chaivipas, 宮原 正也	115
AS90051	超高速並列型ＡＤ変換器の開発	池田 裕介	116
AS90053	ミリ波帯で動作する無線通信回路の作製	藤島 実, 山本 憲, ライ チーホン, 王 寧一, 小林 直樹, 谷本 英之, 本良 瑞樹	118
AS90053	オンチップVCO回路における位相ノイズ低減手法の確立	原 康之, 杉本 泰博	119

AS90053	低消費電力RFフロントエンド内蔵センサノード	三上 真司, 竹内 隆, 吉本 雅彦	119
AS90056	電圧モードA/D変換器に用いる高精度スイッチの試作	櫻井 宏樹, 田中 滋人, 恩田 智之, 杉本 泰博, 高橋 俊彦	124
AS90056	8-10bit 500M-1GHz パイプライン型A/D変換器	宮原 正也	125
HIT18042	5.8GHzDSRC用PLL	山本 憲, 藤島 実	126
HIT18042	2段PLLを用いた超高精度時間測定回路	新井 康夫	129
HIT18051	インダクタの性能向上、およびバラン、ＶＣＯに関する試作	藤島 実, 山本 憲, 石橋 浩二, 小林 直樹, 本良 瑞樹	132
HIT18051	電流センサおよびUWB用広帯域低雑音増幅器	石田 光一, タマタカーン アティット, 桜井 貴康, , , , ,	133
HIT18051	2.4 GHz帯無線通信システム用回路ブロックの試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	137
HIT18051	GHzサンプリングフラッシュ型AD変換器	上村 勇仁, 永吉 芳行, 矢山 浩輔, 呉 慶, 大畠 賢一, 山下 喜市	139
MOT042	電源電圧変動に依存しないバイアス回路の試作	佐々木 健太, 井上 浩	142
MOT042	制御テール電流源を用いた高線形化CMOS乗算器	堀 護, 庄野 和宏, 石橋 幸男	145
MOT051	NMOSパワートランジスタ（ワッフルレイアウト）	末次 正	147
MOT051	高効率整流回路の試作	坂井 靖文, 小谷 光司, 伊藤 隆司	148
MOT051	基本アナログ形PLLの試作	佐々木 健太, 井上 浩	149
MOT051	発振回路の試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	151
MOT051	FM放送受信システム用回路ブロックの試作（1）	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	152
MOT051	FM放送受信システム用回路ブロックの試作(2)	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	152
MOT051	FM放送受信システムの試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	152
MOT051	演算増幅器の試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	153
MT18052	高速クロック分配方式の開発	佐々木 守, 汐崎 充, 森 敦, 岩田 穆	155
MT25053	可変利得増幅回路の試作	王 軍, 姚 崢山, 松岡 俊匡, 谷口 研二	161
NEC05	8-bit,1GS/s パイポーラＳ／Ｈの試作	佐藤 義和, 土橋 洋太, 杉本 泰博	163
NEC05	１次連続時間型ΔΣ変調器	森田 寛, 田中 隆, 湯本 拓, 和保 孝夫	163
NEC05	ダブルサンプリング１次連続時間型ΔΣ変調器	田中 隆, 森田 寛, 湯本 拓, 和保 孝夫	163
NEC05	ポジティブ・アンプ	谷口 敬, 島崎 昇一, 根岸 久, 田中 真伸	164
NEC05	ネガティブ・アンプ	谷口 敬, 島崎 昇一, 根岸 久, 田中 真伸	164
NEC05	高速コンパレータ	谷口 敬, 根岸 久, 島崎 昇一, 田中 真伸	165
NEC05	N6116 (Wide Dynamic Range Charge Sensitive Pre-Amplifier)	河合 克彦, 田中 真伸	166
NEC05	N6117 (Multi Input Transistor Charge Sensitive Pre-Amplifier with PZC, Shaper, Buffer)	河合 克彦, 田中 真伸	166
OKI0503	Gate Cascode High Gain Low Noise Amplifier	藤島 実, 山本 憲, ライ チーホン, 渡辺 宏樹, 谷本 英之	167
OKI0503	High Performance Transmission Lines for Low Loss	藤島 実, 山本 憲, ライ チーホン, 渡辺 宏樹, 谷本 英之	167
RO35044	高速ΔΣ型DAC	井上 美穂, 黒木 幸令	179
RO35044	弱反転動作アナログ回路の試作	清山 浩司, 金 奉基, 田中 義人	180
RO35044	パイプラインＡＤＣの試作	房安 貴弘, 山口 頼人	180
RO35044	高機能高画質ＣＭＯＳイメージセンサ用ＡＤ変換器	舘 知恭, 須川 成利, 小谷 光司, 大見 忠弘	184
RO35044	素子ばらつきを考慮した12-bit,100MS/s,2V電流モードA/D変換器の試作	合田 裕二, 杉本 泰博, 田中 滋人	184
RO35044	14-bit、200MS/s DA変換器回路	櫻井 宏樹, 杉本 泰博	185
RO35044	高線形アナログ信号処理用回路ブロック	秋田 一平, 伊藤 和将, 和田 和千	187
RO35044	離散時間信号処理における雑音低減技術と寄生素子の影響の評価	鈴木 寛人, 八木 大介, 吉田 武史, 和田 和千	187
RO35044	基板雑音検出回路とVCOの評価TEG	藤原 正樹, 小坂 大輔, 永田 真	188
RO35044	FM送受信回路	藤田 智弘, 野田 和也, 古野 裕隆	189
RO35044	周波数変調ΔΣ変調器の予備検討	松原 渉, 前澤 宏一, 水谷 孝	189
RO35051	ミックストシグナル集積回路のための基礎技術	鈴木 寛人, 小野 貴士, 和田 和千	193
RO35052	SFQ/CMOSハイブリッドメモリ用高速ハイブリッドアンプの試作	吉川 信行, 藤原 完, 高橋 好明, 河合 宣彰	194
RO35052	高精度低消費電力電圧コンパレータ	佐塚 友彦	195
RO35052	ポジトロンCT用プリアンプの試作	島添 健次	196
RO35053	周波数変調ΔΣ変調器の原理確認	松原 渉, 前澤 宏一, 水谷 孝	200
RO35053	ユビキタス自己発電センサーノード用ＩＣ	井上 靖秋, 潘 潘	200
RO35054	オペアンプおよびインスツルメンテーションアンプ	栗原 健一郎, 門馬 太平, 曽我部 拓, 井上 拓郎, 池田 誠, 浅田 邦博	201
RO35054	オペアンプ及びインスツルメンテーションアンプ	曹 溶成, 橋本 紘和, 梁 志成, 池田 誠, 浅田 邦博	201

RO35054	di/dt検出器を用いたアクティブ基板ノイズ低減回路	風間 大輔, 池田 誠, 浅田 邦博	201
RO35054	高精度低消費電力電圧コンパレータ	佐塚 友彦	204
RO35054	半導体PET用プリアンプ	Yeom Jung Yeol, 高橋 浩之	205
RO35055	積層型オンチップバックコンバータの評価チップ	鬼塚 浩平	208
RO35055	MSGC用16チャンネルプリアンプ	Yeom Jung Yeol, 高橋 浩之	209
RO35055	CDS型積分回路を用いたΔΣアナログ・ディジタル変換回路	秋田 一平, 八木 大介, 和田 和千	211
RO35055	ディジタル基板雑音を低減するための打ち消し回路における帯状領域の配置	鈴木 寛人, 和田 和千	211
RO35055	アナログ回路セル（1）	井上 靖秋, 潘 俊	213
RO35055	ユビキタス自己発電センサーノード用ＩＣ	井上 靖秋, 潘 俊	213
RO35055	アナログ回路セル（2）	井上 靖秋, 倉知 聡	213
RO35055	64ch光電子増倍管用プリアンプの試作	青井 敏浩, 深沢 泰司	214
RO35056	バイオセンサ用パイプラインADコンバータの基本回路試作	鈴木 肇, 秋山 健史, 平田 孝道, 秋谷 昌宏	215
RO35056	超音波を用いた3次元立体視センサ用アナログフロントエンド回路	田中 智之, 井田 司, 石原 寛明, 兼本 大輔, 山越 陽夫, 松岡 俊匡, 谷口 研二	216
RO35056	音波発生デバイスと折り返しカスコード型オペアンプの評価チップ	鬼塚 浩平, 石田 将也, 石田 光一	217
RO35056	高周波基板雑音検出実証用回路	藤原 正樹, 小坂 大輔, 永田 真	221
RO35056	DC-DCコンバータ等	藤田 智弘, 野田 和也, 古野 裕隆, 福田 尚史	222
RO35057	閾値論理を用いた4ビットフラッシュ型A/D変換器	秋山 俊介, 和保 孝夫	226
RO35057		藤田 智弘, 野田 和也, 古野 裕隆, 鈴木 泰徳	228
RO35057	インバータによる4相リング発振器	米谷 昭彦	229
RO35058	弱反転領域動作アナログの試作	清山 浩司, 金 奉基, 田中 義人	232
RO35058	1次電流モード連続時間型ΔΣ変調器	宮本 尚幸, 小林 章二, 和保 孝夫	234
RO35058	低電圧高精度アナログ信号処理ブロック	秋田 一平, 八木 大介, 和田 和千	234
RO35058	低電圧動作可能な平衡型スイッチトキャパシタ複素フィルタ	吉田 武史, 和田 和千	234
RO35058	周波数変調ΔΣ変調器の高速動作確認	松原 渉, 前澤 宏一, 水谷 孝	235
RO35058	低電圧レベルシフト型シリーズレギュレータの試作	吉原 務, 木村 史法, 岡村 怜王奈	236

イメージセンサ/スマートセンサ

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT18051	デジタル時間領域演算論理を利用した多目的ビジョンチッププロセッサ	伊藤 潔人	132
MOT042	広ダイナミックレンジイメージセンサアレイ	浜崎 淳, 小澤 亮, 助田 有教, 堀居 賢樹	141
MOT042	CMOSイメージセンサの基礎実験チップ	原 重臣	143
NEC05	ASVPZ2005	田中 真伸	164
OKI0503	160×180画素開口つきイメージセンサおよびTEGチップ	徳田 崇, 松尾 昌通, 中川 琢磨, 香川 景一郎, 布下 正宏, 太田 淳	168
OKI0509	メタルスリット構造による回折現象を利用した波長情報取得センサ	谷内出 悠介, 橋本 紘和, 池田 誠, 浅田 邦博	170
RO35044	カレントモード演算によるアナログ汎用画像処理プロセッサ	清水 健	173
RO35044	解像度可変エッジ検出イメージセンサ	高橋 徳浩	173
RO35044	高機能高画質CMOSイメージセンサ	舘 知恭, 須川 成利, 小谷 光司, 大見 忠弘	183
RO35052	アナログモーションセンサのための時間領域微分演算アーキテクチャ	伊藤 潔人	194
RO35052	32×32画素キャパシティブフィードバックリセット型パルス周波数変調方式低電圧ビジョンチップ	山本 真也, 香川 景一郎, 古宮 哲夫, 徳田 崇, 布下 正宏, 太田 淳	196
RO35053	正方格子2次元シリコン網膜	下ノ村 和弘, 八木 哲也	199
RO35053	高機能高画質ＣＭＯＳイメージセンサ	舘 知恭, 関東 弘明, 本橋 裕一, 岩間 大介, 須川 成利	200
RO35054	32x32イメージセンサTEG	岩下 貴司, 小室 孝, 石川 正俊	202
RO35054	64×64画素光無線LAN用ビジョンチップ	吉田 明洋, 野村 啓二, 香川 景一郎, 布下 正宏, 太田 淳	205
RO35055	ブロック並列読み出しアーキテクチャを用いたDigital Pixel Sensorとピクセル並列 Rank-Orderフィルタリングプロセッサ	伊藤 潔人	207
RO35055	1チップ無線・神経センシングLSIの設計	吉田 毅	210
RO35055	高機能高画質ＣＭＯＳイメージセンサ	舘 知恭, 関東 弘明, 本橋 裕一, 須川 成利	214
RO35056	波長多重光無線LAN用イメージセンサTEG	吉田 明洋, 野村 啓二, 香川 景一郎, 布下 正宏, 太田 淳	220
RO35056	ソース変調方式PWM	佐々木 達也, 山本 真也, 香川 景一郎, 布下 正宏, 太田 淳	220

RO35058	TOF法に向けた磁気検波型センサTEG	橋本 紘和, 池田 誠, 浅田 邦博	230
RO35058	広ダイナミックレンジシリコン網膜の試作	畑野 昌洋, 亀田 成司, 岩田 穆	231

その他

ラン名	タ イ ト ル	研 究 者	掲載頁
HIT18042	ダイナミック光再構成型ゲートアレイ	渡邊 実	130
HIT18051	ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	渡邊 実	136
OKI0503	CMOSアクティブ磁界プローブの設計	青山 聡, 川人 祥二, 山口 正洋	169
OKI0509	CMOSアクティブ磁界プローブ	青山 聡, 川人 祥二, 山口 正洋	171
RO35044	２種類の無線インタコネクトを搭載した画像処理用３次元集積システムの開発	亀田 成司, 有薗 大介, 小田原 正起, 佐々木 守, 岩田 穆, 佐々木 信雄, 吉川 公麿	175
RO35044	２種類の無線インタコネクトを搭載した画像処理用３次元集積システムの開発	亀田 成司, 有薗 大介, 小田原 正起, 佐々木 守, 岩田 穆, 佐々木 信雄, 吉川 公麿	175
RO35044	近接物体画像センサ	中江 智, 秋田 純一, 北川 章夫	178
RO35044	短/長期記憶の概念に基づくパターン自動学習連想メモリ	白川 佳則, マタウシュ ハンスユルゲン, 小出 哲士	182
RO35044	光学部検査回路付・光再構成型ゲートアレイVLSI	渡邊 実	186
RO35044	11,424ゲート・光再構成型ゲートアレイ	渡邊 実	187
RO35053	ダイナミック光再構成型ゲートアレイ	渡邊 実	198
RO35053	ダイナミック光再構成型ゲートアレイ	渡邊 実	199
RO35054	ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	渡邊 実	206
RO35056	マイクロディスプレイ	金子 康隆, 平木 謙次, 秋田 純一, 北川 章夫	216
RO35056	ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	渡邊 実	220
RO35057	パルスジェネレータ内臓・光再構成型ゲートアレイ	渡邊 実	227
RO35058	近接物体画像センサ	馬村 哲郎, 中江 智, 秋田 純一, 北川 章夫	231

ニューテクノロジ

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90053	ばらつきを利用して速度と歩留まりを向上させるFPGA	小林 和淑, 小谷 学, 香月 和也, 小野寺 秀俊, 尾形 幸亮	118
AS90054	非同期データ転送に基づくLDPCデコーダチップ	鬼沢 直哉, 北村 健, 白濱 弘勝, 望月 明, 羽生 貴弘	123
HIT18051	多値差動対回路に基づくデータパス	北村 健, 望月 明, 羽生 貴弘	137
MOT042	パルス形ハードウェア興奮抑制ニューロン対モデルの試作	小野 克幸, 秦 恵子, 佐伯 勝敏, 関根 好文	141
MOT042	チップ入出力部に着目したパルス形ハードウェア興奮抑制ニューロン対モデルの試作	小野 克幸, 秦 恵子, 佐伯 勝敏, 関根 好文	142
MOT051	電圧モード多値論理基本回路の試作	稲葉 基	153
RO35044	ストカスティックコンピューティングシステムによるマンハッタン距離計算回路の設計	堀 道弘, 岩田 穆	174
RO35056	大規模パルス形ハードウェアニューラルネットワークの試作	小野 克幸, 佐伯 勝敏, 関根 好文	219
RO35058	TMRロジック回路技術を用い構成した連想メモリとFPGAのペアチップ試作	庄子 耕平, 渡邊 康広, 望月 明, 羽生 貴弘	235

マイクロプロセッサ

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90051	iPADプラットフォーム用CPU、メモリおよび周辺回路の試作	鄭 若彤, 池田 誠, 浅田 邦博, 吉田 浩章	116
HIT18042	実験用マイクロプロセッサと回路特性評価TEGの設計	市来 史明, 竹田 圭佑, 塩川 哲司, 藤田 実	131
HIT18051	ハードウェア暗号組込み型マルチメディアモバイルプロセッサ	深瀬 政秋, 赤岡 亮, 佐藤 友暁	134
HIT18051	5.2GHz用のＲＦフィルタ	三浦 直樹, 沢井 茂, 眞田 幸俊	138
RO35044	ランダムアドレッシング機能強化型マルチメディアモバイルプロセッサ	深瀬 政秋, 佐藤 陽一, 中村 吉樹, 赤岡 亮, 佐藤 友暁	180
RO35044	CMOS上流設計による各種ディジタル回路の試作	吉川 信行, , , , 道江 寛之, 高橋 好明, 朴 熙中	181
RO35044	LNAの高性能化に関する試作	安田 彰, 緒方 克哉, 土屋 貴紀	188
RO35055	16bitパイプラインプロセッサ	中西 正樹, 奥村 文洋, 小島 知也, 小林 大善, 平本 新哉, 山根 正嗣	211
RO35055	１６ビットパイプラインプロセッサの設計実習１	池永 剛	212
RO35055	１６ビットパイプラインプロセッサの設計実習２	池永 剛	212

RO35055	１６ビットパイプラインプロセッサの設計実習３	池永 剛	212
RO35057			224
RO35057	線虫神経回路のタッチ反応を模した低消費制御回路	金田 知陽, 加藤 初弘	226

メモリ

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90042	90-nm 512-kb シングルポート SRAMの試作	森田 泰弘, 竹村 淳, 藤原 英弘, 深山 正幸, 吉本 雅彦	113
AS90053	動的電圧制御環境下における低電圧動作 90-nm 64-kb SRAM	森田 泰弘, 三上 真司, 藤原 英弘, 宮越 純一, 新居 浩二, 吉本 雅彦	119
AS90056	動的電圧制御環境下における低電圧動作 90-nm 1-Mb SRAM	森田 泰弘, 藤原 英弘, 新居 浩二, 野口 紘希, 川口 博, 吉本 雅彦	125
HIT18042	SFQ/CMOSハイブリッドメモリシステムの試作	吉川 信行, 徳田 勝利, 高橋 好明	128
HIT18042	高並列プロセッサ向けマルチバンク構成レジスタファイル	末吉 徹也, 碧山 賢一, マタウシュ ハンスユルゲン, 小出 哲士	129
HIT18051	SFQ/CMOSハイブリッドメモリシステムの試作	吉川 信行, 徳田 勝利, 高橋 好明	134
RO35044	相変化不揮発性メモリの書換え特性評価TEG	泉 貴富, 高田 雅史, 秋田 純一, 北川 章夫	177
RO35044	相変化不揮発性メモリの書換え特性評価TEG	泉 貴富, 高田 雅史, 秋田 純一, 北川 章夫	178
RO35044	CMOS上流設計による各種ディジタル回路の試作	吉川 信行, , , „ 道江 寛之, 高橋 好明, 朴 熙中	181
RO35044	SFQ/CMOSハイブリッドメモリの試作	吉川 信行, 徳田 勝利, 富田 卓哉, 藤原 完	181
RO35044	アナログ-デジタル混載回路による2バンク型最小マンハッタン距離検索連想メモリ	上村 一弘, マタウシュ ハンスユルゲン, 小出 哲士	182
RO35044	8bit×8 SRAM	酒造 正樹, 星野 一憲, 下山 勲	184
RO35055	SFQ/CMOSハイブリッドメモリシステムの2トランジスタセルアレイの試作	吉川 信行, 高橋 好明	208
RO35056	プリチャージ改良による2バンク型最小マンハッタン距離検索連想メモリ	上村 一弘, 田中 裕己, Md. Ritonga Arifin, マタウシュ ハンスユルゲン, 小出 哲士	218
RO35058	CMOSデシメーションフィルタの試作	吉川 信行, 道江 寛之	232

演算回路(乗算器，除算器など)

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90053	差動対回路に基づく電流モード多値高速乗算器	北村 健, 白濱 弘勝, 鬼沢 直哉, 望月 明, 羽生 貴弘	120
MOT042	10進ディジタル回路およびニューロンMOS回路の設計試作	波多野 裕, 磯部 圭吾, 小林 潤士, 里中 勝己, 水口 隆太郎, 村松 一矢, 山本 毅,	140
MOT042	オフセット電圧自動補正回路の設計	堀井 信嘉, 松田 敏弘, 岩田 栄之	144
MOT051	ニューロンＭＯＳ可変論理回路の試作	久津輪 敏郎, 椴山 徹	146
MOT051	基本論理ゲート速度評価回路と加算回路、計数回路、メモリレジスタの設計試作	波多野 裕, 鈴木 博也, 森 章紀, 田力 正徳, 芝田 通明, , ,	146
MOT051	基本論理ゲート速度評価回路と加算回路、計数回路、メモリレジスタの設計試作	波多野 裕, 田力 正徳, 芝田 通明, 鈴木 博也, 森 章紀, , ,	146
MOT051	ウェーブパイプライン方式LFSR	佐久間 玲奈, 深瀬 政秋, 佐藤 友暁	150
MOT051	オフセット電圧自動補正回路の改良	堀井 信嘉, 松田 敏弘, 岩田 栄之	151
RO35044	Mixed-signalメディアン値探索回路	山崎 英男	174
RO35044	LSI設計コンテスト	岩池 彩海, 高田 雅史, 秋田 純一, 北川 章夫	175
RO35044	LSI設計コンテスト	金子 康隆, 高田 雅史, 秋田 純一, 北川 章夫	176
RO35044	LSI設計コンテスト	谷澤 智康, 高田 雅史, 秋田 純一, 北川 章夫	176
RO35044	LSI設計コンテスト	牧野 良成, 高田 雅史, 秋田 純一, 北川 章夫	176
RO35044	LSI設計コンテスト	平木 謙次, 高田 雅史, 秋田 純一, 北川 章夫	177
RO35044	LSI設計コンテスト	米田 智弘, 高田 雅史, 秋田 純一, 北川 章夫	177
RO35044	生体計測用信号処理回路	近藤 洋一郎, 松本 佳宣	186
RO35044	8bit除算器の試作	堀部 大介, 伊藤 大地, 梶山 太郎, 林 久紘	190
RO35051	CMOSデシメーションフィルタの試作	吉川 信行, 道江 寛之	192
RO35052	CMOSデシメーションフィルタの試作	吉川 信行, 道江 寛之	195
RO35053	低クロック振幅フリップ・フロップとオンチップバックコンバータ用フィルタの評価チップ	鬼塚 浩平, Yazid Muhammad	197

RO35053	CMOSデシメーションフィルタの試作	吉川 信行, 道江 寛之	197
RO35053	静電容量型センサ用容量検出回路	轡田 晃一, 松本 佳宣	198
RO35054	CMOSデシメーションフィルタの試作	吉川 信行, 道江 寛之	204
RO35055	CMOSデシメーションフィルタの試作	吉川 信行, 道江 寛之	209
RO35056	CMOSデシメーションフィルタの試作	吉川 信行, 道江 寛之	218
RO35057	離散ウェーブレット変換ハードウェア実装のためのインプレース演算モジュール	村松 正吾, 本多 秀章	227
RO35057	移動方向検出回路	井上 恵介, 八木 哲也	227
RO35057	最大値検出フィルタチップ	下ノ村 和弘, 八木 哲也	228
RO35058	Mixed-Signalメディアン値探索回路	山崎 英男	230
RO35058	CMOSデシメーションフィルタの試作	吉川 信行, 道江 寛之	233
RO35058	粗粒度再構成可能ハードウェア	木村 晋二, 阿久津 日出美, 土井 伸洋	235

通信(RF回路, ATMなど)

ラン名	タ イ ト ル	研 究 者	掲載頁
AS90054	無線通信用ＲＦアナログ回路およびＴＥＧの試作	藤島 実, 山本 憲, ライ．チ ホン, オンチュ アハメット, 王 寧一, 小林 直樹, ワサンタマーラー バダラワ, 谷本 英之, オウ トウ	121
AS90054	低電力な無線通信向けの送信回路	高宮 真	123
HIT18042	Ｓｅｒｉａｌ ＡＴＡの送受信部、ＦＬＡＳＨ ＡＤコンバータ	横山 晋, 野沢 舞, 村上 友規, 松本 隆, 佐々木 昌浩	127
HIT18042	チップスケールアンテナによるCMOS準ミリ波帯フロントエンドの研究	向井 徹, 佐々木 守	127
HIT18051	Ｓｅｒｉａｌ ＡＴＡの送受信部、ＦＬＡＳＨ ＡＤコンバータ	横山 晋, 野沢 舞, 村上 友規, 松本 隆, 佐々木 昌浩	132
HIT18051	チップスケールアンテナによるCMOS準ミリ波帯フロントエンドの研究	向井 徹, 佐々木 守	134
HIT18051	オンチップ・アンテナ一体型UWBパルス生成器	原田 典浩, Kulkarni Vishal, Muqsith Muhammad	135
HIT18051	動的再構成可能RF回路向け要素回路、受動素子および高速信号伝送線路評価用線路	伊藤 雄作, 川添 大輔, 木村 実人, 菅原 弘雄, 岡田 健一, 益 一哉	136
HIT18051	高周波アナログ特性モデリング用素子TEG	石原 昇	138
HIT18051	高周波パワーアンプ用基本回路TEG	石原 昇	138
HIT18051	多段リミッタアンプ構成による高速イコライザ回路TEG	石原 昇, 阿久津 正彦, 弓仲 康史	139
MT18051	1Tb/s 3W 三次元積層チップ間誘導結合トランシーバ	三浦 典之, 黒田 忠広	154
MT18051	1Tb/s 3W 三次元積層チップ間誘導結合トランシーバ	三浦 典之, 黒田 忠広	154
MT18052	スパイラルインダクタのカップリングによるチップ間無線インターコネクトLSI	佐々木 守, 有薗 大介	155
MT18052	スパイラルインダクタ対の電磁結合による無線シリアル伝送LSI	佐々木 守, 閻 彬	155
MT18052	誘導結合トランシーバ用低電力送信回路	井上 眞梨, 黒田 忠広	156
MT18053	高速VCSELレーザドライバ回路	リー タックヤン, 松岡 俊匡, 谷口 研二	157
MT18053	チップ間無線電力伝送	Yuan Yuxiang	157
MT18053	再構成可能CMOS無線回路	山内 拓弥, 菅原 弘雄, 川添 大輔, 伊藤 雄作, 伊藤 猛, 岡田 健一, 益 一哉	157
MT18053	広帯域アナログ複素係数フィルタ	谷本 洋, 矢舗 誠, 田邊 寛朗, 柳沢 英人	158
MT25052	1:8CMOSデマルチプレクサの試作	姚 崢山, 金 奎哲, 田中 智之, 王 軍, 井田 司, 上田 啓介, 松岡 俊匡, 谷口 研二	160
MT25054		松本 陽史, 小嶋 浩嗣, 上田 義勝	162
OKI0503	低電圧動作低雑音増幅器の設計	木原 崇雄, 金 奎哲, 松岡 俊匡, 谷口 研二	168
OKI0503	無線LAN受信機用のミキサ及びVCOの設計	金 奎哲, 村上 豊生, 上田 啓介, 後藤 克, 木原 崇雄, 松岡 俊匡, 谷口 研二,	168
OKI0509	無線受信機の要素回路の設計	木原 崇雄, 後藤 克, 陳 炳宏, 金 奎哲, 松岡 俊匡, 谷口 研二	171
RO35044	人体内外通信 in-vivoチップ	山田 智浩, 岡田 健一, 益 一哉	186
RO35044	超多重RFID向けトランスポンダ実験チップ	福水 洋平, 永田 真	188
RO35053	光通信用信号処理回路	赤松 大生, 松本 佳宣	198
RO35054	光素子駆動回路	宮原 晋平, 青野 聖, 松本 佳宣	206
RO35056	スーパーヘテロダイン方式のAMラジオ受信機の試作(1)	丹野 哲宏, 高橋 慶太, 福田 和典, 平岡 直洋, 兵庫 明, 関根 慶太郎	216

RO35056	スーパーヘテロダイン方式のAMラジオ受信機の試作(2)	松野 隼也, 冨岡 勉, 服部 幸男, 脇 直也, 兵庫 明, 関根 慶太郎	217
RO35056	ストレート方式のAMラジオ受信機の試作	金山 尚徳, 玉村 淳, 皆木 信二, 山口 敏幸, 兵庫 明, 関根 慶太郎	217
RO35056	非接触I/O評価用テストLSI	山内 秀晃, 梶原 し乃, 中村 和之	222
RO35058	チップ間ワイヤレス電源伝送回路とインダクタ測定用TEG	鬼塚 浩平, 石田 将也, 桜井 貴康	231

2. 3　各チップの詳細

平成16年度第2回ASPLA CMOS 90nm試作（AS90042）

消費電力および動作周波数の基板バイアス電圧依存性評価 TEG

金沢大学工学部　　**川上 健太郎，金森 美和子，森田 泰弘，竹村 淳，深山 正幸**
神戸大学工学部　　**藤原 英弘，吉本 雅彦**

概要：サブ100nm時代のCMOS LSIでディジタル回路を設計する上でリーク電流による消費電力を考慮した低消費電力設計は必要不可欠である．本チップではリーク電流，消費電力，動作周波数のそれぞれについて基板バイアス電圧依存性を測定するために64ビットALU TEG，インバータチェーンTEG，nMOS，pMOSトランジスタTEGを実装した．64ビットALUはAsplaより提供されたスタンダードセルをnMOS，pMOSとも独立に基板バイアス電圧を印加できるよう改修し，論理合成/自動配置配線により設計した．入出力ピンの制約から，64ビットALUへの入力はチップ内に実装したLFSRにより供給することとした．その他のTEGはカスタムで設計を行い，すべてnMOS，pMOSとも独立に基板バイアス電圧を印加できる設計とした．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

90-nm 512-kb シングルポート SRAMの試作

金沢大学大学院自然科学研究科　　**森田 泰弘，竹村 淳**
神戸大学大学院自然科学研究科　　**藤原 英弘**
金沢大学自然計測応用研究センター　　**深山 正幸**
神戸大学工学部　　**吉本 雅彦**

概要：90-nm 512-Kb シングルポートSRAMを試作した．トランジスタ数は約315万であり，フルカスタムで設計を行った．サブ100nm世代のSRAMでは非選択セルに流れるリーク電流が低消費電力化を阻害する要因となる．そこで，本TEGではリーク電流を動的電圧制御で削減することを想定し，リーク電流の電源電圧，基板バイアス電圧依存性を実測する．モジュール（アドレスバッファ，デコーダ，SRAMセル，プリチャージ回路，センスアンプ/書込み回路など）ごとに電源電圧，基板バイアス電圧を外部から入力することで，各モジュール独立に消費電力を測定可能である．SRAMセルに対してはグランド電位を外部から制御可能な構成とした．また，本SRAMはアクセスタイム（最大動作周波数），動作時の消費電力の電源電圧，基板バイアス電圧依存性を測定可能である．シミュレーションでは電源電圧1.0V，基板バイアス電圧0Vで最大動作周波数276MHz，充放電電力17.34mW（毎サイクルアクセス時），リーク電力2.58mWを確認した．

設計期間：5人月以上，6人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：メモリ

平成17年度第1回ASPLA CMOS 90nm試作（AS90051）

低電圧動作・高精度温度センサ，オンチップオシロスコープのための要素回路

東京大学大規模集積システム設計教育研究センター　佐々木 昌浩，池田 誠，浅田 邦博
東京大学工学系研究科　飯塚 哲也

概要：本チップは，大きく分けて2つの回路ブロックからなっている．第一の要素は，オンチップ温度計測・管理システムを実現するための低電圧動作・高精度温度センサである．第二の要素は，オンチップオシロスコープのための要素回路としてのタイミング信号生成回路と参照電圧信号生成回路である．提案した4トランジスタ型温度センサは極めて小面積（11.6×4.1um2）であり，測定の結果，センサの精度は電源電圧1V以下，50～125℃の範囲において，曲線キャリブレーションやダイナミックオフセットキャンセル手法ではなく，より簡易な方法である2点間キャリブレーションから得られた線形な特性を用いた場合でも－1.0～+0.8℃程度に抑えることが出来た．また，この時の消費電力は25mWであった．
実装した参照タイミング信号生成回路の測定結果から信号間隔約190psecの立ち上がり信号を生成できることが確認された．また参照電圧生成回路についても測定によりシミュレーションと同様の動作を確認した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

RF回路用モデルのための伝送線路およびインダクタのTEG

東京大学新領域創成科学研究科　藤島 実，山本 憲，ライ チーホン，王 寧一，小林 直樹
東京大学工学系研究科　谷本 英之，本良 瑞樹

概要：高周波においては表皮効果や基板損失などの影響により素子特性が悪化することが知られているが，回路を設計する上で大きな問題となる．本試作では回路を設計するときに使用するデバイスモデルを構築するため多数のTEGを試作した．試作したデバイスは伝送線路やインダクタである．得られたデバイスモデルは回路を設計するときの指標として用いていく．他にもインダクタのQ値を向上するためのTEGを試作した．インダクタのQ値はインダクタの抵抗により悪化するが，本試作では配線抵抗を効率的に削減しQ値を向上させる構造について検討を行った．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：10未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

遅延・電力のばらつき測定用TEGチップ

九州大学大学院システム情報科学府　坂本 良太，石田 誠，樽見 幸祐
西安工科大学　Yang Yuan
九州大学工学部　山口 聖貴
九州大学システムLSI研究センター　室山 真徳
九州大学大学院システム情報科学研究院　黒木 幸令，安浦 寛人

概要：1）遅延および電力を測定してばらつきの特性をみるために199段のリングオシレータを63個並列接続したものを設計した．段数と面積による影響を調べるため段数およびとトランジスタの幅が2倍および4倍の回路も用意した．3段のリングオシレータを分周した回路も設計している．測定の結果，段数が多い場合リーク電力のばらつきが大きく，動作時の電力のばらつきは主に周波数のばらつきに起因することが分かった．2）ゲート遅延ばらつきをデジタル値で出す回路を設計した．200段のリングオシレータを64並列用意し，最終段の出力をフリップフロップ（ＦＦ）で取り込む．ＶＣＯの出力をＦＦのクロックとして用いて取り込むタイミングを細かく制御し，遅延のばらつきを測定可能としている．

参考文献：山口，Yang，樽見，坂本，室山，石原，安浦，"90nmCMOS回路における遅延及び電力ばらつきの実測"，pp.S-23-24，電子情報通信学会2006年総合大会（2006）

設計期間：9人月以上，10人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

10bit 500MHz パイプライン型 A/D 変換器のステージ回路動作検証

東京工業大学大学院理工学研究科　　宮原 正也

概要：90nm の微細・低電圧 CMOS プロセスを用いて分解能 10bit，変換周波数 500MHz，消費電力 50mW 程度を目標としたパイプライン型 A/D 変換器のステージ回路の動作検証を行うために試作を行った．オペアンプ，容量，スイッチ，コンパレータ回路で構成されたパイプライン型 A/D 変換器のステージ回路及びブートストラップスイッチを用いた S/H 回路を搭載し，デコードロジック，リファレンス電圧，クロックは外部に設けることとした．微細化プロセスを用いることで低消費電力かつ高速動作が可能な ADC が実現可能であるが，その反面低電源電圧動作であるため信号振幅の確保が難しくアナログ回路の設計をより困難なものとしている．さらに微細化プロセスではドレイン－ソースコンダクタンス gds が大きくオペアンプなどの増幅器を構成したときに利得が得にくいという問題点がある．オペアンプ回路はパイプライン型 A/D 変換器を構成する上で最も重要な回路ブロックの一つであり，微細化プロセスを用いるためにはこれらの問題を回路構成の工夫によって回避しなければならない．本試作では新しいオペアンプ回路構成を用いることでこれらの問題を解決している．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ASPLA 90nm 2. 5mm x 2. 5mm　**チップ種別**：アナログ（PLL，A–D/DC–DC コンバータなど）

高速・高精度パイプライン ADC ディジタル部

東京工業大学大学院理工学研究科　　倉持 泰秀，倉科 隆

概要：移動体通信システムや画像処理システムの高速化に伴い，これに用いられるパイプライン型 A/D 変換器の更なる高性能化と低電力化が必要とされている．そこで本チップでは高速・高精度パイプライン ADC のディジタル部の設計を行った．高速・高精度パイプライン ADC はタイミング精度の要求が厳しく，高精度なタイミング発生器が必要である．この ADC を高速・高精度動作させるために必要なタイミング発生器の精度を評価することを目的とする．本回路は遅延回路・加算回路・LVDS ドライバ・クロック分配器・クロックドライバ・タイミング発生器から構成される．クロック部に遅延量制御機能を付加することで，所望のタイミングを生成することを可能とした．また，LVDS ドライバを用いることで，超高速データ・クロックのモニタが可能である．さらにディジタルノイズ低減のために，LVDS ドライバに振幅制御機能を付加した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ASPLA 90nm 2. 5mm x 2. 5mm　**チップ種別**：アナログ（PLL，A–D/DC–DC コンバータなど）

超高速 ΣΔ 変調器の試作

東京工業大学大学院理工学研究科　　馬上 崇，Win Chaivipas，宮原 正也

概要：近年のワイヤレスシステムの多様化に伴い，パラメータ・構造の可変化により同一の回路で各規格に対応することが求められている．この際用いられる ADC にもパラメータ・構造の可変化が求められる．その中でΣΔ 型ＡＤ変換器は無線規格に合わせたパラメータや構造の可変化が比較的容易である．しかし，信号帯域とダイナミックレンジのトレードオフから適用範囲が限られてしまう．そこで適用範囲を広げるために微細プロセスによる高速動作を目指したのが今回の試作である．目標仕様を帯域 10MHz，サンプリング周波数 640MHz（オーバーサンプリング率 32），SNDR80dB に設定し，トップダウン設計を行った．フィルタはスイッチトキャパシタ積分器を組み合わせ，ゼロ点生成用のフィードバックループを設けた 5 次のフィードフォワード型構成とした．また，積分器内のオペアンプは低電圧動作のため電流源を省略したスーパーカスコード構成のものを用いた．量子化器は 4bit の並列型で，低電力の比較器を用いて構成した．本試作チップは現在評価準備中である．

参考文献：Pio Balmelli，"Broadband Sigma–Delta A/D Converters，" Swiss Federal

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ASPLA 90nm 2. 5mm x 2. 5mm　**チップ種別**：アナログ（PLL，A–D/DC–DC コンバータなど）

超高速並列型ＡＤ変換器の開発

東京工業大学大学院理工学研究科　　池田 裕介

概要：近年，デジタル情報家電等の開発が益々盛んになっている．これらのデジタル機器は，高機能化が進むにつれて扱うデータ量も多くなり，ＡＤ変換器には更なる高速化が求められている．そこで，本研究ではＡＳＰＬＡ90ｎｍＣＭＯＳプロセスを用いて分解能6ｂｉｔ，変換周波数2ＧＨｚの並列型ＡＤ変換器の設計を行った．並列型ＡＤ変換器の精度は，比較器，または前段増幅器のトランジスタミスマッチによるオフセットによって悪化する．オフセットを小さくするには比較器や前段増幅器の面積を大きくしなければならず，それにより帯域は低下し，消費電力は増加してしまう．この問題を解決するために，容量によるオフセットキャンセル回路を用いた．この回路によってオフセットを除去し，比較器や前段増幅器を小さく設計することができる．また，オフセットキャンセル容量を補間に用いることによって低消費電力化も同時に実現している．現在試作チップの評価準備中である．

設計期間：1 人月以上，2 人月未満　**設計ツール：**Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数：**1, 000 以上，10, 000 未満　**試作ラン：**ASPLA 90nm 2. 5mm x 2. 5mm　**チップ種別：**アナログ（PLL，A-D/DC-DC コンバータなど）

iPAD プラットフォーム用 CPU，メモリおよび周辺回路の試作

東京大学大規模集積システム設計教育研究センター　　鄭　若彤，池田 誠，浅田 邦博
東京大学工学系研究科　　吉田 浩章

概要：チップ測定の利便性を向上する目的で iPAD プラットフォームの研究を行った．最終結果として，iPAD 用 CPU，RS-232C シリアル通信回路，BIOS を実装した ROM，データメモリ用 RAM，バウンダリスキャン用デコーダ回路をまとめたチップを ASPLA 90nm プロセスで試作した．納品したチップをロジックテスタと検証ボード両方による測定し，正しい動作を確認した．

設計期間：2 人月以上，3 人月未満　**設計ツール：**Cadence 社 Verilog-XL，Virtuoso，Synopsys 社 Design Compiler，Astro，Mentor 社 Calibre　**トランジスタ数：**10, 000 以上，100, 000 未満　**試作ラン：**ASPLA 90nm 2. 5mm x 2. 5mm　**チップ種別：**マイクロプロセッサ

平成17年度第2回ASPLA CMOS 90nm試作（AS90052）

90nm世代のシグナル・パワーインテグリティおよびばらつき評価チップ

東京大学国際・産学共同研究センター　稲垣 賢一, ダナルドノ ドゥイ　アントノ, 皆川 拓也, 桜井 貴康

概要：近年の集積回路の微細化，高速化および低電圧化に伴い，電源に発生するノイズによる信頼性の劣化およびしきい値ばらつきは深刻な問題となっている．　LSIが動作した際に電源配線に発生するノイズ波形を測定することができれば有力な手がかりとなる．そこで，時間分解能可変かつ最高時間分解能2.5psをもつオンチップサンプリングオシロスコープを試作した．測定の結果，いくつかの被測定線路から振動的な信号波形を観測することができ，配線特性の抽出も可能となった．　また，チップ内，チップ間を問わずばらつきを抑制する技術が求められているため，まずVTHがどのようにばらついているかを調査する必要があり，実際にチップを作成した．被測定トランジスタはゲート幅0.2μm，及び1.0μmのnMOSおよびpMOSのトランジスタを各1650個である．現在全トランジスタのしきい値電圧を測定中であり，ばらつきの周期性を確認する．

参考文献：K. Inagaki, et al.，“A 1-ps resolution on-chip sampling oscilloscope with 64:1 tunable sampling range based on ramp waveform division scheme,” Symp. on VLSI circ.，2006

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 5.0mm x 5.0mm　**チップ種別**：TEG（特性評価回路など）

平成17年度第3回ASPLA CMOS 90nm試作（AS90053）

ミリ波帯で動作する無線通信回路の作製

東京大学新領域創成科学研究科　　藤島 実, 山本 憲, ライ チーホン, 王 寧一, 小林 直樹
東京大学工学系研究科　　谷本 英之, 本良 瑞樹

概要：ミリ波で動作する無線通信回路，およびＰＬＬ，周波数分周器，ミキサ，マッチング回路，フィルタ，伝送線路といった，各ブロックのＴＥＧについて試作を行った．ＰＬＬ，周波数分周器の試作目的は，60ＧＨｚ帯無線通信回路での利用である．周波数分周期は60〜70ＧＨｚで動作し，発表されているものに対して1／3程度の消費電力を実現することができた．マッチング回路は，高周波動作において高いQ値が見込まれるオンチップ伝送線路を利用することによって，高速動作を目指した．フィルタの試作目的は，平面回路的解析に基づくバンドパスフィルタや共振器の設計である．信号周波数が高くなるにつれて信号波長は短くなるので，オンチップでの平面回路の可能性の検討を行った．伝送線路の試作目的は，波長短縮技術を利用し，面積効率を向上させる伝送線路構造の検討である．また，Q値の向上を目的とした様々な構造についても提案し，試作を行った．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ASPLA 90nm 5.0mm x 2.5mm　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

実時間画像認識システムのための特徴ベクトル抽出プロセッサ

東京大学大学院工学系研究科　　山崎 英男, 黄 世燕
東京大学大学院新領域創成科学研究科　　Oztruk Ovgu

概要：本研究室では，連想プロセッサをベースとした実時間画像認識VLSIシステム構築の研究を進めている．このシステムのボトルネックは，画像から特徴を抽出し，ベクトルに変換する処理である．画像の方向性エッジを検出し，その空間ヒストグラムで特徴ベクトルを構成するPPEDアルゴリズムは本研究室で開発したオリジナルな手法であり，手書きパターン認識，医用Ｘ線写真解析，顔検出等への応用で極めて有効であることを実証している．［1］本試作の目的は，このPPEDベクトルを実時間で生成可能なプロセッサの開発である．既にプロトタイプの特徴ベクトル生成プロセッサを開発し，試作チップの動作を確認している．本設計では，エッジ情報をメモリにキャッシュする機能を新たに追加し，高解像度画像のあらゆる領域の特徴ベクトルを高速に生成可能となる仕様とした．なお本試作では，SRAMマクロの電源配線の短絡により，動作を確認することはできなかった．

参考文献：［1］M. Yagi and T. Shibata, "An Image Representation Algorithm Compatible to Neural-Associative-Processor-Based Hardware Recognition Systems, " Trans. Neural Networks, vol. 14, no. 5, pp. 1144-1161, Sep. 2003.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre，Avanti社　Star-HSPICE　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 5.0mm x 2.5mm　**チップ種別**：アナログ/デジタル信号処理プロセッサ

ばらつきを利用して速度と歩留まりを向上させるFPGA

京都大学情報学研究科　　小林 和淑, 小谷 学, 香月 和也, 小野寺 秀俊
京都大学工学部　　尾形 幸亮

概要：昨年度は，ばらつきの測定のみが目的であったLUTアレイの試作を行なった．今年度はそれを一歩進めて，測定機能ならびに再構成機能を持った完全なFPGAのLSIの試作を行なった．入れ替え可能な複数の信号伝搬パスをFPGA内に構成し，ばらつきの測定結果を用いた再構成を実際に行ない，4%程度の速度向上効果を実測により確認した．ばらつきは，FPGAの再構成機能を用いてリングオシレータを構成し，その発振周波数により測定を行なう．

参考文献：［1］小谷，香月，尾形，小林，小野寺，"ばらつきを利用し補償するための再構成可能回路"，pp. 49-54，VLD-2005-130，信学技法（VLSI設計技術）（2006）

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：ニューテクノロジ

オンチップVCO回路における位相ノイズ低減手法の確立

中央大学理工学部　　原 康之, 杉本 泰博

概要：VCO（電圧制御発振器）の位相ノイズを低減する手法には，1．発振のパワーを増大する方法，2．共振回路のQ値を上げる方法，の2通りがある．昨今のように低電源電圧環境下においては1．項の方法には限界があると思えるので，2．項の方法が何とか実現できないかと考えた．この方法として，チップ上のインダクタによりトランスを構成し，電流帰還を2次側コイルに施す事により，1次側コイルのQ値を上げる方法が考えられる．しかし本手法が位相ノイズ低減に真に有効な手段であるかどうかの確認が成されているとは言い難い．そこで我々は，本手法を適用したVCO回路を提案し，90nチップを試作し，従来回路との位相ノイズ特性の比較を行なった．今回の実験では大いに有効である事がうかがわれたのであるが，本手法が真に有効であるかどうかの判断は，さらに理論的な詰めを行なってからの事になると思われる．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Analog Artist，Mentor社 Calibre，Cadence社 Spectre　**トランジスタ数**：10以上，100未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

低消費電力RFフロントエンド内蔵センサノード

金沢大学大学院自然科学研究科　　三上 真司
神戸大学大学院自然科学研究科　　竹内 隆
神戸大学工学部　　吉本 雅彦

概要：90nmプロセスを利用した高集積，低電力センサネットワーク向けセンサノードの実現に向け，RF回路のTEG設計，試作，評価を行った．試作したTEGはRF送信機と受信機であり，ターゲット周波数は13.56MHz，消費電力1mW，データレート100kbpsを目標とした．変調方式は低消費電力化のためにOOKを採用した．本TEGは試作完了後の評価で全く動作しなかった．この原因として，性能劣化を防ぐために外付け素子を取り付けるピンにESD保護回路を挿入しなかったことが考えられる．このためチップ評価時に半田付けを行った際にESD破壊が発生したものと思われる（各回路の外付け素子を取り付ける端子のI-V特性がohmicであることを確認した）．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

動的電圧制御環境下における低電圧動作 90-nm 64-kb SRAM

金沢大学大学院自然科学研究科　　森田 泰弘, 三上 真司
神戸大学大学院自然科学研究科　　藤原 英弘, 宮越 純一, 新居 浩二
神戸大学工学部　　吉本 雅彦

概要：メモリセルに対する最適動作電圧制御手法を実装した90-nm 64-kb SRAMを試作した．LSIの消費電力を削減する手法としてDVS（Dynamic Voltage Scaling）が知られている．しかしながら，微細化に伴うしきい値電圧のばらつきの増大により，メモリセルの動作マージンが劣化し，SRAMが低電圧で動作せず，DVSによる電圧制御範囲が狭まることが懸念される．本SRAMで実装した最適電圧制御手法では，メモリセルの電源電圧，ワード線電圧，ビット線電圧，pMOS負荷トランジスタの基板バイアス電圧を読出し/書込み動作に応じて制御し，メモリセルの動作マージンを改善する．測定の結果，最適電圧制御手法により最低動作電圧が0.55Vから0.3Vに低下し，DVSにより動作周波数100MHzにおける消費電力を30%削減することを実証した．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：メモリ

差動対回路に基づく電流モード多値高速乗算器

東北大学電気通信研究所　　北村 健，白濱 弘勝，鬼沢 直哉，望月 明，羽生 貴弘

概要：差動対回路および電流モード多値集積回路技術を活用した高速54ビット乗算器を試作した．Signed-Digit数系を活用した5値電流モード高速Boothリコーダ，加算器ツリー削減のための部分積生成器，2進Signed-Digit数加算器に基づく加算器ツリー，差動対回路に基づくSigned-Digit数系からBinary数系に変換する高速桁上伝播加算器を構成した．また，ダイナミック論理を活用したラッチを活用することで4〜5段パイプライン構造を実現し，動作周波数において，10GHz程度を目標とした．高速テストを可能にするために入出力にはバウンダリスキャンを配置した．テストの結果，製作した回路において最も重要な配線のひとつであるスレッショルドラインの配線に誤りが見つかったため回路の正常な動作は確認できなかった．そのため，問題点を修正し2005年11月試作により動作を確認済．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：演算回路（乗算器，除算器など）

平成17年度第4回ASPLA CMOS 90nm試作（AS90054）

3相式伝送インターフェイス

東京大学工学系研究科　**曺 溶成, 池田 誠, 浅田　邦博**
東京大学 VDEC　**佐々木 昌浩**

概要：プロセス技術の微細化に伴い，チップ内部では高速な電流の変化が起こり，以前には無視することができたインダクタンス効果により発生する電磁場が，信号の遅延，信号の信頼性に悪影響を及ぼす．また，以前には相対的に小さかった配線遅延もVLSIの性能に大きく影響するようになり，近年のプロセス技術では同じクロック信号源を用いてグローバル同期信号を高速伝送することは難しくなってきている．そのため，ローカルモジュールを高速クロックで駆動させて，その間のデータ伝送を非同期的に行う方式（GALS：Globally Asynchronous Locally Synchronous）が有望視されている．それでGALSシステムに適合し，低EMIを実現する3相式伝送方式［1］の回路の考案し，そのインターフェイスを試作した．

参考文献：［1］NanLi, Makoto Ikeda, Kunihiro Asada, "Analysis of Low Noise Three-Phase Aysnchronous Data Transmission", Proc of ESSCIRC, 2005

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

無線通信用ＲＦアナログ回路およびＴＥＧの試作

東京大学新領域創成科学研究科　**藤島 実, 山本 憲, ライ．チ ホン,**
オンチュ アハメット, 王 寧一, 小林 直樹,
ワサンタマーラー バダラワ
東京大学工学系研究科　**谷本 英之**
東京大学工学部　**オウ トウ**

概要：60ＧＨｚで動作を目的としたＰＬＬとミクサーを試作しました．無線通信向けのミリ波パルス発生器を設計しました．パルス発生器はミリ波帯で動作していることが確認することができました．ＭＯＳトランジスターの寄生容量等より正確に見積もるためのＴＥＧを試作しました．ＭＯＳトランジスターのＴＥＧからは以前の試作と比べますと，良い特性を得ることができました．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：通信（RF回路，ATMなど）

OFDM方式無線通信ベースバンド処理回路

北海道大学大学院情報科学研究科　**吉澤 真吾, 宮永 喜一**

概要：次世代の情報家電や小型モバイル機器にはメディア処理とともに通信処理が不可欠なものであり，高速大容量のデータ伝送が可能な通信システムの実現が期待されている．現在，無線通信ではIEEE802.11a/g無線LANに代表されるよう最大54Mbpsの伝送速度を有するシステムが製品化されているが，有線通信では既に数百Mbps以上の伝送速度を持つシステムが利用されているので，現行の伝送速度が充分であるとは言い難い．我々の研究グループでは次世代の無線通信システムの実現を目的として，最大伝送速度600Mbpsを有するMIMO-OFDM方式無線LANの規格及びシステムを提案し，LSI設計を行っている．本試作では，OFDM方式無線通信ベースバンド処理回路において演算処理量の多い，FFT/IFFT処理に対して専用アーキテクチャを設計し，スタンダードセルベースでの実装を行った．ベースバンド処理回路全体で300万ゲート規模を想定しているので，今回は一部のみの実装となった．システム全体の実装が目標であるので，今後は試作面積の拡大を検討している

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Mentor社 xCalibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：アナログ/デジタル信号処理プロセッサ

90nm世代のシグナル・パワーインテグリティ評価チップ

東京大学国際・産学共同研究センター　稲垣 賢一, ダナルドノ ドゥイ　アントノ, 高宮 真, 桜井 貴康

概要：近年の集積回路の微細化，高速化および低電圧化に伴い，電源に発生するノイズによる信頼性の劣化が深刻な問題となっている．従来のEDAツールを用いた電源設計においてはLSIの動作状況に依存して起こる動的IRドロップの評価は十分に行われておらず，LSIが動作した際に電源配線に発生するノイズ波形を測定することができれば有力な手がかりとなる．　そこで，本チップには36種類の被測定線路上に発生するノイズを観測でき，時間分解能可変かつ最高時間分解能1psをもつオンチップサンプリングオシロスコープを試作した．チップ上に0.14mm2のタイミング生成ブロックを一つ配置しタイミングをチップ全体に分配する．一つ当たり64x35umのサンプリングヘッドをチップ内の測定箇所に配置した．　測定の結果，20以上の被測定線路から振動的な信号波形を観測することができた．本結果より90nm世代のLSIにおける電源ノイズの評価，配線特性の抽出が可能となった．

参考文献：K. Inagaki, et al., “A 1-ps resolution on-chip sampling oscilloscope with 64:1 tunable sampling range based on ramp waveform division scheme,” Symp. on VLSI circ., 2006

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 5.0mm x 5.0mm　**チップ種別**：TEG（特性評価回路など）

オンチップ差動伝送線路の評価

東京工業大学統合研究院　伊藤 浩之, 杉田 英之, 清田 淳紀, 岡田 健一, 益 一哉

概要：高性能LSIのクロック周波数はGHz帯に達し，長距離配線長はcmオーダーとなっている．このため，信号波長が長距離配線の長さと同じオーダーとなり，信号に波としての性質が顕著に表れている．また，信号周波数の増加に伴い，LSI設計において配線のインダクタンスが無視できなくなっている．つまり，長距離配線をRC集中定数回路として設計することが原理的に困難となっており，伝送線路として設計する必要性が生じている．周波数領域で差動伝送線路を評価し，LSI内の長距離配線に適した配線構造を提案した．伝送線路は差動方式とすることにより，クロストークに強く，また，小振幅伝送により，低消費電力化が可能である．ドライバ，レシーバ共に差動増幅回路とし，線路構造はコプレーナ型の差動伝送線路とした．シミュレーション結果より，12Gbpsのデジタル信号を消費電力4.5mWで1cm伝送できることを確認した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

電源雑音によるデジタル信号の遅延変動評価用LSI

神戸大学工学部　深澤 光弥, 永田 真

概要：デジタル回路の電源／グラウンド雑音に起因する回路内の信号遅延変動を実測，評価するためのチップを試作した．テスト回路は雑音源としてインバータアレイをFF間に挿入したシフトレジスタと，信号遅延の被測定回路となるシフトレジスタのアレイ構成となっている．SF+LC型波形検出回路を用いて電源／グラウンド／基板雑音の測定，さらにデジタル信号波形の評価を行う［1］．これまでに評価用の環境構築を完了し，チップの正常動作は確認済みである．現在では，回路の基本特性を評価すると共に，様々な動作条件での電源／グラウンド雑音とデジタル信号波形の実測，評価を行っている．

参考文献：［1］ M. Fukazawa, M. Nagata, "Measurements of Digital Signal Delay Variation Due to Dynamic Power Supply Noise," pp. 165-169, Proc. IEEE Asian Solid-State Circuits Conf, 2005.

設計期間：1人月以上，2人月未満　**設計ツール**：SII社 SX9000，Synopsys社 Star-HSPICE，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：アナデジ混載

非同期データ転送に基づくLDPCデコーダチップ

東北大学電気通信研究所　　鬼沢 直哉, 北村 健, 白濱 弘勝, 望月 明, 羽生 貴弘

概要：誤り訂正符号の一つであるLDPC符号の復号器であるLDPCデコーダは，演算ノード間の配線が非常に多くばらついていることからクロックスキューの問題が顕著になり高速化が困難となっている．本研究グループでは送信側と受信側で行われるハンドシェイク通信を，適切な符号化に基づき電流モードを用いて制御信号を多重化させることで，実質片道の配線遅延で非同期データ転送を可能とする方式を提案してきた．このチップでは，LDPCデコーダにおけるノード間データ転送に提案の非同期データ転送を活用することで，最悪遅延に依らずクロックスキューフリーなLDPCデコーダ回路の制御回路を試作した．制御回路の内部動作確認のために，出力をMUXに接続することで制御信号の切替により，すべての内部信号を可観測にした．チップの動作確認については現在進行中である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：ニューテクノロジ

電源ノイズ波形ならびに遅延変動測定TEG

大阪大学大学院情報科学研究科　　小笠原 泰弘, 橋本 昌宜, 尾上 孝雄

概要：本チップは電源・グラウンド線ノイズの波形，およびノイズによるゲート遅延の変動を測定することを目的とする．1.5mm×1.0mmの領域にグリッド状の電源網を配線し，内部には動作の制御可能なノイズ発生回路を配置して，電源ノイズを発生させる．ノイズ発生回路はPLLで生成されるクロックを入力信号として動作し，動作するゲートの段数を制御することにより，ノイズの発生する時間を調節することができる．回路内に配置したリングオシレータの周期から，電源ノイズによりゲート遅延が最大約6倍に増加する結果が得られた．さらに，PLLの動作周波数を上昇させると電源ノイズの影響が顕著となる傾向や，電源ノイズの発生源から遠ざかるに従い，電源ノイズの影響が小さくなる傾向が観測された．また，電源，グラウンド線の波形を外部から観測するため，電源グリッドには200個のパッドを接続した．引き続き測定を進める予定である．

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 DesignCompiler，Mentor社 Modelsim，Synopsys社 Astro，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：100,000以上　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

低電力な無線通信向けの送信回路

東京大学大規模集積システム設計教育研究センター　　高宮 真

概要：半導体チップが人間の生活環境に分散して大量に存在する「ユビキタスエレクトロニクス」向けの低消費電力な無線通信向けLSIの研究を行っている．本チップには低電力な無線通信向けの送信回路を搭載した．出力の電力や波形を広範囲に変化させられる送信回路となっている．90 nm CMOSプロセスを用いることにより，出力信号の高周波化と低電力化のメリットはあるが，出力信号振幅が減少してしまうデメリットもある．この利害得失を見極めるため，本送信回路にアンテナを接続し，電波伝送実験を行った．受信波形の評価は，オシロスコープとスペクトラムアナライザで行った．これにより，無線通信向けLSIの消費電力を低減するのに最適化な送信回路の構成とパラメータを実験により見いだすことができた．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ASPLA 90nm 5.0mm x 2.5mm　**チップ種別**：通信（RF回路，ATMなど）

平成17年度第6回ASPLA CMOS 90nm試作（AS90056）

京都大学情報学研究科　　土谷 亮, 濱田 隆行, 上村 晋一朗, 小野寺 秀俊
京都大学工学部　　久保木 猛

概要：本チップでは，チップ内において長さ3mmの配線上で20Gbpsの高速信号伝送を行なうための回路を設計した．理論的検討から，チップ内高速信号伝送の性能ボトルネックは長距離配線を駆動するドライバにあると考えられており，本試作ではドライバ回路に注力して設計を行なった．ドライバ回路はCMLバッファのカスケードとなっており，信号伝搬遅延を最小にする設計と，帯域が最大となる設計の2種類を試作した．測定はオンウェハで行ない，RFプローブからドライバ入力に信号を入力し，レシーバ出力は出力バッファを介して出力され，オシロスコープで波形を観測する．また，今回は信号伝送系には接続されていないが，チップ上で高速シリアル伝送を行なうためにはシリアライザ/デシリアライザやクロックデータリカバリなどの回路も必要となる．今回はそれらの回路の要素回路であるPLL，VCO，CML Dividerについても設計し，評価を行なっている．現在，各要素回路の測定を行なっており，それらの動作を確認した後に信号伝送実験を行なう予定である．
設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ASPLA 90nm 5.0mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

電圧モードA/D変換器に用いる高精度スイッチの試作

中央大学理工学研究科　　櫻井 宏樹, 田中 滋人, 恩田 智之
中央大学理工学部　　杉本 泰博, 高橋 俊彦

概要：電圧モードパイプライン型A/D変換器ではサンプルモードにおいてキャパシタに入力信号をサンプリングし，ホールドモードでその値を保持し出力する．ここで用いられるスイッチには，歪み無く信号を伝達することが要求されるが，スイッチのオン抵抗が入力信号に依存するという問題がある．本構成ではスイッチのゲート端子の間に一定の電圧を付加することでオン抵抗の変化を低減している．また，入力信号に依存してスイッチの閾値電圧が変化してしまうこともひずみの原因となる．閾値電圧の変化は基盤バイアス効果に原因があるため，通常用いられるNMOSトランジスタスイッチではなく，PMOSトランジスタスイッチを用いた構成としている．
設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

誘導結合トランシーバTEG

慶應義塾大学理工学部　　三浦 典之, 黒田 忠広

概要：90nm CMOSにおいて誘導結合トランシーバを設計試作した．これまでにTSMC 0.18umで試作した三次元積層チップ間誘導結合トランシーバは世界最高通信速度（1Tb/s），世界最低電力（3mW/Gb/s），世界最小面積（1mm2/Tb/s）を達成した［1］．90nmプロセスにおける配線層数の増加，銅配線による寄生抵抗低減，電源電圧のスケーリングにより，送受信器はさらに低消費電力化できる．また，低消費電力化のためのインダクタ形状に関する具体的なアイデアを持っており，これらを適用してさらに送受信器を低消費電力化した．チップにはオンチップで回路の機能および特性を評価するためのTEGとインターチップでの通信測定用TEGが搭載されている．同チップを180度回転して積層することでインターチップの通信測定を行うことができる．このとき上側のチップは厚さが10umになるまで研磨処理する．現在チップ評価中であり，機能的な問題がないことは確認できている．
参考文献：［1］ N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link," IEEE International Solid-State Circuits Conference （ISSCC'06）, Dig. Tech. Papers, pp. 424-425, Feb. 2006.
設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

動的電圧制御環境下における低電圧動作 90-nm 1-Mb SRAM

金沢大学大学院自然科学研究科　　森田 泰弘
神戸大学大学院自然科学研究科　　藤原 英弘, 新居 浩二
神戸大学工学部　　野口 紘希, 川口 博, 吉本 雅彦

概要：動的電圧制御環境下においてメモリセルの動作マージンを拡大するための最適電圧制御手法［1］の実用化に向け，最適電圧制御手法のほかに self-aligned タイミング調整回路を実装した 90-nm 1-Mb SRAM を試作した．最適電圧制御手法を適用するには，読出し・書込み・非アクセス状態の切り替えにより発生するメモリセルの電源電圧及び制御信号（書込みイネーブル信号，ローカルワード線）の切り替えタイミングの順序を製造ばらつきや温度，電圧にかかわらず保証し，メモリセルに蓄積されたデータの破壊を防止する必要がある．本 SRAM で実装した self-aligned タイミング調整回路では，ダミーワード線を使用して制御信号の切り替えタイミングを生成する．

参考文献：［1］ 森田，藤原，宮越，三上，新居，吉本，"動的電圧制御環境下における低電圧動作 90-nm 64-kb SRAM"，2005 年 VDEC 年報 (2005)．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Mentor 社 Calibre　**トランジスタ数**：100,000 以上　**試作ラン**：ASPLA 90nm 5.0mm x 5.0mm　**チップ種別**：メモリ

8-10bit 500M-1GHz パイプライン型 A/D 変換器

東京工業大学大学院理工学研究科　　宮原 正也

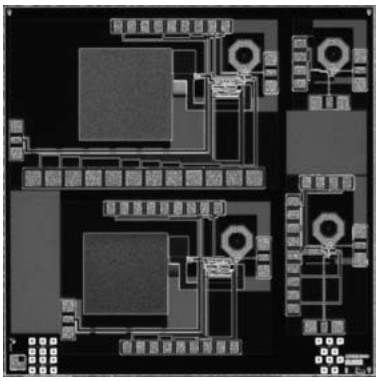
概要：移動体通信システムや画像処理システムの高速化に伴い，これに用いられるパイプライン型 A/D 変換器の更なる高性能化と低電力化が必要とされている．そこで 90nm の微細・低電圧 CMOS プロセスを用いて分解能 8-10bit，変換周波数 500M-1GHz，消費電力 50mW 程度を目標としたパイプライン型 A/D 変換器の試作を行った．オペアンプ，容量，スイッチ，コンパレータ回路で構成されたパイプライン型 A/D 変換器のステージ回路，ブートストラップスイッチを用いた S/H 回路，デコードロジック，クロック回路（メインクロックは外部入力），LVDS 出力回路を搭載し，リファレンス電圧のみ外部入力とした．パイプライン型 A/D 変換器のほとんどの機能を有している．この試作では分解能 8bit，変換周波数 1GH z を基本目標に設定しているが，10bit 出力まで可能にしており，変換周波数を遅くすることで 10bit 程度の分解能まで達成できる可能性がある．回路の工夫点としては，低電源電圧動作を強いられる中でもオペアンプ回路の信号出力振幅を可能な限り大きくとり，なおかつ微細化プロセスの特長である高速動作を両立するような新しいオペアンプ回路構成をとっている．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ASPLA 90nm 2.5mm x 2.5mm　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

平成16年度第2回日立 CMOS 0.18μm試作（HIT18042）

5.8GHzDSRC用PLL

東京大学新領域創成科学研究科　　山本 憲，藤島 実

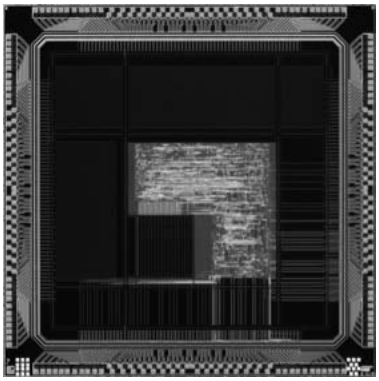


概要：5.8GHz帯専用狭域通信（Dedicated Short Range Communication：DSRC）用PLLの試作を行った．DSRCは，自動車と路側の間を無線通信で結ぶことにより，有料道路の料金所における料金収受を一旦停車することなく電子的に行うことを可能としたノンストップ自動料金支払いシステム（ETC）に用いられている通信方式である．DSRCに割り当てられたチャネルのうち，5842MHz，5835MHz，5805MHz，5795MHzを，90MHzの基準信号源を用いて生成する回路である．本PLLでは，周波数分周器と周波数シフトを併用することにより，リファレンス周波数の非整数倍の周波数を出力可能とした．また，周波数分周器には，低電力動作可能な÷2分周器のみを用いている．周波数シフトを行うミキサでは，リファレンス信号より分周された信号がLO信号として入力されるが，このLOリーケージによる誤動作を防止するために，周波数分周器には同相除去比の高い回路を用いた．

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数：**100以上，1,000未満　**試作ラン：**日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別：**アナログ（PLL，A-D/DC-DCコンバータなど）

MIMD連想プロセッサ用演算ユニットの試作

東京大学大学院工学系研究科　　早川 仁

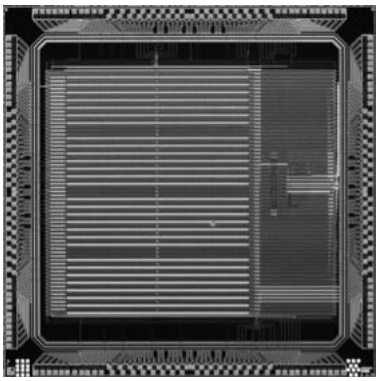


概要：連想プロセッサは，メモリ内の多数のテンプレートベクトルから入力したベクトルに最も近いテンプレートベクトルを探し出すものである．これまでの連想プロセッサでは，この最も近いものを探し出す処理に特化していたため，ちょっとした判断や算術処理は外部で行う必要があった．そこで，連想処理と汎用処理を効率よく切り替えて実行できる連想プロセッサコアであるMIMDエレメントを複数用意し，全体としてMIMD型の構成にすることで非常に柔軟な連想処理の実現を目指した．また，それぞれのMIMDエレメントが異なる処理を行うため，これまで外部から毎サイクル与えていた命令をメモリに格納して実行するようにした．すなわち，それぞれのエレメントに制御機構を設け，独立の命令で実行できるようにし，転送するのは処理対象のデータだけで済むようにしてデータ転送を効率化した．本試作では，その1つのMIMDエレメント全体の動作を検証するための実装を行った．

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Avanti社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Avanti社　Star-HSPICE　**トランジスタ数：**100,000以上　**試作ラン：**日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別：**アナログ/デジタル信号処理プロセッサ

実時間画像処理機能を持った特徴ベクトル生成プロセッサ

東京大学大学院工学系研究科　　山崎 英男



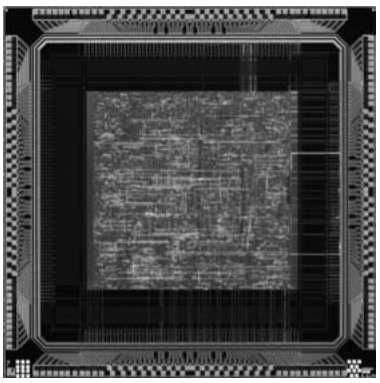
概要：画像認識において最も重要な処理は，画像から認識に必要な特徴のみを抽出した圧縮表現である特徴ベクトルの生成である．我々の研究室では，画像の最も基本的な特徴であるエッジ情報に基づいた特徴ベクトル生成アルゴリズムを開発し，医用X線写真解析や顔検出で成果を得てきた．［1］ しかし，これらの画像特徴抽出アルゴリズムは演算コストが高く，ソフトウェアによる処理では遅延が大きくなってしまう．本チップは，画像認識のボトルネックであるこれらのアルゴリズムを高速に実現する画像特徴抽出プロセッサである．特に，エッジ情報を保持する2次元のシフトレジスタアレイを実装することにより，高解像度画像をスキャンして連続的に特徴ベクトルを生成することの高速化を実現した．本試作では，タイミングのエラーを回避するため，クロックのディストリビューションを改善し，安定した動作を目指した．

参考文献：［1］ M. Yagi and T. Shibata, "An Image Representation Algorithm Compatible to Neural-Associative-Processor-Based Hardware Recognition Systems," Trans. Neural Networks, vol. 14, no. 5, pp. 1144-1161, Sep. 2003.

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Mentor社 Calibre　**トランジスタ数：**100,000以上　**試作ラン：**日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別：**アナログ/デジタル信号処理プロセッサ

連想プロセッサアーキテクチャに基づく逐次ランクソーティングVLSI

東京大学大学院工学系研究科　　高田 謙

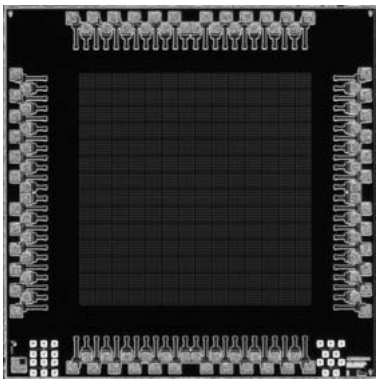


概要：画像処理において，メディアンフィルターに代表されるランクオーダーフィルターは非常に有用である．しかし，ランクオーダーフィルターは本質的にソーティングすなわち並び替えを必要とするため処理に時間がかかる．特に，ソーティング対象のデータが逐次的に出てくる場合，ソフトウェアでソーティングを行うにはすべてのデータの到着を待ってからソーティングを実行するため非常に時間がかかる．本試作では，この逐次データのソーティングをハードウェア上の並列処理で行い，データ入力完了時にソーティングも完了しているという，高速逐次ソーティングプロセッサの実装を行った．アーキテクチャは，本研究室で開発している連想プロセッサをベースにしており，データおよび順序を保持するレジスタとデータの比較器，最小値検索およびデータ選択を行うWinner-Take-Allからなり，順序の更新を並列に行うことで高速な逐次ソーティングを実現している．本プロセッサは，128個の16ビットデータの並び替えを行うことが可能で，マルチチップ構成にも対応している．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

Ｓｅｒｉａｌ　ＡＴＡの送受信部，ＦＬＡＳＨ　ＡＤコンバータ

早稲田大学理工学部　　横山 晋，野沢 舞，村上 友規，松本 隆，佐々木 昌浩



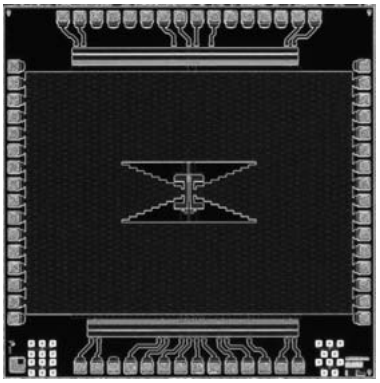
概要：本チップでは，3.0GbpsのシリアルATAの送信部と，そこで使用する3GHzの差動型VCOおよびランダムデータを生成するためのPRBS，±250mVで差動送信するDriverを設計した．また，近年A/D converterは，高速化・高精度化・低電圧化・小型化が求められている．その傾向に伴い，様々なノイズやデバイスのミスマッチが発生し，Flash A/D converterにおいて，Comparator Arrayの出力であるThermometer Codeにエラーを含んだ状態で出力されてしまう．通常，エンコーダでエラーを訂正しなければいけないが，logic回路を組み合わせてエラーを訂正する回路では，高速化に対応できないため，高速なものでは，ROM形式のエンコーダが用いられている．本CHIPでは，twin ROM encoderにおいて，スイッチに全てNMOSを用いることによって，小型化・高速化を実現し，電源電圧1.8V，0.18um CMOSプロセスにおいて，6bit 2GHz以上で動作するEncoderを設計し，これを用いて，高速・低消費電力の6-bit Flash A/D converterを実現した．また，オシロスコープ・スペクトラムアナライザなどを用いて，現在測定中である．

参考文献：Peter C. S. Scholtens，Maarten Vertregt，“A 6-b 1.6-Gsample/s Flash ADC in 0.18-um CMOS Using Averaging Termination，” IEEE J. Solid-State Circuits，vol. 37，pp. 1599-1609（2002）

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：通信（RF回路，ATMなど）

チップスケールアンテナによるCMOS準ミリ波帯フロントエンドの研究

広島大学先端物質科学研究科　　向井 徹，佐々木 守

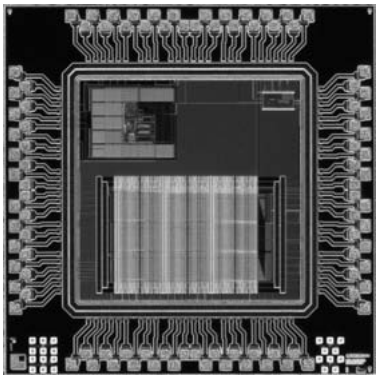


概要：近年のテクノロジ微細化ともなってCMOS動作速度は向上し，より高い周波数帯のRF回路への応用が期待されている．本研究ではチップと同程度の寸法のパッチアンテナをチップ上に積層する準ミリ波帯近距離無線データ通信のフロントエンド回路の設計・試作を行った．本チップには積層パッチアンテナの地板部分とそれを共振器とする放射型発振回路が集積されている．この発振器はチップ外部より入力された送信デジタルデータにより発振/非発振が切り替えられ，これによってOOK（On/Off Keying）変調によるデータ送信を行う．データ受信時には発振器をクエンチ信号で制御し，超再生方式による検波を行い，後段の回路で受信データを復調する．このように回路構成が単純なため小面積であり，低電力な無線システムの実現が期待できる．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：通信（RF回路，ATMなど）

再構成可能コンテクストメモリを用いたマルチコンテクストFPGA

東北大学大学院情報科学研究科　　亀山 充隆，張山 昌論，CHONG Wei Sheng，緒方 翔



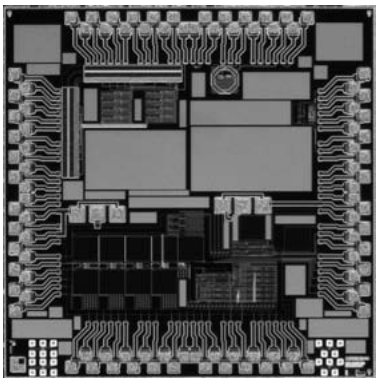
概要：本研究は，マルチコンテクストFPGA（MC-FPGA）におけるコンテクストメモリのハードウェア量を減少するために，コンテクスト間には冗長性・規則性があるという性質に着目し，アーキテクチャレベルのアプローチを提案する．このような冗長性・規則性を活用するために，リコンフィギャラブルコンテクストメモリ（RCM）が提案している．RCMは再構成可能デコーダを用いることで，冗長性・規則性を有するコンフィグレーションデータを，従来のマルチコンテクストスイッチを用いた場合に比べ，少ないハードウェア量で実現することができる．試作したMC-FPGAはマルチコンテクストスイッチを有する従来のMC-FPGAと比較して，8コンテクストの場合では，2倍程度の小面積化を達成できる見通しを得ている． また，測定結果により，そのMC-FPGAのコンテクストスイッチング時間は3.67ｎｓであった．

参考文献：W. Chong, M. Hariyama, and M. Kameyama, “Architecture of a multi-context FPGA using reconfigurable context memory,” in Reconfigurable Architecture Workshop （RAW）, vol. 4, no. 4, USA, 2005, p. 144a.

設計期間：1人月以上，2人月未満　**設計ツール**：Altera社 Maxplus2，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Synopsys社　Nanosim　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

低消費電力なUWB受信器と出力電圧高速可変な電源回路の評価チップ

東京大学大学院工学系研究科　　鬼塚 浩平，Tamtrakarn Atit，Canh Tran

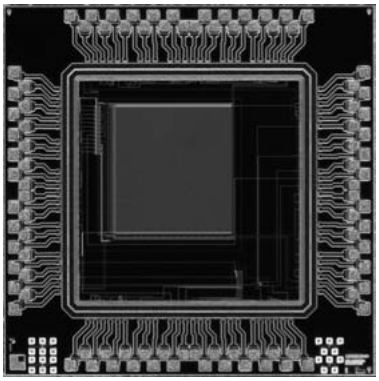


概要：ウルトラワイドバンドの1GHz以下のバンドを利用し，シングルしきい値受信器を設計した．増幅回路とコンパレータ回路のみの受信器を試作した．しきい値方式により，高コストのPLLなどなくし，低消費電力向きの回路となっている．また電源電圧をリアルタイムで変化させ回路を低消費電力化する手法であるVDDホッピングに向けた，出力電圧高速可変な電源回路を設計．VDDホッピングアクセラレータと呼ぶゲート幅の広いMOSFETによって電源回路出力を極短時間だけ電源電圧または接地電圧に短絡させ，出力電圧を高速に変化させる．リニアレギュレータに適用した回路において5ns以下での電圧変化を実測することに成功した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナデジ混載

SFQ/CMOSハイブリッドメモリシステムの試作

横浜国立大学工学部　　吉川 信行，徳田 勝利，高橋 好明



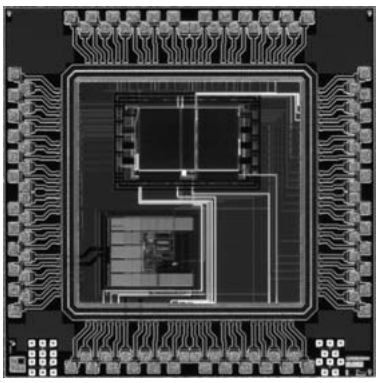
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドデジタルシステムの実現を目指している．本チップでは，SFQ/CMOSハイブリッドメモリシステムの試作を行った．本メモリシステムは4.2Kでの動作を仮定しており，メモリセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプとして，フォールデッドカスコード型差動増幅器を用いている．また，高感度の超伝導センス回路を用いることによりサブナノ秒のアクセスタイムが可能となる．このシステムのスペックは，容量が16kbit，動作周波数が800MHz，消費電力が60mWである．

参考文献：［1］ N. Yoshikawa, T. Tomida, M. Tokuda, Q. Liu, X. Meng, S. R. Whiteley, T. Van Duzer, “Characterization of 4 K CMOS devices and circuits for hybrid Josephson-CMOS systems”, IEEE Trans. Applied Superconductivity. vol. 15, June 2005, pp. 267-271.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：メモリ

高並列プロセッサ向けマルチバンク構成レジスタファイル

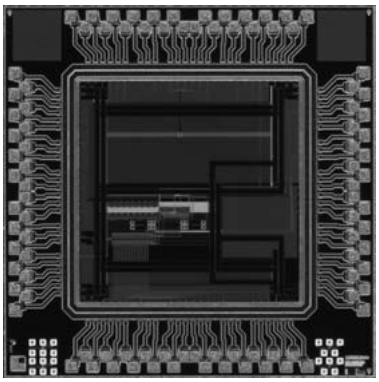
広島大学大学院先端物質科学研究科　　末吉 徹也, 碧山 賢一
広島大学ナノデバイス・システム研究センター　　マタウシュ ハンスユルゲン, 小出 哲士



概要：近年，プロセッサの性能向上を図るため，複数命令を同時並列実行する手法が用いられている．並列度の増加に伴い，レジスタファイルのポート数を増加させる必要があるが，従来の多ポートメモリ構造では，面積，遅延時間，消費電力が増大してしまうため，並列度の向上は困難である．本研究室では，この問題を解決するため，階層構造多ポートメモリアーキテクチャを用いたバンク構成レジスタファイルを提案している．今回の設計では，4バンク，ワード幅32ビット，128レジスタ構成の低消費電力の高並列プロセッサ向けバンク構成12ポートレジスタファイルを試作した．SRAMには読出し・書込み分離型2ポートメモリバンクを用い，LSIテスタとEBプローバによる測定で最大動作周波数430MHzを確認した．コア面積は，0.39mm2となった．また，比較により，マルチバンク構成レジスタファイルは従来型Nポート SRAMセル方式に比べ，95%の動作周波数向上，73%の面積削減が可能であると確認できた．
設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：メモリ

2段PLLを用いた超高精度時間測定回路

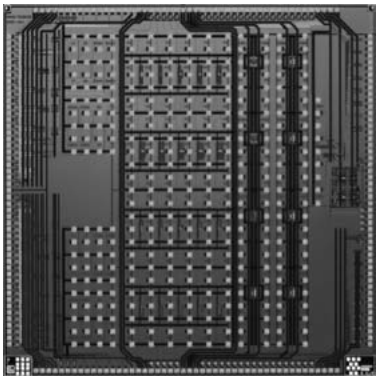
高エネルギー加速器研究機構素粒子原子核研究所　　新井 康夫



概要：加速器実験では時間精度数百ピコ秒の時間測定チップを数多く使用してきた．現在この技術をさらに発展させ，発振周波数のわずかに違うPLL回路を2段用い，数十ピコ秒の時間精度で多チャンネルの信号の到達時間を測定できるLSIを開発している．このようなチップは，加速器実験でよく用いられるTOF（Time Of Flight）検出器等で強く必要とされており，又多くの応用が見込まれる．今回の試作チップでは，16段の遅延素子からなるリングオシレターを持つPLL回路を2個搭載し，10MHzの基準クロックより，それぞれ160MHzと170MHzとで発振するように設定した．各リングオシレターの遅延素子の遅延時間差を利用し，24段のVernier Delay Lineを構成し，30ps程度の微小時間を検出する回路を搭載している［1］．
参考文献：［1］ Y. Arai, "A High-Resolution Time Digitizer Utilizing Dual PLL Circuits", Conference Record of the 2004 IEEE Nuclear Science Symposium, N18-3.
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，，Synopsys社 Apollo，Synopsys社 Astro，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

高速バスドライバ回路

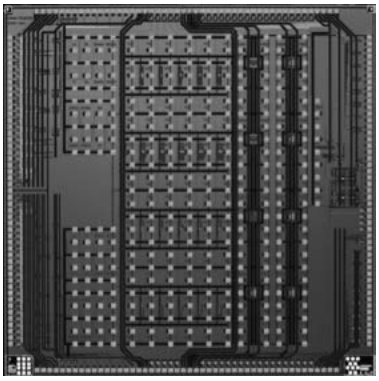
明星大学情報学部　　秋山 豊, 伊東 恭二, 宇佐美 保, 大塚 寛治



概要：多チャンネル高速信号システムとして開発した高速ドライバは，ドレイン電荷再利用効果とゲート電荷再利用効果を実証する為，レイアウトMOS配置を8種類搭載している．高速・高感度レシーバは比較的長距離の伝送線を伝播してきた歪の大きい高速受信波形を高速・高感度レシーバ回路にて受信し元の波形に復元する．高速レシーバはNMOS-PMOS正帰還負荷型高速コンパレータとNMOS- PMOS電流源負荷型アンプと非飽和PMOS負荷型アンプの3段構成としている．高感度レシーバはNMOS- PMOS正帰還負荷型高速コンパレータ3段と非飽和PMOS負荷型アンプの計4段構成とした．その他電源グランドペア配線構造，特殊トランジスタ回路を付加した．高速ドライバでは単純なRCフィルタを通したシステムとしてバックボード400mmの伝送レートで50ps台のRise timeを確認，また高速・高感度レシーバでは入力振幅100mV/10mvを復元でき高速レシーバは2.45GHz，高感度レシーバは1.2GHzを確認した．
参考文献：参考文献：秋山，大塚，伊東，伊藤，“電源供給の工夫によるバイパスキャパシタのない0.18μmノードCMOSI/Oインターフェースシステムの開発と6Gbps動作の確認” 第20回エレクトロニクス実装学術講演会“2006.3, pp39-40
設計期間：8人月以上，9人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別**：TEG（特性評価回路など）

高速バスドライバ回路

明星大学情報学部　　秋山 豊, 伊東 恭二, 宇佐美 保, 大塚 寛治



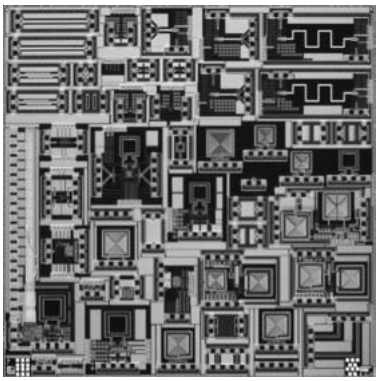
概要：多チャンネル高速信号システムとして開発した高速ドライバは，ドレイン電荷再利用効果とゲート電荷再利用効果を実証する為，レイアウトMOS配置を8種類搭載している．高速・高感度レシーバは比較的長距離の伝送線を伝播してきた歪の大きい高速受信波形を高速・高感度レシーバ回路にて受信し元の波形に復元する．高速レシーバはNMOS-PMOS正帰還負荷型高速コンパレータとNMOS- PMOS電流源負荷型アンプと非飽和PMOS負荷型アンプの3段構成としている．高感度レシーバはNMOS- PMOS正帰還負荷型高速コンパレータ3段と非飽和PMOS負荷型アンプの計4段構成とした．その他電源グランドペア配線構造，特殊トランジスタ回路を付加した．高速ドライバでは単純なRCフィルタを通したシステムとしてバックボード400mmの伝送レートで50ps台のRise timeを確認，また高速・高感度レシーバでは入力振幅100mV/10mvを復元でき高速レシーバは2.45GHz，高感度レシーバは1.2GHzを確認した．

参考文献：参考文献：秋山，大塚，伊東，伊藤，“電源供給の工夫によるバイパスキャパシタのない0.18μmノードCMOSI/Oインターフェースシステムの開発と6Gbps動作の確認” 第20回エレクトロニクス実装学術講演会“2006.3, pp39-40

設計期間：8人月以上，9人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別**：TEG（特性評価回路など）

オンチップ高速配線ならびにRF回路

東京工業大学統合研究院　　伊藤 浩之，吉原 義昭，菅原 弘雄，岡田 健一，益 一哉

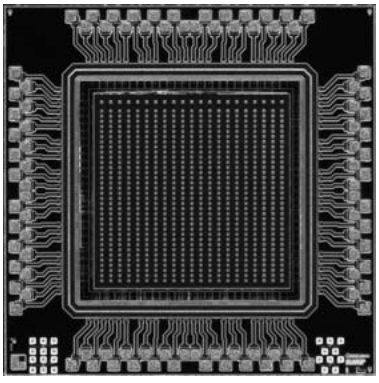


概要：伝送線路配線，広帯域PLL，広帯域LNAならびにミキサーを試作した．長距離配線の遅延を低減するための差動伝送線路配線を試作した．本試作ではカレントモードロジックを駆動・受信回路に，配線幅4umで差動インピーダンス100Ωのコプレナー線路を差動伝送線路に採用し，実測により4Gbpsの高速信号伝送を達成した．シミュレーションにおいて，PLLは2.4GHzから3.2GHzの帯域で動作可能である．PLLの要素回路である位相周波数比較器，チャージポンプ，ループフィルタ，分周期，VCOに関しても試作している．VCOに関しては，可変インダクタとスイッチトキャパシタを用いたもの，CML分周器を用いたものを試作している．広帯域LNAとミキサーは2004年7月に試作した回路の改良版である．今回の試作においてはマッチング用のインダクタの値を調整している．また，LNAやミキサーに用いるインダクタの広帯域化を目的とした可変アクティブインダクタに関しても本試作において検討している．可変インダクタは積分型とGyrator型を検討し，シミュレーションにおいてインダクタンスが数倍変化することを確認している．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別**：TEG（特性評価回路など）

ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部　　渡邊 実

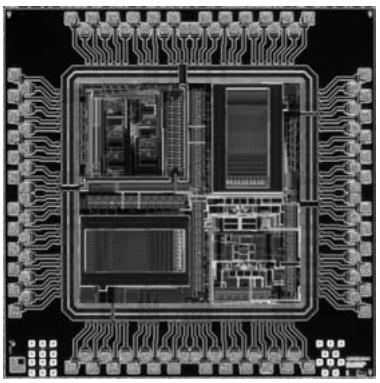


概要：光による高速な再構成が可能で，ダイナミック型の光再構成回路を有する光再構成型ゲートアレイDORGA（Dynamic Optically Reconfigurable Gate Array）VLSIを試作した．光再構成型ゲートアレイとは光メモリとゲートアレイVLSIとを組み合わせた新構造のデバイスのことで，コンテキストの記憶に光メモリを，光メモリとVLSI間に大容量の光バスを用いることで，大容量のコンテキストと高速な再構成とが両立できる．ここで，ダイナミック光再構成型ゲートアレイとは，フォトダイオードを受光素子としてだけでなく，メモリとしても使用する高密度タイプの光再構成型ゲートアレイVLSIのことである．この度の設計では，フォトダイオード受光部のサイズを2μm×2μm，その間隔を19.2μmとした．Island-Styleのゲートアレイ部には，30ゲートに相当する論理ブロックが36個，スイッチングマトリックスが50個，4ビットのI/Oビットを持つI/Oブロックが4個実装された．配線チャネル内の配線は8本である．この度試作したDORGAのゲート規模は1,080ゲートである．

設計期間：0.1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：その他

アナログ回路雑音応答特性評価チップ

神戸大学工学部　　野口 宏一朗, 佐藤 秀一, 永田 真



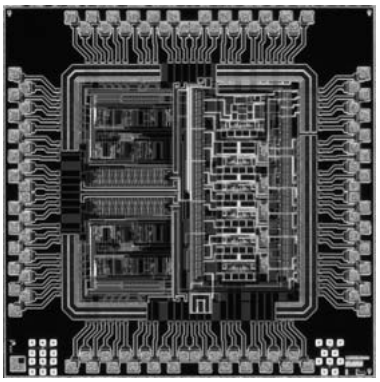
概要：本チップは，各種アナログ回路と複数のデジタルコアからなるミックストシグナルLSIで，デジタルクロックの遅延変動や，アナログ信号の性能劣化など，ミックストシグナルの動作診断がその目的である．本チップには動作診断のために，マルチチャネルのオンチップモニタマクロ［1］をオンチップしており，チップ内部の様々な場所の電位を実測可能な構成である．デジタルコアはスタンダードセルのDフリップフロップからなるシフトレジスタアレイで構成している．各種ミックストシグナルLSIの様々なデジタル回路動作を再現できる構造となっている．診断対象となるアナログ回路は，アンプやラッチコンパレータであり，基本的なアナログ回路の雑音応答特性の評価を目指している．現在，全てのオンチップ回路の基本動作確認/単体性能評価を済ませ，アナログ信号の自動測定環境を構築し，アナログ回路の雑音応答実測中である．

参考文献：［1］ 野口, 永田, "ミックストシグナルLSIのためのオンチップマルチチャネル信号モニタ", pp. 1-6, 電子情報通信学会技術報告 ICD2005-40 (2005)

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナデジ混載

AD変換回路の内部信号評価チップ

神戸大学工学部　　野口 宏一朗, 佐藤 秀一, 永田 真



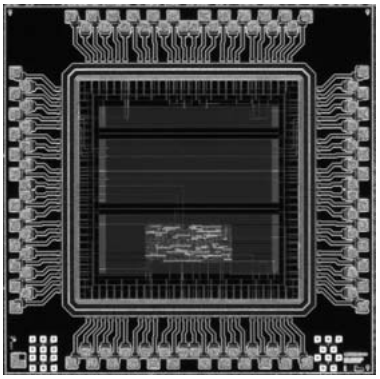
概要：本チップは，パイプライン型アナログデジタル変換回路（ADC）とマルチチャネルモニタマクロ［1］で構成している．モニタマクロはADCの内部信号を多点プローブしており，パイプラインADCのダイナミック動作の診断を目的としている．具体的なプローブ点は，サンプリング回路やADC変換ステージの入出力信号，コモンモード信号，アンプの入出力信号，電源・グラウンド電位，および周辺の基板電位などであり，パイプラインADCの詳細な動作波形を実測できる．また，単体の動作診断だけでなく，基板電位変動に対するADC動作への影響の実測も可能である．現在，ADCの基本動作の確認を行なっている．

参考文献：［1］ 野口, 永田, "ミックストシグナルLSIのためのオンチップマルチチャネル信号モニタ", pp. 1-6, 電子情報通信学会技術報告 ICD2005-40 (2005)

設計期間：1人月以上，2人月未満　**設計ツール**：SII社 SX9000，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナデジ混載

実験用マイクロプロセッサと回路特性評価TEGの設計

法政大学大学院工学研究科　　市来 史明, 竹田 圭佑, 塩川 哲司, 藤田 実



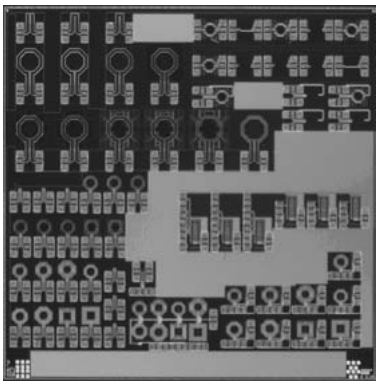
概要：本チップでは二つの部分に分けた設計をした．一つは8ビットの実験用マイクロプロセッサを設計して，基本的な機能評価を行うことを目的とした．上位4ビットを命令部として，算術演算，論理演算，ロード・ストア等の15種の命令セットを用意した．下位4ビットはアドレスとして使用した．他の部分は人手設計法の学習を行うのを目的とした．特性評価用のnMOSとpMOSのパターン設計や，インバータやD-FF等の基本回路の人手による配置設計などを行った．試作チップの評価では，マイクロプロセッサでは14個の命令の機能が正常に動作することが確認できた．また，動作電圧と動作周波数の関係も測定し，0.6V以上では100MHz以上で動作することが確認できた．デバイス関係ではnMOS, pMOSの特性評価結果とSPICEシミュレーション特性との比較が行えた．基本回路では動作電圧，動作周波数と消費電力との関係，待機時消費電力の測定等，LSIの基本特性の評価を行うことができ，実物のLSIを評価するという教育に役立てることが出来た．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：マイクロプロセッサ

平成17年度第1回日立 CMOS 0.18μm試作（HIT18051）

インダクタの性能向上，およびバラン，ＶＣＯに関する試作

東京大学新領域創成科学研究科　　藤島 実，山本 憲，石橋 浩二，小林 直樹
東京大学工学系研究科　　本良 瑞樹

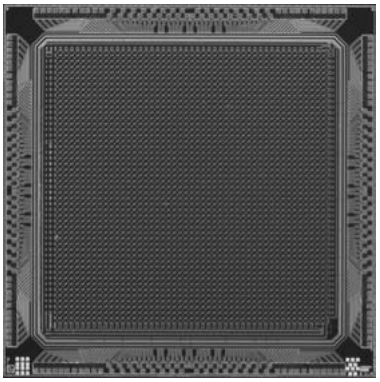


概要：ＲＦ回路におけるオンチップインタの性能を向上させる目的で，鎖交磁束を減少させずに基板損失を削減する新しい形状のシールドを挿入したインダクタＴＥＧを試作した．比較のために従来から用いられているシールドを挿入したインダクタＴＥＧも試作した．また，ＴＥＧの測定によるインダクタンスの評価に対して，ＶＣＯからインダクタンスの評価をすることで，より正確なインダクタンス評価を目的とする回路を試作した．他にも，オンチップインダクタの代わりにオンチップ伝送線路を用いることでミリ波帯での動作を実現しようとするＶＣＯや，チューニングレンジを大きくするための新しいトポロジを持つＶＣＯを試作した．また，4ポート回路の特性を2ポート回路のＴＥＧを組み合わせることによって測定することの検証のため，差動信号を出力する回路であるバランを試作した

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

デジタル時間領域演算論理を利用した多目的ビジョンチッププロセッサ

東京大学大学院新領域創成科学研究科　　伊藤 潔人



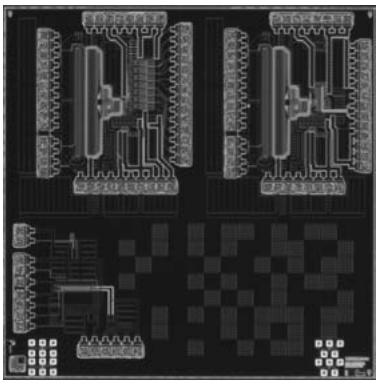
概要：フォトダイオードと演算回路を一つのピクセル内に集積するスマートビジョンチップは，ピクセル毎の初期画像処理を超並列で実行するため，動画像処理など実時間を想定したアプリケーションでは非常に有効なアーキテクチャである［1］．これまでのスマートビジョンチップは，低消費電力化や省面積化のためにアナログ回路を用いて実装されることが多かった．しかし，アナログ回路はデジタル回路に比べ，処理の汎用性に乏しいという問題がある．本試作では，新たに時間領域でデジタル演算を行うロジック回路を提案し，コンパクトながら多機能な演算回路とフォトダイオードを集積し，新たなスマートビジョンプロセッサを開発した．5.9mm角チップ上に48×48のピクセルユニットを実装し，電源電圧1.8V，動作周波数20MHzを想定して設計を行った．

参考文献：［1］ C. Koch and H. Li, VISION CHIPS: Implmenting Vision Algorithms with Analog VLSI Circuits. Los Alamitos, CA: IEEE Computer Society Press, 1995.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre，Avanti社　Star-HSPICE　**トランジスタ数**：100,000以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別**：イメージセンサ/スマートセンサ

Ｓｅｒｉａｌ　ＡＴＡの送受信部，ＦＬＡＳＨ　ＡＤコンバータ

早稲田大学理工学部　　横山 晋，野沢 舞，村上 友規，松本 隆，佐々木 昌浩



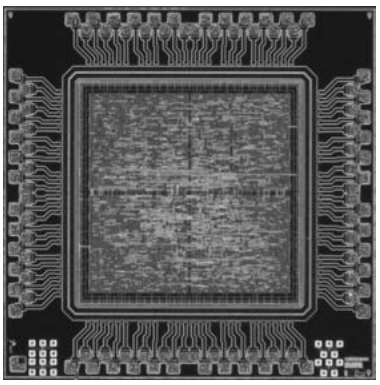
概要：本チップでは，3.0Gbpsのシリアルａｔａの送受信部と，そこで使用するための6ＧＨｚを出力するＶＣＯ及びそれを分周してきれいな3ＧＨｚの出力を得るためＤＩＶＩＤＥＲを設計した．また，近年A/D converterは，高速化・高精度化・低電圧化・小型化が求められている．その傾向に伴い，様々なノイズやデバイスのミスマッチが発生し，Flash A/D converterにおいて，Comparator Arrayの出力であるThermometer Codeにエラーを含んだ状態で出力されてしまう．通常，エンコーダでエラーを訂正しなければいけないが，logic回路を組み合わせてエラーを訂正する回路では，高速化に対応できないため，高速なものでは，ROM形式のエンコーダが用いられている．本CHIPでは，twin ROM encoderにおいて，スイッチに全てNMOSを用いることによって，小型化・高速化を実現し，電源電圧1.8V，0.18um CMOSプロセスにおいて，6bit 2Gopsで動作するEncoderを設計し，これを用いて，6-bit 2Gsps Flash A/D converterを実現した．

参考文献：Peter C. S. Scholtens, Maarten Vertregt, “A 6-b 1.6-Gsample/s Flash ADC in 0.18-um CMOS Using Averaging Termination,” IEEE J. Solid-State Circuits, vol. 37, pp. 1599-1609（2002）

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：通信（RF回路，ATMなど）

ウィンドウサイズ可変アルゴリズムを用いたステレオビジョンVLSI

東北大学大学院情報科学研究科　　横山 直人, 張山 昌論, 亀山 充隆
小山工業高等専門学校技術室　　小林 康浩

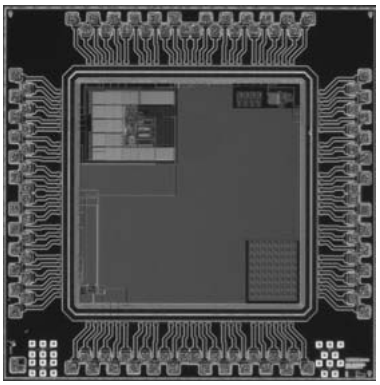


概要：ウィンドウサイズ可変アルゴリズムでは複数のウィンドウサイズを用いて複数回対応点探索を行うため，ウィンドウサイズに依存せず高い演算器稼働率を保つことが重要となる．ウィンドウ並列・ピクセル並列のスケジューリングを行い，データ転送の局所化を図ることで配線を削減している．本チップの仕様は入力画像32×32，階調4bit，最大ウィンドウサイズ32×32である．本アーキテクチャは高い拡張性を有しており，複数チップを用いることにより画像サイズ等を容易に拡張可能できる．最大ウィンドウサイズを32×32，入力画像サイズを512×512，階調を8bitとした場合，80MHzのクロックを用いて，約10msecで処理が可能である．設計記述はVerilog-HDLで行い，京都大学のスタンダードセルライブラリを使用した．なお，本試作チップの動作検証・性能評価については現在進行中である．

設計期間：2人月以上，3人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

しきい論理に基づく低電力多値リコンフィギャラブルＶＬＳＩ

東北大学大学院情報科学研究科　　ハアク モハマッド　ムニルル, 亀山 充隆



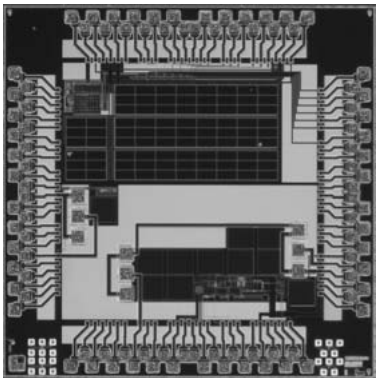
概要：VLSI配線の複雑性に起因する性能ボトルネック，電力増大の問題を解決するために，ハードウェアリソースをを徹底活用した超並列多値リコンフィギャラブルＶＬＳＩの基本セルの設計・試作を行った．プログラムカウンタレス，ビットシリアル細粒度パイプラインアーキテクチャを実現する回路技術としてのソースカップルドロジック多値集積回路の高性能化を検討した．さらに，ソースカップルドロジックの基本構成要素の1つであるコンパレータのリコンフィギャラビリティに着目し，セルの消費電力を削減すると共に遅延時間を減少させることができた．HSPICEによるシミュレーションでは，従来の回路構成と比較して，遅延が1/2，消費電力が最大1/3程度の高性能化を達成できる見通しを得た．

参考文献：Haque Mohammad Munirul, Tomoaki Hasegawa and Michitaka Kameyama, "Implementation and Evaluation of a Fine-Grain Multiple-Valued Field Programmable VLSI Based on Source-Coupled Logic", Proc. of the 35th IEEE International Symposium on Multiple-Valued Logic, pp. 120-125, (2005).

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

電流センサおよびUWB用広帯域低雑音増幅器

東京大学国際・産学共同研究センター　　石田 光一, タマタカーン アティット
桜井 貴康, , , , ,

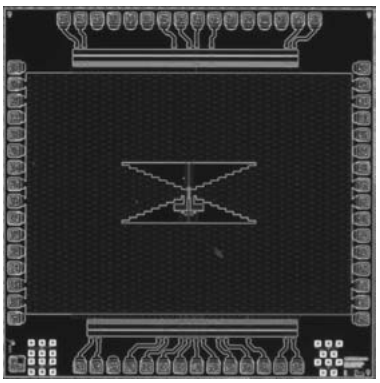


概要：チップ上の消費電力を動的にモニターするためのセンサアレイとアナログディジタル変換器および，ウルトラワイドバンド用の広帯域幅低雑音増幅器を設計した．センサアレイはMOSトランジスタを応用したもので，性能の比較を行うため，長さ幅の異なる7種類の形状のセンサを設計した．アナログディジタル変換器はセンサ出力のオフセットをキャンセルしたうえで，4ビット相当のディジタル信号で出力することを目標仕様としたシグマデルタ変調方式の回路を実装した．ウルトラワイドバンド用の広帯域幅低雑音増幅器は，1GHz以下のバンド用のトランシーバに用いる，新たな広帯域幅低雑音増幅器を設計した．ゲート接地により80MHzから1GHzまでの広帯域のマッチングを実現し，10ｄＢ以上の広帯域利得をソース接地により得ることを測定により回路の動作を実証した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

チップスケールアンテナによるCMOS準ミリ波帯フロントエンドの研究

広島大学先端物質科学研究科　　向井 徹, 佐々木 守

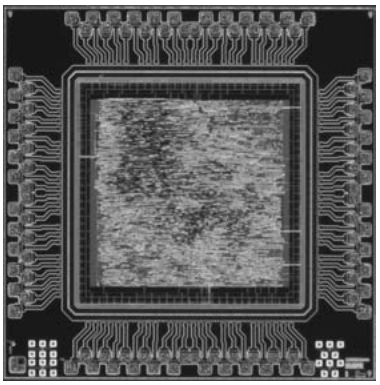


概要：近年のテクノロジ微細化ともなってCMOS動作速度は向上し，より高い周波数帯のRF回路への応用が期待されている．本チップでは従来より進めてきたチップと同寸法のパッチアンテナをチップ上に積層する準ミリ波帯近距離無線データ通信フロントエンド回路の改良である．本チップには積層パッチアンテナの地板部分とそれを共振器とする放射型発振回路が集積されている．データ変復調は従来と同じくOOK（On/Off Keying）変調および超再生方式を用いているが，発振制御を行うための放射型発振回路の再設計を行っている．発振回路を単純化し，さらにレイアウトの見直すことにより，配線寄生成分の低減を図るとともに，より大きな発振余裕を確保した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：通信（RF回路，ATMなど）

ハードウェア暗号組込み型マルチメディアモバイルプロセッサ

弘前大学理工学部　　深瀬 政秋, 赤岡 亮
弘前大学総合情報処理センター　　佐藤 友暁

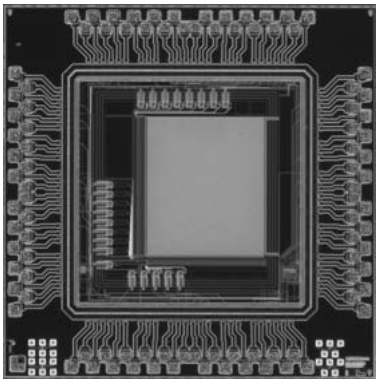


概要：ユビキタス社会では至るところでネットワークが形成されている分，危険も大きい．確かに利便性や機能性は増すが，多様的に広がったデバイスは予想外の攻撃が一度起きたときの脆弱性は大きい．暗号プロセスを組込み，さらに安全性を考慮した1チップのVLSIプロセッサの開発というものは好都合であるといえる．その為，multi-coreの実装とLIW（Long Instruction Word）をハードウェアレベルでの実現することで最大4並列実行を可能とし，高速化・省電力の為にWave-pipeline方式を採用，さらにハードウェアによる大容量マルチメディアデータを対象とした暗号化技術を組み込んだハードウェア暗号組込み型マルチメディアモバイルプロセッサの設計を行った．

設計期間：10人月以上　**設計ツール**：Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：マイクロプロセッサ

SFQ/CMOSハイブリッドメモリシステムの試作

横浜国立大学工学部　　吉川 信行, 徳田 勝利, 高橋 好明



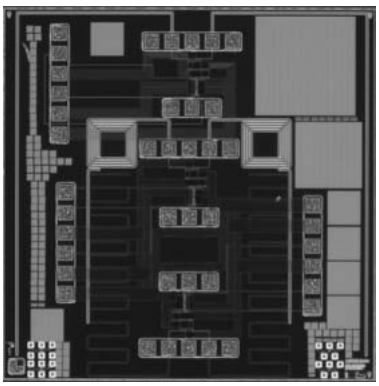
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドデジタルシステムの実現を目指している．本チップでは，SFQ/CMOSハイブリッドメモリシステムの試作を行った．本メモリシステムは4.2Kでの動作を仮定しており，メモリセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプとして，フォールデッドカスコード型差動増幅器を用いている．また，高感度の超伝導センス回路を用いることによりサブナノ秒のアクセスタイムが可能となる．このシステムのスペックは，容量が64kbit，動作周波数が800MHz，消費電力が60mWである．システムサイズは，1.4×1.5mm2となった．

参考文献：［1］ N. Yoshikawa, T. Tomida, M. Tokuda, Q. Liu, X. Meng, S. R. Whiteley, T. Van Duzer, “Characterization of 4 K CMOS devices and circuits for hybrid Josephson-CMOS systems”, IEEE Trans. Applied Superconductivity. vol. 15, June 2005, pp. 267–271.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100,000以上　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：メモリ

オンチップ・アンテナ一体型 UWB パルス生成器

慶應義塾大学理工学部　　**原田 典浩, Kulkarni Vishal, Muqsith Muhammad**



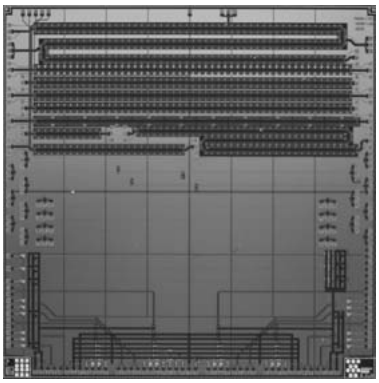
概要：本チップは，オンチップ・アンテナとそれに信号を入力するための発振器を搭載している．我々は高速かつ低コストの UWB 無線通信のために 6〜10GHz の帯域を利用する．当チップに搭載されているアンテナと発振器はいずれもこの帯域で動作するように設計されているが，その動作を確かめるために測定を行う．構成は，3 段の CML（Current Mode Logic）型リングオシレータ，アンテナと接続されるバッファ，3 種のダイポール型オンチップ・アンテナから成る．CML リングオシレータは高速に動作するため，6〜10GHz という高周波帯域で発振させるために採用した．アンテナはエレメントを折り曲げる事で，2.8mm 角のチップに搭載することが可能になった．

参考文献：Behzad Razavi, "RF Microelectonics"

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC，Mentor 社 Calibre　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

アクティブ線路集積回路

明星大学情報学部　　**秋山 豊, 宇佐美 保, 大塚 寛治**
明星大学理工学部　　**水野 文夫, 鷹野 致和**

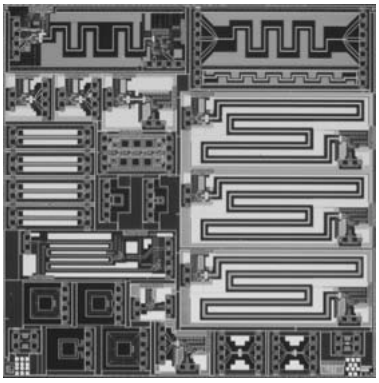


概要：ETHERNET 回線専用のドライバ・レシーバとして前回の多ビットバスでの評価結果を踏まえその中で最も効果的なドライバ，レシーバ構造を決定し，その後提案された高速伝送線実現の為の新規アイデアを盛り込み設計を行った．アクティブ線路集積回路は非線形素子を含む伝送線で，CMOS トランジスタのゲート容量を使用する．バラクタ容量，バイアス条件および，線路長，分割ピッチの比較を行えるような構成とした．バラクタ容量は信号レベルによって容量値が変化し，信号レベルが低い時には容量が小さいため伝搬速度が速く，即ち遅延が小さい．逆に信号レベルが高い時は遅延が大きくなる．この効果によりエッジの傾きを急峻に改善できる．その他クロストーク評価用伝送線パターンと方向性結合方式，超指向性アンテナ結合方式に専用ドライバ，レシーバを付加させたチップ内伝送線システムを開発した．評価用冶具の製作が完了し，これから評価測定を実施する段階である．アクティブ線路集積回路はシミュレーション結果で良好な特性結果を得ているので実測で素晴らしい結果の得られることを期待している．

設計期間：10 人月以上　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC，Mentor 社 Calibre　**トランジスタ数**：100,000 以上　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：TEG（特性評価回路など）

高速信号伝送線路評価用回路，線路，および動的再構成可能 RF 回路技術向け要素回路，受動素子

東京工業大学統合研究院　　**伊藤 浩之, 杉田 英之, 清田 淳紀, 山内 拓弥, 伊藤 猛, 岡田 健一, 益 一哉**

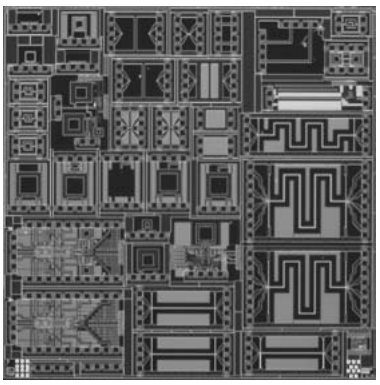


概要：現在の LSI において長距離配線の遅延が問題となっている．遅延と消費電力を低減する手法として，長距離配線に差動伝送線路を用いる手法が提案されている．本試作では 1 対の差動伝送線路に駆動回路，受信回路を接続し，8Gbps の信号を 1cm 伝送させることを目的としている．また，擬差動伝送線路単体の評価，及び線路に駆動回路，受信回路を接続した 1 対 1 伝送用回路の評価用 TEG も試作した．1 チップで 400MHz〜6GHz までの通信周波数帯を網羅する回路の実現を目指す．本試作では要素技術であるオンチップ可変インダクタと広帯域増幅器として用いられる分布定数増幅器の試作を行った．可変率を上昇させるために側方シールドを設けたシンメトリックインダクタの評価を目的としている．側方シールド用いたインダクタは側方シールドを用いないインダクタに対して，最大約 10%高い可変率を持つ．分布定数増幅器は 10GHz の帯域で 10dB 以上の利得を得ることができる．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC，Mentor 社 Calibre　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：TEG（特性評価回路など）

動的再構成可能 RF 回路向け要素回路，受動素子および高速信号伝送線路評価用線路

東京工業大学統合研究院　伊藤 雄作，川添 大輔，木村 実人，菅原 弘雄，岡田 健一，益 一哉

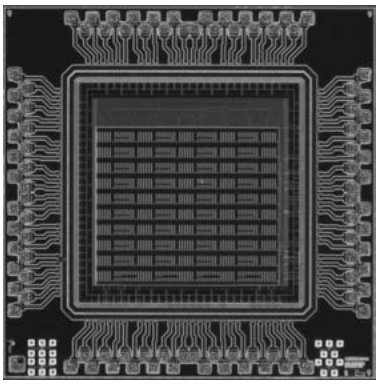


概要：動的再構成可能 RF 回路技術を無線通信回路の RF フロントエンド部に用いることによって，1 チップで 400MHz〜6GHz までの通信周波数帯を網羅し，かつ製造時の素子ばらつきや動作温度の変化などによる回路性能の変化を自動的に補償する回路の実現を目指す．本試作では，要素回路である可変インダクタとスイッチドキャパシタを用いた広帯域 VCO，分周器とミキサーを用いた VCO 広帯域化回路，バイアス電圧可変による自己補償 LNA，インダクタ単体検証用 TEG を搭載している．VCO 広帯域化回路に関しては，シミュレーションでは 6GHz まで動作するが，実測では MOSFET の動作限界から 4.6GHz 以上で動作は確認できなかった．また本試作には高速信号伝線線路評価用線路も載っている．本試作の狙いは，伝線線路を用いることによって低消費電力で高速な信号伝送を可能にしようというものである．試作したゼロクロストークバス線路は測定結果より，高密度ながら低クロストークであることが実証された．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC，Mentor 社 Calibre　**トランジスタ数**：10 以上，100 未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm 角　**チップ種別**：通信（RF 回路，ATM など）

ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部　渡邊 実

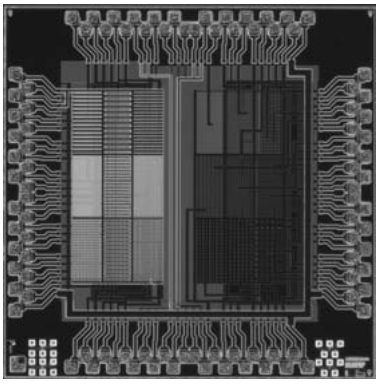


概要：光による高速な再構成が可能で，ゼロオーバーヘッド・ダイナミック型の光再構成回路を有する光再構成型ゲートアレイ（ZO-DORGA：Zero-Overhead Dynamic Optically Reconfigurable Gate Array）VLSI を試作した．光再構成型ゲートアレイとは光メモリとゲートアレイ VLSI とを組み合わせた新構造のデバイスのことで，コンテキストの記憶に光メモリを，光メモリと VLSI 間に大容量の光バスを用いることで，大容量のコンテキストと高速な再構成とが両立できる．ここで，ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイとは，フォトダイオードの接合容量やゲートアレイを構成するゲートの負荷容量をメモリとして使用し，光再構成処理とゲートアレイ上の演算とを並列に行える光再構成型ゲートアレイ VLSI のことである．この度の設計では，フォトダイオード受光部のサイズを 2μm×2μm，その間隔を 19.2μm とした．Island-Style のゲートアレイ部には，30 ゲートに相当する論理ブロックが 36 個，スイッチングマトリックスが 50 個，4 ビットの I/O ビットを持つ I/O ブロックが 4 個実装された．配線チャネル内の配線は 8 本である．この度試作した ZO-DORGA のゲート規模は 1,080 ゲートである．

設計期間：0.1 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 Apollo，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm 角　**チップ種別**：その他

抵抗測定 TEG

神戸大学工学部　松本 哲郎，小坂 大輔，永田 真

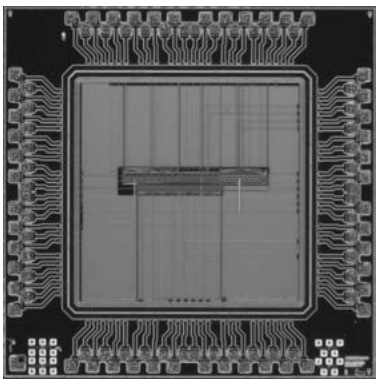


概要：本テストチップには，基板，N ウェル，トリプルウェル，およびトリプルウェル内に配置した P ウェルの DC 抵抗を四端子法により測定するテストパターンが搭載されている．また配線のシート抵抗を求めるために 1〜5 層の各配線をスタック状および格子状に接続したパターンも搭載している．本テストチップは，配線や基板の基礎的な抵抗値を評価するものであり，測定データは等価回路モデリングにおけるパラメータ設定に用いる．また，長さや面積などのサイズ依存性に加えて，レイアウトパターン形状の依存性も評価できる構成としており，F 行列演算法による基板等価回路モデルの精度評価も目的としている．本レポート執筆時点では，評価用 DUT ボードの設計を終えた段階であり，また実験環境を構築中である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：10 未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm 角　**チップ種別**：TEG（特性評価回路など）

多値差動対回路に基づくデータパス

東北大学電気通信研究所　　北村 健, 望月 明, 羽生 貴弘

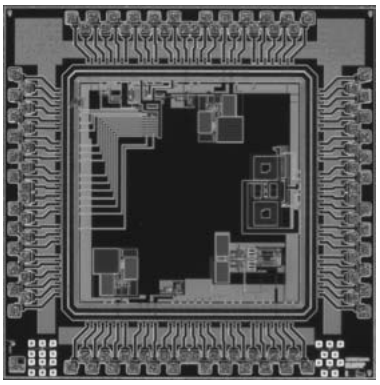


概要：コンピュータの性能はチップの性能をムーアの法則に従いトランジスタの微細化させることで，速度を向上，チップ面積の縮小，消費電力を削減し性能を向上させてきた．しかし微細化が進むにつれて，チップの速度を向上させつつ消費電力や発熱を抑えるのが厳しくなっているという大きな問題がある．　そこで，本研究グループでは，低電源電圧で高速スイッチング可能な回路技術の1つとして，差動対回路を基本ブロックとした電流モード多値回路技術を考察し，高速・低消費電力かつコンパクトなVLSIを提案し実現してきた．今回の試作では多値回路技術の大規模汎用システムへの応用として16ビットのマイクロプロセッサのデータパスを試作し，その動作確認を行うことが目的である．データパスはパイプラインレジスタを構成するフリップフロップ，レジスタファイルと演算器を構成する加算器，論理演算器とシフタにからなる．チップは現在測定中である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LPE，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：ニューテクノロジ

2.4 GHz帯無線通信システム用回路ブロックの試作

東京工業大学理工学研究科　　藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン

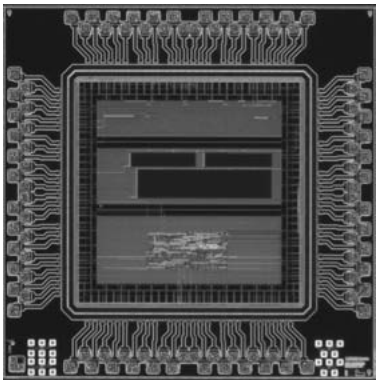


概要：2.4 GHz帯無線通信システムの受信部および1.5 bitのパイプラインADCの試作を行った．2.4 GHz帯無線通信システムの受信部は，低雑音増幅器，乗算器，Phase Locked Loop（PLL）で構成されており，電源電圧は2Vである．小面積化のため，いずれの回路においてもインダクタを使用していないことが特徴である．低雑音増幅器はインピーダンス整合および雑音整合を最適化し，6.43 dBの電圧利得を得た．乗算器も同様にインダクタを使用せず，ダブルバランス型乗算器を使用した．PLLの分周器はパルススワロー構成とし，分周比を変化させることが可能である．低雑音増幅器，乗算器，PLLの占有面積はそれぞれ0.12，0.016，0.075平方ミリメートルであった．このとき，総消費電力は60 mWであった．さらに，パイプライン型アナログ-ディジタル変換回路用の1.5 bitアナログ-ディジタル変換回路の試作を行った．電源電圧が±1.25 V，基準電位が±0.4 V，変換周波数が5 MHz，信号振幅が1 Vのとき1.5 bitの出力を確認した．総消費電流は約4mAであった．

設計期間：10人月以上　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

各種回路TEGの設計と実験用マイクロプロセッサの機能追加

法政大学大学院工学研究科　　倉田 泰治, 小笹 博之, 前島 聡, 三宅 宏明, 清水 元啓, 田村 和義, 中井 祐介, 藤田 実

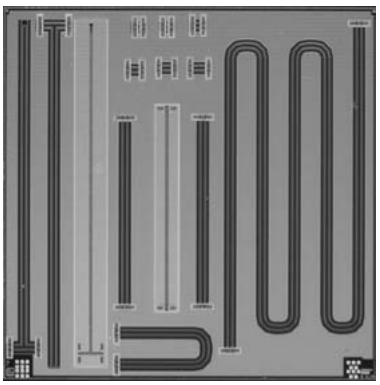


概要：デバイス及び回路の設計を行うとともに，昨年度設計のマイクロプロセッサの機能追加の設計をした．回路ではインバータ及び2NANDゲートによる33段と55段のリングオッシレータを構成し，低い周波数でのモニタを可能にするた1/4分周器の追加をマルチプレクサで選択できる構成にした．更に，LSIの配線遅延を評価するため，配線長5mm，10mm，配線なしの3つをリングオッシレータの段間に組み込んだ．デバイスではチャネル長8μmのMOSを追加した．マイクロプロセッサではオーバーフロー判定と補数計算機能を追加した．さらに，フィラーセル・パターンの設計改善を行い，パターン占有率を上げることで，設計上の問題解決を図った．試作チップの評価ではリングオッシレータの動作確認は済み，今後，寄生容量の抽出によるシミュレーションとの比較に取り組む．マイクロプロセッサでは動作確認が済み，動作範囲等の詳細評価を今後行う．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：TEG（特性評価回路など）

5.2GHz用のＲＦフィルタ

慶應義塾大学理工学部　　三浦 直樹，沢井 茂，眞田 幸俊

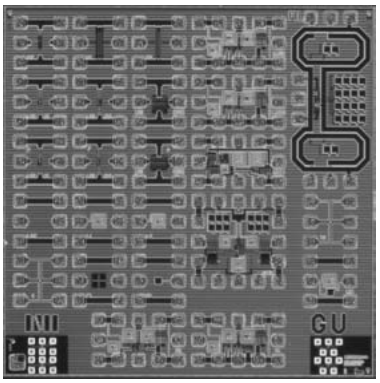


概要：ＭＭＩＣとＭＥＭＳスイッチを利用した無線用のリコンフィギュラブルＲＦフィルタの研究をしている．シリコン基板上でのＭＭＩＣを前提としているため，今回の試作では5.2ＧＨｚ帯における1/2λ共振器を利用したＲＦフィルタ，及び，その構成要素であるコプレーナ線路による信号線，信号線の折りたたみ部分，電磁界結合部分のテストチップを試作した．ＭＭＩＣの誘電体として，シリコン酸化膜を想定しており，5層の金属配線の中で最上配線を配線パターンとし，最下層部分をシリコン基板との分離用に設計し，その効果を評価した．また，実効誘電率を測定するために，1/4λ共振器を利用したバンドエリミネーションフィルタも試作している．

設計期間：0.1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10未満　**試作ラン**：日立製作所 CMOS 0.18μm 5.9mm角　**チップ種別**：マイクロプロセッサ

高周波アナログ特性モデリング用素子TEG

群馬大学大学院工学研究科　　石原 昇

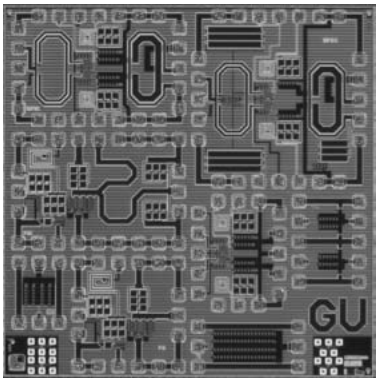


概要：CMOSプロセス技術の微細化によりMOSトランジスタの高周波特性が飛躍的に向上し，高周波の無線回路では従来のバイポーラデバイスや化合物系デバイスからCMOSデバイスへの移行が急速に進展している．しかし，高性能な高周波アナログ集積回路を設計し実現するには，高精度のシミュレーションモデルが必要となる．本試作では，高周波アナログCMOS回路設計用のデータベースの構築を狙い，（1）CMOSトランジスタ，（2）スパイラルインダクタ，（3）MIM容量，（4）結合線路や（5）基本増幅回路および（6）キャリブレーション用パタンなどの基本素子TEGの作製を行った．各素子の特性は，高周波プローブにより評価し，特性のモデリングを行い，データベース化することにより高周波アナログCMOS集積回路の設計環境を拡充する．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：通信（RF回路，ATMなど）

高周波パワーアンプ用基本回路TEG

群馬大学大学院工学研究科　　石原 昇

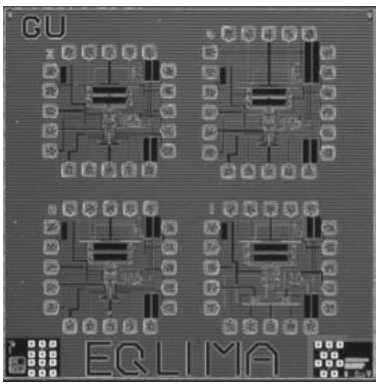


概要：携帯無線端末に搭載されている無線送受信回路（トランシーバ）では，さらなる高機能化，小型化，低コスト化を狙いとして標準CMOS回路による1チップ集積化が期待されている．しかし，無線信号の送出を司るパワーアンプは，大電力，高効率の動作が必要となることから，高耐圧，低損失の化合物デバイスやLD-MOSなどの特殊なプロセスにより実現されている．本試作では，標準CMOSプロセス技術で実現されているディジタル信号処理部と高周波パワーアンプの1チップ集積化の可能性を探るため，大電流用CMOSトランジスタTEG，パワーアンプ用入出力整合回路，およびパワーアンプ基本回路などの基本評価TEGを作製した．これらのTEGを評価することにより，標準CMOSプロセス技術による低電圧動作での最大出力電力や電力効率などのパワーアンプ性能の制限要因を定量的に把握し，標準CMOS技術によるパワーアンプ回路の実現性を明らかにする．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：通信（RF回路，ATMなど）

多段リミッタアンプ構成による高速イコライザ回路TEG

群馬大学大学院工学研究科　　石原 昇，阿久津 正彦，弓仲 康史

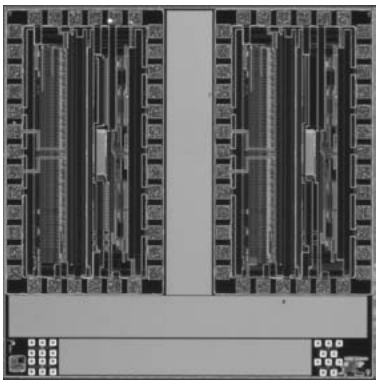


概要：LSIの高速化に伴い，短距離のLAN接続やシステム内のLSIチップ間，ボード回路間の接続においても高速動作が必要となって来ている．しかし，接続線路の伝送量は高周波領域で大きく減衰することから，高速化に伴い接続可能な伝送距離は短くなってしまう．このため，高速システムを実現するには，接続線路の帯域を補償する回路技術の実現が大きな課題の1つとなっている．そこで我々は，この接続線路の高周波特性を補償し，高速，長距離伝送を可能とする，無調整，広ダイナミックレンジ動作のイコライザ回路の構成法，設計法の検討を行った．その結果，多段リミッタアンプ構成によるイコライザ回路が有効である見通しを得た．本試作では，回路の基本検討結果をベースに1.25Gb/sで動作するイコライザ回路TEGを4水準設計し作製した．これらのTEGを評価することにより，提案回路設計技術の有効性を確認する．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：通信（RF回路，ATMなど）

GHzサンプリングフラッシュ型AD変換器

鹿児島大学理工学研究科　　上村 勇仁，永吉 芳行
鹿児島大学工学部　　矢山 浩輔，呉 慶，大畠 賢一，山下 喜市



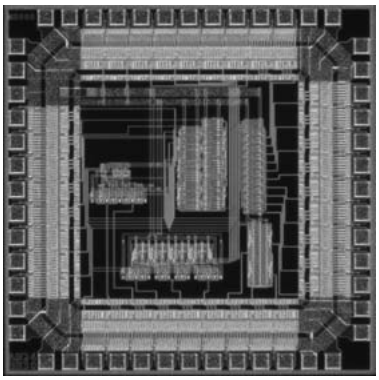
概要：高速HDD，DVD，ギガビットイーサネットなどへの応用を目的に，GHzサンプリングAD変換器の高速化，低消費電力化に取り組んでいる．GHzサンプリングAD変換器においては，チップ内で発生するノイズ及び製造ばらつきによる性能低下が大きな課題となっている．これらの課題に対し，コンパレータのキックバックノイズキャンセラ，ダミー回路を用いた参照電位発生回路を有するエンコーダなどの回路技術を開発した．これらの回路技術を用いて，0.18 um CMOS製造技術で6 bitフラッシュ型AD変換器を設計，試作した．試作チップの性能は現在評価中であるが，これまでに3.3 GS/s動作時にSNR=29.3 dBを得ている．

設計期間：10人月以上　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：日立製作所 CMOS 0.18μm 2.9mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

平成16年度第2回オンセミコンダクター CMOS 1.2μm試作（MOT042）

10進ディジタル回路およびニューロンMOS回路の設計試作

静岡理工科大学電気電子情報工学科　　波多野 裕
静岡理工科大学電子工学科　　磯部 圭吾
小林 潤士，里中 勝己，水口 隆太郎，村松 一矢，山本 毅，



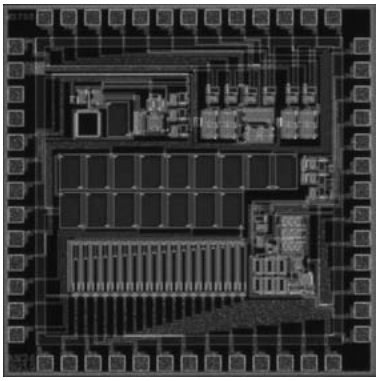
概要：平成16年度第1回試作チップ群の実測結果を踏まえて，10進ディジタル回路，ニューロンMOSディジタル回路，CMOSシフトレジスタなどを設計した．10進加算回路とBCD－10進デコーダ回路は独自のゲートアレイ方式で設計した．リセット端子付きおよび2電源方式を含むニューロンMOSコンパレータやニューロンMOS加算回路を設計した．さらに第1回試作チップに搭載できなかった回路とNMOS，PMOSを設計した．6月29日に入荷した試作チップを直ちに測定して，一部を除いて，設計した各回路群の機能動作を実測により確認することができた．設計期間の関係で，各回路のチップ配置後ERCを省略したため発生した誤配線による未測定信号は17年度第2回試作において再試作して確認する．

参考文献：［1］波多野，山本，磯部，小林，里中，水口，村松，”高信頼順序回路，10進ディジタル回路，及びディジタル要素回路の設計”，pp．58－59，2005年VDEC年報（2005）．

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：演算回路（乗算器，除算器など）

MOS型定電流回路の設計・試作（5）

岡山県立大学大学院情報系工学研究科　　日笠 猛，大曽根 隆志，森下 賢幸，小椋 清孝

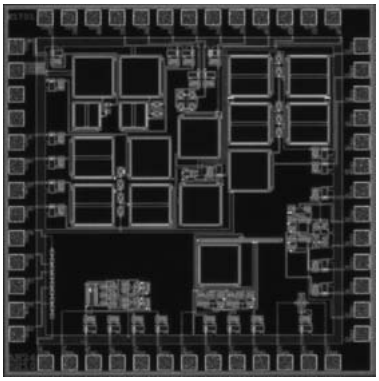


概要：アナログ・ディジタル回路の混在したCMOSLSI技術の向上に伴い，アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した電源回路が極めて重要となる．それは安定な定電流回路が電源電圧と周囲温度に対して安定に動作するアナログ回路の実現のために不可欠だからである．特に低バイアス電流の発生回路には高抵抗が用いられるが，チップの占有面積の増大のため，製造コストが上昇してしまう．これらの事から，本設計では高抵抗を用いずに安定な低バイアス電流を発生する電流源の設計および検討を行った．今回の設計における当初の仕様は，所定の電源電圧および温度で基準値からの変動が±1%以内の定電流を得ることを目標としている．本チップは前年度設計を行った「MOS型定電流回路の設計・試作（4）」の温度依存電圧を最適化したものであり，－60℃～＋100℃の温度範囲で±0.5%以下の定電流特性を確認できた．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：TEG（特性評価回路など）

MOS型整流回路・直流電圧増幅回路の設計・試作（2）

岡山県立大学大学院情報系工学研究科　　日笠 猛，大曽根 隆志，森下 賢幸，小椋 清孝

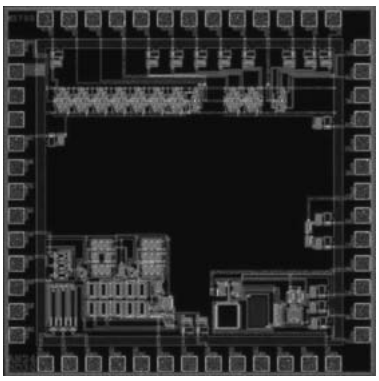


概要：無線通信において，チップ外部のアンテナで受信した電波からアナログ回路の駆動に必要な直流電源電圧を得るためには，整流回路が不可欠となる．さらに整流回路の出力電圧が低いため，電圧増幅回路を接続する必要がある．これらの事から，本設計では無線電波から直流電圧を得るための整流回路と直流電圧増幅回路の設計および検討を行った．本チップは，整流回路としてMOS型およびダイオード型全波整流回路・倍電圧整流回路，昇圧回路としてディクソン型チャージポンプ方式DC－DCコンバータ・トーテムポール型チャージポンプ回路およびリセット回路，変調回路から構成されている．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：TEG（特性評価回路など）

MOS型整流回路・直流電圧増幅回路の設計・試作（3）

岡山県立大学大学院情報系工学研究科　　日笠 猛, 大曽根 隆志, 森下 賢幸, 小椋 清孝

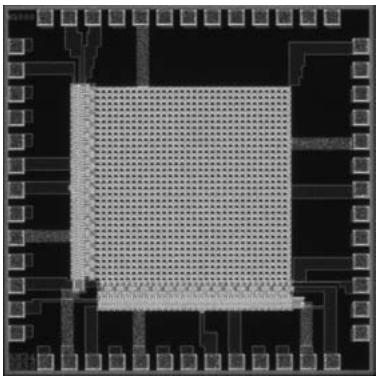


概要：無線通信において, チップ外部のアンテナで受信した電波からアナログ回路の駆動に必要な直流電源電圧を得るためには, 整流回路が不可欠となる. さらに整流回路の出力電圧が低いため, 電圧増幅回路を接続する必要がある. これらの事から, 本設計では無線電波から直流電圧を得るための整流回路と直流電圧増幅回路の設計および検討を行った. 本チップは, クロックパルス発生回路を中心に試作したものであり, さらに, ICチップ上の温度をオンチップで検知し, ICの安定動作を行うための温度センサ回路から構成される.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：TEG（特性評価回路など）

広ダイナミックレンジイメージセンサアレイ

広島市立大学大学院情報科学研究科　　浜崎 淳, 小澤 亮, 助田 有教, 堀居 賢樹

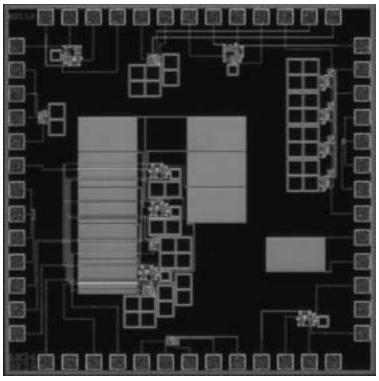


概要：近年，映像情報機器のキーデバイスとして注目されるイメージセンサにおいて，幅広い状況下での被写体の撮像に対応するため，ダイナミックレンジの拡大が強く求められている．本チップでは，様々なシステムで用いることのできる広ダイナミックレンジアクティブピクセルセンサを用いた64×64画素のイメージンサを試作した．このイメージセンサは広範な環境で利用可能なセンサの実現を目指しており，チップに供給するバイアス電圧制御で入射光に応じて応答特性を切り替えることができ，ダイナミックレンジの拡大を実現する．さらに1画素あたりのトランジスタ数は3個であり，小型化，高集積化が見込める．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：イメージセンサ/スマートセンサ

パルス形ハードウェア興奮抑制ニューロン対モデルの試作

日本大学大学院理工学研究科電子工学専攻　　小野 克幸, 秦 恵子
日本大学理工学部電子情報工学科　　佐伯 勝敏, 関根 好文

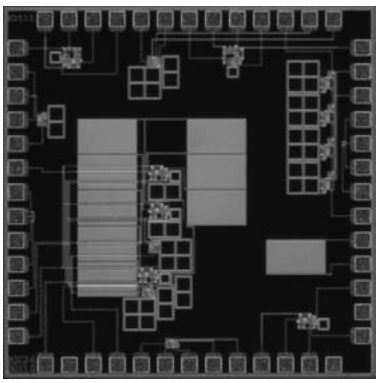


概要：現在，様々な分野において，脳内で行われている情報処理能力を工学的に応用するための研究がなされており，そのなかでも我々は，パルス形のモデルである，パルス形ハードウェアニューラルネットワークのニューロンチップを実装する事を目標に研究を行っている．今回，パルス形ハードウェアCPGモデルの構成を目的に，パルス形ハードウェア興奮抑制ニューロン対モデルの試作を行った．本試作では，同モデルを4つ接続し構成した，パルス形ハードウェアCPGモデルに，外部入力としてパルスジェネレータからの信号を用いることで，同期現象についての動作を確認した．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LPE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：ニューテクノロジ

チップ入出力部に着目したパルス形ハードウェア興奮抑制ニューロン対モデルの試作

日本大学大学院理工学研究科電子工学専攻　　小野 克幸, 秦 恵子
日本大学理工学部電子情報工学科　　佐伯 勝敏, 関根 好文

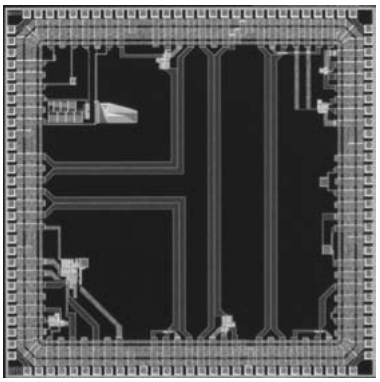


概要：現在，様々な分野において，脳内で行われている情報処理能力を工学的に応用するための研究がなされており，そのなかでも我々は，パルス形のモデルである，パルス形ハードウェアニューラルネットワークのニューロンチップを実装する事を目標に研究を行っている．今回，パルス形ハードウェアCPGモデルの構成を目的に，パルス形ハードウェア興奮抑制ニューロン対モデルの試作を行った．本試作では，同モデルを4つ接続し構成した，パルス形ハードウェアCPGモデルの動作を確認するとともに，チップの入出力部が同期現象に与える影響について検討を行い，検証の結果，同モデルの同期現象と，入出力部の構成は同期現象に影響を与えないことを確認した．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LPE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：ニューテクノロジ

チップ内特性測定用モデル伝送線路およびＴＥＧの試作

秋田大学工学資源学部　　吾妻 俊征, 井上 浩



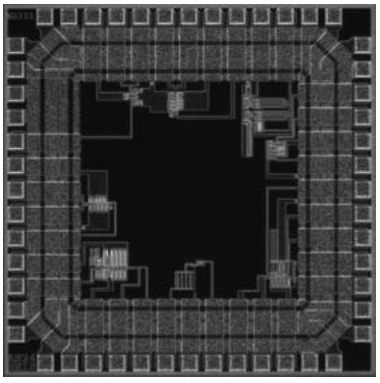
概要：高密度設計のIC内部では，シグナル・インテグリティを確保しながら配線間の電磁結合ノイズや信号ノイズなどのＥＭＣが重要な課題であり，配線設計のEMC設計指針策定が必要である．本試作では，チップ内配線の伝送及び電磁結合特性を調べ，EMC問題を検討することを目的とした［1］．平行2線の直線・直角線路の片側の線路のモデル伝送線路の設計・試作を行った．またこれまでの試作で回路内に用いられる諸抵抗及び諸容量の特性評価回路のためのＴＥＧ設計と試作を行った．GS方式のマイクロプローブを直接チップに接触して，特性評価を可能とした．

参考文献：［1］吾妻俊征，井上浩，"チップ内配線間の電磁結合の実験的検討"，信学技報 EMCJ2005-55，EMD2005-34，July 2005

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10以上，100未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm角　**チップ種別**：TEG（特性評価回路など）

電源電圧変動に依存しないバイアス回路の試作

秋田大学工学資源学部　　佐々木 健太, 井上 浩



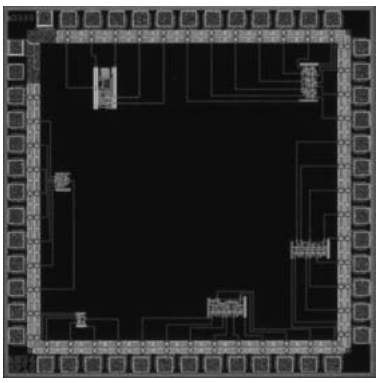
概要：電源電圧の変動に起因するバイアス電流の変動が回路の許容限界を超える電力損失を発生させないことを目的に，電源電圧の影響が無いバイアス条件およびその回路を作ることが重要である［1］．本試作では，上記目的に適合する，電源電圧の変動に依存しないバイアス回路のIC設計・試作した．今回の設計では，10%の電源電圧変動に対する出力電圧の変動が1%以内となることを目標とした．本回路を評価するためにバイアス回路と連結したVCOも作製した．ここで作製したVCOは従来試作してきたVCOをより小型化したもので，同時に位相比較器，ループフィルタも作成し，基本的なPLLを構成できるようにしている．

参考文献：［1］ P.R.グレイ，R.G.メイヤー"超LSIのためのアナログ集積回路設計技術 下"，培風館， 2002

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10以上，100未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

ニューロンMOS多値論理回路および演算増幅器の試作

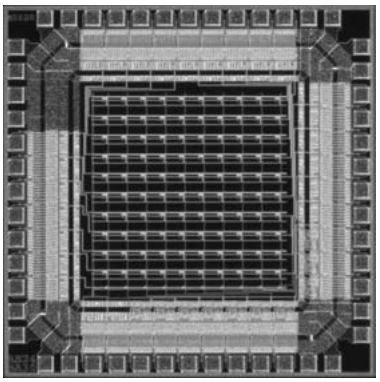
佐賀大学大学院工学系研究科　　古賀 陽一郎, 近藤 弘康
佐賀大学理工学部　　深井 澄夫



概要：本チップ試作では，アナログおよびデジタル合わせて6つの回路の試作を行った．デジタル回路として，ニューロンMOSを用いて多値論理回路の基本回路である4値反転回路の試作を行った．更に，多値論理システムを，従来の2値デジタルシステムで用いる際必要となる，2値信号と4値信号の変換を行うエンコーダおよびデコーダの試作も行った．　また，アナログ回路として基本的な演算増幅器の試作を行った．この演算増幅器は，入力差動増幅回路，ソース接地増幅回路，位相補償回路により構成している．レイアウトの工夫として，全使用ＭＯＳのガードリング，差動入力部のクロスカップル，ＭＯＳトランジスタの分割，位相補償用抵抗にダミー抵抗を使用している．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

CMOSイメージセンサの基礎実験チップ

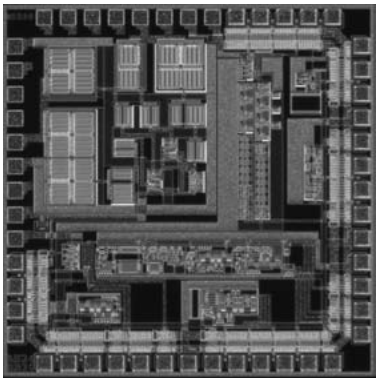
佐賀大学理工学部　　原 重臣



概要：CMOSイメージセンサの基本的な経験を積むために試作してみました．画素構造は，PN接合フォトダイオードを光電変換素子として使い，リセット，増幅，選択の3つのトランジスタを接続した基本的な3トランジスタ方式です．フォトダイオードは縦横約20μmのサイズです．縦10画素，横10画素の合計100画素を配置しています．駆動パルスを発生するデジタル回路は外付けとし，チップには含めていません．IOバッファとしては，VDECホームページで配布してあるMXIBUFを入力用として用い，出力用としてはMXIBUFの上部を増幅度1の増幅回路に置き換えたものを用いています．試作が出来上がってきて，性能実験を行ってみましたが，全く信号が出力されないという結果になってしまいました．この原因としては，IOバッファ部までフリーのレイアウトエディタであるmagicを用いて編集してしまったためと考えています．MXIBUFなどのIOバッファには小数グリッドの描画が含まれますが，これが適当に整数値に置き換えられてしまったためではないか，と考えています．今後，IOバッファに注意した設計を行って，原因究明および改善を行っていきたいと考えています．
設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：イメージセンサ/スマートセンサ

スイッチング電源制御LSI用補正回路の設計

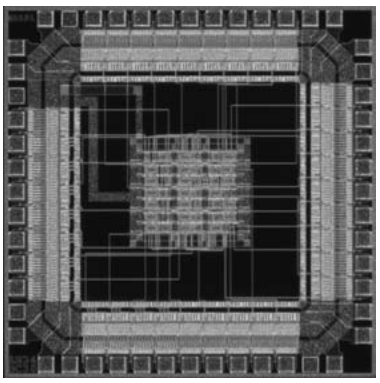
富山県立大学大学院工学研究科　　大場 博之, 松田 敏弘, 岩田 栄之



概要：スイッチング電源の小型化，高効率化のために，汎用性のある制御用LSIが必要とされる．現在，スイッチング電源を安定に動作させるための補正回路はLSI外部で作られていることが多い．そこで今回はLSI内部での補正回路の設計を中心に行った．今回の試作回路は，基本ブロックである誤差増幅器，ラッチ回路，発振回路，出力回路，補正回路であるスロープ電圧発生回路，電圧電流変換回路，Duty可変回路を設計した．誤差増幅器は安定動作を行うためにゲインを高く保つこと，高周波のスイッチング周波数に対応させるため，高速応答することが必要となる．ラッチ回路は高周波でもクロックに対して安定して動作する必要がある．発振回路はクロックとして用いるため周波数の安定性が求められる．スロープ電圧発生回路はDuty50%以上で生じる発振を防ぐためのスロープを作り出し，電圧電流変換回路で補正量を出力する．Duty可変回路は入力する電圧値によって出力信号のDutyの制御を行う．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：アナデジ混載

オフセット電圧自動補正回路の設計

富山県立大学大学院工学研究科　　堀井 信嘉，松田 敏弘，岩田 栄之

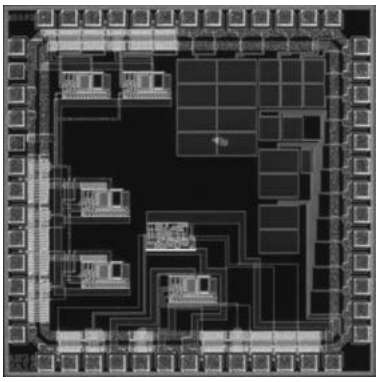


概要：近年，マイクロマシン技術を応用した小型で高性能なセンサが開発されている．しかし，小型センサの出力は微小であり，この出力を増幅，補正する必要がある．本研究で小型センサの増幅回路を以前設計したが，小型センサと増幅回路双方にオフセット電圧が生じてしまう．そこで，このオフセット電圧をアナログ値からディジタル値に変換し，ディジタル値によって調整する方法を検討している．このオフセット電圧補正回路は，A／D コンバータとディジタル値による補正回路が必要であり，今回は，補正回路の設計を Verilog - HDL 記述を用いて行なった．補正回路は，2つの減算回路とラッチ回路で構成される．数値は，符号を含む，11Bit を扱う．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 Apollo，Cadence 社 Virtuoso，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：演算回路（乗算器，除算器など）

インターポーザ用オペアンプの設計

富山県立大学大学院工学研究科　　堀井 信嘉，松田 敏弘，岩田 栄之

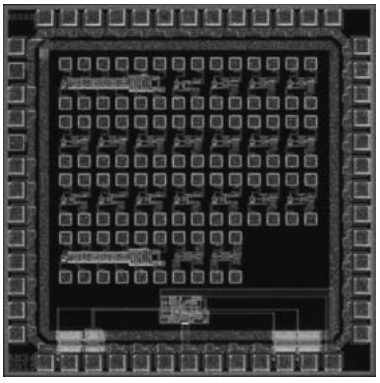


概要：近年，マイクロマシン技術を応用した小型で高性能なセンサーが登場してきている．しかし，これらのマイクロマシン型センサーは小型化によって出力が低下し，外部からの雑音の影響を受けやすくなる．そのため，微小な出力をセンサーの近傍で増幅し，外部からの影響を受けにくくする必要がある．そこで，インターポーザ用のオペアンプを設計した．本チップには，オペアンプ，poly 抵抗，コンパレータを搭載した．オペアンプは，同じ設計値のものを5つ配置してある．poly 抵抗は，それぞれ抵抗値の異なるものを配置してある．今回設計したオペアンプと poly 抵抗のパッド配置は，以前同様の目的で設計したものと全く同じである．このことにより，従来と同じ測定回路を使用することが可能である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

SPICE モデルパラメータ抽出用単体 MOSFET の設計

富山県立大学大学院工学研究科　　正源 浩之，松田 敏弘，岩田 栄之



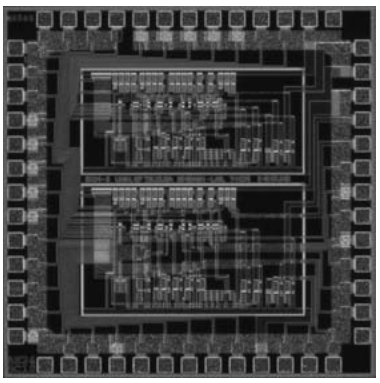
概要：多くの半導体メーカーは自社製回路シミュレータを使用しており，これらのシミュレータを使うにはデバイスモデルおよびモデルパラメータが必要となる．SPICE モデルパラメータを抽出するには，適切なゲート長:L，ゲート幅:W の組み合わせを持っている MOSFET をテストチップ上に設計することが非常に重要である．今回は MOSFET モデルの分解可能性の性質を利用し large，short，narrow の 3 グループの単体 MOSFET を 27 種類試作した．また抽出パラメータ評価用に small デバイスも試作した．特に short グループの MOSFET を 10 種類用意したことにより，各種短チャネル効果を適切にモデルパラメータに表現できるようにした．

参考文献：“UTMOSTⅢ Extractions Manual，Volume 1 MOSFET AND TFT MODELING ROUTINES”，SILVACO INTERNATIONAL，December 2002.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

制御テール電流源を用いた高線形化CMOS乗算器

筑波大学理工学研究科　　堀 護
筑波大学システム情報工学研究科　　庄野 和宏，石橋 幸男



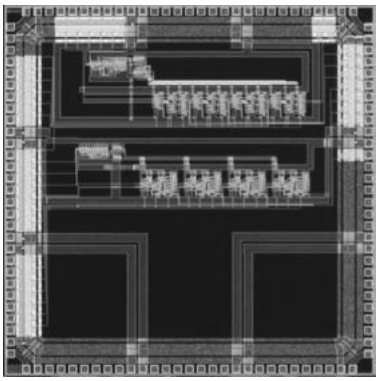
概要：トランスコンダクタは，信号処理において重要な回路ブロックであり，その線形性は極めて重要な特性の一つである．従来の回路の多くは，MOSトランジスタが二乗特性で動作する前提で設計されているが，この前提では不十分であり，実際には移動度減衰の影響により，トランスコンダクタの線形性が悪化する．この移動度減衰の影響を軽減するために，移動度減衰を考慮し，WangのOTAにレベルシフト回路と入力電圧に応じたテール電流制御回路を追加することで，乗算器としても動作する高線形化されたトランスコンダクタを提案，設計した．　動作評価を通して，実装回路が期待通りに動作することを確認し，さらに2次及び3次歪が，それぞれ–55dB，–64dBと大変良好な特性を有することを確認した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：MicroSim社 PSpice，手作業による，タナーリサーチ社 LEdit，手作業による　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角
チップ種別：アナログ（PLL，A–D/DC–DCコンバータなど）

平成17年度第1回オンセミコンダクター CMOS 1.2μm試作（MOT051）

ニューロンMOS可変論理回路の試作

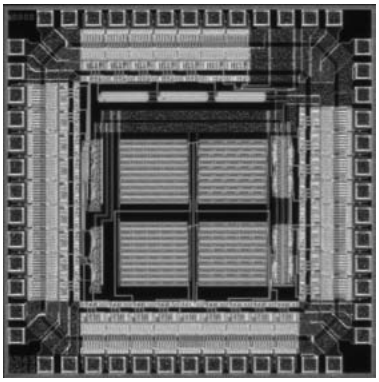
大阪工業大学工学部　　久津輪 敏郎, 椴山 徹



概要：本試作チップでは，柔軟な処理を得意とするニューロンMOSトランジスタに動的再構成可能である可変論理を用いて，2種類のニューロンMOS可変論理回路で構成された8bitALU回路の試作を行った．レイアウト上部分の回路は，本研究室で従来から提案されている静電容量を可変にした4bitALU回路である．レイアウト中央部分の回路は，今回提案するフローティングゲートを可変にした4bitALU回路であり，従来の回路に比べ，トランスミッションゲート数を少なくした回路構成にすることができ，少ない面積で柔軟な処理ができる回路としての期待ができる．なお，ALU回路は，加算，減算等8種類の機能を3bit制御端子で切り替わるようにしている．テスタによる測定は行っていない．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm角　**チップ種別**：演算回路（乗算器，除算器など）

基本論理ゲート速度評価回路と加算回路，計数回路，メモリレジスタの設計試作

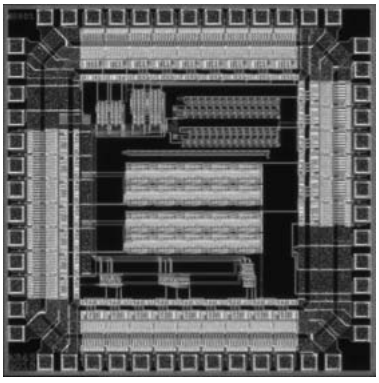
静岡理工科大学電気電子情報工学科　　波多野 裕
静岡理工科大学電子工学科　　鈴木 博也
森 章紀, 田力 正徳, 芝田 通明, , ,



概要：基本論理ゲート速度評価回路と加算回路，計数回路，メモリレジスタなどを2チップに分けて設計した．基本論理ゲートの速度性能を詳細に実測評価するため，2種類の50段8入力NANDゲート・チェーンと2種類の50段8入力NORゲート・チェーンを設計した．回路の性能比較のため，桁上げ伝搬加算回路，桁上げ先見加算回路，及びマンチェスタ形桁上げ加算回路の3種類の並列加算回路を設計した．同期計数回路として直列形と並列形を設計した．また，2種類のメモリレジスタを設計した．更に，3種類の39段リングオシレータや縦積み回路の性能解析のための2種類の27段インバータチェーンなどを設計した．1月25日に入荷した試作チップを直ちに測定して，2種類のNANDチェーン，2種類のNORチェーン，2種類のインバータチェーンの遅延時間の違いを分離する事に成功した．また，3種類の並列加算回路，2種類のメモリレジスタの機能動作を確認した．
参考文献：［1］波多野，渋谷，縣，北村，永野，村松，望月，”NAND論理ゲート速度性能評価回路とマイクロプロセッサの設計”，p. 51，2004年VDEC年報（2004）．
設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：演算回路（乗算器，除算器など）

基本論理ゲート速度評価回路と加算回路，計数回路，メモリレジスタの設計試作

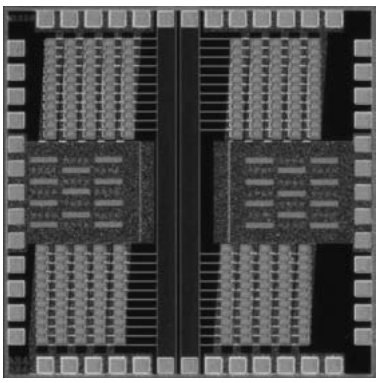
静岡理工科大学電気電子情報工学科　　波多野 裕
静岡理工科大学電子工学科　　田力 正徳
芝田 通明, 鈴木 博也, 森 章紀, , ,



概要：基本論理ゲート速度評価回路と加算回路，計数回路，メモリレジスタなどを2チップに分けて設計した．基本論理ゲートの速度性能を詳細に実測評価するため，2種類の50段8入力NANDゲート・チェーンと2種類の50段8入力NORゲート・チェーンを設計した．回路の性能比較のため，桁上げ伝搬加算回路，桁上げ先見加算回路，及びマンチェスタ形桁上げ加算回路の3種類の並列加算回路を設計した．同期計数回路として直列形と並列形を設計した．また，2種類のメモリレジスタを設計した．更に，3種類の39段リングオシレータや縦積み回路の性能解析のための2種類の27段インバータチェーンなどを設計した．1月25日に入荷した試作チップを直ちに測定して，2種類のNANDチェーン，2種類のNORチェーン，2種類のインバータチェーンの遅延時間の違いを分離する事に成功した．また，3種類の並列加算回路，2種類のメモリレジスタの機能動作を確認した．
参考文献：［1］波多野，渋谷，縣，北村，永野，村松，望月，”NAND論理ゲート速度性能評価回路とマイクロプロセッサの設計”，p. 51，2004年VDEC年報（2004）．
設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：演算回路（乗算器，除算器など）

NMOS パワートランジスタ（ワッフルレイアウト）

福岡大学工学部　　末次 正



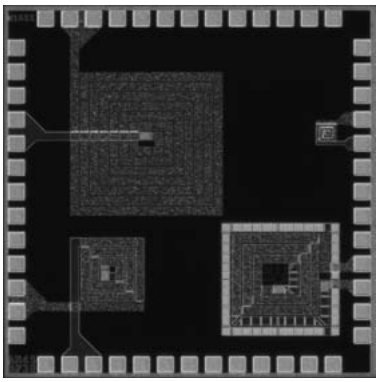
概要：電流容量600mA の n type MOS パワートランジスタ2個を作成した．5x5 ワッフルレイアウトトランジスタを220個並列接続したレイアウトを作成した．1つのワッフルレイアウトトランジスタは3mA の電流容量で設計し，20個余分に配置した．ソース端子はアースし，ゲートとドレインは各トランジスタ2カ所ずつとれるようにした．電流容量が大きいのでいくつかのパッドをつないで大きな端子とした．ワッフルレイアウトを用いた理由は，少ないゲート面積で長いチャネル幅を確保できると考え，ゲート損失が小さくなると考えたためである．実測の結果は，残念ながらゲートとドレインを間違って接続し，されにドレインが間違ってアースされていることがわかり，全ての端子がゼロ電位から変化しないという状態，すなわち全く動作しなかった．

設計期間：0.1 人月未満　**設計ツール**：Cadence 社 Virtuoso　**トランジスタ数**：10 未満

試作ラン：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

スパイラルインダクタ 20nH

福岡大学工学部　　末次 正



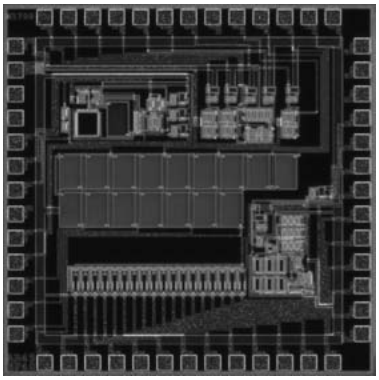
概要：スパイラルインダクタの実測値を得るために，20nH のスパイラルインダクタを四タイプ作成し配置した．A:一重巻き．メタル2レイヤーを用いて7ターンの一重巻きインダクタを作成した．40mA の電流容量を得るために線幅を 40um とし，ピッチを 50um とした．B:二重巻きグランドシールド付き．メタル2レイヤー3ターン，メタル1レイヤー4ターンによる二重巻きインダクタを作成した．線幅は A と同じとした．基板による損失を減らすため Active レイヤーによるグランドシールを配置した．インダクタの周囲にはメタル1レイヤーによるガードリンクを配置した．C:二重巻きグランドシールとなし．B と同じ二重巻きにしてグランドシールドとガードリンクをつけなかった．D:二重巻き 4um 線幅．C と同じ二重巻きグランドシールドなしのレイアウトで線幅を 4um ピッチを 5um とした．インピーダンスアナライザによる測定の結果，20MHz において直列インダクタンスは，A:31.51nH B:24.39nH C:7.37nH D:7.04nH，直列抵抗は，A:8.51 B:7.91 C:3.69 D:5.18 であった．測定の結果 B と C のタイプが計算値と近い値を得た．ばらつきは C より B の方が小さかった．

参考文献：Thomas H. Lee，"The Design of CMOS Radio-Frequency Integrated Circuits，" Cambridge University Press（1998）

設計期間：0.1 人月未満　**設計ツール**：Cadence 社 Virtuoso　**トランジスタ数**：10 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

MOS 型定電流回路の設計・試作（6）

岡山県立大学大学院情報系工学研究科　　日笠 猛，定本 竜明，大曽根 隆志，森下 賢幸，小椋 清孝

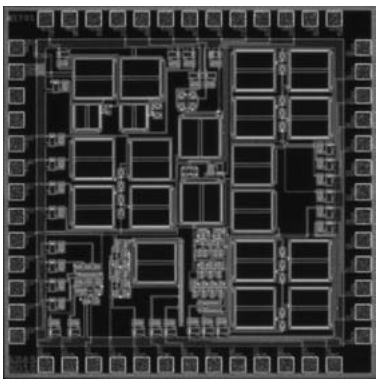


概要：アナログ・ディジタル回路の混在した CMOS LSI 技術の向上に伴い，アナログ回路においては温度依存性がなく電源電圧にも依存しない基準となる安定した電源回路が重要となる．それは安定な定電流回路が電源電圧と周囲温度に対して安定に動作するアナログ回路の実現のために不可欠だからである．特に低バイアス電流の発生回路には高抵抗が用いられるが，チップの占有面積の増大のため，製造コストが上昇してしまう．これらの事から，本設計では高抵抗を用いずに安定な低バイアス電流を発生する電流源の設計および検討を行った．本チップは「MOS 型定電流回路の設計・試作（5）」の低電源電圧動作化を検討したものであり，電源電圧約 2V から定電流特性を確認できた．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

MOS 型整流回路・直流電圧増幅回路の設計・試作（4）

岡山県立大学大学院情報系工学研究科　　日笠 猛, 大曽根 隆志, 森下 賢幸, 小椋 清孝

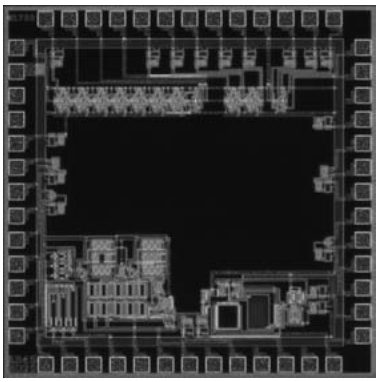


概要：無線通信において, チップ外部のアンテナで受信した電波からアナログ回路の駆動に必要な直流電源電圧を得るためには, 整流回路が不可欠となる. さらに整流回路の出力電圧が低いため, 電圧増幅回路を接続する必要がある. これらの事から, 本設計では無線電波から直流電圧を得るための整流回路と直流電圧増幅回路の設計および検討を行った. 本チップは,「MOS 型整流回路・直流電圧増幅回路の設計・試作（2）」を改良したものである. 整流回路として MOS 型およびダイオード型全波整流回路・倍電圧整流回路, 昇圧回路としてディクソン型チャージポンプ方式 DC−DC コンバータ・トーテムポール型チャージポンプ回路およびリセット回路, 変調回路から構成されている.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

MOS 型整流回路・直流電圧増幅回路の設計・試作（5）

岡山県立大学大学院情報系工学研究科　　日笠 猛, 大曽根 隆志, 森下 賢幸, 小椋 清孝

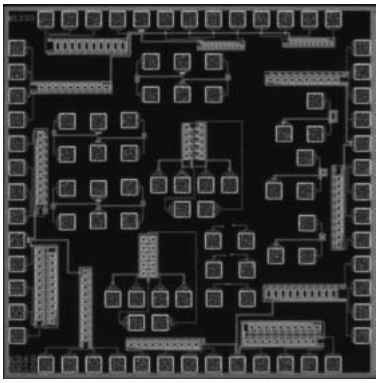


概要：無線通信において, チップ外部のアンテナで受信した電波からアナログ回路の駆動に必要な直流電源電圧を得るためには, 整流回路が不可欠となる. さらに整流回路の出力電圧が低いため, 電圧増幅回路を接続する必要がある. これらの事から, 本設計では無線電波から直流電圧を得るための整流回路と直流電圧増幅回路の設計および検討を行った. 本チップは,「MOS 型整流回路・直流電圧増幅回路の設計・試作（3）」を改良したものであり, クロックパルス発生回路を中心に試作した. 更に IC チップ上の温度をオンチップで検知し, IC の安定動作を行う温度センサ回路から構成される.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：TEG（特性評価回路など）

高効率整流回路の試作

東北大学大学院工学研究科　　坂井 靖文, 小谷 光司, 伊藤 隆司

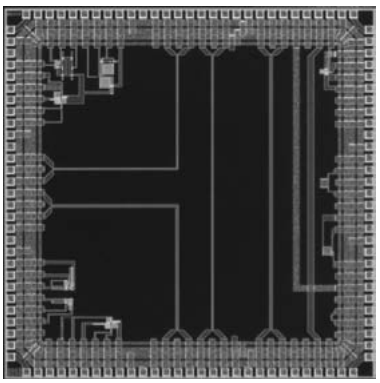


概要：様々な周波数の交流電圧を整流するためのアナログ整流回路を作成した. 作成した目的は, 各種整流回路の基礎的な特性を計測することである. 作成したチップの内容としては, スイッチング素子やコンデンサを用いた整流回路を数種類作成し, 基礎的な特性を計測できるようにした. さらに, 様々な周波数の電圧を印加した場合の特性を計測できるように, レイアウトが異なる整流回路を数種類作成した. 使用した素子について, スイッチング素子については, サイズなどを変更した数種類の素子を用い, コンデンサについても異なる容量の物を数種類使用した. また, 整流回路に使用した各スイッチング素子, コンデンサなどの基礎的な特性も計測できるように, 整流回路とは別に各素子について個々にレイアウトを作成した.

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

移相器及びチップ内配線特性測定用モデル伝送線路の試作

秋田大学工学資源学部　　吾妻 俊征, 三浦 和仁, 井上 浩



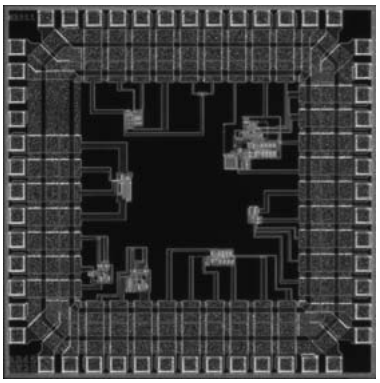
概要：本試作研究では，アナログ形 PLL を用いた簡便な通信方式［1］の実現を目的とし，90°移相器の設計・試作を行った．少ない信号復調誤差で信号変換することにより，アナログ形 PLL や VCO の応用範囲をさらに広げることができると考えられる．また，チップ内配線の伝送及び電磁結合による EMC 問題を検討するために，配線幅が異なる 2 種類の異なる構造のモデル伝送線路の設計・試作を行った．またその他には必要な基本回路や，回路内に用いられる諸抵抗及び諸容量のＴＥＧおよび特性評価回路で構成されている．

参考文献：［1］佐藤，伊藤，井上，"プッシュプル位相加算ミキサを使用した通信機能 IC の一検討，"電子情報通信学会技術研究報告，EMD2003-97，2004 年 1 月．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 4.8mm 角　**チップ種別**：TEG（特性評価回路など）

基本アナログ形 PLL の試作

秋田大学工学資源学部　　佐々木 健太, 井上 浩



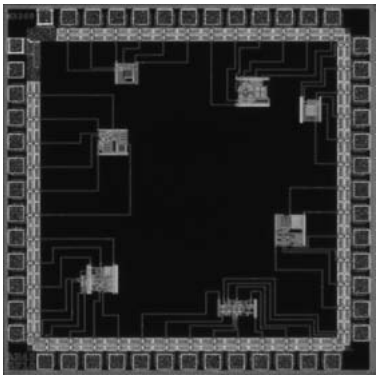
概要：アナログ形 PLL の 1 チップ化を目的とし，VCO を 1 チップ化し，外付けの素子をなくすことを試み，これまで試作してきた VCO［1］を用いた PLL をディジタル放送通信の受信回路に応用することを検討した．そこで本試作では，ディジタル放送通信を簡易に受信できるシステムの基本を位相比較器，ループフィルタ，VCO により構成される基本 PLL とし，集積化の基本形を IC 設計・試作した．現状では，本回路を受信機として利用するにはまだ不十分であり，必要なブロックとして，移相器やミキサ，BPF などが挙げられる．そのため，今後は前述の回路ブロックを作製し，追加していく予定である．

参考文献：［1］宮前亨，井上浩，"リング発振器型 VCO の開発とその応用，"東北地区若手研究者研究発表会，Mar. 2005

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

演算増幅器およびニューロン MOS を用いたアナログ・ディジタル回路

佐賀大学大学院工学系研究科　　舛岡 貴志, 近藤 弘康, 古賀 陽一郎
佐賀大学理工学部　　石丸 佳和, 大熊 太郎, 加藤 好信, 清水 暁生, 深井 澄夫

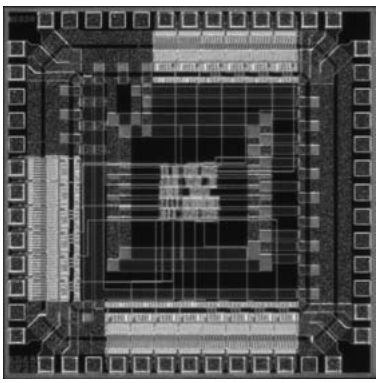


概要：本チップ試作は，アナログ集積回路の汎用能動素子である演算増幅器の設計を通じて，基本アナログ集積回路ブロックの設計技術，レイアウト技術，および検証技術を早期に習得することを目的とし，学部 4 年生を対象にしたものである．各学部生が設計した演算増幅器は，同じ回路を使用し，2 種類のレイアウト法を用いて特性の違いを比較検討できる構成となっている．更に，抵抗による補償付きニューロンＭＯＳカレントミラー回路の抵抗部をＭＯＳトランジスタに置き換えた改良型ニューロン MOS カレントミラーの試作および多値論理回路の応用研究として，4 値 SRAM セルの試作を行っている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

ウェーブパイプライン方式LFSR

弘前大学理工学部　　佐久間 玲奈, 深瀬 政秋
弘前大学総合情報処理センター　　佐藤 友暁



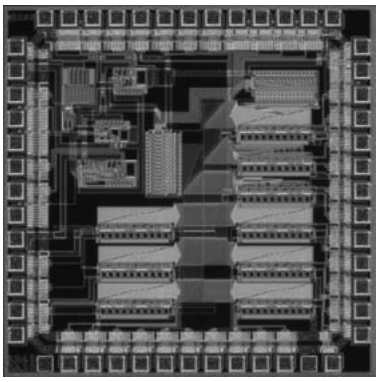
概要：ウェーブパイプライン手法はパイプラインレジスタを使用せずにパイプライン処理を可能にする手法である．レジスタを使用しないため，ウェーブパイプライン手法は従来方式のパイプライン手法と比較して，高速なクロック周波数での動作と消費電力の削減が可能である．本研究では，ウェーブパイプライン手法をLFSR （Linear Feedback Shift Registe）回路へ適用させたチップを設計した．ゲートレベルシミュレーションの結果従来方式よりも高速かつ低消費電力で動作することが示された．ウェーブパイプライン方式LFSRをPRNG （Pseudo-Random Number Generator）の生成へ適用した場合，トリガするタイミングを変えることにより，生成される乱数の規則を変えることが可能になる．このためPRNGを使用した暗号方式については，高速・低消費電力・暗号強度強化の両立が可能になる．

参考文献：T. Sato, R. Sakuma, D. Miyamori, and M. Fukase, “Waved-LFSR Circuit for Hardware-Based Intrusion Detection System,” Proc. of ECTI-CON 2006 （2006） （To be published）

設計期間：2人月以上，3人月未満　**設計ツール**：Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Astro，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：演算回路（乗算器，除算器など）

トランジスタ特性測定用回路

富山県立大学工学研究科　　正源 浩之, 松田 敏弘, 岩田 栄之



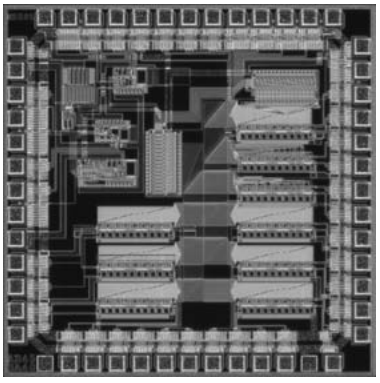
概要：CMOSアナログ回路において，素子のばらつきが回路へ与える影響は大きい．同一の特性を得たい場合にはMOSFETを隣接して配置する．しかし，MOSFETを隣同士に配置しても，製造工程等に依存し，しきい値電圧のばらつくことが避けられない．エッチング時に周辺パターンの影響を受けないようにするには，ダミーパターンを素子近傍に配置することが一般に用いられる．本チップではブロック毎にダミーパターンを異なる方法で配置し，ばらつきの低減策を考える．ΔVth特性について調査するため，本チップでは9つのブロック（1ブロックに対してMOSFET26個）からなるトランジスタ特性測定用回路を設計した．MOSFETの数が多いためトランジスタのドレイン-ソースを共通化し，デコーダでゲート信号を切り替えることで測定するMOSFETを選択するという方式を取った．

参考文献：「LSI設計者のためのCMOSアナログ回路入門」CQ出版（2005）

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：TEG（特性評価回路など）

トランジスタ特性測定用回路

富山県立大学工学研究科　　正源 浩之, 松田 敏弘, 岩田 栄之



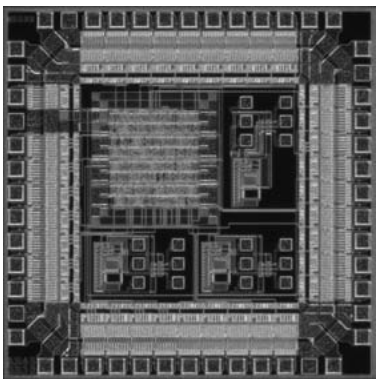
概要：CMOSアナログ回路において，素子のばらつきが回路へ与える影響は大きい．同一の特性を得たい場合にはMOSFETを隣接して配置する．しかし，MOSFETを隣同士に配置しても，製造工程等に依存し，しきい値電圧のばらつくことが避けられない．エッチング時に周辺パターンの影響を受けないようにするには，ダミーパターンを素子近傍に配置することが一般に用いられる．本チップではブロック毎にダミーパターンを異なる方法で配置し，ばらつきの低減策を考える．ΔVth特性について調査するため，本チップでは9つのブロック（1ブロックに対してMOSFET26個）からなるトランジスタ特性測定用回路を設計した．MOSFETの数が多いためトランジスタのドレイン-ソースを共通化し，デコーダでゲート信号を切り替えることで測定するMOSFETを選択するという方式を取った．

参考文献：「LSI設計者のためのCMOSアナログ回路入門」CQ出版（2005）

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：TEG（特性評価回路など）

オフセット電圧自動補正回路の改良

富山県立大学大学院工学研究科　　堀井 信嘉，松田 敏弘，岩田 栄之

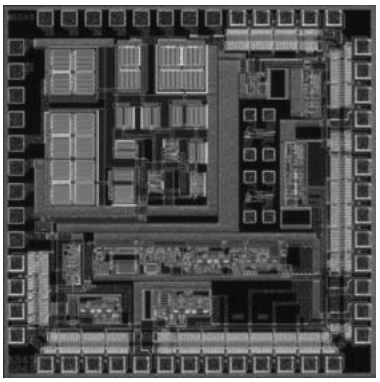


概要：近年，マイクロマシン技術を応用した小型で高性能なセンサが開発されている．しかし，小型センサの出力は微小であり，この出力を増幅，補正する必要がある．本研究で小型センサの増幅回路を以前設計したが，小型センサと増幅回路双方にオフセット電圧が生じてしまう．そこで，このオフセット電圧をアナログ値からディジタル値に変換し，ディジタル値によって調整する方法を検討している．このオフセット電圧補正回路は，A／D コンバータとディジタル値による補正回路が必要である．今回は，前回設計した補正回路の桁の繰り上がり，繰り下がりによるエラーの改良を行った．構成は2つの減算回路とラッチ回路，桁の繰り上がり，繰り下がりエラーを認識する回路である．また，チップの空きスペースに以前設計した小型センサ用の増幅回路を3つ配置した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 Apollo，Cadence 社 Virtuoso，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：演算回路（乗算器，除算器など）

スイッチング電源制御用 LSI の設計

富山県立大学大学院工学研究科　　大場 博之，松田 敏弘，岩田 栄之

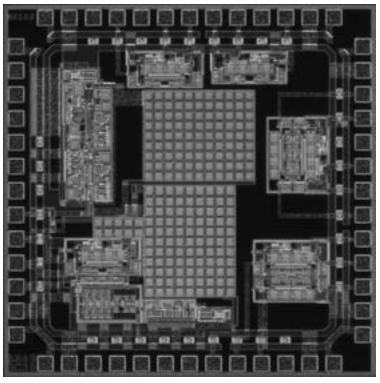


概要：これまでスイッチング電源の基本ブロック，補正回路の設計を行ってきた．今回は，従来試作した回路において生じている問題の改善を行った．今回は，発振回路，ラッチ回路，出力回路，誤差増幅器，比較器，スロープ補正回路，スロープ電圧発生回路，電圧電流変換回路を設計した．ラッチ回路は，従来よりも急峻なパルス波を出力できるように改善した．出力回路は，出力パルス波を反転する必要が生じたため，回路を修正した．スロープ補正回路はスロープ電圧発生回路と電圧電流変換回路を内部配線し，一つの回路とした．スロープ電圧発生回路，電圧電流変換回路ともに，特性のさらなる改善を行った．また，単体特性を測定するための NMOS，PMOS も同一チップ内に設計した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナデジ混載

発振回路の試作

東京工業大学理工学研究科　　藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン

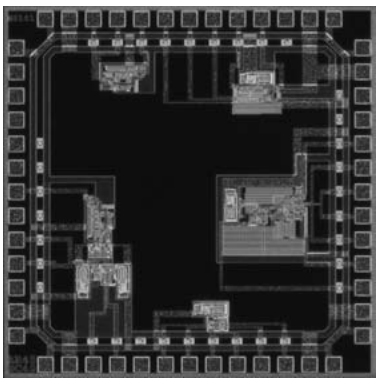


概要：4種類の Voltage Controlled Oscillator （VCO）および1種類の Phase Locked Loop （PLL）を作成した．4種類の VCO はそれぞれ以下の特徴を有する．（a） 無安定マルチバイブレータ（差動出力），（b） 出力電圧振幅が制御電流に依存しない VCO（差動出力），（c） 出力電圧振幅が制御電流に依存しない VCO（4相出力），（d）発振周波数を直線的に制御可能な VCO（4相出力）．VCO（a）は従来より広く用いられている構成の VCO であり，出力電圧振幅が制御電流に依存するため発振周波数の可変範囲が制限されるという問題点があった．VCO（b）は VCO（a）の電流パスに工夫を加え，出力電圧振幅が制御電流に依存しない構成とすることで広い周波数可変範囲を実現した．VCO（c）は VCO（b）を2個使用し四相出力を実現している．VCO（d）は VCO（c）の電流パスを組み替えることで，発振周波数を制御電流により直線的に制御可能とした VCO である．PLL は VCO（b）を用いて構成した．PLL の分周比は1/8倍とし，入力参照周波数を 1.35 MHz とした．このとき，消費電流および消費電力はそれぞれ，5 mA および 15 mW であった．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

FM 放送受信システム用回路ブロックの試作（1）

東京工業大学理工学研究科　　藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン

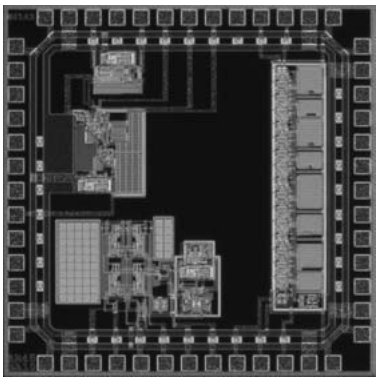


概要：FM 放送の受信システムの集積回路化を目指し，受信システムで用いられる回路ブロックのうち Automatic Gain Controll（AGC）回路，Voltage Controlled Oscillator（VCO），ミキサの試作を行っている．AGC 回路は，　可変利得増幅器（VGA），二乗回路，低域通過フィルタからなる．VGA の出力信号を二乗し，低域通過フィルタに通すことでその直流成分を得る．得られた直流成分を VGA の制御電圧として用いることで一定の出力振幅を実現している．VGA にはデシベルリニアの特性を有する増幅器を用いている．-5dB から 40dB の利得可変範囲有する．VCO は弛張発振器として実現している．設計された弛張発振器は，広く用いられている弛張発振回路に比べ，半分の個数の電流源を用いて実現しているため消費電力の半減に成功している．ミキサには歪み特性に優れる受動ミキサを用いている．

設計期間：10 人月以上　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

FM 放送受信システム用回路ブロックの試作（2）

東京工業大学理工学研究科　　藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン

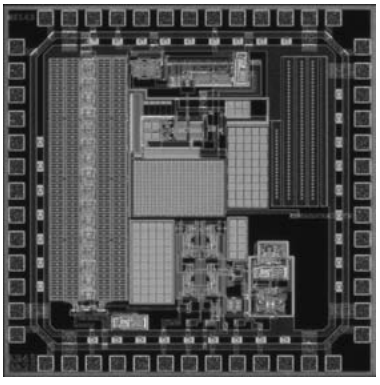


概要：FM 放送の受信システムの集積回路化を目指し，受信システムで用いられる回路ブロックのうち，帯域通過フィルタ，復調器と Automatic Gain Controll 回路（「FM 放送受信システム用回路ブロックの試作（1）」で報告した Automatic Gain Controll 回路と同様の構成）の試作を行っている．帯域通過フィルタは OTA-C 構成で実現している．バイカッドフィルタを 4 個縦続接続し，7 次の高域側の遮断特性と 1 次の低域側の遮断特性を有する帯域通過フィルタとしている．通過帯域は 100 kHz から 300 kHz とし通過域内の振幅特性が平坦となるように設計している．通過帯域は電圧制御電流源（OTA）のトランスコンダクタンスにより可変である．復調器にはピークディファレンシャル回路を用いている．ピークディファレンシャル回路で必要となるインダクタはジャイレータを用いて実現している．ピークディファレンシャル回路により周波数変調された信号を振幅変調された信号に変換し，最後に包絡線検波を行い音声信号を得る構成としている．

設計期間：10 人月以上　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

FM 放送受信システムの試作

東京工業大学理工学研究科　　藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン

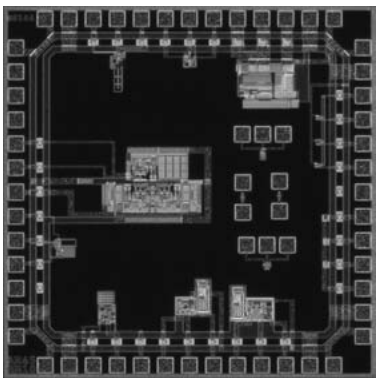


概要：FM 放送受信システムの試作を行った．試作したシステムは，低雑音増幅器，乗算器，バンドパスフィルタ，利得可変増幅回路，復調回路からなるスパーヘテロダイン構成とした．低雑音増幅器は初段で用いられ，ソース接地増幅回路およびゲート接地増幅回路を組み合わせて実現している．乗算器はダブルバランス型乗算器を採用した．利得可変増幅回路は信号振幅の制御のために使用し，同相信号を帰還する構成としている．帯域通過フィルタには低域側が 1 次，高域側が 7 次の OTA-C 構成のフィルタを用いた．復調回路はピークディファレンシャル回路と絶対値回路を組み合わせて構成されている．中間周波数には 210 kHz を選択した．測定により 80 MHz の入力信号が 79.79 MHz の局部発振器により設計値である 210 kHz に周波数変換されている様子が測定された．また復調回路の動作に改善が必要であることが判明し，今後の課題が明確となった．電源電圧を 3 V に設定して測定したときの総消費電流は 7 mA であった．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

演算増幅器の試作

東京工業大学理工学研究科　　藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン

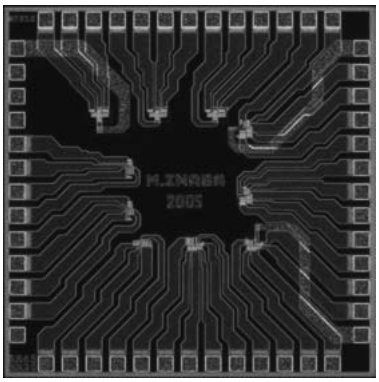


概要：演算増幅器は汎用性が高く，アナログ回路において広く用いられる回路ブロックである．その設計にはアナログ集積回路の設計技術についての様々な知識が要求されるため，演算増幅器の設計はアナログ集積回路技術の初学者にとって極めて有益な経験となる．そのため，本チップでは，学部4年生および修士課程1年生を対象とした演算増幅器の試作を行っている．7名の学生がそれぞれ独自の演算増幅回路を設計している．7名の多くは初めての集積回路の試作であったが，設計，シミュレーションによる評価，レイアウト，そして検証まで集積回路の設計フローを一通り学んだ．設計された回路の構成は，差動増幅回路にソース接地増幅回路を縦続接続した構成が主であったが，ｎチャネルＭＯＳＦＥＴの差動増幅回路とｐチャネルＭＯＳＦＥＴの差動増幅回路を組み合わせることで，同相入力範囲の拡大を図った構成なども試作された．また，チップの余白にはＭＯＳＦＥＴのＴＥＧを作成し，ＭＯＳＦＥＴのパラメータ抽出の学習にも役立てている．

設計期間：7人月以上，8人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

電圧モード多値論理基本回路の試作

筑波技術大学産業技術学部　　稲葉 基



概要：ダウンリテラル回路（DLC）とアナログインバータ（AINV）の試作チップである．DLCは，CMOSインバータのｎ形とｐ形のMOSFETをそれぞれｎ形とｐ形の2入力FG-MOSFETに置き換えた構成をしており，2つの制御端子に印加する電圧によって自由にしきい値電圧を変えることのできる可変しきい値インバータである．可変しきい値特性だけでなく，CMOSインバータよりも急峻な入出力特性や低消費電力などの長所もあわせ持っている．また，AINVは，DLCの出力をその2つの制御端子へフィードバックさせた回路構成をしており，電源電圧，入力電圧，出力電圧をそれぞれVdd，Vin，Voutとすると，Vout=a×Vin+（Vdd+b）の入出力特性を有する（ただし，aとbは負の任意の値またはゼロ）．a=-1，b=0のとき，電源電圧から入力電圧を差し引いた電圧を出力する線形インバータとして機能する．DLC，AINVともに，3つ以上の論理レベルで信号処理をおこなう多値論理の最も重要な電圧モード基本回路の1つである．本チップには，素子値を少しずつ変えたDLCとAINVに加え，比較のためのCMOSインバータを搭載している．

参考文献：Motoi INABA，Koichi TANNO，Okihiko ISHIZUKA: "Analog Inverter with Neuron-MOS Transistors and Its Application"，電子情報通信学会アナログ回路技術小特集号英文論文誌A．Vol. E85-A，No. 2．(2002)

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，SII社 SX9000，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：10未満　**試作ラン**：オンセミ CMOS 1.2μm 2.3mm角　**チップ種別**：ニューテクノロジ

平成17年度第1回MOSIS-TSMC CMOS 0.18μm試作（MT18051）

1Tb/s 3W 三次元積層チップ間誘導結合トランシーバ

慶應義塾大学理工学部　　三浦 典之，黒田 忠広

概要：1Tb/s 3W チップ間トランシーバを開発した．MT1805_1_O4791 と積層して評価した．1GHz のクロックおよび 1 チャネルあたり 1Gb/s のデータを誘導結合を介して伝送する．1024 チャネルのデータ送受信器を 30um ピッチで配列した．0.18um CMOS で製造したトランシーバチップの総レイアウト面積は 2mm^2，チップ厚は 10um である．4 相 TDMA によりクロストークを削減し，BER は 10^-14 以下の通信ができる．通信の信頼性は有線と同等である．バイフェーズ変調によりデータ送受信器のノイズ耐性を高めて，低消費電力化した．これは，「Cell プロセッサ」に採用された Rambus 社のチップ間インタフェース技術「FlexIO」と比べて，3.3 倍高速で，1/2 の電力で，1/7 のエネルギーで，およそ 1/4 の面積である．我々の一連の研究成果は，3 年連続して ISSCC の将来技術（Technology Directions）のセッションに採択された．

参考文献：［1］ N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link, " IEEE International Solid-State Circuits Conference （ISSCC'06）, Dig. Tech. Papers, pp. 424-425, Feb. 2006.

設計期間：6 人月以上，7 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：MOSIS-TSMC 0.18μm 11.4mm^2　**チップ種別**：通信（RF 回路，ATM など）

1Tb/s 3W 三次元積層チップ間誘導結合トランシーバ

慶應義塾大学理工学部　　三浦 典之，黒田 忠広

概要：1Tb/s 3W チップ間トランシーバを開発した．MT1805_1_O4790 と積層して評価した．1GHz のクロックおよび 1 チャネルあたり 1Gb/s のデータを誘導結合を介して伝送する．1024 チャネルのデータ送受信器を 30um ピッチで配列した．0.18um CMOS で製造したトランシーバチップの総レイアウト面積は 2mm^2，チップ厚は 10um である．4 相 TDMA によりクロストークを削減し，BER は 10^-14 以下の通信ができる．通信の信頼性は有線と同等である．バイフェーズ変調によりデータ送受信器のノイズ耐性を高めて，低消費電力化した．これは，「Cell プロセッサ」に採用された Rambus 社のチップ間インタフェース技術「FlexIO」と比べて，3.3 倍高速で，1/2 の電力で，1/7 のエネルギーで，およそ 1/4 の面積である．我々の一連の研究成果は，3 年連続して ISSCC の将来技術（Technology Directions）のセッションに採択された．

参考文献：［1］ N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link, " IEEE International Solid-State Circuits Conference （ISSCC'06）, Dig. Tech. Papers, pp. 424-425, Feb. 2006.

設計期間：6 人月以上，7 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：MOSIS-TSMC 0.18μm 22mm^2　**チップ種別**：通信（RF 回路，ATM など）

高速伝送線路配線，トランジスタ TEG，高周波 LNA およびミキサー

東京工業大学統合研究院　　伊藤 浩之，菅原 弘雄，岡田 健一，益 一哉

概要：LSI 長距離配線の遅延低減を目的とした伝送線路配線，ならびに RF 回路の広帯域化を目指した LNA とミキサーを試作した．伝送線路配線は低消費電力化を目的に新たなトポロジーの駆動回路を採用したものである．シミュレーション上，差動伝送線路配線は 3Gbps で動作可能となっている．そして，次回の回路設計にむけて NMOS の TEG も試作している．NMOS の TEG において，ゲート幅は 20um と 100um とし，ソース接地とスイッチの TEG をそれぞれ試作している．また，本試作においては広帯域 LNA およびミキサーとアクティブインダクタの高精度設計を目的としている．回路は LNA 単体と LNA とミキサーを接続したものを試作している．LNA はカスコード型，ミキサーはシングルバランス型とし，可変インダクタでマッチングをチューニングする．アクティブインダクタはコントロール電圧によってインダクタンス値が可変となっている．測定比較用として出力に MIM キャパシタをつけたものと，ノイズを検討するためにソース接地回路を接続したものを作成された．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC，Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：MOSIS-TSMC 0.18μm 12mm^2　**チップ種別**：MEMS

平成17年度第2回MOSIS-TSMC CMOS 0.18μm試作（MT18052）

スパイラルインダクタのカップリングによるチップ間無線インターコネクトLSI

広島大学先端物質科学研究科　　佐々木 守, 有薗 大介

概要：LSI集積システム化の機能増加に伴い，チップ積層3次元集積システムの実現が望まれている．従来の貫通ビアを用いた3次元実装技術ではチップ間配線工程が複雑になり，加工のコスト上昇と歩留まり低下が問題となる．この問題解決のため，広島大学21世紀COE（テラビット情報ナノエレクトロニクス）の3Dカスタムスタックシステムでは，無線チップ間インターコネクトで大規模・高機能なシステム実現を提案している．このために，スパイラルインダクタを用いたチップ間通信Local Wireless Interconnect（LWI）を開発している．本研究の目的は，スパイラルインダクタを用いたチップ間無線インターコネクトの実現である．1.0Gbps以上のビットレートの高速化，インダクタサイズ100um以下の小型化を目標とする．また，1チャンネル当たりの消費電力1mW以下を目標とする．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：MOSIS-TSMC 0.18μm 10.66mm^2　**チップ種別**：通信（RF回路，ATMなど）

スパイラルインダクタ対の電磁結合による無線シリアル伝送LSI

広島大学先端物質科学研究科　　佐々木 守, 閻 彬

概要：近年，携帯電話の性能向上に伴い，短い動作時間の中で大量なデータ伝送を行う必要がある．そのため，データ線が増え，各機能を実現するために制御線も増加するため，携帯電話のヒンジ部に通される信号線は数十本以上となる．配線本数増大による電気配線の難しさやEMC（electro magnetic compatibility）対策のため，従来のパラレル通信インタフェイスに替わる高速シリアル通信インタフェイスが注目されている．現在の高速シリアル伝送インタフェイスは伝送線路に電流を流して終端抵抗で電圧に変換し，その電位差で信号を受信している．そのため，伝送線路に数mAの電流が流れ，低消費電力化は難しい．また，有線接続インタフェイスのため，ESD（静電気放電）の対策として，大きな容量負荷を持つESD保護回路が必要で，周波数制限を受ける．そこで，本研究の目的はスパイラルインダクタ対の電磁結合を利用した無線シリアル伝送の実現である．スパイラルインダクタのLC共振特性を利用することで低消費電力化が期待できる．また，無線インタフェイスのため，ESD保護回路が不要となる．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：MOSIS-TSMC 0.18μm 9.6mm^2　**チップ種別**：通信（RF回路，ATMなど）

高速クロック分配方式の開発

広島大学先端物質科学研究科　　佐々木 守, 汐崎 充, 森 敦, 岩田 穆

概要：システムの高速化への要望に伴い，クロックの高速化が必要となった．しかし，クロックスキューや消費電力の問題で，プロセッサで用いることができる周波数は4GHzが限界であるといわれている．そこで我々は，超高速，低消費電力，低スキュー，低ジッタのチップ内クロック分配方法を提案し，設計を行った．提案するクロック分配回路の特徴は，インダクタを用いることで伝送路上に振幅一定の定在波を生成し，更に伝送路距離と発振周波数を制御する点である．また，定在波という共振特性を利用することで低消費電力を実現する．試作した本チップには6×6グリッド型クロック分配回路，1対1接続型クロック分配回路，インダクタ測定用ＴＥＧ，伝送線路測定用ＴＥＧを搭載した．測定により設計値の発振周波数17GHzが実現できた．このときの電源電圧は1.8V，消費電力10.8mW/Gridであった．

参考文献：M. Shiozaki, M. Sasaki, A. Mori, A. Iwata, and H. Ikeda 20GHz Uniform-Phase Uniform-Amplitude Standing-Wave Clock Distribution IEICE Electronics Express （ELEX）, Vol. 3, No. 2, 11-16, 2006

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：MOSIS-TSMC 0.18μm 9mm^2　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

低電圧動作アナログ回路 TEG

広島大学先端物質科学研究科　　吉田 毅, 升井 義博, 円林 晃一郎, 石田 尚也, 青木 慶

概要：近年の CMOS プロセス技術の進歩によりデバイスは微細化され，ディジタル回路の高速化・高集積化が実現されている．しかし CMOS デバイスの閾値電圧（Vth）は大規模ディジタル回路の待機時消費電力を低減するために低電圧化されていない．したがってアナログスイッチを多用する低電圧動作アナログ回路の実現はますます困難になっている．またデバイスの雑音増加および電源電圧の低電圧化により SN 比は劣化し，高精度・低雑音のアナログ回路の実現は困難になっている．したがって我々は，微細 CMOS プロセスによるアナ・デジ混載システム LSI を実現するために，アナログ回路の低電圧動作および低雑音化技術について研究を行った．本チップは低電圧で動作可能なグランデッドスイッチを用いた低雑音チョッパ増幅回路，逐次比較形 ADC，ΣΔADC および PLL で構成されている．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Analog Artist, Mentor 社 Calibre，Mentor 社 xCalibre　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：MOSIS-TSMC 0.18μm 9.8mm^2　**チップ種別**：TEG（特性評価回路など）

低電圧動作アナログ回路 TEG

広島大学先端物質科学研究科　　吉田 毅, 升井 義博, 円林 晃一郎, 石田 尚也, 青木 慶

概要：近年の CMOS プロセス技術の進歩によりデバイスは微細化され，ディジタル回路の高速化・高集積化が実現されている．しかし CMOS デバイスの閾値電圧（Vth）は大規模ディジタル回路の待機時消費電力を低減するために低電圧化されていない．したがってアナログスイッチを多用する低電圧動作アナログ回路の実現はますます困難になっている．またデバイスの雑音増加および電源電圧の低電圧化により SN 比は劣化し，高精度・低雑音のアナログ回路の実現は困難になっている．したがって我々は，微細 CMOS プロセスによるアナ・デジ混載システム LSI を実現するために，アナログ回路の低電圧動作および低雑音化技術について研究を行った．本チップは低電圧で動作可能なグランデッドスイッチを用いた低雑音チョッパ増幅回路，逐次比較形 ADC，ΣΔADC および PLL で構成されている．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Analog Artist, Mentor 社 Calibre，Mentor 社 xCalibre　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：MOSIS-TSMC 0.18μm 9.7mm^2　**チップ種別**：TEG（特性評価回路など）

誘導結合トランシーバ用低電力送信回路

慶應義塾大学理工学部　　井上 眞梨, 黒田 忠広

概要：誘導結合トランシーバ用低電力回路を設計試作した．これまでに 1Tb/s の高速・高密度化を達成してきた．電力に関しては 3mW/Gb/s であり，そのうちの 70%を送信回路が消費している［1］．多チャネル化を更に目指すためには，支配的となっている送信回路の低電力化が必要となる．そのための回路技術として，本チップには送信電流を再利用することができる送信回路を搭載した．サイズ 2.7mm x 3.7mm のチップ上には，20um ピッチで 8 チャネル送信回路が 4 種類内蔵されている．同チップを向かい合わせに実装して，データのチップ間通信実験を行った．

参考文献：［1］ N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link, " IEEE International Solid-State Circuits Conference （ISSCC'06）, Dig. Tech. Papers, pp. 424-425, Feb. 2006.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：MOSIS-TSMC 0.18μm 9.9mm^2　**チップ種別**：通信（RF 回路，ATM など）

平成17年度第3回MOSIS-TSMC CMOS 0.18μm試作（MT18053）

高速VCSELレーザドライバ回路

大阪大学工学部　　**リー タックヤン，松岡 俊匡，谷口 研二**

概要：従来，光通信では大電流が必要なEdge Emitting Laserが使用されていたため，出力電流の小さなCMOSでは高速レーザドライバの設計が困難だった．しかし，最近，低電流で駆動できるVertical Cavity Surface Emitting Laser（VCSEL）の登場により，10GHz帯高速CMOSレーザドライバの設計が可能となった．本研究は，光通信の低消費電力化を目的としてCMOS高速VCSELレーザドライバ回路を設計・試作した．本チップは，低電圧で作動可能な差動入力・NMOS出力型および差動入力・PMOS出力型レーザドライバ回路で構成されている．また，低電圧で作動可能なプリドライバとして，Modified Cherry Hooper Amplifierを設計・試作した．今後レーザドライバの出力を制御するフィードバック回路を設計する予定である．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Diva，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：MOSIS-TSMC 0.18μm 10mm^2　**チップ種別**：通信（RF回路，ATMなど）

チップ間無線電力伝送

慶應義塾大学理工学部　　**Yuan Yuxiang**

概要：現在のSiP技術において，チップ間の信号伝送を無線により実現する手法が研究されてきている．一方で，積層されたチップに与える電源に関しては，未だにボンディングなど有線によって行われており，電力伝送の無線化が望まれている．そこで本チップは，誘導結合チャネルを複数個搭載し，チップ間の電力伝送を無線により実現する．送信チップにおいて，直流電力は交流電力に変換され，誘導結合を介して受信チップへ伝送される．受信チップでは，整流回路により，交流電力は直流電力へ変換され出力される．また制御回路を搭載しており，必要とされる電力に応じて，電力を送受信する仕組みとなっている．0.18um CMOS技術によりチップ試作を行った．チップサイズは5.56mm×1.8mmである．今後，電力伝送，さらに整流・制御回路について，その効率・性能を測定する予定となっている．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：MOSIS-TSMC 0.18μm 10mm^2　**チップ種別**：通信（RF回路，ATMなど）

再構成可能CMOS無線回路

東京工業大学統合研究院　　**山内 拓弥，菅原 弘雄，川添 大輔，伊藤 雄作，伊藤 猛，岡田 健一，益 一哉**

概要：本試作では，広帯域動作および自己性能補償を目的とするCMOS無線回路TEGを試作した．チップには広帯域VCO，広帯域LNA，自己性能補償型LNA，小面積分布定数型増幅器，分布定数型乗算回路を実装した．VCOは，可変インダクタとスイッチトキャパシタ，1/2分周器，ミキサを使用することによって1GHzから6GHzまでの広帯域での発振が可能なものを検討した．LNAは，整合回路のインダクタおよびキャパシタをスイッチによって切り替えることで1GHzから6GHzの動作切り替えを行い，さらにインダクタンスを可変にすることにより連続的なチューニング特性を得ることを検討する．自己補償型LNAは，MOSスイッチによりMOSFETのゲート幅を擬似的に変化させ，製造ばらつきや温度変化に対する補償を行うものを検討した．小面積分布定数型増幅器は，多数のインダクタを1つにまとめることによる小面積化を検討した．分布定数型乗算回路は，従来型のものを実装し，動作確認を目的とする．

設計期間：5人月以上，6人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：MOSIS-TSMC 0.18μm 16mm^2　**チップ種別**：通信（RF回路，ATMなど）

広帯域アナログ複素係数フィルタ

北見工業大学工学部　　谷本 洋，矢舗 誠，田邊 寛朗，柳沢 英人

概要：本試作は高速無線通信への応用を目的とした広帯域のアナログ複素信号処理回路の試作である．我々の提案したRCポリフェーズフィルタに基づくアクティブ複素係数フィルタの新しいトポロジの性能確認を主目的として，関連する回路も含め，次のような回路ブロックを搭載している：RCポリフェーズフィルタによる（1.4〜2.4） GHzの広帯域90度移相回路，正の周波数に（+1〜+100） MHzの通過域を有し，負の周波数に（−1〜−100） MHzの阻止域を有する受動RCポリフェーズフィルタ，同じ周波数特性を有する能動RCポリフェーズフィルタ，およびこれらに使用した低電圧動作する擬似全差動OTAのTEGを搭載している．試作チップは平成16年3月納品の予定であったが，試作スケジュールの遅延により原稿執筆時点ではチップを受け取っていない．チップを入手次第，イメージ信号除去比，IM3，NF等を評価する予定．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：MOSIS−TSMC 0.18μm 10mm^2　**チップ種別**：通信（RF回路，ATMなど）

平成17年度第4回MOSIS-TSMC CMOS 0.18μm試作（MT18054）

動的再構成可能RF回路技術向け要素回路，受動素子

東京工業大学統合研究院　**川添 大輔，菅原 弘雄，伊藤 雄作，山内 拓也，伊藤 猛，岡田 健一，益 一哉**

概要：動的再構成可能RF回路技術を無線通信回路のRFフロントエンド部に用いることによって，1チップで400MHz〜6GHzまでの通信周波数帯を網羅し，かつ製造時の素子ばらつきや動作温度の変化などによる回路性能の変化を自動的に補償する回路の実現を目指す．本試作では，RFフロントエンドの回路要素である低雑音増幅器（LNA）及び電圧制御発信器（VCO）を設計した．LNAについてはマルチバンドに対応するために大きく二つのタイプの回路を設計した．ひとつは狭帯域動作をするLNAをスイッチなどを用いて整合状態を変化させ，広帯域にチューニングするもの，また広帯域動作する分布乗数形増幅器の設計を行った．VCOは，2〜3GHzまで動作するものに，Mixer, Divider, スイッチを用いて1〜6GHzまで周波数可変範囲をもつVCOを実現した．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：10以上，100未満
試作ラン：MOSIS-TSMC 0.18μm 16mm^2　**チップ種別**：TEG（特性評価回路など）

高周波アナログアクティブフィルタの試作

東京工業大学理工学研究科　**藤井 信生，高木 茂孝，佐藤 隆英，ニコデムス レディアン**

概要：アナログアクティブフィルタを試作した．試作の目的はアナログ集積回路において構成の異なる回路の評価および特性の比較．アナログ回路の一例としてアクティブフィルタを用いた．試作したアクティブフィルタはOTA（Operational Transconductance Amplifier）回路および容量を用いて構成した．遮断周波数が100MHz程度の低域通過型フィルタをシングルエンド型および平衡型，複数の回路構成で試作した．シングルエンド型は1.5Vの電源電圧を用いるが，平衡型の回路は1Vの電源電圧で動作可能．計測のために各フィルタ回路に同じ出力合成（加算）回路および負荷駆動回路（バッファー）を内蔵した．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：MOSIS-TSMC 0.18μm 10mm^2　**チップ種別**：アナログ/デジタル信号処理プロセッサ

平成17年度第2回MOSIS-TSMC CMOS 0.25μm試作（MT25052）

オールオンチップPLLと基板雑音に対する影響評価

広島大学先端物質科学研究科　　外谷 昭洋，岩田 穆

概要：近年のアナログ・ディジタル混載回路において，大規模化するディジタル回路から発生し，基板を介して伝搬する基板雑音が問題となっている．本研究では，基板雑音に対する耐性の高い全差動型の PLL 回路を設計すると共に，この回 路に対してディジタル回路の与える影響を測定・評価し，アナログ・ディジタル混載回路に搭載する PLL の性能を向上させることを目的としている．本試作チップはオールオンチップ全差動 PLL と基板雑音発生回路（TCNS），雑音検出回路（NDET）［1］を搭載している．本チップはシングル入力型 VCO を使った従来型 PLL も搭載し，全差動型 PLL との比較を可能にしている．また，回路を電気的に切り離すことによって，VCO 単体での測定評価を可能としている．

参考文献：［1］ Makoto Nagata, Katsumasa Hijikata, Jin Nagai, Takashi Morie, Atsushi Iwata, “Reduced substrate noise digital design for improving embedded analog performance,” IEEE International Solid-State Circuits Conference, pp. 224–225, Feb. 2000.

設計期間：3 人月以上，4 人月未満　**設計ツール：**Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数：**1, 000 以上，10, 000 未満　**試作ラン：**MOSIS-TSMC 0. 25μm 9. 964mm^2　**チップ種別：**アナデジ混載

1:8CMOS デマルチプレクサの試作

大阪大学大学院工学研究科　　姚 峥山，金 奎哲，田中 智之，王 軍，井田 司，上田 啓介，松岡 俊匡，谷口 研二

概要：本試作では低消費電力化を実現し，CMOS デジタル回路と混載するためには CMOS プロセスによる高速動作可能な CMOS デマルチプレクサの実現を目的として研究を行った．低電源電圧下で高速動作が可能な Current Switched Logic （CSL） を採用し，CSL を用いた 1:8 CMOS デマルチプレクサを設計した．回路シミュレーションでは，設計した CMOS デマルチプレクサは電源電圧 1V で 4Gb/s の高速シリアル-パラレル変換が可能であった．この他，デマルチプレクサに必要となる PLL クロック生成回路とそのための VCO のテスト回路も設計した．　この他，可変利得増幅回路，低域通過フィルタ，Δ-Σ 変調器などのアナログ信号処理用基本回路も混載している．

設計期間：5 人月以上，6 人月未満　**設計ツール：**Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC，Cadence 社 Diva，Cadence 社 Analog Artist，Mentor 社 Calibre，Mentor 社 xCalibre　**トランジスタ数：**1, 000 以上，10, 000 未満　**試作ラン：**MOSIS-TSMC 0. 25μm 10mm^2　**チップ種別：**通信（RF 回路，ATM など）

平成17年度第3回MOSIS-TSMC CMOS 0.25μm試作（MT25053）

可変利得増幅回路の試作

大阪大学大学院工学研究科　　王 軍, 姚 峥山, 松岡 俊匡, 谷口 研二

概要：信号処理や通信システムにおいて，低電圧・高精度可変利得増幅回路（VGA）の重要性が高まっている．それらの構成ブロックの1つであるオペアンプにも，高利得・高周波数特性が要求されている．本試作では，フォルデッド・カスコート型メインアンプに，テレスコピック型補助アンプでゲイン・ブーストする構成を採用したオペアンプを設計した．テレスコープ型補助アンプでは，従来のスイチドキャパシタCMFB回路を使わずにソースフォロワーを駆使した回路を採用したため，チップ占用面積は大きく低減された．設計したオペアンプを用いてVGAを構成し，1〜4までの可変利得，10MHzのサンプリング周波数，約10〜12ビットのVGA回路を設計した．スイチドキャパシタ・バッファを搭載したVGA回路は3pFまでの負荷容量で動作は可能である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：MOSIS-TSMC 0.25μm 10mm^2　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

衝突点モニター用ピクセル検出器読出し回路

東北大学理学研究科　　橋本 健太郎, 横山 康博, 山本 均
宇宙科学研究所　　池田 博一

概要：東北大学ではJLC（ジャパンリニアコライダー）に使われるペアモニターの開発を行っている．JLCは1msの継続時間を有する電子ビームと陽電子ビームが5Hzで衝突を繰り返す．また1msの継続時間中には，さらに300ns間隔の微細構造が存在する．この衝突で対生成された電子の空間的，時間的分布を検出することで衝突条件の最適化を図ることが，3Dピクセル検出器をセンサーとする本回路の役割である．その実現のため本回路はバンプボンドされたセンサーからの信号を増幅する増幅回路，その信号をカウントするカウンタ回路，計数値を時間ごとに割り振るメモリ回路などからなる．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Verilog-XL　**トランジスタ数**：100,000以上　**試作ラン**：MOSIS-TSMC 0.25μm 16mm^2　**チップ種別**：アナデジ混載

平成17年度第4回MOSIS-TSMC CMOS 0.25μm試作（MT25054）

京都大学生存圏研究所　　松本 陽史，小嶋 浩嗣，上田 義勝

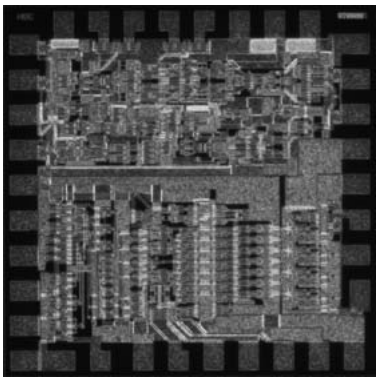
概要：・人類が宇宙へ進出して本格的な宇宙利用がスタートし，大規模な活動が展開されるようになると，そこに「人間活動がある」からこそ発生するような宇宙環境の「乱れ」が生じることになる．そして，その「乱れ」は電磁場の乱れとして観測されるべきものである．このように，「人間がその宇宙空間で，活動を展開することによって発生する電磁環境の乱れを，電波を受信することによって，手軽に，定期的にモニターすることのできる装置」の開発が必要である．宇宙機用途として開発が進められている宇宙プラズマ環境モニタの開発の一環として，超小型RFセンサを開発している．本開発はその基礎研究として基本となるアナログ回路（フィルタ，アンプ）をASICとして設計した．100kHzのローパスフィルタとしてGM-Cフィルタを設計し，アンプには20dB，10dBのアンプ回路を作成した．基本特性を解析するため，チップ内にいくつかのコンポーネントを配置し，ASIC毎の特性の違いや，アンプ回路の安定度等を調査している．

設計期間：5人月以上，6人月未満　**設計ツール：**Cadence社 Encounter，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数：**100以上，1,000未満　**試作ラン：**MOSIS-TSMC 0.25μm 10mm^2　**チップ種別：**通信（RF回路，ATMなど）

平成17年度第1回NEC Bipolar 0.6μm試作（NEC05）

8-bit, 1GS/s バイポーラS／Hの試作

中央大学理工学部　　佐藤 義和, 土橋 洋太, 杉本 泰博

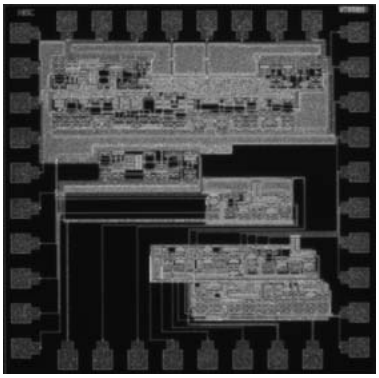


概要：高速動作する測定器等に適用可能なS／H回路について検討した．バイポーラプロセスS／H回路の代表的な構成方法であるＳＥＦ型は，高速動作に適しているという利点があるが，入力差動段の歪みによる精度の低下や，多段構成による電源電圧の上昇などの問題点がある．今回検討した回路では，入力にプリバッファ及びクロスカップルトランジスタを用いることにより，入力段の歪みを改善した．また，出力バッファとしてレベルシフトを伴わないバッファを用いることにより，従来よりも低い電源電圧での動作を可能にした．さらに，クランプ回路を用いることにより，ホールドモードフィードスルーを軽減した．現在評価ボードを作成中であり，完成し次第測定に着手する．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

1次連続時間型 ΔΣ 変調器

上智大学理工学部　　森田 寛, 田中 隆, 湯本 拓, 和保 孝夫

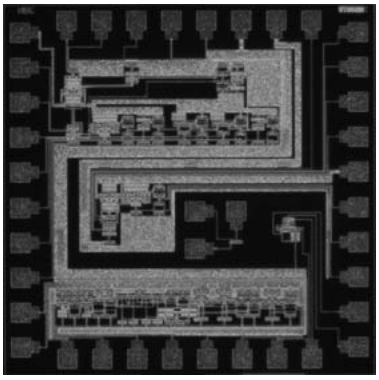


概要：高速サンプリング，広帯域入力信号をA/D変換できる技術の確立を目指し，バイポーラトランジスタを用いた連続時間ΔΣ変調器を設計した．連続時間型ではアナログ的なフィードバックが直接入力信号に加わるため，電流量の最適化を図りSNRの向上を狙った．設計したΔΣ変調器はポジティブカレントソースを含む積分器，比較器，電流切替型DACからなる．試作チップにはΔΣ変調器本体の他に，それぞれの要素回路を搭載し，個別回路の動作確認を可能とした．また，別チップ上で実現したダブルサンプリング技術を用いたΔΣ変調器で採用した比較器も，パッド数の関係から，本チップ上に単体で搭載した．SPECTREによるシミュレーションでは，OSR＝128（入力帯域幅1.9MHz，サンプリング周波数500MHz）でSNR＝52dBが予測できた．また，比較器単体においてはサンプリング周波数12GHzまでの比較動作が確認できた．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

ダブルサンプリング1次連続時間型 ΔΣ 変調器

上智大学理工学部　　田中 隆, 森田 寛, 湯本 拓, 和保 孝夫

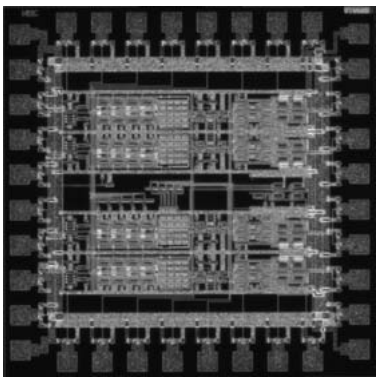


概要：高速サンプリング，広帯域入力信号をA/D変換できる技術の確立を目指し，バイポーラトランジスタを用いた連続時間ΔΣ変調器を設計した．連続時間方式では，連続時間信号から離散時間信号への変換と，アナログ信号から量子化を同時に行うために，高速・高精度で動作する比較器が要求される．本回路では，ダブルサンプリング・コンパレータを用いて，クロック周波数の倍のサンプリング周波数を実現した．実際には，500MHzのクロックに対して，1GHzでのサンプリングを可能にした．積分器にはミラー効果を用いたgm-C型を用いた．トランスコンダクタには，出力抵抗を高めるために，PNPを負荷に用いたコモンエミッタ出力段を用いた．ミスマッチの影響を考慮し，コモンモードフィードバックを施した．SPECTREによるシミュレーションでは，OSR＝128（入力周波数3.6MHz，サンプリング周波数1GHz）でSNR＝56dBが予測できた．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

ASVPZ2005

高エネルギー加速器研究機構素粒子原子核研究所　　田中 真伸

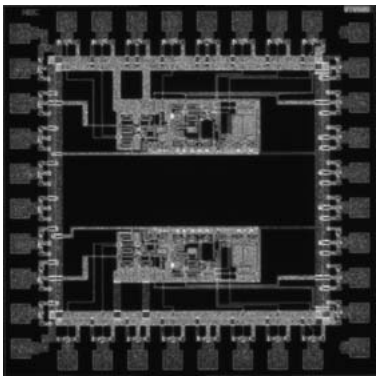


概要：放射線検出器用フロントエンドエレクトロニクス AISC である．チャンネル数は4チャンネル/chip でありこの中に各チャンネルに下記の回路ブロックが入っている．高速低雑音プリアンプ，デジタルポールゼロキャンセラー，フィルター，差動出力回路，ゲイン可変回路，モニター回路である．特徴としては多チャンネル化に対応するため外付け素子を必要としないポールゼロキャンセラーを採用したことである．これは外部から4ビットでポールゼロ周波数をコントロールすることが可能であるため，通常必要である外付けの大きな容量や抵抗などを必要としない．よって高集積化に向いているデザインとなっている．またデジタルコントロールにDACを使用しているわけではないため低消費電力である．評価を行い上記の動作を確認し，デザイン，原理などに問題がないことを証明した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm 角　**チップ種別**：イメージセンサ/スマートセンサ

ポジティブ・アンプ

高エネルギー加速器研究機構素粒子原子核研究所　　谷口 敬，島崎 昇一，根岸 久，田中 真伸

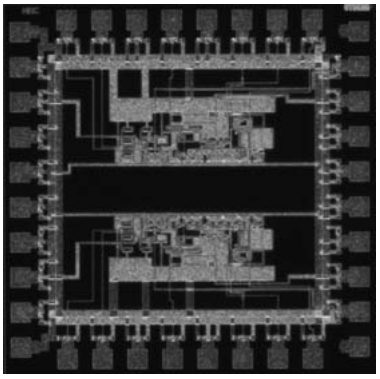


概要：高エネルギー実験に使用される主として希ガスを使用した多チャンネルマルチワイヤー比例計数管（MWPC あるいは MWDC）用でポジティブ電荷入力用の前置増幅器．電子でなく正イオンに感じて信号を発する非反転型高速電流アンプである．回路には比例計数管に特有の1/ t テールを切るためのポール・ゼロ・キャンセル回路を有している．また高速タイミング性能と低ノイズの双方を両立させる為，アンプは二段構成になっている．初段は低ノイズで且つ高速に信号を増幅する為に単純なエミッター接地型のフィードバックアンプで二段目は周波数フィルターをかけて，ガウス関数に近い波形に整形を行う．また出力レベルが，高い入力レートによりベースライン変動を起こすのを防ぐ為にベースライン再生回路を有している．高エネルギー物理学実験をはじめ，原子核実験や医療用X線検出器にもガスチェンバーだけでなくシリコン検出器やAPDなどの前置増幅器として使用でき，高速で且つ超低ノイズが特徴である．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

ネガティブ・アンプ

高エネルギー加速器研究機構素粒子原子核研究所　　谷口 敬，島崎 昇一，根岸 久，田中 真伸

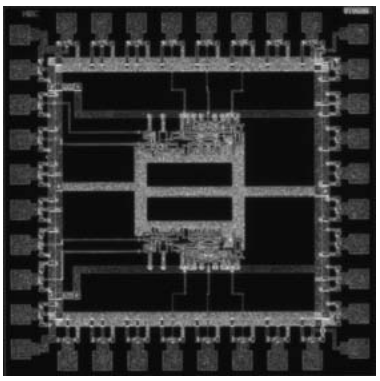


概要：高エネルギー実験に使用され主として希ガスを使用した多チャンネルマルチワイヤー比例計数管（MWPC あるいは MWDC）用でネガティブ電荷入力用．電子に感じて信号を発する非反転型高速電流アンプである．回路には比例計数管に特有の1/ t テールを切るためのポール・ゼロ・キャンセル回路を有している．また高速タイミング性能と低ノイズの双方を両立させる為，アンプは二段構成で初段は低ノイズで且つ高速に信号を増幅する為に単純なエミッター接地型のフィードバックアンプとし，二段目で周波数フィルターをかけてガウス関数に近い波形に整形を行う．また出力レベルが，高い入力レートによりベースライン変動を起こすのを防ぐ為にベースライン再生回路を有している．高エネルギー物理学実験をはじめ，原子核実験や医療用X線検出器にもガスチェンバーだけでなくシリコン検出器やAPDなどの前置増幅器として使用でき，高速でなおかつ超低ノイズであることが特徴である．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

高速コンパレータ

高エネルギー加速器研究機構素粒子原子核研究所　　谷口 敬，根岸 久，島崎 昇一，
田中 真伸

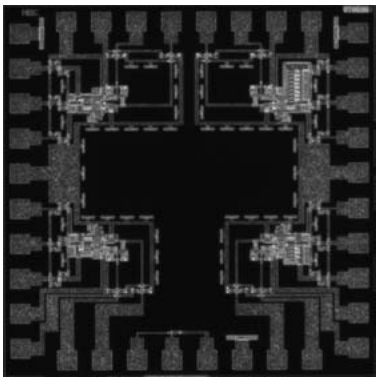


概要：高エネルギー実験や原子核実験によく使用される高速粒子検出器（シンチレーションカウンターやMWDCのような，高い時間分解能を必要とするタイミングディスクリミネーター）に使用されるコンパレーターである．特に高速・単電源で使用可能・差動出力・出力ラッチ機能があることが特徴である．入力電圧範囲は光電子増倍管の出力を基本としており，負出力（0〜-2V）に対して使用できることが条件となっている．内部回路は特に静特性が良い事と超高速で且つオーバードライブ遅延特性が良い事の双方を達成する為に多段のNPN差動スイッチを使用した．入力部分は高い入力インピーダンスを保つ為，エミッターフォロワーを追加．ラッチ機能を追加する為に出力直前の差動スイッチ直後にスイッチつきのPNP差動増幅器を使用し正帰還をかけて出力レベルの固定を行っている．基本的に負出力信号を取り扱うことが前提なのでVccをGND（0V）として使用し，出力レベルはNECLレベルになっている．しかし電源の選択によってはLVDSやPECLレベルにも対応できる．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

N6114（Multi Input Transistor Charge Sensitive Pre-Amplifier）

高エネルギー加速器研究機構素粒子原子核研究所　　河合 克彦，田中 真伸

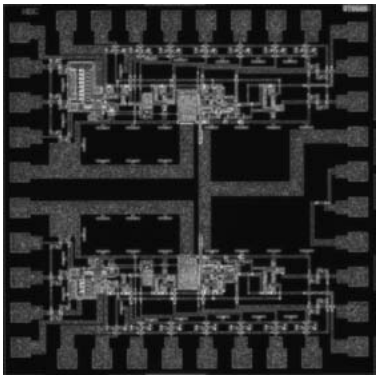


概要：一般的な光電子増倍管と比較して，電子増倍ゲインが2桁ほど低いHPD（Hybrid Photo-Detector）用として，ローノイズ性を重視したチャージセンシティブプリアンプTEGを製作した．一般的に回路全体のノイズを支配するのは入力トランジスタのノイズレベルであり，ベース拡散抵抗の大きさ依存する．等価的にこのベース拡散抵抗を下げる手段として，入力トランジスタを複数個並列接続する方法がある．本TEGにおいては，同じ回路構成ではあるが入力トランジスタ数をそれぞれ1,2,4,8個組み入れた計4つのチャージセンシティブプリアンプ回路を試作し，ノイズ低減効果及び，適正入力トランジスタ数を実験により把握し，量産型のためのデータ収集を目的とした．なお，入力段に使用したトランジスタ単体のTEGを入れており，これを使ってトランジスタ自身のノイズを把握することで，上記のチャージセンシティブプリアンプのノイズとの整合性を定量的に評価することができる．テスタによる測定は無し．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm角　**チップ種別**：TEG（特性評価回路など）

N6115（Multi Input Transistor Charge Sensitive Pre-Amplifier with PZC, Shaper, Buffer）

高エネルギー加速器研究機構素粒子原子核研究所　　河合 克彦，田中 真伸

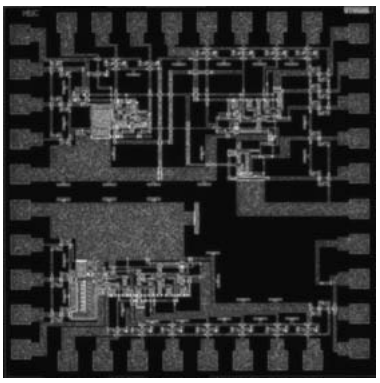


概要：Chip No. N6114における入力トランジスタ数4及び8のチャージセンシティブアンプ回路に，ポールゼロキャンセル回路及び，読み出し対象光電子増倍管であるHPD（Hybrid Photo-Detector）の検出器容量と，予測されるプリアンプの雑音レベルから求めた最適な時定数をもつシェイピング回路を付加した回路である．また，出力段としてバッファアンプを設けることで，極力少ない外付け回路でMulti Channel Analyzer等の波高分析器に接続できるようにした．本チップはHPDのフォトンカウンティングモードにおける，入射光のエネルギー分解能を評価するためのアンプチップである．各回路ブロックには出力端子を設けてあり，各パートの動作確認ができるようにした．また，各ブロックのバイアスポイント及び，電流値は外部からの調整も可能な構成となっている．なお，本チップにもChip No. N6114同様にノイズ評価用としてトランジスタ単体のTEGを入れた．テスタによる測定は無し．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm角　**チップ種別**：TEG（特性評価回路など）

N6116 （Wide Dynamic Range Charge Sensitive Pre-Amplifier）

高エネルギー加速器研究機構素粒子原子核研究所　　河合 克彦，田中 真伸

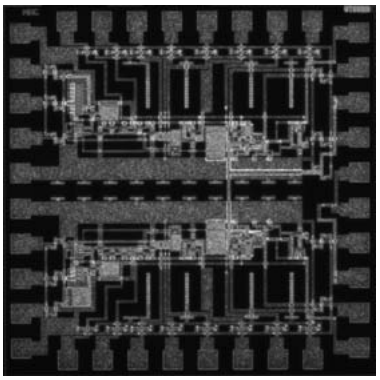


概要：HPD（Hybrid Photo-Detector）用のダイナミックレンジの広いチャージセンシティブプリアンプを試作した．AISC チップでは，印加可能な最大電圧が低いために入力信号に対して出力のダイナミックレンジを得にくい．フィードバックキャパシタを大きくすることで，全体的にチャージゲインを下げればより大きな入力信号にも対応できるようになるが，小さな入力信号に対するチップ出力での S/N が劣化する．本チップでは，Chip No. 6114 における 8 入力トランジスタアンプ回路に電圧アンプを付加した構成となっており，出力としてチャージアンプ部から直接信号を取り出す端子と，電圧アンプを介して出力する端子を設けた．入力信号レベルに応じて出力端子を使い分けることで，ダイナミックレンジを確保すると同時に，小信号入力に対する S/N の劣化を抑えることができる．また，大入力信号に対しては，クランプ回路を設け，電圧アンプの飽和を抑える工夫をした．テスタによる測定は無し．

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

N6117 （Multi Input Transistor Charge Sensitive Pre-Amplifier with PZC，Shaper，Buffer）

高エネルギー加速器研究機構素粒子原子核研究所　　河合 克彦，田中 真伸



概要：Chip No. N6115 におけるチャージセンシティブアンプ部分における高ゲイン化を図ったものを試作した．一般にチャージセンシティブアンプでは，検出器で発生した電荷をより効率的にアンプ側へ引き込むために，アンプの入力インピーダンスは可能な限り低いことが望ましい．このためには，アンプ自身のオープンループゲインを高くする必要がある．本回路においては，入力トランジスタ段にフォールデットカスコード+正帰還を施すことで広帯域で高いオープンループゲインを得られる工夫をした．なお，入力段のトランジスタのコレクタ電流を外部電圧でコントロール可能な構成にすることで，相互コンダクタンスを変化させノイズ及び，応答速度に対する定量的な評価ができるようにした．ポールゼロキャンセル及びシェイピング回路については Chip No. N6115 と同様な構成であり，出力用バッファアンプも内蔵している．ノイズ評価用としてトランジスタ単体の TEG も入れた．テスタによる測定は無し．

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Analog Artist　**トランジスタ数**：10 以上，100 未満　**試作ラン**：NEC Bipolar 0.6μm 2.0mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

平成17年度第1回OKI SOI CMOS 0.15μm試作（OKI0503）

Gate Cascode High Gain Low Noise Amplifier

東京大学新領域創成科学研究科　藤島 実，山本 憲，ライ チーホン，渡辺 宏樹
東京大学工学系研究科　谷本 英之

概要：The fabricated circuit using the OKI SOI 0.15μm process is a low noise amplifier (LNA). The LNA is the first active stage of a receiver that provides gain to the received signal. The circuit is designed to operate at 35 GHz and the cascode topology has been selected to implement this stage. While cascode topology provides almost minimum noise figure and high stability at the desired frequency, it shows less gain at high frequencies. The cascode topology consists of a transconductance amplifier in a common-source configuration and a cascode transistor in a common-gate configuration. The transconductance amplifier is inverting and provides the primary gain of the cascode topology. In this work, the performance of the cascode LNA circuit with the utilization of a gate reactance at the cascode transistor is reviewed. The gate reactance is found to improve the gain of the LNA. As this circuit is designed to operate at high-frequency, this reactance has been conveniently realized in the form of a coplanar waveguide. Coplanar waveguides are also used for realizing the input and output matching networks. The gain of this configuration has also been derived mathematically and the stability analyzed from the characteristic curves obtained from the derived expression. Accurate simulation results are also studied to ensure the consistency of this finding. From analytical results, the stability of the LNA can be understood from derived phase plots. Instability sets in when the phase is positive since the cascode configuration works at an inverted mode. A change of phase will occur after the peak in the transconductance plot as the length of the reactive gate stub changes. Therefore, to ensure stability, the stub has to be kept below a maximum length. Further design considerations have to be made for other circuit components, including signal pads, since the high frequency involved can be affected by them as well.

設計期間：4人月以上，5人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数：**10以上，100未満
試作ラン：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別：**アナログ（PLL，A-D/DC-DCコンバータなど）

High Performance Transmission Lines for Low Loss

東京大学新領域創成科学研究科　藤島 実，山本 憲，ライ チーホン，渡辺 宏樹
東京大学工学系研究科　谷本 英之

概要：To effectively exploit CMOS at high frequency, transmission lines with high quality factor (Q-factor) are required. High Q lines are characterized by a low attenuation that can reduce power consumption in a circuit. It is also desirable to have lines with high phase constant to reduce the phase velocity of the waves in the lines. The resulting slow wave has low dispersion. An implementation of the slow-wave transmission line in the form of the coplanar waveguide is by using a floating shield. This method of reducing losses is very useful because it requires no additional processing steps. A new slow-wave transmission line structure for improving the Q-factor has been realized in this work using ground metals at both sides of the signal line. This structure also uses slotted ground shields for preventing the electric field from entering the substrate. Each of the ground metal structure consists of extended metal fingers orthogonal to the direction of current flow and they are connected together at a distance from the signal conductor. No return current flows along these finger structures but will flow at a farther distance from the signal conductor at where the fingers join. In this way, the return ground current flows at a distance farther away. In addition, the ground conductors extend towards the silicon substrate and are connected to a slotted ground shield laid underneath the signal conductor. The ground shield prevents the electric field from entering the substrate while its slotted structure minimizes return current from flowing. As a result, this structure has a high quality factor and low attenuation. It allows slow-waves to propagate which results in low dispersion for a given characteristic impedance. It is also designed to satisfy the stringent density requirements of advanced CMOS processes. A model is developed to characterize this structure by analyzing the physical current flowing in the substrate and the shield structure.

設計期間：4人月以上，5人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数：**100以上，1,000未満　**試作ラン：**OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別：**アナログ（PLL，A-D/DC-DCコンバータなど）

スタンダードセル評価回路

京都大学情報学研究科　古澤 賢治，河野 武志，牟田 博和，小谷 学，小林 和淑
京都大学　小野寺 秀俊

概要：スタンダードセル生成ツールVARDS（京都大学にて開発）を用いて310種類のSOIプロセス用スタンダードセルを作成した．生成したセルの種類は，平成15年度9月の試作にて開発したスタンダードセルライブラリと基本的には同一である．昨年度開発したセルライブラリは，一部の端子が配線グリッド上に乗っていないことが判明したため，レイアウト生成規則と一部のレイアウトを修正して再度レイアウト生成を行ったものである．生成セルの動作検証のために，リングオシレータとチェイン回路を設計した．また，セルベース設計環境を構築するために，Astro用の配置配線ライブラリを作成した．FIRフィルタ回路を例題として，論理合成とレイアウト合成を行い，開発したセルベース設計フローの検証を行った．しかしながら，出力IOのEnable端子への接続ミスがあり，テスタによる動作確認は行えていない．チェイン回路を対象としてEBテスタを用いた信号波形観察を行ったところ，入力データに応じたトグル動作を観測することができた．

設計期間：4人月以上，5人月未満　**設計ツール：**Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数：**100,000以上　**試作ラン：**OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別：**TEG（特性評価回路など）

低電圧動作低雑音増幅器の設計

大阪大学工学研究科　　木原 崇雄，金 奎哲，松岡 俊匡，谷口 研二

概要：近年，消費電力に対する要求と半導体プロセスの微細化に伴い集積回路の電源電圧は低下しており，所望の性能を満たすRF（Radio-Frequency）回路の実現が困難となってきている．この問題の解決方法として，低電圧下でも動作可能な回路構成の提案とSOIプロセスを用いた回路設計が挙げられる．本試作では，無線LAN受信機用の低電源電圧下で動作可能な低雑音増幅器（LNA）をFD-SOI CMOSプロセスを用いて設計した．LNAの回路構成を入力段にソース接地増幅回路，後段をゲート接地増幅回路とした二段型の構成とした．二段型の構成にすることで，従来のカスコード型LNAよりもより低電圧で動作が可能となる．電源電圧1 Vで消費電流が8.4 mAのとき，周波数5.5 GHzにおいて，雑音指数1.4 dB，S11<-10 dB，S21=26 dB，S12<-45 dBの測定結果が得られた．
設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：通信（RF回路，ATMなど）

無線LAN受信機用のミキサ及びVCOの設計

大阪大学工学研究科　　金 奎哲，村上 豊生，上田 啓介，後藤 克，木原 崇雄，松岡 俊匡
谷口 研二，

概要：無線LAN受信機フロントエンドのミキサ，電圧制御発振器（VCO）をFD-SOI CMOSプロセスを用いて試作した．ミキサはギルバートミキサで，線形性を向上させるためにトランスコンダクタ部のMOSFETのソースにインダクタを接続した．VCOはテール電流源を取り除き，n型，p型MOSFET両方を用いた回路構成とした．さらに，2つのVCOをカップリングさせて，クワドラチャーVCO（QVCO）としている．VCOをカップリングさせる際に，カップリングさせているMOSFETの雑音がQVCOの位相雑音に寄与しない回路構成としている．また，ミキサ，VCOともに測定し，周波数変換及び発振動作を確認した．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：通信（RF回路，ATMなど）

160×180画素開口つきイメージセンサおよびTEGチップ

奈良先端科学技術大学院大学物質創成科学研究科　　徳田 崇，松尾 昌通，中川 琢磨，
香川 景一郎，布下 正宏，太田 淳

概要：生体内埋め込み型　in vivo脳神経イメージセンサへの応用を目指した，SOIイメージセンサおよびTEGチップを設計した．画素アレイ部には120×120の開口用レイアウト（画素なし）部が240ミクロンピッチで設けられており，裏面からDeepRIEによって開口を形成することで，チップ表面での接触型脳神経蛍光イメージングが可能となる．TEGの評価により，CMOSイメージセンサ受光部の感度が通常のCMOSイメージセンサ受光部と比較して4桁程度小さいものの光検出が可能であることを確認した．また，イメージセンサ裏面の開口プロセスを行い，裏面からの開口を経由した光照射に成功した．
設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm
チップ種別：イメージセンサ/スマートセンサ

CMOSアクティブ磁界プローブの設計

静岡大学電子科学研究科　　**青山 聡**
静岡大学電子工学研究所　　**川人 祥二**
東北大学工学研究科　　**山口 正洋**

概要：近年問題となっているICからのEMC問題に対し，その評価診断ツールとしての高性能な磁界プローブの開発が望まれている．この要求に対し我々の研究室ではCMOSを用いたアクティブ型磁界プローブを開発している．先回の試作においてプローブとしての基本動作を既に確認しているため，本試作ではプローブ特性の向上を図った．特に内蔵するアンプの同相信号除去比を高くすることで，磁界プローブとしての電界除去性能を高めている．測定結果として電界除去比38ｄＢが得られた．　また測定ツールとしての機能性を考慮し，必要な周辺回路をすべて内蔵した．その結果，はじめてアクティブプローブを用いた2次元磁界分布を描くことに成功した．従来プローブに比べて高精度な画像が得られている．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：その他

平成17年度第2回OKI SOI CMOS 0.15μm試作（OKI0509）

メタルスリット構造による回折現象を利用した波長情報取得センサ

東京大学工学部　　谷内出 悠介, 橋本 紘和, 池田 誠, 浅田 邦博

概要：LSI プロセスの微細化に伴い，メタル層での配線間隔を可視光波長程度まで狭く配置することが可能となってきた．そこで本試作では，上部メタル層でシングルスリットを可視光波長程度の幅で構成し，その下にフォトトランジスタアレイを作成した．これにより入射光がシングルスリットを通る際の，光波長による回折量の違いを光強度分布としてフォトトランジスタアレイで取得することにより波長情報を取得する．また回折現象と干渉現象を利用して波長情報を取得するためのダブルスリット型のセンサも同様に作成した．さらに，シングルスリットとダブルスリットを併用し，RGB 情報取得が可能となる画素回路を作成した．シングルスリットのセンサの測定により，取得した光強度分布に波長依存があることを確認した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：イメージセンサ/スマートセンサ

SOI 基板におけるフォトダイオード特性評価のための回路

東京大学新領域創成科学研究科　　高橋 徳浩, 柴田 直
東京大学工学部　　山崎 英男, 三田 吉郎

概要：効率よく光を電流に変換できるフォトダイオード（PD）の形状を実験により評価するための回路を作成した．PD の接合面積，周辺長，n 型・p 型中性領域面積，ドーパント濃度の違いによる光電流変換効率を測定することにより，イメージセンサに最適な PD の形状を割り出す．PD の接合面積，周辺長，n 型・p 型中性領域面積の影響を評価するために，接合幅と中性領域の長さを 2, 5, 10, 20, 50μm の 5 段階に変化させて，一次元接合 PD を設計した．ドーパント濃度の影響を評価するために，p 型基板-n 型基板接合，p 型基板-n 型拡散領域接合，p 型拡散領域-n 型基板接合の 3 種類の PD をそれぞれ設計した．長方形以外の形状での光電流特性を調べるために，接合形状をくし型，渦巻き型とした PD を設計した．前回の試作では，二次元接合の PD を多数設計したため，PD の接合面積，周辺長，中性領域面積の各パラメータの電流に対する影響を分離することが困難であった．今回の試作では，一次元接合の PD を設計することで，各パラメータのうち一つだけを変化させた対照実験を行うことが容易となり，パラメータごとの分離が可能となった．

設計期間：0.1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：10 未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

スタンダードセル評価回路

京都大学情報学研究科　　牟田 博和, 小谷 学, 小林 和淑, 小野寺 秀俊

概要：スタンダードセル生成ツール VARDS（京都大学にて開発）を用いて 310 種類の SOI プロセス用スタンダードセルを作成し，その論理合成用ライブラリと配置配線用ライブラリを作成した．セルライブラリについては，平成 16 年度第 2 回の試作にて開発したものである．今回の試作では，論理合成用ライブラリを OKI プロセス用の BSIM3 Bulk モデルを用いて作成した．論理合成用ライブラリならびに自動配置配線用ライブラリ（平成 16 年度第 2 回試作にて作成）を用いたセルベース設計環境を評価するために，FIR フィルタを設計した．また，ライブラリセルの遅延特性を評価するために，リングオシレータを搭載した．FF の動作検証用回路としてシフトレジスタを用意した．しかしながら，出力 IO の Enable 端子への接続ミスがあり，テスタによる動作確認を行うには至らなかった．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 DesignCompiler，Synopsys 社 Astro，Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Mentor 社 Calibre　**トランジスタ数**：100,000 以上　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

無線受信機の要素回路の設計

大阪大学工学研究科　　木原 崇雄, 後藤 克, 陳 炳宏, 金 奎哲, 松岡 俊匡, 谷口 研二

概要：無線受信機のIF帯可変利得増幅器（VGA），ローパスフィルタ（LPF），電圧制御発振器（VCO）をFD-SOI CMOSプロセスを用いて設計した．固定利得増幅器（FGA），二次のLPF，VGA，三次のLPF，VGAというVGAとLPFを組み合わせた回路構成とした．VGA，五次のLPFという回路構成に比べて雑音特性及び線形性が改善されている．可変利得範囲は1.6〜56.8 dBで，カットオフ周波数は14〜52 MHzである．VCOはテール電流源を取り除き，n型及びp型MOSFETを用いた構造としている．さらに，VCOをクワドラチャーVCOとし，5.5 GHzで発振する．また，カップリングさせているMOSFETの雑音がQVCOの位相雑音に寄与しない回路構成としている．その他にインダクタのTEGを試作した．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：通信（RF回路，ATMなど）

FD-SOIによるセンサー用フロントエンド回路

宇宙航空研究開発機構宇宙科学研究本部　　池田 博一
高エネルギー加速器研究機構素粒子原子核研究所　　新井 康夫

概要：宇宙科学研，高エ研では，ミクロンオーダーの精度を有する荷電粒子飛跡検出器を共同で開発している．本試作においては，FD-SOIの低消費電力，高速性，放射線耐性等の優れた性能が，かかるセンサー用フロントエンド回路としての要求に適合することを実証すべく，または潜在的課題を見出すべく，センサー用フロントエンド回路に特徴的な複数の回路方式を試すこととした．試作回路には，4種類のアナログ信号処理回路を配置した．すなわち，電荷を積分して一定の時定数で減衰させるようになっている回路，同様に電荷を積分し直線的に減衰させるようになっている回路を2水準，さらにアクティブフィードバック方式による高速トランスインピーダンス回路である．これまでに，すべての信号系統の信号波形が確認され，電子雑音等の定量的な評価試験が進行中である．

設計期間：3人月以上，4人月未満　**設計ツール**：Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：TEG（特性評価回路など）

CMOSアクティブ磁界プローブ

静岡大学電子科学研究科　　青山 聡
静岡大学電子工学研究所　　川人 祥二
東北大工学研究科　　山口 正洋

概要：近年問題となっているICからのEMC問題に対し，その評価診断ツールとしての高性能な磁界プローブの開発が望まれている．この要求に対し我々の研究室ではCMOSを用いたアクティブ型磁界プローブを開発している．本試作では，これまで開発を行ってきたアクティブプローブをアレイ状に並べたプローブアレイを設計した．スイッチングスキャンを用いることでEMI測定時間の大幅な短縮が実現できるだけでなく，多点同時測定を可能にする．検出コイルの入力コモンレベルを切り替えることで，従属するアンプの活性／非活性を制御し，隣接コイルとの分離性の高いスキャニングを可能とした．またアンプをツリー状に多段接続することで，プローブアレイの帯域を確保した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：OKI SOI CMOS 0.15μm 2.5mm x 2.5mm　**チップ種別**：その他

RF プローブチップ

東北大学大学院工学研究科　　山口 正洋，小屋 祥太
東北大学工学部　　菊池 隼人

概要：近年，LSI の発展に伴い電磁放射が増加し，電磁干渉（EMI：Electromagnetic Interference）抑制のための対策が必要となってきている．EMI 対策として最も重要なのは，不要電磁放射の発生源を特定することであり，それは近傍磁界計測をもとに行われる．したがって，問題箇所を正確に見つけ出すためには，より高精度な磁界計測によるノイズマップの作成が必要となっており，高感度，高空間分解能を併せ持った磁界プローブの開発が期待されている．本チップ試作では，On-Chip の高周波アンプを集積化することで，磁界プローブ用コイルを微小化しても高周波・高空間分解能・高 S/N 比を保つことができるように設計を行った．さらに，チップには切り替えスイッチを搭載し，世界最小サイズのシールディドループコイルをはじめ，計 16 種類のコイルの出力を別々に得られるようにした．また，電磁ノイズへの耐性強化，不要ループ削減のために，プローブの出力を得る際のチップとプリント基板との実装には，ワイヤボンディングでなく，フリップチップ実装を想定してチップの設計を行った．

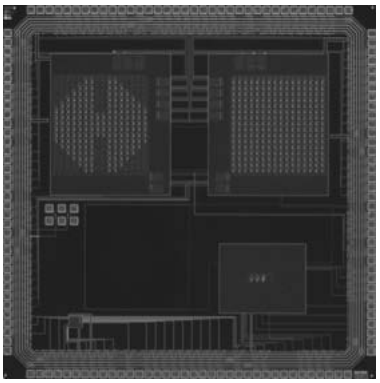
参考文献：［1］S. Aoyama, S. Kawahito, T. Yasui, M. Yamaguchi, "A High-Sensitivity Active Magnetic Probe　using CMOS Integrated Circuits Technology", Proc. of Electrical Performance of Electronic Packaging, Austin, TX, USA, pp. 103-106, 2005. 10

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：10 以上，100 未満
試作ラン：OKI SOI CMOS 0. 15μm 2. 5mm x 2. 5mm　**チップ種別**：アナデジ混載

平成16年度第4回ロームCMOS 0.35μm試作（RO35044）

カレントモード演算によるアナログ汎用画像処理プロセッサ

東京大学工学部　　清水 健

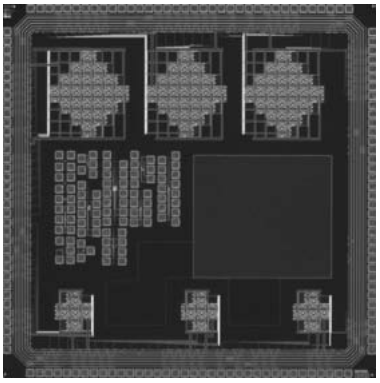


概要：これまで本研究室で試作されてきたイメージセンサはすべて演算に電圧を利用したものである．これらはすべて基本回路としてソースフォロワを利用しているために，出力電圧のダイナミックレンジの低下という根本的な問題を抱えている．そこで，ダイナミックレンジの低下といった問題に対処するべく基本回路にカレントミラーを導入し，電流モード演算による画像処理アナログVLSIを設計した．各ピクセルは光の入力をPDでとらえ，電圧に変換する．その後，電圧を電流に線形変換する．本イメージセンサは画像処理プロセッサ用の撮像素子としてだけでなく，本研究室で提唱しているPPED画像処理にも対応できるよう，各ピクセルからの電流を各ピクセルごとにON/OFFする機構を付加した．また，電流を利用することで従来の電圧を利用したものに比べ消費電力の増大が懸念されるが，必要なときのみ電流を流す方式をとることにより，従来のものと同程度の消費電力となっている．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：イメージセンサ/スマートセンサ

解像度可変エッジ検出イメージセンサ

東京大学大学院新領域創成科学研究科　　高橋 徳浩

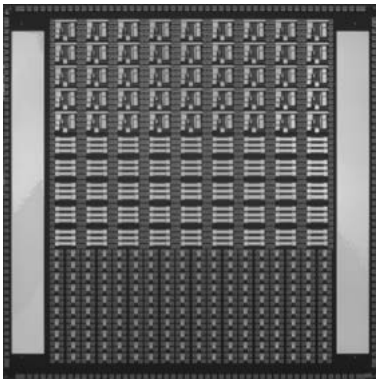


概要：画像認識システムにおいて，入力画像をハードウェア内に取り込むインターフェースにエッジ抽出機能を持たせることは，後続の処理を簡単化する上で非常に有用な手段である．画像の大きさの変化に対して柔軟性を持たせるために，エッジ抽出の段階で解像度を変化させて入力画像を取り込むシステムが考案された．本チップでは，解像度を変化させて画像の方向エッジ情報を得るためのアルゴリズムを検証するための回路を実装した．入力データに対する演算処理方法としては，アナログ演算をνMOSを用いた電圧モードで実現する回路構成とした．1倍解像度の方向エッジ情報のみを抽出できる「隣接セル間配線のみを用いたエッジ抽出回路」のアルゴリズムを可変解像度のために拡張した，自己相似構造を有するアルゴリズムを用いて実装を行った．アルゴリズムの検証のために，特定解像度・特定方向エッジ情報のみを検出できるような部分回路を複数実装した．解像度としては，1倍，1/2倍，1/4倍の三段階を想定し，実装するセル数は抽出すべきエッジ情報を得るために必要最低限なものとなるように構成した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：イメージセンサ/スマートセンサ

ポストプロセスによるVLSI-MEMSインテグレーションのための要素技術研究チップ

東京大学大学院新領域創成科学研究科　　久保田 雅則

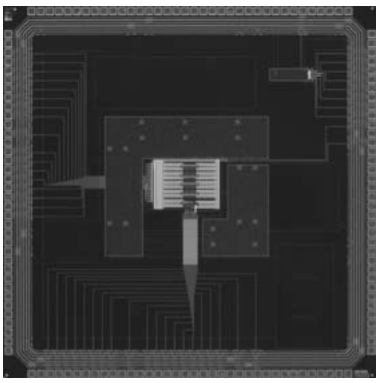


概要：ポストプロセスにより，VLSIとMEMSデバイスのインテグレーションを実現する研究のために，チップ試作を行った．MEMSデバイスを用いた加速度センサなどに用いられている，同一基板上にMEMSデバイスとVLSIを作製することによってインテグレーションを実現する方法では，CMOSプロセスとの互換性を確保するために，MEMSデバイス作製プロセスが制限されてしまう問題がある．これに比べて，ポストプロセスによるインテグレーションでは，より自由度の高いMEMSデバイス設計・作製が可能であるが，両デバイスを組み合わせる技術が不可欠である．そこで，本チップ試作では，ポストプロセスによるインテグレーションのための基礎的な技術である，機械的接合及び接合後の配線層作製のためのアライメントや，電気的接続の信頼性測定のためのスイッチマトリックス，バックサイドよりのエッチングによる基板貫通配線実現のためのTEGを設計した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：MEMS

IC identification circuit

東京大学大学院新領域創成科学研究科　　トンプラシット ベンジャマース

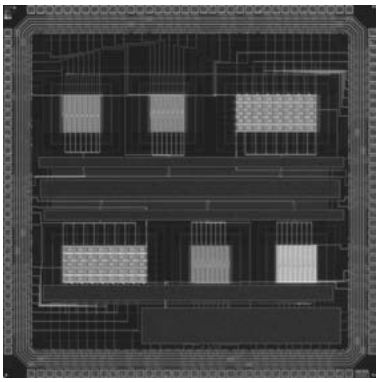


概要：私は物理的な変動による情報漏洩を防ぐVLSI回路の研究を行っている．近年VLSI回路は我々の身の回りにおいてもますます使われるようになってきており，例えばクレジットカード，証明カード，電車の切符などは次々とICカードに置き換えられている．これらICカードの中にはキーと呼ばれる秘密情報が書かれており，このキーという秘密情報はそのカードが本物であることを証明するために使われる．そのためこのキーという秘密情報を盗み，それを悪用する例が後を絶たない．特にこれらカードの中から秘密情報を盗む方法として最も行われていることは，入力に対する電流変動を統計的に取って分析するようなやり方である．従って本研究はこの問題に対処するために，入力に依存しない電流が流れる回路を目指して試作を進めている．この回路を実現するためにニューロンMOSと，入力値に依存しないセンスアンプ回路を用いている．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

Mixed-signalメディアン値探索回路

東京大学大学院工学系研究科　　山崎 英男



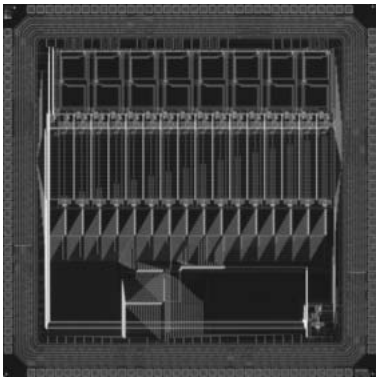
概要：メディアンフィルタは，画像のスパイクノイズ除去等に用いられており，画像処理の分野では非常に重要な処理の一つである．しかし，メディアン値探索の演算コストが高いため，ソフトウェアで実装すると遅延時間が増大する．また，デジタル回路で実装するとコンパレータの大規模なネットワークを構築する必要があり，結果的に演算時間や消費電力が問題となってしまう．そのため，Mixed-Signalの回路で小規模かつ高速なメディアンフィルタが開発されてきた．［1］この回路はバイナリサーチのアルゴリズムを採用し，その中で必要となる多数決の機能をMixed-Signalの回路で構成しているが，精度および消費電力の面で問題があった．そこで，入力を単純な論理回路で加工することにより演算の規模を縮小し，精度と消費電力の両面を向上させたメディアンフィルタを開発した．本試作では，性能比較を行うため，40入力のメディアンフィルタを3種類設計した．

参考文献：［1］B. L. Lee and C.-W. Jen, “Bit-sliced median filter design based on majority gate,” IEE Proceedings-G, vol. 139, pp. 63-71, Feb. 1992.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：演算回路（乗算器，除算器など）

ストカスティックコンピューティングシステムによるマンハッタン距離計算回路の設計

広島大学大学院先端物質科学研究科　　堀 道弘，岩田 穆

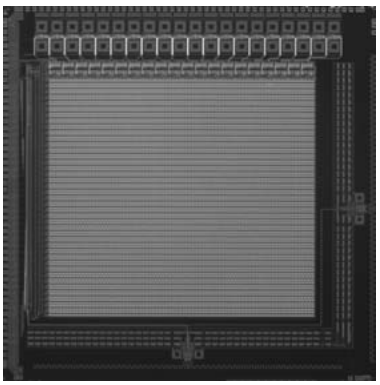


概要：我々はストカスティックコンピューテイングシステム（ＳＣＳ）によってマンハッタン距離を計算するチップの設計・試作を行った．近年，ＣＭＯＳプロセス技術は発展し，微細化・高集積化が行われるようになってきた．しかしながら，回路システムはさまざまなノイズの影響を受けやすくなり，将来的に従来の決定論的なコンピューティングシステムは正しく動作しなくなる可能性がある．これら解決の糸口の1つとして，ＳＣＳの研究が行われてきた．ＳＣＳは，ランダム信号を用いてアナログ量をパルス頻度に変換し計算を実行するシステムである．その利点はロバストなシステム構築が可能で，また，ハードを変える事なく必要に応じて違う精度の計算が実行可能である事である．これらの観点から，本試作チップではベクトルマッチングへの応用に着目しＳＣＳによるマンハッタン距離計算回路を設計した．ランダム信号を発生させるため，任意カオス発生器を使用した．そして実験により，本チップ動作の評価，検証を行った．

参考文献：［1］M. Hori, M. Ueda and A. Iwata, "A stochastic computing chip for measurement of Manhattan distance", Extended Abstracts of the 2005 Int. Conf. SSDM, pp316-317, Kobe, 2005.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：ニューテクノロジ

2種類の無線インタコネクトを搭載した画像処理用3次元集積システムの開発



広島大学大学院先端物質科学研究科　**亀田 成司, 有薗 大介, 小田原 正起, 佐々木 守, 岩田 穆**

広島大学ナノデバイス・システム研究センター　**佐々木 信雄, 吉川 公麿**

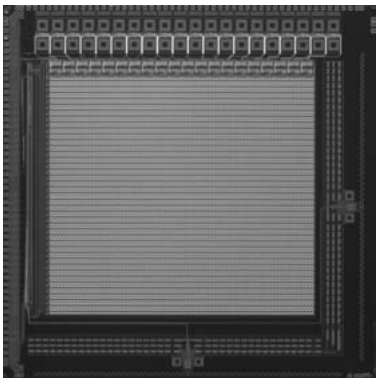
概要：広島大学21世紀ＣＯＥで提案している3次元集積システムを基にした画像処理用チップを開発した．画素回路は，アナログメモリ，抵抗回路網，差分バッファで構成され，超並列の回路構造により画像情報が高速にアナログ処理される．階層的に積層されたチップ間の画像データ転送を，スパイラルインダクタによる無線転送回路を列並列に配置することで高速に実行する．この転送回路に重み付け加減算機能を加えることで画像の転送時にも画像処理が実行できる．また，チップ集積アンテナによる受信回路を搭載しており，マイクロ波によるチップシステム全体のクロック及び各チップ個別の命令信号を無線で受信できる．画素数80×80，インダクタサイズ300um×300um，転送回路の並列度20，チップ集積アンテナ長8.01mm，受信回路数2個で設計した．

参考文献：［1］A. Iwata, et al, ISSCC Dig. Tech. Papers, pp. 262–263, Feb., 2005.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm角

チップ種別：その他

2種類の無線インタコネクトを搭載した画像処理用3次元集積システムの開発



広島大学大学院先端物質科学研究科　**亀田 成司, 有薗 大介, 小田原 正起, 佐々木 守, 岩田 穆**

広島大学ナノデバイス・システム研究センター　**佐々木 信雄, 吉川 公麿**

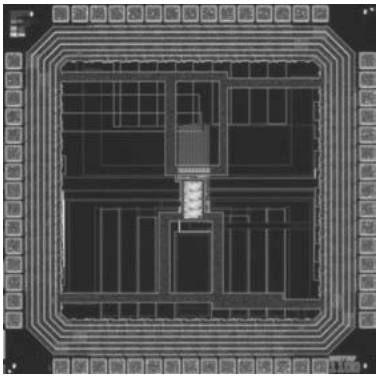
概要：広島大学21世紀ＣＯＥで提案している3次元集積システムを基にした画像処理用チップを開発した．画素回路は，アナログメモリ，抵抗回路網，差分バッファで構成され，超並列の回路構造により画像情報が高速にアナログ処理される．階層的に積層されたチップ間の画像データ転送を，スパイラルインダクタによる無線転送回路を列並列に配置することで高速に実行する．この転送回路に重み付け加減算機能を加えることで画像の転送時にも画像処理が実行できる．また，チップ集積アンテナによる受信回路を搭載しており，マイクロ波によるチップシステム全体のクロック及び各チップ個別の命令信号を無線で受信できる．画素数80×80，インダクタサイズ300um×300um，転送回路の並列度20，チップ集積アンテナ長8.01mm，受信回路数2個で設計した．

参考文献：［1］A. Iwata, et al, ISSCC Dig. Tech. Papers, pp. 262–263, Feb., 2005.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm角

チップ種別：その他

LSI設計コンテスト



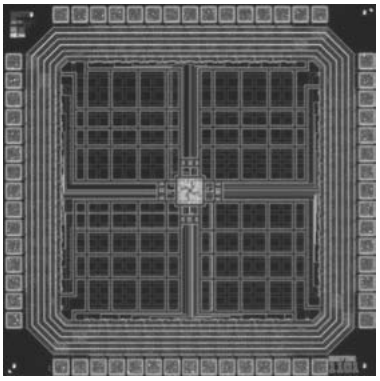
金沢大学工学部　集積回路工学研究室　**岩池 彩海, 高田 雅史, 秋田 純一, 北川 章夫**

概要：学部3年生を対象にLSI設計コンテストを実施した．このコンテストは，なるべく多くの学部学生に，フルカスタム設計の経験をしてもらうことと，実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している．今年度は参加者それぞれに1チップを与え試作して貰った．内容は16bit加算器を設計し，入出力伝播遅延，使用面積，動作電圧マージン，完全動作を総合して順位を決定する．また，回路アーキテクチャ以外で性能差が生じないようにこちらで用意した出力バッファを参加者全員に組み込んで貰った．作成されたチップは検証も各自に行い，結果，全てのチップにおいて完全動作を確認することが出来た．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

LSI設計コンテスト

金沢大学工学部　集積回路工学研究室　　金子 康隆, 高田 雅史, 秋田 純一, 北川 章夫

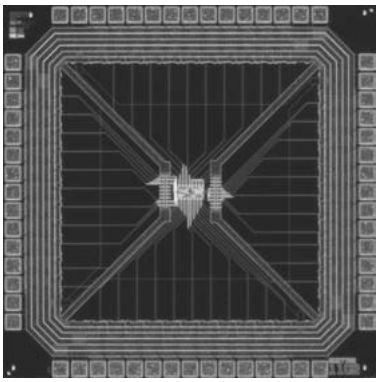


概要：学部3年生を対象にLSI設計コンテストを実施した．このコンテストは，なるべく多くの学部学生に，フルカスタム設計の経験をしてもらうことと，実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している．今年度は参加者それぞれに1チップを与え試作して貰った．内容は16bit加算器を設計し，入出力伝播遅延，使用面積，動作電圧マージン，完全動作を総合して順位を決定する．また，回路アーキテクチャ以外で性能差が生じないようにこちらで用意した出力バッファを参加者全員に組み込んで貰った．作成されたチップは検証も各自に行い，結果，全てのチップにおいて完全動作を確認することが出来た．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

LSI設計コンテスト

金沢大学工学部　集積回路工学研究室　　谷澤 智康, 高田 雅史, 秋田 純一, 北川 章夫

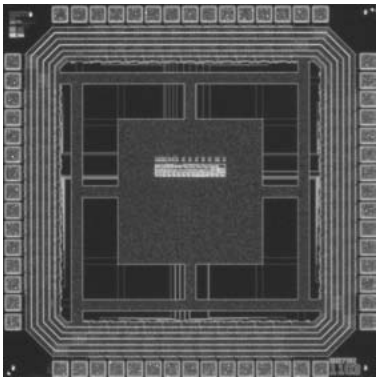


概要：学部3年生を対象にLSI設計コンテストを実施した．このコンテストは，なるべく多くの学部学生に，フルカスタム設計の経験をしてもらうことと，実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している．今年度は参加者それぞれに1チップを与え試作して貰った．内容は16bit加算器を設計し，入出力伝播遅延，使用面積，動作電圧マージン，完全動作を総合して順位を決定する．また，回路アーキテクチャ以外で性能差が生じないようにこちらで用意した出力バッファを参加者全員に組み込んで貰った．作成されたチップは検証も各自に行い，結果，全てのチップにおいて完全動作を確認することが出来た．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

LSI設計コンテスト

金沢大学工学部　集積回路工学研究室　　牧野 良成, 高田 雅史, 秋田 純一, 北川 章夫

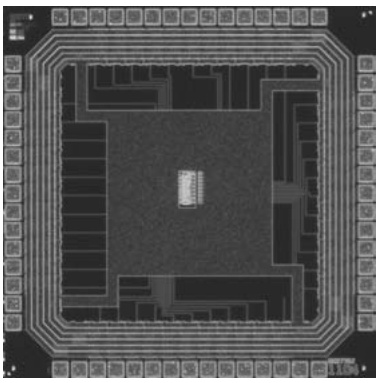


概要：学部3年生を対象にLSI設計コンテストを実施した．このコンテストは，なるべく多くの学部学生に，フルカスタム設計の経験をしてもらうことと，実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している．今年度は参加者それぞれに1チップを与え試作して貰った．内容は16bit加算器を設計し，入出力伝播遅延，使用面積，動作電圧マージン，完全動作を総合して順位を決定する．また，回路アーキテクチャ以外で性能差が生じないようにこちらで用意した出力バッファを参加者全員に組み込んで貰った．作成されたチップは検証も各自に行い，結果，全てのチップにおいて完全動作を確認することが出来た．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

LSI設計コンテスト

金沢大学工学部　集積回路工学研究室　　平木 謙次, 高田 雅史, 秋田 純一, 北川 章夫

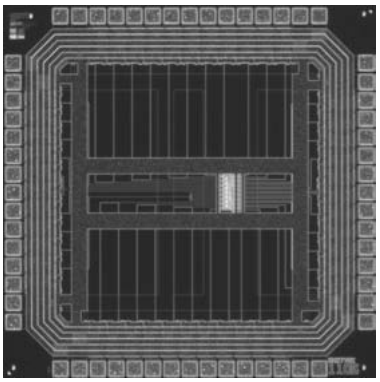


概要：学部3年生を対象にLSI設計コンテストを実施した．このコンテストは，なるべく多くの学部学生に，フルカスタム設計の経験をしてもらうことと，実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している．必要IOピンの関係上，各参加者は二名で1チップを相乗りし，設計を行った．最終的に担当TAが1つのチップフレーム上にマージした．競技部門と自由設計部門を設け，競技部門では16bit加算器を設計し，入出力伝播遅延，使用面積，動作電圧マージン，完全動作を総合して順位を決定した．設計内容は，それぞれ一人で設計した16bit 加算器6種の他，二人で設計した16bit乗算器1種である．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

LSI設計コンテスト

金沢大学工学部　集積回路工学研究室　　米田 智弘, 高田 雅史, 秋田 純一, 北川 章夫

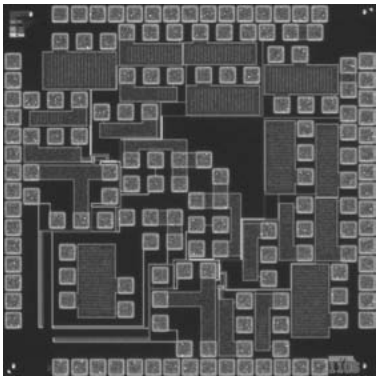


概要：学部3年生を対象にLSI設計コンテストを実施した．このコンテストは，なるべく多くの学部学生に，フルカスタム設計の経験をしてもらうことと，実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している．必要IOピンの関係上，各参加者は二名で1チップを相乗りし，設計を行った．最終的に担当TAが1つのチップフレーム上にマージした．競技部門と自由設計部門を設け，競技部門では16bit加算器を設計し，入出力伝播遅延，使用面積，動作電圧マージン，完全動作を総合して順位を決定した．設計内容は，それぞれ一人で設計した16bit 加算器6種の他，二人で設計した16bit乗算器1種である．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

相変化不揮発性メモリの書換え特性評価TEG

金沢大学工学部　集積回路工学研究室　　泉 貴富, 高田 雅史, 秋田 純一, 北川 章夫

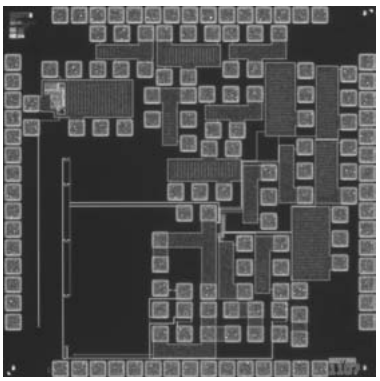


概要：相変化不揮発性メモリを実現させる為に，カルコゲナイド半導体（Ge2Sb2Te5）の特性を評価することを目的とする．具体的には，電圧パルスをカルコゲナイド半導体に印加した時の必要な素子データの取得，またカルコゲナイド半導体のシミュレーションモデル構築のためのデータの取得を目指す．CMOSプロセスを用いて，測定回路を集積化することで，回路上の配線への寄生容量を小さくし，測定時への影響を小さくすることが可能となる．高速なパルスを印加した時のカルコゲナイド半導体の特性を評価するため，偶数個の複数段のインバータの遅延を利用した任意のパルス長（2ns～200ns）を生成するパルスジェネレータを集積してカルコゲナイド半導体に印加できるようにしている．測定回路は，3端子測定法を用いることでカルコゲナイド半導体の特性を評価する．本チップでは，配線層の断面を利用してカルコゲナイド半導体との接続を試みるようにTEGの試作を行っている．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：メモリ

相変化不揮発性メモリの書換え特性評価 TEG

金沢大学工学部　集積回路工学研究室　　泉 貴富, 高田 雅史, 秋田 純一, 北川 章夫

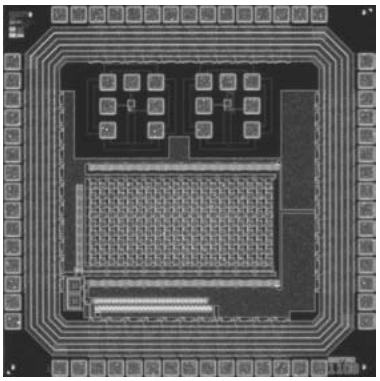


概要：相変化不揮発性メモリを実現させる為に，カルコゲナイド半導体（Ge2Sb2Te5）の特性を評価することを目的とする．具体的には，電圧パルスをカルコゲナイド半導体に印加した時の必要な素子データの取得，またカルコゲナイド半導体のシミュレーションモデル構築のためのデータの取得を目指す．CMOS プロセスを用いて，測定回路を集積化することで，回路上の配線への寄生容量を小さくし，測定時への影響を小さくすることが可能となる．高速なパルスを印加した時のカルコゲナイド半導体の特性を評価するため，偶数個の複数段のインバータの遅延を利用した任意のパルス長（2ns〜200ns）を生成するパルスジェネレータを集積してカルコゲナイド半導体に印加できるようにしている．測定回路は，3 端子測定法を用いることでカルコゲナイド半導体の特性を評価する．本チップでは，配線層の断面を利用してカルコゲナイド半導体との接続を試みるように TEG の試作を行っている．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC，Cadence 社 Analog Artist，Mentor 社 Calibre　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：メモリ

近接物体画像センサ用 TEG

金沢大学工学部　集積回路工学研究室　　中江 智, 秋田 純一, 北川 章夫

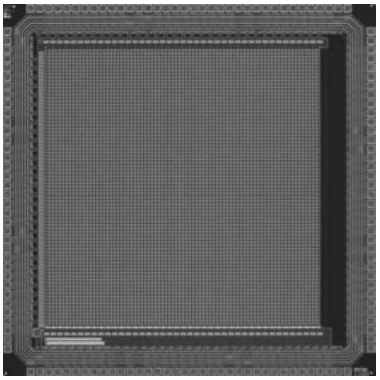


概要：顕微鏡の中で身近なものに光学顕微鏡が挙げられるが, 装置が大掛かりであり, また精密光学系を必要とするためにシステムコストが問題となる場面が多い．また，光学系による画像取得では，近接にある物体画像を取得することには不向きである．本 LSI は, 物体との距離情報を反映する静電容量に基づく, 光学系を必要としない，近接物体画像を取得することを目的としている．80×80 の画素数．各画素には発振器を搭載し，発振器の周波数が，センサ電極と物体間の距離により変動することで，画像取得を可能としている．本 LSI では，センサを構成する画素を数種類作成した．発振器の周波数を変更したものや，センサ電極の面積を変動させたものを搭載している．発振周波数の誤差，画像変換時の分解能の測定が可能である．画像取得は導体の場合を想定している．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：TEG（特性評価回路など）

近接物体画像センサ

金沢大学工学部　集積回路工学研究室　　中江 智, 秋田 純一, 北川 章夫

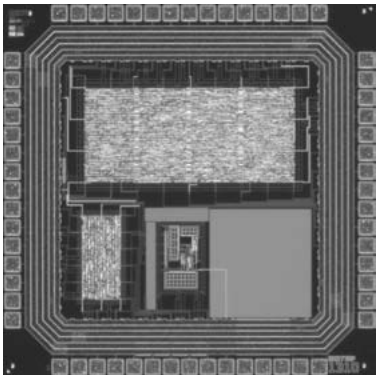


概要：顕微鏡の中で身近なものに光学顕微鏡が挙げられるが, 装置が大掛かりであり, また精密光学系を必要とするためにシステムコストが問題となる場面が多い．また，光学系による画像取得では，近接にある物体画像を取得することには不向きである．本 LSI は, 物体との距離情報を反映する静電容量に基づく, 光学系を必要としない，近接物体画像を取得することを目的としている．80×80 の画素数を持っている．各画素には発振器を搭載し，発振器の周波数が，センサ電極と物体間の距離により変動することで，画像取得を可能としている．本 LSI の測定を終え，次回試作で今回判明した問題点を改善する．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：100, 000 以上　**試作ラン**：ローム CMOS 0. 35μm 4. 9mm 角　**チップ種別**：その他

高速 ΔΣ 型DAC

九州大学システム情報科学府　　井上 美穂
九州大学システム情報科学研究院　　黒木 幸令

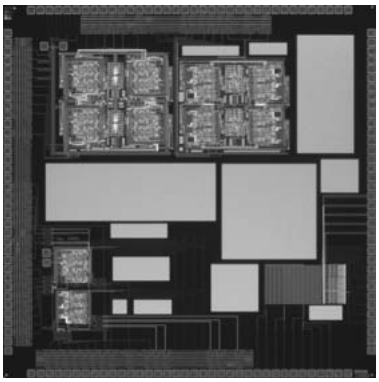


概要：従来，主に低速分野で用いられるΔΣ型DACを，高速分野に対応させること目的として高速ΔΣ型DACの設計を行った．設計を行ったのは標本化周波数を上げるディジタルフィルタ，ΔΣ変換により分解能を下げるノイズシェーパ，1本の信号線に戻すステップパルス生成回路，高域の雑音を除去し滑らかなアナログ波形を再現するアナログローパスフィルタの4つの回路で，標本化周波数10MSamples/s，12bitのディジタル信号のD/A変換を行うことを目的とした．ディジタルフィルタで入力信号の標本化周波数を16倍の160MS/sに上げ，分解能を3次の効果を持つ1次3段MASH方式ノイズシェーパで3bitへと下げる．ノイズシェーパを高速で動作させるために，最も演算に時間を要するルート，また，ノイズシェーパ内で最も時間を要する加算器をパイプライン化し，160MS/sの速度で十分に安定した動作を行うことを確認した．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

高速かつ低消費電力レベル・シフタ，低振幅クロックのF/F

東京大学工学系研究科　　Tran Quang Canh，Yazid Muhammad



概要：高速かつ低消費電力のレベル・シフタと低振クロックのフリップ・フロップを設計した．従来のレベル・シフタはpull-upとpull-downのトランジスタのcontentionがあるため遅延は大きい．クローバー電流も大きいので多くの電力を消費する．提案したBypassing Enabled Level Shifter（BELS）というレベル・シフタは2つのモード：SHIFTとNON-SHIFTがある．出力電圧がVDDHのとき，レベル・シフタはSHIFTモードにある．Bypass信号をVDDLにすることでcontentionは小さくなり，ロジック値がより早く確立される．したがってBypass信号を0Vにする場合よりも遅延が小さくなる．出力電圧がVDDLの時，電圧変換の機能は必要なくなるため，BELSはNON-SHIFTモードに切り替えられる．Bypass信号はVDDHに設定されるのでBypassトランジスタは閾値電圧を落とすことなく信号を通過させられる（VDDH ＞ VDDL ＋ VTHと仮定する）．もう一つの検証した回路は低振幅クロックのフリップ・フロップである．このフリップ・フロップの回路形式はパストランジスタ型である．クロックはパルス駆動される．情報を保持するインバータラッチをマージンの確保のためにクロックトインバータにしており，シミュレーションではクロック振幅1Vまで動作可能である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：TEG（特性評価回路など）

チップ間ワイヤレス電源伝送回路の評価チップ

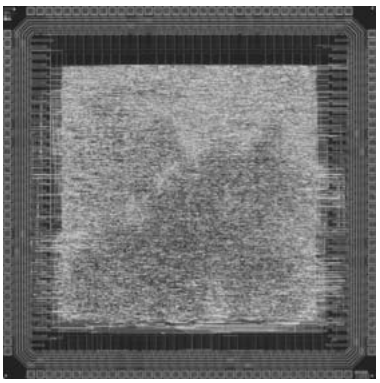
東京大学大学院工学系研究科　　鬼塚 浩平

概要：SiPにおけるチップ間の電源伝送をワイヤレス化することにより，アセンブリーコストの削減，自由度の増加，パッケージ内のチップをユーザが組み替えるアプリケーションの可能性も期待される．オンチップのプレーナインダクタによる磁界結合を用いるタイプと，平板メタル間の容量結合を用いるタイプの2種を設計した．送信回路はリングオシレータ，ディファレンシャルバッファのみを用いた簡潔な構成とし，受電用整流ダイオードには3個のPMOSを組み合わせることにより基板電圧が変化してしきい値が変動することを防ぐタイプのMOSダイオードを用いた．700um角の送受信回路で比較した場合，誘導結合型より容量結合型の方が大きな電力を送信できることが見積もられた．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：TEG（特性評価回路など）

ランダムアドレッシング機能強化型マルチメディアモバイルプロセッサ

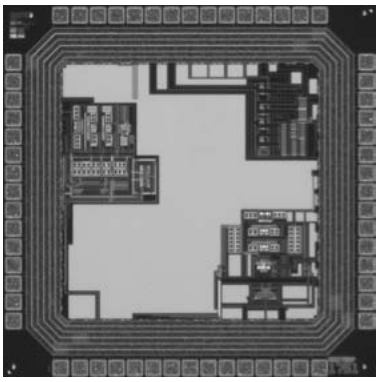
弘前大学理工学部　　深瀬 政秋，佐藤 陽一，中村 吉樹，赤岡 亮
札幌学院大学社会情報学部　　佐藤 友暁



概要：ユビキタス・コンピューティングによるネットワークの拡大は現代社会に飛躍的な利便性が持たされている反面，プライバシーの欠如や侵害という深刻，且つ重大な問題を引き起こすことになる．その為に，マルチメディアモバイルコンピューティングのさらなる発展とセキュリティ機能のハードウェア化が必要不可欠である．これらを総合的に解決する為にインタープリタ型 Java チップと SMT（Simultaneous MultiThreading）と VLIW 方式を実装したマルチメディアモバイルプロセッサにハードウェア暗号を組込んだランダムアドレッシング機能強化型マルチメディアモバイルプロセッサを開発した．
設計期間：10 人月以上　**設計ツール**：Synopsys 社 VCS，Synopsys 社 DesignCompiler，Synopsys 社 Apollo，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：マイクロプロセッサ

弱反転動作アナログ回路の試作

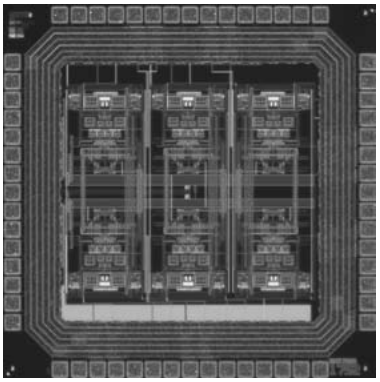
長崎総合科学大学新技術創成研究所　　清山 浩司
長崎総合科学大学大学院工学研究科　　金 奉基
長崎総合科学大学工学部　　田中 義人



概要：CMOS プロセスの微細化が進む中，CMOS アナログ回路においては，弱反転 MOS 回路を用いた低電圧・低消費電力化に関する研究・開発が行なわれている．ポータブル機器に使用される LSI は，様々な使用環境が想定されるため，広い温度範囲や電源電圧の変動のもとで，安定に動作する電源回路が必要となる．本試作では，弱反転領域で動作する回路に対して電圧・電流を供給する基準電圧源回路の低電圧・低消費電力化を目標とした，弱反転 MOS 回路で構成するバンドギャップリファレンス（BGR），A/D 変換器と増幅器を試作した．BGR は，温度補償素子に弱反転 MOS ダイオードを用いることにより，最小動作電圧を 1V 低減できた．また，BGR を構成する全ての回路を弱反転 MOS 回路で構成することにより，消費電力を 3μW まで低減出来た．本研究で提案した BGR を用いることにより，弱反転 MOS 回路で構成するアナログ回路に安定した電圧および電流の供給が可能となる．
設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 Star-HSPICE，Synopsys 社 PowerMill，Cadence 社 Dracula LVS，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC，Cadence 社 Diva，Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

パイプラインＡＤＣの試作

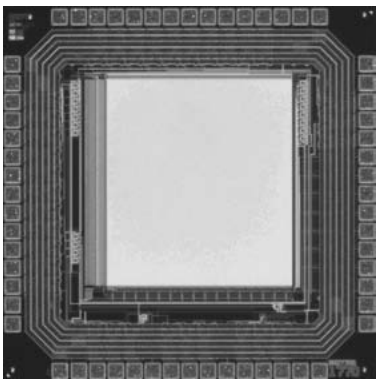
長崎総合科学大学新技術創成研究所　　房安 貴弘
東京大学理学系研究科　　山口 頼人



概要：我々は，ガス電子増幅器（GEM）を用いた放射線検出器の読出し回路に用いる 10 ビット ADC の開発を行っている．小型かつ高精度・低消費電力の測定システムを開発するため，ADC チップ設計の最適化が必要である．本研究を通し，低被爆型の医療用Ｘ線撮像機や，フィールドワーク向けのポータブルな放射線測定器の開発を目指す．ADC チップ開発の前段階として，アナログ特性の測定や動作検証を行うため，1.5 ビットステージ 1 段の TEG，および 1.5 ビットステージを 5 段連結した TEG を含むチップの試作を行った．デジタル補正回路等は含めなかった．本チップ試作を経て，論文［1］に開発の経過が報告された．
参考文献：［1］ T. Fusayasu, H. Hamagaki, Y. Tanaka & Y. Yamaguchi, "Development of a Pipelined ADC Chip for the Gas Electron Multiplier Readout", N14-25, 2005 IEEE Nuclear Science Symposium Conference Record.
設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

CMOS上流設計による各種ディジタル回路の試作

吉川 信行，，，，
横浜国立大大学工学部　　道江 寛之，高橋 好明，朴 熙中



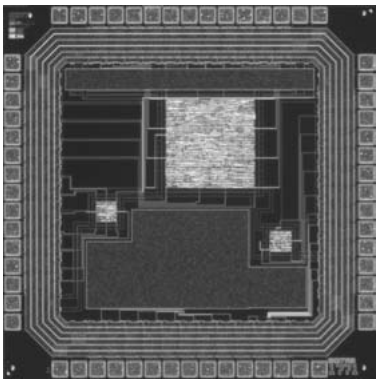
概要：我々の研究室では単一磁束量子（SFQ）論理回路を用いたマイクロプロセッサの設計を行っている．これを実現するためには，設計環境が整っているCMOS回路により様々な新しい論理演算回路ブロックの回路アーキテクチャを考案し，それらの性能を評価することが有効である．我々はSFQ回路への応用を念頭にCMOS回路による様々なディジタル回路の検討を行っている．本チップではトップダウン設計による，ビットシリアル演算を行うためのレジスタファイル，ALUの最適化を行い，試作によりその性能評価を行った．

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5-9 September 2005, Noordwijkerhout, The Netherlands, P-B07.

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：メモリ

CMOS上流設計による各種ディジタル回路の試作

吉川 信行，，，，
横浜国立大大学工学部　　道江 寛之，高橋 好明，朴 熙中



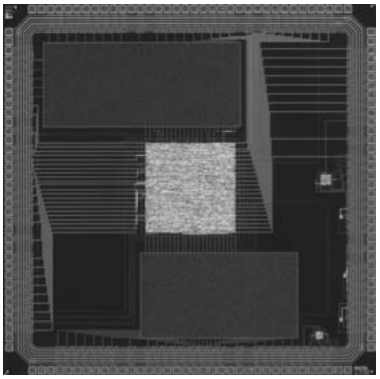
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本メモリでは，SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプとして，多段差動増幅器を用いている．また，高感度の超伝導センス回路を用いることによりサブナノ秒のアクセスタイムが可能となる．このシステムのスペックは，容量が16kbit，動作周波数が800MHz，消費電力が60mWである．

参考文献：［1］ Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003).

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：マイクロプロセッサ

SFQ/CMOSハイブリッドメモリの試作

横浜国立大学工学部　　吉川 信行，徳田 勝利，富田 卓哉，藤原 完



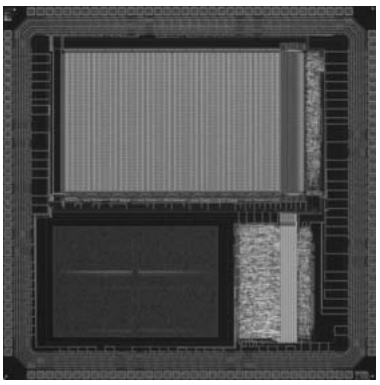
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本メモリでは，SFQ論理回路の高速微小電圧出力をCMOS論理回路で処理可能な電圧レベルにまで高速に増幅するアンプとして，多段差動増幅器を用いている．また，高感度の超伝導センス回路を用いることによりサブナノ秒のアクセスタイムが可能となる．このシステムのスペックは，容量が16kbit，動作周波数が800MHz，消費電力が60mWである．

参考文献：［1］ Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003).

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：メモリ

短/長期記憶の概念に基づくパターン自動学習連想メモリ

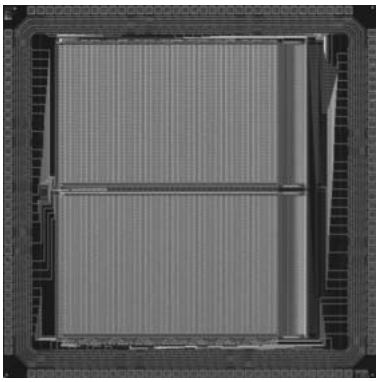
広島大学先端物質科学研究科　　白川 佳則
広島大学ナノデバイス・システム研究センター　　マタウシュ ハンスユルゲン，
小出 哲士



概要：最小距離検索連想メモリによるパターン認識，認識パターンの最適化，認識パターンのプライオリティ決定の3つの処理を行う制御回路の試作を行った．本回路は連想メモリによるパターン認識を行うと共に，連想メモリ内の参照パターン（認識パターン）を入力パターンから最適化を行い，また参照パターンに優先順位をつけることで参照パターンの管理を行う．参照パターンの最適化は，連想メモリによって認識された参照パターンを，その参照パターンだと認識させた一定回数分の入力パターンの中心を求めることで行われる．最適化により，入力データの変化が参照パターンにも各参照パターンプライオリティ（rank）付けがされており，rankによって長期記憶領域と短期記憶領域に分けられる．短期記憶領域において低いrankの参照パターンは新規参照パターン学習の際，削除の対象となる．一方長期記憶領域にある高いrankの参照パターンは削除されにくく，重要なパターンとなる．
設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

アナログ-デジタル混載回路による2バンク型最小マンハッタン距離検索連想メモリ

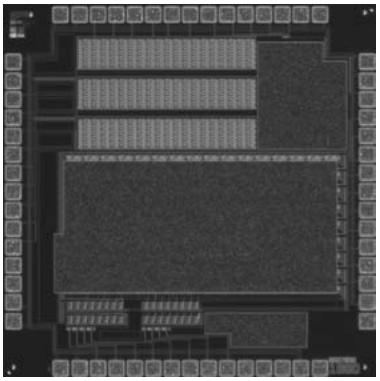
広島大学先端物質科学研究科　　上村 一弘
広島大学ナノデバイス・システム研究センター　　マタウシュ ハンスユルゲン，
小出 哲士



概要：全並列ユニット構成により高速・小面積かつ低消費電力を同時に満足できる連想メモリについて，バンク型アーキテクチャを適用した最小マンハッタン距離検索を行う連想メモリを試作した．連想メモリをバンク型アーキテクチャにしたことにより，各バンクのWinnerをデジタルトーナメント比較処理し一つに絞り，最終的にWinnerの行/バンクアドレスと，Winnerと入力の距離を出力する機能を持つ．メモリ領域は各バンクが64行80列の2バンク，合計128の参照データを格納可能である．また各バンクの動作は個別に制御可能であるため，各バンクに格納したカテゴリから予測してバンク動作を一つにすることで低消費電力化が可能である．レイアウト面積はバンク型に必要なトーナメント比較回路の面積オーバーヘッドから13.6平方mmで実現しており，最小距離検索回路は全体の9.3%である．また，チップ測定によって230nsec以下での最小距離検索が可能であり，1バンク動作時の平均消費電力は151mWとなった．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Diva，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：メモリ

MOSFET特性ばらつき評価用試験回路2

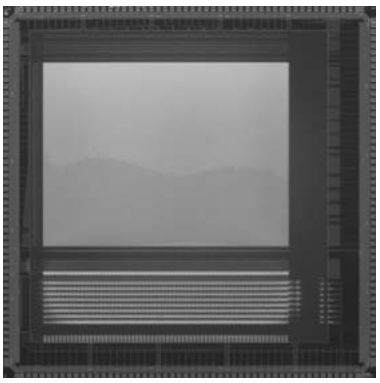
広島市立大学情報科学部　　寺田 和夫
広島市立大学大学院情報科学研究科　　山内 丈周，上木 彰彦



概要：1）多数の単体ＭＯＳＦＥＴを行列状に並べてデコーダを通して測定できるようにしたＭＯＳＦＥＴアレイ，2）ＭＯＳＦＥＴのドレインコンダクタンスとしきい値電圧の両方のばらつきを評価できる試験回路の2種を集積した．ともに04年度第1回の試作で作ったものであるが，その時の問題点を修正した．1）ではデコーダ用ＭＯＳＦＥＴのチャネル抵抗を除く機構を改良した．2）では予想以上に大きかった寄生抵抗の効果を抑えることができる寸法に改良した．担当者が代わったため評価が遅れていて，まだ報告できる状態ではないが，予想通りのデータが得られているので，いずれ報告できる．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：TEG（特性評価回路など）

高機能高画質CMOSイメージセンサ

東北大学大学院工学研究科　　舘 知恭，須川 成利，小谷 光司，大見 忠弘

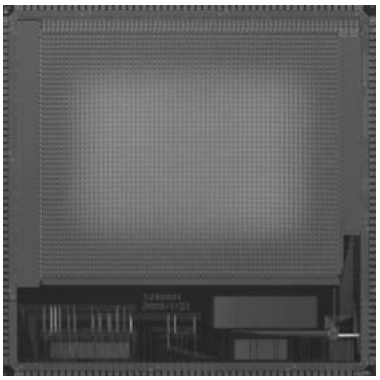


概要：高画質な撮像と同時に撮像対象の特徴を抽出し，後段における画像処理の高精度化，演算量削減を実現させることを目的としている．本チップでは，特にオブジェクト分類をターゲットとしている．構成は，高画質ＣＭＯＳイメージセンサ，列並列ＡＤ変換器，画像特徴量抽出演算器である．列並列ＡＤ変換器はパイプライン構造であり，その１ステージの回路は，−2倍のゲインを持つ演算増幅器，比較器，参照電圧供給回路から構成される．従来のパイプライン構造のＡＤ変換器には2倍の増幅器で構成されるのが一般であるが，−2倍の増幅器を用いた新しいＡＤ変換アルゴリズムを採用することで回路面積を縮小させている．画像特徴量抽出演算器は，センサと同一チップ上に配置可能であることから，センサチップ外部では実現不可能な並列演算処理回路を搭載している．並列に演算を行うことで，高機能な演算が非常に低速な周波数でも可能となる．その結果として同一チップ上に搭載されているアナログ回路への雑音の影響も抑えられる．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：イメージセンサ/スマートセンサ

イメージセンサ設計用TEG

東北大学工学研究科　　淨法寺 佑

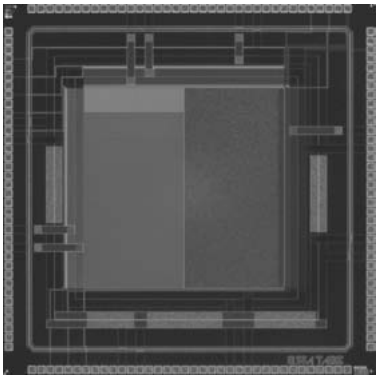


概要：イメージセンサについて，各種性能を計測するためのTEGを設計した．TEGの内容としては，CMOSイメージセンサおよび単体フォトダイオードを複数種類配置し，基礎的な特性を学べるようにした．フォトダイオードのサイズやレイアウト上の位置関係を変えて各々3〜10種類程度配置した．加えて，アナログ回路の設計技術を学ぶためにチョッパ型のコンパレータや基礎的な増幅回路，スイッチトキャパシタ回路などを設計し，かつ様々な回路パラメータを複数設定して配置した．クロックフィードスルーや配線（メタル）等のレイアウトがアナログ回路動作にどの程度影響を与えるかを，まずシミュレーションした上で設計を行った．次に実際のチップで測定を行った．シミュレーションと実際の結果を比較し，満足する結果が得られた．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：TEG（特性評価回路など）

MOSトランジスタ特性測定回路

東北大学工学研究科　　渡部 俊一

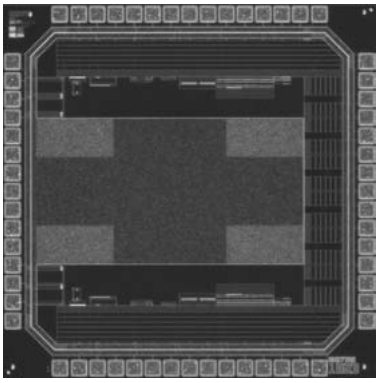


概要：LSI設計上問題となるMOSトランジスタ特性の統計的なばらつき量を把握するため，多数個のMOSトランジスタ特性を短時間で測定する回路を試作した．回路の構成は，被測定トランジスタ，選択回路，選択スイッチ，信号読出し回路から成っている．被測定トランジスタは，ゲートサイズは8種類（0.35um〜10um），各サイズ4096個ずつであり，20um間隔でアレイ状に配置してある．周辺に配置した選択回路により，被測定トランジスタを1つずつ選択し，測定する．周辺回路のトランジスタ特性のばらつきが，被測定トランジスタの測定に影響しないことは回路シュミレーションにより確認した．本回路により，約30000個のMOSトランジスタ特性を数十秒で測定可能である．トランジスタの各動作点でのばらつき量（主にσ（Vth））を測定する．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：TEG（特性評価回路など）

高機能高画質CMOSイメージセンサ用AD変換器

東北大学大学院工学研究科　　舘 知恭，須川 成利，小谷 光司，大見 忠弘

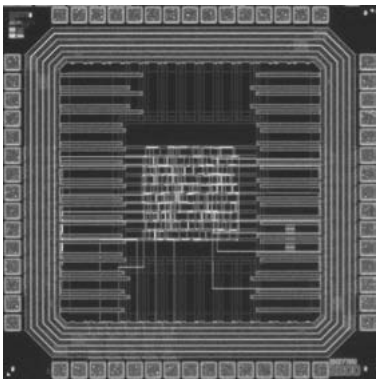


概要：昨今，CMOSイメージセンサの高機能化，高速化のため，CMOSイメージセンサと同一基板上にAD変換器を集積する技術が注目されている．本AD変換器はCMOSイメージセンサアレイの列に並列に集積することを目的としている．列並列AD変換器はパイプライン構造であり，その1ステージの回路は，−2倍のゲインを持つ演算増幅器，比較器，参照電圧供給回路から構成される．従来のパイプライン構造のAD変換器には2倍の増幅器で構成されるのが一般であるが，−2倍の増幅器を用いた新しいAD変換アルゴリズムを採用することで回路面積を縮小させている．また並列に演算を行うことで，非常に低速な周波数でも可能となる．その結果として同一チップ上に搭載されているCMOSイメージセンサへの雑音の影響も抑えられる．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

8bit×8 SRAM

東京大学情報理工学系研究科　　酒造 正樹，星野 一憲，下山 勲



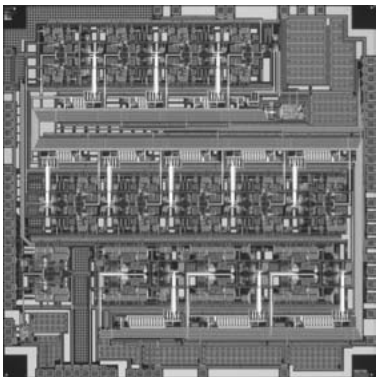
概要：我々のグループでは，これまでの試作でALUやCPUの設計を行ってきた．これらの演算ユニットにはメモリ空間が含まれておらず，外部接続のROMを用いて動作させていた．今回の試作では，ワンチップでのマイコン実現へ向け，フリップフロップを用いた8bit×8のSRAMを設計した．外部から入力したクロック信号に同期して，データの書き込みと読み出しが可能である．入出力の構成は，8bitのアドレスバス，8bitの入力データバス，8bitの出力バス，1bitの書き込みイネーブル入力からなる．出力端子には独自のパッドを設計し，納品されたチップに対する検査を可能にした．

参考文献：菅原，大村，関口，富岡，酒造，長澤，松本，下山，"ALUの設計，" p. 137，2002年度VDEC年報（2002）．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：メモリ

素子ばらつきを考慮した12-bit, 100MS/s, 2V電流モードA/D変換器の試作

中央大学理工学部　　合田 裕二，杉本 泰博，田中 滋人

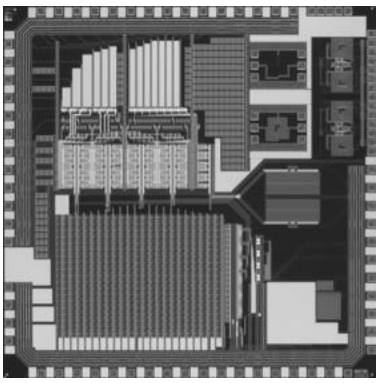


概要：ビデオアプリケーションとして用いられる電流モードCMOSパイプライン型A/D変換器について試作した．電流モード回路は，新たなアナログ回路設計の手段として候補に挙げられる．これは，各点のインピーダンスが低くなるため，低電圧，高速動作が期待できるためである．しかし，変換精度と回路中での電流値は，トランジスタのβ，Vth，端子電圧の違いにより，精度が制限されてしまう．このような理由から，電源電圧2V以下でのビデオアプリケーション用電流モードA/D変換器の実現可能性について試験した．A/D変換器で用いられるS/H回路は，サンプリングスイッチ，サンプリング容量，カレントミラー回路によって構成される．サンプリングスイッチにおけるクロックフィードスルーの影響は，差動構成を用いることで誤差を低減できる．また，カレントミラー回路におけるトランジスタのβ，Vth等の素子ばらつきによる誤差については，電流ミラーMOSの交替を行うことで，誤差を打ち消すことが可能である．測定の結果，この回路は28MS/sで動作し，電源電圧2VでS/Nは等価的に42dBであった．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

14-bit, 200MS/s DA 変換器回路

中央大学理工学研究科　　櫻井 宏樹
中央大学理工学部　　杉本 泰博

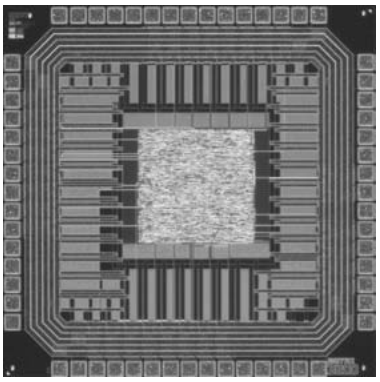


概要：14-bit, 200MS/s DA 変換器回路を試作した．14-bit のうち上位 6-bit にはセグメント方式，下位 8-bit にはバイナリ方式を採用し，高精度化と回路規模の縮小を同時に実現している．セグメント方式は 63 個の電流セルで構成されたセルマトリクス型 D/A 変換器を，バイナリ方式は 8 個の電流セルと R-2R 抵抗網を用いている．電流型の D/A 変換器を用いて高周波信号を生成する場合，高調波の発生による SFDR（Spurious Free Dynamic Range）の劣化が問題であった．この高調波は，出力信号変動時にセル内にも電圧変動が起き，セル内の寄生容量に過渡電流が発生することで出力端子の時定数が変動してしまうことが原因である．この過渡電流は ON 状態のセルの数に依存するので，上位 6-bit のセルと出力端子の間にバッファ付カスコード回路を導入し，高調波の発生を抑制している．また，配線抵抗の IR ドロップによる電流源の相対精度が劣化する問題を解決するため，アルミ配線と VIA を利用した部分的な等長配線と点対称配置を利用した電流源配置を用いる事で，IR ドロップの影響を除去し，直線性を改善している．現在は作成したチップの評価中であり，直線性についてはほぼ 14-bit 精度が得られることを確認した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Diva　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

画像処理におけるユークリッド距離変換回路の実現

名古屋大学大学院情報科学研究科　　高木 雅彦，平田 富夫
中京大学情報科学部　　磯 直行



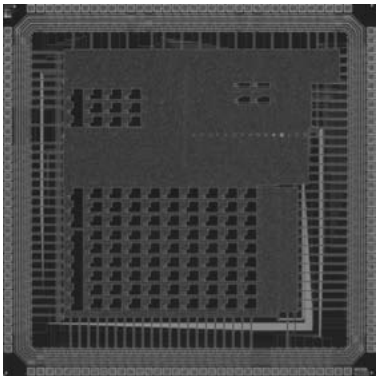
概要：画像処理やパターン認識における基本処理の一つにユークリッド距離変換がある．ユークリッド距離変換は，前景と背景の画素で構成された 2 値画像において，各画素の値を最近隣の前景とのユークリッド距離とする処理である．［1］のアルゴリズムでは処理を列と行の処理に分け，効率の良いユークリッド距離変換を行う．本試作では［1］のアルゴリズムのうち列処理のみ実現した．基本セルを各列内で隣接させ，クロックに同期して信号を伝播させることで処理の高速化を実現した．試作チップの出力は距離変換値ではなく記号化された 2 ビット値である．

参考文献：［1］宮澤雅史，曽培峰，磯直行，平田富夫:"シストリックアレイによるユークリッド距離変換アルゴリズムの実現"，情処研報，AL-87，pp. 43-49，2002.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 Apollo，Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

3 次元計測用スマートイメージセンサ TEG

大阪市立大学工学研究科　　馬場 庸介，前田 康次，村井 俊文，宮崎 大介
向井 孝彰，，，



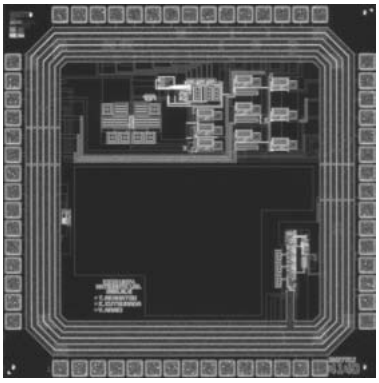
概要：我々の提案する傾斜面走査型共焦点光学系による 3 次元計測システム［1］において，2 次元断面画像の取得に通常のイメージセンサを用いた場合，計測速度はそのフレームレートで制限される．本研究では実時間計測を行うことを目的としているため，3 次元情報抽出処理をチップ内部で行うことができる高機能なイメージセンサの設計を行った．このセンサの回路は，フォトゲート回路，カレントコピア回路，チョッパ型コンパレータ回路から構成されている．本チップでは TEG として 3×3 画素での動作確認を行い，設計通りの処理動作を確認することができた．

参考文献：［1］前田，馬場，宮崎，向井，香川，太田，”傾斜面型共焦点法による 3 次元計測用 CMOS センサ”，映像情報メディア学会技術報告，VOL. 29，NO. 62，pp13-16（2005）

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva，Cadence 社 Analog Artist　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

生体計測用信号処理回路

慶應義塾大学理工学部　　近藤 洋一郎，松本 佳宣

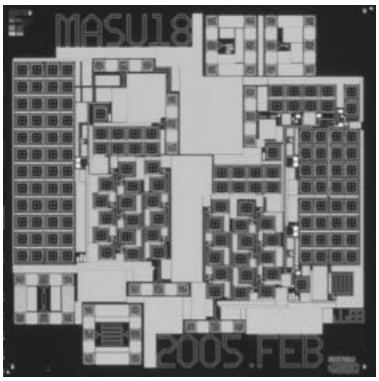


概要：医療用の生体計測で用いられる信号処理回路を設計した．特に筋電計測を念頭においており，筋電から発生する微弱な電圧変動を検出するために初段増幅器のＳＮ比の向上を図るために，回路の内部雑音を減少させた演算増幅回路を設計した．また，筋電電極からの電圧を確実に検出するために計数アンプ形式にして入力インピーダンスの向上を図った．さらに生体計測で問題となるGND電位の変動とハムノイズの混入に対応するため，フィードバック方式のバンドパスフィルタを設計して，シミュレーション上でその効果を確認した．増幅器やフィルタに必要とされる抵抗はHi-PolyR抵抗を利用して，容量に関しては外付けとした．チップの動作確認後はベアチップ実装による小型化と実際の応用を通した最適化が課題である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

人体内外通信 in-vivo チップ

東京工業大学統合研究院　　山田 智浩，岡田 健一，益 一哉

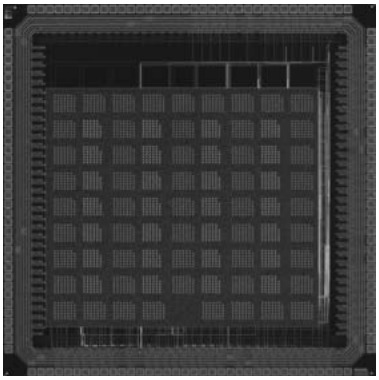


概要：13.56MHz帯を用いたバッテリーレスの人体内外 in-vivo 通信回路の試作を行った．人体による減衰は非常に大きく，できる限り電力効率の高い通信方式を用いる必要がある．本試作回路では，パルス間隔変調を採用することにより，受電したエネルギーを最大限送電エネルギーに変換する回路方式を検討した．コイルを用いた電磁誘導により，チップ上の3個のキャパシタに電力を蓄える．1個は制御回路の駆動用に用いる．他2個は2回のパルス送信のために用いる．そのパルスの間隔により，pHや温度などの情報を通信する．制御部は，昇圧回路とパルス発生回路から構成されている．シミュレーションにより，外部からの電力供給と1700uV程度の電流の読み出しが可能であることを確認した．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：通信（RF回路，ATMなど）

光学部検査回路付・光再構成型ゲートアレイ VLSI

九州工業大学情報工学部　　渡邊 実

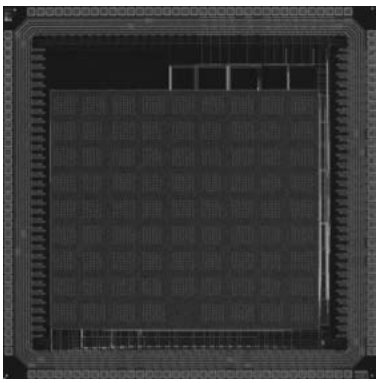


概要：光学部検査回路を含めたダイナミック型の光再構成型ゲートアレイ（Dynamic Optically Reconfigurable Gate Array）VLSIを試作した．光再構成型ゲートアレイとは光メモリとゲートアレイVLSIとを組み合わせたもので，コンテキストの記憶に光メモリを，光メモリとVLSI間に大容量の光バスを用い，大容量のコンテキストと高速な再構成とを両立した新構造のデバイスである．光再構成型ゲートアレイには，市販のプローバーを使用することができないことから，各種計測は全てチップ内の回路に頼り行う必要がある．そこで，光学部との位置合わせ，接合時に必要になる各種支援回路や，チップ各部を計測できる測定回路を実装し，ゲートアレイの動作状態で各種測定，解析が可能なチップを設計した．

設計期間：0.1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

11,424ゲート・光再構成型ゲートアレイ

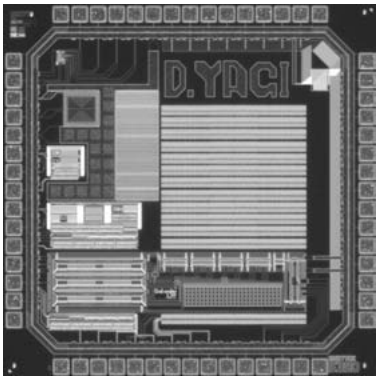
九州工業大学情報工学部　　渡邊 実



概要：光による高速な再構成が可能な11,424ゲート規模の光再構成型ゲートアレイ（Optically Reconfigurable Gate Array）VLSIを試作した．光再構成型ゲートアレイとは光メモリとゲートアレイVLSIとを組み合わせた新構造のデバイスのことで，コンテキストの記憶に光メモリを，光メモリとVLSI間に大容量の光バスを用いることで，大容量のコンテキストと高速な再構成とが両立できる．このチップでは，ゲートアレイ部はカスタム設計され，プログラマブルなタイミング生成回路が実装されている．このチップでは，数百MHzの光再構成が可能である．フォトダイオードのサイズと間隔は9.0μm×8.8μm，横34.5μm，縦33.0μmであり，34ゲート相当の論理ブロックが336個，スイッチングマトリックスが360個，4ビットのI/Oビットを持つI/Oブロックが8個実装されている．
設計期間：0.1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

高線形アナログ信号処理用回路ブロック

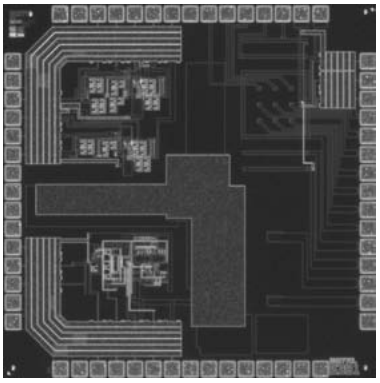
豊橋技術科学大学大学院工学研究科　　秋田 一平，伊藤 和将
豊橋技術科学大学工学部　　和田 和千



概要：線形アナログ信号処理用を実現するための回路ブロックとして，電源電圧1.0Vで動作する積分器と等価浮遊抵抗対を試作している．まず低電圧積分器は，MOSFETの弱反転領域を利用し，ログドメイン回路技術により高い線形性を実現している．従来のCMOSログドメイン積分器では電流の複製を行なうカレントミラー回路にダイオード接続したMOSFETが使用されていたため，各トランジスタのバイアス電圧がばらついてしまい，誤差が生じていた．今回はダイオード接続を使用せずに電流を複製できる回路構造としているため，低電源電圧の下でも誤差が生じにくく，さらに電源電圧の変動に対する特性の変化が小さい特長を有している．この積分器のよる2次低域通過フィルタ［1］も本試作で実現している．次に，等価浮遊抵抗対は平衡型回路での使用に適した回路ブロックとなるように，等価抵抗値が可変の回路を小規模かつ低電力で構成し試作している．RCポリフェーズフィルタで使用できるよう素子サイズを決めた．
参考文献：［1］秋田，和田，田所，"低電圧下における直流利得を改善したCMOSログドメイン積分回路，" 信学論C，Vol. J88-C，No. 7，pp. 576-577，2005年7月．
設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

離散時間信号処理における雑音低減技術と寄生素子の影響の評価

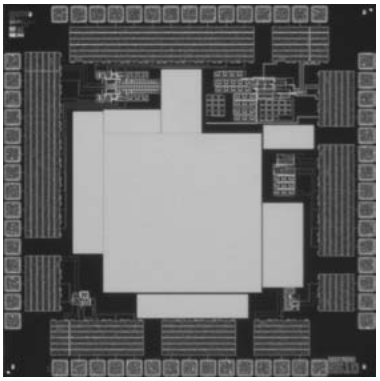
豊橋技術科学大学大学院工学研究科　　鈴木 寛人，八木 大介，吉田 武史
豊橋技術科学大学工学部　　和田 和千



概要：三つの個別の回路を同時に試作している．（1）ディジタル基板雑音の性質を知るための回路である．伝搬特性を測定するとともに，ディジタル基板雑音を打ち消す従来回路の特性や長短所を調べ，以後に行なう改善の比較対照データを得ることを目的とした．（2）ΔΣ型アナログ・ディジタル変換回路において，使用する量子化回路にオフセットや1/f雑音が生じても出力雑音の増加を抑制できるという回路原理［1］を確認する回路試作である．積分回路の利得の適切な制御により，出力雑音と，積分回路の出力部での歪を同時に低減できる．（3）寄生容量に不感ならびに有感なスイッチトキャパシタ双一次積分回路を試作している．高精度スイッチトキャパシタ複素フィルタを実現することを目的とした研究の第1次的な検証を行なっている．
参考文献：［1］八木大介，和田和千，田所嘉昭，"ΔΣAD変換回路の入力範囲を広げるためのスイッチトキャパシタ積分回路"，電気学会電子回路研究会資料　ECT-04-102，2004年12月．
設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

LNAの高性能化に関する試作

法政大学工学部　　安田 彰
法政大学工学研究科　　緒方 克哉，土屋 貴紀



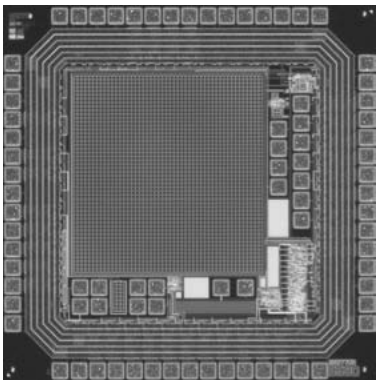
概要：LNAはアンテナから入ってきてスイッチを通過したの微弱な信号を増幅する．この微弱な信号はそのまま復調することができないので，アンプで増幅する必要がある．ただし，増幅した結果，アンプから発生するノイズが増幅後の信号レベルより大きいと，信号とノイズの見分けがつかなくなってしまう．そこで受信回路のアンプにはノイズの発生の少ないアンプ，LNAを用いる．高周波回路では電力をいかにロスなく伝えるかが重要である．そのため，入出力におけるインピーダンスマッチングを行う．マッチングされていないと電力は反射してしまい，そのロスが発生してしまう．私の所属する研究室では，現在LNAにつなげるミキサーにスイッチトキャパシタ回路用いる方法を研究している．スイッチトキャパシタ回路はスイッチの切り替えにより容量が変化する．つまり，時間に対してインピーダンスが変わってしまう回路である．そうなると一つの値でマッチングをとることができなくなってしまう．そこで，インピーダンスの変化に強いLNAを設計した．

参考文献：Design of Analog CMOS Integrated Circuits，ラザビ

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：マイクロプロセッサ

基板雑音検出回路とVCOの評価TEG

神戸大学工学部　　藤原 正樹，小坂 大輔，永田 真



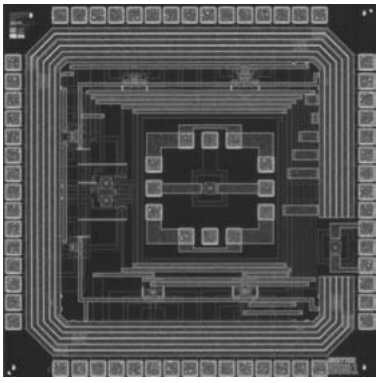
概要：高周波基板雑音検出回路構成の設計と評価を目的としている．同一プロセスで試作したミキサ回路の評価結果［1］より，基板雑音解析に用いる回路構成としてミキサとソースフォロワ（SF）を用いた回路構成が適しているという結論を得た．そこで，本設計では，ミキサ及びSFのサイズを最適設計し，また検出回路構成の出力インピーダンスを下げることにより，測定環境による依存性を低減する効果の実証も目的としている．さらに，スパイラルインダクタ及び，それを用いたVCOも搭載している．これまでに低い周波数での基本動作確認を終え，高周波領域の測定準備をすすめている．

参考文献：［1］ 藤原，小坂，永田，”ミキサ回路の各種構成による性能比較評価”，pp. 100，2005年VDEC年報（2005）．

設計期間：1人月以上，2人月未満　**設計ツール**：SII社 SX9000，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

超多重RFID向けトランスポンダ実験チップ

神戸大学工学部　　福水 洋平，永田 真



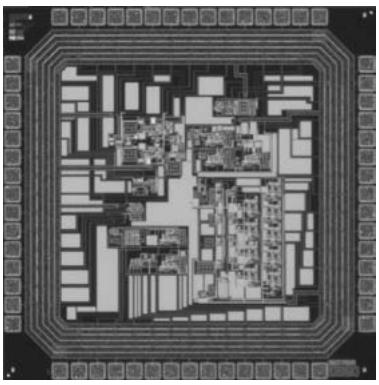
概要：本試作チップは超多重応答を可能にするRFIDシステム［1］において，小規模な輻輳制御を実現するトランスポンダ（タグ）の実験回路であり，RF信号処理・ディジタルロジック・キャパシタ・RF送信回路から構成される．本回路は電磁誘導による非接触給電で外部から供給される電力を内蔵のキャパシタに蓄え，キャパシタに充分な電力が蓄積されると，読取り機と同期をとってからタグIDを拡散変調し発信するものであり，通信方式の基本性能，変調方式および輻輳制御の妥当性を確かめることを目的としている．現在，本チップと周辺回路を搭載した実験機を作成し，動作評価を継続している．

参考文献：［1］ "Communication Scheme for a Highly Collision-Resistive RFID System", Y. Fukumizu, S. Ohno, M. Nagata, K. Taki, IEICE Transactions on Fundamentals, Vol. E88-A, No. 12, pp. 3324-3331, Dec. 2005.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，SII社 SX9000，Synopsys社 Star-HSPICE，Synopsys社 PowerMill，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：通信（RF回路，ATMなど）

FM送受信回路

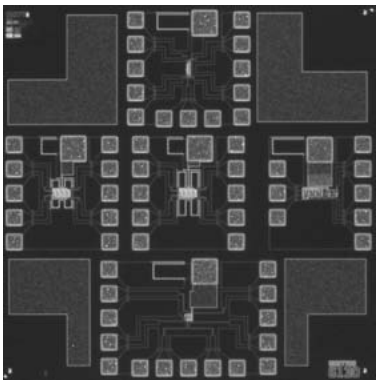
立命館大学理工学研究科　　藤田 智弘, 野田 和也, 古野 裕隆



概要：自動利得制御回路，発振回路，低雑音増幅器（Low-Noise-Amplifier）を搭載．今回試作した自動利得制御（Auto-gain-controll）回路はオペアンプのフィードバックを利用し，信号の振幅を一定にしている．発振回路は単安定マルチバイブレータと遅延回路により構成され，単安定マルチバイブレータの出力信号を遅延回路を経て入力部に帰還することによって発振する．発振回路の発振周波数は外付けの可変抵抗により変化させることができる．低雑音増幅器は増幅器として一般的であるソース接地回路ではなく，インバータを使用することにより，入力換算ノイズの低下を狙った回路である．今回試作した低雑音増幅器と自動利得制御回路と発振回路はFM送受信システム用に設計したものである．
設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

周波数変調 ΔΣ 変調器の予備検討

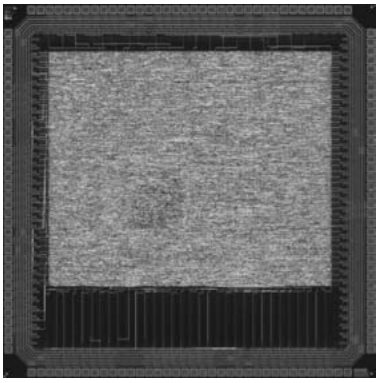
名古屋大学工学研究科　　松原 渉, 前澤 宏一, 水谷 孝



概要：アナログ-デジタル変換器（ADC）は実世界と進展著しいVLSIの世界を結ぶ重要なデバイスである．中でも，ΔΣ方式は，高分解能のA/D変換が可能なことから広く使われている．しかし，信号帯域に対して十分高い周波数で動作させる必要があるため，これまで，その応用は比較的低い周波数に限られていた．これに対して，我々は，高速性，高分解能性の点で大きなポテンシャルを持ちながら，未だその能力が生かされていない周波数変調方式ΔΣADCに着目した．本研究は，周波数変調方式の問題点を解決した新しい回路構成を提案し，高速・高分解能なADCを実現することを目的としている．この試作では上記を実現するための基礎となる要素部品に関する検討を行った．
参考文献：W. Matsubara, M. Sakou, K. Maezawa, T. Mizutani
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角
チップ種別：アナログ（PLL，A-D/DC-DCコンバータなど）

コンテンツベース手法を用いた動き予測エンジンの試作

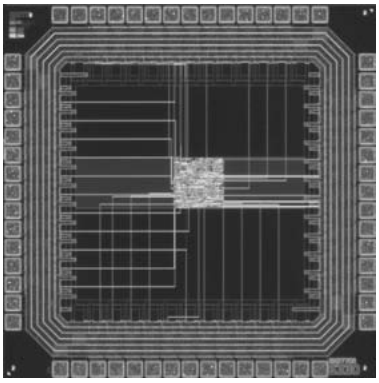
早稲田大学大学院情報生産システム研究科　　李 申, 池永 剛, 後藤 敏



概要：今回は，MPEG-2/4エンコーダーで最も消費電力の多い動き予測（ME）部を高速，低消費電力かつ小面積で実現するために，画像の複雑度に応じて探索方式を動的に調整可能なコンテンツベース手法を提案し，MEエンジンを設計し試作した．本チップは（1）Hierarchical Finite State Machine（HFSM）制御回路，（2）全探索（FS）及び三段階探索（TSS）に対応可能な16-PE SIMDブロックマッチング演算回路，（3）内蔵画素バッファから構成されている．提案手法により，探索点の数が従来手法の3%まで削減できブロックマッチング演算回路の規模が従来より約90%小さくなった．また，小面積，低周波数で高性能を確保するためにSIMD方式を採用し，パラメータの設定を変えることでFSとTSSを動的に切り替えできるようにした．さらに，レジスタファイルによる画素バッファの容量を最適化によって6Kビットまで抑えた．AlteraFPGA（EP1S25F1020C7）を搭載したボードで評価した結果，目標動作周波数4.16MHz（QCIF）と33.3MHz（CIF）に対し，40MHz程度まで正確に動作することが確認された．
参考文献：Shen Li, Yong Jiang, Takeshi Ikenaga, Satoshi Goto, "Content-Based Motion Estimation with Extend Temporal-Spatial Analysis", IEICE Trans. Inf. & Syst., Vol. E88-D, No. 7, pp. 1561-1568, July 2005.
設計期間：5人月以上，6人月未満　**設計ツール**：Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Astro　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

8bit 除算器の試作

名古屋大学工学研究科　　堀部 大介，伊藤 大地，梶山 太郎，林 久紘



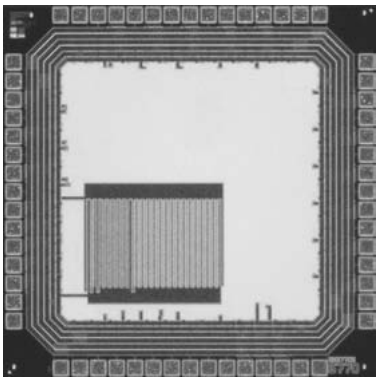
概要：本研究室の LSI チップ設計環境整備と，VLSI の設計トレーニングとして，チップ試作を行った．CAD ツールのインストールを行い，今回は算術演算回路の 8bit 除算器を作成した．8bit 除算器は引き戻し法によって実現している．回路中には，演算回路が正しく動作しているかを確認できるように，テスト出力を付加した．設計にはハードウェア記述言語である Verilog-HDL を用い，修士課程の学生 4 名で約 3 ヶ月を要した．設計ツールには，Cadence 社 Verilog-XL，Dracula DRC，Synopsys 社 Design_Compiler，Apollo，Milkyway を使用した．チップの検証は三菱電機マイコン機器ソフトウエア株式会社の MU200-SX で行った．

参考文献：パターソン，ヘネシー，”コンピュータの構成と設計 上”，pp. 242-249，日経 BP 社（1999）

設計期間：10 人月以上　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 DesignCompiler，Synopsys 社 Apollo，Milkyway，Cadence 社 Dracula DRC　**トランジスタ数**：10 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：演算回路（乗算器，除算器など）

0. 35μmCMOS トランジスタ特性測定実験用チップ

立命館大学理工学部　　藤野 毅

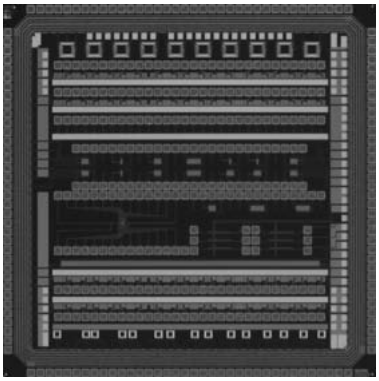


概要：理工学部 2 回生にトランジスタおよびＣＭＯＳ回路特性の基礎を理解してもらうための学生実験測定ＴＥＧを作製した．搭載したＴＥＧは以下の 4 種類である．（1）拡散抵抗の特性測定（N拡散 5 種，Ｐ拡散 1 種）（2）トランジスタの単体特性測定（ＮＭＯＳ 8 種，ＰＭＯＳ2 種）（3）インバータのＤＣ特性測定（4 種）（4）ＮＡＮＤ回路のディジタル論理特性（1 種）（5）ファンアウトを変化させたとき遅延回路の特性測定（4 種）全 4 回の実験であり，うち 2 回ではＴＥＧを電圧発生/電流測定器，ファンクションジェネレータおよびオシロスコープを用いて本設計のＴＥＧを測定し，残りの 2 回ではＳＰＩＣＥシミュレータを用いてシミュレーションを行う．実験とシミュレーション結果を比較してレポートをまとめることにより，ＣＭＯＳ回路の基本原理を理解する． 今年度 2 回目の作製である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：TEG（特性評価回路など）

基板ノイズ評価用テストチップ

慶應義塾大学理工学部　　岩津 勝彦，中野 誠彦

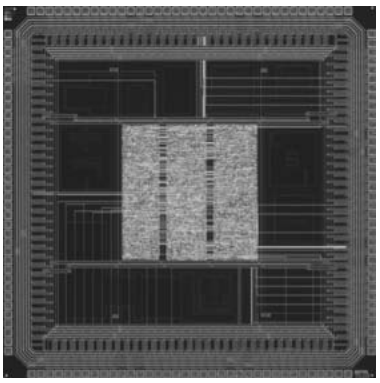


概要：ミックスドシグナルアプリケーションにおいてデジタル回路が発生するスイッチングノイズがシリコン基板を経由してアナログ回路に伝播し，影響を及ぼす問題がある．この問題を解決するには，設計段階で基板ノイズカップリングを評価するコンパクトモデルの構築が必要である．本研究では，基板ノイズをオンチップ上で評価できるようにするため，リングオシレータを複数配置し，それらの動作の相関をジッター測定によって行った．ジッタープロファイルからどのようなノイズがカップリングしているかは，ノイズモデルを構築することにより検討を行う．パッケージングの効果も検討するため，オンウエハ測定と，パッケージングされた状態での両方の計測が可能となっている．

設計期間：0. 1 人月以上，0. 5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 4. 9mm 角　**チップ種別**：TEG（特性評価回路など）

DCTプロセッサの試作

関西大学大学院工学研究科　　西谷 貴幸，栗原 大輔，貞光 慎司，阿部 貴之，堀場 康孝



概要：当研究室における微細化LSI設計試作環境の構築，設計フローの理解と低消費電力用LSI設計における問題点の抽出を目的として，JPEGやMPEGに使用されているDCTプロセッサを題材に選び，設計・試作・評価を行った．本チップは8点の1次元離散コサイン変換を実現するものであり，演算を縦方向，横方向に2回実施することにより2次元変換を行うことができる．加算器，減算器，乗算器，Dフリップフロップ，カウンタなどから構成されている．本試作では，レイアウト設計は全て自動配置配線で行い，スタンダードセルライブラリは東京大学製のものを使用させていただいた．試作チップを実装し，入出力ピンの一部について実測した結果，クリティカルパスを中心に正しいファンクションを確認し，最高動作周波数として103MHzを得た．今後の課題としては，測定環境・測定精度の充実を図ることが必要である．また，今回の試作結果をもとに，低消費電力化設計に向け，回路，レイアウト設計に関して見直すことが必要である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

平成17年度第1回ロームCMOS 0.35μm試作（RO35051）

CMOSデシメーションフィルタの試作

横浜国立大学工学部好明　　吉川 信行
横浜国立大学工学部　　道江 寛之

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち，20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である．これをSFQ回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5-9 September 2005, Noordwijkerhout, The Netherlands, P-B07.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：演算回路（乗算器，除算器など）

高感度位置敏感型放射線検出器用チップ

東京大学大学院工学系研究科　　Yeol Yeom-Jung, 高橋 浩之

概要：本チップは，放射線計測用，特に位置敏感型放射線検出器用に設計されたチップであり，入力は微小な放射線検出器からのアナログパルス信号に対応した高感度のアナログ入力部を12チャンネルもち，各チャンネル毎にプリアンプ，シェーピングアンプ，ディスクリミネータを有し，最終的な出力はディジタル値となる．入力電荷範囲は-150~320fCで，この範囲の信号を認識し，入力チャンネルに対応した出力チャンネルにディジタル出力を得ることができる．チップの消費電力は約0.13W，等価雑音電荷は689電子，また容量勾配は35電子/pFであった．本チップはまた，ディスクリミネータ出力のパルス幅を用いて，入力信号の大きさを判定することができる．チップの評価結果では，入力信号が40fCから120fCまでの範囲でディジタル信号のパルス幅から信号波高情報を得ることが可能であることが分かり，多チャンネル放射線検出器の高性能化に用いることができると期待される［1］．

参考文献：［1］ Yeom, J.Y.; Defendi, I.; Takahashi, H.; Zeitelhack, K.; Nakazawa, M.; Murayama, H., Nuclear Science Symposium Conference Record, 2005 IEEE

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナデジ混載

高感度位置敏感型放射線検出器用チップ

東京大学大学院工学系研究科　　Yeom Jung Yeol, 高橋 浩之

概要：本チップは，R2710と同じく放射線計測用，特に位置敏感型放射線検出器用に設計されたチップであり，入力は微小な放射線検出器からのアナログパルス信号に対応した高感度のアナログ入力部を12チャンネルもち，各チャンネル毎に電荷積分型プリアンプ，シェーピングアンプ，ディスクリミネータを有し，最終的にディジタル出力を得るチップである．なお，テストチャンネルを2チャンネル有しており，プリアンプ特性，シェーピングアンプの特性など個別に評価することが可能となっているほか，電荷積分型プリアンプの積分時定数，シェーピングアンプの整形時定数など可変となっている．今回は多数の試作チップ間の特性のばらつきを調べ，製作条件の異なるチップ間でのディスクリミネーション電圧や応答性能の違いを評価するために，R2710と同様のチップを作った．

参考文献：［1］ Yeom, J.Y.; Defendi, I.; Takahashi, H., et al., Nuclear Science Symposium Conference Record, 2005 IEEE, Vol 1, 391-393.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナデジ混載

ミックストシグナル集積回路のための基礎技術

豊橋技術科学大学大学院工学研究科　　鈴木 寛人，小野 貴士
豊橋技術科学大学工学部　　和田 和千

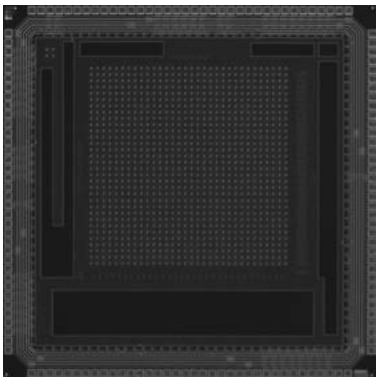
概要：ミックストシグナル集積回路のための基礎的な回路技術のテーマとして，ディジタル基板雑音の抑圧とダイナミックレンジの拡大に注目し，それぞれに対し有用な回路例を実現している．一つ目は，アナログ回路領域に混入するディジタル基板雑音を低減するための打ち消し回路である．雑音の逆相信号を生成して印加する従来の構成に増幅回路を使用するとともに，アナログ回路領域の境界付近の雑音電流を効果的に低減できる構造へと改良を行なっている．雑音を抑圧する効果を確認することを目的とした試作である．二つ目の試作回路は，信号分割型の構成により広ダイナミックレンジを実現できる積分器である．積分結果を二つの出力で等価的に表す機能をスイッチトキャパシタ回路で実現し，信号分割手法の原理的な有効性の確認を行なうために設計している．ダイナミックレンジが広いアナログ・ディジタル変換回路を実現することを目指した研究の一環でもある．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Mentor 社 Calibre　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

平成17年度第2回ロームCMOS 0.35μm試作（RO35052）

アナログモーションセンサのための時間領域微分演算アーキテクチャ

東京大学大学院新領域創成科学研究科　　伊藤 潔人

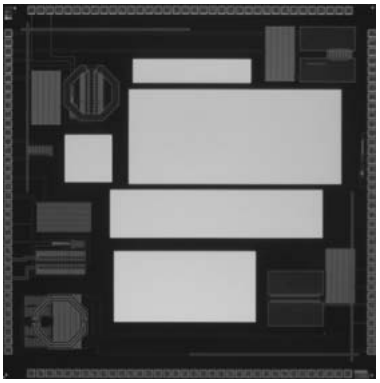


概要：動画像関連のアルゴリズムで重要な役割を持つ，画素ごとの時間微分・空間微分をオンチップで検出するイメージセンサ統合型画像処理チップの試作を行った．こうしたイメージセンサ統合型集積回路（スマートセンサ）では，低消費電力や省面積を目的としてアナログ回路で構成することが多かった［1］．しかし，動き認識など高次処理で汎用デジタルプロセッサを利用することを想定した場合，A/D 変換フェーズが必要となり処理スループットが制限されてしまう．本試作では時間領域で微分を演算する回路構成を新たに開発し，各画素にフォトダイオードと共に集積した．そのため，チップ内で各微分を符号付きデジタル値に変換することが可能である．本設計では，31×31 ピクセルの画素回路を集積し，電源電圧3.3V で最大400 フレーム/秒の高速に微分検出をすることを実測にて確認した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC，Mentor 社 Calibre，Avanti 社　Star-HSPICE/Sysnopsys 社 Nanosim　**トランジスタ数**：100,000 以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：イメージセンサ/スマートセンサ

チップ間ワイヤレス電源伝送回路の評価チップ

東京大学大学院工学系研究科　　鬼塚 浩平

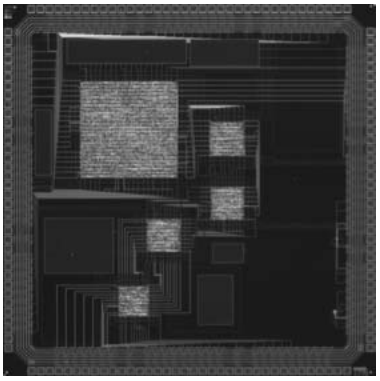


概要：SiP におけるチップ間の電源伝送をワイヤレス化することにより，アセンブリーコストの削減，自由度の増加，パッケージ内のチップをユーザが組み替えるアプリケーションの可能性も期待される．本チップではオンチップのプレーナインダクタによる磁界結合を用いるタイプを再設計した．送信回路はリングオシレータ，ディファレンシャルバッファのみを用いた簡潔な構成とし，受電用整流ダイオードには3個の PMOS を組み合わせることにより基板電圧が変化してしきい値が変動することを防ぐタイプの MOS ダイオードを用いた．実測の結果，数 mW の電力伝送に成功した．負荷・チップ間距離・平面位置を変化させた場合の伝送についても実測を行い，電磁界および HSPICE シミュレーションとの整合性も確認した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：TEG（特性評価回路など）

SFQ/CMOS ハイブリッドメモリ用高速ハイブリッドアンプの試作

横浜国立大学工学部好明　　吉川 信行
横浜国立大学工学部　　藤原 完，高橋 好明，河合 宣彰



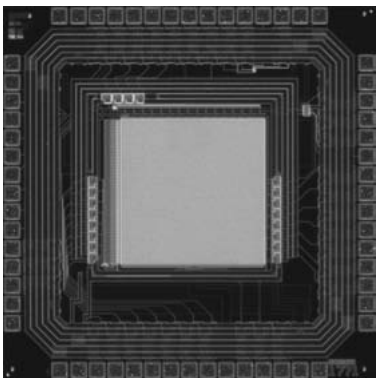
概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは 4.2K での動作を仮定しており，メモリーセルには3トランジスタ DRAM セルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOS ハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOS デバイスの負荷抵抗を Josephson 接合のスタックで置き換えた構造を持ち，20mV の微小入力を 1V オーダに遅延時間 40ps で増幅可能である．これを SFQ 回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003).

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

CMOSデシメーションフィルタの試作

横浜国立大学工学部好明　　吉川 信行
横浜国立大学工学部　　道江 寛之



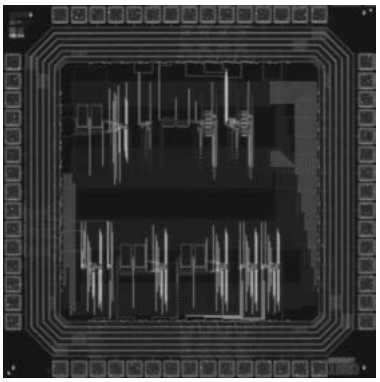
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち，20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である．これをSFQ回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5–9 September 2005, Noordwijkerhout, The Netherlands, P–B07.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog–XL，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

高精度低消費電力電圧コンパレータ

東北大学大学院工学研究科　　佐塚 友彦

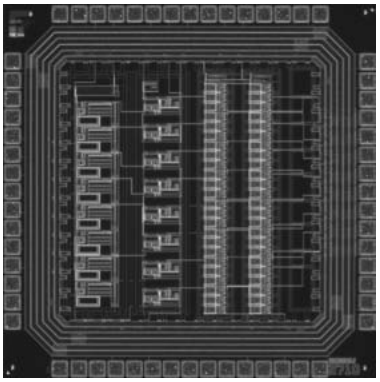


概要：低消費電力アナログ・デジタル変換器向けの，高精度・低消費電力電圧コンパレータを試作した．電荷転送原理に基づき，MOSトランジスタのしきい値ばらつきをプリチャージ動作で補正する機能を有し，定常的な消費電力を必要としない電圧コンパレータにおいて，従来3フェーズ動作が必要であったが，回路の工夫により2フェーズ動作を可能とした．オフセット電圧，動作周波数，消費電力などの基本的な特性が評価できるTEGを試作し評価した．また，MOSトランジスタのしきい値ばらつきを，同様のプリチャージ機構で取り除く差動構成のプリアンプを設計した．コモンソースの電流源を基準電圧で駆動し，差動対MOSトランジスタのゲート・ソース間に接続した容量にしきい値補正電圧を記憶するタイプである．オフセット電圧，動作周波数，消費電力などの基本的な特性を評価した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star–HSPICE，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A–D/DC–DCコンバータなど）

光電子増倍管用位置読み出しチップ

東京大学大学院工学系研究科　　Yeom Yung Yeol，高橋 浩之

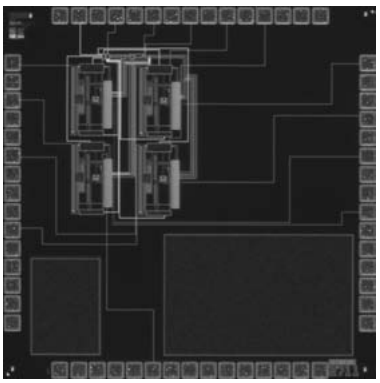


概要：本チップは，多チャンネルの光電子増倍管用に1チップ内に8個の入力チャンネルを有し，各入力チャンネルに対してプリアンプ，シェーピングアンプ，各チャンネル毎にしきい電圧設定の可能なディスクリミネータを集積したものである．入力はアナログパルス信号を受け，予め設定した信号よりも大きな入力値であれば，ディジタルパルス信号を出力する．本チップには，ディスクリミネータ出力のパルス幅を用いて入力信号の大きさを判定する機能があるため，適切な信号の大きさを判定して散乱線の除去などに活用することができる．また，シェーピングアンプの時定数なども可変となっており，計数率と信号の大きさに応じて最適な値を選ぶことができる．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Verilog–XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star–HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：10未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナデジ混載

ポジトロンCT用プリアンプの試作

東京大学工学系研究科　　島添 健次

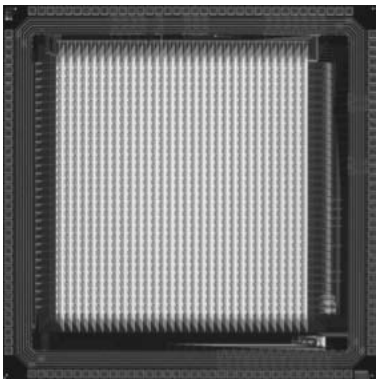


概要：本研究室で研究が行われている高分解能ポジトロンCT（PET）には薄くて積層が可能であるという利点から光電子増倍管よりもゲインが低いAPD（アバランシェフォトダイオード）が使われている．このためPET用のフロントエンド回路には高速で低ノイズの読み出し回路が要求される．このチップでは読み出し部分のテストを行うためにフロントエンドにおいて重要な部分である電荷積分型のプリアンプについて試作を行った．このプリアンプはAPD自体の信号はそれほど大きくないことから，入力レンジは小さくなるが高速性を確保するためにテレスコーピック型のものとした．プリアンプの積分時定数は外部から可変とした．4チャネルのプリアンプを搭載しているがテストではバイアスなどの問題により正常な動作が確認できなかった．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角
チップ種別：アナログ（PLL，A-D/DC-DCコンバータなど）

32×32画素キャパシティブフィードバックリセット型パルス周波数変調方式低電圧ビジョンチップ

奈良先端大物質創成科学研究科　　山本 真也
奈良先端大物質　　香川 景一郎，古宮 哲夫，徳田 崇，布下 正宏，太田 淳



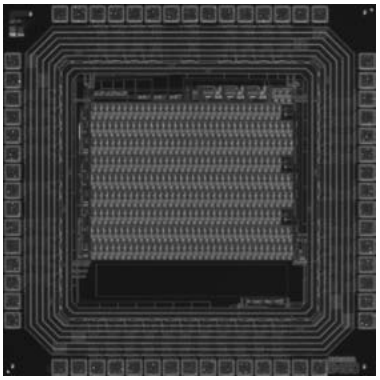
概要：我々は，眼球内に埋め込まれて動作する人工視覚デバイスなどの限られた電力で動作するデバイスへの適用を狙い，低電圧動作時に低消費電力と広いダイナミックレンジを同時に実現できるビジョンチップ方式として，キャパシティブフィードバックリセット方式パルス周波数変調受光回路とパルス領域画像処理を組み合わせた32×32画素ビジョンチップの試作を行った． 0.35 um 標準CMOSプロセスを用いて試作を行い，画素TEGの測定から，1.2 V 動作時に70dBのダイナミックレンジ，1画素当たりの消費電力0.16 uWを得た．このビジョンチップを用いて，人物，交通標識，交差点通過中の車の画像の撮像評価を行い，電源電圧1.25 Vにおいて，通常撮像，ぼかし，輪郭強調，輪郭抽出などの画像処理が正しく実行できることを確認した．

参考文献：山本他，「2×32画素キャパシティブフィードバックリセット型パルス周波数変調方式低電圧ビジョンチップの試作と評価」，映情学誌，60（4），pp. 621-626 （2006）．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：イメージセンサ/スマートセンサ

エッジ検出回路

大阪大学工学研究科　　井上 恵介，八木 哲也



概要：我々が今までに開発したシリコン網膜は，2次元のラプラシアン－ガウシアン型フィルタ処理を実時間で，オンチップで実行する．本チップは，そのシリコン網膜のアナログ出力に対して，ゼロ交差検出によってエッジを検出するものである．ゼロ交差検出は，シリコン網膜の六角格子状の画素配置にあわせて，0°，60°，120°の3方向で行なった．そのために，チップにはアナログメモリも一緒にインプレメントした．アナログメモリは，逐次的に読み出されるシリコン網膜の出力を保持し，ゼロ交差検出を行なう方向に沿った画素の値が読み出される．その後，ゼロ交差検出回路によって3方向でエッジが検出される．なお，テスタによる測定は行っていない．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：TEG（特性評価回路など）

平成17年度第3回ロームCMOS 0.35μm試作（RO35053）

低クロック振幅フリップ・フロップとオンチップバックコンバータ用フィルタの評価チップ

東京大学大学院工学系研究科　　鬼塚 浩平，Yazid Muhammad

概要：低クロック振幅フリップ・フロップとオンチップバックコンバータ用フィルタの評価チップ低クロック振幅フリップ・フロップを設計した．回路形式はパストランジスタ型で，クロックはパルス駆動される．情報を保持するインバータラッチをマージンの確保のためにクロックトインバータにしており，シミュレーションではクロック振幅1Vまで動作可能である．また将来のオンチップ分散電源システムに向けた積層型オンチップバックコンバータ試作のため，オンチッププレーナインダクタとMOSFETキャパシタによる2mm角のLCローパスフィルタを設計した．フィルタのコーナー周波数fcは24.5MHzとした．別チップとの組み合わせにより動作を確認した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：演算回路（乗算器，除算器など）

CMOSデシメーションフィルタの試作

横浜国立大学工学部好明　　吉川 信行
横浜国立大学工学部　　道江 寛之

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち，20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である．これをSFQ回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5-9 September 2005, Noordwijkerhout, The Netherlands, P-B07.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：演算回路（乗算器，除算器など）

16CH高感度位置敏感型放射線検出器用チップ

東京大学大学院工学系研究科　　高橋 浩之，島添 健次

概要：本チップは，多数のチャンネルを有する放射線検出器用に設計されたチップであり，入力は高感度のアナログ入力部を16チャンネルもち，各チャンネル毎にプリアンプ，シェーピングアンプ，ディスクリミネータ（3レベル）を有し，最終的な出力は複数の信号レベルに合わせて論理値の変化するディジタル値となる．入力電荷範囲は-150~320fCで，この範囲の信号を認識し，入力チャンネルに対応した出力チャンネルにディジタル出力を得ることができる．本チップはまた，ディスクリミネータ出力のパルス幅を用いて，入力信号の大きさを判定することができる．チップの評価結果では，入力信号が40fCから120fCまでの範囲でディジタル信号のパルス幅から信号波高情報を得ることが可能であることが分かり，多チャンネル放射線検出器の高性能化に用いることができると期待される［1］．

参考文献：［1］ P. Siritiprussamee, H. Takahashi, J.Y. Yeom, et al., A new M-MSGC readout method and front-end ASIC development Nuclear Instruments and Methods in physics research, A 525, 1-2, 225-228 (2004)．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナデジ混載

光通信用信号処理回路

慶應義塾大学理工学部　　赤松 大生，松本 佳宣

概要：多重方式光通信網で用いられるバースト伝送対応用のATC（Auto Threshold Control）集積回路の設計と試作評価を行った．バースト伝送ATC回路は，ピーク検出回路とボトム検出回路から構成され充電用トランジスタ部にカレントミラー構造を用いて，オーバーシュートを低減した．基準電圧1.65V，振幅30mVのパルス信号を入力として行なったシミュレーションでは，ATC回路の応答速度は約7nsec，誤差は1〜2mVという高精度な結果が得られた．試作チップを評価用ボードに実装し，ATC回路の動作を測定した結果，入出力オフセットと応答速度の面ではシミュレーションより劣っていたが，振幅検出の面ではシミュレーション通りの結果が得られた．本研究で設計したATC回路は，入出力オフセットという問題点はあるものの検出動作そのものには問題はなく，バースト伝送対応の光受信器で用いるのに有用である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：通信（RF回路，ATMなど）

静電容量型センサ用容量検出回路

慶應義塾大学理工学部　　轡田 晃一，松本 佳宣

概要：近年，研究開発が盛んに行われている静電容量型センサ用の微小容量検出回路を設計した．特に，3軸加速度センサなどのように多軸すなわち複数の容量センサが集積化されているセンサの容量検出を一つの回路でできるように，3つのスイッチトキャパシタ方式の容量検出器を6相クロックで駆動する構成とした．また，発振回路と利得約50倍の非反転増幅器も併せて集積化して，外付け部品の低減を図り，さらに携帯機器等での利用を考えて消費電力の低減を目指した．スイッチトキャパシタ回路には演算増幅器のオフセットの影響を除去できるAuto-Zero方式の容量－電圧変換回路を用いた．この回路はフェムトファラッドオーダーの微小容量検出が必要な加速度センサなどの分野への応用が期待される．

参考文献：轡田晃一，松本　佳宣，“3軸容量型加速度センサ用検出回路に関する研究”，信学技法，ICD2005-53（2005-07），pp. 77-82，（2005）．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部　　渡邊 実

概要：光による高速な再構成が可能で，ダイナミック型の光再構成回路を有する光再構成型ゲートアレイDORGA（Dynamic Optically Reconfigurable Gate Array）VLSIを試作した．光再構成型ゲートアレイとは光メモリとゲートアレイVLSIとを組み合わせた新構造のデバイスのことで，コンテキストの記憶に光メモリを，光メモリとVLSI間に大容量の光バスを用いることで，大容量のコンテキストと高速な再構成とが両立できる．ここで，ダイナミック光再構成型ゲートアレイとは，フォトダイオードを受光素子としてだけでなく，メモリとしても使用する高密度タイプの光再構成型ゲートアレイVLSIのことである．この度の設計では，フォトダイオード受光部のサイズを9.5μm×8.8μm，その間隔をそれぞれ34.5μm，33.0μmとした．Island-Styleのゲートアレイ部には，30ゲートに相当する論理ブロックが48個，スイッチングマトリックスが63個，4ビットのI/Oビットを持つI/Oブロックが6個実装された．配線チャネル内の配線は8本である．この度試作したDORGAのゲート規模は1,440ゲートである．

設計期間：0.1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部　　渡邊 実

概要：光による高速な再構成が可能で，ダイナミック型の光再構成回路を有する光再構成型ゲートアレイ DORGA（Dynamic Optically Reconfigurable Gate Array）VLSI を試作した．光再構成型ゲートアレイとは光メモリとゲートアレイ VLSI とを組み合わせた新構造のデバイスのことで，コンテキストの記憶に光メモリを，光メモリと VLSI 間に大容量の光バスを用いることで，大容量のコンテキストと高速な再構成とが両立できる．ここで，ダイナミック光再構成型ゲートアレイとは，フォトダイオードを受光素子としてだけでなく，メモリとしても使用する高密度タイプの光再構成型ゲートアレイ VLSI のことである．この度の設計では，フォトダイオード受光部のサイズを 6.5μm×5.0μm，その間隔をそれぞれ 30.0μm，33.0μm とした．Island-Style のゲートアレイ部には，30 ゲートに相当する論理ブロックが 56 個，スイッチングマトリックスが 72 個，4 ビットの I/O ビットを持つ I/O ブロックが 7 個実装された．配線チャネル内の配線は 8 本である．この度試作した DORGA のゲート規模は 1,680 ゲートである．

設計期間：0.1 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 Apollo，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm 角　**チップ種別**：その他

正方格子 2 次元シリコン網膜

大阪大学大学院工学研究科　　下ノ村 和弘，八木 哲也

概要：シリコン網膜は，生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので，実時間画像処理，小規模ハードウエア，低消費電力といった特徴を持つ．試作したシリコン網膜チップは，網膜初段の外網膜の回路構造を模擬したものであり，2 次元ラプラシアン - ガウシアン型のフィルタ特性を持つ．集積回路の素子のばらつきを補償する機構を付加し，光センサ部にはアクティブピクセルセンサを用いた．今までに本研究室で設計したシリコン網膜では，六方格子状の画素配置を採用していたが，今回の設計では，シリコン網膜チップから取得した画像に対する後処理を簡便にする目的から，画素の配置を正方格子状にした．画素数は 9×9 である．

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：1,000 以上，10,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：イメージセンサ/スマートセンサ

X 線測定用信号増幅回路

九州工業大学マイクロ化総合技術センター　　中島 正博，小池 洋紀，中村 和之

概要：宇宙から飛来する X 線の詳細測定を行うための信号増幅・検出回路の TEG を開発した．入力信号は，X 線シンチレータからの出力信号を光電子増倍管により増幅したものを用い，プリアンプ，シェーピングアンプ，ピークホールドアンプからなる 3 段構成の増幅回路により，X 線の詳細測定を行う．今回の設計は，多チャンネル化を目指す場合の電力削減方式や，面積低減方式を検討するための ＴＥＧとして設計したものである．今回の設計では，特に新規な回路構成を取っているわけではないが，本ＴＥＧの設計・測定結果をベースに多チャンネル化技術の検討を行い，最終的には，32 チャンネル以上の 1 チップ化を目指している．

設計期間：1 人月以上，2 人月未満　**設計ツール**：SII 社 SX9000，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1,000 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：TEG（特性評価回路など）

周波数変調 ΔΣ 変調器の原理確認

名古屋大学工学研究科　　松原 渉, 前澤 宏一, 水谷 孝

概要：アナログ–デジタル変換器（ADC） は実世界と進展著しい VLSI の世界を結ぶ重要なデバイスである．中でも，ΔΣ 方式は，高分解能の A/D 変換が可能なことから広く使われている．しかし，信号帯域に対して十分高い周波数で動作させる必要があるため，これまで，その応用は比較的低い周波数に限られていた．これに対して，我々は，高速性，高分解能性の点で大きなポテンシャルを持ちながら，未だその能力が生かされていない周波数変調方式 ΔΣADC に着目した．周波数変調方式の ΔΣADC はフィードバックループがないため，高速化に適している．しかし，これまで，高い線形性と広い変調幅を持つ電圧制御発振器（VCO）の実現が難しいという問題点があり，その特徴を生かすことができなかった．我々は，　これらの問題に対し，ダウンコンバージョンによる FM 中間信号生成法を提案した．本試作はその原理確認のためのものである．

参考文献：W. Matsubara, M. Sakou, K. Maezawa, T. Mizutani

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star–HSPICE，Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：アナログ（PLL，A–D/DC–DC コンバータなど）

ユビキタス自己発電センサーノード用ＩＣ

早稲田大学大学院情報生産システム研究科　　井上 靖秋, 潘 潘

概要：ユビキタス振動センサーノード用自己発電電源回路を中心に，センサー回路，基準電圧回路，蓄電制御回路，レギュレータ回路，ＲＦ送信回路から構成されている．振動エネルギーを電源として，電池を使用しないメンテナンスフリーの送信機を実現する実験用チップである．通信距離は 10mを想定している．振動センサー用の圧電素子で外部振動エネルギーを電気エネルギーに変換し，それを蓄電制御する．これを電源に全ての回路が動作する．回路動作は蓄電フェーズと送信フェーズに分かれ，送信は低デューティで間欠動作する．蓄電フェーズにおける回路の消費電力は 10 マイクロワット，また，送信出力は 1 mWである．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC，Cadence 社 Analog Artist　**トランジスタ数**：100 以上，1, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：アナログ（PLL，A–D/DC–DC コンバータなど）

高機能高画質ＣＭＯＳイメージセンサ

東北大学大学院工学研究科　　舘 知恭, 関東 弘明, 本橋 裕一, 岩間 大介, 須川 成利

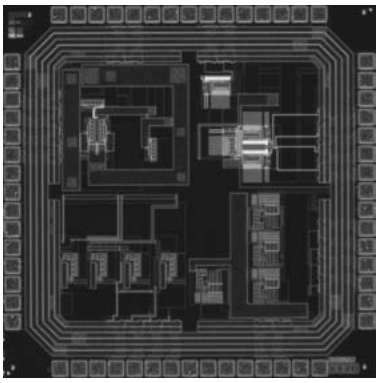
概要：高画質な撮像と同時に撮像対象の特徴を抽出し，後段における画像処理の高精度化，演算量削減を実現させることを目的としている．本チップでは，特にオブジェクト分類をターゲットとしている．構成は，高画質ＣＭＯＳイメージセンサ，列並列ＡＤ変換器，画像特徴量抽出演算器である．列並列ＡＤ変換器はパイプライン構造であり，その１ステージの回路は，−2 倍のゲインを持つ演算増幅器，比較器，参照電圧供給回路から構成される．従来のパイプライン構造のＡＤ変換器には 2 倍の増幅器で構成されるのが一般であるが，−2 倍の増幅器を用いた新しいＡＤ変換アルゴリズムを採用することで回路面積を縮小させている．画像特徴量抽出演算器は，センサと同一チップ上に配置可能であることから，センサチップ外部では実現不可能な並列演算処理回路を搭載している．並列に演算を行うことで，高機能な演算が非常に低速な周波数でも可能となる．その結果として同一チップ上に搭載されているアナログ回路への雑音の影響も抑えられる．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog–XL，Synopsys 社 DesignCompiler，Cadence 社 Virtuoso，Synopsys 社 Star–HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva，Cadence 社 Analog Artist　**トランジスタ数**：100, 000 以上　**試作ラン**：ローム CMOS 0. 35μm 4. 9mm 角　**チップ種別**：イメージセンサ/スマートセンサ

平成17年度第4回ロームCMOS 0.35μm試作（RO35054）

オペアンプおよびインスツルメンテーションアンプ

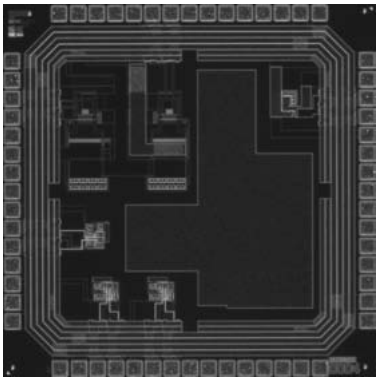
東京大学工学系研究科　　**栗原 健一郎, 門馬 太平, 曽我部 拓, 井上 拓郎**
東京大学 VDEC　　**池田 誠, 浅田 邦博**



概要：アナログ回路の代表的なものである演算増幅器（OPAmp, Operational-Amplifier）の設計を行なった．目標仕様としては，ユニティゲイン周波数500MHz・位相余裕70度・出力抵抗50Ω・スルーレート1x10^9V/sで，差動入力・単一出力型である．さらに，このオペアンプを用いて，インスツルメンテーションアンプを設計した．これは，オペアンプと抵抗で構成されており，増幅度を一つの抵抗で制御できるものである．まず理論計算における特性解析を行ない，ネットリストシミュレーションによる特性解析・レイアウトより抽出した後の特性解析・入出力バッファをつけてのフルチップシミュレーションによる特性解析，さらに試作チップの測定による特性の検証を行なった．
設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

オペアンプ及びインスツルメンテーションアンプ

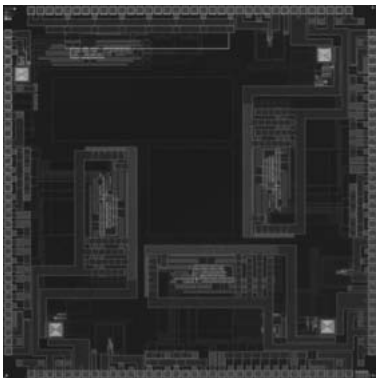
東京大学工学系研究科　　**曹 溶成, 橋本 紘和, 梁 志成**
東京大学 VDEC　　**池田 誠, 浅田 邦博**



概要：アナログ回路の代表的なものである演算増幅器（OPAmp, Operational-Amplifier）の設計を行なった．目標仕様としては，ユニティゲイン周波数500MHz・位相余裕70度・出力抵抗50Ω・スルーレート1x10^9V/sで，差動入力・単一出力型である．さらに，このオペアンプを用いて，インスツルメンテーションアンプを設計した．これは，オペアンプと抵抗で構成されており，増幅度を一つの抵抗で制御できるものである．まず理論計算における特性解析を行ない，ネットリストシミュレーションによる特性解析・レイアウトより抽出した後の特性解析・入出力バッファをつけてのフルチップシミュレーションによる特性解析，さらに試作チップの測定による特性の検証を行なった．
設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

di/dt検出器を用いたアクティブ基板ノイズ低減回路

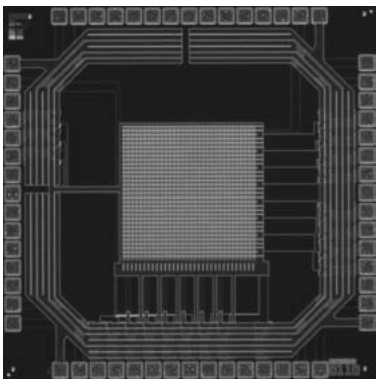
東京大学工学系研究科　　**風間 大輔**
東京大学 VDEC　　**池田 誠, 浅田 邦博**



概要：LSIの低電圧化に伴い，シグナルインテグリティの問題が深刻化している．特にRFやミックスドシグナルような回路においては，デジタル回路から発生するノイズが基板を伝搬してアナログ回路の性能を著しく落とす"基板ノイズ"の問題が重要となってきている．現在では，回路を用いて基板ノイズをクティブに基板ノイズを除去する手法が提案されているが，従来法ではその系がフィードバック系をなすために，増幅器の遅延だけ信号が遅れたり，ノイズが安定しないといった問題点があった．そのため，提案手法では電磁誘導を用いて独立したノイズ波形の抽出をすることで，フィードフォワード系のアクティブ基板ノイズ低減回路を実現し，設計した．今回は増幅器の利得をより上げることによって，より良いノイズ削減効果を得ることを目的とした．試作された測定結果から低周波領域ではノイズを削減効果が改善されたが，高周波数領域ではゲインの入力容量の増加に伴い増幅器の位相特性が悪化し，結果的にノイズが増大してしまうことを確認した．
設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

32x32 イメージセンサ TEG

東京大学大学院情報理工学系研究科　　岩下 貴司, 小室 孝, 石川 正俊



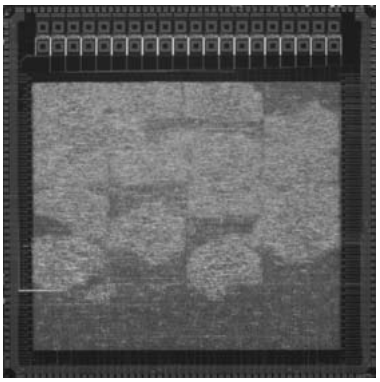
概要：任意矩形領域内のモーメント（面積, 位置, 姿勢などの統計量）を高速計算可能なスマートイメージセンサの TEG を設計した. 画素ごとに AD 変換器と演算器を搭載した構成となっている. 今回の TEG では, 高速撮像時（1kHz 以上）に顕著となる固定パターンノイズの影響を抑えるため, 画素 CDS 回路の設計に焦点を絞った. また, 従来のビジョンチップで問題となっていた開口率を, 大きめに設計した. これによって, 撮像の高感度化が可能になると期待される. 試作したチップは, PD と CDS 回路の動作検証を目的とし, 演算器部分をダミーセルで置き換えてレイアウトを行った. 画素ピッチは 26um, 開口率は 29%, 分解能は 32x32 となっている.

参考文献：アナログ CMOS 集積回路の設計　基礎編

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva，Cadence 社 Analog Artist　**トランジスタ数**：10, 000 以上, 100, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：イメージセンサ/スマートセンサ

3 次元集積技術を用いたプロトタイプ顔検出・認識 LSI

広島大学先端物質科学研究科　　安藤 博士, 淵上 展光, 賀谷 晃太, 有園 大介, 佐々木 守, 岩田 穆



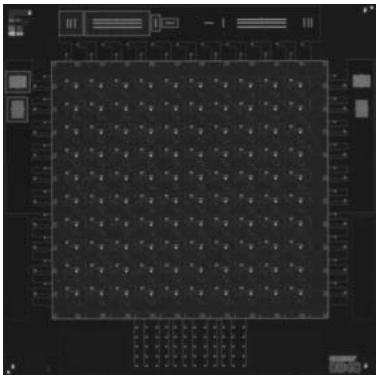
概要：3 次元集積マルチオブジェクト認識システムの実現を目指し［1］，インダクタカップリングによるチップ間無線通信を搭載したプロトタイプ顔検出・認識 LSI を設計した. 顔検出・認識のアルゴリズムには固有顔法を用いており，それぞれのモードを切り替えて処理する.　最初に 80×80 の入力画像から 32×32 の顔領域を検出する. 入力画像データを 20 並列に受信し，その中から選択的に 32×32 領域のデータを検出モードチップに保存する. 顔との類似度を固有顔法に基づいて計算し，最も距離が小さいエリアを顔として検出，出力する. 次に，認識モードチップにて個々の人物の特徴である固有顔データベース情報を入力し，類似度を求める. 最も距離が小さい人物を認識結果として出力する.　クロック周波数 31. 25MHz，電源電圧 3. 3V，有線通信での基本動作測定において，顔検出・認識処理を実現した.

参考文献：［1］ A. Iwata, et al., “A 3D-integration scheme utilizing wireless interconnections for implementing hyper brains”, Digest of ISSCC2005, pp. 262-263, Feb 6-10, 2005.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 DesignCompiler，Synopsys 社 Astro，SII 社 SX9000，Synopsys 社 Star-HSPICE，Synopsys 社 PowerMill，Mentor 社 Calibre　**トランジスタ数**：100, 000 以上　**試作ラン**：ローム CMOS 0. 35μm 9. 8mm 角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

人工網膜チップ用ピクセルアレイの試作（1）

東北大学大学院工学研究科　　出口 淳, 福島 誉史, 田中 徹, 小柳 光正



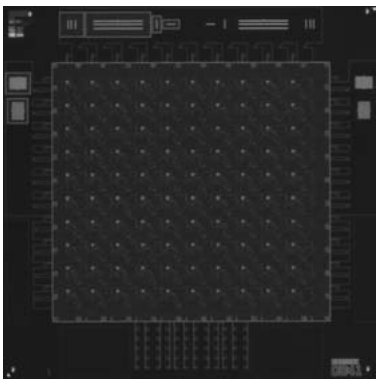
概要：網膜の疾患である加齢黄斑変性症や網膜色素変性症により視細胞が死滅して失明に至った患者の治療のために, 網膜を直接電気刺激して視覚機能を回復させることを目的とした人工網膜の開発が強く求められている. このような背景のもと, 我々は 3 次元集積化技術と呼ばれる新しい LSI 技術を用いた 3 次元積層型人工網膜チップを提案し, その開発を行っている［1］. 今回我々は, 「死滅した視細胞の受光機能の代替」, 「患者にとって最適な刺激電流の生成」という人工網膜チップに要求される重要機能を実現するために, 回路構成の異なる 2 種類のピクセル回路の設計を行った. 本試作では特に, そのうちの一方のピクセル回路から構成される「人工網膜チップ用ピクセルアレイ」を試作し, その基本動作の確認を行った. 今後は, 無線による電力・データ伝送を行うための回路の設計を行い, 人工網膜チップのプロトタイプの試作を目指す.

参考文献：J. Deguchi, et al., Jpn. J. Appl. Phys., 43, pp. 1685, 2004.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Cosmos，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva，Cadence 社 Analog Artist　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：アナデジ混載

人工網膜チップ用ピクセルアレイの試作（2）

東北大学大学院工学研究科　　出口 淳，福島 誉史，田中 徹，小柳 光正



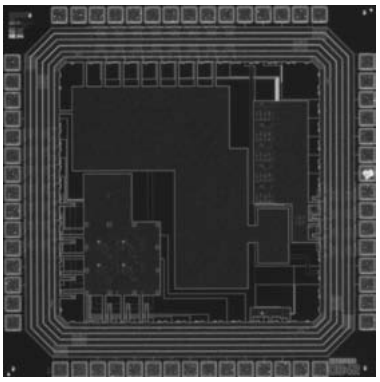
概要：網膜の疾患である加齢黄斑変性症や網膜色素変性症により視細胞が死滅して失明に至った患者の治療のために，網膜を直接電気刺激して視覚機能を回復させることを目的とした人工網膜の開発が強く求められている．このような背景のもと，我々は3次元集積化技術と呼ばれる新しいLSI技術を用いた3次元積層型人工網膜チップを提案し，その開発を行っている［1］．今回我々は，「死滅した視細胞の受光機能の代替」，「患者にとって最適な刺激電流の生成」という人工網膜チップに要求される重要機能を実現するために，回路構成の異なる2種類のピクセル回路の設計を行った．本試作では特に，そのうちの一方のピクセル回路から構成される「人工網膜チップ用ピクセルアレイ」を試作し，その基本動作の確認を行った．今後は，無線による電力・データ伝送を行うための回路の設計を行い，人工網膜チップのプロトタイプの試作を目指す．

参考文献：J. Deguchi, et al., Jpn. J. Appl. Phys., 43, pp. 1685, 2004.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Cosmos，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナデジ混載

人工網膜チップ用ピクセル回路TEGの試作

東北大学大学院工学研究科　　出口 淳，福島 誉史，田中 徹，小柳 光正



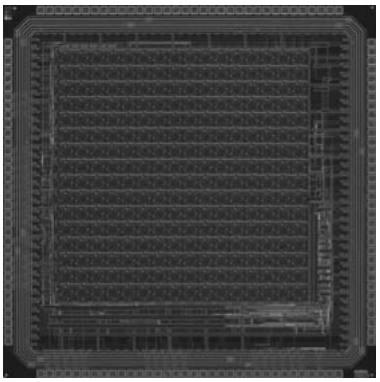
概要：網膜の疾患である加齢黄斑変性症や網膜色素変性症により視細胞が死滅して失明に至った患者の治療のために，網膜を直接電気刺激して視覚機能を回復させることを目的とした人工網膜の開発が強く求められている．このような背景のもと，我々は3次元集積化技術と呼ばれる新しいLSI技術を用いた3次元積層型人工網膜チップを提案し，その開発を行っている［1］．今回我々は，「死滅した視細胞の受光機能の代替」，「患者にとって最適な刺激電流の生成」という人工網膜チップに要求される重要機能を実現するための「人工網膜チップ用ピクセル回路TEG」の試作を行った．このピクセル回路TEGの評価によって，上記重要機能を低電力で実現可能であり，人工網膜チップ用ピクセル回路として利用可能であることを確認した．

参考文献：J. Deguchi, et al., Jpn. J. Appl. Phys., 43, pp. 1685, 2004.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Cosmos，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：TEG（特性評価回路など）

エッジ検出・動き検出同時処理可能なCMOSイメージセンサの試作

東北大学大学院工学研究科　　辻 孝司，福島 誉史，田中 徹，小柳 光正

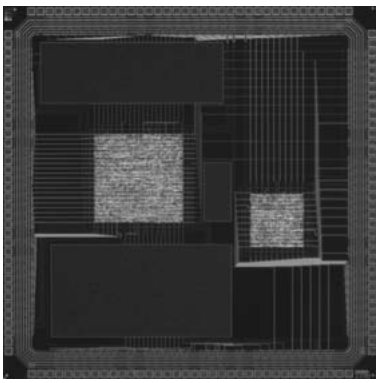


概要：ロボットが周囲の状況を認識するためには視覚認識が必須であり，実環境に柔軟に対応するため，リアルタイム視覚認識の実現が求められている．リアルタイム視覚認識を実現するには，得られた視覚情報から，エッジや動きの情報を検出することが必要となる．そのため，今回我々はエッジ検出および動き検出機能を有する並列イメージセンサチップの設計および試作を行った．設計した並列イメージセンサチップはピクセル回路，走査回路，A/D変換器，エンコーダおよびコントローラから構成されている．また，各ピクセル回路は，受光回路，抵抗回路，エッジ強調回路，エッジ検出回路，動き検出回路からなる．

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，Synopsys社 Cosmos，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナデジ混載

CMOSデシメーションフィルタの試作

横浜国立大学工学部好明　　吉川 信行
横浜国立大学工学部　　道江 寛之



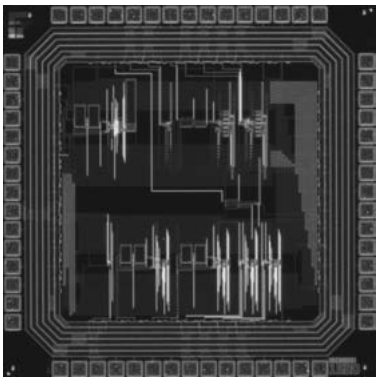
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち，20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である．これをSFQ回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5–9 September 2005, Noordwijkerhout, The Netherlands, P–B07.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：演算回路（乗算器，除算器など）

高精度低消費電力電圧コンパレータ

東北大学大学院工学研究科　　佐塚 友彦

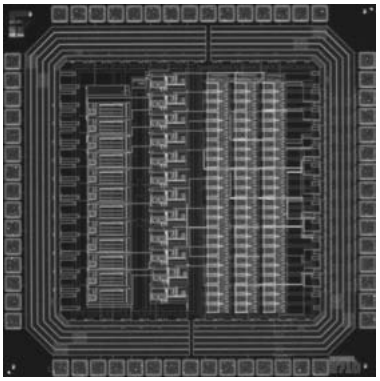


概要：低消費電力アナログ・デジタル変換器向けの，高精度・低消費電力電圧コンパレータを試作した．電荷転送原理に基づき，MOSトランジスタのしきい値ばらつきをプリチャージ動作で補正する機能を有し，定常的な消費電力を必要としない電圧コンパレータにおいて，従来3フェーズ動作が必要であったが，回路の工夫により2フェーズ動作を可能とした．オフセット電圧，動作周波数，消費電力などの基本的な特性が評価できるTEGを試作し評価した．また，MOSトランジスタのしきい値ばらつきを，同様のプリチャージ機構で取り除く差動構成のプリアンプを設計した．コモンソースの電流源を基準電圧で駆動し，差動対MOSトランジスタのゲート・ソース間に接続した容量にしきい値補正電圧を記憶するタイプである．オフセット電圧，動作周波数，消費電力などの基本的な特性を評価した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

放射線検出器用位置読み出しチップ

東京大学大学院工学系研究科　　Yeom Jung Yeol，島添 健次，高橋 浩之

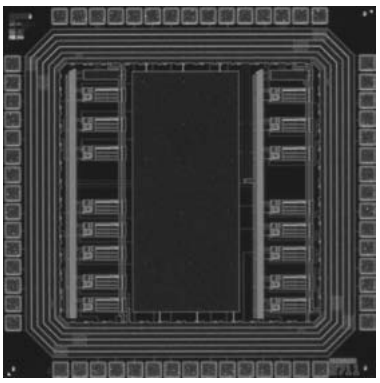


概要：近年，X線や中性子線を用いた散乱実験において2次元位置情報を与える放射線検出器の需要が高まっており，検出器の高分解能化への要求も高い．本チップは，中性子やその他の放射線の入射位置を測定するために現在広く用いられている多線式比例計数管（Multi-Wire Proportional Counter: MWPC）に直接接続して高分解能化を達成するために設計されたチップである．入力段は電荷敏感型の増幅器として，放射線検出器から出力される微小なアナログパルス信号をいったん積分して放射線のエネルギーに変換し，更にシェーピング増幅器を用いて雑音と分離し，目的とする放射線のエネルギーに対応したものだけをディスクリミネータを用いて選別し，計数するものである．このような処理を行うチャンネルを12個もち，それぞれ独立にディジタル出力を得ることができる．試作チップを試験したところ，基本動作は十分であることが確認されたが，高速のアナログの信号が入力された後のアンダーシュートがやや大きく数百kHz以上のレートで入射する信号に対応するためには，更に改良が必要であることが分かった．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナデジ混載

半導体PET用プリアンプ

東京大学大学院工学系研究科　　Yeom Jung Yeol, 高橋 浩之



概要：ポジトロンCT（PET）用のフロントエンド電子回路は従来光電子増倍管（PMT）を対象として開発されてきたが，ここでは，半導体型のPETを対象として半導体検出器と接続するためのプリアンプを設計・製作した．回路はゲインブースト型のカスコード増幅器を用いて構成し，高速性と低雑音を両立させるように設計した．アバランシェフォトダイオードとシンチレータと本電子回路を組み合わせて時間応答を調べたところ13ns以下の立ち上がり時間が得られた．また，雑音レベルは等価雑音電荷で880e−（FWHM）と十分低いレベルに抑えられている［1］など，半導体PET用として用いるのに適した性能となっている．本チップでは16チャンネル分を集積して多チャンネル化に対応している．

参考文献：［1］　J. Y. Yeom, H. Takahashi, P. Siritiprussamee, H. Murayama, and M. Nakazawa, IEEE Trans. on Nucl. Sci., Vol. 53, No 1, pp. 242–246, （2006）.

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数：**100以上，1,000未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm角　**チップ種別：**アナログ（PLL, A-D/DC-DCコンバータなど）

64×64画素光無線LAN用ビジョンチップ

奈良先端大物質　　吉田 明洋, 野村 啓二, 香川 景一郎, 布下 正宏, 太田 淳

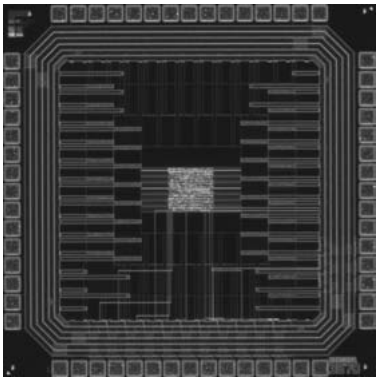
概要：我々は，受光素子として，通信対象の位置を探し出す「撮像」と，高速光通信を行うための「データ受信」の二つの機能をもつイメージセンサを用いた新しい屋内用光無線LANシステムを提案している．ダウンリンクに波長多重通信を適用した64×64画素光無線LAN用イメージセンサを0.35 um 標準CMOSプロセスを用いて作製し，データ受信要素回路の動作を確認した．波長分離に用いる薄型回折格子は作製誤差や使用光源の波長誤差などにより，波長間クロストークを生じるため，これをアナログ積和演算回路（Matrix operator）により除去することを試みた．通信速度として1波長あたり100 Mbpsの受信速度を目指して設計した．2つの波長チャネルがあり，一方のチャネルへの入力信号は常に0で，他方のチャネルの1 MHzの矩形信号が混信している場合を想定して波形を印加した結果，アナログ積和演算回路により，クロストークが除去できることを確認した．

参考文献：吉田他，「波長多重光無線LAN用イメージセンサにおける受信用要素回路の検討」，第53回応用物理学関係連合講演会講演予稿集, no. 3, p. 1074 （2006）.

設計期間：10人月以上　**設計ツール：**Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数：**100,000以上　**試作ラン：**ローム CMOS 0.35μm 9.8mm角　**チップ種別：**イメージセンサ/スマートセンサ

多相構造ＳＤＦＡ3次8倍CICフィルタ

上智大学理工学部　　池浦 一賢, 和保 孝夫

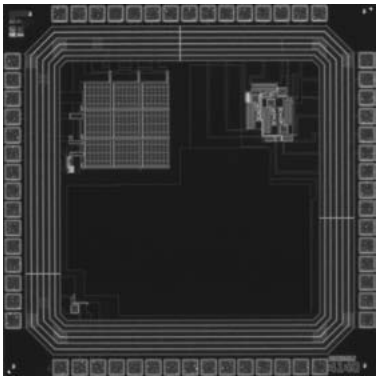


概要：高サンプリング・レートΔΣ変調器のデシメーション・フィルタに使用するため，高速で動作するCIC（Cascade Integrated Comb）フィルタを設計した．CICフィルタは少ないタップ数で，効果的に折り返し雑音を除去することができる．必要な伝達関数をD-F/Fと乗算器，加算器により単純に構成した設計では，高周波のクロックにおいてタイミング違反を起こし，正しい出力を得ることができなかった．本チップでは多相構造およびSD数系加算器（ＳＤＦＡ）導入し，CICフィルタの高速化を図った．3次8倍CICフィルタについて，ゲート遅延を加味したVerilogシミュレーションを行った結果，単純構成のものと比較すると6倍の高速動作（800MＨｚ）が可能であることを明らかにした．50MＨｚ動作で測定したデータをFFT解析した結果，入力信号のSNRが76.7ｄＢであるのに対して，出力信号のＳＮＲが71.5 dB（ＭＡＴＬＡＢシミュレーションでは72.2dB）であり，ＳＮＲ劣化が少ないことが確認できた．

設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数：**1,000以上，10,000未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm角　**チップ種別：**アナログ/デジタル信号処理プロセッサ

光素子駆動回路

慶應義塾大学理工学部　　宮原 晋平，青野 聖，松本 佳宣



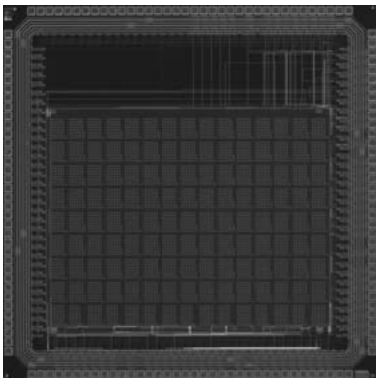
概要：光インターコネクション等の短距離間光伝送を目的とした光送信回路の設計を行った．高出力LEDを駆動するのに必要な数十mA以上の電流を流すために，ゲート幅の小さいトランジスタを多数並列に並べることでゲート抵抗の増加を防ぎ，またアルミ配線やコンタクトホールでの電流許容量を超えないように配慮した．また，複数LEDを同時に駆動できる駆動回路に関しても設計，レイアウトを行った．また，LEDの応答速度をより向上させるプリエンファイシス回路に関しても検討を行った．試作したチップを用いて各種のLEDの駆動実験を行い良好な結果が得られた．

参考文献：宮原晋平，青野　聖，松本　佳宣，“可視光通信用LEDドライバーの試作と可視光LEDの応答特性の評価”，信学技法，ICD2005-44（2005-07），pp. 25-30，(2005)．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：通信（RF回路，ATMなど）

ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部　　渡邊 実



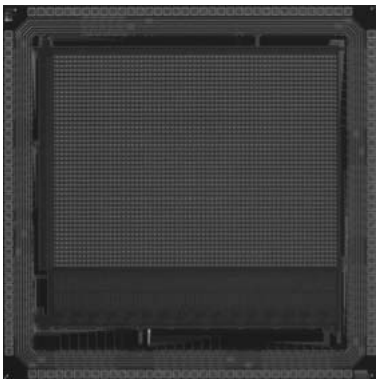
概要：光による高速な再構成が可能で，ゼロオーバーヘッド・ダイナミック型の光再構成回路を有する光再構成型ゲートアレイ（ZO-DORGA：Zero-Overhead Dynamic Optically Reconfigurable Gate Array）VLSIを試作した．光再構成型ゲートアレイとは光メモリとゲートアレイVLSIとを組み合わせた新構造のデバイスのことで，コンテキストの記憶に光メモリを，光メモリとVLSI間に大容量の光バスを用いることで，大容量のコンテキストと高速な再構成とが両立できる．ここで，ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイとは，フォトダイオードの接合容量やゲートアレイを構成するゲートの負荷容量をメモリとして使用し，光再構成処理とゲートアレイ上の演算とを並列に行える光再構成型ゲートアレイVLSIのことである．この度の設計では，フォトダイオード受光部のサイズを6.5μm×5.0μm，その間隔をそれぞれ30.0μm，33.0μmとした．Island-Styleのゲートアレイ部には，30ゲートに相当する論理ブロックが56個，スイッチングマトリックスが72個，4ビットのI/Oビットを持つI/Oブロックが7個実装された．配線チャネル内の配線は8本である．この度試作したDORGAのゲート規模は1,680ゲートである．

設計期間：0.1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

平成17年度第5回ロームCMOS 0.35μm試作（RO35055）

ブロック並列読み出しアーキテクチャを用いたDigital Pixel Sensorとピクセル並列Rank-Orderフィルタリングプロセッサ

東京大学大学院新領域創成科学研究科　　伊藤 潔人



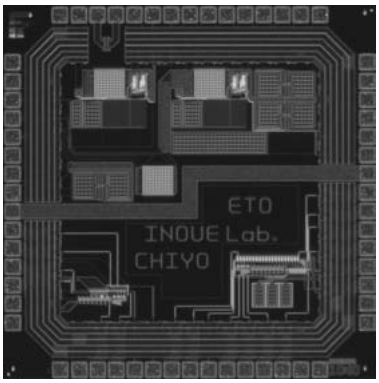
概要：一般のCMOSイメージセンサを用いたCamera-on-Chipの場合，画像処理プロセッサ部に読み出すピクセルデータをバッファするための回路が必要となる．特に，本研究で対象としたRank-Orderフィルタのような非線形な画像処理の場合，面積効率や処理速度が低下する．本試作では，撮像画像の任意の矩形領域にアクセスすることが可能なため，画像処理全般との適合性が高い新たなDigital Pixel Sensorの設計を行った．さらに，メディアン値など集合の中で任意の順位（Rank）にある値を検索するRank-Orderフィルタと，ある値がどのRankであるか検出するReverse Rank-Orderフィルタの二つ機能をコンパクトな回路で実現するVersatile Rank-Order Filteringプロセッサを開発し，提案するDPSイメージセンサコアと統合したビジョンチップを設計した．

参考文献：S. Kleinfelder, S. Lim, X. Liu, and A. E. Gamal, “A 10,000 frames/s CMOS digital pixel sensor,” IEEE J. Solid-State Circuits, vol. 36, no. 12, pp. 2049.2059, Dec. 2001.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre， Avanti社　 Star-HSPICE，Synopsis社 Nanosim　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：イメージセンサ/スマートセンサ

スマートRFIDタグ用個体識別符号生成CMOS論理回路と集積化定電圧電源回路

熊本大学工学部　　井上 高宏
熊本大学大学院自然科学研究科　　千代永 純一，江藤 慎一郎

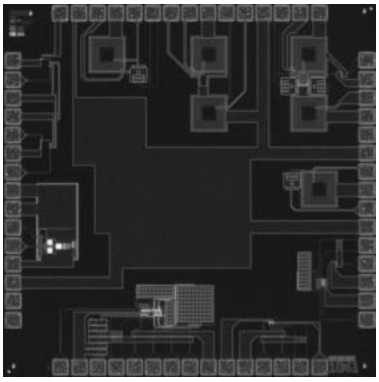


概要：今回試作したチップには次の回路の全体回路およびTEG回路を試作した．個体識別符号生成CMOS論理回路部分は，2進数64ビットの符号生成回路となっており，8×8ビットのマスクROMアレイ，並列入力/直列出力8ビットシフトレジスタ，非同期式20ビットバイナリカウンタ，発振周波数500kHzのクロックジェネレータ，信号処理回路と個体識別符号生成CMOS論理回路の出力信号を切り替えるバススイッチ回路で構成されており，集積化定電圧電源回路部分は，倍昇圧AC-DC変換回路と，チップ占有面積の観点において以前の試作チップからの改善を行ったシリーズレギュレータ回路で構成されている．また，動作確認用に各要素回路のTEG回路の実験を行い，個体識別符号生成CMOS論理回路および集積化定電圧電源回路が所望の動作を行うことを確認した．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナデジ混載

スマートRFIDタグ用情報伝送回路，パワーアンプ及び生体信号処理回路

熊本大学工学部　　井上 高宏
熊本大学大学院自然科学研究科　　山川 俊貴，竹中 智哉，梅田 武史

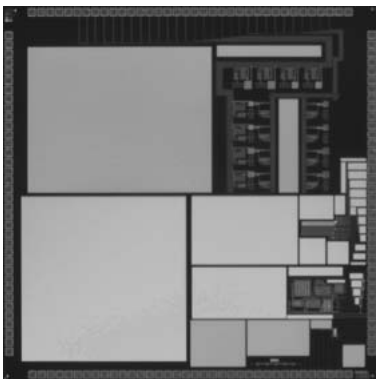


概要：本研究室では，RFIDタグにセンサから得られる生体情報を計測し，信号処理を行う機能を付加させたスマートRFIDタグに関する研究を行っている．そこで，今回のチップでは個体識別および生体信号のそれぞれを送信するためのBASKディジタル変調回路およびパワーアンプ，R波に相当する位置パルスを検出する生体信号処理回路の3種類を載せた．BASKディジタル変調回路では，寄生素子および測定系を考慮した上で，UHF帯で動作する変調回路を載せた．この変調回路は，小面積かつ低消費電力を実現するために，リング発振回路を用いており，変調方式としてASK変調方式を用いている．パワーアンプに関してはE級パワーアンプを使用している．また，生体信号処理回路では，センサから得られた波形を増幅する際に生じるオフセットおよび呼吸等による低周波成分を除去する回路を含み，良好なデバイス整合のもと，素子の製造偏差による影響を受けても適切にR波を検出できるようにバイアス生成回路とコンパレータを直流的に等価な回路構成にしている．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナデジ混載

FPGAの低消費電力化に関する検証

東京大学工学系研究科　　Tran Quang Canh

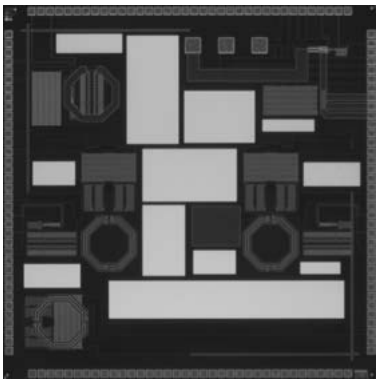


概要：近年のLSIの回路規模は非常に大きくなっている．一つのチップ上に1億以上のトランジスタが載せられるケースもあり，開発時間とコストは爆発的に増加している．この問題を解決する方法の一つはFPGAのような再構成可能なLSIを用いることである．FPGAは電気信号を加えるだけで回路の構成を変更でき，Non-recurring Engineering（NRE）コストが低く，time-to-marketが短いというメリットがある．しかし，FPGAはプログラム可能性を得るために余分な回路が要り，ASICよりも多くのトランジスタが必要である．そのため，消費電力，特にリーク電力はASICよりも大きい．本研究はFPGAの低消費電力化を行なう．FPGAのブロック単位で電源電圧と動作周波数を変化させ消費電力を減す．ブロック間配線に用いる電源にVDDLを使うことで配線が単純になり，配線容量も小さくなるため消費電力を抑えることができる．ロジック・ブロックの速度が得られる最大速度の半分のとき，ダイナミック消費電力は86%削減できた．Micro-VDD-hoppingをより効果的にするため，contentionが少ないレベル・シフタを取り入れた．リーク電力を削減するために，スニーク・リーク電流を抑えるZigzag power-gatingを適用した．シミュレーションでは提案したFPGAのリーク電力は2桁削以上削減することができた．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：TEG（特性評価回路など）

積層型オンチップバックコンバータの評価チップ

東京大学大学院工学系研究科　　鬼塚 浩平

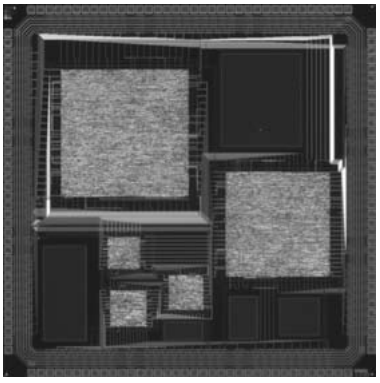


概要：SoCやSiP等の集積技術において，電源回路をオンチップに配すことで低消費電力化，ノイズ削減などを目指すオンチップ分散電源システムの概念に基づき，オンチップバックコンバータを設計した．バックコンバータの出力に付加されるLCフィルタは大面積を占有するため，将来的にはコントロール部およびスイッチングトランジスタを先端的なプロセスチップで，速度性能の要求されないフィルタ部分を旧プロセスチップで製造し積層することでコスト削減可能と考えられる．本評価チップでは積層技術の実験を視野に入れ，既に設計済みのフィルタチップに組み合わせる本体部分を設計し，HSPICEシミュレーションにより70%の電力効率が見積もられ，別チップとの組み合わせにより動作を確認した．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

SFQ/CMOSハイブリッドメモリシステムの2トランジスタセルアレイの試作

横浜国立大学工学　　吉川 信行，高橋 好明



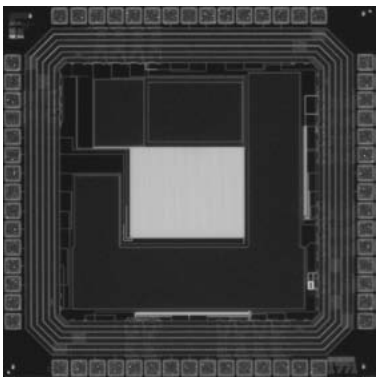
概要：我々は単一磁束量子（SFQ）論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している．本メモリシステムは4.2Kでの動作を仮定しており，メモリセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．本研究では，更なる集積化を検討するために，2トランジスタDRAMの検討を行った．本チップでは，2トランジスタDRAMセルの検討を行うため，16kbitのメモリアレイを設計し，その測定評価を行った．従来の3トランジスタメモリセルと比べて，約55%の集積化を見込むことが出来た．

参考文献：［1］ Q. Liu, T. Van Duzer, X. Meng, S. R. Whiteley, K. Fujiwara, T. Tomida, K. Tokuda, N. Yoshikawa, “Simulation and measurements on a 64-kbit hybrid Josephson-CMOS memory”, IEEE Trans. Applied Superconductivity. vol. 15, June 2005, pp. 415-418

設計期間：2人月以上，3人月未満　**設計ツール**：Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：メモリ

CMOSデシメーションフィルタの試作

横浜国立大学工学部好明　　吉川 信行
横浜国立大学工学部　　道江 寛之



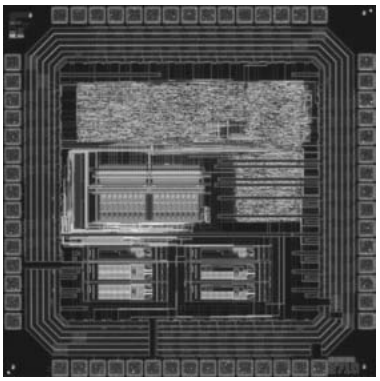
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち，20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である．これをSFQ回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5–9 September 2005, Noordwijkerhout, The Netherlands, P–B07.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog–XL，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

PET用の波形サンプリング型信号処理回路の試作（2ch）

東京大学工学系研究科　　島添 健次

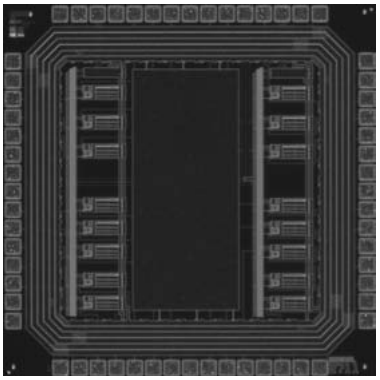


概要：本研究室では高分解能PET（Positron Emission Tomography）システム用の信号処理用ASICの開発を行っている．次世代の高分解能PETは検出器数の増加，APDの使用のために低ノイズ，高速，低消費電力のASICが必要となる．このチップは従来アナログ信号から得ていた情報を高速のADC（100MHz）を載せることで検出器からの信号を早い段階で波形情報をディジタル化しその後の信号処理を容易とするための波形サンプリング型チップの試作，性能評価版である．このチップの1チャネルには電荷感応型のプリアンプ，外部から増幅度が調節可能なVGA（Variable Gain Amplifier），100MHzで動作可能なfolding–ADC，ディジタル回路が含まれ，このチップには2チャネルが搭載されている．ディジタル部分の読み出しにはパラレル，マルチプレクサ，FIFOメモリによる読み出しを選択可能としている．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog–XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star–HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ/ディジタル信号処理プロセッサ

MSGC用16チャンネルプリアンプ

東京大学大学院工学系研究科　　Yeom Jung Yeol, 高橋 浩之



概要：マイクロストリップガスカウンタ（MSGC）は高い位置分解能と高計数率を実現する放射線位置検出器であり，次世代のパルス中性子源用の検出器として期待されている．現在，これまでにAPD用に開発されてきたチップを基にマイクロストリップガスカウンタのフロントエンド電子回路を構成することを考えている．本チップは20nsの立ち上がり時間と，等価雑音電荷で880e–（FWHM）の低雑音を両立させ，かつ16チャンネルを集積している．このため高速かつ高分解能を要求されるMSGCへの適用に十分であると考えられる．試作チップを実際にMSGCと組み合わせてテストした結果，5.9keVのX線に対して，動作させたところ，よい波高スペクトルを得ることができた［1］．

参考文献：［1］ J. Y. Yeom, H. Takahashi, P. Siritiprussamee, H. Murayama, and M. Nakazawa, IEEE Trans. on Nucl. Sci., Vol. 53, No 1, pp. 242–246, （2006）.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star–HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A–D/DC–DCコンバータなど）

1チップ無線・神経センシングLSIの設計

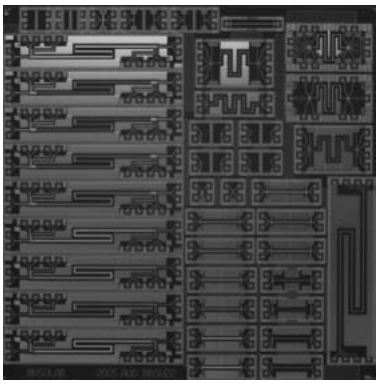
広島大学先端物質科学研究科　　吉田 毅

概要：生体活動と神経活動の関係を正確に把握するため，生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている．本研究では小脳の神経信号を検出し，検出信号を無線で送信する神経信号センシングLSIの設計・試作を行った．設計した神経信号センシングLSIは，ダイレクトチョッパ方式低雑音増幅回路，逐次比較形Analog-to-Digital Converter（ADC），無線送信回路によって構成されている．設計したダイレクトチョッパ方式低雑音増幅回路は，低周波雑音の存在するCMOS演算増幅回路で，実際に数十μV振幅の神経信号を検出できる．信号入力チャネル数は10chとした．また逐次比較形ADCは抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し，10ビット分解能，サンプリング周波数52kHzで動作する．無線送信回路は，発振周波数100MHzのVCOをLOとし，BPSK変調で520kbpsのデータ伝送を実現する．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，SII社 SX9000，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：イメージセンサ/スマートセンサ

高速信号伝送線路評価用線路

東京工業大学統合研究院　　伊藤 浩之，杉田 英之，木村 実人，岡田 健一，益 一哉

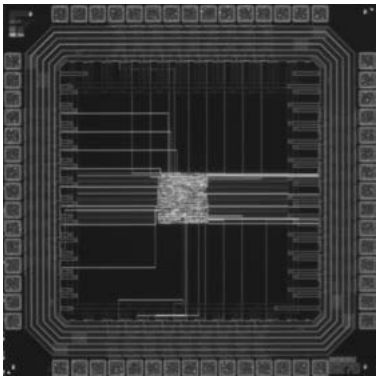


概要：現在のLSIにおいて長距離配線の遅延が問題となっている．遅延と消費電力を低減する手法として，長距離配線に差動伝送線路を用いる手法が提案されている．差動伝送線路の配線構造は横に差動対を配置したコプレナー線路，2層の配線層を用いて斜めに差動対を配置したダイアゴナルペア線路がある．ダイアゴナルペア線路はコプレナー線路に比べてクロストーク耐性に優れているという特徴を持っている．また，クロストークを低減する手法として差動対を縒り合わせる手法が提案されている．本試作では，コプレナー線路，ダイアゴナルペア線路，縒り合わせコプレナー線路，縒り合わせダイアゴナルペア線路のクロストーク耐性を評価することを目的とするTEGを試作した．高密度で低クロストークな配線を実現できるものとして，ゼロクロストーク線路が提案されている．本試作では，ゼロクロストーク線路のクロストーク耐性評価を目的としている．また，配線面積を削減する方法として，差動伝送と擬差動伝送を用いる手法がある．擬差動伝送線路の評価を目的とした線路を作成した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：10未満　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：TEG（特性評価回路など）

冗長ラッチを有さない2パターンテスト用スキャン設計回路の試作

千葉大学工学部　　池田 卓史，平山 勝之，難波 一輝，伊藤 秀男



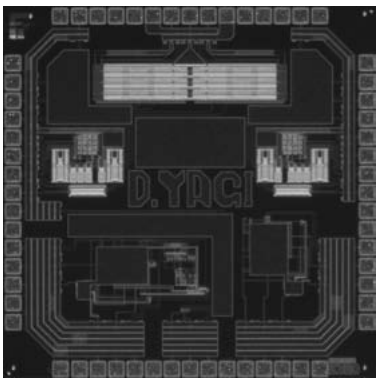
概要：遅延故障検出等のため2パターンテストは重要である．しかし，通常のスキャン設計において，2パターンテストを自由に行うことはできない．自由な2パターンテスト実施を目的とし，エンハンスドスキャン設計が従来提案されているが，この設計ではそれぞれのFFに対し1個の冗長ラッチを付加しするため，面積オーバヘッドが大きい．そこで面積オーバヘッドが小さく，より自由な2パターンテストの実施を可能とするスキャン設計（千葉大スキャン設計）を文献［1］に提案した．本試作では提案設計の有用性を示すため，提案設計を適用したb03（ITC99ベンチマーク）回路を作製した．また，別途用意したFPGA（Spartan-II）上にATEを実現し，本試作回路に対する遅延故障テストを実施した．

参考文献：［1］ K. Namba, H. Ito, "Scan Design for Two-Pattern Test without Extra Latches, " Vol. E88-D, No. 12, pp. 2777-85, Dec., 2005.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

CDS型積分回路を用いたΔΣアナログ・ディジタル変換回路

豊橋技術科学大学大学院工学研究科　　秋田 一平，八木 大介
豊橋技術科学大学工学部　　和田 和千

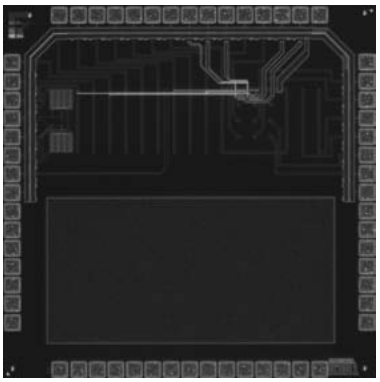


概要：スイッチトキャパシタ積分器内で使用する演算増幅器のオフセットにより発生してしまう積分器の入力オフセットをCorrelated Double Sampling（CDS）技術で軽減し，さらにその積分器をΔΣ型アナログ・ディジタル変換回路（ADC）に利用した．1.5Vで動作するΔΣADCを小面積で実現することを目指す研究において，CDSの効果を確認するとともに，演算増幅器や量子化器のオフセットの影響を調べることを目的とした試作である．さらに，測定時の基板実装を簡略化するために出力バッファのIPを作成し，その動作を確認するテスト回路も製作している．nチャネルならびにpチャネルMOSFETによるA級ソースフォロワとB級プッシュプルを組み合わせ，入力抵抗が十分に大きく，出力抵抗が50Ωのバッファである．本出力バッファをIPとして用いる事で，約100MHzまでの信号を50Ω系測定器で測定する回路の試作が容易になる．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

ディジタル基板雑音を低減するための打ち消し回路における帯状領域の配置

豊橋技術科学大学大学院工学研究科　　鈴木 寛人
豊橋技術科学大学工学部　　和田 和千



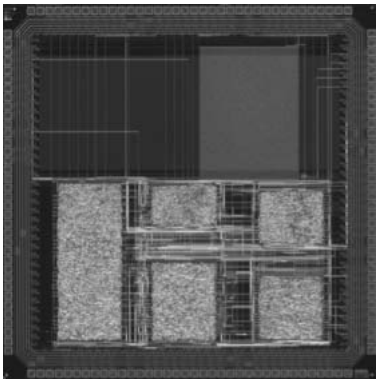
概要：アナログ・ディジタル混載回路上で，ディジタル基板雑音がアナログ回路の信号へ混入することを防ぐために，打ち消し回路［1］を設計し，試作している．まず，模擬的なディジタル基板雑音を注入するための多数のMOSFETを設けている．また，ディジタルならびにアナログ回路領域の間で雑音を検出して打ち消し信号を注入するために，帯状のメタル領域を11個作成している．さらに，検出した雑音を反転増幅して打ち消し信号を生成する回路をアナログ回路領域内に設計している．雑音を検出したり打ち消し信号を注入するための各帯状領域の位置と雑音量の間の相関を，本試作チップの測定を通して検証する．

参考文献：［1］ 鈴木寛人，和田和千，田所嘉昭，"ディジタル基板雑音を能動的に遮断する回路の雑音抑圧特性，" 電気学会C部門大会予稿集，2005年9月．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

16bitパイプラインプロセッサ

奈良先端科学技術大学院大学情報科学研究科　　中西 正樹，奥村 文洋，小島 知也，小林 大善，平本 新哉，山根 正嗣

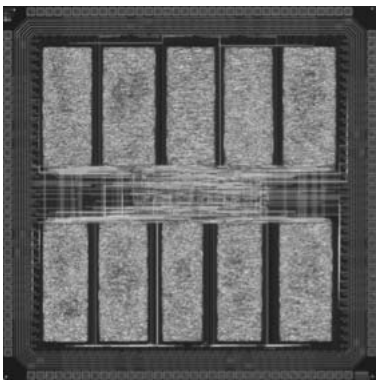


概要：奈良先端科学技術大学院大学 情報科学研究科 ではハードウェア記述言語を用いたLSI設計実習を行っている．本チップは実習の一環として作成されたもので，5名分のパイプラインプロセッサを1チップにまとめたものとなっている．設計課題はDLXアーキテクチャに従うパイプライン制御のプロセッサで，ストール処理，データフォワーディング等の基本機能を有する他，内部レジスタを可観測にしている．修士学生4名と博士学生1名が基本機能と入出力端子を共通仕様とし，命令セットから各自が独立にVerilog-HDLで設計し，マクロセルとしてレイアウトまでを行った．5個のプロセッサと外部のI/Oとの接続を決定するプロセッサの選択回路の設計および全体のレイアウトは助手が担当した．

設計期間：8人月以上，9人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：マイクロプロセッサ

16ビットパイプラインプロセッサの設計実習1

早稲田大学大学院情報生産システム研究科　　池永 剛

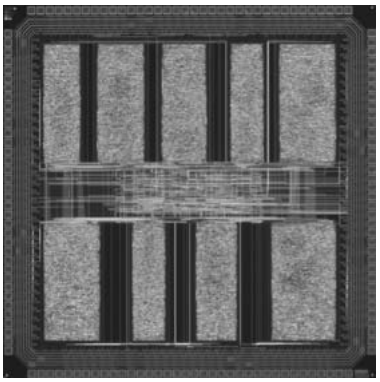


概要：早稲田大学大学院情報生産システム研究科では，システムＬＳＩ分野を志向する修士課程の学生全員にＬＳＩの設計経験を積ませることを教育の柱としているが，本チップは，講義科目：システムＬＳＩ設計の中のＬＳＩ設計実習の一環として試作したものである．設計課題は，ＭＩＰＳライクな16ビット5段パイプラインプロセッサで，28命令を基本仕様とし，独自の命令の追加を許している．ハザードに対するデータフォワーディングやストール機能の実現までを課題達成の要求条件としている．また，各々が作成したアセンブラプログラムを共有し，検証用パターンとして用いた．レイアウトに関しては，縦サイズ固定という制約の中で，最適化（速度／面積優先）を試行させた．最終的には1チップに10個のプロセッサモジュールを搭載し，各々が外部Ｉ／Ｏから直接アクセス可能としている．チップ製造後は，独自に開発したＶＤＥＣチップ評価用ボード上で実ＬＳＩの動作確認や評価を行わせ，ＬＳＩ開発に関する幅広い経験を積ませている．本LSI実習は3年目になるが，修士研究において，より先駆的なデジタルＬＳＩの課題へチャレンジする際に大いに寄与している．

設計期間：10人月以上　**設計ツール**：Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：マイクロプロセッサ

16ビットパイプラインプロセッサの設計実習2

早稲田大学大学院情報生産システム研究科　　池永 剛



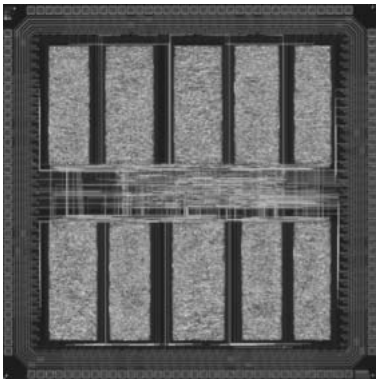
概要：早稲田大学大学院情報生産システム研究科では，システムＬＳＩ分野を志向する修士課程の学生全員にＬＳＩの設計経験を積ませることを教育の柱としているが，本チップは，講義科目：システムＬＳＩ設計の中のＬＳＩ設計実習の一環として試作したものである．設計課題は，ＭＩＰＳライクな16ビット5段パイプラインプロセッサで，28命令を基本仕様とし，独自の命令の追加を許している．ハザードに対するデータフォワーディングやストール機能の実現までを課題達成の要求条件としている．また，各々が作成したアセンブラプログラムを共有し，検証用パターンとして用いた．レイアウトに関しては，縦サイズ固定という制約の中で，最適化（速度／面積優先）を試行させた．最終的には1チップに8個のプロセッサモジュールを搭載し，各々が外部Ｉ／Ｏから直接アクセス可能としている．さらに本チップ上に，画像圧縮で用いられる動き予測処理向け専用プロセッサも搭載させ，評価ボード上で性能の実証評価を行った．

参考文献：平塚誠一郎，後藤　敏，池永　剛，"超低演算量な動き検出アルゴリズムと専用プロセッサへの実装"，電子情報通信学会信号処理／集積回路研究会，Oct. 2005.

設計期間：10人月以上　**設計ツール**：Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：マイクロプロセッサ

16ビットパイプラインプロセッサの設計実習3

早稲田大学大学院情報生産システム研究科　　池永 剛

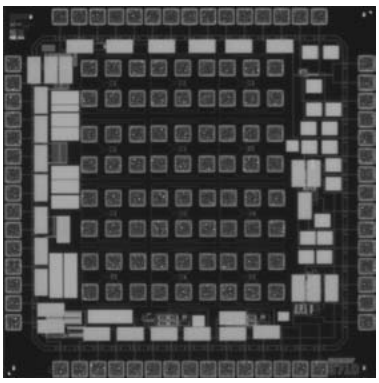


概要：早稲田大学大学院情報生産システム研究科では，システムＬＳＩ分野を志向する修士課程の学生全員にＬＳＩの設計経験を積ませることを教育の柱としているが，本チップは，講義科目：システムＬＳＩ設計の中のＬＳＩ設計実習の一環として試作したものである．設計課題は，ＭＩＰＳライクな16ビット5段パイプラインプロセッサで，28命令を基本仕様とし，独自の命令の追加を許している．ハザードに対するデータフォワーディングやストール機能の実現までを課題達成の要求条件としている．また，各々が作成したアセンブラプログラムを共有し，検証用パターンとして用いた．レイアウトに関しては，縦サイズ固定という制約の中で，最適化（速度／面積優先）を試行させた．最終的には1チップに10個のプロセッサモジュールを搭載し，各々が外部Ｉ／Ｏから直接アクセス可能としている．チップ製造後は，独自に開発したＶＤＥＣチップ評価用ボード上で実ＬＳＩの動作確認や評価を行わせ，ＬＳＩ開発に関する幅広い経験を積ませている．本年度は計3チップ試作し，30人近くの学生が設計に携わった．

設計期間：10人月以上　**設計ツール**：Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：マイクロプロセッサ

アナログ回路セル（1）

早稲田大学大学院情報生産システム研究科　　井上 靖秋, 潘 俊



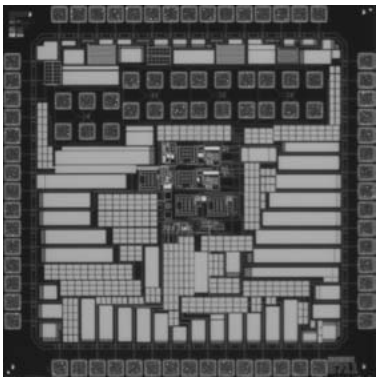
概要：学生５人が設計した低電圧低電力アナログ回路セル等の実験用チップである．チップは６種類の基準電圧・電流発生回路と２種類のアナログ乗算回路，更に，テスト用ＭＯＳトランジスタＴＥＧから構成されている．基準電圧回路セルおよび基準電流回路セルは，ともに電源電圧１ボルト以下，消費電力１マイクロワット以下で動作し，常温において基準電圧と基準電流の温度依存性がゼロになるように設計されている．アナログ乗算回路セルは，電源電圧プラスマイナス1.5ボルトで動作し，特に線形性を改良する技術が盛り込まれている．

参考文献：Jun Pan, Yasuaki Inoue, Baocheng Xue, and Zhangcai Huang, “A self-biased low-voltage low-power current/voltage reference circuit with very low temperature dependence by using back-gate connection MOSFET,” 電気学会電子回路研究会資料，ECT-05-73，pp. 11-14，2005年11月．

設計期間：２人月以上，３人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

ユビキタス自己発電センサーノード用ＩＣ

早稲田大学大学院情報生産システム研究科　　井上 靖秋, 潘 俊



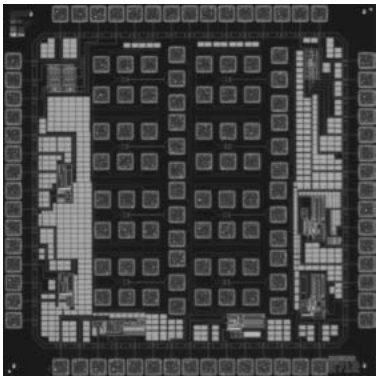
概要：ユビキタス自己発電センサーノード用ＩＣ（１）の改良版．チップはユビキタス振動センサーノード用自己発電電源回路を中心に，センサー回路，基準電圧回路，蓄電制御回路，レギュレータ回路，ＲＦ送信回路から構成されている．振動エネルギーを電源として，電池を使用しないメンテナンスフリーの送信機を実現する実験用チップである．通信距離は10mを想定している．振動センサー用の圧電素子で外部振動エネルギーを電気エネルギーに変換し，それを蓄電制御する．これを電源に全ての回路が動作する．回路動作は蓄電フェーズと送信フェーズに分かれ，送信は低デューティで間欠動作する．蓄電フェーズにおける回路の消費電力は10マイクロワット，また，送信出力は１ミリワットである．

参考文献：Jun PAN, Baocheng XUE, and Yasuaki INOUE, “A Self-Powered Sensor Module Using Vibration-Based Energy Generation for Ubiquitous Systems,” Proceedings 2005 6th International Conference on ASIC （ASICON）, Shanghai, China, p. 443-446, Oct. 2005.

設計期間：２人月以上，３人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

アナログ回路セル（2）

早稲田大学大学院情報生産システム研究科　　井上 靖秋, 倉知 聡

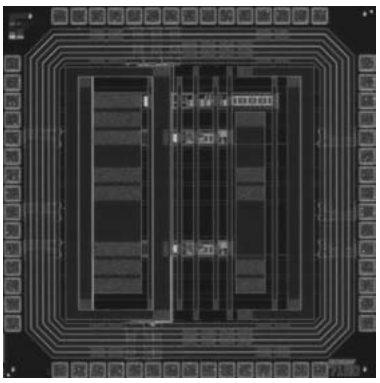


概要：早稲田大学大学院情報生産システム研究科は2003年４月に北九州市学術研究都市キャンパスでスタートした独立大学院で，システムＬＳＩ設計技術の実践教育と研究に力を入れている．システムＬＳＩ分野のアナログ関連研究室に所属する修士課程学生と博士課程学生５人が設計したＲＦ回路等のアナログ回路セルの実験用チップである．チップは２種類のＲＦ電力増幅回路セル，コンパレータ回路セル，高速大電流ドライバ回路セル，差動増幅回路セル等の各種回路セル，更に，ＭＯＳトランジスタＴＥＧ等から成っている．ＲＦ電力増幅回路は２段構成で電源電圧３ボルト，周波数600MHｚで動作する．コンパレータは電源電圧3.3ボルトで動作する．高速大電流ドライバは電源電圧３ボルトで動作し，出力電流200ミリアンペア，立ち上がり／立下り時間ともに0.5ナノ秒以下である．差動増幅回路は電源電圧プラスマイナス1.5ボルトで動作する．

設計期間：２人月以上，３人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

64ch 光電子増倍管用プリアンプの試作

広島大学大学院理学研究科　　青井 敏浩，深沢 泰司



概要：X線・ガンマ線検出器は，小型化・多チャンネル化が進んでおり，その信号処理システムとして，アナログVLSIのニーズが高まっている．我々は，64ch光電子増倍管の信号処理用チップの開発を行なっており，昨年度，ほぼ要求どおりのチップを開発することができた．しかし，このチップには設計の難しいプリアンプ回路が組み込んでいなかったため，今回，その仕様を検討することを目的として，プリアンプLSIの試作を行なった．結果，64ch光電子増倍管のプリアンプとして十分な性能を有するチップを開発することができた．今後は，このプリアンプ回路を組み合わせ，1チップで64ch光電子増倍管の全信号処理を行なえるVLSIの開発を目指す．

参考文献：［1］ 池田博一，"Electronics for Particle Measurement"，KEK Report 2002

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

高機能高画質ＣＭＯＳイメージセンサ

東北大学大学院工学研究科　　舘 知恭，関東 弘明，本橋 裕一，須川 成利

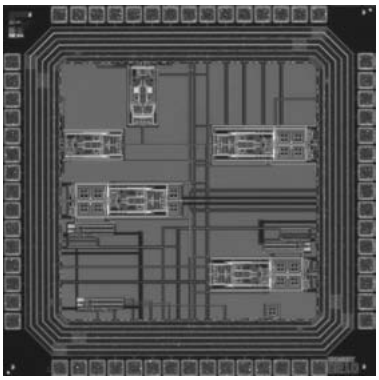
概要：高画質な撮像と同時に撮像対象の特徴を抽出し，後段における画像処理の高精度化，演算量削減を実現させることを目的としている．本チップでは，特にオブジェクト分類をターゲットとしている．構成は，高画質ＣＭＯＳイメージセンサ，列並列ＡＤ変換器，画像特徴量抽出演算器である．列並列ＡＤ変換器はパイプライン構造であり，そのｌステージの回路は，−2倍のゲインを持つ演算増幅器，比較器，参照電圧供給回路から構成される．従来のパイプライン構造のＡＤ変換器には2倍の増幅器で構成されるのが一般であるが，−2倍の増幅器を用いた新しいＡＤ変換アルゴリズムを採用することで回路面積を縮小させている．画像特徴量抽出演算器は，センサと同一チップ上に配置可能であることから，センサチップ外部では実現不可能な並列演算処理回路を搭載している．並列に演算を行うことで，高機能な演算が非常に低速な周波数でも可能となる．その結果として同一チップ上に搭載されているアナログ回路への雑音の影響も抑えられる．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：イメージセンサ/スマートセンサ

平成17年度第6回ロームCMOS 0.35μm試作（RO35056）

バイオセンサ用パイプライン ADコンバータの基本回路試作

武蔵工業大学大学院工学研究科　　鈴木 肇，秋山 健史，平田 孝道，秋谷 昌宏

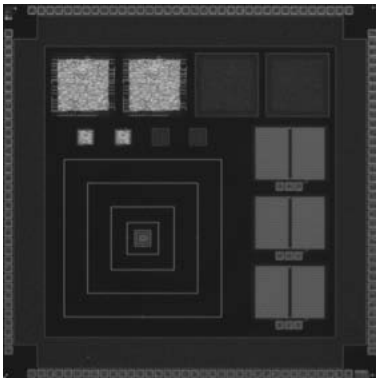


概要：味覚・匂いセンサと味覚・匂いを識別するLSIの研究開発を行っている．本チップはセンサからのアナログ信号をデジタル値に変換するための，12bit，10Msample/sパイプライン型A/D変換器用に，オペアンプとサンプルホールド（S/H）回路の試作を行った．オペアンプにはゲインブーストを掛けることによって99dBのDC利得を達成できるように設計した．ブーストアンプにレベルシフト回路を取り込むことによって，ゲインブーストを実現している．S/H回路には，差動入力に対し容量を相互結合するクロスカップリング手法を取り入れることによって入力帯域幅を広げ，歪を抑えるようにしている．オペアンプを外付けの反転増幅器で周波数特性を評価した結果，S/H回路はシミュレーション結果の周波数帯域より約半分程度となったが，基本的な動作を確認することができた．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

LSI故障診断装置評価用TEG（1）

大阪大学大学院情報科学研究科　　三浦 克介，中前 幸治

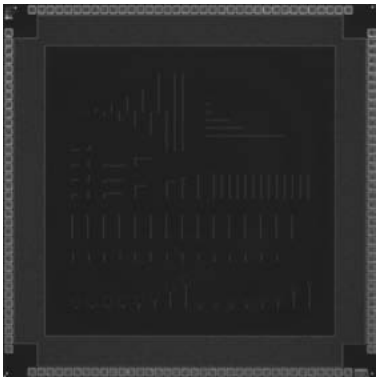


概要：LSIの微細化，大規模化，多ピン化，フリップチップ実装等により，LSIの故障診断を行うことが困難となっており，いくつかの新たな故障診断装置が提案されている．これまで，このようなLSI故障診断装置の評価を行うためのTEGとして，標準的なチップは無かった．本チップは，LSI故障診断装置の評価を目的として設計した4種類のチップの一つであり，以下の3種類のTEGが集積されている．1） チップ左下部：配線電流検出感度の評価用TEG，2） チップ右下部：規則的ロジック部での故障個所解析性能を評価する為の，リングオッシレータ回路に欠陥を作り込んだ回路，及び，比較参照用の正常な回路，3） チップ上部：ランダムロジック部での故障個所解析性能を評価する為の，ISCAS'85ベンチマーク回路に欠陥を作り込んだ回路，及び，比較参照用の正常な回路，である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LPE，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：TEG（特性評価回路など）

LSI故障診断装置評価用TEG（2）

大阪大学大学院情報科学研究科　　三浦 克介，中前 幸治

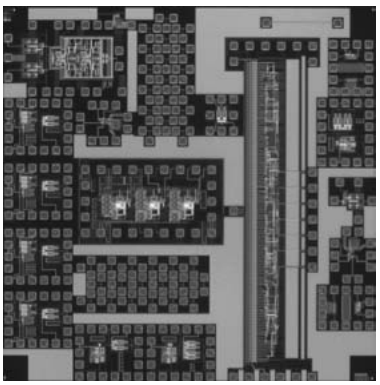


概要：LSIの微細化，大規模化，多ピン化，フリップチップ実装等により，LSIの故障診断を行うことが困難となっており，いくつかの新たな故障診断装置が提案されている．このようなLSI故障診断装置の基本性能を評価するためには，評価項目に特化した単純な構造や，人工的に故障を作り込んだ回路と比較参照用の正常な回路，等の評価用TEGが不可欠である．しかし，これまでは，このようなLSI故障診断装置の評価を行うことを目的として設計された標準的なチップは無く，実用LSIや他の目的で設計されたチップを用いて評価することが多かった．本チップは，LSI故障診断装置の評価を目的として設計した4種類のチップの一つであり，レーザ励起電流を検出するタイプの診断装置を評価する為の6種類のTEGが集積されている．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC　**トランジスタ数**：10未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：TEG（特性評価回路など）

超音波を用いた3次元立体視センサ用アナログフロントエンド回路

大阪大学大学院工学研究科　田中 智之，井田 司，石原 寛明，兼本 大輔，山越 陽夫，松岡 俊匡，谷口 研二

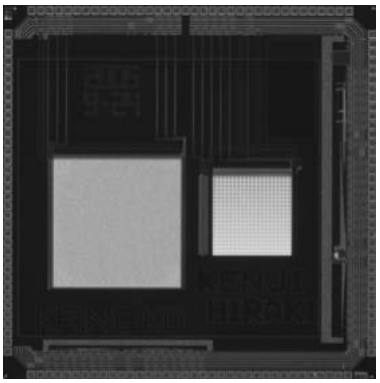


概要：超音波を用いた3次元立体視センサシステムにおけるアナログフロントエンド回路の設計を行った．設計回路はプリアンプ，アンチエイリアジングフィルタ，Δ-Σモジュレータ，PLLから構成される．受信信号として，40kHzの搬送波をM系列符号で位相変調した信号を想定した．プリアンプはフリッカ雑音の影響を抑えるため，チョッパーアンプを用い，クロック周波数10MHz，ゲイン35dBとして設計し，センサの駆動力が弱いため，パッド容量の影響を受けない回路構成を用いた．アンチエイリアジングフィルタのカットオフ周波数は100kHzと低いため，スイッチトキャパシタ型フィルタを選択し，素子サイズの増加を抑え，クロックは10MHzとして設計した．Δ-Σモジュレータは最大で12bit程度の精度が必要であったため，3次のMASH構成を用い，クロック周波数10MHz，オーバーサンプリング倍率128倍として設計を行った．PLLはリングオシレータ型VCOを用い，可変周波数帯域を5MHz〜10MHzとした．

設計期間：4人月以上，5人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Analog Artist，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

マイクロディスプレイ

金沢大学工学部　集積回路工学研究室　金子 康隆，平木 謙次，秋田 純一，北川 章夫



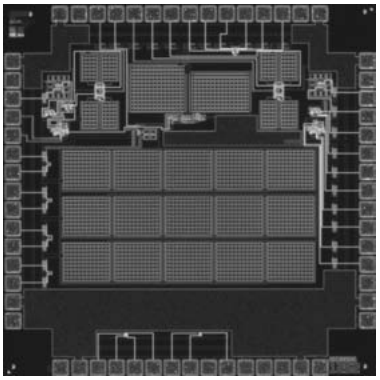
概要：マイクロディスプレイは対角1.5インチ以下のディスプレイのことである．LSIでディスプレイの基板と下部電極を構成し，試作したLSI上に液晶と上部電極を実装する．本方式では画素回路にSRAMを搭載することで，静止画表示時はリフレッシュ不要で低消費電力化が可能なディスプレイを実現できる．今回の仕様は，ディスプレイが実現可能かを確認するためモノクロ画像表示用のディスプレイとした．二つのディスプレイをチップに試作しており，一つは一画素のサイズをなるべく小さくして画素を敷き詰め，チップ外から中間調表示処理をした表示データを入力して階調表現を行うものである．もう一つは，一画素を8つのサブピクセルで構成し，サブピクセルの面積の大小で階調表現を行うものである．LSIテスタ，EBプローバを用いて動作を確認したところ，どちらも正常動作を確認した．これからは液晶を実装したときの検討を行う．

参考文献：［1］源　貴利，“オンチップ型マイクロディスプレイの設計”，2003年度修士論文

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

スーパーヘテロダイン方式のAMラジオ受信機の試作（1）

東京理科大学理工学部　丹野 哲宏，高橋 慶太，福田 和典，平岡 直洋，兵庫 明，関根 慶太郎

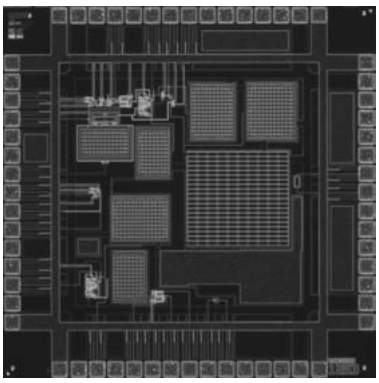


概要：スーパーヘテロダイン方式のAMラジオ受信機の試作を行った．試作したラジオは，高周波増幅部，周波数混合を行うミキサ，ミキサにLO信号を供給するための電圧制御発振回路，中間増幅部である可変利得増幅器，チャネル選択を行うバンドパスフィルタ，検波部である包絡線検波回路で構成される．高周波増幅段は増幅回路と差動変換回路，ミキサはギルバート型の乗算器，電圧制御発振回路はリングオシレータ型，可変利得増幅器はギルバートセルを用いた構成，バンドパスフィルタはTow-Thomas型の2次のGm-Cバンドパスフィルタ，包絡線検波回路はダイオードを用いた構成とした．電圧制御発振回路は周波数調節端子を，可変利得増幅器は利得調節端子を付加している．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：通信（RF回路，ATMなど）

スーパーヘテロダイン方式の AM ラジオ受信機の試作（2）

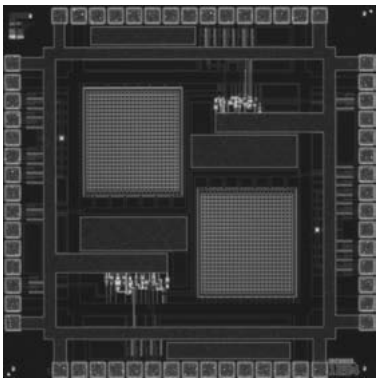
東京理科大学理工学部　　松野 隼也, 冨岡 勉, 服部 幸男, 脇 直也, 兵庫 明, 関根 慶太郎



概要：スーパーヘテロダイン方式の AM ラジオ受信機の試作を行った．試作したラジオは，アンテナから受信した信号を高周波増幅器で増幅した後，受信信号の周波数と VCO の周波数を用いて高周波信号をギルバート型のミキサで中間周波数に変換し，バンドパスフィルタで中間周波数以外の不要な信号成分を取り除いて，最後に検波回路によって音声信号のみを取り出すようにした構成である．具体的な回路としては，リラクゼーションオシレータと Tow–Thomas 型の OTA–C バンドパスフィルタ，ダイオード検波回路を用いている．
設計期間：2 人月以上，3 人月未満　**設計ツール：**Cadence 社 Virtuoso，Synopsys 社 Star–HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC，Cadence 社 Diva，Cadence 社 Analog Artist，Mentor 社 Calibre，Mentor 社 xCalibre　**トランジスタ数：**10 以上，100 未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm 角　**チップ種別：**通信（RF 回路，ATM など）

ストレート方式の AM ラジオ受信機の試作

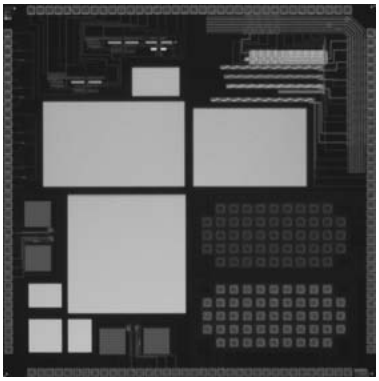
東京理科大学理工学部　　金山 尚徳, 玉村 淳, 皆木 信二, 山口 敏幸, 兵庫 明,
関根 慶太郎



概要：ストレート方式の AM ラジオ受信機の試作を行った．試作はアンテナおよび同調回路以外の部分について行ない，AM 波を検波する検波器，音声周波数帯域のみを取り出すためのローパスフィルタという構成となっている．試作回路は，増幅器の利得特性を固定した場合と可変にした場合の，異なる二種類の回路構成を設計し，同一チップに搭載している．ラジオ受信機を構成する具体的な回路としては，検波器に MOS 電流源を補助的に用いたキャパシタ容量の充放電回路を，フィルタに OTA を用いた gm–C フィルタを用いた．
設計期間：2 人月以上，3 人月未満　**設計ツール：**Cadence 社 Virtuoso，Synopsys 社 Star–HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC，Cadence 社 Diva，Cadence 社 Analog Artist，Mentor 社 Calibre，Mentor 社 xCalibre　**トランジスタ数：**10 以上，100 未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm 角　**チップ種別：**通信（RF 回路，ATM など）

音波発生デバイスと折り返しカスコード型オペアンプの評価チップ

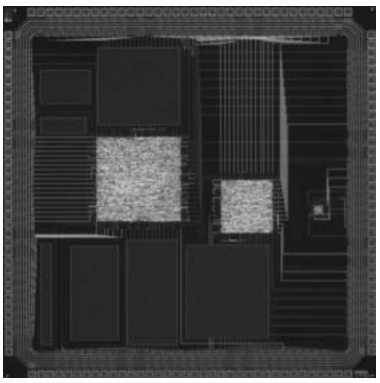
東京大学大学院工学系研究科　　鬼塚 浩平, 石田 将也
東京大学生産技術研究所　　石田 光一



概要：ジャンクションの発熱を利用した，音波発生デバイスのモジュールを試作した．1 つのモジュールは 51 個のデバイスを並列配置して構成している．熱伝達効率の比較のため，表面の保護膜有り・無しの 2 種類のモジュールを設計した．アレー化することで既に試作済みのチップより高い音波出力を得られることが見積もられている．また低電力アナログ回路の設計に向け，折り返しカスコード型 OP アンプを設計し，その電力と性能との関係を検討した．特性は HSPICE シミュレーションでは電源電圧 3.3V において，消費電流 3.32mA，低域利得 1000 倍，帯域幅 fc=100kHz，ユニティゲイン周波数 ft=100MHz であった．
設計期間：0.5 人月以上，1 人月未満　**設計ツール：**Cadence 社 Virtuoso，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数：**100 以上，1,000 未満　**試作ラン：**ローム CMOS 0.35μm 4.9mm 角
チップ種別：アナログ（PLL，A–D/DC–DC コンバータなど）

CMOSデシメーションフィルタの試作

横浜国立大学工学部好明　　吉川 信行
横浜国立大学工学部　　道江 寛之



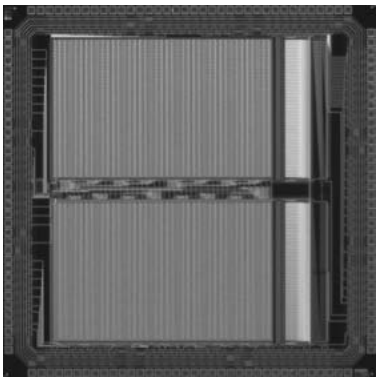
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち，20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である．これをSFQ回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5–9 September 2005, Noordwijkerhout, The Netherlands, P–B07.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog–XL，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：演算回路（乗算器，除算器など）

プリチャージ改良による2バンク型最小マンハッタン距離検索連想メモリ

広島大学先端物質科学研究科　　上村 一弘，田中 裕己，Md. Ritonga Arifin
広島大学ナノデバイス・システム研究センター　　マタウシュ ハンスユルゲン，小出 哲士

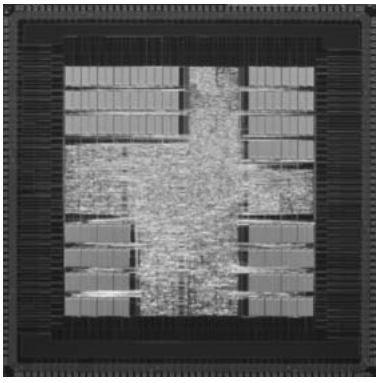


概要：高速・小面積かつ低消費電力を実現した全並列型アーキテクチャによる連想メモリについて，プリチャージ電圧の変更による高速化のための試作を行った．この試作チップは最小マンハッタン距離による64行80列（5bit×16ユニット）の連想メモリで，各バンクが64行の計128の参照パターンを格納可能である．回路不活性状態時のプリチャージ電圧VDDをVDD–Vthに変更することで，各行にあるp–MOSの電流駆動までの時間を短縮し，高速な検索時間を実現可能である．また新たな電源配線，スイッチ信号線の追加による電圧降下・配線遅延の抑制を行った．レイアウト面積は14.1平方mmで，その内Winner検索回路は全体の11%となった．最小距離検索時間は132nsec以下となり，従来の設計に対して最大43%の高速化となった．平均消費電力は1バンク分の動作時において約169mWとなり，約12%の消費電力増加に対して大幅な最小距離検索の高速化を実現できた．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star–HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula LPE，Cadence社 Dracula DRC，Cadence社 Diva，Mentor社 Calibre，Mentor社 xCalibre　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：メモリ

動的再構成AES暗号処理ハードウェア

東北大学大学院工学研究科　　Kurniawan Warih
東北大学未来科学技術共同研究センター　　宮本 直人



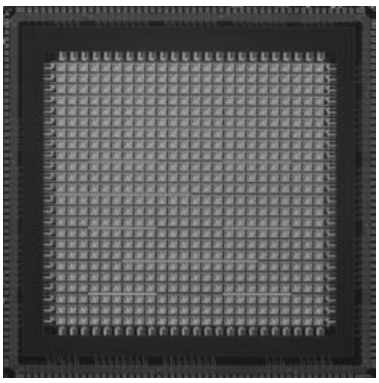
概要：本研究の主な結果を以下に示す　①ブロック暗号処理：Advanced Encryption Standard（AES）の最終選考に残った5つのアルゴリズムRijndael，Serpent，RC6，Twofish，MARSをリアルタイムに切り替え可能なブロック暗号処理に特化した動的再構成ハードウェアを開発した　②専用マルチグレイン・パイプライン・アーキテクチャ：ブロック暗号化をターゲットとした効率のよいマルチグレイン・パイプライン・アーキテクチャを開発した　③リアルタイム・ハードウェア再構成：従前のファイングレインFPGAに対して7桁以上高速にハードウェア再構成を可能とした　④性能：提案する動的再構成ハードウェアは，ソフトウェアに比べて圧倒的に高速であり，ファイングレインFPGAに対しても幾つかのケースで高速化した　⑤ハードウェア資源の効率的利用：提案する動的再構成ハードウェアは，時間共有技術とリソース共有技術により，ASICに比べて面積比1/10を実現した

参考文献：Advanced Encryption Standard. At http://www.nist.gov/aes

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Verilog–XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

動的再構成 FPGA（フレキシブルプロセッサ 3）

東北大学大学院工学研究科　KHAN ASHFAQUZZAMAN
東北大学未来科学技術共同研究センター　宮本 直人



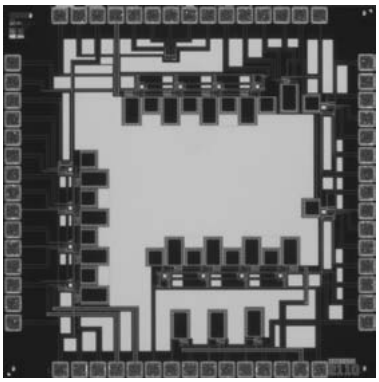
概要：フレキシブルプロセッサ 3（FP3）は出力選択型のロジック・エレメントとプログラマブル配線アーキテクチャ（nearest neighbor 型）によってできている動的リコンフィギャラブル LSI である．FP3 は 4 つのコンフィギャレーション・メモリ・プレーン（コンテキスト）をもっており，各コンテキストで 24x24 のロジックエレメントと 4x24 の I/O ブロック（IOB）を利用できる．コンテクスト間の時間的な通信はシフトレジスタ型の配線アーキテクチャ（TCM:Temporal Communication Module）によって実現されている．シフトレジスタ型 TCM を用いることにより，1 クロック以内の高速なコンテクストスイッチングを可能にした．FP3 はリコンフィギャラブル LSI における時分割の効果に関する研究に使う目的で作られた．

参考文献：Khan, Miyamoto, Ohkawa, Amir, Kita, Kotani, and Ohmi, "An Approach to Realize Time-Sharing of Flip-Flops in Time-Multiplexed FPGAs, " pp. 351-354, Field Programmable Technology （2004）.

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：100, 000 以上　**試作ラン**：ローム CMOS 0. 35μm 9. 8mm 角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

大規模パルス形ハードウェアニューラルネットワークの試作

日本大学大学院理工学研究科電子工学専攻　小野 克幸
日本大学理工学部電子情報工学科　佐伯 勝敏，関根 好文

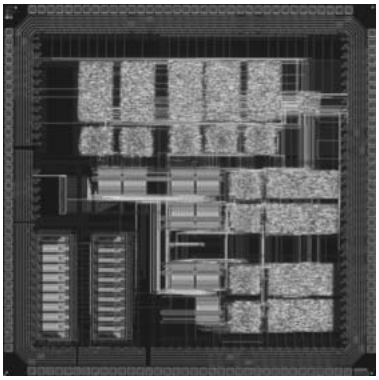


概要：現在，様々な分野において，脳内で行われている情報処理能力を工学的に応用するための研究がなされており，そのなかでも我々は，パルス形のモデルである，パルス形ハードウェアニューラルネットワークのニューロンチップを実装する事を目標に研究を行っている．ニューラルネットワークを実装する際には，ニューロンの数が膨大となるため，各ニューロンモデルの微細化を行う必要がある．そこで本試作では，ポリシリコンによる抵抗を用いる必要のないパルス形ハードウェアニューロンモデルの試作を行い，検討を行った．そして検証の結果，ポリシリコンによる抵抗を用いないモデルの動作を確認し，また，配線を接続しないモデル同士が影響を及ぼしあうことを確認した．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC　**トランジスタ数**：100 以上，1, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：ニューテクノロジ

PET 用波形サンプリング型信号処理回路（9ch）

東京大学工学系研究科　島添 健次，Jung Yeol Yeom

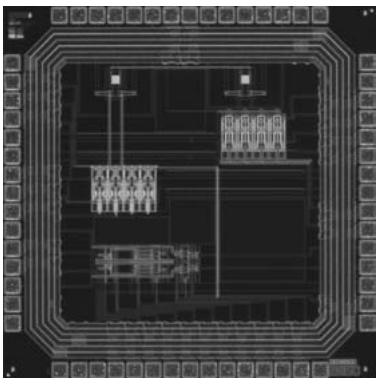


概要：本研究室では高分解能 PET（Positron Emission Tomography）システム用の信号処理用 ASIC の開発を行っている．このチップは従来アナログ信号から得ていた情報を高速の ADC（100MHz）を載せることで検出器からの信号を早い段階で波形情報をディジタル化しその後の信号処理を容易とするための波形サンプリング型チップである．このチップの 1 チャネルには高速動作が可能なテレスコーピック型の電荷感応プリアンプ，ノートンアンプの原理に基づいた VGA（Variable Gain Amplifier），100MHz で動作可能な folding-ADC，ディジタル回路が含まれ，このチップには 9 チャネルが搭載されている．ディジタル部分の読み出しにはパラレル，波形記録用の FIFO メモリを選択可能とした．テストを行い 50MHz までの動作を確認している．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 DesignCompiler，Synopsys 社 Apollo，Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 4. 9mm 角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

波長多重光無線LAN用イメージセンサTEG

奈良先端大物質　　吉田 明洋, 野村 啓二, 香川 景一郎, 布下 正宏, 太田 淳



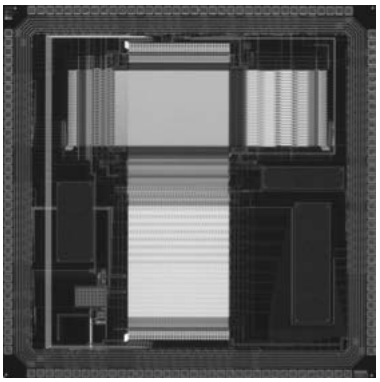
概要：我々は，受光素子として，通信対象の位置を探し出す「撮像」と，高速光通信を行うための「データ受信」の二つの機能をもつイメージセンサを用いた新しい屋内用光無線LANシステムを提案している．複数データを同時に受信できる特徴を利用し，ダウンリンクに波長多重通信を適用した64×64画素光無線LAN用イメージセンサを0.35 um 標準CMOSプロセスを用いて作製し，データ受信要素回路の動作を確認した．TEGとして，オートマティックオフセットキャンセル回路，トランスインピーダンスアンプ，チェリーフーパアンプ，4画素単位で差動化した画素回路，LVDSバッファ，ギルバートセルを設計・試作した．

参考文献：吉田他，「波長多重光無線LAN用イメージセンサにおける受信用要素回路の検討」，第53回応用物理学関係連合講演会 講演予稿集, no. 3, p. 1074 (2006)．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：イメージセンサ/スマートセンサ

ソース変調方式PWM

奈良先端大物質創成科学研究科　　佐々木 達也
奈良先端大物質　　山本 真也, 香川 景一郎, 布下 正宏, 太田 淳



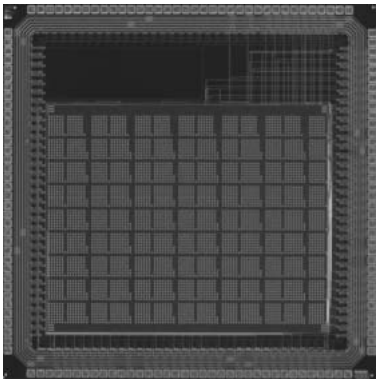
概要：低電圧単一電源駆動を狙いソース変調型パルス幅変調読出し方式を用いたCMOSイメージセンサを提案し，その原理確認のために試作を行った．本方式はフォトダイオード電位を検出する画素アンプのソースにランプ波を印加し，閾値電圧を変調することで画素値をパルス幅に変換して読出す．0.35-um標準CMOSプロセスを用いて電源電圧1.5V駆動のイメージセンサを試作した．画素アレイ中の1画素と列読出し回路の出力を測定した結果，外部光量に応じて画素の出力パルス幅が変化し，対応するディジタル値が出力されることを確認した．

参考文献：能勢他，「APS・PPS方式を併用した広ダイナミックレンジCMOSイメージセンサ」，映情学技報, 30 (25), pp. 1-4 (2006)．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva，Cadence社 Analog Artist　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：イメージセンサ/スマートセンサ

ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部　　渡邊 実

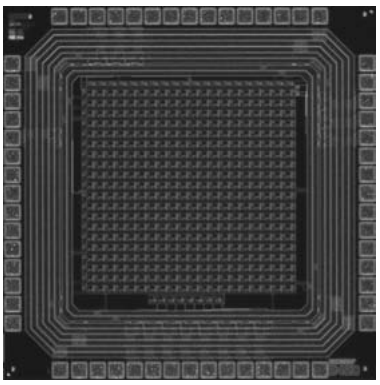


概要：光による高速な再構成が可能で，ゼロオーバーヘッド・ダイナミック型の光再構成回路を有する光再構成型ゲートアレイ（ZO-DORGA：Zero-Overhead Dynamic Optically Reconfigurable Gate Array）VLSIを試作した．この度の設計では，論理ブロックとスイッチングマトリックスをカスタムレイアウトとした．ただ，高集積化はせず，従来と同じ光学部と組み合わせる目的で，フォトダイオード受光部のサイズと間隔は従来と同じ6.5μm×5.0μm，横30.0μm，縦33.0μmとした．Island-Styleのゲートアレイ部には，30ゲートに相当する論理ブロックが56個，スイッチングマトリックスが72個，4ビットのI/Oビットを持つI/Oブロックが7個実装された．配線チャネル内の配線は8本である．この度試作したDORGAのゲート規模は1,680ゲートである．

設計期間：0.1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

対数応答型CMOSイメージセンサTEG

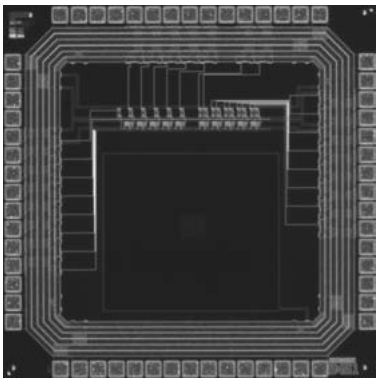
大阪大学大学院工学研究科　　奥野 弘嗣，八木 哲也



概要：人間の目は月明かり（約0.2Lux）から日中の太陽の明かり（約150,000Lux）まで，6オーダーもの照明環境の変化に柔軟に対応する事が出来る．実環境で動作する工学的視覚システムでは，光センサーが出来る限り広いダイナミックレンジを持つ事が望ましいが，上記の様な6オーダーもの照明環境の変化に線形変換形CMOSイメージセンサで対応する事は困難である．本チップは，高ダイナミックレンジを実現するための一つの方策と考えられている，対数応答型CMOSイメージセンサである．これまで本研究室が研究を進めてきた，生体を模擬した視覚システムの入力デバイスとして用いるにあたって，画素間のバラツキ等の特性を評価，検討する事を目的としている．画素数は20x20である．
設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：TEG（特性評価回路など）

パルス情報処理回路TEG

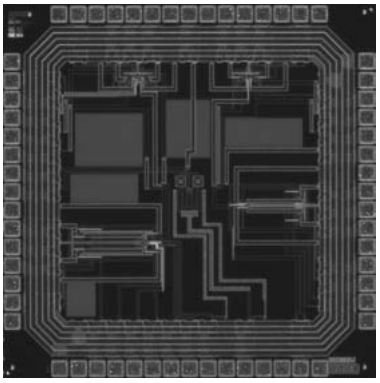
大阪大学大学院工学研究科　　下ノ村 和弘，八木 哲也



概要：脳の神経回路網の構成要素であるニューロンは，情報を電気パルスとして表現し，処理を行う．本設計では，神経回路におけるパルスを用いた情報処理を集積回路上で実行するために，integrated-and-fire neuron回路のTEGを試作した．発火頻度（出力パルス周波数）は入力電圧に対してほぼ二乗の関係になるように設計しており，様々な視覚計算モデルの構成要素として使用することを想定している．外部から与えるバイアス電圧により，発火（パルス生成）の閾値，パルス幅，不応期などの回路パラメータを制御できる．個別のニューロン，およびいくつかのニューロンをつないだネットワークの応答特性について評価できるようにしている．
設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：TEG（特性評価回路など）

高周波基板雑音検出実証用回路

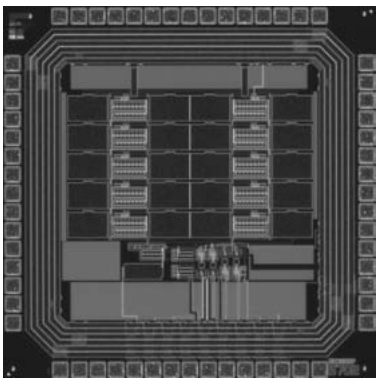
神戸大学工学部　　藤原 正樹，小坂 大輔，永田 真



概要：前年度の設計データ［1］を基に，基板を伝送経路とする高周波基板雑音の検出回路をミキサ回路を用いて構成し，設計した．高周波雑音の発生回路として電圧制御発振回路（VCO）を用い，そこから100μmほど離れた点に検出点を設け，検出した基板雑音を測定する．検出回路は4個搭載しており，ミキサの回路構成及び検出点から検出回路構成までの距離などが異なり，検出回路構成による性能，あるいは回路性能の距離依存性などを評価でき，さらに抽出や回路シミュレーションなど設計手法の確らしさも評価できる．これまでに低い周波数での基本動作確認を終え，高周波領域の測定準備をすすめている．
参考文献：［1］ 藤原，小坂，永田，”ミキサ回路の各種構成による性能比較評価”，pp. 100, 2005年VDEC年報（2005）
設計期間：1人月以上，2人月未満　**設計ツール**：SII社 SX9000，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

非接触I/O評価用テストLSI

九州工業大学マイクロ化総合技術センター　　山内 秀晃, 梶原 し乃, 中村 和之



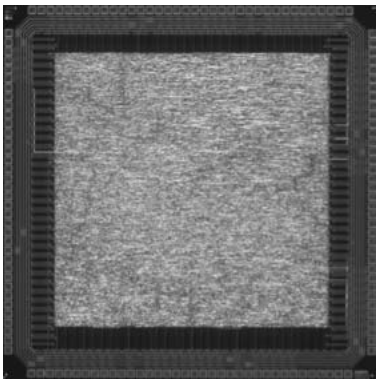
概要：I/Oピンをチップの表面に配列上に配置でき，小面積で実装できる非接触I/O技術が提案されている［1］．本設計では，その有用性，問題点を検証するために，容量結合型非接触I/Oを実際に設計・評価した．動作検証を簡易に行うために，送受信回路およびメタルパッドを1チップ内にレイアウトした．信号伝送は，レイヤーの異なるアルミ配線間の容量成分を用いた．測定結果から，実際に信号の送受信が可能であることを確認した．

参考文献：［1］ 神田 浩一, ダナルドノ ドゥイ アントノ, 石田 光一, 川口 博, 黒田 忠広, 桜井 貴康「1.27Gb/s/pin, 3mW/pin Wireless Superconnect （WSC） Interface Scheme」電子情報通信学会 信学技報 2003.5

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，SII社 SX9000，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：通信（RF回路，ATMなど）

自己組織化関係ネットワークハードウェアの試作

九州工業大学大学院生命体工学研究科脳情報専攻　　田向 権, 山川 烈



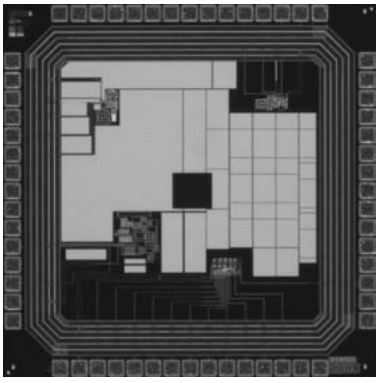
概要：本試作は自己組織化関係（Self-Organizing Relationship: SOR）ネットワークをデジタルハードウェアで実現したものである．SORネットワークは，自己組織化マップ（Self-Organizing Map: SOM）を改良したニューラルネットワークである．学習モードでは，任意の入出力対とその評価値を用いて望ましい入出力間の写像関係を特徴付けるルールを抽出する．良い入出力対には正の評価を，悪い入出力対には負の評価が与えられ，成功例からはもちろん失敗例からもネットワークの学習が行われるという特徴を持つ．実行モードでは，学習で獲得したルールをもとにファジィ推論により出力値を生成する．
本試作では，ハードウェア化に適した改良版SORネットワーク［1］のアルゴリズムをもとに1つのユニットに1つの演算回路およびメモリを割り当てる超並列構造のアーキテクチャを実装した．試作回路は25個のユニット，コントローラ，入出力用バッファを持ち，開発したアーキテクチャの簡単な検証に用いられる．

参考文献：田向 権，堀尾 恵一，山川 烈，”ハードウェア化に適した改良版自己組織化関係ネットワーク”，第18回 回路とシステム軽井沢ワークショップ，pp. 97-101，2005.

設計期間：2人月以上，3人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Astro，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

DC-DCコンバータ等

立命館大学理工学研究科　　藤田 智弘, 野田 和也, 古野 裕隆, 福田 尚史



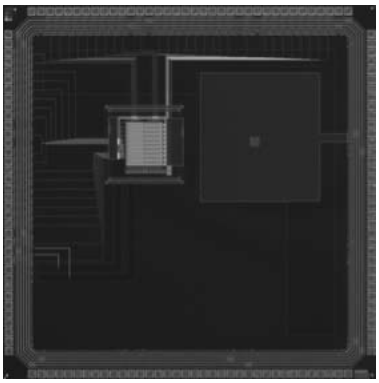
概要：DC-DCコンバータ，オペアンプ，低雑音増幅器（Low-Noise-Amplifier），スイッチ付きオペアンプを搭載．今回試作したDC-DCコンバータは電源電圧を昇圧するために使用される．オペアンプは動利得制御（Auto-gain-controll）回路に使用され，差動増幅段とソース接地段によって構成される二段オペアンプとなっている．低雑音増幅器とスイッチ付きオペアンプはFM送受信システム用に設計したものである．低雑音増幅器は受信器側で使用され，増幅器として一般的であるソース接地回路ではなく，インバータを使用することにより，入力換算ノイズの低下を狙った回路である．スイッチ付きオペアンプは，オペアンプのスタートアップ回路にスイッチを付加し，外部からのスイッチ信号をON, OFFすることにより，スタートアップ回路の動作を切替える．それによりオペアンプ全体の回路動作を停止させることができ，消費電力の削減を行なった．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

平成17年度第7回ロームCMOS 0.35μm試作（RO35057）

Tamper-Resistant Reconfigurable Logic Gate Employed Asynchronous νMOS circuits

東京大学大学院新領域創成科学研究科　　トンプラシット ベンジャマース
東京大学大学院工学系研究科　　黄 世燕

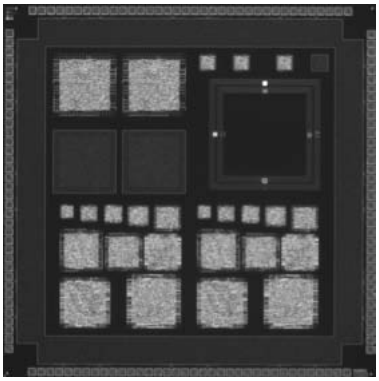


概要：秘密情報を保持するVLSIやICカードに対し，その電力変化からその中の秘密情報を読み取るセキュリティ攻撃がある．この読み取りは時として不法的であり，この不法的な攻撃に耐久性を持たせるものとして，νMOSゲートの特徴を活かし電力の変化をできるだけ抑えた回路を開発した．この回路は，論理機能の再構成可能という特徴を持った耐タンパー回路である．今回はこの耐タンパー回路を試作し，入力信号の0と1の数を常に一定に保つことにより回路中の電流変動を小さくすることを試みた．この回路は8ビットの入力信号に対し演算を行うことが可能であり，コントロール信号を変化させることによりその論理を自在に変えることができる．またこの回路は9つのプリゲートと1つのメインゲートにより構成されていて，各々のゲートはνMOSとセンスアンプから成る．そして今回は初版の遅延問題を改善するためにプリゲートとメインゲート間の信号のやりとりが非同期で行われるようにした．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

LSI故障診断装置評価用TEG （4）

大阪大学大学院情報科学研究科　　三浦 克介，中前 幸治

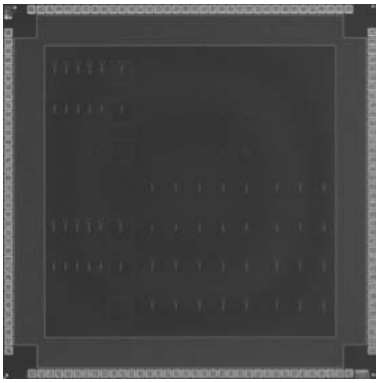


概要：LSIの微細化，大規模化，多ピン化，フリップチップ実装等により，LSIの故障診断を行うことが困難となっており，いくつかの新たな故障診断装置が提案されている．これまで，このようなLSI故障診断装置の評価を行うためのTEGとして，標準的なチップは無かった．本チップは，LSI故障診断装置の評価を目的として設計した4種類のチップの一つであり，レーザ励起電流を検出するタイプの診断装置を評価する為の3種類のTEGが集積されている．1） チップ右上部：観測部周辺の金属配線によるレーザ反射の影響を見る為のTEG，2） チップ左上部および下部：ランダムロジック部での故障個所解析性能を評価する為の，ISCAS’85ベンチマーク回路に欠陥を作り込んだ回路，及び，比較参照用の正常な回路，3） チップ周辺部：レーザ照射による効果の観測用TEG，である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LPE，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：TEG（特性評価回路など）

LSI故障診断装置評価用TEG （4）

大阪大学大学院情報科学研究科　　三浦 克介，中前 幸治

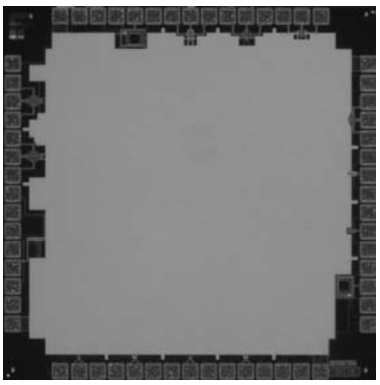


概要：LSIの微細化，大規模化，多ピン化，フリップチップ実装等により，LSIの故障診断を行うことが困難となっており，いくつかの新たな故障診断装置が提案されている．このようなLSI故障診断装置の基本性能を評価するためには，評価項目に特化した単純な構造や，人工的に故障を作り込んだ回路と比較参照用の正常な回路，等の評価用TEGが不可欠である．しかし，これまでは，このようなLSI故障診断装置の評価を行うことを目的として設計された標準的なチップは無く，実用LSIや他の目的で設計されたチップを用いて評価することが多かった．本チップは，LSI故障診断装置の評価を目的として設計した4種類のチップの一つであり，レーザ励起電流を検出するタイプの診断装置を評価する為の3種類TEGが集積されている．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC　**トランジスタ数**：10未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：TEG（特性評価回路など）

多値不揮発機能パスゲートを用いたFPVLSIの基本回路

東北大学大学院情報科学研究科　　中谷 好博, 張山 昌論, 亀山 充隆

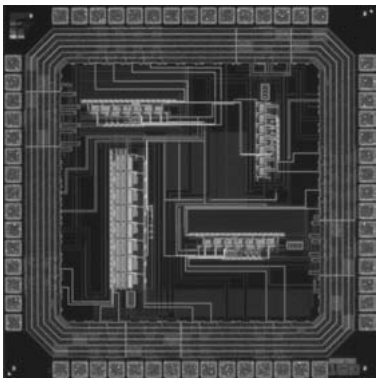


概要：近年，動的にLSI内部の回路構成を変更することが可能なダイナミックリコンフィギャラブルLSIの研究が注目されている．ダイナミックリコンフィギャラブルLSIを用いることにより，時分割のアプリケーションでは面積効率を向上させることができ，コストを削減させることが可能である．我々の研究室では従来よりフィールドプログラマブルVLSI（FPVLSI）という高速・低消費電力のダイナミックリコンフィギャラブルLSIを提案している．また，小面積・高速な動作が可能な記憶と演算が一体となった機能パスゲートを提案している．本試作では，機能パスゲートを用いたFPVLSIの基本回路を数種類用意し，それぞれの特性を測ることを目的としている．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：TEG（特性評価回路など）

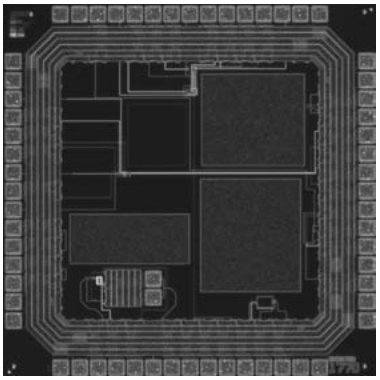
MOS容量による電圧増幅を用いた低消費電力・低雑音増幅器の設計

広島大学先端物質科学研究科　　村上 智敏



概要：本チップはＭＯＳ容量による電圧増幅を利用して，低消費電力・低雑音増幅器を設計・試作したものである．帯域内雑音は10ｕＶ以下，消費電力は１ｕW以下を目標としている．応用回路としてはバッテリー駆動，入力部のさらなる多チャンネル化が求められるワンチップセンサＬＳＩに適用できると考えている．ＭＯＳ容量による電圧増幅とはＭＯＳ容量のソース・ドレイン電圧を変化させて電荷保存則からゲートの電圧を増幅するものである．増幅の原理から低消費電力，低雑音であることが見込まれる．また回路の入力部ではＭＯＳのスイッチング動作によってフリッカ雑音を低減すること行っている．今回は動作確認のため回路構成の異なる４つの回路をのせて，それぞれの特性を評価する予定である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：TEG（特性評価回路など）



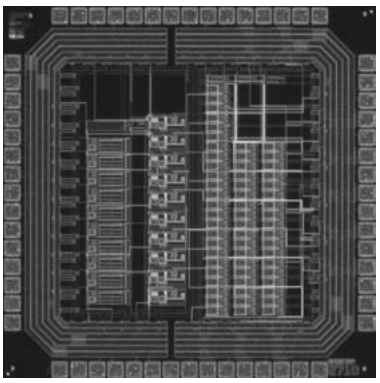
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち，20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である．これをSFQ回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity （2003）.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：マイクロプロセッサ

高速多線式比例計数管用位置読み出しチップ

東京大学大学院工学系研究科　　島添 健次, Yeom Jung Yeol, 高橋 浩之

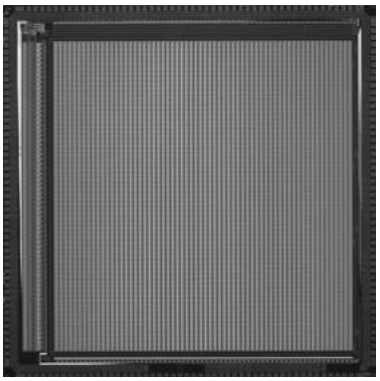


概要：近年，中性子散乱実験における高効率・高分解能・高速2次元中性子検出器が要求されている．本チップは，次世代の高分解能中性子散乱用位置検出器として日米欧で開発が進められている高分解能MWPC（Multi-Wire Proportional Counter）検出器への適用を目指し，これまでに試作してきたチップの改良を図り，高速化とチップ内チャンネル間の特性調整機構を導入したものである．入力段はカスコード構成の高速電荷増幅器として，個々の中性子線の入射に対応したMWPCの微小なアナログパルス信号から，中性子線に対応した信号レベルを求める．妨害要因となるガンマ線と分離するために，更にシェーピング増幅器を用い，測定対象である中性子による信号のみをディスクリミネータを用いて選別し，計数する．各チャンネルにはチャンネル間の増幅度のわずかな差を補正するための電圧調整用端子をつけ，外部制御による調整ができるようにした．また，高計数率時のアンダーシュートの問題に対応するために，ポールゼロキャンセル回路を導入し，数百kHz以上のレートで入射する信号への対応を図った．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナデジ混載

PWM方式画素並列2次元ガボールフィルタLSI（1）

九州工業大学大学院生命体工学研究科　　中村 享平, 森江 隆



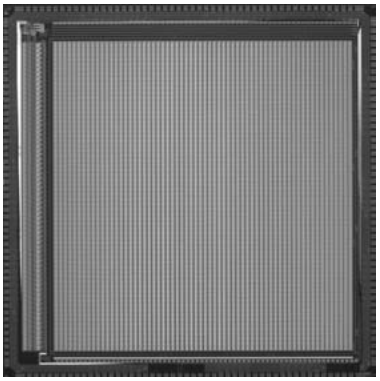
概要：ガボールウェーブレット変換は画像の局所的な空間周波数を抽出することができ，顔認識や医療画像診断などに威力を発揮する強力な特徴抽出法だが，計算量が膨大なため応用が限られていた．そこで，我々はLSI化に適した並列処理モデルとして，抵抗ネットワーク型セルラーニューラルネットワークによる画素並列ガボール変換計算モデルを提案した．これに基づいて一昨年度PWM方式によるアナログ・デジタル融合回路アーキテクチャに基づいた画素並列型ガボールフィルタLSIを設計・試作した．9.8mm角のチップに64x64画素分の回路を集積し，リアルタイム動作を確認している．本チップはその改良バージョンであり，低消費電力化および精度向上が図られている．

参考文献：T. Morie, et al., "Gabor-Type Filtering Using Transient States of Cellular Neural Networks, " Intelligent Automation and Soft Computing, Vol. 10, No. 2, pp. 95-104, 2004.

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Astro，SII社 SX9000，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

PWM方式画素並列2次元ガボールフィルタLSI（2）

九州工業大学大学院生命体工学研究科　　中村 享平, 森江 隆



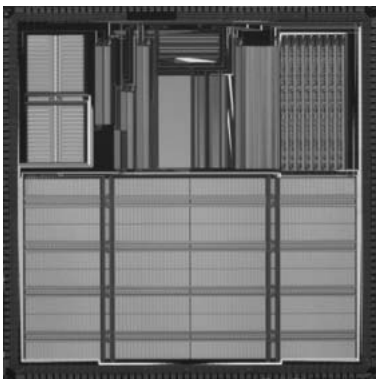
概要：ガボールウェーブレット変換は画像の局所的な空間周波数を抽出することができ，顔認識や医療画像診断などに威力を発揮する強力な特徴抽出法だが，計算量が膨大なため応用が限られていた．そこで，我々はLSI化に適した並列処理モデルとして，抵抗ネットワーク型セルラーニューラルネットワークによる画素並列ガボール変換計算モデルを提案した．これに基づいて一昨年度PWM方式によるアナログ・デジタル融合回路アーキテクチャに基づいた画素並列型ガボールフィルタLSIを設計・試作した．9.8mm角のチップに64x64画素分の回路を集積し，リアルタイム動作を確認している．本チップはその改良バージョンであり，低消費電力化およびピクセル回路の改良が図られている．

参考文献：T. Morie, et al., "Gabor-Type Filtering Using Transient States of Cellular Neural Networks, " Intelligent Automation and Soft Computing, Vol. 10, No. 2, pp. 95-104, 2004.

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Astro，SII社 SX9000，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

多層構造 Convolutional Neural Network LSI

九州工業大学大学院生命体工学研究科　　是角 圭祐，中野 鉄平，森江 隆



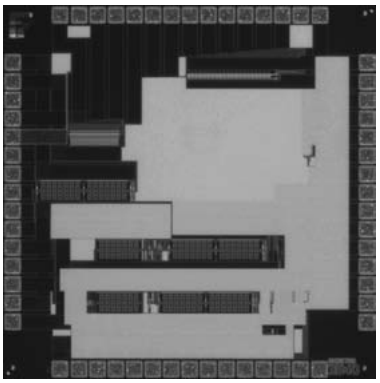
概要：本チップは，昨年度設計した多層構造 Convolutional Neural Network 演算回路を改良し，周辺制御回路を追加し，多チップ接続可能な構成にしたものである．80×80 画素の演算処理が可能であり，顔の位置検出を行うことができる．チップは主に SRAM，デジタル–パルス幅変調（PWM）変換回路，PWM 積和演算回路，PWM–デジタル変換回路，デジタル累算器，Look–Up Table を実装している．積和演算の 1 回の処理時間は 1μs で設計しており，パイプライン動作を行うことで，処理時間の効率化を図っている．なお，顔検出に要する時間は約 66ms である．80 個のニューロン素子，4080（80×51）個のシナプス素子の並列演算により，演算性能は最大で約 8.2GOPS である．

参考文献：K. Korekado, et al.，"An Image Filtering Processor for Face/Object Recognition Using Merged/Mixed Analog–Digital Architecture, " Symposium on VLSI Circuits, pp. 220–223, 2005.

設計期間：1 人月以上，2 人月未満　**設計ツール：**Synopsys 社 DesignCompiler，Synopsys 社 Astro，SII 社 SX9000，Synopsys 社 Star–HSPICE，Synopsys 社 PowerMill，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数：**100,000 以上　**試作ラン：**ローム CMOS 0.35μm 9.8mm 角　**チップ種別：**アナログ/デジタル信号処理プロセッサ

線虫神経回路のタッチ反応を模した低消費制御回路

山梨大学工学部　　金田 知陽，加藤 初弘

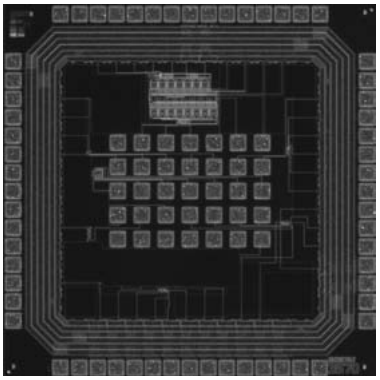


概要：線虫のニューラルネットは，300 個ほどのニューロンから構成されておりその接続の詳細が解明されている．また，ニューラルネットが行っている信号処理機能はについてもその概容が明らかになりつつある．タッチ反応とは，線虫の危険回避運動のひとつで，外部刺激により前進と後退の運動を切り替える反応である．この機能をシリコン基板上に集積することを目標とした．応用としては，神経節のようにロボットの末梢系での制御あるいは自律的なマイクロマシンへの組み込みがを考えている．使用個数が多数にのぼるもの，あるいは小さなシステムへの組み込みを意識しているので低消費電力化と動作の安定性を重視した．　2 つのニューロンが相互に接続したニューラルネットのループは，記憶素子としての機能と信号の積算演算を実施する重要な機能を担っている．単体のニューロンが一種の NOR 回路としてして動作するので，このループを NOR を組み合わせた RS–フリップフロップ（RS–FF）を用いて実現した．ニューロンが行っている外部刺激の積算演算は，RS–FF とパルス発生回路との組み合わせで等価的な機能を実現するように設計した．

設計期間：1 人月以上，2 人月未満　**設計ツール：**Cadence 社 Virtuoso　**トランジスタ数：**100 以上，1,000 未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm 角　**チップ種別：**マイクロプロセッサ

閾値論理を用いた 4 ビットフラッシュ型 A/D 変換器

上智大学理工学部　　秋山 俊介，和保 孝夫

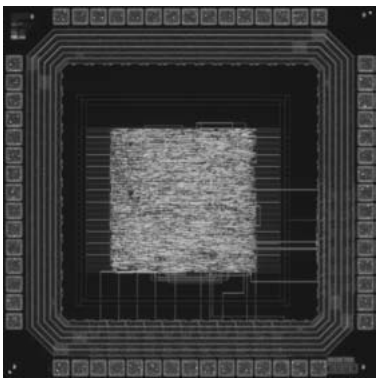


概要：ダイナミック比較器と閾値論理エンコーダを用いて，コンパクトな低消費電力フラッシュ型 A/D 変換器を設計した．比較器はソース結合対を基本とするラッチ型を採用した．テール電流部分に容量の充放電を利用することでダイナミック型動作を実現し，低消費電力化を図った．エンコーダ回路には電流モードを基本とし，結線による線形加算結果を基準値と比較する閾値論理回路を用いた．6 ビット構成で回路シミュレーションにより従来技術と比較した結果，素子数は，エンコーダ回路のみでは従来の 1/6，A/D 変換器全体で 1/2 に削減できることが分かった．また，1LSB の分解に必要な低消費電力を示す FOM で従来型構成と比較したところ，約 2 倍の性能改善が可能であることが分かった．今回の試作のために設計したものは 4 ビット構成とした．

設計期間：1 人月以上，2 人月未満　**設計ツール：**Cadence 社 Virtuoso，Synopsys 社 Star–HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数：**100 以上，1,000 未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm 角　**チップ種別：**アナログ（PLL，A–D/DC–DC コンバータなど）

離散ウェーブレット変換ハードウェア実装のためのインプレース演算モジュール

新潟大学工学部　　村松 正吾
新潟大学大学院自然科学研究科　　本多 秀章

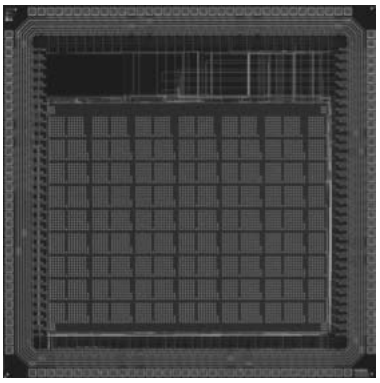


概要：離散ウェーブレット変換（Discrete Wavelet Transform：DWT）は現在，幅広い分野で応用されている．また，一般に画像処理などの応用分野では高速な処理が必要なため，ハードウェア実装が望まれる．そこで我々は，DWTの実現法であるリフティング演算の特徴に注目し，DWTのハードウェア実装のためのインプレース演算モジュール（Module for In-place Operation：MIO）を提案している．MIOは，1サンプルを保持するレジスタ，乗算器，加算器，およびマルチプレクサから構成され，複数のモジュールを接続してMIOアレイを構成することにより，リフティングによるDWTの実装を行う．このアーキテクチャでは，各モジュールで並列に演算を行うことが可能であり，高速にDWTを行うことができる．また，構造および制御が規則的でIP化が容易，制御回路の変更によりステップ数や係数の異なる様々な条件の1次元および2次元DWTに対応することが可能，という特徴もある．なお，今回の試作は，研究室としてのチップ設計と評価のノウハウを得ることを第一の目的とした．よって，動作確認が行い易いように複雑な回路の搭載は避け，1つのMIOとその周辺回路を搭載するのみに留めた．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Astro，Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

パルスジェネレータ内臓・光再構成型ゲートアレイ

九州工業大学情報工学部　　渡邊 実

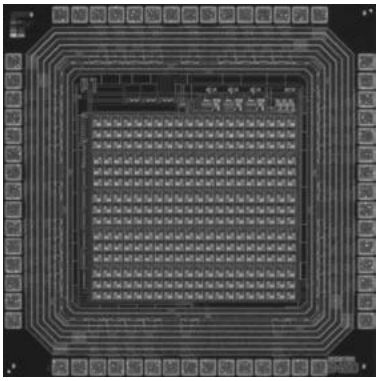


概要：光による高速な再構成が可能で，ゼロオーバーヘッド・ダイナミック型の光再構成回路を有する光再構成型ゲートアレイ（ZO-DORGA：Zero-Overhead Dynamic Optically Reconfigurable Gate Array）VLSIを試作した．この度の設計では，ゲートアレイ部にカスタムレイアウトされた論理ブロックとスイッチングマトリックスを実装すると同時に，光再構成タイミングを制御するタイミング生成回路を実装した．このタイミング生成回路はプログラムによって任意のタイミングを生成することができ，光学部の仕様に合わせた，最適なタイミングを生成できる．この結果，チップ外からの信号供給では難しかった数百MHzの再構成が可能となった．チップの仕様は，従来と同じ，フォトダイオード受光部のサイズと間隔は従来と同じ6.5μm×5.0μm，横30.0μm，縦33.0μmとした．Island-Styleのゲートアレイ部には，30ゲートに相当する論理ブロックが56個，スイッチングマトリックスが72個，4ビットのI/Oビットを持つI/Oブロックが7個実装された．配線チャネル内の配線は8本である．この度試作したDORGAのゲート規模は1,680ゲートである．

設計期間：0.1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 Apollo，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

移動方向検出回路

大阪大学工学研究科　　井上 恵介，八木 哲也

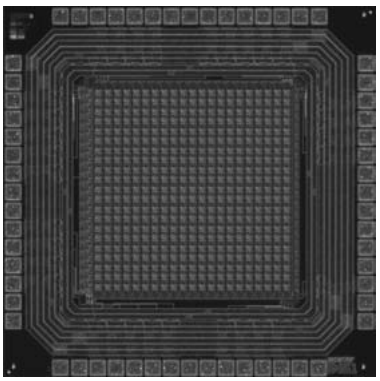


概要：我々が今までに開発したシリコン網膜は，2次元のラプラシアン－ガウシアン型フィルタ処理とフレーム間の差分計算を実時間で，オンチップで実行する．本チップは，そのシリコン網膜のアナログ出力に対してエッジおよび，その移動方向を検出する．チップは，ゼロ交差検出回路，閾値処理回路および，単純な論理演算回路により構成した．また，移動方向を0°，60°，120°の3方向で行なうために，アナログメモリも一緒にインプレメントされた．アナログメモリは，逐次的に読み出されるシリコン網膜の出力を保持し，メモリから適当な画素情報を読み出し，ゼロ交差検出回路によりエッジを検出する．また，フレーム間差分出力に対して閾値処理により，動きを検出する．計算されたエッジと動きの情報を単純な組み合わせ論理演算により統合することで，エッジの移動方向を検出する．なお，テスタによる測定は行っていない．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

最大値検出フィルタチップ

大阪大学大学院工学研究科　　下ノ村 和弘，八木 哲也



概要：生体の一次視覚野複雑型細胞は，入力パターンの方位に対して選択性な応答を示すが，その視野内での位置に対する制限は弱く，比較的広い受容野を持っている．本チップは，このような特性を実現するために，入力画像の局所的な範囲における最大値を計算する．入力として，以前に設計した方位選択チップの出力を想定している．チップは，画素回路アレイ，一直線上に並ぶ任意の数の画素を選択する画素選択回路，最大値検出回路から構成される．画素回路は，前段の画像処理チップからのアナログ電圧入力を保持するアナログメモリである．画素選択回路により選択された複数の画素の出力は最大値検出回路に送られ，それらの中での最大値が出力される．画素数は21×21である．

設計期間：0.1人月以上，0.5人月未満　**設計ツール：**Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数：**1,000以上，10,000未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm角　**チップ種別：**演算回路（乗算器，除算器など）

立命館大学理工学研究科　　藤田 智弘，野田 和也，古野 裕隆，鈴木 泰徳

概要：自動利得制御回路，リミッタ回路，低雑音増幅器（Low-Noise-Amplifier），スイッチ付きオペアンプ，可変利得増幅器を搭載．今回試作した自動利得制御（Auto-gain-controll）回路はオペアンプのフィードバックを利用し，信号の振幅を一定にしている．リミッタ回路は信号を所望の電圧範囲に制限するために使用する．低雑音増幅器とスイッチ付きオペアンプはFM送受信システム用に設計したものである．低雑音増幅器は受信器側で使用され，増幅器として一般的であるソース接地回路ではなく，インバータを使用することにより，入力換算ノイズの低下を狙った回路である．スイッチ付きオペアンプは，オペアンプのスタートアップ回路にスイッチを付加し，外部からのスイッチ信号をON, OFFすることにより，スタートアップ回路の動作を切替える．それによりオペアンプ全体の回路動作を停止させることができ，消費電力の削減を行なった．可変利得増幅器（VGA）は制御電圧により利得を変化させることを可能にした増幅器である．

設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Analog Artist　**トランジスタ数：**100以上，1,000未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm角　**チップ種別：**アナログ（PLL，A-D/DC-DCコンバータなど）

CAROMと可変論理回路のTEG

東海大学大学院工学研究科　　仙北 智晴，リキットキットワオラクル ナッチャー，福原 雅朗

東海大学電子情報学部　　吉田 正廣

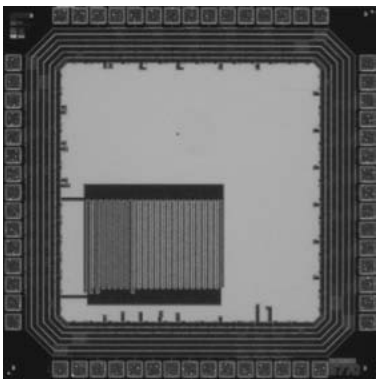
概要：我々の研究室では，ハミング距離検索機能を有するCAROM（Content Addressable ROM）と，ニューロンMOSトランジスタを用いた可変論理回路を提案し，それらの動作特性と設計条件を明らかにすると共に，その応用に関する研究を行っている［1］．本チップでは，5ワード8ビットのハミング距離検索機能を有するCAROMと，2入力及び3入力可変論理回路の試作を行った．ハミング距離検索機能を有するCAROMでは，照合回路にプリチャージ方式を用いることで，従来のものよりも低消費電力動作を実現している．また，可変論理回路は，p型ニューロンMOSトランジスタとn型ニューロンMOSトランジスタを相補的に組み合わせたニューロンMOSインバータによって構成されている．なお，これらの可変論理回路で実現できる論理機能は，AND，OR，NAND，NOR，一致，不一致である．本チップ試作は，提案回路の電気的特性を評価することを目的としている．現在，試作チップの測定及び評価を行っているところである．

参考文献：［1］ 仙北，福原，吉田，“2段ニューロンMOSインバータからなる多入力可変論理回路の提案”，電子情報通信学会論文誌（C） Vol. J89-C No. 3 pp. 124-125 2006年3月．

設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数：**100以上，1,000未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm角　**チップ種別：**TEG（特性評価回路など）

0.35μmCMOSトランジスタ特性測定実験用チップ

立命館大学理工学部　　藤野 毅

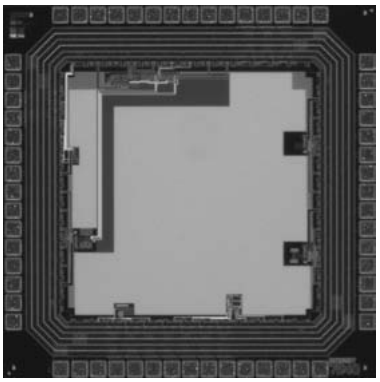


概要：理工学部2回生にトランジスタおよびＣＭＯＳ回路特性の基礎を理解してもらうための学生実験測定ＴＥＧを作製した．搭載したＴＥＧは以下の4種類である．（1）拡散抵抗の特性測定（N拡散5種，P拡散1種）（2）トランジスタの単体特性測定（NMOS 8種，PMOS2種）（3）インバータのＤＣ特性測定（4種）（4）ＮＡＮＤ回路のディジタル論理特性（1種）（5）ファンアウトを変化させたとき遅延回路の特性測定（4種）全4回の実験であり，うち2回ではＴＥＧを電圧発生/電流測定器，ファンクションジェネレータおよびオシロスコープを用いて本設計のＴＥＧを測定し，残りの2回ではＳＰＩＣＥシミュレータを用いてシミュレーションを行う．実験とシミュレーション結果を比較してレポートをまとめることにより，ＣＭＯＳ回路の基本原理を理解する．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：TEG（特性評価回路など）

インバータによる4相リング発振器

名古屋工業大学工学部　　米谷 昭彦



概要：RF受信器などの局部発振器の一候補としてリング発振器がある．リング発振器は小型である，インダクタを必要としない，発振周波数の可変範囲が広いなどのいくつかの利点を持っているが，LC発振器に比べて位相雑音が大きいといった問題点を持っている．リング発振器の実現方法として，インバータを用いるものと差動増幅器を用いるものがあるが，差動増幅器を用いると位相雑音が大きくなってしまうといった問題点があった．しかし，ダイレクトコンバージョン方式のRF受信器などでは局部発振器に直交信号出力が求められ，従来はその要求を満たすために差動増幅器を用いざるを得なかった．今回はインバータにより直交信号をそのまま出力するリング発振器を試作し，それをVCOとして用いるための制御回路も組み込んだ．また，リング発振器の位相ノイズの問題に対処するためにはPLLの高帯域化が必要となるが，そのための低ジッタの位相比較器も組み込んでいる．さらに，受信器のミキサも試作回路に組み込んで，リング発振器の受信器局部発振器への応用に対する評価を行うことができるようにした．現在は試作ICを評価するための準備を進めている段階であり，これから評価および解析を行っていく予定である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Dracula DRC　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

平成17年度第8回ロームCMOS 0.35μm試作（RO35058）

配線間EMI測定チップ

東京大学VDEC　　佐々木 昌浩
東京大学工学系研究科　　池田 誠, 浅田 邦博

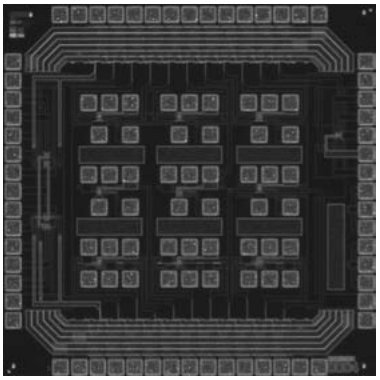
概要：プロセスの微細化とともに回路の動作周波数は高くなり，配線中では高速な電流の変化が起こる．それによって以前には無視することができた，配線のインダクタンス効果によって発生する電磁波が信号の信頼性に悪影響を与えている．また，近年のプロセス技術では同じクロック信号源を用いてグローバル同期信号を高速伝送することは難しくなってきている．そのため，ローカルモジュールを高速クロックで駆動させて，その間のデータ伝送を非同期的に行う方式（GALS：Globally Asynchronous Locally Synchronous）が有望視されている．GALSに適合する伝送方式として，低EMIである3相式伝送方式［1］と2相式伝送方式の配線EMI特性をon-chipで測定するためチップを試作した．各伝送配線の近くにコイルを距離を変えながら置いて，コイルに誘導される起電力を測ることで電磁場の強さの違いを測定できるようにした．

参考文献：［1］NanLi, Makoto Ikeda, Kunihiro Asada, "Analysis of Low Noise Three-Phase Aysnchronous Data Transmission", Proc of ESSCIRC, 2005

設計期間：0.1人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数：**10未満　**試作ラン：**ローム CMOS 0.35μm 4.9mm角　**チップ種別：**TEG（特性評価回路など）

TOF法に向けた磁気検波型センサTEG

東京大学工学系研究科　　橋本 紘和
東京大学VDEC　　池田 誠, 浅田 邦博

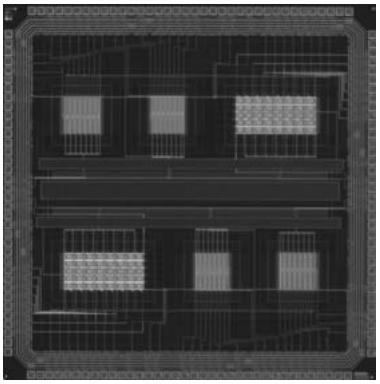


概要：三次元距離計測手法の一つである光伝搬（Time-of－Flight, TOF）法に向けて，磁界を用いて検波を行なうセンサのTEGを試作した．本試作ではセンサ回路ではなく素子単体を作成した．磁界下でのキャリヤはローレンツ力を受けて曲がることを利用し，受光によって発生したキャリヤを振り分ける．磁気検波では磁界は検波を行なう二信号のうちの一つであり，チップ内部で生成・制御できるようにする必要がある．このため，メタル層を用いたコイルを各センサ上に配置した．今回のTEGでは，一般的な磁気センサであるホール素子に加えて，MAGFETと呼ばれる磁気センサやラテラルバイポーラなども作成した．コイルに関しても三種類の大きさを実装し，これによってコイル単体の抵抗や様々な種類の磁気センサのDC/AC磁界特性を測定することが出来る．

設計期間：0.1人月以上，0.5人月未満　**設計ツール：**Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC　**トランジスタ数：**10以上，100未満　**試作ラン：**ローム CMOS 0.35μm 2.4mm角　**チップ種別：**イメージセンサ/スマートセンサ

Mixed-Signalメディアン値探索回路

東京大学大学院工学系研究科　　山崎 英男



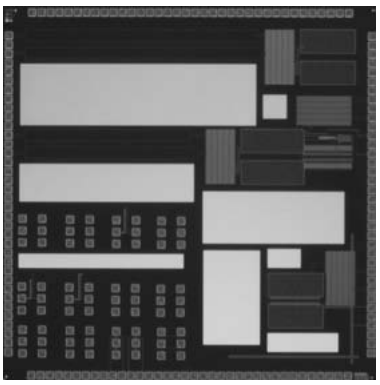
概要：メディアンフィルタは，画像のスパイクノイズ除去等に用いられており，画像処理の分野では非常に重要な処理の一つである．しかし，メディアン値探索の演算コストが高いため，ソフトウェアで実装すると遅延時間が増大する．また，専用のデジタル回路で実装すると規模が大きくなってしまう．そのため，Mixed -Signalの回路で小規模かつ高速なメディアンフィルタが開発されてきた．［1］ この回路はバイナリサーチのアルゴリズムを採用し，その中で必要となる多数決の機能をMixed-Signalの回路で構成しているが，精度の面で問題があった．そこで，我々の研究室では差動対を構成することにより高精度のメディアンフィルタを開発した．また，フローティングゲートMOS技術を用いた低消費電力のタイプも開発した．本チップでは，これまでに開発してきたメディアン値探索回路の性能比較を行うため，TEGとして40入力のメディアンフィルタを4種類設計した．

参考文献：［1］ B. L. Lee and C.-W. Jen, “Bit-sliced median filter design based on majority gate,” IEE Proceedings-G, vol. 139, pp. 63-71, Feb. 1992.

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Virtuoso，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数：**10,000以上，100,000未満　**試作ラン：**ローム CMOS 0.35μm 4.9mm角　**チップ種別：**演算回路（乗算器，除算器など）

チップ間ワイヤレス電源伝送回路とインダクタ測定用TEG

東京大学生産技術研究所　　鬼塚 浩平, 石田 将也
東京大学国際・産学共同研究センター　　桜井 貴康

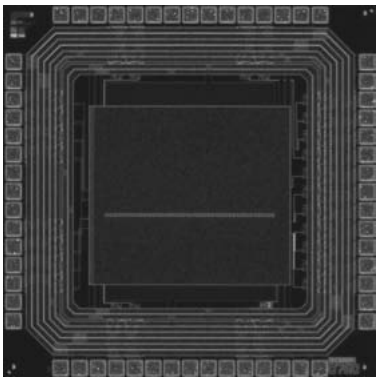


概要：SiPにおけるチップ間の電源伝送をワイヤレス化することにより，アセンブリーコストの削減，自由度の増加，パッケージ内のチップをユーザが組み替えるアプリケーションの可能性も期待される．これに向け，オンチップの平板メタル間容量結合を用いるタイプの回路の試作した．送信回路はリングオシレータ，ディファレンシャルバッファのみを用いた簡潔な構成とし，受電用整流ダイオードには3個のPMOSを組み合わせることにより基板電圧が変化してしきい値が変動することを防ぐ構成のMOSダイオードを用いた．700um角の送受信回路でmWオーダの伝送電力が見積もられた．また将来インダクタを作成・測定するため，プローブ校正用TEGを設計した．パッドサイズは100μm×100μm，パッド間ピッチは150μm．各パッドの開放，短絡の組み合わせを複数作成し，プローブ校正可能な構成とした．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：通信（RF回路，ATMなど）

広ダイナミックレンジシリコン網膜の試作

広島大学大学院先端物質科学研究科　　畑野 昌洋, 亀田 成司, 岩田 穆



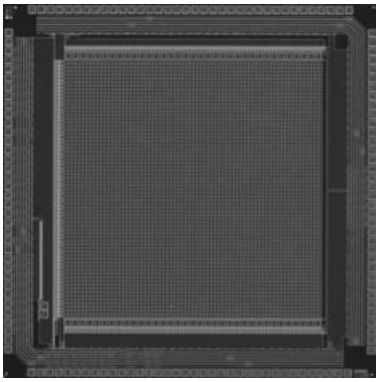
概要：物体認識のための前処理であるコントラスト強調が可能な広ダイナミックレンジシリコン網膜を設計した．画素回路は光センサ回路，抵抗回路網，デジタル制御回路で構成される．光センサにはＡＰＳを用い，出力された画像情報を抵抗回路網により平滑化する．デジタル制御回路で平滑化画像から輝度レベルマップを形成する．このマップを基に光センサの露光時間を画素毎に変更することで，各光センサの動作域を最適なレンジへ広範囲に調節できる．輝度レベルマップは平滑化画像を基にしているので，画素出力は空間的に輝度値の変化が緩やかな画像は抑制され，変化が大きな画像は強調される．すなわちコントラスト強調が実行される．シミュレーションにより，4桁の光強度への対応及びコントラスト強調処理が可能であることを確認した．本試作では，構成要素である画素毎露光時間調整可能な光センサ回路を1次元40画素で開発した．画素サイズ26.6um×599.85um，フォトダイオードサイズ16.3um×16.3umである．

参考文献：［1］S. Kameda and T. Yagi, ``An analog VLSI chip emulating sustained and transient response channels of the vertebrate retina'', IEEE trans. Neural Networks, vol.14, no.5, pp.1405-1412, 2003.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：1,000以上，10,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：イメージセンサ/スマートセンサ

近接物体画像センサ

金沢大学工学部　集積回路工学研究室　　馬村 哲郎, 中江 智, 秋田 純一, 北川 章夫

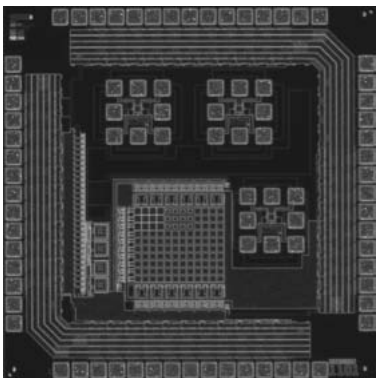


概要：顕微鏡の中で身近なものに光学顕微鏡が挙げられるが，装置が大掛かりであり，また精密光学系を必要とするためにシステムコストが問題となる場面が多い．また，光学系による画像取得では，近接にある物体画像を取得することには不向きである．本LSIは，物体との距離情報を反映する静電容量に基づく，光学系を必要としない，近接物体画像を取得することを目的としている．70×70の画素数を持っている．各画素には発振器を搭載し，発振器の周波数が，センサ電極と物体間の距離により変動することで，画像取得を可能としている．前回の試作で生じた問題点を解消し，確実に動作することを目指した．現在は測定途中の段階である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 4.9mm角　**チップ種別**：その他

近接物体画像センサ用 TEG

金沢大学工学部　集積回路工学研究室　　馬村 哲郎, 中江 智, 秋田 純一, 北川 章夫

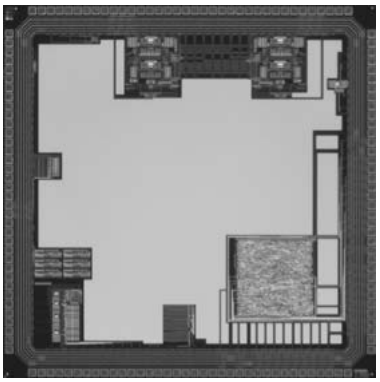


概要：顕微鏡の中で身近なものに光学顕微鏡が挙げられるが, 装置が大掛かりであり, また精密光学系を必要とするためにシステムコストが問題となる場面が多い. また, 光学系による画像取得では, 近接にある物体画像を取得することには不向きである. 本 LSI は, 物体との距離情報を反映する静電容量に基づく, 光学系を必要としない, 近接物体画像を取得することを目的としている. 70×70 の画素数を持っている. 各画素には発振器を搭載し, 発振器の周波数が, センサ電極と物体間の距離により変動することで, 画像取得を可能としている. 前回の試作で生じた問題点を解消し, 確実に動作することを目指した. 現在は測定途中の段階である.

設計期間：1 人月以上, 2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC　**トランジスタ数**：1, 000 以上, 10, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：TEG（特性評価回路など）

弱反転領域動作アナログの試作

長崎総合科学大学新技術創成研究所　　清山 浩司
長崎総合科学大学大学院工学研究科　　金 奉基
長崎総合科学大学工学部　　田中 義人

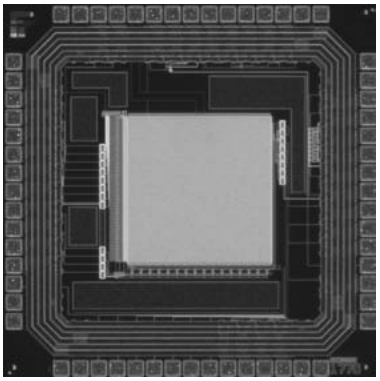


概要：CMOS プロセスの微細化が進む中, CMOS アナログ回路においては, 弱反転 MOS 回路を用いた低電圧・低消費電力化に関する研究・開発が行なわれている. ポータブル機器に使用される LSI は, 様々な使用環境が想定されるため, 広い温度範囲や電源電圧の変動のもとで, 安定に動作する電源回路が必要となる. 本試作では, 弱反転領域で動作する回路に対して電圧・電流を供給する基準電圧源回路の低電圧・低消費電力化を目標とした, 弱反転 MOS 回路で構成するバンドギャップリファレンス（BGR）, A/D 変換器と増幅器を試作した. BGR は, 温度補償素子に弱反転 MOS ダイオードを用いることにより, 最小動作電圧を 1V 低減できた. また, BGR を構成する全ての回路を弱反転 MOS 回路で構成することにより, 消費電力を 3μW まで低減出来た. 本研究で提案した BGR を用いることにより, 弱反転 MOS 回路で構成するアナログ回路に安定した電圧および電流の供給が可能となる.

設計期間：1 人月以上, 2 人月未満　**設計ツール**：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre　**トランジスタ数**：100 以上, 1, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 4. 9mm 角　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

CMOS デシメーションフィルタの試作

横浜国立大学工学部　　吉川 信行, 道江 寛之



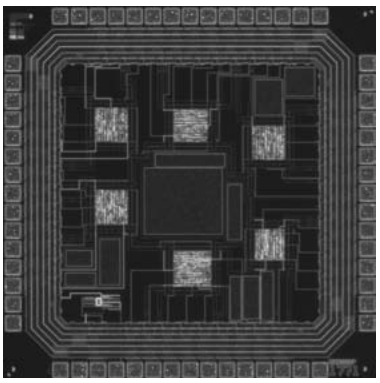
概要：SFQ/CMOS ハイブリッド ΣΔAD コンバータは, SFQΣΔ モジュレータの高速性, 高感度性のため, 高いオーバーサンプリング周波数が可能となり, 高速, 高分解能の AD コンバータを実現できる. 一方, SFQΣΔ モジュレータからの高速な信号をフィルタリングするためには高性能のデシメーションフィルタが必要となる. そのため, 本研究では SFQΣΔ モジュレータの後段に接続するための CMOS デシメーションフィルタの試作を行った. SFQΣΔ モジュレータからの 20GHz の信号は, まずデマルチプレクサにより低速のパラレル信号に変更され, CMOS 回路においてパラレルアルゴリズムによりフィルタリングが行われる. これにより, バンド幅 10MHzSNR14bit の AD コンバータが実現できる. 本チップではダウンサンプリング係数 1024 のデシメーションフィルタを試作した.

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5-9 September 2005, Noordwijkerhout, The Netherlands, P-B07.

設計期間：0. 5 人月以上, 1 人月未満　**設計ツール**：Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva　**トランジスタ数**：10, 000 以上, 100, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：メモリ

CMOSデシメーションフィルタの試作

横浜国立大学工学部好明　　吉川 信行
横浜国立大学工学部　　道江 寛之



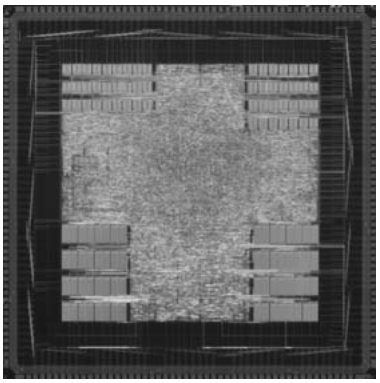
概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している［1］．本メモリシステムは4.2Kでの動作を仮定しており，メモリーセルには3トランジスタDRAMセルを採用している．そのため，不揮発，非破壊のメモリ動作が可能である．また，高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる．本チップでは，SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である，高速測定用ハイブリッドアンプの試作を行った．高速ハイブリッドアンプは，CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち，20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である．これをSFQ回路で構成された測定回路と組み合わせることでハイブリッドアンプの遅延時間が測定可能である．

参考文献：［1］ H. Michie, M. kidono, N. Yoshikawa, “Design of a CMOS Decimation Filter for Josephson/CMOS Hybrid AD Converters,” Extended Abstract of 10th International Superconductivity Conference, 5–9 September 2005, Noordwijkerhout, The Netherlands, P–B07.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog–XL，Synopsys社 Apollo，Cadence社 Virtuoso，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：10,000以上，100,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：演算回路（乗算器，除算器など）

動的再構成AES暗号処理ハードウェア

東北大学大学院工学研究科　　Warih Kurniawan
東北大学未来科学技術共同研究センター　　宮本 直人



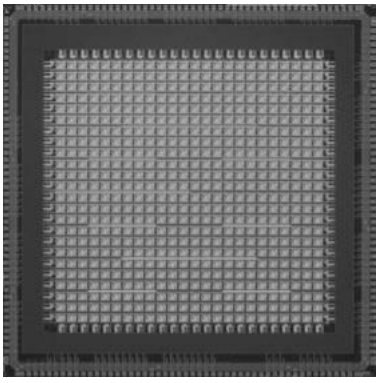
概要：本研究の主な結果を以下に示す　①ブロック暗号処理：Advanced Encryption Standard（AES）の最終選考に残った5つのアルゴリズムRijndael, Serpent, RC6, Twofish, MARSをリアルタイムに切り替え可能なブロック暗号処理に特化した動的再構成ハードウェアを開発した　②専用マルチグレイン・パイプライン・アーキテクチャ：ブロック暗号化をターゲットとした効率のよいマルチグレイン・パイプライン・アーキテクチャを開発した　③リアルタイム・ハードウェア再構成：従前のファイングレインFPGAに対して7桁以上高速にハードウェア再構成を可能とした　④性能：提案する動的再構成ハードウェアは，ソフトウェアに比べて圧倒的に高速であり，ファイングレインFPGAに対しても幾つかのケースで高速化した　⑤ハードウェア資源の効率的利用：提案する動的再構成ハードウェアは，時間共有技術とリソース共有技術により，ASICに比べて面積比1/10を実現した

参考文献：Advanced Encryption Standard. At http://www.nist.gov/aes

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Verilog–XL，Synopsys社 DesignCompiler，Synopsys社 Apollo，Cadence社 Virtuoso，Synopsys社 Star–HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

動的再構成FPGA（フレキシブルプロセッサ3）

東北大学大学院工学研究科　　KHAN ASHFAQUZZAMAN
東北大学未来科学技術共同研究センター　　宮本 直人



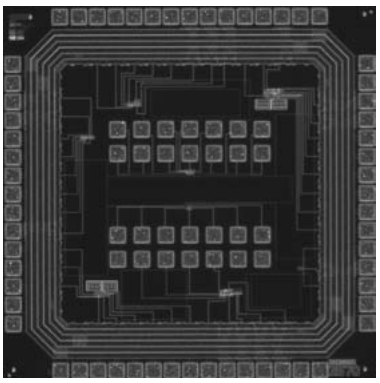
概要：フレキシブルプロセッサ3（FP3）は出力選択型のロジック・エレメントとプログラマブル配線アーキテクチャ（nearest neighbor型）によってできている動的リコンフィギャラブルLSIである．FP3は4つのコンフィギャレーション・メモリ・プレーン（コンテキスト）をもっており，各コンテキストで24x24のロジックエレメントと4x24のI/Oブロック（IOB）を利用できる．コンテクスト間の時間的な通信はシフトレジスタ型の配線アーキテクチャ（TCM:Temporal Communication Module）によって実現されている．シフトレジスタ型TCMを用いることにより，1クロック以内の高速なコンテクストスイッチングを可能にした．FP3はリコンフィギャラブルLSIにおける時分割の効果に関する研究に使う目的で作られた．

参考文献：Khan, Miyamoto, Ohkawa, Amir, Kita, Kotani, and Ohmi, "An Approach to Realize Time–Sharing of Flip–Flops in Time–Multiplexed FPGAs, " pp. 351–354, Field Programmable Technology （2004）.

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star–HSPICE，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100,000以上　**試作ラン**：ローム CMOS 0.35μm 9.8mm角　**チップ種別**：アナログ/デジタル信号処理プロセッサ

1次電流モード連続時間型 ΔΣ 変調器

上智大学理工学部　　宮本 尚幸，小林 章二，和保 孝夫



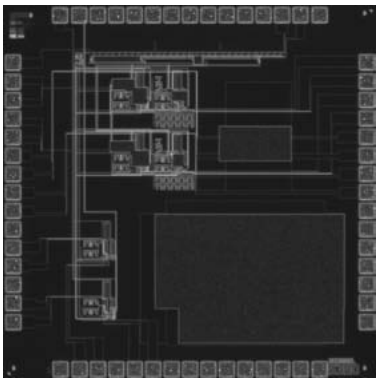
概要：高速化と高分解能化に有利な連続時間型ΔΣ変調器の検討が進んでいる．今回は一層の低電圧化および低消費電力化を目的として，電流モードの1次連続時間型ΔΣ変調器を設計した．電流モードのΔΣ変調器は以前に試作している［1］が，電圧モードに比べて良好な分解能が得られていなかった．今回は，回路構成の検討や素子値の最適化を図ることにより，電圧モードとほぼ同等の分解能が得られ，消費電力は2分の1程度に抑えることができる回路を設計した．シミュレーション結果では，入力帯域幅1MHz，サンプリング周波数400MHzのとき，SNRが63.5dB，消費電力が3.51 mWという性能が得られている．チップにはΔΣ変調器の構成要素として，電流モード積分器，電流モード比較器も個別に搭載した．

参考文献：［1］ 酒詰，池浦，和保，「2ビット電流モード連続時間型ΔΣ変調器」平成17年度

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula LVS，Cadence社 Dracula DRC，Cadence社 Diva　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

低電圧高精度アナログ信号処理ブロック

豊橋技術科学大学大学院工学研究科　　秋田 一平，八木 大介
豊橋技術科学大学工学部　　和田 和千

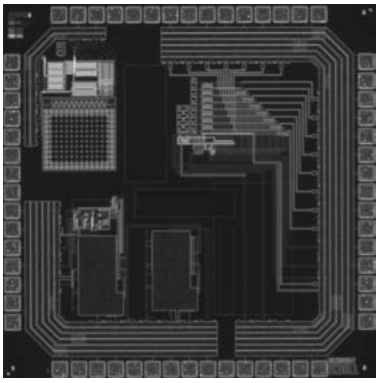


概要：低電源電圧で高精度アナログ信号処理を実現するために有用となる回路ブロックを二つ，実現している．（1）電源電圧0.8Vにおいて，約1uAから1mAの大きさの入力電流の包絡線を出力する回路を製作している．端子間のしきい電圧が0Vの等価ダイオード回路を用いることで低電圧下での動作を可能にしている．シラビックコンパンディングフィルタの構成で使用する予定であり，使用する前に回路ブロックとしての機能や特性など動作の確認をするために試作している．（2）利得が可変で適切に制御される積分器を利用したΔΣアナログ・ディジタル変換回路（ΔΣADC）の有効性を確認するための試作である．可変利得積分器によるΔΣADCと，利得を一定とした積分器で構成した従来のΔΣADCを集積化している．可変利得積分器では，積分器内の演算増幅回路の出力段のMOSFETが非線形領域で動作することがないように利得を適切に制御することにより，出力の歪を低減している．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：10以上，100未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

低電圧動作可能な平衡型スイッチトキャパシタ複素フィルタ

豊橋技術科学大学大学院工学研究科　　吉田 武史
豊橋技術科学大学工学部　　和田 和千



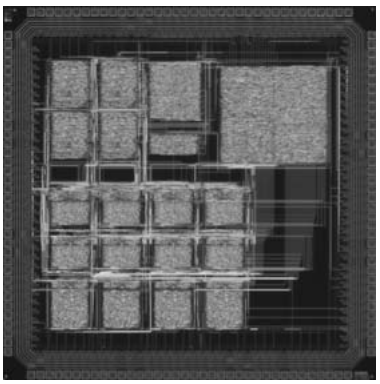
概要：電源電圧±0.75Vで動作可能な平衡型スイッチトキャパシタ双一次積分器を構成し，1次の複素フィルタを試作している．寄生素子に不感な既存の平衡型スイッチトキャパシタ双一次積分器を低電圧化するために，反転回路と電位設定回路を使用して，全てのスイッチの一方の端子が常に低電位に接続されるように改良した．スイッチトオペアンプ技術を使用する場合に比べ，歪や消費電力の増加を抑えられることが期待できる．今回の試作では動作の確認を目的とし，計算機シミュレーションではクロック周波数250kHz，電位設定のための参照電圧-0.7Vで動作することを確認している．この積分器を用いて今後，高精度複素フィルタを実現するために，設計で必要となる参考データを得る試作である．

参考文献：［1］ 吉田武史，和田和千，石川雅之，田所嘉昭，“平衡型低電圧スイッチトキャパシタ双一次積分回路の一構成“，電子回路研究会資料，ECT-06-41，2006年3月．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 Star-HSPICE，Cadence社 Dracula DRC，Mentor社 Calibre　**トランジスタ数**：100以上，1,000未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm角　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

粗粒度再構成可能ハードウェア

早稲田大学情報生産システム研究科　　木村 晋二，阿久津 日出美，土井 伸洋

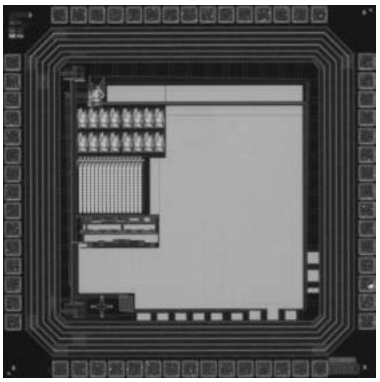


概要：近年，8bit や 16 bit のデータ演算を基本とする粗粒度再構成可能ハードウェアの研究開発が盛んに行われている．その理由は，粗粒度は FPGA のような細粒度に比べて構成に必要な情報量が少なく，構成時間を削減する可能性があると同時に，同じ機能を実現する時に遅延，面積，消費電力を削減できるためあるためである．これまで粗粒度再構成可能ハードウェアでは整数演算のみを考慮してきたが，連続した加減算を高速化できる加減算のチェイニングの考慮はなかった．また，ソフトウェアアルゴリズムのプロトタイピングにおける高速実行などの用途では浮動小数点演算も欠かせないが，その実現も考慮しなかった．そこで本試作では，これらの機能を導入した粗粒度の再構成可能ハードウェアアーキテクチャを設計し，実現性および性能評価を行った．本チップは 4 X 3 の 16 bit の演算器の二次元配列と，それらを制御するメモリおよびデータ用のメモリからなる．約 48000 ゲートで，最高で 100HM z で動作する．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 VCS，Synopsys 社 DesignCompiler，Synopsys 社 Astro，Cadence 社 Dracula LVS，Cadence 社 Dracula DRC　**トランジスタ数**：10, 000 以上，100, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 4. 9mm 角　**チップ種別**：演算回路（乗算器，除算器など）

TMR ロジック回路技術を用い構成した連想メモリと FPGA のベアチップ試作

東北大学電気通信研究所　　庄子 耕平，渡邊 康広，望月 明，羽生 貴弘

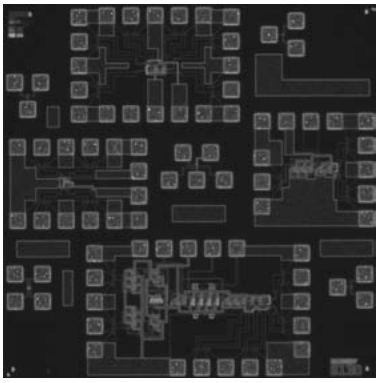


概要：集積回路の高性能化が進む一方，演算器－メモリ間のモジュール配線に起因するデータ転送ボトルネックが性能向上の大きな阻害要因となっている．この問題を解決する 1 つの手法として，演算器とメモリを一体化するロジックインメモリ技術がある．本研究グループでは強磁性体メモリ（MRAM）の記憶素子として用いられるトンネル磁気抵抗効果（TMR）素子を記憶素子として用い，ロジックインメモリ技術に基き不揮発性記憶機能と演算機能をコンパクトに一体化した TMR ロジックを提案してきた．今回の試作では TMR ロジックの応用例として連想メモリ（CAM）および FPGA を試作し，その動作確認を行うことが目的である．TMR ロジックの構造は，CMOS 回路網の上部に TMR 層，TMR の配線層を積み上げた構造であり，試作チップは TMR ロジックの CMOS 回路網部分（ベアチップ）のみである．今後，TMR 素子の研究グループにより TMR 層及び TMR の配線層を形成し，TMR ロジックの動作確認をする予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC　**トランジスタ数**：1, 000 以上，10, 000 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：ニューテクノロジ

周波数変調 ΔΣ 変調器の高速動作確認

名古屋大学工学研究科　　松原 渉，前澤 宏一，水谷 孝



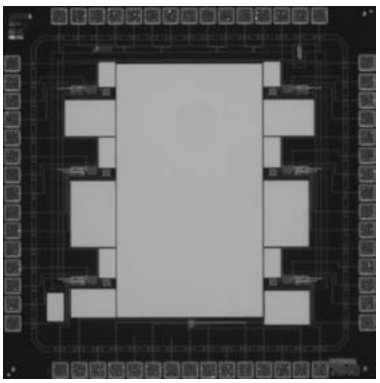
概要：アナログ-デジタル変換器（ADC） は実世界と進展著しい VLSI の世界を結ぶ重要なデバイスである．中でも，ΔΣ 方式は，高分解能の A/D 変換が可能なことから広く使われている．しかし，信号帯域に対して十分高い周波数で動作させる必要があるため，これまで，その応用は比較的低い周波数に限られていた．これに対して，我々は，高速性，高分解能性の点で大きなポテンシャルを持ちながら，未だその能力が生かされていない周波数変調方式 ΔΣADC に着目した．周波数変調方式の ΔΣADC はフィードバックループがないため，高速化に適している．しかし，これまで，高い線形性と広い変調幅を持つ電圧制御発振器（VCO）の実現が難しいという問題点があり，その特徴を生かすことができなかった．我々は，これらの問題に対し，ダウンコンバージョンによる FM 中間信号生成法を提案した．本試作では前回試作の結果を踏まえて，上記 VCO と高速の比較器により ΔΣ 変調器の GHz 領域での動作を目指したものである．

参考文献：W. Matsubara, M. Sakou, K. Maezawa, T. Mizutani

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0. 35μm 2. 4mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

低電圧レベルシフト型シリーズレギュレータの試作

早稲田大学大学院情報生産システム研究科　　吉原 務，木村 史法，岡村 怜王奈



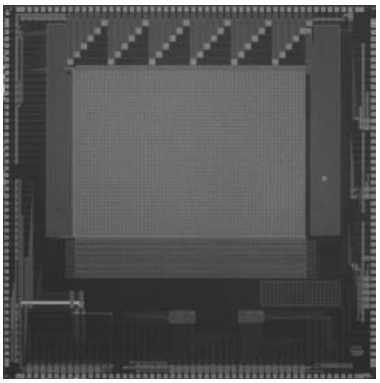
概要：LSI の微細化に伴う低電圧化の進行による電源電圧方向の動作マージンの減少により，わずかな電源電圧の変動でも機器や LSI の誤動作に直結する問題が顕在化してきており，LSI を安定的に動作させるための従来の方策である，デジタル回路と DC-DC コンバータを最短距離で結ぶ，コンデンサなどの対策部品をふんだんに搭載して問題を抑え込むといった対応策も限界に来ている．よって，さらなる微細化と高速化を両立させるのが難しくなってきており，この問題を解決するための有力な手法がオンチップ電源である．本研究の目的は，低電圧な外部電圧からでも高精度な電源電圧をチップ内に供給することにある．チップ外からチップ内に入るまでに起こる IR ドロップを回避するためにオンチップ電源を検討し，さらに回路面積，コスト面の優位性からスイッチングレギュレータではなくシリーズレギュレータに焦点を当てた．具体的には直接フィードバック型と Local Level Shift 型（電力効率 86%）の 2 タイプを作成し，外部電圧依存性を比較し後者の優位性を確認した．

参考文献：［1］ F. Morishita et al.，“A 312-MHz 16-Mb random-cycle embedded DRAM macro with a power-down data retention mode for mobile applications,” IEEE J. Solid-State Circuits, vol. 40, No. 1, pp. 204-212, Jan. 2005.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula LVS，Cadence 社 Dracula LPE，Cadence 社 Dracula DRC　**トランジスタ数**：10 以上，100 未満　**試作ラン**：ローム CMOS 0.35μm 2.4mm 角　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

イメージセンサ設計用 TEG

東北大学大学院工学研究科　　淨法寺 佑



概要：イメージセンサについて，各種性能を計測するための TEG を設計した．TEG の内容としては，CMOS イメージセンサとしてセンサアレイおよび単体フォトダイオードを複数種類配置し，基礎的な特性や駆動方法を学べるようにした．またフォトダイオードのサイズやレイアウト上の位置関係を変えて各々3〜10 種類程度配置した．加えて，アナログ回路の設計技術を学ぶためにチョッパ型のコンパレータや基礎的な増幅回路，スイッチトキャパシタ回路などを設計し，かつ様々な回路パラメータを複数設定して配置した．クロックフィードスルーや，配線（メタル）等のレイアウトがアナログ回路動作にどの程度影響を与えるかをシミュレーションしたうえで設計した．チップ到着後，実際に測定し満足する結果が得られた．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Star-HSPICE，Cadence 社 Dracula DRC，Cadence 社 Diva　**トランジスタ数**：10,000 以上，100,000 未満　**試作ラン**：ローム CMOS 0.35μm 9.8mm 角　**チップ種別**：TEG（特性評価回路など）

第３章　VDEC概要

3．1　組織概要

VDECは平成８年度に発足した．当時は専任教官５名と事務官１名という小さな組織であったが，平成９年度には専任教官２名と事務官１名が増員され，さらに，全国の大学と連携を密にする目的で各大学から２年を単位として２名の教官を派遣する「流動教官制度（平成16年度からは国立大学法人になったことに伴い客員研究員制度となる.）」がスタートした．また，産業界と協力を行うため，客員教授が１名おかれている．

VDECは現在，専任教員10名，客員教授１名，事務員２名の定員を有しているが，他にも多くの援助を受けながら運営されている．事務は工学系研究科事務部との合同化により直接の担当係を共同利用係とし，工学系研究科事務部全体の支援を受けている．教育・研究の分野では，学内の協力教員，学外の協力研究員，さらには全国の拠点大学の教職員と学生を含むCADボランティア等多くの協力者の手によって支えられている．

年　度	派　遣　大　学
平成９・10年度	東北大学，横浜国立大学
平成11・12年度	金沢大学，広島大学
平成13年度	千葉大学，東京工業大学
平成14年度	千葉大学，東京工業大学，京都大学
平成15年度	京都大学，九州大学
平成16年度	大阪大学，九州大学
平成17年度	名古屋大学，大阪大学

3．2　人事報告

VDEC人事

センター長・教授　浅田邦博
教授　藤田昌宏
客員教授　川手啓一
助教授　池田誠
助教授　高宮真
講師　高木一義
助手　鄭若彤
助手　小松聡
助手　佐々木昌浩
助手　畠中理英（平成18年３月まで）
助手　吉澤真吾（平成18年４月から）
主査　配島弘（平成17年９月まで）
専門職員　齊藤岳己（平成17年７月から）
共同利用係長　小貫浩
共同利用係主任　杉田佳代子

協力教員　柴田直
（東京大学新領域創成科学研究科教授）
高木信一
（東京大学新領域創成科学研究科教授）
藤島実
（東京大学新領域創成科学研究科助教授）
三田吉郎
（東京大学工学系研究科電気工学専攻助教授）

東京大学VDEC客員教授就任のご挨拶

東芝マイクロエレクトロニクス(株)常務取締役
兼務：東京大学VDEC客員教授
元(株)先端SoC基盤技術開発(ASPLA)代表取締役社長　兼CEO
川手　啓一

2005年4月に就任いたしました，宜しくお願いいたします．ご挨拶に代えてVDECへの期待を述べさせていただきます．まずは状況認識ですが，日本は今後少子高齢化が進み併せて若者の製造業離れが続き，労働注入量が減少します．これを克服してシステムLSI（SoC）産業の発展を継続するには，一人当たりの付加価値生成の増強，つまりイノベーションを創造する力と生み出された知的財産（IP）を再利用する仕組みを強化する必要があります．

現在の日本のSoC産業において産業に直接寄与する技術IPの所在を見ると，多くは大手IDM（垂直統合型デバイスメーカ）に偏在しますが，厳しいコスト競争の中で人員削減が余儀無くされ，技術維持の為のクリテカルマスを割り込み，陳腐化，枯渇化する懸念があります．次に技術開発コンソシアムが生み出す成果ですが，IDMが持ち帰り事業化する事を前提にしている為，コンソシアム自体が内容を更新し，サービスを持続する体制にはない．ベンチャー企業，アカデミアの生み出す新技術ですが，事業化の出口に問題があります．つまり既存のIDMがSoC事業をほぼ寡占し，おまけに技術プラットフォームがIDMの夫々に分散する為，初期市場の規模が小さく評価を受ける機会も少ない事です．上記の様に技術IPの創造と再利用において問題を抱えています．

一つの解は，国内IDMが技術開発，事業展開する為のプラットフォームを共有する事です．その上に1社だけで抱え込む必要の無い共通技術をカーブアウトさせ業界として育成活用し，同技術の枯渇を防止する．アカデミア，ベンチャー企業の提供する新技術は，評価を受ける機会が増え，大きな潜在市場を得て事業化を促進出来ます．結果として国内IDM各社の競争力強化，アカデミアの産業界への直接寄与，SoC業界の活性化につながると考えます．

（株）ASPLA（先端SoC基盤技術開発）は，大手IDM5社（ルネサステクノロジ，NECEL，松下電器，富士通，東芝）の参加を得て90n世代，300mm口径プロセスを共同開発し，（株）STARC（半導体理工学研究センター）と共同で同プロセス用の設計環境（STAR-CAD21）を開発し，シャトルサービスを加えて，SoC技術プラットフォーム（AS☆PLA）を構築しました．クライアント向けサービスは2003年10月より先行させ，ARM7，SH4，MePコアの一発完動と14便で120IP

以上のSi検証と言う成果をえました．2004年5月から一般向けサービスを開始し，Si検証されたIP，SoCは，ASPLAクライアントの4社4工場での量産が可能です．（勿論，引き受け各社のビジネス判断が入ります）

アカデミアの活力を産業界に結びつけるのがVDECの役割のひとつと思います．最先端プロセス，事業に直結できる場を得て，産業界の出口を意識した研究・開発の環境が揃いました．産学連携体制で先行する東アジアの国々を，VDECのリーダシップでキャッチアップしたく，宜しくご指導のほど，お願いいたします．

新任のご挨拶

高宮　　真

2005年6月1日付けでVDECの助教授として着任させていただきました．これまでは，大学院卒業後，5年間，NECのシステムデバイス研究所にて高速デジタルLSIの回路設計に従事しておりました．NECでは，単に新しい回路について研究成果を学会発表するだけでなく，それをスーパーコンピュータ向けのマイクロプロセッサに搭載し，製品出荷までこぎ着けることができたのが貴重な経験です．

着任後，分かったことは，10年前に比べ，VDEC設立により，LSI設計に関する研究環境が格段に良くなったということです．VDECから，充実した設計用ソフトウエア群と最先端のLSI試作サービスが全国の大学へ安価に提供されており，企業から来た私から見ても企業並みの充実した研究環境にあると言えます．まさに，「成果を出せない言い訳はできない」状態にあると感じています．

VDECでは，主にロームの0.35 μm CMOSのチップ試作のとりまとめを担当させていただいております．全国のVDEC利用者の皆様が快適に設計・試作できるよう，お手伝いさせていただきたいと考えております．どうぞよろしくお願い申し上げます．

高木　一義

2005年4月より2年間，名古屋大学大学院情報科学研究科から，客員研究員としてVDECの活動に参加させて頂いております，高木一義と申します．

論理設計とCAD，アルゴリズムに関する研究に携わってきており，ディジタルLSIの設計と試作に関してVDECにお世話になってきました．これまでは演算回路等の構成要素を研究対象としてきましたが，より大規模なシステムレベルの設計にも興味を持っております．

VDEC での業務としては，主に講習会開催等を担当させて頂きます．また，近年利用可能になってきた新しいプロセスやCADツールを用いた設計技術の開拓にも関わっていきたいと考えております．よろしくお願いいたします．

吉澤　真吾

2006年4月より，北海道大学大学院情報科学研究科から派遣教員として赴任いたしました吉澤です．同大学修士及び博士課程の頃から，STARC（半導体理工学研究センター）の共同研究を通じて，音声処理・音声認識用LSI，無線通信用LSIなど，ディジタル回路VLSIアーキテクチャの研究開発に従事し，VDECのチップ試作やCAD利用を通じて，LSI設計に携わって参りました．今後も，新規分野のシステムLSI研究開発に挑戦していきたいと思っております．VDECの一員として，研究・教育活動に貢献できるように努力していく所存ですのでよろしくお願い致します．

退任のご挨拶

畠中　理英

平成16年4月より2年間，主にCAD講習会の運営を中心にVDECの活動をお手伝いさせていただきました．様々な方にご支援いただき，また，ご迷惑をおかけしながらも，なんとか2年の任期を終えることが出来ました．これからは協力研究員という形でVDECの活動に協力させていただく所存でございますので，今後もよろしくお願いいたします．

平成17年度大規模集積システム設計教育研究センター運営委員会委員名簿

氏　名	所　属	メールアドレス
浅田邦博	大規模集積システム設計教育研究センター長	asada@silicon.u-tokyo.ac.jp
平尾公彦	工学系研究科長	dean@t.u-tokyo.ac.jp
柴田　直	大学院新領域創成科学研究科　教授	shibata@ee.t.u-tokyo.ac.jp
坂井修一	大学院情報理工学系研究科　教授	sakai@i.u-tokyo.ac.jp
岡部洋一	情報基盤センター長　教授	okabe@okabe.rcast.u-tokyo.ac.jp
荒川康彦	先端科学技術研究センター　教授	arakawa@iis.u-tokyo.ac.jp
高木信一	大学院新領域創成科学研究科　教授	takagi@ee.t.u-tokyo.ac.jp
藤島　実	大学院新領域創成科学研究科　助教授	fuji@k.u-tokyo.ac.jp
藤田昌宏	大規模集積システム設計教育研究センター　教授	fujita@ee.t.u-tokyo.ac.jp
池田　誠	大規模集積システム設計教育研究センター　助教授	ikeda@silicon.u-tokyo.ac.jp
高宮　真	大規模集積システム設計教育研究センター　助教授	mtaka@iis.u-tokyo.ac.jp

(オブザーバー)

纐纈一起	総長補佐　地震研究所　教授	koketsu@eri.u-tokyo.ac.jp

平成17年度大規模集積システム設計教育研究センター全国運営協議会委員

氏　名	所　属
浅田邦博	東京大学大規模集積システム設計教育研究センター　教授（センター長） TEL 03（5841）6671 FAX03（5841）8911　asada@silicon.u-tokyo.ac.jp
藤田昌宏	東京大学大規模集積システム設計教育研究センター　教授 TEL03（5841）6673 FAX03（5841）6724　fujita@ee.t.u-tokyo.ac.jp
南谷　崇	東京大学先端科学技術研究センター情報物理システム　教授 TEL03（5452）5160 FAX03（5452）5161　nanya@hal.rcast.u-tokyo.ac.jp
柴田　直	東京大学大学院新領域創成科学研究科基盤情報学専攻　教授 TEL04（7136）3851 FAX04（7136）3852　shibata@ee.t.u-tokyo.ac.jp
高木信一	東京大学大学院新領域創成科学研究科基盤情報学専攻　教授 TEL03（5841）7467　takagi@ee.t.u-tokyo.ac.jp
宮永喜一	北海道大学大学院情報科学研究科　教授 TEL011（706）6489 FAX011（706）7121　miya@ist.hokudai.ac.jp
大見忠弘	東北大学未来科学技術共同研究センター　客員教授 TEL022（795）3952 FAX022（795）3961　ohmi@fff.niche.tohoku.ac.jp
國枝博昭	東京工業大学大学院理工学研究科集積システム専攻　教授 TEL03（5734）2574　FAX03-5734-2574　kunieda@vlsi.ss.titech.ac.jp
柳澤政生	早稲田大学理工学術院　教授 TEL03（5286）3392 FAX03（3204）4875　yanagi@yanagi.comm.waseda.ac.jp
松田吉雄	金沢大学大学院自然科学研究科　教授 TEL076（234）4861 FAX076（234）4870　matsuda@t.kanazawa-u.ac.jp
高木直史	名古屋大学大学院情報科学研究科情報システム学専攻　教授 TEL052（789）3312 FAX052（789）3798　ntakagi@is.nagoya-u.ac.jp
小野寺秀俊	京都大学大学院情報学研究科通信情報システム専攻　教授 TEL075（753）5314 FAX075（753）5343　onodera@kuee.kyoto-u.ac.jp
谷口研二	大阪大学大学院工学研究科電気電子情報工学専攻　教授 TEL06（6879）7791 FAX06（6879）7792　taniguti@eie.eng.osaka-u.ac.jp
岩田　穆	広島大学大学院先端物質科学研究科半導体集積科学専攻　教授 TEL082（424）7856 FAX082（424）7856　iwa@dsl.hiroshima-u.ac.jp
安浦寛人	九州大学大学院システム情報科学研究院情報工学部門　教授 TEL092（583）7620 FAX092（583）1338　yasuura@c.csce.kyushu-u.ac.jp
山内寛紀	立命館大学理工学部電子情報デザイン科　教授 TEL077（561）2867 FAX077（561）2663　yamauchi@se.ritsumei.ac.jp
兵庫　明	東京理科大学理工学部電気電子情報工学科　教授 TEL04（7124）1501内3756 FAX04（7122）5171　a.hyogo@ieee.org
黒田忠広	慶応義塾大学理工学部電子工学科　教授 TEL045（566）1534 FAX045（566）1534　kuroda@elec.keio.ac.jp
吉本雅彦	神戸大学工学部情報知能工学科　教授 TEL078（803）6214 FAX078（803）6214　yosimoto@cs.kobe-u.ac.jp

（オブザーバー）

纐纈一起	東京大学総長補佐　地震研究所　教授 TEL03（5841）5782　koketsu@eri.u-tokyo.ac.jp

3．3　決算報告

1．運営費交付金

経　　費	金　　額
物　件　費	272,924,430
人　件　費	69,961,525

2．平成17年度科学研究費補助金

研究代表者	研　究　題　目	種　類	金　額（千円）
小　松　　聡	集積回路の大域配線上のデータ伝送に着目した効率的アーキテクチャとその設計支援技術	若手研究（B）	2,000
藤　田　昌　宏	VLSI搭載電子機器設計への形式的手法の適用による設計生産性並びに設計再利用性向上技術に関する研究	特別研究員奨励費	800
飯　塚　哲　也	半導体集積回路のトランジスタレベルの回路最適化技術に関する研究	特別研究員奨励費	900

3．平成17年度産学連携等経費

研究代表者	研　究　題　目	種　類	金　額（千円）
浅　田　邦　博	高機能化システムディスプレイの要素回路技術に関する研究	共同研究	3,150
浅　田　邦　博	スタンダードセルフローにおけるトランジスタレベル最適化	共同研究	1,000
藤　田　昌　宏	形式的検証ツールの評価方法の研究	共同研究	8,000
藤　田　昌　宏	システムレベル仕様・設計検証技術に関する研究	共同研究	7,800
浅　田　邦　博	SoC設計プラットホーム・マクロの研究	共同研究	16,150
浅　田　邦　博	SOIデバイスおよび回路に関する特性評価	共同研究	550
藤　田　昌　宏	リコンフィギュラブルコントローラ開発技術とその実装の産学協同による早期実現	共同研究	8,000
池　田　　誠	高信頼・高性能ディジタル集積回路実現に向けた基盤技術開発	受託研究	2,000
浅　田　邦　博	先端集積回路の評価・解析技術高度化の研究	受託研究	10,000
浅　田　邦　博	一過性的オンチップ雑音観測と回路動作モデリング	受託研究	800
高　宮　　真	超低消費電力の無線通信を実現するオールモスト・デジタル無線に関する研究	受託研究	24,440

4．平成17年度奨学寄附金

受入件数：8　件　　受入額　16,100,000円

以下の企業・個人から寄附を頂きました．

パシフィック・デザイン㈱，（財）電気･電子情報学術振興財団，丸文㈱，㈱東芝，日産自動車㈱，㈱富士通研究所，㈱半導体理工学研究センター

第4章　研究報告

4．1　研究室構成員（平成17年度）

浅田・池田研究室構成
浅　田　邦　博　教授
池　田　　誠　助教授
佐々木　昌　浩　助手
鄭　　若　彤　助手
鈴　木　真　一　技官
Mohamed Abbas ABDELRADY　博士3年
吉　田　浩　章　博士2年
飯　塚　哲　也　博士2年
Ulkuhan Ekinciel 博士2年（現在　休学中）
谷内出　悠　介　博士1年
三　瓶　真　弘　修士2年（現在　休学中）
新　宅　宏　彰　修士2年（現在　三菱電機）
田　島　貴　明　修士2年（現在　NTT東日本）
ディア キン フイ　修士2年（現在　NECエレクトロニクス）
村　田　泰　亮　修士2年（現在　三菱電機）
山　内　裕　史　修士2年（現在　農林中金）
山　本　一　統　修士2年（現在　ソニー）
金　　允　璟　修士2年
石　井　　健　修士1年
風　間　大　輔　修士1年
曺　　溶　成　修士1年
橋　本　紘　和　修士1年
門　馬　太　平　修士1年
梁　　志　成　修士1年
Lino Superficial　研究生（帰国）
Caner BASCI　研究生（現在　浅田研究室　修士課程）
井　上　拓　郎　学部4年
栗　原　健一郎　学部4年（現在　浅田研究室　修士課程）
曽我部　　拓　学部4年（現在　浅田研究室　修士課程）
金　　雄　鉉　学部4年（現在　浅田研究室　修士課程）

藤田研究室
藤　田　昌　宏　教授
小　松　　聡　助手
瀬　戸　謙　修　産学官連携研究員
Thanyapat Sakunkonchak　日本学術振興会　外国人特別研究員
Subash Shankar　日本学術振興会　外国人招へい研究員（長期）（2005年8月～2006年2月）
Ratna Krishnamoorthy　教務補佐員
劉　　宇　博士2年
小　島　慶　久　博士2年（休学中）
高　　尚　華　博士2年
松　本　剛　史　博士1年
佐々木　俊　介　修士2年（現在　東芝）
松　井　　健　修士2年（現在　キャノン）
西　原　　佑　修士1年
渡　邊　翔　太　修士1年
安　藤　大　介　学部4年（現在　藤田研　修士1年）
石　川　悠　司　学部4年（現在　藤田研　修士1年）
高　　飛　学部4年
後　藤　真　毅　学部4年（現在　近山研　修士1年）

高宮研究室
高　宮　　真　助教授

柴田・三田研究室構成員
柴　田　　直　教授
三　田　吉　郎　助教授
村　井　　徹　助手
李　　伯　全　中国政府派遣留学生（江蘇大学教授）
ベンジャミン・カイヤー　日本学術振興会博士研究員（生産技術研究所LIMMS藤田博之研究室）
伊　藤　潔　人　博士2年
鈴　木　康　文　博士2年
山　崎　英　男　博士2年
早　川　　仁　博士1年
トゥロン トゥウ ブゥイ　博士1年
亀　谷　　暁　修士2年（現在　ソニー）
川　原　邦　男　修士2年（現在　NTTデータ）
久保田　雅　則　修士2年（現在　柴田・三田研　博士1年）
高　田　　謙　修士2年（現在　ルネサス テクノロジ）
高　山　伸　一　修士2年
トンプラシット ベンジャマース　修士2年（現在　ソフトバンク）
ハ オ　ジ ア　修士2年（現在　柴田・三田研　博士1年）
オゥグ オストルク　修士2年（10月入学）
シーサムラーヌ サックダー　修士1年
鹿　野　博　嗣　修士1年
高　橋　徳　浩　修士1年

布　洋平　修士1年
黄　世燕　修士1年
松山知弘　修士1年
森川重毅　修士1年
森屋大輔　修士1年
トラム ステファン チョンロン　研究生
金森毅　学部4年（現在　柴田・三田研　修士1年）
グエン タン リム　学部4年（現在　柴田・三田研　修士1年）
仁木祐介　学部4年（現在　柴田・三田研　修士1年）
原田智之　学部4年（現在　田中研　修士1年）
廣瀬健一郎　学部4年（現在　坂井・五島研　修士1年）
藤田和英　学部4年（現在　柴田・三田研　修士1年）
福田智洋　学部4年
馬文静　学部4年（現在　柴田・三田研　修士1年）
アントン バーケル　学部研究生

高木研究室構成
高木信一　教授
菅原聡　助手
西川昌志　修士2年（工学系）
熊谷寛　修士1年（新領域）
七条真人　修士1年（新領域）
上原貴志　修士1年（新領域）
Sanjeewa Dissanayake　修士1年（工学系）
星井拓也　学部4年（現在高木研修士課程）
松原寛　学部4年（現在高木研修士課程）
石川寛人　学部4年（現在佐藤（文）研（基盤情報専攻）修士課程）

藤島研究室
藤島実　助教授
北澤清子　助手
山本憲　博士3年（現在　ソニー㈱）
ライ・チー・ホン　博士2年
アーメット・オンチュ 博士1年
谷本英之　修士2年（現在　日本技術貿易㈱）
金子暁彦　修士2年（現在　㈱東芝）
渡辺宏樹　修士2年（現在　㈱東芝）
王寧一　修士2年（現在　日本電気㈱）
本良瑞樹　修士1年
小林直樹　修士1年
石橋浩二　修士1年
ワサンタマーラー・バダラワ　修士1年
オウ・トウ　学部4年（現在　大学院藤島研究室）
後藤陽介　学部4年（現在　大学院藤島研究室）
新山太郎　学部4年（現在　大学院高宮研究室）

4．2　研究概要

浅田・池田研究室

Asada and Ikeda Laboratory

(http://www.mos.t.u-tokyo.ac.jp)

スマートイメージセンサの研究

浅田邦博，池田　誠，谷内出悠介，金　允璟，
橋本紘和

スリットによる回折量の波長依存性を利用して波長を同定するセンサをCMOSプロセスにて試作した．微細化されたメタル層を利用しLSI上のメタル層にシングルスリットを形成，その回折量を取得することによって回折の波長依存性の確認し，10%以内の精度での波長同定の可能性を示した．また，イメージセンサの感度特性が微細化により受ける影響のモデル化のため，汎用のCMOSプロセスで試作したイメージセンサの感度特性の測定を行った．さらに，受光部上で磁界により光電流を効率的に検波するためのMAGFETをさまざまなサイズにて試作し，磁界による変化の測定を行った．高速検波によって光伝搬法における高精度距離計測を実現できると期待される．

Smart Image Sensors

K. Asada, M. Ikeda, Y. Yachide, YK. Kim, H. Hashimoto

We have developed a wavelength identification sensor with metal slit without post-process. The metal slit is informed by metal layer in a LSI. The diffraction quantum is measured, which conforms the wavelength relativity by diffraction. We achieve to identify the optical wavelength in 10% error. And also we have measured the sensitivity characteristics of image sensor fabricated by standard CMOS process technology for the purpose of the modeling the sensitivity characteristics of image sensor with improved process. Furthermore we have fabricated the MAGFET of the various sizes in order to detect a photo-current effectively. A photo current is directly correlated by a magnetic field on the photo receiver. It will realize to acquire the range data high-accuracy based on time-of-flight.

高性能3次元計測システム

浅田邦博，池田　誠，谷内出悠介，新宅宏彰，
山本一統，門馬太平

高速に三次元計測を行うため三次元計測システムを構築した．高速に輝度を検出可能なスマートイメージを使用することで，センサレベルでの高速な三次元情報の取得を実現し，高解像度化に伴い増加するデータ処理や複数視点三次元情報取得システムための並列的制御などの観点からシステムレベルでの実現をめざしている．ここでは，センサの一連の制御や取得したデータの転送，三次元演算，三次元描画を兼ね備えた三次元エンジンの実現を行った．三次元演算をハードウェアにより実装，描画のためのグラフィックエンジンを作成することによって，三次元情報の取得，演算，描画をビデオレートにて実現した．一方で，ランダムパターン投射光を用いた新しい3次元計測手法を提案した．性能に関わるパターンウインドウサイズを周波数解析により決定し，高精度な距離情報取得に成功した．

High-Performance 3-D Range Finding System

K. Asada, M. Ikeda, Y. Yachide, H. Shintaku
K. Yamamoto, T. Monma

We have been developing 3-D measurement system for high-speed acquisition of 3-D data. We have already achieved high-speed 3-D data acquisition using smart image sensors. It is, however, difficult for general PC to obtain 3-D data in terms of the realization of the high-resolution sensor and parallel control of multiple-viewpoint 3-D measurement system. We have developed the 3-D engine that has the function of data transfer, 3-D calculation and 3-D rendering in system level. The 3-D calculation is complicated in general, the engine realizes to acquire 3-D data in video rate by the implementation for the hardware. We have also proposed a new 3-D measurement method using a random patterned light projection. The pattern window size is determined by the frequency analysis for a high-accuracy 3-D measurement.

構造的アプローチに基づく最小トランジスタ回路合成手法

浅田邦博，吉田浩章，金　雄鉉

トランジスタレベル最適化は特にタイミングや消費電力の最適化に応用される場合が多いが，面積の削減に対しても大きな可能性を持つことが知られている．面積最小化は論理合成における最も古典的な問題の一つであり，初期の研究においては厳密論理合成アルゴリズムが提案されている．しかしこの手法は単段単出力回路のみを対象としており，また非常に効率が悪い．本研究では，回路構造の探索を構造的変形に限定することによって，多段多出力最小スタティックCMOS回路を現実的な時間内で求める手法を提案した．スタンダードセルによる実現を想定した例題回路に対する計算機実験では，実用的な時間で最小回路を生成できることを示した．また，統計的タイミング解析において最終的な精度を決定する要素の一つである二分布間演算に関して，高次モーメントが精度に与える影響の考察を行った．

A Structural Approach for Transistor Circuit Synthesis

K. Asada, H. Yoshida, UG. Kim

Transistor-level optimization is known as a powerful technique to improve the circuit area as well as the performance beyond gate-level optimization. An early work provided an exact multi-level logic minimization algorithm, however, the algorithm is inefficient and applies only to a single-output single-stage static CMOS circuit. We proposed an algorithm which synthesizes an arbitrary static CMOS circuits targeting the reduction of transistor counts. To make the problem tractable, the solution space is restricted to the circuits which can be obtained by structural transformations. Experimental results on a benchmark suite targeting standard cell implementations demonstrated the feasibility and effectiveness of the proposed approach. In statistical timing analysis, operations on two distributions are one of the key factors. We studied the impact of higher-order moments of distributions on the accuracy of the operations.

セルレイアウトの歩留まり最適化のためのタイミング制約下におけるデコンパクション手法

浅田邦博，池田　誠，飯塚哲也

歩留まり最適化のためのセルレイアウトのデコンパクション手法を提案した．歩留まりを考慮した論理合成やフィジカル合成などにおいては歩留まりを最適化したセルライブラリが必要不可欠であり，提案手法では元々のセルレイアウトをデコンパクションすることでレイアウトの歩留まりを自動的に最適化する．本手法では，与えられたタイミング制約の下でセルレイアウトのデコンパクションを行う．タイミング制約の記述には，与えられる元々のレイアウトの遅延時間からの，デコンパクションによる遅延の増分を近似計算するモデルを提案し，それを用いる．実験結果から遅延時間の近似が十分な精度を実現していることが示され，またセルの性能と歩留まりのトレードオフカーブが得られることが示された．このようなトレードオフカーブから必要な性能のレイアウトを選び出し，歩留まりを最適化したライブラリとして追加しておくことで，歩留まりを考慮した最適化手法に必要不可欠なライブラリの構築を行うことができる．

セルレイアウトの歩留まり最適化のためのタイミング制約下におけるデコンパクション手法

K. Asada, M. Ikeda, T. Iizuka

We proposed a yield optimization method for standard-cells under timing constraints. Yield-aware logic synthesis and physical optimization require yield-enhanced standard cells and the proposed method automatically creates yield-enhanced cell layouts by de-compacting the original cell layout. We developed a new accurate linear delay model which approximates the difference from the original delay and used this model to formulate the timing constraints in the Linear Programming. Experimental results showed that the proposed method can pick up the yield variants of a cell layout from the trade off curve of cell delay versus critical area and is used to create the yield-enhanced cell library which is essential to realize yield-aware VLSI design flows.

光強度分布逆変換による光学近接効果補正

浅田邦博，池田　誠，飯塚哲也，栗原健一郎

LSIの微細化に伴い光学近接効果が顕著に現れるようになり，目的の形状をウェハ上により忠実に再現するために光学近接効果補正が行われている．さらに近年では設計段階から光学近接効果補正を考慮しておくことが必要となってきている．本研究では当研究室で提案された網羅的セルレイアウト生成手法に適用する指標としての光学近接効果補正の構成を目標に，マスクを通して得られるウェハ上での光学近接効果を考慮した光強度分布を得る光学シミュレーションを構成し，さらに逆の過程を行うことで目標とするウェハ上での光強度分布からマスクの形状を得ることで光学近接効果補正を構成した．提案手法を用いてインコヒーレントな光源という条件下で実験を行った結果，ウェハ上で得られる光学近接効果を考慮した光強度分布が目的の形状に近づくことを確認した．

Optical Proximity Correction by Inverse Conversion of Light Intensity Profile

K. Asada, M. Ikeda, T. Iizuka, K. Kurihara

Optical Proximity Effect (OPE) is significantly important in the VLSI lithography systems and the designed patterns can not be drawn as they are without Optical Proximity Correction (OPC). Moreover, due to the recent nano-scale technology, these OPE have to be considered not only during mask preparation, but also during circuit layout. We proposed an OPC system using inverse conversion of the light intensity profile in the lithography system. Experimental results showed that the proposed method can correct the original patterns considering the OPE.

基板ノイズ低減手法

浅田邦博，池田　誠，モハメドアバス，風間大輔

ここではLSIの電源線に流れる電流変化によって生じる磁界からdi/dtに比例した信号を検出し，その逆相の信号を基板に注入することで帰還制御の無い基板ノイズ低減回路を提案し，ノイズ削減効果向上のための最適化を行っている．非周期性の波形観測用オンチップセンサーの提案も行った．このセンサーは再構成可能な分圧回路を用いることで，電源電圧の2倍以上のピーク波形の検出が可能であると同時に，測定時間範囲，電圧範囲を設計段階で合成することが可能で，幅広い用途に適用可能である．

Substrate Noise Reduction using di/dt Detector

K. Asada, M. Ikeda, A. Mohamed, D. Kazama

We proposed a feed-forward active substrate noise canceling technique using a power supply di/dt detector. We pursue the optimization of the noise canceller. We have also developed an on-chip noise sensing circuit, which detects single non-periodic signal within a time window, using detector array. The sensing circuit employs a programmable voltage divider to detect peak signal more than 2VDD. The detector is synthesizable so that designers can adjust the measurement timing window and voltage dynamic range.

EMIノイズ解析および低減

浅田邦博，池田　誠，佐々木昌浩，山内裕史，
曺　溶成，梁　志成

プロセス技術の微細化に伴い，以前には無視することができたインダクタンス効果により発生する電磁場が，信号の遅延，信号の信頼性に悪影響を及ぼし，VLSI性能を左右する重大な問題となった．また，以前には相対的に小さかった配線遅延もVLSIの性能に大きく影響するようになり，近年のプロセス技術では同じクロック信号源を用いてグローバル同期信号を高速伝送することは難しくなってきている．それで，同

EMI noise analysis and EMI noise reduction

K. Asada, M. Ikeda, M. Sasaki, H. Yamauchi, YS. Cho,
Z. Liang

Because of the minimization of process technology, the electoromagetic interference which is occurred between transmission line in VLIS become prevailing problem, so it gives a bad impact to the signal delay and reliance. In these days process, it is difficult to drive the VLSI circuits by the same clock generator. So I devise a 3phase-transmission-protocol interface circuits which is generous to EMI and can be adaptive to GALS

期信号を含んだデータ符号化を行うことでGALSシステムにも適合し，低EMIが期待される3相式伝送方式のインターフェイスを構成し，その配線間EMI測定のための準備を行った．また，電磁放出を利用した暗号解読性に関しての検討を行い，幾つかのデータ伝送方式の破りやすさに関する検討を行った．

system　by encoding the signal and clock together. We also have studied a tamper resistivity analysis, and compared several bus architectures.

高精度・低電圧動作温度センサの研究

浅田邦博，池田　誠，佐々木昌浩，井上拓郎

本研究では，高精度・多点観測を目的として，低電圧動作可能な温度センサを開発した．ONSemi. 1.2um及びHitachi 0.18umを用いた高い線形性を示す温度センサを，3-トランジスタ方式温度センサ，エラーアンプ及びPMOSアクティブ負荷を用いて実現し，また，従来方式では実現が困難であった低電圧動作可能なセンサを4-トランジスタ型温度センサを提案することにより，ASPLA 90nmプロセス，電源電圧1V以下において，高精度（予測エラー：-1.0～0.8℃），小面積，低消費電力（25uW）である回路を実現した．本温度センサは，曲線キャリブレーションやダイナミックオフセットキャンセル手法を用いずに，単純な2点間キャリブレーションにより極めて線形な特性を実現している．

Accurate Temperature Sensors for Low Supply Voltage

K. Asada, M. Ikeda, M. Sasaki, T. Inoue

We have developed accurate temperature sensors for multi-point measurements. Highly linear temperature sensors, which consist of 3-transistor temperature sensor, error amplifier, and PMOS active loads, have been designed using ONSemi. 1.2um and Hitachi 0.18um process. Next, we have proposed a quite accurate 4-transistor temperature sensor, which enables low supply voltage operation. The sensor is featured with highly linear （predicted temperature error: -1.0 ～ 0.8℃）, small area, and low power consumption （25uW）, using ASPLA 90nm process under 1V power supply voltage, and tested successfully. Two-point calibration scheme is utilized instead of curvature correction or dynamic offset cancellation.

DCVSL回路を用いた非パイプライン型低雑音CPUの設計

浅田邦博，池田　誠，鄭　若彤，鈴木真一，三瓶真弘，ディア キン フィ，石井　健，曽我部拓

本研究では,非パイプライン型低雑音マイクロプロセッサを自己同期のDCVSL回路で設計した．従来のDCVSL回路の速度を向上するため,プリチャージ信号の負荷を減らす手法（footless DCVSL）を考案した．CMOS SOIプロセスでの試作結果,従来のDCVSL回路より1.12倍の速度改善がわかった．さらに,マイクロプロセッサの動作信頼性を改善するため,クロックドライバを提案した．それにより終了信号を検出してメモリへの書き込み,次のクロックの作成ができるようになった．さらにエラーが起きたときには再度計算させることもできる．回路のプリチャージ時間,電源電圧,閾値電圧などのパラメータの変化に対応して誤動作状態から回復するため,高信頼性を実現できることが期待される．

Low noise non-pipeline microprocessor design using DCVSL Cell Library

K.Asada, M.Ikeda, R.Zheng, S. Suzuki, M. Sambe, K.H.Dia, K. Ishii, T. Sogabe

An non-pipeline microprocessor was designed with self-timed DCVSL（Differential Cascoded Voltage Switch Logic） circuits. To enhance the speed performance and to reduce the load capacitance of the precharge signals for the DCVSL circuits, footless DCVSL with self-timed precharge scheme is proposed. The proposed footless DCVSL achieves 1.12 times speed improvement over the conventional DCVSL circuit if implemented in CMOS SOI technology. We also proposed a “Clock Driver” for the non-pipeline microprocessor to enhance the reliability of the processor. After detecting completion signal, clock driver generates the memory write enable signals and then the next clock. Furthermore, even if an error occurs, the circuit will recalculate and it also improves the reliabili-

ty. The "Clock Driver" adopts operation according to the variations such like precharge time, supply voltage, and threshold voltage, and controls self-recovery from fault status.

ガラス基板上のシステム構築

浅田邦博，池田　誠，田島貴明

ガラス基板上のTFT製造技術の向上に伴い，液晶パネル上へのシステムの搭載に向けた研究が進行している．ここではガラス基板の電子ペーパ等としての利用を念頭において，容量性結合・誘導性結合によるガラス基板への非接触データ伝送について検討を行い，受信側の素子の大きさ，伝送距離，最適データレートの見積もりを行った．さらに，その見積もりに基づいてプリント基板上に作成したコイルを用いたデータ伝送を行い，伝送速度に関して実測結果を用いてモデルの補正を行った．この結果を基にした，伝送距離，伝送システムの面積と伝送・データ圧縮方式に関しての最適化の検討を行った．

System on Glass Panels

K.Asada, M.Ikeda, T.Tajima

We have been studying embedded systems onto LCD panels. We studied systems on LCD glass panels for such applications like electrical papers. We studied capacitive coupling and inductive coupling for contactless communication systems between terminals and LCD panels. We estimated the optimized data transmission rate against the transmission distance, and element size assuming TFT circuit. We have measured data transmission rate with 2 coils using PCBs and corrected the models. We have optimized the systems according to the data transmission distance, areas required for the data transmission, and data compression rate.

SoCのテスト手法

浅田邦博，鄭　若彤，池田　誠，村田泰亮

SoCテスト性の向上を図るためのプラットフォーム構築の研究を行った．SoC内にCPU，簡単なインタープリタ型プログラム環境，シリアル通信インターフェース，バウンダリスキャン用デコーダ回路をまとめたチップを90nmプロセスで設計・試作し，LSIロジックテスタと検証ボード両方で測定し，正常動作を確認した．検証ボードでの測定はPC上ターミナルを開き，RS232Cポート経由してチップと通信し，TinyBASICのプログラムをCPUに実行させ，DUTを測定することはできた．今後は，更なるCPU構造改良と仕様拡張を行い，より柔軟なオンチップ測定環境に対応していきたい予定である．

A Testing method For SoC

K. Asada, M. Ikeda, R.Zheng, T. Murata

We carried out a research on a SoC platform for built-in on-chip test environment. We have designed a test chip with a CPU, a program environment based on TinyBASIC, a serial interface using 90nm process. We have verified the operation using LSI tester and PCB board. Further developments of CPU and iPAD structure will be performed to provide a more flexible measurement environment to designers.

藤田研究室

Fujita Laboratory

(http://www.cad.t.u-tokyo.ac.jp/)

設計の形式的検証に関する研究

藤田昌宏，Subash Shankar，
Thanyapat Sakunkonchak，松本剛史，西原　佑

VLSI設計の大規模化に伴い，設計の検証に要する時間は長期化しており，現在では全設計期間の大半を占めるまでになっている．さらに，従来のシミュレーションによる検証では，テストパターンの急激な増加が問題になっている．このため，テストパターンを必要とせず，数学的な手法によって正しさを証明する形式的検証の重要性が高まっている．本研究では，実設計に適用可能な十分に効率的な形式的手法の開発を目的としている．はじめに，システムレベル設計における同期検証と等価性検証を紹介する．同期検証では，同期に関するステートメントのみを残す抽象化を行うことによって，デッドロックの有無などを高速に検証する手法を提案した．等価性検証では，記述間の差異とその周辺のみを検証範囲とするような効率的な検証を提案した．また，あらかじめ定義された規則に基づいて，既に証明された等価性から新たな等価性を導き，ボトムアップに全体の等価性を証明する手法についても研究を行った．RTL設計に対するプロパティ検証についても研究を行った．ここでは，現在の技術では検証が困難である，長い反例のみによって設計誤りの存在が確認できるようなプロパティの検証を可能にする手法を提案した．提案手法では，プロパティ分割を導入することにより，検証を効率化している．なお，ここで述べた提案手法のそれぞれについて，計算機実験を通してその有用性が示すことができた．

1. Formal verification of designs

Masahiro FUJITA, Subash SHANKAR,
Thanyapat SAKUNKONCHAK, Takeshi MATSUMOTO, Tasuku NISHIHARA

As VLSI designs are becoming larger, verification of designs takes more time and it dominates the whole design period. In order to verify the correctness of the designs, a large number of simulation patterns is necessary, which becomes a serious problem in verification based on simulation. Therefore, formal verification is required to be applied since it can prove the correctness of designs mathematically without test patterns. In this research, our goal is developing formal verification methods that are efficient enough to apply practical designs. First, synchronization verification and equivalence checking for system-level designs are introduced. In the synchronization verification method, the abstraction that avoids irrelevant statements to synchronization is performed to improve the efficiency, and solve the synchronization problems such that deadlocks are solved as integer linear programming. In the equivalence checking method, we proposed the efficient verification method utilizing textual differences between the given descriptions, where only differences and the related portions are formally checked. Also, we studied on equivalence checking in a buttom-up way. Here, a set of equivalent statements, functions, or behaviors are detected for the defined rules with the equivalences already proved. Also, we studied on property checking for RTL designs. We proposed the method that can verify the properties observable only by long counter-examples that cannot be found by existing techniques. In the method, a property decomposition method is introduced, which enables to reduce the total verification time. All verification methods described above have been evaluated by experiments, and we have obtained the results what we expected. The results show the improvement in efficiency and scalability compared to the related previous works.

ソフトウェア・ハードウェア協調システム設計技術に関する研究

藤田昌宏，小松　聡，瀬戸謙修，小島慶久，
高　尚華，渡邊翔太，石川悠司

Computer Aided Design for Software / Hardware Combined Systems

Masahiro FUJITA, Satoshi KOMATSU, Kenshu SETO,
Yoshihisa KOJIMA, Shanghua GAO,
Shota WATANABE, Yuji ISHIKAWA

1チップ上に製造可能なトランジスタ数の増大に伴い，短期間に高品質・高機能なシステムLSIを設計するための設計支援技術が求められている．この目的を実現するため，本研究室では以下で説明する研究を行っている．大規模なシステムLSIの設計期間を短縮するには，C言語などの動作記述から，ハードウェアを自動合成する手法（高位合成）が有効である．特に性能的ボトルネックとなりやすいループ処理からパイプラインを自動合成することで大幅な性能向上が可能である．しかしながら現状の高位合成ツールでは，配線遅延を考慮してパイプライン化していないため，レイアウト後の性能が悪くなる可能性がある．そこで配列状に演算器が並べられたアーキテクチャを想定し，パイプラインスケジューリングと配置を同時に行うことで，レイアウト後の性能を向上させる技術を開発し，実験により有効性を確認した．システムLSIの設計では，設計期間の短期化の為に既存設計（IP）を再利用することが求められている．しかし，既存設計のインターフェイスが，用いようとしている設計のインターフェイスに適合しない場合，その二者間に変換回路を挿入しなければならない．この変換回路を設計する事が手間となり，本来の設計期間の短期化を妨げている．そこで我々の研究室では，この変換回路を自動合成する手法を研究している．プロトコルのモデル化を工夫することにより，従来手法では扱えなかった複雑なプロトコルも扱う事ができた．また，自動合成の為にはインターフェイスの仕様をコンピュータが理解できる形（形式的表現）で書き表さなくてはならないが，通常，仕様は自然言語で書かれているため，形式的表現に変換する作業にも手間がかかる．この作業を省力化する為に，インターフェイスの仕様の表現に特化した表現手法も提案した．短期間に柔軟で高性能なシステムLSIを設計するには，マルチプロセッサの使用が効果的であると期待されている．本研究室ではSFC（Sequential Function Chart）と呼ばれる言語で記述されたアプリケーションプログラムをマルチプロセッサへ分割し，性能向上を図る手法を考案し，実機による評価によって効果を確認した．

Since the number of transistors that can be manufactured on a single chip is increasing, the techniques that can facilitate high-quality and advanced system LSIs in short time are needed. For this objective, we are carrying out the following researches. To reduce the design time of large scale system LSIs, high-level synthesis techniques that automatically generate hardware from behavioral descriptions such as C are effective. In particular, it is possible to gain considerable speedups by synthesizing pipelines from loops which are typically performance bottleneck. Existing high-level synthesis tools, however, do not take interconnection delays into consideration, so it is likely that the performance of pipelines after layout is not satisfactory. To address this problem, we proposed a technique that aims at improving the performance after layout by performing pipeline scheduling and placement at the same time and assuming an architecture in which functional units are placed in two dimensional arrays, and confirmed the effectiveness of the approach. For the efficient design of system LSIs, the reuse of existing hardware designs (IPs) is needed. When the interfaces of existing designs do not conform to the interfaces of new design, however, it is necessary to insert transducers between them. Since the design of the transducers is time-consuming, the reduction of design time by design reuse is hindered. Therefore, we are working on a method to automatically synthesize the transducers. By inventing novel interface protocol modeling, we could successfully handle complex interface protocols which existing techniques failed to handle. To synthesize transducers automatically, it is necessary to represent the specification of interface protocols formally (in the form that computers can understand). Normally, the specifications are described in natural languages, so it takes extra effort to translate the informal specification to the formal representation. To save the effort, we proposed a specification description method that is specialized to describe interface protocols. To design high-performance and flexible system LSIs in short time, multiprocessors are expected to be effective. To utilize multiprocessors, we proposed a method to partition application programs written in SFC

(Sequential Function Chart) so that it can run on multi-processors and confirmed the effectiveness of the approach using an evaluation board.

高位設計記述に対するデバッグ支援技術に関する研究

藤田昌宏，松 剛史，佐々木俊介，安藤大介，
高　　飛

VLSI設計の大規模化・高機能化に伴い，検証で発見された設計誤りを修正する作業もより複雑になっており，設計者にとって理解が容易なデバッグ支援技術が不可欠となっている．本研究テーマでは，近年，広く行われるようになってきているシステムレベル設計を対象としたデバッグ支援技術の研究を行った．はじめに，システムレベル設計記述言語であるSpecC言語を対象としたプログラムチェッカの研究を紹介する．この研究では，与えられたSpecC記述の依存グラフを生成し，その依存グラフ上であらかじめ決められたバグの原因となる事項，例えば未初期化変数や不正な同期設計，についてチェックを行い，バグの可能性があるものを警告として設計者に示すものである．これらは，依存グラフをたどることで実現できるため，高速なチェックが可能である．しかし，この手法では各ステートメントの解釈をしないため，誤った警告を示す可能性がある．そこで，警告に該当するアサーション記述を記述中に付加し，真のバグであるかどうかを形式的に検証する手法を提案した．ここでは，アサーション記述を効率的に検証するため，依存解析による記述の減少を行っている．また，動作記述とRTL設計の等価性検証において，反例が得られた場合の等価でない原因を示すデバッグ支援手法を提案した．この手法では，与えられた反例に対して，依存解析やランダムシミュレーションによる等価なステートメントの検出を行うことによって，等価でない原因となっている部分を狭い範囲で設計者に示すことができる．なお，ここで紹介したデバッグ支援手法は，実例題による実験を通して，有用性を確認している．

Debug support techniques in high-level designs

Masahiro FUJITA, Takeshi MATSUMOTO, Shunsuke SASAKI, Daisuke Ando, Fei GAO

As VLSI designs are larger and more complex, debugging design errors is also becoming a difficult task. Therefore, debug support techniques that are useful and understandable to designers are inevitable in VLSI design. In this research topic, we developed debug support techniques targeting system-level designs, which are widely applied recently. First, we introduce a program checker for SpecC descriptions which is widely used to describe system-level designs. The checker checks several pre-defined properties for bugs that are frequently found in designs, for example, uninitialized variables and incorrect synchronization. This check is carried out by analyzing dependence graphs of SpecC, which realizes efficient bug detections. However, since the check does not interpret the statements, it may generate false warnings. We also proposed the method to formally verify the generated warnings by existing model checkers, to confirm whether they are real bugs. In this method, the assertion description for each warning is inserted in the design. To improve the efficiency, we apply the reduction based on dependence. We also studied on a debug support in equivalence checking between behavioral and RTL designs. In the method, for a given counter-example, dependence analysis and random simulation are performed to identify the equivalent/inequivalent statements. Based on those results, the method reports the inequivalent portions that include bugs, i.e. sources of inequivalence, with high probability. In addition, the methods introduced here are confirmed their effectiveness through the experiments with practical design examples.

UMLを用いた上位設計手法に関する研究

藤田昌宏，小松　聡，松井　健

組込み機器設計の複雑化に伴い，仕様の策定や設計領域の切り分けなど，上位設計に多くの設計期間が費やされるようになっている．UML（統一モデリング言語）は，設計の可読性・再利用性を向上させ得る性質を持つため，この種の問題を改善しうる手段として有望視されている．しかしUMLはオブジェクト指向技術を背景としてビジネスアプリケーション系ソフトウェア開発のために作られたものであり，さらに，それを利用するための方法論とは独立している．したがって，UMLがハードウェア・ソフトウェア双方を含む組込み機器の開発にも利用できるかどうか評価する必要があり，また実際の組込み機器設計に利用するためには適切な設計方法論を策定する必要がある．本研究ではこれらの点についてケーススタディに沿って考察した．その結果，プリント基板レベルの設計とSoCレベルの設計について，以下の事柄を示すことができた．

・オブジェクト指向技術のうち問題分析手法（Object Oriented Analysis: OOA）と分析モデルからの実装モデル導出手法（Object Oriented Design: OOD）は，UMLと組み合わせて基本的に組込み機器設計に利用可能である，ということの根拠
・分析設計成果物のUML記述法
・UMLを用いた組込み機器設計向けオブジェクト指向分析設計フローと各設計段階における作業指針

Specification and design of hardware systems with UML and SpecC

Masahiro FUJITA, Satoshi KOMATSU, Ken MATSUI

Recently a lot of time is spent on high-level design (e.g. specifying and domain partitioning) with the growing complexity in embedded system design. It is widely thought that Unified Modeling Language (UML) is useful to improve the problem because UML can improve readability and reusability. What has to be noticed is that UML is designed for business application software development with Object Oriented techniques and to be independent of development process. Therefore we have to evaluate whether it is also applicable for hardware/software co-designs of embedded systems, and we should develop an effective methodology if it is applicable. In this research topic, we have discussed these points with case-studies in PCB designs and SoC designs and have illustrated the following:

* Grounds that the methods of Object Oriented Analysis (OOA) and Object Oriented Design (OOD) with UML are basically applicable for embedded system design
* Descriptive method for representing results of analyses and designs
* An OOA/OOD methodology using UML for HW/SW co-design process of embedded systems and a set of guidelines for each step of the methodology

デジタル/アナログ混載システムの設計支援技術に関する研究

藤田 昌宏，小松　聡，劉　　宇

システムレベル設計言語（SLDL）がシステムレベル設計する環境である．現在では，SpecCなどC/C++に基づくSLDLは唯一言語でハードウェアとソフトウェア同時に記述し，より高い効率でシステムを設計できるので，業界からよく注目されている．アナログ・デジタル混在システムは連続と離散ビヘイビアで動作を記述するから，そのようなシステムを記述できるため，現在デジタルだけ向けるSLDLはVerilog-AMSとVHDL-AMSのように拡張しなければなれない．この研究は，SLDLの一つ，SpecC言語のAMS拡張について研究している．具体的には，連続ビヘイビアの記述シンタックス，連続・timed/untimed

Computer Aided Design for Digital-Analog Mixed Systems

Masahiro FUJITA, Satoshi KOMATSU, Liu YU

System level design language (SLDL) is an environment to support system level designs. Recently, C/C++ based SLDLs such as SpecC has been gaining greater attentions because uniform languages for hardware and software description can make system level design more efficient. The behaviors of mixed-signal system are composed of discrete and continuous behaviors. In order to describe continuous behavior, current SLDLs need to be extended, just like HDLs, e.g. VHDL and Verilog whose continuous extension are called VHDL-AMS and Verilog-AMS. Our research concentrates on the AMS extensions of one of the system level design

離散ビヘイビアの同期記述，シミュレーションカレルの拡張手法を提案した．SpecC-AMSの設計環境によって，従来SpecCで記述できるデジタル回路・ソフトウェアアスペクトをアナログ回路まで拡張した．例題を用いた実験によって，SpecC-AMSを用い，untimed アナログ・デジタル混在システムのシステムレベル設計手法は従来のtimed設計手法より速度上のメリットを示した．

language-SpecC. In the research, we proposed the description syntax of continuous behavior and the synchronization between continuous and discrete behavior. We also proposed an instance to insert the synchronization mechanism into SepcC original kernel. With SpecC-AMS language, users can expand their design to the entire analog, digital and software aspects. The evaluation example shows the speed advantage of untimed system level design comparing with traditional timed design.

低電力システム設計技術に関する研究

藤田昌宏，小松　聡

現在のVLSIシステム設計において，消費電力は最も重大な設計制約のうちの1つである．加えて，VLSIシステムのエラーに対する耐性もまた現在あるいは将来の微細化されたVLSIテクノロジーにおいて重要な要素の一つである．本研究では，オンチップデータ伝送での，高信頼データ伝送方式に対する低消費電力符号の影響についての検討を行った．SPEC2000ベンチマークを利用した実験により，配線間の結合容量を考慮した場合に，配線ピッチの最適化を行うことができることを示した．さらに，エンコーダ/デコーダ回路でのオーバヘッドおよびバス信号の振幅最適化を考慮した評価を行い，低消費電力符号化と高信頼符号化を組み合わせることで，将来のVLSIシステムにおいて有効なデータ伝送方式を実現可能であることを示した．

6. Low power system design method

Masahiro FUJITA, Satoshi KOMATSU

Energy consumption is one of the most critical constraints in the current VLSI system designs. In addition, fault tolerance of VLSI systems is also one of the most important requirements in the current shrunk VLSI technologies. This study presents an impact of the low power encoding on the fault tolerant data encoding methods in on-chip data transfer scheme. Experiments using SPEC2000 benchmark programs show that the proposed methods can optimize the bus wiring pitch considering coupling capacitance. Moreover, the results show that bus signal swing optimization can increase the effectiveness of the encoding method.

高宮研究室

Takamiya Laboratory

(http://icdesign.iis.u-tokyo.ac.jp/)

有機トランジスタを用いた大面積エレクトロニクス向けの回路技術

高宮　真（桜井貴康教授，染谷隆夫助教授との共同研究）

10 cm角から10 m角の大きな柔らかいシートの上に，インテリジェントな電子デバイスを分散して配置することにより，人間生活を快適にサポートする大面積エレクトロニクスという新しいアプリケーションに注目している．フレキシブルで低コストの有機トラン

Circuits Technologies for Large Area Electronics with Organic FETs

Makoto Takamiya (Collaborative research with Prof. Takayasu Sakurai and Prof. Takao Someya)

Large area electronics is a new frontier in electronics where intelligent electronic devices are distributed on a flexible square, 10 cm to 10 m on a side, for the human interface and the comfortable daily life. Flexible and low-cost organic FETs (OFETs) are suitable for large-

ジスタは大面積エレクトロニクスに適しており，硬くて高価なシリコンMOSFETを補完するデバイスとしても有望である．しかし，シリコンMOSFETと比べると，有機トランジスタは製造技術がまだ未熟であるため，動作速度がμs～msと遅く，デバイスの寿命も数日～数ヶ月と短い．そこで，遅くて信頼度の低い有機トランジスタの欠点を補う回路技術の開発を行っている．大面積エレクトロニクスの一例として，有機トランジスタとプラスチックアクチュエータを集積化したフレキシブルな点字ディスプレイの開発を行った．点字ディスプレイを高速化するため，世界初の有機トランジスタで構成したSRAMを搭載した．さらに，高信頼のSRAM動作を実現するために，バックゲート付きの有機トランジスタのバックゲートバイアスを調整することにより，SRAMのスタティックノイズマージンを拡大する回路技術を開発した．これらの回路技術は速度や信頼性が課題となる大面積エレクトロニクスを実現する上で，キー技術になると考えている．

area electronics and have great potential as a supplement of solid and expensive silicon MOSFETs. Compared with the silicon MOSFETs, however, the operation speed of OFETs is slowU μs ~ ms) and the device lifetime of OFETs is short (days ~ months), because fabrication technologies for OFETs are not yet mature. We have developed circuits technologies to help the slow and unreliable OFETs and demonstrated a Braille sheet display where plastic actuators and OFETs are integrated. A newly developed back-gated OFETs SRAM and the circuits technology for the Braille sheet display to enhance speed, yield and lifetime were developed, which will be essential for future large-area electronics made with OFETs.

柴田・三田研究室

intelligent Semiconductor Microsystems Laboratory（iSML）

（http://www.else.k.u-tokyo.ac.jp）

1. 右脳型ソフトコンピューティングVLSI: 連想プロセッサ・システム

柴田　直，トゥロン トゥウ ブゥイ，早川　仁，
高田　謙，シーサムラーヌ・サックダー，鹿野博嗣，
黄　世燕，森川重毅

現在のコンピュータは四則演算の超高速処理に特化したマシンであり，人間のように「ものを見て柔軟に判断・理解し，即座に適切な行動をとる」といった情報処理は非常に不得手である．入力情報に対し，過去の膨大な記憶の中から最も近しい事例を瞬時に想起しこれによって次の行動を決定する．こんなアーキテクチャを持つコンピュータの基本ハードウェアを，シリコン超LSI技術で実現する研究を進めている．論理演算を得意とする現在のマイクロプロセッサに対し，直感・連想・推論といった処理を得意としたLSIチップを設計・試作してシステムを構成する．単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ（ニューロンMOS, neuMOS）を導入，膨大なtemplate群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ，0.18ミクロンCMOS技術を用

Right-Brain-Computing Integrated Circuits: Associative Processing Systems

T. Shibata, Trong Tu Bui, H. Hayakawa, K.Takata,
Srisomrun Sakda, H. Shikano, Hwang Se-Yong,
S. Morikawa

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called "Neuron MOS Transistor" (neuMOS or ν MOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that "association" is the very comput-

いた超高速ディジタル連想プロセッサ等を，これまで開発した．今後連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップ用いて構築して行く．そのために我々の思考過程を柔軟に記述できるAPROL（Association Programming Language）の開発も行う．四則演算に代わり連想を"computing primitive"とする実時間事象認識知能システム実現を目指す研究である．現在，画像認識・音声認識をテーマに研究を進めている．ここで開発したVLSI回路技術は，実用的な応用として，CDMA マッチトフィルタへの応用技術等も開発している．

ing primitive, we are pursuing human-like intelligence system implementation directly in silicon integrated circuits. Currently research is in progress for robust image recognition and voice recognition processing. The sate-of-the-art silicon technology has been utilized to implement such associative processors in both analog and digital CMOS VLSI chips. As a practical application of the circuit technology developed for the associative processor chips, CDMA matched filter chips have also been developed.

---

2. 画像の特徴ベクトル抽出VLSI及びそのパターン認識への応用

柴田　直，伊藤潔人，山崎英男，トンプラシット・ベンジャマース，高橋徳浩，グエン タン リム，
仁木祐介，藤田和英

我々の連想プロセサアーキテクチャを画像認識に用いるには，2次元の画像情報を特徴ベクトル，即ち一次元の数値列で表現しなければならない．我々はこの目的で，主方向線分投影法（PPED: Projected Principal-Edge Distribution）と呼ぶ新たな特徴ベクトル表現法を開発した．2次元画像に対し，縦・横・斜め2方向，計4方向の線分を抽出してフィーチャーマップを作成，そのビットフラッグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する．これらをつなぎ合わせて64次元ベクトルとし，64×64ピクセルの画像を表現する．これは，元画像の特徴を実にうまく表現しており，手書きによるパターンの変形，歪みに対しほとんど影響を受けない．従って，単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる．特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった．さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用，歯学部学生にとっても高度な訓練を必要とする解剖学的特徴点抽出の困難な作業が，専門医と同様にできることがわかった．今後，連想プロセッサと統合し，一般的な知的画像認識システム構築へと発展させていく．このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり，neuMOSを用いたアナログCMOS回路技術，および最先端のディジタルCMOS回路技術の両方を用いて，独自のアーキテクチャを持つ特徴ベクトル生成VLSIチップの開発を行っている．

A Robust Feature-Vector Generation VLSI's and their Application to Handwriting Pattern Recognition and Medical X-ray Analysis

T. Shibata, K. Ito, H. Yamasaki, B. Tongprashit,
N.Takahashi, Nguyen Thanh Liem, Y. Niki. K. Fujita

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a feature vector, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by "Projected Principal-Edge Distribution (PPED)" algorithm. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituritary grand), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

3. 実時間動画像処理プロセッサ

柴田　直，亀谷　暁，ハオ・ジア，オゥグ・オストルク，
馬　文静

リアルワールド画像の実時間情報処理を目標に，視野中の運動物体を着目・連続追尾するSaliency Catcher，及びキャッチした物体の3次元計測を瞬時に行えるVLSIプロセッサの研究を行っている．Saliency Catcherについては，擬似二次元処理と呼ぶ新たな手法を導入，すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため，各画素部では大きなフィルファクタが実現できた．フィルファクタとは，各ピクセルプロセッサ内でフォトダイオードが占める面積の割合で，これが大きいほど多くの画像情報が処理に取り込める．このチップは，複雑な背景の中から複数の動いている物体を，動きの大きさとともに検出できる．さらにカメラ自身がブレて背景が動いていても検出できるという特徴をもつ．実際にチップで基本性能を確認した．さらに運動物体の3次元計測をリアルタイムで行うチップも開発した．これはキャパシタ間での電荷の再配置のみを演算に使う回路であり，究極の低消費電力システム実現の可能性を秘めている．

Real-Time Moving Image Processing VLSI Systems

T. Shibata, S. Kametani, Hao Jia, Ozturk Ovgu,
Ma Wenjing

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has been also developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

4. Multi-Clueサーチアルゴリズムによるロバストな顔検出

柴田　直，鈴木康文，川原邦男，森屋 大輔，
金森　毅

顔の検出は，ヒューマンインタフェースの研究において重要な課題である．従来，肌色に着目したり，ニューラルネットによる分類等さまざまな手法が開発されているが，写真の撮影条件の影響を受けたり，あるいは本当の顔を逃してしまう，いわゆるfalse negative の発生といった問題が多かった．本研究では，多少のfalse positive （顔以外のものでも似ていると顔として検出）はあっても，「本当の顔を絶対に逃さない」ことを目標とするロバストな顔検出アルゴリズムの基礎を，これまでの成果であるエッジベースのベクトル表現法（PPED）を発展させて確立した．PPED法による検出は，例えば壁のしみでも眺めていると人間の顔に見えてくるといった，人間の認識に非常に近い検出アルゴリズムであるが，本研究ではPPED とは補完的な性質を持つ，新たな2つのベクトル表現法を開発，オリジナルPPED ベクトルと同時に用いた多重照合法（multiple cluematching）の開発により，大変ロバストな顔検出を実現した．さらにPPEDベク

Multiple Clue Search Algorithm for Robust Face Detection

T. Shibata, Y. Suzuki, K. Kawahara, D.Moriya.
T. Kanamori

Face localization is an important issue in new generation of human interface. There have been many approaches such as skin color detection and using neural networks. They have, however, many problems such as high sensitivity to photograph exposure conditions, and existence of "false negatives". The objective in our approach is to try to minimize the number of "false negatives", even it might increase the number of "false positives". Our algorithm can detect non-face images that are very similar to faces. A preliminary research is done by extending our edge-based vector image representation method (PPED). Besides the PPED-based detection method, two other new vector representations, which are complementary to PPED, have been developed. Using the multiple clue method with these three representations, a very robust performance in face detection has been achieved. We also developed a new distance measure in which the statistical character-

トルの各エレメントの持つ重要性を，各クラスの統計的性質より導き出す手法を開発，これを距離計算に取り込むことによりさらに検出精度を上げることができた．

istics of a class are taken into account to determine to the relative significance among elements. The new distance measure has improved the classification performance.

---

5. 初期視覚プロセッシングシステム

三田吉郎，高山伸一，柴田　直

フォトセンサと情報処理回路を融合した高機能イメージセンサは発展が期待できる．本研究では，イメージセンサを内蔵して，外界の状況から特徴を瞬時に抽出する知的情報処理VLSIの研究を行なっている．これは本研究室の「右脳的情報処理システム」の入力フロントエンドとして用いる予定である．このようなVLSIは，フォトダイオードと処理回路とで演算単位「セル」を構成し，セルを碁盤の目状に並べる構造が一般的であるが，生体で行なわれているようにセル間を配線するためには三次元配線が必要となる．ひるがえってVLSIの配線は原理的に二次元であるから，セル同士の配線をいかに工夫して行なうかが問題となる．センサをセル同士の交点にずらし，また各セルで一旦情報処理を行なった結果のみを近接セルに転送する二段階方式を用いることで，3近傍セルまでの演算をできることを提唱した．0.35 μ mテクノロジにおいてチップを試作しリアルタイム動作を行なうことに成功した．また基礎的データを収集するため，0.35 μ mバルク基板，0.15 μ mSOI基板において光電変換効率の測定を行なった．

Early-vision processing systems

Y. Mita, S. Takayama, T. Shibata

Intelligent image sensor array system is an integral part in humanlike versatile systems. An image-sensor integrated smart feature extraction VLSI is under investigation in this project. Distributed cellular architecture is popular for these systems: a photodiode sensor and some information processing circuits compose a unit "cell" and the array of cells constitutes the system. However, if the cellular architecture tries to physically imitate living body, three-dimensional wiring is mandatory. However, VLSI wiring is 2-dimensional in nature so that some architectural innovation to augment the missing-one-dimension is necessary. We have proposed architecture where: (1) photodiode is placed at the intersection of 4 cell borders and (2) photodiode image is first preprocessed at each connecting cells and only the preprossed information is exchanged. By this architecture, information up to next nearest neighbor cell is collectable. A real-time demonstration using 0.35 μ m technologies VLSI is successful. Also, efficiency of both 0.35 μ m bulk and 0.15 μ m SOI technology is measured.

---

6. ナノホールアレイの作製技術高度化と応用（日仏共同研究SAKURAプロジェクト）

三田吉郎，フレデリック・マーティ*，久保田雅則，
布　洋平，松山知弘，原田智之，廣瀬健一郎，
杉山正和（電子工学専攻），タリク・ブルイナ*，
柴田　直

*電子工業技術高等学院 （ESIEE，パリ）

日仏の研究者が共同し，VDEC所有EB装置を利用してナノリソグラフィを行ない，ESIEE所有の深掘りRIE装置でエッチングを行なって，デザイン相乗り型ナノサイズ構造を作製，様々な応用に供する試みに成功した．ESIEEにおいて最小サイズ370ナノメートル，アスペクト比1:107のトレンチ構造を作製することができ，東京大学21世紀COEプログラム等により武田先端知ビルスーパークリーンルームに導入された

Development of fabrication technology of nano-holes and applications to bio- and optical systems. (France-Japan collaboration project: SAKURA)

Y. Mita, F. Marty*, M. Kubota, Y. Nuno. T. Matsuyama, T. Harada, K. Hirose, T. Bourouina*, T.Shibata

* Ecole Superieure d'Ingenieurs en Electronique et Electrotechnique (ESIEE), Paris

A multi-design nano-fabrication technology and application to different domains is developed with collaboration of French and Japanese researchers. VDEC's EB writer performs lithography and Deep RIE at ESIEE performs etching. Our top data is aspect ratio 1:107 for trenches of 370nm. This is the record ten times deeper as compared to ordinal submicron Deep-RIE technology. The two potential drawbacks were (1) the time con-

最新鋭RIE装置においても同様の性能を得られるようになった．MEMS用サブミクロンサイズの深掘り構造は，これまでせいぜいアスペクト比1:10程度であったが，本研究では一桁優れた結果を出した．一般にEBリソグラフィは時間がかかるとされ，またこれほど微細な構造に最適なエッチング条件は逆に，10 μ m以上の大きな開口部のエッチングには不向きであることが問題となっていたが，微細な構造と大きな開口の輪郭のみをEBリソグラフィ及び，ナノエッチング条件であらかじめエッチングした後，大開口部のエッチングを行なう，「輪郭リソグラフィ法」を開発しこの問題を解決した．これらの技術によれば，サブミクロンの微細パタンをリソグラフィのとおりに垂直に転写できることになるので，薄膜を水平に積んでリソグラフィするというこれまでのマイクロマシーニングを深化させ，垂直方向に展開できるという「パラダイムシフト」が起こる．このパラダイムシフトの恩恵を受ける一例として，光通信用フィルタをリソグラフィどおりサンプル表面に対し垂直に作製する，「Vertical DBRフィルタ」を提唱し作製した．また，これらMEMS構造の性能を決める長さ（Critical Dimension）を，電子顕微鏡などの光学手法ではなく，電気的測定によって求める簡便な手法を開発し，電子顕微鏡よりも優れた繰り返し精度を得ることができた．また，ボッシュプロセスという業界標準の深掘RIE法では，エッチング壁に周期状の段差（Scalloping）が生ずることが問題であったが，狭い開口の底部ではこのScallopingが消滅することを発見し，エッチングプラズマのラジカル分子の壁面への吸着を考慮に入れた簡単なモデルで統一的に説明できることを示すと同時に，輪郭描画法と組み合わせて良く知られた垂直壁型光シャッターに応用し，性能を向上できることを示した．

sumption of EB lithography, and (2) the optimal etching condition for nanoscale structure is not applicable to larger openings. These problems were solved by "contour-lithography-method" that first forms nanoscale patterns as well as contours of larger openings by EB lithography followed by nano-DRIE, and then the larger opening is etched by the optimal condition. This technology provides us with a vertical nanostructures defined by lithography. This is a complete paradigm shift from ordinal micromachining, whose nature was deposition of thin films and lithography in horizontal axis, to the vertical direction. A "vertical Distributed Bragg Reflector" system is fabricated as an example of a benefit from this paradigm shift. Also, measurement of the Critical Dimension is an important issue. Different from ordinal methods such as observation by SEM, our method can determine the CD only by a simple electrical measurement. The experiments showed better repeatability than SEM observation. During the process, an interesting phenomenon called Aspect Ratio Dependent Scalloping Attenuation (ARDSA) is found. That is the attenuation of scalloping, which is a periodic peak and valley of silicon walls that are etched by industrially standard Bosch's Deep RIE process, at the bottom of narrow openings. Our simple model that takes radical absorption by sidewalls into account explained well the phenomenon. Together with the contour lithography method, the ARDSA is applied to vertical mirror optical crossconnector and +2.4dB better reflectivity is obtained.

高木研究室

Takagi Laboratory

（http://www.fi.k.u-tokyo.ac.jp/japanese/staff_research/19_takagi.html）

Ge Metal-Insulator-Semiconductor（MIS）FETに関する研究

高木信一，菅原　聡，熊谷　寛，上原貴志，西川昌志，Sanjeewa Dissanayake，松原　寛，石川寛人

高性能Ge MISFETを実現するための課題は，良好なMIS界面特性の実現と良質なGeチャネル層の形成技術，特に短チャネル効果の観点から，Ge-On-Insulator（GOI）チャネルの形成技術の確立である．良好なMIS界面をGe上に実現する方法として，Ge基板上にエピタキシャル成長したSi層を低温でプラズマ酸化する方法を提案し，界面準位として10^{12} cm^{-2}の値を得ることに成功した．また，GOIチャネル形成に関しては，極薄SOI基板上にSi/Ge/Se構造を形成しチャネルとする新しいデバイス構造を提案し，MBE法による低温Geエピタキシャル成長を用いて，p-MOSFETの素子試作・動作に成功した．600℃のアニールを施し，Ge層の結晶性を高めることで，Si p-MOSFETと比較して，約1.5倍の移動度向上が見られることを実証した．

Ge Metal-Insulator-Semiconductor（MIS）FETs

S. Takagi, S. Sugahara, H. Kumagai, T. Uehara, M. Nishikawa, S. Dissanayake, H. Matsubara, H. Ishikawa

Critical issues on realizing high performance Ge MISFETs is the formation of MIS interfaces with high quality interface properties and the establishment of the formation technologies of high quality Ge channels, particularly, Ge-On-Insulator (GOI) channels from the viewpoint of the short channel effect immunity. We have proposed plasma oxidation of Si films epitaxially grown on Ge at low temperatures as a method of forming MIS interface on Ge substrates and have succeeded in fabricating SiO_2/Ge MIS structures with interface state density of 10^{12} cm^{-2}. Also, we have proposed a new GOI MOSFET having a Si/Ge/Si layered structure on a SOI substrate as a channel and have realized this device by using low temperature MBE growth of Ge films. It has been demonstrated that fabricated GOI p-MOSFETs provide the mobility of 1.5 times as high as the universal hole mobility in Si p-MOSFETs by improving the crystal quality of Ge films through annealing at 600 ℃.

ひずみSi MOSFETの電気特性に関する研究

高木信一，菅原　聡，星井拓也

ひずみSi中のひずみがMOSFETの電気特性に与える影響は，移動度や閾値以外にはほとんど調べられておらず，不明点が多い．特に，MOSFETのゲート電流が二軸のひっぱりひずみの印加により減少することが報告されているが，その物理機構は明確でない．そこで，緩和SiGe基板上のひずみSi n-MOSFETの反転層からのFNトンネル電流を基板のGe濃度を0％から40％まで変化させて調べ，以下のことが明らかとなった．（1）ひずみ量が大きくなる（Ge濃度が高くなる）と，ゲートトンネル電流は減少する．ひずみ量1.2％（Ge濃度30％）で，約一桁のゲート電流低下がある（2）このトンネル電流の減少は，ひずみによる伝導帯バンド端のエネルギー低下に起因するバリア高さの増大によって定量的に説明できる．

Electrical Properties of Strained-Si MOSFETs

S. Takagi, S. Sugahara, T. Hoshii

The impact of strain in strained-Si MOSFETs on the electrical properties has not been intensively studies yet, except for the mobility and the threshold voltage. Particularly, the reduction in the gate current by applying bi-axial tensile strain has been reported. However, its physical mechanism has not been clarified yet. We have systematically studied the FN tunneling current injected from the inversion layer of strained-Si n-MOSFETs fabricated on relaxed SiGe substrates with Ge content of 0 % to 40 %. As a result, it has been found that (1) larger strain （higher Ge content in SiGe substrates） leads to lower gate tunneling current and the strain of 1.2 %, corresponding to Ge content of 30 %, can reduce the gate current by one order of the magnitude (2) this decrease in the gate tunneling current is quanti-

tatively explained by the increase in the barrier height caused by the lowering of the conduction band edge due to bi-axial tensile strain.

Si基板上のIII-V族化合物半導体Metal-Insulator-Semiconductor（MIS）FETに関する研究

高木信一，菅原　聡，七条真人

ディープサブ100nm世代では，電流駆動力の増大のためは，キャリア輸送特性を向上させ続けることが不可欠であるが，n-MOSFETは，二軸の引っ張りひずみで期待される2倍の移動度向上以上の手段に欠けている．このため，近年，電子移動度の高いIII-V族半導体MISFETが興味をもたれている．我々は，理論解析と実験の両面からSi基板上のIII-V族半導体MISFETの可能性の検討を進めている．理論解析の点では，III-V半導体のサブバンド計算を通じて，低い状態密度と反転層幅の増大によりEOTが低下する可能性があること，GaAsやInSbでは，MOS界面の2次元量子効果によるL点への電子遷移が駆動力を落とす要因となることを見出した．また，実験的には，マイクロチャネルエピタキシー法と低温バッファ層を含む2段階成長法を組み合わせることにより，SiO_2の一部に開口窓をもつSi基板上でのGaAsの成長を行い，横方向成長によりSiO_2上に良好なGaAsが形成できることを示した．

III-V compound semiconductor Metal-Insulator-Semiconductor (MIS) FET on Si substrates

S. Takagi, S. Sugahara, M. Shichijo

Enhancement of carrier transport properties in MOS channels is regarded as mandatory for continuous increase in the current drive under deep sub-100 nm regime. As for n-channel MOSFETs, however, any promising technologies after bi-axial tensile strain, which can provide the mobility enhancement of twice as high as in conventional Si n-MOSFETs, are still lacking. Thus, III-V semiconductor MISFETs, expected to have higher electron mobility, has recently stirred a strong interest. We have started to examine the feasibility of III-V semiconductor MISFETs on Si platform from the both aspects of theoretical predictions and experiments. It has been found from the subband calculations that low density-of-states and thicker inversion layers in these materials has a possibility to reduce EOT and that the transfer of electrons into L valleys for GaAs and InSb, caused by two-dimensional quantization effects at MOS interfaces, can lower the current drive. Also, we have newly proposed a epitaxial growth technique of combining the micro-channel epitaxy with the two step growth technique including low temperature buffer layer growth. Actually, we have demonstrated by using this technique that high quality GaAs layers can be grown on SiO_2 through the lateral growth by forming GaAs layers on the regions where windows are open on Si substrates covered with SiO_2.

藤島研究室
Fujishima Laboratory
(http://www.axcel.k.u-tokyo.ac.jp/)

CMOS周波数分周器の高性能化及びその応用に関する研究

藤島　実，山本　憲

近年，携帯電話，無線LANを代表として無線通信

A Study on the improvement of a CMOS Frequency Divider and its Application

M. Fujishima, K. Yamamoto

Nowadays, the technology for wireless communica-

市場は拡大し続けており，高速，低消費電力のトランシーバがそれぞれ求められるようになっている．トランシーバの仕様を決定する回路はPLLであり，PLLの発振周波数，消費電力を向上させる必要がある．そのためにはPLLの部分回路である周波数分周器の高性能化が最も重要な課題である．本研究では新しい周波数分周器を提案し，従来と比べて最も高い動作周波数，最も低い消費電力の周波数2分周器をそれぞれ実現した．また，単体のMOSFETでハーモニックミキサを実現する方法を提案し，最も高い動作周波数のハーモニック周波数分周器を実現した．

tions such as a cellular phone and a wireless LAN has progressed at a tremendous speed. As a result, the importance of both high-speed and low power transceivers increases. The oscillating frequency and power consumption of a phase-locked loop （PLL） should be improved since a PLL determines the specification of a transceiver. In order to improve the performance of a PLL, a frequency divider which is the most important sub circuit of the PLL is focused. In this research, new divide-by-2 frequency dividers are proposed and divide-by-2 frequency dividers which operate at the highest operating frequency and the lowest power consumption are realized, respectively. The method how to realize a harmonic mixer by utilizing a single MOSFET is proposed and a harmonic frequency divider which operates at the highest operating frequency is realized.

低雑音増幅回路

藤島　実，ライチーホン

受信信号は低雑音増幅器（LNA）によって増幅され，信号処理が行われる．LNAには，消費電力の仕様を満たしつつ雑音指数，線形性，利得のバランスを高いレベルで満たすことが求められる．一方，高い周波数では，インダクタよりもコプレナ伝送線路（CPW）の方が特性が向上するため，トランジスタ，配線，キャパシタ等に加えてコプレナ伝送線路のモデル化が重要となる．我々はCPWのモデル化とトポロジおよびレイアウトの最適化を通してLNAの研究を行っている．

Low Noise Amplifier

M. Fujishima, C.H. Lai

In a communication system, the low-noise amplifier （LNA） is one of important building blocks in the downlink of the system. It amplifies the incoming signal for further processing through the downlink chain. The design of this LNA involves many traditional challenges such as obtaining a low noise figure, high linearity, high gain at a specified output power. In addition, new challenges in the design at high frequency involve using new components such as coplanar lines（CPW） instead of spirals to provide inductances. Proper characterization of each component including the transistor, interconnecting lines, capacitors etc. are also necessary. Research on the LNA is therefore conducted as a series of build-up sub-topics: CPW characterization, Layout-optimization and LNA design topology.

超高速パルス通信のためのミリ波CMOS回路

藤島　実，アーメット・オンチュ

60GHz帯には，無免許で10dBmまでの送信電力が認められている7GHzの周波数帯域があり，この帯域を用いることで超高速無線通信が実現できることが期待されている．ミリ波帯で動作する回路には，一般的に高価な化合物半導体が使われている．そこで本研究では，低コストなCMOS技術を用いての超高速ミリ

Millimeter wave LSI CMOS circuits for ultra-high speed pulse-communication

M. Fujishima, Ahmet Oncu

60 GHz Millimeter-wave band, having 7 GHz license free bandwidth and 10dBm output power, has a capacity to provide ultra high speed wireless communication. High speed circuits operating at the millimeter wave band are generally realized by using expensive compound semiconductor technologies. However, in this

波パルスコミュニケーションの研究を行っている．デジタル回路とアナログ回路の両方の技術を用いることにより，60GHzミリ波帯での新しいパルス発生回路を90nmCMOSプロセスで設計した．現在，60GHz帯域における新しいCMOS無線受信回路について研究を行っている．

research novel low cost millimeter-wave LSI CMOS circuits for ultra-high speed pulse-communications are investigated. By using both digital and analog design techniques, aiming at 60 GHz millimeter-wave band novel pulse generator circuit has been designed by using 90nm CMOS process. As a result, the simulation of the designed novel CMOS pulse generator circuit can generate pulses at the millimeter wave band. Currently, novel CMOS receiver circuits at 60GHz band are studied.

オンチップ伝送線路を用いたフィルタの自動設計

藤島　実，金子暁彦

製造後の調整や信号処理を考慮する場合，高周波回路においてもディジタル回路との親和性の高いCMOSがコストやサイズの面で化合物半導体よりも有利である．高い性能を実現するには，受動素子において最適化設計が不可欠となる．また設計コストを考えると自動設計が好ましい．そこで，本研究では，高いQ値を達成しやすい伝送線路を用いたフィルタの最適設計に取り組んだ．フィルタの最適設計は一般的に非線形問題となる．そこで，大域的な探索に向いている遺伝的アルゴリズム(GA)と，最適解の近傍での収束性が優れている逐次二次計画法(SQP)を組み合わせた最適化手法を用いて収束性の向上を図った．その結果，所定の範囲内で収束性の保証された最適化が可能であることを確認した．また自動設計プログラムを用いることにより解析的手法で求める場合と比較し11%～36%回路面積の削減が可能であることを示した．

Design Automation of Filters with On-Chip Transmission Lines

M. Fujishima, A. Kaneko

For higher performance and lower design cost of RF integrated circuit, design automation of passive devices are necessary. In particular, matching networks are important blocks for gain optimization at high frequency. In this work, a design automation tool using on-chip transmission lines with high quality factors is developed. The tool can optimize various filters and matching networks by adjusting port impedances to complex values. Since design automation of filters and matching networks is generally a nonlinear optimization problem, a combination algorithm of sequential quadratic problem (SPQ) with a high convergence rate near optimal solution and genetic algorithm (GA) suitable to global search is applied to solve the problem. The tool reduces 11% ～36% less total transmission-line length compared with that designed by the analytical method

---

オンチップ伝送線路のモデリングと最適化

藤島　実，谷本英之

RF-CMOS回路において，低損失の伝送線路を実現可能なスローウェーブコプレナ導波路（SCPW）が提案されている．しかし微細化されたプロセスでは，回路設計におけるデンシティルールが厳しくなり，メタル間隔を大きく広げる必要のあるSCPWの実装は難しい．そこで我々は，SCPW同様に低損失で，デンシティルールを満たす事が可能な伝送線路形状を考案し，その特性をモデリングした．また，伝送線路における波長が短ければ，実装時の線路長も短縮可能であり，回路面積の削減が可能である．伝送線路の構造を解析することにより，線路中の波長の短縮が可能であ

Modeling and Optimization of On-Chip Transmission Line

M. Fujishima, H. Tanimoto

Slow-wave coplanar waveguide (SCPW) transmission line structure was proposed for RF-CMOS. Low-loss characteristic of SCPW can be archived by keeping the large spacing between signal and ground line. However, SCPW can not be used in advanced CMOS processes practically due to the stringent density rule. To satisfy the stringent density rule while keeping low-loss characteristics, new transmission line structure was proposed and modeled. In addition, the physical length of transmission line and the total chip-area are related. To

ることを試作を通じて実証した．

reduce the chip-area, new short wave-length transmission line structure was innovated, through the structural analysis. The concept of this idea was confirmed by designed test devices.

発振器のマトリクス構造によるインダクタンス評価

藤島　実，本良瑞樹

回路は構成素子の特性により性能が変化する．製造後調整などの手法によりある程度は改善できるが，設計値通りの回路を実現するには素子特性を正しく評価することが不可欠である．測定対象素子単体をTEG（Test Element Group）とする測定法は，測定時間や占有面積の点で非効率といえる．そこで本研究では，測定対象素子を組み込んだ電圧制御発振器（VCO）を構成し，その動作より素子特性を評価する手法を提案した．また，VCOをマトリクス構造にすることで，1つのマトリクスで多素子の測定を行い，その信頼性と優位性を検証する．

Inductor Variation Evaluation Utilizing Oscillator Matrix

M. Fujishima, M. Motoyoshi

Since inductor variations affect RF circuit performance, the evaluations are inevitable to realize reliable circuits.However, variation evaluation based on single inductor measurements is time- and area-consuming.To overcome this issue, a novel inductor evaluation method based on voltage controlled oscillator (VCO) matrix is proposed.

The measurement result based on the proposed method shows good agreement with the conventional method.

インダクタの容量結合損失削減のためのシールド

藤島　実，小林直樹

RF回路においては，配線を幾巻きにも巻くことでインダクタを実現し，共振回路や整合回路などで使用している．オンチップインダクタの性能は回路の性能を決める重要な要因となっているが，シリコン基板では化合物半導体基板に比べてその性能が悪くなってしまう．その理由としては，化合物半導体基板に比べてシリコン基板は低効率が低く，高周波数帯における基板損失が大きくなることが挙げられる．インダクタは回路性能に大きな影響を与えるため，性能の良いインダクタを実現することが重要な課題となっている．本研究では，磁束の打消しを抑えつつ容量性結合による基板損失を削減するようなシールド形状を提案した．

Shield for reducing capacitive coupling loss of inductor

M. Fujishima, N. Kobayashi

In this research, a new shield for reducing capacitive coupling loss of inductor is proposed. In RF circuits, monolithic inductors are often used for resonant LC tanks, matching circuits, and so on. The performance of an inductor degrades in silicon substrate compared with compound semiconductors. This is because, the resistivity of silicon is lower than that of the compound semiconductor, and substrate loss is considerably high in high frequencies. At high frequencies, the circuit performance is highly affected by inductors; therefore achieving on-chip inductors with good performances becomes a major task.

高周波オンチップバラン

藤島　実，石橋浩二

従来オフチップで用いられていた平衡-非平衡変換素子（バラン）のオンチップ化は，ワンチップ無線機実現のための鍵となる．CMOS集積回路にてオンチップバランを実現するには，波長による素子サイズの大きさや，配線とシリコン基板との間に起きるカップリングによる振幅特性，位相特性の悪化が問題とな

On-chip balun for Radio-Frequency Circuits

M. Fujishima, K. Ishibashi

Since the size of the passive devices such as a balun at high frequency applications is reduced with decreasing wavelength, it is possible to realize on-chip devices. In this study, on-chip baluns for millimeter-wave CMOS LSI are studied. In particular, a low-loss LC type balun and a self-shield transformer balun for wideband appli-

る．本研究では配線間容量を利用する低損失ミリ波帯におけるLCバランと，広帯域で利用可能なセルフシールドトランス型バランの研究を行っている．

cations are investigated.

60GHzでのパルス通信向けのパルス発生器

藤島　実，ワサンタマーラー・バダラワ

光ファイバを用いた有線通信と無線通信が，同等のビットレート性能でシームレスにつながる時代が来ているが，イーサネットで10 Gbit/sが商用化されているに対して，無線LANは数10 Mbit/s 程度である．このため，UWBやミリ波帯の新技術の登場が期待されている．本研究では，59GHzから66GHzまでの無免許周波数帯を用いた高速かつ低消費パルス通信向けのパルス発生器を提案する．提案するパルス発生器では，出力パワースペクトルを帯域内に収めるために，MOSトランジスタのみでパルス発生と波形調整を行っている．

A Pulse Generator for Pulse Communication in 60GHz Frequency Band

M. Fujishima, Wasanthamala Badalawa

Designing of a Pulse Generator for Ultra-high speed pulse communication in millimeter wave is proposed. In Japan, the radio frequency band from 59GHz to 66GHz is license free and this bandwidth of 7GHz can be used to realize the high speed wireless communication such as 10Gbps data rate. Proposed pulse generator is fabricated only with CMOS transistors and 7GHz bandwidth can be achieved in 60GHz operating frequency. Filters are not used for spectrum mask fitting, resulting low power consumption of the transmitter.

60GHzミリ波パルス発生器の設計

藤島　実，オウトウ

高速で消費電力が低く，しかも既存無線システムへ干渉しない無線通信方式として60GHzミリ波のパルスを用いて通信を行うシステムが提案されている．このシステムの送信器を実現するために，消費電力の高い発振器を使わずに出力信号の波形と周波数を正確にコントロールできるパルスジェネレータが必要である．われわれは，インバータと並列のNMOSからなるシンプルな構造でこのようなパルスジェネレータを考案し，90nm CMOSのプロセスで試作した．

The design of 60GHz millimeter-wave pulse generator

M. Fujishima, Wang Tong

A wireless communication system utilizing 60GHz millimeter-wave pulse is proposed as a means for high-speed low-power wireless communication which does not interfere with other existing wireless systems. To realize the transmitter of the system, a pulse generator emitting pulse with accurate waveform and frequency without using oscillator which consumes much power is needed. A circuit simply consists of inverters and parallel NMOSs is developed and fabricated using 90nm CMOS process.

量子計算機のエミュレータシステムのための命令コンバータの作製

藤島　実，後藤陽介

近年，NP問題を高速に解くことが出来る量子コンピュータの研究が盛んに行われている．量子コンピュータでは，量子状態の重ね合わせを利用し，その確率振幅を操作するという独自の計算手法を用いている．しかし，量子コンピュータの実現に向けては問題が数多く存在し，未だに実用的な規模での実現のめど

Making of the Instruction Converter for Emulator System of Quantum Calculation

M. Fujishima, Y. Goto

Recently, quantum computers that can solve the NP problems at high speed are actively researched. An original calculation method is used which utilizes overlapping quantum states and operates those probability amplitudes. However, the outlook of their practical achievement is still vague because they have many

は立っていない．本研究では，以前に藤島研究室で開発されたDIMDプロセッサを用いた量子計算エミュレータシステムの実現のため，DIMDプロセッサ用のアセンブラ命令を量子回路に変換する命令コンバータの作製を行った．

problems for the realization. In this research, for the attainment of emulator system of quantum calculation using DIMD (Dual Instructions/Multiple Data) processors developed in Fujishima Laboratory before, the instruction converter was made that converts the assembler instructions for DIMD processors into quantum circuits.

キーロンダリングを用いたストリーム暗号

藤島　実，新山太郎

センサネットワークにおけるノード間通信のためには，安全性が求められる．しかしAES等の従来の暗号方式は消費電力，回路規模の点からセンサノード用の暗号回路には用いることができない．そこで，我々は簡単なアルゴリズムで暗号化を実現できるキーロンダリングを用いたアルゴリズムを提案した．暗号化の作業を排他的論理和や足し算といった簡単な方法を用いたものとし，キーロンダリングとメッセージ送信の二つの作業に分けることで，簡略化と安全性の向上を実現した．また，アルゴリズムの安全性の検証を4～8ビットのメッセージに関して行った．

Stream Cipher Based on Key Laundering

M. Fujishima, T.Niiyama

Security is needed for communication between nodes in a sensor network. However, the conventional cryptographic method such as AES for a code circuit for sensor nodes cannot be used because of the power consumption and the circuit scale. In this research, cryptographic algorithm with Key Laundering which could encrypt in simple algorithm is proposed. The simple method such as EX-OR and addition are used in this algorithm. Encryption work is divided into Key Laundering and the message transmission. And this algorithm enabled simplification and security of encryption. In addition, safety of this algorithm about 4-8 bits message was verified.

4．3　研究発表

研究論文

[1] T. Nakura, M. Ikeda, and K. Asada, "On-Chip di/dt Detector Circuit," IEICE Trans. on Electronics, Vol. E88-C, No. 5, pp. 782-787, May 2005.

[2] U. Ekinciel, H. Yamaoka, H. Yoshida, M. Ikeda, and K. Asada, "A Performance Driven Module Generator for a Dual-Rail PLA with Embedded 2-Input Logic Cells," IEICE Trans. on Information and Systems, Vol. E88-D, No. 6, pp. 1159-1167, Jun. 2005.

[3] T. Iizuka, M. Ikeda, and K. Asada, "Yield Optimal Layout Synthesis of CMOS Logic Cells by Wiring Fault Minimization," IEICE Trans. on Fundamentals, Vol. E88-A, No. 7, pp. 1957-1963, Jul. 2005.

[4] T. Iizuka, M. Ikeda, and K. Asada, "Exact Minimum-Width Transistor Placement for Dual and Non-Dual CMOS Cells," IEICE Trans. on Fundamentals, Vol. E88-A, No. 12, pp. 3485-3491, Dec. 2005.

国際会議論文

[1] T. Iizuka, M. Ikeda, and K. Asada, "Exact Minimum-Width Transistor Placement Without Dual Constraint for CMOS Cells," Proc. of ACM Great Lakes Symposium on VLSI (GLSVLSI), pp. 74-77, Apr. 2005.

[2] T. Nakura, M. Ikeda, and K. Asada, "Feedforward Active Substrate Noise Cancelling Technique using Power Supply di/dt Detector," Symposium on VLSI Circuits (VLSI Symp.) Dig. of Tech. Papers, pp. 284-287, Jun. 2005.

[3] Y. Yachide, Y. Oike, M. Ikeda, and K. Asada, "Real-Time 3-D Measurement System Based on Light-Section Method Using Smart Image Sensor," Proc. of IEEE International Conference on Image Processing (ICIP), pp. 1008-1011, Sep. 2005.

[4] T. Nakura, M. Ikeda, and K. Asada, "Feedforward Active Substrate Noise Cancelling Technique using Power Supply di/dt Detector," Proc. of European Solid-State Circuits Conference (ESSCIRC), pp. 467-470, Sep. 2005.

[5] N. Li, M. Ikeda, and K. Asada, "Analysis of Low Noise ThreePhas Asynchronous Data Transmission," Proc. of European Solid-State Circuits Conference (ESSCIRC), pp. 479-482, Sep. 2005.

[6] M. Abbas, M. Ikeda, and K. Asada, "On-chip Detector for Non-Periodic High-Swing Noise Detection," Proc. of International SoC Design Conference (ISOCC), pp. 231-234, Oct. 2005.

[7] K. H. Dia, R. Zheng, M. Ikeda, and K. Asada, "Footless Dual-Rail Domino Circuit with Self-Timed Precharge Scheme," Proc. of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 309-312, Nov. 2005.

[8] M. Ikeda, Y. Yachide, Y. Oike, and K. Asada, "Wavelength Identification Sensor Using MOS Photo-transistor Array Based on Metal Slit Diffraction," Proc. of International Conference on Sensing Technology (ICST), pp. 683-686, Nov. 2005.

[9] T. Nakura, M. Ikeda, and K. Asada, "On-chip di/dt Detector IP for Power Supply," Proc. of IP Based SoC Design Conference & Exhibition (IP-SOC), pp. 160-164, Dec. 2005.

[10] H. Yoshida, M. Ikeda, and K. Asada, "An Algebraic Approach for Transistor Circuit Synthesis," Proc. of IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. - , Dec. 2005.

[11] M. Abbas, M. Ikeda, and K. Asada, "On-Chip Non-Periodic High-Swing Noise Detector," Proc. of IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. - , Dec. 2005.

[12] M. Sasaki, M. Ikeda, K. Asada, "-1/+0.8℃ Error, Accurate Temperature Sensor using 90nm 1V CMOS for On-line Thermal Monitoring of VLSI circuits," Proceedings of the 2006 International Conference on Microelectronics Test Structures, pp. 9-12, Mar. 2006.

[13] T. Iizuka, M. Ikeda, and K. Asada, "Timing-Driven Cell Layout De-Compaction for Yield Optimization by Critical Area Minimization," Proc. of IEEE/ACM Design, Automation and Test in Europe (DATE), pp. 884-889, Mar. 2006.

[14] M. Abbas, M. Ikeda and K. Asada," On-chip 8GHz Non-Periodic High-Swing Noise Detector" Proceedings of DATE 2006, pp. 670-671, March 2006.

シンポジウム・研究会・大会等発表

[1] T. Yamamoto, M. Ikeda, and K. Asada, "Symbolic Analysis of Performance Fluctuation on Analog Circuits," Proc. of IEICE Karuizawa Workshop 2005, pp. 31-36, May 2005.(in Japanese)

[2] T. Iizuka, M. Ikeda, and K. Asada, "Computational Cost Reduction for Minimum-Width Transistor Placement of Arbitrary Circuit Structures," Proc. of IPSJ DA Symposium 2005, pp. 121-126, Aug. 2005. (in Japanese)

[3] H. Yoshida, M. Ikeda, and K. Asada, "An Algebraic Approach for Synthesizing Circuits with Minimum Number of Transistors," Proc. of IPSJ DA Symposium 2005, pp. 133-138, Aug. 2005.

[4] M. Abbas, M. Ikeda and K. Asada, "On-chip Detector for Non-Periodic High-Swing Noise Sensing," IEICE Society Conference, C-12-18, Sept. 2005.

[5] K. Yamamoto, M.Ikeda, and K. Asada, "Stereo Vision with Random Pattern Light Projection," ITE Technical Report, vol. 29, no. 67, pp. 13-16, Nov. 2005. (in Japanese)

[6] H. Yoshida, M. Ikeda, and K. Asada, "Exact Minimum Logic Factoring via Quantified Boolean Satisfiability," IEICE Technical Report, Vol. VLD2005-83, vol. 105, no. 443, pp. 41-46, Dec. 2005.

[7] T. Iizuka, M. Ikeda, and K. Asada, "Timing-Driven Cell Layout De-Compaction for Yield Optimization by Critical Area Minimization," IEICE Technical Report, Vol. VLD2005-74, vol. 105, no. 442, pp. 79-84, Dec. 2005. (in Japanese)

[8] KH. Dia, R. Zheng, M. Ikeda, and K. Asada, "Footless Dual-Rail Domino Circuit with Self-Timed Preharge Scheme in SOI Technology," IEICE Technical Report, vol. ICD-2005-213, Vol. 105, No. 569, pp. 47-51, Jan. 2006.

[9] H. Yamauchi, M. Ikeda, and K. Asada, "Degradation of tamper resistant LSI by parameter variation of scaled devices and its countermeasures," IEICE Technical Report, vol. IT2005-79, Vol. 105, No. 661, 663, pp. 87-92, March 2006.

[10] T. Tajima, M. Ikeda, and K. Asada, "Measurement and Modeling of Wireless Data Transmission," IEICE General Conference, A-1-28, March 2006.

[11] T. Murata, H. Yoshida, M. Ikeda, and K. Asada, "Design of Program Environment for SoC On-chip Test," IEICE General Conference, C-12-4, March 2006.

[12] KH. Dia, R. Zheng, M. Ikeda and K. Asada, "Design of Completion Detection Style Microcontroller with Dual-Rail Domino Circuit," IEICE General Conference, C-12-6, March 2006.

1. 研究論文

[1] Masahiro Fujita, "Equivalence checking between behavioral and RTL descriptions with virtual controllers and datapaths," ACM Transactions on Design Automation of Electronic Systems (TODAES(Volume 10 , Issue 4, Pages: 610-626, October 2005.

[2] S. Komatsu, M. Fujita, "Low Power and Fault Tolerant Encoding Methods for On-Chip Data Transfer in Practical Applications," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E88-A, No. 12, pp. 3282-3289, Dec. 2005.

[3] T. Matsumoto, H. Saito, and M. Fujita, "An Equivalence Checking Method for C Descriptions Based on Symbolic Simulation with Textual Differences," IEICE Trans. on Fundamentals, Vol. E88-A, No.12, pp. 3315-3323, Dec. 2005.

2. 国際会議

[1] Masahiro Fujita, "Verification and synthesis of high level hardware designs with CSP/SAT based approaches," CADE workshop on Constraints in Formal Verification, Tallinn, Estonia, July 2005.

[2] Y.Liu, T.Sakunkonchak, S.Komatsu, M,Fujita, "System Level Design Language Extensions for Timed/Untimed Digital-Analog Combined System Design," pp. 130-133, GLSVLSI, Mar. 2005, Chicago, U.S.

[3] T. Matsumoto, H. Saito, and M. Fujita,

"Equivalence Checking for Transformations and Optimizations in C Programs on Dependence Graphs," Proc. of International Workshop on Logic and Synthesis 2005, pp. 357-366, June 2005.

[4] Thanyapat Sakunkonchak, Satoshi Komatsu, Masahiro Fujita, "Synchronization Verification in System-Level Design with ILP Solver," In 3rd ACM-IEEE International Conference on Formal Methods and Models for Codesign (MEMOCODE 2005), Verona, Italy, July 2005.

[5] Masahiro Fujita, "A Formal Design Approach from Software Oriented UML Descriptions to Hardware Oriented RTL," ACM/IEEE MEMOCODE06 , Verona, Italy, July 2005.

[6] Masahiro Fujita, Shunsuke Sasaki, Ken Matsui, "Object-oriented Analysis and Design of Hardware/Software Co-designs with Dependence Analysis for Design Reuse," The 2005 IEEE International Conference on Information Reuse and Integration, Las Vegas, USA, Aug. 2005.

[7] Y. Liu, S. Komatsu, M. Fujita, "AMS Extensions for Timed/Untimed System Level Design Language," FDL'05, pp. 77-80, Sep. 27-30 2005, Lausanne, Switzerland.

[8] Masahiro Fujita, "Behavior-RTL Equivalence Checking Based on Data Transfer Analysis with Virtual Controllers and Datapaths," 13th Correct Hardware Design and Verification Methods (CHARME 2005), pp. 340-345, Saarbrucken, Germany, Oct. 2005.

[9] S. Sasaki, T. Nishihara, M. Fujita, "Slicing-based Hardware/Software Co-design Methodology From Functional Specifications," FSEN '05, pp. 186-200, Oct. 2005

[10] S. Gao, K. Seto, S. Komatsu, M. Fujita, "Pipeline scheduling for array based reconfigurable architectures considering in terconnect delays," 4th IEEE International Conference on Field Programmable Technologies, Singapore, pp 137-144, Dec. 2005.

[11] Masahiro Fujita, Tasuku Nishihara, Daisuke Ando, "System LSI distributed collaborative design environment for both designers and CAD developers/engineers," IEEE The Fourth International Conference on Creating, Connecting and Collaborating through Computing (C5 2006), Berkeley, USA, Jan 2006.

[12] Ken Matsui, Masahiro Fujita, "Object-Oriented analysis and specification for HW/SW co-design with UML diagrams," the IASTED, International Conference on Advances in Computer Science and Technology (ACST 2006), Puerto Vallarta, Mexico, pp. 38-43, Jan, 2006.

[13] T. Matsumoto, H. Saito, and M. Fujita, "Equivalence Checking of C Programs by Locally Performing Symbolic Simulation on Dependence Graphs," International Symposium on Quality Electronic Design (to appear).

[14] Anmol Mathur, Masahiro Fujita, M. Balakrishnan, Raj Mitra, "Sequential equivalence checking," 19th International Conference on VLSI Design, Hyderabad, India, Jan. 2006.

[15] Masahiro Fujita, "A Formal Design Approach from Software Oriented UML Descriptions to Hardware Oriented RTL," ACM/IEEE MEMOCODE tutorial, Verona, Italy, July 2005.

3. 国内学会，研究会等

[1] Y. Liu, S. Komatsu, M. Fujita, "Timed/Untimed Synchronization for Mixed-Signal System Level Design Environment,"18th Workshop on Circuits and Systems in Karuizawa, Apr.2005, Karuizawa, Japan

[2] 松本, 齋藤, 藤田, "Cベース高位設計における等価性検証フレームワークと反例解析手法の提案," 第18回回路とシステム軽井沢ワークショップ論文集, pp. 557-562, 2005年4月.

[3] 松本, 齋藤, 藤田, "依存グラフを用いた局所的な記号シミュレーションによるC言語記述に対する等価性検証手法の提案," 電子情報通信学会技術研究報告, Vol. 508, No. 58, pp. 25-30, 2005年5月.

[4] S. Gao, Y. Ishikawa, S. Watanabe, K. Seto, S. Komatsu, M. Fujita, "Pipeline Synthesis for Array Based Reconfigurable Architectures Considering Interconnect Delays," DAシンポジウム2005, pp. 225-230, 2005年8月.

[5] 西原佑, 松本剛史, 藤田昌宏, "長い反例のみを持つ設計誤りに対する帰納的推論を用いた検証手法," 電子情報通信学会技術研究報告 Vol. 105, No. 644, pp. 1-6, 2006 年 3 月.

[6] 佐々木 俊介, 西原 佑, 安藤 大介, 藤田 昌宏, "SpecC言語の依存グラフを利用したプログラムチェッカ," 電子情報通信学会技術研究報告, Vol.

105, No. 669, pp. 13-18, 2006年3月.
[7] 石川悠司, 渡邊翔太, 瀬戸謙修, 藤田昌宏, "プロトコル表現効率化に基づくプロトコル変換器合成手法に関する研究," 電子情報通信学会技術研究報告, Vol. 105, No. 669, pp. 67-72, 2006年3月.
[8] 松井健, 小松聡, 藤田昌宏, "組込みシステムのシステムレベル設計におけるオブジェクト指向技術の応用," 電子情報通信学会技術研究報告, Vol. 105, No. 669, pp. 73-78, 2006年3月.

1. 研究論文

[1] S. Iba, T. Sekitani, Y. Kato, T. Someya, H. Kawaguchi, M. Takamiya, T. Sakurai, and, S. Takagi, "Control of Threshold Voltage of Organic Field-Effect Transistors with Double Gate Structure," Applied Physics Letters, 87, 023509, July 2005.
[2] 水野正之, 高宮　真, 西　直樹, "LSIにおけるシグナルインテグリティ問題と対策　-LSI性能の継続的な進化のために-," 電子情報通信学会誌, Vol. 88, No. 4, pp. 272-275, 2005年4月.

2. 国際会議

[1] Y. Kato, S. Iba, T. Sekitani, Y. Noguchi, K. Hizu, X. Wang, K. Takenoshita, Y. Takamatsu, S. Nakano, K. Fukuda, K. Nakamura, T. Yamaue, M. Doi, K. Asaka, H. Kawaguchi, M. Takamiya, T. Sakurai, and T. Someya, "A Flexible, Lightweight Braille Sheet Display with Plastic Actuators Driven by An Organic Field-Effect Transistor Active Matrix," IEEE International Electron Devices Meeting (IEDM), Washington DC, USA, pp. 105-108, Dec. 2005.
[2] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, and T. Sakurai, "An Organic FET SRAM for Braille Sheet Display with Back Gate to Increase Static Noise Margin," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 276-277, Feb. 2006.

学会誌

[1] Yusuke Nakashita, Yoshio Mita and Tadashi Shibata, "Analog Edge-Filtering Processor Employing Only-Nearest-Neighbor Interconnects," Japanese Journal of Applied Physics Vol. 44, No. 4B, pp. 2119-2124, April 2005.
[2] Hitoshi Hayakawa, Makoto Ogawa and Tadashi Shibata, "Right-Brain/Left-Brain Integrated Associative Processor Employing Convertible Multiple-Instruction-Stream Multiple-Data-Stream Elements," Japanese Journal of Applied Physics, Vol. 44, No. 4B, pp. 2109-2118, April 2005.
[3] Toshihiko Yamasaki, Tomoyuki Nakayama, and Tadashi Shibata, "A Low-Power and Compact CDMA Matched Filter Based on Switched-Current Technology," IEEE Journal of Solid-State Circuits, vol. 40, No.4, pp. 926-932, April 2005.
[4] Frederic Marty, Lionel Rousseau, Bassam Saadany, Bruno Mercier, Olivier Francais, Yoshio Mita, and Tarik Bourouina, "Advanced Etching of Silicon Based On Deep "Reactive Ion Etching For Silicon High Aspect Ratio Micro Structures And Three-Dimensional Micro- And Nano-Structures", Microelectronics Journal, Circuits and Systems section, Vol. 36, pp. 673-677 June (2005)
[5] Makoto Ogawa and Tadashi Shibata, "A Delay-Encoding-Logic Array Processor for Dynamic Programming Matching of Data Sequences," IEEE Journal of Solid State Circuits, Vol. 40, No. 7, pp. 1578-1582, July 2005.
[6] Daisuke Kobayashi, Tadashi Shibata, Yoshikazu Fujimori, Takashi Nakamura, and Hidemi Takasu, "A Ferroelectric Associative Memory Technology Employing Heterogate FGMOS Structure", IEEE Transactions on Electron Devices, Vol. 52, No. 10, pp. 2188-2197, October 2005.
[7] Benjamin Caillard, Yoshio Mita, Yamato Fukuta, Tadashi Shibata, and Hiroyuki Fujita, "A highly simple failure detection method for electrostatic microactuators: application to automatic testing and accelerated lifetime estimation", IEEE Transactions on Semiconductor Manufacturing, Vol. 19, No. 1, pp. 35-42, Feb. (2006).

国際学会プロシーディング

[1] Benjamin Caillard, Yoshio Mita, Yamato Fukuta,

Yves-Andre Chapuis, Tadashi Shibata, and Hiroyuki Fujita, "Electrical Detection of Failures of MEMS Electrostatic Microactuators for Test Circuit", IEEE 6th Latin-American Test Workshop, Mar. 30-Apr. 2, Salvador, Bahia, Brazil, pp. 201-206, 2005.

[2] Benjamin Caillard, Yoshio Mita, Yamato Fukuta, Tadashi Shibata, and Hiroyuki Fujita, "Accelerated life time estimation of electrostatic microactuators", Proc. of IEEE International Conference on Microelectronic Test Structures (ICMTS), Apr. 4-7, Leuven, Belgium, pp. 101-105, 2005

[3] Benjamas Tongprasit, Kiyoto Ito, and Tadashi Shibata, "A Computational Digital-Pixel-Sensor VLSI Featuring Block-Readout Architecture for Pixel-Parallel Rank-Order Filtering,"in the Proceedings of The 2005 International Symposium on Circuits and Systems (ISCAS' 05), pp. 2389-2392, Kobe, Japan, May 23-26, 2005

[4] [155] Tomoyuki Nakayama, Toshihiko Yamasaki, and Tadashi Shibata, "A Low-Power Switched-Current CDMA Matched Filter Employing MOS-Linear Matching Cell and Output A/D Converter," in the Proceedings of The 2005 International Symposium on Circuits and Systems (ISCAS' 05), pp. 5365-5368, Kobe, Japan, May 23-26, 2005.

[5] Kota Ito, Yoshio Mita, Masanori Kubota, Frederic Marty, Tarik Bourouina, and Tadashi Shibata, "Electrical Critical Dimension Measurement Method by Integration of Test Structure into MEMS Devices", The 13th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '05), June 5-9, Seoul, Korea, Vol. 2, pp. 2031-2034 (2005).

[6] Masanori Kubota, Yoshio Mita, Kota Ito, Frederic Marty, Tarik Bourouina, and Tadashi Shibata, "A Contour-Lithography Method for Rapid and Precise Deep-Etched Nano-MEMS Structure Fabrication", The 13th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '05), June 5-9, Seoul, Korea, Vol. 2, pp. 1449-1452 (2005).

[7] Frederic Marty, Bassam Saadany, Tarik Bourouina, Yoshio Mita, Tadashi Shibata, "High Aspect Ratio Nano-Structures (HARNS) for Photonic MEMS Based on Vertical DBR Architecture", The 13th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '05), June 5-9, Seoul, Korea, Vol. 1, pp. 384-387 (2005).

[8] Masanori Kubota, Yoshio Mita, Frederic Marty, Tarik Bourouina, and Tadashi Shibata, "An improved locos-contour-lithography method for fabricating nanometer-and-millimeter-scale coexisting structures", MicroMechanics Europe Workshop (MME '05), Goteborg, Sweden, September 4-6, pp. 107-110 2005.

[9] Y. Suzuki and T. Shibata, "Multiple-Resolution Edge-Based Feature Representations for Robust Face Segmentation and Verification", Proceedings of 13th European Signal Processing Conference (EUSIPCO 2005), Antalya, Turkey, Sep. 4-8, 2005.

[10] K. Kawahara and T. Shibata, "A New Distance Measure Employing Element-Significance Factors for Robust Image Classification", the Proceedings of 13th European Signal Processing Conference (EUSIPCO 2005), Antalya, Turkey, Sep. 4-8, 2005.

[11] Hideo Yamasaki and Tadashi Shibata, "A Real-Time Image-Feature-Extraction and Vector-Generation VLSI Employing Arrayed-Shift-Register Architecture", in the Proceeding of the 31th European Solid-State Circuits Conference (ESSCIRC), pp. 121-124, Grenoble, France, 12-16 September, 2005.

[12] Hideo Yamasaki, and Tadashi Shibata, "A High-Speed Median Filter VLSI Using Floating-Gate-MOS-Based Low-Power Majority Voting Circuits," in the Proceeding of the 31th European Solid-State Circuits Conference (ESSCIRC), pp. 125-128, Grenoble, France, 12-16 September, 2005.

[13] Yusuke Nakashita, Yoshio Mita, and Tadashi Shibata, "An Analog Visual Pre-Processing Processor Employing Cyclic Line Access in Only-Nearest-Neighbor-Interconnects Architecture," to be published in Advances in Neural Information Processing Systems 18: Proceedings of the 2005 NIPS Conference, Vancouver, Canada, Dec. 2005.

[14] Yoshio Mita, Masanori Kubota, Masakazu Sugiyama, Frederic Marty, Tarik Bourouina,

and Tadashi Shibata, "Aspect Ratio Dependent Scalloping Attenuation in DRIE and an Application to Low-Loss Fiber-Optical Switch", in the Proceeding of IEEE International Conference on MicroElectroMechanical Systems (MEMS 2006), pp. 114-117, Istanbul, Turkey, January 23-26, 2006.

[15] Tomoyuki Harada, Kota Ito, Tadashi Shibata and Yoshio Mita, "A Reliable Bulk Knife-Edged Greek Cross Test Structure for as-Deposition Self-Patterning of New LSI Materials", in the Proceeding of IEEE International Conference on Microelectronic Test Structures (ICMTS), pp.149-15, Austin TX, USA, Mar. 5-9, 2006.

その他研究会

[1] 小林大輔, 柴田直, 「強誘電体薄膜を用いた連想プロセッサ」, 電気学会研究会資料(電気材料研究会)論文番号EFM-05-34, pp. 69-74, 2005年6月

[2] T. Shibata, "A Right-Brain Computing System on Silicon Based on Nano Device Characteristics, (Invited)" Proceedings of First International Nanotechnology Conference on Communication and Cooperation, San Francisco, Jun.1-3, 2005.

[3] Tarik Bourouina, Frederic Marty, Bruno Mercier, Yoshio Mita, Tadashi Shibata, Mathilde Callies, Yong Chen, Anne Pepin, and David Quere, "Single Crystal Silicon, High Aspect Ratio, Micro- and Nano-Structures: Technology and Applications (Invited)", International Conference on Materials for Advanced Technologies (ICMAT 2005), 3-8, July, Singapore, pp. 67-70 (2005).

[4] 柴田直「〔招待論文〕心理学的脳モデルVLSIシステムを用いた柔軟な画像認識」, 電子情報通信学会技術研究報告 (信学技報)Vol.105, No.349, pp.79-87, 論文番号SIP2005, ICD2005-128, IE2005-73, 2005年

[5] Yoshio MITA, Masanori Kubota, Kota Ito, Frederic Marty, Tarik Bourouina, et Tadashi Shibata, "Plus etroites et profondes: Derniers Avancements de la Fabrication de Nano-Structures en Silicium par le projet SAKURA 03-05", Journees Scietifique Francophone 2005, 11-12, Novembre, Tokyo (2005).

研究論文

[1] S. Takagi, T. Mizuno, T. Tezuka, N. Sugiyama, S. Nakaharai, T. Numata, J. Koga and K. Uchida, "Subband Structure Engineering for Advanced CMOS Channels", Solid State Electron. Vol. 49, No. 5, pp. 684-694, 2005.

[2] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Sugiyama and S. Takagi, "High-Mobility Strained SiGe-on-Insulator pMOSFETs with Ge-rich Surface Channels Fabricated by Local Condensation Technique", IEEE Electron Device Letters, vol. 26, No. 4, pp. 243-245, 2005.

[3] T. Irisawa, T. Numata, N. Sugiyama and S. Takagi, "On the Origin of Increase in Substrate Current and Impact Ionization Efficiency in Strained Si n- and p-MOSFETs", IEEE Trans. Electron Devices, Vol. 52, No. 5, pp. 993-998, 2005.

[4] N. Hirashita, N. Sugiyama E. Toyoda and S. Takagi, "Relaxation process in strained-Si layers on Si1-xGex-on-insulator substrates", Appl. Phys. Lett., Vol. 86, No. 22, 221923, 2005.

[5] S. Iba, T. Sekitani, Y. Kato, T. Someya, H. Kawaguchi, M. Takamiya, T. Sakurai and S. Takagi, "Control of threthold voltage of organic field-effect transistors with double gate structures", Appl. Phys. Lett. Vo. 87, 023509, 2005.

[6] T. Numata, T. Mizuno, T. Tezuka, J. Koga and S. Takagi, "Control of Threshold Voltage and Short Channel Effects in Ultra-thin Strained-SOI CMOS Devices", IEEE Trans. Electron Devices, vol. 52, No. 8, pp. 1780-1786, 2005.

[7] N. Taoka, A. Sakai, S. Mochizuki, O. Nakatsuka, M. Ogawa, S. Zaima, T. Tezuka, N. Sugiyama and S. Takagi, "Analysis of microstructures in SiGe buffer layers on silicon-on-insulator substrates", Jpn. J. Appl. Phys., Vol. 44, No. 10, pp 7356-7363, 2005.

[8] K. Usuda, T. Numata, T. Irisawa, N. Hirashita and S. Takagi, "Strain characterization in SOI and strained-Si on SGOI MOSFET channel using nano-beam electron diffraction (NBD)", Material Science and Engineering B, vol. 124-125, pp. 143-147, 2005.

[9] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, T. Maeda and S. Takagi, "Source-Heterojunction-MOS-

Transistors (SHOT) utilizing High-Velocity Electron Injection", IEEE Trans. Electron Devices, Vol. 52, No. 12, December, pp. 2690-2696, 2005.

国際会議論文

[10] T. Irisawa, T. Numata, T. Tezuka, K. Usuda, N. Hirashita, N. Sugiyama, E. Toyoda and S. Takagi, "High Current Drive Uniaxially-Strained SGOI pMOSFETs Fabricated by Lateral Strain Relaxation Technique", VLSI symposium, pp. 178-179, 2005.

[11] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Hirashita, E. Toyoda, N. Sugiyama, T. Mizuno and S. Takagi, "A New Strained-SOI/GOI Dual CMOS Technology Based on Local Condensation Technique", VLSI symposium, pp. 80-81, 2005.

[12] T. Tezuka, Y. Moriyama, S. Nakaharai, N. Sugiyama, N. Hirashita, E. Toyoda and S. Takagi, "Lattice Relaxation and Dislocation Generation/Annihilation in SiGe-on-Insulator Layers during Ge Condensation Process", 4th International conference on Silicon Epitaxy and Heterostructures (ICSi-4), Awaji Island, Japan, pp. 86-87, 2005.

[13] T. Irisawa, T. Numata, N. Sugiyama and S. Takagi, "Physical Origin of Increase in Substrate Current and Impact Ionization Efficiency in Strained Si n- and p-MOSFETs", 4th International conference on Silicon Epitaxy and Heterostructures (ICSi-4), Awaji Island, Japan, pp. 102-103, 2005.

[14] T. Maeda, K. Ikeda, S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama and S. Takagi, "Thin-body Ge-on-insulator p-Channel MOSFETs with Schottky-Barrier Pt Germanide Source/Drain", 4th International conference on Silicon Epitaxy and Heterostructures (ICSi-4), Awaji Island, Japan, pp. 56-57, 2005.

[15] N. Hirashita, E. Toyoda, N. Sugiyama and S. Takagi, "Enhanced Relaxation Process in Strained Si layers on Si1-xGex-on-Insulator Substrates", 4th International conference on Silicon Epitaxy and Heterostructures (ICSi-4), Awaji Island, Japan, pp. 126-127, 2005.

[16] K. Ikeda, T. Maeda and S. Takagi, "Characterization of Platinum Germanide / Ge (100) Schottky Barrier Height for Ge Channel Schottky Source/Drain MOSFET", 4th International conference on Silicon Epitaxy and Heterostructures (ICSi-4), Awaji Island, Japan, pp. 312-313, 2005.

[17] K. Usuda, T. Numata, T. Irisawa, N. Hirashita and S. Takagi, "Strain characterization in a strained-Si channel of strained-Si MOSFET", European MRS symposium, 2005.

[18] S. Takagi, T. Maeda, K. Ikeda, S. Nakaharai, T. Tezuka, Y. Moriyama and N. Sugiyama, "Ultra-thin Ge-On-Insulator (GOI) MOSFET with Germanide Metal Source/Drain", 2005 International Symposium on Metal Source/Drain Technology, Stanford University, Stanford, CA, 2005.

[19] S. Takagi, "Strained-Si/SiGe/Ge-On-Insulator CMOS and Substrate Technologies", First International WorkShop on New Group IV Semiconductor Nanoelectronics, Tohoku University, SENDAI, JAPAN, pp. 40-44, 2005.

[20] N. Sugiyama, N. Hirashita, Y. Moriyama, S. Nakaharai, T. Tezuka, K. Usuda and S. Takagi, "Twin Formation in (110) SiGe-On-Insulator Structures during Ge Condensation Process", First International WorkShop on New Group IV Semiconductor Nanoelectronics, Tohoku University, SENDAI, JAPAN, pp. 25-26, 2005.

[21] T. Ishihara, K. Uchida, J. Koga and S. Takagi, "Physical Origin of SOI-Thickness Dependence of the Inversion Layer Mobility in SOI MOSFETs", Ext. Abs. SSDM, pp. 42-43, 2005.

[22] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Hirashita, N. Sugiyama, A. Tanabe, K. Usuda and S. Takagi, "Performance Enhancement under High-Temperature Operation and Physical Origin of Mobility Characteristics in Ge-rich strained SiGe-on-Insulator pMOSFETs", Ext. Abs. SSDM, pp. 36-37, 2005.

[23] T. Mizuno and S. Takagi, "Device Design of High-Speed Source-Heterojunction- MOS-Transistors (SHOT) under 10-nm Regime", Ext. Abs. SSDM, pp. 262-263, 2005.

[24] Y. Nakabayashi, J. Koga, T. Ishihara and S. Takagi, "Physical Origins of Surface Carrier Density Dependences of Interface- and Remote-Coulomb Scattering Mobility in Si MOS

Inversion Layers", Ext. Abs. SSDM, pp. 44-45, 2005.

[25] S. Nakaharai, T. Tezuka, E. Toyoda, N. Hirashita, Y. Moriyama, T. Maeda, T. Numata, N. Sugiyama, and S. Takagi, "High Mobility Fully-Depleted Germanium-on- Insulator pMOSFET with 32-nm-Thick Ge Channel Layer Formed by Ge-Condensation Technique", Ext. Abs. SSDM, pp. 868-869, 2005.

[26] S. Takagi, K. Takeda, S. Sugahara and T. Numata, "Examination of the Universality of Hole Mobility in Strained-Si p-MOSFETs", Ext. Abs. SSDM, pp. 38-39, 2005.

[27] K. Ikeda, Y. Yamashita, N. Taoka, N. Sugiyama and S. Takagi, "Modulation of NiGe/Ge Schottky Barrier Height by Dopant and Sulfur Segregation during Ni Germanidation for Metal S/D Ge MOSFETs", Ext. Abs. SSDM, pp. 544-545, 2005.

[28] T. Irisawa, T. Numata, T. Tezuka, K. Usuda, S. Nakaharai, N. Hirashita, N. Sugiyama, E. Toyoda and S. Takagi, "High Performance Multi-Gate pMOSFETs using Uniaxially-Strained SGOI Channels", Tech. Dig. IEDM, pp. 727-730, 2005.

[29] Y. Nakabayashi, J. Koga, T. Ishihara and S. Takagi, "New Findings on Inversion-Layer Mobility in Highly Doped Channel Si MOSFETs", Tech. Dig. IEDM, pp. 139-142, 2005.

[30] S. Nakaharai, T. Tezuka, E. Toyoda, N. Hirashita, Y. Moriyama, T. Maeda, T. Numata, N. Sugiyama and S. Takagi, "Fabrication of Ultra-thin Ge-on-Insulator (GOI) Layers by Ge-Condensation Technique", 4th International Symposium on Nanotechnology (JAPAN NANO 2006), P. 3-11, 2005.

総説・解説論文

[31] 高木信一，“ひずみGeやIII-V族化合物を導入異種材料の混載LSIに道”，日経マイクロデバイス，vol. 22，No.8, pp. 54-55, 2005.

[32] 高木信一, Si系高移動度MOSトランジスタ技術，応用物理，9月号，vol. 7, No. 9, pp. 1158-1170, 2005.

[33] 高木信一, 金森　順, 杉本有俊，“テクノトーク - 次世代デバイス開発の支援を目指し，進化する半導体計測・解析システム”, 日立評論，第88巻，第3号, pp. 36-38, 2006.

シンポジウム・研究会・大会等発表

[34] 前田辰郎, 安田哲二, 西澤正泰, 宮田典幸, 森田行則, 高木信一，“ゲルマニウムの直接窒化によるGe3N4/GeMIS構造の特性”，第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[35] 前田辰郎, 池田圭司, 中払周, 手塚勉, 杉山直治, 守山佳彦，高木信一，“Metal Source/Drain Germanium-on-Insulator MOSFET(MSD-GOI MOSFET)の動作実証”，第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[36] 臼田宏治, 入沢寿史, 沼田敏典, 平下紀夫, 高木信一,“平面NBD法によるひずみSiGe層の一軸ひずみ緩和評価”, 第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[37] 八代吉宗, 田島道夫, 平下紀夫，手塚勉，高木信一，“PL法による歪SOIウエハーの評価”，第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[38] 手塚勉, 中払周, 守山佳彦, 平下紀夫, 豊田英治, 杉山直治, 水野智久, 高木信一，“局所酸化濃縮法を用いたひずみSOI/ひずみSGOIハイブリッドCMOS技術”, 第66回応用物理学会

[39] 入沢寿史, 沼田敏典, 手塚勉, 臼田宏治, 平下紀夫, 杉山直治, 豊田英二, 高木信一,“横方向歪み緩和を用いて作製した高駆動力一軸歪みSGOI pMOSFETs”，第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[40] 入沢寿史, 沼田敏典, 杉山直治, 高木信一,“インパクトイオン化効率に与える歪み効果の物理的起源”, 第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[41] 水野智久, 高木信一，“高速動作を目指したソースヘテロ接合MOSFET (SHOT) の素子設計”，第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[42] 杉山直治，平下紀夫，手塚勉，守山佳彦，高木信一,“(110) 面を有するSGOI基板における酸化濃縮時の双晶の発生”，第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[43] 臼田宏治, 入沢寿史, 沼田敏典, 平下紀夫, 高木信一,“平面NBD法によるひずみSiGe層の一軸ひずみ緩和評価”, 第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[44] 平下紀夫, 豊田英二, 守山佳彦, 杉山直治, 高木信一,“SGOI基板上の(001)ひずみSi層のひずみ緩和 2”，第66回応用物理学会学術講演会，徳島大学，Sep. 2005.

[45] 平下紀夫, 豊田英二, 守山佳彦, 杉山直治, 高木信一,“SGOI基板上の(001)ひずみSi層のひずみ緩和 3”, 第66回応用物理学会学術講演会, 徳島大学, Sep. 2005.

[46] 田岡紀之, 池田圭司, 山下良美, 杉山直治, 高木信一,“Ge-MIS構造におけるGe表面処理の電気特性への影響”, 第66回応用物理学会学術講演会, 徳島大学, Sep. 2005.

[47] 中林幸雄,古賀淳二, 石原貴光, 高柳万里子, 高木信一,“Si MOS反転層中のキャリア伝導に対する高チャネル濃度化の影響”, 第66回応用物理学会学術講演会, 徳島大学, Sep. 2005.

[48] 朴 敬花, 平川一彦, 高木信一,“Si-MOSFET中の電子移動度の強い温度依存性－散乱機構とスクリーニング効果”, 第66回応用物理学会学術講演会, 徳島大学, Sep. 2005.

[49] 熊谷寛, 七条真人, 石川寛人, 星井拓也, 菅原聡, 高木信一,“Ge上極薄Siのプラズマ酸化によるSiO2/Ge MISキャパシタの作製と電気特性”, 第66回応用物理学会学術講演会, 徳島大学, Sep. 2005.

[50] S. Takagi, K. Takeda and S. Sugahara, "Carrier Transport Properties of Si-Based High Mobility/Velocity Channel MOSFETs for Future CMOS", International Symposium on Advanced Electronics for Future Generations － Secure-Life Electronics for Quality Life and Society －, pp. 147-152, 2005.

[51] 高木信一, “高移動度MOSトランジスタ技術”, 2005年半導体MIRAIプロジェクト成果報告会, パシフィコ横浜, 2005.

[52] 高木信一, “新構造チャネル高性能CMOSデバイス技術”, 先端知機能材料デバイスラボラトリーズF&RICオープンフォーラム2005「知の融合と開放」, 東京大学武田先端知ビル5階 武田ホール, 2005.

[53] 高木信一,“SGOI/GOI MOSトランジスタ技術“, 電気学会第10回IV族系ヘテロデバイス・システム材料技術調査専門委員会, ルーテル市ヶ谷センター, 2005.

[54] 田岡紀之, 池田圭司, 山下良美, 杉山直治, 高木信一, “Ge-MIS構造における表面熱処理雰囲気の電気特性への影響”, ゲートスタック研究会 — 材料・プロセス・評価の物理 —(第11回研究会), 東レ総合研修センター, pp 203-208, 2005.

[55] 熊谷寛, 七条真人, 石川寛人, 星井拓也, 菅原聡, 高木信一, “Ge上極薄膜Siのプラズマ酸化によるSiO2/Ge MISキャパシタの作製と界面特性評価”, ゲートスタック研究会 — 材料・プロセス・評価の物理 —(第11回研究会), 東レ総合研修センター, pp. 177-182, 2005.

[56] 八代吉宗, 平下紀夫, 手塚勉, 高木信一, 仙田剛士, 本臼正周, 泉妻宏治, 田島道夫, “歪みシリコンウエハーのフォトルミネッセンス評価“, 応用物理学会シリコンテクノロジー分科会第78回研究集会「シリコン結晶に関する基礎研究と応用技術－若手研究者を中心とした討論会－」, 学習院大学, 2005.

[57] 池田圭司, 山下良美, 田岡紀之, 杉山直治, 高木信一, “界面不純物偏析によるNiGe / Ge（100）ショットキー障壁変調効果”, 23p-W-9, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[58] 平下紀夫, 豊田英二, 守山佳彦, 杉山直治, 高木信一, “SGOI基板上のひずみSi層のひずみ緩和4ひずみSi層の臨界膜厚“, 22p-ZE-6, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[59] 臼田宏治, 入沢寿史, 沼田敏典, 平下紀夫, 高木信一, “平面NBD法によるメサ形成圧縮ひずみSiGeチャネル層の緩和評価“, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[60] 守山佳彦, 平下紀夫, 豊田英二, 臼田宏治, 中払周, 杉山直治, 高木 信一, “GOI/ SGOI基板表面のGeエピタキシャル成長前クリーニング法の検討“, 23a-ZD-9, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[61] 田邊顕人, 沼田敏典, 手塚勉, 平下紀夫, 高木信一, “ひずみSi/SGOIにおけるpn接合リーク“, 26a-X-8, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[62] 田岡紀之, 池田圭司, 山下良美, 杉山直治, 高木信一, “Ge-MIS界面評価における測定温度の影響“, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[63] 杉山直治, 中払周, 平下紀夫, 手塚勉, 守山佳彦, 臼田宏治, 高木信一, “二段階酸化濃縮法による低貫通転位密度SGOI構造の作製“, 22p-ZE-8, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[64] 入沢寿史, 沼田敏典, 手塚勉, 臼田宏治, 平下紀夫, 杉山直治, 豊田英二, 高木信一, “横方向歪み緩和を用いて作製した高駆動力一軸歪みSGOI pMOSFETs“, 25p-X-2, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[65] 入沢寿史, 沼田敏典, 手塚 勉, 臼田宏治, 中払 周, 平下紀夫, 杉山直治, 豊田英二, 高木信一, “一軸歪みSGOIチャネルを有する高性能マルチゲートpMOSFETs”, 25p-X-3, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[66] 中払周, 手塚 勉, 平下紀夫, 豊田英二, 守山佳彦, 杉山直治, 高木信一, “酸化濃縮法によるGe-on-Insulator（GOI）層の形成過程における結晶欠陥の発生“, 23a-ZD-8, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[67] 高木信一, “高速/低消費電力CMOSのための基板・デバイス・プロセス技術“, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[68] 高木信一, 菅原聡, “III-V族化合物半導体n-MOSFETとSi n-MOSFETの電気特性の比較“, 26p-X-1, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[69] 星井拓也, 菅原聡, 高木信一, “ひずみSi MOSFETのゲートトンネル電流に与えるひずみの効果“, 26a-X-7, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[70] 中林幸雄, 古賀淳二, 石原貴光, 高柳万里子, 高木信一, “高濃度チャネル領域におけるクーロン散乱移動度の振舞いの物理的起源“, 26p-X-8, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[71] 朴敬花, 平川一彦, 高木信一, “音響フォノン散乱によるn型Si-MOSFET中のエネルギー緩和”, 26p-X-6, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[72] 上原貴志, 松原寛, 菅原聡, 高木信一,”低温MBE成長を用いた超薄層Ge-on- Insulator(GOI) p-channel メタルS/D MOSFET”, 25a-X-11, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[73] 七条真人, 菅原聡, 高木信一,”III-V on Insulator（III-V-O-I）MOSFET応用に向けたSi基板上のIII-V族化合物半導体エピタキシャル成長法”, 26p-X-2, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

[74] 菅原聡, 中根了昌, 高木信一, “オーミックコンタクト合金を用いたメタル・ソース/ドレインMOSFET”, 25a-X-12, 第53回応用物理学会関係連合学術講演会, 武蔵工業大学, Mar. 2006.

2. 国際会議

[1] K. Yamamoto and M. Fujishima, "Differencial injection locking frequency divider with low power consumption and a wide locking range," IEEE International Meeting for Future of Electron Devices Kansai, P-D9, (Osaka) (Apr. 2005)

[2] I.C.H. Lai and M. Fujishima, "Simple modeling expressions for substrate network of on-chip inductors," Proceedings of the 2005 International Conference on Microelectronic Test Structures, pp. 113-118 (April 2005)

[3] M. Fujishima, K. Yamamoto, and I.C.H. Lai, "High-performance RFCMOS designs for high-speed and secure communications," International Symposium on Advanced Electronics for Future Generations, pp. 141-146 (October 2005)

[4] K. Yamamoto and M. Fujishima, "70GHz CMOS Harmonic Injection-Locked Divider," IEEE International Solid-State Circuits Conference (San Francisco) (8th February, 2006)

3. 国内学会，研究会等

[1] 渡辺, 山本, 藤島, "デュアルピーク共振回路による電圧制御発振回路の高性能化", 第5回 シリコンアナログRF研究会（東京）（2005年8月17日）

[2] Lai, 王, 藤島, "インダクティブゲートカスコード回路による増幅回路の利得改善", 第5回 シリコンアナログRF研究会（東京）（2005年8月17日）

[3] 谷本, Lai, 藤島, "スローウェーブコプレナ導波路の最適化", 2005年電子情報通信学会ソサイエティ大会（札幌）（2005年9月20日）

[4] I.C.H. Lai and M. Fujishima “Substrate-coupled inductor model for circuit design simulations,” 電子情報通信学会集積回路研究専門委員会（高知）（2005年12月16日）

[5] 渡辺, 山本, 藤島, "デュアルピーク電圧制御発振器の試作と解析", 2006年電子情報通信学会総合大会（東京）2006年3月

[6] 谷本, 藤島, "スローウェーブコプレナ導波路のモデリング", 2006年電子情報通信学会総合大会（東京）2006年3月

[7] 新山, 藤島, "キーロンダリングを用いたストリーム暗号", 2006年電子情報通信学会総合大会（東京）2006年3月

[8] 王, 藤島, "形状依存を考慮した110GHzまでの

MOSFETのモデリング", 2006年電子情報通信学
会総合大会（東京）2006年3月

第5章　付録

5．1　VDEC利用規程・申し込みガイド

5.1.1　概要

VDECは，全国の大学・高専向けに様々な支援事業を実施している．

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会（8-9月・3月）
4. 社会人リフレッシュ教育(12月-1月，学生も参加可能)
5. VLSIデザイナーフォーラム（若手の会）
6. 大型装置利用

CADベンダー，試作会社等のアカデミック向けの協力により，それぞれのサービスを大幅なアカデミックディスカウントで提供している．VDEC設立以来，これまでの実績では，CADの利用・CAD講習会は無償，LSI試作サービスは海外での類似サービスの半額以下，大型装置は消耗品実費負担のみとなっている．見返りとして，ユーザにはVDECを利用する「顧客」ではなく，VDECと一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している．全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし，限られたスタッフの中，日々支援活動を行っている．

サービスの対象は基本的には，大学・高専であり，端的にはメールアドレスとして「.ac.jp」を持つ教員と，その研究室内の教職員と学生を対象とする．それ以外の研究所の利用や，企業との共同研究については個別の判断を要する．特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため，VDECの担当者（vdec@vdec.u-tokyo.ac.jp）に必ず相談いただきたい．その他のサービスについてはVDECの裁量範囲が広くなるので可能性が高くなるが，こちらもあらかじめ相談いただきたい．企業との共同研究については，少なくとも非営利，アカデミック側が51%以上のイニシアチブを取る研究であることが必要である．

また，CADの申込や試作申込，装置利用申込など，契約にかかわる作業は全て，代表の教員の方々に行っていただくことをお願いしている．研究室のメンバが代理で行うことも現実には可能であるが，その場合もあくまで教員の了解をとり，代理としての心構えで望んでいただきたい．

VDECのシステムは，InternetとUnix operating systemの上になりたっているので，Internetの仕組やUnixについての素養はあらかじめ付いていることを期待している．従って，利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって，問題を切りわけながら対処することが勧められる．

5.1.2 まずはじめに

VDECからのおしらせ，また講習会・リフレッシュ教育を除く全ての申込や問い合わせには，VDECのWEBページ http://www.vdec.u-tokyo.ac.jp/ を用いている．一部のページは秘密等が含まれるため，WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol （IP）アドレスによって制限をかけている．

従って，VDECを利用したい場合，前もって教員によるアカウントの申請が必要である．登録は無料．資格の審査を行うため十分な（サービス開始前1ヶ月以上）時間的余裕をもって，申込をお願いしたい．申込から概ね数週間が経過した後，WEBページアクセス用のアカウントとパスワードが発行される．アカウントは，半角英大文字2字＋半角数字5桁（例: VD00000）からなる．

申込で特に注意する点は，VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである．学校の中にあるマシンからのみアクセスを許可しており，プロバイダーのアドレスならびに，Proxyサーバのアドレス登録は禁止する．入力の際は，133.11.58.4,133.11.58.5のように，IPアドレスを全て「半角」の英数字で，「,」（半角カンマ）で区切って，途中改行を入れずに入力する．また，ここで入力するアドレスは，「ネットワークの外部から見えるアドレス」であることに注意する．特に，NAT（IP masqueradeというプログラム名で呼ばれることもある．機能としてはNATが正しい.） で研究室内をローカルネットワークにしている場合は，NATサーバのアドレスを入力する．よくある間違いとして，ローカルネットワークのIP，例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある．

ネットワークが変更になるとか，研究室のマシン増設などでIPアドレスを変更する場合は同じく，申込の

図5.1　VDECホームページのインデクスフレーム

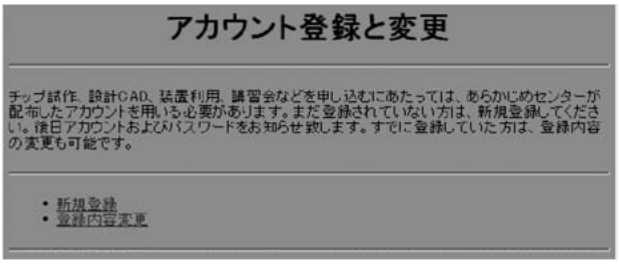


図5.2　アカウント登録・変更ページの入口

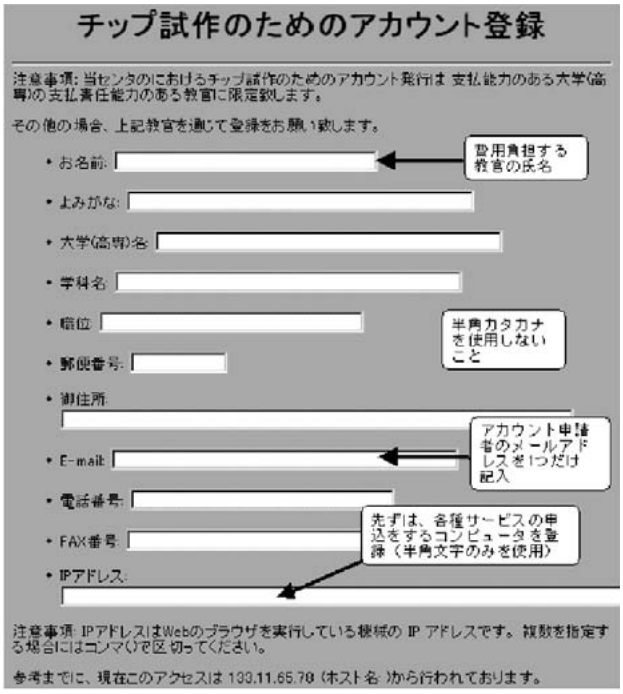


図5.3　アカウントの新規登録の注意点

ページから「登録内容変更」を行う．特に，古いIPが使えなくなるといった大幅なネットワークの変更がわかっている場合は，まえもって新旧両方のアドレスを登録しておく．万一アクセスできなくなった場合は，「新規登録」を行い，同じE-Mailアドレスを入力することで上書き変更が可能である．

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けないが，管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxyサーバ等を介さないアドレスを指定すること．これは，設計規則等の機密情報がProxyサーバに残ってしまい，機密漏洩につながることを防ぐためであるので守っていただきたい．但し，ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

5.3　CADツールの共同利用

VDECでは，集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している．これらのソフトウェアは，VDECのVLSI試作以外のアカデミック用途（MOSIS-VDECを通じた試作，教育用の演習，EB等VDECの大型装置利用のためのデータ作成用，等）の利用も可能である．アカデミック向けであるから，企業との研究の際は利用の可・不可が場合により異なるので，心配な場合あらかじめ相談いただきたい．

1つの設計作業を行うために，2つ以上のベンダーからCADを選べる状況（二重化）を理想としている．LSIの設計には，CADソフトと共に，パラメータやライブラリが必要であるが，これも職員や関連研究室のボランティアにより，充実のための努力が払われている．ボランティアとしての協力は大変に歓迎される．

CAD申込のWEBページに教員がアクセスする（WEBアカウントが必要である）．NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後，CADの申請ができる．

申請時にWEBから入力する内容は以下のとおり．

- ソフトウェアライセンス数（研究室で同時に使用すると思われる最低数を入力）
- 用途
- メディアリクエスト（使用するOperating Systemを選んでチェックする）．
- 利用する研究室所有ワークステーションのホストネーム（VDEC，端的にはusr1から名前→IPアドレスの解決ができる，「.ac.jp」で終わるホスト名であることが条件.）

ソフトウェアのCDROM（メディア）について，VDECの創設期においては，メディアを近隣の研究室で「回覧」していたが，インターネットの発達により回線が豊富になったので，現在ではCDに書き込めるISOイメージファイルで提供している．提供するサイトは，usr1.vdec.u-tokyo.ac.jpである．メディアのリクエスト

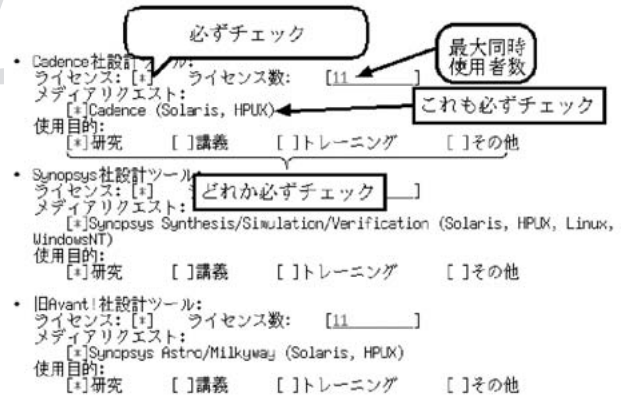


図5.4　CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

を怠ると，上記ホストにログインできないので注意が必要である．usr1のアカウントも職員の手によって手動で発行するので，CADを申請してから2週間程度の時間差がある．usr1へのログインは，WEBアカウントの英字を「小文字にしたもの」，たとえばWEBに「VD00000」でアクセスできている場合，usr1には「vd00000」でログインする．パスワードは大文字小文字の変換を「しない」ので，こちらも注意が必要である．

メディアを取得した後，プログラムをインストールし，初期設定ファイルを整備する．特に，ライセンスファイルはWEB経由で別途取得の上設定するか，環境変数LM_LICENSE_FILE等を （ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する．また，/etc/hostsファイル等を設定し，ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する．端的には，手元のワークステーションにおいて，例えば「vdec-cad1」と指定するだけで，FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する．

CADツールを実行するためには，VDECまたは地域拠点校のライセンスサーバによる認証が必要である．ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので，VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも，稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である．また，ライセンスサーバの認証は，CADツール起動後も数分おきに行われるので，CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない．また，ファイアーウォールを使用しているネットワーク環境では，VDECのWebサーバとVDECおよび地域拠点校に対して，ライセンス認証用の特定のポートを空ける必要がある．この場合，各大学・高専のネットワーク管理者と相談すること．

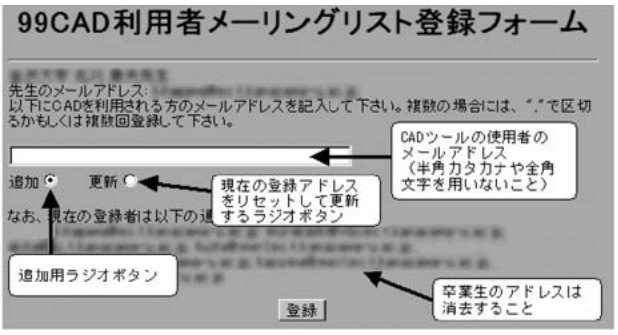


図5.5　CAD利用者メーリングリスト登録における注意点

初期設定等はやり方を一度経験すれば簡単であるが，はじめてのときは様々な問題が置こることもある．VDECに対する大幅なアカデミックディスカウントの引き換えとして，各研究室はCADベンダーによる直接のサポートを受けられない．かわりにVDECでは，「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している．質問はこちらのメーリングリストを利用いただきたい．CADを利用する研究室の構成員のどなたでも投稿，返答してよい．CADuser MLの注意点は以下のとおり．

1. WEBページから，利用するメンバのE-Mailアドレスを登録すること．特にその際，「.ac.jp」で終わるアドレスを利用し，メールはプロバイダ等に転送しないこと（情報漏洩の観点から）．
2. リストの更新は頻繁におこない，卒業生へのメール配信は速やかに停止すること．特に4月に注意．
3. メールをする前に，あらかじめCADuser MLの過去記事検索がWEBからできるので，類似の質問が無いかどうか検索してから投稿すること．
4. 機密保持にかかわるような内容のメールは，CADuserに送ってはならない．各試作のメーリングリストに送ること
5. 問題解決したら，問題，原因，解決法をまとめて投稿すること （必須ではないが，ネット利用のエチケットといえる）．

ライセンスは年度単位で申込みを受けつけしている．各CADベンダーとVDECとの交渉がまとまる毎年3月末に，CADuser ML とWEB上に，次年度のCAD利用申込案内が出るので忘れずに申込する．4月中は移行期間として前年度申込のライセンスも有効にしてあるが，4月末に切れるため，そのときになって慌てる例が毎年発生している．「永久ライセンスではない」ことに十分ご注意いただきたい．

【毎月注意を払うべき点．熟読必須.】

1. VDECでは毎月，CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を更新している．このときDNSの逆引きができなくなっていた等の何らかの不

具合で，アクセスリストに自分の計算機が登録されない場合がある．その場合，CADが使えなくなるので，アクセスリスト更新前に対処する必要がある．サーバの停止は，全国ユーザに影響が及ぶため頻繁には行えないので，万が一アクセスリストの不備に気づかなかった場合は，最悪一ヶ月以上CADが使用できなくなる．

2. 以上の理由で，VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合，必ずチェックを行い，自分のコンピュータが登録されていることを確認しなければならない．
3. 登録確認のページは，http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである．ブックマークを強くお勧めする．
4. IPアドレス（ホスト名）registered　という表示が出ていれば登録されている．
5. false（false（ホスト名））FAIL という表示が出ていれば登録に失敗しているので，原因を探る．

一般的に，DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い．研究室のネットワーク管理者とも相談して，VDECのサーバから，当該ホスト名の逆引きができるまで原因の除去を行う．

5.4 VLSI試作サービスの共同利用

VLSI試作サービスは，教育研究目的に限って認められる．WEBページに本年度のランが掲示され，数ヶ月前から試作が申込可能になり，リンクが張られる．まず，試作会社の持つ機密情報に対するNDA契約を行った後，設計規則やライブラリにアクセスできる．設計規則はWEB経由のアクセスならびに，WEBでの公開を禁止している会社の場合はCDROM等で送付される．NDAの対象は教員であるが，研究室の職員・学生にも同じNDAが適用されるため，取扱には細心の注意を支払っていただきたい．尚，秘密保持契約内容は，以降の同一プロセスによるチップ試作全てにおいて有効である．

試作申込はデザイン提出〆切日の6～3ヶ月前，キャンセルの〆切は1ヶ月前である．1ヶ月前より遅くなったキャンセルには，原則として試作代金をお支払いいただくので注意いただきたい．特にはじめて試作に参加される場合は，1ヶ月前には回路ができているくらいの，余裕をもったスケジュールを組まれることを強くお勧めする．

VLSI申込フォームの入力に関する注意点（図5.8）

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること．チェックを行わないと入力した数字は無効となる

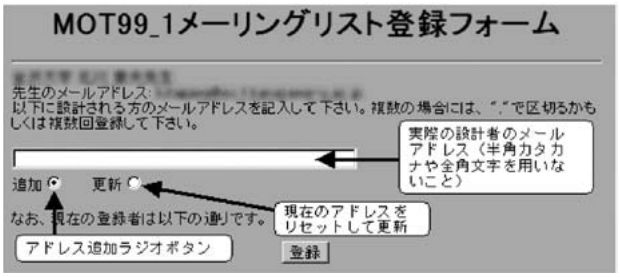


図5.6　VLSI試作メーリングリスト登録ページの注意点

- チップ数入力には半角数字を用いる

設計に関する問い合わせについては，各試作についてメーリングリストを用意してあるので，設計者全員のメールアドレスを登録する．「.ac.jp」で終わるアドレスであり，プロバイダに転送をしないよう注意願いたい．過去記事検索もできる．

レイアウトを設計した後，VDECが提供する最新のDesign Rule Checkファイルでチェックを行い，エラーフリーになったものを提出する．また，シミュレーションはもちろんのこと，レイアウトが回路図と同等であることを確認するLayout Vs Schematic（LVS）チェックを通しておいて，提出しようとする回路が本当に動作しそうである確信を持っておくことは最低限必要であろう．デザインの提出はusr1.vdec.u-tokyo.ac.jpに最終のGDS-II stream形式ファイルを置き，提出コマンド/usr/designs/01/bin/submit.plを実行する．

提出〆切は月曜日に設定されていることが多いが，できる限り余裕をもって，前の週などに提出をいただきたい．また，月曜日に締め切った後，VDEC側で再度デザインルールをチェックしている．この際本来出てはいけないエラーが出ることがあり，出た場合設計者に修正のお願いを連絡するので，提出したからといって安心せず，1週間ほどはVDECからの連絡に注意願いたい．

デザイン提出から数ヶ月後に，VLSIチップが納品され，請求書も送付されるので，遅滞なく支払をお願いする．

5.5 CADツール講習会

CADベンダーとの契約により，個々のサポートは提供しないかわりに，毎年2回，夏と春とCAD講習会を開催している．夏は基本的に東京大学の武田先端知ビルセミナー室において，春は各地方の拠点校を中心として開催される．まずはこういった講習会に参加して，大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている．アナウンスならびに申込はこれも，VDECのWEBページによって行われるのでご注意いただきたい．

5.6 社会人リフレッシュ教育

CADツール講習会からさらに進んだ形で，Verilogである回路を実際に設計し，レイアウト合成したり，FPGAによる実験を行う「ディジタルコース」，アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」，「RF」コースならびに一線の研究者による設計事例の講演会などを企画している．12月～1月に開催し，有料である．社会人を主に対象としているが，申込数に余裕がある場合学生の参加も歓迎している．

5.7 デザイナーフォーラム（若手の会）

毎年夏から秋にかけて，VDECを利用する若手が合宿を行い，最近の動向や研究内容について話しあう機会を設けている．発足当初の「若手」の定義は年齢が5ビット．最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている．

5.8 大型装置利用

LSIテスターや，EB装置など，公開可能な装置については，利用の案内をWEBページに掲載している．その手順に従って利用方法の学習と申請を行う．基本的なスタンスは以下のとおり．

1. 公開の対象は教員であり，研究室メンバは教員の代理として責任をもって使っていただく．
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC専任・協力教員のサポートスタッフ数に限りがあるので，免許保持者に積極的な教育をお願いすることがあるので，協力いただきたい．

5．2　IPデータベースの整備

設計資産の再利用のために，VDECではWeb上でのデータベースの構築および公開を行っている（http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html，図5.2.1）．本データベースの利用対象は，IP登録に関してはVDECユーザに限定しているが，IP利用に関しては任意対象となっている．本データベースに関してのVDECの役割は，IPのカタログデータの整理，公開および登録者－利用者間の仲介と機密情報の取り扱いの監督である．

平成12年度から平成14年度の3年間，（株）半導体理工学研究センター（STARC）との共同研究としてIPプロジェクトを行ってきたが，その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ，上記データベースによって公開を行っている．

現在までに登録済みのIPを表5.2.1に示す．

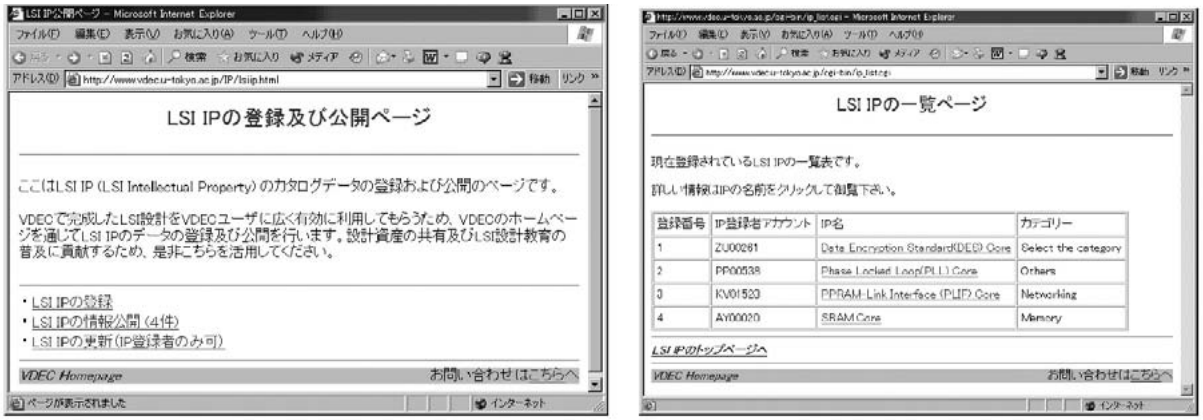


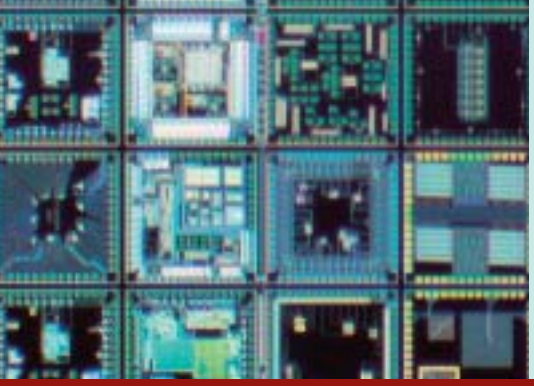
図5.2.1　VDEC LSI IP Webデータベースの例

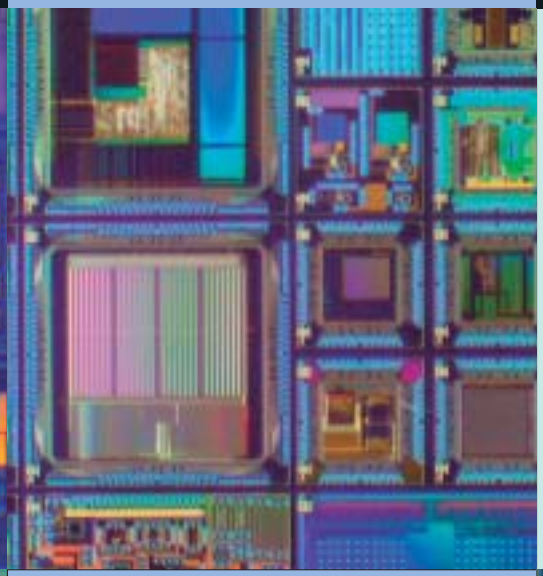
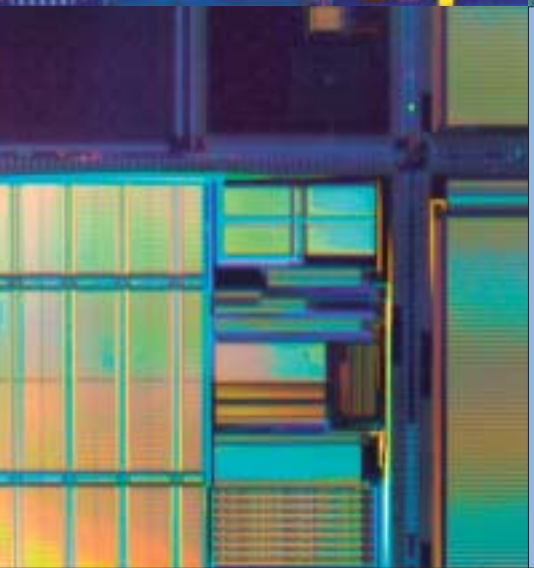
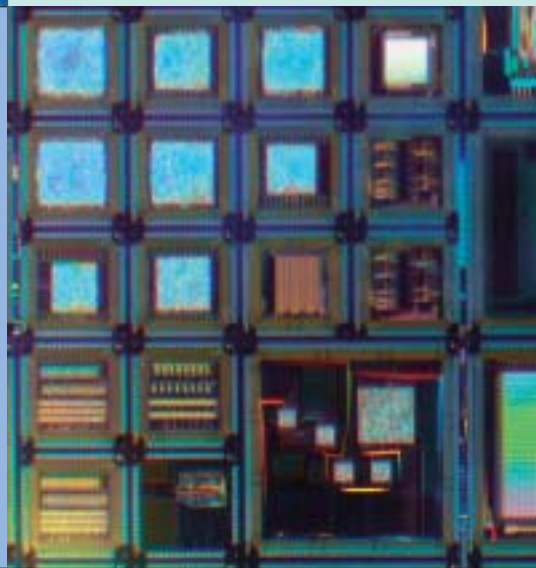
表5.2.1 VDEC LSI IPデータベースに登録済みのIP（平成18年3月現在）

度登録番号	IP名	カテゴリー
1	Data Encryption Standard（DES）Core	Others
2	Phase Locked Loop（PLL）Core	Others
3	PPRAM-Link Interface（PLIF）Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

STARCとのIPプロジェクトをさらに発展させ，VDECユーザ間でのIP再利用がより容易にさせるために，Open Core Protocol（OCP）を積極的に利用し，IPライブラリを充実させることを計画しております．VDECでは，現在，先行的にOCPを利用したIP開発，既存IPのOCPへの対応手法の研究などを行っており，今後公開予定です．また，各ユーザの作成したIPをVDECホームページ上のIP登録ページに登録することで，VDECユーザ間でのIP利用の促進をはかる予定です．

また，（株）ルネサステクノロジより「M32Rソフトマクロ」，「M32R-IIソフトマクロ」，「SH3-DSPコア」の提供を受けており，各大学のユーザが無償でこれらの商用プロセッサ・IPコアを利用することができ，IPコアベース設計研究を進める上で重要な部分を担っている．



VDEC

VLSI Design and Education Center
The University of Tokyo 2006