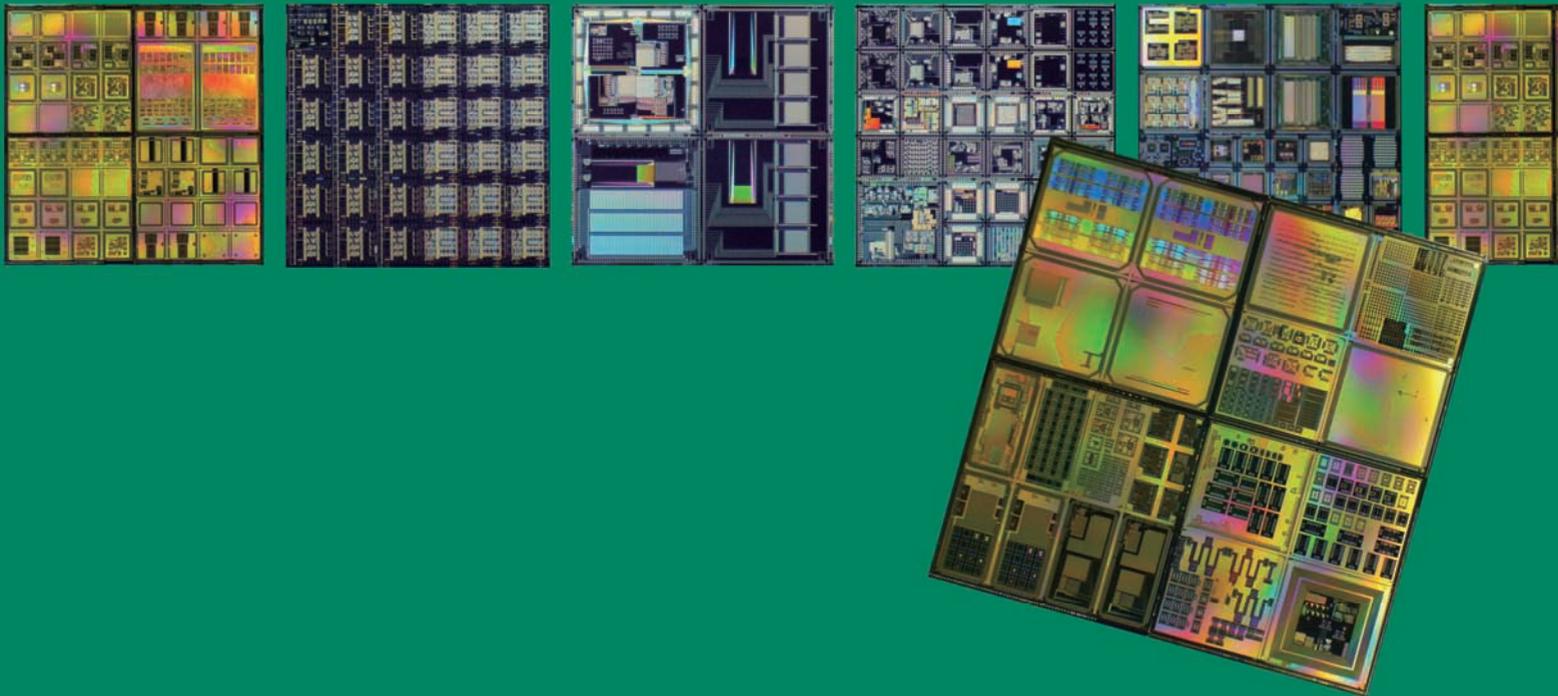




Activity Report
from April 2006
March 2007

平成19年度 東京大学大規模集積システム設計教育研究センター 年報





VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター（VDEC）の2006年度年報をお送りします。

2006年度はVDECにとっていくつかの「変化」がありました。人事面では国立大学が法人化して以来、各拠点大学からVDECに教官を派遣するいわゆる「流動教官制度」の運用が困難となってきましたが、全国運営協議会での議論に基づき流動教官制度に代わるものとして「特任教員」を採用することとなりました。2005年度から二カ年に渡りご協力をいただきました名古屋大学の高木先生は本年3月末をもって母校に戻られましたが、本年4月1日付で名倉徹さんが特任准教授に着任され、引き続き北海道大学から派遣されている吉澤先生と協力してVDECの業務を担当されています。来年度からはVDECの10年来の伝統であった最後の「流動教官」である吉澤先生も北海道大学に戻られますが、新任の名倉先生を軸とし、全国拠点校に分散して活動されている「VDEC流動教官経験者」の方々等と連携して各種セミナー活動やワークショップ活動を企画運営していく予定です。また本年3月末で2年間の任期を終えられた川手先生に代わり、4月からは産業界からの客員教授としてNECエレクトロニクスより福岡雅夫さんが着任されました。同氏の長年の経験と高い見識のもとにVDECに対し多くのご助言、ご協力をいただいているところです。

2006年度もチップ試作数の面では依然として高いレベルを維持し、主要国際学会等でのVDECを利用した研究成果発表件数も伸びています。2006年度は従来のロームCMOS 0.35umと並行して同CMOS 0.18umの試作受付を開始いたしました。長らくご利用いただいたCMOS 0.35umは本年4月の試作をもって終了いたしました。本年度からはCMOS 0.18umの試作をほぼ毎月受け付ける定常運用に入っています。このCMOS 0.18umでは従来の0.35umとほぼ同等の性能のトランジスタも含んでいるほか、チップサイズの自由度も広げており、より多くの利用者の方々の要望に応えていけるものと思っています。なお2006年度のCMOS 0.18umの立ち上げ時期には、予期せぬ障害で納期等が予定より遅くなりユーザの方々にはご迷惑をおかけしました。お詫び申し上げます。現在では障害をほぼ解決できており、本年度受付の分からは円滑に試作できるものと考えています。またこれまでVDECが提供してきましたSTARC/ASPLAの最先端CMOS 90nmは2007年11月をもって試作受付を終了する予定ですが、2008年度からは一世代進んだCMOS 65nmを提供できるよう準備を進めています。より高性能のデバイスをより使いやすい条件で提供できるよう関係者と協議しているところです。

情報化社会、安全安心な社会を築く根幹としての集積回路の重要性はますます高まっております。日本のLSI設計教育・研究の必要性も増してきている現在、皆様からの引き続きのご支援ご支持をお願い申し上げます。

2007年6月

(全国共同利用施設)

東京大学大規模集積システム設計教育研究センター

センター長

浅田 邦博



VLSI Design and Education Center
The University of Tokyo

2007

第1章 VDEC事業の紹介と平成18年度事業報告	2
1.1 VDECの活動概況	
1.2 CADソフトウェアの整備	
1.3 平成18年度VDEC事業報告	
1.4 CADセミナー	
1.5 装置の整備・運用・利用公開	
1.6 VDEC利用者に関する発表文献リスト	
1.7 平成19年度の活動計画	
1.8 VDEC発ベンチャー	
第2章 チップ試作報告	73
2.1 試作ラン別一覧	
2.2 チップ種別一覧	
2.3 各チップの詳細	
第3章 VDEC概要	199
3.1 組織概要	
3.2 人事報告	
3.3 決算報告	
第4章 研究報告	204
4.1 全体概況	
4.2 研究室構成員（平成18年度）	
4.3 研究概要	
4.4 研究発表	
4.5 特許・受賞等	
第5章 付録	240
5.1 VDECの利用規定・申し込みガイド	
5.2 IPデータベースの整備	

第1章 VDEC 事業の紹介と平成18年度事業報告

1. 1 VDEC の活動概況

東京大学大規模集積システム設計教育研究センター (VDEC) は発足後10年が過ぎた。平成18年度も『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用CAD ソフトウェアの整備』、『VLSI チップ試作支援』を3つの柱として、円滑な運営を目指した事業を展開した。図1.1 に示すVDECの活動内容に基づき、以下に平成18年度の概要を報告する。

VDECの使命は全国の国公立大学および高専のLSI 設計研究・教育を高度化し、産業界に対しても優秀なLSI 設計技術者を数多く送り出すことである。しかし、VDEC発足当初、我が国の大学にはCADソフトウェア利用技術教育や実用的LSI設計フロー教育のカリキュラムはほとんど存在していなかったためVDECにとってはこれらの整備が急務の課題であった。CADソフトウェアの利用技術に関してはCADベンダーが独自の設計技術を有しており、これを導入することとした。大学院学生、若手教官を対象としてCADベンダーから講師を招き、それぞれのCADソフトウェア毎に年2回のセミナーを開催することとし、CADベンダーと契約を結んだ。これまで年2回の内1回はVDECで、残り一回は地方拠点校で実施している。参加定員は設備の関係でそれぞれ20～50名程度であり必ずしも十分とはいえないが、VDECとしては各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなってCAD利用技術が全国的に広がることを期待している (1.3章参照)。

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育

である。この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを年1回(12月～1月)開催している。このコースは“デジタル設計コース”、“アナログ設計コース”、“RF設計コース”、“最先端設計事例コース”の4コースからなっている。前3者は演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。最先端設計事例コースは講義主体のコースであるが、大学および企業から第一線の講師を招き、設計経験をもとにした講演を行っている。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDEC デザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するのがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録

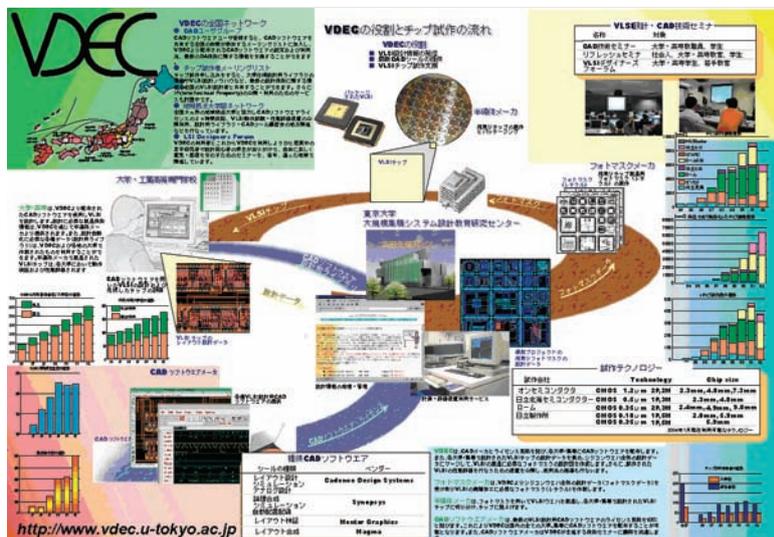


図1.1 VDEC の活動内容

することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。(図1.2)。

VLSIチップ試作支援に関しては、従来のオンセミ1.2 μm CMOS, ローム0.35 μm CMOS, 日立0.18 μm CMOS, NEC 0.8 μm Bipolarなどの試作に続き, 90nmCMOS試作(ASPLA/STARC)を公募の形で本格的に運用し, また, 共同研究という形で沖電気0.15 μm SOI試作を実施している。さらに, VDECでは現在のサービス項目に載っていないBiCMOS, SiGe等について, アメリカのMOSISとの連携で, アカデミック価格

で試作を行っている。平成18年度からはローム0.18 μm の試作の公募を開始しており, また日立製作所0.25 μm SiGe BiCMOSの試作も開始した。

また, 一流のLSI設計者を目指す学生に対してインセンティブを与える仕組みとしてLSI IPアワードを実施している。本アワードは半導体各社と日経BP社の支援でスタートしたIP開発支援のしくみであり, すでに7回目の募集を終えた。7回目は約51の応募にたいしその上位17件の優秀IPに対して100万円~200万円の賞金を授与されている(図1.3)。

5月には10周年記念シンポジウムを開催し, これまでの活動を振り返ると, VDEC発足以来10年余の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育がスタートしている。図1.4にVDECを利用した研究成果の指標として, VDECに関係する発表文件数の推移を示す。単純に比較はできないが発表文

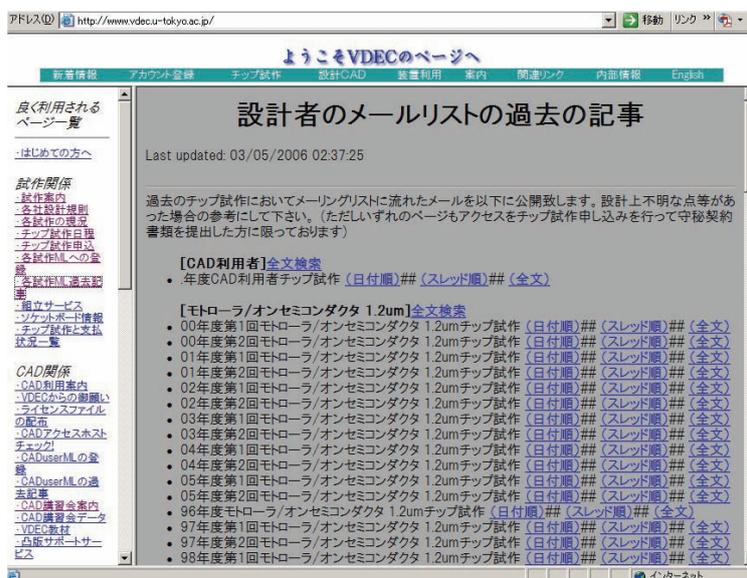


図1.2 VDEC メールリスト検索システム

IP
アワード

- 第8回募集要項
- 第7回受賞論文
- 第7回表彰式・懇親会風景
- 第6回受賞論文
- 第6回表彰式・懇親会風景
- 第5回受賞論文
- 第5回表彰式・懇親会風景
- 第4回受賞論文
- 第4回表彰式・懇親会風景
- 第3回受賞論文
- 第3回表彰式・懇親会風景
- 第2回受賞論文
- 第1回受賞論文

共催
財団法人 電気・電子情報学
術振興財団

協賛

第7回LSI IPデザイン・アワード表彰式 海外のベンチャー企業が初受賞

LSI IPデザイン・アワード運営委員会は、「第7回LSI IPデザイン・アワード」の受賞論文を決定し、5月19日品川で開催された「SoC/SPディベロッパーズ・コンファレンス2005」(主催日経マイクロデバイス)の中で受賞者を表彰致しました。今回のトピックは、海外のベンチャー企業(英Exlent, Ltd.)が初めてIP賞を受賞したことです。受賞論文は機器組み込み後に回路変更が可能なリプログラマブル・プロセスです。有用性が高く評価されました。また、協賛企業から、実用化支援や購入検討希望が10件と多数寄せられたのも今回の特徴です。年々論文の質が上がっていることが伺えます。全体の応募件数は51件(大学部門38件、企業部門13件)です。大学の完成表彰部門でIP優秀賞1件とIP賞6件が、開発助成部門でIP優秀賞4件とIP賞6件が、企業部門ではIP優秀賞1件とIP賞5件が選ばれました。

- [2005年第7回IPアワード受賞論文公開中](#)
- [2005年第7回IPアワード表彰式・懇親会風景](#)

図1.3 LSI IP賞

献の数は増加傾向にあり、VDEC 発足以来、集積回路に関する研究が活性化されていることが確認できる。

図 1.5 に VDEC に関する発表文献の VDEC ファシリティー利用状況を示す。論文執筆にあたり CAD ソフトウェアが幅広く利用されていることが確認できる。CAD ソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本ア

イデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり、平成 16 年度からサービスを開始している沖電気の 0.15 μm SOI テクノロジーと STARC 90 nm テクノロジーの利用が一層期待できる。そのほかのファシリティーとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

発表論文数

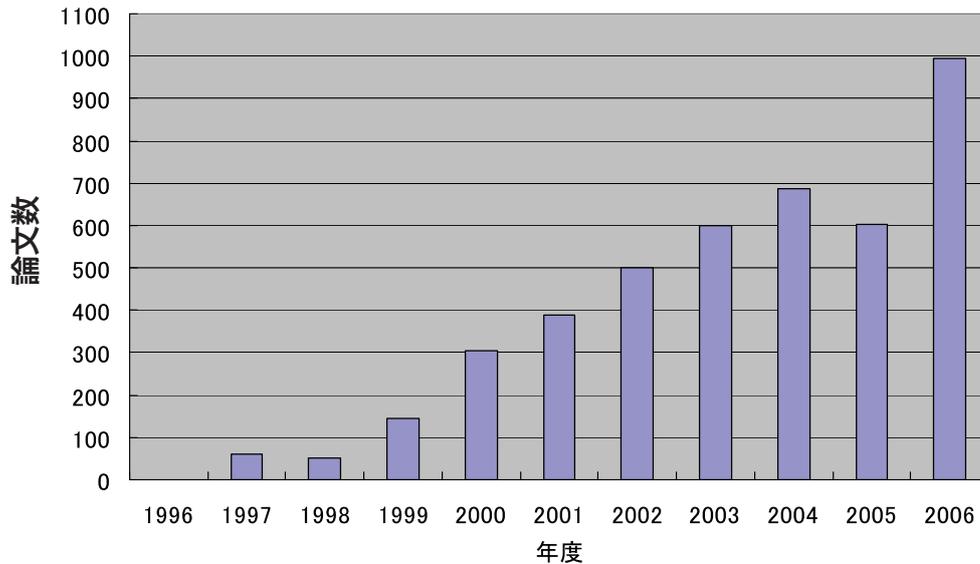


図 1.4 VDEC を利用した発表文献数の推移

VDEC を利用した研究論文

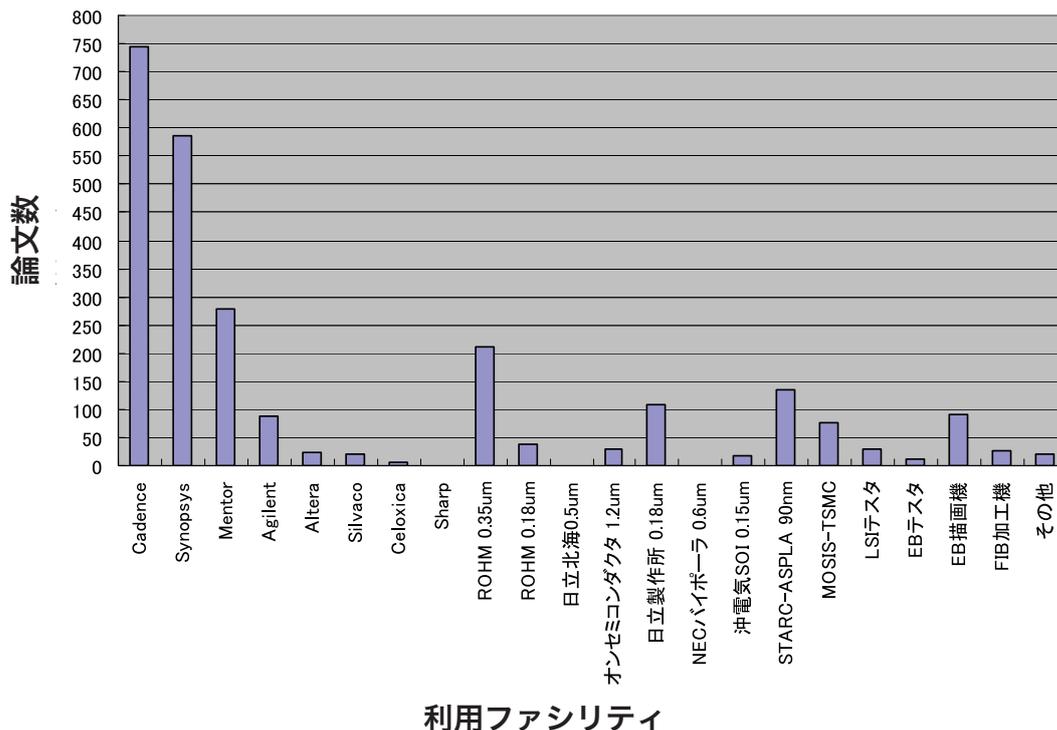


図 1.5 VDEC ファシリティー利用状況

1. 2 CADソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成18年度は表1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンスとなっ

ており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1. 3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている(a) 全国教官数および (b) その所属する大学数および (c) CADの利用申請があった研究室(教官)数の推移は図1.7の通りである。

表1.1 導入されたCADシステム

名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
レイアウト検証システム	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco 社設計ツール	高速回路シミュレーション、デバイスシミュレーション(デバイスシミュレータのサポートは平成18年9月まで)	Silvaco
高周波回路設計検証システム	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Agilent Technologies
C言語ベース設計システム	Handel-Cでシステム設計、合成、検証	Celoxica
C言語ベース設計システム	BachC設計ツール	Sharp

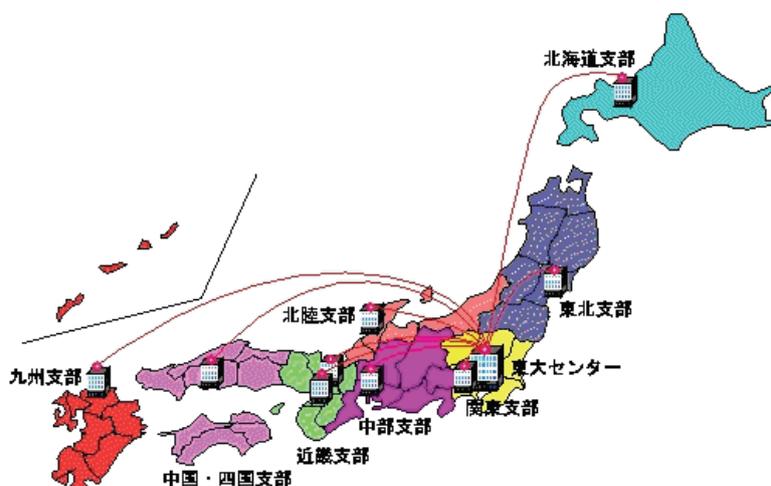
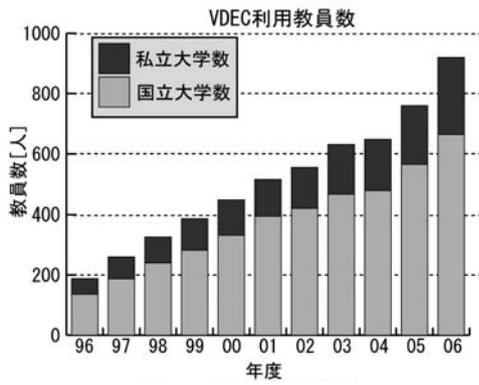
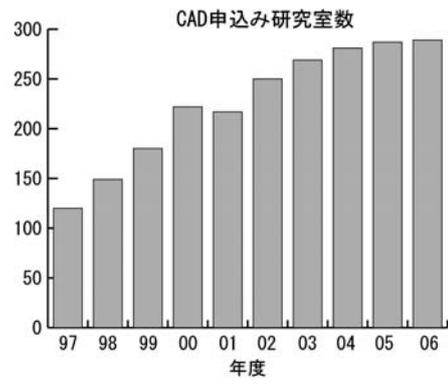


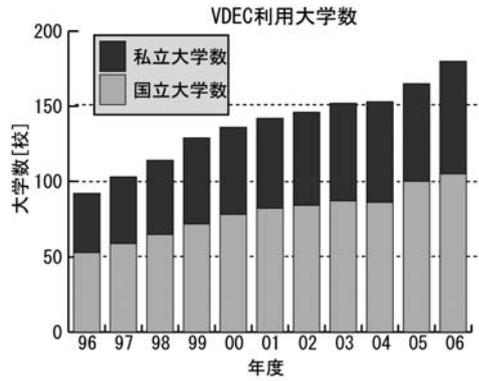
図1.6 全国地域拠点校



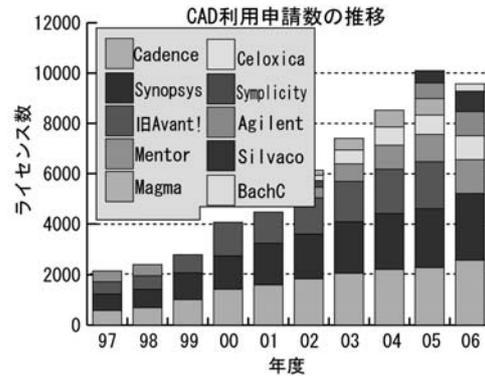
(a) 利用登録教官数



(c) CAD 申し込み研究室数



(b) 利用登録大学・高専数



(d) CAD 申し込み数

1. 3 平成18年度VDEC事業報告

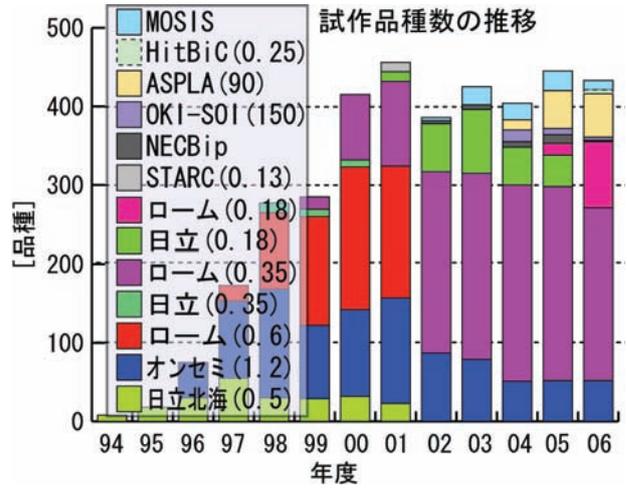
1. 3. 1 VLSIチップ試作

図1.3.1は、VDECおよび、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

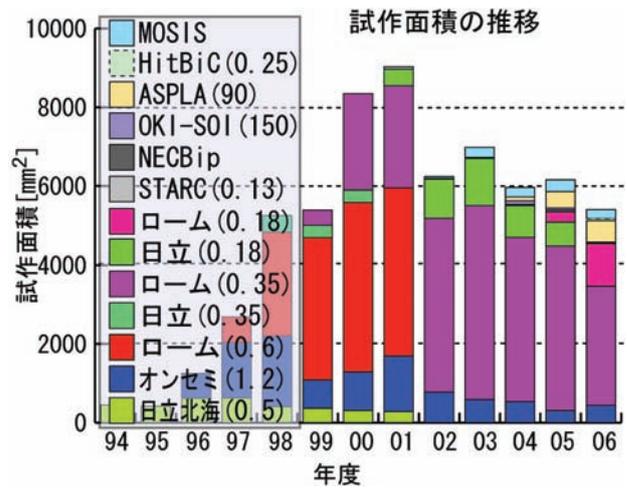
VLSIチップ試作は、平成6、7年度（1994、1995年度）のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS0.5 μ m（当該プロセスはその後日立北海セミコンダクタ社に継続）1社であったが、平成8年度（1996年度）のVDEC発足後、日本モトローラ社のCMOS1.2 μ m（平成11年度からは、オン・セミコンダクターにて継続）が協力を開始し、平成9年度からはローム社のCMOS0.6 μ mが加わった。さらに平成10年度には日立製作所のCMOS0.35 μ m、平成11年度にはローム社0.35 μ mがそれぞれ加わった。また、IP開発プロジェクトの一環としてSTARC0.13 μ mの試作を行った。平成13年度から、日立製作所のCMOS0.18 μ mのサービスを実施している。平成14年度は、広島大学岩田先生の主導の下に、VDECとMOSISの協力による試作サービスを試行的に実施した。これは、TSMC、IBMといった海外のファブをMOSISを経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC化合物デバイス株式会社によるパイポーラLSIの試作サービスも行った。平成16年からテスト試作として沖電気CMOS SOI 0.15 μ mプロセスおよびASPLA 90nm（現在はSTARCにおいて継続）プロセスの試作を開始し、90nm試作については平成17年度より通常の試作として公募の形で運用を行っている。さらに平成18年度からはローム社0.18 μ mの試作を開始し、日立製作所0.25 μ m SiGeBiCMOSのテスト試作を実施した。

図1.3.1 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、02年度に減少しているが、これはROHM社の0.6 μ mプロセスを終了したことによる現象が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。

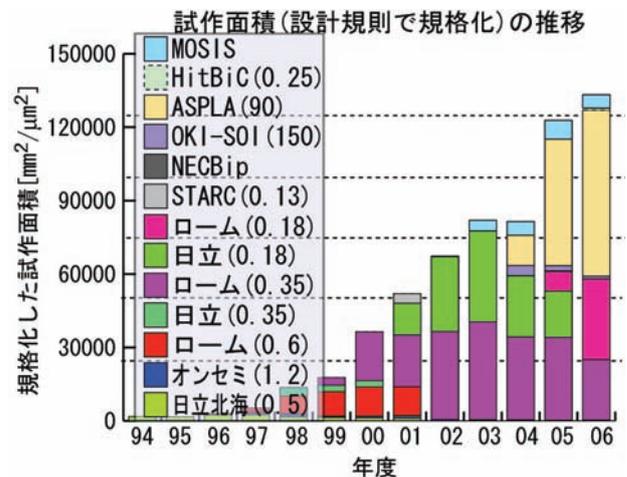
図1.3.1 (b) に設計されたチップ面積を示す。試作プロセスが微細化すると、集積度が向上することで、見かけ上試作面積が減少するように見える場合がある。そこで、図1.3.1 (c) に試作面積をそれぞれの試作プロセ



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図1.3.1 チップ試作数・面積推移

スにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。また、図1.3.2にこれまでに試作に参加した教官数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教官数は、オンセミコンダクタが136名、ロームの0.35um プロセスが187名、日立製作所が77名、ASPLA/STARC90nmが34名となっている。

1. 3. 2 平成18年度チップ試作概況

平成18年度は、表1.3.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第2章のチップ試作報告を参照されたい。

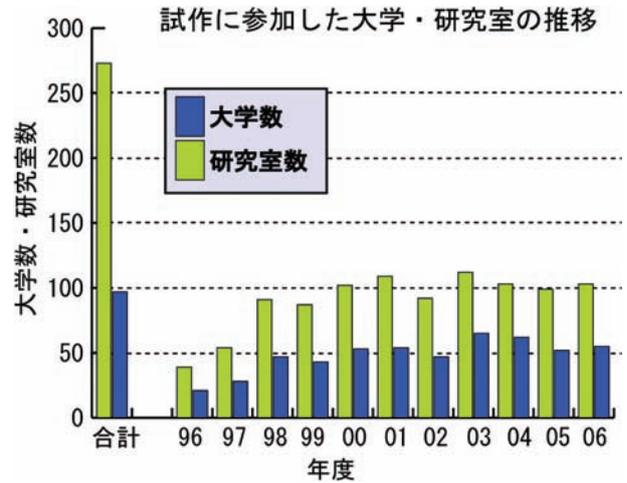


図1.3.2 VDECチップ試作参加教官数・大学数の推移とその累計

表1.3.1 平成18年度チップ試作日程

●CMOS 1.2um (オンセミコンダクタ：旧日本モトローラ)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成17年度第2回	2005/10/3	2005/1/10	2006/4/3	2006/7/12
平成18年度第1回	2006/4/3	2006/7/3	2006/10/2	2007/1/22
平成18年度第2回	2006/10/2	2007/1/9	2007/4/2	2007/7/17

●CMOS 0.35um (ローム)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成17年度第12回		2006/2/17	2006/3/27	2006/6/19
平成18年度第1回		2006/4/14	2006/5/22	2006/8/31
平成18年度第2回		2006/5/12	2006/6/19	2006/10/4
平成18年度第3回	2006/1/23	2006/6/16	2006/7/24	2006/11/2
平成18年度第4回	2006/3/27	2006/8/18	2006/9/25	2007/1/22
平成18年度第5回	2006/4/24	2006/9/15	2006/10/23	2007/3/26
平成18年度第6回	2006/6/19	2006/11/10	2006/12/18	2007/4/9
平成18年度第7回	2006/7/24	2006/12/8	2007/1/22	2007/5/7
平成18年度第8回	2006/9/25	2007/2/16	2007/3/26	2007/6/18
平成18年度第9回	2006/10/16	2007/3/9	2007/4/16	2007/7/30

●CMOS 0.18um (ローム)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成17年度テスト試作	2005/10/10	2005/10/10	2006/2/27	2006/12/末
平成18年度第1回	2005/2/27	2006/5/29	2006/8/28	2007/2/9 (chip)
平成18年度第2回	2006/5/29	2006/8/28	2006/11/27	2007/3/19
平成18年度第3回	2006/8/28	2006/11/27	2007/2/26	2007/6/11

●CMOS 0.18um (日立)：応募が規定に達しなかったため実施せず

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成18年度第1回	2005/12/25	2006/3/27	2006/6/26	2006/10/30
平成18年度第2回	2005/6/5	2006/9/4	2006/12/4	2007/4/9

●Bipolar (NEC)

	申込開始	申込メ切	設計メ切	チップ納品
第1回			2006/9/29	2007/2/26

●SiGe BiCMOS 0.25um (日立製作所)

	申込開始	申込メ切	設計メ切	チップ納品
第1回			2006/11/27	2007/3/末

●CMOS SOI 0.15um (OKI)

	申込開始	申込メ切	設計メ切	チップ納品
第1回			2005/4/17	2005/8/11
第2回			2005/10/2	2006/3/28

●CMOS 90nm (STARC)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成18年度第1回	2006/12/5	2006/1/16	2006/4/17	2006/8/2
平成18年度第2回	2006/1/16	2006/4/17	2006/7/18	2006/10/21
平成18年度第3回	2006/3/17	2006/6/19	2006/9/19	2006/12/22
平成18年度第4回	2006/6/12	2006/9/19	2006/12/11	2007/2/21

1.3.3 ライブラリ整備状況

VDECにおけるチップ試作(主にデジタルLSI試作)では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツ

ルを利用して、平成8年度から順次ライブラリ整備事業を行ってきている。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表1.3.2 VDECで利用可能なライブラリ

プロセス	名称	作成者	内容	状況
HHS (NEL) 0.5 μ m	P2lib	京都大学小野寺研究室	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • CellEnsamble用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html			
	EXDlib	九州大学安浦研究室	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • VHDL用シミュレーションライブラリ • Apollo用配置配線ライブラリ • CellEnsamble用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html			
MOT (On Semi) 1.2 μ m	P2lib	京都大学 小野寺研究室	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • CellEnsamble用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html			
	EXDlib	東京大学VDEC	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • Apollo用配置配線ライブラリ 	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html			
日立 0.35 μ m	EXDlib	東京大学VDEC		
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT035/rule.html			
	日立ゲートアレイ	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html		
ROHM0.35 μ m	京大lib	CDROMにて配布 京都大学 小野寺研究室		
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html			
	EXDlib	東京大学VDEC	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • Apollo用配置配線ライブラリ 	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html			
	パスポートライブラリ		<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • Apollo用配置配線ライブラリ 	日立から提供のセルをApolloGAに移植
	CDROMにて配布			
	日立 0.18 μ m	京大lib	CDROMにて配布 京都大学 小野寺研究室	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • Apollo用配置配線ライブラリ
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html			
	EXDlib	東京大学VDEC http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • Apollo用配置配線ライブラリ 	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html			
	パスポートライブラリ	CDROMにて配布	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • VHDL用シミュレーションライブラリ 	ロームから提供

1. 4 CADセミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成18年度には、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

CAD 利用のための技術セミナーでは、VDEC で使用可能なCadence, Synopsys, Magma, Mentor Graphics, SilvacoなどCADベンダーのそれぞれのCAD ツールの操作方法等を各ツールベンダーから講師

を派遣していただき講習を行っている。また、VDEC で開発したライブラリを用いたチップ設計に関する講習もVDEC スタッフで実施している。平成18年度は、8月と9月に初心者を対象とした第1回のCAD 利用のための技術セミナーを東京大学VDECおよび名古屋大学で実施した。この技術セミナーでは、Cadence のツールを5日間、Synopsys のツールを4日間、Silvacoのツールを1日間、Sharp BachCツールを2日間、東芝MeP講習会を3日間に加えシステムLSI設計自動化技術

表1.1 導入されたCADシステム

講習項目	開催地	開催時期	参加人数	講習内容
Cadence, FE-Ultra講習会	東京大学	2006年 7/24(月)~25(火)	13	フィジカル・バーチャル・プロトタイプ設計ツールであるFEの機能的特徴、及び基本的な使用方法の学習
Cadence, VLE講習会	東京大学	2006年 7/26(水)	41	Layout Editorの使用法、Pcell (Parameterized Cell) の概念と作成方法、Stream変換の学習
Cadence, Verilog-A講習会	東京大学	2006年 7/27(木)~28(金)	22	Verilog-Aによる回路記述方法、Artist、若しくはコマンドラインからのシミュレーションの実行方法の学習
Synopsys, Chip Synthesis講習会	東京大学	2006年 8/1(火)	31	論理合成ツール Design Compiler を用いて、合成条件の設定、結果の解析、階層設計を行う場合のストラテジなどを学習
Synopsys, Astro講習会	東京大学	2006年 8/2(水)~(木)	36	自動配置配線コアツール Astro のデザインフローと各フェーズでの機能の習得
Synopsys, Nanosim講習会	名古屋大学	2006年 8/8(火)	24	トランジスタ・レベルの解析ツール NanoSim の仕組みや使用方法、パワー解析、タイミング解析などの主要機能についての学習
Agilent, RFDE講習会	東京大学	2006年 8/10(木)~11(金)	20	RF/mixed signal IC 設計プラットフォーム RF Design Environment の操作を学ぶ基礎コース
システムLSI設計自動化技術講習会	東京大学	2006年 8/21(月)~22(火)	22	HSPICE の基本的な機能と回路記述方法をベースに、演習問題を通じて HSPICE の操作方法と、シミュレーション統合環境 CosmosSE を用いたシミュレーション・フローを学習
Silvaco STARC-90nm PDK講習会	東京大学	2006年 8/29(火)	15	STARC 90nm プロセス向け PDK を利用した、Silvaco 社設計ツールのトレーニングを習得
東芝 MeP講習会	東京大学	2006年 8/23(水)~8/25(金)	22	デジタルメディア SoC のためのプラットフォーム MeP (Media embedded Processor) について、開発キットを用いた学習
Sharp, Bach C講習会	東京大学	2006年 9/4(月)~5(火)	11	C言語記述から回路を自動合成する Bach システムの使用法について演習を交えて習得
Cadence Verilog-A講習会	北海道大学	2007年 2/22(火)~2/23(水)	18	Verilog-A による回路記述方法、Artist、若しくはコマンドラインからのシミュレーションの実行方法の学習。
Synopsys HSPICE-RF/CosmosScope講習会	広島大学	2007年 3月6日(火)	16	高周波回路向けオプション機能 HSPICE RF は、高精度・大容量・高速 RF シミュレーターで、Harmonic Balance 法及び Shooting Newton 法により定常状態解析を実行。CosmosScope は高精度グラフィカル波形アナライザで、強力な測定機能、波形カリキュレータ・テクノロジーに加え、業界標準の Tcl/Tk をベースとするスクリプト言語を備えるツール。
Synopsys Milkyway/Astro講習会	東京大学	2007年 3月7日(水)~8日(木)	26	自動配置配線ツール Astro のデザインフローをベースに各フェーズでの機能を講義と実習を通して学習
Agilent ADS講習会	広島大学	2007年 3月14日(水)~16日(金)	11	ADS (Advanced Design System) の基本的な使用法と、能動回路の設計に必要な知識の学習。ADS の操作環境で動作するモーメントの基本操作の実習
Cadence SystemVerilog講習会	金沢大学	2007年 3月15日(木)~16日(金)	18	Cadence SystemVerilog 記述言語の入門コース
ASIP Solutions ASIP Meister講習会	大阪大学	2007年 3月26日(月)~27日(火)	12	特定用途向き命令セットプロセッサ開発環境 ASIP Meister の学習
東芝 MeP講習会	東京大学	2007年 3月28日(水)~30日(金)	9	デジタルメディア SoC のためのプラットフォーム MeP のプロセッサアーキテクチャ、機能拡張、プログラミングについて、演習を交えて学習する講習会

【CAD 利用のための技術セミナー】



図 1.4.1 地方拠点校で開催したCAD講習会会場風景（北海道大学）

講習会を2日間、各コースに40名までの教官・学生の受講があり、各ツールの使用方法やVDEC ライブラリ

を用いたVLSI 設計フローを修得している。また3月には上級者を対象としたCAD 技術セミナーを地方拠点（北海道、金沢、大阪、広島）及び東京で実施し、Cadence, Synopsys, Agilent, ASIP Solutions, Sharp 等各社の最新のツールの上級トレーニングおよび東芝MeP 講習会、高位設計セミナーを行った(表1.4.1)。

これらCAD 技術セミナーへの参加要望は非常に大きいため、VDEC 拠点校の協力を得ながら各地方拠点校で開催しているが、地方拠点開催でもその地方からの参加者にとどまらず、遠方からの参加希望が多く寄せられている。これはCAD 技術セミナーに対する需要が依然として大きなことを表しており、VDECはこの状況に対応し、大規模なCAD 技術セミナー開催の仕組みの整備を行ってきた。

【社会人のためのリフレッシュセミナー】

VLSI 平成18年度VDECリフレッシュ教育設計教育コースのご案内

VDECリフレッシュ教育では、集積回路産業に関わる職業人を対象としたリフレッシュ教育として、VLSI設計に関する最新の知識・技術の習得を目的として実施します。本コースでは、各種設計手法の講義に加え、実際に簡単な集積回路を設計し、シミュレーションやFPGAボードなどによる検証までを行うVLSI設計演習を実施します。更に、実際に最先端VLSIを設計した設計事例を詳しく紹介するコースを設定します。教育機関に在籍する教官・学生の方の参加も可能です。国内での最高の講師を集めており、社員に最新の設計技術教育に、自らのデザイン・スキル・アップに最適です。

<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

コースA アナログ集積回路設計と演習

【日 程】平成18年12月6日(水)～8日(金)3日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】杉本 善博(中央大学 教授)、小野寺 秀俊(京都大学 教授)、小谷光司(東北大学 助教授)
 【講義内容】12/6(水): アナログ集積回路の特徴と役割(杉本)
 回路設計、回路シミュレーション1(小野寺)
 12/7(木): 回路設計、回路シミュレーション2(小野寺)
 レイアウト設計、検証(DRC, LVS)1(小谷)
 12/8(金): レイアウト設計、検証(DRC, LVS)2(小谷)

コースD HDLによるデジタル集積回路設計と演習

【日 程】平成18年12月19日(火)～22日(金)4日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】今井 正治(大阪大学 教授)、結城 昭之(京都大学 助教授)、小林 和樹(京都大学 助教授)、池田 誠(東京大学 助教授)
 【講義内容】12/19(火): システムレベル設計手法とHDL(今井)、VerilogHDLの文法解説とシミュレーション演習(結城)
 12/20(水): VerilogHDLによる論理合成/シミュレーションとFPGA実装演習1(小林)
 12/21(木): VerilogHDLによる論理合成/シミュレーションとFPGA実装演習2(小林)
 LSI配線設計演習1(池田)
 12/22(金): LSI配線設計演習2(池田)

コースR CMOS-RF集積回路設計と演習

【日 程】平成19年1月9日(水)～13日(土)5日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】江崎 達也(広島大学 助教授)、藤崎 英(東京大学 助教授)、松岡 俊彦(大阪大学 助教授)
 【講義内容】1/9(水): RF回路シミュレーションのためのMOSFETモデル(江崎)
 1/10(木): RF CMOS回路の基礎1(松岡)
 1/11(木): RF CMOS回路の基礎2(松岡)
 1/12(金): 基礎、分布定数回路(藤崎)
 1/13(土): 高度化アプローチ(藤崎、日本マイクロニクス)

コースS 先端VLSI設計実例

【日 程】平成19年1月15日(月)、19日(金)計2日間
 【場 所】東京大学武田先端知ビル
 【コーディネーター】益子 耕一郎(STARC)、石原 亨(九州大学 助教授)、井上弘士(九州大学 助教授)
 【講義内容】1/15(月): 「先端アナログ設計(仮)」(内容検討中)
 1/19(金): 「先端デジタル設計(仮)」(内容検討中)

【コース内容・スケジュール】
 内容に関して若干変更になることがあります。
 最新の情報および詳細はWebページをご確認ください。

【受講料】
 コースA: 22,000円
 コースD: 32,000円
 コースR: 36,000円
 コースS: 8,000円(両日)、5,000円(1日)

【定 員】
 コース1: 35名程度
 コース2: 35名程度
 コース3: 35名程度
 コース4: 150名程度

【申込方法】
 11月から申込開始を予定しております。
 申し込みはWebページより行なってください。

【問合せ先】
 電話: 03-5841-8909, FAX: 03-5841-8914
 担当: VDEC・高木 一真(企画・運営)
 E-mail: ktakagi@vdec.u-tokyo.ac.jp

【主 催】
 東京大学大規模集積システム設計教育研究センター (VDEC)

【運営事務局】
 (株)セミコンダクタポータル

【協 賛】
 電子情報技術産業協会 (JEITA)
 半導体理工学研究会 (STARC)
 電気学会
 電子情報通信学会
 情報処理学会
 応用物理学会
 IEEE Solid-State Circuits Society, Japan Chapter
 IEEE Solid-State Circuits Society, Kansai Chapter

VDEC 2006
 VLSI Design and Education Center
 The University of Tokyo

図 1.4.2 平成18年度リフレッシュ教育ポスター

平成18年度12月～1月には平成17年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表1.4.2)。

このセミナーは主に社会人を対象として、演習を伴う



図1.4.3 平成18年度リフレッシュ教育会場風景(東大VDECセミナー室)

最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることが

でき、大変効果的で有意義なセミナーとなった。

本年度はVLSI設計に関する4つのコース(コースD: HDLによるデジタル集積回路設計と演習(12/19～12/22実施)、コースA: アナログ集積回路設計と演習(12/6～12/8実施)、コースR: CMOS-RF集積回路設計と演習(1/10～1/13実施)、コースS: 最先端VLSI設計実例(1/15, 1/19)を開催し、講師として大学・企業の集積回路研究・教育に携わる教官や研究者19名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコースD, A, R, Sはそれぞれ38名,47名,31名,100名あり、延べ216名となった。

表1.4.2 リフレッシュセミナー開催状況

講習項目	開催日	参加人数	講師	講習概要
コースD: HDLによるデジタル集積回路設計と演習	平成18年 12月19日-22日 先端知1Fセミナー室	38	今井正治(大阪大学), 越智裕之(広島市立大学), 小林和淑(京都大学), 池田誠(東京大学)	<ul style="list-style-type: none"> VerilogHDLの文法解説とシミュレーション演習 VerilogHDLによる論理合成/シミュレーションとFPGA実装演習 ハードウェア記述言語(HDL)による、デジタル集積回路設計 LSI配置配線設計演習
コースA: アナログ集積回路設計と演習	平成18年 12月6日-8日 先端知1Fセミナー室	47	杉本泰博(中央大学), 小野寺秀俊(京都大学), 小谷光司(東北大学)	<ul style="list-style-type: none"> 回路設計, 回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証(DRC, LVS)
コースR: CMOS-RF集積回路設計と演習	平成19年 1月10日-13日 先端知1Fセミナー室	31	藤島実(東京大学), 松岡俊匡(大阪大学)	<ul style="list-style-type: none"> RF回路シミュレーションのためのMOSFETモデル 基礎, 分布定数回路
コースS: 最先端VLSI設計実例	平成19年 1月15日, 19日 先端知1Fセミナー室	100	益子耕一郎(STARC), 石原亨(九大), 井上弘士(九大), 天野英晴(慶応), 中村祐一(NEC), 吉田健人(SFT), 京昭倫(NEC), 山田哲也(日立), 佐藤久恭(ルネサス), 松澤昭(東工大), 田中聡(日立)	<ul style="list-style-type: none"> 先端デジタル設計 <ul style="list-style-type: none"> -動的リコンフィギュラブルプロセッサの最近の動向 -大規模SoCに対するハードウェア・ソフトウェア協調設計 -システム・イン・シリコンによるサブシステム・インテグレーション -C画像認識プロセッサIMAP -組込み用途向けプロセッサの低電力技術 先端アナログ設計 <ul style="list-style-type: none"> -CMOS RF回路と無線通信用LSIの設計 -CMOSアナログ回路設計の基礎 一だれでも簡単に設計できるようになる一 -PLL設計の基礎

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム（VDEC LSI Designers Forum）を開催している。VDEC LSI デザイナーフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、CAD業界の裏話、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。2005年は、9月28日、29日に高知県高知市で開催された。昨年に引き続き、Ph.D.企画セッションが企画、実行された。また、本フォーラム開催にあたって、会場・宿泊設備その他の準備、スタッフの手配等は、幹事大学のご協力により実現されている。平成18年度は、京都大学の土谷先生に幹事を務めて頂いた。



図1.4.4 VDEC デザイナーズフォーラム会場風景

表1.4.3 平成18年度デザイナーズフォーラムプログラム

9/28	13:00-13:10	開会の挨拶	
	13:10-14:10	STARC 特別招待講演 「スターシャトル一運行実績と大学との連携による価値創出」	武智 真、 飯田 哲也（STARC）
	14:10-14:35	回路設計の観点からのMEMS研究への取り組み	光野 正志（群馬大）
	14:35-15:00	「高周波磁気イメージングへのCMOS回路の適用」	青山 聡（静岡大）
	15:00-15:10	休憩 10分	
	15:10-15:40	MePについて	井上 智史（東芝）
	15:40-16:05	「MOSFETのサブスレッショルド特性を利用したスマートセンサLSIの開拓」	廣瀬 哲也（北大）
	16:05-16:30	「慶應黒田研VDEC試作チップデザインレビュー：三次元積層チップ間誘導結合トランシーバ」	三浦 典之（慶應大）
	16:30-16:40	休憩 10分	
	16:40-17:40	Ph.D.企画セッション： パネルディスカッション「VDECを利用したデザイナー育成」	
	18:30-20:00	休憩	
20:00-21:00	ポスターセッション		
9/29	9:30-9:55	「柴田・三田研でのVLSI設計事例と学会で言えないような話」	伊藤 潔人（東大）
	9:55-10:20	「回路設計、その後の設計事例」	高田 雅史（金沢大）
	10:30-10:55	「LDPC復号器LSIの設計事例」	清水 一範（早稲田大）
	10:55-11:20	「Vthばらつき測定TEGおよび動的再構成FPGA」	宮本 直人（東北大）
	11:20-11:50	「VDECの活動について」	池田 誠（東大）
	11:50-12:00	閉会の挨拶	

【その他の共催・協賛セミナー】

日本学術振興会第165委員会が主催する「VLSI設計・夏の学校」への協賛を行い、こちらも盛況であった。

1. 5 装置の整備・運用・利用公開

VDECでは、発足以来導入されてきた装置を維持管理するとともに、全国大学教員に対し公開している（一部装置は、試験公開中）。表 1.5.1 に装置の一覧と利用公開の状況を示す。装置は、VLSI用大型テスターと、その他若干のプロセス装置とに大別できる。VDEC発足以来、東京大学工学部各号館へ分散配置されてきたが、平成16年度末までに「武田先端知ビル」内の1階実験室ならびに地下スーパークリーンルームに装置の移設が完了し、これまで以上に有機的な連携をもって利用することができるようになった。また、平成16年度に株式会社アドバンテストより最新鋭のテスター（T2000）と電子線描画装置（F5112+VD01）とが寄附された。18年4月～19年1月の利用実績は、4大学・研究機構の32研究室のスタッフと学生による年間482人日、合計876回の描画（うちマスク490枚、直接描画386回）であった。本年度よりEB描画装置は全国公開の準備が整い、同時に必要経費の一部を競争的資金等から負担いただく仕組みが整備された。文部科学省「ナノテクネットワーク」への参加も決まり、さらに利用拡大が期待される。

平成9年度より各種治具の標準化に取り組んだ結果、VDECが推奨する標準ピン配置に基づき試作したデジタルLSIは、治具をその都度作製することなく、VDECおよび拠点校のLSIテスターにより評価が行える体制が

整っている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドーターボードを1種類準備することで、全国の各大学におけるLSIテスターに対応可能な体制が整っている。今後、LSIテスト法およびLSIテスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作したLSIの特性・性能評価が容易に行える環境の整備に努めたい。試作チップの評価に関しては、発足当初よりQFPやBGAパッケージを実装できるソケットの頒布およびソケットのピンを標準2.54mmピッチに変換する変換ボードを開発してきた。WEB経由の申し込みにより購入することができる。電子線描画装置、集束イオンビーム加工装置は、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を考案し、試験運用を行っている。

公開されている装置に関しては、セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としている。必要に応じ、VDECの職員などが対応することで、利用を認める場合もあるので、個別に相談いただきたい。

表 1.5 装置の整備・運用・利用公開

項目	装置名	説明	利用公開状況	連絡先
ロジックLSI テストシステム	ミックスシグナル LSIテスター： ITS 9000Exa	100MHz/200MHz320ピンのデジタルピンおよび4チャンネルのアナログピンを有している。VDECにおいて標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@ vdec.u-tokyo.ac.jp
	EBテスター： IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	IDS5000@vdec.u- tokyo.ac.jp
	LSIテスター： HP8300	384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	HP8300@vdec.u- tokyo.ac.jp
	LSIテスター： ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	equipment@vdec.u- tokyo.ac.jp
	回路修正用FIB： IDSP2X	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u- tokyo.ac.jp
	オートプローバ： PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ 利用可能	equipment@vdec.u- tokyo.ac.jp

項目	装置名	説明	利用公開状況	連絡先
アナログ・RF測定システム	アナログ・RF測定装置一式：HP4156B, HP4284, etc	DCパラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但しVDECの業務による利用を優先とする	equipment@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ：Cascade社	マニュアルにて6インチまでのウエハ上のチップの測定が可能。測定には、通常のプローブ針（6本まで）のほか、50GHzまでの測定が可能な高周波プローブを2本備える		
	低雑音・温度制御機構付きセミオートプローバ：Süss Microtec社	8インチまでのウエハ上のチップの測定が可能。ウエハ温度を-50℃から200℃まで制御可能。プローブカードによる測定。GPIBを介した制御を行うことで半自動測定も可能		
	極低温プローバ：長瀬産業株式会社	5インチウエハを25Kまで冷やした測定が可能	要相談	equipment@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置：F5112+VD01	半導体製造用2.3mm厚4.5インチマスクの描画およびエッチング、2-4インチ並びに不定形ウエハへの直接描画が可能。性能保障描画寸法0.1μm.	公開開始	equipment@vdec.u-tokyo.ac.jp
汎用FIBシステム	FIB装置：SMI9800MSP	ガラスマスクの欠陥修正の他、断面観測のための加工等が可能	試験的に公開中	equipment@vdec.u-tokyo.ac.jp

VDEC

1. 6 VDEC 利用者に関する発表文献リスト

1. 研究論文

- [1] Kazunori Shimizu, Tatsuyuki Ishikawa, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, "Power-Efficient LDPC Decoder Architecture based on Accelerated Message-Passing Schedule," IEICE Trans. Fundamentals, Vol. E89-A, No. 12, pp. 3602-3612, Dec. 2006.
- [2] 有門 智弘, 平塚誠一郎, 後藤 敏, 池永 剛, "奥行情報を用いた携帯端末向けリアルタイム人物抽出LSI," 画像電子学会誌, Vol. 35, No. 5, pp. 453-460, Sep. 2006.
- [3] Shen Li, Takeshi Ikenaga, Hideki Takeda, Masataka Matsui, Satoshi Goto, "A Hardware Implementation of a Content-Based Motion Estimation Algorithm for Real-Time MPEG-4 Video Coding," IEICE Trans. Fundamentals, Vol. E89-A, No. 4, pp. 932-940, Apr. 2006.
- [4] Kazunori Shimizu, Tatsuyuki Ishikawa, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, "Partially-Parallel LDPC Decoder Achieving High-Efficiency Message-Passing Schedule," IEICE Trans. Fundamentals, Vol. E89-A, No. 4, pp. 969-978, Apr. 2006.
- [5] M. Hori, M. Ueda and A. Iwata, "Stochastic Computing Chip for Measurement of Manhattan Distance," Japanese Journal of Applied Physics, Vol. 45, No. 4B, 2006, pp. 3301-3306.
- [6] T. Hizawa, K. Sawada, H. Takao, M. Ishida, "Characteristics of Highly Sensitive pH Sensors with Charge Accumulation Operation," Japanese Journal of Applied Physics, Vol. 45, No. 12, pp. 9259-9263, 2006.
- [7] H. Takao, K. Sawada, and M. Ishida, "Monolithic Silicon Smart Tactile Image Sensor with Integrated Strain Sensor Array on Pneumatically Swollen Single Diaphragm Structure," IEEE Transactions on Electron Devices, Vol. 53, No. 5, pp. 1250-1259, May 2006.
- [8] T. Noda, H. Takao, K. Yoshioka, N. Oku, M. Ashiki, K. Sawada, K. Matsumoto, and M. Ishida, "Performance of Absorption Photometry Microchip for Blood Hemoglobin Measurement Integrated with Processing Circuits and Si(110) 45-Mirrors," Sensors and Actuators B Chemical, Vol. 119, pp. 245-250, 2006.
- [9] T. Kazama, M. Ikeda, and K. Asada, "LSI Design Flow for Shot Reduction of Character Projection Electron Beam Direct Writing Using Combined Cell Stencil," IEICE Trans. on Fundamentals, Vol. E89-A, No. 12, pp. 3546-3550, Dec. 2006.
- [10] 岩下, 小室, 石川, "128x128画素を有する画像モーメントセンサの開発," Vol. 61, No. 3, pp. 123-126, 映像情報メディア学会誌(2007)
- [11] K. Maezawa, M. Sakou, W. Matsubara, T. Mizutani, "Dual-clock MASH delta-sigma modulator employing a frequency modulated intermediate signal," IEICE ELEX, Vol. 3 No. 21, pp. 459-463(2006)
- [12] Y. Ookawa, S. Kishimoto, K. Maezawa, T. Mizutani, "Novel resonant tunneling diode oscillator capable of large output power operation," IEICE Trans. Electronics, Vol. E89-C, pp. 999-1004(2006)
- [13] K. Maezawa, M. Sakou, W. Matsubara, T. Mizutani, H. Matsuzaki, "Experimental Demonstration of Ideal Noise Shaping in Resonant Tunneling Delta-Sigma Modulator for High Resolution, Wide Band A/D Converters," Jpn. J. Appl. Phys., Vol. 45, pp. 3410-3413(2006)
- [14] K. Maezawa, M. Sakou, W. Matsubara, T. Mizutani, "Resonant tunneling delta sigma modulator suitable for high-speed operation," Electron. Lett., Vol. 42, No. 2, pp. 77-78(2006)
- [15] Kouichi Watanabe, Masashi Imai, Masaaki Kondo, Hiroshi Nakamura, Takashi Nanya, "Design Method of High Performance and Low Power Functional Units Considering Delay Variations," IEICE Trans on Fundamentals, Vol. E89-A, No. 12, pp. 3519-3528, Dec., 2006
- [16] Takahiro MATSUMOTO, Shigeo TSUKIASHI, Shinya MATSUFUJI, Yoshihiro TANADA, "The Bank of Matched Filters for an Optical ZCZ Code Using a Sylvester Type Hadamard Matrix," IEICE Trans. Fundamentals, Vol. E89-A, No. 9, pp. 2292-2298(2006).
- [17] 市川 裕二, 佐々木 敬泰, 弘中 哲夫, 谷川 一哉, 北村 俊明, 近藤 利夫, "可変パイプラインを用いた低消費エネルギープロセッサの設計と評価," Vol.

- 47, No. SIG7, pp. 231-242, 情報処理学会論文誌(コンピューティングシステム), 2006
- [18] Ueno K., Hirose T., Asai T., and Amemiya Y., "A CMOS watchdog sensor for certifying the quality of various perishables with a wider activation energy," IEICE Transactions on Fundamentals of Electronics, Communications and Computer, vol. E89-A, no. 4, pp. 902-907 (2006).
- [19] Hirose T., Asai T., and Amemiya Y., "Spiking neuron devices consisting of single-flux-quantum circuits," Physica C, vol. 445-448, pp. 1020-1023 (2006).
- [20] 萩原 淳史, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "弱反転MOSFETを用いた温度検出スイッチ回路," 電子情報通信学会論文誌C, vol. J89-C, no. 10, pp. 654-656 (2006).
- [21] Hirose T., Asai T., and Amemiya Y., "Power-supply circuits for ultralow-power subthreshold MOS-LSIs," IEICE Electronics Express, vol. 3, no. 22, pp. 464-468 (2006).
- [22] Tohru TAINO Tomohiro NISHIHARA Koichi HOSHINO Hiroaki MYOREN Hiromi SATO Hirohiko M. SHIMIZU Susumu TAKADA Tohru TAINO Tomohiro NISHIHARA Koichi HOSHINO Hiroaki MYOREN Hiromi SATO Hirohiko M. SHIMIZU Susumu TAKADA TAINO T., NISHIHARA T., HOSHINO K., MYOREN H., SATO H., SHIMIZU H. M., TAKADA S., "X-Ray Detection Using Superconducting Tunnel Junction Shaped Normal-Distribution-Function," IEICE Trans. on Electron., Volume E90-C No. 3 (2007) pp. 566-569.
- [23] Taino T., Nakano R., Yoshimura S., Myoren H., Takada S., Otani C., Ariyoshi S., Shibuya T., Kawase K., Sato H., Shimizu M. H., "A Broadband THz detector using Superconducting Tunnel Junction," Nucl. Instr. and Meth. A559 (2006) pp. 751-753.
- [24] 原彰宏, 山口隆, 浜本隆之, "画素並列リセット判定による広ダイナミックレンジイメージセンサ," 映像情報メディア学会誌, Vol. 61, No. 3, pp. 378-382 (2007).
- [25] Kazuteru Namba, Hideo Ito, "Redundant Design for Wallace Multiplier," IEICE Trans. Inf. & Syst. Vol. E89-D, No. 9, pp. 2512-2524, Sep., 2006.
- [26] M. Raburn, M. Takenaka, K. Takeda, X. Song, J. Barton, and Y. Nakano, "Integrable Multi-Mode Interference Laser All-Optical Flip-Flops," IEEE Photonics Technology Letters, pp. 1421-1423, vol. 18 (2006)
- [27] M. Takenaka, K. Takeda, and Y. Nakano, "All-optical packet switching and label buffering by MMI-BLD optical flip-flop," IEICE Electronics Express, Vol. 3, No. 15, pp. 368-372 (2006)
- [28] K. Johguchi, Y. Mukuda, H. J. Mattausch, T. Koide, "A 2-stage-pipelined 16 port SRAM with 590 Gbps random access bandwidth and large noise margin," IEICE Electronics Express. Vol. 4, No. 2, pp. 21-25, 2007.
- [29] T. Kumaki, K. Kuroda, M. Ishizaki, T. Koide, F. Morishita, K. Arimoto and K. Saito, "Real-time Huffman encoder with pipelined CAM-based data path and code-work-table optimizer," IEICE Trans. on Information & Systems, Vol. E90-D, pp. 334-345, 2007.
- [30] T. Kumaki, Y. Kono, M. Ishizaki, T. Koide and H. J. Mattausch, "Scalable FPGA/ASIC implementation architecture for parallel table-lookup coding using multi-ported content addressable memory," IEICE Trans. on Information & Systems, Vol. E90-D, pp. 346-354, 2007.
- [31] 大窪啓太, 神戸尚志, "特定用途向け低ビット複合演算回路の一設計法," 情報処理学会論文誌 2007年.
- [32] Akira Tsuchiya, Masanori Hashimoto, Hidetoshi Onodera, "Interconnect RL Extraction Based on Transfer Characteristics of Transmission-Line," pp. 3585-3593, vol. E89-A, no. 12, IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences (2006)
- [33] Toshiki KANAMOTO, Tatsuhiko IKEDA, Akira TSUCHIYA, Hidetoshi ONODERA, Masanori HASHIMOTO, "Si-Substrate Modeling toward Substrate-Aware Interconnect Resistance and Inductance Extraction in SoC Design," pp. 3560-3568, vol. E89-A, no. 12, IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences (2006)
- [34] K. Kobayashi, A. Higuchi, H. Onodera, "A Leakage Reduction Scheme for Sleep Transistors with Decoupling Capacitors in the Deep Submicron Era," pp. 838-843, vol. E89-C, no. 6, IEICE Transaction on Electronics (2006)
- [35] Ikebe M., and Saitou K., "CMOS Image Sensor Using Negative-Feedback

[36] 牧原, 池辺, 佐野"周期比較器を用いたデジタル制御PLL"IEICE Volume J89-C No. 10 アナログショートノート

[37] M. HARIYAMA, S. YAMADERA, M. KAMEYAMA, "Minimizing Energy Consumption Based on Dual-Supply-Voltage Assignment and Interconnection Simplification," pp. 1551-1558, IEICE Trans. Electron. VOL. E89-C No. 11(2006)

[38] M. HARIYAMA, S. OGATA, M. KAMEYAMA, "A Multi-Context FPGA Using Floating-Gate-MOS Functional Pass-Gates," pp. 1655-1661, IEICE Trans. Electron. VOL. E89-C No. 11(2006)

[39] Y. Morita, H. Fujiwara, H. Noguchi, K. Kawakami, J. Miyakoshi, S. Mikami, K. Nii, H. Kawaguchi, and M. Yoshimoto, "A 0.3-V Operating, Vth-Variation-Tolerant SRAM under DVS Environment for Memory-Rich SoC in 90-nm Technology Era and Beyond," IEICE Trans. Fundamentals, Vol. E89-A, No. 12, pp. 3634-3641, Dec. 2006.

[40] K. Kawakami, J. Takemura, M. Kuroda, H. Kawaguchi, and M. Yoshimoto, "A 50% Power Reduction in H.264/AVC HDTV Video Decoder LSI by Dynamic Voltage Scaling in Elastic Pipeline," IEICE Trans. Fundamentals, Vol. E89-A, No. 12, pp. 3642-3651, Dec. 2006.

[41] K. Kawakami, M. Kanamori, Y. Morita, J. Takemura, H. Ohira, M. Miyama, M. Yoshimoto, "A Feed-Forward Dynamic VDD-VBB-Frequency Management for Low Power Motion Video Compression on 90nm RISC Processor," Intelligent Automation and Soft Computing (AutoSoft Journal), Vol. 12, No. 3, pp. 283-298, 2006.

[42] S. Mikami, T. Matsuno, M. Miyama, H. Kawaguchi, M. Yoshimoto, and H. Ono, "An Energy-Harvesting Wireless-Interface SoC for Short-Range Data Communication," IEEE Trans. Electronics, Information and Systems, Vol. 126, No. 5, pp. 565-570, May 2006.

[43] S. Mikami, T. Aonishi, H. Yoshino, C. Ohta, H. Kawaguchi, and M. Yoshimoto, "Aggregation Efficient-Aware Greedy Incremental Tree Routing for Wireless Sensor Networks," IEICE Trans. Communications, Vol. E89-B, No. 10, pp. 2741-2751, Oct. 2006.

[44] J. Miyakoshi, Y. Murachi, T. Matsuno, M. Hamamoto, T. Inuma, T. Ishihara, H. Kawaguchi,

M. Miyama and M. Yoshimoto, "A Sub-mW H.264 Baseline-Profile Motion Estimation Processor Core with a VLSI-Oriented Block Partitioning Strategy and SIMD/Systolic-Array Architecture," IEICE Trans. Fundamentals, Vol. E89-A, No. 12, pp. 3623-3633, Dec. 2006.

[45] J. Miyakoshi, Y. Murachi, T. Ishihara, H. Kawaguchi, and M. Yoshimoto, "A Power- and Area-Efficient SRAM Core Architecture with Segmentation-Free and Horizontal/Vertical Accessibility for Super-Parallel Video Processing," IEICE Trans. Electronics, Vol. E89-C, No. 11, pp. 1629-1636, Nov. 2006.

[46] Kentaro Nakahara, Shin'ichi Kouyama, Tomonori Izumi, Hiroyuki Ochi, Yukihiro Nakamura, "Fault Tolerant Dynamic-Reconfigurable Device Based on EDAC With Rollback," IEICE Trans. on Fundamentals, Vol. E89-A, No. 12, pp. 3652-3658, Dec. 2006.

[47] G. Kim, B. Murakami, M. Goto, T. Kihara, K. Nakamura, Y. Shimizu, T. Matsuoka, and K. Taniguchi, "Small-Signal and Noise Model of FD-SOI MOS Devices for Low Noise Amplifier," Jpn. J. Appl. Phys., PT. 1, Vol. 45, No. 9A, pp. 6872-6877, Sep. 2006.

[48] 井田, 田中, 石原, 松岡, 谷口, "Adaptive Bias 回路を用いたスイッチトキャパシタ回路用省電力演算増幅器," 電子情報通信学会論文誌C, Vol. J89-C, No. 10, pp. 645-647, Oct. 2006.

[49] T. Kihara, G. Kim, M. Goto, K. Nakamura, Y. Shimizu, T. Matsuoka, and K. Taniguchi, "Analytical Expression Based Design of a Low-Voltage FD-SOI CMOS Low-Noise Amplifier," IEICE Trans. Fundamentals A, Vol. E90-A, No. 2, pp. 317-325, Feb. 2007.

[50] S. Takahashi, S. Tsukiyama, M. Hashimoto, and I. Shirakawa, "A Sampling Switch Design Procedure for Active Matrix Liquid Crystal Displays," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E89-A, no. 12, pp. 3538-3545, (Dec 2006).

[51] 内田好弘, 谷貞宏, 橋本昌宜, 築山修治, 白川功, "グラウンド平面・シールド配線によるシステム・オン・パネルの配線間容量の低減と容量見積り易化," 情報処理学会論文誌, vol. 47, no. 6, pp. 1665-1673, (Jun. 2006).

[52] Y. Ezoe, M. Koshiishi, M. Mita, K. Mitsuda, A.

- Hoshino, Y. Ishisaki, Z. Yang, T. Takano, R. Maeda, "Micro pore X-ray optics using anisotropic wet etching of(110) silicon wafers," *Applied Optics*, Vol. 45, Issue 35(2006) pp. 8932-8938
- [53] Yoshio Mita, Masanori Kubota, Tomoyuki Harada, Frederic Marty, Bassam Saadany, Tarik Bourouina and Tadashi Shibata, "Contour Lithography Methods for DRIE Fabrication of Nanometre-Millimetre-Scale Coexisting Microsystems," *Journal of Micromechanics and Microengineering*, Vol. 16, pp. S135-S141 (2006).
- [54] 久保田雅則, 三田吉郎, マーティー・フレデリック, ブレイナ・タリク, 柴田直, "ナノ開口・大開口のエッチングを可能とする輪郭描画法," *電気学会センサ・マイクロマシン部門誌*, Volume 126-E Number 6(2006).
- [55] Bassam Saadany, Maurine Malak, Masanori Kubota, Frederic Marty, Yoshio Mita, Diaa Khalil, and Tarik Bourouina, "Free-Space Tunable and Drop Optical Filters Using Vertical Bragg Mirrors on Silicon," *IEEE Journal of Selected Topics in Quantum Electronics*, Vol. 12, No. 6, Nov/Dec 2006, pp. 1480-1488.
- [56] Yoshio Mita, Kenichiro Hirose, Masanori Kubota, and Tadashi Shibata, "Deep-Trench Vertical Si Photodiodes for Improved Efficiency and Crosstalk," *IEEE Journal of Selected Topics on Quantum Electronics*, Vol. 13, No. 2, March/April(2007. 3).
- [57] K. Sugiura, R. Nakane, S. Sugahara, and M. Tanaka, "Schottky barrier height of ferromagnet/Si(001) junctions," *Appl. Phys. Lett.* 89, 072110(2006).
- [58] K. Sugiura, R. Nakane, S. Sugahara, and M. Tanaka, "Schottky barrier MOSFETs with epitaxial ferromagnetic MnAs/Si(001) source and drain ! Postgrowth annealing and transport characteristics.," *J. Cryst. Growth*, in Press.
- [59] R. Nakane, M. Tanaka, and S. Sugahara, "Preparation and characterization of ferromagnetic DO3-phase Fe₃Si thin films on silicon-on-insulator substrates for Si-based spin-electronic device applications," *Appl. Phys. Lett.* 89, pp. 192503/1-3(2006).
- [60] T. Ohzone, T. Sadamoto, T. Morishita, K. Komoku, T. Matsuda and H. Iwata, "A CMOS temperature sensor circuit," *IEICE Transactions on Electronics*, printing.
- [61] K. Nishio, H. Yonezu, and Y. Furukawa "A Two-Dimensional Network of Analog Circuits for Motion Detection Based on the Frog Visual System," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, E89-A(2) pp. 428-438(2006).
- [62] K. Nishio, H. Yonezu, and Y. Furukawa, "Analog Integrated Circuit for Detection of an Approaching Object with Simple-Shape Recognition Based on Lower Animal Vision," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences* E89-A(2) pp. 416-417(2006).
- [63] Yuuzo FURUKAWA, Hiroo YONEZU, Yuji MORISAKI, Soo-Young MOON, Seigi ISHIJI and Akihiro WAKAHARA, "Monolithic Implementation of Elemental Devices for Optoelectronic Integrated Circuit in Lattice-Matched Si/III-V-N Alloy Layers," *Japanese Journal of Applied Physics* 45(35) pp. 920-922 (2006)
- [64] S. Sawa, K. Nishio, Y. Furukawa, H. Yonezu and J. -K. Shin, "Analog Integrated Circuit for Edge Detection with Wide Dynamic Range Based on Vertebrate Outer Retina," *Intelligent Automation and Soft Computing*, Vol. 12, No. 3, pp. 299-305(2006)
- [65] F. Kumazawa and N. Takagi, "Hardware Algorithm for Computing Reciprocal of Euclidean Norm of a 3-D Vector," *IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E89-A, No. 6, pp. 1799-1806, (June 2006).
- [66] N. Takagi, S. Kadowaki and K. Takagi, "A Hardware Algorithm for Integer Division Using the SD2 Representation," *IEICE TRANS. FUNDAMENTALS*, Vol. E89-A, No. 10, pp. 2874-2881, (October 2006)
- [67] N. Minegishi, J. Miyakoshi, Y. Kuroda, T. Katagiri, Y. Fukuyama, R. Yamamoto, M. Miyama, K. Imamura, H. Hashimoto, M. Yoshimoto, "VLSI Architecture Study of a Real-time Scalable Optical Flow Processor for Video Segmentation," *IEICE Trans. Electronics*, Vol. E89-C, No. 3, pp. 230-242, March 2006.
- [68] 峯岸孝行, 江井友美, 小野みどり, 遠山治, 黒田雄樹, 深山正幸, 吉本雅彦, "動的再構成可能なH. 264

／MPEG-2／MPEG-4対応HDTVコーデック可変長符復号プロセッサコア,” 電子情報通信学会論文誌 D, Volume J89-D No. 6, pp. 1091-1100 (2006).

- [69] S. Mikami, T. Matsuno, M. Miyama, H. Kawaguchi, M. Yoshimoto, H. Ono, “An Energy-Harvesting Wireless-Interface SoC for Short-Range Data Communication,” IEEJ Trans. Electronics, Information and Systems, Vol. 126, No. 5, pp. 565-570(2006).
- [70] J. Miyakoshi, Y. Murachi, T. Matsuno, M. Hamamoto, T. Iinuma, T. Ishihara, H. Kawaguchi, M. Miyama, M. Yoshimoto, “A Sub-mW H. 264 Baseline-Profile Motion Estimation Processor Core with a VLSI-Oriented Block Partitioning Strategy and SIMD/Systolic-Array Architecture,” IEICE Trans. Fundamentals, Vol. E89-A, No. 12, pp. 3623-3633(2006)
- [71] 福原雅朗, 吉田正廣, “ニューロンMOSインバータを用いたハミング距離検出回路の提案,” 電子情報通信学会論文誌C, Vol. J89-C, No. 6, pp. 421-422(2006).
- [72] Koichiro Noguchi, Makoto Nagata, “An On-Chip Multi-Channel Rail-to-Rail Signal Monitoring Technique for Sub-100-nm Digital Signal Integrity,” IEICE Transactions on Electronics, Vol. E89-C, No. 6, pp. 761-768, 2006. 06.
- [73] Mitsuya Fukazawa, Makoto Nagata, “Measurement-Based Analysis of Delay Variation Induced by Dynamic Power Supply Noise,” IEICE Transactions on Electronics, Vol. E89-C, No. 11, pp. 1559-1566, 2006. 11.
- [74] Yohei Fukumizu, Makoto Nagata, Kazuo Taki, “Back-End Design of a Collision-Resistive RFID System through High-Level Modeling Approach,” IEICE Transactions on Electronics, Vol. E89-C, No. 11, pp. 1581-1590, 2006. 11.
- [75] Ueno K., Hirose T., Asai T., and Amemiya Y., “A CMOS watchdog sensor for certifying the quality of various perishables with a wider activation energy,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer, vol. E89-A, no. 4, pp. 902-907 (2006).
- [76] Hirose T., Asai T., and Amemiya Y., “Spiking neuron devices consisting of single-flux-quantum circuits,” Physica C, vol. 445-448, pp. 1020-1023(2006).
- [77] 萩原 淳史, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “弱反転MOSFETを用いた温度検出スイッチ回路,” 電子情報通信学会論文誌C, vol. J89-C, no. 10, pp. 654-656 (2006).
- [78] Hirose T., Asai T., and Amemiya Y., “Power-supply circuits for ultralow-power subthreshold MOS-LSIs,” IEICE Electronics Express, vol. 3, no. 22, pp. 464-468(2006).
- [79] Tovar G. M., Hirose T., Asai T., and Amemiya Y., “Neuromorphic MOS circuits exhibiting precisely-timed synchronization with silicon spiking neurons and depressing synapses,” Journal of Signal Processing, vol. 10, no. 6, pp. 391-397 (2006).
- [80] 石川洋平, 深井澄夫, 相川正義, “対称関数を実現する多入力ニューロンMOS可変論理回路,” 電子情報通信学会論文誌C, Vol. J89-C, No. 4, pp. 154-161, (2006)
- [81] 石川洋平, 深井澄夫, 相川正義, “単一回路によるニューロンMOSコンパレータに関する一考察,” 映像情報メディア学会論文誌, Vol. 60, No. 5, pp. 807-812(2006)
- [82] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki and A. Iwata, “A 1V Low-Noise CMOS Amplifier Using Autozeroing and Chopper Stabilization Technique,” IEICE Trans. Electron., vol. E89-C, pp. 769-774, Jun. 2006.
- [83] T. Tokuda, S. Sugitani, M. Taniyama, A. Uehara, Y. Terasawa, K. Kagawa, M. Nunoshita, Y. Tano, and J. Ohta, “Fabrication and Validation of Multichip Neural Stimulator for in vivo Experiments toward Retinal Prosthesis,” Jpn. J. Appl. Phys., accepted
- [84] T. Tokuda, I. Kadowaki, K. Kagawa, M. Nunoshita, J. Ohta, “A new imaging scheme for on-chip DNA spots with optical / potential dual-image CMOS sensor in dry situation,” Jpn. J. Appl. Phys., accepted.
- [85] T. Tokuda, S. Sugitani, M. Taniyama, A. Uehara, Y. Terasawa, K. Kagawa, M. Nunoshita, and J. Ohta, “A CMOS LSI-based multi-chip flexible neural stimulation device with embedded bulk Pt electrodes,” Electronics Letters, accepted
- [86] T. Tokuda, K. Tanaka, M. Matsuo, K. Kagawa, M. Nunoshita, J. Ohta, “Optical and Electrochemical dual-image CMOS sensor for on-chip biomolecular sensing applications,” Sensors & Actuators! A, accepted.

- [87] D. C. Ng, T. Nakagawa, T. Tokuda, M. Nunoshita, H. Tamura, Y. Ishikawa, S. Shiosaka, and J. Ohta, "Development of a Fully Integrated Complementary Metal-Oxide, Semiconductor Image Sensor-based Device for Real-time In vivo Fluorescence Imaging inside the Mouse Hippocampus," *Jpn. J. Appl. Phys.*, accepted
- [88] K. Kagawa, S. Sanshiro, T. Sasaki, I. Nagahata, M. Nunoshita, and J. Ohta, "A low-voltage PWM CMOS imager with small pixel size using an in-pixel gate-common comparator," *ELEX*, accepted.
- [89] 徳田 崇, 森 大輔, 香川 景一郎, 布下 正宏, 太田 淳, "裏面キャリア注入を用いたCMOSイメージセンサへのアイセーフ光検出機能付加," *映情学会誌* 60(3), 366-372, 2006.
- [90] T. Tokuda, A. Yamamoto, K. Kagawa, M. Nunoshita, J. Ohta, "A CMOS image sensor with optical and potential dual imaging function for on-chip bioscientific applications," *Sensors & Actuators! A* 125(2) 273-280, 2006.
- [91] T. Furumiya, S. Yamamoto, K. Kagawa, T. Tokuda, M. Nunoshita, J. Ohta, "Optimization of electrical stimulus pulse parameter for low-power operation of a retinal prosthetic device," *Jpn. J. Appl. Phys.*, 45(19), L505-L507, 2006.
- [92] D. C. Ng, T. Tokuda, A. Yamamoto, M. Matsuo, M. Nunoshita, H. Tamura, Y. Ishikawa, S. Shiosaka, J. Ohta, "On-chip biofluorescence imaging inside a brain tissue phantom using a CMOS image sensor for in vivo brain imaging verification," *Sensors & Actuators B*, 119(1), 262-274, 2006.
- [93] D. C. Ng, T. Furumiya, K. Yasuoka, A. Uehara, K. Kagawa, T. Tokuda, M. Nunoshita, J. Ohta, "Pulse Frequency Modulation-based CMOS Image Sensor for Subretinal Stimulation," *IEEE Trans. Circuits and Systems II*, 53(6), 487-491, 2006.
- [94] D. C. Ng, T. Tokuda, A. Yamamoto, M. Matsuo, M. Nunoshita, H. Tamura, Y. Ishikawa, S. Shiosaka, J. Ohta, "A CMOS Image Sensor for On-chip in vitro and in vivo Imaging of the Mouse Hippocampus," *Jpn. J. Appl. Phys.*, 45(4B), 3799-3806, 2006.
- [95] D. C. Ng, H. Tamura, T. Tokuda, A. Yamamoto, M. Matsuo, M. Nunoshita, Y. Ishikawa, S. Shiosaka, J. Ohta, "Real Time In vivo Imaging and Measurement of Serine Protease Activity in the Mouse Hippocampus Using a Dedicated CMOS Imaging Device," *Neuroscience Method*, 156(1-2), 23-30, 2006.
- [96] T. Furumiya, D. C. Ng, K. Yasuoka, K. Kagawa, T. Tokuda, M. Nunoshita, J. Ohta, "Functional verification of pulse frequency modulation-based image sensor for retinal prosthesis by in vitro electrophysiological experiments using frog retina," *Biosensors and Bioelectronics*, 21(7), 1059-1068, 2006.
- [97] J. Ohta, T. Tokuda, K. Kagawa, T. Furumiya, A. Uehara, Y. Terasawa, M. Ozawa, T. Fujikado, Y. Tano, "Silicon LSI-Based Smart Stimulators for Retinal Prosthesis," *IEEE Eng. Med. & Biol. Mag.* 25(5), 47-59, 2006.
- [98] 香川景一郎, 檀野隆一, 山本幸司, 前田勇希, 三宅康也, 田邊英樹, 政木康生, 布下正宏, 太田淳, "ネットワークを利用した携帯型情報家電マルチリモコン"オプトナビ"システムの基本実証", *映情学誌*, 60(6), pp. 897-908(2006).
- [99] 山本真也, 香川景一郎, 古宮哲夫, 徳田崇, 布下正宏, 太田淳, "32×32画素キャパシティブフィールドバックリセット型パルス周波数変調方式低電圧ビジョンチップの試作と評価," *映像情報メディア学会誌* 60(4), pp. 621-626(2006).
- [100] Yeom, J. Y. ; Defendi, I. ; Takahashi, H. ; Zeitelhack, K. ; Nakazawa, M. ; Murayama, H., "A 12-Channel CMOS Preamplifier-Shaper-Discriminator ASIC for APD and Gas Counters," *Nuclear Science, IEEE Transactions on* Volume 53, Issue 4, Part 2, Aug. 2006 Page (s)2204-2208
- [101] Siritiprussamee, P., Takahashi, H., Kai, M., Nakazawa, M., Ino, T., Furusaka, M., Kishimoto, S., Taniguchi, M., Ito, S., Kanazawa, M. "Development of a two-dimensional multigrid-type microstrip gas chamber using global-local grouping method," pp. 326-329, *IEEE Transactions on Nuclear Science*, Volume 53, Issue 1, February 2006
- [102] K. Fujita, H. Takahashi, P. Siritiprussamee, H. Niko, M. Kai, M. Nakazawa, T. Ino, S. Sato, T. Yokoo, M. Furusaka, "Neutron beam test of multigrid type microstrip gas chamber," *Physica B! Condensed Matter* Volume 385-386, 15 November 2006, Pages 1290-1292
- [103] D. Fukuda, N. Zen, M. Ohkubo, et al. "Absolute

Power Measurement with Transition Edge Sensors and SQUID amplifie”J. Phys. ! Conf. Ser., vol. 43, pp. 1315-1318, 2006

- [104] Kunieda Y, Takahashi H, Zen N, Damayanthi RMT, Mori F, Fujita K, Nakazawa M, Fukuda D and Ohkubo M. “Characterization of Ir/Au pixel TES”Nuclear Instruments and Methods in Physics Research Section A, 2006!559!429-431
- [105] Zen N, Takahashi H, Kunieda Y, Damayanthi RMT, Mori F, Fujita K, Nakazawa M, Fukuda D and Ohkubo M. “Development of pixellated Ir-TESs”, Nuclear Instruments and Methods in Physics Research Section A, 2006!559!494-496
- [106] N. Zen, Y. Kunieda, H. Takahashi, et al., “Digital Signal Processing Based on a Clustering Algorithm for Ir/Au TES Microcalorimeter”, IEEE Trans. Nucl. Sci., vol. 53, no. 1, pp. 259-264, Feb. 2006
- [107] R. M. T. Damayanthi, Y. Kunieda, N. Zen, et al., “Waveform Analysis of Bilayer Iridium/Gold Superconducting Transition Edge Sensor Microcalorimete”Jpn. J. Appl. Phys., vol. 45, no. 8A, pp. 6259-6262, 2006
- [108] 二河久子, 藤田薫, 高橋浩之, Prasit Siritiprussamee, 中沢正治, 古坂道弘, 岸本俊二, 猪野隆, 鈴木淳市, 奥隆之, 豊川秀訓, “Global-Local Grouping (GLG)法を用いたマイクロストリップガス検出器(MSGC)の開発”応用物理学会放射線分科会誌 放射線 Vol. 32, No. 2(2006)
- [109] H. Yoshizawa and G. C. Temes, “Switched-capacitor track-and-hold amplifier with low sensitivity to op-amp imperfections,” Analog Integrated Circuits and Signal Processing., vol. 48, No. 3, pp. 267-270, 2006
- [110] H. Yoshizawa and G. C. Temes, “Switched-capacitor track-and-hold amplifiers with low sensitivity to op-amp imperfections,” IEEE Transactions on Circuits and Systems I, vol. 54, No. 1, pp. 193-199, 2007.
- [111] 京極, 井上, 中島, 上蘭, 岡田, 益, “Optimization Methodology of Layer Numbers with Circuit/Process Co-Design,” Japanese Journal of Applied Physics, Vol. 45, No. 4A, pp. 2476-2480, April 2006.
- [112] 木村, 伊藤, 杉田, 岡田, 益, “Zero-Crosstalk Bus Line Structure for Global Interconnects in Si ULSI,” Japanese Journal of Applied Physics, Vol. 45, No. 6A, pp. 4977-4981, June 2006.
- [113] 岡田, 吉原, 菅原, 益, “Design of Reconfigurable RF CMOS Wireless Circuit,” IEICE Transactions on Electronics, Vol. J89-C, No. 7, pp. 499-507, July 2006.
- [114] 益, 岡田, 伊藤, “RF Passive Components Using Metal Line on Si CMOS,” IEICE Transactions on Electronics, Vol. E89-C, No. 6, pp. 681-691, June 2006.
- [115] 山内, 菅原, 岡田, 益, “Improvement of the Variable Ratio of On-Chip Variable Inductors Using Side Shield,” Japanese Journal of Applied Physics, Vol. 45, No. 7, pp. 5720-5723, July 2006.
- [116] 岡田, 菅原, 伊藤, 糸井, 佐藤, 阿部, 伊藤, 益, “On-Chip High-Q Variable Inductor Using Wafer-Level Chip-Scale Package Technology,” IEEE Transactions on Electron Devices, Vol. 53, No. 9, pp. 2401-2406, Sep. 2006.
- [117] 上蘭, 岡田, 益, “Statistical Modeling of a Via Distribution for Yield Estimation,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, Vol. E89-A, No. 12, pp. 3579-3584, Dec. 2006.
- [118] N. Homma, Y. Watanabe, T. Aoki, and T. Higuchi, “Formal design of arithmetic circuits based on arithmetic description language,” IEICE Trans. Fundamentals, vol. E89-A, pp. 3500-3509, Dec. 2006.
- [119] H. Li, Y. Hayakawa, S. Sato, K. Nakajima, “Hardware Implementation of an Inverse Function Delayed Neural Network Using Stochastic Logic,” IEICE Trans. Information and Systems, vol. E89-D, no. 9, pp. 2572-2578 (2006)
- [120] S. Aoyama, S. Kawahito, and M. Yamaguchi, “Integrated Active Magnetic Probe in Silicon-on-insulator Complementary Metal-oxide-semiconductor Technology,” Japanese Journal of Applied Physics, Vol. 45, No. 9A, pp. 6878-6883, 2006. 09.
- [121] S. Aoyama, S. Kawahito, and M. Yamaguchi, “An Active Magnetic Probe Array for the Multiple-point Concurrent Measurement of the Electromagnetic Emissions,” IEEE Transactions on Magnetics, Vol. 42, No. 10, pp. 3303-3305, 2006. 10.
- [122] Shingo Yoshizawa, Yoshikazu Miyanaga, “Tunable Wordlength Architecture for a Low Power Wireless OFDM Demodulator,” IEICE

- Trans. on Fundamentals, Vol. E89-A, No. 10, pp. 2866-2873, Oct. 2006.
- [123] Akira Mochizuki, Hirokatsu Shirahama and Takahiro Hanyu, "Design of a Low-Power Quaternary Flip-Flop Based on Dynamic Differential Logic," IEICE Trans. on Electronics, Vol. E89-C, No. 11, pp. 1575-1580, Nov. 2006.
- [124] Tomohiro Takahashi and Takahiro Hanyu, "Implementation of a High-Speed Asynchronous Data-Transfer Chip Based on Multiple-Valued Current-Signal Multiplexing," IEICE Trans. on Electronics, Vol. E89-C, No. 11, pp. 1598-1604, Nov. 2006.
- [125] Naoya Onizawa and Takahiro Hanyu, "Design and Evaluation of a NULL-Convention Circuit Based on Dual-Rail Current-Mode Differential Logic," IEICE Trans. on Electronics, Vol. E89-C, No. 11, pp. 1591-1597, Nov. 2006.
- [126] N. Yoshikawa, M. Tokuda1, T. Tomida, H. Kojima, K. Fujiwara, Q. Liu and T. Van Duzer, "Access time measurements of Josephson-CMOS hybrid memory using single-flux-quantum circuits," Supercond. Sci. Technol. 19(2006) S350-S353.
- [127] Y. Yamanashi, A. Akimoto, N. Yoshikawa, M. Tanaka, T. Kawamoto, Y. Kamiya, A. Fujimaki, H. Terai and S. Yoroazu, "A new design approach for control circuits of pipelined single-flux-quantum microprocessors," Supercond. Sci. Technol. 19(2006) S340-S343.
- [128] T. Nishigai, S. Yamada, N. Yoshikawa, "Design and implementation of low-power SFQ circuits using LR-load biasing technique," Physica C, vol. 445-448, October 2006, pp. 1029-1033.
- [129] Y. Yamanashi, T. Asano, N. Yoshikawa, "On-chip microwave generator for manipulation of superconductive quantum bits," Physica C, vol. 445-448, October 2006, pp. 967-970.
- [130] Yusuke Taii, Akio Higo, Hiroyuki Fujita and Hiroshi Toshiyoshi, "A transparent sheet display by plastic MEMS," Journal of the Society for Information Display (J. SID), vol. 14, no. 8, Aug. 2006, pp. 735-741
- [131] 高原卓也, 三田 信, 武山芸英, 浜田裕介, 高橋巧也, 年吉 洋, 水野貴秀, "惑星探査機搭載用 LIDAR の 2 次元走査機構に関する研究", IEEJ Trans. SM, vol. 126, no. 8, 2006, pp. 476-480
- [132] 諫本圭史, 鄭 昌鎬, 藤田博之, 年吉 洋, 「MEMS 光可変減衰器のためのデバイス実装技術」エレクトロニクス実装学会誌 Vol. 9, No. 4(2006), pp. 235-239
- [133] K. Takahashi, M. Mita, H. Fujita, and H. Toshiyoshi, "A high fill-factor comb-driven XY-stage with topological layer switch architecture," IEICE Electronics Express, vol. 3, no. 9, pp. 197-202, 2006
- [134] K. Yamashita, W. Sun, K. Kakushima, H. Fujita, and H. Toshiyoshi, "RF microelectromechanical system device with a lateral field-emission detector," J. Vac. Sci. Technol. B vol. 24, no. 2, pp. 927-931, 2006
- [135] Y. Taii, A. Higo, H. Fujita, and H. Toshiyoshi, "Transparent color pixels using plastic MEMS technology for electronic papers," IEICE Electronics Express, Vol. 3 No. 6(2006) pp. 97-101
- [136] R. Shigematsu, A. Higo, H. Toshiyoshi, and H. Fujita, "An electrostatically latched and magnetically erased MEMS re-writable bitmap image display," IEICE Electronics Express, Vol. 3, No. 5(2006), pp. 87-91
- [137] A. Higo, S. Iwamoto, S. Ishida, Y. Arakawa, M. Tokushima, A. Gomyo, H. Yamada, H. Fujita and H. Toshiyoshi, "Development of high-yield fabrication technique for MEMS-PhC devices," IEICE Electronics Express, Vol. 3, No. 3, pp. 39-43, (2006)
- [138] C. Chong, K. Isamoto, and H. Toshiyoshi, "Optically Modulated MEMS Scanning Endoscope," Photon. Tech. Lett. vol. 18, no. 1, 2006, pp. 133-135
- [139] M. Watanabe, F. Kobayashi, "Manufacturing-defect tolerance analysis of optically reconfigurable gate arrays," World Scientific and Engineering Academy and Society Transactions on Signal Processing, Issue 11, Vol. 2, pp. 1457-1464, 2006.
- [140] 宮野, 渡邊, 小林, "差分光再構成型ゲートアレー," 電子情報通信学会論文誌, Vol. J89-D, No. 9, pp. 1935-1942, 2006.
- [141] 渡邊, 小林, "高密度ダイナミック光再構成型ゲートアレー VLSI", 電子情報通信学会論文誌, Vol. J89-D, No. 6, pp. 1082-1090, 2006.
- [142] M. Watanabe, F. Kobayashi, "A Dynamic Optically Reconfigurable Gate Array," Japanese Journal of Applied Physics, Vol. 45, No. 4B, pp.

3510-3515, 2006.

- [143] T. Kumaki, Y. Kuroda, M. Ishizaki, T. Koide, H. J. Mattausch, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Real-Time Huffman Encoder with Pipelined CAM-Based Data Path and Code-Word-Table Optimizer," *IEICE Trans. on Information & Systems*, Vol. E90-D, pp. 334-345 (2007. 1).
- [144] T. Kumaki, Y. Kono, M. Ishizaki, T. Koide, and H. J. Mattausch, "Scalable FPGA/ASIC Implementation Architecture for Parallel Table-lookup Coding Using Multi-ported Content Addressable Memory," *IEICE Trans. on Information & Systems*, Vol. E90-D, pp. 346-354 (2007. 1).
- [145] K. Johguchi, Y. Mukuda, K. Aoyama, H. J. Mattausch, and T. Koide, "A 2-stage-pipelined 16 Port SRAM with 590 Gbps Random Access Bandwidth and Large Noise Margin," *IEICE Electronics Express*, Vol. 4, No. 2, pp. 21-25, (2007. 1).
- [146] Bakhtiar Affendi Rosdi, Atsushi Takahashi, Multi-clock Cycle Paths and Clock Scheduling for Reducing the Area of Pipelined Circuits, *IEICE Trans. Fundamentals*, Vol. E89-A, No. 12, pp. 3551-3559, 2006.
- [147] T. Someya, T. Sekitani, S. Iba, Y. Kato, T. Sakurai, H. Kawaguchi, "Organic transistor integrated circuits for large-area sensors," *MOLECULAR CRYSTALS AND LIQUID CRYSTALS*, Vol. 444, No., pp. 13-22, Jan. 2006.
- [148] N. Miura, D. Mizoguchi, M. Inoue, T. Sakurai, and T. Kuroda, "A 195-Gb/s 1.2-W Inductive Inter-Chip Wireless Superconnect for 3-D-Stacked System in a Package," *IEEE Journal of Solid-State Circuits (JSSC)*, Vol. 41, No. 1, pp. 23-34, Jan. 2006.
- [149] S. Iba, Y. Kato, T. Sekitani, H. Kawaguchi, T. Sakurai, and T. Someya, "Use of laser drilling in the manufacture of organic inverter circuits," *Analytical and Bioanalytical Chemistry*, Vol. 384, No. 2, pp. 374-377, Jan. 2006.
- [150] Y. Kato, T. Sekitani, M. Takamiya, Masao Doi, K. Asaka, T. Sakurai, and T. Someya, "Sheet-type Braille displays by integrating organic field-effect transistors and polymeric actuators," *IEEE Transactions on Electron Devices*, Vol. J3, No., Feb. 2006.
- [151] C. Q. Tran, H. Kawaguchi, and T. Sakurai, "Low-Power Low-Leakage FPGA Design Using Zigzag Power Gating, Dual-VTH/VDD and Micro-VDD-Hopping," *IEICE Transactions on Electronics*, Vol. E89-C, No. 3, pp. 280-286, Mar. 2006.
- [152] D. D. Antono, K. Inagaki, H. Kawaguchi, and T. Sakurai, "Trends of On-Chip Interconnects in Deep Sub-Micron," *VLSI IEICE Transactions on Electronics*, Vol. E89-C, No. 3, pp. 392-394, Mar. 2006.
- [153] T. Sekitani, T. Someya, and T. Sakurai, "Effects of Annealing on Pentacene Field-Effect Transistors using Polyimide Gate Dielectric Layers," *Journal of Applied Physics*, Vol., No., Apr. 2006.
- [154] K. Ishida, K. Kanda, A. Tamtrakarn, H. Kawaguchi, and T. Sakurai, "Managing Subthreshold Leakage in Charge-Based Analog Circuits with Low-VTH Transistors by Analog T-Switch (AT-Switch) and Super Cut-off CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 4, pp. 859-867, Apr. 2006.
- [155] K. S. Min, H. D. Choi, H. Y. Choi, H. Kawaguchi and T. Sakurai, "Leakage-Suppressed Clock-Gating Circuit With Zigzag Super Cut-Off CMOS (ZSCCMOS) for Leakage-Dominant Sub70-nm and Sub-1-V-VDD LSIs," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 14, No. 4, pp. 430-435, Apr. 2006.
- [156] T. Sekitani, Shingo Iba, Y. Kato, Y. Noguchi, T. Sakurai, T. Someya, "Submillimeter radius bendable organic field-effect transistors," *JOURNAL OF NON-CRYSTALLINE SOLIDS*, Vol. 352(9-20), No., pp. 1769-1773, June 2006.
- [157] T. Sekitani, Y. Takamatsu, S. Nakano, T. Sakurai, T. Someya, "Hall effect measurements using polycrystalline pentacene field-effect transistors on plastic films," *Applied Physics Letters*, Vol. 88, No. 25, June 2006.
- [158] H. Kawaguchi, S. Iba, Y. Kato, T. Sekitani, T. Someya, and T. Sakurai, "A 3D-Stack Organic Sheet-Type Scanner with Double-Wordline and Double-Bitline Structure," *IEEE Sensors Journal*, Vol. 6, No. 5, pp. 1209-1217, Oct. 2006.
- [159] K. Onizuka, H. Kawaguchi, M. Takamiya and T. Sakurai, "VDD-Hopping Accelerators for On-

- Chip Power Supply Circuit to Achieve Nanosecond-Order Transient Time,” IEEE Journal of Solid-State Circuits, Vol. 41, No. 11, pp. 2382-2389, Nov. 2006.
- [160] T. Sakurai and M. Ikeda, “Introduction to the Special Issue on the 2005 Asian Solid-State Circuits Conference (A-SSCC'05),” IEEE Journal of Solid-State Circuits, Vol. 41, No. 11, pp. 2364-2365, Nov. 2006.
- [161] Danardono Dwi Antono, Kenichi Inagaki, Hiroshi Kawaguchi, Takayasu Sakurai, “Simple Waveform Model of Inductive Interconnects by Delayed Quadratic Transfer Function with Application to Scaling Trend of Inductive Effects in VLSI's,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E89-A, No. 12, pp. 3569-3578, Dec. 2006.
- [162] Y. Kato, T. Sekitani, M. Takamiya, M. Doi, K. Asaka, T. Sakurai, and T. Someya, “Sheet-Type Braille Displays by Integrating Organic Field-Effect Transistors and Polymeric Actuators,” IEEE Transactions on Electron Devices, Vol. 54, No. 2, pp. 202-209, Feb. 2007.
- [163] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, and T. Sakurai, “An Organic FET SRAM with Back Gate to Increase Static Noise Margin and its Application to Braille Sheet Display,” IEEE Journal of Solid-State Circuits, Vol. 42, No. 1, pp. 93-100, Jan. 2007.
- [164] 尼崎, 山口, 中山, 飯田, 末吉, “入力粒度に依存しない再構成論理セルのフィジビリティスタディ,” pp. 17-20, 第5回情報科学技術フォーラム (FIT2006)情報科学技術レターズ(2006年).
- [165] T. Yamasaki and T. Shibata, “A Low-Power Floating-Gate-MOS-Based CDMA Matched Filter Featuring Coupling Capacitor Disconnection,” IEEE Journal on Solid State Circuits, vol. 42, no. 2, pp. 422-430, 2007.
- [166] Yoshio Mita, Masanori Kubota, Tomoyuki Harada, Frederic Marty, Bassam Saadany, Tarik Bourouina and Tadashi Shibata, “Contour lithography methods for DRIE fabrication of nanometre-millimetre-scale coexisting microsystems,” Journal of Micromechanics and Microengineering, vol. 16, pp. S135-S141, 2006
- [167] 久保田 雅則, 三田 吉郎, マーティ フレデリック, ブルイナ タリク, 柴田 直, “ナノ開口・大開口のエッチングを可能とする輪郭描画法”, 電気学会論文誌E, vol. 126, pp. 235-240, 2006
- [168] K. Hirose, F. Shiraiishi, Y. Mita, “Simultaneous Vertical and Horizontal Self-Patterning Method on Deep Three-Dimensional Micro Structures,” Journal of Micromechanics and Microengineering (to be published).
- [169] Y. Mita, K. Hirose, M. Kubota, and T. Shibata, “Deep-Trench Vertical Si Photodiodes for Improved Efficiency and Crosstalk,” Journal of Selected Topics in Quantum Electronics (to be published).
- [170] 秦恵子, 関根好文, 中洞芳史, 佐伯勝敏, 四足歩行運動パターンを生成・移行可能なパルス形ハードウェアCPGモデル, 電気論C, Vol. 127, No. 1, pp. 52-58, 2007. 1.
- [171] 吉見真聡, 長名保範, 岩岡洋, 西川由理, 小嶋利紀, 柴田裕一郎, 岩永直樹, 舟橋啓, 広井賀子, 北野宏明, 天野英晴“FPGAを用いた確率モデル生化学シミュレータ,” 情報処理学会論文誌: コンピューティングシステム, 48(SIG 3(ACS 17)), pp. 45-58, 2007.
- [172] 長名保範, 吉見真聡, 岩岡洋, 小嶋利紀, 西川由理, 舟橋啓, 広井賀子, 柴田裕一郎, 岩永直樹, 北野宏明, 天野英晴“FPGAを用いた汎用生化学シミュレータ ReCSiP,” 電子情報通信学会論文誌D, J89-D(6), pp. 1163-1172, 2006.
- [173] 長谷川 揚平, 阿部 昌平, 黒瀧 俊輔, ヴマン トウアン, 天野 英晴, 動的リコンフィギャラブルプロセッサにおける時分割多重実行の評価, 情報処理学会論文誌コンピューティングシステム, Vol. 47, No. SIG12(ACS15), pp. 171-181, September 2006.
- [174] N. Ohkubo, K. Usami, “Delay Modeling and Critical-path Delay Calculation for MTCMOS Circuits,” IEICE Transactions on Fundamentals of Electronics, Vol. E89-A, NO. 12, pp3482-3490, Dec. 2006
- [175] Kazuya Tanigawa, Tetsuo Hironaka, Moto Maeda, Tetsuya Sueyoshi, Kenichi Aoyama, Tetsushi Koide and Hans Juergen Mattausch, “Performance Evaluation of Superscalar Processor with Multi-Bank Register File and an Implementation Result,” WSEAS Transactions on Computer, Issue 9, Vol. 5, pp. 1993-2000, Sep., 2006.
- [176] Jun PAN, Yasuaki INOUE, Zheng LIANG, Zhangcai HUANG, and Weilun HUANG, “A

Low-Power Sub-1-V Low-Voltage Reference Using Body Effect," IEICE Trans Fundamentals 2007 E90-A, 748-755, Apr. 2007

- [177] T. Kimura, K. Takasaki, T. Masuzawa, "Characteristics of Two-Dimensional Integrated Magnetic Sensor for Position Sensing and Motor Controlling," 188-193, IEEJ Trans. (2006)
- [178] 吉田 武史, 和田 和千, 田所 嘉昭, "素子値の不整合により発生するイメージを低減する複素スイッチトキャパシタフィルタの構成," pp. 648-651, 信学論C, Vol. J89-C, No. 10, 2006年10月.(小論文)
- [179] Ippei Akita, Kazuyuki Wada, and Yoshiaki Tadokoro, "ynthesis Method of All Low-Voltage CMOS Instantaneous-Companding Log Domain Integrators," pp. 339-350, IEICE Trans. Fundamentals, Vol. E90-A, No. 2, Feb. 2007
- [180] Hiroto Suzuki, Kazuyuki Wada, and Yoshiaki Tadokoro, "Band Connections for Digital Substrate Noise Reduction using Active Cancellation Circuits," pp. 339-350, IEICE Trans. Fundamentals, Vol. E90-A, No. 2, Feb. 2007.
- [181] K. Miyaji, M. Saitoh, and T. Hiramoto, "Voltage gain dependence of the negative differential conductance width in silicon single-hole transistors," Applied Physics Letters, Vol. 88, No. 14, 143505, April, 2006.
- [182] K. Miyaji, M. Saitoh, and T. Hiramoto, "Compact Analytical Model for Room-Temperature Operating Silicon Single-Electron Transistors with Discrete Quantum Energy Levels," IEEE Transactions on Nanotechnology, Vol. 5, No. 3, pp. 167-173, June, 2006.
- [183] M. Kobayashi, M. Saitoh, and T. Hiramoto, "Large Temperature Dependence of Coulomb Blockade Oscillations in Room-Temperature-Operating Silicon Single-Hole Transistor," Japanese Journal of Applied Physics, Vol. 45, No. 8A, pp. 6157-6161, August, 2006.
- [184] A. T. Putra, M. Saitoh, G. Tsutsui, and T. Hiramoto, "Modeling of Body Factor and Subthreshold Swing in Bulk Metal Oxide Semiconductor Field Effect Transistors in Short-Channel Regime," Japanese Journal of Applied Physics, Vol. 45, No. 8A, pp. 6173-6176, August, 2006.
- [185] T. Hiramoto, M. Saitoh, and G. Tsutsui, "Emerging nanoscale silicon devices taking advantage of nanostructure physics," IBM Journal of Research and Development, Vol. 50, No. 4/5, pp. 411-418, July/September, 2006.
- [186] G. Tsutsui and T. Hiramoto, "Mobility and Threshold-Voltage Comparison Between (110)- and (100)-Oriented Ultrathin-Body Silicon MOSFETs," IEEE Transactions on Electron Devices, Vol. 53, No. 10, pp. 2582-2588, October, 2006.
- [187] T. Nagumo and T. Hiramoto, "Design Guideline of Multi-Gate MOSFETs With Substrate-Bias Control," IEEE Transactions on Electron Devices, Vol. 53, No. 12, pp. 3025-3031, December, 2006.
- [188] M. Kobayashi and T. Hiramoto, "Large Coulomb-Blockade Oscillations and Negative Differential Conductance in Silicon Single-Electron Transistors with [100] - and [110] - Directed Channels at Room Temperature," Japanese Journal of Applied Physics, Vol. 46, No. 1, pp. 24-27, January, 2007.
- [189] T. Ohtou, K. Yokoyama, K. Shimizu, T. Nagumo, and T. Hiramoto, "Threshold-Voltage Control of AC Performance Degradation-Free FD SOI MOSFET With Extremely Thin BOX Using Variable Body-Factor Scheme," IEEE Transactions on Electron Devices, Vol. 54, No. 2, pp. 301-307, February, 2007.
- [190] Y. Sugimoto, Y. Gohda and S. Tanaka, "A Study to Realize a CMOS Pipelined Current-Mode A-to-D Converter for Video Applications," IEICE Trans. Electron., Vol. E89-C, No. 6, pp. 811-813, June 2006.
- [191] H. Sakurai and Y. Sugimoto, "The Realization of an Area-Efficient CMOS Bandgap Reference Circuit with Less than 1.25V of Output Voltage Using a Fractional VBE Amplification Scheme," IEICE Trans. Electron., Vol. E90-C, No. 2, pp. 499-506, February 2007.
- [192] 宮田 美和, 柴田 裕一郎, 小栗 清, 動的リコンフィギュラブルプロセッサにおけるアプリケーション中の固定小数点演算に注目した一最適化手法, 電子情報通信学会論文誌, Vol. J89-D, No. 6, pp. 1192-1200, 2006年6月.
- [193] S. Chen and S. Wei, Performance Evaluation of Signed-Digit Architecture for Weighted-to-Residue and Residue-to-Weighted Number Converters with Moduli Set $(2^n-1, 2^n,$

2. 国際会議

- [1] Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, "Memory-Efficient Accelerating Schedule for LDPC Decoder," IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS2006), Dec. 2006.
- [2] Seiichiro Hiratsuka, Satoshi Goto, Takeshi Ikenaga, "A 0.3mW 1.4mm² Motion Estimation Processor for Mobile Video Application," IEEE Asian Solid-State Circuits Conference (A-SSCC 2006), Nov. 2006.
- [3] Kazunori Shimizu, Tatsuyuki Ishikawa, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, "A Parallel LSI Architecture for LDPC Decoder Improving Message-Passing Schedule," IEEE International Symposium on Circuits and Systems (ISCAS2006), May 2006.
- [4] Tatsuyuki Ishikawa, Kazunori Shimizu, Takeshi Ikenaga, Satoshi Goto, "High-Throughput LDPC Decoder for long code-length," International Symposium on VLSI Design, Automation & Test (VLSI-DAT 2006), Apr. 2006.
- [5] Yang Song, Zhenyu Liu, Takeshi Ikenaga, Satoshi Goto, "VLSI Architecture for Variable Block Size Motion Estimation in H. 264/AVC with Low Cost Memory Organization," International Symposium on VLSI Design, Automation & Test (VLSI-DAT 2006), Apr. 2006.
- [6] Toru Hisakado, Nobuyuki Kobayashi, Satoshi Goto, Takeshi Ikenaga, Kunihiko Higashi, Ichiro Kitao, Yukiyasu Tsunoo, "61.5mW 2048-bit RSA Cryptographic Co-processor LSI based on N bit-wised Modular Multiplier," International Symposium on VLSI Design, Automation & Test (VLSI-DAT 2006), Apr. 2006.
- [7] Miwa, J., Tan, W. H., Suzuki, Y., Kasagi, N., Shikazono, N., Furukawa, "Development of micro immunoreaction-based cell sorter for regenerative medicine," Proc. 1st Intl. Conf. BNI Fusion, Marina del Rey, CA, USA, Jul. 20-22, 2005.
- [8] Miwa, J., Suzuki, Y. and Kasagi, N., "Adhesion-Based Cell Velocity Regulation in an Antibody-Coated Micro Column for Stem Cell Separation," Proc. 9th Int. Conf. Miniaturised Systems for Chemistry and Life Sciences (μ TAS2005), Boston, MA, USA, Oct. 9-13, 2005, pp. 868-870.
- [9] Tsutsumino, T., Suzuki, Y., Kasagi, N., and Tsurumi, Y. "High-Performance Polymer Electret for Micro Seismic Generator," Proc. 5th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2005), Nov. 28-30, 2005, Tokyo, pp. 9-12.
- [10] Tsutsumino, T., Suzuki, Y., Kasagi, N., Sakane, Y., "Seismic Power Generator Using High-Performance Polymer Electret," Proc. Int. Conf. MEMS'06, Jun. 2006, Istanbul, pp. 98-101.
- [11] Y. Masui, T. Yoshida, M. Sasaki and A. Iwata, "A 0.6V Supply CMOS Amplifier Using Noise Reduction Technique of Autozeroing and Chopper Stabilization," Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials (Yokohama, 2006), pp. 374-375.
- [12] M. Abbas, M. Ikeda and K. Asada, "Statistical Model for Logic Errors in CMOS Digital Circuits for Reliability-Driven Design Flow," IEEE 2006 Design and Diagnostics of Electronic Circuits and systems, pp. 145 & #8211; 146, April, 2006.
- [13] T. Iizuka, M. Ikeda, and K. Asada, "Exact Minimum-Width Multi-Row Transistor Placement for Dual and Non-Dual CMOS Cells," in Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), pp. 5431 - 5434, May 2006.
- [14] M. Ikeda, R. Zheng, S. Komatsu, M. Sasaki, H. Yoshida, T. Iizuka, M. Abbas and K. Asada, "Intelligent-PAD! On-chip Interactive Test Platform for SoC Design Education," 6th European Workshop on Microelectronics Education, May, 2006
- [15] K. Asada, "CMOS Smart Image Sensor-3D HS Meas," IEEE 2006 VAIL Computer Elements Workshop, June, 2006.
- [16] T. Kazama, T. Nakura, M. Ikeda, and K. Asada, "Optimization of Active Substrate Noise Cancelling Technique using Power Line di/dt Detector," in Proc. of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 239 -- 242, Oct. 2006.

- [17] K. Asada, "CMOS Image Sensors for Smart Applications," the 6th Taiwan-Japan Microelectronics International Symposium, Nov. 2006.
- [18] M. Ikeda, "University-Industry Collaboration for Nanometer CMOS Design," the 6th Taiwan-Japan Microelectronics International Symposium, Nov. 2006.
- [19] M. Ikeda, H. Yamauchi and K. Asada, "Tamper Resistivity Analysis for Nano-meter LSI with Process Variations," in Proc. of IEEE International Conference on Electronics, Circuits and Systems(ICECS), pp. 387 - 390, Dec. 2006.
- [20] T. Iizuka, M. Ikeda, and K. Asada, "Timing-Driven Redundant Contact Insertion for Standard Cell Yield Enhancement," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems(ICECS), pp. 704 - 707, Dec. 2006.
- [21] Y. Yachide, M. Ikeda, and K. Asada, "High-Speed 3-D Measurement System Using Smart Image Sensor and FPGA Based 3-D Engine," in Proc. of IEEE International Conference on Electronics, Circuits and Systems(ICECS), pp. 764 - 767, Dec. 2006.
- [22] M. Sasaki, M. Ikeda, and K. Asada, "4-Gb/s low-power PRBS Generator with wave-pipeline technique in 0.18-um CMOS," Proc. of the 13th IEEE International Conference on Electronics, Circuits, and Systems, pp. 1007-1010, Dec. 2006.
- [23] M. Ikeda, K. H. Dia and K. Asada, "Pre-conditioning Free Footless DCVSL for High-performance Datapaths," in Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 1053 - 1056, Dec. 2006.
- [24] T. Kazama, T. Nakura, M. Ikeda, and K. Asada, "Design of Active Substrate Noise Canceller using Power Line di/dt Detector," in Proc. of IEEE Asia and South Pacific Design Automation Conference(ASP-DAC), pp. 100 - 102, Jan. 2007.
- [25] M. Ikeda, T. Sogabe, K. Ishii, M. Mizuno, T. Nakura, K. Nose and K. Asada, "LAGS System Using Data/Instruction Grain Power Control," Proc. ISSCC 2007, 3. 3, pp. 9-10, Feb. 2007.
- [26] K. Maezawa, Y. Ookawa, S. Kishimoto, T. Mizutani, M. Takakusaki, H. Nakata, "High Power and Stable Oscillations in the RTD Pair Oscillator ICs Fabricated with Metamorphic RTDs," Int. Conf. Solid State Devices & Materials(2006)
- [27] K. Maezawa, H. Sugiyama, S. Kishimoto, T. Mizutani, "100 GHz Operation of a Resonant Tunneling Logic Gate MOBILE Having a Symmetric Configuration, Int. Conf. InP & Related Materials(2006)
- [28] Ueno K., Hirose T., Asai T., and Amemiya Y., "A watchdog sensor for assuring the quality of various perishables with subthreshold CMOS circuits," Proceedings of the 2006 Symposia on VLSI Technology and Circuits, pp. 194-195, Honolulu, USA (Jun. 13-17, 2006).
- [29] Hirose T., Asai T., and Amemiya Y., "Pulsed neural networks consisting of single-flux-quantum spiking neurons," Program & Abstracts of the 19th International Symposium on Superconductivity, p. 329, Nagoya, Japan (Oct. 30 - Nov. 1, 2006).
- [30] Hagiwara A., Hirose T., Asai T., Amemiya Y., "Critical temperature switch ! a highly sensitive thermosensing device consisting of subthreshold MOSFET circuits," Proceedings of the 2006 International Symposium on Intelligent Signal Processing and Communication Systems, pp. 111-114, Tottori, Japan (Dec. 12-15, 2006).
- [31] Ueno K., Hirose T., Asai T., Amemiya Y., "Ultralow-power smart temperature sensor with subthreshold CMOS circuits," Proceedings of the 2006 International Symposium on Intelligent Signal Processing and Communication Systems, pp. 546-549, Tottori, Japan (Dec. 12-15, 2006).
- [32] Hirose T., Asai T., Amemiya Y., "Power supply circuits for ultralow-power subthreshold CMOS smart sensor LSIs," Proceedings of the 2006 International Symposium on Intelligent Signal Processing and Communication Systems, pp. 558-561, Tottori, Japan (Dec. 12-15, 2006).
- [33] Ueno K., Hirose T., Asai T., and Amemiya Y., "Ultralow-power smart temperature sensor consisting of subthreshold MOS circuits," The 4th International Symposium on Ubiquitous Knowledge Network Environment, Sapporo, Japan (Mar. 5-7, 2007).
- [34] Myoren H., Shigihara A., Taino T., Takada S., " Quasiparticles Injection Effects for

- Nb/Al/AlO_x/Al/Nb Tunnel Junctions at 0.35 K using Stacked Josephson Junctions,” Institute of Physics Conference Series, Vol. 43, pp. 1326-1329
- [35] Myoren H., Kishita N., Taino T., Takada S., “Minimization of Parasitic Inductances in SFQ Circuits using Over- and Under-Ground Planes,” Applied Superconductivity Conference 2006, USA
- [36] Toshiyuki Sugita, Takashi Yoshida, Takayuki Hamamoto, Kazuya Kodama,” 3D Objects Tracking Using Smart Image Sensor,” IEEE Int. conf. on Sensors, CD-ROM, 4pages(2006).
- [37] Kenji Ide, Ryusuke Kawahara, Takayuki Hamamoto, “Object Tracking by Wide View Imaging System Using Eight Smart Sensors,” IEEE International Symposium On Intelligent Signal Processing and Communication Systems (ISPACS), TPMI-1-2, pp. 570-573(2006).
- [38] Hisayuki Taruki, Akira Ohno, Fumie Ono, Takayuki Hamamoto, Tomoshi Sasaki, Toshihito Shirai, Masayoshi Sakai, “Image sensor for objects detection using modulated light,” SPIE Symposium on Electronic Imaging, conference on Sensors, Cameras, and Systems for Scientific/Industrial Applications X, (2007).
- [39] Fumitsugu Suzuki, Takayuki Hamamoto, “Adaptive nonlinear imaging characteristic for wide-dynamic-range image sensor using variable integration time,” SPIE Symposium on Electronic Imaging, conference on Digital Photography III, (2007).
- [40] Fumitsugu Suzuki, Satoko Kagami, Takayuki Hamamoto, “Wide Dynamic Range Image Sensor Adapted to the Brightness Distribution of Object,” Int. Workshop on Image Media Quality and its Applications(IMQA'07), P-20, 6pages(2007).
- [41] S. Komatsu, M. Fujita, “An Optimization of Bus Interconnects Pitch for Low-Power and Reliable Bus Encoding Scheme,” 2006 IEEE International Symposium on Circuits and Systems, pp. 1723-1726, May 2006.
- [42] S. Komatsu, M. Ikeda, K. Asada, “A New Trial on VLSI Test Exercise Course for Undergraduate/Graduate School in EE Department,” 6th International Workshop on Microelectronics Education, pp. 92-95, Jun. 2006.
- [43] Yoichi Sasaki, Kazuteru Namba and Hideo Ito, “Soft Error Masking Circuit and Latch Using Schmitt Trigger Circuit,” Proc. 2006 IEEE Int. Symp. Defect and Fault Tolerance in VLSI Systems, pp. 327-335, October 2006.
- [44] K. Takeda, M. Takenaka, M. Raburn, X. Song, J. Barton, and Y. Nakano, “All-Optical 10-Gbps Packet Switching by DBR-MMI-BLD All-Optical Flip-Flop,” 2006 International Semiconductor Laser Conference, TuA2(2006)
- [45] K. Takeda, M. Takenaka, M. Raburn, X. Song, J. Barton, and Y. Nakano, “Single Mode and Dynamic All-Optical Flip-Flop Operation of Multimode Interference Bistable Laser Diodes with Distributed Bragg Reflectors,” 2006 European Conference on Optical Communication, Th1. 1. 4(2006)
- [46] M. Takenaka, K. Takeda, Y. Kanema, M. Raburn, T. Miyahara, H. Uetsuka, Y. Nakano, “320 Gb/s Optical Packet Switching using All-Optical Signal Processing by and MMI-BLD Optical Flip-Flop,” 2006 European Conference on Optical Communication, Th4. 5. 2(2006)
- [47] M. Raburn, M. Takenaka, T. Koji, X. Song, J. S. Barton, and Y. Nakano, “Full C-Band Operation of Multi-Mode Interference Distributed Bragg Reflector Laser All-Optical Flip-Flops,” 2006 Conference on Lasers & Electro-Optics / Quantum Electronics and Laser Science Conference, CMD3,(2006)
- [48] M. Raburn, M. Takenaka, T. Koji, X. Song, J. S. Barton, and Y. Nakano, “FABRICATION OF InP/InGaAsP MULTI-MODE INTERFERENCE DISTRIBUTED BRAGG REFLECTOR LASER ALL-OPTICAL FLIP-FLOPS,” 2006 Indium Phosphide and Related Material, TuA3. 2(2006)
- [49] T. Sato, K. Kikuchi, and M. Fukase, “Chip Design of a Wave-Pipelined PRNG,” pp. F2D-1-1-F2D-1-6, Proc. of IEEE International Symposium on Communications and Information Technologies 2006, (2006).
- [50] K. Yamaoka, T. Morimoto, H. Adachi, K. Awane, T. Koide, and H. J. Mattausch, “Multi-Object Tracking VLSI Architecture using Image-Scan based Region Growing and Feature Matching,” Proc. of the 2006 IEEE Int. Symposium on Circuits and Systems(ISCAS2006), pp. 5575-5578(2006. 5).
- [51] M. A. Abedin, K. Kamimura, A. Ahmadi, T.



Koide, and H. J. Mattausch, "Minimum Euclidean Distance Associative Memory Architecture with Fully-Parallel Search Capability," 13th Workshop on Synthesis and System Integration of Mixed Information Technologies(SASIMI2006), pp. 350-354, (2006. 4).

[52] A. Ahmadi, M. A. Ritonga, M. A. Abedin, H. J. Mattausch, and T. Koide, "A Learning OCR System Using Short/Long-term Memory Approach and Hardware Implementation in FPGA," Proceedings of the 2006 IEEE Congress on Evolutionary Computation(WCCI2006), pp. 2702-2708, (2006. 7).

[53] M. A. Abedin, Y. Tanaka, A. Ahmadi, T. Koide and H. J. Mattausch, "Nearest-Euclidean-Distance Search Associative Memory with Fully Parallel Mixed Digital-Analog Match Circuitry," Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials(SSDM2006), pp. 282-283, (2006. 9).

[54] T. Morimoto, H. Adachi, K. Yamaoka, K. Awane, T. Koide and H. J. Mattausch, "Image-Scan Video Segmentation Architecture and FPGA Implementation," Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials(SSDM2006), pp. 590-591, (2006. 9).

[55] K. Johguchi, K. Aoyama, T. Sueyoshi, H. J. Mattausch, T. Koide, M. Maeda, T. Hironaka, and K. Tanigawa, "Multi-Bank Register File for Increased Performance of Highly-Parallel Processors," Proceedings of the 32nd European Solid-State Circuits Conference(ESSCIRC2006), Montreux, Switzerland, September 18-22, pp. 154-157, (2006. 9).

[56] M. Ishizaki, T. Kumaki, Y. Kouno, T. Koide, H. J. Mattausch, Y. Kuroda, T. Gyoten, H. Noda, K. Dosaka, K. Arimoto and K. Saito, "Huffman Encoding Architecture with Self-Optimizing Performance and Multiple CAM-Match Utilization," Proc. of the IEEE TENCON(TENCON2006), No. CA2. 3, (2006. 11).

[57] Y. Mukuda, K. Aoyama, K. Johguchi, H. J. Mattausch, T. Koide, M. Maeda, T. Hironaka, and K. Tanigawa, "Access Queues for Multi-Bank Register Files Enabling Enhanced Performance of Highly Parallel Processors,"

Proc. of the IEEE TENCON(TENCON2006), No. CA2. 4(2006. 11).

[58] T. Morimoto, H. Adachi, K. Yamaoka, T. Koide and H. J. Mattausch, "An FPGA-Based Region-Growing Video Segmentation System with Boundary-Scan-Only LSI Architecture," Proc. of the IEEE Asia Pacific Conference on Circuits and Systems(APCCAS2006), pp. 946-949, (2006. 12).

[59] K. Johguchi, Z. Zhu, H. J. Mattausch, T. Koide, T. Hironaka, and K. Tanigawa, "Unified Data/Instruction Cache with Hierarchical Multi-Port Architecture and Hidden Precharge Pipeline," Proc. of the IEEE Asia Pacific Conference on Circuits and Systems(APCCAS2006), pp. 1299-1302(2006. 12).

[60] M. A. Abedin, Y. Tanaka, A. Ahmadi, T. Koide and H. J. Mattausch, "Fully Parallel Associative Memory Architecture with Mixed Digital-Analog Match Circuit for Nearest Euclidean Distance Search," Proc. of the IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2006), pp. 1311-1314, (2006. 12).

[61] T. Kumaki, Y. Kouno, M. Ishizaki, T. Koide, H. J. Mattausch, "Application of Multi-ported CAM for Parallel Coding," Proc. of the IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2006), pp. 1681-1684, (2006. 12).

[62] T. Kambe, H. Matsumoto, T. Miyazaki, A. Yamada!"C-based Design of a Real Time Speech Recognition System," ISCAS2006, 2006年5月.

[63] K. Jyoko, T. Ohguchi, H. Uetsu, K. Sakai, T. Ohkura, T. Kambe!"C-based Design of a Particle Tracking System," SASIMI2006, 2006年4月.

[64] N. Ishihara, "Vdd Gate Biasing RF CMOS Amplifier Design Technique Based on the Effect of Carrier Velocity Saturation," 2006 Asia-Pacific Microwave Conference, WE3A-3, December 2006.

[65] Takeshi Kuboki, Akira Tsuchiya, Hidetoshi Onodera, "A 10Gbps/channel On-Chip Signaling Circuit with an Impedance-Unmatched CML Driver in 90nm CMOS Technology," pp. 120-121, 12th Asia and South Pacific Design Automation Conference(2007)

[66] Yuuri Sugihara, Manabu Kotani, Kazuya Katsuki, Kazutoshi Kobayashi, Hidetoshi Onodera, "A 90nm 8x16 FPGA Enhancing

- Speed and Yield Utilizing Within-Die Variations,” pp. 122-123, 12th Asia and South Pacific Design Automation Conference (2007)
- [67] T. Kouno, H. Onodera, “Consideration of Transition-Time Variability in Statistical Timing Analysis,” pp. 207-210, IEEE International SOC Conference (2006)
- [68] M. Kotani, K. Katsuki, K. Kobayashi, H. Onodera, “A 90nm 8x16 LUT-based FPGA Enhancing Speed and Yield Utilizing Within-Die Variations,” pp. 110-113, European Solid State Circuit Conference (2006)
- [69] K. Kobayashi, M. Kotani, K. Katsuki, Y. Takatsukasa, K. Ogata, Y. Sugihara, H. Onodera, “A Yield and Speed Enhancement Technique Using Reconfigurable Devices against Within-Die Variations on the Nanometer Regime,” pp. 761-764, 2006 International Conference on Field Programmable Logic and Applications (2006)
- [70] Akira Tsuchiya, Hidetoshi Onodera, “Effect of Dummy Fills on High-Frequency Characteristics of On-Chip Interconnects,” pp. 275-278, IEEE Workshop on Signal Propagation on Interconnects (2006)
- [71] Akira Tsuchiya, Takeshi Kuboki, Hidetoshi Onodera, “Low-Power Design of CML Drivers for On-Chip Transmission-Lines,” pp. 177-182, SASIMI2006 (2006)
- [72] Kazuya Katsuki, Manabu Kotani, Kazutoshi Kobayashi, Hidetoshi Onodera, “Extracting a Random Component of Variation from Measurement Results of a 90 nm LUT Array,” pp. 197-200, vol., no., SASIMI2006 (2006)
- [73] Yoichi Yuyama, Kazutoshi Kobayashi, Hidetoshi Onodera, “Deterministic/Probabilistic Noise and Bit Error Rate Modeling on On-chip Global Interconnect,” pp. 214-218, SASIMI2006 (2006)
- [74] Akira Tsuchiya, Hidetoshi Onodera, “Analytical Estimation of Interconnect Loss Due to Dummy Fills,” pp. 149-152, 15th Topical Meeting on Electrical Performance of Electronic Packaging (2006)
- [75] Ikebe M., “Dynamic Range Compressing for CMOS-Image Sensor with
- [76] Ueo D., Osabe H., Inafune K., Ikebe M., Sano E., Koutani M., Ikeda M.,
- [77] M. Hariyama, M. Kameyama, “A Multi-Context FPGA Using a Floating-Gate-MOS Functional Pass-Gate and Its CAD Environment,” pp. 1805-1808, IEEE Asia Pacific Conference on Circuits and Systems (APCCAS) (2006)
- [78] M. Hariyama, N. Yokoyama, M. Kameyama, “1000 frame/sec Stereo Matching VLSI Processor with Adaptive Window-Size Control,” pp. 123-126, Proc. Asian Solid-State Circuits Conference (A-SSCC) (2006)
- [79] M. Hariyama, H. M. Waidyasooriya, M. Kameyama, “Dynamically Reconfigurable Gate Array Based on Fine-Grained Switch Elements and Its CAD Environment,” pp. 155-158, IEEE Asian Solid-State Circuits Conference (2006)
- [80] H. M. Waidyasooriya, M. Hariyama, M. Kameyama, “GA-Based Assignment of Supply and Threshold Voltages and Interconnection Simplification for Low Power VLSI Design,” pp. 1266-1269, IEEE Asia Pacific Conference on Circuits and Systems (2006)
- [81] Y. Nakatani, M. Hariyama, M. Kameyama, “Switch Block Architecture for Multi-Context FPGAs Using Hybrid Multiple-Valued/Binary Cotext Switching Signals,” IEEE International Symposia on Multiple-Valued Logic (ISMVL), CDROM (2006)
- [82] H. Fujiwara, K. Nii, J. Miyakoshi, Y. Murachi, Y. Morita, H. Kawaguchi, and M. Yoshimoto, “A Two-Port SRAM for Real-Time Video Processor Saving 53% of Bitline Power with Majority Logic and Data-Bit Reordering,” Proc. International Symposium on Low Power Electronics and Design (ISLPED), pp. 61-66, Tegernsee, Germany, Oct. 2006.
- [83] Y. Morita, H. Fujiwara, H. Noguchi, K. Kawakami, J. Miyakoshi, S. Mikami, K. Nii, H. Kawaguchi, and M. Yoshimoto, “A Vth-Variation-Tolerant SRAM with 0.3-V Minimum Operation Voltage for Memory-Rich SoC under DVS Environment,” 2006 Symposium on VLSI Circuits Digest of Technical Papers, pp. 16-17, Honolulu, Hawaii, USA, June 2006.
- [84] K. Kawakami, M. Kuroda, H. Kawaguchi, M. Yoshimoto, “Power and Memory Bandwidth Reduction of an H. 264/AVC HDTV Decoder LSI with Elastic Pipeline Architecture,” 12th Asia and South Pacific Design Automation Conference (12th ASP-DAC), pp. 292-297, Yokohama, Japan, Jan. 2007.

- [85] S. Mikami, T. Takeuchi, H. Kawaguchi, C. Ohta, and M. Yoshimoto, "An Efficiency Degradation Model of Power Amplifier and the Impact against Transmission Power Control," Proc. IEEE 2007 Radio and Wireless Symposium (RWS 2007), pp. 447-450, Long Beach, California, USA, Jan. 2007.
- [86] S. Mikami, M. Ichien, T. Takeuchi, H. Kawaguchi, C. Ohta, and M. Yoshimoto, "A 356- μ W, 433-MHz, Rail-to-Rail Voltage Amplifier with Carrier Sensing Function for Wireless Sensor Networks," Proc. IEEE 2007 Radio and Wireless Symposium (RWS 2007), pp. 451-454, Long Beach, California, USA, Jan. 2007.
- [87] T. Matsuda, T. Takeuchi, H. Yoshino, M. Ichien, S. Mikami, H. Kawaguchi, C. Ohta, and M. Yoshimoto, "A Power-Variation Model for Sensor Node and the Impact against Life Time of Wireless Sensor Networks," Proc. First International Conference on Communications and Electronics (ICCE 2006), pp. 106-111, Hanoi, Vietnam, Oct. 2006.
- [88] T. Inuma, J. Miyakoshi, Y. Murachi, T. Matsuno, M. Hamamoto, T. Ishihara, H. Kawaguchi, M. Miyama, and M. Yoshimoto, "An 800- μ W H. 264 Baseline-Profile Motion Estimation Processor Core," 2006 IEEE Asian Solid-State Circuits Conference Proceedings, pp. 99-102, Hangzhou, China, Nov. 2006.
- [89] J. Miyakoshi, Y. Murachi, T. Matsuno, M. Hamamoto, T. Inuma, T. Ishihara, H. Kawaguchi, and M. Yoshimoto, "A Power- and Area-Efficient SRAM Core Architecture for Super-Parallel Video Processing," Proc. 14th IFIP International Conference on Very Large Scale Integration (VLSI-SoC 2006), pp. 192-197, Nice, France, Oct. 2006.
- [90] Kentaro Nakahara, Shinichi Kouyama, Tomonori Izumi, Hiroyuki Ochi, Yukihiro Nakamura! "Fault-Tolerant Dynamic-Reconfigurable Device Based on EDAC With Rollback," in Proc. of the 13th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2006), Apr. 2006.
- [91] Kentaro Nakahara, Shin'ichi Kouyama, Tomonori Izumi, Hiroyuki Ochi, Yukihiro Nakamura! "Fault Tolerant Reconfigurable Device Based on Autonomous-Repair Cells," in Proc. of the 16th International Conference on Field Programmable Logic and Applications (FPL2006) (Madrid, Spain), pp. 461-466, Aug. 2006.
- [92] T. Ida, T. Tanaka, H. Ishihara, T. Matsuoka, and K. Taniguchi, "Low Power-Consumption OP-Amp Using Adaptive Biasing for Switched Capacitor Circuit," IEEE International Meeting for Future of Electron Devices, Kansai, Apr. 24-26, 2006, Kyoto, Japan, pp. 65-66.
- [93] Shimonomura, Yagi, "Texture segregation employing orientation-selective analog multi-chip vision system," pp. 947-950, Proc. of IEEE International Symposium on Circuits and Systems (2006).
- [94] Shimonomura, Kushima, Yagi, "A neuromorphic binocular vision system mimicking computation in primary visual cortex," p. 177, Proc. of The Fourth Asian Conference on Vision (2006).
- [95] Shimonomura, Yagi, "A multi-chip analog VLSI vision sensor with selectivity to orientation and spatial frequency," pp. 303-306, Proc. of The 5th IEEE Conference on Sensors (2006).
- [96] Y. Ogasahara, M. Hashimoto, T. Onoye, "Measurement of Inductive Coupling Effect on Timing in 90nm Global Interconnects," in Proc. IEEE Custom Integrated Circuits Conference, pp. 721-724, (Sep. 2006).
- [97] Y. Ogasahara, T. Enami, M. Hashimoto, T. Sato, and T. Onoye, "Measurement Results of Delay Degradation Due to Power Supply Noise Well Correlated With Full-Chip Simulation," in Proc. IEEE Custom Integrated Circuits Conference, pp. 861-864, (Sep. 2006).
- [98] Y. Ogasahara, M. Hashimoto, T. Onoye, "Quantitative Prediction of On-Chip Capacitive and Inductive Crosstalk Noise and Discussion on Wire Cross-Sectional Area Toward Inductive Crosstalk Free Interconnects," in Proc. IEEE International Conference on Computer Design, pp. 70-75, (Oct. 2006).
- [99] K. Shinkai, M. Hashimoto, A. Kurokawa, and T. Onoye, "A Gate Delay Model Focusing on Current Fluctuation over Wide-Range of Process and Environmental Variability," In Proceedings of ACM/IEEE International Conference on Computer-Aided Design (ICCAD), pp. 47-53, (Nov. 2006).

- [100] K. Shinkai, M. Hashimoto, and T. Onoye, "Future Prediction of Self-heating in Short Intra-block Wires," In Proceedings of International Symposium on Quality Electronic Design (ISQED), (Mar. 2007).
- [101] T. Ijichi, M. Hashimoto, S. Takahashi, S. Tsukiyama, and I. Shirakawa, "Transistor Sizing of Lcd Driver Circuit for Technology Migration," In Proceedings of International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), vol. 1, pp. I25-I28, (Jul. 2006).
- [102] Y. Ezo, M. Koshiishi, M. Mita, K. Mitsuda, Y. Ishisaki, A. Hoshino, Z. Yang, T. Takano, H. Mekar, R. Maeda, "Recent development of micropore optics using MEMS technologies," in Proceedings of SPIE on Space Telescopes and Instrumentation 2! Ultraviolet to Gamma Ray, 6266(2006) 62661B
- [103] Sakda Srisomrun, Yoshio Mita, Kazunori Hoshino, Masakazu Sugiyama, and Tadashi Shibata, "Silicon on PDMS! SOI Extra Thin Active Layer Transferred to Organic Film for Flexible Applications," in Proc. of IEEE International Conference on MicroElectroMechanical Systems (MEMS 2007), Tokyo, January 22-25, pp. 263-266 (2007).
- [104] Kenichiro Hirose, Yoshio Mita, and Tadashi Shibata, "Self-Patterning Metal Deposition on Deep Three-Dimensional MicroStructures for Vertically Buried Inductors," Micromechanics and Microengineering Europe 2006 (MME '06), Southampton, UK, September 3-5, pp. 85-88 (2006).
- [105] Kenichiro Hirose, Yoshio Mita, Masanori Kubota, and Tadashi Shibata, "Deep-Trench Vertical Si Photodiode Towards Active-Device Integrated OMEMS," IEEE/LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2006), August 20-24, Montana, USA, pp. 191-192 (2006).
- [106] Bassam Saadany, Tarik Bourouina, Maurine Malak, Masanori Kubota, Yoshio Mita, and Dhaa Khalil, "A Miniature Michelson Interferometer using Vertical Bragg Mirrors on SOI," IEEE/LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2006), August 20-24, Montana, USA, pp. 50-51 (2006. 8)
- [107] Bassam Saadany, Dhaa Khalil, Maurine Malak, Masanori Kubota, Frederic Marty, Yoshio Mita, and Tarik Bourouina, "An all Silicon Micro-machined Add-Drop Optical Filter," IEEE/LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2006), August 20-24, Montana, USA, pp. 94-95 (2006. 8)
- [108] Bassam Saadany, Maurine Malak, Frederic Marty, Yoshio Mita, Dhaa Khalil, and Tarik Bourouina, "Electrostatically-tuned Optical Filter Based on Silicon Bragg Reflectors," IEEE/LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2006), August 20-24, Montana, USA, pp. 86-87 (2006. 8)
- [109] H. Noori, F. Mehdipour, M. SahebZamani, K. Inoue, and K. Murakami, "Handling Control Data Flow Graphs for a Tightly Coupled Reconfigurable Accelerator," International Conference on Embedded Software and Systems (ICES-07), 2007, Daegu, Korea, in Press.
- [110] H. Noori, F. Mehdipour, K. Murakami, K. Inoue and M. Goudarzi, "Generating and Executing Multi-Exit Custom Instructions for an Adaptive Extensible Processor," Design Automation and Test in Europe (DATE'07), 2007, Nice, France, in Press.
- [111] F. Mehdipour, H. Noori, M. SahebZamani, K. Murakami, M. Sedighi and K. Inoue, "An Integrated Temporal Partitioning and Mapping Framework for Handling Custom Instructions on a Reconfigurable Functional Unit," The Eleventh Asia-Pacific Computer Systems Architecture Conference (ACSAC 2006), LNCS 4186, pp. 219-230, 2006, Shanghai, China.
- [112] Farhad Mehdipour, Hamid Noori, Morteza Saheb Zamani, Kazuaki Murakami, Koji Inoue, and Mehdi Sedighi, "Custom Instruction Generation Using Temporal Partitioning Techniques for a Reconfigurable Functional Unit," The 2006 IFIP International Conference on Embedded And Ubiquitous Computing (EUC'2006), pp. 722-731, Aug. 2006.
- [113] Tadayoshi Enomoto, Suguru Nagayama, Nobuaki Kobayashi, "Low-Power High-Speed



180-nm CMOS Clock Drivers,” in Proc. of 12th Asia and South Pacific Design Automation Conference (ASP-DAC '07), pp. 126-127, in Yokohama, Kanagawa, Jan. 2007.

- [114] Tsuchiya, K. ; Komiya, A. ; Suzuki, H. ; Ooi, T. ; Morii, H. ; Hamaguchi, T. ; Nakao, M. ! Large Area Optical Devices with Glass-pressed/Metal-embedded Subwavelength Grating, Proc. ASPE Annual meeting 2006, pp. 611-614, 2006.
- [115] S. Suzuki, J. Kolodko, and F. Harashima, “Development of Eye Gaze Tracking as HAM-device,” the International Journal of Assistive Robotics and Mechatronics,” vol. 7, no. 1, pp. 41-48 (2006)
- [116] S. Terada, I. Oota, K. Eguchi, and F. Ueno, “Separate type Switched-Capacitor (SC) AC-DC converter,” pp. 5055-5058, The 2006 IEEE International Symposium on Circuits and Systems (ISCAS 2006) (2006).
- [117] S. Terada, I. Oota, K. Eguchi, and F. Ueno, “Switched-capacitor (SC) DC-DC converter with fine tune control outputs,” pp. 233-236, The 6th IEEE International Caribbean Conference on Devices, Circuits and Systems (ICDCS2006) (2006)
- [118] S. Terada, I. Oota, K. Eguchi, and F. Ueno, “switched-capacitor (SC) AC-DC or AC-AC converter with arbitrarily output voltage using the same circuit configuration,” pp. 1884-1887, The 37th IEEE Power Electronics Specialists Conference (PESC2006) (2006).
- [119] K. Sugiura, R. Nakane, S. Sugahara, and M. Tanaka, “Fabrication of Si-based Spin MOSFET with epitaxial ferromagnetic MnAs source and drain” 4th International Conference on Physics and Applications of Spin-related Phenomena in Semiconductor (PASPS-4), PB-57, Sendai, Japan, Aug. 2006.
- [120] K. Sugiura, R. Nakane, S. Sugahara, and M. Tanaka, “Low Schottky barrier height and high thermal stability of epitaxial ferromagnetic MnAs thin films grown on Si(001) for Si based spintronics” 14th International conference on Molecular Beam Epitaxy (MBE2006), MoB-37, Tokyo, Japan, Sep. 2006.
- [121] M. Tanaka (invited talk), “New materials and device structures for semiconductor spintronics,” 34th Conference on the Physics and

Chemistry of Semiconductor Interfaces (PCSI-34), Salt Lake City, USA, January 14-18, 2007.

- [122] Hardware Cryptography-Embedded Multimedia Mobile System,” M. Fukase, R. Akaoka, and T. Sato, Proc. of WMSCI2006, Vol. 111, pp. 225-230, 2006.
- [123] “Hardware/Software Co-Design of a Secure Ubiquitous System,” M. Fukase, H. Takeda, and T. Sato, Proc. of CIS' 06.
- [124] Y. Furukawa, H. Yonezu, A. Wakahara, Y. Morisaki, S. Y. Moon, S. Ishiji and M. Ohtani, “Elemental Devices for Monolithic Optoelectronic Integrated Circuits on Lattice-Matched Si/III-V-N/Si Structure,” 2006 Device Research Conference, Conference Digest, pp. 27-28. (2006)
- [125] N. Takagi and K. Takagi, “A VLSI Algorithm for Integer Square-Rooting,” pp. 626-629, ISPACS2006
- [126] Masaaki Fukuhara and Masahiro Yoshida, “Power Consumption of Hamming Distance Search CAM Using Neuron MOS Transistors,” ISCAS 2006, pp. 4345-4348 (2006).
- [127] Masaaki Fukuhara and Masahiro Yoshida, “A High-Speed and High-Density Hamming Distance Detector Using a Neuron MOS Inverter,” ITC-CSCC 2006, Vol. 3, pp. 737-740 (2006).
- [128] Daisuke Kosaka, Masaki Fujiwara, Takumi Danjo, Makoto Nagata, “On-Die Monitoring of Substrate Coupling for Mixed-Signal Circuit Isolation,” 2006 International Conference on Solid-State Devices and Materials (SSDM), C-1-6, pp. 62-63, 2006. 09.
- [129] Mitsuya Fukazawa, Makoto Nagata, “Delay Variation Analysis in Consideration of Dynamic Power Supply Noise Waveform,” IEEE 2006 Custom Integrated Circuits Conference (CICC), pp. 865-868, 2006. 09.
- [130] Koichiro Noguchi, Takushi Hashida, Makoto Nagata, “On-Chip Analog Circuit Diagnosis in Systems-on-Chip Integration,” IEEE 32th European Solid-State Circuits Conference (ESS-CIRC), pp. 118-121, 2006. 09
- [131] C. Zang, S. Imai, and S. Kimura, “Performance and Energy Efficient Data Cache Architecture for Embedded Simultaneous Multithreading Microprocessor,” pp. 268-273, Proceedings of

- 13th Workshop on Synthesis And System Integration of Mixed Information technologies (2006).
- [132] T. Jeong, C. Zang, S. Kimura, "An Efficient Instruction Issue Mechanism for Simultaneous Multithreading Microprocessor," Proceedings of International SoC Design Conference (2006).
- [133] Seiichiro Yamaguchi, Masanori Muroyama, Tohru Ishihara, and Hiroto Yasuura, "Exploiting Narrow Bitwidth Operations for Low Power Embedded Software Design," Proceedings of the Workshop on Synthesis And System Integration of Mixed Infomation Technologies, pp. 51-56, Apr. 2006.
- [134] Seiichiro Yamaguchi, Masanori Muroyama, Tohru Ishihara, and Hiroto Yasuura, "Exploiting Narrow Bitwidth Operations for Low Power Embedded Software Optimization," Proceedings of the International PhD Student Workshop on SOC, Jul. 2006.
- [135] Donghoon Lee, Tohru Ishihara, Masanori Muroyama, Hiroto Yasuura, and Farzan Fallah, "An Energy Characterization Framework for Software-Based Embedded Systems," ESTIMedia2006, Vol. 1, pp. 59-64, Oct. 2006.
- [136] M. Goudarzi, T. Ishihara, H. Yasuura, "A Software Technique to Improve Yield of Processor Chips in Presence of Ultra-Leaky SRAM Cells Caused by Process Variation," Proceedings of ASP-DAC 2007, pp. 878-883, Jan. 2007.
- [137] Y. Kajiya, A. Nakamura, M. Yoshikawa, T. Fujino, "Shot Number Estimation for EB Direct Writing for Logic LSI," Proc. of SPIE Vol. 6283 (2006)
- [138] Ueno K., Hirose T., Asai T., and Amemiya Y., "A watchdog sensor for assuring the quality of various perishables with subthreshold CMOS circuits," Proceedings of the 2006 Symposia on VLSI Technology and Circuits, pp. 194-195, Honolulu, USA (Jun. 13-17, 2006).
- [139] Tovar G. M., Hirose T., Asai T., and Amemiya Y., "Critical temperature sensor based on spiking neuron models," Proceedings of the 2006 International Symposium on Nonlinear Theory and its Applications, pp. 84-88, Bologna, Italy (Sep. 11-14, 2006).
- [140] Hirose T., Asai T., and Amemiya Y., "Pulsed neural networks consisting of single-flux-quantum spiking neurons," Program & Abstracts of the 19th International Symposium on Superconductivity, p. 329, Nagoya, Japan (Oct. 30 - Nov. 1, 2006).
- [141] Hagiwara A., Hirose T., Asai T., Amemiya Y., "Critical temperature switch ! a highly sensitive thermosensing device consisting of subthreshold MOSFET circuits," Proceedings of the 2006 International Symposium on Intelligent Signal Processing and Communication Systems, pp. 111-114, Tottori, Japan (Dec. 12-15, 2006).
- [142] Ueno K., Hirose T., Asai T., Amemiya Y., "Ultralow-power smart temperature sensor with subthreshold CMOS circuits," Proceedings of the 2006 International Symposium on Intelligent Signal Processing and Communication Systems, pp. 546-549, Tottori, Japan (Dec. 12-15, 2006).
- [143] Hirose T., Asai T., Amemiya Y., "Power supply circuits for ultralow-power subthreshold CMOS smart sensor LSIs," Proceedings of the 2006 International Symposium on Intelligent Signal Processing and Communication Systems, pp. 558-561, Tottori, Japan (Dec. 12-15, 2006).
- [144] Ueno K., Hirose T., Asai T., and Amemiya Y., "Ultralow-power smart temperature sensor consisting of subthreshold MOS circuits," The 4th International Symposium on Ubiquitous Knowledge Network Environment, Sapporo, Japan (Mar. 5-7, 2007).
- [145] M. Sakai, T. Morie, M. Mitarai, and K. Korekado, Design of an 2D Image Matching Processor LSI Based on Merged Analog/Digital Architecture, RISP 2007 International Workshop on Nonlinear Circuits and Signal Processing (NCSP'07), pp. 81-84, Shanghai, China, March. 3-6, 2007.
- [146] N. Kato and T. Morie, Design of a CMOS Pixel Circuit for Coarse Region Segmentation/Extraction Based on Merged Analog/Digital Architecture, RISP 2007 International Workshop on Nonlinear Circuits and Signal Processing (NCSP'07), pp. 89-92, Shanghai, China, March. 3-6, 2007.
- [147] H. Tanaka, T. Morie, and K. Aihara, A CMOS Circuit for STDP with a Symmetric Time Window, Abst. of The 3rd Int. Conf. on Brain-Inspired Information Technology (BrainIT2006),

p. 65, Kitakyushu, Sept. 27-29, 2006.

- [148] D. Atuti, T. Morie, T. Nakano, and K. Nakada, An Element Circuit for Nonlinear Dynamical Systems Using Phase Variables, Abst. of The 3rd Int. Conf. on Brain-Inspired Information Technology (BrainIT2006), p. 66, Kitakyushu, Sept. 27-29, 2006.
- [149] T. Yoshida, N. Ishida, M. Sasaki and A. Iwata, "Low-Voltage, Low-Phase-Noise Ring-VCO using 1/f-noise Reduction Techniques," Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials (Yokohama, 2006), pp. 376-377.
- [150] Yoshimasa Serizawa, Akira Yasuda, Jun Tayama, . . . A New Background Calibration Method Using Noise Shaping for Precise Mismatch Detection of a Pipeline, IEEJ AVLSI-WS2006, ADC I, No. 2, pp. 1-5, Nov., 2006.
- [151] Takanori Tsuchiya, Keizo Yanagisawa, Katsuaki Sakurai, Akira Yasuda, . . . A Low Noise Amplifier for a Sub-sampling Mixer, IEEJ AVLSIWS2006, Amplifiers, No. 25, pp. 1-5, Nov., 2006.
- [152] Yousuke Yamanaka, Masao Zen, Yousuke Terada, Akira Yasuda, . . . New fractional-N digital frequency synthesizer . . . using fractional frequency comparator, IEEJ AVLSIWS2006, PLL and Oscillators, No. 32, pp. 1-4, Nov., 2006.
- [153] Masao Zen, Akira Yasuda, Yousuke Terada, Yousuke Yamanaka, High-speed Lock-up and low jitter digital PLL with a digital counter, IEEJ AVLSIWS2006, PLL and Oscillators, No. 33, pp. 1-6, Nov., 2006.
- [154] Terada Yousuke, Katsumi Syunsuke, Yasuda Akira, Zen, Masao, . . . A Cascaded Delta-Sigma DAC with DWA for Decreasing Mismatch Effect, . . . Audio Engineering Society 121st Convention, High Resolution Audio, No. 6868, Oct, 2006.
- [155] Ueno Hajime, Ogata Katsuya, Soga Tsuyoshi, Yasuda Akira, . . . Digital-Driven Piezoelectric Speaker using Multi-Bit Delta-Sigma Modulation, . . . Audio Engineering Society 121st Convention, Loudspeakers, No. 6943, Oct, 2006.
- [156] Akira Yasuda, Akinori Ohkubo, Katsuya Ogata, and Hajime Ueno, . . . Takeshi Anzai, Takashi Kimura, Koichiro Ochiai, and Toshihiko Hamasaki, . . . A Single-chip Audio System with Delta ∇ CSigma DAC and Class-D Amplifier, . . . IEEE ISCAS2006, pp. 5740-pp. 5743, May, 2006.
- [157] L. Okamura, F. Morishita, K. Dosaka, K. Arimoto, T. Yoshihara, "An Automatic Source/Body Level Controllable 0.5V Level SOI Circuit Technique for Mobile and Wireless Network Applications," ISCIT 2006
- [158] Y. Takahashi, Y. Fukuta, T. Sekine, and M. Yokoyama, "2PADCL! Two phase drive adiabatic dynamic CMOS logic," in Proc. APCCAS 2006, pp. 1486-1489, Dec. 2006.
- [159] Y. Takahashi, Y. Fukuta, T. Sekine, and M. Yokoyama, "2PADCL! Two phase drive adiabatic dynamic CMOS logic," in Proc. ITC-CSCC 2006, in Proc. ITC-CSCC 2006, vol. 1, pp. 41-44, July 2006.
- [160] K. Hashimoto, V. G. Moshnyaga, and K. Murakami, "Circuit Area-latency Optimization Technique for High-precision Elementary Functions," Proc. of IEEE Asia Pacific Conference on Circuits and Systems 2006.
- [161] Nucl. Instr. and Meth. A Vol 573, Issues 1-2, 1 April 2007, Pages 99-102
- [162] Masashi Ohno, "Ir-TES Development at The University of Tokyo" 2nd CREST Nano-Virtual-Labs Joint Workshop on Superconductivity (NVLS2006), KYOTO Japan, 2006. 12. 11-13
- [163] Fujita K, Takahashi H, Siritiprussamee P, Niko H, Nakazawa M, Oku T, Suzuki J, Ino T, Shimizu HM, Furusaka M., "Development of a high-resolution 2-dimensional He-3 neutron MSGC with pads for neutron scattering experiments" International conference on imaging techniques in subatomic physics, astrophysics, Medicine, Biology and industry, Stockholm, Sweden (2006. 6)
- [164] Fujita K, Takahashi H, Siritiprussamee P, Niko H, Ino T, Shimizu HM, Kishimoto S, Furusaka M, Kanazawa M., 2006 Nuclear Science Symposium, Medical Imaging Conference and 15th International Room Temperature Semiconductor Detector Workshop, San Diego, California (2006. 10. 29-11. 4)
- [165] Masashi Ohno, "Analysis of Saturated Pulses for the Waveform Domain Multiplexing Readout of IR-TES", TES 3 ! International Workshop on Transition Edge Sensor Device Physics, F. L. USA, 2006. 8. 17-18
- [166] Siritiprussamee P, Takahashi H, Fujita K, Niko

- H, Nakazawa M, Toyokawa H, Furusaka M, Ino T, Kishimoto S, Kanazawa M., "A new fast two-stage GL Charge-Division Method for Position-Sensitive Radiation detectors and its implementation in a very long MSGC for large-area radiation imaging,." International conference on imaging techniques in subatomic physics, astrophysics, Medecine, Biology and industry, Stockholm, Sweden(2006. 6)
- [167] 二河久子, 高橋浩之, 藤田薫, Prasit Siritiprussamee, 高橋浩之, 中沢正治, "電荷積分型マイクロストリップガス比例計数管の開発"放射線検出器とその応用, 第20回研究会, KEK, 要旨論文集, pp. 59-60, 2006・2月
- [168] H. Yoshizawa and G. C. Temes, "Switched-Capacitor Track-and-Hold Amplifier with Low Sensitivity to Op-amp Imperfections," Proc. IEEE International Symposium on Circuits and Systems., pp. 4871-4874, 2006
- [169] Y. Kobayashi, K. Ishida, K. Okada, K. Masu, Y. Horiike, "A Batteryless Wireless Communication Circuit for Measurement of Gastric Acid," pp. 17-20, 2006 IEEE BioCAS (2006).
- [170] Takashi Sato, Takumi Uezono, Shiho Hagiwara, Kenichi Okada, Shuhei Amakawa, Noriaki Nakayama, and Kazuya Masu, "A MOS Transistor-Array for Accurate Measurement of Subthreshold Leakage Variation," IEEE International Symposium on Quality Electronic Design, March, (2007)
- [171] Shiho Hagiwara, Takumi Uezono, Takashi Sato, and Kazuya Masu, "Improvement of power distribution network using correlation-based regression analysis," ACM Great Lakes Symposium on VLSI, March, (2007).
- [172] S. Amakawa, T. i Uezono, T. Sato, and K. Masu, "Adaptable wire-length distribution with tunable occupation probability," System level interconnect prediction, March, (2007).
- [173] 上蘭, 岡田, 益, "Yield Estimation Considering Via Defects," The Workshop on Synthesis And System Integration of Mixed Information Technologies(SASIMI), pp. 201-206, Nagoya Japan, Apr. 2006.
- [174] 岡田, 上蘭, 益, "Power Reduction Using On-Chip Transmission Line for 45nm Technology," The Workshop on Synthesis And System Integration of Mixed Information Technologies(SASIMI), pp. 183-188, Nagoya Japan, Apr. 2006.
- [175] 伊藤, 杉田, 岡田, 益, "A Design Guideline of On-Chip Differential Transmission Line Structure for High-Frequency Signal Transmission," IEEE Workshop on Signal Propagation on Interconnects(SPI), pp. 217-220, Berlin-Mitte, Germany, 2006.
- [176] 木村, 伊藤, 杉田, 岡田, 益, "High-Crosstalk Robustness Transmission Line Interconnect in Si LSI using Zero-Crosstalk Structure," IEEE Workshop on Signal Propagation on Interconnects(SPI), pp. 153-156, Berlin-Mitte, Germany, 2006.
- [177] 川添, 菅原, 伊藤, 岡田, 益, "Reconfigurable CMOS Low Noise Amplifier for Self Compensation," IEEE International Symposium on Circuits and Systems(ISCAS), pp. 3410-3413, Kos, Greece, May 2006.
- [178] 岡田, 上蘭, 益, "Estimation of Power Reduction by On-Chip Transmission Line for 45nm Technology," International Workshop on Power and Timing Modeling, Optimization and Simulation(PATMOS), pp. 181-190, Montpellier, France, Sept. 2006.
- [179] 大橋, 山内, 木村, 伊藤, 岡田, 石田, 糸井, 佐藤, 伊藤, 益, "On-Chip Yagi Antenna for Wireless Signal Transmission in Stacked MCP," International Conference on Solid State Devices and Materials(SSDM), pp. 68-69, Yokohama, Sep. 2006.
- [180] 山内, 石田, 岡田, 益, "Equivalent Circuit Model for On-Chip Variable Inductor," International Conference on Solid State Devices and Materials(SSDM), pp. 58-59, Yokohama, Sep. 2006.
- [181] 岡田, 伊藤, 益, "On-Chip Differential-Transmission-Line(DTL) Interconnect for 22nm Technology," Advanced Metallization Conference, Asian Session(ADMETA), pp. 124-125, Tokyo, Sep. 2006.
- [182] 益, 岡田, 伊藤, "Transmission Line Interconnect on Si CMOS LSI," International Conference on Solid-State and Integrated-Circuit Technology(ICSICT), pp. 306-309, Shanghai, China, Oct. 2006.
- [183] 岡田, 伊藤, 益, "On-Chip Differential-Transmission-Line(DTL) Interconnect for 22nm

Technology,” Advanced Metallization Conference(AMC), pp. 3-4, San Diego, CA, Oct. 2006.

- [184] 伊藤, 川添, 岡田, 益, “A DC-7GHz Small-Area Distributed Amplifier Using 5-port Inductors in a 180nm Si CMOS Technology,” IEEE Asian Solid-State Circuits Conference(A-SSCC), pp. 363-366, Hangzhou, China, Nov. 2006.
- [185] 伊藤, 菅原, 岡田, 益, “A 0.98 to 6.6GHz Tunable Wideband VCO in a 180nm CMOS Technology for Reconfigurable Radio Transceiver,” IEEE Asian Solid-State Circuits Conference(A-SSCC), pp. 359-362, Hangzhou, China, Nov. 2006.
- [186] 石井, 伊藤, 木村, 岡田, 益, “A 6.5-mW 5-Gbps On-Chip Differential Transmission Line Interconnect with a Low-Latency Asymmetric Tx in a 180nm CMOS Technology,” IEEE Asian Solid-State Circuits Conference(A-SSCC), pp. 131-134, Hangzhou, China, Nov. 2006.
- [187] 金, 岡田, 山内, 佐藤, 益, “A Left Handed Material on Si CMOS Chip with Wafer Level Package Process,” IEEE Asia-Pacific Microwave Conference(APMC), pp. 1321-1324, Yokohama, Dec. 2006.
- [188] 山内, 岡田, 益, “Small-Area CMOS RF Distributed Mixer Using Multi-Port Inductors,” IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems(SiRF), pp. 123-126, Long Beach, CA, Jan. 2007.
- [189] 清田, 伊藤, 岡田, 佐藤, 益, “A Multi-Drop Transmission-Line Interconnect in Si LSI,” IEEE/ACM Asia South Pacific Design Automation Conference(ASP-DAC), pp. 118-119, Yokohama, Jan. 2007.
- [190] 福田, 川添, 岡田, 益, “Reconfigurable CMOS Low Noise Amplifier Using Variable Bias Circuit for Self Compensation,” IEEE/ACM Asia South Pacific Design Automation Conference(ASP-DAC), pp. 104-105, Yokohama, Jan. 2007.
- [191] 大橋, 伊藤, 吉原, 岡田, 益, “A Wideband CMOS LC-VCO Using Variable Inductor,” IEEE/ACM Asia South Pacific Design Automation Conference(ASP-DAC), pp. 98-99, Yokohama, Jan. 2007.
- [192] 伊藤, 菅原, 岡田, 益, “A 0.98 to 6.6GHz Tunable Wideband VCO in a 180nm CMOS Technology for Reconfigurable Radio Transceiver,” IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, Feb. 2007.
- [193] Shinya Terada, Ichirou Oota, Kei Eguchi, and Fumio Ueno, “Separate type Switched-Capacitor (SC) AC-DC converter,” pp. 5055-5058, ISCAS 2006(2006).
- [194] Kei Eguchi, Ichirou Oota, Shinya Terada, Fumio Ueno, and Masafumi Matsuo, “Parallel-connected SC DC-DC converters with large current outputs,” pp. 425-428, ECTI-CON 2006(2006).
- [195] Kei Eguchi, Ichirou Oota, Hongbing Zhu, Fumio Ueno, and Takeshi Shimabukuro, “A drawing-aid system to smooth out involuntary hand motions,” pp. 1-4, ECTI-CON 2006(2006).
- [196] Shinya Terada, Ichirou Oota, Kei Eguchi, and Fumio Ueno, “Switched-capacitor(SC) DC-DC converter with fine tune control outputs,” pp. 233-236, ICCDCS2006(2006).
- [197] Shinya Terada, Ichirou Oota, Kei Eguchi, and Fumio Ueno, “A switched-capacitor(SC) AC-DC or AC-AC converter with arbitrarily output voltage using the same circuit configuration,” pp. 1884-1887, PESC2006(2006).
- [198] Yuki Watanabe, Naofumi Homma, Takafumi Aoki, and Tatsuo Higuchi, “Arithmetic module generator based on arithmetic description language,” Proceedings of the 13th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp. 153-160, April 2006.
- [199] Yuki Watanabe, Naofumi Homma, Takafumi Aoki, and Tatsuo Higuchi, “Formal Design of Decimal Arithmetic Circuits Using Arithmetic Description Language,” Proceedings of the 2006 IEEE International Symposium on Intelligent Signal Processing and Communication Systems, pp. 419-422, December 2006.
- [200] S. Aoyama, S. Kawahito, and M. Yamaguchi, “An Active Magnetic Probe Array for the Multiple-point Concurrent Measurement of the Electromagnetic Emissions,” Proc. of IEEE International Magnetics Conference, pp. 882, 2006. 05.
- [201] S. Aoyama, S. Kawahito, and M. Yamaguchi, “Fully Integrated Active Magnetic Probe for High-definition Near-field Measurement,” Proc. of IEEE Electromagnetic Compatibility Symposium, Vol. 2, pp. 426-429, 2006. 08.
- [202] Y. Morishita, K. Araki, Y. Hosokawa, K. Abe, N.

- Saito "Serial-Parallel Connection of Direct Sampling Mixer," Asia-Pacific Microwave Conf, vol.3. FR4A-4, Dec. 2006
- [203] W. Chaivipas, P. Oh, and A. Matsuzawa, "Feed-Forward Compensation Technique for All Digital Phase Locked Loop Based Synthesizers," Proc. ISCAS, pp. 3209-3212, May 2006.
- [204] Shingo Yoshizawa, Yoshikazu Miyana, "VLSI Implementation of a 600-Mbps MIMO-OFDM Wireless Communication System," Asia Pacific Conference on Circuits and System (APSCAS), pp. 93-96, Dec. 2006.
- [205] Shingo Yoshizawa, Yoshikazu Miyana, "VLSI Implementation of High-Throughput SISO-OFDM and MIMO-OFDM Transceivers," International Symposium on Communications and Information Technologies (ISCIT), No. T2D-4, Oct. 2006.
- [206] Shingo Yoshizawa, Yoshikazu Miyana, Hiroshi Ochi, Yoshio Itho, Nobuo Hataoka, Baiko Sai, Norihisa Takayama, Masaki Hirata, "300-Mbps OFDM Baseband Transceiver for Wireless LAN Systems," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 5455-5458, May 2006.
- [207] Shingo Yoshizawa, Yoshikazu Miyana, "Tunable Wordlength Architecture for Low Power Wireless OFDM Demodulator," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 2789-2792, May 2006.
- [208] P. Low, B. Le Pioufle, B. J. Kim, C. Bergaud, "Electric Field assembly of quantum dots on nanowires for temperature sensing," The 11th International Meeting on Chemical Sensors (IMCS11), pp. 35, 2006
- [209] Y. Motohashi, T. Kubo, H. Kanto, T. Tate, S. Sugawa, "A 960-fps Sub-sampling Object Extraction CMOS Image Sensor with 12-bit Column Parallel ADCs and ALUs," IS&T/SPIE Digital Imaging Sensors and Applications
- [210] Shoun Matsunaga, Takahiro Hanyu, Hiromitsu Kimura, Takashi Nakamura, and Hidemi Takasu, "Implementation of a Standby-Power-Free CAM Based on Complementary Ferroelectric-Capacitor Logic," Proc. Asia and South Pacific Design Automation Conf., pp. 116-117, Jan. 2007.
- [211] A. Mochizuki and T. Hanyu, "Highly reliable Multiple-Valued Circuit Based on Dual-Rail Differential Logic," Proc. 36th IEEE International Symposium on Multiple-Valued Logic, vol. 36, May 2006.
- [212] A. Mochizuki, T. Kitamura, H. Shirahama and T. Hanyu, "Design of a Microprocessor Datapath Using Four-Valued Differential-Pair Circuits," Proc. 36th IEEE International Symposium on Multiple-Valued Logic, vol. 36, May 2006.
- [213] Q. Liu, K. Fujiwara, X. Meng, T. Van Duzer, N. Yoshikawa, Y. Thakahashi, T. Hikida, N. Kawai, "Latency and Power Measurements on a 64-kb Hybrid Josephson-CMOS Memory," Abstract of 2006 Applied Superconductivity Conference (ASC2006), Seattle, Washington, September 2006, 4EB08.
- [214] Y. Yamanashi, T. Nishigai, N. Yoshikawa, "Study of LR-Loading Technique for Low-Power Single Flux Quantum Circuits," Abstract of 2006 Applied Superconductivity Conference (ASC2006), Seattle, Washington, September 2006, 1EX07
- [215] Y. Yamanashi, A. Akimoto, H. Park, N. Yoshikawa, M. Tanaka, Y. Kamiya, N. Irie, A. Fujimaki, H. Terai, S. Yorozu, "Design and Implementation of a Pipelined Bit-Serial SFQ Microprocessor, CORE1b" Abstract of 2006 Applied Superconductivity Conference (ASC2006), Seattle, Washington, September 2006, 3EY01
- [216] H. Park, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, M. Tanaka, H. Terai, S. Yorozu, "Design of Bit-Slice Adders Using RSFQ Logic Circuits," Abstract of 2006 Applied Superconductivity Conference (ASC2006), Seattle, Washington, September 2006, 3EY03.
- [217] T. Hikida, K. Fujiwara, N. Yoshikawa, A. Fujimaki, H. Terai, NICT; S. Yorozu, "Bit-Error-Rate Measurements of RSFQ Shift Register Memories," Abstract of 2006 Applied Superconductivity Conference (ASC2006), Seattle, Washington, September 2006, 4EB05.
- [218] Y. Takahashi, M. Tokuda, N. Kawai, N. Yoshikawa, K. Fujiwara, Q. Liu, T. Van Duzer, "Access-Time Measurements of a Josephson-CMOS Hybrid Memory using an RSFQ Time-to-Digital Converter," Abstract of 2006 Applied Superconductivity Conference (ASC2006),

Seattle, Washington, September 2006, 2EI03.

- [219] Y. Nobumori, T. Nishigai, K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, NICT; S. Yorozu, "Design and Implementation of a Fully Asynchronous RSFQ Microprocessor! SCRAM2" Abstract of 2006 Applied Superconductivity Conference (ASC2006), Seattle, Washington, September 2006, 3EY02.
- [220] Y. Yamanashi, N. Yoshikawa, "Study on a DC-powered On-chip Voltage Generator Using SFQ Circuits," on 19th International Symposium on Superconductivity (ISS2006), Nagoya, October 2006, pp. 329.
- [221] T. Hikida, T. Nishigai, N. Yoshikawa, "Consideration of Low-power SFQ Circuits Using Josephson-junction-load Biasing," on 19th International Symposium on Superconductivity (ISS2006), Nagoya, October 2006, pp. 331.
- [222] (149) N. Kawai, N. Yoshikawa, "Reduction of a Bit-error-rate of Josephson Latching Drivers Using Series Inductors," on 19th International Symposium on Superconductivity (ISS2006), Nagoya, October 2006, pp. 333.
- [223] "First Results of 0.15 μ m CMOS SOI Pixel Detector," Y. Arai, M. Hazumi, Y. Ikegami, T. Kohriki, O. Tajima, S. Terada, T. Tsuboyama, Y. Unno, H. Ushiroda, H. Ikeda, K. Hara, H. Ishino, T. Kawasaki, E. Martin, G. Varner, H. Tajima, M. Ohno, K. Fukuda, H. Komatsubara, J. Ida, SNIC Symposium, Stanford, California, 3-6 April 2006, SLAC-PUB-12079, KEK preprint, 2006-34, SLAC Electronic Conference Proceedings Archive (SLAC-R-842, eConf C0604032) PSN-0016. <http://www.slac.stanford.edu/econf/C0604032/papers/0016.PDF>
- [224] "Monolithic Pixel Detector in a 0.15 μ m SOI Technology," Y. Arai, member, IEEE, M. Hazumi, Y. Ikegami, T. Kohriki, O. Tajima, S. Terada, T. Tsuboyama, Y. Unno, H. Ushiroda, H. Ikeda, K. Hara, H. Ishino, T. Kawasaki, E. Martin, G. Varner, H. Tajima, M. Ohno, K. Fukuda, H. Komatsubara, J. Ida, H. Hayashi, IEEE Nuclear Sci. Symposium, San Diego, Oct. 29 - Nov. 4, 2006, Conference Record.
- [225] M. Nakada, H. Fujita, H. Toshiyoshi, C. Chong, K. Isamoto, "Wavelength Division Multiplexing for MEMS-based Fiber Optic Endoscope," Proc. 5th Int. Conf on Optics-Photonics Design & Fabrication (ODF '06), Dec. 6-8, 2006, Nara-Ken New Public Hall, Nara, Japan (invited)
- [226] Muneki Nakada, Changho Chong, Keiji Isamoto, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Micro Optomechanical Devices for Medical Endoscope Applications," SPIE Optics East ---Photonics for Applications in Industry, Life Sciences, and Communication---, Oct. 1-4, 2006, Hynes Convention Center, Boston, MA, USA, Optomechatronics Technologies Conference Proc. SPIE Vol. 6376 (invited)
- [227] K. Yamashita, W. Sun, B. Charlot, K. Kakushima, H. Fujita, and H. Toshiyoshi, "Time dependence of field-emission current for silicon RF-MEMS applications," Proc. 32nd Int. Conf. on Micro and Nano-Engineering 2006 (MNE 2006), Barcelona, Spain, Sept. 17-20, 2006 (oral 3A-3)
- [228] A. Higo, H. Fujita, and H. Toshiyoshi, "Design and fabrication of optical MEMS modulator with silicon wire waveguide," Proc. IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications (Optical MEMS 2006), Big Sky Resort, Big Sky, Montana, Aug. 21-24, 2006, poster presentation
- [229] Kazuhiro Takahashi, Makoto Mita, Hiroyuki Fujita, Hiroshi Toshiyoshi, "Topological Layer Switch Technique for Monolithically Integrated Electrostatic XYZ-stage," in Proc. 20th IEEE Int. Conf. on Micro Electro Mechanical Systems (MEMS 2007), Jan. 21-25, 2007, Kobe Portopia Hall and Koe Portopia Hotel, Japan (Poster M33)
- [230] Kazuhiro Takahashi, Hiroyuki Fujita, Hiroshi Toshiyoshi, Kazuhiro Suzuki, Hideyuki Funaki, and Kazuhiko Itaya, "Tunable Light Grating integrated with High-voltage Driver IC for Image Projection Display," in Proc. 20th IEEE Int. Conf. on Micro Electro Mechanical Systems (MEMS 2007), Jan. 21-25, 2007, Kobe Portopia Hall and Kobe Portopia Hotel, Japan (TP28)
- [231] Honam, Kwon, Akio Higo, and Hiroshi Toshiyoshi, "Fabrication of Micro-tips by Lift Off Process with Contact Shadow Masking," in Proc. 2nd IEEE Int. Conf. on Nano/Micro Engineered and Molecular Systems (NEMS 2007), Jan. 16-19, 2007, Bangkok, Thailand (Poster 149)
- [232] K. Takahashi, H. N. Kwon, M. Mita, K. Saruta, J. H. Lee, H. Fujita, and H. Toshiyoshi, "A 3D optical crossconnect using microlens scanner with

- topologically layer switch architecture,” Proc. IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications(Optical MEMS 2006), Big Sky Resort, Big Sky, Montana, Aug. 21-24, 2006
- [233] M. Nakada, C. Chong, K. Isamoto, H. Fujita, and H. Toshiyoshi, “Design and fabrication of optical MEMS scanners for optically modulated fiber endoscopes,” Proc. IEEE/LEOS Int. Conf. on Optical MEMS and Their Applications(Optical MEMS 2006), Big Sky Resort, Big Sky, Montana, Aug. 21-24, 2006
- [234] Y. Taii, A. Higo, H. Fujita, and H. Toshiyoshi, “Color Pixels by Plastic MEMS Technology for Flexible Electronic Display,” Proc. Asia Pacific Conference on Transducers and Micr-Nano Technology, June 25-28, 2006, Marina-Mandarin Hotel, Singapore
- [235] T. Takahashi, M. Mita, K. Motohara, N. Kobayashi, N. Kashikawa, H. Fujita, and H. Toshiyoshi, “Electrostatically Addressable Gatefold Micro-shutter Arrays for Astronomical Infrared Spectrograph,” Proc. Asia Pacific Conference on Transducers and Micr-Nano Technology, June 25-28, 2006, Marina-Mandarin Hotel, Singapore
- [236] K. Takahashi, M. Mita, H. N. Kwon, H. Fujita, and H. Toshiyoshi, “A Comb-driven XY-stage with topological layer switch architecture for high-density arrayed systems,” The 8th Korean MEMS Conference, April 6-8, 2006, Korea
- [237] H. N. Kwon, K. Takanashi, J. H. Lee, H. Fujita, and H. Toshiyoshi, “A 9x9 Optical Cross-Connect utilizing Silicon Lens-Scanners with Spider-Leg Actuators,” The 8th Korean MEMS Conference, April 6-8, Korea
- [238] C. Chong, K. Isamoto, M. Nakada, H. Fujita, and H. Toshiyoshi, “A Photovoltaically Modulated MEMS Optical Scanner for Fiber Endoscope,” Int. Conf. on Microtechnologies in Medicine and Biology(MMB 2006), May 9-12, 2006, Bankoku-Shinryokan, Okinawa, Japan
- [239] Changho Chong, Keiji Isamoto, Jonathan Evans, and Hiroshi Toshiyoshi, “Optically-modulated MEMS scanning endoscope for optical coherent tomography,” OSA Biomedical Optics Topical Meeting, March 22, 2006, Fort Lauderdale, FL, USA
- [240] H. N. Kwon, J. H. Lee, K. Takahashi, H. Toshiyoshi, “Optical characterization of 9 x 9 optical cross connect utilizing silicon lens scanners with spider-leg actuators,” Proc. SPIE Photonics West, MOEMS-MEMS 2006, SPIE vol. #6114, San Jose, CA, USA, Jan. 25-26, 2006, pp. 131-138
- [241] R. Shigematsu, A. Higo, H. Toshiyoshi, and H. Fujita, “Manually re-writable panel for large area MEMS,” in Proc. 19th IEEE Int. Conf. on Micro Electro Mechanical Systems(MEMS 2006), Jan. 22-26, 2006, Lutfi Kirdar Convention and Exhibition Centre, Istanbul, Turkey, pp. 44-47
- [242] Rio Miyazaki, M. Watanabe, F. Kobayashi, “A multi-contexts holographic memory recording system for Optically Reconfigurable Gate Arrays,” IEEE International parallel & Distributed Processing Symposium, CD-ROM, 2007.
- [243] M. Watanabe, F. Kobayashi, “Superimposing technique of reconfiguration contexts,” Fifteenth ACM/SIGDA International Symposium on Field Programmable Gate Arrays, pp. 227-228, 2007.
- [244] M. Watanabe, F. Kobayashi, “A 0.35um CMOS 1, 632-gate-count Zero-Overhead Dynamic Optically Reconfigurable Gate Array VLSI,” Asia and South Pacific Design Automation Conference, pp. 124-125, 2007.
- [245] M. Watanabe, F. Kobayashi, “High manufacturing defect-tolerance optically programmable architecture,” The 5th World Scientific and Engineering Academy and Society International Conference on circuits, systems, electronics, control & signal processing, pp. 197-203, 2006.
- [246] M. Watanabe, F. Kobayashi, “Optically Reconfigurable Gate Arrays vs. ASICs,” IEEE Asia Pacific Conference on Circuits and Systems, pp. 1166-1169, 2006.
- [247] M. Watanabe, F. Kobayashi, “A reconfiguration speed adjustment technique for ORGAs with a holographic memory,” International Conference on Field Programmable Logic and Applications, pp. 917-922, 2006.
- [248] M. Watanabe, R. Fujime, F. Kobayashi, “A dynamic differential reconfiguration circuit for optically differential reconfigurable gate arrays,” IEEE International Midwest Symposium on Circuits and Systems, CD-ROM, 2006.

- [249] M. Watanabe, M. Miyano, F. Kobayashi, "Differential Reconfiguration Architecture suitable for a Holographic Memory," International Conference on engineering of reconfigurable systems and algorithms, pp. 198-203, 2006.
- [250] M. Watanabe, F. Kobayashi, "Shield effect analysis for a gate array on an Optically Reconfigurable Gate Array," International Conference on engineering of reconfigurable systems and algorithms, pp. 239-240, 2006.
- [251] M. Watanabe, F. Kobayashi, "A logic synthesis and place and route environment for ORGAs," International Conference on engineering of reconfigurable systems and algorithms, pp. 237-238, 2006.
- [252] M. Watanabe, F. Kobayashi, "Power consumption advantage of a dynamic optically reconfigurable gate array," IEEE International parallel & Distributed Processing Symposium, CD-ROM, 2006.
- [253] M. Watanabe, M. Miyano, F. Kobayashi, "An optically differential reconfigurable gate array with a holographic memory," IEEE International parallel & Distributed Processing Symposium, CD-ROM, 2006.
- [254] M. A. Abedin, K. Kamimura, A. Ahmadi, T. Koide, and H. J. Mattausch, "Minimum Euclidean Distance Associative Memory Architecture with Fully-Parallel Search Capability," 13th Workshop on Synthesis and System Integration of Mixed Information Technologies(SASIMI2006), pp. 350-354, (2006. 4).
- [255] A. Ahmadi, M. A. Ritonga, M. A. Abedin, H. J. Mattausch, and T. Koide, "A Learning OCR System Using Short/Long-term Memory Approach and Hardware Implementation in FPGA," Proceedings of the 2006 IEEE Congress on Evolutionary Computation(WCCI2006), pp. 2702-2708, (2006. 7).
- [256] M. A. Abedin, Y. Tanaka, A. Ahmadi, T. Koide and H. J. Mattausch, "Nearest-Euclidean-Distance Search Associative Memory with Fully Parallel Mixed Digital-Analog Match Circuitry," Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials(SSDM2006), pp. 282-283, (2006. 9).
- [257] T. Morimoto, H. Adachi, K. Yamaoka, K. Awane, T. Koide and H. J. Mattausch, "Image-Scan Video Segmentation Architecture and FPGA Implementation," Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials(SSDM2006), pp. 590-591, (2006. 9).
- [258] K. Johguchi, K. Aoyama, T. Sueyoshi, H. J. Mattausch, T. Koide, M. Maeda, T. Hironaka, and K. Tanigawa, "Multi-Bank Register File for Increased Performance of Highly-Parallel Processors," Proceedings of the 32nd European Solid-State Circuits Conference(ESSCIRC2006), Montreux, Switzerland, September 18-22, pp. 154-157, (2006. 9).
- [259] M. Ishizaki, T. Kumaki, Y. Kouno, T. Koide, H. J. Mattausch, Y. Kuroda, T. Gyoten, H. Noda, K. Dosaka, K. Arimoto and K. Saito, "Huffman Encoding Architecture with Self-Optimizing Performance and Multiple CAM-Match Utilization," Proc. of the IEEE TENCON(TENCON2006), No. CA2. 3, (2006. 11).
- [260] Y. Mukuda, K. Aoyama, K. Johguchi, H. J. Mattausch, T. Koide, M. Maeda, T. Hironaka, and K. Tanigawa, "Access Queues for Multi-Bank Register Files Enabling Enhanced Performance of Highly Parallel Processors," Proc. of the IEEE TENCON(TENCON2006), No. CA2. 4(2006. 11).
- [261] T. Morimoto, H. Adachi, K. Yamaoka, T. Koide and H. J. Mattausch, "An FPGA-Based Region-Growing Video Segmentation System with Boundary-Scan-Only LSI Architecture," Proc. of the IEEE Asia Pacific Conference on Circuits and Systems(APCCAS2006), pp. 946-949, (2006. 12).
- [262] K. Johguchi, Z. Zhu, H. J. Mattausch, T. Koide, T. Hironaka, and K. Tanigawa, "Unified Data/Instruction Cache with Hierarchical Multi-Port Architecture and Hidden Precharge Pipeline," Proc. of the IEEE Asia Pacific Conference on Circuits and Systems(APCCAS2006), pp. 1299-1302(2006. 12).
- [263] M. A. Abedin, Y. Tanaka, A. Ahmadi, T. Koide and H. J. Mattausch, "Fully Parallel Associative Memory Architecture with Mixed Digital-Analog Match Circuit for Nearest Euclidean Distance Search," Proc. of the IEEE Asia Pacific Conference on Circuits and Systems

- (APCCAS2006), pp. 1311-1314, (2006. 12).
- [264] T. Kumaki, Y. Kouno, M. Ishizaki, T. Koide, H. J. Mattausch, "Application of Multi-ported CAM for Parallel Coding," Proc. of the IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2006), pp. 1681-1684, (2006. 12).
- [265] Bakhtiar Affendi Rosdi, Atsushi Takahashi. Replacement of Register with Delay Element for Reducing the Area of Pipelined Circuits. In Proc. the 2006 IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS 2006), pp. 802-805, December 4-7, 2006.
- [266] Yosuke Takahashi, Yukihide Kohira, Atsushi Takahashi. A Fast Clock Scheduling for Peak Power Reduction in LSI. In Proc. ACM Great Lakes Symposium on VLSI (GLSVLSI'07), pp. 582-587, 2007.
- [267] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, and T. Sakurai, "An Organic FET SRAM for Braille sheet display with back gate to increase the static noise margin," IEEE International Solid-State Circuits Conference (ISSCC), pp. pp276-277, Feb. 5, 2006.
- [268] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, T. Sakurai, "Low Power and Flexible Braille Sheet Display with Organic FET's and Plastic Actuators," IEEE International Conference on IC Design and Technology (ICICDT), May 2006.
- [269] T. Someya, T. Sakurai, T. Sekitani, "Recent progress of organic TFT active matrices for large-area electronics applications," International Congress of Imaging Science, May 2006.
- [270] K. Onizuka, H. Kawaguchi, M. Takamiya, T. Sakurai, "Stacked-chip Implementation of On-Chip Buck Converter for Power-Aware Distributed Power Supply Systems," IEEE Asian Solid-State Circuits Conference, Nov. 2006.
- [271] T. Someya, Y. Noguchi, Y. Kato, T. Sekitani, and T. Sakurai, "Printed organic transistors for large-area, flexible sensors and actuators," Material Research Society (MRS) Spring Meeting. Symposium L! Materials for Next-Generation Display Systems. #L7. 5, Apr. 17, 2006.
- [272] T. Someya, T. Sekitani and T. Sakurai, "Organic TFT-AM for Large-Area Sensors and Actuators," Session 6! Emerging Technology. #6. 1. 2006 International Thin-Film Transistor Conference, Jan. 19, 2006.
- [273] N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link," IEEE International Solid-State Circuits Conference (ISSCC'06), pp. 424-425, Feb. 1, 2006.
- [274] T. Someya, Y. Noguchi, Y. Kato, T. Sekitani, and T. Sakurai, "Printed organic transistors for large-area, flexible sensors and actuators," Material Research Society (MRS) Spring Meeting. Symposium, L! Materials for Next-Generation Display Systems., #L7. 5, Apr. 17, 2006.
- [275] T. Sekitani, Y. Takamatsu, S. Nakano, T. Sakurai, and T. Someya, "Hall effect measurements using pentacene thin-film transistors on plastic films," Material Research Society (MRS) Spring Meeting. Symposium, M! Conjugated Organic Materials - Synthesis. Structure. Device. and Applications, Apr. 21, 2006.
- [276] T. Someya, T. Sekitani, and T. Sakurai, "Conformable electronic artificial skins with organic transistor integrated circuits," Material Research Society (MRS) Spring Meeting. Symposium, CC! Electrobiological Interfaces on Soft Substrates, Apr. 17, 2006.
- [277] K. Hizu, T. Sekitani, Y. Shimada, J. Otsuki, M. Takamiya, T. Sakurai, and T. Someya, "Low voltage operation of organic CMOS inverter circuit with double-gate structure," Material Research Society (MRS) Spring Meeting. Symposium, M! Conjugated Organic Materials - Synthesis. Structure. Device. and Applications, Apr. 17, 2006.
- [278] T. Someya, T. Sakurai, and T. Sekitani, "Future Prospects of Flexible, Large-Area Sensors and Actuators with Organic Transistor ICs," T33. 2006 VLSI-TSA conference, Apr. 24, 2006.
- [279] T. Someya, T. Sakurai, and T. Sekitani, "Large-area Electronics Based on Organic Transistors," The Device Research Conference (DRC) 2006, June 28, 2006.
- [280] M. Inoue, N. Miura, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda,

“Daisy Chain for Power Reduction in Inductive-Coupling CMOS Link,” Symposium on VLSI Circuits, pp. 80-81, June 1, 2006.

- [281] K. Inagaki. D. Antono. M. Takamiya. S. Kumashiro. and T. Sakurai, “A 1-ps Resolution On-chip Sampling Oscilloscope with 64:1 Tunable Sampling Range Based on Ramp Waveform Division Scheme,” IEEE Symposium on VLSI Circuits, pp. 76-77, June 13, 2006.
- [282] A. Tamtrakarn. H. Ishikuro. K. Ishida. M. Takamiya. and T. Sakurai, “A 1-V 299 μ W Flashing UWB Transceiver Based on Double Thresholding Scheme,” IEEE Symposium on VLSI Circuits, pp. 250-251, June 16, 2006.
- [283] T. Someya. T. Sakurai. T. Sekitani, “Flexible. Large-Area Sensors and Actuators using Organic Transistor Integrated Circuits,” 2006 Asia-Pacific Workshop on Fundamental and Application of Advanced Semiconductor Devices(AWAD2006), July 3, 2006.
- [284] T. Someya. T. Sakurai. and T. Sekitani, “Large-area Electronics Based on Organic Transistor ICs,” 2nd Annual Organic Microelectronics Workshop, July 9, 2006.
- [285] N. Miura. Y. Nakagawa. M. Tago. M. Fukaishi. T. Sakurai. and T. Kuroda, “A 1Tb/s 3W Inductive-Coupling Transceiver for 3D ICs,” 2006 Intenational PhD Workshop on SoC(IPS), July 1, 2006.
- [286] T. Someya. T. Sakurai. and T. Sekitani, “Recent Progress of Flexible. Large-area Sensors and Actuators with Organic Transistor Integrated Circuits,” KINKEN Workshop on Organic Field Effect Transistor, Oct. 12, 2006.
- [287] T. Sekitani and T. Someya., “Air-stable operation of pentacene field-effect transistors on plastic films using organic/metal hybrid passivation layers,” The 2006 International Symposium on Flexible Electronics and Display (ISFED), Nov. 1, 2006.
- [288] K. Ishida. A. Tamtrakarn. H. Ishikuro. and T. Sakurai, “An Outside-Rail Opamp Design Targeting for Future Scaled Transistors,” 2005 IEEE Asian Solid-State Circuits Conference, pp. 73-76, Nov. 20, 2006.
- [289] M. Takamiya. T. Sekitani. Y. Kato. H. Kawaguchi. T. Someya. and T. Sakurai., “Flexible Braille Sheet Display with Organic

FETs and Plastic Actuators,” International Display Workshop(IDW), Dec. 8, 2006.

- [290] T. Sekitani. M. Takamiya. Y. Noguchi. S. Nakano. Y. Kato. K. Hizu. H. Kawaguchi. T. Sakurai. and T. Someya, “A Large-Area Flexible Wireless Power Transmission Sheet Using Printed Plastic MEMS Switches and Organic Field-Effect Transistors,” IEEE International Electron Devices Meeting(IEDM), Dec. 1, 2006.
- [291] Y. Takamatsu. T. Sekitani. S. Nakano. T. Sakurai. and T. Someya, “Hall effect of polycrystalline pentacene field-effect transistors on plastic films,” International Conference on Solid State Devices and Materials(SSDM). Organic Materials Science. Device Physics. and Applications, Sep. 11, 2006.
- [292] T. Sakurai, “Short Course on Optimal Intertconnect Design - A Systems Perspestive,” IEEE International Interconnect Technology Conference(IITC), June 2006.
- [293] Y. Noguchi. T. Sekitani. T. Sakurai. T. Someya, “ROBOT SKINS USING INKJETTED ORGANIC TRANSISTOR ACTIVE MATRICES,” Korea-Japan Joint Forum(KJF) 2006 -Organic Materials for Electronics and Photonics- Organic Display and Transistors., Oct. 2006.
- [294] T. Someya. T. Sekitani. T. sakurai, “Conformable. lightweight. large-area sheet-type sensors with organic transistor integrated circuits!,” Symposium Q Chem&Bio Sensing Transistors. The European Materials Research Society(E-MRS 2006) Spring Meeting, #3-1, 2006.
- [295] T. Sekitani. Y. Takamatsu. T. Sakurai. T. Someya, “Strain and Hall Effects of Pentacene TFTs on Plastic Films,” KINKEN Workshop on Organic Field Effect Transistor. Institute for Materials Research, 2006.
- [296] T. Someya. T. Sekitani. T. Sakurai, “Printed organic transistors for large-area ,” electronicsThe 6th International Meeting on Information Display and the International Display Manufacturing Conference(IMID/IDMC 2006)., Aug. 2006.
- [297] K. Onizuka. H. Kawaguchi. M. Takamiya. T. Kuroda and T. Sakurai , “Chip-to-Chip Inductive Wireless Power Transmission System for SiP Applications,” IEEE Custom Integrated Circuits

- Conference(CICC) , Sep. 2006.
- [298] Atit Tamtrakarn. Hiroki Ishikuro. Koichi Ishida and Takayasu Sakurai , “Compact outside-rail circuit structure by single-cascode two-transistor topology ,” IEEE Custom Integrated Circuits Conference(CICC) , Sep. 2006.
- [299] M. Takamiya, T. Sekitani, Y. Miyamoto, Y. Noguchi, H. Kawaguchi, T. Someya, and T. Sakurai, “Design Solutions for Multi-Object Wireless Power Transmission Sheet Based on Plastic Switches,” IEEE International Solid-State Circuits Conference(ISSCC) , San Francisco, USA, pp. 362-363, Feb. 2007.
- [300] Amagasaki, Hamabe, Nakayama, Iida, Sueyoshi, “Architecture of general purpose reconfigurable logic cell,” pp. 1-4, ITC-CSCC2006(2006年).
- [301] Amagasaki, Shimokawa, Matsuyama, Yamaguchi, Nakayama, Hamabe, Iida, Sueyoshi, “Evaluation of variable grain logic cell architecture for reconfigurable device,” pp. 198-203, VLSI-SoC2006(2006年).
- [302] Matsuyama, Amagasaki, Nakayama, Yamaguchi, Iida, Sueyoshi, “Evaluation of variable grain logic cell architecture for reconfigurable device,” ARC2006(2006年).
- [303] Kiyoto Ito and Tadashi Shibata, “A Time-Domain Gradient-Detection Architecture for VLSI Analog Motion Sensors,” Proceedings of The 2006 International Symposium on Circuits and Systems(ISCAS'06), Island of Kos, Greece , May 21-24, 2006, pp. 201-204.
- [304] Benjamas Tongprasit and Tadashi Shibata, “Power-Balanced Reconfigurable Floating-Gate-MOS Logic Circuit for Tamper Resistant VLSI,” Proceedings of The 2006 International Symposium on Circuits and Systems(ISCAS'06), Island of Kos, Greece , May 21-24, 2006, pp. 4855-4858.
- [305] Yasufumi Suzuki and Tadashi Shibata, “Hardware Architecture for Pseudo-2D Hidden-Markov-Model-Based Face Recognition System Employing Laplace Distribution Functions,” in Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials(SSDM 2006), pp. 584-585, Yokohama, Japan, Sep. 12-15, 2006.
- [306] Jun Chen and Tadashi Shibata, “A Hardware-Implementation-Friendly PCNN for Analog Image-Feature-Generation Circuits,” in Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials(SSDM 2006), pp. 594-595, Yokohama, Japan, Sep. 12-15, 2006.
- [307] Ovgu Ozturk and Tadashi Shibata, “An Edge Cache Memory Architecture for Early Visual Processing VLSIs,” in Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials(SSDM 2006), pp. 592-593, Yokohama, Japan, Sep. 12-15, 2006.
- [308] Y. Mita and M. Sugiyama and M. Kubota and F. Marty and T. Bourouina and T. Shibata, “ Aspect Ratio Dependent Scalloping Attenuation in DRIE and an Application to Low-Loss Fiber-Optical Switches,” in proc. of the 19th IEEE International Conference on Micro Electro Mechanical Systems(MEMS 2006), pp. 114-117, 2006
- [309] K. Hirose, Y. Mita, M. Kubota, and T. Shibata, “Deep-Trench Vertical Si Photodiode towards Active-Device Integrated OMEMS,” in proc. of IEEE/LEOS International Conference on Optical MEMS(OMEMS 2006), at Big Sky, Montana, USA, pp. 191-192, Aug. 2006.
- [310] K. Hirose, Y. Mita, T. Shibata, “Self-Patterning Metal Deposition on Deep Three-Dimensional Micro Structures for Vertically Buried Inductors,” in proc. of MicroMechanics Europe (MME 2006), at Southampton U. K., pp. 85-88, Sep. 2006.
- [311] Katsutoshi Saeki, Yugo Hayashi, Yoshifumi Sekine, Robustness of a Pulse-type Hardware Neural Network with STDP Synapses, Proc. 2006 IEEJ International Analog VLSI Workshop, CD-ROM, Hangzhou, China, Nov. 2006.
- [312] Yugo Hayashi, Katsutoshi Saeki, Yoshifumi Sekine, A Synaptic Circuit of a Pulse-Type Hardware Neuron Model with STDP, The Third International Conference on Brain-inspired Information Technology(Brain IT 2006), p. 60, Kitakyusyu, Sep. 2006.
- [313] Youko Takase, Yugo Hayashi, Yoshifumi Sekine, Basilar Membrane Model Using Simulink for DSP, The Third International Conference on Brain-inspired Information Technology(Brain IT 2006), p. 96, Kitakyusyu, Sep. 2006.
- [314] Katsutoshi Saeki, Yugo Hayashi, Yoshifumi

Sekine, Extraction of Phase Information Buried in Fluctuation of a Pulse-type Hardware Neuron Model Using STDP, 2006 International Joint Conference on Neural Networks (IJCNN2006), pp. 2814-2819, Vancouver, Canada, Jul. 2006.

- [315] Takashi Inoue, Katsutoshi Saeki, Yoshifumi Sekine, A Study on an Pattern Recognition of an Olfactory Bulb Model using Pulse-Type Neuron Models, The International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2006), vol. III, pp. III-409-III-412, Chiang Mai, Thailand, Jul. 2006.
- [316] Katsuyuki Ono, Yoshifumi Sekine, Katsutoshi Saeki, A Study on a Pulse-Type Neural Network Using Strip-Line Structures, The International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2006), vol. I, pp. I-261-I-264, Chiang Mai, Thailand, Jul. 2006.
- [317] Takaaki Iwamoto, Yoshifumi Sekine, Modeling of an Input Region in a Visual Cortex Using Pulse-Type Hardware Neuron Models, The International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2006), vol. I, pp. I-249-I-252, Chiang Mai, Thailand, Jul. 2006.
- [318] Hatsavanh Haimany, Katsuyuki Ono, Yoshifumi Sekine, A Study on a Synaptic Section with Plasticity in a Pulse-Type Hardware Neural Network, The International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2006), vol. I, pp. I-265-I-268, Chiang Mai, Thailand, Jul. 2006.
- [319] N. Sasaki, M. Fukuda, M. Nitta, K. Kimoto and T. Kikkawa, "A Single-chip Ultra-Wideband Receiver using Silicon Integrated Antennas for Inter-chip Wireless Interconnection," Ext. Abst. of the 2006 International Conference on Solid State Devices and Materials, Yokohama, September 13-15, 2006, pp. 70-71.
- [320] P. K. Saha, N. Sasaki and T. Kikkawa, 鄭 Single-chip Gaussian Monocycle Pulse Transmitter using 0.18 μm CMOS Technology for Intra/Interchip UWB Communication, 2006 Symposium on VLSI circuits Digest of Technical Papers, pp. 252-253, Honolulu, June 15-17, 2006.

- [321] M. Fukuda, P. K. Saha, N. Sasaki, and T. Kikkawa, 鄭 0.18 μm CMOS Impulse Radio Based UWB Transmitter for Global Wireless Interconnections of 3D Stacked-Chip System, Ext. Abst. of the 2006 International Conference on Solid State Devices and Materials, Yokohama, September 13-15, 2006, pp. 72-73.
- [322] K. Kimoto, N. Sasaki, P. K. Saha, M. Nitta and T. Kikkawa, "Analysis of Si Integrated Dipole Antennas for Ultrawideband Signal Transmission," Proc. of IEEE AP-S International Symposium with USNC/URSI National Radio Science and AMEREM Meetings, Vol. 5, pp. 4661-4664, Albuquerque, July 9-14, 2006.
- [323] Hiroyasu Kondou, Yohei Ishikawa and Sumio Fukai, "Multiple-valued SRAM with FG-MOSFETs", Asia-Pacific Conference on Circuits and Systems ! Electronic Communication Systems (APCCAS), D-3-AM1-RM6. 4, pp. 100-101, 2006-12
- [324] T. Izawa, K. Watanabe, A. Kitamura, Y. Miyabe, T. Miyasiro, H. Amano, "Cooperative Simulation Environment of Hardware Plugged into a DIMM slot," The 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI'06), pages 79--84, Apr. 2006.
- [325] T. Miyashiro, A. Kitamura, M. Yoshimi, N. Tanabe, H. Nakajyo, H. Amano, "A Reconfigurable Board Connected into a Memory Slot," The 16th International Conference on Field Programmable Logic and Applications (FPL2006), pages 825-828, Aug. 2006.
- [326] A. Kitamura, Y. Miyabe, T. Miyashiro, N. Tanabe, H. Nakajo, H. Amano, "Performance Evaluation on Low-Latency Communication Mechanism of DIMMnet-2," The IASTED International Conference on Parallel and Distributed Computing and Networks (PDCN'07), pages 57-62, Feb. 2007.
- [327] Shohei Abe, Yohei Hasegawa, Takao Toi, Takeshi Inuo, and Hideharu Amano. An Adaptive Viterbi Decoder on the Dynamically Reconfigurable Processor. In Proceedings of International Conference on Field Programmable Technology (FPT2006), pp. 285-288, Bangkok, Thailand, December 2006.

- [328] Hideharu Amano, Yohei Hasegawa, Shohei Abe, Kenichiro Ishikawa, Syunsuke Kurotaki, Takuro Nakamura, and Takashi Nishimura. A Context Dependent Clock Control Mechanism for Dynamically Reconfigurable Processors. In Proceedings of the 16th International Conference on Field Programmable Logic and Applications (FPL2006), pp. 575-580, Madrid, Spain, August 2006.
- [329] Yohei Hasegawa, Shohei Abe, Shunsuke Kurotaki, Vu Manh Tuan, Naohiro Katsura, Takuro Nakamura, Takashi Nishimura, and Hideharu Amano. Performance and Power Analysis of Time-multiplexed Execution on Dynamically Reconfigurable Processor. In Proceedings of the 20th International Parallel and Distributed Processing Symposium (IPDPS 2006), April 2006.
- [330] Masayasu Suzuki, Yohei Hasegawa, Vu Manh Tuan, Shohei Abe, and Hideharu Amano. A Cost-Effective Context Memory Structure for Dynamically Reconfigurable Processors. In Proceedings of the 20th International Parallel and Distributed Processing Symposium (IPDPS 2006), April 2006.
- [331] K. Usami, N. Ohkubo, "An Approach for Fine-grained Run-time Power Gating using Locally Extracted Sleep Signals," ICCD, Oct. 2006
- [332] Kazuya Tanigawa, Tetsuo Hironaka, Moto Maeda, Tetsuya Sueyoshi, Kenichi Aoyama, Tetsushi Koide and Hans Juergen Mattausch, "Performance Evaluation of Superscalar Processor with Multi-Bank Register File Using SPEC2000," Proceedings of the 10th WSEAS International Conference on COMPUTERS, pp. 1062-1067, July, 2006.
- [333] S. Yazaki and K. Abe, "VLSI Implementation of Karatsuba Algorithm and Its Evaluation," Proc. The International Workshop on Modern Science and Technology 2006, pp. 378-383, May 2006.
- [334] S. Yazaki and K. Abe, "VLSI Design of Iterative Karatsuba Multiplier and Its Evaluation," Proc. The 4th IASTED International Conference on Circuits, Signals, and Systems, San Francisco, pp. 313-318, Nov. 2006.
- [335] N. Ishihara and K. Abe, "An Efficient 2-D DWT Architecture with Reduced Memory Accesses for Low Energy Consumption," Proc. The 4th IASTED International Conference on Circuits, Signals, and Systems, San Francisco, pp. 273-278, Nov. 2006.
- [336] T. Yamakawa, T. Inoue, A. Nakajima, T. Yonezawa, A. Tsuneda, "A Circuit Design of ID-Code and Heartbeat Signal Processing Blocks of aSmart RF ID Tag for Mice," pp. 2569-2572, 2006 IEEE International Symposium on Circuits and Systems (May, 2006).
- [337] 宋春奇, 井上高宏, 江藤慎一郎, 山川俊貴, 常田明夫 "Design of an Integrated CMOS Power Supply for Wireless Power Feeding to a Smart RFID Tag" (2006 IEEJ International Analog VLSI Workshop)
- [338] Akira Nakajima, Takahiro Inoue, and Akio Tsuneda "A Low-Voltage Resistorless CMOS Current/Voltage Reference Circuit Insensitive to Vdd and Temperature Variations," ITC-CSCC2006
- [339] Y. Kato, T. Suzuki, K. Mabuchi, "Development of mesh-structure multichannel flexible neural probe," pp. 370-371, Proceedings of the 19th International Microprocesses and Nanotechnology Conference (2006).
- [340] Y. Kato, M. Nishino, I. Saito, T. Suzuki, K. Mabuchi, "Flexible intracortical neural probe with biodegradable polymer for delivering bioactive components," pp. 143-146, Proceeding of International Conference on Microtechnologies in Medicine and Biology (2006).
- [341] Y. Kato, I. Saito, T. Hoshino, T. Suzuki, K. Mabuchi, "Preliminary Study of Multichannel Flexible Neural Probes Coated with Hybrid Biodegradable Polymer," pp. 660-663, Proceedings of the 28th IEEE EMBS Annual International Conference (2006).
- [342] T. Suzuki, N. Kotake, K. Mabuchi, S. Takeuchi, "Flexible regeneration-type nerve electrode with integrated micro fluidic channels," pp. 303-305, Proceeding of International Conference on Microtechnologies in Medicine and Biology (2006).
- [343] K. Kiyoyama, M. Onoda, Y. Tanaka, "A Low Current Consumption Delta-Sigma Modulator for Body-implanted Chip, "pp. 4763-4766, Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS'06), (2006).

- [344] Masahiro Yamaguchi, Shota Koya, Hideki Torizuka, Satoshi Aoyama and Shoji Kawahito, "Shielded-Loop Type On-Chip Magnetic Field Probe to Evaluate Radiated Emission from Thin-Film Noise Suppressor," 10th Joint MMM/Intermag Conference, AR-01, Baltimore, USA, January 8 2007. (in press)
- [345] 橋本亮司, 加藤公也, 藤田玄, 尾上孝雄, "VLSI Architecture of H. 264 Block Size Decision based on Rate-Distortion Optimization," in Proc. ISPACS, pp. 618-621, (Dec. 2006).
- [346] Ippei Akita, Kazuyuki Wada, and Yoshiaki Tadokoro, "Low-Voltage CMOS Syllabic-Companding Log domain Filter," Proc. 2006 IEEE International Symposium on Circuits and Systems, May 2006.
- [347] Hiroto Suzuki, Kazuyuki Wada, and Yoshiaki Tadokoro, "Band Connections in Active Cancellation Circuits against Digital Substrate Noise," Proc. 2006 IEEE International Symposium on Circuits and Systems, May 2006.
- [348] Ippei Akita, Kazuyuki Wada, and Yoshiaki Tadokoro, "0.8-V CMOS Current Peak Detector and Its Application," Proc. 206 IEEJ Analog VLSI Workshop, Nov. 2006.
- [349] Hiroto Suzuki, Kazuyuki Wada, and Yoshiaki Tadokoro, "Active Cancellation Circuit using Two Cancellation Points for Digital Substrate Noise Reduction," Proc. 206 IEEJ Analog VLSI Workshop, Nov. 2006.
- [350] T. Hiramoto (Invited), "DFM Research from Device Side in Japanese Universities," The 9th International Forum on Semiconductor Technology, Hyatt Regency Crystal City, Arlington, VA, USA, May, 2006.
- [351] T. Hiramoto and T. Nagumo (Invited), "Multi-Gate MOSFETs with Back-Gate Control," 2006 International Conference on Integrated Circuit Design and Technology (ICICDT), University of Padova, Padova, Italy, pp. 80 - 81, May, 2006.
- [352] T. Ohtou, N. Sugii, and T. Hiramoto, "Impact of Parameter Variations and Random Dopant Fluctuations on Short-Channel Fully-Depleted SOI MOSFETs with Extremely Thin BOX," IEEE Silicon Nanoelectronics Workshop, Hilton Hawaiian Village, Honolulu, HI, USA, pp. 15 - 16, June, 2006.
- [353] K. Shimizu, G. Tsutsui, D. Januar, T. Saraya and T. Hiramoto, "Experimental Study on Breakdown of Mobility Universality in <100>-Directed (110)-Oriented pMOSFETs," IEEE Silicon Nanoelectronics Workshop, Hilton Hawaiian Village, Honolulu, HI, USA, pp. 11 - 12, June, 2006.
- [354] A. T. Putra, T. Ohtou, and T. Hiramoto, "Critical Substrate Bias in Variable-Threshold Voltage CMOS with Short Channel FD SOI MOSFETs," IEEE Silicon Nanoelectronics Workshop, Hilton Hawaiian Village, Honolulu, HI, USA, pp. 159 - 160, June, 2006.
- [355] M. Kobayashi, K. Miyaji, and T. Hiramoto, "Charge Polarity Dependence of Negative Differential Conductance in Room-Temperature Operating Silicon Single-Charge Transistors," International Conference on Solid State Devices and Materials (SSDM), Pacifico Yokohama, pp. 806 - 807, September, 2006.
- [356] K. Miyaji and T. Hiramoto, "Room Temperature Demonstration of Variable Full Width at Half Maximum of Coulomb Oscillation in Silicon Single-Hole Transistor," International Conference on Solid State Devices and Materials (SSDM), Pacifico Yokohama, pp. 836 - 837, September, 2006.
- [357] K. Shimizu, G. Tsutsui, and T. Hiramoto, "Experimental Study on Mobility Universality in (100) Ultra Thin Body nMOSFET with SOI Thickness of 5nm," Proceedings of 2006 IEEE International SOI Conference, Niagara Falls, NY, USA, pp. 159 - 160, October, 2006.
- [358] T. Hiramoto (Invited), "Integrated single-electron transistor circuits on SOI basis," NATO Advanced Research Workshop "Nanoscaled Semiconductor-on-Insulator Structures and Devices," Sudak, Crimea, Ukraine, pp. 93 - 94, October, 2006.
- [359] T. Hiramoto, "Silicon-Based Nanoelectronics Key Technologies for Future Information Processing," Japan - Germany Joint Workshop Nano-Electronics," p. 87, Shiodome, Tokyo, November, 2006.
- [360] T. Ohtou, T. Saraya, K. Shimokawa, Y. Doumae, Y. Nagatomo, J. Ida and T. Hiramoto, "Experimental Demonstrations of Superior Characteristics of Variable Body-Factor (攀 Fully-Depleted SOI MOSFETs with Extremely

- Thin BOX of 10nm,” Technical Digests of IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, pp. 877 - 880, December, 2006.
- [361] M. Kobayashi and T. Hiramoto, “Experimental Study on Quantum Structure of Silicon Nano Wire and Its Impact on Nano Wire MOSFET and Single-Electron Transistor,” Technical Digests of IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, pp. 1007 - 1009, December, 2006.
- [362] T. Hiramoto, K. Miyaji, and M. Kobayashi (Invited), “Nanoscale Silicon Devices Using Nanostructure Physics for VLSI Applications,” Fifth Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, Campus Innovation Center (Tokyo), p. 32 - 35, January, 2007.
- [363] S. Nino, J. Sakamoto, T. Mori, Y. Shibata K. Oguri, A Reconfigurable Java Environment for Embedded Systems, IEEE Symposium on Low-Power and High-Speed Chips (Cool Chips IX) p. 189, Apr. 2006.
- [364] M. Miyata, H. Tsuchiya, Y. Shibata, K. Oguri, An Implementation Technique of Multi-cycled Arithmetic Functions for a Dynamically Reconfigurable Processor, International Conference on Field-Programmable Logic and Applications, pp. 689-692, Aug. 2006.
- [365] Y. Shinohara, H. Tode and K. Murakami, “Poster! Flow- Based Buffer Management Scheme Suitable for Broadband Router” IEEE International Conference on Network Protocols (ICNP2006), Poster, pp. 7-8, Nov. 2006.
- [366] S. Chen and S. Wei, A High-Speed Realization of Chinese Remainder Theorem, Proceedings of the 2007 WSEAS International Conference on Circuits, Systems, Signal and Telecommunications, pp. 1-6, Queensland, Australia (Jan. 2007)
- [367] S. Wei, Binary Floating-Point Adder with the Signed-Digit Number Representations, Proceedings of the 2007 WSEAS International Conference on Computer Engineering and Applications, pp. 528-532, Queensland, Australia (Jan. 2007)
- [368] Z. Liang, W. L. Huang, J. Pan, Y. Inoue, “A Low-Power High-Speed Rail-to-Rail Class-B Buffer Amplifier for LCD Column Driver,” 2006 IEEE International Analog VLSI Workshop, Hangzhou, China, Nov, 2006.
- [369] J. Pan and Y. Inoue, “A Sub-1-V Low-Voltage Low-Power Voltage Reference With a Back-Gate Connection MOSFET,” ICCAS06, pp. 2314-2318, June 25-28, 2006, Guilin.
- [370] K. Kiyoyama, M. Onoda, Y. Tanaka, “A Low Current Consumption Delta-Sigma Modulator for Body-implanted Chip,” pp. 4763-4766, Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS'06), (2006).

3. 国内学会, 研究会等

- [1] 升井義博, 吉田毅, 佐々木守, 岩田穆, “超低電圧動作・低雑音 CMOS 増幅回路の設計法,” VDEC デザイナーフォーラム, 2006年9月.
- [2] 岩田穆, 吉田毅, “低電圧・低雑音バイオセンサー回路技術(招待講演),” 電子情報通信学会 信学技報, ICD2006-65, pp. 29-34, 2006年7月.
- [3] 升井義博, 吉田毅, 佐々木守, 岩田穆, “低電圧動作・低雑音 CMOS 増幅回路の設計法,” 電子情報通信学会 信学技報, ICD2006-66, pp. 35-40, 2006年7月.
- [4] Y. K. Kim, M. Ikeda, and K. Asada, “Sensitivity of CMOS Image Sensor and Scaling,” IEICE Technical Committee on VLSI Design Technologies, pp. 2-6, Sep. 2006 (in Japanese).
- [5] T. Kazama, M. Ikeda, and K. Asada, “Study on Active Substrate Noise Cancelling Technique using Power Line di/dt Detector,” IEICE Technical Report, vol. 106, no. 468, ICD2006-172, pp. 7-12, Jan. 2007. (in Japanese)
- [6] T. Kazama, T. Nakura, M. Ikeda, and K. Asada, “Active Substrate Noise Cancelling Method using Multiple di/dt Detectors,” in Proc. of IEICE Society Conference, C-12-22, p. 83, Sep. 2006. (in Japanese)
- [7] Y. Yachide, M. Ikeda, and K. Asada, “Realization of Real-Time High-Accuracy Multiple-Viewpoint 3-D Imaging System,” in Proc. of IEICE Society Conference 2006, A-1-17, p. 17, Sep. 2006. (in Japanese)
- [8] 曹, 佐々木, 池田, 浅田, “低EMI自己同期高速伝送インターフェイス,” IEICE General Conference, A-1-11, March 2007.
- [9] Z. Liang, M. Ikeda, and K. Asada, “A Monte-Carlo Analysis of static CMOS and Dual-Rail

PLA for Sub-100nm Parameter Variations”
IEICE General Conference, A-3-12, March 2007.

- [10] 岩下, 小室, 石川, “画像モーメントの抽出に特化した高分解能型ビジョンチップ,” 映像情報メディア学会情報センシング研究会, pp. 5-8, 映像情報メディア学会技術報告(2007)
- [11] 定本, 大曾根, 森下, 小椋, 松田, 岩田, “MOS型定電流回路の設計・試作,” pp. 348, 平成18年度電気・情報関連学会中国支部連合大会
- [12] 前澤宏一, 大川洋平(名大), 岸本茂(名大), 水谷孝(名大), “高出力化に適した共鳴トンネルペア発振器,” 電子情報通信学会電子デバイス研究会(2007)
- [13] 亀谷直樹(名大), 岸本茂(名大), 前澤宏一, 水谷孝(名大), 赤松和弘(日鋳金属), 中田弘章(日鋳金属), “Fluidic Self-Assemblyを用いたAlNセラミック上InGaAs/AlAs共鳴トンネルダイオードの集積,” 電子情報通信学会2007年総合大会(2007)
- [14] 藤井, 今井, 中村, 南谷, “1-out-of-4符号を用いた低消費電力非同期式回路設計,” 電子情報通信学会技術研究報告ICD2006-82, pp. 19-24, Aug., 2006
- [15] 中司, “福岡知的クラスター研究所(FLEETS)におけるRFチップ試作,” 第10回電子情報通信学会シリコンアナログRF研究会(2006).
- [16] 河村慎吾, 松元隆博, 棚田嘉博, “実数値系列に対する被積分符号器の試作,” 第8回IEEE広島支部学生シンポジウム論文集, pp. 135-136(2006).
- [17] 久田竜也, 松藤信哉, 松元隆博, 棚田嘉博, 畔柳功芳, 末広直樹, “近似同期CDMA方式の誤り特性の検討,” 電子情報通信学会技術研究報告, WBS2006-83, pp. 7-10(2007).
- [18] 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “サブスレッショルドMOSFETのためのスイッチトキャパシタ型DC-DCコンバータ,” 第19回回路とシステム軽井沢ワークショップ, pp. 405-410, (軽井沢), 2006年4月.
- [19] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “MOSFETのサブスレッショルド特性を利用したスマート温度センサLSIの検討,” 電子情報通信学会集積回路研究会, (静岡), 2006年7月.
- [20] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “サブスレッショルドMOSを利用したスマート温度センサLSI,” 電子情報通信学会ソサイエティ大会, (金沢), 2006年9月.
- [21] 萩原 淳史, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “温度検出スイッチ回路のしきい温度解析,” 電子情報通信学会ソサイエティ大会, (金沢), 2006年9月.
- [22] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “広範囲な活性化エネルギーに適応可能なCMOS品質劣化モニタセンサLSI,” 電子情報通信学会集積回路研究会, (札幌), 2006年8月.
- [23] 萩原 淳史, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “サブスレッショルドMOSFETを用いた温度検出スイッチ回路,” 電子情報通信学会集積回路研究会, (札幌), 2006年8月.
- [24] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “極低消費電力CMOSインテリジェント温度センサLSI,” 第10回システムLSIワークショップ, (北九州), 2006年11月.
- [25] 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “磁束量子回路によるスパイクニューロン回路とその応用,” 電子情報通信学会電子デバイス/シリコン材料・デバイス研究会, (札幌), 2007年2月.
- [26] 小川 太一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “サブスレッショルドMOS回路によるしきい論理ゲート,” 電子情報通信学会総合大会, (名古屋), 2007年3月.
- [27] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “MOSFETのサブスレッショルド特性を利用したPTAT電流生成用フローティング電圧源,” 電子情報通信学会総合大会, (名古屋), 2007年3月.
- [28] 吉井 一馬, 浅井 哲也, 廣瀬 哲也, 雨宮 好仁, “サブスレッショルドLSIのための基準電流源回路,” 電子情報通信学会総合大会, (名古屋), 2007年3月.
- [29] 木下憲昭, 田井野徹, 明連広昭, 高田進, “単一磁束量子論理ゲート設計における上部・下部グラウンド層の効果,” 電子情報通信学会2006ソサイエティ大会 C-8-3.
- [30] 吉澤 有, 木下憲昭, 田井野 徹, 明連広昭, 高田進, “SFQ論理回路における上部・下部グラウンド層のシールド効果,” 電子情報通信学会2007総合大会 C-8-3.
- [31] 原彰宏, 増田健太郎, 浜本隆之, “動きボケを抑圧する広ダイナミックレンジイメージセンサ,” 信学技報, vol. 106, no. 189, pp. 97-100(2006)
- [32] 鈴木史継, 浜本隆之, “被写体の明るさに合わせて自由度の高い入出力特性を実現する広ダイナミックレンジイメージセンサ,” 第1回イメージメディアクウォリティとその応用ワークショップ, 4pages(2006)
- [33] 土井俊輔, 浜本隆之, “可変蓄積時間イメージセンサによる広ダイナミックレンジ撮像,” 第1回イメージメディアクウォリティとその応用ワークショップ, 5pages(2006)
- [34] 柳原悠一, 今井功, 浜本隆之, “時空間相関を用い

- た動画像圧縮イメージセンサの提案とFPGAを用いたプロトタイプの構築,” 映情学技報, vol. 30, no. 54, pp. 13-16(2006).
- [35] 樽木久征, 大野英, 小野文枝, 浜本隆之, 佐々木朋詩, 白井稔人, 坂井正善, “変調光を用いた高精度物体検出のためのスマートイメージセンサの検討”, Image Media Processing Symposium (IMPS06), I6-05, pp. 113-114(2006).
- [36] 鈴木史継, 浜本隆之, “体の明るさ分布に適応する可変蓄積時間イメージセンサ,” 映情学技報, vol. 31, no. 3, pp. 41-44(2007).
- [37] 杉田俊超, 吉田崇, 浜本隆之, 児玉和也, “速度フィルタリング機能を有する高速2次元動き検出イメージセンサ,” 映情学技報, vol. 31, no. 3, pp. 45-48(2007).
- [38] 樽木久征, 大野英, 小野文枝, 浜本隆之, 佐々木朋詩, 白井稔人, 坂井正善, “照明変化の影響を抑制した物体検出用イメージセンサ,” 映情学技報, vol. 31, no. 3, pp. 49-52(2007).
- [39] 井出賢二, 川原隆輔, 浜本隆之, “8眼全周撮像システムを用いた動物体追跡,” 2006映像情報メディア学会年次大会, 5-4, 2pages(2006).
- [40] 柳原悠一, 今井功, 浜本隆之, “動画像圧縮イメージセンサのリアルタイム再構成とエッジ情報を用いたフレーム内予測,” 2006映像情報メディア学会年次大会, 16-9, 2pages(2006).
- [41] 片岡, 中西, 山下, 中島, “VLIW型命令キューを持つOROCHIの命令スケジューリング機構,” 情処研報, 2007-ARC-172, pp. 25-30, 2007.
- [42] 間所峻洋, 小林良太郎, 島田俊夫, “パイプラインステージ統合のオンチップ制御機構,” 情報処理学会研究報告 2007-ARC-172, pp. 37-42(2007).
- [43] 加藤, 難波, 伊藤, “マスタとスレーブのスキャンパスによるテスト容易化設計法,” 信学技報, FIIS, Mar., 2007.
- [44] 加藤, 難波, 伊藤, “2線論理回路の遅延故障テスト容易化設計法,” 信学技報, FIIS, Mar., 2007.
- [45] 田中 寿, 淡野 公一, 吉富 裕, 村尾 健次, 石塚 興彦, “セルラーニューラルネットワークのLSI化のための低消費電力乗算器の設計,” 多値技報, Vol. MVL-07-2, No. 1, 2007年1月.
- [46] 吉富 裕, 田中 寿, 淡野 公一, 田村 宏樹, 外山 貴子, “MOSFETの弱反転領域を用いた算術演算回路の構成,” 電子情報通信学会九州支部学生会講演会講演論文集, Vol. 14, pp. 12, 2006年9月.
- [47] 川畑 里枝, 田中 寿, 小森 雅和, 淡野 公一, “MOSFETの線形領域を用いた積和演算回路の設計,” 電子情報通信学会九州支部学生会講演会講演論文集, Vol. 14, pp. 21, 2006年9月.
- [48] 長友 寛史, 田中 寿, 小森 雅和, 淡野 公一, “MOSFETのバックゲートを入力端子とする回路設計の検討,” 電子情報通信学会九州支部学生会講演会講演論文集, Vol. 14, pp. 97, 2006年9月.
- [49] 武田, 竹中, レイバン, 金間, 宋, バルトン, 中野, “DBR型MMI-BLDの動的全光フリップ・フロップ動作,” 第67回応用物理学会学術講演会, 1a-ZX-1, (2006)
- [50] 田上正治, 熊木武志, 幸野豊, 石崎雅勝, 小出哲士, マタウシュ ハンス ユルゲン, 行天隆幸, 野田英行, 堂坂勝己, 有本和民, “超並列SIMDプロセッサによる暗号化(AES)処理の一手法,” 2007年電子情報通信学会総合大会, C-12-9, p. 88(2007. 3).
- [51] 榎原尚吾, Ali Ahmadi, M. Anwarul Abedin, 田中裕己, Hans Juergen Mattausch, 小出哲士, “学習機能を実現する連想メモリのLSI設計,” 2007年電子情報通信学会総合大会, C-12-10, p. 89(2007. 3).
- [52] 岡崎啓太, 粟根和俊, 山岡功佑, 小出哲士, Hans Juergen Mattausch, 森本高志, 足立英和, “2次元ブロックスキャンを用いた画像分割LSIの性能評価,” 2007年電子情報通信学会総合大会, C-12-11, p. 90(2007. 3).
- [53] 才辻 誠, 神戸尚志, “C言語設計による音声認識システムの設計とその最適化,” 情報処理学会システムLSI設計技術研究会, 2006年10月.
- [54] 小田島賢和, 小西徹也, 神戸尚志, “C言語設計によるリードソロモン符号復号化回路の最適化,” 情報処理学会システムLSI設計技術研究会, 2006年10月.
- [55] 才辻 誠, 松野 裕之, 奥田 真如, 山田 晃久, 神戸尚志, “音声認識システムのハードウェア化,” 電子情報通信学会第19回回路とシステムワークショップ, pp. 205-210, 2006年4月.
- [56] 根岸 将史, “しきい電圧のばらつきに依存しないCMOS基準電流源回路の検討,” 信学技報, vol. 106, no. 111, CAS2006-3, pp. 13-18, 2006年6月.
- [57] 石原 昇, “速度飽和特性を利用したVddゲートバイアスRF-CMOS増幅回路,” 信学技報Vol. 106, No. 459, ED2006-201, pp. 7-12, 2007年1月.
- [58] 石原 昇, “光ファイバのモード分散補償を可能とするCMOS光送信/受信ICの設計,” 電気学会電子回路研究会資料, ECT-07-28, pp. 37-43, 2007年3月.
- [59] 小森雅晴, 内山裕陽, 武部博倫, 楠浦崇央, 前川忠彦, 小林和淑, “ダイヤモンドシールドを用いたガラスマイクロ・ナノインプリントの加工法の研

究,” pp. 29-30, vol. no., 第6回生産加工・工作機械部門講演会講演論文集(2006)

- [60] 関 良平, 土谷 亮, 小野寺 秀俊, “将来の微細プロセスにおけるDVSとPower Gatingの比較,” pp. 56, 電子情報通信学会ソサイエティ大会(2006)
- [61] 小林和淑, “微細プロセスを用いたFPGA設計手法,” pp. 35-40, vol. 106, no. 246, 信学技法リコンフィギャラブルシステム(2006)
- [62] 福岡孝之, 土谷亮, 小野寺秀俊, “トランジスタと配線構造のばらつきを考慮した遅延時間のワーストケース解析,” pp. 13-18, 情報処理学会 DA シンポジウム論文集(2006)
- [63] 尾形幸亮, 小谷学, 香月和也, 小林和淑, 小野寺秀俊, “FPGAのチップ内ばらつきを利用した再配置による高速化の検討,” pp. 19-24, vol. 106, no. 50, 信学技法リコンフィギャラブルシステム(2006)
- [64] 久保木 猛, 土谷 亮, 小野寺 秀俊, “出力インピーダンスの調整による高速信号伝送用CMLドライバの低消費電力設計,” pp. 387-392, 第19回 回路とシステム軽井沢ワークショップ(2006)
- [65] 土谷 亮, 小野寺 秀俊, “オンチップ長距離高速信号伝送の性能予測,” pp. 393-398, 第19回 回路とシステム軽井沢ワークショップ(2006)
- [66] 杉原 有理, 高務 祐哲, 小林 和淑, 小野寺 秀俊, “チップ内ばらつきを考慮したFPGA内配線モデルの検討,” pp. 547-552, 第19回 回路とシステム軽井沢ワークショップ(2006)
- [67] 小野寺 秀俊, “ばらつきを克服する設計技術,” pp. 565-570, 第19回 回路とシステム軽井沢ワークショップ(2006)
- [68] 横山, 張山, 亀山, “最適スケジューリングに基づく3眼ステレオビジョンVLSIプロセッサの構成,” pp. 55-60, 電子情報通信学会集積回路研究会(信学技報) ICD2006-153(2006)
- [69] 岡田, Md. Munirul Haque, 亀山, “電圧・電流制御に基づく低電力化を指向した多値リコンフィギャラブルVLSI,” pp. 57-61, 電子情報通信学会集積回路研究会(信学技報) ICD2006-50(2006)
- [70] 岡田, Md. Munirul Haque, 亀山, “シリーズゲーティングに基づく多値ソースカップルドロジックリコンフィギャラブルVLSIの構成,” p. 212, 2006年電気関係学会東北支部連合大会(2006)
- [71] 中谷, 張山, 亀山, “強調電体機能パスゲートを用いたマルチコンテキストFPGAのアーキテクチャ,” pp. 1-6, 電子情報通信学会集積回路研究会(信学技報) ICD2006-143(2006)
- [72] 小森山, 谷本, “CMOSインバータを用いた低電圧擬似全差動増幅器の設計,” 電気学会電子回路研

究会資料, ECT-06-52

- [73] 吉田, 谷本, “CMOSインバータを用いた擬似差動OTAにおける同相入力範囲の検討,” 電気学会電子回路研究会資料, ECT-06-53
- [74] 遠藤, 谷本, “3テールセル回路を用いた2乗回路の試作と測定,” 電気学会電子回路研究会資料, ECT-06-60
- [75] 野口紘希, 森田泰弘, 藤原英弘, 新居浩二, 川口博, 吉本雅彦, “しきい値電圧ばらつきを克服したDVS環境下における0.3V動作SRAMの開発,” 第10回システムLSIワークショップ ポスタセッション, 2006年11月.
- [76] 藤原英弘, 新居浩二, 宮越純一, 村地勇一郎, 森田泰弘, 川口博, 吉本雅彦, “ビット線電力を53%削減できる実時間動画画像処理応用2ポートSRAM,” 第10回システムLSIワークショップ ポスタセッション, 2006年11月.
- [77] 野口紘希, 森田泰弘, 藤原英弘, 川上健太郎, 宮越純一, 三上真司, 新居浩二, 川口博, 吉本雅彦, “しきい値電圧ばらつきを克服したDVS環境下における0.3V動作SRAMの開発,” 電子情報通信学会技術研究報告, ICD2006-106, Vol. 106, No. 206, pp. 155-160, 2006年8月.
- [78] 川上健太郎, 竹村淳, 黒田光彦, 川口博, 吉本雅彦, “消費電力を50%削減する動的電圧/周波数制御型H.264/AVC HDTVデコーダアーキテクチャ,” 信学技報, vol. 106, no. 92, ICD-2006-45, pp. 31-36, 2006年6月
- [79] 神山 真一, 泉 知論, 越智 裕之, 中村 行宏, “セルアレイ型自己再構成デバイスの設計検討のためのシミュレーション環境,” 第19回 回路とシステム(軽井沢)ワークショップ(於 軽井沢), pp. 571-576, 2006年4月.
- [80] 廣本 正之, 神山 真一, 中原 健太郎, 筒井 弘, 越智 裕之, 中村 行宏, “自己再構成アーキテクチャ評価検討のための合成ツール,” 情報処理学会DAシンポジウム2006(於 静岡県 遠鉄ホテルエンパイア), 2006年7月.
- [81] 宮本 龍介, 劉 載勳, 筒井 弘, 中村 行宏, “可変ウィンドウステレオマッチングプロセッサのアーキテクチャ,” 第19回 回路とシステム(軽井沢)ワークショップ(於 軽井沢), pp. 165-170, 2006年4月.
- [82] 森田佳宏, 浅井秀樹, “電圧制御発振器の動作モデルの自動抽出,” 電子情報通信学会2007年総合大会(2007).
- [83] 渡邊岳洋, 浅井秀樹, “電源電圧変動を考慮したVerilog-AによるVCOの動作モデリング,” 電子情報通信学会2007年総合大会(2007).

- [84] 森永剛, 浅井秀樹, “低ジッタ, 高速ロックタイムを目的としたPLLの動作レベルモデルによる最適仕様決定手法,” 電子情報通信学会2007年総合大会(2007).
- [85] 三野, 河合, 西, “クロスバとアービタの融合による高効率スイッチアーキテクチャ,” pp. 61-66, 電子情報通信学会技術研究報告CPSY2006-23 Vol. 106, No. 199(2006)
- [86] 木原, 金, 後藤, 中村, 清水, 松岡, 谷口, “FD-SOI CMOSデバイスを用いた低電圧動作低雑音増幅器の設計,” 電気学会電子回路研究会, 2006年6月22日, pp. 11-16.
- [87] 井田, 田中, 松岡, 谷口, “Adaptive Biasingを用いた低電源電圧・省電力オペアンプ,” 電子情報通信学会ソサイエティ大会, C-12-10, 2006年9月20日.
- [88] 下ノ村, 八木, “視覚パターンの方位と空間周波数に選択性をもつアナログ集積視覚センサ,” pp. 66-71, 第23回センシングフォーラム予稿集(2006).
- [89] 生田目, 守屋, 宇佐美, 小林, 水柿, “2次ステップを利用するジョセフソン電圧増倍回路,” 信学技報SCE2006-27(2006)
- [90] 柏竜太, 守屋雅隆, 宇佐美興一, 小林忠行, 和田光司, 安藤芳晃, 陳健, 水柿義直, “超伝導シールド層の接地位置の違いによる相互インダクタンスの変化,” p. 39, 2007年電子情報通信学会総合大会(2007).
- [91] 中田光貴, 上田和宏, “動きベクトル検出回路の低消費電力化の検討,” p. 122, 電子情報通信学会東京支部学生会講演論文集(2007).
- [92] 小笠原泰弘, 橋本昌宜, 尾上孝雄, “LSI配線における容量性, 誘導性クロストークノイズの定量的将来予測,” 第19回回路とシステム軽井沢ワークショップ, pp. 5-10, (Apr. 2006).
- [93] 小笠原泰弘, 橋本昌宜, 尾上孝雄, “90nmグローバル配線における誘導性クロストークノイズによる遅延変動の実測,” 信学技報 CPM2006-131, ICD2006-173, pp. 13-18, (Jan. 2007).
- [94] 小笠原泰弘, 榎並孝司, 橋本昌宜, 佐藤高史, 尾上孝雄, “電源ノイズによる遅延変動の測定と電源ノイズを再現するフルチップシミュレーション手法,” 信学技報 CPM2006-132, ICD2006-174, pp. 19-23, (Jan. 2007).
- [95] 榎並孝司, 橋本昌宜, 尾上孝雄, “主成分分析による電源電圧変動の統計的モデル化手法,” 情報処理学会DAシンポジウム, pp. 205-210, (Jul. 2006).
- [96] 新開健一, 橋本昌宜, 黒川敦, 尾上孝雄, “電流変動に着目した広範囲な製造・環境ばらつき対応ゲート遅延モデル,” 第19回 回路とシステム(軽井沢)ワークショップ, pp. 559-564, (Apr. 2006).
- [97] 新開健一, 橋本昌宜, 尾上孝雄, “短距離ブロック内配線の自己発熱問題の将来予測,” 2006年電子情報通信学会ソサイエティ大会講演論文集, A-3-14, (Sep. 2006).
- [98] 阿部慎也, 橋本昌宜, 尾上孝雄, “メッシュ型クロック分配網のスキュー評価,” 電子情報通信学会総合大会, A-3-5(Mar. 2007).
- [99] 二宮進有, 橋本昌宜, “空間的相関を考慮したSSTAにおける領域の分割数と精度,” 電子情報通信学会総合大会, A-3-1, (Mar. 2007).
- [100] 濱本浩一, 橋本昌宜, 密山幸男, 尾上孝雄, “低電圧回路向け基板電位制御レイアウト方式の面積効率評価,” 電子情報通信学会総合大会, A-3-6, (Mar. 2007).
- [101] 更田裕司, 橋本昌宜, 密山幸男, 尾上孝雄, “加算器を用いたsubthreshold回路の設計指針の検討,” 電子情報通信学会総合大会, A-3-17, (Mar. 2007).
- [102] Siriporn Jangsombatsiri, 橋本昌宜, 土谷亮, Haikun Zhu, Chun-Kuan Cheng, “シヤントコンダクタンスを挿入したオンチップ伝送線路のアイパターン評価,” 電子情報通信学会総合大会, A-3-9, (Mar. 2007).
- [103] 向井一馬, 吉野友崇, 江副祐一郎, 藤本龍一, 山崎典子, 満田和久, 他, “TES型X線マイクロカロリメータ用の吸収体の開発,” 日本天文学会秋季年会(2006)
- [104] 金子, 秋田, 北川, “中間調表示向けの微小画素マイクロディスプレイ,” 映像情報メディア学会技術報告, Vol. 30, No. 33, pp. 9-12(2006)
- [105] 牧野, 秋田, 北川, “特定小電力無線通信用ICにおけるFractional-N型PLLのための $\Delta\Sigma$ 変調器の開発,” 平成18年度電気関係学会北陸支部連合大会, D-5(2006)
- [106] 早瀬, 秋田, 北川, “MIMOを用いたユビキタスセンサネットワークのためのチャネルパラメータ推定,” 電子情報通信学会ソサイエティ大会, B-7-41, p. 101(2006)
- [107] 高田, “回路設計, “その後の設計事例,” VDEC LSIデザイナーフォーラム2006(2006)
- [108] 高田, 中山, 泉, 新村, 北川, “相変化メモリを利用した不揮発性SRAMアーキテクチャの研究” IEICE 集積回路研究会(2006)
- [109] 高木, 秋田, 北川, “急速眼球運動対応の視線検出機能を持つVision Chipの試作と評価,” 映像情報メディア学会技術報告, Vol. 30, No. 32, pp. 17-20(2006)

- [110] Yoshio MITA, Kenichiro Hirose, Masanori Kubota, et Tadashi Shibata, "Integration du Dispositif Electronique Actif en MicroStructure Tri-Dimensionnel (in French)," Journee Scientifique Francophone 2006, Takeda Hall, 1 Decembre, Tokyo(2006)
- [111] Hamid Noori, Farhad Mehdipour, Kazuaki Murakami, Koji Inoue, and Morteza SahebZamani, "A Reconfigurable Functional Unit for Adaptable Custom Instructions," IEICE Technical Report, ICD2006-52, pp. 69-74, Jun. 2006.
- [112] Hamid Noori, Farhad Mehdipour, Kouji Inoue, Kzuaki Murakami, and Maziar Goudarzi, "Custom Instructions With Multiple Exits! Generation and Execution," IPSJ SIG Technical Report, 2007-ARC-171, 2007-EMB-3, pp. 109-114, Jan. 2007.
- [113] 萩原洋介, 永山 卓, 小林伸彰, 榎本忠儀, "低消費電力・高速90nm-CMOSクロックドライバ," 信学技報, ICD2006-94, pp. 87-92, 2006年8月17日.
- [114] 萩原洋介, 小林伸彰, 榎本忠儀, "貫通電流の振る舞いを明らかにして, サブナノCMOSの高速化・低電力化を達成!," 第10回システムLSIワークショップ, 2006年11月28日.
- [115] 小林伸彰, 榎本忠儀, "ブロックマッチングの停止条件を適応的に設定する高速動きベクトル検出アルゴリズムの開発," 信学技報, ICD2006-200, pp. 19-24, 2007年3月7日.
- [116] 石川雄悟, 金子達也, 岩成武司, 仲山拓顕, 筒井俊博, 萩原洋介, 小林伸彰, 榎本忠儀, "低電力90-nm CMOS動きベクトル検出プロセッサの開発," 信学技報, ICD2006-201, pp. 25-30, 2007年3月7日.
- [117] 岩成武司, 小林伸彰, 榎本忠儀, "低電力90-nm CMOS SRAMの開発," 信学技報, ICD2006-216, pp. 37-42, 2007年3月8日.
- [118] 萩原洋介, 永山 卓, 小林伸彰, 榎本忠儀, "低電力・高速90nm-CMOSクロック回路の開発," 信学技報, ICD2006-219, pp. 55-60, 2007年3月8日.
- [119] 筒井俊博, 石川雄悟, 金子達也, 岩成武司, 仲山拓顕, 萩原洋介, 小林伸彰, 榎本忠儀, "90-nm CMOS動きベクトル検出回路の低電力化," 信学総合大会講演論文集, C-12-5, 2007年3月21日.
- [120] 仲山拓顕, 榎本忠儀, "低停止条件を適応的に設定する高速動きベクトル検出アルゴリズムと動きベクトル検出回路への適応," 信学総合大会講演論文集, C-12-6, 2007年3月21日.
- [121] 貞方 毅, 松永 裕介, "マルチファンクション演算器を考慮した演算のチェイニング手法," 第19回回路とシステム軽井沢ワークショップ, pp. 601-606, Apr. 2006.
- [122] 中村 隆二 and 松永 裕介, "LUT型FPGAを対象とした消費電力および遅延の見積もり手法について," 電子情報通信学会技術研究報告, VLD2006-72, DC2006-59, pp. 1-6, Nov. 2006.
- [123] 小島, 中島, "OROCHI評価用集中命令ウィンドウ型スーパースカラの設計," 情処研報, 2006-ARC-170, pp. 61-66, Nov. (2006)
- [124] 片岡, 中西, 山下, 中島, "VLIW型命令キューを持つOROCHIの命令スケジューリング機構," 情処研報, 2007-ARC-172, pp. 25-30, Mar. (2007)
- [125] 本多秀章, 村松正吾, 菊池久和, "EMアルゴリズムを用いた混合正規分布推定ハードウェアの実装," 平成18年度電子情報通信学会信越支部大会, 1A-1 (2006)
- [126] 本多秀章, 村松正吾, 菊池久和, "EMアルゴリズムを用いた混合正規分布推定モジュールのLSIアーキテクチャ," 第11回映像メディア処理シンポジウム, I2-17(2006)
- [127] 本多秀章, 村松正吾, 菊池久和, "EMアルゴリズムを用いた混合正規分布推定器のLSIアーキテクチャ," 第21回信号処理シンポジウム, A9-1(2006)
- [128] Innovative Ubiquitous Cryptography and Sophisticated Implementation, " M. Fukase and T. Sato, Proc. of ISCIT2006. pp. W4E-q-q-W4E-1-6.
- [129] 杉本, 松田, 岩田, 小幡, "小型加速度センサ用LSIの設計"
- [130] 宮崎, 岩田, 松田, 田村, 廣川, 織田, "スイッチング電源制御用Duty可変回路の設計"
- [131] 三浦和仁, 佐々木健太, 井上浩, "90度移相器の設計とシミュレーション," 計測自動制御学会東北支部第230回研究集会, 230-11, Jul. 2006.
- [132] 佐々木健太, 井上浩, "アナログ形PLLの設計と検討," 平成18年度電気関係学会東北支部連合大会講演論文集, 2I-03, p. 343, Sep. 2006.
- [133] 佐々木健太, 井上浩, "VCOの設計とその応用に関する検討," 平成19年東北地区若手研究者研究発表会講演論文集, YS-5-17, pp. 33-34, Mar. 2007.
- [134] S. Y. Moon, Y. Morisaki, S. Yamada, Y. Furukawa, A. Wakahara and H. Yonezu, "Fabrication of Elemental Devices on the Si/III-V-N Alloys/Si Structure for Optoelectronic Integrated Circuits," 25th Electronic Materials Symposium, Extended Abstracts of the 25th Electronic Materials Symposium, II, pp. 230-231,

- (2006)
- [135] 太田, 森崎, 文, 石地, 古川, 米津, 若原, “Si/III-V-N 光電子集積回路に向けた MOSFET および LED の作製,” 信学技報, ED2006-33, pp. 73-78(2006).
- [136] 川島裕崇, 高木直史, 高木一義, “配線層数の乗算器の回路面積への影響について”, 信学技報 VLD2006-141
- [137] 小林克希, 高木直史, “拡張ユークリッド法に基づく GF(2^m) 上の乗算・逆元計算のための複合回路,” pp. 13-18, 信学技報 VLD2006-142
- [138] 福原雅朗, 吉田正廣, “ニューロン MOS インバータを用いたハミング距離検出回路の動作特性” 平成 18 年 電気学会 電子・情報・システム部門大会, GS1-7(2006).
- [139] 橋, “整数乗算器の消費電力と遅延について,” pp. 37-40, 電子情報通信学会 VLD 研究会, VLD2006-12
- [140] 水口, 味元, 橋, “木構造部分積加算回路をもつ乗算器の高速化に関する研究,” pp. 19-23, 電子情報通信学会 VLD 研究会, VLD2006-75
- [141] 川越, 橋, “On Chip Probe による LSI の信号伝播波形の測定,” pp. 37-41, 電子情報通信学会 VLD 研究会, VLD2006-78
- [142] 橋田拓志, 野口宏一朗, 永田真, “オンチップマルチチャンネル信号モニタを用いたチップ内部信号測定システムの構築,” 電子情報通信学会技術報告 ICD2006-64, pp. 23-28, 2006. 07.
- [143] 深澤光弥, 永田真, “ダイナミック電源雑音によるデジタル信号遅延変動の評価,” VDEC LSI デザイナーフォーラム 2006, 2005. 9. 28.
- [144] 福水洋平, 永田真, 瀧和男, “超多重 RFID システムの高位モデル化とバックエンド設計への応用,” 電子情報通信学会技術報告 ICD2006-114, pp. 29-34, 2006. 10.
- [145] 橋田拓志, 野口宏一朗, 永田真, “アナログ回路のオンチップ動作診断技術,” 第 10 回システム LSI ワークショップ予稿集, pp. 255-258 2006. 11.
- [146] 森本薫夫, 永田真, 瀧和男, “高速モードと低消費電力モードを有する 2 線式論理回路の設計手法,” 電子情報通信学会技術報告 VLD2006-60, pp. 53-58, 2006. 11.
- [147] 佐藤秀一, 橋田拓志, 野口宏一朗, 永田真, “オンチップマルチチャンネル信号モニタによるアナログ回路動作診断,” 電子情報通信学会技術報告 ICD2006-158, pp. 85-90, 2006. 12.
- [148] 檀上匠, 小坂大輔, 永田真, “ミックストシグナル回路における基板結合のオンチップモニタリング,” 電子情報通信学会技術報告 ICD2006-171, pp. 1-5, 2007. 01.
- [149] 深澤光弥, 永田真, “ダイナミック電源雑音波形を考慮したデジタル信号遅延変動解析,” 電子情報通信学会技術報告 ICD2006-175, pp. 25-29, 2007. 01.
- [150] 坂東要志, 野口宏一朗, 永田真, “サブ 100nm デジタルインテグリティのためのオンチップモニタ,” 電子情報通信学会技術報告 ICD2006-207, pp. 61-66, 2007. 03.
- [151] 井上, シン, 木村, “回路変更を用いたプロトタイプ設計検証の高速化手法,” pp. 113-118, 情処研報 SLDM129/4(2007).
- [152] 山口 誠一朗, 室山 真徳, 石原 亨, and 安浦 寛人, “オペランドのビット幅を考慮したソフトウェアレベル消費エネルギー削減手法,” 電子情報通信学会技術研究報告, Vol. 106, No. 31, pp. 13-18, May. 2006.
- [153] 山口 聖貴, Yuan Yang, 樽見 幸祐, 坂本 良太, 室山 真徳, 石原 亨, and 安浦 寛人, “90nm CMOS 回路における遅延および電力ばらつきの実測と解析,” 電子情報通信学会技術研究報告, VLD2006-13(2006-05), pp. 41-46, May. 2006.
- [154] 坂本 良太, 室山 真徳, 石原 亨, and 安浦 寛人, “CMOS 回路におけるタイミング歩留まり最大化のためのゲートサイジング手法の提案,” 電子情報通信学会技術研究報告, VLD2006-117, ICD2006-208(2007-03), pp. 67-72, Mar. 2007.
- [155] 山口 聖貴, Yuan Yang, 坂本 良太, 室山 真徳, 石原 亨, and 安浦 寛人, “90nm CMOS 回路における遅延・電力ばらつきへのゲート段数およびゲート幅依存性に関する考察,” 電子情報通信学会技術研究報告, VLD2006-118, ICD2006-209(2007-03), pp. 73-78, Mar. 2007.
- [156] 石飛 百合子, 石原 亨, 室山 真徳, 安浦 寛人, “プロセスベース組込みシステムの省エネルギー化を目的としたコード配置手法,” pp. S47-S48, 電子情報通信学会 2007 年総合大会 (2007)
- [157] 松村 忠幸, 室山 真徳, 石原 亨, 安浦 寛人, “プロセスばらつきを考慮した SRAM セルの低消費電力設計手法,” pp. S45-S46, 電子情報通信学会 2007 年総合大会 (2007)
- [158] 大山 裕一郎, 室山 真徳, 石原 亨, 佐藤 寿倫, 安浦 寛人, “低消費エネルギーのための適応型マルチパフォーマンスプロセッサ,” pp. 79, 電子情報通信学会 2007 年総合大会 (2007)
- [159] 下村, 奥山, 中村, 藤野, “ピアプログラマブルロジック VPEX を用いた固定秘密鍵埋め込み型 RSA 暗号回路の設計,” pp. 103-108, 信学技報,

VLD2006-137, ICD2006-28, (2007-03)

- [160] 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “サブスレッショルドMOSFETのためのスイッチトキャパシタ型DC-DCコンバータ,” 第19回 回路とシステム軽井沢ワークショップ, pp. 405-410, (軽井沢), 2006年4月.
- [161] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “MOSFETのサブスレッショルド特性を利用したスマート温度センサLSIの検討,” 電子情報通信学会 集積回路研究会, (静岡), 2006年7月.
- [162] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “サブスレッショルドMOSを利用したスマート温度センサLSI,” 電子情報通信学会ソサイエティ大会, (金沢), 2006年9月.
- [163] 萩原 淳史, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “温度検出スイッチ回路のしきい温度解析,” 電子情報通信学会ソサイエティ大会, (金沢), 2006年9月.
- [164] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “広範囲な活性化エネルギーに適應可能なCMOS品質劣化モニタセンサLSI,” 電子情報通信学会 集積回路研究会, (札幌), 2006年8月.
- [165] 萩原 淳史, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “サブスレッショルドMOSFETを用いた温度検出スイッチ回路,” 電子情報通信学会 集積回路研究会, (札幌), 2006年8月.
- [166] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “極低消費電力CMOSインテリジェント温度センサLSI,” 第10回システムLSIワークショップ, (北九州), 2006年11月.
- [167] 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “磁束量子回路によるスパイクニューロン回路とその応用,” 電子情報通信学会 電子デバイス/シリコン材料・デバイス研究会, (札幌), 2007年2月.
- [168] 小川 太一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “サブスレッショルドMOS回路によるしきい論理ゲート,” 電子情報通信学会総合大会, (名古屋), 2007年3月.
- [169] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, “MOSFETのサブスレッショルド特性を利用したPTAT電流生成用フローティング電圧源,” 電子情報通信学会総合大会, (名古屋), 2007年3月.
- [170] 吉井 一馬, 浅井 哲也, 廣瀬 哲也, 雨宮 好仁, “サブスレッショルドLSIのための基準電流源回路,” 電子情報通信学会総合大会, (名古屋), 2007年3月.
- [171] 廣瀬 哲也, “MOSFETのサブスレッショルド特性を利用したスマートセンサLSIの開拓,” VDEC
デザイナーフォーラム 2006(若手の会), (高知), 2006年9月.
- [172] 金永宰, 森江隆, “アナログ・デジタル融合回路方式による主観的輪郭生成のための画素並列型CMOS異方性拡散回路,” 電子情報通信学会ニューロコンピューティング研究会, NC2006-61, Vol. 106, No. 341, pp. 31-36, 2006年11月10日, 佐賀大学(佐賀).
- [173] 加藤直人, 森江隆, “大局的画像領域分割・抽出を行うアナログ・デジタル融合方式画素並列型LSIの設計,” 第10回システムLSIワークショップ, pp. 287-290, 2006年11月28日, (北九州).
- [174] 石川洋平, 西原望, 金子絢美, 深井澄夫, “高等専門学校におけるLSI設計教育について,” 日本産業技術教育学会第19回九州支部大会 D07, pp. 69-70, (2006)
- [175] 石川洋平, 深井澄夫, 相川正義, “自習システムを用いた集積回路設計教育プログラム” 日本産業技術教育学会九州支部論文集, 第14巻, pp. 45-51 (2006)
- [176] 吉田毅, 岩田穆, センサーの低雑音インタフェース技術(チュートリアル講演), 電子情報通信学会総合大会, ACT-2-3, 2007年3月.
- [177] チェ ソソタク, シニナト タツネマ, セ・オ ツ 安田 彰, ミスマッチの影響を低減したミックスモードカスケード $\Delta\Sigma$ DAC, 電子情報通信学会回路とシステム(軽井沢)ワークショップ2006, Apr. 2006.
- [178] 若山大樹, 全 真生, 寺田洋介, 山中洋介, 安田彰, $\Delta\Sigma$ 変調器を用いた位相比較器の提案, 電子回路研究会ECT-06-20, pp. 49-54, Jan. 2006.
- [179] 大久保明範, 緒方克哉, 榎本洋一, 安田 彰, 2次ノイズシェーピングを利用するD級増幅器のSNR改善に関する検討, 電子回路研究会ECT-06-21, pp. 55-60, Jan. 2006.
- [180] 倉田泰治, 市未史明, 藤田実, “信号の立上がり時間を考慮したLSI配線遅延時間式の提案と評価,” 電子情報通信学会 2006年ソサイエティ大会, 論文番号A-1-21, 2006年9月
- [181] 大畑宏文, 加藤正史, “アクティブノイズキャンセリングシステム用,” 電子情報通信学会 2006ソサイエティ大会 A-1-18
- [182] 朝見政広, 加藤正史, “スイッチトカレント回路におけるチャージインジェクション誤差補償技術の検討,” 電子情報通信学会 2006ソサイエティ大会 C-12-9
- [183] 加藤正史, 櫛田幸一郎, 荒井英輔, “広い電圧余裕を持つ低電圧スイッチトカレント $\Delta\Sigma$ 変調器,”

- 電子情報通信学会 2006 ソサイエティ大会 C-12-15
- [184] 小動物用マルチチャネル波形サンプリング型ASICの開発, 島添健次, Yeol Yeom, 高橋浩之 応用物理学会 2006
- [185] 全伸幸 他, “マイクロビームを用いたイメージング型超伝導転移端検出器の開発,” 平成18年度日本原子力学会秋の年会, 北海道大学, 2006年9月
- [186] 二河久子, 藤田薫, Prasit Siritiprussamee, 高橋浩之, 岸本俊二, 猪野隆, 豊川秀訓, 古坂道弘, “高計数率下での動作を目指した電荷積分型ファインピッチMSGCの開発” 日本原子力学会, 秋季大会, 北海道大学, 2006・9月
- [187] N. Zen et al., “Signal analysis of a small-pixel TES in a digital operation mode” Applied Superconductivity Conference Inc. (ASC2006), Seattle(USA), Aug. 27-Sep. 1, 2006
- [188] H. Niko, K. Fujita, S. Prasit, H. Takahashi, M. Nakazawa, “Study on a charge-integrating operation mode of M-MSGC towards very-fine pitch MSGC,” Symposium on Radiation Measurements and Applications, May 23-25(2006)
- [189] H. Takahashi, K. Nishi, S. Paes, H. Niko, K. Fujita, S. Prasit, M. Nakazawa, M. Ohno, S. Kishimoto, T. Ino, M. Furusaka, H. Toyokawa, “A New Spiral MSGC,” Symposium on Radiation Measurements and Applications, May 23-25(2006)
- [190] 二河久子, “Development of MSGC for Radiation Measurements and Applications” The 3rd International Symposium on Biomedical Systems Innovation, 11. 27-28, 2006, Tokyo
- [191] 小林, 石田, 益, “近距離無線通信を用いたバイオメディカルへの応用,” p. 6, 電子情報通信学会シリコンアナログRF研究会 Vol. RF2006-2(2006).
- [192] 小林, 石田, 岡田, 益, “バッテリーレスin vivo無線通信用センサモジュール回路の検討,” p. 82, 電子情報通信学会 ソサイエティ大会(2006).
- [193] 小林, 石田, 益, “バッテリーレスin vivo無線通信用PIM変調回路の設計,” VDECデザイナーフォーラム(2006).
- [194] 石田, 益, “生体情報モニタ用フィードフォワード・ハイパス $\Sigma\Delta$ ADC,” 電子情報通信学会 総合大会(2007).
- [195] 小林, 石田, 益, “再配線層を用いた生体内情報ワイヤレス通信用コイルの検討,” 電子情報通信学会 総合大会(2007).
- [196] 藤久, 岡田, 佐藤, 中山, 益, “MOSFETのリーク電流ばらつき測定のための回路検討,” システムLSIワークショップ, pp. 259-262, (2006).
- [197] 藤久, 上園, 萩原, 岡田, 佐藤, 中山, 益, “MOSFETのリーク電流ばらつき測定のための回路検討,” 電子情報通信学会 ソサイエティ大会, p. 66, (2006).
- [198] 上園, 佐藤, 益, “リングオシレータを用いる瞬時電圧降下測定手法の精度改善,” 電子情報通信学会 ソサイエティ大会, p. 67, (2006).
- [199] 萩原, 佐藤, 益, “高精度デバイスばらつき測定のための電源構造の設計,” 電子情報通信学会 ソサイエティ大会, p. 65, (2006).
- [200] 萩原, 上園, 佐藤, 益, “電源解析への相関係数利用の検討,” 電子情報通信学会 総合大会, (2007).
- [201] 天川 修平, 上園 巧, 佐藤 高史, 益 一哉, “非理想的な回路分割とセル占有率を考慮した配線長分布モデル,” 電子情報通信学会 総合大会, (2007).
- [202] 岡田, 川添, 菅原, 益, “リコンフィギュラブルRF CMOS無線集積回路技術,” 電子情報通信学会 回路とシステム軽井沢ワークショップ論文集, pp. 93-98, Apr. 2006.
- [203] 山内, 川添, 伊藤, 岡田, 益, “リコンフィギュラブル技術によるマルチスタンダード無線通信回路の研究,” 電子情報通信学会 ソフトウェア無線研究会, Vol. SR2006-21, pp. 51-58, July 2006.
- [204] 富, 伊藤, 木村, 岡田, 益, “オンチップ差動伝送線路のWD積による損失評価,” 2006年秋季 第67回 応用物理学会 学術講演会, 30a-ZN-6, Aug. 2006.
- [205] 岡田, 伊藤, 益, “性能指数に基づく配線技術評価 — 長距離配線における伝送線路配線の有効性 —,” 2006年秋季 第67回 応用物理学会 学術講演会, 30a-ZR-2, Aug. 2006.
- [206] 川添, 伊藤, 山内, 大橋, 福田, 岡田, 益, “リコンフィギュラブルRF技術によるマルチスタンダード無線通信回路の研究,” STARCシンポジウム, Sep. 2006.
- [207] 木村, 岡田, 益, “差動伝送線路を用いたオンチップバスの検討,” 電子情報通信学会 ソサイエティ大会, C-12-38, Sep. 2006.
- [208] 石井, 伊藤, 岡田, 益, “高速信号伝送に向けたCML型オンチップ差動伝送線路配線の検討,” 電子情報通信学会 ソサイエティ大会, C-12-37, Sep. 2006.
- [209] 金, 山内, 岡田, 佐藤, 益, “Si CMOSチップにおける右手・左手系伝送線路の検討,” 電子情報通信学会 ソサイエティ大会, C-12-36, Sep. 2006.
- [210] 伊藤, 菅原, 岡田, 益, “広帯域化回路を用いたCMOS広帯域電圧制御発振器の検討,” 電子情報

通信学会 ソサイエティ大会, C-12-30, Sep. 2006.

- [211] 山内, 岡田, 益, “小面積CMOS RF分布定数ミキサ,” 電子情報通信学会 ソサイエティ大会, C-12-27, Sep. 2006.
- [212] 川添, 岡田, 益, “可変インダクタを用いたチューナブル低雑音増幅器の検討,” 電子情報通信学会 ソサイエティ大会, C-12-26, Sep. 2006.
- [213] 福田, 川添, 岡田, 益, “容量帰還による広帯域低雑音増幅器の検討,” 電子情報通信学会 ソサイエティ大会, C-12-25, Sep. 2006.
- [214] 大橋, 山内, 木村, 伊藤, 岡田, 糸井, 佐藤, 伊藤, 山内, 益, “指向性アンテナを用いたパッケージ内無線通信,” 電子情報通信学会 ソサイエティ大会, A-3-18, Sep. 2006.
- [215] 富, 伊藤, 木村, 岡田, 益, “オンチップ差動伝送線路のWD積による損失の評価,” 電子情報通信学会 ソサイエティ大会, A-3-17, Sep. 2006.
- [216] 清田, 伊藤, 岡田, 佐藤, 益, “伝送線路を用いたオンチップ高速信号伝送回路の研究,” 電子情報通信学会 ソサイエティ大会, A-3-16, Sep. 2006.
- [217] 岡田, 伊藤, 益, “性能指数に基づくオンチップ伝送線路配線の有効性評価,” 電子情報通信学会 ソサイエティ大会, A-3-15, Sep. 2006.
- [218] 木村, 岡田, 益, “オンチップ伝送線路を用いた高速信号伝送の研究,” VDEC デザイナーフォーラム, Sep. 2006.
- [219] 益, 岡田, 伊藤, “Si CMOSにおけるオンチップ伝送線路配線技術,” 電子情報通信学会 電気・電子機器のEMCワークショップ, pp. 71-90, Nov. 2006.
- [220] 岡田, 伊藤, 川添, 伊藤, 益, “リコンフィギュラブルRF回路に向けた0.98-6.6GHz広帯域電圧制御発振器,” 電子情報通信学会 システムLSIワークショップ, pp. 311-314, Nov. 2006.
- [221] 岡田, 伊藤, 益, “リコンフィギュラブルRF回路に向けた0.98-6.6GHz広帯域VCO,” 電子情報通信学会シリコンアナログRF研究会, Vol. RF2006-3, p. 6, Nov. 2006.
- [222] 石井, 伊藤, 木村, 岡田, 益, “非対称Txを用いたオンチップ差動伝送線路配線,” 電子情報通信学会シリコンアナログRF研究会, Vol. RF2006-3, p. 4, Nov. 2006.
- [223] 岡田, 伊藤, 益, “性能指数に基づくオンチップ配線技術評価 — 長距離配線における伝送線路配線の有効性 —,” 電子情報通信学会 シリコン材料デバイス研究会, Feb. 2007.
- [224] 金, 伊藤, 岡田, 益, “Si CMOS プロセスによる右手・左手系伝送線路,” 電子情報通信学会 総合大

会, C-12C, March 2007.

- [225] 福田, 川添, 岡田, 益, “可変インダクタを用いたマルチバンド低雑音増幅器の検討,” 電子情報通信学会 総合大会, C-12C, March 2007.
- [226] 大橋, 伊藤, 菅原, 岡田, 益, “広帯域化回路を用いたCMOS LC型電圧制御発振器の検討,” 電子情報通信学会 総合大会, C-12C, March 2007.
- [227] 伊藤, 清田, 石井, 杉田, 岡田, 益, “90nm CMOSテクノロジーを利用した2.7mW/10GbpsオンチップLVDS型伝送線路配線,” 電子情報通信学会 総合大会, C-12C, March 2007.
- [228] 石井, 伊藤, 岡田, 益, “非対称Txを用いたオンチップ差動伝送線路配線におけるスケーリングの影響,” 電子情報通信学会 総合大会, A-3, March 2007.
- [229] 清水, 江崎, 四柳, 橋爪, “ダイナミック・ストップウォッチ回路のブロック分割による消費電力評価,” p. 76, 平成18年度電気関係学会四国支部連合大会.
- [230] 池, 四柳, 橋爪, “配線長制限を用いるスキランツリー構成法,” p. 86, 平成18年度電気関係学会四国支部連合大会.
- [231] 末永, 早川, 中島, “IDモデルのバースト発火への拡張とその集積回路化,” pp. 365-370, 第19回回路とシステム軽井沢ワークショップ予稿集(2006)
- [232] 前澤, “共鳴トンネルデバイス,” CT-1-7, 電子情報通信学会2007年総合大会(2007)
- [233] 堀内一央, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサのデータキャッシュ構成最適化手法,” 電子情報通信学会 第19回回路とシステム軽井沢ワークショップ論文集, pp. 583-588, Apr. 2006.
- [234] 大智輝, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “レジスタ分散・共有併用型アーキテクチャを対象としたフロアプランを考慮した高位合成手法,” 情報処理学会DAシンポジウム2006論文集, vol. 2006, no. 7, pp. 175-180, Jul. 2006.
- [235] 中山敬史, 戸川望, 柳澤政生, 大附辰夫 “連携処理を考慮したネットワークプロセッサ合成システム,” 情報処理学会DAシンポジウム2006論文集, vol. 2006, no. 7, pp. 61-66, Jul. 2006.
- [236] 高橋豊和, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫 “H. 264符号化向けDSPにおける動き予測演算器の設計,” 電子情報通信学会技術研究報告, VLD2006-23, pp. 13-18, Jun. 2006.
- [237] 山崎大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサの面積/遅延見積もり手法,” 電子情報通信学会技術研究報告,

- VLD2006-14, pp. 1-6, Jun. 2006.
- [238] 古宇田朋史, 小原俊逸, 史又華, 戸川望, 柳澤政生, 大附辰夫, “MPEG-4 形式符号化/複合化に対応した DSP 組み込み向け専用演算器の設計,” 情報処理学会組込みシステムシンポジウム 2006 論文集 (ESS2006) Vol. 2006, pp. 70-78, Oct. 2006.
- [239] 今井優太, 清水一範, 戸川望, 柳澤政生, 大附辰夫, “動的再構成可能なマルチレート対応 LDPC 符号復号器の実装,” 電子情報通信学会技術研究報告, RECONF2006-43, pp. 35-40, Nov. 2006.
- [240] 日浦敏宏, 小原俊逸, 史又華, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサのフォワーディングユニット最適化手法,” 電子情報通信学会技術研究報告, VLD2006-80, pp. 49-54, Nov. 2006.
- [241] 奈良竜太, 小原俊逸, 清水一範, 戸川望, 池永剛, 柳澤政生, 後藤敏, 大附辰夫, “楕円曲線暗号向け GF(2^m) 上の Digit-Serial 乗算器の設計,” 電子情報通信学会技術研究報告, VLD2006-89, pp. 25-30, Jan. 2007.
- [242] 堀内一央, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサ向けデータキャッシュ構成最適化システムとその評価,” 電子情報通信学会技術研究報告, VLD2006-122, pp. 19-24, Mar. 2007.
- [243] 繁田裕之, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “SIMD 型プロセッサコア設計におけるプロセッシングユニット最適化手法,” 電子情報通信学会技術研究報告, VLD2006-119, pp. 1-6, Mar. 2007.
- [244] 大東真崇, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “SIMD 型プロセッサコアを対象としたハードウェア/ソフトウェア分割フレームワーク,” 電子情報通信学会技術研究報告, VLD2006-120, pp. 7-12, Mar. 2007.
- [245] 元橋雅人, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “携帯機器向け MPEG-A Photo Player のメタデータ生成システムのハードウェア化に関する一考察,” 電子情報通信学会技術研究報告, VLD2006-145, pp. 31-36, Mar. 2007.
- [246] 森下陽平, 荒木純道, 細川嘉史, 安倍克明, 齊藤典昭, “縦並列構成ダイレクトサンプリングミキサの設計,” 信学技報, SR2006-24, July 2006.
- [247] 森下陽平, 荒木純道, 細川嘉史, 安倍克明, 齊藤典昭, “並列構成ダイレクトサンプリングミキサにおける等リプルフィルタ設計,” 信学技報, MW2006-82, Sept. 2006.
- [248] 森下陽平, 荒木純道, 細川嘉史, 安倍克明, 齊藤典昭, “単一初段アンプによる並列構成ダイレクトサンプリングミキサの設計,” 信学ソ大, C-2-30, Sept. 2006.
- [249] 遠藤 洋輝, 宮原 正也, 松澤 昭, “マルチビット型パイプライン型 ADC の検討,” 電子情報通信学会 シリコンアナログ RF 研究会 (RF), 京都, vol. RF2006-1, p. 3, May 2006.
- [250] Philipus Oh, Win Chaivipas, A. Matsuzawa, “Study on Full Digital Clock Data Recovery,” 電子情報通信学会 シリコンアナログ RF 研究会 (RF), 京都, vol. RF2006-1, p. 5, May 2006.
- [251] 笹井 重徳, 小島 貴志, 馬上 崇, 李 寧, 倉科 隆, 松澤 昭 “サンプリングミキサを用いたワンセグ放送用 tuner フロントエンドの研究,” 電子情報通信学会 ソフトウェア無線研究会 (SR), 神奈川, SR2006-26, vol. 106, no. SR-188, pp. 85-92, Jul. 2006.
- [252] 遠藤 洋輝, 宮原 正也, 松澤 昭 “マルチビット型パイプライン型 ADC の検討,” 電子情報通信学会 集積回路研究専門委員会, 静岡, ICD2006-63, pp. 17-22, Jul. 2006.
- [253] W. Chaivipas, P. Oh, and A. Matsuzawa, “Direct Reference Feed-Forward Compensation for Fast Settling All Digital Phase-Locked Loops,” 電子情報通信学会 シリコンアナログ RF 研究会 (RF), 東京, vol. RF2006-2, p. 4, Aug. 2006.
- [254] 宮原 正也, 倉科 隆, 松澤 昭 “パイプライン型 ADC の高性能化とスケラブル設計技術の開発,” VDEC デザイナーフォーラム 2006 (若手の会)
- [255] 笹井 重徳, 小島 貴志, 馬上 崇, 李 寧, 倉科 隆, 松澤 昭, “サンプリングミキサを用いたワンセグ放送用 tuner フロントエンドの研究,” 電子情報通信学会 シリコンアナログ RF 研究会 (RF), 福岡, vol. RF2006-3, p. 1, Nov. 2006.
- [256] 宮原 正也, 倉科 隆, 松澤 昭, “スイッチの ON 抵抗を考慮したパイプライン型 ADC の最適設計法の検討,” 電子情報通信学会 シリコンアナログ RF 研究会 (RF), 福岡, vol. RF2006-3, p. 2, Nov. 2006.
- [257] 倉科 隆, 鄭 明奎, 白 戴和, 張 義偉, 松澤 昭, “0.18 μ m CMOS の RF・アナログ特性評価,” 電子情報通信学会 シリコンアナログ RF 研究会 (RF), 東京, vol. RF2006-4, p. 2, Mar. 2007.
- [258] 西, 吉澤, 菅原, 宮永, “IEEE802.11n 規格に基づくマルチモード OFDM 復調回路の省面積化,” 電子情報通信学会 基礎境界ソサイエティ大会, A-20-13, pp. 211, Sep. 2006
- [259] 吉澤, 宮永, “動的可変語長を用いた OFDM 受信機の低消費電力化,” 電子情報通信学会総合大会, A-20-1, pp. 334, Mar. 2006.

[260] 久慈憲夫, “アナログ回路の故障パラメータ解法の検討” LSI テスティング シンポジウム/2006 会議録 pp. 223-228, 2006 年 11 月 8-10 日

[261] 後藤恭平, 高橋好明, 吉川信行, “低温 90 nm MOSFET の特性評価,” 2007 年春季 第 54 回応用物理学関係連合講演会, 27p-A-12, 青山学院大学, 2007 年 3 月.

[262] 河合宣彰, 吉川信行, “インダクタンス付加による Josephson Latching Driver の BER 低減効果の検討 II,” 2007 年春季 第 54 回応用物理学関係連合講演会, 27p-A-4, 青山学院大学, 2007 年 3 月.

[263] 山梨裕希, 朴 熙中, 吉川信行, 田中雅光, 岩崎真悟, 藤巻 朗, 高木直史, “単一磁束量子回路を用いた浮動小数点加算器の設計,” 2007 電子情報通信学会総合大会, C-8-10, 名城大学, 2007 年 3 月.

[264] 原 浩史, 吉川信行, “SFQ 回路を用いた FIFO Buffer の動作実証,” 2007 電子情報通信学会総合大会, C-8-8, 名城大学, 2007 年 3 月.

[265] 武富一博, 朴 熙中, 山梨裕希, 吉川信行, “SFQ 回路による FFT 変換回路用 バタフライ演算器の設計,” 2007 電子情報通信学会総合大会, C-8-7, 名城大学, 2007 年 3 月.

[266] 山田日登美, 生田浩康, 吉川信行, “断熱的パストランジスタ論理回路の検討・”, 2007 電子情報通信学会総合大会, A-1-5, 名城大学, 2007 年 3 月.

[267] 生田浩康, 山田日登美, 吉川信行, “大規模断熱的パストランジスタ論理回路の最適方法の検討”, 2007 電子情報通信学会総合大会, A-1-4, 名城大学, 2007 年 3 月.

[268] 朴 熙中, 山梨裕希, 吉川信行, “SFQ ビット・スライス・アダーの動作実証,” 2006 電子情報通信学会総合大会, C-8-14, 金沢大学, 2006 年 9 月.

[269] 信森祐扶, 吉川信行, “SFQ 回路を用いた FIFO Buffer の設計と試作,” 2006 電子情報通信学会総合大会, C-8-13, 金沢大学, 2006 年 9 月.

[270] 山田日登美, 吉川信行, “断熱的パストランジスタ論理回路の検討”, 2006 電子情報通信学会総合大会, A-1-23, 金沢大学, 2006 年 9 月.

[271] 河合宣彰, 吉川信行, “インダクタンス付加による Josephson Latching Driver の BER 低減効果の検証”, 2006 年秋季応用物理学学会学術講演会, 1a-F-11, 立命館大学, 2006 年 8 月.

[272] 朴熙中, 山梨裕希, 吉川信行, “SFQ 論理回路を用いた 4-b ビット・スライス・アダーの設計,” 電子情報通信学会超伝導エレクトロニクス研究会 SCE2006-32, 東京, 2007 年 1 月.

[273] 信森祐扶, 中宮和徳, 西海尚伸, 吉川信行, “完全非同期 SFQ マイクロプロセッサの試作,” 電子情報

通信学会超伝導エレクトロニクス研究会 SCE2006-13, 東京, 2006 年 7 月.

[274] 吉川信行, “Development of SFQ Digital Circuit Technology at YNU,” 日本学術振興会第 146 委員会“デジタル応用”分科会第 21 回分科会研究会,” 学士会館分館, 東京, 2006 年 4 月 22 日.

[275] Kazuhiro Takahashi, Hiroyuki Fujita, Hiroshi Toshiyoshi, Kazuhiro Suzuki, Hideyuki Funaki, and Kazuhiko Itaya, “Tunable Light Grating integrated with High-voltage Driver IC for Image Projection Display,” in Proc. 20th IEEE Int. Conf. on Micro Electro Mechanical Systems (MEMS 2007), Jan. 21-25, 2007, Kobe Portopia Hall and Kobe Portopia Hotel, Japan (TP28)

[276] 年吉 洋, 「プラスチック系 MEMS 技術による電子カラーピクセル」日本化学会 第 87 回春季年会, 2007 年 3 月 25 日～28 日, 関西大学千里山キャンパス (依頼講演, 2C3-32)

[277] 年吉 洋, 「マイクロメカトロニクスの画像ディスプレイ応用」日本機械学会 2006 年度年次大会 ワークショップ「最先端 NEMS・MEMS とその加工方法」, 2006. 09. 19, 熊本大学

[278] 年吉 洋, 「光ファイバ通信における MEMS 技術」電子情報通信学会 2006 年ソサエティ大会, 金沢大学角間キャンパス, 2006. 09. 21, C-3-49 (招待講演)

[279] 中田宗樹, 鄭 昌鎬, 諫本圭史, 藤田博之, 年吉洋, 「光ファイバ内視鏡用光駆動 MEMS スキャナシステム」電気学会 マイクロマシン・センサシステム研究会, 平成 18 年 7 月 27 日, 立命館大学草津キャンパス

[280] 泰井祐輔, 肥後昭男, 藤田博之, 年吉 洋, 「プラスチック MEMS 技術を用いた透過型カラーディスプレイ」平成 18 年度 電気学会センサ・マイクロマシン準部門総合研究会, 平成 18 年 5 月 15 日～16 日, 東京大学生産技術研究所

[281] 重松路威, 肥後昭男, 年吉 洋, 藤田博之, “大面積 MEMS に向けた黑板型リライタブルディスプレイ”平成 18 年度 電気学会センサ・マイクロマシン準部門総合研究会, 平成 18 年 5 月 15 日～16 日, 東京大学生産技術研究所

[282] 肥後昭男, 藤田博之, 年吉 洋, 「シリコン細線導波路と MEMS 構造を融合した光変調素子の作製方法」平成 18 年度 電気学会センサ・マイクロマシン準部門総合研究会, 平成 18 年 5 月 15 日～16 日, 東京大学生産技術研究所

[283] 権 鎬楠, 高橋一浩, 藤田博之, 李 金?, 年吉 洋, “9x9 Optical Cross Connect utilizing Silicon

- Lens Scanners with Spider-leg Actuators,”平成18年度 電気学会センサ・マイクロマシン準部門総合研究会,平成18年5月15日～16日,東京大学生産技術研究所
- [284] 高橋一浩,三田 信,藤田博之,年吉 洋,「電極構造・弾性体のレイヤー分離による静電歯型XYステージの高密度化」平成18年度 電気学会センサ・マイクロマシン準部門総合研究会,平成18年5月15日～16日,東京大学生産技術研究所
- [285] W. Sun, K. Yamashita, B. Charlot, H. Fujita, and H. Toshiyoshi, “A MEMS Vacuum Tube Resonator with Field-Emission Type Pick-up Mechanism,” in Proc. The 3rd Japan-Taiwan Workshop on Future Frequency Control Devices, March 8-9, 2007, Keyaki Hall, Chiba University, Japan, pp. 93-96
- [286] 年吉 洋,「プラスチックフィルムとMEMS技術を用いた透過型フレキシブルカラーディスプレイ」高分子学会 第40回プラスチックフィルム研究会,2007年3月5日～6日,東京工業大学百年記念館フェライト会議室
- [287] 年吉 洋,「光ファイバMEMSの医療機器への応用」第1回台湾工業技術研究院～東京大学技術交流検討会,台湾工業技術研究院(ITRI),2006. 11. 23
- [288] 年吉 洋,「光MEMSの医療工学分野への応用」平成18年度神奈川科学技術アカデミー 科学技術セミナー「光エレクトロニクスとMEMS技術の融合」(平成18年度文部科学省科学研究費補助金・研究成果公開促進費),2006. 11. 10,神奈川サイエンスパークホール
- [289] 年吉 洋,「光MEMS技術の集積化と大面積化」マイクロマシン・ナノテクシンポジウム,2006. 11. 08,東京国際フォーラム
- [290] 年吉 洋,「東大生産研における光学およびRF応用MEMSの取り組み」次世代センサ協議会 第46回研究会,東京大学生産技術研究所,2006年6月2日
- [291] 日高,渡邊,小林,“光再構成型ゲートアレイの製造不良耐性,”電子情報通信学会技術研究報告,RECONF2006-20, pp. 1-5, 2006.
- [292] 日高,渡邊,小林,“差分光再構成型ゲートアレイの再構成時間・消費電力の最適化手法,”電子情報通信学会技術研究報告,RECONF2006-21, pp. 7-11, 2006.
- [293] 中田,渡邊,小林,“液晶ホログラムを用いた光再構成型ゲートアレイ,”電子情報通信学会技術研究報告,RECONF2006-22, pp. 13-16, 2006.
- [294] 深川,渡邊,小林,“ダイナミック光再構成型ゲートアレイ,”第11回計測自動制御学会九州支部講義会予稿,103B-5, 2006.
- [295] 後藤,渡邊,小林,“ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ,”第11回計測自動制御学会九州支部講義会予稿,103B-6, 2006.
- [296] 櫻井,小林,渡邊,“動的再構成システム開発環境,”第11回計測自動制御学会九州支部講義会予稿,204A-4, 2006.
- [297] 田上正治,熊木武志,幸野豊,石崎雅勝,小出哲士,マウシュ ハンス ユルゲン,行天隆幸,野田英行,堂坂勝己,有本和民,“超並列SIMDプロセッサによる暗号化(AES)処理の一手法,”2007年電子情報通信学会総合大会,C-12-9, p. 88(2007. 3).
- [298] 榊原尚吾, Ali Ahmadi, M. Anwarul Abedin, 田中裕己, Hans Juergen Mattausch, 小出哲士,“学習機能を実現する連想メモリのLSI設計,”2007年電子情報通信学会総合大会,C-12-10, p. 89(2007. 3).
- [299] 岡崎啓太,粟根和俊,山岡功佑,小出哲士, Hans Juergen Mattausch, 森本高志,足立英和,“2次元ブロックスキャンを用いた画像分割LSIの性能評価,”2007年電子情報通信学会総合大会,C-12-11, p. 90(2007. 3).
- [300] 高橋洋介,高橋篤司,クロックスケジューリングを用いたLSIのピーク電力削減手法,電子情報通信学会技術報告書(VLD2006-35), Vol. 106, No. 254, pp. 7-12, 2006.
- [301] 高橋洋介,高橋篤司,クロックスケジューリングを用いた消費電力波形平滑化によるLSIのピーク電力削減手法,電子情報通信学会技術報告書(VLD2006-69), Vol. 106, No. 388, pp. 27-32, 2006.
- [302] 原田陽介,橋本浩良,小平行秀,高橋篤司,“CADツールを用いた一般同期向けクロック木の合成法,”電子情報通信学会技術報告書(VLD2006-127), Vol. 106, No. 548, pp. 49-53, 2007.
- [303] 鬼塚浩平,桜井貴康,“ナノ秒オーダーで変移可能なオンチップ電源回路向けVDD ホッピングアクセラレータ,”電子情報通信学会技術研究報告,105, 569, pp. 13-17, Jan. 2006.
- [304] 川口 博,高宮 真,関谷 毅,加藤祐作,染谷隆夫,桜井貴康,“有機トランジスタとプラスチックアクチュエータを集積化したフレキシブルな点字ディスプレイ向けの回路技術,”電子情報通信学会技術研究報告, pp. 1-6, May 2006.
- [305] 稲垣 賢一,ダナルドノ ドゥイ アントノ,高宮真,熊代 成孝,桜井 貴康,“ランプ波形分割方式を用いたオンチップサンプリングオシロス

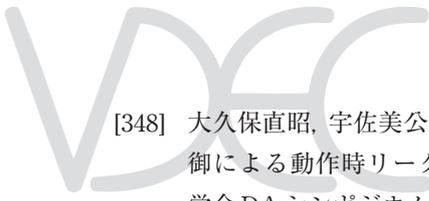
コープ,” 電子情報通信学会技術研究報告., 106, 206, pp. 25-30, Aug. 2006.

- [306] 石田光一, アティット タムタカーン, 石黒仁揮, 桜井貴康, “スケーリングされたトランジスタに適応した高耐圧オペアンプ設計,” ICD 研究会, pp. pp1-6, Jan. 22, 2006.
- [307] 石田光一, アティット タムタカーン, 桜井貴康, “1. 8V CMOS プロセスによる高耐圧オペアンプ,” 電子情報通信学会 2005 年総合大会講演論文集, pp. p. 13, Mar. 27, 2006.
- [308] 石田将也, 高宮真, 桜井貴康, “非同期サンプリング型 UWB 受信方式,” 電子情報通信学会エレクトロニクスソサイエティ大会, C-12-39, pp. p100, Sep. 21, 2006.
- [309] 肖利民, 桜井貴康, “クロックゲーティングを用いたパワーゲーティング,” 電子情報通信学会 ソサイエティ大会, A_03_011, Sep. 21, 2006.
- [310] 呉文豪, 高宮真, 桜井貴康, “低消費電力 VLSI 実現に向けた電源電圧と基板バイアスの動的制御アルゴリズム,” 電子情報通信学会 ソサイエティ大会, C-12-33, Sep. 21, 2006.
- [311] 新山太郎, 高宮真, 桜井貴康, “超低電圧領域におけるリングオシレータの発振周波数ばらつき,” 電子情報通信学会総合大会, C-12-14, 名古屋, 2007 年 3 月
- [312] Amagasaki, Iida, Sueyoshi, “Advantages of variable grain logic cell architecture,” 12-1P-01, JCEEE2006 (2006 年).
- [313] 山口, 松山, 中山, 尼崎, 飯田, 末吉, “粒度可変構造を持つ再構成論理セル向けマッピング手法の一検討,” pp. 1-6, 信学技報 RECONF2006-1 (2006 年).
- [314] 松山, 山口, 中山, 尼崎, 飯田, 末吉, “粒度可変論理セルを持つ再構成デバイスの実装効率評価,” pp. 187-192, DA シンポジウム 2006 論文集 (2006 年).
- [315] 山口, 中山, 尼崎, 松山, 飯田, 末吉, “粒度可変構造を持つ再構成可能論理セル向けマッピング手法の評価,” pp. 25-32, 第 14 回 FPGA/PLD Design Conference ユーザプレゼンテーション論文集 (2006 年).
- [316] 仲田, 久我, 末吉, “C 言語ベース設計フローを用いた暗号回路の設計と評価,” C-7-4, 火の国情報シンポジウム 2007 論文集 (2006 年).
- [317] 尼崎, 末吉, “粒度可変構造を持つ再構成可能論理セルのフィジビリティスタディ,” pp. 99, 電子情報通信学会情報・システムソサイエティ誌 2007 年総合大会特別号 (2006 年).
- [318] 中山, 山口, 尼崎, 松山, 飯田, 末吉, “粒度可変構造

を持つ再構成可能論理セル向けテクノロジマッピング手法,” pp. 67-72, 信学技報 RECONF2006-54 (2006 年).

- [319] 野瀬彰子, 近藤弘康, 石川洋平, 深井澄夫, “多値エンコーダの高速化の検討,” 平成 18 年度電子情報通信学会学生会講演会 (第 14 回学生会講演会) 講演論文集 C-29
- [320] 清水暁生, 深井澄夫, 石川洋平, “完全差動型増幅器を用いたニューロン MOS カレントミラー,” 電気学会電子回路研究会 ECT-06-86, 2006-10
- [321] 石丸佳和, 近藤弘康, 石川洋平, 深井澄夫, “ニューロン MOS を用いた 4 値 T ゲートに関する研究,” ニューロコンピューティング研究会信学技報 Vol. 106, No. 342, NC2006-70, pp. 47-50, 2006-11, 14
- [322] 奈良 竜太, 小原 俊逸, 清水 一範, 戸川 望, 池永 剛, 柳澤 政生, 後藤 敏, 大附 辰夫, “楕円曲線暗号向け GF(2^m) 上の Digit-Serial 乗算器の設計,” 電子情報通信学会 VLSI 設計技術研究会, VLD 2006-89, pp. 25-30, February 2007.
- [323] 堀内一央, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサのデータキャッシュ構成最適化手法,” 電子情報通信学会 第 19 回回路とシステム軽井沢ワークショップ論文集, pp 583-588, Apr. 2006.
- [324] 大智輝, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “レジスタ分散・共有併用型アーキテクチャを対象としたフロアプランを考慮した高位合成手法,” 情報処理学会 DA シンポジウム 2006 論文集, vol. 2006, no. 7, pp. 175-180, Jul. 2006.
- [325] 中山敬史, 戸川望, 柳澤政生, 大附辰夫, “連携処理を考慮したネットワークプロセッサ合成システム,” 情報処理学会 DA シンポジウム 2006 論文集, vol. 2006, no. 7, pp. 61-66, Jul. 2006.
- [326] 高橋豊和, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫 “H. 264 符号化向け DSP における動き予測演算器の設計,” 電子情報通信学会技術研究報告, VLD2006-23, pp. 13-18, Jun. 2006.
- [327] 山崎大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサの面積/遅延見積もり手法,” 電子情報通信学会技術研究報告, VLD2006-14, pp. 1-6, Jun. 2006.
- [328] 古宇田朋史, 小原俊逸, 史又華, 戸川望, 柳澤政生, 大附辰夫, “MPEG-4 形式符号化/複合化に対応した DSP 組み込み向け専用演算器の設計,” 情報処理学会組み込みシステムシンポジウム 2006 論文集 (ESS2006) Vol. 2006, pp. 70-78, Oct. 2006.
- [329] 今井優太, 清水一範, 戸川望, 柳澤政生, 大附辰夫,

- “動的再構成可能なマルチレート対応LDPC符号復号器の実装,” 電子情報通信学会技術研究報告, RECONF2006-43, pp. 35-40, Nov. 2006.
- [330] 日浦敏宏, 小原俊逸, 史又華, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサのフォワーディングユニット最適化手法,” 電子情報通信学会技術研究報告, VLD2006-80, pp. 49-54, Nov. 2006.
- [331] 堀内一央, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサ向けデータキャッシュ構成最適化システムとその評価,” 電子情報通信学会技術研究報告, VLD2006-122, pp. 19-24, Mar. 2007.
- [332] 繁田裕之, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “SIMD型プロセッサコア設計におけるプロセッシングユニット最適化手法,” 電子情報通信学会技術研究報告, VLD2006-119, pp. 1-6, Mar. 2007.
- [333] 大東真崇, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “SIMD型プロセッサコアを対象としたハードウェア/ソフトウェア分割フレームワーク,” 電子情報通信学会技術研究報告, VLD2006-120, pp. 7-12, Mar. 2007.
- [334] 元橋雅人, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “携帯機器向けMPEG-A Photo Playerのメタデータ生成システムのハードウェア化に関する一考察,” 電子情報通信学会技術研究報告, VLD2006-145, pp. 31-36, Mar. 2007.
- [335] 北村 聡, 宮部 保雄, 中條 拓伯, 田邊 昇, 天野 英晴, “メッセージパッシングモデルを支援するパケット受信機構のDIMMnet-2への実装と評価,” 先進的計算基盤システムシンポジウム(SACSIS2006) 論文集, pages 359-366, May. 2006.
- [336] 宮代 具隆, 宮部 保雄, 北村 聡, 田邊 昇, 中條 拓伯, 天野 英晴, “DIMMnet-2を用いた間接メモリアクセスの高速化,” 情報処理学会アーキテクチャ研究会, 2006-ARC-170, pages 85-90, Nov. 2006.
- [337] 宮部 保雄, 宮代 具隆, 北村 聡, 田邊 昇, 中條 拓伯, 天野 英晴, “ハードウェアによるMPI派生データ型通信の支援,” 情報処理学会アーキテクチャ研究会, 2006-ARC-170, pages 91-96, Nov. 2006.
- [338] 小嶋利紀, 長名保範, 吉見真聡, 岩岡洋, 西川由理, 舟橋啓, 広井賀子, 柴田裕一郎, 岩永直樹, 北野宏明, 天野英晴“FPGAボードにおける汎用ホストインターフェイスの実装と評価,” リコンフィギャラブルシステム研究会(RECONF), No. 10, 電子情報通信学会, 2006.
- [339] 桂 直弘, 長谷川 揚平, ヴ マン トウアン, 松谷 宏紀, 天野 英晴. ストリームアプリケーションを用いたマルチコア DRP の性能評価. 電子情報通信学会技術研究報告 RECONF2006-52, Vol. 106, No. 394, pp. 49-54, November 2006.
- [340] Vu Manh Tuan, Yohei Hasegawa, Naohiro Katsura and Hideharu Amano. Performance Evaluation of Hardware Multi-process Execution on the Dynamically Reconfigurable Processor. 電子情報通信学会技術研究報告 RECONF2006-31, Vol. 106, No. 247, pp. 25-30, September 2006.
- [341] 長谷川 揚平, 阿部 昌平, 黒瀧 俊輔, ヴ マン トウアン, 天野 英晴. 動的リコンフィギャラブルプロセッサにおける時分割多重実行の評価. 先進的計算基盤システムシンポジウム(SACSIS2006) 論文集, pp. 135-142, May 2006.
- [342] 長谷川 揚平, 松谷 宏紀, 鯉淵 道紘, 天野 英晴. チップ内ネットワークを用いたマルチタスク向けリコンフィギャラブルアーキテクチャの検討. 電子情報通信学会技術研究報告 RECONF2006-5, Vol. 106, No. 49, pp. 25-31, May 2006.
- [343] 西村 隆, 長谷川 揚平, 天野 英晴. 動的リコンフィギャラブルプロセッサにおける低電力設計手法の検討. 電子情報通信学会技術研究報告 RECONF2006-7, Vol. 106, No. 49, pp. 37-42, May 2006.
- [344] 中村 拓郎, 天野 英晴, 長谷川 揚平, 遠山 治. 動的リコンフィギャラブルプロセッサを用いた動画アプリケーションの機能分割実装. 電子情報通信学会技術研究報告 RECONF2006-8, Vol. 106, No. 49, pp. 43-49, May 2006.
- [345] 中村拓郎, 長谷川 揚平, 堤 聡, 松谷 宏紀, Vasutan Tunbunheng, Adepu Parimala, 西村 隆, 加東 勝, 齋藤 正太郎, 佐野 徹, 関 直臣, 平井 啓一郎, 毛 凱毅, 天野 英晴“動的リコンフィギャラブルプロセッサ MuCCRA の実装”電子情報通信学会 リコンフィギャラブルシステム研究会(RECONF) 2007年1月
- [346] 天野 英晴, 長谷川 揚平, 堤 聡, 中村 拓郎, 西村 隆, バスタン タンブンヘン, アデプ パリマラ, 加東 勝, 佐野 徹, 齋藤 正太郎, 松谷宏紀. 動的リコンフィギャラブルプロセッサプロトタイプ MuCCRA. 第29回パルテノン研究会論文集, December 2006.
- [347] 天野 英晴, 長谷川 揚平, 中村 拓郎, 西村 隆, バスタン タンブンヘン. 動的リコンフィギャラブルプロセッサ MuCCRA のコンフィギュレーション機構. 電子情報通信学会技術研究報告 RECONF2006, September 2006.



- [348] 大久保直昭, 宇佐美公良, “細粒度動的スリープ制御による動作時リーク電力低減手法,” 情報処理学会DA シンポジウム 2006, July 2006
- [349] 香嶋俊裕, 武田清大, 白井利明, 大久保直昭, 宇佐美公良, “走行時パワーゲーティングを適用した低消費電力乗算器のアーキテクチャ設計,” 電子情報通信学会技術報告, VLD2006-73, pp7-12, Nov. 2006
- [350] 武田清大, 香嶋俊裕, 白井利明, 大久保直昭, 宇佐美公良, “走行時パワーゲーティングを適用した低消費電力乗算器の物理設計と試作,” 電子情報通信学会技術報告, VLD2006-74, pp13-18, Nov. 2006
- [351] 武田清大, 香嶋俊裕, 白井利明, 大久保直昭, 宇佐美公良, “ランタイムパワーゲーティングを適用した乗算器を用いた消費電力に影響を与える要因の解析,” 電子情報通信学会技術報告, VLD2006-154, pp81-85, March 2007
- [352] 小峰健太郎, “COMET II-CPUのパイプライン設計と評価,” 電子情報通信学会総合大会, A-1-6, March 2007
- [353] 伊藤総一, 宇佐美公良, “パワースイッチを共有したMTCMOS回路の遅延時間解析手法,” 電子情報通信学会総合大会, A-3-8, March 2007
- [354] 白井利明, 宇佐美公良, “LSIの動的スリープ制御における高速復帰技術,” 電子情報通信学会総合大会, A-3-13, March 2007
- [355] 桐原啓介, 宇佐美公良, “FPGAを利用した動的スリープ制御信号の動作解析,” 電子情報通信学会総合大会, A-3-14, March 2007
- [356] 秋元裕美, 宇佐美公良, “2電源を用いたFPGAにおける消費電力低減化技術,” 電子情報通信学会総合大会, A-3-15, March 2007
- [357] 谷川一哉, 弘中哲夫, “毎サイクル再構成／実行が可能な動的再構成型プロセッサ,” 第14回FPGA/PLD Design Conference IPフリーマーケット投稿カタログ, pp. 18-19, 2007.
- [358] 吉原理記, 弘中哲夫, 佐藤正幸, “再構成デバイスとしても動作するメモリLSIの検討”, 信学技報, vol. 106, no. 246, RECONF2006-24, pp. 23-28, 2006年9月
- [359] 羽田隆二, 谷川一哉, 弘中哲夫, “再構成型PARSアーキテクチャとそのコンパイラ,” システムLSIワークショップ予稿集, pp. 211-214, 2006.
- [360] 谷川一哉, 弘中哲夫, “デジットシリアル演算を用いた再構成型アーキテクチャの検討,” 信学技報, vol. 106, no. 394, RECONF2006-49, pp. 13-18, 2006年11月.
- [361] 鈴木圭介, 市川直樹, 伴大雅, 弘中哲夫, “デジットシリアル浮動小数点演算器の研究開発,” 第8回IEEE 広島支部 学生シンポジウム 論文集, pp. 241-244, 2006.
- [362] 市川直樹, 鈴木圭介, 弘中哲夫, 谷川一哉, “デジットシリアル浮動小数点除算器の設計と評価,” 第8回 IEEE 広島支部 学生シンポジウム 論文集, pp. 273-276, 2006.
- [363] 久方, 堀場, “LS97 ウェーブレットフィルタのハードウェア設計,” pp. G254, 平成18年 電気関係学会関西支部連合大会 (2006)
- [364] 山本, 堀場, “非可逆ウェーブレット変換フィルタの低面積化の一手法,” pp. G253, 平成18年 電気関係学会関西支部連合大会 (2006)
- [365] 大和, 堀場, “Delay Locked Loopの動作周波数変更回路の提案,” pp. G259, 平成18年 電気関係学会関西支部連合大会 (2006)
- [366] 辻坂, 堀場, “低電圧動作のためのCMOSカレントミラー回路の一提案,” pp. G260, 平成18年 電気関係学会関西支部連合大会 (2006)
- [367] 糸山, 井上, 米澤, 常田, “歪み計測用FM発振回路を用いた呼吸数測定手法の一構成とその解析,” pp. 1, 第59回電気関係学会九州支部連合大会
- [368] 井上, 原田, 山川, 常田, “スマートRFIDチップ用CMOS心拍パルス検出回路のコンパレータ判定レベル発生回路の一提案,” pp. 1, 第59回電気関係学会九州支部連合大会
- [369] 田中麻子, 山城昌雄, 井上高宏, 常田明夫 “スマートRFIDタグIC用の個体識別回路用ダイナミック-スタティック混合非同期バイナリカウンタの一提案,” 07-2P-17, 平成18年度電気関係学会九州支部連合大会 (第59回連合大会) (2006).
- [370] 宋春奇, 井上高宏, 江藤慎一郎, 山川俊貴, 常田明夫 “生体情報計測RFIDゴマ粒チップ搭載用小電力電源回路の一設計” 電子回路研究会 ECT-06-91
- [371] 米澤隆広, 井上高宏, 中島嘉紀, 常田明夫, “温度パルス幅変換を用いたスマートRFIDタグ体温計測集積回路の一設計,” pp. 33-36, 2006年, ECT-06-113(電子回路研究会).
- [372] 米澤隆広, 井上高宏, 中島嘉紀, 常田明夫, “温度パルス幅変換を用いたスマートRFIDタグ体温計測集積回路の一設計,” pp. 33-36, 2006年, ECT-06-113(電子回路研究会).
- [373] 梶永大輔, Timischl Felix, 井上高宏, 常田明夫, “周波数一致検出器のデジタル設計” 第21回熊本県産学官技術交流会, 2007年
- [374] 伊藤周作, Timischl Felix, 井上高宏, 常田明夫, “チャージポンプを用いた周波数一致検出回路の

- 一構成について”第21回熊本県産学官技術交流会, 2007年
- [375] 加藤, 鈴木, 満洲, “生分解性ポリマーを用いた薬剤徐放型柔軟神経プローブの開発,” pp. 85-90, 電気学会研究会資料医用・生体工学研究会 MBE-06 (2006).
- [376] 加藤, 鈴木, 満洲, “生分解性ポリマーを用いたスケルトン型多点柔軟神経プローブ,” CD-ROM, 第29回日本神経科学大会(2006).
- [377] 鈴木, 小竹, 満洲, 竹内, “微小流路を利用した神経再生型電極の開発,” pp. 155-158, 第21回生体・生理工学シンポジウム論文集(2006).
- [378] 小屋祥太, 鳥塚英樹, 安井健史, 菊池隼人, 丸田佳織, 山口正洋, 青山 聡, 川人祥二, “オンチップ集積化マイクロ磁界プローブを用いた伝送線路からの放射磁界計測,” マグネティックス研究会, MAG-06-184(東北学院大学工学部, 2006)
- [379] 小屋祥太, 鳥塚英樹, 安井健史, 菊池隼人, 山口正洋, 青山 聡, 川人祥二, “オンチップ集積化マイクロ磁界プローブによる高周波磁界計測,” スピニクス特別研究会, 06-6-4(東京工業大学, 2006)
- [380] 小屋祥太, 鳥塚英樹, 菊池隼人, 安井健史, 山口正洋, 青山 聡, 川人祥二, “シリコン集積化高周波高空間分解能マイクロ磁界プローブ,” IEEE EMC-S 仙台チャプタ・コロキウム, 9(東北大学電気通信研究所, 2007)
- [381] 鳥塚英樹, 小屋祥太, 安井健史, 菊池隼人, 山口正洋, 青山 聡, 川人祥二, “RF 集積化マイクロ磁界プローブを用いた伝送線路の近傍磁界測定,” 電子情報通信学会総合大会, B-4-46(名城大学, 2007)
- [382] 川人祥二, 青山 聡, 山口正洋, “集積化アクティブ磁界プローブ,” IEEE EMC-S 仙台チャプタ・コロキウム, 8(東北大学電気通信研究所, 2007)
- [383] 高橋一真, 密山幸男, 尾上孝雄, 白川功, “メディア処理向け小面積リコンフィギュラブルアーキテクチャ,” pp. 43-48, 電子情報通信学会技術研究報告 RECONF2006-51(2006).
- [384] 野里良裕, 高橋和之, 奥畑宏之, 尾上孝雄, “リアルタイム動画画像Retinex階調補正における照明光推定器のアーキテクチャ,” 第21回デジタル信号処理シンポジウム, D8-3, (Nov. 2006).
- [385] 前田, 村井, 久野, 宮崎, 向井, 香川, 太田, “傾斜面型共焦点光学系による3次元計測システムのためのイメージセンサ,” 映像情報メディア学会技術報告 Vol. 31, No. 3, pp. 21-24
- [386] 吉田 武史, 和田 和千, 石川 雅之, 田所 嘉昭, “平衡型低電圧スイッチトキャパシタ双一次積分回路の一構成,” 電学電子回路研資 ECT-06-41, 2006年3月.
- [387] 秋田 一平, 和田 和千, 田所 嘉昭, “低電圧CMOSコンパANDINGログドメイン積分回路の全探索による最適設計法,” pp. 435-440, 第19回 回路とシステム軽井沢ワークショップ論文集, 2006年4月.
- [388] 小野 貴士, 和田 和千, 田所 嘉昭, “信号分割手法によりDNLを低減したアナログ・デジタル変換回路の構成,” 電学電子回路研資 ECT-07-20, 2007年1月.
- [389] 秋田 一平, 和田 和千, 田所 嘉昭, “0.8V 広ダイナミックレンジCMOSシラビックコンパANDINGログドメインフィルタの試作と評価,” 電学電子回路研資 ECT-07-20, 2007年1月.
- [390] 久保 俊一, 和田 和千, 田所 嘉昭, “遺伝的アルゴリズムを用いた線形位相IF用狭帯域通過フィルタの設計,” 電学電子回路研資 ECT-07-21, 2007年1月.
- [391] 平本俊郎, 宮地幸祐, 小林正治, “室温動作シリコン単電子トランジスタ,” ナノ光・電子デバイスシンポジウム”量子ドットとフォトニック結晶,” 主婦会館プラザエフ, pp. 36 & #8211; 37, 2006年5月.
- [392] 大藤徹, 杉井信之, 平本俊郎, “薄膜BOX完全空乏型SOI MOSFETにおけるばらつきの影響,” 電子情報通信学会集積回路研究会およびシリコン材料・デバイス研究会合同研究会, 北海道大学, SDM2006-144, pp. 111 & #8211; 114, 2006年8月.
- [393] 宮地幸祐, 平本俊郎, “クーロン振動半値幅可変シリコン単正孔トランジスタの室温実証,” 2006年秋季第67回応用物理学学術講演会, 立命館大学(滋賀), 29a-ZR-11, 2006年8月.
- [394] Arifin Tamsir Putra, 大藤徹, 平本俊郎, “しきい値電圧可変短チャンネルFD SOI MOSFETにおける境界基板バイアス,” 2006年秋季第67回応用物理学学術講演会, 立命館大学(滋賀), 31a-ZR-3, 2006年8月
- [395] 小林正治, 平本俊郎, “極狭細線中のシリコン量子ドットの量子構造とそのクーロン振動への影響,” 2006年秋季第67回応用物理学学術講演会, 立命館大学(滋賀), 29a-ZR-10, 2006年8月
- [396] 清水健, 筒井元, D. Januar, 更屋拓也, 平本俊郎, “(110)面<100>方向pMOSFETにおける移動度ユニバーサリティ崩壊の実証,” 2006年秋季第67回応用物理学学術講演会, 立命館大学(滋賀), 31a-ZR-4, 2006年8月
- [397] 宮地幸祐, 平本俊郎, “室温動作シリコン単正孔ト

ランジスタのクーロン振動, および負性微分コンダクタンスの制御とその室温実証,” 丸文研究交流財団創立10周年記念学術フォーラム“21世紀を拓く日本の研究開発を目指して,” 東京大学生産技術研究所, 2006年9月.

- [398] 宮地幸祐, 平本俊郎, “室温動作シリコン単正孔トランジスタのクーロン振動, および負性微分コンダクタンスの制御とその室温実証,” 丸文研究交流財団創立10周年記念学術フォーラム“21世紀を拓く日本の研究開発を目指して,” 東京大学生産技術研究所, 2006年9月.
- [399] 平本俊郎, “ナノデバイスインテグリティと特性ばらつき対策,” 2007年春季第54回応用物理学学術講演会, 青山学院大学相模原キャンパス(神奈川県), 28p-ZQ-4, 2007年3月.
- [400] 大藤 徹, 更屋 拓哉, 下川 公明, 堂前 泰宏, 長友 良樹, 井田 次郎, 平本 俊郎, “BOX膜厚10nmを有する基板バイアス係数可変完全空乏型SOI MOS-FETの特性評価,” 2007年春季第54回応用物理学学術講演会, 青山学院大学相模原キャンパス(神奈川県), 27p-SC-4, 2007年3月.
- [401] Arifin Tamsir Putra, 西田彰男, 蒲原史朗, 平本俊郎, “ゲートエッジ成分によるMOSトランジスタのしきい値電圧 V_{th} ばらつき検討”, 2007年春季第54回応用物理学学術講演会, 青山学院大学相模原キャンパス(神奈川県), 27a-SC-1, 2007年3月.
- [402] 清水健, 筒井元, 平本俊郎, “SOI膜厚5nmの(100)面UTB nMOSFETにおける移動度ユニバーサリティ,” 2007年春季第54回応用物理学学術講演会, 青山学院大学相模原キャンパス(神奈川県), 27a-SC-8, 2007年3月.
- [403] 高橋啓介, 大藤徹, 平本俊郎, “Bulk FinFETにおける基板バイアス効果の検討”, 2007年春季第54回応用物理学学術講演会, 青山学院大学相模原キャンパス(神奈川県), 27p-SC-5, 2007年3月.
- [404] 藪田悟史, 杉本泰博, “ダミーメタルがスパイラルインダクタのQ値に与える影響の検討,” 電子情報通信学会 2007年総合大会論文集, C-12-15, p. 94
- [405] 土橋洋太, 杉本泰博, “減算器が不要な2ステップフラッシュ形ADCの検討,” 電子情報通信学会 2007年総合大会論文集, C-12-37, p. 116
- [406] 高橋, 猪股, 新井, 曾我, “非接触ICカード用セキュアプロセッサSEP-6の開発,” 電子情報通信学会技術研究報告, Vol. 106, No. 389(VLD2006 72-84), pp. 61-66 2006. 11. 23
- [407] 土屋 英之, 宮田 美和, 柴田 裕一郎, 原澤 隆一, 小栗 清, 動的リコンフィギュラブルプロセッサDRPを用いた標数2の有限体における乗算の実

装, 電子情報通信学会技術研究報告, Vol. 106, No. 49, pp. 49-53, 2006年5月.

- [408] 森 貴幸, 新野 晋輔, 高 永勲, 柴田 裕一郎, 小栗 清, 再構成可能な組み込み向けJava実行環境の実装, 電子情報通信学会技術研究報告, RECONF, pp. 55-60, 2006年9月.
- [409] 百地康博, 世古忠, “AES暗号回路におけるSubBytesの低消費電力化,” p. 19, 第12回電子情報通信学会関西支部学生会研究発表講演論文集(2007)
- [410] <D86 M*2p, ;33@ B'IW, 8M=P 1Q<y, B<>e 9!0!
“ % V % m ! < % I % P % s % I % k ! < % ? \$ K E ,
\$7\$?%U%ml<<+N'4IM|7?%Q%1%C%HGQ4~@)
8f, " EE;R>pJsDL?.
3X2q%M%C%H%o!<%/ %7%9%F%`8&5f2q,
NS2006-43, June 2006.
- [411] <D86 M*2p, 8M=P 1Q<y, B<>e 9!0!“(>)Ne9V1i|
%O!<%I%&%%'\$r;X8-\$7\$?%U%ml<4IM|7?%P%
C%U%!4IM|5!9=, " EE;R>pJsDL?.
3X2q%M%C%H%o!<%/ %7%9%F%`8&5f2q,
NS2006-138!A149, Dec. 2006
- [412] 倉谷, 原, “CMOSイメージセンサ画素回路の基礎実験,” pp. 95, 2006年度電子情報通信学会九州支部学生会講演会(2006)
- [413] 倉谷, 原, “適応的側抑制を持ったアナログ視覚センサの設計,” pp. 83-84, 第25回SICE学術講演会(2006)
- [414] 中溝正彦, 高橋誠, 高橋幸郎, 完全埋め込み型FES装置用カスタム集積回路の開発, p. 566, 第45回日本生体医工学会大会(2006).
- [415] Z. Liang, W. L. Huang, J. Pan, Y. Inoue, “An Ultra Low-Power High-Speed Rail-to-Rail Buffer Amplifier for LCD Source Drivers,” 電子情報通信学会第20回回路とシステム軽井沢ワークショップ, April, 2007, to appear.
- [416] W. L. Huang, J. Pan, Z. Liang, Y. Inoue, and Y. Z. Chiou, “A Low-Power High-Speed Rail-to-Rail Class-B Output Buffer for TFT-LCD Source Driver,” IEICE Technical Report CAS2006-34, pp. 1-6, Oct. 2006.
- [417] J. Pan and Y. Inoue, “A Sub-1-V Low-Voltage Low-Power Reference With a Back-Gate Connection MOSFET,” 第19回 回路とシステム軽井沢ワークショップ, pp. 411-416, 2006年4月25-26日.
- [418] 房安, 田中, 笠野, “シリコンLSIを用いたマイクロディスプレイシステムの開発,” C-9-5, 電子情報通信学会2007年総合大会講演論文集.

4. 著書

- [1] H. Tanaka, T. Morie, and K. Aihara, "An Analog CMOS Circuit for Spiking Neuron Models," Brain-Inspired IT II, International Congress Series, pp. 217-220, Elsevier, 2006.
- [2] Keiko Hata, Katsutoshi Saeki, Yoshifumi Sekine, A Pulse-Type Hardware CPG Model for Quadruped Locomotion Pattern, Technical paper in International Congress Series 1291 Elsevier, pp. 157-160, Jul. 2006.

5. 特許等

- [1] マタウシュハンスユルゲン, 小出哲士, 田中裕己, アベディンモハマドアノワルル, "差動増幅器ベースでの全並列型連想メモリアーキテクチャ," 特願2007-46555, 2007. 2. 27.
- [2] 加藤正史, 大畑宏文, "アクティブノイズコントロールシステム用アナログ集積回路," 特願2006-251828
- [3] マタウシュハンスユルゲン, 小出哲士, 田中裕己, アベディンモハマドアノワルル, "差動増幅器ベースでの全並列型連想メモリアーキテクチャ," 特願2007-46555, 2007. 2. 27.
- [4] 石原希実, 阿部公輝, "フレームメモリ上に2次元配列されたデータに対して, メモリアクセスの負荷を低減し高速に処理を行う2次元ウェーブレット変換装置に関する発明," 特許出願(特願2006-257671), Sep. 2006.
- [5] 傾斜センサ及び傾斜スイッチ, 特願2006-302385

6. その他

- [1] 千葉大学 伊藤・北神・難波研究室, "論理回路に対

する耐ソフトエラー設計," CEATEC JAPAN 産学交流パビリオン, Oct. 2006.

- [2] 小林和淑, "VDEC利用者から見たスターシャトル," pp. 95-100, STARCフォーラム2006(2006)
- [3] リキットキットワオラクル ナッチャー, 福原雅朗, 吉田正廣, "ハミング距離検索機能を有する低消費電力CAROMのレイアウト設計とその動作特性," 東海大学紀要 情報理工学部, Vol. 6, No. 1, pp. 51-55(2006).
- [4] 福原雅朗, "ニューロンMOSトランジスタを用いたハミング距離検出回路とそのCAMへの応用に関する研究," 東海大学大学院 平成十八年度 博士論文.
- [5] D. Atuti, T. Morie, and K. Aihara, "An Pulse-Modulation Circuit for Nonlinear Systems with Self Regulatory Threshold Dynamics," Int. Workshop on Synchronization! Phenomena and Analyses, p. 150, Tokyo, Oct. 4, 2006.
- [6] H. Tanaka, T. Morie, and K. Aihara, "Design of a CMOS Circuit for STDP with a Symmetric Time Window," Int. Workshop on Synchronization! Phenomena and Analyses, p. 149, Tokyo, Oct. 4, 2006.
- [7] 福永, 鱈目, "FPGAによるベクトル量子化器の実現について," pp. 1-2, 2006年プロジェクト研究報告(2006).
- [8] Hideki Torizuka, Shota Koya, Masahiro Yamaguchi, Satoshi Aoyama, Shoji Kawahito, "Design and fabrication of an RF integrated high resolution magnetic probe to analyze near-field of LSI," International YU-TU Symposium, Gyeongju, Korea, 2006.

1. 7 平成19年度の活動計画

平成19年度は、従来の設計情報発信、CADツール提供、チップ支援に加え、平成14年度で終了したSTARCとの共同研究「システムLSIのための再利用可能な設計資産の構築手法の実験的研究」およびそれ以降に各大学で開発されたIPの公開に向けた取り組みを継続する。

【設計情報発信・セミナー開催】

本年度は、平成9年度より継続しているCADツール利用法に関する技術セミナー、平成10年度から継続している社会人向けの「リフレッシュセミナー」、平成8年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行なうことを予定している。なおデザイナーフォーラムに関しては、若手に向けた若手のための若手によるフォーラムという原点に立ち戻った開催を継続する予定である。これにより自然な形で、若手のVLSI設計者の層を厚くし、定常的な情報交換の場を確立していきたい。試作チップ数の増加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSIテスト技術および、VDECおよび拠点校に設置されているLSIテスター利用法のセミナーも継続して開催し、VDECおよび拠点校のテスターに対し「利用資格」を有する学生・研究者の数を増やす努力をしていく予定である。同時に各拠点校のテスター関係者の連携を密にすることで多様化していくテストの需要に全国レベルで対応する体制を整えていきたい。これは、大きなコストを必要とするテスターの維持・管理を効率化し、維持コストを抑えつつ有効利用を促進するねらいを持っている。また平成14年度開始した時限の研究会「LSI動作解析技術研究会」を介した、産業界と密接に連携した次世代のテスト技術・故障診断技術の研究交流推進を継続する。

【CADツール提供】

上流設計（Cadence, Synopsys）、中流設計（Synopsys（旧 Avant!）、Cadence）、下流設計（Cadence）の各基本ツールを、平成19年度もサポートしていく。これに加え平成14年度から導入した設計検証（Mentor: Caribra）、上流設計（Celoxica）、平成16年度から導入したアナログRF設計ツール（Agilent: RFDE, ADS）を継続してサポートするとともに、回路

シミュレーションツール（Silvaco）ツールの試験導入を延長しユーザの利用状況により継続の検討を行い、平成17年度より提供を受けているSharp社Cベース設計ツール（BachC）を継続してサポートする。CADツールに必要な論理設計用ライブラリについては、ファウンドリ提供のものに加え、京都大学、九州大学、早稲田大学、豊橋科学技術大学などの協力を得て、VDECのチップ試作テストラン等を通じて構築されたライブラリの整備が進んでおり、平成18年度は、より信頼性の高いものの提供、およびライブラリに応じた進んだ設計フローの構築などを目指していきたい。特に、平成14年度までのプロジェクト型研究で構築されたIPについて可能なものから順次公開していきたい。

また後述のプロジェクト型研究などの推進により、VDECのチップ試作に適したSoCプラットフォームの構築とプラットフォームに基づく設計手法の確立を進めたい。これらの活動整備には広く各大学からの協力を期待している。

【チップ試作支援】

平成19年度は、平成18年度から引き続きオン・セミコンダクター、ローム株式会社、日立製作所、NEC化合物デバイス、STARC社の協力により、7種類のプロセスで計23回の試作を設定する予定である（すでに一部の試作は進行中である）。すでにアナウンスしているとおり、ローム0.35um試作は平成19年4月試作を持って終了することとし、平成19年度からはローム社0.18umプロセスをほぼ毎月の年間10回実施する。日立製作所0.18um試作に関しては、試作希望が一定割合集まった場合のみ試作を行う予定である。また、平成16年度からテストランとして開始している沖電気のCMOS-SOIプロセスは引き続きテストランを継続して実施する予定である。日立製作所のSiGeBiCMOSに関しても、日立製作所のシャトルに合わせる形で設計者からの希望に応じて試作を実施する。チップの組み立ては全て富士通VLSIに委託することで多様な組み立てのニーズに応じられるようにしていきたい。

さらに、平成14年度から開始した東大VDEC－米国MOSISとの協力に基づくMOSISにおけるチップ試作についても今年度も一層強化する方向ですすめたい。

表 1.7.1 VDEC チップ試作スケジュール (平成 19 年度)

【CMOS 1.2 μ m 2P2M】 オン・セミコンダクタ (旧日本モトローラ)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 18 年度第 2 回	2006/10/ 2	2006/ 1/ 9	2007/ 4/ 2	2007/ 7/17
平成 19 年度第 1 回	2007/ 4/ 2	2007/ 7/ 2	2007/10/ 1	2008/ 1/28
平成 19 年度第 2 回	2007/10/ 1	2008/ 1/ 7	2008/ 3/31	2008/ 7/14

【CMOS 0.35 μ m 2P3M】 ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 19 年度第 1 回	2005/11/ 5	2007/ 2/13	2007/ 5/14	2007/ 9/25
平成 19 年度第 2 回	2007/ 1/ 9	2007/ 5/ 7	2007/ 6/18	2007/10/22
平成 19 年度第 3 回	2007/ 2/ 5	2007/ 6/11	2007 /7/17	2007/11/26
平成 19 年度第 4 回	2007/ 3/12	2007/ 7/10	2007/ 8/20	2007/12/25
平成 19 年度第 5 回	2007/ 4/ 9	2007/ 8/13	2007/ 9/18	2008/ 1/28
平成 19 年度第 6 回	2007/ 5/ 7	2007/ 9/10	2007/10/15	2008/ 3/ 3
平成 19 年度第 7 回	2007/ 6/11	2007/10/ 9	2007/11/19	2008/ 3/31
平成 19 年度第 8 回	2007/ 7/10	2007/11/12	2007/12/10	2008/ 4/21
平成 19 年度第 9 回	2007/ 8/13	2007/12/ 3	2008/ 1/15	2008/ 5/26
平成 19 年度第 10 回	2007/ 9/10	2008/ 1/ 7	2008/ 2/18	2008/ 6/30

【CMOS 0.18 μ m 1P5M】 日立製作所 (固定枠)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 19 年度第 1 回	2007/ 1/22	2007/ 4/23	2007/ 7/23	2007/12/ 3
平成 19 年度第 2 回	2007/ 7/ 2	2007/10/ 9	2008/ 1/14	2008/ 5/19

【Bipolar 0.6 μ m】 NEC 化合物デバイス

	申込開始	申込メ切	設計メ切	チップ納品 (予定)
第 1 回			2007/ 9/29	

【CMOS-SOI 0.15 μ m 1P5M/TM】 沖電気

	申込開始	申込メ切	設計メ切 (予定)	チップ納品 (予定)
第 1 回			Sep-07	Jan-08
第 2 回			Mar-08	Aug-08

【CMOS 90nm 1P6M】 STARC : ASPLA 社シャトル便に準じる

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 18 年度第 1 回	2006/12/ 5	2007/ 1/19	2007/ 4/20	2007/ 8/13
平成 18 年度第 2 回	2007/ 1/16	2007/ 4/19	2007/ 7/20	2007/11/19
平成 18 年度第 3 回	2007/ 4/17	2007/ 7/20	2007/10/22	2007/ 2/14

【CMOS 0.18 μ m 2P5M】 MOSIS-TSMC

試 作	試作申込開始	試作申込締切	設計締め切り	納品・試作完了
MOSIS-TSMC 0.25um CMOS				
1 回	2007/ 4/16	2007/ 7/16	2007/ 7/23	2007/10/23
2 回	2007/ 6/ 5	2007/ 9/ 5	2007/ 9/12	2007/12/12
3 回	2007/ 8/ 5	2007/11/ 5	2007/11/12	2008/ 2/12
4 回	Nov-07	2008 /2 月	2008/ 2 月-3 月の間	Jun-08
MOSIS-TSMC 0.18um CMOS Mixed Signal				
1 回	2007/ 4/ 4	2007/ 6/ 4	2007/ 6/11	2007/ 9/11
2 回	2007/ 7/30	2007/10/30	2007/11/ 5	2008/ 2/ 5
3 回	Nov-07	2008/ 2 月	2008/ 2 月-3 月の間	Jun-08



【プロジェクト型研究】

VLSI技術は日々進歩しており，VDECがサポートしているCADツールやライブラリ，チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており，各方面の協力を随時お願いする予定である。

平成17年度においても，平成15年度から継続してい

る，あらたに大学におけるチップ試作において，LSIテストター無に初期の動作テストを可能とするようなSoCマクロの構築を目指したプロジェクト型研究を推進する。本研究を遂行する過程でSoCマクロ本体の設計に加え，SoCマクロを用いた設計およびその設計フローの構築に際し各方面からのご協力を随時お願いする予定である。

1. 8 VDEC 発ベンチャー

VDECでの設計/試作経験, 人材育成が有効には機能 教員が起業したベンチャー企業のリスト(順不同)と、
した事例といたしまして、VDECと関連があった(ある) 本年報向けに頂きましたメッセージを以下に示します。

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生: 神戸大学 瀧 和男 教授 (同社, 代表取締役社長)

事業内容: (1) HYPER LSI DESIGN
(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング
(3) オリジナルライブラリ/IPの販売
(4) チップ受託開発

[2] 株式会社シンセシス (<http://www.synthesis.co.jp/>)

代表の先生: 大阪大学 白川 功 名誉教授 (同社, 取締役)

事業内容: (1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供/設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<http://www.asip-solutions.com/>)

代表の先生: 大阪大学 今井 正治 教授 (同社, 代表取締役 CTO)

事業内容: (1) EDA ツールの提供
(2) 設計サービスとソリューション提供
(3) 自社IPの開発

[4] 株式会社ビヨンド・エルエスアイ (<http://www.beyondlsi.com/jp/index.html>)

代表の先生: 東京工業大学 國枝 博昭 教授 (同社, 代表取締役)

事業内容: (1) バイオメトリクス応用製品のための開発, カスタム設計, 共同開発, コンサルティング
(2) LSIの設計・開発, 関連製品の販売

[5] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生: 九州工業大学 中村 和之 助教授 (同社, 代表取締役)

事業内容: (1) アナログLSI設計用CADツールの開発
(2) メモリLSI自動設計ツールの開発

[6] 株式会社NSCore (<http://www.nscore.com/>)

代表の先生: 九州工業大学 中村 和之 助教授 (同社, 取締役)

事業内容: 標準CMOSプロセスによる新規不揮発メモリの設計・開発

[7] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

代表の先生: 広島大学 岩田 穆 教授 (同社, 代表取締役)

事業内容: (1) アナログ・RF回路混載SoC設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

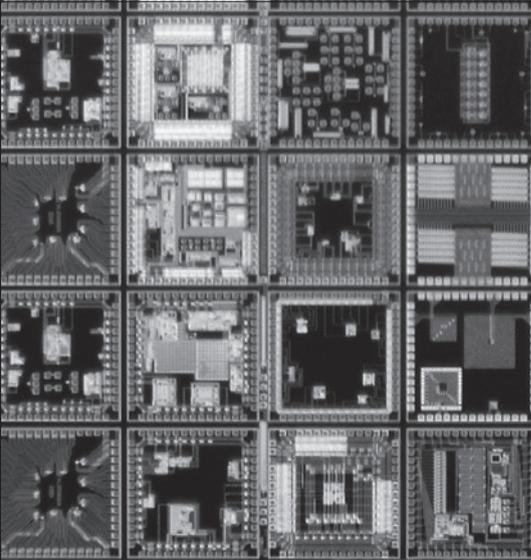
メッセージ: アナログ・RF混載LSIの設計技術力および技術者が質, 量ともに不足という問題を, 大学の研究成果と人材を活用して解決することが(株)エイアールテックの目的である。広島大学, 神戸大学の教員, 同大学を卒業した社員, 大学院学生など約10名で, アンプ, ADC, DAC, PLL, 無線I/Oなど混載LSIの鍵となるアナログコアの設計技術, および独自のチップ規模の基板クロストーク雑音の解析・評価技術を有して, 新規の基盤技術開発, 製品技術開発の受託を行っている。また, 大学でのOJTによる設計技術者の育成業務も行っている。

[8] 株式会社ブルックマン・ラボ (<http://www.brookmanlab.com/>)

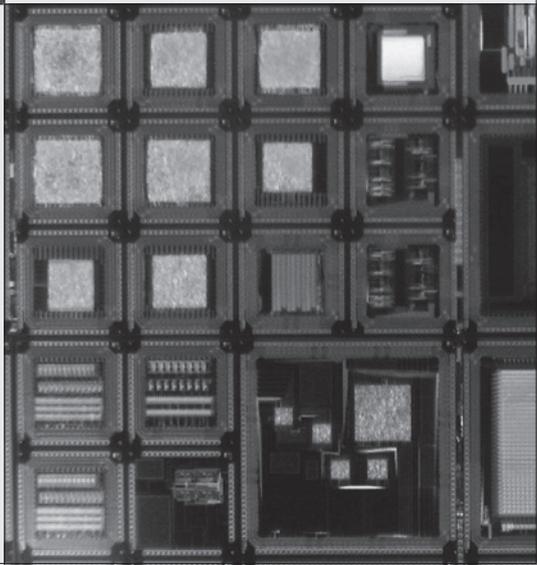
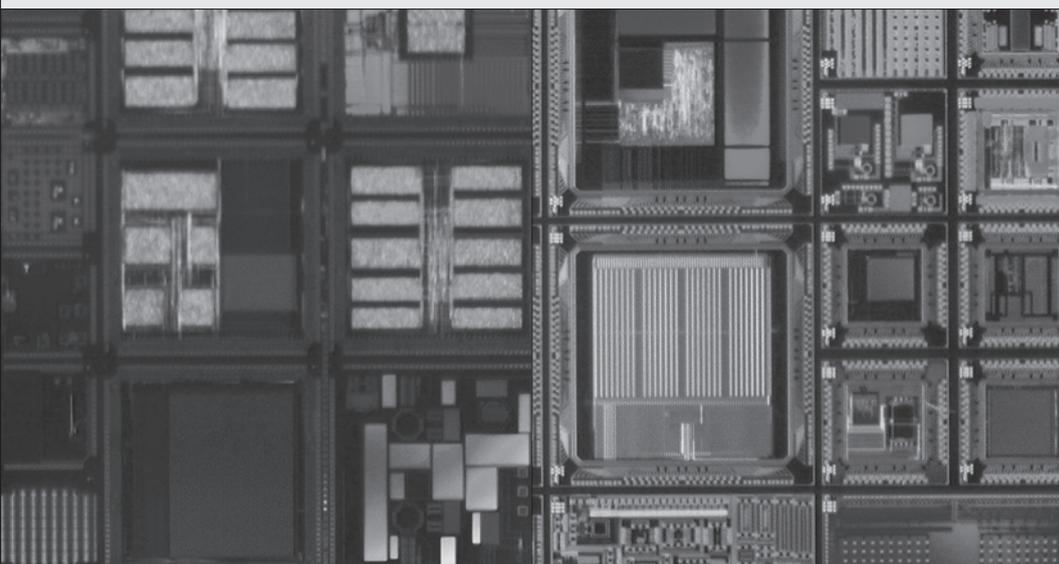
代表の先生: 静岡大学 川人 祥二 教授 (同社, 取締役 (CTO))

事業内容: (1) イメージセンサー, デジタルアナログ混成LSI設計受託
(2) IPライセンス
(3) コンサルティング
(4) 自社商品事業の確立

メッセージ: 浜松地域知的クラスター創成事業において, 広ダイナミックレンジCMOSイメージセンサ, 3次元距離画像センサ, 高速度イメージセンサを開発した実績, また他のプロジェクト, 国際会議での受賞などで発揮, 証明された静岡大学電子工学研究所の川人祥二教授の持つ技術・アイデアをテコに, 平成18年2月, 川人教授を発起人のひとりでもつ取締役CTOとして会社を立ち上げました。イメージセンサ, AD変換器, 低雑音アナログ回路に強みを持つ会社として, 当面, 半導体集積回路の受託設計業務を事業として行っており, 次のステージとしてファブレスメーカーになり, 将来的には上場を目指したいと考えています。



第2章 チップ試作結果報告



2.1 試作ラン別一覧

平成17年度第2回オンセミコンダクター CMOS 1.2um 試作 (MOT052)

題 名	大 学 名	研 究 者	掲載頁
計数回路、メモリレジスタ、および10進加算回路の設計試作	静岡理科大学電気電子情報工学科 静岡理科大学電子工学科	波多野 裕 鈴木 博也, 森 章紀, 田力 正徳, 芝田 通明	93
計数回路、メモリレジスタ、および10進加算回路の設計試作	静岡理科大学電気電子情報工学科 静岡理科大学電子工学科	波多野 裕 鈴木 博也, 森 章紀, 芝田 通明, 田力 正徳	93
MOS型定電流回路の設計・試作(7)	岡山県立大学大学院情報系工学研究科	定本 竜明, 大曾根 隆志, 森下 賢 幸, 小椋 清孝	93
MOS型整流回路・直流電圧増幅回路の設計・試作(6)	岡山県立大学大学院情報系工学研究科	定本 竜明, 大曾根 隆志, 森下 賢 幸, 小椋 清孝	94
MOS型温度センサ回路の設計・試作	岡山県立大学大学院情報系工学研究科	定本 竜明, 大曾根 隆志, 森下 賢 幸, 小椋 清孝	94
パルス形環状ニューラルネットワークの試作	日本大学理工学部	清水 昭宏, 佐伯 勝敏, 関根 好文	94
CMOSを用いた基準電圧源回路の試作I	日本大学理工学部	松木 誠司, 佐伯 勝敏, 関根 好文	95
演算増幅器の試作	日本大学理工学部	小野 克幸, 谷口 浩介, 林 祐吾, 清水 昭宏, 松木 誠司, 佐伯 勝 敏, 関根 好文	95
復調システム内回路ブロックの試作	秋田大学工学資源学部	佐々木 健太, 三浦 和仁, 井上 浩	95
電流モード増幅器	電気通信大学電子	HENG SOCHEAT, PHAM CONG KHA	96
増幅演算器設計コンテスト参加回路	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	鈴木 寛人, 小野 貴史, 清川 幸 哉, 久保 俊一 和田 和千	96
受光回路の特性試験チップ	佐賀大学理工学部	原 重臣	96
CMOS DC-DC コンバータ出力 LSI の開発	富山県立大学大学院工学研究科	宮崎 崇裕, 松田 敏弘, 岩田 栄之	97
基準電圧発生回路を用いた温度センサの設計	富山県立大学大学院工学研究科	鈴木 圭一, 松田 敏弘, 岩田 栄之	97
小型加速度センサ用回路の設計	富山県立大学工学研究科	杉本 考行, 松田 敏弘, 岩田 栄之	97
演算増幅器の試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆 英, ニコテムス レディアン	98
高線形化 CMOS トランスコンダクタとカレントミラー	筑波大学システム情報工学研究科	庄野 和宏, 董 宇輝, 石橋 幸男	98

平成18年度第1回オンセミコンダクター CMOS 1.2um 試作 (MOT061)

題 名	大 学 名	研 究 者	掲載頁
カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作	静岡理科大学電気電子情報工学科	波多野 裕, 鈴木 剛弘, 隈部 正 隆, 山口 祐揮	99
カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作	静岡理科大学電気電子情報工学科	波多野 裕, 成島 晃久, 福島 悠 介, 加治 寛己	99
カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作	静岡理科大学電気電子情報工学科	波多野 裕, 加治 寛己, 岡本 悠 未, 杉山 祐介	99
全 MOS 型定電流および(定電流/定電圧)回路の設計・試作(1)	岡山県立大学大学院情報系工学研究科	定本 竜明, 大曾根 隆志, 森下 賢 幸, 小椋 清孝	100
MOS型温度スイッチ回路の設計・試作	岡山県立大学大学院情報系工学研究科	定本 竜明, 大曾根 隆志, 森下 賢 幸, 小椋 清孝	100
パルス形ハードウェア CPG モデルの試作	日本大学理工学部	小野 克幸, 佐伯 勝敏, 関根 好文	100
CMOSを用いた基準電圧源回路の試作II	日本大学理工学部	松木 誠司, 佐伯 勝敏, 関根 好文	101
MOS型バイパス回路の試作	秋田大学工学資源学部	佐々木 健太, 井上 浩	101
90度移相器とアナログ形 PLL 用位相比較器の設計	秋田大学工学資源学部	三浦 和仁, 佐々木 裕史, 井上 浩	101
2 値位相比較方式 PLL 周波数シンセサイザ	茨城大学工学部メディア通信工学科	尾保手 茂樹	102
100 ピクセルの基礎実験用イメージセンサ	佐賀大学理工学部	原 重臣	102
CMOS DC-DC コンバータ出力 LSI の開発	富山県立大学大学院工学研究科	宮崎 崇裕, 松田 敏弘, 岩田 栄之	102
小型加速度センサ用オペアンプの設計	富山県立大学工学研究科	杉本 考行, 松田 敏弘, 岩田 栄之	103
基準電圧発生回路を用いた温度センサの設計	富山県立大学大学院工学研究科 富山県立大学工学部	鈴木 圭一, 松田 敏弘, 岩田 栄之 押山 弘樹	103
小型加速度センサ用回路の設計	富山県立大学工学研究科	杉本 考行, 松田 敏弘, 岩田 栄之	103

ワンチップFM放送受信システムの試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	104
演算増幅器の試作(2)	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	104
チャージポンプ型 DCDC コンバータ電源回路設計	早稲田大学 IPS	潘 俊, 井上 靖秋	104
2相駆動断熱的論理回路による4bit配列型乗算器	岐阜大学工学部 山形大学工学部	高橋 康宏, 関根 敏和 横山 道央	105
電圧モード多値論理基本回路とアナログ回路の試作	筑波技術大学産業技術学部	稲葉 基	105
VLSIプロセスによる光検出器の試作	金沢大学大学院自然科学研究科	飯山 宏一, 山王 紀明	105
演算増幅器設計試作を通じた高専 LSI 設計教育	有明工業高等専門学校電子情報工学科	石川 洋平, 金子 絢美, 西原 望	106
BioCMOS 回路	名古屋大学工学研究科	中里 宇野, 大浦, 杉本 圭正, 塚田	106

平成17年度第9回ローム CMOS 0.35um 試作 (RO35059)

題 名	大 学 名	研 究 者	掲載頁
Burst firing Inverse function Delayed Model によるニューラルネットワーク	東北大学電気通信研究所	末永 晋也, 早川 吉弘, 中島 康治	107
光通信用信号処理回路	慶應義塾大学理工学部	原 貴東, 松本 佳宣	107
アナログ LSI のための基本 RC 素子 TEG の設計	高知工科大学工学部 高知工科大学大学院工学研究科	安岡 佐知子, 橋 昌良 川越 伸一	107

平成17年度第10回ローム CMOS 0.35um 試作 (RO350510)

題 名	大 学 名	研 究 者	掲載頁
電流モード可変解像度エッジフィルタ	東京大学工学部 東京大学大学院新領域創成科学研究科	仁木 祐介 柴田 直	108
減算器分離型可変解像度エッジ抽出フィルタ	東京大学工学部 東京大学大学院新領域創成科学研究科	藤田 和英 柴田 直	108
ストカスティックコンピューティングシステムによるマンハッタン距離計算回路の設計	広島大学大学院先端物質科学研究科	堀 道弘, 岩田 穆	108
SFQ/CMOS ハイブリッドメモリの試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰	109
10chPreamp/Shaper/Discriminator	東京大学工学系研究科	島添 健次, 高橋 浩之	109
16ch 低雑音 CMOS プリアンプ	東京大学工学系研究科	島添 健次, 高橋 浩之	109
ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実, 小林 史典	110
FM 送受信 IC	立命館大学理工学部	野田 和也, 古野 裕隆, 藤田 智弘	110
8bit バイブラインプロセッサ	名古屋大学大学院工学研究科	市川 彰孝, 志村 一樹, 間所 峻洋, 小林 良太郎, 島田 俊夫	110
単分子オンチップ計測集積回路	名古屋大学工学研究科	中里 和郎, 宇野 重康, 石崎 賢治, 清水 毅, 山口 賢	111

平成17年度第11回ローム CMOS 0.35um 試作 (RO350511)

題 名	大 学 名	研 究 者	掲載頁
スマート RFID タグ用心音抽出回路と個体識別符号生成回路、及びその他関連回路	熊本大学大学院自然科学研究科	山川 俊貴, Timischl Felix, 千代永 純一, 梅田 武, 中島 晃, 米澤 隆広	112
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	酒田 礼治, 村上 知倫, 秋田 純一, 北川 章夫	112
LSI 設計コンテスト	金沢大学工学部集積回路工学研究室	村上 知倫, 秋田 純一, 北川 章夫	112
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	酒田 二三也, 金子 康隆, 秋田 純一, 北川 章夫	113
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	中山 雅文, 牧野 良成, 秋田 純一, 北川 章夫	113
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	野手 翔太, 中野 伸吾, 秋田 純一, 北川 章夫	113
LSI 設計コンテスト	金沢大学工学部 集積回路工学研究室	小林 正雄, 中野 伸吾, 秋田 純一, 北川 章夫	114
LSI テスタ/EB ブローバ実習用回路	金沢大学工学部集積回路工学研究室	金子 康隆, 秋田 純一, 北川 章夫	114
広い電圧余裕を持つ低電圧スイッチトカレント $\Delta \Sigma$ 変調器	名古屋工業大学大学院工学研究科	加藤 正史, 櫛田 幸一郎, 荒井 英輔	114
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	中村 和正, 松本 佳宣	115



蓄積容量変調型イメージセンサ	大阪大学大学院工学研究科	下ノ村 和弘, 八木 哲也	115
超多重 RFID 向けトランスポンダ実験チップ	神戸大学工学部情報知能工学科	福水 洋平, 永田 真	115

平成 17 年度第 1 2 回ローム CMOS 0.35um 試作 (RO350512)

題 名	大 学 名	研 究 者	掲載頁
画素毎に露光時間調節が可能な CMOS イメージセンサの試作	広島大学大学院先端物質科学研究科	畑野 昌洋, 亀田 成司, 岩田 穆	116
10bit パイプライン A/D コンバータの設計	大阪大学大学院工学研究科	桐原 正治, 川原 聡, 谷口 研二	116
SFQ/CMOS ハイブリッドメモリの試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰	116
SFQ/CMOS ハイブリッドメモリの試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰	117
ばらつき評価用テスト回路	広島市立大学情報科学部	寺田 和夫, 向 建宇	117
基本デバイス TEG の試作	秋田大学工学資源学部	佐々木 健太, 三浦 和仁, 井上 浩	117
自己修復アナログネットワーク	東京大学工学系研究科	藤原 健, 高橋 浩之	118
10chPET 用波形サンプリング型 ASIC	東京大学工学系研究科	島添 健次, 高橋 浩之	118
64×64 画素光無線 LAN 用ビジョンチップ	奈良先端科学技術大学院大学物質創成科学研究科	吉田 明洋, 野村 啓二, 香川 景一郎, 布下 正宏, 太田 淳	118
光無線 LAN TEG	奈良先端科学技術大学院大学物質創成科学研究科	吉田 明洋, 野村 啓二, 香川 景一郎, 布下 正宏, 太田 淳	119
傾斜面型共焦点法による 3 次元計測のための高機能イメージセンサ	大阪市立大学大学院工学研究科 奈良先端物質創成科学研究科	前田 康次, 村井 俊文, 宮崎 大介, 向井 孝彰 香川 景一郎, 太田 淳	119
ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実, 小林 史典	119
超多重 RFID 向けトランスポンダ実験チップ	神戸大学工学部情報知能工学科	福水 洋平, 永田 真	120
超多重 RFID 向けリーダ援用チップ	神戸大学工学部情報知能工学科	福水 洋平, 永田 真	120
FM 中間信号を用いた ΔΣ 変調器	名古屋大学工学研究科	松原 渉, 前澤 宏一	120
シャントコンダクタンスを挿入したオンチップ伝送線路の特性評価	大阪大学情報科学研究科 京都大学情報科学研究科	橋本 昌宜, Siriporn Jangsom-batsiri 土谷 亮	121
単分子オンチップ計測 CMOS 回路	名古屋大学工学研究科	中里 和郎, 宇野 重康, 石崎 賢治, 清水 毅, 山口 賢	121

平成 18 年度第 0 回ローム CMOS 0.35um 試作 (RO35060)

題 名	大 学 名	研 究 者	掲載頁
SFQ/CMOS ハイブリッドメモリの試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰	122
SFQ/CMOS ハイブリッドメモリの試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰	122
SFQ/CMOS ハイブリッドメモリ用ハイブリッドアンプの試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰	122

平成 18 年度第 1 回ローム CMOS 0.35um 試作 (RO35061)

題 名	大 学 名	研 究 者	掲載頁
SFQ/CMOS ハイブリッドメモリ用 CMOS 増幅器の試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平	123
CMOS DC-DC コンバータ制御 LSI の開発	富山県立大学大学院工学研究科	宮崎 崇裕, 松田 敏弘, 岩田 栄之	123
超多重 RFID 向けトランスポンダ実験チップ	神戸大学工学部情報知能工学科	福水 洋平, 郷地 直樹, 永田 真	123
LSI 故障診断装置評価用 TEG (1-1)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	124
LSI 故障診断装置評価用 TEG (1-2)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	124

平成 18 年度第 2 回ローム CMOS 0.35um 試作 (RO35062)

題 名	大 学 名	研 究 者	掲載頁
ソースフォロワのダイナミック切り離し現象を用いた極端値除外平均値回路	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	馬文静, 三田 吉郎 柴田 直	125
画素毎に露光時間調節が可能な CMOS イメージセンサの試作	広島大学大学院先端物質科学研究科	畑野 昌洋, 亀田 成司, 岩田 穆	125
UHF 帯 RFID 向け電源回路	東北大学工学研究科	坂井 靖文, 本田 将士, 小谷 光司, 伊藤 隆司	125
RFID 向け内部発振回路の設計・試作	東北大学大学院工学研究科	本田 将士, 坂井 靖文, 小谷 光司, 伊藤 隆司	126
Preamp/Shaper 信号処理回路と DAC テスト回路	東京大学工学系研究科	島添 健次, 高橋 浩之	126

信号伝播波形測定のためのオンチッププローブ回路の試作	高知工科大学大学院工学研究科 高知工科大学工学部	川越 伸一 橋 昌良	126
差動増幅器ベース全並列型アナログ・デジタル混載連想メモリ	広島大学ナノデバイス・システム研究センター	田中 裕己, アノワルル ムハマド・アベディン, マタウシュ ハンス・ユルゲン, 小出 哲士	127
単分子オンチップ計測集積回路	名古屋大学工学研究科	中里 和郎, 宇野 重康, 石崎, 清水, 山口 賢	127

平成18年度第3回ローム CMOS 0.35um 試作 (RO35063)

題 名	大 学 名	研 究 者	掲載頁
Feature Vector Generation Chip for Early Visual Processing Employing Edge Cache Memory Architecture	東京大学大学院新領域創成科学研究科 東京大学工学部 東京大学大学院工学系研究科	オストルク オッグ, 柴田 直 中川 琢規 馬 奕涛	128
多値 FPGA の演算セルと FGMOS 機能パスゲートの等価回路	東北大学大学院情報科学研究科	中谷 好博, 岡田 信彬, 張山 昌論, 亀山 充隆	128
多値・2 値ハイブリッド制御信号を用いたマルチコンテキスト FPGA	東北大学大学院情報科学研究科	中谷 好博, 張山 昌論, 亀山 充隆	128
SFQ/CMOS ハイブリッドメモリ用 CMOS 増幅器の試作	横浜国立大学工学府 横浜国立大学工学部	吉川 信行, 高橋 好明, 河合 宣彰 後藤 恭平	129
アクティブノイズコントロール用アナログ集積回路	名古屋工業大学大学院工学研究科	大畑 宏文, 加藤 正史	129
2 次スロープ補償を用いた電流制御方式 DC-DC コンバータの試作	中央大学理工学部	櫻井 宏樹, 海村 静和, 中村 裕亮, 杉本 泰博	129
16chPET 用 WaveformSampling 型信号処理回路	東京大学工学系研究科	島添 健次, 高橋 浩之	130
Preamp/Shaper 信号処理回路と DAC テスト回路	東京大学工学系研究科	島添 健次, 高橋 浩之	130
生体用途向け電位センサの試作	東京大学工学系研究科	島添 健次, 高橋 浩之	130
多相構造および SDFSA を用いた 32 倍アンメーションフィルタ	上智大学理工学部	田上 知樹, 和保 孝夫	131
パイプライン型 A/D 変換器の基本要素回路の試作	上智大学理工学部	長谷 宗彦, 和保 孝夫	131
光素子駆動回路	慶應義塾大学理工学部	青野 聖, 松本 佳宣	131
生体計測用信号処理回路	慶應義塾大学理工学部	北畑 雄太, 松本 佳宣	132
時変電源電圧駆動ダイナミック回路と擬似断線故障回路の試作	徳島大学大学院工学研究科 徳島大学大学院先端技術科学教育部 徳島大学大学院ソシオテクノサイエンス研究部	清水 達也 美崎 洋介, 東條 充 四柳 浩之	132
導電性衣服上の電力重量通信トランシーバ	金沢大学工学部	村上 知倫, 矢尾 真理子, 秋田 純一	132
バッテリーレス無線通信チップ評価回路	東京工業大学統合研究院	小林 由佳, 石田 光一, 岡田 健一, 益 一哉	133
CMOS 乗算回路の設計および特性評価	高知工科大学大学院工学研究科 高知工科大学工学部	田中 佳明 矢野 政顕, 橋 昌良	133
低電圧広ダイナミックレンジアナログフィルタ	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平 和田 和千	133
基板雑音の測定用 TEG と非線形素子を用いた ADC	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	鈴木 寛人, 八木 大介, 小野 貴史 和田 和千	134
FM 中間信号を用いた $\Delta\Sigma$ 変調器 2	名古屋大学工学研究科	松原 涉, 前澤 宏一	134
FM 中間信号を用いた $\Delta\Sigma$ 変調器のための要素回路の検討	名古屋大学工学研究科	前澤 宏一	134
PIC 互換プロセッサ	名古屋大学大学院工学研究科 名古屋大学工学部	谷口 英樹, 永田 真稔, 古川 智康, 小林 良太郎, 島田 俊夫 宮野 純	135
マルチ環境センサ用インターフェイス回路	兵庫県立大学大学院工学研究科 兵庫県立大学工学部	福本 洋祐, 藤田 孝之, 前中 一介 鈴木 文章	135
10 ビットパイプライン ADC の試作	長崎総合科学大学情報学部 東京大学理学系研究科	房安 貴弘 山口 頼人, 佐野 哲	135

平成18年度第4回ローム CMOS 0.35um 試作 (RO35064)

題 名	大 学 名	研 究 者	掲載頁
ディスプレイ出力付き計算機 ASIC	東京大学工学系研究科	門馬 太平	136
蓄積時間・バイアス電圧の自動調整機能を備えた CMOS イメージセンサ	東京大学工学系研究科	門馬 太平	136
電流モード可変解像度エッジフィルタ	東京大学大学院新領域創成科学研究科	仁木 祐介, 柴田 直	136

オペアンプの設計	大阪大学大学院工学研究科	池田 智, 熊倉 芳明, 田澤 正和, 田中 成斗, 寺澤 大志, 清水 由幸, 谷口 研二	137
Verilog-HDL を用いた非同期 FPGA の設計	東北大学大学院情報科学研究科	張山 昌論, 亀山 充隆	137
列並列 A/D 変換回路 TEG	茨城大学工学部	木村 孝之	137
高速 2 次元集積化磁気センサ	茨城大学工学部	木村 孝之	138
オペアンプシェア - パイプライン型 A/D 変換器の試作	上智大学理工学部	長谷 宗彦, 和保 孝夫	138
利得可変 CMOS 差動オペアンプ	上智大学理工学部	遠藤 茂, 和保 孝夫	138
LDO 用の過電流保護回路	電気通信大学電子工学科	HENG SOCHEAT, SHIMIZU MARIE, PHAM CONG KHA	139
基板雑音の打ち消し回路と演算増幅回路	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	鈴木 寛人 小山 靖仁, 中田 光俊, 山下 知憲, 和田 和千	139
超多重 RFID 向けトランスポンダ実験チップ	神戸大学工学部情報知能工学科	福水 洋平, 郷地 直樹, 永田 真	139
マルチスレッディングプロセッサ	早稲田大学情報生産システム研究科	木村 晋二, ザン チェンジエ	140
多値差動ロジック回路を活用した高性能データバス	東北大学電気通信研究所	羽生 貴弘, 望月 明, 白濱 弘勝	140
多値差動ロジック回路を用いた 32 ビットレジスタファイルおよび TEG	東北大学電気通信研究所	羽生 貴弘, 望月 明, 白濱 弘勝	140
16 ビットパイプラインプロセッサの設計実習	早稲田大学大学院情報生産システム研究科	池永 剛	141
16 ビットパイプラインプロセッサの設計実習	早稲田大学大学院情報生産システム研究科	池永 剛	141
実験用マイクロプロセッサおよび非同期シリアル通信回路	法政大学大学院工学研究科	平山 雄也, 斉藤 桂一, 杉森 亘, 高山 浩司, 輪島 基, 内倉 尚治, 藤田 実	141
LSI 故障診断装置評価用 TEG (1-3)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	142
LSI 故障診断装置評価用 TEG (2-1)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	142
LSI 故障診断装置評価用 TEG (2-2)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	142
低消費電力電流モードアルゴリズムック A/D 変換器	上智大学理工学部	春山 健一, 和保 孝夫	143

平成 18 年度第 5 回ローム CMOS 0.35um 試作 (RO35065)

題 名	大 学 名	研 究 者	掲載頁
減算器分離型可変解像度アナログエッジフィルタ	東京大学大学院新領域創成科学研究科	藤田 和英, 柴田 直	144
CMOS オペアンプの試作	芝浦工業大学大学院工学研究科	海野 正典, 野口 司, 上田 和宏	144
人工網膜チップにおける可変バイアス電圧生成回路	東北大学大学院工学研究科	小林 貴史, 福島 誉史, 田中 徹, 小柳 光正	144
GF(2 ^m)上の Digit-Serial 乗算器を用いた楕円曲線暗号 LSI の試作	早稲田大学理工学部 早稲田大学大学院情報生産システム研究科	奈良 竜太, 小原 俊逸, 戸川 望, 柳澤 政生, 大附 辰夫, 清水 一範, 池永 剛, 後藤 敏	145
全並列型ユークリッド最小距離検索メモリ	広島大学ナノデバイス・システム研究センター	アノワルル ムハマド・アベディン, 田中 裕己, 榎原 尚吾, マタウシュ ハンス・ユルゲン, 小出 哲士	145
PET 用波形サンプリング型信号処理回路	東京大学工学系研究科	島添 健次, 高橋 浩之	145
Preamp/Shaper 回路と ADC テスト回路	東京大学工学系研究科	島添 健次, 高橋 浩之	146
16ch 低雑音 CMOS プリアンプ	東京大学工学系研究科	島添 健次, 高橋 浩之	146
自主課題研究における 4 ビット加算器の試作	金沢大学工学部 金沢大学自然科学研究科	楠本 崇人, 小池 佑治, 辻 崇行, 深山 正幸	146
受光素子, 光再構成回路評価チップ 1	九州工業大学情報工学部	渡邊 実, 小林 史典	147
受光素子, 光再構成回路評価チップ 2	九州工業大学情報工学部	渡邊 実, 小林 史典	147
信号伝播波形測定のためのオンチッププローブ回路の試作 (2)	高知工科大学大学院工学研究科 高知工科大学工学部	川越 伸一 橋田 啓示, 真田 克, 橋 昌良	147
演算ユニット回路 PE(Processing Element)の試作	千葉大学工学部 千葉大学自然科学研究科	阮 双玉, 大島 豊, 難波 一輝, 伊藤 秀男 池田 卓史	148
CMOS DC-DC コンバータ制御 LSI の開発	富山県立大学大学院工学研究科	宮崎 崇裕, 松田 敏弘, 岩田 栄之	148
パイプラインステージ統合のスルーブット制御機構	名古屋大学大学院工学研究科	間所 峻洋, 小林 良太郎, 島田 俊夫	148
長期保持可能なアナログ記憶回路の設計	山形大学工学部電気電子工学科	山田 卓, 高橋 良輔, 原田 知規, 奥山 澄雄, 松下 浩一	149

セキュアプロセッサ SEP-6R の設計	岩手県立大学地域連携研究センター組込み技術研究所 岩手県立大学大学院ソフトウェア情報学研究科	曾我 正和 高橋 大介	149
LSI 故障診断装置評価用 TEG (3-1)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	149
LSI 故障診断装置評価用 TEG (3-2)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	150
LSI 故障診断装置評価用 TEG (3-3)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	150
LSI 故障診断装置評価用 TEG (3-4)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	150
LSI 故障診断装置評価用 TEG (3-5)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	151
LSI 故障診断装置評価用 TEG (4)	大阪大学大学院情報科学研究科	三浦 克介, 中前 幸治	151
全並列型ユークリッド距離を用いた複数データ検索連想メモリ	広島大学ナノデバイス・システム研究センター	アノワルル ムハマド・アベディン, 田中 裕己, 榎原 尚吾, マタウシュ ハンス・ユルゲン, 小出 哲士	151

平成17年度ローム CMOS 0.18um テストラン (RO1805)

題 名	大 学 名	研 究 者	掲載頁
高周波回路用回路素子のモデリング	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実, 石橋 浩二, 小林 直樹, バダラフ ワサントマーラー 本良 瑞樹	152
Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture	東京大学大学院新領域創成科学研究科	伊藤 潔人, 柴田 直	152
Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture	東京大学大学院新領域創成科学研究科	伊藤 潔人, 柴田 直	152
アナログ回路評価 TEG	広島大学大学院先端物質科学研究科	外谷 昭洋, 升井 義博, 向井 徹, Hossain Quazi, 岩田 穆	153
●	金沢大学工学部 集積回路工学研究室	高田 雅史, 高木 宏章, 中野 伸吾, 早瀬 佳, 村上 知倫, 牧野 良成, 秋田 純一, 北川 章夫	153
●	金沢大学工学部 集積回路工学研究室	高田 雅史, 高木 宏章, 中野 伸吾, 早瀬 佳, 村上 知倫, 牧野 良成, 秋田 純一, 北川 章夫	153
イメージセンサ TEG	奈良先端科学技術大学院大学物質創成科学研究科	野村 啓二, 安達 雄大, 香川 景一郎, 布下 正宏, 太田 淳	154
Karatsuba アルゴリズムに基づく小面積乗算器	名古屋大学大学院情報科学研究科	川島 裕崇, 高木 一義, 高木 直史	154
高周波基板結合検出回路と電流モード通信回路	神戸大学工学部情報知能工学科	小坂 大輔, 檀上 匠, 荻野 哲宏, 永田 真	154

平成18年度第1回ローム CMOS 0.18um 試作 (RO18061)

題 名	大 学 名	研 究 者	掲載頁
脳波計測無線通信システム	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実 高野 恭弥	155
動的リコンフィギャラブルプロセッサのプロセッシングエレメントの試作	慶應義塾大学理工学部情報工学科	天野 英晴, 長谷川 揚平, 堤 聡, 中村 拓郎, 西村 隆, 佐野 徹, 加東 勝, 斎藤 正太郎	155
電力見積もりツールとコード配置最適化ツールの評価を目的とした SH3-DSP チップの試作	九州大学システム LSI 研究センター 九州大学大学院システム情報科学府	石原 亨, 室山 真徳 山口 誠一郎	155
コンパクトかつ多入力ソーティング回路 TEG およびエッジフィルタ TEG	東京大学大学院新領域創成科学研究科 東京大学工学部 東京大学大学院工学系研究科	グエンタンリム, 藤田 和英, 柴田 直 福岡 雄大 高山 伸一	156
低消費電力電流演算型メディアン値探索回路	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	山崎 英男 柴田 直	156
初期シードベクトル自動生成汎用 K-MEANS プロセッサ	東京大学大学院新領域創成科学研究科	鹿野 博嗣, 藤田 和英, 柴田 直	156
初期シードベクトル自動生成汎用 K-MEANS プロセッサ TEG	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	鹿野 博嗣, 藤田 和英, 柴田 直 馬 奕涛	157
設計環境構築用 TEG ならびに RF 回路	京都大学工学部 京都大学大学院情報科学研究科	五嶋 宏通, 山岡 雅史 濱田 隆行, 久保木 猛, 土谷 亮, 小林 和淑, 小野寺 秀俊	157
CMOS 準ミリ波帯フロントエンドの研究	広島大学先端物質科学研究科	向井 徹, 佐々木 守, 岩田 穆	157
神経信号センシング回路 TEG	広島大学先端物質科学研究科	吉田 毅, 浴 良仁, 有田 真一, 岩田 穆	158

リコンフィギュラブルメモリ LSI	東北大学大学院工学研究科	天野 大二郎, 杉村 武昭, 小西 雄太, 福島 誉史, 田中 徹, 小柳 光正	158
空間多重通信方式に用いる BPSK 送信機の試作	金沢大学工学部 集積回路工学研究室	早瀬 佳, 中野 伸吾, 秋田 純一, 北川 章夫	158
空間多重通信方式に用いる BPSK 送信機の試作	金沢大学工学部 集積回路工学研究室	藤枝 茂, 牧野 良成, 早瀬 佳, 秋田 純一, 北川 章夫	159
低温デバイスモデル作製用 MOSFET の試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平	159
ROHM018 テスト回路 (プリアンプ, VGA)	東京大学工学系研究科	島添 健次, 藤原 健, 石 伯軒, 高橋 浩之	159
Karatsuba アルゴリズムに基づく小面積乗算器の設計	名古屋大学大学院情報科学研究科	川島 裕崇, 高木 一義, 高木 直史	160
MIPS 命令互換一般同期評価用プロセッサ	東京工業大学大学院理工学研究科	原田 陽介, 小平 行秀, 富岡 洋一, バクチアル アフェンディ, 高橋 洋介, 橋本 浩良, 高橋 篤司	160
MIPS 命令互換ユースフルスキュー評価用プロセッサ	東京工業大学大学院理工学研究科	小平 行秀, 富岡 洋一, 原田 陽介, バクチアル アフェンディ, 高橋 洋介, 橋本 浩良, 高橋 篤司	160
低電源電圧に対応した低消費電力回路設計技術の評価チップ	神戸大学大学院自然科学研究科 神戸大学工学部	飯島 正章, 北村 雅之, 鳥居 洋介 沼 昌宏	161
CMOS オンチップ左手系伝送線路	東京工業大学統合研究院	金 章九, 清田 淳紀, 山内 拓弥, 岡田 健一, 益 一哉	161
ミックスドシグナル LSI のための基本素子 TEG の設計	高知工科大学工学部 高知工科大学大学院工学研究科	北地 祐子, 矢野 政顕, 橋 昌良 桑田 聡子, 川越 伸一	161
低電圧ログドメインフィルタと各種 TEG	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平 和田 和千	162
0.18umCMOS 試作のための基本回路 TEG	大阪大学大学院工学研究科	下ノ村 和弘, 八木 哲也	162
高周波基板結合検出回路	神戸大学工学部情報知能工学科	檀上 匠, 荻野 哲宏, 小坂 大輔, 永田 真	162
Zigbee(2.4GHz)の受信ブロックの試作と TEG	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レティアン	163
通信用回路 TEG	東京工業大学大学院理工学研究科	倉科 隆, 鄭 明奎, 白 戴和, 張 義偉, 松澤 昭	163
パンプ素子及びトランジスタ特性評価 TEG	東京工業大学大学院理工学研究科	倉科 隆, 鄭 明奎, 白 戴和, 張 義偉, 松澤 昭	163
対基板用アクティブデカップリング回路の試作	慶應義塾大学理工学部	中野 誠彦, 樋口 大輔, 佐藤 大祐, 森本 一毅	164
対電源線用アクティブデカップリング回路の試作	慶應義塾大学理工学部	中野 誠彦, 樋口 大輔, 佐藤 大祐, 森本 一毅	164
基板情報抽出用 TEG の試作	慶應義塾大学理工学部	中野 誠彦, 豊丸 弘爾	164
低電圧で動作するアナログ回路とアナログ記憶素子の設計	山形大学工学部電気電子工学科	高橋 良輔, 原田 知親, 奥山 澄雄, 松下 浩一	165
高速通信用 CMOS アナログ基本回路&素子 TEG	群馬大学大学院工学研究科	石原 昇	165
光送受信用高速 CMOS アナログ集積回路 TEG	群馬大学大学院工学研究科	石原 昇	165
10Gbps 光配線用開ループ型 VCSEL 駆動回路	鹿児島大学大学院理工学研究科 鹿児島大学工学部	李 言勝, 厚地 保幸 関 健治, 大畠 賢一, 山下 喜市	166
全並列型アナログ・デジタル混載連想メモリの性能評価回路	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	田中 裕己, 弓崎 晃大 マタウシュ ハンス・ユルゲン, 小出 哲士	166
●	名古屋大学工学研究科	中里 和郎, 宇野 重康, 林 勝堅, 杉山 洋平	166

平成 18 年度第 1 回 ASPLA CMOS 90nm 試作 (AS90061)

題 名	大 学 名	研 究 者	掲載頁
ミリ波帯で動作する無線通信回路	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	藤島 実, Lai CheeHong, Oncu Ahmet, 神林 裕樹 本良 瑞樹	167
90nm 世代のばらつきおよびシグナル・パワーインテグリティ評価チップ	東京大学国際・産学共同研究センター	桜井 貴康, 稲垣 賢一, 皆川 拓也, 呉 文豪	167
プリエンファシス技術を用いたオンチップ差動伝送線路配線	東京工業大学統合研究院	伊藤 浩之, 杉田 英之, 岡田 健一, 益 一哉	167

LSIの消費電力の「モニタ」「無線伝送」「削減」に関する回路技術	東京大学国際・産学共同研究センター 東京大学大規模集積システム設計教育研究センター	呉 文豪, 鬼塚 浩平, 肖 利民, 桜井 貴康 高宮 真	168
----------------------------------	--	----------------------------------	-----

平成18年度第2回 ASPLA CMOS 90nm 試作 (AS90062)

題 名	大 学 名	研 究 者	掲載頁
ミリ波帯無線通信に向けた部分回路	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実, ライ チーホン, オンチュ アーメット, 石橋 浩二, バダラワ ワサントマーラー, 神林 裕樹 高野 恭弥	169
歩留まり向上を目的とした設計手法の有効性検証と基礎データ取得のための TEG	九州大学大学院システム情報科学研究院 九州大学システム LSI 研究センター 九州大学大学院システム情報科学府 九州大学工学部	安浦 寛人 石原 亨, 室山 真徳 坂本 良太, 山口 聖貴 松村 忠幸	169
チップ内ばらつきを利用して歩留まりならびに性能を向上させる FPGA その 1	京都大学情報学研究科 京都大学電気電子工学科	香月 和也, 小林 和淑, 小野寺 秀俊 久米 洋平	169
90nm 世代のばらつき調査および基板バイアスを利用したばらつき抑制回路評価チップ	東京大学国際・産学共同研究センター	桜井 貴康, 稲垣 賢一, 中村 安見, 皆川 拓也, 肖 利民	170
●	大阪府立大学大学院工学研究科	安田 真史, 八幡 和樹, 泉 勝俊	170
電源ノイズ波形測定と MOS 基板電位特性測定 TEG	大阪大学情報科学研究科	小笠原 泰弘, 更田 裕司, 橋本 昌宜, 尾上 孝雄	170
LSI 低消費電力回路技術	東京大学国際・産学共同研究センター 東京大学大規模集積システム設計教育研究センター	Levacq David, 肖 利民, 鬼塚 浩平, 桜井 貴康 高宮 真	171

平成18年度第3回 ASPLA CMOS 90nm 試作 (AS90063)

題 名	大 学 名	研 究 者	掲載頁
ミリ波帯で動作する無線通信回路	東京大学新領域創成科学研究科 東京大学工学系研究科	藤島 実, Oncu Ahmet, 石橋 浩二, 後藤 陽介 本良 瑞樹	172
チップ内ばらつきを利用して歩留まりならびに性能を向上させる FPGA その 2	京都大学情報学研究科 京都大学電気電子工学科	香月 和也, 小林 和淑, 小野寺 秀俊 久米 洋平	172
低電圧動作アナログ要素回路 TEG	広島大学先端物質科学研究科	吉田 毅, 升井 義博, 小島 康志, 岩田 穆	172
電流モード高速バイプライン形 AD 変換器	広島大学先端物質科学研究科	明山 亮太, 岩田 穆	173
低電圧動作アナログ要素回路 TEG	広島大学先端物質科学研究科	吉田 毅, 升井 義博, 小島 康志, 岩田 穆	173
低温デバイスモデル作製用 MOSFET の試作	横浜国立大学工学府	吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平	173
差動伝送線路を用いたオンチップバス	東京工業大学統合研究院	木村 実人, 清田 淳紀, 上園 巧, 富 万林, 岡田 健一, 佐藤 高史, 益 一哉	174
非同期多値データ転送に基づく LDPC デコーダチップ	東北大学電気通信研究所	羽生 貴弘, 鬼沢 直哉	174
低電力・高速 AD 変換器用要素回路試作	鹿児島大学工学部 鹿児島大学理工学研究科	大島 賢一, 清水 佑一郎, 内野 浩基 上村 勇仁, 矢山 浩輔	174
LSI 低消費電力回路技術	東京大学国際・産学共同研究センター 東京大学大規模集積システム設計教育研究センター	新山 太郎, 鬼塚 浩平, 肖 利民, 稲垣 賢一, 桜井 貴康 高宮 真	175

平成18年度第4回 ASPLA CMOS 90nm 試作 (AS90064)

題 名	大 学 名	研 究 者	掲載頁
素子特性のばらつきに強い非同期式 FPGA と高速動作可能な多値 FPGA の試作	東北大学大学院情報科学研究科 東北大学工学部	岡田 信彬, 張 家偉, 張山 昌論, 亀山 充隆 石原 翔太	176
微細化, 低電圧化された素子環境でのばらつきと設計信頼性向上のための基礎的な回路的研究開発	東京大学国際・産学共同研究センター 東京大学生産技術研究所	桜井 貴康, 稲垣 賢一, Levacq David, 鬼塚 浩平, 肖 利民, 石田 将也 新山 太郎, 周 志偉	176
定在波を用いた超高速クロック分配ネットワーク回路	広島大学先端物質科学研究科	汐崎 充, 森 敦, 佐々木 守	176

45nm 世代以後に向けた低電力・低リーク回路技術	中央大学理工学部情報工学科	榎本 忠儀, 小林 伸彰, 石川 雄悟, 金子 達也, 岩成 武司, 仲山 拓頭, 萩原 洋介, 筒井 俊博	177
消費電力を 50%削減する動的電圧/周波数制御型 H.264/AVC デコーダコア	神戸大学大学院自然科学研究科 金沢大学大学院自然科学研究科 神戸大学工学部	川上 健太郎, 黒田 光彦 竹村 淳 坂田 義典, 川口 博, 吉本 雅彦	177
加算器のサブスレッシュホールド動作評価回路, および基板電位制御の評価回路	大阪大学情報科学研究科	更田 裕司, 濱本 浩一, 高橋 一真, 橋本 昌宜, 密山 幸男, 尾上 孝雄	177

平成 18 年度第 5 回 ASPLA CMOS 90nm 試作 (AS90065)

題 名	大 学 名	研 究 者	掲載頁
メディア処理向け小面積リコンフィギュラブルプロセッサ	大阪大学情報科学研究科	高橋 一真, 更田 裕司, 密山 幸男, 橋本 昌宜, 尾上 孝雄	178
2 ステージパイプライン方式を用いた汎用 16 ポート SRAM	広島大学ナノデバイス・システム研究センター	上口 光, 椋田 佑也, 碧山 賢一, マタウシュ ハンス・ユルゲン, 小出 哲士	178
誘導結合型チップ間無線通信チャネルの諸性能評価用チップ	慶應義塾大学理工学部	吉田 洋一, 三浦 典之, 黒田 忠広	178
リングオシレータを用いた瞬時 IR-drop の観測	東京工業大学統合研究院	佐藤 高史, 上蘭 巧, 天川 修平, 中山 範明, 萩原 汐, 岡田 健一, 益 一哉	179
低消費電力実時間動画処理応用マルチポート SRAM	神戸大学大学院自然科学研究科 神戸大学工学部	藤原 英弘, 新居 浩二, 森田 泰弘, 野口 紘希 井口 友輔, 川口 博, 吉本 雅彦	179
微細 CMOS 基準電圧発生回路の設計	富山県立大学大学院工学研究科	鈴木 圭一, 松田 敏弘, 岩田 栄之	179
1.14Gb/s 15360bits LDPC 符号復号器 LSI	早稲田大学大学院情報生産システム研究科	清水 一範, 池永 剛, 後藤 敏	180
走行時パワーゲーティング制御による動作時リーク電力低減技術の実装と評価	芝浦工業大学大学院工学研究科 芝浦工業大学工学部	武田 清大, 香嶋 俊裕, 大久保 直昭 白井 利明, 宇佐美 公良	180

平成 18 年度第 6 回 ASPLA CMOS 90nm 試作 (AS90066)

題 名	大 学 名	研 究 者	掲載頁
ミリ波帯送受信回路と 7GHz 帯 1Gbit/s 無線通信回路向け TEG	東京大学大学院新領域創成科学研究科 東京大学大学院新領域創成科学研究科 東京大学工学部	藤島 実 石橋 浩二, 後藤 陽介, 神林 裕樹, オウトウ, 乾 千乗 青木 征洋	181
$\Delta \Sigma$ AD 変換器用低電力・高速量子化器の TEG	広島大学工学部 広島大学大学院先端物質科学研究科	原田 良枝 岩田 穆	181
可変誘導性負荷による 15GHz 定在波クロック分配ネットワーク	広島大学先端物質科学研究科	汐崎 充, 森 敦, 佐々木 守	181
可変誘導性負荷による 15GHz 定在波クロック分配ネットワーク (TEG)	広島大学先端物質科学研究科	汐崎 充, 森 敦, 佐々木 守	182
45nm 世代以後に向けた低電力・低リーク回路技術	中央大学理工学部情報工学科	榎本 忠儀, 小林 伸彰, 石川 雄悟, 金子 達也, 岩成 武司, 仲山 拓頭, 萩原 洋介, 筒井 俊博	182
32nm 世代 SoC に向けた低電圧動作 SRAM の実験的検証	神戸大学大学院自然科学研究科 神戸大学工学部	森田 泰弘, 藤原 英弘, 野口 紘希, 新居 浩二 井口 友輔, 川口 博, 吉本 雅彦	182
微細 CMOS 基準電圧発生回路を用いた温度センサの設計	富山県立大学大学院工学研究科 富山県立大学工学部	鈴木 圭一, 松田 敏弘, 岩田 栄之 押山 弘樹	183
フローディング型演算アルゴリズムに基づく超高速 LDPC デコーダ VLSI の開発	東北大学電気通信研究所	羽生 真弘, 鬼沢 直哉, 池田 智和	183
電源ノイズ波形測定 TEG	大阪大学情報科学研究科	小笠原 泰弘, 橋本 昌宜, 尾上 孝雄	183

平成 18 年度第 2 回 MOSIS-TSMC CMOS 0.25um 試作 (MT25062)

題 名	大 学 名	研 究 者	掲載頁
宇宙電磁環境観測用プラズマ波動計測アナログチップ	京都市大学生存圏研究所	小嶋 浩嗣, 松本 陽史, 上田 義勝	184

平成 18 年度第 3 回 MOSIS-TSMC CMOS 0.25um 試作 (MT25063)

題 名	大 学 名	研 究 者	掲載頁
高精度湿度センサー及び高速通信用基礎検討 TEG	大阪大学工学研究科	田中 智之, 井田 司, 松岡 俊匡, 谷口 研二	185

JEM-EUSO 望遠鏡用 MAPMT 信号読み出し ASIC	甲南大学理工学部 ISAS/JAXA 宇宙探査工学研究系	梶野 文義 池田 博一	185
---------------------------------	---------------------------------	----------------	-----

平成 17 年度第 4 回 MOSIS-TSMC CMOS 0.25um 試作 (MT25054)

題 名	大 学 名	研 究 者	掲載頁
弱反転領域動作 ΔΣ モジュレータ	大阪大学工学研究科	井田 司, 田中 智之, 松岡 俊匡, 谷口 研二	186

平成 18 年度第 1 回 MOSIS-TSMC CMOS 0.18um 試作 (MT18061)

題 名	大 学 名	研 究 者	掲載頁
3 次元集積技術を用いたマルチオブジェクト認識システムのための画像前処理チップ	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・システム研究センター	亀田 成司, 安藤 博士, 有園 大介, 小田原 正起, 佐々木 守, 岩田 穆 佐々木 信雄, 吉川 公麿	187
3 次元集積技術を用いたマルチオブジェクト認識システムのための参照メモリチップ	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・システム研究センター	安藤 博士, 亀田 成司, 有園 大介, 佐々木 守, 岩田 穆 佐々木 信雄, 木元 健太郎, 吉川 公麿	187
3 次元集積技術を用いたマルチオブジェクト認識システムのための検出・認識チップ	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・システム研究センター	安藤 博士, 亀田 成司, 有園 大介, 佐々木 守, 岩田 穆 佐々木 信雄, 木元 健太郎, 吉川 公麿	187

平成 18 年度第 3 回 MOSIS-TSMC CMOS 0.18um 試作 (MT18063)

題 名	大 学 名	研 究 者	掲載頁
リコンフィギュラブル RF 回路に向けた 0.98-6.6GHz 広帯域 VCO	東京工業大学統合研究院	伊藤 雄作, 菅原 弘雄, 岡田 健一, 益 一哉	188
UWB 送受信回路チップ	広島大学ナノデバイス・システム研究センター	佐々木 信雄, 福田 雅志, 新田 雅和, 吉川 公麿	188

平成 18 年度第 1 回 OKI SOI CMOS 0.15umSOI 試作 (OKI0603)

題 名	大 学 名	研 究 者	掲載頁
LSI 基板変更法テスト用デバイス・回路搭載の SOI チップ Version1	東京大学大学院工学系研究科	三田 吉郎, シーサムラヌ・サックグダー	189
●	京都大学情報学研究科	牟田 博和, 小林 和淑, 小野寺 秀俊	189
無線 LAN 受信機の RF フロントエンドの試作	大阪大学大学院工学研究科	木原 崇雄, 中村 圭志, 松岡 俊匡, 谷口 研二	189
FD-SOI によるセンサー用フロントエンド回路	宇宙航空研究開発機構宇宙科学研究本部 宇宙探査工学研究系 高エネルギー加速器研究機構素粒子原子核研究所	池田 博一 新井 康夫	190
CMOS アクティブ型磁界プローブ	静岡大学電子科学研究科 静岡大学電子工学研究所 東北大学大学院工学研究科	青山 聡 川人 祥二 山口 正洋	190
ポティ電位フォース・モニタ回路と SOI トランジスタ回路技術	早稲田大学大学院情報生産システム研究科	岡村 怜王奈, 吉原 務	190
集積化マイクロ磁界プローブ	東北大学大学院工学研究科 東北大学工学部	山口 正洋, 小屋 祥太 鳥塚 英樹	191

平成 18 年度第 2 回 OKI SOI CMOS 0.15umSOI 試作 (OKI0610)

題 名	大 学 名	研 究 者	掲載頁
LSI 基板変更法テスト用デバイス・回路搭載の SOI チップ Version2	東京大学大学院工学系研究科	三田 吉郎, シーサムラヌ・サックグダー	192
トランスを用いた広帯域 LNA	大阪大学大学院工学研究科	木原 崇雄, 松岡 俊匡, 谷口 研二	192
生体信号用低電圧 A/D 変換回路と 3 倍 VDD 動作フィルタ回路	東京工業大学統合研究院	石田 光一, 益 一哉	192
RF マイクロ電磁界プローブ	東北大学大学院工学研究科 東北大学工学部	山口 正洋, 小屋 祥太 鳥塚 英樹	193

平成17年度第2回日立 CMOS 0.18um 試作 (HIT18052)

題 名	大 学 名	研 究 者	掲載頁
多目的 k-mean 学習プロセッサ	東京大学大学院新領域創成科学研究科	鹿野 博嗣, 伊藤 潔人, 柴田 直	194
Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture	東京大学大学院新領域創成科学研究科	伊藤 潔人, 柴田 直	194
Early Visual Processing Chip Employing Cache Memory Architecture	東京大学大学院新領域創成科学研究科	オストルク オウグ, 柴田 直	194
オンチップ電流検出回路用センサアレイとアナログ・デジタル変換回路	東京大学工学系研究科	石田 光一	195
相乗りする複数デジタル回路 IP のオンチップ測定方式	広島市立大学情報科学研究科	吉原 理記, 井上 智宏, 浅生 宗隆, 谷川 一哉, 弘中 哲夫	195
高速バスドライバ回路の改良	明星大学情報学部	秋山 豊, 宇佐美 保, 大塚 寛治	195
ブリエンファシス技術を用いたオンチップ差動伝送線路配線	東京工業大学統合研究院	伊藤 浩之, 杉田 英之, 岡田 健一, 益 一哉	196
ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	九州工業大学情報工学部	渡邊 実, 小林 史典	196
リング発振器を用いた基板ノイズ評価用回路の試作	慶應義塾大学理工学部	中野 誠彦, 西山 茂樹, 樋口 大輔, 森本 一毅	196
インバータチェーンを用いた基板ノイズ評価用回路の試作	慶應義塾大学理工学部	中野 誠彦, 西山 茂樹, 樋口 大輔, 森本 一毅	197
9/7 タップウェーブレットフィルタ	関西大学工学部	堀場 康孝	197

2. 2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
OKI0603	LSI基板変更法テスト用デバイス・回路搭載のSOIチップVersion1	三田 吉郎, シーサムラヌ・サックダー	189
OKI0610	LSI基板変更法テスト用デバイス・回路搭載のSOIチップVersion2	三田 吉郎, シーサムラヌ・サックダー	192

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
AS90061	90nm世代のばらつきおよびシグナル・パワーインテグリティ評価チップ	桜井 貴康, 稲垣 賢一, 皆川 拓也, 呉 文豪	167
AS90061	LSIの消費電力の「モニタ」「無線伝送」「削減」に関する回路技術	呉 文豪, 鬼塚 浩平, 肖 利民, 桜井 貴康, 高宮 真	168
AS90062	歩留まり向上を目的とした設計手法の有効性検証と基礎データ取得のためのTEG	安浦 寛人, 石原 亨, 室山 真徳, 坂本 良太, 山口 聖貴, 松村 忠幸	169
AS90062	90nm世代のばらつき調査および基板バイアスを利用したばらつき抑制回路評価チップ	桜井 貴康, 稲垣 賢一, 中村 安見, 皆川 拓也, 肖 利民	170
AS90062	●	安田 真史, 八幡 和樹, 泉 勝俊	170
AS90062	電源ノイズ波形測定とMOS基板電位特性測定TEG	小笠原 泰弘, 更田 裕司, 橋本 昌宜, 尾上 孝雄	170
AS90062	LSI低消費電力回路技術	Levacq David, 肖 利民, 鬼塚 浩平, 桜井 貴康, 高宮 真	171
AS90063	LSI低消費電力回路技術	新山 太郎, 鬼塚 浩平, 肖 利民, 稲垣 賢一, 桜井 貴康, 高宮 真	175
AS90064	微細化, 低電圧化された素子環境でのばらつきと設計信頼性向上のための基礎的な回路的研究開発	桜井 貴康, 稲垣 賢一, Levacq David, 鬼塚 浩平, 肖 利民, 石田 将也, 新山 太郎, 周 志偉	176
AS90064	45nm世代以後に向けた低電力・低リーク回路技術	榎本 忠儀, 小林 伸彰, 石川 雄悟, 金子 達也, 岩成 武司, 仲山 拓顕, 萩原 洋介, 筒井 俊博	177
AS90064	加算器のサブスレッショルド動作評価回路, および基板電位制御の評価回路	更田 裕司, 濱本 浩一, 高橋 一真, 橋本 昌宜, 密山 幸男, 尾上 孝雄	177
AS90065	リングオシレータを用いた瞬時IR-dropの観測	佐藤 高史, 上蘭 巧, 天川 修平, 中山 範明, 萩原 汐, 岡田 健一, 益 一哉	179
AS90066	$\Delta \Sigma$ AD変換器用低電力・高速量子化器のTEG	原田 良枝, 岩田 穆	181
AS90066	可変誘導性負荷による15GHz定在波クロック分配ネットワーク(TEG)	汐崎 充, 森 敦, 佐々木 守	182
AS90066	電源ノイズ波形測定TEG	小笠原 泰弘, 橋本 昌宜, 尾上 孝雄	183
HIT18052	オンチップ電流検出回路用センサレイとアナログ・デジタル変換回路	石田 光一	195
HIT18052	相乗りする複数デジタル回路IPのオンチップ測定方式	吉原 理記, 井上 智宏, 浅生 宗隆, 谷川 一哉, 弘中 哲夫	195
HIT18052	高速バスタライバ回路の改良	秋山 豊, 宇佐美 保, 大塚 寛治	195
MOT052	計数回路, メモリレジスタ, および10進加算回路の設計試作	波多野 裕, 鈴木 博也, 森 章紀, 田力 正徳, 芝田 通明	93
MOT052	計数回路, メモリレジスタ, および10進加算回路の設計試作	波多野 裕, 鈴木 博也, 森 章紀, 芝田 通明, 田力 正徳	93
MOT052	MOS型定電流回路の設計・試作(7)	定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝	93
MOT052	MOS型整流回路・直流電圧増幅回路の設計・試作(6)	定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝	94
MOT052	MOS型温度センサ回路の設計・試作	定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝	94
MOT061	カスケード電圧スイッチ論理回路, 桁上げ伝搬加算回路, 及び順序論理回路群の設計試作	波多野 裕, 鈴木 剛弘, 隈部 正隆, 山口 祐揮	99
MOT061	カスケード電圧スイッチ論理回路, 桁上げ伝搬加算回路, 及び順序論理回路群の設計試作	波多野 裕, 成島 晃久, 福島 悠介, 加治 寛己	99
MOT061	カスケード電圧スイッチ論理回路, 桁上げ伝搬加算回路, 及び順序論理回路群の設計試作	波多野 裕, 加治 寛己, 岡本 悠未, 杉山 祐介	99
MOT061	全MOS型定電流および(定電流/定電圧)回路の設計・試作(1)	定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝	100
MOT061	MOS型温度スイッチ回路の設計・試作	定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝	100
MOT061	VLSIプロセスによる光検出器の試作	飯山 宏一, 山王 紀明	105
MT25063	高精度湿度センサー及び高速通信用基礎検討TEG	田中 智之, 井田 司, 松岡 俊匡, 谷口 研二	185
OKI0603	●	牟田 博和, 小林 和淑, 小野寺 秀俊	189
OKI0603	ボディ電位フォース・モニタ回路とSOIトランジスタ回路技術	岡村 怜王奈, 吉原 務	190
RO1805	高周波回路用回路素子のモデリング	藤島 実, 石橋 浩二, 小林 直樹, バダラワ ワサタマール, 本良 瑞樹	152

RO1805	アナログ回路評価TEG	外谷 昭洋, 升井 義博, 向井 徹, Hossain Quazi, 岩田 穆	153
RO1805	●	高田 雅史, 高木 宏章, 中野 伸吾, 早瀬 佳, 村上 知倫, 牧野 良成, 秋田 純一, 北川 章夫	153
RO1805	●	高田 雅史, 高木 宏章, 中野 伸吾, 早瀬 佳, 村上 知倫, 牧野 良成, 秋田 純一, 北川 章夫	153
RO18061	コンパクトかつ多入力ソーティング回路TEGおよびエッジフィルタTEG	グェンタンリム, 藤田 和英, 柴田 直, 福岡 雄大, 高山 伸一	156
RO18061	設計環境構築用TEGならびにRF回路	五嶋 宏通, 山岡 雅史, 濱田 隆行, 久保木 猛, 土谷 亮, 小林 和淑, 小野寺 秀俊	157
RO18061	ROHM018テスト回路 (プリアンプ, VGA)	島添 健次, 藤原 健, 石 伯軒, 高橋 浩之	159
RO18061	低電源電圧に対応した低消費電力回路設計技術の評価チップ	飯島 正章, 北村 雅之, 鳥居 洋介, 沼 昌宏	161
RO18061	CMOSオンチップ左手系伝送線路	金 章九, 清田 淳紀, 山内 拓弥, 岡田 健一, 益 一哉	161
RO18061	ミックスドシグナルLSIのための基本素子TEGの設計	北地 祐子, 矢野 政顕, 橋 昌良, 桑田 聡子, 川越 伸一	161
RO18061	0.18umCMOS試作のための基本回路TEG	下ノ村 和弘, 八木 哲也	162
RO18061	高周波基板結合検出回路	檀上 匠, 荻野 哲宏, 小坂 大輔, 永田 真	162
RO18061	パッシブ素子及びトランジスタ特性評価TEG	倉科 隆, 鄭 明奎, 白 戴和, 張 義偉, 松澤 昭	163
RO18061	基板情報抽出用TEGの試作	中野 誠彦, 豊丸 弘爾	164
RO18061	低電圧で動作するアナログ回路とアナログ記憶素子の設計	高橋 良輔, 原田 知親, 奥山 澄雄, 松下 浩一	165
RO18061	高速通信用CMOSアナログ基本回路と素子TEG	石原 昇	165
RO350512	ばらつき評価用テスト回路	寺田 和夫, 向 建宇	117
RO350512	基本デバイスTEGの試作	佐々木 健太, 三浦 和仁, 井上 浩	117
RO350512	シャントコンダクタンスを挿入したオンチップ伝送線路の特性評価	橋本 昌宜, Siriporn Jangsombatsiri, 土谷 亮	121
RO35059	アナログLSIのための基本RC素子TEGの設計	安岡 佐知子, 橋 昌良, 川越 伸一	107
RO35061	LSI故障診断装置評価用TEG (1-1)	三浦 克介, 中前 幸治	124
RO35061	LSI故障診断装置評価用TEG (1-2)	三浦 克介, 中前 幸治	124
RO35062	信号伝播波形測定のためのオンチッププローブ回路の試作	川越 伸一, 橋 昌良	126
RO35063	時変電源電圧駆動ダイナミック回路と擬似断線故障回路の試作	清水 達也, 美崎 洋介, 東條 充, 四柳 浩之	132
RO35064	列並列A/D変換回路TEG	木村 孝之	137
RO35064	多値差動ロジック回路を用いた32ビットレジスタファイルおよびTEG	羽生 貴弘, 望月 明, 白濱 弘勝	140
RO35064	LSI故障診断装置評価用TEG (1-3)	三浦 克介, 中前 幸治	142
RO35064	LSI故障診断装置評価用TEG (2-1)	三浦 克介, 中前 幸治	142
RO35064	LSI故障診断装置評価用TEG (2-2)	三浦 克介, 中前 幸治	142
RO35065	信号伝播波形測定のためのオンチッププローブ回路の試作 (2)	川越 伸一, 橋田 啓示, 真田 克, 橋 昌良	147
RO35065	LSI故障診断装置評価用TEG (3-1)	三浦 克介, 中前 幸治	149
RO35065	LSI故障診断装置評価用TEG (3-2)	三浦 克介, 中前 幸治	150
RO35065	LSI故障診断装置評価用TEG (3-3)	三浦 克介, 中前 幸治	150
RO35065	LSI故障診断装置評価用TEG (3-4)	三浦 克介, 中前 幸治	150
RO35065	LSI故障診断装置評価用TEG (3-5)	三浦 克介, 中前 幸治	151
RO35065	LSI故障診断装置評価用TEG (4)	三浦 克介, 中前 幸治	151

アナデジ混載

ラン名	タイトル	研究者	掲載頁
AS90063	低電圧動作アナログ要素回路TEG	吉田 毅, 升井 義博, 小島 康志, 岩田 穆	172
AS90063	低電圧動作アナログ要素回路TEG	吉田 毅, 升井 義博, 小島 康志, 岩田 穆	173
MOT061	電圧モード多値論理基本回路とアナログ回路の試作	稲葉 基	105
MT25063	JEM-EUSO望遠鏡用MAPMT信号読み出しASIC	梶野 文義, 池田 博一	185
OKI0603	集積化マイクロ磁界プローブ	山口 正洋, 小屋 祥太, 鳥塚 英樹	191
OKI0610	RFマイクロ電磁界プローブ	山口 正洋, 小屋 祥太, 鳥塚 英樹	193
RO350511	スマートRFIDタグ用心音抽出回路と個体識別符号生成回路, 及びその他関連回路	山川 俊貴, Timischl Felix, 千代永 純一, 梅田 武, 中島 晃, 米澤 隆広	112
RO35062	RFID向け内部発振回路の設計・試作	本田 将士, 坂井 靖文, 小谷 光司, 伊藤 隆司	126
RO35062	Preamp/Shaper信号処理回路とDACテスト回路	島添 健次, 高橋 浩之	126
RO35063	16chPET用WaveformSampling型信号処理回路	島添 健次, 高橋 浩之	130

RO35063	導電性衣服上の電力重畳通信トランシーバ	村上 知倫, 矢尾 真理子, 秋田 純一	132
RO35063	10ビットバイプラインADCの試作	房安 貴弘, 山口 頼人, 佐野 哲	135
RO35065	PET用波形サンプリング型信号処理回路	島添 健次, 高橋 浩之	145

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
AS90064	素子特性のばらつきに強い非同期式FPGAと高速動作可能な多値FPGAの試作	岡田 信彬, 張 家偉, 張山 昌論, 亀山 充隆, 石原 翔太	176
AS90064	消費電力を50%削減する動的電圧/周波数制御型H.264/AVCデコーダコア	川上 健太郎, 黒田 光彦, 竹村 淳, 坂田 義典, 川口 博, 吉本 雅彦	177
AS90065	メディア処理向け小面積リコンフィギュラブルプロセッサ	高橋 一真, 更田 裕司, 密山 幸男, 橋本 昌宜, 尾上 孝雄	178
AS90066	45nm世代以後に向けた低電力・低リーク回路技術	榎本 忠儀, 小林 伸彰, 石川 雄悟, 金子 達也, 岩成 武司, 仲山 拓顕, 萩原 洋介, 筒井 俊博	182
MOT052	電流モード増幅器	HENG SOCHEAT, PHAM CONG KHA	96
MT18061	3次元集積技術を用いたマルチオブジェクト認識システムのための検出・認識チップ	安藤 博士, 亀田 成司, 有園 大介, 佐々木 守, 岩田 穆, 佐々木 信雄, 木元 健太郎, 吉川 公麿	187
RO18061	低消費電力電流演算型メディア値探索回路	山崎 英男, 柴田 直	156
RO18061	初期シードベクトル自動生成汎用K-MEANSプロセッサ	鹿野 博嗣, 藤田 和英, 柴田 直	156
RO18061	初期シードベクトル自動生成汎用K-MEANSプロセッサTEG	鹿野 博嗣, 藤田 和英, 柴田 直, 馬 奕涛	157
RO18061	リコンフィギュラブルメモリLSI	天野 大二郎, 杉村 武昭, 小西 雄太, 福島 誉史, 田中 徹, 小柳 光正	158
RO350512	自己修復アナログネットワーク	藤原 健, 高橋 浩之	118
RO35059	Burst firing Inverse function Delayed Model によるニューラルネットワーク	末永 晋也, 早川 吉弘, 中島 康治	107
RO35062	ソースフォロワのダイナミック切り離し現象を用いた極端値除外平均値回路	馬 文静, 三田 吉郎, 柴田 直	125
RO35063	多値FPGAの演算セルとFGMOS機能バスゲートの等価回路	中谷 好博, 岡田 信彬, 張山 昌論, 亀山 充隆	128
RO35063	多値・2値ハイブリッド制御信号を用いたマルチコンテキストFPGA	中谷 好博, 張山 昌論, 亀山 充隆	128
RO35063	多相構造およびSDFを用いた32倍デシメーションフィルタ	田上 知樹, 和保 孝夫	131
RO35064	Verilog-HDLを用いた非同期FPGAの設計	張山 昌論, 亀山 充隆	137
RO35064	LDO用の過電流保護回路	HENG SOCHEAT, SHIMIZU MARIE, PHAM CONG KHA	139
RO35065	人工網膜チップにおける可変バイアス電圧生成回路	小林 貴史, 福島 誉史, 田中 徹, 小柳 光正	144
RO35065	演算ユニット回路PE(Processing Element)の試作	阮 双玉, 大島 豊, 難波 一輝, 伊藤 秀男, 池田 卓史	148

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
AS90061	ミリ波帯で動作する無線通信回路	藤島 実, Lai CheeHong, Oncu Ahmet, 神林 裕樹, 本良 瑞樹	167
AS90063	ミリ波帯で動作する無線通信回路	藤島 実, Oncu Ahmet, 石橋 浩二, 後藤 陽介, 本良 瑞樹	172
AS90063	電流モード高速バイプライン形AD変換器	明山 亮太, 岩田 穆	173
AS90063	低電力・高速AD変換器用要素回路試作	大島 賢一, 清水 佑一郎, 内野 浩基, 上村 勇仁, 矢山 浩輔	174
AS90064	定在波を用いた超高速クロック分配ネットワーク回路	汐崎 充, 森 敦, 佐々木 守	176
AS90065	微細CMOS基準電圧発生回路の設計	鈴木 圭一, 松田 敏弘, 岩田 栄之	179
AS90066	ミリ波帯送受信回路と7GHz帯1Gbit/s無線通信回路向けTEG	藤島 実, 石橋 浩二, 後藤 陽介, 神林 裕樹, オウ トウ, 乾 千葉, 青木 征洋	181
AS90066	可変誘導性負荷による15GHz定在波クロック分配ネットワーク	汐崎 充, 森 敦, 佐々木 守	181
AS90066	微細CMOS基準電圧発生回路を用いた温度センサの設計	鈴木 圭一, 松田 敏弘, 岩田 栄之, 押山 弘樹	183
HIT18052	リング発振器を用いた基板ノイズ評価用回路の試作	中野 誠彦, 西山 茂樹, 樋口 大輔, 森本 一毅	196
MOT052	復調システム内回路ブロックの試作	佐々木 健太, 三浦 和仁, 井上 浩	95
MOT052	増幅演算器設計コンテスト参加回路	鈴木 寛人, 小野 貴史, 清川 幸哉, 久保 俊一, 和田 和千	96
MOT052	CMOS DC-DCコンバータ出力LSIの開発	宮崎 崇裕, 松田 敏弘, 岩田 栄之	97

MOT052	基準電圧発生回路を用いた温度センサの設計	鈴木 圭一, 松田 敏弘, 岩田 栄之	97
MOT052	小型加速度センサ用回路の設計	杉本 考行, 松田 敏弘, 岩田 栄之	97
MOT052	演算増幅器の試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	98
MOT052	高線形化CMOSトランスコンダクタとカレントミラー	庄野 和宏, 董 宇輝, 石橋 幸男	98
MOT061	MOS型バイアス回路の試作	佐々木 健太, 井上 浩	101
MOT061	90度移相器とアナログPLL用位相比較器の設計	三浦 和仁, 佐々木 裕史, 井上 浩	101
MOT061	2値位相比較方式PLL周波数シンセサイザ	尾保手 茂樹	102
MOT061	CMOS DC-DCコンバータ出力LSIの開発	宮崎 崇裕, 松田 敏弘, 岩田 栄之	102
MOT061	小型加速度センサ用オペアンプの設計	杉本 考行, 松田 敏弘, 岩田 栄之	103
MOT061	基準電圧発生回路を用いた温度センサの設計	鈴木 圭一, 松田 敏弘, 岩田 栄之, 押山 弘樹	103
MOT061	小型加速度センサ用回路の設計	杉本 考行, 松田 敏弘, 岩田 栄之	103
MOT061	演算増幅器の試作(2)	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	104
MOT061	チャージポンプ型DCDCコンバータ電源回路設計	潘 俊, 井上 靖秋	104
MOT061	演算増幅器設計試作を通じた高専LSI設計教育	石川 洋平, 金子 絢美, 西原 望	106
MT25054	弱反転領域動作 $\Delta\Sigma$ モジュレータ	井田 司, 田中 智之, 松岡 俊匡, 谷口 研二	186
OKI0603	FD-SOIによるセンサー用フロントエンド回路	池田 博一, 新井 康夫	190
OKI0610	生体信号用低電圧A/D変換回路と3倍VDD動作フィルタ回路	石田 光一, 益 一哉	192
RO18061	脳波計測無線通信システム	藤島 実, 高野 恭弥	155
RO18061	神経信号センシング回路TEG	吉田 毅, 浴 良仁, 有田 真一, 岩田 穆	158
RO18061	低電圧ログドメインフィルタと各種TEG	秋田 一平, 和田 和千	162
RO18061	対基板用アクティブデカップリング回路の試作	中野 誠彦, 樋口 大輔, 佐藤 大祐, 森本 一毅	164
RO18061	対電源線用アクティブデカップリング回路の試作	中野 誠彦, 樋口 大輔, 佐藤 大祐, 森本 一毅	164
RO350510	10chPreamp/Shaper/Discriminator	島添 健次, 高橋 浩之	109
RO350510	16ch低雑音CMOSプリアンプ	島添 健次, 高橋 浩之	109
RO350511	広い電圧余裕を持つ低電圧スイッチトカレント $\Delta\Sigma$ 変調器	加藤 正史, 柳田 幸一郎, 荒井 英輔	114
RO350512	10bitバイブラインA/Dコンバータの設計	桐原 正治, 川原 聡, 谷口 研二	116
RO350512	10chPET用波形サンプリング型ASIC	島添 健次, 高橋 浩之	118
RO350512	FM中間信号を用いた $\Delta\Sigma$ 変調器	松原 涉, 前澤 宏一	120
RO35061	CMOS DC-DCコンバータ制御LSIの開発	宮崎 崇裕, 松田 敏弘, 岩田 栄之	123
RO35062	UHF帯RFID向け電源回路	坂井 靖文, 本田 将士, 小谷 光司, 伊藤 隆司	125
RO35063	アクティブノイズコントロール用アナログ集積回路	大畑 宏文, 加藤 正史	129
RO35063	2次スロープ補償を用いた電流制御方式DC-DCコンバータの試作	櫻井 宏樹, 海村 静和, 中村 裕亮, 杉本 泰博	129
RO35063	Preamp/Shaper信号処理回路とDACテスト回路	島添 健次, 高橋 浩之	130
RO35063	バイブライン型A/D変換器の基本要素回路の試作	長谷 宗彦, 和保 孝夫	131
RO35063	低電圧広ダイナミックレンジアナログフィルタ	秋田 一平, 和田 和千	133
RO35063	基板雑音の測定用TEGと非線形素子を用いたADC	鈴木 寛人, 八木 大介, 小野 貴史, 和田 和千	134
RO35063	FM中間信号を用いた $\Delta\Sigma$ 変調器2	松原 涉, 前澤 宏一	134
RO35063	FM中間信号を用いた $\Delta\Sigma$ 変調器のための要素回路の検討	前澤 宏一	134
RO35063	マルチ環境センサ用インターフェイス回路	福本 洋祐, 藤田 孝之, 前中 一介, 鈴木 文章	135
RO35064	オペアンプの設計	池田 智, 熊倉 芳明, 田澤 正和, 田中 成斗, 寺澤 大志, 清水 由幸, 谷口 研二	137
RO35064	オペアンプシェア - バイブライン型A/D変換器の試作	長谷 宗彦, 和保 孝夫	138
RO35064	利得可変CMOS差動オペアンプ	遠藤 茂, 和保 孝夫	138
RO35064	基板雑音の打ち消し回路と演算増幅回路	鈴木 寛人, 小山 靖仁, 中田 光俊, 山下 知憲, 和田 和千	139
RO35064	低消費電力電流モードアルゴリズムA/D変換器	春山 健一, 和保 孝夫	143
RO35065	CMOSオペアンプの試作	海野 正典, 野口 司, 上田 和宏	144
RO35065	Preamp/Shaper回路とADCテスト回路	島添 健次, 高橋 浩之	146
RO35065	16ch低雑音CMOSプリアンプ	島添 健次, 高橋 浩之	146
RO35065	CMOS DC-DCコンバータ制御LSIの開発	宮崎 崇裕, 松田 敏弘, 岩田 栄之	148

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
HIT18052	Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture	伊藤 潔人, 柴田 直	194
MOT052	受光回路の特性試験チップ	原 重臣	96
MOT061	100ピクセルの基礎実験用イメージセンサ	原 重臣	102
MOT061	BioCMOS回路	中里, 宇野, 大浦, 杉本 圭正, 塚田	106
RO1805	Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture	伊藤 潔人, 柴田 直	152
RO1805	Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture	伊藤 潔人, 柴田 直	152
RO1805	イメージセンサTEG	野村 啓二, 安達 雄大, 香川 景一郎, 布下 正宏, 太田 淳	154
RO350510	電流モード可変解像度エッジフィルタ	仁木 祐介, 柴田 直	108
RO350510	減算器分離型可変解像度エッジ抽出フィルタ	藤田 和英, 柴田 直	108
RO350510	単分子オンチップ計測集積回路	中里 和郎, 宇野 重康, 石崎 賢治, 清水 毅, 山口 賢	111
RO350511	静電容量型センサ用容量検出回路	中村 和正, 松本 佳宣	115
RO350511	蓄積容量変調型イメージセンサ	下ノ村 和弘, 八木 哲也	115
RO350512	画素毎に露光時間調節が可能なCMOSイメージセンサの試作	畑野 昌洋, 亀田 成司, 岩田 穆	116
RO350512	64×64画素光無線LAN用ビジョンチップ	吉田 明洋, 野村 啓二, 香川 景一郎, 布下 正宏, 太田 淳	118
RO350512	光無線LAN TEG	吉田 明洋, 野村 啓二, 香川 景一郎, 布下 正宏, 太田 淳	119
RO350512	傾斜面型共焦点法による3次元計測のための高機能イメージセンサ	前田 康次, 村井 俊文, 宮崎 大介, 向井 孝彰, 香川 景一郎, 太田 淳	119
RO350512	単分子オンチップ計測CMOS回路	中里 和郎, 宇野 重康, 石崎 賢治, 清水 毅, 山口 賢	121
RO35062	画素毎に露光時間調節が可能なCMOSイメージセンサの試作	畑野 昌洋, 亀田 成司, 岩田 穆	125
RO35062	単分子オンチップ計測集積回路	中里 和郎, 宇野 重康, 石崎, 清水, 山口 賢	127
RO35063	生体用途向け電位センサの試作	島添 健次, 高橋 浩之	130
RO35064	蓄積時間・バイアス電圧の自動調整機能を備えたCMOSイメージセンサ	門馬 太平	136
RO35064	電流モード可変解像度エッジフィルタ	仁木 祐介, 柴田 直	136
RO35064	高速2次元集積化磁気センサ	木村 孝之	138
RO35065	減算器分離型可変解像度アナログエッジフィルタ	藤田 和英, 柴田 直	144

その他

ラン名	タイトル	研究者	掲載頁
AS90062	チップ内ばらつきを利用して歩留まりならびに性能を向上させるFPGAその1	香月 和也, 小林 和淑, 小野寺 秀俊, 久米 洋平	169
AS90065	1.14Gb/s 15360bits LDPC符号復号器LSI	清水 一範, 池永 剛, 後藤 敏	180
HIT18052	ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	渡邊 実, 小林 史典	196
HIT18052	インバータチェーンを用いた基板ノイズ評価用回路の試作	中野 誠彦, 西山 茂樹, 樋口 大輔, 森本 一毅	197
MT18061	3次元集積技術を用いたマルチオブジェクト認識システムのための画像前処理チップ	亀田 成司, 安藤 博士, 有園 大介, 小田原 正起, 佐々木 守, 岩田 穆, 佐々木 信雄, 吉川 公磨	187
OKI0603	CMOSアクティブ型磁界プローブ	青山 聡, 川人 祥二, 山口 正洋	190
RO350510	ダイナミック光再構成型ゲートアレイ	渡邊 実, 小林 史典	110
RO350511	LSIテスト/EBプローバ実習用回路	金子 康隆, 秋田 純一, 北川 章夫	114
RO350512	ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ	渡邊 実, 小林 史典	119
RO35060	SFQ/CMOSハイブリッドメモリ用ハイブリッドアンプの試作	吉川 信行, 高橋 好明, 河合 宣彰	122
RO35064	ディスプレイ出力付き計算機ASIC	門馬 太平	136
RO35065	受光素子, 光再構成回路評価チップ1	渡邊 実, 小林 史典	147
RO35065	受光素子, 光再構成回路評価チップ2	渡邊 実, 小林 史典	147

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
AS90061	プリエンファシス技術を用いたオンチップ差動伝送線路配線	伊藤 浩之, 杉田 英之, 岡田 健一, 益 一哉	167
AS90063	チップ内ばらつきを利用して歩留まりならびに性能を向上させるFPGAその2	香月 和也, 小林 和淑, 小野寺 秀俊, 久米 洋平	172
AS90063	差動伝送線路を用いたオンチップバス	木村 実人, 清田 淳紀, 上園 巧, 富 万林, 岡田 健一, 佐藤 高史, 益 一哉	174
HIT18052	プリエンファシス技術を用いたオンチップ差動伝送線路配線	伊藤 浩之, 杉田 英之, 岡田 健一, 益 一哉	196
RO350510	ストカスティックコンピューティングシステムによるマンハッタン距離計算回路の設計	堀 道弘, 岩田 穆	108

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
HIT18052	多目的k-mean学習プロセッサ	鹿野 博嗣, 伊藤 潔人, 柴田 直	194
MOT052	パルス形環状ニューラルネットワークの試作	清水 昭宏, 佐伯 勝敏, 関根 好文	94
MOT052	CMOSを用いた基準電圧源回路の試作 I	松木 誠司, 佐伯 勝敏, 関根 好文	95
MOT052	演算増幅器の試作	小野 克幸, 谷口 浩介, 林 祐吾, 清水 昭宏, 松木 誠司, 佐伯 勝敏, 関根 好文	95
MOT061	パルス形ハードウェアCPGモデルの試作	小野 克幸, 佐伯 勝敏, 関根 好文	100
MOT061	CMOSを用いた基準電圧源回路の試作II	松木 誠司, 佐伯 勝敏, 関根 好文	101
MOT061	2相駆動断熱的論理回路による4bit配列型乗算器	高橋 康宏, 関根 敏和, 横山 道央	105
MT18063	リコンフィギュラブルRF回路に向けた0.98-6.6GHz広帯域VCO	伊藤 雄作, 菅原 弘雄, 岡田 健一, 益 一哉	188
RO18061	動的リコンフィギュラブルプロセッサのプロセッシングエレメントの試作	天野 英晴, 長谷川 揚平, 堤 聡, 中村 拓郎, 西村 隆, 佐野 徹, 加東 勝, 斎藤 正太郎	155
RO18061	電力見積もりツールとコード配置最適化ツールの評価を目的としたSH3-DSPチップの試作	石原 亨, 室山 真徳, 山口 誠一郎	155
RO18061	MIPS命令互換一般同期評価用プロセッサ	原田 陽介, 小平 行秀, 富岡 洋一, バクチアル アフェンデイ, 高橋 洋介, 橋本 浩良, 高橋 篤司	160
RO18061	MIPS命令互換ユースフルスケール評価用プロセッサ	小平 行秀, 富岡 洋一, 原田 陽介, バクチアル アフェンデイ, 高橋 洋介, 橋本 浩良, 高橋 篤司	160
RO350510	8bitバイブラインプロセッサ	市川 彰孝, 志村 一樹, 間所 峻洋, 小林 良太郎, 島田 俊夫	110
RO35063	PIC互換プロセッサ	谷口 英樹, 永田 真穂, 古川 智康, 小林 良太郎, 島田 俊夫, 宮野 純	135
RO35064	マルチスレディングプロセッサ	木村 晋二, ザン チェンジエ	140
RO35064	多値差動ロジック回路を活用した高性能データバス	羽生 貴弘, 望月 明, 白濱 弘勝	140
RO35064	16ビットバイブラインプロセッサの設計実習	池永 剛	141
RO35064	16ビットバイブラインプロセッサの設計実習	池永 剛	141
RO35064	実験用マイクロプロセッサおよび非同期シリアル通信回路	平山 雄也, 斎藤 桂一, 杉森 亘, 高山 浩司, 輪島 基, 内倉 尚治, 藤田 実	141
RO35065	セキュアプロセッサ SEP-6Rの設計	曾我 正和, 高橋 大介	149

メモリ

ラン名	タイトル	研究者	掲載頁
AS90063	低温デバイスモデル作製用MOSFETの試作	吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平	173
AS90065	2ステージバイブライン方式を用いた汎用16ポートSRAM	上口 光, 棕田 佑也, 碧山 賢一, マタウシュ ハンス・ユルゲン, 小出 哲士	178
AS90065	低消費電力実時間動画像処理応用マルチポートSRAM	藤原 英弘, 新居 浩二, 森田 泰弘, 野口 紘希, 井口 友輔, 川口 博, 吉本 雅彦	179
AS90066	32nm世代SoCに向けた低電圧動作SRAMの実験的検証	森田 泰弘, 藤原 英弘, 野口 紘希, 新居 浩二, 井口 友輔, 川口 博, 吉本 雅彦	182
MT18061	3次元集積技術を用いたマルチオブジェクト認識システムのための参照メモリチップ	安藤 博士, 亀田 成司, 有園 大介, 佐々木 守, 岩田 穆, 佐々木 信雄, 木元 健太郎, 吉川 公磨	187
RO18061	低温デバイスモデル作製用MOSFETの試作	吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平	159
RO18061	全並列型アナログ・デジタル混載連想メモリの性能評価回路	田中 裕己, 弓崎 晃大, マタウシュ ハンス・ユルゲン, 小出 哲士	166

RO350510	SFQ/CMOSハイブリッドメモリの試作	吉川 信行, 高橋 好明, 河合 宣彰	109
RO350512	SFQ/CMOSハイブリッドメモリの試作	吉川 信行, 高橋 好明, 河合 宣彰	116
RO350512	SFQ/CMOSハイブリッドメモリの試作	吉川 信行, 高橋 好明, 河合 宣彰	117
RO35060	SFQ/CMOSハイブリッドメモリの試作	吉川 信行, 高橋 好明, 河合 宣彰	122
RO35060	SFQ/CMOSハイブリッドメモリの試作	吉川 信行, 高橋 好明, 河合 宣彰	122
RO35061	SFQ/CMOSハイブリッドメモリ用CMOS増幅器の試作	吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平	123
RO35062	差動増幅器ベース全並列型アナログ・デジタル混載連想メモリ	田中 裕己, アノワルル ムハマド・アベディン, マタウシュ ハンス・ユルゲン, 小出 哲士	127
RO35063	SFQ/CMOSハイブリッドメモリ用CMOS増幅器の試作	吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平	129
RO35065	全並列型ユークリッド最小距離検索メモリ	アノワルル ムハマド・アベディン, 田中 裕己, 榊原 尚吾, マタウシュ ハンス・ユルゲン, 小出 哲士	145
RO35065	長期保持可能なアナログ記憶回路の設計	山田 卓, 高橋 良輔, 原田 知親, 奥山 澄雄, 松下 浩一	149
RO35065	全並列型ユークリッド距離を用いた複数データ検索連想メモリ	アノワルル ムハマド・アベディン, 田中 裕己, 榊原 尚吾, マタウシュ ハンス・ユルゲン, 小出 哲士	151

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
AS90063	非同期多値データ転送に基づくLDPCデコーダチップ	羽生 貴弘, 鬼沢 直哉	174
AS90065	走行時パワーゲーティング制御による動作時リーク電力低減技術の実装と評価	武田 清大, 香嶋 俊裕, 大久保 直昭, 白井 利明, 宇佐美 公良	180
AS90066	フローティング型演算アルゴリズムに基づく超高速LDPCデコーダVLSIの開発	羽生 貴弘, 鬼沢 直哉, 池田 智和	183
HIT18052	Early Visual Processing Chip Employing Cache Memory Architecture	オストルク オウグ, 柴田 直	194
HIT18052	9/7タップウェーブレットフィルタ	堀場 康孝	197
RO1805	Karatsubaアルゴリズムに基づく小面積乗算器	川島 裕崇, 高木 一義, 高木 直史	154
RO18061	Karatsubaアルゴリズムに基づく小面積乗算器の設計	川島 裕崇, 高木 一義, 高木 直史	160
RO350511	LSI設計コンテスト	酒田 礼治, 村上 知倫, 秋田 純一, 北川 章夫	112
RO350511	LSI設計コンテスト	村上 知倫, 秋田 純一, 北川 章夫	112
RO350511	LSI設計コンテスト	酒田 二三也, 金子 康隆, 秋田 純一, 北川 章夫	113
RO350511	LSI設計コンテスト	中山 雅文, 牧野 良成, 秋田 純一, 北川 章夫	113
RO350511	LSI設計コンテスト	野手 翔太, 中野 伸吾, 秋田 純一, 北川 章夫	113
RO350511	LSI設計コンテスト	小林 正雄, 中野 伸吾, 秋田 純一, 北川 章夫	114
RO35063	Feature Vector Generation Chip for Early Visual Processing Employing Edge Cache Memory Architecture	オストルク オウグ, 柴田 直, 中川 琢規, 馬 奕涛	128
RO35063	生体計測用信号処理回路	北畑 雄太, 松本 佳宣	132
RO35063	CMOS乗算回路の設計および特性評価	田中 佳明, 矢野 政顕, 橋 昌良	133
RO35065	GF(2 ^m)上のDigit-Serial乗算器を用いた楕円曲線暗号LSIの試作	奈良 竜太, 小原 俊逸, 戸川 望, 柳澤 政生, 大附 辰夫, 清水 一範, 池永 剛, 後藤 敏	145
RO35065	自主課題研究における4ビット加算器の試作	楠本 崇人, 小池 佑治, 辻 崇行, 深山 正幸	146
RO35065	パイプラインステージ統合のスループット制御機構	間所 峻洋, 小林 良太郎, 島田 俊夫	148

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
AS90062	ミリ波帯無線通信に向けた部分回路	藤島 実, ライ チーホン, オンチュ アーメット, 石橋 浩二, バダラワワサントマーラー, 神林 裕樹, 高野 恭弥	169
AS90065	誘導結合型チップ間無線通信チャネルの諸性能評価用チップ	吉田 洋一, 三浦 典之, 黒田 忠広	178
MOT061	ワンチップFM放送受信システムの試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムス レディアン	104
MT18063	UWB送受信回路チップ	佐々木 信雄, 福田 雅志, 新田 雅和, 吉川 公磨	188
MT25062	宇宙電磁環境観測用プラズマ波動計測アナログチップ	小嶋 浩嗣, 松本 陽史, 上田 義勝	184
OKI0603	無線LAN受信機のRFフロントエンドの試作	木原 崇雄, 中村 圭志, 松岡 俊匡, 谷口 研二	189
OKI0610	トランスを用いた広帯域LNA	木原 崇雄, 松岡 俊匡, 谷口 研二	192
RO1805	高周波基板結合検出回路と電流モード通信回路	小坂 大輔, 檀上 匠, 荻野 哲宏, 永田 真	154

RO18061	CMOS準ミリ波帯フロントエンドの研究	向井 徹, 佐々木 守, 岩田 穆	157
RO18061	空間多重通信方式に用いるBPSK送信機の試作	早瀬 佳, 中野 伸吾, 秋田 純一, 北川 章夫	158
RO18061	空間多重通信方式に用いるBPSK送信機の試作	藤枝 茂, 牧野 良成, 早瀬 佳, 秋田 純一, 北川 章夫	159
RO18061	Zigbee(2.4GHz)の受信ブロックの試作とTEG	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	163
RO18061	通信用回路TEG	倉科 隆, 鄭 明奎, 白 戴和, 張 義偉, 松澤 昭	163
RO18061	光送受信用高速CMOSアナログ集積回路TEG	石原 昇	165
RO18061	10Gbps光配線用開ループ型VCSEL駆動回路	李 言勝, 厚地 保幸, 関 健治, 大畠 賢一, 山下 喜市	166
RO18061	●	中里 和郎, 宇野 重康, 林 勝堅, 杉山 洋平	166
RO350510	FM送受信IC	野田 和也, 古野 裕隆, 藤田 智弘	110
RO350511	超多重RFID向けトランスポンダ実験チップ	福水 洋平, 永田 真	115
RO350512	超多重RFID向けトランスポンダ実験チップ	福水 洋平, 永田 真	120
RO350512	超多重RFID向けリーダ援用チップ	福水 洋平, 永田 真	120
RO35059	光通信用信号処理回路	原 貴東, 松本 佳宣	107
RO35061	超多重RFID向けトランスポンダ実験チップ	福水 洋平, 郷地 直樹, 永田 真	123
RO35063	光素子駆動回路	青野 聖, 松本 佳宣	131
RO35063	バッテリーレス無線通信チップ評価回路	小林 由佳, 石田 光一, 岡田 健一, 益 一哉	133
RO35064	超多重RFID向けトランスポンダ実験チップ	福水 洋平, 郷地 直樹, 永田 真	139

2. 3 各チップの詳細

平成17年度第2回オンセミコンダクター CMOS 1.2 μ m 試作 (MOT052)

計数回路, メモリレジスタ, および10進加算回路の設計試作

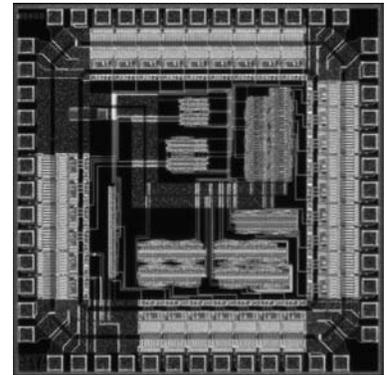
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 鈴木 博也, 森 章紀, 田力 正徳, 芝田 通明

概要: 平成17年度第1回試作チップ群の実測結果を踏まえて, 8ビット計数回路, メモリレジスタ, 10進加算回路などを2チップに分けて設計した。2種類の8ビット2進計数回路を設計して回路性能, 集積密度などを比較した。セット優先形SR-FF構成及びマスタスレーブ形JK-FF構成の4ビットメモリレジスタを2種類設計した。また, 前回及び前々回の試作で1部不具合のあった10進加算回路を試作した。更に, 4ビットシフトレジスタ, 2種類のニューロンMOS回路, NMOS, PMOSを試作した。7月15日に入荷した試作チップを直ちに測定して, 3回目の試作でようやくゲートアレイ方式10進加算回路の実測による機能動作の確認に成功した。

参考文献: [1] 波多野, 鈴木, 森, 田力, 芝田, "基本論理ゲート速度性能評価回路と加算回路, 計数回路, メモリレジスタの設計試作", p. 146, 2006年VDEC年報(2006)。

設計期間: 1人月以上, 2人月未満 設計ツール: Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
トランジスタ数: 1,000以上, 10,000未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別: TEG (特性評価回路など)



計数回路, メモリレジスタ, および10進加算回路の設計試作

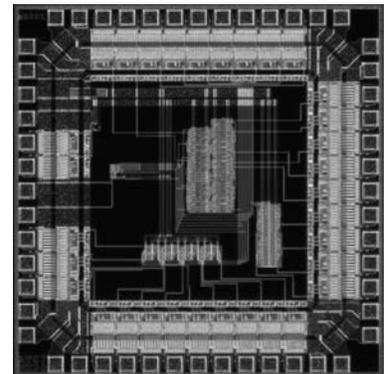
静岡理科大学電気電子情報工学科 波多野 裕

静岡理科大学電子工学科 鈴木 博也, 森 章紀, 芝田 通明, 田力 正徳

概要: 平成17年度第1回試作チップ群の実測結果を踏まえて, 8ビット計数回路, メモリレジスタ, 10進加算回路などを2チップに分けて設計した。2種類の8ビット2進計数回路を設計して回路性能, 集積密度などを比較した。セット優先形SR-FF構成及びマスタスレーブ形JK-FF構成の4ビットメモリレジスタを2種類設計した。また, 前回及び前々回の試作で1部不具合のあった10進加算回路を試作した。更に, 4ビットシフトレジスタ, 2種類のニューロンMOS回路, NMOS, PMOSを試作した。7月15日に入荷した試作チップを直ちに測定して, 3回目の試作でようやくゲートアレイ方式10進加算回路の実測による機能動作の確認に成功した。

参考文献: [1] 波多野, 鈴木, 森, 田力, 芝田, "基本論理ゲート速度性能評価回路と加算回路, 計数回路, メモリレジスタの設計試作", p. 146, 2006年VDEC年報(2006)。

設計期間: 1人月以上, 2人月未満 設計ツール: Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
トランジスタ数: 1,000以上, 10,000未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別: TEG (特性評価回路など)

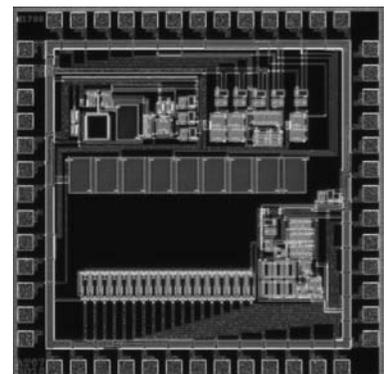


MOS型定電流回路の設計・試作(7)

岡山県立大学大学院情報系工学研究科 定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要: アナログ・デジタル回路の混在したCMOS LSI技術の向上に伴い, 安定に動作するアナログ回路の実現のためには温度依存性がなく電源電圧にも依存しない基準となる安定した定電流回路が重要となる。従来の低バイアス電流の発生回路には高抵抗が用いられるが, チップの占有面積の増大のため, 製造コストが上昇してしまう。本設計では高抵抗を用いずに安定な低バイアス電流を発生するために, 温度依存電圧発生回路と演算増幅回路および多結晶シリコン抵抗を組み合わせた定電流源の設計および検討を行った。本チップの出力電流の変動率は, 温度範囲: $-60^{\circ}\text{C} \sim +100^{\circ}\text{C}$, 電源電圧: $5.0 \pm 1.0\text{V}$ において0.3%以下を得た。

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数: 100以上, 1,000未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別: TEG (特性評価回路など)

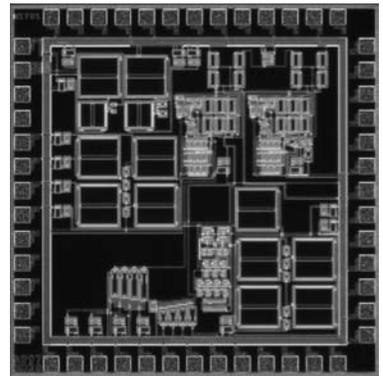


MOS型整流回路・直流電圧増幅回路の設計・試作 (6)

岡山県立大学大学院情報系工学研究科 定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要: 無線通信において, チップ外部のアンテナで受信した電波からアナログ回路の駆動に必要な直流電源電圧を得るためには, 整流回路が不可欠となる。さらに整流回路の出力電圧が低い場合には, 電圧増幅回路を接続して電源電圧を昇圧する必要がある。これらの事から, 本設計では無線電波から直流電圧を得るための各種整流回路と直流電圧増幅回路の設計および検討を行った。また, デジタル回路が安定に動作する電圧に達してから増幅された電源電圧を供給するためのスタートアップ制御回路方式も検討した。さらに, 抵抗を用いずに MOS トランジスタのみで構成された新方式定電流回路について検討した回路から構成される。

設計期間: 1 人月以上, 2 人月未満 設計ツール: Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数: 100 以上, 1,000 未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別: TEG (特性評価回路など)

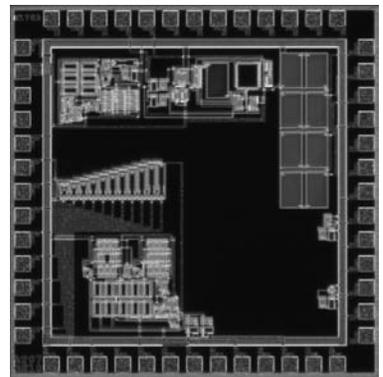


MOS型温度センサ回路の設計・試作

岡山県立大学大学院情報系工学研究科 定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要: マイクロプロセッサのファン制御ユニットのように温度を検知するための回路は, アナログ CMOS IC において重要なサブサーキットのひとつである。この事から, 本設計では, 電源電圧変動に対して安定に動作する, IC チップ上の温度をオンチップで検知するための温度センサの設計を行った。本回路は抵抗を用いずに, スタートアップ回路も含んで 17 個の MOS トランジスタのみで構成されているので, 小面積かつ低消費電力である。電源電圧 5.0V での温度センサ電圧は約 1.77V で, -20°C ~ $+100^{\circ}\text{C}$ の温度範囲での温度係数は 5.1mV/ $^{\circ}\text{C}$ が得られた。また, MOS 型定電流回路の設計・試作 (7) の配線をすべて内部で接続した回路から構成される。

設計期間: 1 人月以上, 2 人月未満 設計ツール: Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数: 10 以上, 100 未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別: TEG (特性評価回路など)

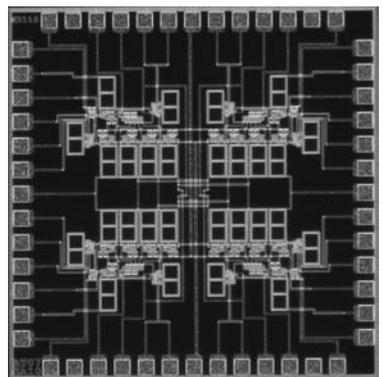


パルス形環状ニューラルネットワークの試作

日本大学理工学部 清水 昭宏, 佐伯 勝敏, 関根 好文

概要: 生体内で短期間情報を記憶する場合, その情報はニューロンの発火維持により保持されることが, 数々の生理実験から知られている。一方, 生体の情報処理機構をモデル化したハードウェアを構築し, 工学的に幅広く応用する目的や, 生体内における情報処理機構の解明を目的としたニューロンモデルやニューラルネットワークに関する研究が盛んに行われている。我々は, 特に, 記憶や学習に重要な役割をしている可塑性に着目し, 可塑性を実現するための研究を行っている。今回, シナプス可塑性を実現するための可塑回路としてパルス形ハードウェアニューロンモデルを用いて構築したパルス形環状ニューラルネットワークの試作を行った。我々は, ハードウェアの素子が持つ遅延などの特性を積極的に利用し, パルス形ハードウェアニューロンモデルをシナプスモデルで結合し, 環状のモデルを構成した。本パルス形環状ニューラルネットワークは, 伝搬するパルス数を変化させることによりパルス周期の変化を得ることが出来るモデルでシミュレーションにて動作を確認している。

設計期間: 2 人月以上, 3 人月未満 設計ツール: Cadence 社 Virtuoso, Cadence 社 Dracula DRC, HSpice トランジスタ数: 100 以上, 1,000 未満 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別: マイクロプロセッサ

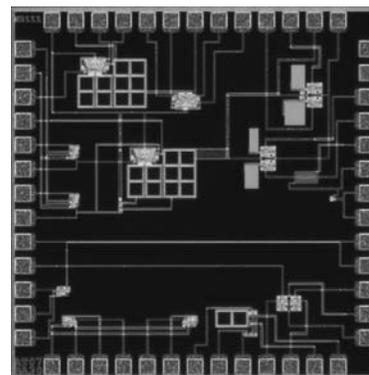


CMOSを用いた基準電圧源回路の試作 I

日本大学理工学部 松木 誠司, 佐伯 勝敏, 関根 好文

概要：温度センサはコンピュータに広く適用され、マイクロプロセッサ、ケースおよび周辺ICの温度を監視する。このような用途では、精度の高い温度センサが要求され、精度を上げるためには、A-Dコンバータのビット数を上げ、より細かく分割する方法があり、14ビット、16ビット以上の高いビット数を要求する場合には、精密な基準電圧源回路が求められる。基準電圧源回路としては、ツェナーダイオード、バンドギャップ、CMOSによる基準電圧源回路等があり、IC化を考慮した場合において、CMOSによる基準電圧源回路が望ましい。しかし、温度を監視し、高いビット数を要求する場合において、温度安定性が低いという問題点がある。我々が提案したゼロ温度係数点付近の特性である温度の増加に対し、減少する特性と温度の増加に対し、増加する特性とを加算することにより、温度変化に対し安定な基準電圧源回路を今回試作した。その結果、HSPICEにより基準電圧源回路の特性をシミュレーションした後、試作を行い、試作した基準電圧源回路の出力特性を確認した。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, HSpice トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：マイクロプロセッサ

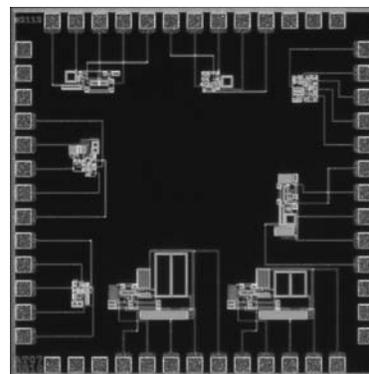


演算増幅器の試作

日本大学理工学部 小野 克幸, 谷口 浩介, 林 祐吾, 清水 昭宏, 松木 誠司,
佐伯 勝敏, 関根 好文

概要：我々は、演算増幅器設計コンテストに参加するために、演算増幅器の設計を行った。特に以下の点に着目し、シミュレーションを行い、設計を行った。スルーレート・消費電流・位相余裕、出力抵抗・消費電流・チップ面積、入力換算雑音・消費電流・直流利得、同相除去比・直流利得・同相入力範囲、電源電圧変動除去比・電源電圧・出力電圧範囲。コンテストは、シミュレーション部門、実測部門で評価されるため、計8個の演算増幅器を設計・試作した。シミュレーションでは全て動作したものの、試作したチップは、初歩的な配線ミス等もあったため、8個中、2個の動作を確認した。

設計期間：5人月以上、6人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, HSpice トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：マイクロプロセッサ



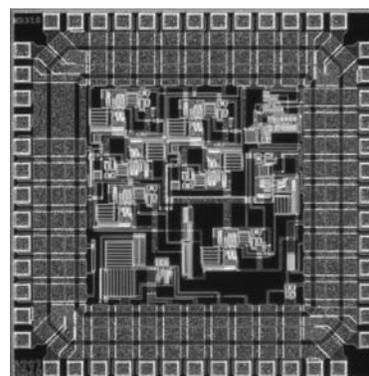
復調システム内回路ブロックの試作

秋田大学工学資源学部 佐々木 健太, 三浦 和仁, 井上 浩

概要：アナログ形位相同期回路(PLL)の1チップ化を目的とし、これまで試作してきたVCO [1]を用いたPLLを簡単な通信の復調回路システムに応用することを検討した。本試作では、簡易に復調できるシステムの基本を位相比較器、ループフィルタ、VCOにより構成される基本的PLLとし、その基本形を集積化設計および試作を行った。集積化が容易と考えられる直接変換型復調受信方式に利用できるように、信号変換時に極めて正確な90°移相処理が必要となることから、RC-CRの組み合わせフィルタを用いた90°移相器についても設計および試作を行った。

参考文献：[1] 佐々木健太, 井上浩, "アナログ形PLLの設計と検討", 平成18年度電気関係学会東北支部連合大会講演論文集, 2I-03, p. 343, Sep. 2006.

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



電流モード増幅器

電気通信大学電子

HENG SOCHEAT, PHAM CONG KHA

概要：In this recent year, the increasing numbers of electronic devices, the need of high performance of each device, world energy problems and serious environmental issue have totally made the advantages of low power consumption circuit more attractive. On the other hand, most of portable appliances such as mobile phone, hearing aid, implantable cardiac pacemaker require low power dissipation in order to expand battery life and have reasonable weigh. Current-mode CMOS circuit is a promising solution to low-voltage analog CMOS circuit design since it is theoretically operable with a supply voltage of several hundred milli-volts greater than the threshold voltage of MOSFET [1]. Further, reduction in power-supply voltages makes voltage signal swings much smaller. To avoid this problem, recent analog circuit designers preferably use current signals instead of voltage ones because current-signal swings are not restricted by power-supply voltages. In our work, we propose a low-voltage and low-power consumption of current-mode operational amplifier designed with level shifter technique. This simple integrator is built up with only 12 typical MOSFETs and 2 bias current sources. To minimize the influence of common-mode signal and noise to the signal processing, the fully-differential structure is applied. As the result of simulation, it has been confirmed that the proposed circuit works as integrator in the frequency range 0-2.95MHz at 5V supply voltage and consumed DC power at maximum 31.8μW. This circuit is expected to play an important role in current signal processing field for such as portable device included mobile phone system, PDA, game machine .etc. And it is one of many approaches to save the planet energy by reducing the power consumption.

参考文献：Takahiro Inoue, Hideo Nakane, Yuuji Fukuju and Edgarsanchez-Sinencio, "A design of a Low-Voltage Current-Mode Differential Analog CMOS Integrator Using FG-MOSFETs and Its Implementation," Analog Integrated Circuit and Signal Processing, 32 (3), pp. 249-256, 2002.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Encounter, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ

増幅演算器設計コンテスト参加回路

豊橋技術科学大学大学院工学研究科 鈴木 寛人, 小野 貴史, 清川 幸哉, 久保 俊一

豊橋技術科学大学工学部 和田 和千

概要：学生 4 名が演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>) に参加するため, 各自が設計した回路を試作している。回路構成は差動対とソース接地増幅回路の 2 段構成を基本に, 各学生が目指す特性に特化しよう多少の変更や工夫を行っている。実測結果が良いばかりでなく, 特性を前もって理論とシミュレーションで補償できる実力を養うことも目的としており, 本チップ内の回路はいずれも, 初学者が主体的に考えて設計, レイアウトならびに測定をした。得られた回路の主な特性は, 電源電圧 5V で 21.9MHz の利得帯域幅積や, 電源電圧 5V で直流利得 122dB などである。また, 簡単な回路構造でシミュレーションと実測結果が良く一致した回路として, 電源電圧 5V, 消費電力 5.4mW のもとで直流利得 51dB, 位相余裕 36deg, 利得帯域幅積 13.5MHz を得た。

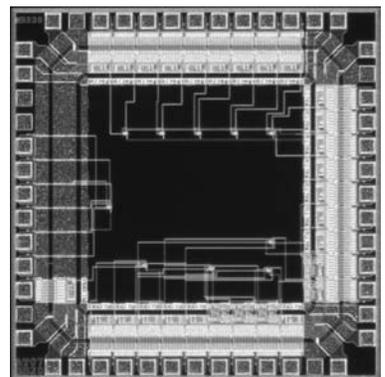
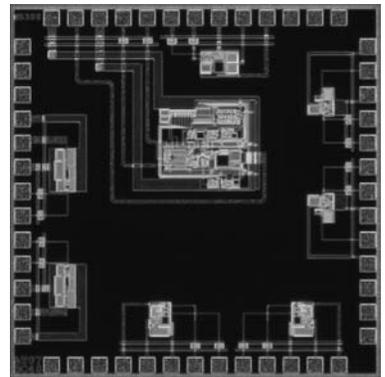
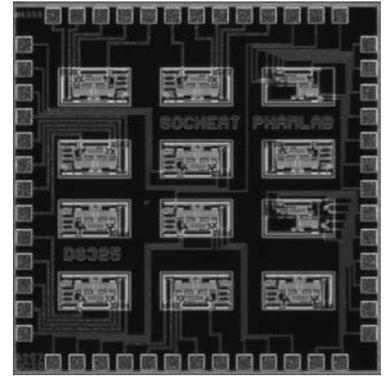
設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

受光回路の特性試験チップ

佐賀大学理工学部 原 重臣

概要：我々は生体の視覚機能を模倣するアナログ・ビジョン・チップの開発を目標にしている。側抑制機能が光入力パターンに応じて適応的に変化するシリコン網膜の開発を目指している。以前に試作したチップでは, C. Mead らによるフォトダイオードに流れる光電流を電圧に変換して出力する方式の受光回路を用いてみた。しかし, 信号レベルが小さくノイズの影響が大きかった。そのため, 現在 CMOS イメージセンサで使われているフォトダイオード方式の電荷蓄積型受光回路を採用することにした。今回のチップは, 第 1 ステップとして単独の受光回路の特性実験をするためのものである。フォトダイオードは縦横約 22μm のサイズである。リセット・トランジスタ, ソース・フォロア・トランジスタ, およびセレクト・トランジスタの 3 つで 1 画素を構成する方式である。チップの IO バッファを 2 種類試しながら, 5 つの受光回路を配置した。また, 4 画素のピクセル・アレイも含めている。

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2μm 2.3mm 角 チップ種別：イメージセンサ/スマートセンサ

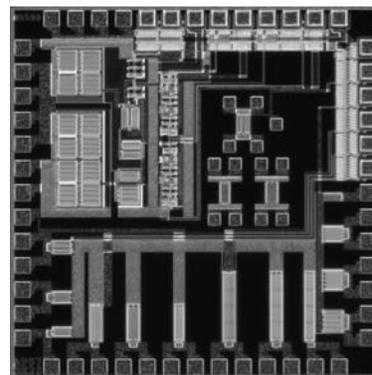


CMOS DC-DC コンバータ出力 LSI の開発

富山県立大学大学院工学研究科 宮崎 崇裕, 松田 敏弘, 岩田 栄之

概要：DC-DC コンバータの小型・軽量化，高効率化のため，従来外付けのパワーMOS-FETを削除し，同等の回路をCMOS LSI内に実現することを検討している．今回の試作では出力回路，貫通電流防止回路を設計した．出力回路はハイサイドPMOS，ローサイドNMOSの同期整流方式である．貫通電流防止回路は出力回路のPMOSとNMOSが同時にオンしないように信号にデッドタイムを設ける．本回路の特徴として，試作後に外部からの電圧により，適切なデッドタイムに設定可能である．また，出力MOS部のON抵抗算出用TEGも搭載した．このTEGではくし型を前提としたMOSのON抵抗のMOS分と配線抵抗分を分離して算出するのを目指している．MOSは通常のタイプとエレクトロマイグレーション対策を施したものを搭載した．

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

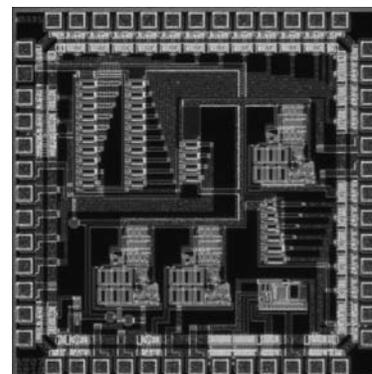


基準電圧発生回路を用いた温度センサの設計

富山県立大学大学院工学研究科 鈴木 圭一, 松田 敏弘, 岩田 栄之

概要：アナログ・デジタル混載集積回路は，様々な機能を1チップ上に実現することが可能であり，アナログ回路でもCMOSプロセスによる実現が望まれている．アナログ回路では，温度依存性が無く電源電圧にも依存しない基準電圧発生回路は重要である．また，電子機器内で使用されるリチウムイオン電池の過充電による発火防止など，様々な電子機器において温度センサが必要とされている．本プロセスで開発した高精度CMOS基準電圧発生回路を応用し，温度センサを設計した．本チップには，基準電圧発生回路，オペアンプを搭載した．また，基準電圧発生部のトランジスタのW/L比が調整可能なMOSFETを配置し，本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした．基準電圧発生回路は，同じ設計値のものを3つ配置してある．

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

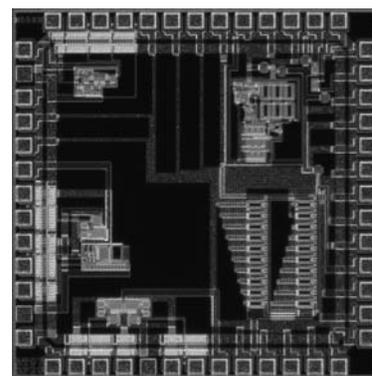


小型加速度センサ用回路の設計

富山県立大学工学研究科 杉本 考行, 松田 敏弘, 岩田 栄之

概要：近年，マイクロマシン技術を応用した小型で高性能なセンサが開発されている．しかし，小型センサの出力は微小であり，この出力を増幅，補正する必要がある．本研究で小型センサの増幅回路を以前設計したが，小型センサと増幅回路双方にオフセット電圧が生じてしまう．このオフセット電圧をアナログ値からデジタル値に変換し，デジタル値によって調整する方法を検討している．オフセット電圧補正回路は，A/Dコンバータとデジタル値による補正回路が必要である．今回は積分型A/Dコンバータに必要な積分回路を設計した．また，チップの空きスペースには，以前，本研究室で設計した，基準電圧発生回路を配置した．

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上，1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



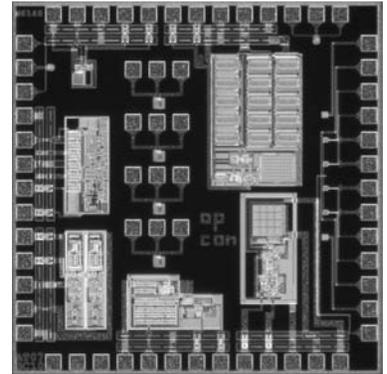
演算増幅器の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムス レディアン

概要：平成18年演算増幅器設計コンテストの集積化実現の部 [1] に応募用の演算増幅器を試作している。計5個の演算増幅器が同一チップ上に集積化されている。それぞれの演算増幅器はコンテストの要件を満たすべく、5Vの電源電圧下において $2k\Omega$ の抵抗および $1nF$ の容量が十分に駆動できるように設計されている。演算増幅器1および2は、初段にフォールドドカスコードで実現した差動対、出力段にAB級出力バッファを用いている構成である。ともにRail-to-Railの出力電圧範囲、同相電圧範囲を実現した。電流帰還型を採用した演算増幅器3は入力段をプッシュプルソースフォロワとし、差動対を用いて入力段のバイアス電流源に端子間のオフセットを誤差電流として帰還し、入力オフセット電圧の低減を実現している。演算増幅器4は増幅段をすべてPチャンネルMOSFETにより実現することで基板効果の影響を回避するとともに $1/f$ 雑音の影響の低減を試みている。演算増幅器5は低消費電力を目指し、 $130\mu W$ の消費電力を実現している。

参考文献： [1] 演算増幅器設計コンテストホームページ <http://www.ec.ss.titech.ac.jp/oapmp>

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS $1.2\mu m$ $2.3mm$ 角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



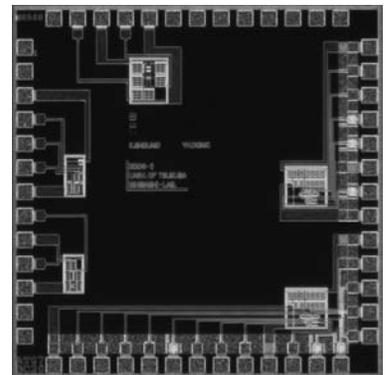
高線形化 CMOS トランスコンダクタとカレントミラー

筑波大学システム情報工学研究科 庄野 和宏, 董 宇輝, 石橋 幸男

概要：本チップには、①高線形化 CMOS トランスコンダクタと、②Regulated カレントミラー回路及びミラー係数が1に近いトランスコンダクタを搭載している。まず、前者のトランスコンダクタにおいては、移動度減衰効果に起因する自乗特性からのずれを積極的に回路設計に取り入れることにより、従来のWangのトランスコンダクタよりも高い線形性を実現させ、また、電圧シフト回路を使用せず、文献 [1] の回路よりも面積を小さくすることを目標とした。レイアウト及び評価実験を通して、実装面積はかなり小さくなること、2次及び3次歪は、それぞれ $-82.0dB$ 、 $-89.5dB$ と非常に良好な線形性を持つことを確認した。次に、カレントミラー回路においては、評価実験を通して従来の回路よりも提案回路の方が、ミラー係数がかなり1に近いことを確認した。今後は、内部抵抗をより高める方法を検討したい。

参考文献： [1] Kazuhiro SHOUNO, Tasuku HORI and Yukio ISHIBASHI, "A Highly Linearized CMOS Multiplier with a Controlled Tail Current Source," IEICE Trans. Fundamentals, Vol. E-89-A, No. 6, pp. 1533-1539, June 2006.

設計期間：0.1人月以上, 0.5人月未満 設計ツール：手作業, Tanner L-Edit, Synopsys社 Star-HSPICE トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS $1.2\mu m$ $2.3mm$ 角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



平成18年度第1回オンセミコンダクター CMOS 1.2 μ m 試作 (MOT061)

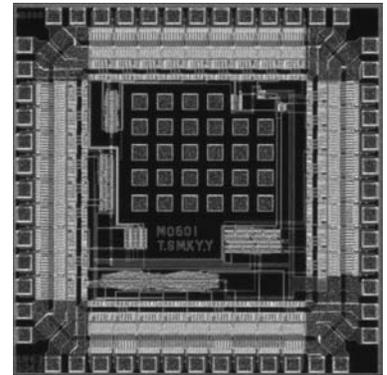
カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作

静岡理科大学電気電子情報工学科 波多野 裕, 鈴木 剛弘, 隈部 正隆, 山口 祐揮

概要：17年度第2回試作チップ群の実測結果を踏まえ、カスケード電圧スイッチ論理(CVSL)回路、桁上げ伝搬加算回路、メモリレジスタ、2進計数回路等を3チップに分けて設計した。宇宙用高信頼回路の候補の1つとして2種類のCVSL回路をCMOS回路で設計した。桁上げ伝搬加算回路の応用として4ビット及び8ビット加算回路と2ビット及び4ビット減算回路を設計した。また、SR-FF構成の4ビットメモリレジスタ、2種類の4ビット2進計数回路、2種類のD-FF、3種類のSR-FF等を設計した。、1月16日に入荷した試作チップを直ちに測定して、実測した2種類のCVSL回路、4ビット加算回路、2ビット減算回路、メモリレジスタ、ダウンカウンタ、シフトレジスタ、2種類の4ビット2進計数回路、2種類のD-FF、3種類のSR-FFの機能動作の確認に全て成功した。

参考文献：[1] 波多野, 鈴木, 森, 田力, 芝田, ”基本論理ゲート速度性能評価回路と加算回路, 計数回路, メモリレジスタの設計試作”, p. 146, 2006年VDEC年報(2006)。

設計期間：1人月以上, 2人月未満 設計ツール：Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG (特性評価回路など)



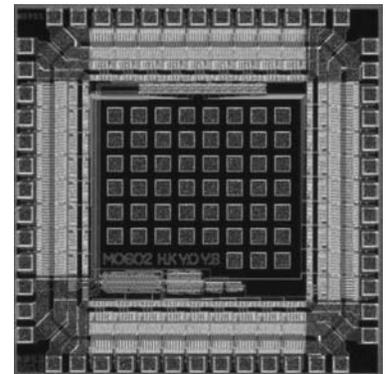
カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作

静岡理科大学電気電子情報工学科 波多野 裕, 成島 晃久, 福島 悠介, 加治 寛己

概要：17年度第2回試作チップ群の実測結果を踏まえ、カスケード電圧スイッチ論理(CVSL)回路、桁上げ伝搬加算回路、メモリレジスタ、2進計数回路等を3チップに分けて設計した。宇宙用高信頼回路の候補の1つとして2種類のCVSL回路をCMOS回路で設計した。桁上げ伝搬加算回路の応用として4ビット及び8ビット加算回路と2ビット及び4ビット減算回路を設計した。また、SR-FF構成の4ビットメモリレジスタ、2種類の4ビット2進計数回路、2種類のD-FF、3種類のSR-FF等を設計した。、1月16日に入荷した試作チップを直ちに測定して、実測した2種類のCVSL回路、4ビット加算回路、2ビット減算回路、メモリレジスタ、ダウンカウンタ、シフトレジスタ、2種類の4ビット2進計数回路、2種類のD-FF、3種類のSR-FFの機能動作の確認に全て成功した。

参考文献：[1] 波多野, 鈴木, 森, 田力, 芝田, ”基本論理ゲート速度性能評価回路と加算回路, 計数回路, メモリレジスタの設計試作”, p. 146, 2006年VDEC年報(2006)。

設計期間：1人月以上, 2人月未満 設計ツール：Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG (特性評価回路など)



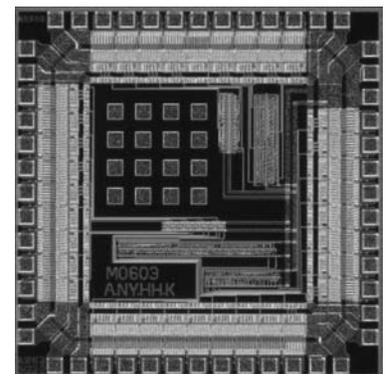
カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作

静岡理科大学電気電子情報工学科 波多野 裕, 加治 寛己, 岡本 悠未, 杉山 祐介

概要：17年度第2回試作チップ群の実測結果を踏まえ、カスケード電圧スイッチ論理(CVSL)回路、桁上げ伝搬加算回路、メモリレジスタ、2進計数回路等を3チップに分けて設計した。宇宙用高信頼回路の候補の1つとして2種類のCVSL回路をCMOS回路で設計した。桁上げ伝搬加算回路の応用として4ビット及び8ビット加算回路と2ビット及び4ビット減算回路を設計した。また、SR-FF構成の4ビットメモリレジスタ、2種類の4ビット2進計数回路、2種類のD-FF、3種類のSR-FF等を設計した。、1月16日に入荷した試作チップを直ちに測定して、実測した2種類のCVSL回路、4ビット加算回路、2ビット減算回路、メモリレジスタ、ダウンカウンタ、シフトレジスタ、2種類の4ビット2進計数回路、2種類のD-FF、3種類のSR-FFの機能動作の確認に全て成功した。

参考文献：[1] 波多野, 鈴木, 森, 田力, 芝田, ”基本論理ゲート速度性能評価回路と加算回路, 計数回路, メモリレジスタの設計試作”, p. 146, 2006年VDEC年報(2006)。

設計期間：1人月以上, 2人月未満 設計ツール：Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG (特性評価回路など)

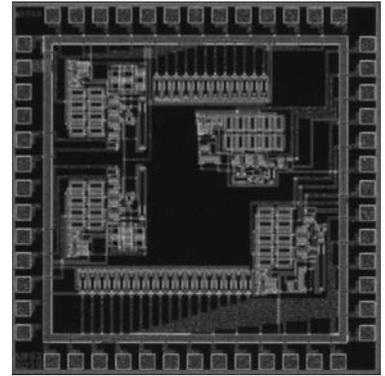


全 MOS 型定電流および（定電流／定電圧）回路の設計・試作（1）

岡山県立大学大学院情報系工学研究科 定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：アナログ・デジタル回路の混在した CMOS LSI 技術の向上に伴い、安定に動作するアナログ回路の実現のためには温度依存性がなく電源電圧にも依存しない基準となる安定した定電流回路が重要となる。従来の低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積の増大のため、製造コストが上昇してしまう。本設計では抵抗を用いずに MOS トランジスタのみで定電流回路を構成した。さらに、1つの回路で定電流特性と定電圧特性の両方を同時に得るように回路設計を行った。SPICE シミュレーション結果と若干異なった特性が得られたが、これらの回路を実現するための基礎的データが得られた。この成果をもとに、次の試作で全 MOS 型の単純な回路構成による（定電流／定電圧）回路の実現を目指す。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 2.3mm 角 チップ種別：TEG（特性評価回路など）



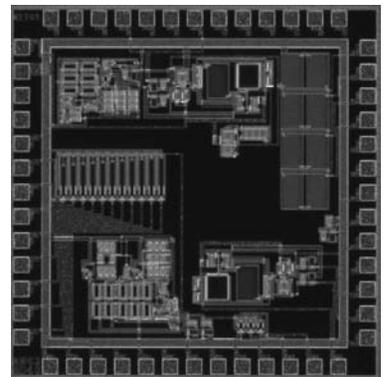
試作ラン：オンセミ CMOS 1.2 μ m

MOS 型温度スイッチ回路の設計・試作

岡山県立大学大学院情報系工学研究科 定本 竜明, 大曾根 隆志, 森下 賢幸, 小椋 清孝

概要：マイクロプロセッサのファン制御ユニットのように温度を検知するための回路は、アナログ CMOS IC において重要なサブサーキットのひとつである。このことから、本設計では、定電圧発生回路、温度依存電圧発生回路よりなる温度センサ回路およびオペアンプ回路を組み合わせるにより、IC チップ上の温度をオンチップで検知し、ある設定した温度に達すると出力電圧が 0V から電源電圧にスイッチする温度スイッチ回路の設計を行った。温度センサ回路は 26 個の MOSFET で構成され、2つの MOSFET のチャネル長の比によって、センサする温度を制御できる。試作の結果、電源電圧 5.0 \pm 1.0V に対してセンサ温度は 81 \sim 83 $^{\circ}$ C で、オペアンプ回路に入力される電圧の温度係数は -3.8mV/ $^{\circ}$ C であった。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：TEG（特性評価回路など）

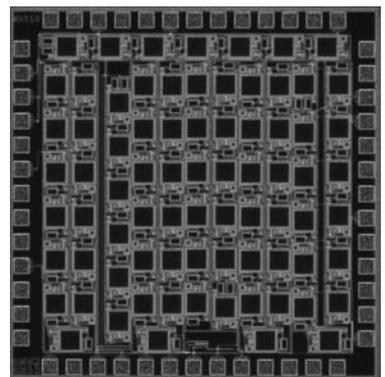


パルス形ハードウェア CPG モデルの試作

日本大学理工学部 小野 克幸, 佐伯 勝敏, 関根 好文

概要：現在、様々な分野において、脳内で行われている情報処理能力を工学的に応用するための研究がなされており、そのなかでも我々は、パルス形のモデルであるパルス形ハードウェアニューラルネットワークのニューロンチップを実装する事を目標に研究を行っている。今回、パルス形ハードウェアニューロンモデルを用いて構成するパルス形ハードウェア CPG モデルの試作を行った。パルス形ハードウェア CPG モデルは、興奮性細胞体部と抑制性細胞体部をシナプスで相互結合している結合系のモデルで、興奮性細胞体部及び、抑制性細胞体部の核出力の位相差を制御可能なモデルである。我々は、移動運動の一つである四足歩行運動を生成するために、アナログ CMOS 回路で構成したハードウェアモデルを提案し、結合構造やパラメータの切り替えを行わずに、歩行パターンの生成や移行が可能であるモデルを提案した。本試作では、パルス形ハードウェアニューロンモデルのシナプス部に OTA を応用することにより、1チップでの実装が可能となるモデルについて検証を行い、検証の結果、同モデルにおける 2 相または 4 相の同期現象を確認した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, HSpice トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：マイクロプロセッサ

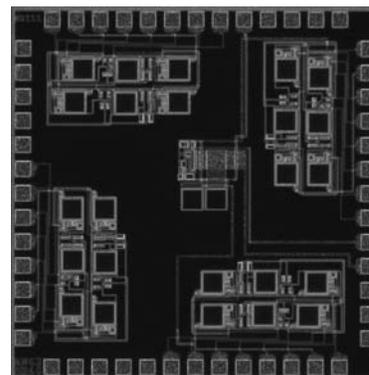


CMOSを用いた基準電圧源回路の試作II

日本大学理工学部 松木 誠司, 佐伯 勝敏, 関根 好文

概要：高集積化・高周波化に伴い、CMOS プロセスを用いた集積回路が求められているが、MOSFETの特性は温度に大きく依存する。MOSFETで構成した基準電圧源回路を温度センサ用の電源とした場合、MOSFETの持つ温度特性で、基準電圧が変化する。そのため、我々は温度に依存しない基準電圧源回路の研究を行っている。我々が提案したゼロ温度係数点付近の特性である温度の増加に対し、減少する特性と温度の増加に対し、増加する特性とを加算することにより、温度変化に対し安定な基準電圧源回路を今回試作した。今回、我々は先に提案した基準電圧源回路において、抵抗を外部接続にし、試作を行った。その結果、抵抗値の調整によりゼロ温度近傍での出力特性を得ることを確認した。

設計期間：2ヶ月以上、3ヶ月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, HSpice トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：マイクロプロセッサ



MOS型バイアス回路の試作

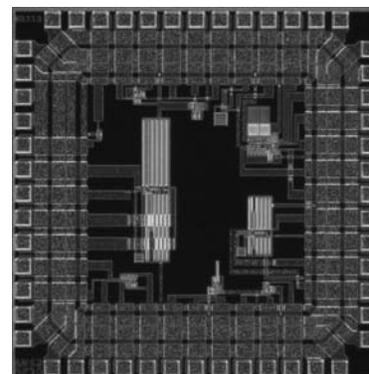
秋田大学工学資源学部 佐々木 健太, 井上 浩

概要：通信機器のさらなる小型化・高性能化を実現するためには高性能発振器をIC内に組み込む必要がある。本研究室でこれまで開発を進めてきた電圧制御型発振器（VCO）

[1]に必要なバイアス回路について集積化設計および試作を行った。本試作では、MOSのしきい値電圧の精度やIC内の占有面積などを考慮して、nMOSのみで回路を構成することに成功した。また、抵抗・nMOS・pMOSを用いて構成した回路、nMOS・pMOSで構成した回路についてもそれぞれ設計および試作し、比較検討した。バイアス回路との組み合わせた場合の特性についても検討できるようにした。

参考文献：[1] 佐々木健太, 井上浩, "VCOの設計とその応用に関する検討", 平成19年東北地区若手研究者研究発表会講演論文集, YS-5-17, pp.33-34, Mar. 2007.

設計期間：1ヶ月以上、2ヶ月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



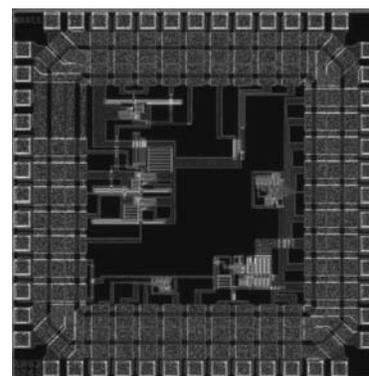
90度移相器とアナログ形PLL用位相比較器の設計

秋田大学工学資源学部 三浦 和仁, 佐々木 裕史, 井上 浩

概要：RFフロントエンド部のSoC化に適した直接変換方式や低IF方式において問題となるI/Q信号間の振幅、位相誤差による信号変復調誤差の小さい受信機の開発を目指して、その基本構成回路の設計・試作を行った[1]。これまで開発した電圧制御型発振回路（VCO）の位相同期回路（PLL）への応用および改善のための設計および試作を行った。設計シミュレーションおよび試作回路の計測結果から、提供されている回路シミュレータにない浮遊容量を考慮すべきこと、回路のばらつきなどの補正を行うこと、高周波設計への指針を得ること、電源変動にも安定な回路設計の提案することなどを行うことができた。

参考文献：[1] 三浦和仁, 佐々木健太, 井上浩, "90度移相器の設計とシミュレーション", 計測自動制御学会東北支部第230回研究集会, 230-11, Jul. 2006.

設計期間：2ヶ月以上、3ヶ月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上、100未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

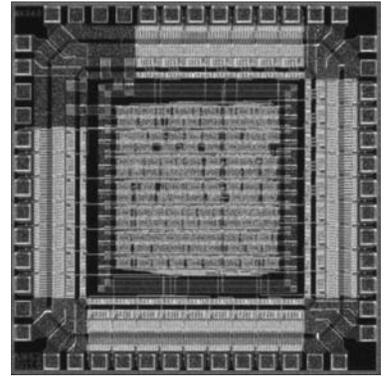


2 値位相比較方式 PLL 周波数シンセサイザ

茨城大学工学部メディア通信工学科 尾保手 茂樹

概要：PLL 回路において一般的にループフィルタ部分は抵抗及びコンデンサで構成される。PLL 回路においてはこのループフィルタを集積化することは可能であるが、反面、特性変更ができず、自由度が低下する。このため、PLL 回路をすべてデジタル回路もしくは CMOS プロセスで実現する試みが多数なされている。これは設計資産の流用や、特性変更を可能にするため、大変有効な研究である。本研究では、このループフィルタをデジタル回路で構成する方法を提案し、その実現可能性を検証するために LSI 化を行った。ループフィルタ部はアナログのラグ・リードフィルタと同等の機能を実現できる構成とし、また回路の簡単化のために位相比較信号を 2 値信号として取り扱っている。位相比較器及びループフィルタ部分を集積化し、その他の VCO、プログラマブル分周器、DA 変換器などは汎用 IC を用いた、実験により過渡応答及び VCO の発振スペクトルを測定した。共に理論通りの動作が確認できた。今後は、デジタルループフィルタ部のビット数をより多ビットにし、ビット数と VCO 発振スペクトルの関係を明らかにし、所要ビット数を明確にしていきたいと考えている。

設計期間：2 月以上、3 月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：1,000 以上、10,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

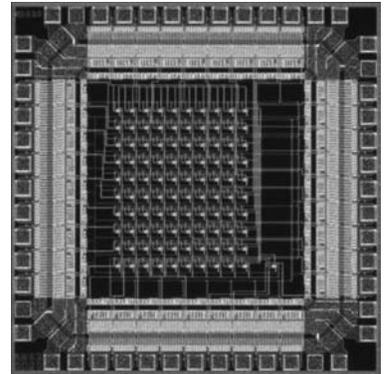


100 ピクセルの基礎実験用イメージセンサ

佐賀大学理工学部 原 重臣

概要：我々は生体の視覚機能を模倣するビジョン・チップの開発を目標にしている。側抑制機能が光入力パターンに応じて適応的に変化するシリコン網膜の開発を目指している。以前に試作したチップでは、C. Mead らによるフォトダイオードに流れる光電流を電圧に変換して出力する方式の受光回路を用いてみた。しかし、信号レベルが小さくノイズの影響が大きかった。そのため、現在 CMOS イメージセンサで使われているフォトダイオード方式の電荷蓄積型受光回路を採用することにした。前回の試作チップは、第 1 ステップとして単独の受光回路を製作し、特性実験を行った。その続きとして、今回のチップでは受光回路を縦横 10 ピクセルずつの合計 100 ピクセルを配置したものを設計した。フォトダイオードは縦横約 22 μ m のサイズである。リセット・パルスとセレクト・パルスはチップ外から入力するようにしている。チップの IO バッファは、MXIBUF のアンプ部分を短絡したものをを用いている。

設計期間：0.1 月以上、0.5 月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：1,000 以上、10,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：イメージセンサ/スマートセンサ

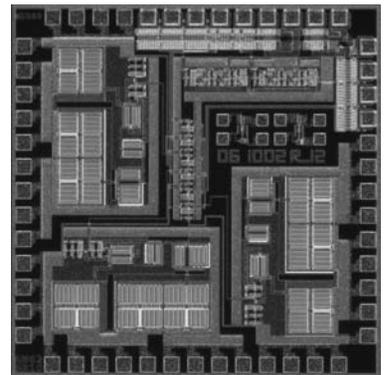


CMOS DC-DC コンバータ出力 LSI の開発

富山県立大学大学院工学研究科 宮崎 崇裕, 松田 敏弘, 岩田 栄之

概要：DC-DC コンバータの小型・軽量化、高効率化のため、従来外付けのパワー MOS-FET を削除し、同等の回路を CMOS LSI 内に実現することを検討している。今回の試作では出力回路、貫通電流防止回路、出力回路選択回路を設計した。出力回路は従来の出力回路を 3 個搭載し、ON 抵抗の低減を目指している。これにより、理論的には ON 抵抗を従来の三分の一になると予想している。貫通電流防止回路は試作後に外部からの電圧により、適切なデッドタイムに設定可能である。出力回路選択回路は 3 個搭載した出力回路のどれに信号を入力するかを選択可能である。各回路の遅延時間を同一にするため、配線の長さを等しく設計した。

設計期間：1 月以上、2 月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上、1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

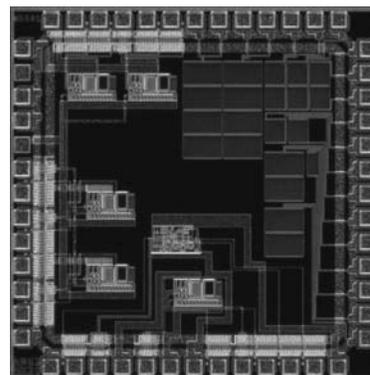


小型加速度センサ用オペアンプの設計

富山県立大学工学研究科 杉本 考行, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが登場してきている。しかし、これらの小型センサの出力は微小であり、外部からの雑音の影響を受けやすくなる。そのため、微小な出力をセンサの近傍で増幅し、外部からの雑音の影響を受けにくくする必要がある。そこで、インターポーザ用のオペアンプを設計した。本チップには、オペアンプ、poly抵抗、コンパレータを搭載した。オペアンプは、同じ設計値のものを5つ配置してある。poly抵抗のパッド配置は、以前同様の目的で設計したものと全く同じである。このことにより、従来と同じ測定回路を使用することが可能である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



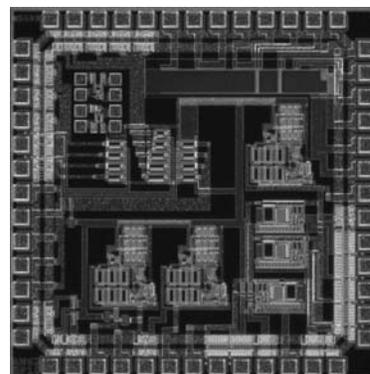
基準電圧発生回路を用いた温度センサの設計

富山県立大学大学院工学研究科 鈴木 圭一, 松田 敏弘, 岩田 栄之

富山県立大学工学部 押山 弘樹

概要：アナログ・デジタル混載集積回路は、様々な機能を1チップ上を実現することが可能であり、アナログ回路でもCMOSプロセスによる実現が望まれている。アナログ回路では、温度依存性が無く電源電圧にも依存しない基準電圧発生回路は重要である。また、電子機器内で使用されるリチウムイオン電池の過充電による発火防止など、様々な電子機器において温度センサが必要とされている。本プロセスで開発した高精度CMOS基準電圧発生回路を応用し、温度センサを設計した。本チップには、基準電圧発生回路、オペアンプを搭載した。また、基準電圧発生部のトランジスタのW/L比が調整可能なMOSFETを配置し、本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした。基準電圧発生回路は、同じ設計値のものを3つ配置してある。オペアンプは、同じ設計値のものを3つ配置してある。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

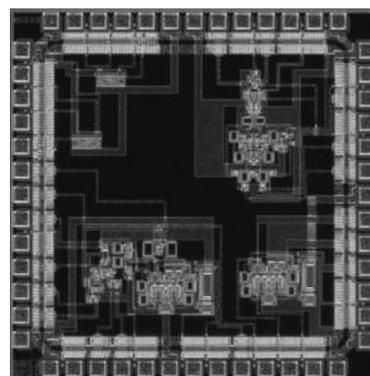


小型加速度センサ用回路の設計

富山県立大学工学研究科 杉本 考行, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、この出力を増幅、補正する必要がある。本研究で小型センサの増幅回路を以前設計したが、小型センサと増幅回路双方にオフセット電圧が生じてしまう。このオフセット電圧をアナログ値からデジタル値に変換し、デジタル値によって調整する方法を検討している。オフセット電圧補正回路は、A/Dコンバータとデジタル値による補正回路が必要である。現在、デルタ・シグマ型A/Dコンバータの設計を目指している。今回はデルタ・シグマ変調器に必要な、積分回路、比較回路、DFFを設計した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

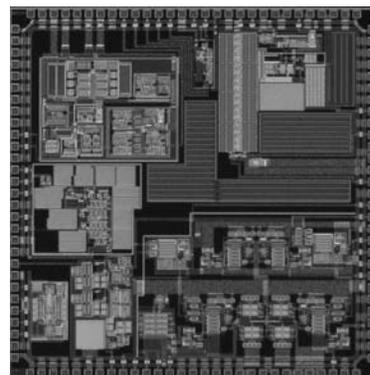


ワンチップFM放送受信システムの試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムス レディアン

概要：FM放送の受信システムの試作を行った。受信システムは周波数変換回路、信号調整回路、復調回路で構成される。周波数変換回路は低雑音増幅器、電圧制御発振回路、乗算器で構成され、アンテナから入力される信号の周波数を210kHzに変換している。電圧制御発振回路は四相出力のリングオシレータを使用しており、乗算器はダブルバランス型を使用している。このように、周波数変換回路は平衡型の信号を用いているため、対称性のよいコモンセントロイドのレイアウトを行っている。信号調整回路は帯域通過フィルタと可変利得増幅器で構成されており、妨害波の除去と振幅調整を行っている。特に帯域通過フィルタは6次のチェビシェフフィルタで構成されており、隣接チャンネルを-40dBcだけ減衰させることができる。復調回路は位相同期回路を用いて構成されており、乗算器のアイソレーションを高めるようにレイアウトを行っている。また、位相同期回路に使用されている電圧制御発振回路は広い周波数制御範囲を確保するために、リングオシレータで構成されている。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm角 チップ種別：通信 (RF回路, ATMなど)

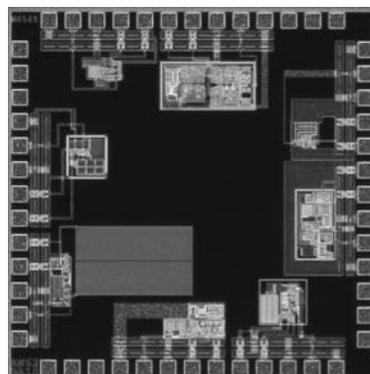


演算増幅器の試作 (2)

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムス レディアン

概要：演算増幅器は、トランジスタを用いた基本増幅回路と異なり、バイアス条件を考慮することなく希望の利得を実現することのできる汎用性の高い素子である。さらに演算増幅器にはトランジスタ回路の基本構成が多数含まれるため演算増幅器の構成を学ぶことは、アナログ回路の初学者にとって極めて有益である。このような観点から本研究室では、例年学部学生および修士一年の学生が演算増幅器の設計からシミュレーション、レイアウトまでを独力でを行い、増幅回路の集積化の手順を学んでいる。本チップには8個の演算増幅器が試作されている。回路構成は、設計者にとって初めての設計および試作であることから差動対にソース接地増幅回路を従続接続した基本的な構成が大半を占めている。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

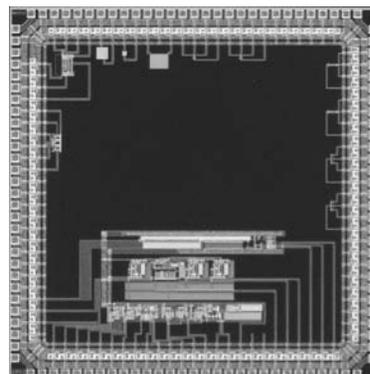


チャージポンプ型DCDCコンバータ電源回路設計

早稲田大学IPS 潘 俊, 井上 靖秋

概要：チャージポンプ型DCDCコンバータ電源回路設計ユビキタスセンサネットワークでは、センシング、アナログ・デジタル信号処理、無線通信などの機能を一体化した超小型情報端末が重要な役割を果たす。ユビキタス時代を迎え、超低電力回路設計技術はシステムLSI技術が非常に注目されている。中でも、高効率チャージポンプ型DCDCコンバータ電源回路設計技術は、全てのユビキタス機器に共通の重要な基盤技術として、更なる発展が望まれる。本研究では、高効率チャージポンプ型DCDCコンバータ電源回路を提案する。携帯機器（携帯電話やデジカメ、PDAなど）に使用される電源用チャージポンプ型DCDCコンバータ用ICにおいてチャージポンプ型の特徴である低EMI（放射ノイズ）性能に加え、更に新回路による高効率（90%以上）の方式を実現。

設計期間：1人月以上, 2人月未満 設計ツール：Hspice, Composer, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



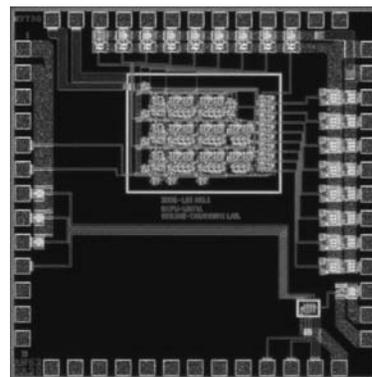
2相駆動断熱的論理回路による4bit配列型乗算器

岐阜大学工学部 高橋 康宏, 関根 敏和
山形大学工学部 横山 道央

概要：近年、移動体端末機器の普及、需要が増大している。それに伴い、移動体端末機器の長時間動作の要求が高まっているが、電源にバッテリーが使用されていることから、電源容量の制約により長時間動作を実現することが困難である。この問題を解決するために、機器に使用されるLSIの低電圧化、低消費電力化が必須であり、この中に使用される低消費電力回路の開発が必要である。そのような背景のもと、超低消費電力動作が可能な論理回路のひとつとして断熱的論理回路が注目されている。本研究では、文献[1]で提案した断熱的論理回路(2PADCL)を用いた4 \times 4bitの配列型乗算器の設計・試作を行った。フルカスタム方式で設計を行った結果、乗算器のチップ専有面積は926 \times 724 μm^2 であった。試作したチップの評価を行ったところ、800kHzで動作することを確認した。またそのときの消費電力は5.18mW(発振器を含む)であった。

参考文献：Y. Takahashi, Y. Fukuta, T. Sekine, and M. Yokoyama, "2PADCL: Two phase drive adiabatic dynamic CMOS logic," in Proc. IEEE APCCAS, pp.1486-1489, Dec. 2006.

設計期間：0.1人月未満 設計ツール：Tanner L-edit, Synopsys社 Star-HSPICE トランジスタ数：10未満 試作ラン：オンセミ CMOS 1.2 μm 2.3mm角 チップ種別：マイクロプロセッサ



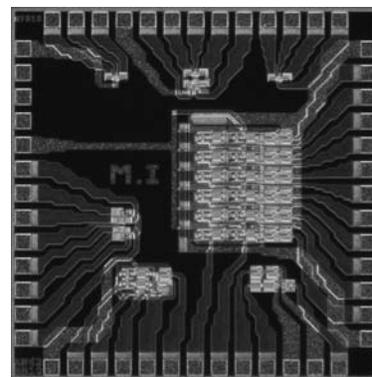
電圧モード多値論理基本回路とアナログ回路の試作

筑波技術大学産業技術学部 稲葉 基

概要：アナログインバータ[1]とダウンリテラル回路およびこれらの応用回路である電圧比較回路とTゲート回路の設計・試作をおこなった。アナログインバータは、2入力ニューロンMOSFETを2つ用いて構成される4端子回路で、単一電源下の全信号範囲で電源電圧と入力電圧の差を出力し、多値論理信号処理のための反転関数を実現する。ダウンリテラル回路は、2入力ニューロンMOSFETを2つ用いて構成される6端子回路で、CMOSインバータと同様の入出力特性を有しながら、そのしきい値電圧を2つの外部印加電圧によって変化でき、CMOSインバータよりも低消費電力かつ急峻な入出力特性を実現する。これらの応用回路である電圧比較回路は、2入力ニューロンMOSFETを4個用いた5端子回路で、2つの入力端子に印加される電圧の比較をおこなう。そして、Tゲート回路は、制御電圧によって複数の入力のうちの1つを選択する回路である。これらの回路は、多値論理信号処理における基本関数の実現のほか、様々な電圧モードアナログ信号処理回路へ応用可能である。

参考文献：[1] M. Inaba, K. Tanno, O. Ishizuka: "Analog Inverter with Neuron-MOS Transistors and Its Application", 電子情報通信学会, アナログ回路技術小特集号, 英文論文誌A. Vol. E85-A, No. 2. pp. 360-365 (2002).

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2 μm 2.3mm角 チップ種別：アナデジ混載

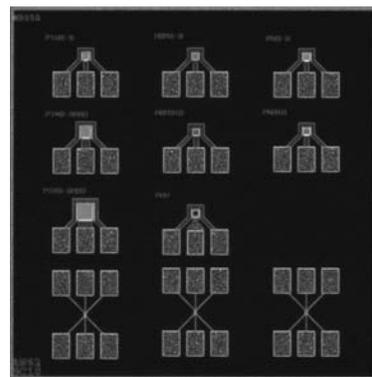


VLSIプロセスによる光検出器の試作

金沢大学大学院自然科学研究科 飯山 宏一, 山王 紀明

概要：高速のデータ通信のために、LSIチップ間通信への光伝送の適用が検討されている。その実現のためには、LSIプロセスによる光検出器作製の整合性について検討する必要がある。本チップは、LSIプロセスで作製可能な高速光検出器の構造を検討することを目的としている。通常の縦型構造のPN光検出器とともに、くし型電極構造を持ち、キャリアが横方向(基板に平行な方向)に移動する横型PN光検出器および横型PIN型光検出器を試作した。また、基板中に特に不純物をドーパせず、基板表面にくし型形状のショットキー電極を形成した金属・半導体・金属光検出器(MSM光検出器)およびn-MOSFET単体の試作も合わせて行った。各光検出器およびMOSFETはコプレーナ型電極パッドを持ち、高周波プローブによる高周波特性が測定可能なチップとした。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：オンセミ CMOS 1.2 μm 2.3mm角 チップ種別：TEG(特性評価回路など)



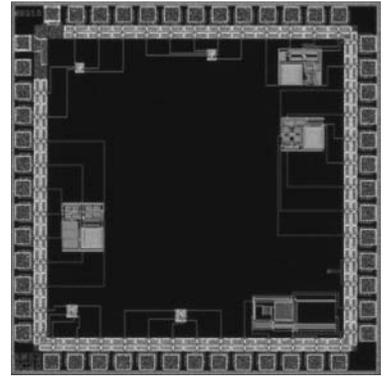
演算増幅器設計試作を通じた高専 LSI 設計教育

有明工業高等専門学校電子情報工学科 石川 洋平, 金子 絢美, 西原 望

概要：本試作では、高等専門学校での卒業研究において、アナログ集積回路の基本ブロックである演算増幅器の設計を行い、総合的な LSI 設計技術及び検証技術を早期に習得することを目的としている。今回は教育的効果を配慮し、基本的な 2 段構成の演算増幅器とした。試作の種類としては、位相補償をあらかじめ施したものと、外部補償を前提とするものを検証のために製作している。教育的効果としては、高専 5 年生がシミュレーションからレイアウトまでの基本的な設計をトータル約 30 時間で行うことができている。また、現在、アナログ・デジタル分野双方での応用を研究中であるニューロン MOS トランジスタの TEG も同時に試作を行っている。ニューロン MOS トランジスタのフローティングゲートの振る舞いを検証するために初期電荷消去レイアウトを施したものと、フローティングゲートサイズの影響を比較するための試作を行っている。

参考文献：[1] 石川, 金子, 西原, 深井, "高等専門学校における LSI 設計教育について", pp.69-70, D07, 日本産業技術教育学会 第 19 回九州支部大会 (2006)。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

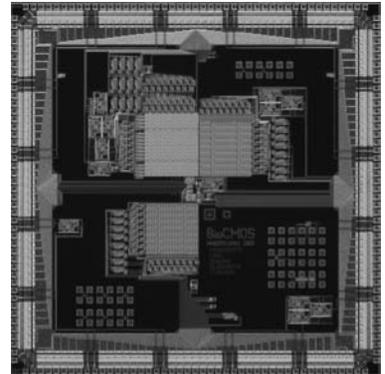


BioCMOS 回路

名古屋大学工学研究科 中里, 宇野, 大浦, 杉本 圭正, 塚田

概要：バイオ分子の特異的結合を蛍光修飾することなく電氣的に、電荷として検出するための新しい BioCMOS アナログ集積回路を提案・試作し、その動作を確認した。バイオ分子の検出に拡張ゲート型 MOS トランジスタを用い、その保護回路およびバイオ反応を電気信号に変換する回路を消費電力 10nW で実現し、超並列・高スループットでバイオ分子の検出が行える見通しを得た。また、バイオ分子の検出課題である拡張ゲート電荷の初期化方法を検討した。初期化を行わない場合には検出信号に近い 150mV のばらつきがみられるが、初期化を行うことによりこのばらつきをキャンセルできると考えられる。このための回路 TEG を設計した。

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 7.3mm 角 チップ種別：イメージセンサ/スマートセンサ



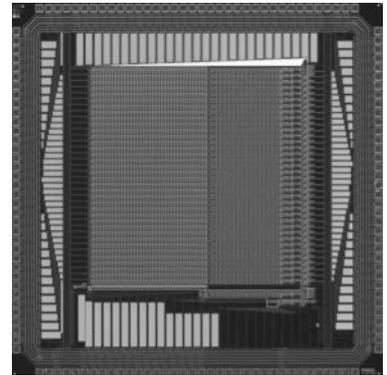
平成17年度第9回ローム CMOS 0.35 μ m試作 (R035059)

Burst firing Inverse function Delayed Model によるニューラルネットワーク

東北大学電気通信研究所 末永 晋也, 早川 吉弘, 中島 康治

概要：本チップには、我々が提案した Burst firing Inverse function Delayed (BID) モデルによるニューラルネットワークが実装された。BID モデルは、生体神経系の情報処理において重要な役割をもつ、バースト発火と呼ばれる神経細胞ダイナミクスを有するニューラルネットワークモデルであり、最適化問題において性能の向上を達成できる。試作の目的は、(1) ニューロンにおけるバースト発火現象の再現、(2) 最適化問題への適用など、ネットワークでの基本動作の確認などである。チップはニューロン回路とシナプス回路から成り、36個のニューロンと36 \times 36個のシナプスをアレイ状に配置した。ニューロン回路ではモデルの基本方程式を回路方程式に変換することで実現した。また、シナプス回路では荷重値と出力の乗算と荷重値の保持更新などを実現した。これらの演算の実現にはアナログ回路技術を用いた。また、荷重値の精度は2bitとし、メモリはSRAMにより実装した。測定を行い、チップ上で(1)と(2)を確認した。BIDモデルの集積回路化に必要な要素を全て実装し、その動作を確認した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC
トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

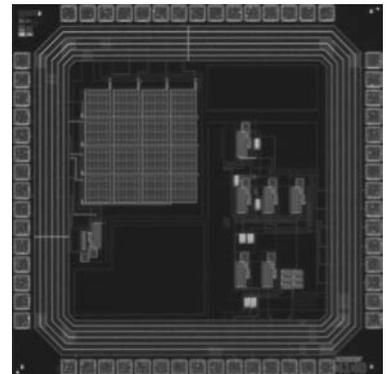


光通信用信号処理回路

慶應義塾大学工学部 原 貴東, 松本 佳宣

概要：0.35ミクロンCMOS技術を用いてゲイン、周波数特性の異なるいくつかの演算増幅器を考案して設計した。また、FTTHや光インターコネクトなどの短距離光通信用にトランスインピーダンス回路、Rail to Rail Amp, バッファ回路などを設計した。トランスインピーダンス回路に必要とされる抵抗はHi-PolyR抵抗を利用した。また、Rail to Rail Ampにはオフセット補正機能を持たせた。さらに、CMOS技術で製作されるフォトダイオードの応答感度、周波数特性を評価するために、異なるレイアウトのフォトダイオードを設計した。また、フォトダイオードとトランスインピーダンス回路、レーザーダイオード駆動回路などを集積化した素子に関しても設計をおこなった。レーザーダイオードを駆動するのに必要な数十mA以上の電流を流すために、ゲート幅の小さいトランジスタを多数並列に並べることでゲート抵抗の増加を防ぎ、またアルミ配線やコンタクトホールでの電流許容量を超えないように配慮した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：通信 (RF回路, ATMなど)



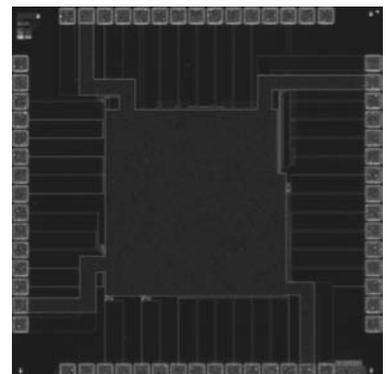
アナログLSIのための基本RC素子TEGの設計

高知工科大学工学部 安岡 佐知子, 橘 昌良

高知工科大学大学院工学研究科 川越 伸一

概要：アナログLSI試作を始めるための基礎的なデータを収集するために、抵抗、コンデンサなどの基本素子を作成した。このチップでは、高ポリ抵抗、コンタクト抵抗、ビア抵抗、ポリシリコン2層コンデンサ、および、アルミ層間コンデンサを作成し、さらに、パッケージのピン-ボンディングパッド間の浮遊容量を測定するための素子も追加した。また、必要とする端子数を減らし、また、測定を安定に行うために、チップの中央部にはアルミ層を配置した。高ポリ抵抗は10 Ω から100 Ω まで5パターン、コンタクト抵抗、ビア抵抗はGate-AL1, AL1-AL2, AL2-AL3間に30から300個(それぞれ5パターン)配置している。また、キャパシタはPOLY-POLYが0.85pFから108.8pFまで8パターン、アルミ層間キャパシタが3パターン作成されている。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG (特性評価回路など)



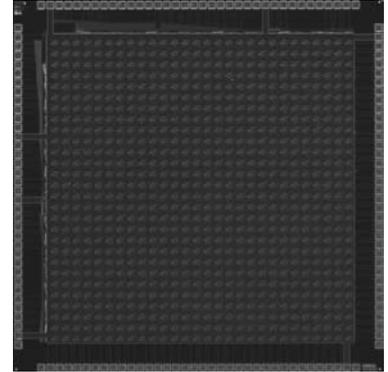
電流モード可変解像度エッジフィルタ

東京大学工学部 仁木 祐介

東京大学大学院新領域創成科学研究科 柴田 直

概要：画像認識は演算コストが非常に高いため、ソフトウェアによる実時間処理は難しい。本研究室では専用のVLSIを開発することにより、実時間画像認識を目指している。画像の最も重要な特徴情報はエッジ情報であるが、同一対象の画像であっても大きさが異なる場合、抽出されるエッジ情報は異なってしまう。そこで入力画像の解像度を変化させることで、大きさのみが異なる画像からも似たようなエッジ情報を抽出することができるアーキテクチャが開発、実装された。従来の実装では、解像度の可変段数の増加による制御信号線などの配線の増加、さらに減算平均化回路を設けることによる回路面積の増加などにより、開口率の低下につながっていた。そこで、電流モードによるアナログ演算による実装を行った。電流モードにすることで、エッジフィルタのカーネルの符号を予め与えることが容易にできるため、減算回路を用いず、各種演算を配線のみで実現することができ、制御信号線を大幅に減らすことが可能となり、開口率を大幅に改善することができた。画素数は27x27、解像度はフル、1/2、1/4の3段階で変化させることが可能である。

設計期間：5人月以上、6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：イメージセンサ/スマートセンサ

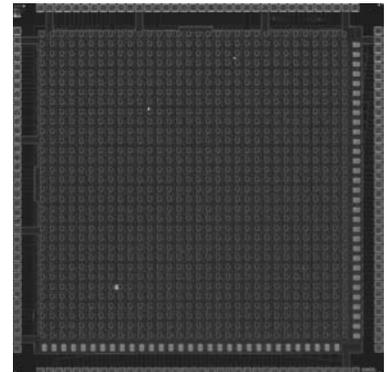
**減算器分離型可変解像度エッジ抽出フィルタ**

東京大学工学部 藤田 和英

東京大学大学院新領域創成科学研究科 柴田 直

概要：本研究室では連想プロセッサをベースとした実時間画像認識VLSIシステムの構築を目指し研究を進めている。このシステムでは画像特徴抽出の際に方向性エッジを用いるので、画像入力に用いるイメージセンサ自体にエッジ抽出機能を搭載することで、後続の処理を軽減することができる。さらに、エッジ抽出の段階で解像度を変化させて入力画像を取り込むことで入力画像の大きさの変化に対応するアルゴリズムが考案され実装がなされた。しかし解像度を変化させるためのデータ転送や演算制御のためにピクセル間の配線が増加し、イメージセンサの重要な性能指標の1つである開口率が低くなってしまっていた。そこで、本チップでは、エッジ抽出演算アルゴリズムに着目し、加算回路のみをピクセルアレイ内に残し、減算回路を外側に設置するという減算器分離型アーキテクチャを実装し、開口率の向上を図った。演算回路にはvMOSを用いた電圧モードアナログ回路を用いた。その結果、開口率は従来のものに比べ約8倍と大幅に向上した。本チップは31x31ピクセルの画像まで対応しており、1倍、1/2倍、1/4倍の3段階の解像度において、水平、垂直、+45度、-45度の4方向のエッジ抽出が680fpsで行えることを実測にて確認した。

設計期間：5人月以上、6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：イメージセンサ/スマートセンサ

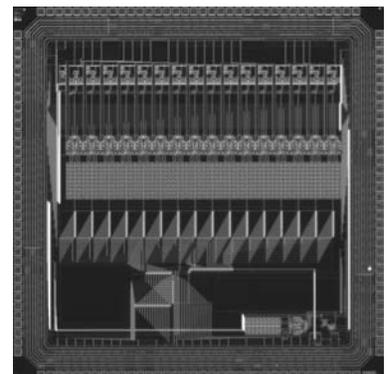
**ストカスティックコンピューティングシステムによるマンハッタン距離計算回路の設計**

広島大学大学院先端物質科学研究科 堀 道弘, 岩田 穆

概要：我々は前回、マンハッタン距離の計算を確率的に行なうチップの設計・試作を行なったが、本試作チップはその改良版である。将来的に微細化・高集積化のために回路システムはさまざまなノイズの影響を受けやすくなり、従来の決定論的なコンピューティングシステムは正しく動作しなくなる可能性がある。これら解決の糸口の一つとして、ストカスティックコンピューティングシステムの研究が行われてきた。このシステムは、ランダム信号を用いてアナログ量をパルス頻度に変換し、確率的に計算を実行するシステムである。その利点として、ロバストなシステムが構築できる事が知られている。また、ハードを変える事なく必要に応じて違う精度の計算が実行可能である。そこで、ベクトルマッチングへの応用に着目し、ストカスティックコンピューティングシステムによるマンハッタン距離計算回路を設計した。本チップの改良点としては、前回に比べ高速に動くように改良し、クロック周波数1MHzでの動作が可能になった。

参考文献：M. Hori, M. Ueda and A. Iwata, "Stochastic Computing Chip for Measurement of Manhattan Distance", Japanese Journal of Applied Physics, Vol. 45, No. 4B, 2006, pp3301-3306.

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上、100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：ニューテクノロジー



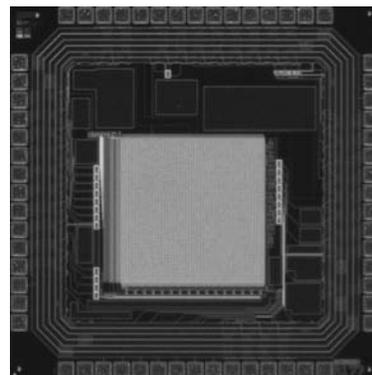
SFQ/CMOSハイブリッドメモリの試作

横浜国立大学工学部 吉川 信行, 高橋 好明, 河合 宣彰

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。また、我々は断熱的論理回路を使った大規模集積回路についても検討している。これは集積回路の低消費電力化を目的としており、今回は全加算器の設計を行った。

参考文献： [1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003)。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：メモリ

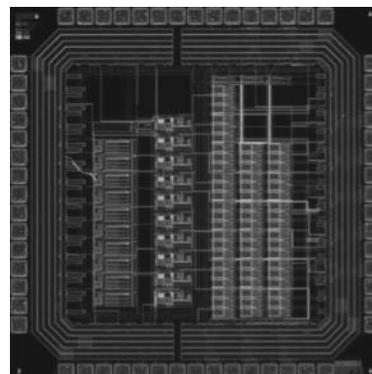


10chPreamplifier/Shaper/Discriminator

東京大学工学系研究科 島添 健次, 高橋 浩之

概要：本チップはMSGC（マイクロストリップガスカウンタ）などのガスカウンタや半導体検出器などの放射線検出器に必要な多チャンネルのパルス信号処理回路である。このパルス信号処理回路の1チャンネルはgain-boosted cascode型の電荷信号を電圧に変換する電荷積分型プリアンプと波形整形用のシェーピングアンプ、コンパレータ（ディスクリミネータ）から構成されている。プリアンプの時定数、シェーピングタイムは外部より可変としている。プリアンプで電荷信号を電圧に変換したのちShaperで波形整形を行い、コンパレータを通して出力する。またコンパレータのthresholdはupper thresholdとlower thresholdがあり、波形信号がこの間に来た時に信号が出力されるように構成されており、これらのthresholdは外部から調節できるようになっている。本チップでは10チャンネルを集積した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

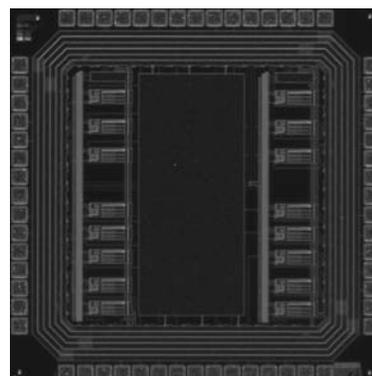


16ch低雑音CMOSプリアンプ

東京大学工学系研究科 島添 健次, 高橋 浩之

概要：本チップはMSGC（マイクロストリップガスカウンタ）やPET用の検出器などの放射線検出器向けの低ノイズ多チャンネルプリアンプ信号処理回路の試作である。プリアンプはフォールドドカスコード型の電荷積分型プリアンプを使用している。本チップをテストを行ないENC（等価雑音電荷）で800電子ほどの性能がえられており、PET用のプリアンプとしては十分な性能をもっていることが確認できた。本チップでは16チャンネルを集積した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

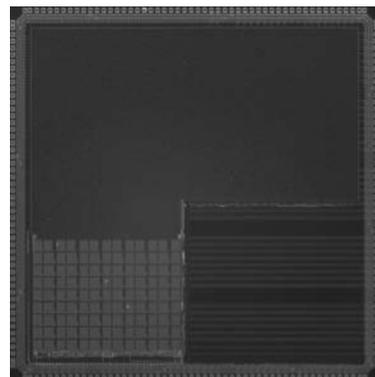


ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実, 小林 史典

概要：光による高速な再構成が可能で、ダイナミック型の光再構成回路を有する光再構成型ゲートアレイ DORGA (Dynamic Optically Reconfigurable Gate Array) VLSI を試作した。光再構成型ゲートアレイとは光メモリとゲートアレイ VLSI とを組み合わせた新構造のデバイスの中で、コンテキストの記憶に光メモリを、光メモリと VLSI 間に大容量の光バスを用いることで、大容量のコンテキストと高速な再構成とが両立できる。ここで、ダイナミック光再構成型ゲートアレイとは、フォトダイオードを受光素子としてだけでなく、メモリとしても使用する高密度タイプの光再構成型ゲートアレイ VLSI のことである。この度の設計では、フォトダイオード受光部のサイズを $9.5\mu\text{m} \times 8.8\mu\text{m}$ 、その間隔をそれぞれ $34.5\mu\text{m}$ 、 $33.0\mu\text{m}$ とした。また、光再構成時におけるゲートアレイ回路同士の衝突を防止する設計となっている。Island-Style のゲートアレイ部には、30ゲートに相当する論理ブロックが48個、スイッチングマトリックスが63個、4ビットの I/O ビットを持つ I/O ブロックが6個実装された。配線チャンネル内の配線は8本である。この度試作した DORGA のゲート規模は1,440ゲートである。

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 9.8mm 角 チップ種別：その他

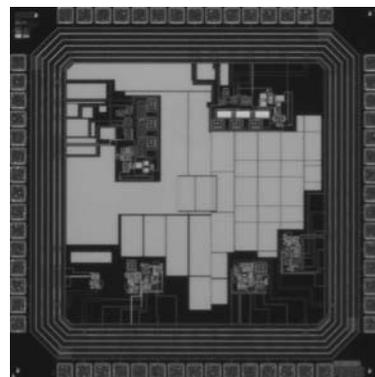


FM送受信IC

立命館大学理工学部 野田 和也, 古野 裕隆, 藤田 智弘

概要：本回路は信号周波数10MHzで動作する、FM送受信回路である。自動利得制御回路 (AGC)、リミッタ回路、低雑音増幅回路 (LNA)、スイッチ付きオペアンプ、FM変復調回路の試作を行った。AGCはオペアンプのフィードバックを利用し、信号の振幅を一定にしている。今回は、振幅検出回路と制御電圧の生成部の回路構成を簡単化した。リミッタ回路は信号を所望の電圧範囲内に制限する回路である。今回の試作では利得を十分とれるよう段数を最適化した。LNAはインバータを利用し、入力換算ノイズの低減を狙った。オペアンプは電源電圧のオンオフを可能とするスイッチをとりつけた。今回試作したシステムは、間欠動作するため消費電力の低減に寄与できる。FM変調回路はモノマルチバイブレータを利用した発振回路となっている。また、復調回路もモノマルチバイブレータを利用している。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 チップ種別：通信 (RF回路, ATMなど)

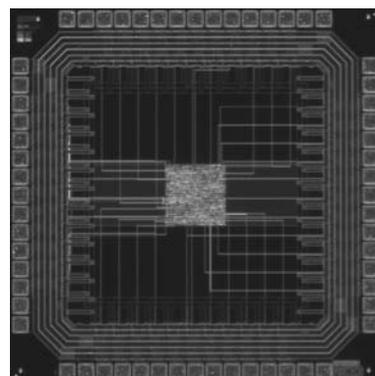


8bitパイプラインプロセッサ

名古屋大学大学院工学研究科 市川 彰孝, 志村 一樹, 間所 峻洋, 小林 良太郎, 島田 俊夫

概要：我々は、VDECを利用したLSIチップ作成のトレーニングとして、チップ試作を行った。作成したチップは、8bitパイプラインプロセッサである。このプロセッサは、5段のパイプラインステージで構成されており、外部メモリから命令、及び、データを得て、演算を行うことが可能である。設計は、Verilog-HDLを用い、本研究室の学生3名で1ヶ月かけて設計した。設計ツールには、Cadence社のVerilog-XL, Dracula, 及び、Synopsys社のDesign Compiler, Milkyway, Apolloを使用した。チップの検証には、三菱電機マイコン機器ソフトウェア株式会社のPowerMedusa MU200-SXを用い、正常に動作していることを確認した。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Milkyway, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS $0.35\mu\text{m}$ 2.4mm 角 チップ種別：マイクロプロセッサ

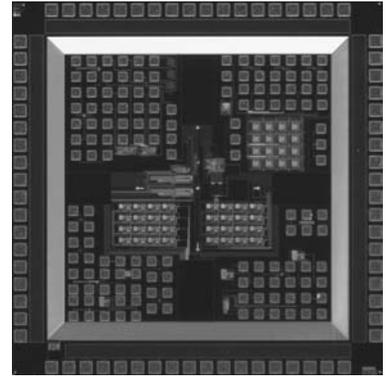


単分子オンチップ計測集積回路

名古屋大学工学研究科 中里 和郎, 宇野 重康, 石崎 賢治, 清水 毅, 山口 賢

概要：1個の分子による信号は微弱であり，精度良く安定に検出するには，分子直下でオンチップ計測する必要がある．電気伝導とキャパシタンスのオンチップ計測を行うアナログ CMOS 集積回路を設計・試作した．電気伝導計測回路は，ソースフォロワをベースにした回路と差動アンプをベースとした回路を検討した．これにより飛躍的な S/N 比，高速応答性を得ることができる．キャパシタンス計測回路は充放電時間を計測する回路と零位法による回路の2種類を検討した．溶液中での測定で，温度も室温から 100 度までまですることから，バンドギャップ参照電源による温度補償回路を用いた．

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100 以上，1,000 未満 試作ラン：ローム CMOS 0.35 μm 4.9mm 角 チップ種別：イメージセンサ/スマートセンサ



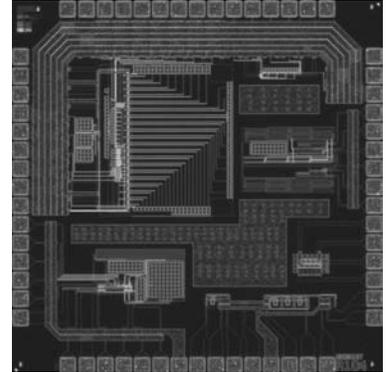
スマート RFID タグ用心音抽出回路と個体識別符号生成回路、及びその他関連回路

熊本大学大学院自然科学研究科 山川 俊貴, Timischl Felix, 千代永 純一, 梅田 武,
中島 晃, 米澤 隆広

概要：当研究室では、病気の発生・メカニズムの解析および新薬の開発などを目的とした、遺伝子改変マウスの心拍数・体温・呼吸音の計測および個体識別の行なえる生体植え込み型超小型スマート RFID タグの設計・開発を行なっている。そこで、スマート RFID タグに内蔵して、心音の抽出を行う心音抽出回路と ID 符号を生成するための個体識別符号生成回路を試作した。また、関連回路である参照電圧源回路とリング発信器、pn 接合ダイオードを TEG として試作した。

参考文献：T. Yamakawa, T. Inoue, A. Nakajima, T. Yonezawa, A Tsuneda, "A Circuit Design of ID-Code and Heartbeat Signal Processing Blocks of a Smart RF ID Tag for Mice", pp. 2569-2572, 2006 IEEE International Symposium on Circuits and Systems (May, 2006).

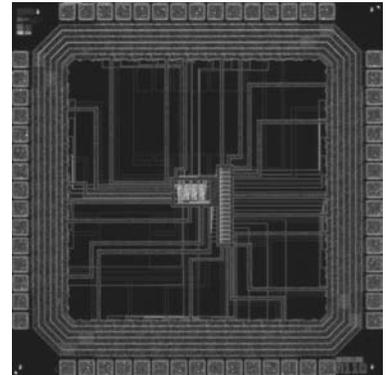
設計期間：3 人以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナデジ混載

**LSI 設計コンテスト**

金沢大学工学部 集積回路工学研究室 酒田 礼治, 村上 知倫, 秋田 純一, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部生に、フルカスタム設計の経験をしてもらうことと、実施のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。コンテスト部門と自由設計部門を設け、参加者それぞれに1チップを与えて試作してもらった。コンテスト部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定する。また、回路アーキテクチャ以外で性能差が生じていないようにこちらで用意した出力バッファを参加者全員に組み込んでもらった。作成されたチップは検証も各自で行い、結果、一部のチップにおいて完全動作を確認することができた。

設計期間：6 人以上, 7 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角



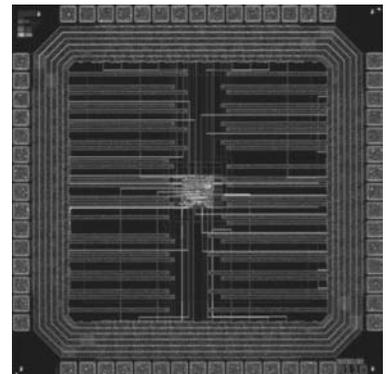
チップ種別：演算回路（乗算器、除算器など）

LSI 設計コンテスト

金沢大学工学部集積回路工学研究室 村上 知倫, 秋田 純一, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部学生に、フルカスタム設計の経験をしてもらうことと、実際のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。今年度は参加者それぞれに1チップを与えて試作してもらった。内容は16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定する。また、回路アーキテクチャ以外で性能差が生じないように、こちらで用意した出力バッファを参加者全員に組み込んでもらった。作成されたチップは検証も各自で行ってもらった。本チップは、設計コンテストの評価の基準とし、フルカスタム設計の加算器とデジタル設計の加算器を比較するために、HDLによって作られた16bitのRipple Carry Adderを搭載したLSIチップである。LSIテストを用いて検証をし、このチップは完全動作を確認した。

設計期間：0.1 人以上, 0.5 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：演算回路（乗算器、除算器など）

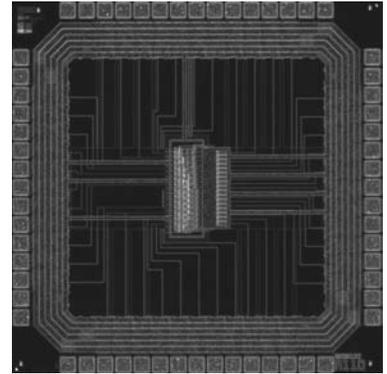


LSI 設計コンテスト

金沢大学工学部 集積回路工学研究室 酒田 二三也, 金子 康隆, 秋田 純一,
北川 章夫

概要：学部3年生を対象にLSI 設計コンテストを実施した。このコンテストは、なるべく多くの学部生に、フルカスタム設計の経験をしてもらうことと、実施のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。コンテスト部門と自由設計部門を設け、参加者それぞれに1チップを与えて試作してもらった。コンテスト部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定する。また、回路アーキテクチャ以外で性能差が生じていないようにこちらで用意した出力バッファを参加者全員に組み込んでもらった。作成されたチップは検証も各自で行い、結果、一部のチップにおいて完全動作を確認することができた。

設計期間：6人以上, 7人未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路（乗算器, 除算器など）

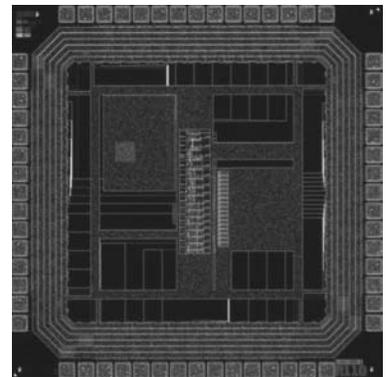


LSI 設計コンテスト

金沢大学工学部 集積回路工学研究室 中山 雅文, 牧野 良成, 秋田 純一, 北川 章夫

概要：学部3年生を対象にLSI 設計コンテストを実施した。このコンテストは、なるべく多くの学部生に、フルカスタム設計の経験をしてもらうことと、実施のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。コンテスト部門と自由設計部門を設け、参加者それぞれに1チップを与えて試作してもらった。コンテスト部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定する。また、回路アーキテクチャ以外で性能差が生じていないようにこちらで用意した出力バッファを参加者全員に組み込んでもらった。作成されたチップは検証も各自で行い、結果、一部のチップにおいて完全動作を確認することができた。

設計期間：6人以上, 7人未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 器など）



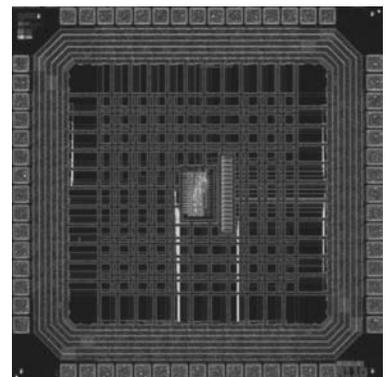
チップ種別：演算回路（乗算器, 除算器など）

LSI 設計コンテスト

金沢大学工学部 集積回路工学研究室 野手 翔太, 中野 伸吾, 秋田 純一, 北川 章夫

概要：学部3年生を対象にLSI 設計コンテストを実施した。このコンテストは、なるべく多くの学部生に、フルカスタム設計の経験をしてもらうことと、実施のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。コンテスト部門と自由設計部門を設け、参加者それぞれに1チップを与えて試作してもらった。コンテスト部門では16bit加算器を設計し、入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定する。また、回路アーキテクチャ以外で性能差が生じていないようにこちらで用意した出力バッファを参加者全員に組み込んでもらった。作成されたチップは検証も各自で行い、結果、一部のチップにおいて完全動作を確認することができた。

設計期間：6人以上, 7人未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 器など）



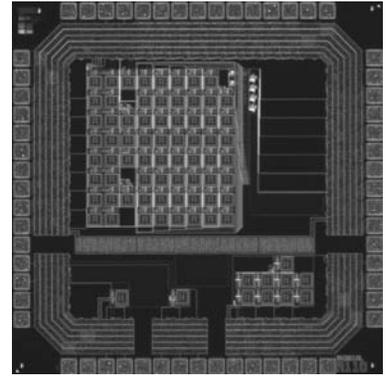
チップ種別：演算回路（乗算器, 除算器など）

LSI 設計コンテスト

金沢大学工学部 集積回路工学研究室 小林 正雄, 中野 伸吾, 秋田 純一, 北川 章夫

概要：学部3年生を対象にLSI設計コンテストを実施した。このコンテストは、なるべく多くの学部生に、フルカスタム設計の経験をしてもらうことと、実施のチップを設計する際にどのような点を考慮すべきかを考えてもらう為に実施している。コンテスト部門と自由設計部門を設け、参加者それぞれに1チップを与えて試作してもらった。自由設計部門では演算増幅器を用いた加減算回路、DA変換回路、AD変換回路を設計し、最終的にこれらを繋ぎ合わせた回路を設計した。入出力伝播遅延、使用面積、動作電圧マージン、完全動作を総合して順位を決定する。作成されたチップは検証も各自で行い、結果、本チップにおいて完全動作を確認することができなかった。

設計期間：6人以上、7人未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角



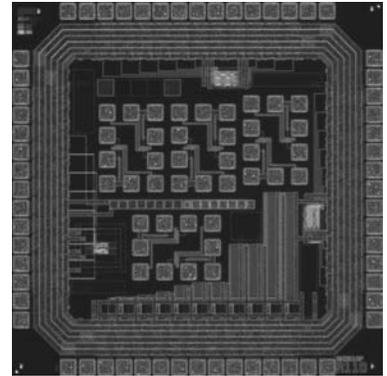
チップ種別：演算回路（乗算器，除算器など）

LSI テスタ/EBプローバ実習用回路

金沢大学工学部集積回路工学研究室 金子 康隆, 秋田 純一, 北川 章夫

概要：本チップは、LSIテスタ、EBプローバの使用方法を覚えるための実習に用いるために作ったものである。これらの装置を使ったことがない者のために、簡単な構成の回路を測定することで、回路の動作が理解しやすく、装置の操作方法の習得がしやすいものとなっている。LSIテスタの一連の操作方法を覚えるための測定回路として4bitカウンタを作った。また、ファンアウトにより生じる遅延時間を確認し、遅延時間を測定する操作を覚えるための回路を作った。EBプローバで回路の配線の電圧波形を取得し、評価するための操作方法を覚えるためにインバータ・チェーンを作った。また、実習目的以外の回路として、複雑な論理回路の途中の信号状態が確認可能である、スキャンレジスタを用いたシリアルスキャン回路を2種類と、ゲート幅でなくゲート長のサイズを変えたトランジスタのTEGをpMOSとnMOSでそれぞれ4個ずつ、計8個作った。シリアルスキャン回路の2種類のうちの1つで一部不具合があったものの、それ以外の回路については完全動作を確認した。

設計期間：0.5人以上、1人未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：1,000以上、10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：その他

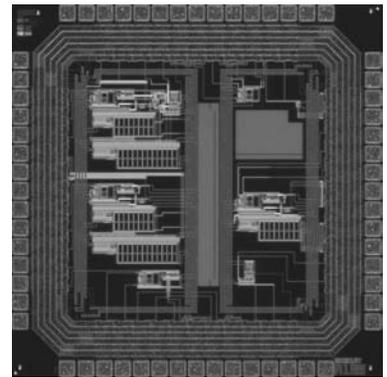


広い電圧余裕を持つ低電圧スイッチトカレント $\Delta\Sigma$ 変調器

名古屋工業大学大学院工学研究科 加藤 正史, 榎田 幸一郎, 荒井 英輔

概要：近年、アナログ集積回路における低電源電圧化に関する研究は盛んであるが、低消費電力化とデジタル集積回路との電源電圧差を考慮すると更なる低電源電圧化が必要である。また電源電圧の揺らぎが存在する場合、低電源電圧化によりその揺らぎの影響は大きくなる。そのため低電源電圧回路において電源電圧の揺らぎに対する動作余裕は重要になってくる。本試作チップでは信号を電流で扱うため低電圧化が可能であるスイッチトカレント (SI) 技術を用いてアナログ/デジタル変換 (A/D変換) 回路に用いられるデルタシグマ ($\Delta\Sigma$) 変調器を設計した。その際低電圧で動作させるためにクロック電圧の昇圧回路、低電圧動作するフィードバック電流回路などの付加回路を実装した。その結果、1.0-1.6Vでの動作という低電圧動作でありながら広い電源電圧における動作が可能となった。また、消費電力は1.2V以下の電圧での動作において50 μ W以下という低い消費電力となった。

設計期間：1人以上、2人未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



静電容量型センサ用容量検出回路

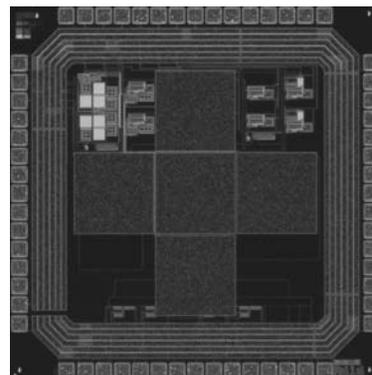
慶應義塾大学工学部 中村 和正, 松本 佳宣

概要：近年，研究開発が盛んに行われている静電容量型センサ用の微小容量検出回路を設計した。特に，3軸加速度センサなどのように多軸すなわち複数の容量センサが集積化されているセンサの容量検出を一つの回路でできるように，3つのスイッチトキャパシタ方式の容量検出器を6相クロックで駆動する構成とした。また，発振回路と利得約50倍の非反転増幅器も併せて集積化して，外付け部品の低減を図り，さらに携帯機器等での利用を考えて消費電力の低減を目指した。スイッチトキャパシタ回路には演算増幅器のオフセットの影響を除去できるAuto-Zero方式の容量-電圧変換回路を用いた。この回路はフェムトファラッドオーダーの微小容量検出が必要な加速度センサなどの分野への応用が期待される。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社

Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジ

スタ数：100以上，1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：イメージセンサ/スマートセンサ



蓄積容量変調型イメージセンサ

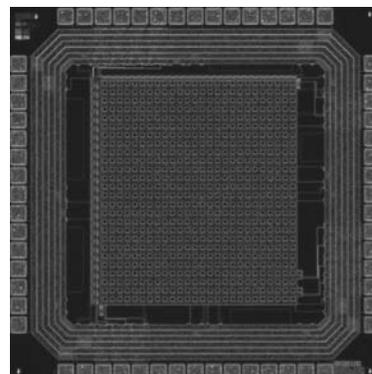
大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要：電荷蓄積型のCMOSイメージセンサにおいて，蓄積期間中に，リセット端子に与える電圧をVDDから段階的に下げていくことでフォトダイオードの最大蓄積電荷量を変化させ，光強度-出力電圧の変換特性を非線形に圧縮することができる。この方法は，蓄積容量変調と呼ばれ，イメージセンサを広ダイナミックレンジ化する方法として知られている。本試作では，蓄積容量変調型イメージセンサを設計し，その特性を評価することを目的とした。蓄積容量変調方式の特長は，回路構造自体は通常のAPSでよいこと，リセット端子に与える信号のパターンにより圧縮特性を制御できることが挙げられる。これらは，過去に設計した機能イメージセンサに組み込むことを考えた場合に都合がよい。フォトダイオードサイズは25 μ m \times 25 μ m，画素数は26 \times 26である。なお，テストによる測定は行っていない。

設計期間：0.1人月以上，0.5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula

LVS, Cadence社 Dracula DRC トランジスタ数：1,000以上，10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ

種別：イメージセンサ/スマートセンサ



超多重RFID向けトランスポンダ実験チップ

神戸大学工学部情報知能工学科 福水 洋平, 永田 真

概要：本試作チップは超多重RFIDシステムにおいて，小規模な輻輳制御を実現するトランスポンダ（タグ）の実験回路であり，RF信号処理・デジタルロジック・キャパシタ・UWB送信機から構成される。本回路は電磁結合による非接触給電で外部から供給される電力を内蔵のキャパシタに蓄える。このとき，キャパシタに十分な電力が蓄積されると，読取り機と同期をとってからタグIDを拡散変調し発信する。これによってアナログ素子の性能評価，通信方式の基本性能，変調方式および輻輳制御の妥当性を確かめることを目的としている。

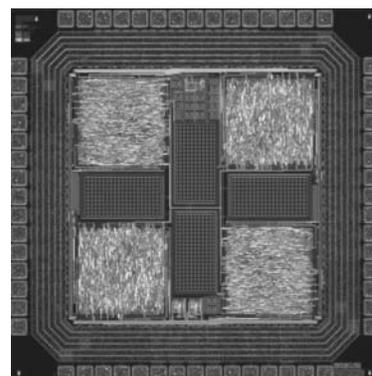
参考文献：Yohei Fukumizu, Shuji Ohno, Makoto Nagata, Kazuo Taki, "Communication Scheme for a Highly Collision-Resistive RFID System", IEICE Trans. Fundamentals, Vol. E89-A, No. 2, pp. 408-415, Feb. 2006.

設計期間：0.5人月以上，1人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Ca-

dence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社

Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：

1,000以上，10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：通信（RF回路，ATMなど）

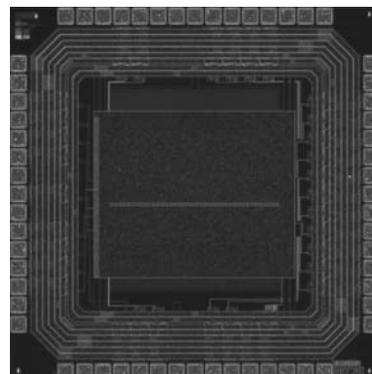


画素毎に露光時間調節が可能な CMOS イメージセンサの試作

広島大学大学院先端物質科学研究科 畑野 昌洋, 亀田 成司, 岩田 穆

概要：画素毎に露光時間調節が可能な CMOS イメージセンサを試作した。画素回路は光センサ回路 (APS), コンパレータ, 参照信号選択回路で構成され, コンパレータの出力が APS のスイッチトランジスタのゲートに接続される。コンパレータの負極側へ画素毎に制御電圧を記録し, 正極側へ適切な関数に従い時間的に減衰する参照信号を全画素共通に入力する。参照電圧が制御電圧を下回るタイミングで APS の露光動作が始まる。つまり, 各光センサの露光時間を制御電圧により自由に設定できる。露光時間制御の精度を上げるために, 参照信号を複数用意し画素毎に選択回路で選べる構成にしている。画素サイズ 26.6 μ m \times 599.85 μ m, フォトダイオードサイズ 16.3 μ m \times 16.3 μ m である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角



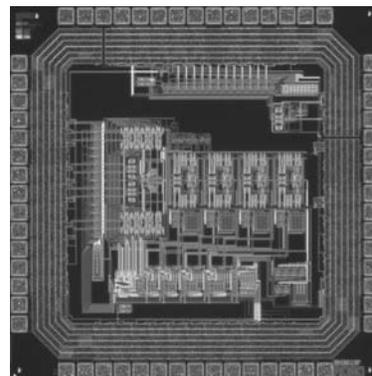
チップ種別：イメージセンサ/スマートセンサ

10bit パイプライン A/D コンバータの設計

大阪大学大学院工学研究科 桐原 正治, 川原 聡, 谷口 研二

概要：音声などの信号処理を念頭に置き, 10bit のパイプライン A/D コンバータの設計を行った。設計仕様は, サンプリング周波数 5MHz, 電源電圧 3.3V, 入力電圧幅 1.15V-2.15V である。占有面積は 1.44mm \times 1.21mm, シミュレーションによる消費電流は 5mA であった。本パイプライン A/D コンバータは, 6 段の MDAC (3.5+1.5 \times 4+2.5) で構成されている。MDAC の出力データをもとに, 各段でエラー訂正を分散させて行い, メモリ数と消費電力を抑えたアーキテクチャを採用している。なお, MDAC に使用した全差動オペアンプの特性は, DC ゲイン 64.4dB, 高域遮断周波数 130kHz である。素子配置に関しては対称性の高いレイアウトを心がけ, 雑音耐性を高める構造としている。実測の結果, 試作チップは設計仕様を満たしておらず, その原因を解明中。

設計期間：8 人月以上, 9 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

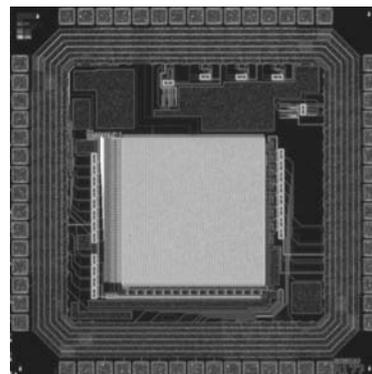
**SFQ/CMOS ハイブリッドメモリの試作**

横浜国立大学工学府 吉川 信行, 高橋 好明, 河合 宣彰

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは 4.2K での動作を仮定しており, メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため, 不揮発, 非破壊のメモリ動作が可能である。また, 高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。また, 我々は断熱的論理回路を使った大規模集積回路についても検討している。これは集積回路の低消費電力化を目的としており, 今回は全加算器の設計を行った。

参考文献：[1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003) .

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：メモリ



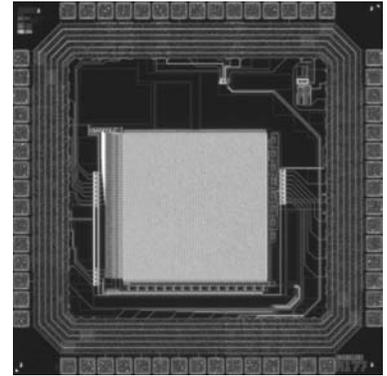
SFQ/CMOSハイブリッドメモリの試作

横浜国立大学工学部 吉川 信行, 高橋 好明, 河合 宣彰

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。また、我々は断熱的論理回路を使った大規模集積回路についても検討している。これは集積回路の低消費電力化を目的としており、今回は全加算器の設計を行った。

参考文献： [1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003) .

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：メモリ

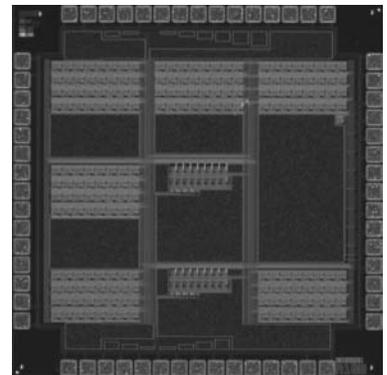


ばらつき評価用テスト回路

広島市立大学情報科学部 寺田 和夫, 向 建宇

概要：本チップには単体MOSFETからなるセルを192個集積してある。各セルには、単体MOSFETと伝達ゲートがあり、ソースドレインは伝達ゲートを通して、ゲートと基板は直接、それぞれ共通パッドにメタル配線でつながれている。伝達ゲートは2つの4ビットデコードによって選択できるようになっており、アドレス入力によって1つのセルを選択し、そのセルの単体MOSFETの電流特性を測定できる。伝達ゲートや各種配線の抵抗の影響を除去するため、ソースドレイン端子にはケルビン接続を用いている。寸法の異なる複数の単体MOSFETを、適当な位置に繰り返し配置し、電気特性のばらつきとその位置依存を測定する。それによって、ばらつきのランダム成分と位置依存成分の分離を試みる予定である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG (特性評価回路など)



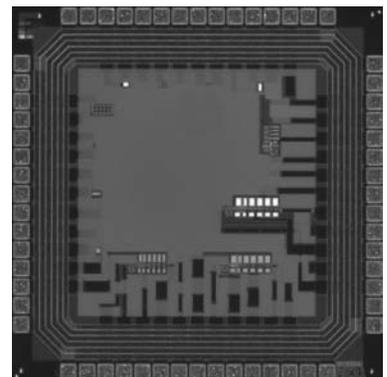
基本デバイス TEG の試作

秋田大学工学資源学部 佐々木 健太, 三浦 和仁, 井上 浩

概要：アナログ回路を設計するにあたり、基本デバイスの特性を確認する必要がある。そこで本試作研究では、基本デバイスの特性を確認することを目的とし、基本デバイスのTEGをIC設計・試作及び動作検証を行った。搭載した基本デバイスTEGは(1)nMOSトランジスタ、(2)pMOSトランジスタ、(3)抵抗、(4)容量の4種類の単体素子である。ここでは、(1)、(2)のW/L、(3)の抵抗値、(4)の容量値が異なるものをそれぞれ複数個設計・試作した。また、我々がこれまで開発を進めてきたVCO [1]についても設計・試作し、TEGとして搭載した。

参考文献： [1] 佐々木健太, 井上浩, "VCOの設計とその応用に関する検討", 平成19年東北地区若手研究者研究発表会講演論文集, YS-5-17, pp.33-34, Mar. 2007.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG (特性評価回路など)

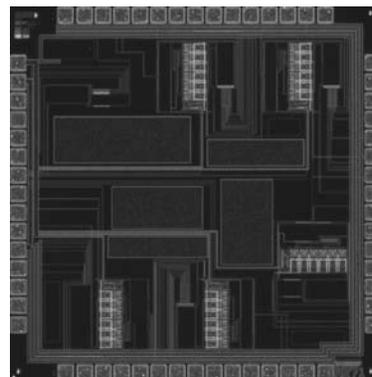


自己修復アナログネットワーク

東京大学工学系研究科 藤原 健, 高橋 浩之

概要：センサがアレイ状に配置されたセンサネットワークにおいて、センサの部分的故障に対してネットワークが耐性を持つように、ネットワークに自己修復機能を持たせることが有効であると考えられる。本研究では自己修復機能を持つネットワークのための情報処理チップの設計を試みた。このような情報処理センサネットワークの理想形として、より大規模のネットワークが構築でき、メンテナンス不要かつ、センサからの連続した値をデジタル変換することなくそのまま扱えるというのがあげられる。このようなものの実現にはアナログ素子が有効であると考えられる。アナログ素子のメリットとして回路規模を小さくでき、低消費電力化できるというのがあげられる。これは大規模なセンサネットワークを実現しようとするとき非常に重要になってくる。また連続した値が扱えるというのも大きなメリットである。このようなアナログ素子のメリットを生かした自己修復型センサネットワークの演算部をアナログ素子を用いて設計した。平均値計算、比較などの計算が簡単な素子で実現できるアナログ素子のメリット生かすことで限られたチップの面積の中で自己修復機能を実現することができた。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

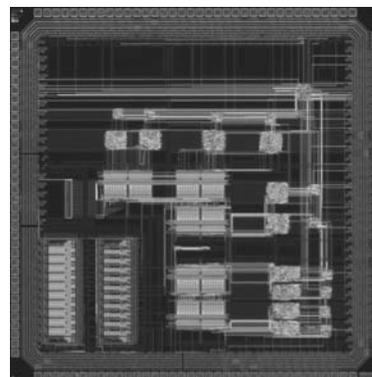


10chPET用波形サンプリング型ASIC

東京大学工学系研究科 島添 健次, 高橋 浩之

概要：本チップはPET (Positron Emission Tomography) を含む放射線検出器向けの専用処理回路。1チャンネルに電荷信号を電圧に変換する電荷積分型の高速プリアンプ、各検出器からの信号のばらつきを吸収するためゲインが調節可能なVGA (Variable Gain Amplifier)、最大クロック周波数100MHz/6bitsで動作可能なフォールディングADCを含む。1チップ内に高速のアナログデジタルコンバータを搭載することで検出器からの波形信号をそのままサンプリングすることが可能となり、その後のFPGAやsoftwareによる後段の信号処理を容易にする。本チップではこのプリアンプ～ADCまでを10Chを搭載している。ゲインは外部より2bitsで調節する設定となっている。従来試作を行ってきたAPD (Avalanche Photo Diode) 向けではなくPMT (PhotoMultiplier) 向けでありゲインを小さくしている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

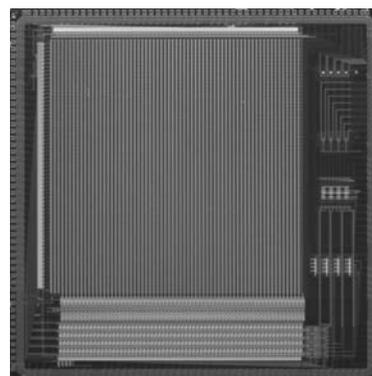


64×64画素光無線LAN用ビジョンチップ

奈良先端科学技術大学院大学物質創成科学研究科 吉田 明洋, 野村 啓二,
香川 景一郎, 布下 正宏, 太田 淳

概要：我々は、受光素子として、通信対象の位置を探し出す「撮像」と、高速光通信を行うための「データ受信」の二つの機能をもつイメージセンサを用いた新しい屋内用光無線LANシステムを提案している。複数データを同時に受信できる特徴を利用し、グウンリンクに波長多重通信を適用した64×64画素光無線LAN用イメージセンサを0.35 μ m標準CMOSプロセスを用いて作製し、データ受信要素回路の動作を確認した。受信側(ノード)では、4波長多重された光信号を波長多重薄型回折格子で分離し、異なる4つの画素に入射する。この回折格子は作製誤差や使用光源の波長誤差などにより、波長間クロストークを生じるため、これをアナログ積和演算回路 (Matrix operator) により除去することを試みた。通信速度として1波長あたり100Mbpsの受信速度を目指して設計した。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 9.8mm角 チップ種別：イメージセンサ/スマートセンサ

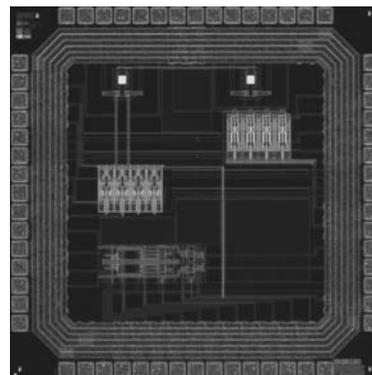


光無線 LAN TEG

奈良先端科学技術大学院大学物質創成科学研究科 吉田 明洋, 野村 啓二,
香川 景一郎, 布下 正宏, 太田 淳

概要：我々は、受光素子として、通信対象の位置を探し出す「撮像」と、高速光通信を行うための「データ受信」の二つの機能をもつイメージセンサを用いた新しい屋内用光無線 LAN システムを提案している。複数データを同時に受信できる特徴を利用し、ダウンリンクに波長多重通信を適用した 64×64 画素光無線 LAN 用イメージセンサを 0.35 μm 標準 CMOS プロセスを用いて作製し、データ受信要素回路の動作を確認した。TEG として、オートマテックオフセットキャンセル回路、トランスインピーダンスアンプ、チェリーフープアンプ、4 画素単位で差動化した画素回路、LVDS バッファ、ギルバートセルを設計・試作した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva, Cadence 社 Analog Artist
トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35μm 2.4mm 角 チップ種別：イメージセンサ/スマートセンサ



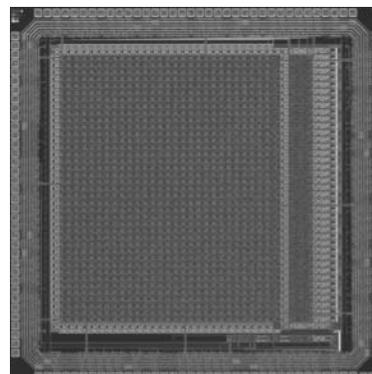
傾斜面型共焦点法による 3 次元計測のための高機能イメージセンサ

大阪市立大学大学院工学研究科 前田 康次, 村井 俊文, 宮崎 大介, 向井 孝彰
奈良先端大物質創成科学研究科 香川 景一郎, 太田 淳

概要：高精度な 3 次元計測法の一つとして共焦点法がある。従来の技術では、照射光の焦点を 3 次元的に移動させるために多くの計測時間を要する問題があった。そこで、光軸に対して傾斜した 2 次元点光源アレイを用いた高速な 3 次元走査に基づく共焦点型計測法を考案した。ここで、共焦点画像の取得の高速化を図るために、3 次元情報の抽出をチップ内部で処理してデータ量の圧縮が行える高機能イメージセンサの作製を行った。この高機能イメージセンサは、光信号の取得、大小比較、最大値の保持を行う各要素回路により、焦点位置の異なる複数の共焦点画像から光信号が最大強度を持つ位置を算出し、表面位置情報を行並列で出力する。回路の動作を確認し、30×30×40 画素のデータ量を持つ 3 次元形状データを毎秒 30 回で計測できる確証を得た。

参考文献：前田, 馬場, 宮崎, 向井, 香川, 太田, "傾斜面型共焦点光学系による 3 次元計測システムのためのイメージセンサ", 映像技報, VOL.31, NO.3, pp21-24 (2005) .

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35μm 4.9mm 角 チップ種別：イメージセンサ/スマートセンサ

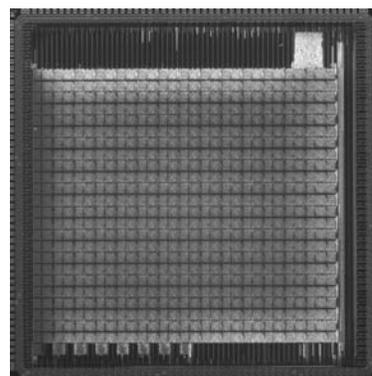


ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実, 小林 史典

概要：光による高速な再構成が可能で、かつ光再構成時にゲートアレイの使用も可能なゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ ZO-DORGA (Zero-Overhead Dynamic Optically Reconfigurable Gate Array) VLSI を試作した。光再構成型ゲートアレイとは光メモリとゲートアレイ VLSI とを組み合わせた新構造デバイスのことで、コンテキストの記憶に光メモリを、光メモリと VLSI 間に大容量の光バスを用い、大容量のコンテキストと高速な再構成とを両立している。従来のゼロオーバーヘッド型は主にフォトダイオードの容量をメモリとして使用していたが、本デバイスでは、ダイナミック RAM をコンテキストの保持に用いている。この度の設計では、フォトダイオード受光部のサイズを 9.5μm×8.8μm、その間隔をそれぞれ 34.5μm、33.0μm とした。また、光再構成時におけるゲートアレイ回路同士の衝突を防止する設計となっている。Island-Style のゲートアレイ部には、30 ゲートに相当する論理ブロックが 48 個、スイッチングマトリックスが 63 個、4 ビットの I/O ビットを持つ I/O ブロックが 6 個実装された。配線チャンネル内の配線は 8 本である。この度試作した DORGA のゲート規模は 1,440 ゲートである。

設計期間：0.1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35μm 9.8mm 角 チップ種別：その他



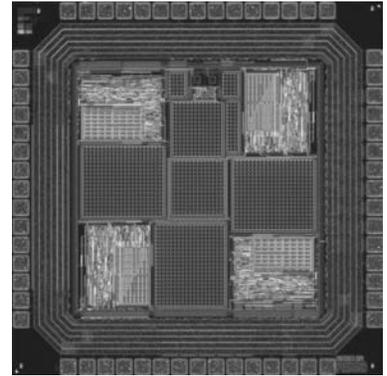
超多重RFID向けトランスポンダ実験チップ

神戸大学工学部情報知能工学科 福水 洋平, 永田 真

概要：本試作チップは超多重RFIDシステムにおいて、小規模な輻輳制御を実現するトランスポンダ（タグ）の実験回路であり、RF信号処理・デジタルロジック（DBE）・キャパシタ・UWB送信機から構成される。本回路の設計においては高位モデリングを用いて多重通信パラメータを最適化し、これをデジタルロジックに適用したものである。電磁結合による非接触給電で外部から供給される電力を内蔵のキャパシタに蓄える。このとき、キャパシタに十分な電力が蓄積されると、読取り機と同期をとってからタグIDを拡散変調し発信する。最適化を行ったパラメータによる多重通信の性能評価と、それを実現するDBEの実証を目的とする。

参考文献：Yohei Fukumizu, Makoto Nagata, Kazuo Taki, "Back-End Design of a Collision-Resistive RFID System through High-Level Modeling Approach," IEICE Transactions on Electronics, Vol. E89-C, No. 11, pp. 1581-1590, Nov. 2006.

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：通信 (RF回路, ATMなど)



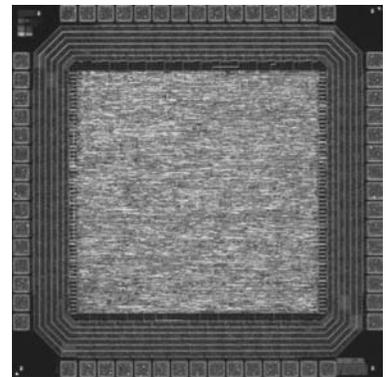
超多重RFID向けリーダ援用チップ

神戸大学工学部情報知能工学科 福水 洋平, 永田 真

概要：本試作チップは超多重RFIDシステムにおいて、小規模な輻輳制御を実現する読取り機のための援用回路であり、TS-CDMA 相関器とCRC符号器から構成される。本回路は読取り機のデジタルロジック（DBE: Digital Back End）を実現するもので、前段のアナログフロントエンド（AFE: Analog Front End）から受け取った多重信号をTS-CDMA方式に基づいて分離する。別に設計・試作中の電磁結合型トランスポンダチップと結合することで、超多重RFIDシステムの実験環境の構築、およびRFIDシステムの設計パラメータの最適化プロセスの妥当性の確認を目的としている。現在、試作チップの評価を進めている段階である。

参考文献：Yohei Fukumizu, Shuji Ohno, Makoto Nagata, Kazuo Taki, "Communication Scheme for a Highly Collision-Resistive RFID System", IEICE Trans. Fundamentals, Vol. E89-A, No. 2, pp. 408-415, Feb. 2006.

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：通信 (RF回路, ATMなど)



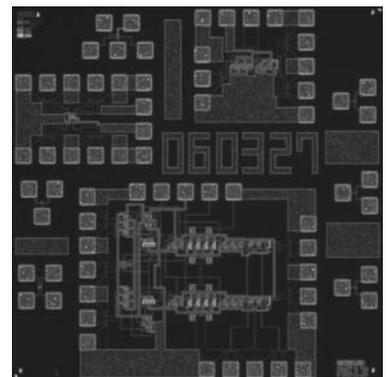
FM中間信号を用いた $\Delta\Sigma$ 変調器

名古屋大学工学研究科 松原 渉, 前澤 宏一

概要： $\Delta\Sigma$ ADCの最も重要な要素は $\Delta\Sigma$ 変調器であり、これにより、入力アナログ信号はパルス密度変調信号に変換される。しかし、 $\Delta\Sigma$ 変調器の基本であるネガティブフィードバックが動作速度を制限する要因となっている。これに対して、FM中間信号を利用するFM $\Delta\Sigma$ 変調器は高精度なフィードバックを必要としないため高速動作に適している。しかし、変調範囲が広く、高い線形性を持つ電圧制御発振器（VCO）が必要なため、これまでほとんど使われてこなかった。ここでは、高周波のVCOを用い、ダウンコンバージョンにより広い変調範囲を持つFM信号の生成を狙った回路を設計・試作した。この方式を使えば、周波数変調割合をその中心周波数に対して小さくできるためVCOの設計は容易になる。ここでは簡単のため、発振器にリング発振器を用い、ミキサ、ローパスフィルターにより回路を構成した。

参考文献：W. Matsubara, M. Sakou, K. Maezawa, and T. Mizutani "No Feedback DSADC for High Frequency Operation Using Frequency Delta Sigma Modulator", SSDM2005

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



シャントコンダクタンスを挿入したオンチップ伝送線路の特性評価

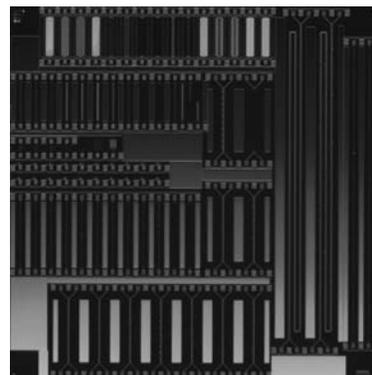
大阪大学情報科学研究科 橋本 昌宜, Siriporn Jangsombatsiri

京都大学情報科学研究科 土谷 亮

概要：チップ内の通信性能向上の要求が高まっており、オンチップ伝送線路を用いた高速信号伝送が有望視されている。配線の周波数依存特性による波形歪みを低減するために、シャントコンダクタンスを意図的に挿入した無歪み伝送線路が提案されているが、実デバイスではまだ検証されていなかった。本試作では無歪み伝送線路を搭載したテストチップを試作し、時間領域アイパターン測定、および周波数領域Sパラメータ測定を行った。特に、10Gbpsと高速な信号伝送を行った場合に、シャントコンダクタンスを挿入した無歪み伝送線路において、シャントコンダクタンスを挿入していない通常の伝送線路と比較して、優れアイパターン特性が得られ、無歪み伝送線路の優位性を実デバイスで確認した。

参考文献：Siriporn, 橋本, 土谷, Zhu, Cheng, "シャントコンダクタンスを挿入したオンチップ伝送線路のアイパターン評価", no. A-3-9, 信学会総合大会 (2007) .

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：10未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG (特性評価回路など)

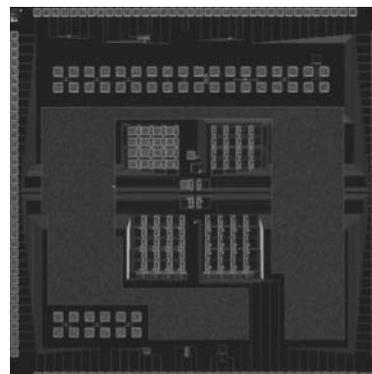


単分子オンチップ計測 CMOS 回路

名古屋大学工学研究科 中里 和郎, 宇野 重康, 石崎 賢治, 清水 毅, 山口 賢

概要：1個の分子による信号は微弱であり、精度良く安定に検出するには、分子直下でオンチップ計測する必要がある。電気伝導とキャパシタンスのオンチップ計測を行うアナログ CMOS 集積回路を設計・試作した。電気伝導計測回路は、ソースフォロワをベースにした回路と差動アンプをベースとした回路を検討した。これにより飛躍的なS/N比、高速応答性を得ることができる。キャパシタンス計測回路は充放電時間を計測する回路と零位法による回路の2種類を検討した。溶液中での測定で、温度も室温から100度までまですることから、バンドギャップ参照電源による温度補償回路を用いた。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：イメージセンサ/スマートセンサ



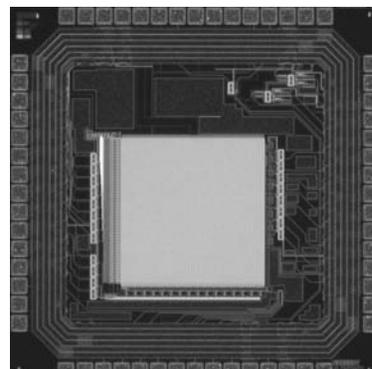
SFQ/CMOSハイブリッドメモリの試作

横浜国立大学工学府 吉川 信行, 高橋 好明, 河合 宣彰

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。また、我々は断熱的論理回路を使った大規模集積回路についても検討している。これは集積回路の低消費電力化を目的としており、今回は全加算器の設計を行った。

参考文献：[1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003)。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：メモリ

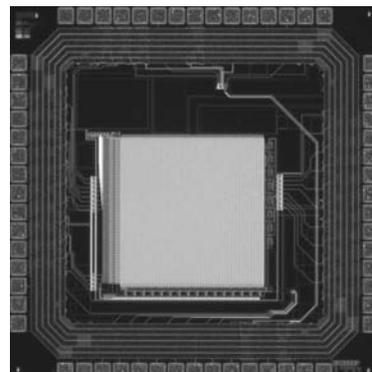
**SFQ/CMOSハイブリッドメモリの試作**

横浜国立大学工学府 吉川 信行, 高橋 好明, 河合 宣彰

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。また、我々は断熱的論理回路を使った大規模集積回路についても検討している。これは集積回路の低消費電力化を目的としており、今回は全加算器の設計を行った。

参考文献：[1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003)。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：メモリ

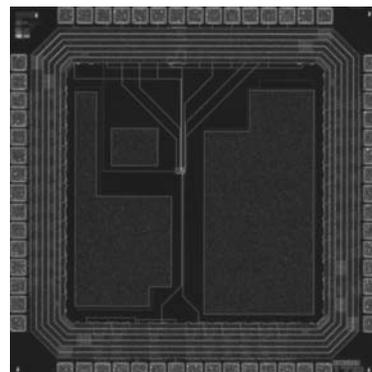
**SFQ/CMOSハイブリッドメモリ用ハイブリッドアンプの試作**

横浜国立大学工学府 吉川 信行, 高橋 好明, 河合 宣彰

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。本チップでは、SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である、高速ハイブリッドアンプの試作を行った。高速ハイブリッドアンプは、CMOSデバイスの負荷抵抗をJosephson接合のスタックで置き換えた構造を持ち、20mVの微小入力を1Vオーダに遅延時間40psで増幅可能である。実験により、高速ハイブリッドアンプの基本動作の検証を行うことができた。

参考文献：[1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003)。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：その他



平成18年度第1回ローム CMOS 0.35 μ m試作 (R035061)

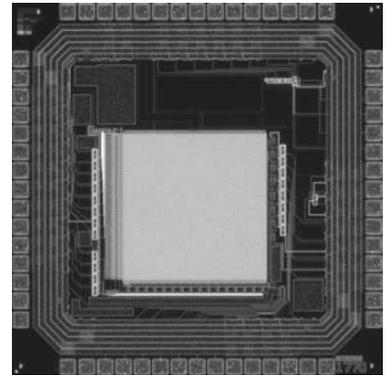
SFQ/CMOSハイブリッドメモリ用CMOS増幅器の試作

横浜国立大学工学部 吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平

概要:我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。本チップでは、SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である、CMOS増幅器の試作を行った。2種類の差動型増幅器の設計を行い、いずれも40mVの微小入力を1Vオーダに遅延時間300psで増幅可能である。

参考文献: [1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003).

設計期間:1人月以上, 2人月未満 **設計ツール:**Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:**100以上, 1,000未満 **試作ラン:**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:**メモリ

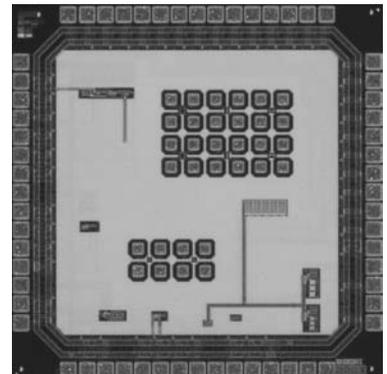


CMOS DC-DCコンバータ制御LSIの開発

富山県立大学大学院工学研究科 宮崎 崇裕, 松田 敏弘, 岩田 栄之

概要:DC-DCコンバータの小型・軽量化, 高効率化などを実現するためには, 安定制御が可能で, 汎用性のある制御回路が必要となる。当研究室では, 従来から1.2 μ m CMOSプロセスでDC-DCコンバータの制御LSIの検討を行ってきた。今回の試作では, 基本的な回路ブロックを, より微細な0.35 μ m CMOS技術を用いて実現することを目的とした。電圧モード制御方式用の発振回路, 誤差増幅器, 比較器, 基準電圧発生回路, ヒステリシス制御方式用の比較器, AND回路を設計した。誤差増幅器は利得を高めるとともに, 高速応答が可能となるようし, 高周波のスイッチング周波数に対応するようにした。また, 1.2 μ m CMOSプロセスを用いるドライバ用MOSFETとのインターフェース回路を内蔵した。今後, 2つのLSIを組み合わせて, 基本的なDC-DCコンバータの評価を行う予定である。

設計期間:2人月以上, 3人月未満 **設計ツール:**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:**100以上, 1,000未満 **試作ラン:**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:**アナログ (PLL, A-D/DC-DCコンバータなど)



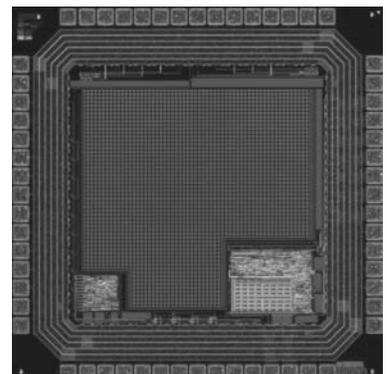
超多重RFID向けトランスポンダ実験チップ

神戸大学工学部情報知能工学科 福水 洋平, 郷地 直樹, 永田 真

概要:本試作チップは超多重RFIDシステムにおいて, 小規模な輻輳制御を実現するトランスポンダ(タグ)の実験回路であり, RF信号処理・デジタルロジック・キャパシタ・UWB送信機から構成される。本回路の設計は統合シミュレーション環境(ISE)を援用することにより行われたものである。ISEはチップ設計を取り込んだ高位モデルであり, これを用いることによりモデルによる評価とハードウェア設計の検証を並行して行うことができる。また, 本回路は電磁結合による非接触給電で外部から供給される電力を内蔵のキャパシタに蓄える。このとき, キャパシタに十分な電力が蓄積されると, 読取り機と同期をとってからタグIDを拡散変調し発信する。本チップはISE援用によって高位モデリングを用いた設計フローの確立を目的とする。

参考文献: Yohei Fukumizu, Naoki Gochi, Makoto Nagata, Kazuo Taki, "A Mixed Circuit and System Level Simulation Technique of Collision Resistant RFID System," IEICE Trans. Electronics, Vol. E90-C, No. 6, Jun. 2007, to appear.

設計期間:0.5人月以上, 1人月未満 **設計ツール:**Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Synopsys社 Power-Mill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:**1,000以上, 10,000未満 **試作ラン:**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:**通信 (RF回路, ATMなど)

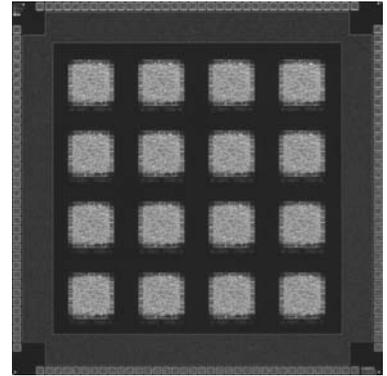


LSI 故障診断装置評価用 TEG (1-1)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行うため, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. ISCAS'85 ベンチマーク回路のうち c7552 回路のレイアウトを設計し, これを 16 個並べている. 元の回路構造をできるだけ維持する為, 論理合成ツールによる最適化は行わず, ライブラリの標準セルにマップする簡易ツールを作成して設計した. レイアウトは配置配線ツールにより自動合成した. 電気的接続を必要としない故障診断装置を対象としており, 各回路は外部端子とは接続されていない. LSI 故障診断装置評価用 TEG (1-2) ~ (1-3) がセットになっていて, 本チップ (1-1) は, 故障を作り込んでいない比較参照用正常回路である.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)

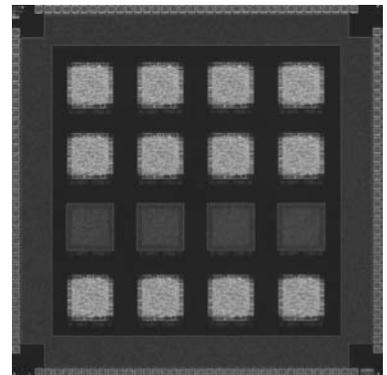


LSI 故障診断装置評価用 TEG (1-2)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行うため, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. ISCAS'85 ベンチマーク回路のうち c7552 回路のレイアウトを設計し, これを 16 個並べている. 元の回路構造をできるだけ維持する為, 論理合成ツールによる最適化は行わず, ライブラリの標準セルにマップする簡易ツールを作成して設計した. レイアウトは配置配線ツールにより自動合成した. 電気的接続を必要としない故障診断装置を対象としており, 各回路は外部端子とは接続されていない. LSI 故障診断装置評価用 TEG (1-2) ~ (1-3) がセットになっていて, 本チップ (1-2) は, (1-1) の回路に断線, 短絡等, 種々の故障を作り込んだものである.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)



平成18年度第2回ローム CMOS 0.35 μ m試作 (R035062)

ソースフォロワのダイナミック切り離し現象を用いた極端値除外平均値回路

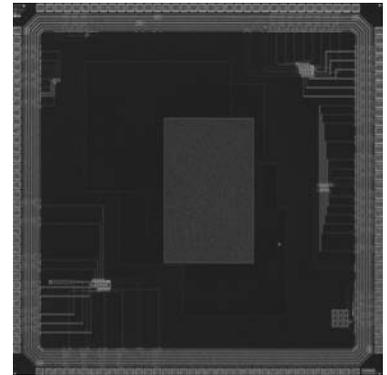
東京大学大学院工学系研究科 馬文静, 三田吉郎

東京大学大学院新領域創成科学研究科 柴田直

概要: 多くの入力の中で極端に小さいあるいは大きい値が存在する場合, その極端値を除外してから平均を計算することのできる回路である。除外の操作はソースフォロワに特有な切り離し効果により実現した。1つの入力につき, 1つのキャパシタを負荷とするソースフォロワだけを配置する必要があるため, 非常にコンパクトな回路で実現することができる。また, ソースフォロワの閾値落ち問題を解決するように, 回路を工夫した。pMOSとnMOSソースフォロワはそれぞれ極端に大きい値と極端に小さい値を除外する役割があるが, プロセスの関係上, pMOSソースフォロワの方だけを試作した。さらに, ソースフォロワだけを用いる場合, 切り離しの現象が顕著に見られ, 極端値ではない値も除外されてしまう問題があるが, 緩和するために1つの接地容量を各入力に付け加えることにした。

比較検討のために, 接地容量ありとなしの2つの場合の回路をチップに入れ, 入力数は共に10とした。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

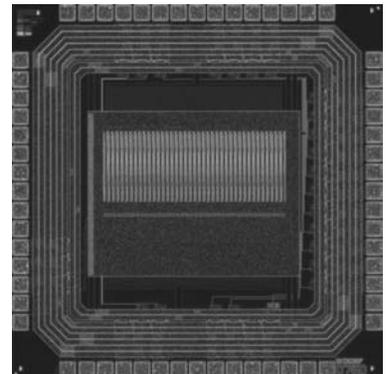


画素毎に露光時間調節が可能なCMOSイメージセンサの試作

広島大学大学院先端物質科学研究科 畑野昌洋, 亀田成司, 岩田穆

概要: 画素毎に露光時間調節が可能なCMOSイメージセンサを試作した。画素回路は光センサ回路 (APS), ダウンカウンタで構成され, カウンタの最上位ビットの出力がAPSのスイッチトランジスタのゲートに接続される。まず, ダウンカウンタの最上位ビットに1を, それ以降のビット列に各画素個別の制御値を入力する。その後, クロック信号でダウンカウントすると, 最上位ビットが0に変わるまでの時間を各画素で別々に調節できる。つまり, 各光センサの露光時間を自由に設定できる。画素数1次元40画素, 画素サイズ26.6 μ m \times 606.25 μ m, フォトダイオードサイズ16.3 μ m \times 16.3 μ mである。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** イメージセンサ/スマートセンサ

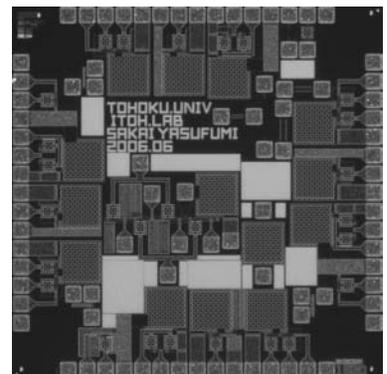


UHF帯RFID向け電源回路

東北大学工学研究科 坂井靖文, 本田将士, 小谷光司, 伊藤隆司

概要: パッシブ型UHF帯RFIDは, リーダ/ライタから送られる微弱な電波から回路動作に必要な電力を得ることとなっている。このため, その電源回路には, 高効率で微小な入力から負荷回路の動作に十分な出力が得られなければならない。また, これらの回路では, 高周波であるために回路に存在する寄生成分の効果を無視することができないという問題がある。本試作では, ディクソン型チャージポンプ回路を用いた電源回路を試作し, トランジスタやキャパシタなどのサイズの違いなどにより複数の種類の回路を試作し, そのそれぞれにおいて電力変換効率および出力電圧の実測し, その性能の違いや寄生成分による影響などを計測・評価することを目的として設計, 試作を行った。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

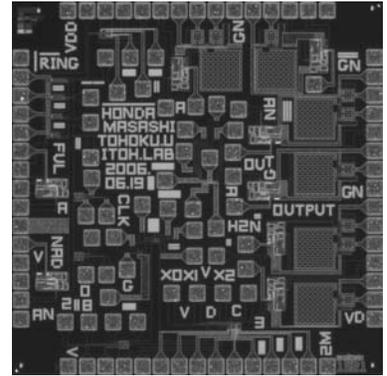


RFID 向け内部発振回路の設計・試作

東北大学大学院工学研究科 本田 将士, 坂井 靖文, 小谷 光司, 伊藤 隆司

概要: RFIDにおいて, 外部からの信号から内部クロックを生成するクロックリカバリが必要となっている。しかし, RFIDについて定められている規格では基準となる信号が外部から送られる時間は限られている。そこで本設計では, その時間内に周波数を決定するためにデジタル制御を行なう発振回路の設計・試作を行なった。さらにパッシブ型のRFIDを想定しているため, 内部回路の電源電圧の変動が考えられる。その中で, 発振周波数の変化を無くし安定に動作させることに留意し設計をした。今回設計した回路は主にVCO (Voltage Controlled Oscillator), FD (Frequency Detector) そしてVDC (Voltage Decided Circuit) で構成されている。それらの構成している回路の動作の確認をするために個別に作成した。

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: ローム CMOS 0.35 μ m 2.4mm 角 チップ種別: アナデジ混載

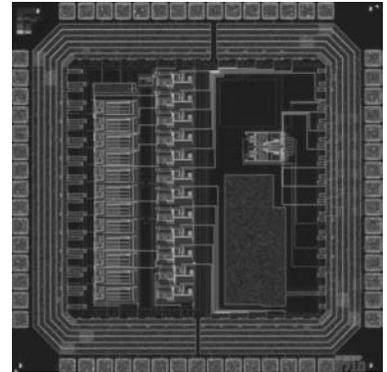


Preamp/Shaper 信号処理回路と DAC テスト回路

東京大学工学系研究科 島添 健次, 高橋 浩之

概要: 本チップはMSGC (マイクロストリップガスカウンタ) などのガスカウンタや半導体検出器などの放射線検出器に必要な多チャンネルのパルス信号処理回路 (左半分) と電圧調整などの目的に使用する DAC (Digital-Analog-Converter) のテスト, 性能評価用回路である。パルス信号処理回路の1チャンネルは gain-boosted cascode 型の電荷信号を電圧に変換する電荷積分型プリアンプと波形整形用のシェーピングアンプから構成されていてプリアンプの時定数, シェーピングタイムは外部より可変としている。本チップでは12チャンネルを集積した。右半分はデジタルアナログコンバータのテスト, 性能評価回路であり6ビットで設計を行った。本研究室で開発を行っている波形サンプリング型や Preamp/Shaper/Discriminator 型の放射線検出用のチップ内部で電圧調整用として使用することを目的としている。

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: ローム CMOS 0.35 μ m 2.4mm 角 チップ種別: アナデジ混載



信号伝播波形測定のためのオンチッププローブ回路の試作

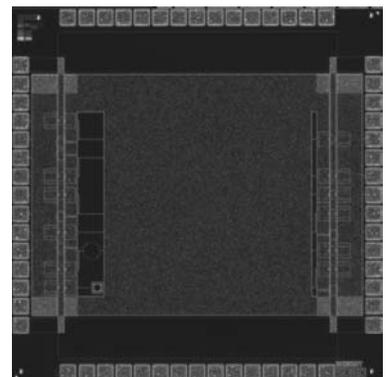
高知工科大学大学院工学研究科 川越 伸一

高知工科大学工学部 橘 昌良

概要: チップ上にFETプローブ回路を組み込み, リングオシレータを信号源として, オシロスコープで信号伝播波形の配線長, 配線の形状による変化を実測することを目的としたチップを試作した。このチップでは, 配線長を約2mmから約6.5mmまで3通りに変え, また, インダクタやキャパシタを途中に挿入した配線を用いて, 信号伝播波形の測定を試みた。プローブの入力インピーダンスは5K Ω , 出力インピーダンスは50 Ω , 電圧分圧比5:1であり, オシロスコープに直接接続できるように設計されている。測定は20Gs/s, 5GHzの帯域を持つデジタルオシロスコープを使用し, チップとの接続はセミリジッドの同軸ケーブルを使用し行った。

参考文献: 川越, 橘, "On Chip Probe による LSI の信号伝播波形の測定", pp.37-41, 電子法通信学会 VLD 研究会, VLD2006-78, (2006)

設計期間: 1 人月以上, 2 人月未満 設計ツール: Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数: 100 以上, 1,000 未満 試作ラン: ローム CMOS 0.35 μ m 2.4mm 角 チップ種別: TEG (特性評価回路など)

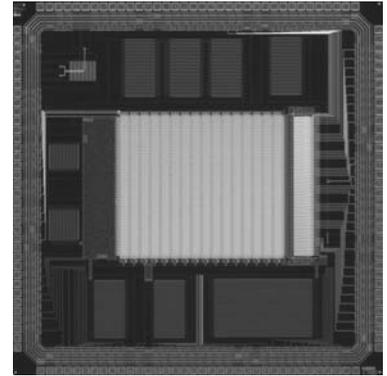


差動増幅器ベース全並列型アナログ・デジタル混載連想メモリ

広島大学ナノデバイス・システム研究センター 田中 裕己,
アノワルル ムハマド・アベディン,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要：高速・小面積・低消費電力な全並列型アナログ・デジタル混載連想メモリを実現するために、連想メモリの主部分たる最小距離検索回路においてワイドレンジ差動増幅器を用いた回路を試作した。この試作チップは最小マンハッタン距離による64行80列(5bits×16ユニット)の連想メモリである。最小距離検索を高速かつ低消費電力で動作させるために最小距離検索回路(Winner Line-up 増幅回路及びWinner Take-All回路)に増幅度が容易に稼げ回路自体の動作も速いワイドレンジ作動増幅器を用いた。これにより最小距離検索にかかる時間は78nsec以下、消費電力は132mW以下であり、従来のものと比べ約50%の性能向上を達成した。また、連想メモリの面積は4.67平方mm、その内最小距離検索回路は0.31平方mmである。

設計期間：6人月以上, 7人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **チップ種別：**メモリ

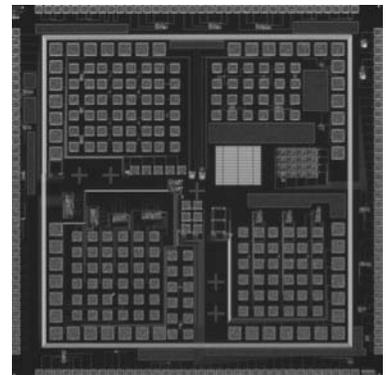


単分子オンチップ計測集積回路

名古屋大学工学研究科 中里 和郎, 宇野 重康, 石崎, 清水, 山口 賢

概要：1個の分子による信号は微弱であり、精度良く安定に検出するには、分子直下でオンチップ計測する必要がある。これを行うためのアナログCMOS回路を設計し、VDECを通して試作した後、電子線描画装置および自己組織化単分子膜を用いた分子定規法により、15nmのナノギャップ電極を作成した。対象分子として数ギガオームの電気抵抗を持つポリオクチルチオフェンを用いた。CMOSアナログ回路により、低インピーダンス信号に変換して外部に伝えることにより、高いS/N比、高速計測が可能となった。更に、オンチップ・キャパシタンス回路および、オンチップ・電子線検出回路を試作し、目標の性能を検証した。

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数：**100以上, 1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **チップ種別：**イメージセンサ/スマートセンサ



Feature Vector Generation Chip for Early Visual Processing Employing Edge Cache Memory Architecture

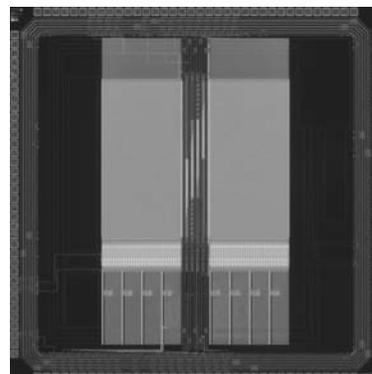
東京大学大学院新領域創成科学研究科 オストルク オウグ, 柴田 直

東京大学工学部 中川 琢規

東京大学大学院工学系研究科 馬 奕涛

概要：認識システムへの入力として、画像から抽出したエッジ情報を用いて特徴ベクトルを生成するための回路を設計した。この architecture ではエッジ情報の再利用が可能となり、実時間で低消費電力のベクトル生成が可能となる。前回設計したチップの測定結果に基づき、256x256-bit の edge cache memory を用いた architecture とした。256x256-bit の高速で消費電力の低いメモリを作るため、8個のブロックに分け、それぞれのブロックの下に8個の processing unit (PU) を設け、加算とシフトを行う。また、それぞれのブロックからの結果をまとめる selector と accumulator を各ブロックに設け、チップの下に最終的にベクトルエレメントをまとめ、serial に出力する final accumulator を配置した。HPSICE simulation により 200MHz で動作することを確認した。現在試作チップの測定を行っているところである。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：演算回路(乗算器, 除算器など)

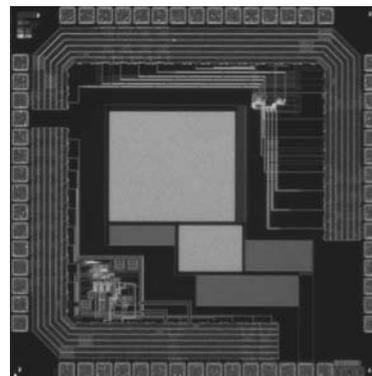


多値 FPGA の演算セルと FGMOS 機能パスゲートの等価回路

東北大学大学院情報科学研究科 中谷 好博, 岡田 信彬, 張山 昌論, 亀山 充隆

概要：本チップは多値 FPGA の演算セルと FGMOS 機能パスゲートの等価回路を試作したものであり、次に前者の概要を述べる。本研究室では多値論理を用いた FPGA について研究を行っている。多値 FPGA は多値ソースカップルドロジックに基づく回路を用いて構成されており、高い駆動能力をもつ小面積な演算セルが実現可能である。本試作では演算セルの動作検証を目的として回路設計を行った。この演算セルは、差動対回路を2段積み上げた構成を用いて2値2変数関数を実現しており、従来に比べより低い消費電力で駆動可能となっている。次に後者の概要を述べる。本研究室では記憶と演算を一体化した FGMOS 機能パスゲート (FGFP) を用いたコンパクトなマルチコンテキスト FPGA (MC-FPGA) の研究を行っている。MC-FPGA 内では多数の FGMOS を用いているが、FGMOS の製造には特殊なプロセスが必要であるためその試作が難しいものとなっている。よって本試作では2つのキャパシタの容量結合により FGFP の等価回路を実現し、その動作を確かめることを目的とする。本試作回路は MC-FPGA の実現に必要な3値のしきい演算機能を有する。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ/デジタル信号処理プロセッサ

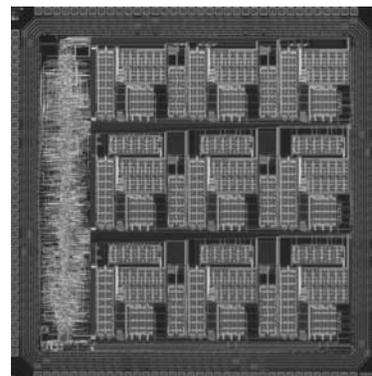


多値・2値ハイブリッド制御信号を用いたマルチコンテキスト FPGA

東北大学大学院情報科学研究科 中谷 好博, 張山 昌論, 亀山 充隆

概要：本チップは、本研究室で研究している動的再構成可能な VLSI であるマルチコンテキスト FPGA (MC-FPGA) を FGMOS 機能パスゲート (FGFP) の等価回路を用いて試作したものである。MC-FPGA において、コンテキストを切り替えるための信号を多値・2値ハイブリッド符号化した多値・2値ハイブリッド制御信号を用いることにより、必要なトランジスタ数を削減することができる。本試作では、多値・2値ハイブリッド制御信号を用いた MC-FPGA の動作を確認することを目的としている。MC-FPGA には多数の FGFP を必要とするが、FGFP の製造には特殊なプロセスが必要なことから本試作では FGFP の等価回路として、2つのキャパシタを容量結合した回路を用いている。MC-FPGA はマルチコンテキストロジックブロック (MC-LB), マルチコンテキストスイッチブロック (MC-SB), マルチコンテキスト双方向トライステートバッファ (MC-BUF) から構成されており、MC-LB と MC-SB を併せたものをセルと呼んでいる。セルとセルの間には MC-BUF が挿入された構造をしている。本試作回路は9つのセルと FGFP の等価回路へのコンテキストデータ書き込み用の制御回路から構成されている。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：10,000以上、100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



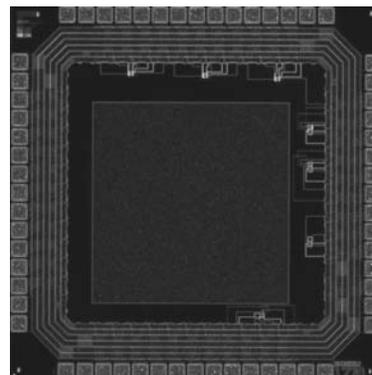
SFQ/CMOSハイブリッドメモリ用CMOS増幅器の試作

横浜国立大学工学部 吉川 信行, 高橋 好明, 河合 宣彰
横浜国立大学工学部 後藤 恭平

概要：我々はSFQ論理回路の高速性とCMOS論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは4.2Kでの動作を仮定しており、メモリーセルには3トランジスタDRAMセルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。本チップでは、SFQ/CMOSハイブリッドメモリの実現において重要な回路要素である、CMOS増幅器の試作を行った。2種類の差動型増幅器の設計を行い、いずれも40mVの微小入力を1Vオーダに遅延時間300psで増幅可能である。

参考文献： [1] Y. J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003) .

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：メモリ

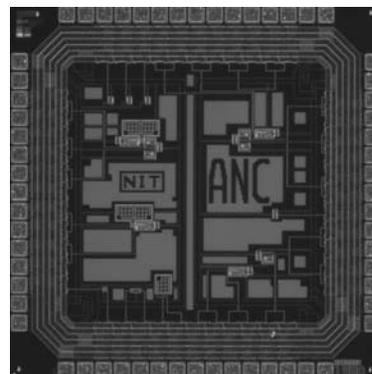


アクティブノイズコントロール用アナログ集積回路

名古屋工業大学大学院工学研究科 大畑 宏文, 加藤 正史

概要：現在、騒音に対し逆位相の音を電氣的に作り出し重ね合わせるにより消音を行うアクティブノイズコントロール (ANC) が注目されている。現行のANCシステムにはDSPによるデジタル演算が用いられている。そのため、A/D, D/A変換器など周辺回路が必要であり、回路規模の大きさによるコストの増大や信号遅延が問題となっている。そこで、本研究室では、ANCシステムをアナログ回路のみで実現することにより、低コストかつ信号遅延の少ないANCシステムを実現するための研究を行っている。本試作チップでは、1次元ダクト内におけるANCを実現するアナログ回路を搭載している。回路の構成要素は、主にワイドレンジギルバート乗算器、積分器である。本チップを実際のダクトモデルを用いて測定し、その消音効果を確かめることにより、アナログ回路によるANCの有効性について検討する予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



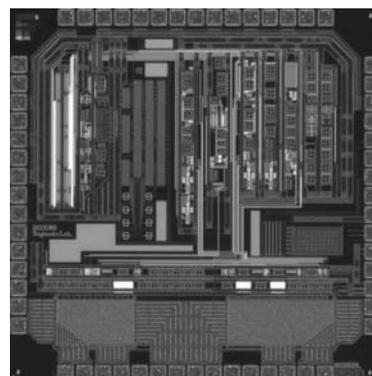
2次スロープ補償を用いた電流制御方式DC-DCコンバータの試作

中央大学理工学部 櫻井 宏樹, 海村 静和, 中村 裕亮, 杉本 泰博

概要：電流制御方式DC-DCコンバータでは、Dutyが50%以上の時に起こるサブハーモニック発振を防ぐために、電流帰還信号に対しスロープ補償を施す必要がある。従来の構成では、スロープ補償に1次の傾きを持たせた1次スロープを採用している。1次スロープの場合周波数特性が出力電圧に依存するという特徴があり、出力電圧に応じてスロープ量を変化させる必要がある。我々はこの問題を改善する方法として、2次スロープを提案している。2次スロープ、すなわちスロープ補償に2次の傾きを持たせることで、出力電圧に依存しない一定のダンピングファクターが得られ、幅広い出力電圧に対応することができるものと考えられる。そこで本試作では2次スロープを採用した電流制御方式DC-DCコンバータの設計を行った。現在、作成したチップの評価段階である。

参考文献：H. Sakurai and Y. Sugimoto, "Analysis and Design of a Current-Mode PWM Buck Converter Adopting the Output-Voltage Independent Second-Order Slope Compensation Scheme," IEICE Trans. Fundamentals, vol. E88-A, no. 2, pp. 490-497, February 2005.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

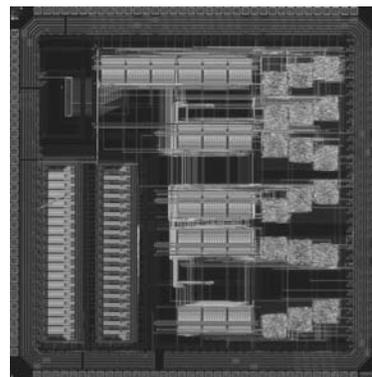


16chPET用WaveformSampling型信号処理回路

東京大学工学系研究科 島添 健次, 高橋 浩之

概要：本チップはPET (Positron Emission Tomography) を含む放射線検出器向けの専用処理回路である。1チャンネルに電荷信号を電圧に変換する電荷積分型の高速プリアンプ、各検出器からの信号のばらつきを吸収するためゲインが調節可能なVGA (Variable Gain Amplifier)、最大クロック周波数100MHz/6bitsで動作可能なフォールディングADCを含む。また1チップに16チャンネルを集積するためにデジタル回路部分に100MHz/6bits信号を200MHz/3bits信号に変換し読み出すマルチプレクサ回路を搭載している(読み出しクロックは外部からFPGAを用いて生成させテストを行った)。また2-1マルチプレクサの他に6bitsを2bitsと1bits(シリアル)に変換し読み出すテスト用のチャンネルを2チャンネル搭載している。消費電力は3.5W程度と見積もられる。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナデジ混載

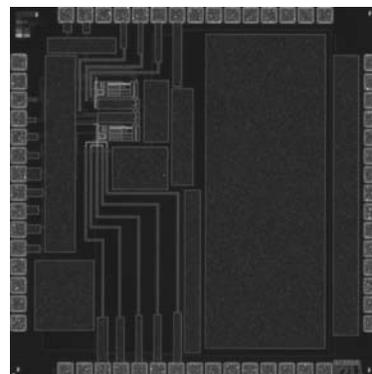


Preamp/Shaper 信号処理回路と DAC テスト回路

東京大学工学系研究科 島添 健次, 高橋 浩之

概要：本チップはMSGC (マイクロストリップガスカウンタ) などのガスカウンタや半導体検出器などの放射線検出器に必要な多チャンネルのパルス信号処理回路(左半分)と電圧調整などの目的に使用するDAC (Digital-Analog-Converter) のテスト、性能評価用回路である。パルス信号処理回路の1チャンネルはgain-boosted cascode型の電荷信号を電圧に変換する電荷積分型プリアンプと波形整形用のシェーピングアンプから構成されていてプリアンプの時定数、シェーピングタイムは外部より可変としている。本チップでは12チャンネルを集積した。右半分はデジタルアナログコンバータのテスト、性能評価回路であり6ビットで設計を行った。本研究室で開発を行っている波形サンプリング型やPreamp/Shaper/Discriminator型の放射線検出用のチップ内部で電圧調整用として使用することを目的としている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

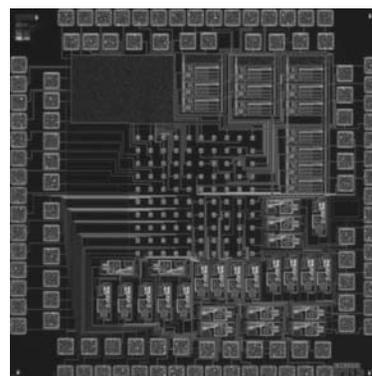


生体用途向け電位センサの試作

東京大学工学系研究科 島添 健次, 高橋 浩之

概要：本チップはチップ表面で発生する電位のセンサ用試作チップである。特に生体内の電位や細胞内外における活動電位の測定を目的としている。チップの自体の全体構成としては中央部にセンサを配置する構成となっていてセンサ(電極)サイズが20 μ m x 20 μ m、センサ間の距離が80 μ mのものを試作している。このセンサ(電極)を横10x縦10で100個並べたものを試作した。このセンサ部分の外側にセンサからの信号を適当な大きさに増幅する評価、テスト用の電荷(電荷積分型)増幅器と電圧増幅器を配置する構成となっているほか、いくつかのセンサにおいては外部からの信号入力を目的として、またテスト評価用に読み出しパッドとそのまま短絡する構成としている。またこの信号処理/増幅部分の外側に読み出し pin 数が足りない関係でチップ内部に読み出し用のパッドを作成し、配置している。現在このチップについてはテストを行っている段階である。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：イメージセンサ/スマートセンサ

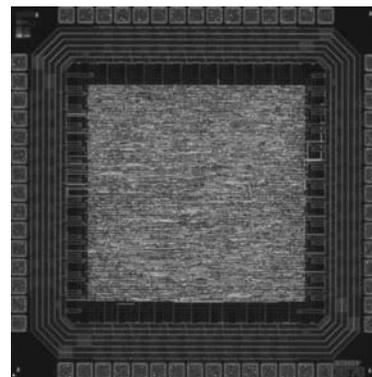


多相構造および SDFA を用いた 32 倍デシメーションフィルタ

上智大学理工学部 田上 知樹, 和保 孝夫

概要： $\Delta\Sigma$ 型 A/D 変換器におけるデシメーションフィルタの高性能化を図るために、多相構造、SDFA (Signed-Digit Full Adder) を用いた、3 次 16 倍 CIC (Cascade Integrated Comb) フィルタと FIR フィルタの縦続接続からなる 32 倍デシメーションフィルタを設計した。CIC フィルタは、少ないタップ数で大きなデシメーション比を実現できる。FIR フィルタは、急な遮断特性を持ち、帯域外ノイズを除去する。CIC フィルタには多相構造を導入し、入力信号を単純な構成のサブフィルタに信号を振り分け、高速化を実現している。CIC フィルタおよび FIR フィルタの加算器ツリーには SDFA を導入し、キャリアの伝播遅延時間を短くすることで、高速化を実現した。多相構造および SDFA を導入した 32 倍のデシメーションフィルタは、多相構造および SDFA を導入する以前と比較して 16 倍の高速動作 (417MHz) が可能であることを明らかにした。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ

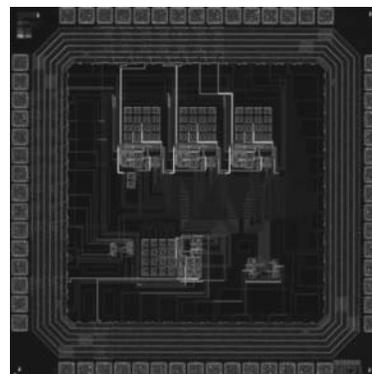


パイプライン型 A/D 変換器の基本要素回路の試作

上智大学理工学部 長谷 宗彦, 和保 孝夫

概要：我々は、低消費電力パイプライン型 A/D 変換器に関する研究を進めている。パイプライン型 A/D 変換器には、オペアンプやコンパレータ等の要素回路が必要となるが、それらの基本要素回路を目標仕様に応じて最適に設計することが全体の消費電力低減につながる。本試作においては、オペアンプ (設計値：dc ゲイン>60dB) およびコンパレータを低電力で実現するとともに、それらに基づく 1.5 ビット/ステージ構造のパイプライン型 A/D 変換器を実現した。オペアンプにはフォールデッド・カスコードオペアンプを採用し、コンパレータには定常電流のないダイナミックコンパレータを採用している。現在、一部の評価を終了し、コンパレータの正しい動作およびパイプライン型 A/D 変換器を構成するステージの期待通りの 1.5 ビット変換特性を確認した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

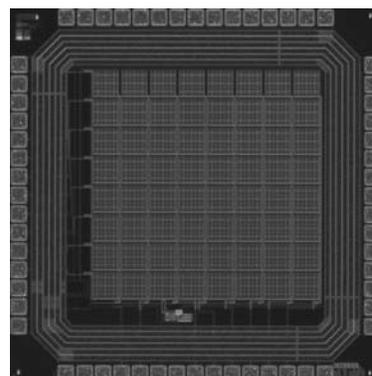


光素子駆動回路

慶應義塾大学理工学部 青野 聖, 松本 佳宣

概要：近年の白色 LED の高効率化に伴い、白色 LED の他、赤、青、緑といった可視光の LED を用いて信号伝送を行う可視光通信が注目を集めている。そこで、可視光伝送を目的とした光送信回路の設計を行った。高出力 LED を駆動するのに必要な数十 mA 以上の電流を流すために、ゲート幅の小さいトランジスタを多数並列に並べることでゲート抵抗の増加を防ぎ、またアルミ配線やコンタクトホールでの電流許容量を超えないように配慮した。また、複数 LED を同時に駆動できる駆動回路に関しても設計、レイアウトを行った。また、LED の応答速度をより向上させるプリエンファシス回路を外付け部品で構成できるように回路構成と駆動方法の検討を行った。試作したチップを用いて各種の LED の駆動実験を行い、可視光通信の用途に合った良好な結果が得られた。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：通信 (RF 回路, ATM など)

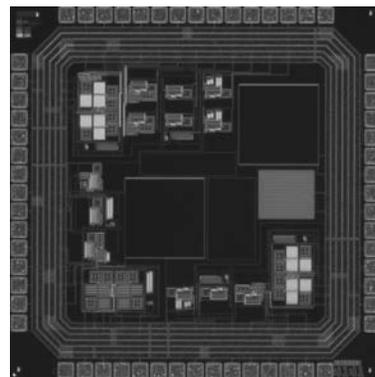


生体計測用信号処理回路

慶應義塾大学工学部 北畑 雄太, 松本 佳宣

概要：医療用の生体計測で用いられる信号処理回路を設計した。特に筋電計測を念頭においており、筋電から発生する微弱な電圧変動を検出するために初段増幅器のSN比の向上を図るために、回路の内部雑音を減少させた演算増幅回路を設計した。また、筋電電極からの電圧を確実に検出するために計数アンプ形式にして入力インピーダンスの向上を図った。さらに生体計測で問題となるGND電位の変動とハムノイズの混入に対応するため、フィードバック方式のバンドパスフィルタを設計して、シミュレーション上でその効果を確認した。増幅器やフィルタに必要なとされる抵抗はHi-PolyR抵抗を利用して、容量に関しては外付けとした。チップの動作確認後はベアチップ実装による小型化と実際の応用を通じた最適化が課題である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva
作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路（乗算器, 除算器など）



トランジスタ数：10以上, 100未満 試

時変電源電圧駆動ダイナミック回路と擬似断線故障回路の試作

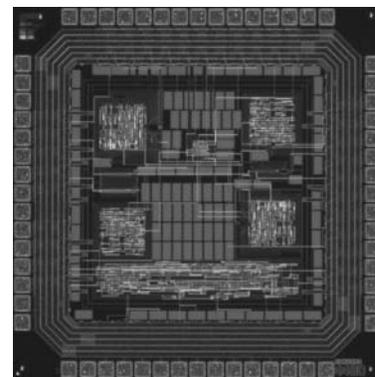
徳島大学大学院工学研究科 清水 達也

徳島大学大学院先端技術科学教育部 美崎 洋介, 東條 充

徳島大学大学院ソシオテクノサイエンス研究部 四柳 浩之

概要：低消費電力型ダイナミック回路の一種である時変電源電圧駆動ダイナミック CMOS 論理回路、および断線故障の動作解析のための疑似断線故障回路の2種の回路の試作を行った。時変電源電圧駆動ダイナミック CMOS 論理回路は、従来のスタティック CMOS 回路の電源、GND をダイオードを通して回路ブロックごとに共通の電源線に接続し、外部から時変電源電圧を加えることでスイッチング時の貫通電流を押さえ、低消費電力化を実現しようとする回路である。試作チップには、従来のスタティック CMOS 型、ダイナミック CMOS 型の1ブロック、ダイナミック CMOS 型の2ブロック方式を用いてストップウォッチ回路とインバータチェイン回路の計6回路を埋め込み、また、断線故障発生時の回路の動作解析用としてITCベンチマーク回路 b03 内に疑似断線故障を挿入した回路および特性測定用トランスミッションゲートの挿入を行った。試作チップによりダイナミック回路の動作可能周波数およびブロック分割数の評価を行い今後の改良を行う予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG（特性評価回路など）

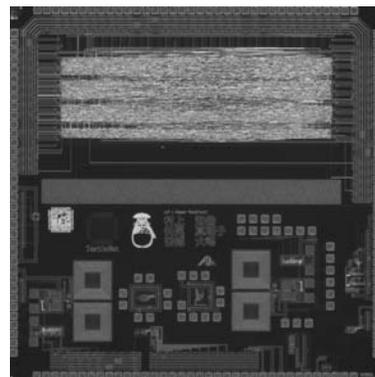


導電性衣服上の電力重畳通信トランシーバ

金沢大学工学部 村上 知倫, 矢尾 真理子, 秋田 純一

概要：情報機器を身につけて活用するウェアラブルコンピュータにおいて、煩雑なケーブルと電源確保の問題は、従来は両立が困難であった。これに対し、我々の研究グループでは、表裏1組の導電布を用いた衣服を電源供給・情報伝送に用いることで、これらの問題を解決するウェアラブルコンピュータ向けのネットワークシステムに関する研究を行っている。本試作チップでは、電極として用いる導電性衣服上に、直流電力と100mV程度の振幅の変調信号による1Mbpsの情報伝送信号を重畳する方式に用いる、トランシーバ回路の試作を行った。送信用バッファ、受信用バッファ、マンチェスタ符号・復号器、およびプロトコル制御用のためのPIC16F84上位互換のMCUコア（UART数・RAMを拡張）を集積した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：アナデジ混載



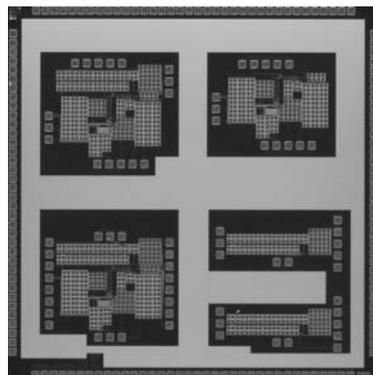
バッテリーレス無線通信チップ評価回路

東京工業大学統合研究院 小林 由佳, 石田 光一, 岡田 健一, 益 一哉

概要：日常の健康管理や予防医療用途の生体情報収集システムに応用するための体内センサーモジュール用プロトタイプ回路。人体内の生体情報を取得し、その情報を体外のベースステーションに送信する機能を実装している。体外のベースステーションより磁気結合で供給された電力をCMOSチップ上のコンデンサに蓄え、その電源のみを利用して、生体情報の取得とデータ送信の一連の動作を行う。生体情報取得にはISFETを用いたpHセンサーの利用を前提としており、チップ上にはそのインタフェース回路を備える。また取得したアナログ値を2つのパルスの発生間隔に変調するPIM (Pulse Interval Modulation) という、低消費電力でかつ人体による送信パルス減衰に強い方式を採用している。

参考文献：Y. Kobayashi, K. Ishida, K. Okada, K. Masu, and Y. Horiike, "A Batteryless Wireless Communication Circuit for Measurement of Gastric Acid," Biomedical Circuits and Systems Conference, pp.17-20, Nov. 2006.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：通信 (RF回路, ATMなど)



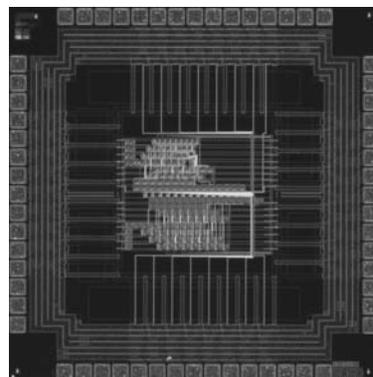
CMOS乗算回路の設計および特性評価

高知工科大学大学院工学研究科 田中 佳明

高知工科大学工学部 矢野 政顕, 橋 昌良

概要：8ビット×8ビットの乗算回路を、NAND/NOR構成とトランスマッションゲート構成の2種類を設計し、特性の規格・検討を行った。トランスマッションゲートを用いる利点は、基本ゲートを用いるよりもトランジスタ数を削減できることと、伝播遅延時間が短いことである。これらの利点により回路全体の低消費電力化と高集積化、および、高速化を図った。乗算器の構成は2次のBoothアルゴリズムを用いて部分積を生成し、部分積の加算は、桁上げ保存回路、桁上げ信号吸収回路としては桁上げ伝播加算回路を用いている。回路を構成するゲートのN/P比は1:2 (6.2 μ m:12.4 μ m)とした。トランスマッションゲート構成の全加算回路はEXOR, EXNORゲートとマルチプレクサから構成され、クリティカルパスにトランスマッションゲートを採用することで高速動作を狙っている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：演算回路 (乗算器, 除算器など)



低電圧広ダイナミックレンジアナログフィルタ

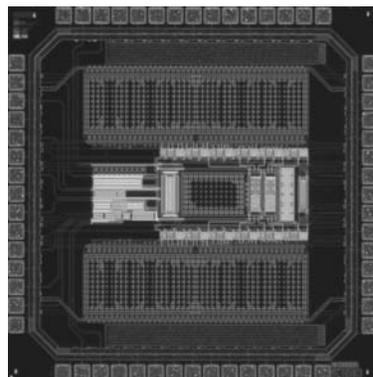
豊橋技術科学大学大学院工学研究科 秋田 一平

豊橋技術科学大学工学部 和田 和千

概要：MOSFETの弱反転領域を用いた既提案の構成手法に基づき、電源電圧0.8Vで動作し80dB以上のダイナミックレンジを有するアナログフィルタの試作を行っている。シラビックコンパニング手法とログドメイン手法を改良することで、アナログフィルタの低電圧化、広ダイナミックレンジ化を可能とし、遮断周波数100kHzの5次振幅等リプル(チェビシェフ)低域通過フィルタを設計、レイアウトならびに測定した。0.35 μ mのプロセスとしては従来にない低電源電圧で、実用に耐えるダイナミックレンジなどの特性 [1] を得ることができた。

参考文献：秋田, 和田, 田所, "0.8V広ダイナミックレンジCMOSシラビックコンパニングログドメインフィルタの試作と評価," 電気学会電子回路研究, ETC-07-20, pp.69-74, Jan. 2007.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



基板雑音の測定用 TEG と非線形素子を用いた ADC

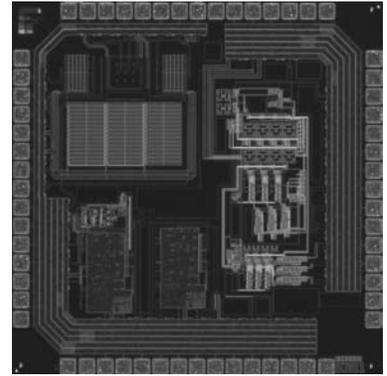
豊橋技術科学大学大学院工学研究科 鈴木 寛人, 八木 大介, 小野 貴史

豊橋技術科学大学工学部 和田 和千

概要：まず、ミックストシグナル集積回路における基板雑音を測定するために、インパタチェーンの試作を行っている。384個のNOT回路ならびに3072個のNOT回路から構成される三つのインパタチェーンを配置して測定することで、クロック周波数に対する基板雑音の波形の変化を調べた。次に、二つの構成原理に基づいたアナログ・デジタル変換回路(ADC)を設計している。第一に、 $\Delta\Sigma$ ADCのダイナミックレンジを拡大する原理を確認するための回路である。スイッチトキャパシタ積分回路の利得を可変とし、利得を適切に制御することにより、出力雑音と積分回路の出力部での歪を同時に低減できる。第二のADCとして、信号分割手法に基づいたADCの性能を明らかにするため、パイプライン型ADCに信号分割手法を適用して設計した。電源電圧は $\pm 0.75V$ 、分解能は6-bitとし、製造ばらつきの影響が低減できること [1] を確認するための試作である。

参考文献：“信号分割手法によりDNLを低減したアナログ・デジタル変換回路の構成,”小野 貴史, 和田 和千, 田所 嘉昭, 電学電子回路研資 ECT-06-104, 2006年11月。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



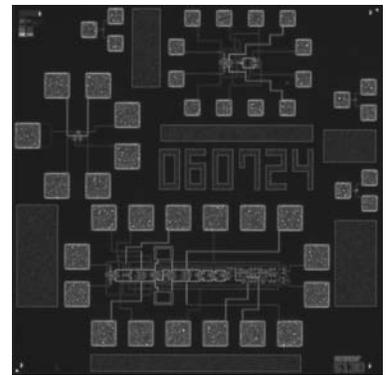
FM中間信号を用いた $\Delta\Sigma$ 変調器2

名古屋大学工学研究科 松原 渉, 前澤 宏一

概要： $\Delta\Sigma$ ADCの最も重要な要素は $\Delta\Sigma$ 変調器であり、これにより、入力アナログ信号はパルス密度変調信号に変換される。しかし、 $\Delta\Sigma$ 変調器の基本であるネガティブフィードバックが高速動作を制限する要因となっていた。これに対して、FM中間信号を利用するFM $\Delta\Sigma$ 変調器は高精度なフィードバックを必要としないため高速動作に適している。しかし、変調範囲が広く、高い線形性を持つ電圧制御発振器(VCO)が必要なため、これまでほとんど使われてこなかった。我々はダウンコンバージョンにより広い変調範囲を持つFM信号を生成する方式を提案し、前回の試作でその効果を確認した。今回はこれを拡張して、相補型の信号による線形性の改善を図った。入力の相補型アナログ信号により変調された二つのVCO出力は局所発振器出力とミキシングされ、広い変調範囲を持つ二つのFM信号に変換される。それぞれのFM信号はDFFとレジスタ、XORを用いてパルス密度変調信号に変換され、その後、デジタル信号処理に送られる。この結果、偶数次高調波がキャンセルされ、線形性を大きく向上させることができる。

参考文献：W. Matsubara, M. Sakou, K. Maezawa, and T. Mizutani “No Feedback DSADC for High Frequency Operation Using Frequency Delta Sigma Modulator”, SSDM2005

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



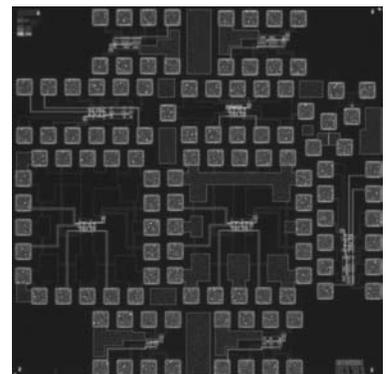
FM中間信号を用いた $\Delta\Sigma$ 変調器のための要素回路の検討

名古屋大学工学研究科 前澤 宏一

概要： $\Delta\Sigma$ ADCの最も重要な要素は $\Delta\Sigma$ 変調器であり、これにより、入力アナログ信号はパルス密度変調信号に変換される。しかし、 $\Delta\Sigma$ 変調器の基本であるネガティブフィードバックが高速動作を制限する要因となっていた。これに対して、FM中間信号を利用するFM $\Delta\Sigma$ 変調器は高精度なフィードバックを必要としないため高速動作に適している。ここでは上記回路の構成に必要な高速DFF, TFFなどの要素回路について検討した。回路は差動構成とし、CMLを用いた。DFFはMaster-Slave方式とし、D-Latch回路においては、Latch回路のゲート幅を入力のものより小さくし、負荷を軽くすることにより高速動作の実現を図った。この構成の場合、低周波でのラッチが弱いため、安定した動作はある周波数範囲で得られることになるが、最高動作速度は高くできる。測定により、3GHz以上のクロックで安定した動作が可能であることを確認した。また、同じD-Latchを用いてT-FFも作製した。これについては今後測定を行う。

参考文献：W. Matsubara, M. Sakou, K. Maezawa, and T. Mizutani “No Feedback DSADC for High Frequency Operation Using Frequency DS Modulator”, SSDM2005

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



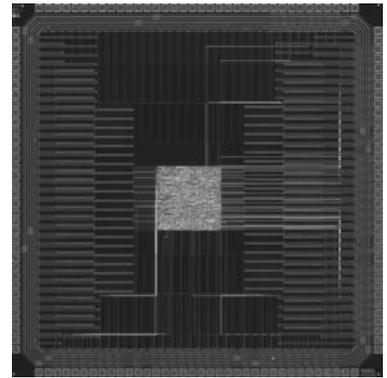
PIC互換プロセッサ

名古屋大学大学院工学研究科 谷口 英樹, 永田 真稔, 古川 智康, 小林 良太郎,
島田 俊夫

名古屋大学工学部 宮野 純

概要：我々は、VDECを利用したLSIチップ作製のトレーニングとして、チップ試作を行った。製作するチップは、PICの命令セットを動作させるプロセッサである。このプロセッサでは、C言語で記述したソースプログラムを既存のコンパイラによってコンパイルし、生成されたバイナリを実行することができる。設計には、ハードウェア記述言語であるVerilog-HDLを用い、本研究室の学生4名で2.5ヶ月かけて設計した。設計ツールには、Cadence社Verilog-XL, Dracula, Synopsys社Design Compiler, Milkyway, Apolloを使用した。チップの検証には、三菱電機マイコン機器ソフトウェア株式会社のPowerMedusa MU200SXを用い、HITECH SOFTWARE社HI-TECH PICC-LITEでコンパイルしたC言語プログラムの動作確認を行い、正常に動作していることを確認した。

設計期間：10人月以上 設計ツール：Cadence社Verilog-XL, Synopsys社DesignCompiler, Synopsys社Apollo, Synopsys社Milkyway, Cadence社Dracula LVS, Cadence社Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ロームCMOS 0.35 μ m 4.9mm角 チップ種別：マイクロプロセッサ



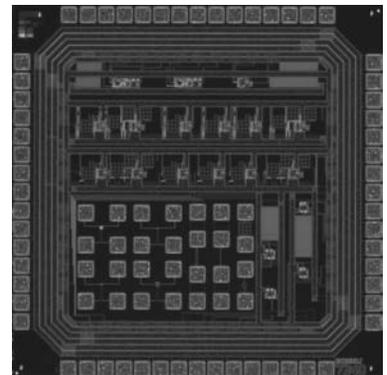
マルチ環境センサ用インターフェイス回路

兵庫県立大学大学院工学研究科 福本 洋祐, 藤田 孝之, 前中 一介

兵庫県立大学工学部 鈴木 文章

概要：本研究室では複数の物理量を同時に検知する集積化マルチ環境センサに取り組んでいる。このシステムの更なる小型化が進み、ポケットサイズレベルのシステムが実現すれば、通信システムと組み合わせることにより、これまでにない新たな環境センシングへの可能性が出てくる。例えば輸送する荷物一つ一つの輸送状態を管理したり、介護を必要とする患者の健康状態をオンラインでロギングしたりすることも可能となる。これを実現するために各センサと回路の更なる小型化と高性能化、一体化が必要となる。そのための基本となる集積回路の設計を行った。設計した回路は回路の基本となるオペアンプ、実際の物理量の検出に用いるC/V変換回路、省電力を目的とした最大値最小値保持回路である。測定を行った結果、十分なC/V変換能があることが分かった。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社Encounter, Cadence社Virtuoso, Synopsys社Star-HSPICE, Cadence社Dracula LVS, Cadence社Dracula LPE, Cadence社Dracula DRC, Cadence社Diva, Cadence社Analog Artist トランジスタ数：100以上, 1,000未満 試作ラン：ロームCMOS 0.35 μ m 2.4mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



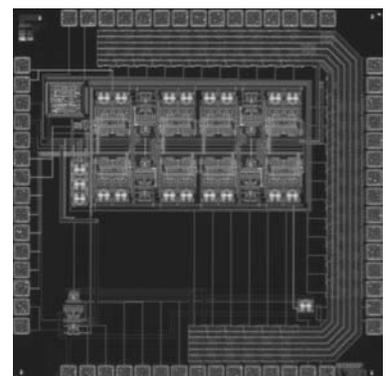
10ビットパイプラインADCの試作

長崎総合科学大学情報学部 房安 貴弘

東京大学理学系研究科 山口 頼人, 佐野 哲

概要：ガス電子増幅器 (GEM) を用いた放射線検出器のフロントエンドチップの開発のため、その要素であるパイプラインADCの試作を行った。精度は10ビット、サンプリング速度は10MHz程度で設計を行った。一般的な1.5ビット補正回路を含む、アナログ・デジタル混在のシステムLSIである。多数チャンネルのピクセルからの信号を処理する必要性から、省電力を旨とする設計を行った。用いたOPアンプやコンパレータの評価を行うため、OPアンプとコンパレータのTEGも載せている。測定評価の結果、OPアンプの性能が満足できるものであれば、同デザインをブリアンプ段にも適用する予定である。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社DesignCompiler, Synopsys社Astro, Cadence社Virtuoso, Cadence社Dracula LVS, Cadence社Dracula DRC, Cadence社Diva トランジスタ数：100以上, 1,000未満 試作ラン：ロームCMOS 0.35 μ m 2.4mm角 チップ種別：アナデジ混載

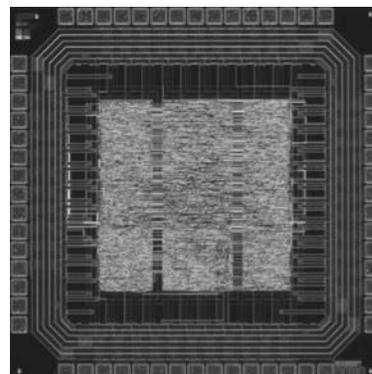


ディスプレイ出力付き計算機 ASIC

東京大学工学系研究科 門馬 太平

概要：東京大学教養学部学生のゼミの一環として、加減算が可能な計算機機能を備えたチップを設計した。計算結果は7セグメントLEDに出力可能なほか、VGA接続のディスプレイに出力することもできる。ディスプレイの出力解像度はSVGA（800x600ピクセル）である。チップ内には画面に出力されるフォントを格納するキャラクタROMとVRAMに相当するテキストRAMを持っており、計算結果としてテキストRAMに格納された文字コードからキャラクタROMを参照してビットマップデータを取り出し、画面に描画している。16種類の文字を持つフォントの各文字は32x32ピクセルのビットマップデータでキャラクタROMに格納されているが、画面に出力される際には縦横を2倍に拡大される。動作周波数はSVGAの基本周波数である40MHzである。

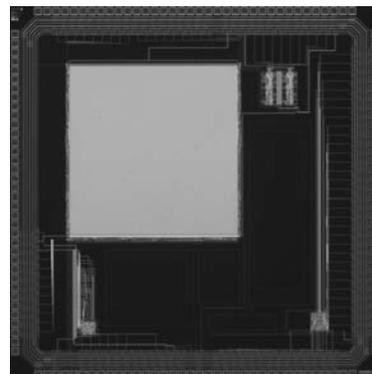
設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**その他

**蓄積時間・バイアス電圧の自動調整機能を備えた CMOS イメージセンサ**

東京大学工学系研究科 門馬 太平

概要：様々な撮影条件で常に良好な出力画像が得られるように機能する自動調整回路を備えた CMOS イメージセンサの設計を行った。CMOS イメージセンサのピクセル回路は3トランジスタを含む APS 構成で、256x256ピクセルの解像度で撮影画像を出力することができる。周辺回路として8bitのサブレンジング型 A-D コンバータ、8bitの抵抗ラダー型の D-A コンバータ、そしてデジタル回路である自動調整回路を備えている。デジタル回路部分については基本的には全て論理合成・自動配置配線ツールを用いており、アナログ回路との接続は入出力ポートの位置と縦横比のみをフロアプランで指定して配置配線後、インスタンスとして手動で配置することにより行った。

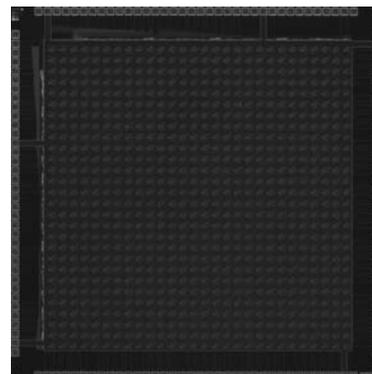
設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **チップ種別：**イメージセンサ/スマートセンサ

**電流モード可変解像度エッジフィルタ**

東京大学大学院新領域創成科学研究科 仁木 祐介, 柴田 直

概要：画像認識は演算コストが非常に高いため、ソフトウェアによる実時間処理は難しい。本研究室では専用のVLSIを開発することにより、実時間画像認識を目指している。画像の最も重要な特徴情報はエッジ情報であるが、同一対象の画像であっても大きさが異なる場合、抽出されるエッジ情報は異なってしまう。そこで入力画像の解像度を変化させることで、大きさのみが異なる画像からも似たようなエッジ情報を抽出可能なアーキテクチャが開発、実装された。前回のR03505_10で設計したチップでは、電流モードによるアナログ演算を用いた実装を行った。電流モードを採用することにより、エッジフィルタのカーネルの符号を外部制御によって与えることが容易に可能となり、その結果減算回路を設けず、各種演算を配線のみの加算で実現することができるようになった。さらに制御信号線を大幅に減らすことができ、開口率を大幅に改善することに成功した。今回の設計では、演算論理に修正を施すことで、外部からの演算制御をより柔軟に実現できる構成とし、演算の汎用性の向上を試みた。画素数は27x27、解像度はフル、1/2、1/4の3段階で変化させることが可能である。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **チップ種別：**イメージセンサ/スマートセンサ

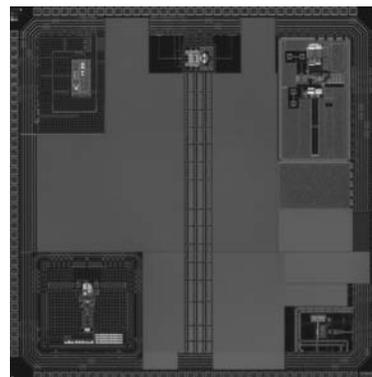


オペアンプの設計

大阪大学大学院工学研究科 池田 智, 熊倉 芳明, 田澤 正和, 田中 成斗, 寺澤 大志,
清水 由幸, 谷口 研二

概要：それぞれ異なるアプリケーションでの利用を想定した、5種類のオペアンプの試作を行った。2つは高いDC利得を目指し、80dB程度の利得を実現できるものを設計した。これらのオペアンプでは、N型MOSFETで構成した入力段とP型MOSFETで構成した入力段を併用し、各入力段に流れる電流の和を一定にする回路加えることで、利得が入力バイアス電圧に依存しないRail-to-Rail動作も達成している。もう2つは高速動作を目標としてFt Doublerを採用し、シミュレーションでは500MHz程度での動作が期待できるものである。残り1つは高い線形性を目標としてSource Degeneration構成を採用し、THD=-50dB程度が見積られている。

設計期間：10 人月以上 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

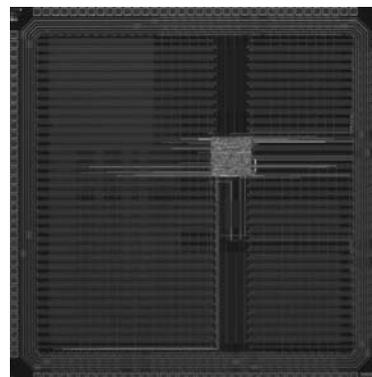


Verilog-HDL を用いた非同期 FPGA の設計

東北大学大学院情報科学研究科 張山 昌論, 亀山 充隆

概要：本試作は、同期式回路の設計ツールである、Verilog-HDL を用いて非同期式 FPGA の設計を行ったものであり、概要は以下の通りである。本研究室ではビットシリアルアーキテクチャを用いた構成を提案してきた。ビットシリアルアーキテクチャは、データパスの面積・時間積を小さくできるため、信号処理などの並列性が高い処理に置いては、同一面積での処理時間を小さくできる。また、従来の FPGA においては、プログラマブル配線の複雑さに起因する、遅延時間・消費電力が問題であるが、ビットシリアルアーキテクチャでは、本質的に配線の複雑さを最小化できるため、その問題を解決できる。ビットシリアルアーキテクチャを用いることで高周波動作が可能であるが、素子のばらつきに起因するクロックスキューやクロックに起因する消費電力の影響により、性能が伸び悩むという問題がある。そこで、クロックを用いない非同期式回路を FPGA に応用することで、クロックスキューなどの問題が解決でき性能の向上が期待できる。本試作では機能検証の容易化のために、Verilog-HDL を用いて開発を行った。本チップでは、セル数10 \times 10となっている。

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：アナログ/デジタル信号処理プロセッサ

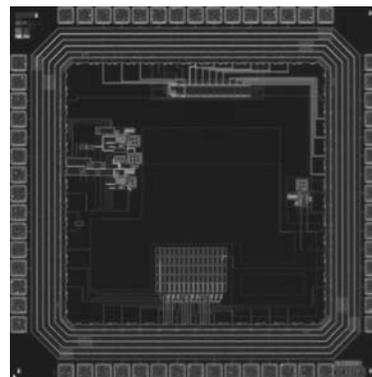


列並列 A/D 変換回路 TEG

茨城大学工学部 木村 孝之

概要：近年イメージセンサには高速で低ノイズを実現するためにカラム A/D 変換がおこなわれている。カラム A/D 変換を実現するためには画素の幅に相当するスペースに A/D 変換回路を集積する必要がある。これらカラム A/D 変換を実現するための一つの方法として追従型 A/D 変換器がある。これは他の方法に比較して、カウンタと比較器という単純な回路によって実現できる。ただし、高速なカウンタを実現できないと A/D 変換速度は遅くなってしまう。今回の試作ではデジタル領域での CDS (Correlated Double Sampling) を実現するため、12bit のアップ・ダウンカウンタと、比較用ランプ波を生成するための12bitR-2R ラダー形 D/A 変換器も同時に設計、試作を行った。カウンタのシミュレーションでは最大動作周波数が83.61MHzであったが、実際の測定では29.76MHzであった。数チップ測定を行ったが、結果のずれは10%に収まっていた。この原因は現在調査中であるが、寄生容量などが影響していると考えられる。A/D 変換器としては7ksps と低速であるが、本研究室で実現できるイメージセンサが200 \times 200 画素程度であることを考えると、これでもビデオレートの画像が取得可能である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：TEG (特性評価回路など)

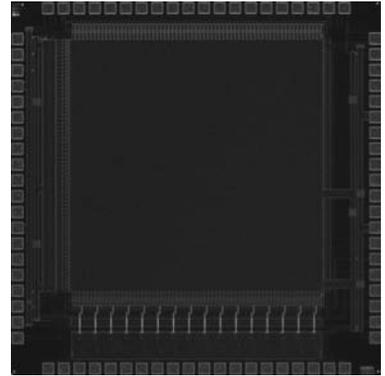


高速2次元集積化磁気センサ

茨城大学工学部 木村 孝之

概要：磁気センサを製作する際には、一般的に移動度の高いInSbやGaAsなどの材料が用いられる。一方、Siはこれらの物質に比べて移動度が低いため、磁気センサを構成する場合は感度が低くなり使用が難しい。本試作では、これまで試作してきたMOS-FETの反転層を用いた2次元集積化ホールセンサの読み出し速度を改善した。設計したセンサはW/L=1であった。また、読み出し回路はCMOSイメージセンサに用いられるような2段ソースフォロアであり、アンプを画素内に採り入れているためノイズには強いという特徴がある。さらに、1画素のサイズは50 μ m角であり、画素アレイは64 \times 64個からなる。ホール効果を用いた磁気センサでは差電圧を読み出して引き算をする必要がある。これらの信号を差動増幅し、16チャンネルを同時に読み出すようにした。現在、非磁性材料によるパッケージングと特性測定の準備を行っているが、以前試作したTEGと同程度の積感度(5.7mV(1mA, 1kG))が得られ、速度は複数チャンネルを呼び出すことにより16倍(10kフレーム/秒)を実現できると予想される。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist トランジスタ数：10,000以上、100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：イメージセンサ/スマートセンサ

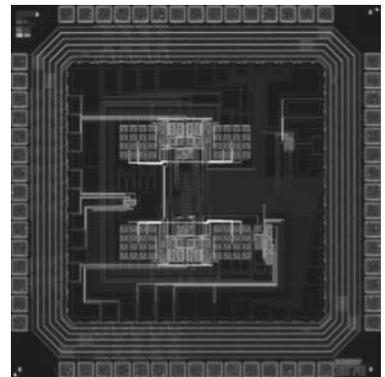


オペアンプシェア - パイプライン型 A/D 変換器の試作

上智大学理工学部 長谷 宗彦, 和保 孝夫

概要：我々は、低消費電力パイプライン型 A/D 変換器に関する研究を進めている。パイプライン型 A/D 変換器においては、内部要素回路であるオペアンプによる電力消費が最も大きい。つまり、オペアンプによる電力消費を低減することがパイプライン型 A/D 変換器全体の低消費電力化に非常に有効である。本試作では、パイプライン型 A/D 変換器を構成するステージ間でオペアンプをシェアし、オペアンプの個数自体を半分に削減する(オペアンプシェア技術を導入する)ことで低消費電力化を図った。HSPICE によるシミュレーション結果においては、このオペアンプシェア技術の導入によって、各ステージにオペアンプを有する一般的な構造のものに比べて、同等の性能を保ちながら40%以上電力消費を低減できることを明らかにした。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

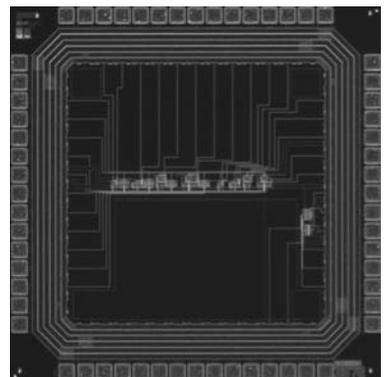


利得可変 CMOS 差動オペアンプ

上智大学理工学部 遠藤 茂, 和保 孝夫

概要：一つの $\Delta\Sigma$ 型 A/D 変換器で異なる周波数帯域の信号を A/D 変換するには、通過帯域可変のバンドパスフィルタが必要である。今回の試作では、ローム 0.35 μ m CMOS プロセスを用いて、その構成要素である利得可変オペアンプの設計を行った。このオペアンプは、2つの NMOS 入力差動対に共通の PMOS 負荷が接続されている構造となっており、これらの間の出力ノードを入力端子とし、PMOS 負荷のゲートのノードを出力端子とする CMFB を含む。利得の調節は2つの入力差動対に流すバイアス電流の差を変えることで行う。このオペアンプはその構造上、PMOS 負荷に流れるバイアス電流が大きく変化するため、通常の差動オペアンプに搭載する CMFB に比して、より高利得なものが求められる。HSPICE を用いたシミュレーションにおいて、差動振幅 2mV を入力し、利得を 0 から 37.6dB まで調節可能であることを確認した。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



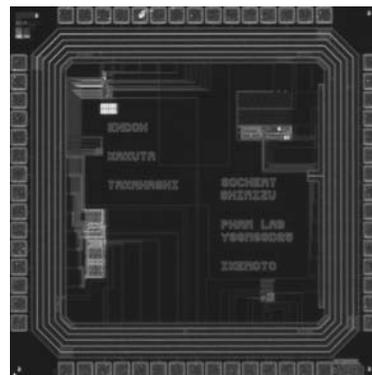
LDO用の過電流保護回路

電気通信大学電子工学科 HENG SOCHEAT, SHIMIZU MARIE,
PHAM CONG KHA

概要：Attendant upon scaling of the semiconductor manufacturing process of recent years, operating voltage of signal processing integrated circuit such as CPU has decreased steadily. In such this environment, the LDO in many cases, even at low output voltage, the detecting accurately of over current as well as the stability of holding current to protect the whole system have become more important. One more problem occurs when the power supply voltage decrease by scaling. It is problem of malfunction of the over current and holding current protection circuit. Lowering output voltage means the fact that input voltage is also low. Still when starting state, before the system operates normally, the extreme output voltage is equal to input voltage. Even at this state the protection circuit is not permitted the malfunction. In this work, an over current protection circuit applied in low power load dropout linear voltage regulator (LDO) is presented. The proposed circuit, designed considering RHOM 0.35 μ m CMOS process, provides a persist limiting current as well as holding current which are less dependent on supply voltage either regulator output voltage. With the simulation result using HSPICE circuit simulator, it has been shown that the proposed circuit can be operable in the regulator output voltage range $V_{OUT}=1.2V$ to $V_{OUT}=3.6V$ and supply voltage range $V_{DD}=V_{OUT}+0.5V$ to $V_{DD}=6V$. Since the proposed circuit formed with few simple basic circuits such as comparators, schmitt trigger, it consume very low power consumption less than 1.2 μ A which is fit to low power LDO design. The proposed circuit has satisfied the requirement of being an over current protection. First, when the over current has take place, it has no effects on LDO regulation, so that V_{OUT} is normally regulated. Second, when load current has exceeded a maximum rated value, it starts up and works to reduce output voltage and output current to a limit value known as holding current in order to prevent the LDO damage. Thirdly, after starting up, it cut off the negative feedback loop of the regulator, so that the regulator is no longer able to regulated V_{OUT} anymore. Fourthly, after an over current released, it necessary to revert V_{OUT} to original state. And the proposed circuit satisfies this by its stable holding current. Though, the over current protection is not the main circuit in LDO design but its existence is not bypassed for the best regulator. With its good performances, the proposed circuit is expected to play an important role for future low power LDO design.

参考文献：LIN. Chuan and FENG. Quan-yuan, Design of Current Limiting Circuit

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Encounter, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数：**10 以上, 100 未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



基板雑音の打ち消し回路と演算増幅回路

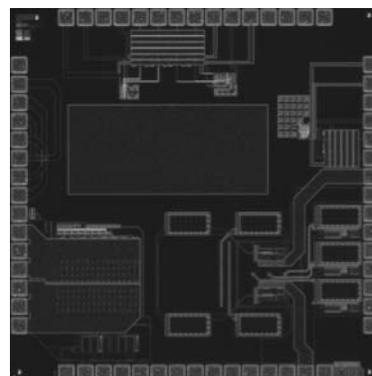
豊橋技術科学大学大学院工学研究科 鈴木 寛人

豊橋技術科学大学工学部 小山 靖仁, 中田 光俊, 山下 知憲, 和田 和千

概要：数百 MHz のデジタル基板雑音の波形を観測することと、雑音を打ち消すシステム [1] の効果を確かめることを目的とした試作である。模擬的な雑音発生源であるデジタル回路として電圧制御発振器、D フリップフロップ、分周器、インバータを設けている。また、雑音を検出して打ち消し信号を生成する回路を、アナログ回路領域内に置いている。アナログ回路領域には、雑音量を測定するための検出回路 3 つも配置している。さらに、チップの残った領域は演算増幅回路の試作に利用している。学部 4 年生がレイアウトを習得し、また測定によって理論やシミュレーションとの比較を実体験できる機会とすることが目的である。回路構造の選択、素子値の設計からレイアウトまでを各自が行い、電源電圧 $\pm 1.5V$ で動作するカスコード接続を用いた回路などが実現されている。

参考文献：Band Connections in Active Cancellation Circuits against Digital Substrate Noise," Hiroto Suzuki, Kazuyuki Wada, and Yoshiaki Tadokoro, Proc. 2006 IEEE International Symposium on Circuits and Systems, May 2006.

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



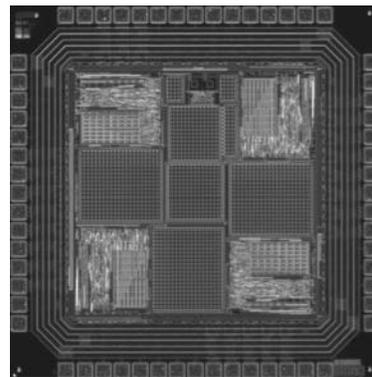
超多重 RFID 向けトランスポンダ実験チップ

神戸大学工学部情報知能工学科 福水 洋平, 郷地 直樹, 永田 真

概要：本試作チップは超多重 RFID システムにおいて、小規模な輻輳制御を実現するトランスポンダ (タグ) の実験回路であり、RF 信号処理・デジタルロジック・キャパシタ・UWB 送信機から構成される。本チップはパッケージ内にトランスポンダのコアを複数回路搭載しており、単体でも多重化輻輳状態を再現することができる。各回路のそれぞれに対しトランスポンダ ID を割り当てるのが可能である。本回路は電磁結合による非接触給電で外部から供給される電力を内蔵するキャパシタに蓄える。このとき、キャパシタに十分な電力が蓄積されると、読取り機と同期をとってからタグ ID を拡散変調し発信する。本チップは多重通信性能の評価を目的とする。

参考文献：Yohei Fukumizu, Naoki Gochi, Makoto Nagata, Kazuo Taki, "A Mixed Circuit and System Level Simulation Technique of Collision Resistant RFID System," IEICE Trans. Electronics, Vol. E90-C, No. 6, Jun. 2007, to appear.

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別：**通信 (RF 回路, ATM など)



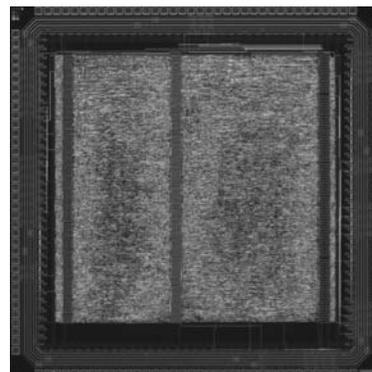
マルチスレッディングプロセッサ

早稲田大学情報生産システム研究科 木村 晋二, ザン チェンジェ

概要：組み込み用途向けの高性能なマルチスレッディングプロセッサの研究の一環として、64ビットのデータパスを持ち、6スレッドの並列動作が可能なマルチスレッディングプロセッサの試作を行った。本プロセッサは命令のスレッド内並列とスレッド間並列の両方を扱うものである。スレッド内の並列性については、コンパイラで判断して、命令に並列実行可能かどうかの情報を埋め込む方式とした。スレッド間の並列性はハードウェア側で処理する。命令は、43ビットの命令長で、3命令を128ビットにパックし、命令の効率的な取得と発行を目指している。6個のスレッドに対して、ラウンドロビン方式で命令の実行優先権を変化させる方式をとっており、最優先のスレッドが使用しない演算器では、つぎに優先順位の高いスレッドの命令が実行される。試作では、命令デコードおよび命令発行部のハードウェアに主眼を置いて実現を行った。

参考文献：C. Zang, S. Imai, S. Kimura, "Performance and Energy Efficient Data Cache Architecture for Embedded Simultaneous Multithreading Microprocessor", pp.351-354, Proc. of International SoC Design Conference (2006) .

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：マイクロプロセッサ

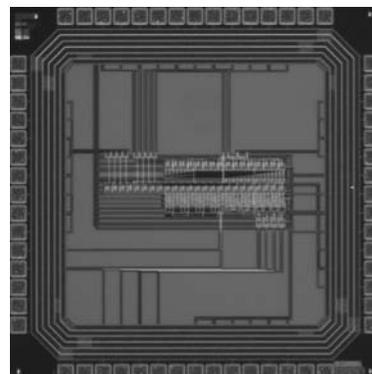


多値差動ロジック回路を活用した高性能データパス

東北大学電気通信研究所 羽生 貴弘, 望月 明, 白濱 弘勝

概要：差動対回路と電流モード多値集積回路を活用した差動ロジックにより高性能32ビットデータパスを試作した。演算回路において、多値表現によるクリティカルパスの削減に加え、高速動作で知られる差動対回路を用いて演算回路を実現することにより高速性の実現を目指した。さらに、差動対回路を基に高速性を維持した低消費電力化が可能であるダイナミックロジックを活用したフリップフロップを構成し、パイプラインレジスタに活用することにより低消費電力性の実現を目指した。また、入力2値信号をデータパス入力用の4値信号に変換する回路も設計した。現在、テスト用ボードの作成中。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：マイクロプロセッサ

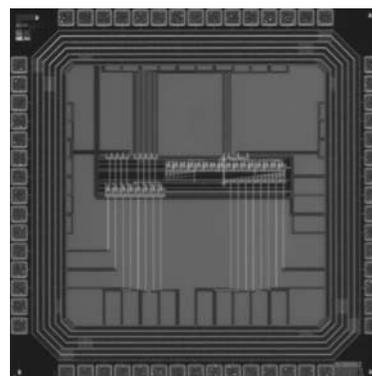


多値差動ロジック回路を用いた32ビットレジスタファイルおよびTEG

東北大学電気通信研究所 羽生 貴弘, 望月 明, 白濱 弘勝

概要：差動対回路と電流モード多値集積回路を活用した差動ロジックによるマイクロプロセッサに使用される高性能32ビットレジスタファイルを試作した。高速性で知られる差動対回路を基に、高速性を維持した低消費電力化が可能であるダイナミックロジックを活用したフリップフロップを構成し、レジスタファイルに活用することにより高速、低消費電力性の実現を目指した。本チップでは提案のフリップフロップの単体性能を測定できるように設計しており、バイナリおよび多値でも高性能なフリップフロップの評価結果が期待される。また、入力2値信号をレジスタファイル入力用の4値信号に変換する回路も設計した。現在、テスト用ボードの作成中。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm角 チップ種別：TEG (特性評価回路など)

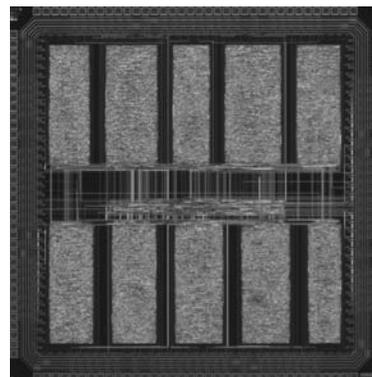


16ビットパイプラインプロセッサの設計実習

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システム LSI 分野を志向する修士課程の学生に実 LSI の設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システム LSI 設計の中の LSI 設計実習の一環として試作したものである。設計課題は、MIPS ライクな 16 ビット 5 段パイプラインプロセッサで、28 命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードリングやストール機能の実現までを課題達成の要求条件としている。設計に際しては、各々が作成したアセンブラプログラム（バブルソート等）を共有し、検証用パターンとして用いた。レイアウトに関しては、縦サイズ固定の制約の中で、最適化（速度／面積優先）を試行させた。最終的には 1 チップに 10 個のプロセッサモジュールを搭載し、各々が外部 I/O から直接アクセス可能としている。チップ製造後は、独自に開発した VDEC チップ評価用ボード（MU200-SXCW）上で実 LSI の動作確認や評価を行わせ、LSI 開発に関する幅広い経験を積ませている。本経験が、より先駆的なデジタル LSI の研究課題へチャレンジする際に大いに役立っている。

設計期間：10 人月以上 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：マイクロプロセッサ

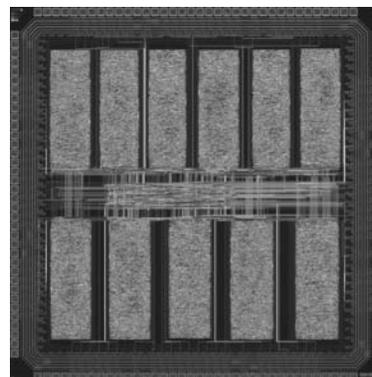


16ビットパイプラインプロセッサの設計実習

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システム LSI 分野を志向する修士課程の学生に実 LSI の設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システム LSI 設計の中の LSI 設計実習の一環として試作したものである。設計課題は、MIPS ライクな 16 ビット 5 段パイプラインプロセッサで、28 命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードリングやストール機能の実現までを課題達成の要求条件としている。設計に際しては、各々が作成したアセンブラプログラム（バブルソート等）を共有し、検証用パターンとして用いた。レイアウトに関しては、縦サイズ固定の制約の中で、最適化（速度／面積優先）を試行させた。最終的には 1 チップに 11 個のプロセッサモジュールを搭載し、各々が外部 I/O から直接アクセス可能としている。チップ製造後は、独自に開発した VDEC チップ評価用ボード（MU200-SXCW）上で実 LSI の動作確認や評価を行わせ、LSI 開発に関する幅広い経験を積ませている。本経験が、より先駆的なデジタル LSI の研究課題へチャレンジする際に大いに役立っている。

設計期間：10 人月以上 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：マイクロプロセッサ

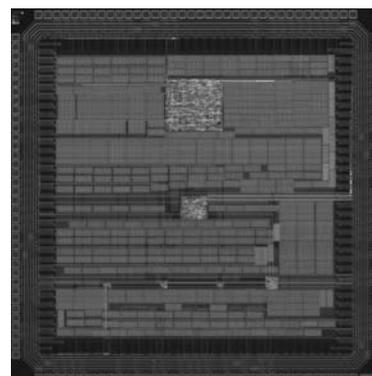


実験用マイクロプロセッサおよび非同期シリアル通信回路

法政大学大学院工学研究科 平山 雄也, 斉藤 桂一, 杉森 亘, 高山 浩司, 輪島 基,
内倉 尚治, 藤田 実

概要：16 命令実行可能なマイクロプロセッサと RS232C 方式のシリアル通信回路を設計した。プロセッサでは昨年度までに設計した実験用のものを元にして、メモリにプログラムとデータ書き込む動作と演算結果を外部に読み出すための動作に必要なクロック数を減らして高速化を図った。制御信号を設けて、外部からのメモリへの書き込みおよび外部への読み出し動作と内部でのデータ処理動作を切り替え可能にした。シリアル通信回路では RS232C 方式の基本機能を実現する回路を設計した。スタートビット、データビット 8 ビット、パリティ・ビット、ストップビット 2 ビットの合計 12 ビットを 1 度の通信で転送することができる。ラインブレイクエラー、フレーミングエラー、パリティエラーによる通信エラーを検出することが可能になっている。この他にも回路の基本特性評価用に、分周器、4 ビットカウンター等の小規模な回路ブロックを設計して搭載した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：マイクロプロセッサ

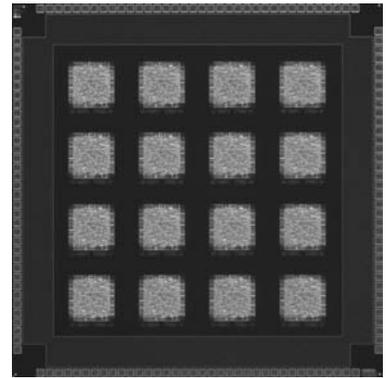


LSI 故障診断装置評価用 TEG (1-3)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化，大規模化，多ピン化，フリップチップ実装等により困難となったLSIの故障診断を行うため，種々の故障診断装置が提案・開発されている．本チップは，これらのLSI故障診断装置を評価することを目的として設計したチップの一つである．ISCAS'85ベンチマーク回路のうちc7552回路のレイアウトを設計し，これを16個並べている．元の回路構造をできるだけ維持する為，論理合成ツールによる最適化は行わず，ライブラリの標準セルにマップする簡易ツールを作成して設計した．レイアウトは配置配線ツールにより自動合成した．電氣的接続を必要としない故障診断装置を対象としており，各回路は外部端子とは接続されていない．LSI故障診断装置評価用TEG(1-2)～(1-3)がセットになっていて，本チップ(1-3)は，(1-1)とまったく同一の回路である．但し，(1-1)とは異なるロットとなるよう，時期をずらして製造した．ロット間の製造バラつきが，診断装置の測定結果にどのような影響を与えるかを評価することを目的としている．

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG(特性評価回路など)

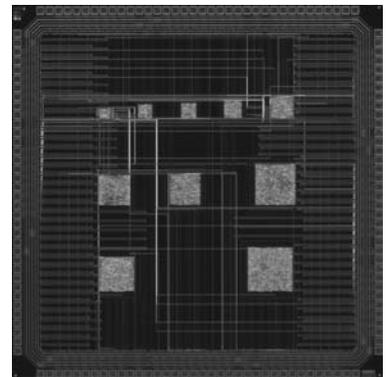


LSI 故障診断装置評価用 TEG (2-1)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化，大規模化，多ピン化，フリップチップ実装等により困難となったLSIの故障診断を行うため，種々の故障診断装置が提案・開発されている．本チップは，これらのLSI故障診断装置を評価することを目的として設計したチップの一つである．ISCAS'85ベンチマーク回路10回路のレイアウトを設計し，これらを配置している．元の回路構造をできるだけ維持する為，論理合成ツールによる最適化は行わず，ライブラリの標準セルにマップする簡易ツールを作成して設計した．レイアウトは配置配線ツールにより自動合成した．電氣的接続を必要としない故障診断装置を対象としているが，外部端子との接続が測定結果に与える影響を評価する為，電源配線を外部端子と接続している．LSI故障診断装置評価用TEG(2-1)と(2-2)がセットになっていて，本チップ(2-1)は，故障を作り込んでいない比較参照用正常回路である．

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：10,000以上，100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG(特性評価回路など)

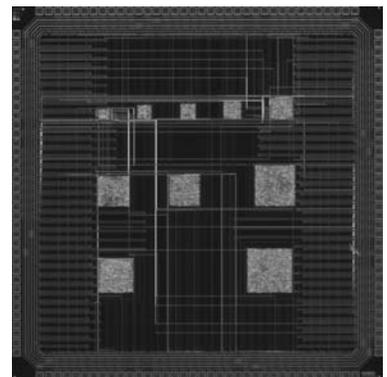


LSI 故障診断装置評価用 TEG (2-2)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化，大規模化，多ピン化，フリップチップ実装等により困難となったLSIの故障診断を行うため，種々の故障診断装置が提案・開発されている．本チップは，これらのLSI故障診断装置を評価することを目的として設計したチップの一つである．ISCAS'85ベンチマーク回路10回路のレイアウトを設計し，これらを配置している．元の回路構造をできるだけ維持する為，論理合成ツールによる最適化は行わず，ライブラリの標準セルにマップする簡易ツールを作成して設計した．レイアウトは配置配線ツールにより自動合成した．電氣的接続を必要としない故障診断装置を対象としているが，外部端子との接続が測定結果に与える影響を評価する為，電源配線を外部端子と接続している．LSI故障診断装置評価用TEG(2-1)と(2-2)がセットになっていて，本チップ(2-2)は，(2-1)の各回路に1箇所ずつ故障を作り込んだものである．各配線毎に，LSIテストによるテストでの故障検出のし易さを示す指標を計算し，故障検出が困難な配線に対して，縮退故障を作り込んでいる．

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：10,000以上，100,000未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm角 チップ種別：TEG(特性評価回路など)

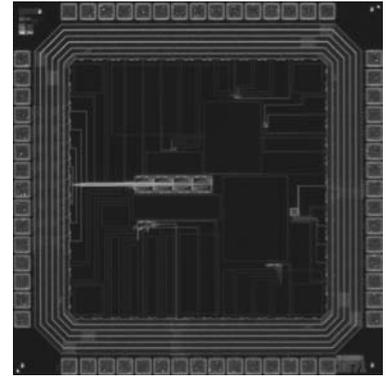


低消費電力電流モードアルゴリズムミック A/D 変換器

上智大学理工学部 春山 健一, 和保 孝夫

概要：8ビット電流モードアルゴリズムミック A/D 変換器を設計した。電流モードアルゴリズムミック A/D 変換器は、回路規模が小さく、比較的簡単な回路構成で実現できるのが特徴である。これは回路を構成するトランジスタ数の少なさと、A/D 変換のセル内部にキャパシタを用いる必要がないことに起因している。電流モードであるため入力信号振幅に対してノードの電圧振幅を小さくでき、低電圧源が使用可能であることと、および、サンプルホールドを用いた1セルで A/D 変換が可能であることを利用して、低消費電力化を図った。今回の設計では、アルゴリズムミック A/D 変換器のコア部分の精度評価を行うことを目的としたため、サンプルホールドを用いず、セル8個を直列に接続した8ビット構成とした。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

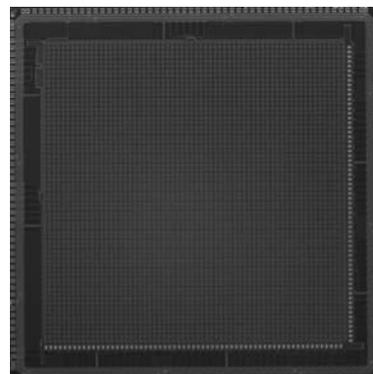


減算器分離型可変解像度アナログエッジフィルタ

東京大学大学院新領域創成科学研究科 藤田 和英, 柴田 直

概要: 本研究室では、連想プロセッサをベースとした実時間画像認識VLSIシステムの構築を目指し研究を進めている。このシステムでは画像特徴抽出の際に方向性エッジを用いるので、画像入力に用いるイメージセンサ自体にエッジ抽出機能を搭載することで、後続の処理を軽減することができる。さらに、エッジ抽出の段階で解像度を变化させて入力画像を取り込むことで入力画像の大きさの変化に対応するアルゴリズムが考案され、実装がなされた。しかし解像度を变化させるためのデータ転送や演算制御のためにピクセル間の配線が増加し、イメージセンサの重要な性能指標の1つである開口率が低くなってしまっていた。そこで、本チップでは、エッジ抽出演算アルゴリズムに着目し、加算回路のみをピクセルアレイ内に残し、減算回路を外側に設置するという減算器分離型アーキテクチャを実装し、開口率の向上を図った。その結果、開口率は従来のものに比べ約8倍と大幅に向上した。本チップはRO3505_10で試作したチップの拡大版で、63×63ピクセルの画像まで対応しており、1倍、1/2倍、1/4倍の3段階の解像度において、水平、垂直、+45度、-45度の4方向のエッジ抽出が行えるように設計した。

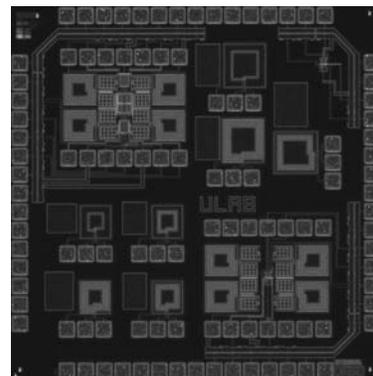
設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm角 **チップ種別:** イメージセンサ/スマートセンサ

**CMOS オペアンプの試作**

芝浦工業大学大学院工学研究科 海野 正典, 野口 司, 上田 和宏

概要: 本チップは、アナログ集積回路の設計を通じ、回路設計からレイアウト設計までの基礎技術の習得を目的として試作したものである。設計した回路は、A級増幅2段構成のCMOS オペアンプであり、基本構成である差動増幅回路とソース接地増幅回路から成る。オペアンプの特性は、回路シミュレーションにおいて、直流利得68dB、単位利得周波数10MHz、スルーレート5V/ μ s、位相余裕70°となった。位相補償のための容量については、回路内部に接続したレイアウトと外付けできるようなレイアウトの2種類の設計をした。また、レイアウトは、コモンセントロイドによるトランジスタ配置や、ダミーパターンの配置など回路の対称性を重視して設計した。

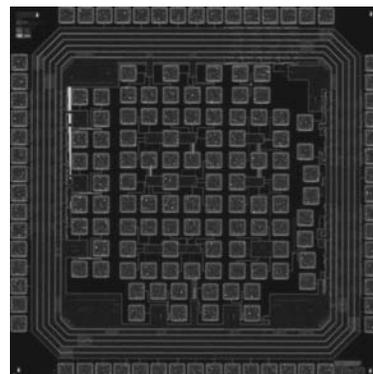
設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

**人工網膜チップにおける可変バイアス電圧生成回路**

東北大学大学院工学研究科 小林 貴史, 福島 誉史, 田中 徹, 小柳 光正

概要: 急激な高齢化の進行に伴い、失明に至る患者数が増加している。近年、死滅した視細胞の機能を代替し、残存する網膜細胞に電気刺激を与えることによって視覚を再生させる人工網膜の研究開発が世界中で精力的に行われている。人工網膜チップは、外部から入射する光信号を電気信号に変換した後、刺激電流パルスを生成し網膜細胞に刺激電流を供給する。しかし、最適な電流特性は患者ごとに異なり、病状の進行によっても変化する。従って、刺激電流パルスの幅、振幅、パルス間隔等のパラメータを患者の病状に応じて調整する必要がある。これまで我々は、人工網膜チップに加えるバイアス電圧を变化させることで刺激電流パルスの幅、振幅、パルス間隔を調整することに成功している。現在、眼外から無線によって眼内の人工網膜チップに供給するバイアス電圧を变化させるシステムを検討している。本試作チップは、無線によるデータの送信にASK変調方式を採用し、眼外から送信されるASK変調波からのバイアス電圧生成用データの再生、およびそのデータからの多種のバイアス電圧の生成機能を持つ。設計した回路は、従来に比べ非常に低消費電力、小面積である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



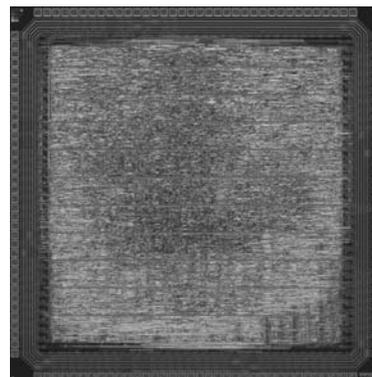
GF (2^m) 上の Digit-Serial 乗算器を用いた楕円曲線暗号 LSI の試作

早稲田大学理工学部 奈良 竜太, 小原 俊逸, 戸川 望, 柳澤 政生, 大附 辰夫
早稲田大学大学院情報生産システム研究科 清水 一範, 池永 剛, 後藤 敏

概要: GF (2^m) 上の楕円曲線暗号を処理する専用演算回路を設計した。楕円曲線暗号は公開鍵暗号システムの一つで、標準的に用いられている RSA 暗号よりも小さい鍵長で同等の安全性を有しているとされている。そのため組み込みシステムに適しており、用途に応じた構成に柔軟に対応するアーキテクチャが求められる。そこで本研究は MSB 乗算器を直列接続した MSD 乗算器 [1] を提案し、従来の Digit-serial 乗算器と同等の柔軟性を持ちつつ、レジスタ数を削減し暗号処理を高速化した。鍵長 163bit の GF (2^m) 上の楕円曲線暗号回路を実装し、その結果最大動作周波数 50MHz において、暗号処理を約 0.115ms で行うことを確認した。なお、本チップの動作検証と性能評価は今後行う予定である。

参考文献: [1] 奈良 竜太, 小原 俊逸, 清水 一範, 戸川 望, 池永 剛, 柳澤 政生, 後藤 敏, 大附 辰夫, "楕円曲線暗号向け GF (2^m) 上の Digit-Serial 乗算器の設計", VLSI 設計技術研究会, 電子情報通信学会, VLD2006-85~93, pp.25-30, January 2007

設計期間: 1 人月以上, 2 人月未満 設計ツール: Synopsys 社 VCS, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 μ m 4.9mm 角 チップ種別: 演算回路 (乗算器, 除算器など)

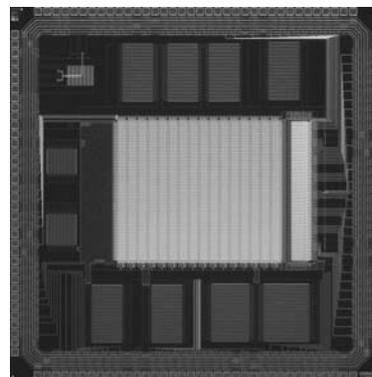


全並列型ユークリッド最小距離検索メモリ

広島大学ナノデバイス・システム研究センター アノワルル ムハマド・アベディン,
田中 裕己, 榊原 尚吾,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要: 画像認識や物体追跡において、予めメモリ内に記憶された複数の参照データの中から、入力データと最も類似したデータを出力する連想メモリは大変重要な要素である。この機能を実現するために、当研究グループでは、高速・低消費電力かつ小面積で実現可能なデジタル・アナログ混載全並列型連想メモリを提案している。本試作チップでは、距離指標をユークリッド距離とし、アナログ回路方式の二乗回路を用いることにより、小面積・高速動作を実現した。また、最小距離検索回路の主部分である WLA・WTA 回路を改善することにより、高速に動作させることを可能にした。

設計期間: 3 人月以上, 4 人月未満 設計ツール: Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.35 μ m 4.9mm 角 チップ種別: メモリ

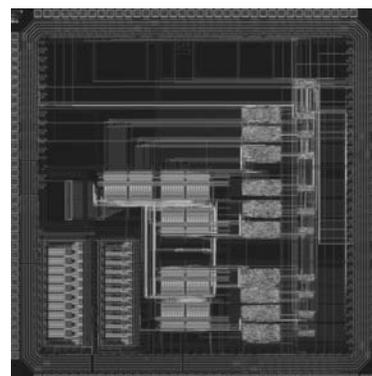


PET 用波形サンプリング型信号処理回路

東京大学工学系研究科 島添 健次, 高橋 浩之

概要: 本チップは PET (Positron Emission Tomography) を含む放射線検出器向けの専用処理回路。1 チャンネルに電荷信号を電圧に変換する電荷積分型的高速プリアンプ、各検出器からの信号のばらつきを吸収するためゲインが調節可能な VGA (Variable Gain Amplifier)、最大クロック周波数 100MHz/6bits で動作可能なフォールディング ADC を含む。1 チップ内に高速のアナログデジタルコンバータを搭載することで検出器からの波形信号をそのままサンプリングすることが可能となり、その後の FPGA や software による後段の信号処理を容易にする。本チップではこのプリアンプ~ADC までを 10Ch を搭載している。ゲインは外部より 2bits で調節する設定となっている。従来試作を行ってきた APD (Avalanche Photo Diode) 向けではなく PMT (PhotoMultiplier) 向けでありゲインを小さくしている。

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: ローム CMOS 0.35 μ m 4.9mm 角 チップ種別: アナデジ混載

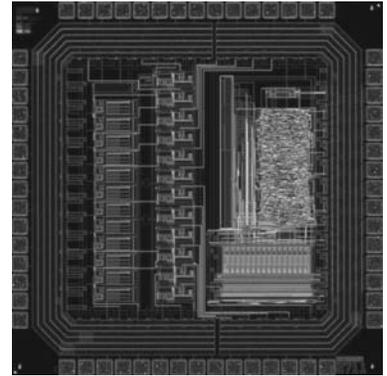


Preamp/Shaper 回路と ADC テスト回路

東京大学工学系研究科 島添 健次, 高橋 浩之

概要：本チップは MSGC (マイクロストリップガスカウンタ) などのガスカウンタや半導体検出器などの放射線検出器に必要な多チャンネルのパルス信号処理回路 (左半分) と本研究室で開発している波形サンプリング型の PET (Positron Emission Tomography) 用のパルス信号処理回路に搭載を目的としたフォールディング ADC のテスト, 性能評価用回路である。パルス信号処理回路の 1 チャンネルは gain-boosted cascode 型の電荷信号を電圧に変換する電荷積分型プリアンプと波形整形用のシェーピングアンプから構成されていてプリアンプの時定数, シェーピングタイムは外部より可変としている。本チップでは 12 チャンネルを集積した。右半分はフォールディング ADC のテスト用回路であり, 100MHz/7bits で動作するように設計をおこなった。フォールディング ADC を用いることでコンパレータの数を大幅に減らし, 低消費電力での動作を目的としている。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

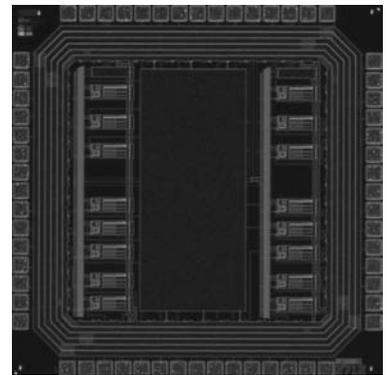


16ch 低雑音 CMOS プリアンプ

東京大学工学系研究科 島添 健次, 高橋 浩之

概要：本チップは MSGC (マイクロストリップガスカウンタ) や PET 用の検出器などの放射線検出器向けの低ノイズ多チャンネルプリアンプ信号処理回路の試作である。プリアンプはフォールデッドカスコード型の電荷積分型プリアンプを使用している。本チップをテストを行ない ENC (等価雑音電荷) で 800 電子ほどの性能がえられており, PET 用のプリアンプとしては十分な性能をもっていることが確認できた。本チップでは 16 チャンネルを集積した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



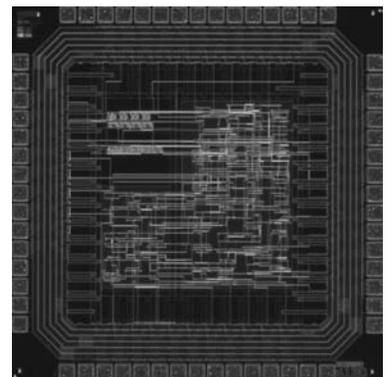
自主課題研究における 4 ビット加算器の試作

金沢大学工学部 楠本 崇人, 小池 佑治

金沢大学自然科学研究科 辻 崇行, 深山 正幸

概要：金沢大学工学部電気電子システム工学科 3 年生の必修科目である自主課題研究において集積回路設計の体験を目的として 4 ビット並列加算器および直列加算器をローム 0.35 μ m プロセスを用いて設計, 試作した。並列加算器のサイズは 275 μ m \times 95 μ m, シミュレーションにおける最大動作周波数は 630MHz, 500MHz で 4 ビット加算を行ったときの消費エネルギーは 82pJ となった。直列加算器のサイズは 480 μ m \times 47 μ m, シミュレーションにおける最大動作周波数は 1.2GHz, 500MHz で 4 ビット加算を行ったときの消費エネルギーは 118pJ となった。本試作を通して受講者は集積回路設計についての理解を深め, 設計完了時の達成感を味わうことができた。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.35 μ m 2.4mm 角 チップ種別：演算回路 (乗算器, 除算器など)

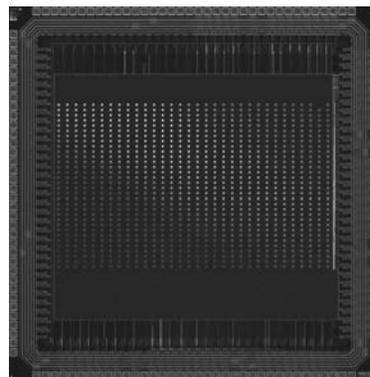


受光素子，光再構成回路評価チップ1

九州工業大学情報工学部 渡邊 実，小林 史典

概要：光による高速な再構成が可能で，かつダイナミック型の光再構成回路を有する，ダイナミック光再構成型ゲートアレイ（DORGA：Dynamic Optically Reconfigurable Gate Array）を開発している．この度は，このダイナミック光再構成型ゲートアレイの受光素子と光再構成回路部を評価するVLSIチップを試作した．ダイナミック型光再構成型ゲートアレイでは受光素子そのものを受光の目的だけでなく，ダイナミックメモリとしても使用することから，その受光部周辺回路の特性がデバイスの性能を大きく左右する．特に，光再構成速度とダイナミックメモリとしての保持時間の向上は最重要課題であるが，これら二つのパラメータは互いに相反するパラメータであり，その最適な値を決めることが難しい．本チップではそれら特性を変えた受光素子，受光回路を 32×32 の格子状に実装し，複数の特性を同時に評価できるチップとして出図した．

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上，1,000未満 試作ラン：ローム CMOS 0.35 μm 4.9mm角 チップ種別：その他

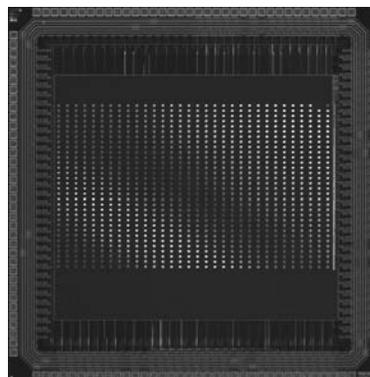


受光素子，光再構成回路評価チップ2

九州工業大学情報工学部 渡邊 実，小林 史典

概要：光による高速な再構成が可能で，かつダイナミック型の光再構成回路を有する，ダイナミック光再構成型ゲートアレイ（DORGA：Dynamic Optically Reconfigurable Gate Array）を開発している．この度は，このダイナミック光再構成型ゲートアレイの受光素子と光再構成回路部を評価するVLSIチップを試作した．ダイナミック型光再構成型ゲートアレイでは受光素子そのものを受光の目的だけでなく，ダイナミックメモリとしても使用することから，その受光部周辺回路の特性がデバイスの性能を大きく左右する．特に，光再構成速度とダイナミックメモリとしての保持時間の向上は最重要課題であるが，これら二つのパラメータは互いに相反するパラメータであり，その最適な値を決めることが難しい．本チップではそれら特性を変えた受光素子，受光回路を 32×32 の格子状に実装し，複数の特性を同時に評価できるチップとして出図した．評価チップ1とは異なる特性の実装である．

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上，1,000未満 試作ラン：ローム CMOS 0.35 μm 4.9mm角 チップ種別：その他



信号伝播波形測定のためのオンチッププローブ回路の試作（2）

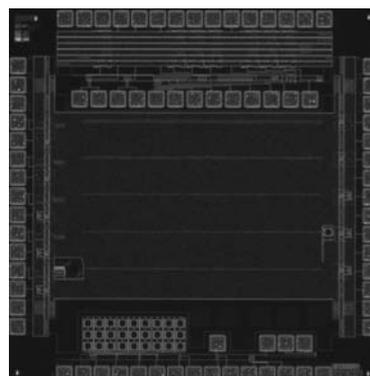
高知工科大学大学院工学研究科 川越 伸一

高知工科大学工学部 橋田 啓示，真田 克，橋 昌良

概要：チップ上にFETプローブ回路を組み込み，リングオシレータを信号源として，オシロスコープで信号伝播波形の配線長，配線の形状による変化を実測することを目的としたチップを試作した．このチップでは，配線長を約2mmから約6.5mmまで変え，また，インダクタやキャパシタを途中に挿入した配線を用いて，信号伝播波形の測定を試みた．このチップでは1回目の試作結果に基づき，プローブの小面積化，校正回路の追加を行っている．また，新しい試みとして，故障診断・解析のための検証回路のTEGパターンを追加した．

参考文献：川越，橋，” On Chip ProbeによるLSIの信号伝播波形の測定”，pp.37-41，電子法通信学会VLD研究会，VLD2006-78，(2006)

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100以上，1,000未満 試作ラン：ローム CMOS 0.35 μm 2.4mm角 チップ種別：TEG（特性評価回路など）



演算ユニット回路PE (Processing Element) の試作

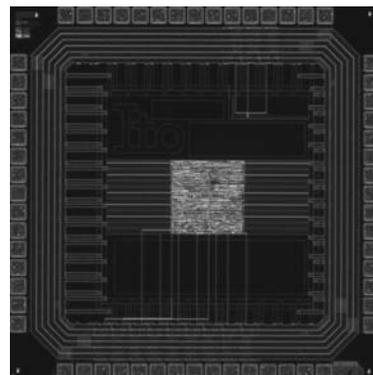
千葉大学工学部 阮双玉, 大島豊, 難波一輝, 伊藤秀男

千葉大学自然科学研究科 池田卓史

概要: 近年, システム LSI の開発期間の短縮が大きな課題となっており, 動的再構成可能デバイスが開発されている. 本試作では, 動的再構成可能デバイスの構造をより深く理解するため, NEC エレクトロニクス社の DRP (Dynamically Reconfigurable Processor) [1] を参考として, 動的再構成可能デバイスを構成する回路の一つである演算ユニット回路 PE (Processing Element) を作製した. 作製した PE は 8 ビットの入力 2 本, 8 ビット出力 1 本を持っている. 作製した PE 回路は算術演算ユニットである ALU と DMU (Data Manipulation Unit), 8 ビットのフリップフロップ, 8 ビット×16 (words) レジスタファイルから構成されている. ALU は加算, 減算, 論理演算などの基本演算に対応した演算器であり, DMU は, 多ビット論理シフト, 算術シフト, 巡回シフトのシフト動作に対応している演算器である. レジスタファイルは演算ユニット ALU と DMU の入力データとなる ALU もしくは DMU の演算結果を格納する.

参考文献: [1] 末吉, 天野 (編): “リコンフィギャラブルシステム”, オーム社 (2005).

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

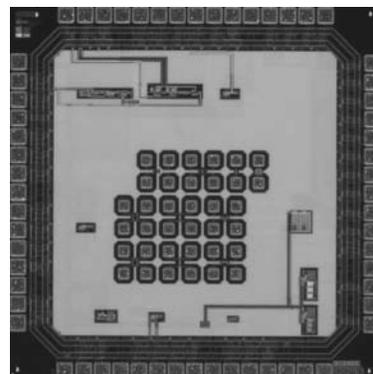


CMOS DC-DC コンバータ制御 LSI の開発

富山県立大学大学院工学研究科 宮崎崇裕, 松田敏弘, 岩田栄之

概要: DC-DC コンバータの小型・軽量化, 高効率化などを実現するためには, 安定制御が行え, 汎用性のある制御回路が必要となってくる. 今回の試作では制御回路のブロックのうち, 電圧モード制御方式用の発振回路, 誤差増幅器, 比較器, 基準電圧発生回路, ヒステリシス制御方式用の比較器, AND 回路を設計した. 誤差増幅器は安定動作を行うためにゲインを高く保つこと, 高周波のスイッチング周波数に対応させるため, 高速応答するように設計した. ヒステリシス制御用の比較器は外付けの抵抗を用いてヒステリシス特性を持たせる. これらの回路を用いて基本的な DC-DC コンバータの評価を行う予定である.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



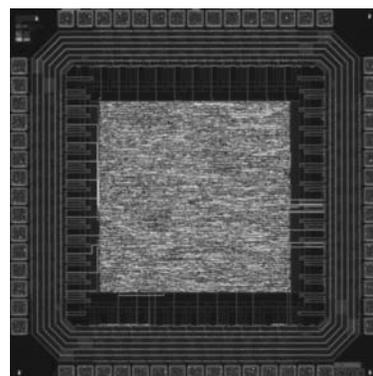
パイプラインステージ統合のスルーット制御機構

名古屋大学大学院工学研究科 間所峻洋, 小林良太郎, 島田俊夫

概要: プロセッサの消費電力削減手法として, 本研究室ではパイプラインステージ統合 (PSU) と呼ぶ手法を提案している. さらに, PSU を用いて, OS から与えられた目標性能 (スルーット) を達成しつつ消費電力を削減するために, 動的にパイプラインステージ数を変更し, スルーットを制御するための機構を 2 種類提案した [1]. そこで, スルーット制御機構の回路規模を評価するために, 本試作では, 提案したスルーット制御機構の設計を行った. なお, 試作したチップには, 2 種類のスルーット制御機構の両方を搭載した. Cadence DRACULA を用いて設計した回路のトランジスタ数を評価した結果, 2 種類のスルーット制御機構は汎用プロセッサに対して十分小さい規模で実現できることがわかった.

参考文献: [1] 間所峻洋, 小林良太郎, 島田俊夫, "パイプラインステージ統合のオンチップ制御機構," 情報処理学会研究報告 2007-ARC-172, pp.37-42 (2007).

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Milkyway, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

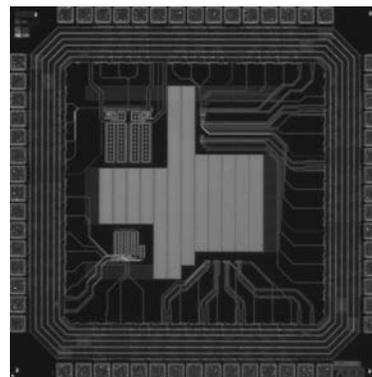


長期保持可能なアナログ記憶回路の設計

山形大学工学部電気電子工学科 山田 卓, 高橋 良輔, 原田 知親, 奥山 澄雄,
松下 浩一

概要：音声や画像等の外界の情報はアナログ値で表現されるため、アナログ値を扱えるセンサが必要となる。センサから得られたアナログ値をフィルタリング等の処理を行なう場合、値を一時的に保持する必要がある。特に標準 CMOS で実現するにはコンデンサを用いたアナログ記憶回路が必要となるが、コンデンサの容量が非常に小さいため保持時間が短く、データがすぐ消えてしまう。そこで、本試作では、長期保持が可能なコンデンサ型アナログ記憶回路を試作し、評価を行なった。この回路では、低容量のコンデンサを搭載しつつ、コンデンサの電荷保持時間が1秒まで可能な回路構造になっている。また、書き込み/消去用パルスを与えることでそのパルスの回数に比例した形でアナログ値を記憶することが可能である。その分解能はデジタル換算で8bitとなった。回路面積は、198.3 μm x 208.35 μm である。今後は、得られたデータから回路設計を見直し、さらなる性能向上を目指す。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.35 μm 2.4mm角 チップ種別：メモリ

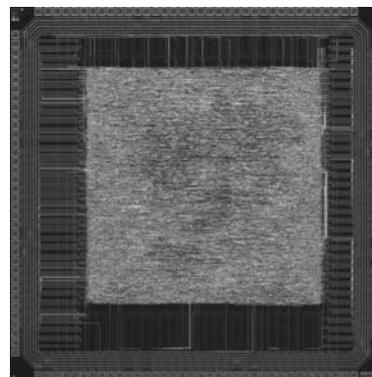


セキュアプロセッサ SEP-6Rの設計

岩手県立大学地域連携研究センター組込み技術研究所 曾我 正和
岩手県立大学大学院ソフトウェア情報学研究科 高橋 大介

概要：非接触 IC カードへの搭載し、高速、安全な署名計算を行うことを目的としたセキュアプロセッサ SEP-6を開発した。SEP-6は過去に本研究室で開発された SEP-4, SEP-5を発展させる形で開発しており、高速な暗号計算機能と秘密鍵保護機能、汎用計算機能を有し、非接触 IC カードとして動作できる低消費電力を実現している。本試作は、SEP-6の耐タンパ性検証の一環として署名計算時の漏洩電磁波の検証を行うことを目的としている。そのため、過去に試作を行っている SEP-5では試作時にプロセッサ内部に組込んでいたため、後から書き換えることが不可能だった秘密鍵格納用の ROM を外部に切り離れた SEP-6Rを設計した。秘密鍵格納部を外部に分離することで、署名計算に様々なパターンの秘密鍵を使用することができる。これにより、より詳細な漏洩電磁波の鍵パターン依存性の検証を行えることが期待される。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.35 μm 4.9mm角 チップ種別：マイクロプロセッサ

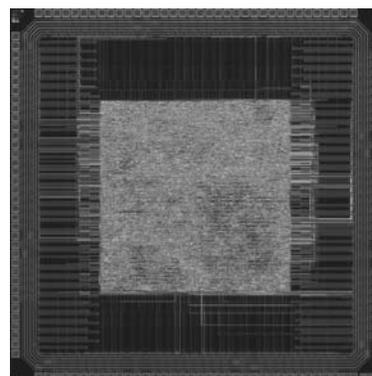


LSI故障診断装置評価用 TEG (3-1)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化、大規模化、多ピン化、フリップチップ実装等により困難となったLSIの故障診断を行うため、種々の故障診断装置が提案・開発されている。本チップは、これらのLSI故障診断装置を評価することを目的として設計したチップの一つである。ITC'99ベンチマーク回路b17回路を、論理合成ツールにより回路合成し、自動配置配線ツールによりレイアウト合成した。電氣的接続を必要としない故障診断装置を対象としているが、現実のLSIに近い状態での故障診断性能を評価する為、電源配線と全ての主入力・主出力信号線を外部端子と接続している。LSI故障診断装置評価用TEG(3-1)~(3-5)がセットになっていて、本チップ(3-1)は、故障を作りこんでいない比較参照用正常回路である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.35 μm 4.9mm角 チップ種別：TEG(特性評価回路など)

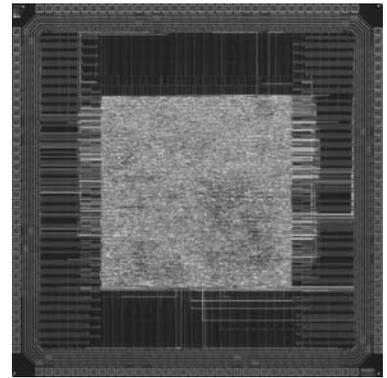


LSI 故障診断装置評価用 TEG (3-2)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化，大規模化，多ピン化，フリップチップ実装等により困難となったLSIの故障診断を行うため，種々の故障診断装置が提案・開発されている．本チップは，これらのLSI 故障診断装置を評価することを目的として設計したチップの一つである．ITC' 99 ベンチマーク回路 b17 回路を，論理合成ツールにより回路合成し，自動配置配線ツールによりレイアウト合成した．電氣的接続を必要としない故障診断装置を対象としているが，現実のLSIに近い状態での故障診断性能を評価する為，電源配線と全ての主入力・主出力信号線を外部端子と接続している．LSI 故障診断装置評価用 TEG (3-1) ~ (3-5) がセットになっていて，本チップ (3-2) は，(3-1) の回路に1箇所の故障を作り込んだものである．広範囲に信号を分配する巨大ネット上に故障がある場合を評価する為，クロック配線の断線を作り込んでいる．

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

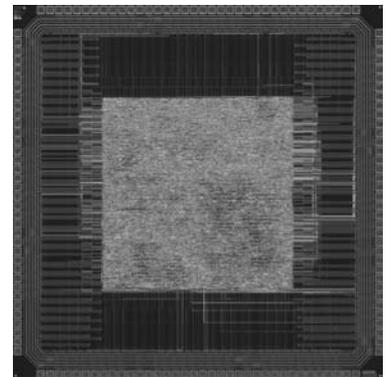


LSI 故障診断装置評価用 TEG (3-3)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化，大規模化，多ピン化，フリップチップ実装等により困難となったLSIの故障診断を行うため，種々の故障診断装置が提案・開発されている．本チップは，これらのLSI 故障診断装置を評価することを目的として設計したチップの一つである．ITC' 99 ベンチマーク回路 b17 回路を，論理合成ツールにより回路合成し，自動配置配線ツールによりレイアウト合成した．電氣的接続を必要としない故障診断装置を対象としているが，現実のLSIに近い状態での故障診断性能を評価する為，電源配線と全ての主入力・主出力信号線を外部端子と接続している．LSI 故障診断装置評価用 TEG (3-1) ~ (3-5) がセットになっていて，本チップ (3-3) は，(3-1) の回路に1箇所の故障を作り込んだものである．広範囲に信号を分配する巨大ネット上に故障がある場合を評価する為，クロック配線と他の配線との短絡を作り込んでいる．

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

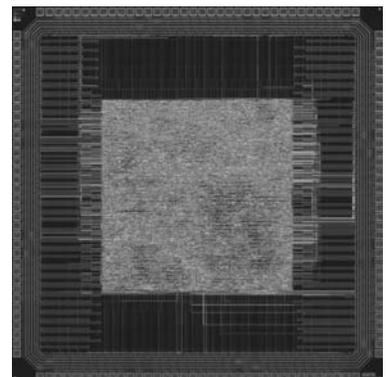


LSI 故障診断装置評価用 TEG (3-4)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化，大規模化，多ピン化，フリップチップ実装等により困難となったLSIの故障診断を行うため，種々の故障診断装置が提案・開発されている．本チップは，これらのLSI 故障診断装置を評価することを目的として設計したチップの一つである．ITC' 99 ベンチマーク回路 b17 回路を，論理合成ツールにより回路合成し，自動配置配線ツールによりレイアウト合成した．電氣的接続を必要としない故障診断装置を対象としているが，現実のLSIに近い状態での故障診断性能を評価する為，電源配線と全ての主入力・主出力信号線を外部端子と接続している．LSI 故障診断装置評価用 TEG (3-1) ~ (3-5) がセットになっていて，本チップ (3-4) は，(3-1) の回路に1箇所の故障を作り込んだものである．各配線毎に，LSI テスタによるテストでの故障検出のし易さを示す指標を計算し，故障検出が困難な配線に対して，縮退故障を作り込んでいる．

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

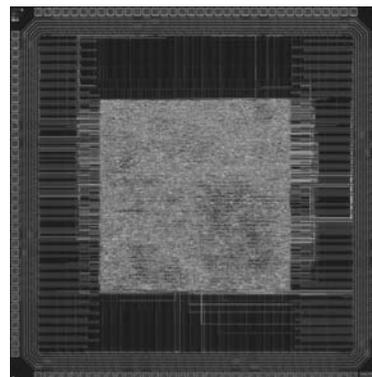


LSI 故障診断装置評価用 TEG (3-5)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化，大規模化，多ピン化，フリップチップ実装等により困難となったLSIの故障診断を行うため，種々の故障診断装置が提案・開発されている．本チップは，これらのLSI 故障診断装置を評価することを目的として設計したチップの一つである．ITC' 99 ベンチマーク回路 b17 回路を，論理合成ツールにより回路合成し，自動配置配線ツールによりレイアウト合成した．電気的接続を必要としない故障診断装置を対象としているが，現実のLSIに近い状態での故障診断性能を評価する為，電源配線と全ての主入力・主出力信号線を外部端子と接続している．LSI 故障診断装置評価用 TEG (3-1) ~ (3-5) がセットになっていて，本チップ (3-5) は，(3-1) の回路に1箇所故障を作り込んだものである．電源配線を多層メッシュ形状で構成しており，正常回路では全ての交点で層間ビアにより接続されているのに対し，1箇所のビアを削除した．

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

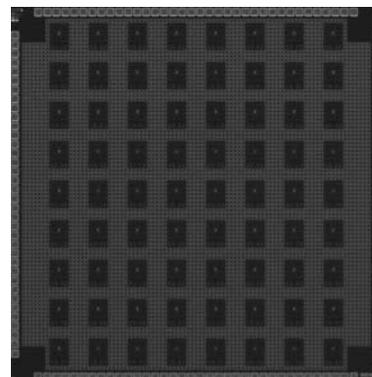


LSI 故障診断装置評価用 TEG (4)

大阪大学大学院情報科学研究科 三浦 克介, 中前 幸治

概要：微細化，大規模化，多ピン化，フリップチップ実装等により困難となったLSIの故障診断を行うため，種々の故障診断装置が提案・開発されている．本チップは，これらのLSI 故障診断装置を評価することを目的として設計したチップの一つである．レーザ励起電流を非接触で計測する診断装置の特性評価用に設計したものであり，数個のMOS FET トランジスタ，配線，パッドからなる TEG 72 個が配置されている．各 TEG は，ほぼ同じ構造をしているが，それぞれ異なる位置に，1~数箇所の断線を作りこんでいる．電気的接続を必要としない故障診断装置を対象としており，全ての TEG は外部端子とは接続されていない．レイアウトは，レイアウトエディタを用いて全て手作業で設計した．

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula DRC トランジスタ数：100 以上，1,000 未満 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：TEG (特性評価回路など)

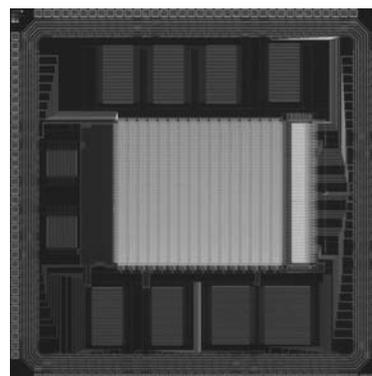


全並列型ユークリッド距離を用いた複数データ検索連想メモリ

広島大学ナノデバイス・システム研究センター アノワルル ムハマド・アベティン,
田中 裕己, 榎原 尚吾,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要：画像認識や物体追跡の応用において，予めメモリ内に記憶された複数の参照データの中から，入力データと最も類似したデータを出力する連想メモリは非常に有用である．この機能を実現するために，当研究グループでは，高速・低消費電力かつ小面積で実現可能なデジタル・アナログ混載全並列型連想メモリを提案している．本試作チップでは，最小距離参照データだけでなく，K 番目に類似した参照データの検索を行うことが可能であり，マクロ面積は5.12平方mmとなった．本チップは現在測定による評価中である．

設計期間：5 人月以上，6 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibrexRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.35 μ m 4.9mm 角 チップ種別：メモリ



高周波回路用回路素子のモデリング

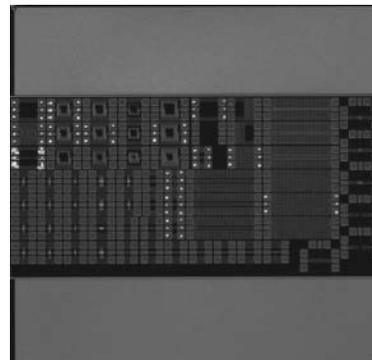
東京大学新領域創成科学研究科 藤島 実, 石橋 浩二, 小林 直樹,
バダラワ ワサタマラー

東京大学工学系研究科 本良 瑞樹

概要：高周波無線通信システムの実現に向けて、回路を設計する上で必要となる回路素子のモデリングを行うため、伝送線路、MIMキャパシタ、インダクタ、MOSFETのTEGについて試作を行った。その結果、伝送線路については、波長短縮効果を用いた伝送線路の、周波数が40GHzまでデザインパラメータがスケラブルなモデルを作成した。MIMキャパシタについては、容量が104fFのキャパシタの40GHzまでのモデルを作成した。インダクタについては、スパイラルインダクタの10GHzまでデザインパラメータがスケラブルなモデルを作成した。MOSFETについては、20GHzまでデザインパラメータがスケラブルなモデルを作成した。また、それらのモデルからレイアウトに用いることができるGDSファイルまたはPCELLファイルを作成し、さらに回路シミュレーションソフト（ADS）用ファイルを作成した。

参考文献：Ivan C. H. Lai, and Minoru Fujishima, "A New On-Chip Substrate-Coupled Inductor Model," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 11, pp. 2491-2499, NOVEMBER 2006.

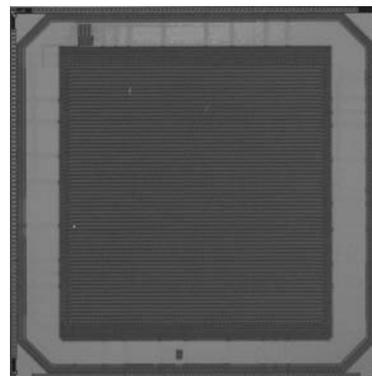
設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：TEG（特性評価回路など）

**Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture**

東京大学大学院新領域創成科学研究科 伊藤 潔人, 柴田 直

概要：本試作では、時間領域でデジタル演算を行うロジック回路を用い、コンパクトながら多機能な演算回路とフォトダイオードを集積したスマートビジョンプロセッサを開発した。本チップは、昨年度試作したテストチップを基本に、新たにインバータ回路を利用して正負の符号を取り扱う論理を開発し、前回の試作に比べ演算効率、開口率および回路のコンパクトさなどを大幅に向上させた。演算機能として、焦点平面上でのいかなる線形フィルタ演算でも実現できる構造であることを特徴とする。5.0mm角のチップ上に64×64のピクセルユニットを実装し、電源電圧1.8V、最大動作周波数100MHzを想定し設計を行った。なお、今回テストランであることを踏まえ、フォトダイオードとその周辺回路構造を変更した2種類のチップの試作を行った。

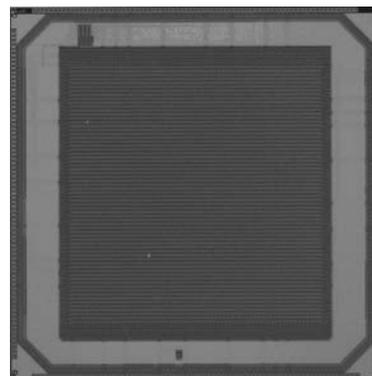
設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：イメージセンサ/スマートセンサ

**Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture**

東京大学大学院新領域創成科学研究科 伊藤 潔人, 柴田 直

概要：本試作では、時間領域でデジタル演算を行うロジック回路を用い、コンパクトながら多機能な演算回路とフォトダイオードを集積したスマートビジョンプロセッサを開発した。本チップは、昨年度試作したテストチップを基本に、新たにインバータ回路を利用して正負の符号を取り扱う論理を開発し、前回の試作に比べ演算効率、開口率および回路のコンパクトさなどを大幅に向上させた。演算機能として、焦点平面上でのいかなる線形フィルタ演算でも実現できる構造であることを特徴とする。5.0mm角のチップ上に64×64のピクセルユニットを実装し、電源電圧1.8V、最大動作周波数100MHzを想定し設計を行った。なお、今回テストランであることを踏まえ、フォトダイオードとその周辺回路構造を変更した2種類のチップの試作を行った。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：イメージセンサ/スマートセンサ

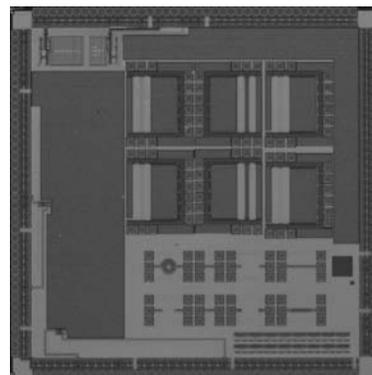


アナログ回路評価 TEG

広島大学大学院先端物質科学研究科 外谷 昭洋, 升井 義博, 向井 徹,
Hossain Quazi, 岩田 穆

概要：本チップでは低消費電力・無線通信回路のためのバラクタ・インダクタの特性評価 TEG, 高ダイナミックレンジを実現する CMOS イメージセンサ, 低電圧で動作する低雑音増幅回路等を集積した。テクノロジーの微細化にともない, CMOS デバイスの無線通信システムへの応用が盛んに行なわれている。バラクタ, インダクタの正確な特性を知ることには無線通信回路を実現するために必要不可欠であり, 最初の一步と言える。バラクタはアキュミュレーション型, インバージョン型の両構成を集積し, 各構成の比較を行なう。高ダイナミックレンジ CMOS センサは光量を浮動小数点で表現し 100dB を越えるダイナミックレンジを実現する。低雑音増幅回路は電源電圧 1V 以下での動作を可能とする。微細 CMOS において電源電圧の低下は信号振幅の劣化につながり高精度アナログ回路の実現を困難にする。本回路では雑音を低減することで高精度な増幅を可能としている。いずれの回路も現在評価中である。

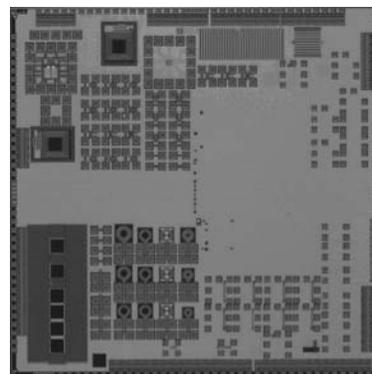
設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：TEG (特性評価回路など)



● 金沢大学工学部 集積回路工学研究室 高田 雅史, 高木 宏章, 中野 伸吾, 早瀬 佳,
村上 知倫, 牧野 良成, 秋田 純一, 北川 章夫

概要：このチップは ROHM 社 0.18 μ m プロセス・テストランに参加したものである。今後当研究室の主力となりうるプロセスに位置づけられるため, 各種テスト回路や特性計測用の TEG を中心に設計を行った。代表的な回路は以下のとおりである。相変化不揮発性メモリ, 相変化不揮発性 SRAM, mixer, LNA, ADC, L・C・R・Tr・バラクタ TEG, I/O スタンダードセルテスト回路等である。以上の各回路においてパラメータを変えながら作成した。設計後には, 評価用の基板を起こし測定を試みたが, パッケージ中複数ピンにおいて原因不明の短絡が起こり, 現在原因究明中である。試行錯誤の上, LNA 等一部回路においては部分的ながらも測定を行い, 動作を確認した。ただし, 寄生分が予測より大きく所望の利得を得るには至らなかった。

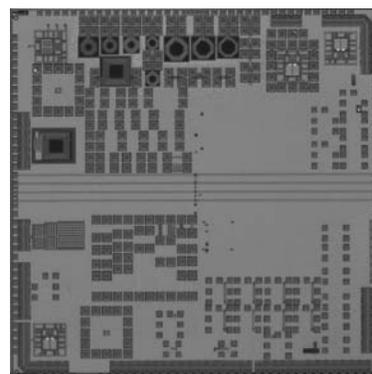
設計期間：6 人月以上, 7 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：TEG (特性評価回路など)



● 金沢大学工学部 集積回路工学研究室 高田 雅史, 高木 宏章, 中野 伸吾, 早瀬 佳,
村上 知倫, 牧野 良成, 秋田 純一, 北川 章夫

概要：このチップは ROHM 社 0.18 μ m プロセス・テストランに参加したものである。今後当研究室の主力となりうるプロセスに位置づけられるため, 各種テスト回路や特性計測用の TEG を中心に設計を行った。代表的な回路は以下のとおりである。相変化不揮発性メモリ, 相変化不揮発性 SRAM, mixer, LNA, ADC, L・C・R・Tr・バラクタ TEG, I/O スタンダードセルテスト回路等である。以上の各回路においてパラメータを変えながら作成した。設計後には, 評価用の基板を起こし測定を試みたが, パッケージ中複数ピンにおいて原因不明の短絡が起こり, 現在原因究明中である。試行錯誤の上, LNA 等一部回路においては部分的ながらも測定を行い, 動作を確認した。ただし, 寄生分が予測より大きく所望の利得を得るには至らなかった。

設計期間：6 人月以上, 7 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：TEG (特性評価回路など)

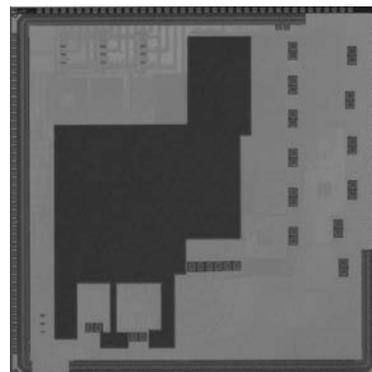


イメージセンサ TEG

奈良先端科学技術大学院大学物質創成科学研究科 野村 啓二, 安達 雄大,
香川 景一郎, 布下 正宏, 太田 淳

概要:異なるプロセス間でのフォトダイオード・CMOS イメージセンサ画素の基本特性を比較するために、以下の仕様に基づいた TEG チップを設計した。フォトダイオードの受光感度 (A/W) の波長依存性の測定には、200 μm 角の開口と接合領域をもつ PN 接合を用いた。CMOS イメージセンサの基本画素として 3-Tr 方式アクティブピクセルセンサを用い、フォトダイオードの接合面積を 10 μm 角とした。画素の中心間距離は 20 μm とし、フォトダイオード間距離を 10 μm とした。迷光を避けるために、フォトダイオード周囲に、千鳥格子状に VIA を配置して遮光した。5 画素を一行に配置し、1 画素のみを開口し、残りの画素を遮光した。これにより、受光感度 (V/lx-s) と拡散キャリアによる画素間クロストーク特性の波長依存性が測定できる。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μm 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

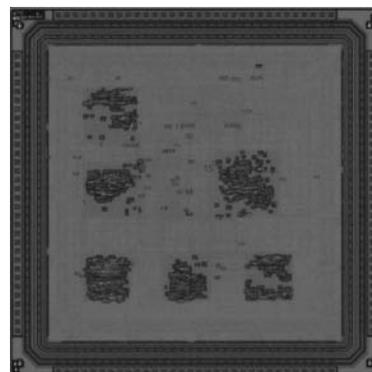


Karatsuba アルゴリズムに基づく小面積乗算器

名古屋大学大学院情報科学研究科 川島 裕崇, 高木 一義, 高木 直史

概要:近年の集積回路製造技術の進歩により、配線に使用できるメタル層が増加している。メタル層数の増加により、セルの上を通過する配線が増加し、配線のための面積が小さくなるため、より小さい回路面積で回路を構成することができる。そこで、我々はより素子数を重視した設計を行うことにより、小面積な演算回路を構成できると考えた。素子数が少なくなるアルゴリズムとして Karatsuba アルゴリズムに着目し、Karatsuba アルゴリズムに基づく乗算器 (Karatsuba 乗算器) を設計した。n ビットの Karatsuba 乗算器は、約 n/2 ビット乗算器 3 個と加算器で構成する事ができ、素子数の削減が可能である。設計した Karatsuba 乗算器では、回路面積の 98% 以上が乗算器を構成するセルに占められており、ほとんどの配線がセルの上を通過できている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



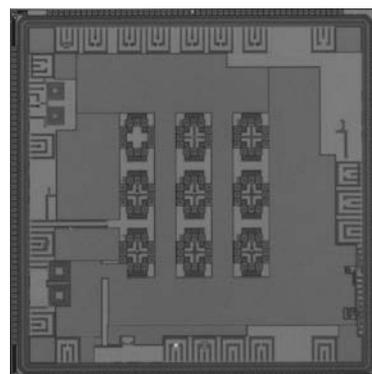
高周波基板結合検出回路と電流モード通信回路

神戸大学工学部情報知能工学科 小坂 大輔, 檀上 匠, 荻野 哲宏, 永田 真

概要:これまでに、ミキサ回路による周波数変換を用いたオンチップ高周波基板雑音検出手法を考案し、0.35 μm CMOS プロセスで設計・評価を行ってきた。今回、検出周波数帯域の向上を図るため、0.18 μm CMOS プロセスで設計し、1-2GHz 程度までの広帯域化に成功した。一方、携帯機器を対象とした LSI チップ間電流モードデータ通信インタフェース回路の開発に着手し、500Mbps 以上、1.6mW 以下を性能目標とした。電流モード信号を差動で伝送することにより、高いノイズ耐性と低消費電力なインタフェースの実現できる。

参考文献: D. Kosaka, M. Fujiwara, T. Danjo, M. Nagata, "On-Die Monitoring of Substrate Coupling for Mixed-Signal Circuit Isolation," 2006 International Conference on Solid-State Devices and Materials (SSDM), C-1-6, pp. 62-63, 2006.09.

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μm 5.0mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



平成18年度第1回ローム CMOS 0.18 μ m試作 (R018061)

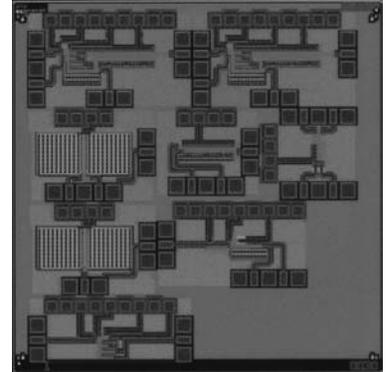
脳波計測無線通信システム

東京大学新領域創成科学研究科 藤島 実

東京大学工学系研究科 高野 恭弥

概要：Brain-Computer Interface用脳波計測無線通信システム実現に向けて、送信機、受信機、及びその要素回路のTEGについて試作を行った。脳波は周波数が数十Hz、振幅は頭皮上で数 μ Vから数十 μ Vである。送信機では、電極で計測した脳波をアンプで増幅した後、パルス間隔変調を行い、20MHz帯を用いて送信している。パルス間隔変調を行うことによって低消費電力化を図った。また、パルスにWalsh符号IDを付加することにより、CDMAによって複数の送信機の同時送信を可能にしている。今回は2bitのWalsh符号IDの先頭に識別ビットを1bit付加してManchester符号化し、6bitの符号を送信している。よって2ch同時送信が可能である。Manchester符号化をするのはDC付近の周波数成分を減らす為である。受信機はLimiting Amplifierを1bitADCとして用い、信号処理はコンピュータで行うことを想定している。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



動的リコンフィギャラブルプロセッサのプロセッシングエレメントの試作

慶應義塾大学理工学部情報工学科

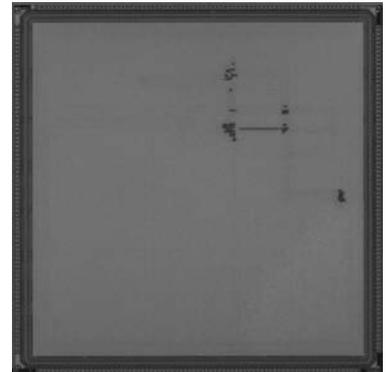
天野 英晴, 長谷川 揚平, 堤 聡, 中村 拓郎,

西村 隆, 佐野 徹, 加東 勝, 斎藤 正太郎

概要：動的リコンフィギャラブルプロセッサは、多数の演算器やメモリを二次元アレイ状に配置した構造をもつ。また、内部のメモリに回路構成情報を複数保持し、これを高速に切り替えることが可能な動的再構成機能を備えている。Multi-Core Configurable Reconfigurable Architecture (MuCCRA) プロジェクトは、実際にチップを開発して動的リコンフィギャラブルプロセッサの詳細なアーキテクチャ解析を行うものである。本試作では、そのプロトタイプであるMuCCRA-1の基本構成要素であるプロセッシングエレメント (PE) を実装した。実装したPEは24bit ALU, シフタ, レジスタファイルを装備し、外部から構成情報を転送することで命令を変更することが可能である。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Cadence社 Encounter, Cadence社 Virtuoso, Mentor社 Calibre

チップ種別：マイクロプロセッサ



トランジスタ数：1,000以上、10,000未満

電力見積もりツールとコード配置最適化ツールの評価を目的としたSH3-DSPチップの試作

九州大学システムLSI研究センター

石原 亨, 室山 真徳

九州大学大学院システム情報科学府

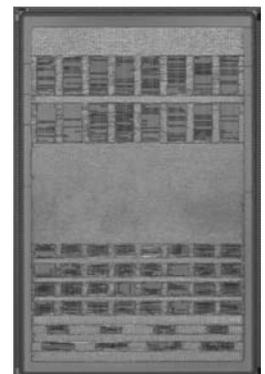
山口 誠一郎

概要：VDEC経由で提供されたルネサステクノロジー社のSH3-DSPを試作した。16KBのスクラッチパッドメモリと16KBのキャッシュメモリを搭載する。キャッシュメモリは4ウェイセットアソシアティブで、命令とデータを兼ねる (ユニファイドキャッシュ)。回路やアーキテクチャの工夫は特に行っていない。文献 [1] で提案している命令セットシミュレータを用いた電力見積もりモデルの評価を行うためにスタンダードセルおよびSRAMの一部には自作したセルを使用した。セルのタイミングおよび電力特性はCadence社のSignalStormで抽出した。

参考文献： [1] D. Lee, T. Ishihara, M. Muroyama, H. Yasuura and F. Fallah,

“An Energy Characterization Framework for Software-Based Embedded Systems”, ESTIMedia2006, Vol. 1, pp. 59-64, Oct. 2006.

設計期間：3人月以上、4人月未満 設計ツール：Synopsys社 DesignCompiler, Cadence社 SignalStorm, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 5.0mmx7.5mmチップ チップ種別：マイクロプロセッサ



コンパクトかつ多入力ソーティング回路 TEG およびエッジフィルタ TEG

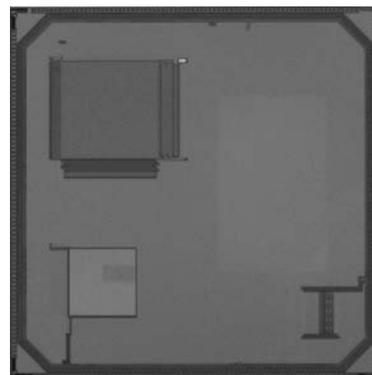
東京大学大学院新領域創成科学研究科 ゲンタンリム, 藤田 和英, 柴田 直

東京大学工学部 福岡 雄大

東京大学大学院工学系研究科 高山 伸一

概要：時間領域演算 (Time-Domain Technique) は時間軸方向に展開していくことで、アナログ信号処理のボトルネックである低電源電圧における低 SN 比等を克服できる他、デジタル信号処理ではコストの高い様々な演算をコンパクトな回路で実現できる。その評価を行うため本設計においてソーティング回路 TEG を搭載した。本ソーティング回路は従来のデザインに比べ遙かにコンパクトになった他、多入力にも対応できるため、オンチップ埋め込み用や汎用ソーティング処理に応用可能である。また、画像特徴抽出において大部分のコストを占めるエッジフィルタリングを如何に高速実現できるかが直接抽出効率につながる。本試作において、エッジフィルタリングの中でもっともコストの高い斜め方向のエッジフィルタリングを従来より容易に実現可能なエッジフィルタ TEG を開発した。なお、パッケージ品が未納のため、測定はまだ行われていない。

設計期間：3 人以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：TEG (特性評価回路など)



低消費電力電流演算型メディアン値探索回路

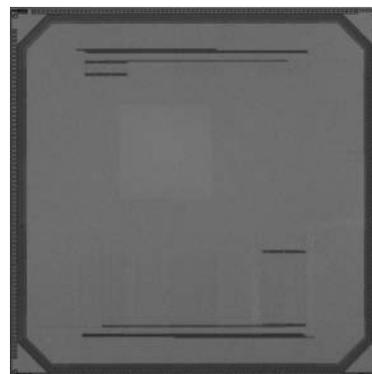
東京大学大学院工学系研究科 山崎 英男

東京大学大学院新領域創成科学研究科 柴田 直

概要：メディアンフィルタは、画像のスパイクノイズ除去等に用いられており、画像処理の分野では非常に重要な処理の一つである。しかし、メディアン値探索の演算コストが高いため、ソフトウェアで実装すると遅延時間が大きい。また、デジタル回路で実装すると回路規模が大きくなってしまふ。そのため、Mixed-Signal の回路で小規模かつ高速なメディアンフィルタが開発されてきた [1]。この回路はバイナリサーチのアルゴリズムを採用し、その中で必要となる多数決の機能を Mixed-Signal の回路で構成している。この回路には精度と消費電力という二つの問題点が存在する。そこで、我々の研究室では改良版として高精度のメディアンフィルタを開発してきた。本設計では、同様の演算方式による低消費電力化を目的とし、問題となる定常電流をカットする新たな回路方式を開発した。メディアン値探索回路の性能比較を行うため、TEG として回路構成や規模の異なるメディアンフィルタを 6 種類設計した。なお、パッケージ品が未納のため、測定はまだ行われていない。

参考文献：[1] B. L. Lee and C.-W. Jen, "Bit-sliced median filter design based on majority gate," IEE Proc. G Circuits Devices Syst., vol. 139, pp. 63-71, Feb. 1992.

設計期間：0.5 人以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



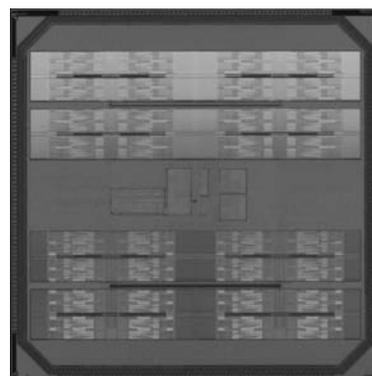
初期シードベクトル自動生成汎用 K-MEANS プロセッサ

東京大学大学院新領域創成科学研究科 鹿野 博嗣, 藤田 和英, 柴田 直

概要：ベクトル空間の密度を保存したまま、ベクトルの数を減らすことのできる汎用性の高い K-MEANS アルゴリズムは、ロバストにデータ圧縮できる反面、実時間で処理を行うには計算コストが非常に高く、使用条件がオフラインに限られていた。そのため前回の 2006 年 1 月設計日立 018um では、この実時間処理要求に応えるために本研究室で開発された連想プロセッサのアーキテクチャをベースとし、K-MEANS プロセッサの計算時間の短縮とハードウェア量の削減を実現したアーキテクチャを持つ K-MEANS プロセッサを考案、実装し動作も確認した。今回の設計ではより良い最終結果を与える K-MEANS 計算を実現するために、初期シード同士の距離を最大化することで自動生成させるアルゴリズムを、WTA を前回の K-MEANS プロセッサに加えることで実現した。本プロセッサは 256 ベクトルを 64 並列 SIMD によって 16 グループに分類することができる。

参考文献：[1] Anantha Chandrakasan, William J. Bowhill, Frank Fox, "DESIGN OF HIGH-PERFORMANCE MICRO-PROCESSOR CIRCUITS"

設計期間：3 人以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



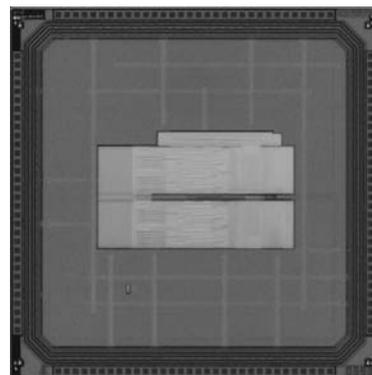
初期シードベクトル自動生成汎用K-MEANSプロセッサ TEG

東京大学大学院新領域創成科学研究科 鹿野 博嗣, 藤田 和英, 柴田 直
東京大学大学院工学系研究科 馬 奕涛

概要：ベクトル空間の密度を保存したまま、ベクトルの数を減らすことのできる汎用性の高いK_MEANSアルゴリズムは、ロバストにデータ圧縮できる反面、実時間で処理を行うには計算コストが非常に高く、使用条件がオフラインに限られていた。そのため前回の2006年1月設計日立018umでは、この実時間処理要求に応えるために本研究室で開発された連想プロセッサのアーキテクチャをベースに、K_MEANSプロセッサの計算時間の短縮とハードウェア量の削減を実現したアーキテクチャを持つK_MEANSプロセッサを考案、実装し動作も確認した。今回の設計ではより良い最終結果を与えるK-MEANS計算を実現するために、初期値同士の距離を最大化することで自動生成させるアルゴリズムを、WTAを前回のK-MEANSプロセッサに加えることで実現した。本プロセッサはTEG回路として16ベクトルを4並列SIMDによって最大16グループに分類するCORE回路が搭載されている。

参考文献：[1] Anantha Chandrakasan, William J. Bowhill, Frank Fox, "DESIGN OF HIGH-PERFORMANCE MICRO-PROCESSOR CIRCUITS"

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

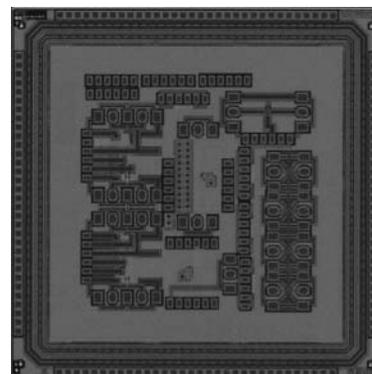


設計環境構築用 TEG ならびに RF 回路

京都大学工学部 五嶋 宏通, 山岡 雅史
京都大学大学院情報学研究所 濱田 隆行, 久保木 猛, 土谷 亮, 小林 和淑,
小野寺 秀俊

概要：本プロセスのライブラリならびに設計環境の開発のために、数種類のライブラリセルを作成し、それらを用いて、リングオシレータ、全加算器、シフトレジスタなどの回路を実装した。パッケージ品が未納品のため、テストによる動作検証はまだ行なっていない。また、RFアナログ回路試作用に要素回路のTEGを試作した。試作したTEGはDC特性評価用トランジスタTEG、高周波特性測定用トランジスタTEG、出力バッファ、信号伝送用CMLドライバ、リング型VCOを用いたPLLである。測定は全てオンウェハで行なう。トランジスタTEGはトランジスタの基本的なDC・AC特性を評価するTEGである。また、コンタクトパッドを介して信号をチップ外に出力するためのバッファについてもDC・ACともに測定できるTEGを設計した。信号伝送用CMLドライバはCMLの差動アンプであり、本プロセスでどの程度の信号伝送が行なえるかを評価する。VCO、PLLについても、本プロセスでの性能を確認するために、基本的な構成で実装した。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

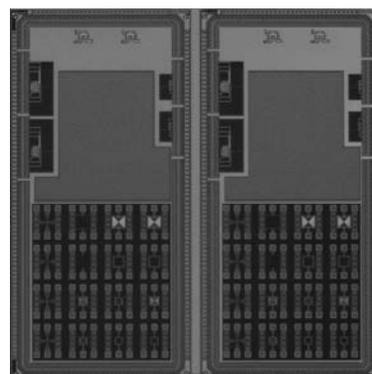


CMOS 準ミリ波帯フロントエンドの研究

広島大学先端物質科学研究科 向井 徹, 佐々木 守, 岩田 穆

概要：近年のテクノロジー微細化にともなってCMOS動作速度は向上し、より高い周波数帯のRF回路への応用が期待されている。本研究では準ミリ波帯を利用する近距離データ通信のフロントエンド回路の設計・試作を行った。本チップにはアンテナを発振器とする放射型発振回路およびOOK (On/Off Keying) 受信器およびそのTEGのほか、インダクタTEGを集積した。放射型発振器はチップ外部より入力される送信デジタルデータにより発振/非発振が切り替えられアンテナから電磁波を放射する。これによりOOK変調によるデータ送信を行う。データ受信時には発振器をクエンチ信号で制御し、超再生方式による検波を行い、後段の回路で受信データを復調する。回路構成が単純であるため小面積・低電力な無線システムの実現が期待できる。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ チップ種別：通信 (RF回路, ATMなど)



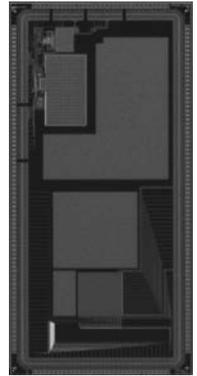
神経信号センシング回路 TEG

広島大学先端物質科学研究科 吉田 毅, 浴 良仁, 有田 真一, 岩田 穆

概要：生体活動と神経活動の関係を正確に把握するため、生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている。本研究では小脳の神経信号を検出し、検出信号を無線で送信する神経信号センシング LSI のアナログフロントエンド TEG および無線送信回路 TEG の設計・試作を行った。設計した神経信号センシング LSI のアナログフロントエンドは、オートゼロ方式低雑音増幅回路によって構成されている。また無線送信回路 TEG は変調回路とパワーアンプで構成されている。シミュレーション結果より、低雑音増幅回路は商用電源等の雑音を 20dB 以上低減し、数十 μ V 振幅の神経信号を検出できる。また無線送信回路は、キャリア周波数 100MHz, BPSK 変調で 520kbps のデータ伝送を実現する。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社

Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



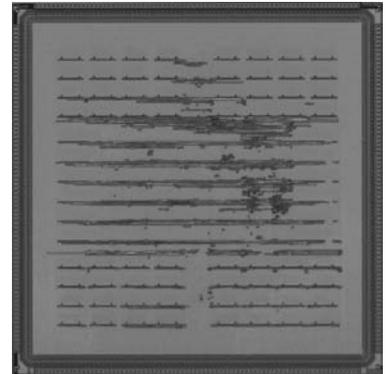
リコンフィギュラブルメモリ LSI

東北大学大学院工学研究科 天野 大二郎, 杉村 武昭, 小西 雄太, 福島 誉史,
田中 徹, 小柳 光正

概要：ロボットビジョンのような視覚情報処理においてはビデオレートを大幅に超える実時間高速画像処理システムが必要とされる。しかし、このような画像処理システムにおいて、演算対象の画素だけではなく、その近傍の画像データを用いるフィルタリングのような処理を実行する場合、分割画像間の境界部分のデータのロード・ストアが複雑になっている。そこで、メモリ構成を動的に再構成することによって、分割画像間の境界を自由に移動することが可能なメモリシステムの設計を行った。提案するメモリシステムを用いることで対象画素の演算の際に近傍のメモリにアクセスする必要がなくなり、実行サイクル数が減少して、従来よりも高速に画像処理が可能である。設計を行ったチップは三次元積層構造を有するリコンフィギュラブルメモリの二次元での回路動作検証を行うものである。

参考文献：小室孝, “高速対象追跡ビジョンチップ”, 電気情報通信学会論文誌, Vol. J84-D-II, No. 1 (2001) pp. 75-82

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



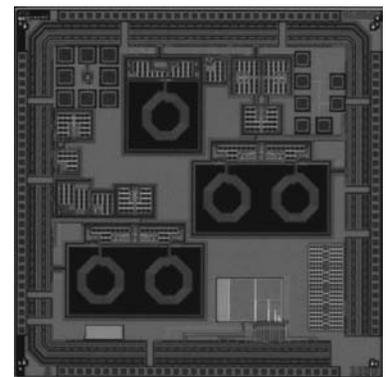
空間多重通信方式に用いる BPSK 送信機の試作

金沢大学工学部 集積回路工学研究室 早瀬 佳, 中野 伸吾, 秋田 純一, 北川 章夫

概要：空間多重通信方式に用いる BPSK 送信機の試作を行った。設計回路は PA, VCO から構成される。PA は線形性重視の A 級増幅器, VCO はクロスカップル構造を持つ PMOS 構成とした。BPSK の送信信号の切り替えは, VCO の差動出力を切り替えることによって実現し, その BPSK 切り替えスイッチ単体も搭載し, スイッチングと周波数特性を測定できるようにした。今回は完全動作を目的とし, PA の利得や, VCO の発振周波数等に余裕を持たせチップ外から調節できるようにし, VCO 回路単体とバラクタ TEG も載っている。また, 送信機とは別に DAC と電源回路も載せてある。評価はチップ到着次第行う予定である。

設計期間：6 人月以上, 7 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC トランジスタ数：100 以上,

1,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)

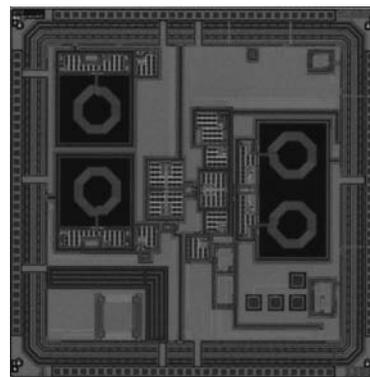


空間多重通信方式に用いる BPSK 送信機の試作

金沢大学工学部 集積回路工学研究室 藤枝 茂, 牧野 良成, 早瀬 佳, 秋田 純一,
北川 章夫

概要：空間多重通信方式に用いる BPSK 送信機の試作を行った。設計回路は PA, VCO, PLL, $\Delta\Sigma$ モジュレータから構成される。PA は線形性重視の A 級増幅器, VCO はクロスカップル構造を持つ PMOS 構成, PLL はチャージポンプを用いた電流出力型, $\Delta\Sigma$ モジュレータは 3 次 MASH 型とした。PSK の送信信号の切り替えは, VCO の差動出力を切り替えることによって実現し, $\Delta\Sigma$ モジュレータで PLL の分周器の分周数を変えることにより FSK にも対応可能である。今回は完全動作を目的とし, PA の利得や, VCO の発振周波数等に余裕を持たせチップ外から調節できるようにし, PA と PLL の回路単体も載っている。評価はチップ到着次第行う予定である。

設計期間：6 人月以上, 7 人月未満 設計ツール：Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



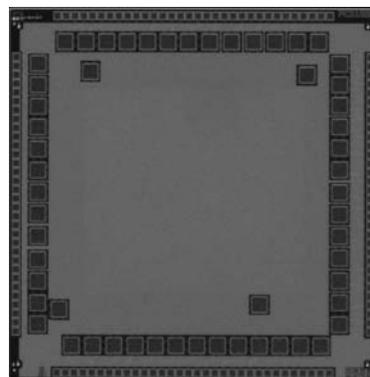
低温デバイスモデル作製用 MOSFET の試作

横浜国立大学工学部 吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは 4.2K での動作を仮定しており, メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため, 不揮発, 非破壊のメモリ動作が可能である。また, 高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。本チップでは, SFQ / CMOS ハイブリッドメモリシステムのための要素回路の試作を行った。本メモリシステムは 4.2K での動作を仮定しており, メモリーセルには 3 トランジスタ DRAM セルを採用している。このメモリーセル, ならびにアドレス・データを選択するためのデコーダ, またプロセスの性能を評価するために MOS デバイス, 接合容量, 各種抵抗 (Metal, Poly シリコン, 拡散層 N \cdot P), リングオシレータの設計を行った。

参考文献：[1] Y.J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003) .

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ

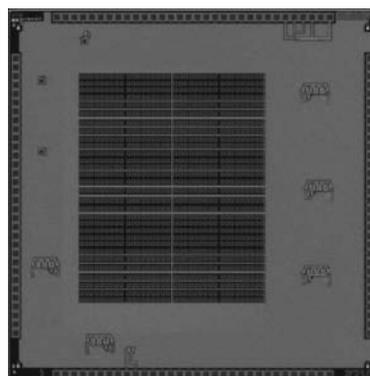


ROHM018 テスト回路 (プリアンプ, VGA)

東京大学工学系研究科 島添 健次, 藤原 健, 石 伯軒, 高橋 浩之

概要：本チップは ROHM 社 0.18 μ m プロセスにおける初めての試作チップであり, 数種類のプリアンプ回路, オペアンプ回路, VGA (Variable Gain Amplifier) 回路, キャパシタ, NMOS/PMOS などの性能, 特性評価用の回路を搭載している。本研究室では PET (Positron Emission Tomography) を含めた放射線検出器向けの信号処理用専用集積回路の開発をおこなっており, プリアンプに関してはこの用途向けの数種類の電荷積分型プリアンプの試作を行った。具体的にはカスコード型のプリアンプ, フォールデッドカスコード型のプリアンプ, ゲインブーステッドカスコード型のプリアンプ, またこの他に 1 段差動増幅型のオペアンプ回路の試作を行った。また VGA (Variable Gain Amplifier) 及びこれらの回路内で使用しているキャパシタ, トランジスタの性能評価回路を載せている。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



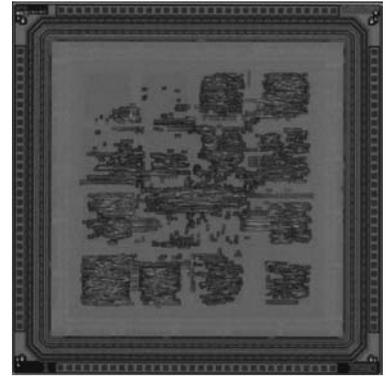
Karatsuba アルゴリズムに基づく小面積乗算器の設計

名古屋大学大学院情報科学研究科 川島 裕崇, 高木 一義, 高木 直史

概要: 近年の集積回路製造技術の進歩により, 配線に使用できるメタル層が増加している。メタル層数の増加により, セルの上を通過する配線が増加し, 配線のための面積が小さくなるため, より小さい回路面積で回路を構成することができる。そこで, 我々はより素子数を重視した設計を行うことにより, 小面積な演算回路を構成できると考えた。素子数が少なくなるアルゴリズムとして Karatsuba アルゴリズムに着目し, Karatsuba アルゴリズムに基づく乗算器 (Karatsuba 乗算器) を設計した。n ビットの Karatsuba 乗算器は, 約 $n/2$ ビット乗算器 3 個と加算器で構成する事ができ, 素子数の削減が可能である。今回試作した Karatsuba 乗算器では, Karatsuba アルゴリズムの計算の順序を変更し, さらに素子数を削減している。Karatsuba 乗算器の回路面積は配列型乗算器や Wallace 木を用いた乗算器と比較して小さくなった。

参考文献: 川島裕崇, 高木直史, 高木一義, "Karatsuba 乗算器の設計と評価", 電子情報通信学会 2006 ソサエティ大会 講演論文集 A-3-8

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



MIPS 命令互換一般同期評価用プロセッサ

東京工業大学大学院理工学研究科 原田 陽介, 小平 行秀, 富岡 洋一,
バクチアル アフェンディ, 高橋 洋介, 橋本 浩良,
高橋 篤司

概要: 一般同期設計手法の有効性を確認するため, 32bitRISC マイクロプロセッサを制作した。プロセッサは四段パイプライン構成, 32bit 汎用レジスタを 32 本内蔵している。命令セットは R2000/R3000 互換で, 浮動小数点命令以外のユーザーモード命令を実行できる。一般同期式設計および従来の完全同期式設計によって得られた二つのプロセッサコアを当試作チップに実装した。加えて, どちらのコアを使用するか選択するセレクタ, バスユニット, 内蔵メモリも実装した。一般同期式コアは, 完全同期式コアのクロックツリーの構造を変えずにバッファを三個挿入することによって得た。各プロセッサコアの動作速度を比較し, 一般同期式コアの高速性を確認する予定である。

参考文献: 原田陽介, 橋本浩良, 小平行秀, 高橋篤司, CAD ツールを用いた一般同期向けクロック木の合一手法, 電子情報通信学会技術報告書 (VLD2006-127), Vol. 106, No. 548, pp. 49-53, 2007

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



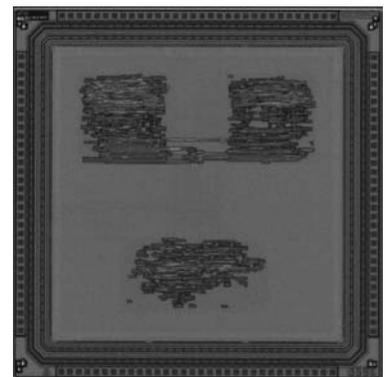
MIPS 命令互換ユースフルスキュー評価用プロセッサ

東京工業大学大学院理工学研究科 小平 行秀, 富岡 洋一, 原田 陽介,
バクチアル アフェンディ, 高橋 洋介, 橋本 浩良,
高橋 篤司

概要: 一般同期設計手法の有効性を確認するため, 32bitRISC マイクロプロセッサを制作した。プロセッサは四段パイプライン構成, 32bit 汎用レジスタを 32 本内蔵している。命令セットは R2000/R3000 互換で, 浮動小数点命令以外のユーザーモード命令を実行できる。一般同期式設計および従来の完全同期式設計によって得られた二つのプロセッサコアを当試作チップに実装した。加えて, どちらのコアを使用するか選択するセレクタ, バスユニット, 内蔵メモリも実装した。一般同期コアは, CAD ツールのユースフルスキュークロック木合成機能によって得た。一般同期コアおよび完全同期式コアの動作速度を比較し, 性能を比較する予定である。

参考文献: 原田陽介, 橋本浩良, 小平行秀, 高橋篤司, CAD ツールを用いた一般同期向けクロック木の合一手法, 電子情報通信学会技術報告書 (VLD2006-127), Vol. 106, No. 548, pp. 49-53, 2007

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ

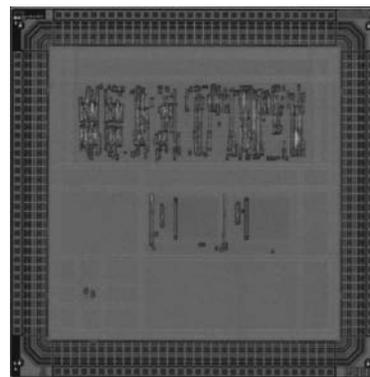


低電源電圧に対応した低消費電力回路設計技術の評価チップ

神戸大学大学院自然科学研究科 飯島 正章, 北村 雅之, 鳥居 洋介
神戸大学工学部 沼 昌宏

概要：試作したチップは、近年のLSIが直面している消費電力の増加問題を解決するため、3種類の省電力回路設計技術：(i) SRAMメモリ回路におけるワード線のパルス型昇圧方式、(ii) 電荷再利用型動的ボディ・バイアス制御による高速化手法、(iii) パワーゲーティング回路を対象とする低消費電力化手法、を実装している。(i)は、ワード線ドライバ回路に追加したキャパシタによるカップリングを利用してワード線電位をアクセスする期間のみ昇圧する方式で、(ii)、(iii)は、基板バイアス制御を用いた動的なしきい値電圧調整による低消費電力化手法である。現在、これらの提案する設計方式は、電源電圧1.0V以下での低電源電圧動作を想定しており、回路シミュレーションにより従来方式に比べて高速動作のみならず低消費電力での動作を可能とする結果を得ている。これを実際の半導体チップを試作し、実測により優位性を証明できれば、本研究の完成度がさらに高まると考える。試作したLSIチップの内容は、6トランジスタ型のSRAMメモリ回路および、評価用ランダムロジック回路である。

設計期間：7か月以上、8か月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreXRC トランジスタ数：10,000以上、100,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



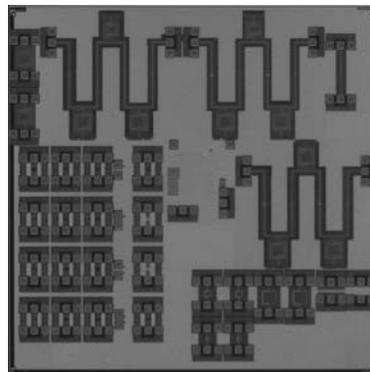
CMOS オンチップ左手系伝送線路

東京工業大学統合研究院 金 章九, 清田 淳紀, 山内 拓弥, 岡田 健一, 益 一哉

概要：本チップでは、CMOSプロセスのみにより左手系伝送線路を実現するためのテスト回路である。左手系伝送線路は、負の誘電率と負の透磁率をもつ線路である。そもそも、誘電率および透磁率は、材料に電界や磁界をかけた時にどの程度の電束密度・磁束密度が発生するかというものであり、通常正の値をとる。本TEGは、インダクタやキャパシタがある一定の法則に従い周期的に配置することにより、左手系伝送線路を実現するものである。ネットワークアナライザを用いてオンウエハプロービングにより測定を行う予定である。

参考文献：金, 岡田, 山内, 佐藤, 益, "A Left Handed Material on Si CMOS Chip with Wafer Level Package Process", pp. 1321-1324, APMC (2006) .

設計期間：1か月以上、2か月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：TEG (特性評価回路など)



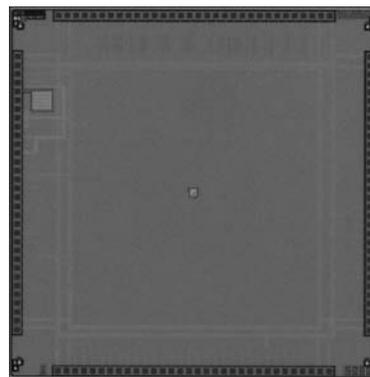
ミックスドシグナルLSIのための基本素子TEGの設計

高知工科大学工学部 北地 祐子, 矢野 政顕, 橋 昌良

高知工科大学大学院工学研究科 桑田 聡子, 川越 伸一

概要：0.18 μ mでのチップ試作を始めるにあたって、ミックスドシグナル回路で使用されるデジタル/アナログ回路のための基本素子/基本回路の評価を行うためのTEGを作成した。作成したアナログ基本素子は、高ボリ抵抗 (10K Ω)、MiMキャパシタ、PNPダイオード (1.8V動作)、1.8V動作トランジスタの静特性測定回路 (L/W比をかえて6パターン)、3.3V動作トランジスタの静特性測定回路 (L/W比をかえて6パターン)、Deep N-wellを使用した1.8V動作トランジスタの静特性測定回路 (L/W比をかえて6パターン)であり、デジタル回路としては101段 (約150Mhzで発振することを想定)のリングオシレータを、L/W比、N/P比、次段に接続する配線の長さ、ファンアウト数を変えたものをあわせて12パターン作成した。

設計期間：2か月以上、3か月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上、10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



低電圧ログドメインフィルタと各種 TEG

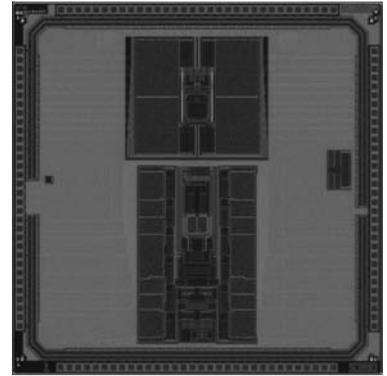
豊橋技術科学大学大学院工学研究科 秋田 一平

豊橋技術科学大学工学部 和田 和千

概要：既提案の低電圧フィルタ [1] の動作を確認するとともに、超低電圧ならびに低消費電力でのアナログ信号処理を実証するために、二つのフィルタを試作している。一つ目は、0.5V で動作する5次リーブフログ構成の低域通過フィルタである。現実的な特性評価は納品を待っての実測に依らねばならないが、シミュレーションによって遮断周波数100kHzでの動作を確認している。ログドメイン手法による広ダイナミックレンジと、電圧制御発振回路を含む周波数調整機構による高精度周波数特性とともに、先端的な低電圧の動作可能電源電圧の実現が期待される。二つ目の試作フィルタは、電源電圧に余裕があるときに低消費電力化する技術の検証を目的としている。ここでは原理の確認を目的とし、1.2V、10uW未満で動作する遮断周波数100kHzの2次振幅最大平坦（バターワース）低域通過フィルタを設計した。また、本テクノロジーによる初試作であったことから、今後のアナログ回路設計のためのTEGとして抵抗や容量、トランジスタ単体のほか、自作のアナログ入出力バッファを本チップに入れている。

参考文献：”Low-Voltage CMOS Syllabic-Companding Log domain Filter,” Ippei Akita, Kazuyuki Wada, and Yoshiaki Tadokoro, Proc. 2006 IEEE International Symposium on Circuits and Systems, May 2006.

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数：**100以上、1,000未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

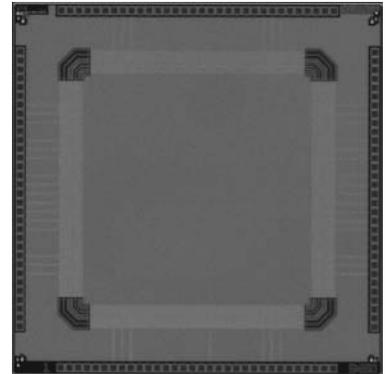


0.18 μ m CMOS 試作のための基本回路 TEG

大阪大学大学院工学研究科 下ノ村 和弘, 八木 哲也

概要：本試作の目的は、ROHM 0.18 μ m CMOS プロセスを用いた試作を初めて行うに当たり、チップ設計において最低限必要な基本的なセルやトランジスタ回路を作成及び評価することである。今回は電源リング、電源パッド、入出力パッド等を作成した。また、本プロセスにおける MOS デバイスや基本回路の設計及び特性を評価するために、1) NMOS トランジスタ及び PMOS トランジスタ単体、2) ソースフォロア回路、3) インバータ回路等の基本的な回路を作成した。今回の試作では非常に少数の種類の基本セルのみを作成したが、これらの評価結果を踏まえた上で必要となる基本的なセルを作成していくことが今後の課題である。なお、テストによる測定は行っていない。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE **トランジスタ数：**10以上、100未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)



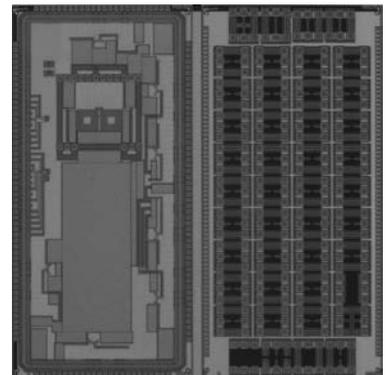
高周波基板結合検出回路

神戸大学工学部情報知能工学科 檀上 匠, 荻野 哲宏, 小坂 大輔, 永田 真

概要：これまでに、ミキサ回路の周波数変換機能を利用した、1GHz程度のオンチップ高周波基板雑音検出回路を開発した。本チップでは、本検出回路の基板雑音検出性能の評価を目的としている。p基板上に形成したp+プロービング領域の基板雑音を検出する。チップ上に数箇所の検出点を設けることにより、基板雑音の距離依存性を確認する。また、回路構成及びレイアウトの工夫により、多点化に対しても有効にピン数と面積の削減を可能としている。現在、パッケージにアセンブリしたチップの納品後直ちに評価できるように、評価系の構築を進めている。

参考文献：D. Kosaka, M. Fujiwara, T. Danjo, M. Nagata, "On-Die Monitoring of Substrate Coupling for Mixed-Signal Circuit Isolation," 2006 International Conference on Solid-State Devices and Materials (SSDM), C-1-6, pp. 62-63, 2006.09.

設計期間：2人月以上、3人月未満 **設計ツール：**Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数：**100以上、1,000未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別：**TEG (特性評価回路など)

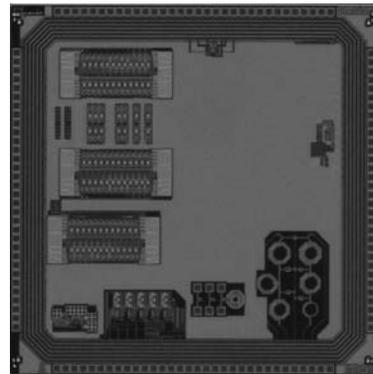


Zigbee (2.4GHz) の受信ブロックの試作と TEG

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムス レディアン

概要：Zigbee (2.4GHz) の受信ブロックとして、PLL (位相同期回路)、フィルタ、AGC (自動利得制御回路)、ADCを構成し、TEGとしてOTAとインダクタの試作を行った。本試作では2.4GHzの搬送波の信号をLow-IF方式でIF (中間周波数) に変換する。フィルタはイメージ除去のために複素フィルタで構成され、帯域幅が2MHzの低域通過フィルタである。ADCは6bit、サンプリング周波数が20MHzのパイプライン型ADCで構成している。また、ADCは入力電圧範囲に厳しい制限があるため、AGCを用いてADCの入力振幅を適切に制御している。PLLは周波数変換するための周波数シンセサイザとして使用され、整数分周器、位相/周波数比較器、チャージポンプ回路、ループフィルタ、電圧制御発振回路で構成されている。TEGとして構成したインダクタはこの周波数帯におけるQ値、自己共振周波数およびインダクタンスを測定するために試作している。また、OTAも同様にトランスコンダクタンスの線形性、周波数特性を測定するために試作している。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

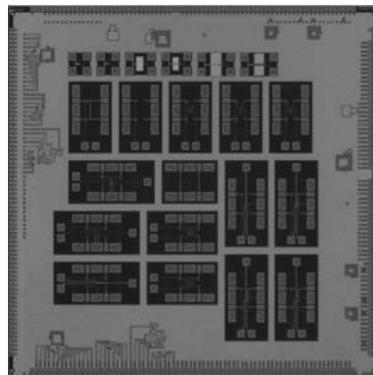


通信用回路 TEG

東京工業大学大学院理工学研究科 倉科 隆, 鄭明奎, 白戴和, 張義偉, 松澤 昭

概要：無線通信システムフロントエンド部にはデバイス特性を利用したRF回路が用いられる。RFデバイスの特性を適切に利用することで、求められる周波数においてRF回路から最適な特性を得る。そのためシミュレーションだけでなくTEGを作成し実測から回路の特性を評価しなくてはならない。そこでLNA, Mixer, VCO, Divider, Power Amp, Comparator, Sample/Holdを作成した。LNAはインダクティブデジェネレーション型、Mixerはギルバートミキサ、VCOはLCタンクを用いたCMOS差動型、Dividerはダイナミックロジックを用いたラッチ構成、PAはマルチステージを作成し、その動作確認を行う。さらにベースバンドにおいてもプロセスの特性が大きく影響するComparatorとSample/Holdは動作確認等を行う必要がある。これらのTEGにより無線通信システムのフロントエンド部の要素回路の特性を確認できる。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：通信 (RF回路, ATMなど)

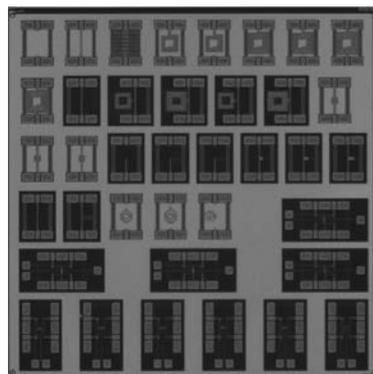


パッシブ素子及びトランジスタ特性評価 TEG

東京工業大学大学院理工学研究科 倉科 隆, 鄭明奎, 白戴和, 張義偉, 松澤 昭

概要：RF回路やアナログ回路にとって、デバイス特性を如何に評価し利用するかが回路の性能を左右する。特に初めてのプロセスや、提供されていない特性を用いる回路設計を行う場合、TEGを作成し実測する必要がある。そこで本TEGでは基本的なRFデバイスとトランジスタの特性を確認する。内容としてはPAD損失、ESD保護ダイオードの寄生要素抽出、インダクタのインダクタンス値Q値、バラクタのC-V特性、トランジスタの mismatchesの概略を測定するものである。このように新規性は含まれてはいないが、提供されていない特性、または基本的な特性を実際のデータとして得るために必要なTEGを揃えた。これによりそのプロセスにおいて今後設計される回路やシステムの性能見積り等の参考値とする。RFデバイスはダミーフィルの混入により、その特性を大きく変えてしまうため、ダミーフィルの排除は重要である。またシステムを構築する上で、提供されていない素子を抽出し、回路図と比較するときには、更なる工夫が必要である。これにより、おおよそのRFデバイスの特徴は得ることができた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：TEG (特性評価回路など)



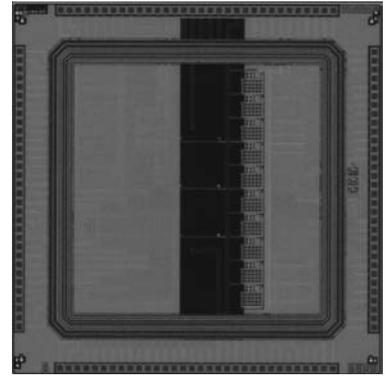
对基板用アクティブデカップリング回路の試作

慶應義塾大学理工学部 中野 誠彦, 樋口 大輔, 佐藤 大祐, 森本 一毅

概要：本試作設計はアナログ回路設計のノウハウを習得と、基板ノイズ対策用のオペアンプを用いたアクティブデカップリング回路の設計を目的としている。アクティブデカップリング回路は基板ノイズをオペアンプの入力にとり、逆相信号を容量を介してフィードバックさせることで、オペアンプの入出力端子間にミラー効果を引き起こし実効容量を増幅する。増幅された容量によるキャパシタンスデカップリングによって基板ノイズの低減効果が得られると考えられる。センシング回路とノイズ源の間の基板に回路を挿入し、ノイズの低減効果を検証する構成となっている。ノイズ源としてバッファツリーを出力に接続したVCO及びリングオシレータを使用し、センシング回路にはソースフォロアやオペアンプを使用している。

参考文献：Toshiro Tsukada, Member, IEEE, Yasuyuki Hashimoto, Member, IEEE, Kohji Sakata, Hiroyuki Okada, Member, IEEE, Member, IEEE, Yasuyuki Hashimoto, Member, IEEE, Kohji Sakata, Hiroyuki Okada, Member, IEEE, "An On-Chip Active Decoupling Circuit to Suppress Crosstalk in Deep-Submicron CMOS Mixed-Signal SoCs", pp.67-79, SOLID-STATE CIRCUITS, VOL. 40, NO. 1, JANUARY 2005

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



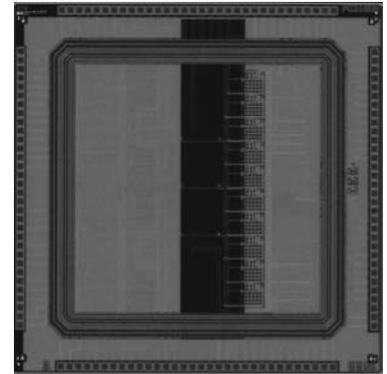
对電源線用アクティブデカップリング回路の試作

慶應義塾大学理工学部 中野 誠彦, 樋口 大輔, 佐藤 大祐, 森本 一毅

概要：本試作設計は電源線用のアクティブデカップリング回路の設計を行った。对基板ノイズ用の同回路を用いたものの応用として設計した。電源線からアクティブデカップリング回路の入力を取り、出力を入力端子に容量を介して帰還させることでミラー効果を引き起こし電源線に対する実効容量を増幅させる。メカニズムは对基板用と同様であるが、基板ノイズ源となる電源線のノイズを抑えることで、对基板ノイズ用の回路よりも大きな基板ノイズ削減が期待できると考えられる。センシング回路やノイズ源は对基板用回路の試作チップとほぼ同様の構成にしているため、对基板用回路と比較を行うことができる。

参考文献：Toshiro Tsukada, Member, IEEE, Yasuyuki Hashimoto, Member, IEEE, Kohji Sakata, Hiroyuki Okada, Member, IEEE, Member, IEEE, Yasuyuki Hashimoto, Member, IEEE, Kohji Sakata, Hiroyuki Okada, Member, IEEE, "An On-Chip Active Decoupling Circuit to Suppress Crosstalk in Deep-Submicron CMOS Mixed-Signal SoCs", pp.67-79, SOLID-STATE CIRCUITS, VOL. 40, NO. 1, JANUARY 2005

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

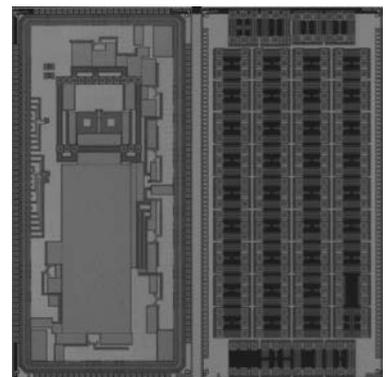


基板情報抽出用 TEG の試作

慶應義塾大学理工学部 中野 誠彦, 豊丸 弘爾

概要：本試作設計はレイアウトツールを利用した特性評価パターン作成のノウハウの取得と、基板情報抽出を目的としたTEGの作成を目的としている。基板情報に関してはウェルの影響を見るためにそれぞれ、ダブルウェル、トリプルウェルを挿入したレイアウトパターンを試作した。これらのコンタクト間Sパラメータを測定することにより、ウェルを含めた基板のより正確なモデルを作成できると考えた。また、周りの影響を極力抑えるためにGSGコプレーナ構造を採用し、ひとつひとつのパターンの周囲をグランドから基板にコンタクトを打つことによってシールドした。また、シグナルパッドは上層のみを利用し、下層でグランド同士を接続した。同一基板上に校正用のTEGを試作することによって基板情報のみの影響を測定できるようにした。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ チップ種別：TEG (特性評価回路など)

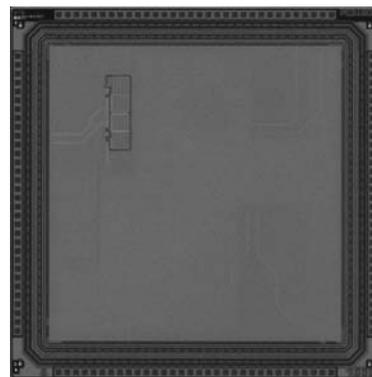


低電圧で動作するアナログ回路とアナログ記憶素子の設計

山形大学工学部電気電子工学科 高橋 良輔, 原田 知親, 奥山 澄雄, 松下 浩一

概要：現在の CMOS プロセスは、デジタル回路の高集積化にあわせて微細化と低電圧化を続けてきた。その結果アナログ回路では利得や動作レンジが低下するという問題が生じている。しかし、微細化と低電圧化が今後も進むことがほぼ確実であるため、アナログ回路の動作がますます困難となると予想できる。そこで、本試作では、今後の微細化と低電圧化に対応した CMOS アナログ集積回路の設計のために、簡単なオペアンプを回路内部のレイアウトなどを変えて複数個搭載し、低電圧化時のアナログ回路の動作評価を行なう。回路解析時での1個のオペアンプの消費電力が1.8V動作では3 μ Wであるのに対して、動作可能な電源電圧の下限まで低電圧化すると、122pWまで下げることができた。今後はこれらのデータをもとに低電圧化した際のアナログ回路の性能向上とレイアウト指針について検証し、設計を行なっていく予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

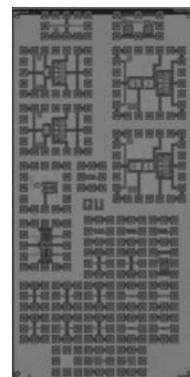


高速通信用 CMOS アナログ基本回路&素子 TEG

群馬大学大学院工学研究科 石原 昇

概要：光ファイバや電気ケーブルによる高速通信インターフェース用 CMOS アナログ集積回路設計技術に関する研究を推進するため、基本回路および高速回路設計に必要な不可欠であるシミュレーション解析用モデルパラメータを抽出するための素子 TEG を試作した。基本回路は、(1) 並列帰還型広帯域アンプ、(2) 広帯域差動増幅回路、(3) 差動ラインドライバ、(4) 多段差動リミッタアンプなどを、素子 TEG は、(a) CMOS トランジスタ、(b) インダクタ、(c) MIM 容量、(d) 抵抗などを試作した。これらの回路、素子の特性は、高周波プローブを用いたネットワークアナライザによる S パラメータの周波数特性評価や入出力波形特性評価などにより素子特性のモデリングを行なうとともに、素子特性と基本回路特性の関係をデータベース化することによって、高速 CMOS アナログ集積回路の高精度設計を可能とする設計環境を拡充する。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ チップ種別：TEG (特性評価回路など)

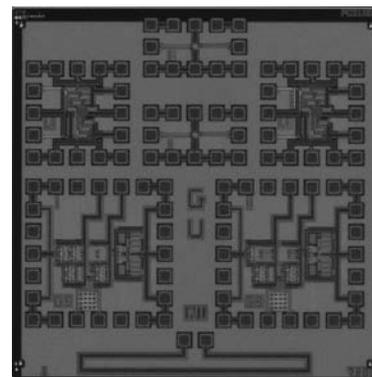


光送受信用高速 CMOS アナログ集積回路 TEG

群馬大学大学院工学研究科 石原 昇

概要：高速光通信用のアナログインターフェース回路においてもデジタル処理回路部との一体化、低価格化を狙いとして CMOS 集積回路化が積極的に進められている。今回、光 LAN 用として多く用いられているマルチモードファイバの分散特性を補償し長距離伝送化を可能とする光送信/受信用アナログ回路の CMOS 化の検討を行った。1.25Gb/s で動作するレーザダイオード駆動回路、広帯域プリアンプ回路、リミッタアンプ回路について CMOS 回路構成を明らかにし、試作を行なった。リミッタアンプ回路では、広ダイナミックレンジ化のため多段構成とし、ファイバの分散特性を効果的に補償するための利得、帯域、群遅延特性の関係を明確化し、回路構成、定数を最適化した。これらの TEG 回路を評価することにより光ファイバ分散特性を補償し長距離伝送化を可能とする CMOS 回路設計技術の有効性を確認する。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



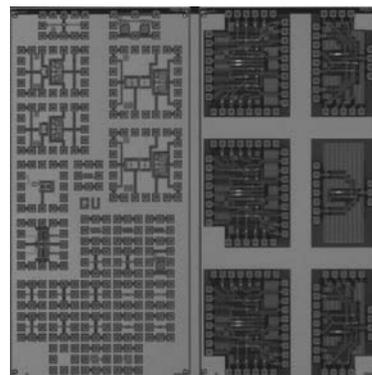
10Gbps 光配線用開ループ型 VCSEL 駆動回路

鹿児島大学大学院理工学研究科 李言勝, 厚地 保幸

鹿児島大学工学部 関 健治, 大島 賢一, 山下 喜市

概要：近年、バックボードデータ伝送の高速、大容量化に伴い、従来の電気信号伝送に代わり光信号を利用する光配線技術の開発が進められている。VCSELの発光遅延を低減するため、バイアス電流は閾値電流に等しく設定する必要があるが、これまで閾値電流の温度依存性を考慮した設計は行われていなかった。筆者らはPTAT電流源とバンドギャップ電流源を組み合わせた閾値電流補償回路を提案し、この問題を解決した。また、これまで送信器の広帯域化を図るため、インダクタピーキング技術が用いられてきたが、回路面積が大きくコスト低減の妨げとなっていた。そこで、我々は帰還回路の位相余裕を制御することでピーキングをかける方法を採用し、回路面積の低減を図った。試作LSIを評価した結果、設計通りのバイアス電流温度依存性を確認でき、本技術の有効性を実証できた。現在、光伝送特性を評価中。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ チップ種別：通信 (RF回路, ATMなど)



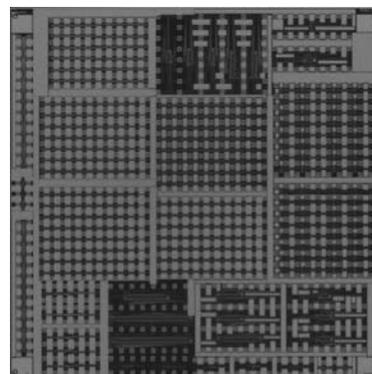
全並列型アナログ・デジタル混載連想メモリの性能評価回路

広島大学先端物質科学研究科 田中 裕己, 弓崎 晃大

広島大学ナノデバイス・システム研究センター マタウシュ ハンス・ユルゲン,
小出 哲士

概要：画像認識・人工知能システム・画像圧縮技術などについて最小距離データを検索する機能メモリは大変重要な部分である。我々はこのような機能メモリを高速・小面積・低消費電力な全並列型アナログ・デジタル連想メモリを実現するために、連想メモリの主部分たる最小距離検索回路においてワイドレンジ作動増幅器を用いた回路を提案している。しかし、近年の微細化技術の進歩に対して、アナログ回路の設計はよりシビアになってきている。そこで、全並列型アナログ・デジタル連想メモリを構成する種々の回路を測定することで、どの程度の性能が出るか見積もるためにチップを試作した。チップは参照データ数の見積もり及び最小距離検索回路の性能を測定するための回路を搭載している。

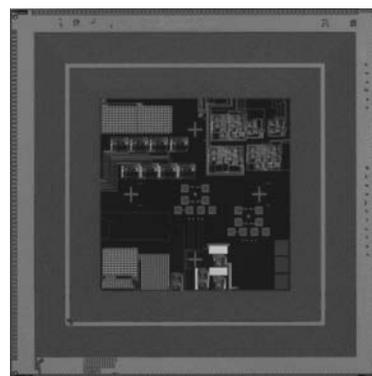
設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：メモリ



名古屋大学工学研究科 中里 和郎, 宇野 重康, 林 勝堅, 杉山 洋平

概要：RFID技術を用いて水溶液中分子の電気特性情報を無線送信するCMOSアナログ集積回路を提案・試作し、その要素回路動作を確認した。水溶液中の分子情報を電気配線することなく取得できるため、生物・化学分野における広範囲での応用が期待される。使用周波数帯は水による吸収が弱くインダクタの小型化が可能な13.56MHz帯を用いた。また水溶液中測定を想定しているため、電池ではなく外部送受信器からのRF信号による電磁誘導起電力を電力供給源とするパッシブ型RFIDとした。以上の仕様をもとに、外部送受信器とチップの間でインターフェースとなるオンチップスパイラルインダクタ、電磁誘導起電力を整流・蓄積することで電源とするLCタンク回路、回路保護のための電源電圧制限回路、電源電圧3.0Vに達するとセンサ回路系を起動するEnd-Of-Burst回路、バンドギャップ参照回路を応用した温度センサ、A/D変換回路、負荷インピーダンス変換によるデータ送信回路、などを個別に設計し動作検証を行った。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：通信 (RF回路, ATMなど)



平成18年度第1回ASPLA CMOS 90nm試作 (AS90061)

ミリ波帯で動作する無線通信回路

東京大学大学院新領域創成科学研究科 藤島 実, Lai CheeHong, Oncu Ahmet,
神林 裕樹

東京大学大学院工学系研究科 本良 瑞樹

概要：CMOS ミリ波無線通信システムの実現に向け、アップコンバージョンミキサ、パルスレーザ、パルスレーザ用トランスフォーマ、可変利得増幅器、PLLの部分回路としてVCO、Divider、ローパスフィルタの試作を行った。アップコンバージョンミキサはダブルバランス方式を用い、IF周波数11GHzからRF周波数51GHzへの周波数変換を実現した。パルスレーザはミリ波パルス通信システムの実現に向けて、線形増幅器と非線形増幅器をトランスフォーマでカップリングするという方式を用いた。トランスフォーマのTEGは、パルスレーザの要素回路として試作された。可変利得増幅器(VGA)は利得を必要最小限にコントロールすることで、アプリケーションの消費電力を抑えることができる。試作したVGAはコントロール電圧を調節することにより利得を-10~4.8dBまで調節することができた。PLL用VCO、Divider、ローパスフィルタは、ミリ波帯通信用PLLの実現に向けた要素回路として試作した。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10以上、100未満

試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

90nm世代のばらつきおよびシグナル・パワーインテグリティ評価チップ

東京大学国際・産学共同研究センター 桜井 貴康, 稲垣 賢一, 皆川 拓也, 呉 文豪

概要：近年の集積回路の微細化、高速化および低電圧化に伴い、電源に発生するノイズによる信頼性の劣化が深刻な問題となっている。また、素子のばらつきの影響により動作マージンを確保することが至難の業となっている。そこで、電源供給線に流れる電流により生じる磁界を測り、非接触で電源電流を測定できるオンチップ電流センサーを試作した。また、LSIチップ内ばらつきの空間的な周波数特性を調べ系統的ばらつきの効果を調査するためにトランジスタを並列にチップ内の縦横に配置した。また基板バイアスを変化させることが可能であるよう設計を行った。電流測定回路についてはノイズが大きいため、系統的なデータをほとんど取れなかった。シミュレーション結果と比較し精度が予想より悪く現回路よりもノイズをより配慮する必要がある。チップ内の空間的な周波数特性について規則性は見られずランダムであることが確認された。また基板バイアスを変化させることでばらつきに変化が見られることを確認した。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100,000以上 試作ラン：ASPLA 90nm 5.0mm x 5.0mm チップ種別：TEG(特性評価回路など)

プリアンプ技術を用いたオンチップ差動伝送線路配線

東京工業大学統合研究院 伊藤 浩之, 杉田 英之, 岡田 健一, 益 一哉

概要：Si CMOSプロセスの微細化に伴い、オンチップのグローバル配線における遅延が深刻な問題となっている。現在、10Gbps以上の高速信号伝送の実現のためには数100mW~数Wの消費電力が必要とされており、速度と消費電力のトレードオフが存在している。そこで、その2つを同時に実現するような配線技術の検討が行われている。本研究では、オンチップのグローバル配線において高速信号伝送と低消費電力を同時に実現するオンチップ差動伝送線路配線を作成した。提案する回路は、配線に差動伝送線路を用いることで高速信号伝送を実現する。特に、送受端部分にプリアンプ回路を設けることにより、より高速な信号伝送を実現している。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：10以上、100未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：ニューテックノロジー

LSIの消費電力の「モニタ」「無線伝送」「削減」に関する回路技術

東京大学国際・産学共同研究センター 吳文豪, 鬼塚浩平, 肖利民, 桜井貴康

東京大学大規模集積システム設計教育研究センター 高宮真

概要：LSIの電流モニタリング技術，無線電力伝送技術，非同期パワーゲーティング技術に関する回路の設計評価を行った．（1）低電力化のためには，電源電圧としきい電圧をLSIの動作状態に応じて頻繁に変える必要があるが，これには消費電力のリアルタイムモニタリング技術が必須である．そこで，デバイスパラメータを変化させたオンチップの電流センサー素子を搭載した．（2）3次元の積層チップ間無線電力伝送の高効率化を実現する回路を搭載した．（3）LSIの低電力化のために，乗算器のパイプラインの各段にセルフタイム方式のパワーゲーティングを適用した回路を搭載した．測定の結果，（1）はS/Nが予想以上に悪いことを見いだした．（2）では電力伝送効率の向上を確認した．

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社

DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：1,000以上，10,000未満 試作ラン：ASPLA 90nm 5.0mm x 2.5mm チップ種別：TEG（特性評価回路など）

平成18年度第2回ASPLA CMOS 90nm試作 (AS90062)

ミリ波帯無線通信に向けた部分回路

東京大学新領域創成科学研究科 藤島 実, ライチーホン, オンチュアーメット,
石橋 浩二, バダラワ ワサントマーラー, 神林 裕樹

東京大学工学系研究科 高野 恭弥

概要：ミリ波帯で動作する無線通信回路に必要な部分回路を試作した。試作した回路はVCO, Quadrature VCO, LNA, Mixerそしてパルス通信に必要なパルスジェネレータ, Limiting Amplifierである。VCOにおいてはリング状伝送線路を用いることで、今までのものよりもチューニングレンジ, 位相雑音を改善することに成功した。また, ダイレクトコンバージョン方式で用いられるQVCOを試作した。LNAではインダクティブゲートを用いることにより利得を増幅させることを目指した。また, 従来とは異なるオンチップバランを用いたUp-Conversion Mixer, 低消費電力を目指したDown-Conversion Mixerを試作した。そして60GHz帯におけるパルス通信を可能とするパルスジェネレータ, およびパルス波形の整形に必要なLimiting Amplifierの試作を行った。

設計期間：6ヶ月以上, 7ヶ月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：通信 (RF回路, ATMなど)

歩留まり向上を目的とした設計手法の有効性検証と基礎データ取得のためのTEG

九州大学大学院システム情報科学研究院 安浦 寛人
九州大学システムLSI研究センター 石原 亨, 室山 真徳
九州大学大学院システム情報科学府 坂本 良太, 山口 聖貴
九州大学工学部 松村 忠幸

概要：ばらつきに対処するための研究に関連した4種類の回路を今回のチップ試作にて設計した。1) プロセスばらつきを考慮したゲート幅決定手法を適用した回路を設計した。2) SRAMメモリを設計した。多数のSRAMセルから成り, リークの大きいSRAMセルは利用しないという研究に利用予定である。3) リーク測定用回路を設計した。多数のNMOS, PMOSブロックから成り, ブロックを組み合わせで安価な測定機器でうまくリーク測定を行うことができる。4) ばらつきを利用した高速化手法を研究するための回路を設計した。複数の同じ回路を並列に並べており, 製造後ばらつきにより速くなった回路を選択することで高速化を実現できる回路である。

参考文献：坂本, 室山, 石原, 安浦, ” CMOS回路におけるタイミング歩留まり最大化のためのゲートサイジング手法の提案”, 電子情報通信学会技術研究報告, VLD2006-117, pp.67-72 (2007)。

設計期間：10ヶ月以上 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：TEG (特性評価回路など)

チップ内ばらつきを利用して歩留まりならびに性能を向上させるFPGAその1

京都大学情報学研究科 香月 和也, 小林 和淑, 小野寺 秀俊
京都大学電気電子工学科 久米 洋平

概要：微細化にともない増大する一方のチップ内ばらつきを利用して, 再構成回路の構成情報を最適化することのできるFPGAの試作を行なった。5.0mm角チップ内に, FPGAの構成単位であるLUTを48x48個並べた。チップ内ばらつきは, FPGA内にインバータチェーンを構成し, その発振周波数を測定することにより求める。一部のセルを手設計することによりスタンダードセルを用いた自動配置配線フローにより行なった。PLLならびに, メモリ (SRAM) マクロも使用し, PLLより出力した高速なクロック信号とSRAM内に格納した入力パターンを用いて, 内部のみで高速動作を可能としている。LSIテストならびに, 測定用FPGAボードを用いて, 48x48のCLBアレイに, LUTとスイッチからなるインバータチェーンを構成し, その発振周波数を測定することで, チップ内のばらつきの測定を行なった。回路設計時の検証不足より, FPGAとしての動作に不具合があることがわかり, 7月の試作にてその不具合を修正したチップをその2として提出している。

設計期間：1ヶ月以上, 2ヶ月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100,000以上 試作ラン：ASPLA 90nm 5.0mm x 5.0mm チップ種別：その他

90nm 世代のばらつき調査および基板バイアスを利用したばらつき抑制回路 評価チップ

東京大学国際・産学共同研究センター 桜井 貴康, 稲垣 賢一, 中村 安見, 皆川 拓也,
肖 利民

概要：ばらつきの状況把握及び対策を目的とした評価チップを試作した。チップ内に 4mmx1mmx2 の領域に 1 μ m ピッチで L=0.1 μ m, W=0.2, 1.0 μ m の nMOS 及び pMOS の計 4 種類のトランジスタレイを配列しそれらの各種ばらつきを調べ空間周波数を解析するための回路を作成した。大規模論理回路において領域を物理的に複数に分割し各々に異なる基板バイアスを与えることでチップ内ばらつきを抑え、同一速度での低消費電力化もしくは同一電力での周波数向上を目指す回路も作成した。64bit DES3 CODEC2 個及び VCO, 入力パターン生成回路, 回路速度モニタを配置した。FBB をかけることにより, VTH ばらつきの平均値およびばらつきは減少し, RBB をかけることにより増加した。

ION ばらつきの割合は, VTH ばらつきの割合に比べ小さい。フーリエ変換による解析チップ内からチップ内のばらつきはランダムであることが確認された。論理回路においては基板バイアス付与回路が正常に動作していることは確かめられた。

設計期間：10 人月以上 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreRC トランジスタ数：100,000 以上 試作ラン：ASPLA 90nm 5.0mm x 5.0mm チップ種別：TEG (特性評価回路など)

大阪府立大学大学院工学研究科 安田 真史, 八幡 和樹, 泉 勝俊

概要：本チップは、大きく分けて三つの回路ブロックから構成されている。一つは、増幅器の線形性をエンハンスさせるカーテジアンループ回路の中の全差動型増幅器である。この回路は、差動入力回路、バイアス回路、コモンモードフィードバック回路、及び利得増強回路の四つの部分回路からなる。他のもう一つは、利得増強用の増幅器 TEG である。試作チップの特性測定の結果、基本動作が確認できた。また、入力信号振幅と動作周波数の関係も測定し、0.3Vpp では 100kHz 以上で動作することが確認できた。最後の一つは 1.5GHz における動作を狙いとした低雑音増幅器である。インダクタンスの形状比較による雑音指数の変化を把握すべく、入力整合時に用いるソースインダクタンスの形状を四角形と八角形の二通りに分けて設計した。直流解析を行なうべく、試作チップをテストにて測定したが、しきい値電圧付近でのドレイン電流の急激な上昇は観測できなかった。すなわち、当該チップの回路動作は確認できなかったが、その原因を明らかにして、その後のシミュレーション検討に活かした。

参考文献：Behzad Razavi, “RF Microelectronics”

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：TEG (特性評価回路など)

電源ノイズ波形測定と MOS 基板電位特性測定 TEG

大阪大学情報科学研究科 小笠原 泰弘, 更田 裕司, 橋本 昌宜, 尾上 孝雄

概要：本試作では電源ノイズによる電源電圧変動を測定する回路を実装し、電源ノイズの測定を試みた。ノイズ測定回路は繰り返し発生するノイズ波形をサンプリングし、電源ノイズの波形を測定する回路である。ノイズ測定回路を用いてデカップリング容量が電源ノイズに与える影響、およびデカップリング容量の特性の測定を試みる。また、基板電位を分離した MOSFET の基本特性測定回路を実装し、基板電位を変化させた際の MOSFET 特性を測定する。測定結果から、電源ノイズ測定回路の動作を一部確認した。また、基板電位を変化させることにより MOSFET の特性が変化することを測定で確認し、基板電位とデバイス特性の基礎的なデータを得た。

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Mentor 社 ModelSim, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Synopsys 社 Nanosim トランジスタ数：100,000 以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：TEG (特性評価回路など)

LSI低消費電力回路技術

東京大学国際・産学共同研究センター Levacq David, 肖利民, 鬼塚浩平,
桜井貴康

東京大学大規模集積システム設計教育研究センター 高宮真

概要：LSIの低消費電力化に向け、3つの回路技術の設計・評価を行った。（1）クロック分配の低電力化のため、低クロック振幅入力可能なフリップフロップを開発した。

（2）Zigzagパワーゲーティングを自動配置配線で実現するための設計フローを確立するため、Zigzagパワーゲーティング付きの16×16 bit乗算器を設計した。（3）トランジスタを縦続接続し高耐圧にした回路で構成されたDC-DCコンバータを開発した。（1）

（2）に関して測定を行った。（1）では、従来の低クロック振幅フリップフロップに対して、入力クロック振幅の動作マージンを確保しつつ、消費電力を72%削減できることを実証した。（2）ではウェイクアップレイテンシーが非常に短く、リーク電力を54%削減できることを実証した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：1,000以上、10,000未満 試作ラン：ASPLA 90nm 5.0mm x 2.5mm チップ種別：TEG（特性評価回路など）

ミリ波帯で動作する無線通信回路

東京大学新領域創成科学研究科 藤島 実, Oncu Ahmet, 石橋 浩二, 後藤 陽介
東京大学工学系研究科 本良 瑞樹

概要：ミリ波帯無線通信システムの実現に向けて、Pulse Generator, Limiting Amp, Quadrature-VCO, PLL用チャージポンプ, 伝送線路のTEGについて試作を行った。Pulse Generatorは、高周波におけるパルス通信システムの送信機実現に向けて試作され、その結果22GHz-29GHzにおいて90mVの振幅を持つパルス波を発生させることに成功した。Limiting Ampは、出力をある電圧以下までしか増幅しない制御付き増幅器であり、Pulse通信システムにおいてPulse Generatorから出力された波形の整形を行う回路として試作された。Quadrature-VCOは、60GHz帯においてDirect Conversionを用いる変調方式に対応した発信器の実現のために試作された。PLL用チャージポンプは、ミリ波帯通信用PLLの実現に向けた要素回路として試作された。伝送線路は、波長短縮効果を用いた伝送線路の高周波モデル構築のために試作された。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10以上, 100未満
試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

チップ内ばらつきを利用して歩留まりならびに性能を向上させるFPGAその2

京都大学情報学研究科 香月 和也, 小林 和淑, 小野寺 秀俊
京都大学電気電子工学科 久米 洋平

概要：微細化にともない増大する一方のチップ内ばらつきを利用して、再構成回路の構成情報を最適化することのできるFPGAの試作を行なった。5.0mm角チップ内に、FPGAの構成単位であるLUTを48x48個並べた。チップ内ばらつきは、FPGA内にインパクタチェインを構成し、その発振周波数を測定することにより求める。一部のセルを手設計することによりスタンダードセルを用いた自動配置配線フローにより行なった。PLLならびに、メモリ (SRAM) マクロも使用し、PLLより出力した高速なクロック信号とSRAM内に格納した入力パタンを用いて、内部のみで高速動作を可能としている。LSIテストならびに、測定用FPGAボードを用いて、48x48のCLBアレイに、LUTとスイッチからなるインパクタチェインを構成し、その発振周波数を測定することで、チップ内のばらつきの測定を行なった。納品された40個のチップについて、チップ内ばらつきはほぼランダム成分が支配的であることが判明した。測定結果を用いて、簡単な信号パスの経路最適化を行なった。10チップ内に構成した810個のパスにおいて、平均2.88%の速度向上が得られた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100,000以上
試作ラン：ASPLA 90nm 5.0mm x 5.0mm チップ種別：ニューテクノロジー

低電圧動作アナログ要素回路TEG

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 小島 康志, 岩田 穆

概要：近年のCMOSプロセス技術の進歩によりデバイスは微細化され、デジタル回路の高速化・高集積化が実現されている。しかしLSIの電源電圧は1V以下に低電圧化されるため、高精度・低雑音のアナログ回路の実現はますます困難になっている。したがって、我々はアナログ回路の低電圧動作および低雑音化技術について研究を行っている [1]。本チップは提案した低電圧動作可能な低雑音技術を検証するため、低雑音増幅回路および $\Sigma\Delta$ ADCのアナログ要素回路TEGを搭載している。測定結果より、低雑音増幅回路は電源電圧0.5V, 変調周波数2MHz, 消費電力70 μ Wを達成した。また $\Sigma\Delta$ ADCは電源電圧1.0V, サンプリング周波数20MHz, 消費電力6mWを達成した。

参考文献： [1] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki and A. Iwata, "A 1V Low-Noise CMOS Amplifier Using Autozeroing and Chopper Stabilization Technique", IEICE Trans. Electron., vol. E89-C, pp.769-774, Jun. 2006.

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ASPLA 90nm 5.0mm x 2.5mm チップ種別：アナデジ混載

電流モード高速バイブライン形 AD 変換器

広島大学先端物質科学研究科 明山 亮太, 岩田 穆

概要：CMOS デバイスの微細化に伴いデジタル回路の小面積化および低消費電力化が進んでいる。一方で、アナログ回路はデバイスの特性ばらつきおよび雑音が大きくなるという問題があり、ADC の小面積化・低消費電力化の妨げになっている。したがって、上記の問題を解決する方法が重要な課題となっている。近年の微細 CMOS プロセスでは、アナログ回路の精度をデジタル回路で補正するデジタルアシスト技術が多用されるようになってきている。本研究では、低電圧化に適した電流モード回路を用い、オープンループ増幅回路により高速・低消費電力化を図り、冗長ビット構成とデジタルキャリブレーション技術により変換精度を向上する AD 変換器の設計・試作を行った。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

低電圧動作アナログ要素回路 TEG

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 小島 康志, 岩田 穆

概要：近年の CMOS プロセス技術の進歩によりデバイスは微細化され、デジタル回路の高速化・高集積化が実現されている。しかし LSI の電源電圧は 1V 以下に低電圧化されるため、高精度・低雑音のアナログ回路の実現はますます困難になっている。したがって、我々はアナログ回路の低電圧動作および低雑音化技術について研究を行っている [1]。本チップは提案した低電圧動作可能な低雑音技術を検証するため、低雑音増幅回路および $\Sigma\Delta$ ADC のアナログ要素回路 TEG を搭載している。測定結果より、低雑音増幅回路は電源電圧 0.5V、変調周波数 2MHz、消費電力 70uW を達成した。また $\Sigma\Delta$ ADC は電源電圧 1.0V、サンプリング周波数 20MHz、消費電力 6mW を達成した。

参考文献：[1] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki and A. Iwata, "A 1V Low-Noise CMOS Amplifier Using Autozeroing and Chopper Stabilization Technique", IEICE Trans. Electron., vol. E89-C, pp.769-774, Jun. 2006.

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ASPLA 90nm 5.0mm x 2.5mm チップ種別：アナデジ混載

低温デバイスモデル作製用 MOSFET の試作

横浜国立大学工学部 吉川 信行, 高橋 好明, 河合 宣彰, 後藤 恭平

概要：我々は SFQ 論理回路の高速性と CMOS 論理回路の高集積性を組み合わせた高速ハイブリッドメモリシステムの実現を目指している [1]。本メモリシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。そのため、不揮発、非破壊のメモリ動作が可能である。また、高感度の超伝導センスアンプを用いることによりサブナノ秒のアクセスタイムが可能となる。本チップでは、SFQ / CMOS ハイブリッドメモリシステムのための要素回路の試作を行った。本メモリシステムは 4.2K での動作を仮定しており、メモリーセルには 3 トランジスタ DRAM セルを採用している。このメモリーセル、ならびにアドレス・データを選択するためのデコーダ、またプロセスの性能を評価するために MOS デバイス、接合容量、各種抵抗 (Metal, Poly シリコン, 拡散層 N・P), リングオシレータの設計を行った。

参考文献：[1] Y.J. Feng, X. Meng, S. R. Whiteley, T. Van Duzer, K. Fujiwara, H. Miyakawa, N. Yoshikawa, "Josephson-CMOS hybrid memory with ultra-high-speed interface circuit", to be published in IEEE Trans. Appl. Superconductivity (2003) .

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：メモリ



差動伝送線路を用いたオンチップバス

東京工業大学統合研究院 木村 実人, 清田 淳紀, 上 園 巧, 富 万林, 岡田 健一,
佐藤 高史, 益 一哉

概要：近年のCPUは消費電力の増大により、動作周波数を向上させることによる性能向上が困難になっている。継続的にCPUの性能を向上させる技術として、プロセッサコアを複数搭載するマルチコアプロセッサが注目を浴びている。マルチコアプロセッサではプロセッサコア同士を接続するオンチップバスに高い性能が要求される。バスのような長距離配線に従来のRC線路を用いた場合、遅延と消費電力の問題を解決することができない。この問題を解決する手法として、本研究では長距離配線に差動伝送線路を用いる手法を提案している。これまでに、差動伝送線路を用いた1対1伝送や、シングルエンドを用いた1対多伝送は検討されてきたが、差動伝送線路を用いた多対多伝送は検討されていない。本チップでは差動伝送線路を用いた双方向伝送を可能とするTx/Rx一体型伝送回路を作成した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC, Agilent社 ADS トランジスタ数：10以上, 100未満 試作ラン：ASPLA 90nm 5.0mm x 5.0mm チップ種別：ニューテクノロジー

非同期多値データ転送に基づくLDPCデコーダチップ

東北大学電気通信研究所 羽生 貴弘, 鬼沢 直哉

概要：次世代高速データ通信のための誤り訂正符号の有力候補であるLDPC符号の復号器であるLDPCデコーダを試作する。LDPC符号では、VariableノードとCheckノードの演算およびノード間のデータ転送を繰り返すことでエラー訂正を行うため、集積回路実現で問題となっている、ノード間配線の増大による性能劣化を解決する必要がある。内部データ転送に電流モード多値回路技術に基づく非同期データ転送方式を活用したLDPCデコーダとして、小規模な16ビットデコーダを試作し、テストチップのロジック動作を通して本提案方式の高速性およびエラー訂正能力の動作検証を行う。多くの回路中の観測点や、テストモードを設け非同期動作の検証を主に行う。

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100,000以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：演算回路 (乗算器, 除算器など)

低電力・高速AD変換器用要素回路試作

鹿児島大学工学部 大島 賢一, 清水 佑一郎, 内野 浩基

鹿児島大学理工学研究科 上村 勇仁, 矢山 浩輔

概要：我々のグループでは、高速HDD、DVD、ギガビットイーサネットなどへの応用を目的に、GHzサンプリングAD変換器の高精度化、低消費電力化に取り組んでいる。この中で、ボディ電位を入力信号に追従させて制御することで、VTHの入力電位依存性を抑圧し歪を低減したボディ電位制御回路付きS/H回路及びサブレンジング型AD変換器の高速化を可能にする閾値内蔵型コンパレータの2つを取り上げ、要素回路試作を行った。評価の結果、ボディ電位制御回路付きS/H回路で1GS/sにおいてナイキスト周波数まで8bit精度を確保できることを確認した。また、閾値内蔵型コンパレータに関しては現在評価中。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ASPLA 90nm 5.0mm x 2.5mm チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

LSI低消費電力回路技術

東京大学国際・産学共同研究センター 新山 太郎, 鬼塚 浩平, 肖 利民, 稲垣 賢一,
桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：LSIの低消費電力化に向け、4つの回路技術の設計を行った。(1) CMOS論理回路の電源電圧の下限を調べるため、基板バイアスによってしきい電圧が調整可能なCMOSリングオシレータを設計した。(2) SiPにおけるチップ間通信を完全に非接触で行うために、チップ間ワイヤレス電力伝送回路を開発した。(3) セルフタイム回路のハンドシェーク信号を利用したパワーゲーティング技術を開発した。(4) 我々が以前に開発したサンプリングオシロスコープ回路を用いて、オンチップ配線のRLCを実測するために22種類の被測定配線を設計した。(1)の測定を行った結果、リングオシレータの発振停止電圧のリングオシレータ段数依存やばらつきを評価し、発振停止電圧が段数とnMOS/pMOSのしきい電圧バランスに強く依存することを見いだした。

参考文献：新山太郎, 高宮 真, 桜井貴康, "超低電圧領域におけるリングオシレータの発振周波数ばらつき," 電子情報通信学会総合大会, C-12-14, 名古屋, 2007年3月

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：ASPLA 90nm 5.0mm x 5.0mm チップ種別：TEG (特性評価回路など)

素子特性のばらつきに強い非同期式FPGAと高速動作可能な多値FPGAの試作

東北大学大学院情報科学研究科 岡田 信彬, 張 家偉, 張山 昌論, 亀山 充隆

東北大学工学部 石原 翔太

概要：本試作ではFPGAにおける配線モジュール面積の削減、演算セルの高稼働率化に効果的なビットシリアルアーキテクチャに基づく2種類の回路の設計を行った。ビットシリアルアーキテクチャは省面積性に優れるが、素子ばらつきに起因するクロックスキューやクロックに起因する消費電力が深刻な問題となる。これらの問題を解決するためにクロックを用いない非同期式回路を用いる。非同期式アーキテクチャとして高性能化のためスペースを必要としない方式を用い、回路設計を行った。また、多値FPGAはソースカップルドロジックに基づく回路を用いて構成しており、高い駆動能力をもつ小面積なセルが実現可能である。しかしながら、90nm世代では素子特性のばらつきが顕著となり、これに伴う電圧レベルの変化は多値回路の動作に大きな影響を及ぼすと考えられる。今回、多値FPGAにおいてシミュレーション上と実際のチップ上での出力で、どの程度のずれが生じるのかを検証する目的で試作を行った。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ/デジタル信号処理プロセッサ

微細化、低電圧化された素子環境でのばらつきと設計信頼性向上のための基礎的な回路的研究開発

東京大学国際・産学共同研究センター 桜井 貴康, 稲垣 賢一, Levacq David,

鬼塚 浩平, 肖 利民, 石田 将也

東京大学生産技術研究所 新山 太郎, 周 志偉

概要：微細化、低電圧化された素子環境でのばらつきと設計信頼性向上のための基礎的な回路的研究開発を行い、製造までを考慮した設計に関するいくつかの基礎的検証回路を試作した。高速オンチップサンプリングオシロスコープを用いて各種ライブラリにおける入出力波形の直接観測を試み遅延ばらつきを観測する。CMOS負荷回路のリアルタイム電源電圧コントロールによる高速電圧ホッピングに対応したバックコンバータを作成した。電圧変化時にクイックレイザを動作させるとともに適切なDuty比制御を行い高速で電圧上昇を行う。基板バイアスを高速変化させ細粒度の時間単位でリーク電力制御を行うための回路検証を行う。パイプライン化された回路においてパワーゲーティングを施したものと従来ものを比較し電力比較を行う。

設計期間：5人月以上、6人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100,000以上 試作ラン：ASPLA 90nm 5.0mm x 5.0mm チップ種別：TEG (特性評価回路など)

定在波を用いた超高速クロック分配ネットワーク回路

広島大学先端物質科学研究科 汐崎 充, 森 敦, 佐々木 守

概要：システムの高速化への要望に伴い、クロックの高速化が必要となった。しかし、クロック・スキューや消費電力の問題でプロセッサで用いることができる周波数は4GHzが限界であると言われている。超高速、低消費電力、低スキュー、低ジッタのチップ内クロック分配方法を提案し、設計を行った。提案するクロック分配回路の特徴は、インダクタを用いることで伝送路上に振幅一定の定在波を生成し、更に伝送路距離と発振周波数を制御する点である。また、定在波という共振特性を利用することで低消費電力を実現する。試作した本チップには4x4のグリッド型クロック分配回路、クロックバッファ、Divider回路、Divider用TEGを搭載した。設計値は発振周波数16GHz、電源電圧0.5V、消費電力8mW/Gridである。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：10,000以上、100,000未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

45nm 世代以後に向けた低電力・低リーク回路技術

中央大学理工学部情報工学科 榎本 忠儀, 小林 伸彰, 石川 雄悟, 金子 達也,
岩成 武司, 仲山 拓顕, 萩原 洋介, 筒井 俊博

概要: 1) Weak Inversion 領域で動作する超小型リーク電流削減回路技術をチップに作り込み, その効果 (サブスレッショル以外に, GIDL, ゲートトンネルを二桁以上削減出来る事) を実証する. 当グループが開発した本回路は面積オーバーヘッドが小さい, 雑音耐性が高い, データ保持が出来る (ロジックに限らずメモリやFF に応用できる) 等の特徴がある. 2) 新規に開発した超小型アクティブ電力削減回路技術をチップに搭載し, その効果 (一桁以上削減出来る事) を実証する. 3) 以上の技術を下記の各種 TEG に適用し, 効果を検証すると共に, 今後の研究にフィードバックする. TEG 内容; 各種メモリ, ビデオコーデック, 動画像符号化向け動きベクトル検出回路, クロックネットワーク, PLL, 平方根回路, 除算回路, 乗算回路, 新アーキテクチャフリップフロップ, 他

設計期間: 8 人月以上, 9 人月未満 設計ツール: Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数: 10,000 以上, 100,000 未満 試作ラン: ASPLA 90nm 2.5mm x 2.5mm チップ種別: TEG (特性評価回路など)

消費電力を 50%削減する動的電圧/周波数制御型 H.264/AVC デコーダコア

神戸大学大学院自然科学研究科 川上 健太郎, 黒田 光彦

金沢大学大学院自然科学研究科 竹村 淳

神戸大学工学部 坂田 義典, 川口 博, 吉本 雅彦

概要: 本研究室ではハードワイヤードロジックに DVS (Dynamic voltage scaling) を適用可能とするエラスティックパイプラインアーキテクチャを提案している. エラスティックパイプラインアーキテクチャは, 処理に必要なサイクル数を動的に削減することができ, これによる時間余裕を利用して低消費電力化が可能となる. またエラスティックパイプラインはローカルバス帯域の削減にも有効であり, 外部 DRAM として安価な DRAM を選択できる. 本チップには提案アーキテクチャを適用した H.264 HDTV デコーダコアを実装した. 論理設計には Celoxica 社の Handel-C を, RAM/ROM/レジスタファイルの生成には Artisan の RAM ジェネレータを使用している. 実装したデコーダコアは DVS により, 最も消費電力が削減されるシーケンスの場合, 従来のパイプラインアーキテクチャと比較して 50% の消費電力削減を達成している.

参考文献: K. Kawakami, J. Takemura, M. Kuroda, H. Kawaguchi, and M. Yoshimoto, "A 50% Power Reduction in H.264/AVC HDTV Video Decoder LSI by Dynamic Voltage Scaling in Elastic Pipeline," IEICE Trans. Fundamentals, Vol. E89-A, No.12, pp.3642-3651, Dec. 2006.

設計期間: 10 人月以上 設計ツール: Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数: 100,000 以上 試作ラン: ASPLA 90nm 5.0mm x 2.5mm チップ種別: アナログ/デジタル信号処理プロセッサ

加算器のサブスレッショルド動作評価回路, および基板電位制御の評価回路

大阪大学情報科学研究科 更田 裕司, 濱本 浩一, 高橋 一真, 橋本 昌宜, 密山 幸男,
尾上 孝雄

概要: 本チップは 3 つの回路からなる. 1. 電源電圧をサブスレッショルド領域まで低くすると, 低速だが非常に低消費電力な回路が実現できる. 本チップでは, サブスレッショルド領域での加算器の動作を評価する回路の設計を行った. 32 ビット加算器を 7 種類搭載し, それぞれで動作速度と消費電力を測定する. 2. 基板電位を変化させることで, MOS の特性を制御できることが知られている. 本チップでは, MOS から基板電位を印加する位置までの距離を変えて, 制御性の差異を観測する回路を設計した. 測定対象としてリングオシレータを用い, 基板電位印加位置までの距離と発振周期を測定することで, 制御性の評価を行う. 3. 低電圧回路ではラッチアップの危険性が低下するため, 従来とは違ったレイアウトによる基板電位の印加方法が考えられる. 本チップでは, 3 種類のレイアウトにより基板電位制御回路を設計した. 各レイアウトの制御性を ALU・乗算器などにより確認する. 現在, チップの実測・評価を行っている.

設計期間: 3 人月以上, 4 人月未満 設計ツール: Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数: 100,000 以上 試作ラン: ASPLA 90nm 2.5mm x 2.5mm チップ種別: TEG (特性評価回路など)

メディア処理向け小面積リコンフィギュラブルプロセッサ

大阪大学情報科学研究科 高橋 一真, 更田 裕司, 密山 幸男, 橋本 昌宜, 尾上 孝雄

概要：従来のリコンフィギュラブルプロセッサは、高い性能と柔軟性を併せ持つ反面、専用回路と比較して遥かに大きい回路面積が課題となっている。そこで、対象アプリケーションを動画像復号化処理に絞りアーキテクチャの効率化を図ることで、従来アーキテクチャと比較して大幅な小面積化を実現するリコンフィギュラブルプロセッサを提案してきた。本試作では、検証用回路も含んだプロトタイプチップを試作した。一部回路の不具合により、リコンフィギュラブルプロセッサ全体としての動作は確認できなかったが、提案アーキテクチャの実装可能性・有効性を確認することができた。また、基板バイアスによる特性変化を評価する TEG も搭載し、測定により基本特性に関する知見を得た。

参考文献：高橋一真, 密山幸男, 尾上孝雄, 白川功, "メディア処理向け小面積リコンフィギュラブルアーキテクチャ", pp. 43-48, 電子情報通信学会技術研究報告 RECONF2006-51 (2006) .

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ/デジタル信号処理プロセッサ

2 ステージパイプライン方式を用いた汎用 16 ポート SRAM

広島大学ナノデバイス・システム研究センター 上口 光, 棕田 佑也, 碧山 賢一,
マウシュ ハンス・ユルゲン,
小出 哲士

概要：90nm CMOS 技術を用いて 16 ポート, 64Kbit の汎用多ポートメモリを約 0.97mm² の小面積で実現した。高速動作と低電圧動作時の安定性向上のために、メモリセルには 8 トランジスタの 2 ポート SRAM セルを用い、多段階読出し方式と 2 ステージのパイプラインを採用した。その結果、最大動作周波数 1.16GHz, 最大ランダムアクセスバンド幅 590Gbps, 13.9um²/bit と従来方式の 16 ポートメモリと比較して、約 16.5 倍の面積効率を実現した。

設計期間：6 人月以上, 7 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreXRC トランジスタ数：100,000 以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：メモリ

誘導結合型チップ間無線通信チャネルの諸性能評価用チップ

慶應義塾大学理工学部 吉田 洋一, 三浦 典之, 黒田 忠広

概要：誘導結合型チップ間無線通信チャネルの性能を、いくつかのパラメータから評価することができるチップを試作した。このチャネルに必要な電力は送信器の送信パルス電流のパルス幅に大きく依存する。したがって、そのパルス幅を自由に变化させられる構成とし、パルス幅を変化させたときの消費電力の変化を評価できる回路をつくりこんである。また、チャネルに使用するインダクタ径も数種類のものがつくりこまれており、インダクタのサイズに依存して通信性能がどのように変化するかを実測により評価できる。加えて、チップのスタック実装時、チップ厚を複数種類に研磨することで、消費電力・インダクタサイズ・通信距離の間の関係を実測により評価することができる。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：通信 (RF 回路, ATM など)

リングオシレータを用いた瞬時IR-dropの観測

東京工業大学統合研究院 佐藤 高史, 上園 巧, 天川 修平, 中山 範明, 萩原 汐,
岡田 健一, 益 一哉

概要：集積回路の微細化と電力密度の増大により、集積回路上における電源電圧変動がチップの性能を左右するようになってきている。性能、信頼性およびコストに対する要求を同時に満たす為には、最適な電源設計技術と効果的な電源検証技術が必要となっている。本研究では、回路中の過渡的な電源電圧降下による回路遅延増分および電源電圧降下量を、小面積かつ簡易に測定するための要素回路の動作確認を行った。電圧降下量を検出するセンサとしてリングオシレータによる電圧--周波数変換を用い、数百ピコ秒以下の時間で変動する電源電圧波形を観測した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：TEG (特性評価回路など)

低消費電力実時間動画処理応用マルチポートSRAM

神戸大学大学院自然科学研究科 藤原 英弘, 新居 浩二, 森田 泰弘, 野口 紘希
神戸大学工学部 井口 友輔, 川口 博, 吉本 雅彦

概要：多数決論理を用いた低消費電力実時間動画処理応用マルチポートSRAMを設計・試作する。本SRAMは書き込み時に多数決論理回路を用いて保持データの“0”の個数を減らすことにより、読出し時のビットライン充放電電力を最小化することができる。また、動画処理では同時に読み書きされるデータの相関性が高いので、多数決論理を用いたマルチポートSRAMにより消費電力を効果的に削減することができる。本SRAMをH.264コーデックで生成したHDTV解像度の標準動画テストシーケンスの再構成画像に適用することにより、読出しビット線の電力を45%削減し、読出し全体の電力を28%削減することを実測により確認した。また、面積オーバーヘッドは7%であり、アクセスタイムオーバーヘッドは4%である。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：メモリ

微細CMOS基準電圧発生回路の設計

富山県立大学大学院工学研究科 鈴木 圭一, 松田 敏弘, 岩田 栄之

概要：アナログ・デジタル混載集積回路は、様々な機能を1チップ上に実現することが可能であり、アナログ回路でもCMOSプロセスによる実現が望まれている。アナログ回路では、温度依存性が無く電源電圧にも依存しない基準電圧発生回路は重要である。オンセミコンダクター1.2 μ m CMOSプロセスで開発した高精度CMOS基準電圧発生回路を、より微細なプロセスに適用可能であるか検討した。本チップには、基準電圧発生回路、リングオシレータ、単体MOSFETを搭載した。また、基準電圧発生部のトランジスタのW/L比が調整可能なMOSFETを配置し、本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした。基準電圧発生回路は、同じ設計値のものを4つ配置してある。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

1. 14Gb/s 15360bits LDPC 符号復号器 LSI

早稲田大学大学院情報生産システム研究科 清水 一範, 池永 剛, 後藤 敏

概要: 本 LSI は, LDPC (Low-Density Parity-Check) 符号と呼ばれる次世代誤り訂正符号の復号処理機能を専用回路で実現した ASIC である. 復号処理の要素演算の並列化に加えて, 復号スケジュールならびに低コストな復号中間値メモリの構成方法を実現することにより, 標準スケジュールと比較して同等以上の誤り訂正能力と同等のメモリサイズで約 3.33 倍の高速化が可能となる. これにより, 15,360bit の長い符号長に対して 1.14Gb/s の処理性能を実現した. さらに, LDPC 符号の誤り訂正能力を左右する検査行列の非零要素を単位行列で拡張することによりブロックインターリーブを実現する手法を提案し, その検査行列を用いた部分並列型 LDPC 復号器アーキテクチャを実現した. これにより, 復号処理の高速化と同時にインターリーブの効果を高めることができ, 時間相関のある通信路におけるビット誤り率を改善することが可能となる. 復号中間値を保持する SRAM の総ビット数は約 414Kbits で, IO スロットは 100 [MHz] で動作させ, 復号器コアは入力クロックを PLL で 2 倍にしたものを入力し, 200 [MHz] で動作する. 消費電力は 528 [mW] で, 復号器コアのゲート数は 591K gates である.

設計期間: 2 人月以上, 3 人月未満 設計ツール: Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数: 100,000 以上 試作ラン: ASPLA 90nm 5.0mm x 5.0mm チップ種別: その他

走行時パワーゲーティング制御による動作時リーク電力低減技術の実装と評価

芝浦工業大学大学院工学研究科 武田 清大, 香嶋 俊裕, 大久保 直昭

芝浦工業大学工学部 白井 利明, 宇佐美 公良

概要: 本試作では MTCMOS 回路を応用し, 被演算数のビット幅に応じて動的, かつ細粒度にスリープ制御を行うことでリーク電力を低減することを目的とした 32bit x 32bit 乗算器を設計した. 回路構造として論理ゲートに Low-Vt Tr. を用い, 論理ゲートとグラウンド線の間 High-Vt Tr. を用いたパワースイッチ (PS) を挿入した. 乗算器は出力の上位 16bit, 上位 17~32bit, 下位 32bit を計算する 3 つのドメイン (H, M, L) で構成される. 入力の前段には被演算数の上位 16bit のオールゼロを判定する回路があり, 片方, 又は両方の被演算数が 16bit 以下であれば演算に不要なドメインの PS を動的にオフしリーク電流を低減する. 試作した回路に対してテストにて信号波形を与え, 正常に動作することを確認した. また, 各ドメインをスリープした状態では, リーク電流が低減できることを確認した (H スリープ時 13.8% 低減, HM スリープ時 20.7% 低減).

参考文献: 武田, 香嶋, 大久保, 白井, 宇佐美, "走行時パワーゲーティングを適用した低消費電力乗算器の物理設計と試作", 2006-SLDM-127, pp145-150, NOV, 2006

設計期間: 10 人月以上 設計ツール: Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreRC, synopsys 社 NanoSim トランジスタ数: 100,000 以上 試作ラン: ASPLA 90nm 2.5mm x 2.5mm チップ種別: 演算回路 (乗算器, 除算器など)

平成18年度第6回ASPLA CMOS 90nm試作 (AS90066)

ミリ波帯送受信回路と7GHz帯1Gbit/s無線通信回路向けTEG

東京大学大学院新領域創成科学研究科 藤島 実
東京大学大学院新領域創成科学研究科 石橋 浩二, 後藤 陽介, 神林 裕樹, オウトウ,
乾 千乗

東京大学工学部 青木 征洋

概要: 60GHz帯域での動作を目指した送受信回路とTEG, 及び7GHz帯域での1Gbit/s超高速無線通信向け回路のTEGを試作した。60GHz送受信回路では, これまでに試作してきた各ブロックのTEGを基に, マッチング回路に本研究室による自動設計プログラムを用いて送受信回路を作成したものである。また, 送受信回路の不動作時の原因追及および要素回路の特性の向上の為, PLL, LNA, Up-conversion Mixer, Down-conversion MixerのTEGを作成した。後の試作においてダイレクトコンバージョン方式の無線通信回路にも対応する為, 60GHz及び76GHz動作のQuadratureVCOを試作した。また, 波長短縮技術による面積効率を上昇させるSlow Wave Transmission Lineのミリ波帯域モデル完成の為にTEGを作成した。7GHz帯域向け回路においては, 送信回路の要素回路であるDigital Control Oscillator, Serial-Parallel Converter, Up-conversion Mixerを試作した。

設計期間: 7人月以上, 8人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ASPLA 90nm 5.0x5.0 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

$\Delta\Sigma$ AD変換器用低電力・高速量子化器のTEG

広島大学工学部 原田 良枝

広島大学大学院先端物質科学研究科 岩田 穆

概要: $\Delta\Sigma$ AD変換器において, 従来では積分器にスイッチトキャパシタ型を用いる方法がよく用いられてきたが, サンプリング周波数を上げノイズを抑圧するために, RCアクティブフィルタのような連続型アンプを用いる方法が研究課題となっている。その際, サンプリング周波数は量子化器の動作で決まるため, 量子化器には低電力で高速動作することが要求される。本試作では動作クロック周波数1GHzフラッシュ型4bit量子化器のTEGを設計試作した。15個のコンパレータ一つ一つに参照電圧生成機能を持たせることで, 抵抗ラダーを不要とした。さらにMOSのサイズを最小にすることで大幅な低消費電力化を狙う。しかしそのままではばらつきが大きいため, 補正用のデバイスを用いた。今回は補正データを保存するためにD-FFを用い, クロックによって一つのパッドから順次データを送る構成にしている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

可変誘導性負荷による15GHz定在波クロック分配ネットワーク

広島大学先端物質科学研究科 汐崎 充, 森 敦, 佐々木 守

概要: 誘導性負荷を用いた17GHzの定在波クロック分配回路を提案し, 設計・試作を行った。このクロック分配回路の周波数制御をバラクタで行うには数十~数百(fF)の制御が必要となり実現が非常に困難となる。そこで, 誘導性結合を用いた可変誘導性負荷による周波数制御を提案し, それを用いたクロック分配テストチップおよび, 可変インダクタやMOSなど単体部品の評価用TEGチップの2チップを試作した。本チップはクロック分配テストチップで4種類の回路を搭載した。各回路は, (1)インダクタの直径40um, CMOSクロスカップルを分散配置, (2)インダクタの直径50um, CMOSクロスカップルを分散配置, (3)インダクタの直径50um, CMOSクロスカップルを集中配置, (4)インダクタの直径50um, NMOSクロスカップルを集中配置の構成になっている。測定により十数GHzでの発振と1%程度の発振周波数が可動できる事を確認した。消費電力は12mW/Gridであった。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

可変誘導性負荷による 15GHz 定在波クロック分配ネットワーク (TEG)

広島大学先端物質科学研究科 汐崎 充, 森 敦, 佐々木 守

概要：誘導性負荷を用いた 17GHz の定在波クロック分配回路を提案し、設計・試作を行った。このクロック分配回路の周波数制御をバラクタで行うには数十～数百 (fF) の制御が必要となり実現が非常に困難となる。そこで、誘導性結合を用いた可変誘導性負荷による周波数制御を提案し、それを用いたクロック分配テストチップおよび、単体部品の評価用 TEG チップの 2 チップを試作した。本チップは評価用 TEG チップで、インダクタや MOS キャパシタ、NMOS や PMOS、インバータ単体を評価するために 2-port パターン 14 種類、4-port パターン 12 種類を搭載している。インダクタの測定は行い、設計と同等のインダクタンスが得られていることを確認した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 CalibrexRC トランジスタ数：10 未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：TEG (特性評価回路など)

45nm 世代以後に向けた低電力・低リーク回路技術

中央大学理工学部情報工学科 榎本 忠儀, 小林 伸彰, 石川 雄悟, 金子 達也,
岩成 武司, 仲山 拓顕, 萩原 洋介, 筒井 俊博

概要：1) Weak Inversion 領域で動作する超小型リーク電流削減回路技術をチップに作り込み、その効果 (サブスレッショル以外に、GIDL, ゲートトンネルを二桁以上削減出来る事) を実証する。当グループが開発した本回路は面積オーバーヘッドが小さい、雑音耐性が高い、データ保持が出来る (ロジックに限らずメモリや FF に応用できる) 等の特徴がある。2) 新規に開発した超小型アクティブ電力削減回路技術をチップに搭載し、その効果 (一桁以上削減出来る事) を実証する。3) 以上の技術を下記の各種 TEG に適用し、効果を検証すると共に、今後の研究にフィードバックする。 TEG 内容；各種メモリ、ビデオコーデック、動画像符号化向け動きベクトル検出回路、クロックネットワーク、PLL、平方根回路、除算回路、乗算回路、新アーキテクチャフリップフロップ、他

設計期間：8 人月以上, 9 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ/デジタル信号処理プロセッサ

32nm 世代 SoC に向けた低電圧動作 SRAM の実験的検証

神戸大学大学院自然科学研究科 森田 泰弘, 藤原 英弘, 野口 紘希, 新居 浩二
神戸大学工学部 井口 友輔, 川口 博, 吉本 雅彦

概要：8 トランジスタ構成の SRAM セル (8T セル) において低電圧動作を実現するための電圧制御手法を適用した 64kb SRAM を試作した。SRAM の低電圧動作を達成する上でしきい値電圧のばらつきが問題となっている。従来の 6T セルでは、動作マージン (読出し/書込み) の確保のためにトランジスタサイズを増大させる必要があり、面積が増大する傾向にあった。今回試作した 8T SRAM セルでは読出しマージンを考慮する必要がなく、トランジスタサイズを従来の 6T SRAM セルと比較して小さくできるため、32nm 世代においては 8T SRAM セルのほうがトランジスタ数が増えるものの面積が小さくなる。また、今回試作した 8T セルに読出し/書込みワード線電圧を高くする電圧制御手法を適用し、低電圧動作時の読出し電流/書込みマージンを確保し、低電圧動作を達成する。これにより、8T セルは 32nm 世代以降において低電圧・高集積の特性を同時に実現できる。試作チップは現在評価中である。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：メモリ

微細 CMOS 基準電圧発生回路を用いた温度センサの設計

富山県立大学大学院工学研究科 鈴木 圭一, 松田 敏弘, 岩田 栄之

富山県立大学工学部 押山 弘樹

概要：アナログ・デジタル混載集積回路は、様々な機能を1チップ上に実現することが可能であり、アナログ回路でも CMOS プロセスによる実現が望まれている。アナログ回路では、温度依存性が無く電源電圧にも依存しない基準電圧発生回路は重要である。また、電子機器内で使用されるリチウムイオン電池の過充電による発火防止など、様々な電子機器において温度センサが必要とされている。微細 CMOS 基準電圧発生回路を応用し、温度センサを設計した。本チップには、基準電圧発生回路、リングオシレータ、オペアンプ、単体 MOSFET を搭載した。また、基準電圧発生部のトランジスタの W / L 比が調整可能な MOSFET を配置し、本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした。基準電圧発生回路は、同じ設計値のものを3つ配置してある。オペアンプは、同じ設計値のものを3つ配置してある。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

フローディング型演算アルゴリズムに基づく超高速 LDPC デコーダ VLSI の開発

東北大学電気通信研究所 羽生 貴弘, 鬼沢 直哉, 池田 智和

概要：次世代データ通信誤り訂正符号である LDPC 符号の高性能デコーダチップの試作を行う。Variable ノードと Check ノード間の配線が膨大となるだけでなく配線ばらつきが顕著な LDPC デコーダは、最悪遅延に律即された処理能力となってしまう。そのため、さらなる高速化する手法としてフローディング型演算アルゴリズムを実装した超高速 LDPC デコーダを設計する。近隣のデータ類似性に着目し各ノードの演算が終わった時点で全てのノードの演算終了を待たずにデータの転送を開始するアルゴリズムを活用することで高速化が可能となる。256 ビット LDPC デコーダを試作し、テストチップによる速度評価および BER 評価を行い、本提案手法の有効性を示す。

設計期間：3 人月以上, 4 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Astro, C シミュレーション トランジスタ数：100,000 以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：演算回路 (乗算器, 除算器など)

電源ノイズ波形測定 TEG

大阪大学情報科学研究科 小笠原 泰弘, 橋本 昌宜, 尾上 孝雄

概要：本試作では電源ノイズによる電源電圧変動を測定する回路を実装し、電源ノイズを測定することを目的とする。電源ノイズ測定回路は1つの TEG につき、動作段数が可変である NAND ゲート 12 段を 512 個配置して電源ノイズを発生させる。各種の条件を変えて配置した TEG の数は 12 個である。電源ノイズ波形測定回路は繰り返し発生するノイズ波形をサンプリングし、電源ノイズの波形を測定する回路である。ノイズ発生回路、電源ノイズ測定回路は PLL の生成するクロックに同期して動作する。ノイズ測定回路を用いてオンチップに意図的に追加される、または必然的に寄生する容量が電源ノイズに与える影響を測定する。測定結果から、実装した電源ノイズ測定回路が電源ノイズ波形をサンプリングすることが可能であることを確認し、今後このプロセスにおける測定回路のサンプリング性能限界、電圧精度などの情報を得る予定である。各 TEG の測定結果の比較から、オンチップに付加される、または寄生する容量が電源ノイズに与える影響を観測した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 DesignCompiler, Mentor 社 ModelSim, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Synopsys 社 Nanosim トランジスタ数：100,000 以上 試作ラン：ASPLA 90nm 2.5mm x 2.5mm チップ種別：TEG (特性評価回路など)

宇宙電磁環境観測用プラズマ波動計測アナログチップ

京大大学生存圏研究所 小嶋 浩嗣, 松本 陽史, 上田 義勝

概要：宇宙プラズマ中において、自然に発生しているプラズマ波動を、多点で計測するためには、プラズマ波動計測装置の極端な軽量化が必要である。本チップは、プラズマ波動計測装置の大部分を占めるアナログ部をチップ化するための基礎評価を行うためのものである。内部は、100kHzの2次パワースタップのgm-cフィルタ、オープンループ80dBのオペアンプ、CMRR60dB以上の差動アンプ、7次のスイッチトキャパシタフィルタ、およびA/Dコンバータからなる。試作したチップの動作は、それぞれのコンポーネント別によって行い、外部からの信号入力に対する出力信号を測定、その周波数ゲイン特性、オープンループゲイン特性、CMRRの特性など、当初予定していた性能がほぼ出ていることが確認されたが、チップ毎の性能のばらつきがまだ、大きいことが課題である。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：100以上, 1,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 9mm² チップ種別：通信 (RF回路, ATMなど)

平成18年度第3回MOSIS-TSMC CMOS 0.25 μ m試作 (MT25063)

高精度湿度センサー及び高速通信用基礎検討 TEG

大阪大学工学研究科 田中 智之, 井田 司, 松岡 俊匡, 谷口 研二

概要：誘電率の変化を微小電流により検知する容量センサーを設計した。ターゲットとしては、高精度湿度センサーを目的とした。容量変化を高精度に検出するために、スイッチングの方法により負荷容量をキャンセルできる回路方式を採用した。容量部はメタルを櫛型構造にし、チップ製造後に反応膜を形成できるように保護膜を取り除いている。また、シリアルデータ通信において重要な要素回路の1つであり、受信データからデータレートに同期するクロックを再生するクロック&データリカバリ回路の基礎検討のための設計も行った。VCO制御電圧の初期電位に依存せずにループを収束させるVCO制御電圧修正回路を付加し検討を行った。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：1,000以上, 10,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 25mm² チップ種別：TEG (特性評価回路など)

JEM-EUSO 望遠鏡用 MAPMT 信号読み出し ASIC

甲南大学理工学部 梶野 文義

ISAS/JAXA 宇宙探査工学研究系 池田 博一

概要：JEM-EUSO計画は、国際宇宙ステーションから極限エネルギー宇宙線 (EECR) を観測する科学ミッションである。EECRの検出には、それが大気に突入した際に発する微弱紫外線を捕らえる必要がある。微弱紫外線の検出にはマルチアノード光電子増倍管 (MAPMT) を用い、その画素数は0.2MPixelにも及ぶ。本試作ではMAPMTアノード信号読み出し回路を開発した。このVLSIはMAPMTのアノード信号を16ch分処理することが出来る。このVLSIに入力されたアノード信号はパルス時間幅に変換され出力される。理学的要請から、MAPMTへの入力光電子数が1p.e.~300p.e.までの入力電荷量で線形性を保ちながらパルス時間幅へ変換する必要がある。また、1p.e.レベルの微小電荷量でも数え落とすことがあってはならない。今回試作したVLSIの後段には、この時間幅を計測する回路を実装し、MAPMTの入力光量をバイナリー値に変換する。実験で性能を評価したところ、入力光電子数1p.e.~500p.e.までの入力-出力線形性が確保されていることが確認できた。また1p.e.レベルの微小電荷量であっても出力が正しく応答していることも確認できた。よってJEM-EUSO計画において要求される理学的要請は満足したといえる。今後は耐放射線性や消費電力の低減などに取り組む。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：MOSIS-TSMC 0.25 μ m 8.1225mm² チップ種別：アナデジ混載

弱反転領域動作 $\Delta\Sigma$ モジュレータ

大阪大学工学研究科 井田 司, 田中 智之, 松岡 俊匡, 谷口 研二

概要：MOS トランジスタの弱反転領域を用いた省電力 $\Delta\Sigma$ モジュレータを設計した。モジュレータは2次のモジュレータとして設計し、モジュレータ内のオペアンプはスルーレート特性を改善するため、入力信号の絶対値に応じてバイアス電流を変化させる Adaptive Bias オペアンプを用い、特性の向上を図った。全ての MOS トランジスタを確実に弱反転領域で動作させるため、電源電圧は 0.5V とした。測定を行ったところ、クロック周波数 5kHz、オーバーサンプリング倍率 16 倍のとき、31dB の SN 比が得られ、そのときの消費電流は 26nA であった。また、Adaptive Bias の有無による特性の変化を確認したところ、Adaptive Bias を用いることで SN 比が約 10dB 改善することを確認した。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Cali-

bre, Mentor 社 CalibrexRC トランジスタ数：100 以上、1,000 未満 試作ラン：MOSIS-TSMC 0.25 μ m 25mm² チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

平成18年度第1回MOSIS-TSMC CMOS 0.18 μ m試作 (MT18061)

3次元集積技術を用いたマルチオブジェクト認識システムのための画像前処理チップ

広島大学大学院先端物質科学研究科 亀田 成司, 安藤 博士, 有園 大介, 小田原 正起,
佐々木 守, 岩田 穆

広島大学ナノデバイス・システム研究センター 佐々木 信雄, 吉川 公麿

概要：3次元集積マルチオブジェクト認識システムの実現を目指し [1], インダクタカップリングによるローカル無線通信とチップ集積アンテナを用いたグローバル無線通信を搭載した画像前処理チップを設計した。チップ内に、アナログメモリ, 抵抗回路網およびバッファ回路で構成された画素回路をアレイ状に配置することで超並列の回路構造を実現し, 輪郭強調等の前処理を高速に実行する。別に試作された参照メモリチップおよび物体検出・認識チップと組み合わせることで複数の対象物の認識を可能にする。画素サイズ32.6 (H) \times 24.3 μ m (W), 画素数84 \times 84, インダクタサイズ200 μ m \times 190 μ m, 転送回路の並列度21, チップ集積アンテナ長3.0mm, 受信回路数2個で設計した。

参考文献：[1] A. Iwata, et al., "A 3D integration scheme utilizing wireless interconnections for implementing hyper brain", ISSCC Dig. Tech. Papers, pp.262-263, Feb., 2005.

設計期間：6ヶ月以上, 7ヶ月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：MOSIS-TSMC 0.18 μ m 25mm² チップ種別：その他

3次元集積技術を用いたマルチオブジェクト認識システムのための参照メモリチップ

広島大学大学院先端物質科学研究科 安藤 博士, 亀田 成司, 有園 大介, 佐々木 守,
岩田 穆

広島大学ナノデバイス・システム研究センター 佐々木 信雄, 木元 健太郎, 吉川 公麿

概要：3次元集積マルチオブジェクト認識システムの実現を目指し [1], インダクタカップリングによるローカル無線通信とアンテナを用いたグローバル無線通信を搭載したメモリチップを設計した。本チップは別に試作された画像前処理チップおよび物体検出・認識チップのための入力画像・参照ベクトルデータ保存に用いられる。画像前処理チップとはPWM信号を用いて21チャンネルのインダクタで21画素並列に, 物体検出・認識チップとは21bit デジタル信号で画素シリアルに通信する。チップ諸元は電源電圧1.8V, クロック周波数250MHzで, インダクタとアンテナの伝送速度は1Gbps/1ch, 搭載容量は入力画像用56kbits, 参照ベクトルデータ用319kbitsである。

参考文献：A. Iwata, et al., "A 3D-integration scheme utilizing wireless interconnections for implementing hyper brains", Digest of ISSCC2005, pp. 262-263, Feb 6-10, 2005.

設計期間：6ヶ月以上, 7ヶ月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：MOSIS-TSMC 0.18 μ m 25mm² チップ種別：メモリ

3次元集積技術を用いたマルチオブジェクト認識システムのための検出・認識チップ

広島大学大学院先端物質科学研究科 安藤 博士, 亀田 成司, 有園 大介, 佐々木 守,
岩田 穆

広島大学ナノデバイス・システム研究センター 佐々木 信雄, 木元 健太郎, 吉川 公麿

概要：3次元集積マルチオブジェクト認識システムの実現を目指し [1], インダクタカップリングによるローカル無線通信とアンテナを用いたグローバル無線通信を搭載した物体検出・認識チップを設計した。処理アルゴリズムは固有顔法を基本にしている。入力画像サイズは84 \times 84, 対象物体サイズは32 \times 32である。別に試作されたメモリチップから入力画像・参照ベクトルデータをローカル無線通信で画素シリアルに受信した後, 部分空間生成・画像再構成と類似度演算・最小距離探索にて物体を検出・認識する。チップ諸元は電源電圧1.8V, クロック周波数250MHzで物体検出時間580 μ s, 1対1認証時間は4.2 μ sで, 40GOPsの演算性能を有する。

参考文献：A. Iwata, et al., "A 3D-integration scheme utilizing wireless interconnections for implementing hyper brains", Digest of ISSCC2005, pp. 262-263, Feb 6-10, 2005.

設計期間：6ヶ月以上, 7ヶ月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Synopsys社 PowerMill, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：MOSIS-TSMC 0.18 μ m 25mm² チップ種別：アナログ/デジタル信号処理プロセッサ

リコンフィギュラブルRF回路に向けた0.98-6.6GHz広帯域VCO

東京工業大学統合研究院 伊藤 雄作, 菅原 弘雄, 岡田 健一, 益 一哉

概要: 本試作では, リコンフィギュラブルRF回路の実現に向けて, 広帯域チューニングが可能な電圧制御発振器 (VCO) を作成した. 提案する回路は, LC-VCO で発生させた信号に対し, 周波数分周器とミキサとスイッチを用いることで, コアとなるLC-VCOの6倍の周波数範囲のLO信号を発生させる. 実測の結果, コア部のLC-VCOの発振範囲は1.96GHz~3.32GHzであり, 回路全体では発振範囲は0.98-6.64GHzであった. 全周波数範囲において, FoMは-179~-183dBc/Hzで, FoMTは-202~-206dBc/Hzであった. LC-VCOの既発表論文中において, 最大の周波数チューニングレンジと最高のFoMTを実現した.

参考文献: 伊藤, 菅原, 岡田, 益, "A 0.98 to 6.6GHz Tunable Wideband VCO in a 180nm CMOS Technology for Reconfigurable Radio Transceiver", ISSCC (2007).

設計期間: 0.1人月未満 設計ツール: Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibrexRC トランジスタ数: 10未満 試作ラン: MOSIS-TSMC 0.18 μ m 25mm² チップ種別: マイクロプロセッサ

UWB送受信回路チップ

広島大学ナノデバイス・システム研究センター 佐々木 信雄, 福田 雅志, 新田 雅和,
吉川 公麿

概要: 今回, チップ間無線通信のためのウルトラワイドバンド (UWB) 送受信回路の試作を行った. ガウシアン・モノサイクルパルス (GMP) 生成回路は, 三角波生成回路+微分回路からなり, 三角波はクロックと微小遅延させたクロックを論理回路に入力して生成する. 今回, XOR型GMP生成回路及び, NAND+NOR型GMP生成回路について, それぞれを組み込んだ送信回路を試作した. 前者は同期GMP信号とオンオフ変調されたデータGMP信号を交互に送信する. 受信回路は同期, データ検出の二つのGMPテンプレート発生回路を持ち, テンプレートの位相をスライドさせつつ, 受信波形との積を取ることで検波を行う. 受信波形-テンプレート間の積はインバータ・バッファでデジタル信号に変換されるが, この信号はリターンゼロ (RZ) であり, かつ同期パルスが除去されていない. 従って, RZ/NRZ (ノンリターンゼロ) 変換回路で, 同期パルスとデータの分離, 及びNRZへの変換を行う. 試作したUWB受信回路はアンテナ間距離0.5mmにおいて100MHzクロック復調及び50Mbpsデータ復調に成功した.

設計期間: 3人月以上, 4人月未満 設計ツール: Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibrexRC トランジスタ数: 100以上, 1,000未満 試作ラン: MOSIS-TSMC 0.18 μ m 10mm² チップ種別: 通信 (RF回路, ATMなど)

平成18年度第1回OKI SOI CMOS 0.15 μ mSOI試作 (OKI0603)

LSI 基板変更法テスト用デバイス・回路搭載のSOIチップVersion1

東京大学大学院工学系研究科 三田 吉郎, シーサムラヌ・サックダー

概要：本研究では，“MEMS技術によるLSI基板変更法”というテーマで研究を進めてきた。具体的には，MEMS技術で高性能・高集積のシリコンLSIの基板を新しい素材に変更することによって，革新的なアプリケーションに適用するという目標である。例えば，シリコンLSIの基板の新しい素材を柔らかいものにする，フレキシビリティが特徴である有機LSIと合わせて新アプリケーションに適用できるのである。そのため，シリコン基板を選択的に取り除くことの出来るSOIチップを本研究で設計し，適用する予定である。また，シリコンLSIの基板を変更する前と変更した後の測定結果を比較することによって，本研究において提案する方法の実現可能性を示すことも目標としている。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10,000以上，100,000未満 試作ラン：OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm チップ種別：MEMS

● 京都大学情報学研究科 牟田 博和, 小林 和淑, 小野寺 秀俊

概要：スタンダードセル生成ツール VARDS (京都大学にて開発)を用いて310種類のSOIプロセス用スタンダードセルを作成し，その論理合成用ライブラリと配置配線用ライブラリを作成した。セルライブラリについては，平成16年度第2回の試作にて開発したものである。今回の試作では，論理合成用ライブラリをOKIプロセス用のBSIM3 Bulkモデルを用いて作成した。論理合成用ライブラリならびに自動配置配線用ライブラリ(平成16年度第2回試作にて作成)を用いたセルベース設計環境を評価するために，FIRフィルタを設計した。また，ライブラリセルの遅延特性を評価するために，リングオシレータを搭載した。FFの動作検証用回路としてシフトレジスタを用意した。しかし，IO部のレイアウトミスによりテストにより一部の動作を検証するのみであった。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre トランジスタ数：10,000以上，100,000未満 試作ラン：OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm チップ種別：TEG (特性評価回路など)

無線LAN受信機のRFフロントエンドの試作

大阪大学大学院工学研究科 木原 崇雄, 中村 圭志, 松岡 俊匡, 谷口 研二

概要：2.4 GHzおよび5 GHz帯に対応した無線LAN受信機のRFフロントエンドを試作した。アーキテクチャーはヘテロダイン方式を用いた。3.8 GHzと1.3-1.5 GHzで動作する二つの局所発信器(LO)を用いている。受信した信号は，2.4と5 GHzの中間周波数である3.8 GHzにダウンコンバートされた後で，ベースバンド周波数に変換される。このような周波数プランにすることで，低雑音増幅器(LNA)以降の要素回路を二つの周波数帯で共有することができる。また，5 GHzで動作する全差動型の周波数分周器も試作している。シミュレーションで電源電圧が1 Vのとき，RFフロントエンドの可変利得範囲は9.4-56.7 dB，最大利得のときのNFは5.9 dB，消費電力は43.5 mAであった。また，分周器の動作も確認している。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, Agilent社 ADS トランジスタ数：100以上，1,000未満 試作ラン：OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm チップ種別：通信(RF回路, ATMなど)

FD-SOIによるセンサー用フロントエンド回路

宇宙航空研究開発機構宇宙科学研究本部 宇宙探査工学研究系 池田 博一

高エネルギー加速器研究機構素粒子原子核研究所 新井 康夫

概要：宇宙航空研究開発機構、高エネルギー加速器研究機構では、ミクロンオーダーの精度を有する荷電粒子飛跡検出器を開発している。本試作においては、FD-SOIの低消費電力、高速性、放射線耐性等の優れた性能が、かかるセンサー用フロントエンド回路としての要求に適合することを実証すべく、また平成17年度第1回OKI試作（OKI-2005-09）において抽出された課題の解決を行うべく、センサー用フロントエンド回路に特徴的な複数の回路方式を試すこととした。平成17年度の試作では、入力保護回路での漏れ電流、および定電流源の過剰雑音が課題として提示された。本試作では、これに対する対策を施した結果、低雑音低雑音特性を確認することができた。

設計期間：3人月以上、4人月未満 設計ツール：Tanner Tools Pro, Mentor社 Calibre

トランジスタ数：1,000以上、10,000未満 試作ラン：OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）

CMOSアクティブ型磁界プローブ

静岡大学電子科学研究科 青山 聡

静岡大学電子工学研究所 川人 祥二

東北大学大学院工学研究科 山口 正洋

概要：近年問題となっているICからのEMC問題に対し、その評価診断ツールとしての高性能な磁界プローブの開発が望まれている。この要求に対し我々の研究室ではCMOS回路技術を用いたアクティブ型磁界プローブの開発を行っている [1]。これまでの試作で問題となっていたプローブの帯域を広げるため、本試作では新たに周波数変換技術を用いた磁界プローブを開発、設計した。検出コイル、ミキサ、VCOを1チップに集積化することで、高周波帯域にあるノイズスペクトラムをLSI上でダウンコンバートし、低周波領域で同定することができる。本方式では、プローブの広帯域化だけでなく、LSI出力において高周波信号を扱う必要がなくなるため、信号取り出し部での損失を避けることができ、プローブのSNRが向上することも期待できる。

参考文献：[1] S. Aoyama, S. Kawahito, M. Yamaguchi, "Integrated Active Magnetic Probe in SOI-CMOS Technology", JJAP, Vol. 45-9A, pp. 6878-6833, 2006. 09

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre トランジスタ数：100以上、1,000未満 試作ラン：OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm チップ種別：その他

ボディ電位フォース・モニタ回路とSOIトランジスタ回路技術

早稲田大学大学院情報生産システム研究科 岡村 怜王奈, 吉原 務

概要：SOIトランジスタはLSIの低電力化・高速化に有効であるとされるが、ボディ部の電位が履歴効果を持つため、バルクSiトランジスタに比べて特性は複雑であり、従来のシミュレーションモデルではあまり正確に表現できない。より正確なトランジスタモデル作成のため、特にボディ電位についてトランジスタ特性を実測するためのTEGを作成した。一つとして、ボディ電位がトランジスタのスイッチング速度に与える影響を測定するためのTEGを作成した。また、履歴効果を積極的に利用した回路技術としてTwin Transistor RAMに注目し、読み出し・書き込み時のボディ電位を実測するTEGを作成した。セルアレイの他に高速読み出しを可能にするセンスアンプ構成についても検討し、設計した。また他に、外部のバラつき要因によらず、ロジック回路を一定周波数で動作させるために電源電圧をコントロールする電源回路についても設計を行った。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：100以上、1,000未満 試作ラン：OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm チップ種別：TEG（特性評価回路など）

集積化マイクロ磁界プローブ

東北大学大学院工学研究科 山口 正洋, 小屋 祥太

東北大学工学部 鳥塚 英樹

概要：近年、LSIなどの発展に伴い、不要電磁放射によるEMC問題が顕在化している。対策としてはLSIの近傍磁界を測定し、ノイズ源や伝播経路を特定する必要がある。そこで、我々の研究では高周波・高空間分解能の集積化マイクロ磁界プローブの開発を行っている。本試作では、オンチップに高周波アンプを搭載し、磁界検出コイルを小型化することで分解能の向上をめざした。磁界検出用コイルには、局所的な部分の磁界を3次元で検出する3Dサイコロ型コイルや5ターンコイル、また1ターンコイルを斜めにし、チップの厚さ方向の磁界も合わせて高出力を得るためのブロードウェイコイルなどを設計した。また、チップ上側に模擬的な配線を配置した。これは、コイルと配線との距離が正確にわかり、実測との比較に利用できる。チップと実装用プリント基板との実装には、電磁ノイズへの耐性強化、不要ループ削減のためワイヤボンディングではなく、フリップチップ実装を想定して信号取り出し用パッドを設計した。

参考文献：S. Aoyama, S. Kawahito, and M. Yamaguchi, "An Active Magnetic Probe Array for the Multiple-Point Concurrent Measurement of Electromagnetic Emissions," IEEE Trans. on Magnetics, vol. 42, no. 10, pp. 3303-3305, Oct, (2006)

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10以上, 100未満 試作ラン：OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm チップ種別：アナデジ混載

LSI 基板変更法テスト用デバイス・回路搭載のSOIチップVersion2

東京大学大学院工学系研究科 三田 吉郎, シーサムラヌ・サックダー

概要:本研究では, “MEMS 技術による LSI 基板変更法” というテーマで研究を進めてきた。具体的には, MEMS 技術で高性能・高集積のシリコン LSI の基板を新しい素材に変更することによって, 革新的なアプリケーションに適用するという目標である。例えば, シリコン LSI の基板の新しい素材を柔らかいものにする, フレキシビリティが特徴である有機 LSI と合わせて新アプリケーションに適用できるのである。また, シリコン LSI の基板を変更する前と変更した後の測定結果を比較することによって, 本研究において提案する方法の実現可能性を示すことも目標としている。前回設計した同じ種類のチップ Version1 では, 一定の程度で LSI 基板変更法の実現可能性を示すことが出来たが, テスト用のデバイス・回路を更に測定しやすいように改良を加え, 本チップを設計した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm **チップ種別:** MEMS

トランスを用いた広帯域 LNA

大阪大学大学院工学研究科 木原 崇雄, 松岡 俊匡, 谷口 研二

概要:ゲート接地 LNA (CG LNA) は広帯域の入力インピーダンス整合を行えるが, その雑音特性は悪く (NF>4 dB), 広帯域無線受信機の LNA として用いることはできない。この CG LNA にソース接地増幅回路を組み合わせることで, CG LNA の雑音による影響を除去することができる。しかし, ソース接地回路の雑音の影響は取り除くことはできないので, この回路構成を用いても所望の NF を得ることは困難となる。本試作では, 上記の回路構成にさらにトランスを用いて, ソース接地回路の雑音の影響も部分的に除去できる回路構成とした。LNA の性能は, シミュレーション上で電源電圧が 1 V, 周波数帯域が 3.1-10.6 GHz, 電圧利得が 8.3-11.2 dB, NF が 4.3-4.9 dB, 消費電力が 4.0 mW であった。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Agilent 社 ADS **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm **チップ種別:** 通信 (RF 回路, ATM など)

生体信号用低電圧 A/D 変換回路と 3 倍 VDD 動作フィルタ回路

東京工業大学統合研究院 石田 光一, 益 一哉

概要:生体信号のように低周波な信号を取り扱うのに適したハイパス $\Sigma\Delta$ 変調方式の A/D 変換回路を, 低電圧動作に適するように, フィードフォワード構成としている。これによって積分器にもちいているオペアンプの出力振幅を抑制することが可能となるので, 信号のダイナミックレンジに限られる低電圧動作時でも歪みの少ないアナログ・デジタル変換を実現する。試作回路では 1 次のハイパス特性をもつ $\Sigma\Delta$ 変調回路をスイッチトキャパシタ回路方式にて実装している。3 倍 VDD 動作フィルタ回路は, 耐圧の低いスケリングされたトランジスタを用いて, 素子にストレスをかけない回路方式をとることで, 3 倍の電源電圧で動作するフィルタ回路である。試作回路では 1V 耐圧のトランジスタを用いて 3V 動作を実現するサレンキー型の 2 次ローパスフィルタ回路を実装している。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

RF マイクロ電磁界プローブ

東北大学大学院工学研究科 山口 正洋, 小屋 祥太
東北大学工学部 鳥塚 英樹

概要：近年，LSIなどの発展に伴い，不要電磁放射によるEMC問題が顕在化している．対策としてはLSIの近傍電磁界を測定し，ノイズ源や伝播経路を特定する必要がある．そこで，我々の研究では高周波・高空間分解能の集積化マイクロ電磁界プローブの開発を行っている．本試作では，電界アンテナとアレイ状にシールドループコイルを設計し，これまでと同様に高周波アンプとコイルセレクタを搭載した．電界アンテナで，検出する電界の共振周波数は数10GHzであるが，直近でアンプに接続しているため，共振周波数以下の弱い出力でも十分に検出できると考えられる．また，アレイ状コイルでは，コイルセレクタによりスイッチングスキャンすることで，測定時間の大幅な短縮が実現できる．上側半分には，線幅の異なるマイクロストリップ線路やコプレーナ線路を設計した．本試作は線路として用いる場合とプローブとして用いる場合の2通りを想定している．

参考文献：S. Aoyama, S. Kawahito, and M. Yamaguchi, "An Active Magnetic Probe Array for the Multiple-Point Concurrent Measurement of Electromagnetic Emissions," IEEE Trans. on Magnetics, vol. 42, no. 10, pp. 3303-3305, Oct, (2006)

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10以上，100未満 試作ラン：OKI SOI CMOS 0.15 μ m 2.5mm x 2.5mm チップ種別：アナデジ混載

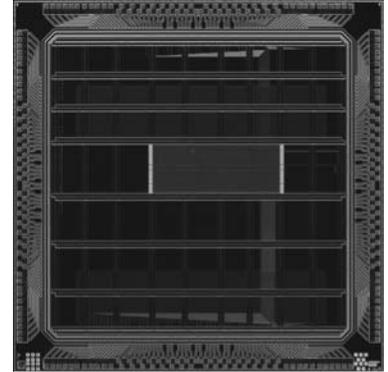
多目的k-mean 学習プロセッサ

東京大学大学院新領域創成科学研究科 鹿野 博嗣, 伊藤 潔人, 柴田 直

概要：ベクトル空間の密度を保存したまま、ベクトルの数を減らすことのできる汎用性の高いK_MEANS アルゴリズムは、ロバストにデータ圧縮できる反面、実時間で処理を行うには計算コストが高く、使用条件がオフラインに限られていた。そのため実時間処理要求に応えるために本研究室で開発された連想プロセッサのアーキテクチャをベースとし、K_MEANS プロセッサのアーキテクチャを工夫考案し、それを実装した。このプロセッサの特徴としては、アーキテクチャの工夫により計算時間の短縮とハードウェア量の削減を実現している点である。それを実現するために、各グループの重心となるシードベクトルをチップ内SRAMに蓄えずに、必要に応じてCSAとDIVIDERでシードベクトルを計算し、その結果をSRAMに蓄えられたテンプレートベクトルと同時にPEに入力して距離計算しており、この方法によってK-MEANS計算をプロセッサ上でやっている。測定結果では33MHzで16ベクトルを2つのグループに分けることに成功した。

参考文献：[1] Anantha Chandrakasan, William J. Bowhill, Frank Fox, "DESIGN OF HIGH-PERFORMANCE MICRO-PROCESSOR CIRCUITS"

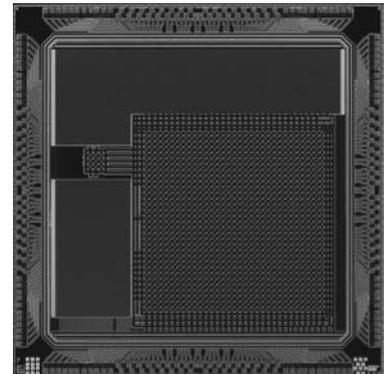
設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：マイクロプロセッサ

**Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture**

東京大学大学院新領域創成科学研究科 伊藤 潔人, 柴田 直

概要：これまでのスマートビジョンチップは、低消費電力化や省面積化のためにアナログ回路を用いて実装されることが多かった。しかし、アナログ回路はデジタル回路に比べ、処理の汎用性に乏しいという問題がある。一方で、デジタル回路は汎用性に富むが、回路が大規模となってしまう。本試作では、新たに時間領域でデジタル演算を行うロジック回路を提案し、コンパクトながら多機能な演算回路とフォトダイオードを集積した、新たなスマートビジョンプロセッサを開発した。演算としては、イメージセンサアレイ上での、いかなる線形フィルタ演算でも実現できる機能を備えている。5.9mm角チップ上に32 \times 32のピクセルユニットを実装し、電源電圧1.8V、最大動作周波数20MHzを実測によって動作を検証した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre
ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：イメージセンサ/スマートセンサ



トランジスタ数：100,000以上 試作

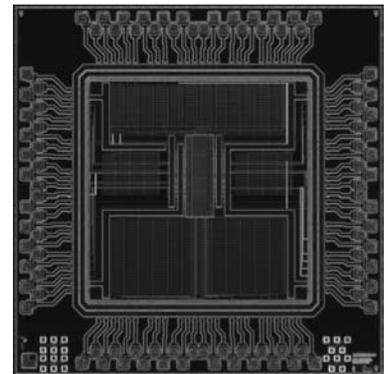
Early Visual Processing Chip Employing Cache Memory Architecture

東京大学大学院新領域創成科学研究科 オストルク オウグ, 柴田 直

概要：連想プロセッサを用いた画像認識システムへの入力として、画像の特徴ベクトルを効率よく生成する新たなプロセッサアーキテクチャを考案した。本設計では、エッジ情報から特徴ベクトルを生成する際に、エッジ情報の再利用が可能となる edge cache memory architecture を提案し、proof-of-concept チップを作った。このチップは、12x16-bitのSRAMメモリとメモリの下に付く6個のprocessing unit (PU)と結果をまとめるselectorとfinal accumulator回路からなる。このarchitectureではエッジ情報をメモリから読み出し、PUでの足し算とシフト演算により特徴ベクトル生成ができる。チップの測定により、60MHz, 1.8V動作で、一つの特徴ベクトルエレメント生成には2.8nsかかり、9mW消費電力がかかることを確認した。

参考文献：O. Ozturk, and T. Shibata, "An Edge Cache Memory Architecture for Early Processing VLSIs", SSDM, Yokohama, Japan, September 2006.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：1,000以上, 10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：演算回路(乗算器, 除算器など)

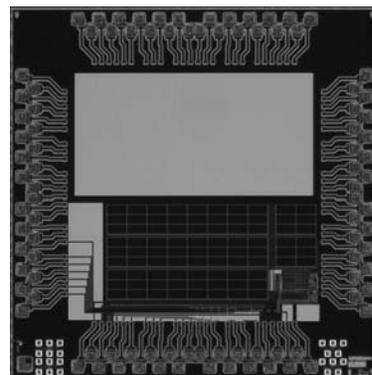


オンチップ電流検出回路用センサレイとアナログ・デジタル変換回路

東京大学工学系研究科 石田 光一

概要：チップ内の電源配線における電圧降下（IRドロップ）の顕在化や、回路の最適な動作条件を動的に制御するための消費電力モニタの必要性などから、チップ内の導体配線を流れる電流をリアルタイムにモニタすることが今後重要になると考えられる。本試作チップではオンチップ電流検出回路を実現するためのセンサレイとその出力信号をデジタル化するためのアナログ・デジタル変換回路を実装した。ホール起電力を応用したMOSトランジスタを電流センサとして用い、被測定導体線（電源線）に流れる電流により生じる磁束が当該センサを鎖交するよう導体直下に配してある。センサは感度などの比較評価が行えるよう各種のサイズのものを実装した。アナログ・デジタル変換回路はシグマ・デルタ型変調器を用いて、1ミリ秒以下の瞬間的な電流変動を4ビット程度の精度でデジタル信号に変換できるような仕様とした。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre トランジスタ数：100以上、1,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：TEG（特性評価回路など）

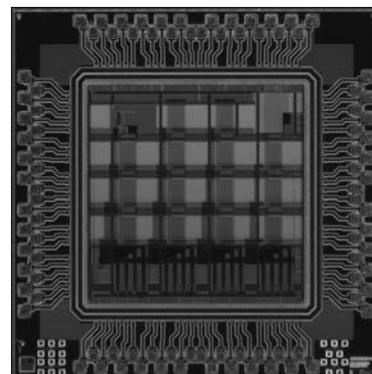


相乗りする複数デジタル回路IPのオンチップ測定方式

広島市立大学情報科学研究科 吉原 理記, 井上 智宏, 浅生 宗隆, 谷川 一哉, 弘中 哲夫

概要：多数のIPを個々に試作検証していたのでは検証コストが高く実現できない。そこで多数IPを1つのLSI上に相乗り形でのオンチップ動作検証環境の構築を目的としてオンチップ測定方式を提案する。本オンチップ測定方式ではピンネックを回避しつつ複数デジタル回路IPの論理検証、およびI/Oピンの影響を排除した動作遅延測定機能を有している。デジタル回路の論理検証機能はチップ外部と様々なIPや回路である被測定回路の結合にクロスバを用いる方法を採用した。この結果、オフチップ測定時に問題となるピン数ネック問題を解決することが可能となっている。また、被測定回路の遅延測定機能は高い周波数で変化する被測定信号の遅延を正確にチップパッケージ外から観察できるようにするため、基準信号と被測定信号のうなり信号を合成する方法を採用した。うなりを有することで高周波数信号の変化を低周波数の信号に変換することができ、チップ外で外乱を受けることなく容易に被測定信号の遅延時間を測定することが可能となっている。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：100,000以上 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：TEG（特性評価回路など）

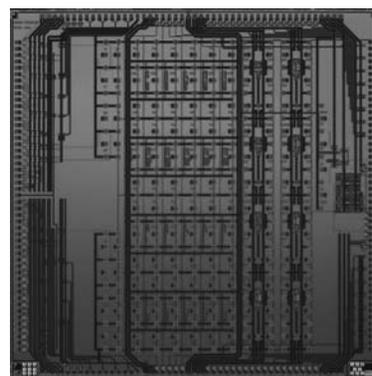


高速バスドライバ回路の改良

明星大学情報学部 秋山 豊, 宇佐美 保, 大塚 寛治

概要：前回の評価結果をもとに、広帯域時に於ける波形の劣化が想定された箇所及び、他の性能低下となりそうな箇所の改良を行った。入力信号配線による信号波形の劣化と考えられる現象については、測定対象の数GHz～十数GHzの領域ではチップ上のメタル配線がまだインダクタンスよりも抵抗ドミナントであることが原因と考えられるため、この対策として現在用いられている2 μ 幅のメタルを用いた100 Ω のスタックドペアラインを10 μ 幅で対GND 50 Ω のコプレーナペアラインに変更、また電荷交換型比較用セル回路では配線長の問題を考慮して等長配線を実施。CMOS高速、高感度レーバに於いては上記改善に加えセル構造の違いによる評価を追加し、全ての評価回路に電源配線の強化を行った。結果 高速、高感度レーバでは入力振幅100mV/10mVを復元でき高速レーバでは2.7GHz、高感度レーバでは1.56GHzのアンプ能力を確認。これは前回よりそれぞれ250、360MHzの改善である。他の評価回路に於いても出力電圧レベルの改善効果が確認された。

設計期間：6人月以上、7人月未満 設計ツール：Synopsys社 Astro, Cadence社 Encounter, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上、100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 5.9mm角 チップ種別：TEG（特性評価回路など）



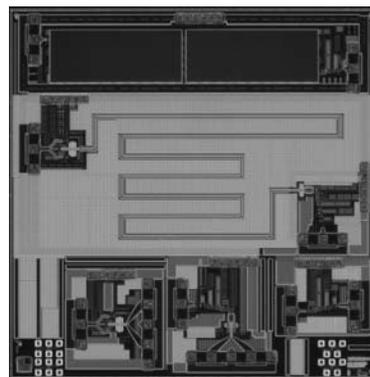
ブリエンファシス技術を用いたオンチップ差動伝送線路配線

東京工業大学統合研究院 伊藤 浩之, 杉田 英之, 岡田 健一, 益 一哉

概要: Si CMOS プロセスの微細化に伴い, オンチップのグローバル配線における遅延が深刻な問題となっている. 現在, 10Gbps 以上の高速信号伝送の実現のためには数 100mW~数 W の消費電力が必要とされており, 速度と消費電力のトレードオフが存在している. そこで, その2つを同時に実現するような配線技術の検討が行われている. 本研究では, オンチップのグローバル配線において高速信号伝送と低消費電力を同時に実現するオンチップ差動伝送線路配線を作成した. 提案する回路は, 配線に差動伝送線路を用いることで高速信号伝送を実現する. 特に, 送受端部分にブリエンファシス回路を設けることにより, より高速な信号伝送を実現している.

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist

トランジスタ数: 10 以上, 100 未満 試作ラン: 日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別: ニューテクノロジー

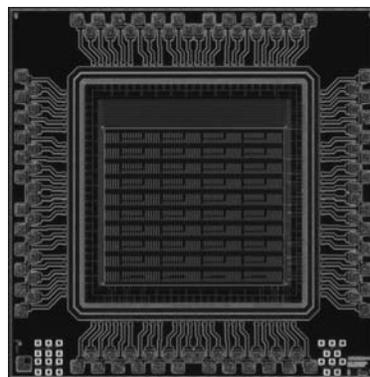


ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイ

九州工業大学情報工学部 渡邊 実, 小林 史典

概要: 光による高速な再構成が可能で, ゼロオーバーヘッド・ダイナミック型の光再構成回路を有する光再構成型ゲートアレイ (ZO-DORGA: Zero-Overhead Dynamic Optically Reconfigurable Gate Array) VLSI を試作した. 光再構成型ゲートアレイとは光メモリとゲートアレイ VLSI とを組み合わせた新構造のデバイスのことで, コンテキストの記憶に光メモリを, 光メモリと VLSI 間に大容量の光バスを用いることで, 大容量のコンテキストと高速な再構成とが両立できる. ここで, ゼロオーバーヘッド・ダイナミック光再構成型ゲートアレイとは, フォトダイオードの接合容量やゲートアレイを構成するゲートの負荷容量をメモリとして使用し, 光再構成処理とゲートアレイ上の演算とを並列に行える光再構成型ゲートアレイ VLSI のことである. この度の設計では, フォトダイオード受光部のサイズを 2 μ m \times 2 μ m, その間隔を 19.2 μ m とした. Island-Style のゲートアレイ部には, 30ゲートに相当する論理ブロックが36個, スイッチングマトリックスが50個, 4ビットの I/O ビットを持つ I/O ブロックが4個実装された. 配線チャンネル内の配線は8本である. この度試作した ZO-DORGA のゲート規模は 1,080ゲートである.

設計期間: 0.1 人月未満 設計ツール: Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数: 10,000 以上, 100,000 未満 試作ラン: 日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別: その他



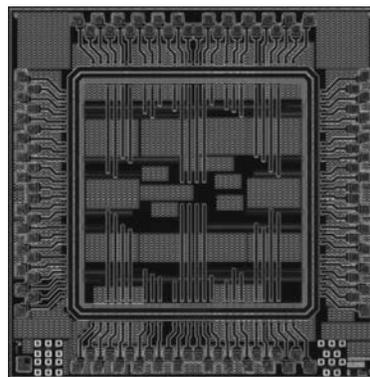
リング発振器を用いた基板ノイズ評価用回路の試作

慶應義塾大学理工学部 中野 誠彦, 西山 茂樹, 樋口 大輔, 森本 一毅

概要: アナログデジタル混載 IC の出現により, シングルチップでシステムを構成することが可能になった. その一方で, デジタル回路部で生成されたスイッチングノイズが, 同一シリコン基板を通してセンシティブなアナログ回路部に伝搬する基板ノイズの問題が顕在化している. 基板ノイズの評価方法としては, 直接波形をモニタリングする方法 (時間軸での評価), および周波数軸での評価方法がある. 本試作では, 周波数軸でノイズを評価するための試験システムを構成した. 構成要素としてはノイズ源としてのリング発振器, ノイズセンサとしてのリング発振器がある. なお, 評価はリング発振器のジッタ測定によって行うことを想定している.

設計期間: 4 人月以上, 5 人月未満 設計ツール: Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC

トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: 日立製作所 CMOS 0.18 μ m 2.9mm 角 チップ種別: アナログ (PLL, A-D/DC-DC コンバータなど)

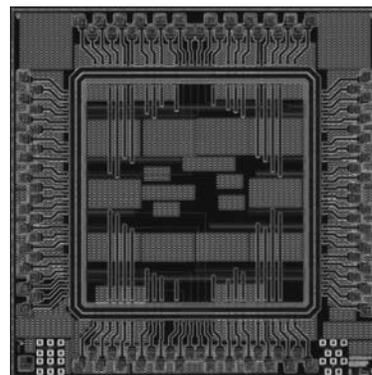


インバータチェーンを用いた基板ノイズ評価用回路の試作

慶應義塾大学理工学部 中野 誠彦, 西山 茂樹, 樋口 大輔, 森本 一毅

概要：アナログデジタル混載ICの出現により、シングルチップでシステムを構成することが可能になった。その一方で、デジタル回路部で生成されたスイッチングノイズが、同一シリコン基板を通してセンシティブなアナログ回路部に伝搬する基板ノイズの問題が顕在化している。本試作ではノイズ源として段数の異なるインバータチェーンを用意し、基板コンタクトをパッドに引き出すことでノイズ波形を外部でモニタリングすることを想定した。なお、ノイズ源であるインバータチェーンはトリプルウェルプロセスを用いることでどの程度ノイズ低減効果があるのか比較できるようにした。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：その他

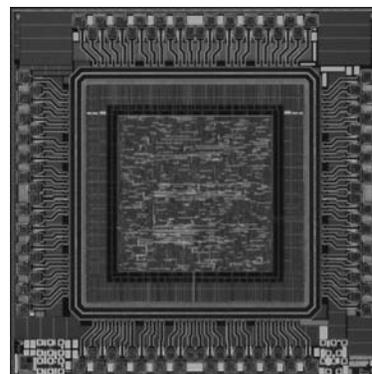


9/7タップウェーブレットフィルタ

関西大学工学部 堀場 康孝

概要：静止画像圧縮方式であるJPEG2000では、その周波数変換方式に離散ウェーブレット変換 (DWT) を採用している。本試作チップは、JPEG2000のコアシステムであるPartIに準拠した非可逆変換用9/7タップDWTを行うためのトランスバーサル型フィルタである。処理対象となる元画像を偶数画素、奇数画素に分割したものを毎クロック2画素ずつ入力し、高周波成分と低周波成分の画素成分を毎クロック出力として得る。この操作を入力画像全体に行うことにより、2次元DWTを行う。本回路は、主にディレイライン回路、乗算回路、多項加算回路で構成され、スタンダードセルライブラリを用いてレイアウトを行った。本試作は、設計したチップの動作検証、評価を目的として行った。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC トランジスタ数：10,000以上, 100,000未満 試作ラン：日立製作所 CMOS 0.18 μ m 2.9mm角 チップ種別：演算回路 (乗算器, 除算器など)



第3章 VDEC概要

3.1 組織概要

VDECは平成8年度に発足した。当時は専任教官5名と事務官1名という小さな組織であったが、平成9年度には専任教官2名と事務官1名が増員され、さらに、全国の大学と連携を密にする目的で各大学から2年を単位として2名の教官を派遣する「流動教官制度（平成16年度からは国立大学法人になったことに伴い客員研究員制度となる。）」がスタートした。また、産業界と協力を行うため、客員教授が1名おかれている。

VDECは現在、専任教員10名、客員教授1名、事務員2名の定員を有しているが、他にも多くの援助を受けながら運営されている。事務は工学系研究科事務部との合同化により直接の担当を共同利用チームとし、工学系研究科事務部全体の支援を受けている。教育・研究の分野では、学内の協力教員、学外の協力研究員、さらには全国の拠点大学の教職員と学生を含むCADボランティア等多くの協力者の手によって支えられている。

年 度	派 遣 大 学
平成9・10年度	東北大学, 横浜国立大学
平成11・12年度	金沢大学, 広島大学
平成13年度	千葉大学, 東京工業大学
平成14年度	千葉大学, 東京工業大学, 京都大学
平成15年度	京都大学, 九州大学
平成16年度	大阪大学, 九州大学
平成17年度	名古屋大学, 大阪大学
平成18年度	北海道大学, 名古屋大学

3.2 人事報告

VDEC人事

センター長・教授 浅田 邦博
教 授 藤田 昌宏
客員教授 川手 啓一 (平成19年3月まで)
客員教授 福岡 雅夫 (平成19年4月から)
助 教 授 池田 誠
助 教 授 高宮 真
特任准教授 名倉 徹 (平成19年4月から)
講 師 高木 一義 (平成19年3月まで)
助 手 鄭 若彤
助 手 小松 聡
助 手 佐々木 昌浩
客員研究員 吉澤 真吾

主 査 齊藤 岳己
係 長 小貫 浩 (平成19年3月まで)
主 任 杉田 佳代子

協 力 教 員 柴田 直
(東京大学新領域創成科学研究科教授)
高木 信一
(東京大学新領域創成科学研究科教授)
藤島 実
(東京大学新領域創成科学研究科助教授)
三田 吉郎
(東京大学工学系研究科電気工学専攻助教授)
竹中 充
(東京大学工学系研究科電気工学専攻講師)



新任のご挨拶

福間 雅夫

2007年4月より客員教授としてVDECの活動をお手伝いさせていただきます福間雅夫と申します。現在、NECエレクトロニクスにおいて、技術担当の役員として基盤技術の開発を統括しております。

VDECについては、その設立前に浅田センター長と

色々議論させて頂いたこともあり、個人的にも特別の思いがあるセンターです。いまVDECは日本におけるLSI設計に関する研究と教育に大変大きな役割を担っており、期待はますます高まるばかりです。

VDECでは主に設計技術やチップ試作に関するコンサルティングと特別講義などを担当させていただきます。企業に籍を置く者の視点で活動していきたいと思っておりますので、よろしくお願いいたします。

名倉 徹

これまで日本・米国のいくつかの企業を渡り歩いてきましたが、2007年4月より、東京大学VDECに准教授として任官いたしました。半導体業界は非常に特殊でして、技術発展の速さと世界的な競争の激しさは他業界と

比較しても群を抜いていると感じています。そのような、厳しいけれどもワクワク・ドキドキする状況の中、これまで産業界で得た知識と経験を生かしながら、日本の半導体教育・半導体研究のさらなる向上に貢献していきたいと考えています。よろしくお願いいたします。

吉澤 真吾

2006年4月より、北海道大学大学院情報科学研究科から派遣教員として赴任いたしました吉澤です。同大学修士及び博士課程の頃から、STARC（半導体理工学研究センター）の共同研究を通じて、音声処理・音声認識用LSI、無線通信用LSIなど、デジタル回路VLSIアー

キテクチャの研究開発に従事し、VDECのチップ試作やCAD利用を通じて、LSI設計に携わって参りました。今後も、新規分野のシステムLSI研究開発に挑戦していきたいと思っております。VDECの一員として、研究・教育活動に貢献できるように努力していく所存ですので、よろしくお願いいたします。

竹中 充

2007年4月より東京大学大学院工学系研究科の講師としてVDECに参加させて頂くことになりました竹中充と申します。

これまで半導体を用いた光デバイスの研究に携わり、マスク設計および試作、半導体プロセスなどを通じて

VDECのお世話になってきました。今後は、ポストスケーリング時代におけるSi LSIの特性向上に関するデバイス要素技術の研究開発を進めていく所存であります。

VDECでの業務としては、主に電子線描画装置などのマスク製造システムや薬品管理システムなどを担当させて頂きますので、何卒よろしく願いいたします。

退任のご挨拶

川手 啓一 (2005年4月-2007年3月, 客員教授を拝命)

2005年4月より2年間、東大VDEC客員教授を務めさせて頂きました。

当初は(株)先端SoC基盤技術開発(ASPLA)社長との兼務として、90nm世代プロセスでの試作、応募(無償)スキームの設定など、浅田先生のアグレッシブなチャレンジを受け、池田先生の厳しいご指導をいただき立上げ、その後(株)STARC殿に引き継ぎました。世界中でも希少な最先端シャトルとしてご利用いただき、また育てていただきました。

2006年3月以降は、東芝マイクロエレクトロニクス(株)常務取締役との兼務として、お手伝いさせて頂きました。0.35 μ m世代シャトルの大分工場展開については、残念ながら仕様の整合が取れず断念しご迷惑をお

掛けしました。EDAベンダーとの契約交渉の支援、微細修正技術を活かした加工の支援では役立てたかなと思っています。

JASVA(日本半導体ベンチャー協会)IP設計委員長として、230社を超えるベンチャーの提供する各種のサービスとアカデミアの需要を結びつける道をつけ、セミコンダクタ・ポータル(SPI)殿を心情的に支援する技術者として、同社の保有する半導体技術者1万人規模のWeb, Mail-Listを通して、VDEC殿主催イベントの周知拡販の仕組みを提供できたかと思えます。

自分の立場では何がお手伝い出来るかな? と問い続けた2年間でしたが、出来る事、やるべき事が理解できたと思っています。今後も同じ半導体、システムLSI技術に関わる人間として協力させて頂いただければ幸いです。

VDEC殿の今後益々の発展をお祈り申し上げます。

高木 一義

客員研究員として2年間、講習会運営などを中心にお手伝いさせて頂きました。短い間でしたが、VDECの活動が多くの方に支えられており、たいへん有意義であることを改めて認識いたしました。VDECひいては集積シ

ステム分野の教育・研究のますますの発展を期待しています。そのためには、全国の皆様のご理解、ご協力が欠かせません。私も微力ながら協力させて頂く所存ですので、今後ともよろしく願いいたします。

平成18年度大規模集積システム設計教育研究センター運営委員会委員名簿

氏名	所属
浅田 邦博	大規模集積システム設計教育研究センター長
松本 洋一郎	工学系研究科長
柴田 直	大学院新領域創成科学研究科 教授
坂井 修一	大学院情報理工学系研究科 教授
中野 義昭	先端科学技術研究センター 教授
荒川 康彦	先端科学技術研究センター 教授
高木 信一	大学院新領域創成科学研究科 教授
藤島 実	大学院新領域創成科学研究科 助教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
池田 誠	大規模集積システム設計教育研究センター 助教授
高宮 真	大規模集積システム設計教育研究センター 助教授

(オブザーバー)

難波 成任	総長補佐 農学生命科学研究科 教授
-------	-------------------

平成18年度大規模集積システム設計教育研究センター 全国運営協議会委員名簿

氏名	所属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授 (センター長)
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
南谷 崇	東京大学先端科学技術研究センター情報物理システム 教授
柴田 直	東京大学大学院新領域創成科学研究科基盤情報学専攻 教授
高木 信一	東京大学大学院新領域創成科学研究科基盤情報学専攻 教授
宮 永喜一	北海道大学大学院情報科学研究科 教授
大見 忠弘	東北大学未来科学技術共同研究センター 客員教授
國枝 博昭	東京工業大学大学院理工学研究科集積システム専攻 教授
柳澤 政生	早稲田大学理工学術院 教授
松田 吉雄	金沢大学大学院自然科学研究科 教授
高木 直史	名古屋大学大学院情報科学研究科情報システム学専攻 教授
小野寺 秀俊	京都大学大学院情報学研究科通信情報システム専攻 教授
谷口 研二	大阪大学大学院工学研究科電気電子情報工学専攻 教授
岩田 穆	広島大学大学院先端物質科学研究科半導体集積科学専攻 教授
安浦 寛人	九州大学大学院システム情報科学研究所情報工学部門 教授
山内 寛紀	立命館大学理工学部電子情報デザイン科 教授
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授
黒田 忠広	慶応義塾大学理工学部電子工学科 教授
吉本 雅彦	神戸大学工学部情報知能工学科 教授

(オブザーバー)

難波 成任	東京大学総長補佐 農学生命科学研究科 教授
-------	-----------------------

3. 3 決算報告

1. 運営費交付金

経費	金額
物件費	214,954,000
人件費	72,738,834

2. 平成18年度科学研究費補助金

研究代表者	研究題目	種類	金額(千円)
池田 誠	513光学近接効果を考慮した歩留まり最適レイアウト生成	基盤研究(C)	1,300
小松 聡	集積回路の大域配線上のデータ電送に着目した効率的アーキテクチャとその設計支援技術	若手研究(B)	1,600
藤田 昌宏	VLSI搭載電子機器設計への形式的手法の適用による設計生産性並びに設計再利用性向上技術に関する研究	特別研究員奨励費	400
飯塚 哲也	半導体集積回路のトランジスタレベルの回路最適化技術に関する研究	特別研究員奨励費	900

3. 平成18年度産学連携等経費

研究代表者	研究題目	種類	金額(千円)
浅田 邦博	キャラクタプロジェクション方式電子ビーム直接描画装置に適したLSI設計手法に関する研究	共同研究	4,200
浅田 邦博	システムLSI設計教育のためのリテラシープラットフォームの構築	共同研究	15,000
藤田 昌宏	上位設計記述に対する等価性検証ツールの開発	共同研究	15,000
藤田 昌宏	Reuse technology for electronics designs with UML diagrams	共同研究	17,710
浅田 邦博	高機能システムディスプレイの要素回路技術に関する研究	共同研究	3,150
藤田 昌宏	宇宙用電子機器設計支援システムにおける形式的検証適用方法の研究	共同研究	8,000
浅田 邦博	CMOSワイヤレス・トランシーバICの設計・試作とテキスト開発	共同研究	4,000
浅田 邦博	SOIデバイスおよび回路に関する特性評価	共同研究	550
浅田 邦博	スタンダードセルフフローにおけるトランジスタレベル最適化	共同研究	1,000
浅田 邦博	歩留まり最適化技術の研究	共同研究	1,000
池田 誠	高信頼・高性能デジタル集積回路実現に向けた基板技術開発	受託研究	2,000
高宮 真	超低消費電力の無線通信を実現するオールモスト・デジタル無線に関する研究	受託研究	32,240
浅田 邦博	動作状態センサ技術と高性能回路技術の研究(1)	受託研究	800
浅田 邦博	先端集積回路の評価・解析技術高度化の研究	受託研究	10,000

4. 平成18年度奨学寄附金

以下の企業・個人から寄附を頂きました。

受入件数：8 件 受入額 計 13,100,000円

(財)電気・電子情報学術振興財団, 日産自動車(株), (株)東芝, 丸文(株), (株)半導体理工学研究センター

第4章 研究報告

4.1 全体概況

	人数（名）	研究発表（件）			著書（冊）	特許（件）	受賞（件）
		研究論文	国際会議	その他			
VDEC 教員	48	10	36	32	0	0	3
協力教員	65	30	59	53	3	0	4

4. 2 研究室構成員 (平成18年度)

浅田・池田研究室

浅田 邦博 教授
池田 誠 助教授
佐々木 昌浩 助手
鄭 若彤 助手
鈴木 真一 技官

Mohamed Abbas ABDELRAHY 博士3年 (現在 帰国)

吉田 浩章 博士3年 (現在 東京大学ポスドク)
飯塚 哲也 博士3年 (現在 THine)
谷内出 悠介 博士2年
金 允璟 博士1年

James Tandon 博士課程研究生

石井 健 修士2年 (現在 ソニー)
風間 大輔 修士2年 (現在 日本TI)
曹 溶成 修士2年 (現在 三星電子)
橋本 紘和 修士2年 (現在 Yahoo)
門馬 太平 修士2年 (現在 浅田池田研究室 博士課程)

梁 志成 修士2年 (現在 松下電子)

Caner BASCI 修士1年

金 雄鉉 修士1年

栗原 健一郎 修士1年

曾我部 拓 修士1年

Pham Hai Dinh Minh 修士1年

山本 裕介 修士1年 (現在 休学中)

金 鎮明 修士1年

井上 拓郎 学部4年 (現在 三菱電機)

中村 大輔 学部4年 (現在 浅田池田研究室修士課程)

猪飼 啓太 学部4年 (現在 浅田池田研究室修士課程)

藤田研究室

藤田 昌宏 教授

小松 聡 助手

Bijan Malafeh Alizadeh 産学官連携研究員

瀬戸 謙修 産学官連携研究員

Thanyapat Sakunkonchak 産学官連携研究員

劉 宇 博士3年

高 尚華 博士2年 (平成18年10月から休学中)

松本 剛史 博士2年

小島 慶久 博士1年

西原 佑 修士2年

渡邊 翔太 修士2年

安藤 大介 修士1年

石川 悠司 修士1年

李 蓮福 修士1年

高 飛 学部4年

村田 裕之 学部4年

アディヤスレン アルタン ビレグ 学部4年

高宮研究室

高宮 真 助教授

新山 太郎 修士1年

宮本 喜生 修士1年

周 志偉 修士1年

柴田・三田研究室

柴田 直 教授

三田 吉郎 助教授

村井 徹 助手

伊藤 潔人 博士3年 (現在 日立製作所)

鈴木 康文 博士3年 (現在 日立製作所)

山崎 英男 博士3年 (現在 東芝)

早川 仁 博士2年

トゥロン トゥウ ブウイ 博士2年

久保田 雅則 博士1年 (現在 杉山研 助手)

ハオ ジア 博士1年

オウグ オストルク 1年 (10月入学 現在 相澤研博士1年)

ロバート グロー 研究生 (現在 柴田・三田研 博士)

高山 伸一 修士2年 (現在 エルピーダ)

シーサムラヌ サックダー 修士2年 (現在 帰国)

鹿野 博嗣 修士2年 (現在 特許庁)

高橋 徳浩 修士2年 (現在 柴田研 博士1年)

布 洋平 修士2年

黄 世燕 修士2年 (現在 Freescale)

松山 知弘 修士2年 (現在 Corporate Direction Inc)

森川 重毅 修士2年 (現在 柴田・三田研 博士1年)

森屋 大輔 修士2年

陳 雋 修士2年 (10月入学)

金森 毅 修士1年

金 時煥 修士1年

グエン タン リム 修士1年

仁木 祐介 修士1年

西山 未央 修士1年

濱口 洋平 修士1年

藤田 和英 修士1年

馬 奕 濤 修士1年
馬 文 静 修士1年
今 井 義 明 学部4年 (現在 柴田・三田研 修士1年)
白 石 文 高 学部4年 (現在 富士通)
中 川 琢 規 学部4年 (現在 柴田・三田研 修士1年)
福 岡 雄 大 学部4年 (現在 柴田・三田研 修士1年)
萬 澤 康 雄 学部4年 (現在 藤島研 修士1年)

高木研究室構成

高 木 信 一 教授
菅 原 聡 助手 (2006年6月より東京工業大学理工学研究科助教授)
Olivier Weber (日本学術振興会外国人特別研究員)
西 川 昌 志 修士3年 (工学系)
熊 谷 寛 修士2年 (新領域)
七 条 真 人 修士2年 (新領域)
上 原 貴 志 修士2年 (新領域)
Sanjeewa Dissanayake 修士2年 (工学系)
星 井 拓 也 修士1年 (新領域)
松 原 寛 修士1年 (新領域)

田 辺 聡 修士1年 (工学系)
灰 本 隆 志 学部4年 (現在高木研修士課程)
池 内 克 之 学部4年 (現在桜井研 (生産技術研究所) 修士課程)

藤島研究室

藤 島 実 助教授
北 澤 清 子 助手
ライ・チャー・ホン 博士3年 (現在 株式会社富士通研究所)
アーメット・オンチュ 博士2年
本 良 瑞 樹 修士2年 (現在 藤島研 博士1年)
小 林 直 樹 修士2年 (現在 株式会社東芝)
石 橋 浩 二 修士2年 (現在 キヤノン株式会社)
ワサンタマーラー・バダラワ 修士2年
王 彤 修士1年
後 藤 陽 介 修士1年
乾 千 乗 修士1年
神 林 裕 樹 修士1年
高 野 恭 弥 修士1年
夏 莉 洋 平 学部4年 (現在 藤島研 修士1年)
高 橋 永 久 学部4年 (現在 大津研 修士1年)
青 木 征 洋 学部4年

4. 3 研究概要

浅田・池田研究室

Asada and Ikeda Laboratory
(<http://www.mos.t.u-tokyo.ac.jp>)

歩留まり向上のためのセルレイアウト手法

浅田邦博, 池田 誠, 飯塚哲也

セルレイアウト内の単一コンタクトに対して並列に冗長コンタクトを挿入することでセルレイアウトの歩留まりを自動的に向上させる冗長コンタクト挿入手法を提案した。本手法では、与えられたタイミング制約の下でセルレイアウトのデコンパクションを行くことで、冗長コンタクト挿入を行う。デコンパクションによる遅延の増分を元々のレイアウトの遅延時間から求める近似モデルを提案した。セルの性能と挿入された冗長コンタクト数のトレードオフカーブが得られることで、必要な性能の下で歩留まりを最適化するレイアウトの生成が可能であることを示した。

Standard Cell Layout Generation for Yield Enhancement

K. Asada, M. Ikeda, T. Iizuka

We proposed an automatic redundant contact insertion method under timing constraints for standard cell yield enhancement. The proposed method inserts the redundant contacts as many as possible under given timing constraints using a Linear Programming. Experimental results show that we can analyze the trade-off between performance and the number of the redundant contacts for yield optimum layouts under given timing constraints.

システムLSIのオンチップテスト向けプラットフォーム構築

浅田邦博, 池田 誠, 鄭 若彤, 吉田浩章, 中村大輔

本研究はウェブインタフェースによる直感的なオンチップLSIテストを行うことのできるプラットフォームを構築することを目的としている。当プラットフォームでは、ワンチップ上に最低限の機能を有するCPUやネットワークインタフェース等を搭載し、オンチップCPU上にTCP/IP処理プログラム、ウェブサーバプログラムを動作させる。CPUはFPGA上で機能検証を行った。プログラムはC言語で記述し、プロトタイプを実装し、動作を検証した。また、その実装コストの検討を行った。

SoC Platform for On-chip Test Functionality

K. Asada, M. Ikeda, R. Zheng, H. Yoshida,
D. Nakamura

We have been studying a SoC platform for on-chip LSI testing through on-chip web interface. The SoC platform consists of CPU, network interface with TCP/IP and web server program. We designed the CPU for this SoC and evaluated using FPGA. Embedded software is coded in C and verified using a prototype board.

ガラス基板上のシステム構築

浅田邦博, 池田 誠, 猪飼啓太

ガラス基板上へのシステムの集積の実現に向けて、PMELA 結晶上の TFT を用いたデジタル回路の自動設計環境を構築した。PMELA 結晶上では TFT は形成位置が周期的に決められており、配置配線の際にその制約に沿うようにスタンダードセルの設計および配置配線の制約付加を行った。さらに TFT の形成位置の周期性により配線ピッチが離散的な値しかとれないことを考慮し、配線ピッチの異なるセル群による配置配線を行い、配線ピッチとレイアウト面積の関係を求めた。

System on Glass Panels

K.Asada, M.Ikeda, K.Ikai

We have been studying a system design on glass substrate for flat displays using the advanced TFT process. We established a digital circuit design flow for TFT fabricated by PEMELA (Phase Modulated Excimer Laser Annealing) technology. Striped shaped silicon islands are formed for TFTs using PEMELA. Standard cells and wires have to be designed to fit into this stripe shape. We have evaluated layout area for various wiring pitches for area reduction by the cost of design rule shrink.

di/dt 検出器を用いた基板ノイズ低減手法

浅田邦博, 池田 誠, モハメドアバス, 風間大輔, 金 鎮明

近年 LSI の低電圧化と高速化に伴い、シグナルインテグリティの問題が深刻化している。本研究では LSI の電源線に流れる電流変化によって生じる磁界をブローブすることで di/dt に比例した電流を発生させ、その逆相の信号を基板に注入する、フィードフォワード系の基板ノイズ低減手法を提案し、複数のキャンセラーを 1 チップ上に搭載することで、100 - 700 MHz の動作周波数の範囲内で 10 - 62% の基板ノイズ低減を実現した。

Substrate Noise Reduction using di/dt Detector

K. Asada, M. Ikeda, A. Mohamed, D. Kazama, J. Kim

We have proposed a feed-forward active substrate noise canceling technique using a power supply di/dt detector. We studied an active canceling technique, which detects the di/dt of the power supply current and injects an anti-phase signal into the substrate for canceling di/dt proportional substrate noise. We implemented multiple di/dt cancellers in one chip to realize further substrate noise reduction. Multiple di/dt cancellers realize 10 - 60 % noise suppression for 100 - 700 MHz.

高精度・低電圧動作温度センサの研究

浅田邦博, 池田 誠, 佐々木昌浩, 井上拓郎

大規模な SoC 上の高精度・実時間温度分布観測を目的として、マトリックスアレイ温度センサを設計した。従来、3-トランジスタを用いる良好な線形性を有する温度センサーが提案されているが、これは電源電圧 1.8 V 以上が必要で、電源が 1 V 以下になると線形性が著しく悪化する。そこで、動作点をシフトするトランジスタを追加し、低電圧動作可能な 4-トランジスタ型センサを提案、設計した。90 nm プロセスにより、電源 1 V において単純な 2 点間キャリブレーションのみを用いることで、温度測定誤差 $-1.0, +0.8^{\circ}\text{C}$ の精度、小面積、 $25\mu\text{W}$ という低消費電力を実現した。さらに、センサを 16×16 のマトリックス状に配置し、局所発熱用抵抗による温度分布を観測し、40-

Accurate Temperature Sensors for Low Supply Voltage

K. Asada, M. Ikeda, M. Sasaki, T. Inoue

We have developed a 16×16 temperature sensor array for accurate, multi-point, and thermal distribution measurements on a large scale SoC. The conventional 3-transistor temperature sensor shows good linearity for 1.8V or more Vdd using the conventional CMOS process. The linearity degrades significantly for 1V or below supply voltage. We have proposed a 4-transistor temperature sensor for low voltage operation and fabricated using 90 nm CMOS with 1.0 V power supply. We demonstrated the proposed temperature sensor achieves linearity of $-1.0 - 0.8^{\circ}\text{C}$ using only two-point calibration scheme, small area, and low power consumption of $25\mu\text{W}$. We also demonstrated a real-time

frames/sec の測定レートにより実時間温度分布観測が可能であることを示した。

40-frames/sec thermal distribution transition measurement using 256 temperature sensor array on a chip.

高性能三次元計測システム

浅田邦博, 池田 誠, 谷内出悠介, 金 雄鉉,
ジャネル バシチ

高速三次元映像取得において、光切断法に基づく高速三次元計測システムにおける三次元座標計算のハードウェア化を目指し、FPGA を用いたプロトタイプを開発した。三次元情報の取得、演算、表示の各処理を、ハードウェアに適したフローに変形することで、ビデオレートでの三次元取得・表示を実現した。取得した三次元の点群データのデータ量削減および三次元モデルの構成を目指して、ワイヤフレームモデルに変換する手法について検討した。また、背景に影響されることなく三次元取得を可能とする、画素内電流モード背景光除去手法の検討を行った。

High-Performance 3-D Range Finding System

K. Asada, M. Ikeda, Y. Yachide, U.H. Kim, C. Basci

We have developed a high-speed 3-D measurement system based on the light section method with the FPGA-based 3-D engine using a hardware-oriented 3-D calculation technique. We demonstrated the developed system achieves real-time and video-rate 3-D imaging including 3-D capture, 3-D calculation, and display. We studied a 3-D shape reconstruction method that converts set of 3-D points to a wireframe model. We also studied a pixel-level current-mode ambient light suppression scheme for 3-D capture in various environment conditions.

スマートイメージセンサに関する研究

浅田邦博, 池田 誠, 金 允璟, 門馬太平, 橋本紘和

標準 CMOS プロセス技術で試作したイメージセンサの感度特性を測定し、微細化しつつあるプロセス技術に合わせた感度特性を評価した。また、画像の輝度値のヒストグラム解析を行うことで、蓄積時間やバイアス電圧といった撮像パラメータを自動制御するイメージセンサの開発を行った。これにより、画像のダイナミックレンジを向上させることが可能となる。更に、磁界を用いた検波素子としてのオンチップコイル付 MAGFET に関して、直流および交流特性を測定、同期検波が可能であることを確認した。

○○○

K. Asada, M. Ikeda, Y.K. Kim, T. Monma, H. Hashimoto

We measured the spectral response and the quantum efficiency of CMOS image sensors fabricated by standard CMOS process and estimated sensitivity characteristics in the future CMOS process. We proposed an automatic configuration method for CMOS image sensors using a histogram of a 2D image. The method controls the exposure time and the bias voltage of internal amplifiers to enhance dynamic range of the captured images optimized for ambient environment. We have studied DC and AC characteristics of MAGFETs with on-chip coil, for phase detection.

限量子付プール式の充足可能性判定を用いた論理式の最小因数分解手法

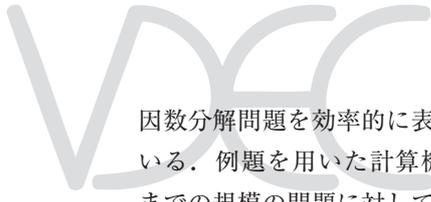
浅田邦博, 吉田浩章

本研究では不完全定義論理関数の最小因数分解形表現を発見する厳密手法を提案した。提案手法では因数分解問題を限量子付プール式として表現し、この解を汎用の充足可能性判定手法によって求める。また我々は X-B (eXchanger-Binary) 木と呼ばれる新しいグラフ構造を提案した。X-B 木は暗黙的にすべての可能な二分木構造を網羅しており、これを用いることにより

Exact Minimum Logic Factoring via Quantified Boolean Satisfiability

K. Asada, H. Yoshida

We propose an exact method which finds the minimum factored form of an incompletely specified Boolean function. The problem is formulated as a Quantified Boolean Formula (QBF) and is solved by general-purpose QBF solver. We also propose a novel graph structure, called an X-B (eXchanger Binary) tree, which implicitly enumerates binary trees. Using this



因数分解問題を効率的に表現することが可能となっている。例題を用いた計算機実験を行い、12リテラルまでの規模の問題に対して厳密解を求めることが可能であったことを示し、本手法の妥当性を示した。

graph structure, the factoring problem is compactly transformed into a QBF and hence the size of solvable problems is extended. Experimental results show that the proposed method successfully finds the exact minimum solutions to the problems with up to 12 literals in ten minutes.

DCVSL回路を用いた非パイプライン型低雑音CPUの設計

浅田邦博, 池田 誠, 鄭 若彤, 鈴木真一, 石井 健, 曾我部拓

自己同期方式を用いた非パイプライン型低雑音マイクロプロセッサをDCVSL回路により設計し、性能のプロセス、電圧、温度依存性を評価した。本自己同期マイクロプロセッサに対して、動的に電源電圧を変化させることで、必要性能に応じた最小電源電圧による動作を可能とする方式を提案し、90 nm CMOSにより実現することで、外部の低速クロックで同期を図りながら、内部は自己同期的に動作させることで、消費電力の低減が可能であることを示した。

Low noise non-pipeline microprocessor design using DCVSL

K.Asada, M.Ikeda, R.Zheng, S. Suzuki, K. Ishii, T. Sogabe

We have designed a self-synchronous non-pipeline microprocessor with DCVSL (Differential Cascoded Voltage Switch Logic), and evaluated performance change against process, voltage and temperature change. We proposed and demonstrated dynamic voltage scaling (DVS) technique for the self-synchronous microprocessor for power optimization at given workload. We have designed 90 nm CMOS prototype chip based on the self-synchronous DVS, and demonstrated power reduction using local self-synchronous operation with global synchronization using global slow speed clock.

リソグラフィを考慮した設計手法

浅田邦博, 池田 誠, 飯塚哲也, 栗原健一郎, ファン ハイ ディン ミン

集積回路の微細化による、光学的回折限界以下での露光手法として近年広く用いられている近接光学補正手法に対して、デジタル設計を行う際に、この近接光学補正を考慮したセルレイアウトを生成することでセルの製造性の向上を目指した設計手法の構築を目指している。また、今後のキャラクタプロジェクションなど電子ビーム直接描画方式によるマスクレス製造技術において重要となるスループットを向上させるためのショット数削減を目指した設計手法に関する検討も行っている。

Lithography Friendly Design

K. Asada, M. Ikeda, T. Iizuka, K. Kurihara, H.D.M. Pham

We have studied cell layout generation suitable for optical proximity correction (OPC) lithography, which has been widely employed for sub-wavelength lithography that suffers from image distortion. We also studied shot reduction techniques for mask-less electron beam direct writing (EBDW) to enhance throughput.

EMI ノイズ解析および低減

浅田邦博, 池田 誠, 佐々木昌浩, 曹 溶成

低EMIを目指した自己同期型高速シリアル通信方式として3線3相伝送方式シリアルインターフェイスの検討を行った。90nm CMOSチップにより、本インターフェース実現に必要な送受信回路、パラレルPRBS (Pseudo-Random Binary Sequence) 発生回路、PRBS チェック回路、VCO (Voltage Controlled Oscillator)、SERDES (Serializer Deserializer) 回路、電流駆動インターフェイスを設計、試作、評価した。3線3相伝送方式では同期情報が送信データに符号化されるためCDR (Clock and Data Recovery) 回路が不要となり、高速化に適する同時に、低速から高速まで任意の速度での動作が可能である。測定の結果、データと同期信号のエンコードおよびデコードが3.6Gbit/sまで正しく行われることを確認した。

EMI noise analysis and EMI noise reduction

K. Asada, M. Ikeda, M. Sasaki, YS. Cho

We have studied a self-synchronous high-speed serial interface for EMI reduction. We proposed and evaluated a 3-phase 3-wire serial interface and designed a Transmitter, a Receiver, a Parallel Pseudo-Random Binary Sequence (PRBS) Generator, a PRBS error checker, a Voltage Controlled Oscillator (VCO), a Serializer Deserializer (SERDES) circuit, and a Low Voltage Signaling interface using 90nm CMOS. The proposed 3-phase 3-wire serial interface encodes synchronization signal into transmitted data, and operates without CDR (clock and data recovery). This enables variable speed operations, as well as high speed operation. Measurement results show correct encoding and decoding for data transmission up to 3.6 Gbit/s.

PLAにおけるばらつき耐性の評価

浅田邦博, 池田 誠, 佐々木昌浩, 梁 志成

100nm以下のプロセスにおけるパラメータばらつきに対するVLSI回路動作マージンに関して、ランダムCMOSと2線式PLA (Programmable Logic Array)の比較を行った。さらに2線式PLAのノイズマージンを増大する回路方式を提案し、32nmプロセスにおいても200mVの十分なマージンをもって動作することが可能であることを示した。ランダムCMOSと2線式PLAの速度と消費電力に関する比較を行った結果、将来のプロセスではプロセスのばらつきにより、1～2世代分のパフォーマンスが劣化する傾向が示され、今後、プロセスばらつきの影響を最小化する設計が必要となることを明らかにした。

Design Margin Evaluation for PLAs

K. Asada, M. Ikeda, M. Sasaki, Z. Liang

We have evaluated noise margin of random CMOS and a dual-rail PLA (Programmable Logic Array) under process parameter variations in sub-100nm process. We proposed a 1-side VG (Virtual Ground) structure for PLA to improve noise margin and demonstrated that the proposed structure shows noise margin of 200mV for 32nm process. We compared power and delay against process scaling and demonstrated the process parameter variations caused performance degradation equivalent for performance improvement by one or two process generations. It is essential to establish variation aware designs for such process generations.

設計の形式的検証に関する研究

藤田昌宏, Subash Shankar, Thanyapat Sakunkonchak, 松本剛史, 西原 祐, Bijan ALIZADEH

VLSI 設計の大規模化・高機能化に伴い、抽象度が高い段階において設計を行う手法が重要になってきている。その段階から徐々に設計を詳細化していく過程において、詳細化前後の設計が等価であるかどうかを判定する形式的等価性検証が、設計誤り混入の防止に効果的である。本研究テーマでは設計の抽象度が高い段階において効率的に等価性検証を適用することを目的に三つの手法を提案した。一つ目は、検証の前処理として高位合成を適用し、同じデータパスを持つ二つの設計の比較を行う手法である。データパスを同じにすることでデータフローの解析を大幅に簡略化できた。二つ目の手法は、設計を合成する際に頻繁に行われるループ最適化に着目し、それを適用する前後の設計に対して等価性検証を行う手法である。従来手法では記号シミュレーションを適用する前処理としてループを予め展開しておく必要があったが、提案手法ではループのイテレータを解析することにより展開することなく検証を行うため、従来手法よりも効率的に検証が可能となった。三つ目の手法は、並列動作を含んだ記述の等価性を判定する手法である。提案手法では、設計が逐次化可能であるかを判定し、可能であれば逐次化を行い並列動作を取り除く。逐次化された記述は並列動作を含まないため、従来の記号シミュレーションによる手法で検証すること可能である。

1. Formal verification of designs

Masahiro FUJITA, Thnyapat SAKUNKONCHAK, Takeshi MATSUMOTO, Tasuku NISHIHARA, Bijan ALIZADEH

Equivalence checking is necessary to keep the new version of the design for each refinement consistent (equivalent) with the previous one to ensure that their functionalities are the same. We proposed three methods applying equivalence checking to high-level designs. In the first method, designs are synthesized into designs which have the same datapath. By preserving the same datapath, analyses of the dataflow can be very much simple. The second method compares two designs before and after loop optimization normally conducted when synthesizing the design. In traditional approaches, all loops in both designs must be unrolled before doing symbolic simulation. In this method, instead of unrolling all loops, we focus on analyzing loop iterators and doing symbolic simulation without unrolling. This is more efficient than the traditional unrolling method. The last method applies equivalence checking to concurrent behaviors by sequentialization. Sequentialization is conducted after checking that the design contains no deadlock and race-condition error. The two sequentialized designed are then checking their equivalence by traditional method, symbolic simulation.

藤田昌宏, 小松 聡, 瀬戸謙修, 高 尚華,
渡邊 翔太, 石川悠司, 村田裕之,
アディヤスレン アルタン ビレグ

1チップ上に製造可能なトランジスタ数の増大に伴い、短期間に高品質・高機能なシステムLSIを設計するための設計支援技術が求められている。この目的を実現するため、本研究室では、以下の5つのトピックについて研究を行った。

(1) SoC向け命令拡張可能な組み込みプロセッサに対して、高位合成を利用してカスタム命令を自動的に生成する手法を提案した。その結果、既存手法に比べて、面積削減や、性能向上が可能となった。

(2) IP再利用を促進するため、プロトコル変換器の自動合成手法を提案した。我々の手法では、プロトコルの仕様をSequenceと呼ばれる小単位に分割して与え、各Sequenceのみを変換する部分変換器を合成した後、統合を行う。この手法を用いることによって、OCPやAXI等といった最先端のプロトコル間を変換するプロトコル変換器を自動合成することが可能になった。

(3) ループ記述から、配線遅延の影響を考慮して高性能なパイプライン回路を自動合成する手法を提案した。配線遅延を予測しやすくするため、演算器が配列状に配置されたアーキテクチャを使用してRTLを生成し、性能をFPGA上で評価し、性能向上を確認した。

(4) システムレベル設計記述言語で、S/Wにすると決めた部分から、最適なC言語コードに変換する手法を提案した。

(5) 現在の設計フローでは、ゲートレベルの記述が得られた後にテスト設計が行われることが多いが、テストコスト削減のため、システムレベル設計の段階でテスト設計を行うケーススタディを行った。

Masahiro FUJITA, Satoshi KOMATSU, Kenshu SETO,
Shanghua GAO, Shota WATANABE, Yuji ISHIKAWA,
Hiroyuki MURATA, Adiyasuren ALTANBILEG

Since the number of transistors that can be manufactured on a single chip is increasing, the techniques that can facilitate high-quality and advanced system LSIs in short time are needed. For this objective, we carried out the research on the following 5 topics.

(1) For customizable processors for SoCs, we proposed a method to automatically generate custom instructions using high-level synthesis. Compared to previous work, our approach could generate area efficient and high-performance custom instructions.

(2) To facilitate IP reuse, we proposed a technique for automatic transducer synthesis. Our method divides protocol specifications into smaller units called sequences. Our method synthesizes partial transducers from the sequences and then unifies the partial transducers into the whole transducer. By our method, transducers for the state-of-the-art protocols such as OCP, AXI, etc. can be synthesized.

(3) We proposed a method to automatically synthesize high-performance pipeline circuit from loop descriptions by taking interconnect delays into account. To facilitate prediction of interconnect delays, we use an architecture with arrays of functional units. We generated RTL descriptions, implemented the designs on FPGA and confirmed the performance improvement.

(4) We proposed a method to generate optimal C code from the S/W part of system level design language description.

(5) In the current design flow, it is common that test design is performed after we obtain gate-level descriptions. To reduce test cost, we presented a case study that considers test design at system-level design.

システム LSI や SoC の大規模化・高機能化に伴い、設計の早い段階でより多くの設計誤り (バグ) を発見することが重要となってきた。本研究では、設計の初期段階において広く使用されているシステムレベル設計を対象として、典型的な設計誤りを自動的に検出する記述チェッカを提案し実験を行った。入力となるシステムレベル設計としては SpecC 記述を用い、SpecC 記述から設計中の依存関係を表したシステム依存グラフを生成し、得られたシステム依存グラフ上で解析を行うことによって設計誤りの検出を行った。デッドロックと競合アクセスという並列性に関する問題を考慮するため、既存の SpecC 言語のシステム依存グラフに、並列プロセス間の同期やデータ依存の候補を表す 2 種類の依存関係を新たに追加した。実験結果では、従来の手法では多く見られた誤検出が大幅に削減されたことを示し、設計者がより簡単に設計誤りを発見することを可能にした。

As the system LSIs and the System-on-a-Chip(SoC)s grow in scale and the functionalities, it has been becoming more important to find the errors (bugs) in the designs as many as possible in the early stage of designing. In this research, we have proposed and evaluated the description checker which automatically detects the common errors, targeting the system-level design descriptions, which are widely used in the early stage of designing. We employed SpecC descriptions as the system-level design inputs, generated the system dependence graphs from the SpecC descriptions, and then tried to detect the design errors by analyzing the resulting system dependence graphs. In order to cope with the issues related to the parallelism such as deadlocks and race-conditions, we have introduced two new kinds of dependence relations which represent the candidate instantiations of synchronizations and data-dependencies between the parallel-running processes into the existing system dependence graphs in the SpecC language. Our experimental results showed that a large amount of false-detections shown with the existing method could be successfully reduced by applying our method. As a conclusion, we have enabled the designers to find the errors in the designs more easily.

IP 再利用のための UML を用いた上位設計手法に関する研究

藤田昌宏, 小松 聡, 瀬戸謙修, 渡邊翔太,
石川 悠司, 李 蓮福

短時間で高性能の LSI を設計する方法として、既存の IP を利用してシステムを設計するという IP 再利用設計手法が重要なものとして考えられている。IP 再利用設計手法の問題点のひとつとして、要求仕様に対して最適な IP を選択する仕組みが整っていないというものがある。データシートやマニュアルをもとに人手で最適な IP を選択することは時間のロスにつながるため、この問題を解決することは重要なことである。ここで、IP の自動検索を可能にするためには、計算機で処理できる標準化された IP 仕様記述が必要となる。我々は、UML と XML を組み合わせてハードウェアの仕様を記述する。UML はソフトウェア開発の生産性向上において重要な役割を果たしており、

Specification and design of hardware systems with UML and SpecC for IP-reuse

Masahiro FUJITA, Satoshi KOMATSU, Kenshu SETO,
Shota WATANABE, Yuji ISHIKAWA, Yeonbok LEE

In order to design LSI in short time with high quality, IP reusing design, which is a concept to design system using existing IPs(Intellectual Property) partially, is considered as a powerful solution. In IP reusing design, absence of efficient method for selecting the most suitable IPs for requirements is one of the important problems, because it usually takes time by checking materials like datasheets or manuals manually by human. To develop the environment of automatic search system, a standardized and machine-readable specification description method of IP is indispensable. In this research, we describe specification of hardware using UML and XML. UML has played a pivotal role in

XMLは階層的な情報を記述することが可能である。我々の提案する仕様記述手法では、UMLを用いて回路ブロックが周辺回路に提供する機能を、XMLを用いて回路ブロックの物理的動作条件やインターフェースの論理的な定義を記述する。また、文法や内容の一貫性を検証するプロパティを同時に定義することで、我々は仕様記述の安全性を保障している。我々は、IP選択の際によく使われると考えられる幾つかの検索項目を検討し、IPライブラリと検索インターフェースの機能を提供するツールを開発した。検索項目はXQueryと呼ばれるXMLドキュメントのクエリ言語を用いて記述される。実験では、1000個を超えるIPが登録されたデータベースから数秒で要求を満たすIPを選択できることが確認された。

improving productivity in software development, and XML can describe structured information. In our specification method, we describe functions provided by a function block using UML, while we describe physical operating conditions and logical definition of the interface using XML. Also we defined properties to check syntax and consistency to insure safety of specifications. We classified several search items which are considered to be used frequently at the IPs selecting scenes, and developed a tool which provides library function of IPs and search interface. Search items are realized by XQuery which is a query language of XML documents. In the experiments, IPs which satisfies requirements are selected from over 1000 IPs in the library within 10 seconds.

デジタル/アナログ混載システムの設計支援技術に関する研究

藤田昌宏, 小松 聡, 劉 宇

近年, SystemC, SpecC 言語はハードウェアとソフトウェア同時に記述ができ, システムレベルの設計効率を高められるため, 業界から注目されている。我々は時間的に離散なシステムしかサポートしてないCベースシステムレベル記言語を更に連続領域への拡張について研究している。拡張された言語は con_behavior というクラスで連続ファクションをモデリングする。Con_behavior 同士は拡張された連続変数のポットを通じて通信する。連続変数で繋ぐ幾つか con_behavior は一つ CNT (continuous network) でまとめる。CNT と離散 behavior は ms_channel でデータ交換を行う。CNT と離散 behavior 間の同期は AD_Event と DA_Event を通じて同期を取る。拡張された言語はソルバーベース手法を使って連続ファンクションをモデリングする。ソルバーベース手法は多様なソルバーが利用できるため, 設計者の要求により連続ファンクションを柔軟かつ便利にモデリングすることができる。拡張されたこの言語のシミュレーションライブラリーに提案された transaction-blended 同期手法を使っている。この同期手法は従来の手法より (1) timed と untimed 記述を同時にサポートする, (2) 従来の optimistic 手法より backtracking は不要, (3) 従来の lock-step 手法より少ないまだ同じ step が掛かる。

Computer Aided Design for Digital-Analog Mixed Systems

Masahiro FUJITA, Satoshi KOMATSU, Liu YU

C/C++ based SLDLs such as SpecC and SystemC have been gaining greater attentions because uniform languages for hardware and software description can make system level design more efficient. In this research, we work on the analog and mixed-signal (AMS) extensions to the C-based system-level design language. The extended language captures the functionalities of continuous specification in an extended class named con_behavior. Con_behaviors communicate with each other via the ports of extended continuous variables. The con behaviors that are chained with a same network of continuous variables are grouped into a CNT. The CNT exchanges data with discrete behavior through the extended class named ms_channel. The synchronization between CNTs and discrete behaviors are via the extended event type named AD_Event and DA_Event. The extended language models the continuous functionality with the solver-based method. The solver-based descriptions can provide flexibilities and conveniences for user to specify the functionalities of continuous behavior. The codes of the extended language are executable with the extended compiler and simulation library. The synchronization is performed upon a new synchronization mechanism, so called transaction-blended synchronization method. Comparing with the traditional optimistic and lock-step synchronization method, transaction-blended method

has the features as: 1) accommodation of both timed and untimed discrete description, 2) unlike optimistic concept, no backtracking is needed, and 3) fewer disturbances than in the lock-step concept.

低電力システム設計技術に関する研究

藤田 昌宏, 小松 聡

現在のVLSIシステム設計において、消費電力は最も重大な設計制約のうちの1つである。加えて、VLSIシステムのエラーに対する耐性もまた現在あるいは将来の微細化されたVLSIテクノロジーにおいて重要な要素の一つである。本研究では、オンチップデータ伝送での、高信頼データ伝送方式に対する低消費電力符号の影響についての検討を行った。エンコーダ/デコーダ回路でのオーバヘッドおよびバス信号の振幅最適化を考慮した評価を行い、低消費電力符号化と高信頼符号化を組み合わせることで、将来のVLSIシステムにおいて有効なデータ伝送方式を実現可能であることを示した。また、これらの手法を適用することでシステムLSIにおけるデータ伝送符号化/アーキテクチャの最適化の指針を示した。

6. Low power system design method

Masahiro FUJITA, Satoshi KOMATSU

Energy consumption is one of the most critical constraints in the current VLSI system designs. In addition, fault tolerance of VLSI systems is also one of the most important requirements in the current shrunk VLSI technologies. This study presents an impact of the low power encoding on the fault tolerant data encoding methods in on-chip data transfer scheme. The results show that bus signal swing optimization can increase the effectiveness of the encoding method. In addition, we have also shown the direction of the optimization of data encoding and bus architecture on a system LSI by using those results.

高宮研究室

Takamiya Laboratory
(<http://icdesign.iis.u-tokyo.ac.jp/>)

有機トランジスタを用いた大面積エレクトロニクス向けの回路技術

高宮 真 (桜井貴康教授, 染谷隆夫助教授との共同研究)

10 cm角から10 m角の大きな柔らかいシートの上には、インテリジェントな電子デバイスを分散して配置することにより、人間生活を快適にサポートする大面積エレクトロニクスという新しいアプリケーションに注目している。フレキシブルで低コストの有機トランジスタは大面積エレクトロニクスに適しており、硬くて高価なシリコンMOSFETを補完するデバイスとしても有望である。しかし、シリコンMOSFETと比べると、有機トランジスタは製造技術がまだ未熟であるため、動作速度が $\mu\text{s} \sim \text{ms}$ と遅く、デバイスの寿命も

Circuits Technologies for Large Area Electronics with Organic FETs

Makoto Takamiya (Collaborative research with Prof. Takayasu Sakurai and Prof. Takao Someya)

Large area electronics is a new frontier in electronics where intelligent electronic devices are distributed on a flexible square, 10 cm to 10 m on a side, for the human interface and the comfortable daily life. Flexible and low-cost organic FETs (OFETs) are suitable for large-area electronics and have great potential as a supplement of solid and expensive silicon MOSFETs. Compared with the silicon MOSFETs, however, the operation speed of OFETs is slow ($\mu\text{s} \sim \text{ms}$) and the device lifetime of OFETs is short (days \sim months),

数日～数ヶ月と短い。そこで、遅くて信頼度の低い有機トランジスタの欠点を補う回路技術の開発を行っている。大面積エレクトロニクスの一例として、有機トランジスタとプラスチックMEMSスイッチを集積化したフレキシブルな「無線電力伝送シート」の開発を行った。対向するコイル間の電磁誘導により無線で電力伝送を行う。

40 V以上で動作する有機トランジスタやMEMSと、5 V以下で動作するシリコンVLSIの間で信号の送受信を実現するために、有機トランジスタを用いた新しいレベルシフト回路を開発した。また、送電/受電コイル間の位置合わせを不要にするコイル活性化技術や、電力伝送用コイルと受電物体位置検出用コイルを共有化する有機トランジスタ/MEMSの混合回路技術を開発した。これらの回路技術はコストや信頼性が課題となる大面積エレクトロニクスを実現する上で、キー技術になると考えている。

because fabrication technologies for OFETs are not yet mature. We have developed circuits technologies to help the slow and unreliable OFETs and demonstrated a wireless power transmission sheet where plastic MEMS switches and OFETs are integrated. The circuit technologies for the wireless power transmission sheet to reduce the cost and to enhance the reliability were developed, which will be essential for future large-area electronics made with OFETs.

柴田・三田研究室 (2006年度)

intelligent Semiconductor Microsystems Laboratory (iSML)
(<http://www.else.k.u-tokyo.ac.jp>)

右脳型ソフトコンピューティングVLSI: 連想プロセッサ・システム

柴田 直, トウロン トウウ ブウイ, 早川 仁,
馬 奕濤, 鹿野博嗣, 黄 世燕, 森川重毅

現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを、シリコン超LSI技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し、直感・連想・推論といった処理を得意としたLSIチップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ(ニューロンMOS, neuMOS)を導入、膨大なtemplate群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ, 0.18ミクロンCMOS技術を用いた超高速デジタル連想プロセッサ等を、これまで

Right-Brain-Computing Integrated Circuits: Associative Processing Systems

T. Shibata, Trong Tu Bui, H. Hayakawa, Ma Yitao,
H. Shikano, Hwang Se-Yong, S. Morikawa

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called "Neuron MOS Transistor" (neuMOS or ν MOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that "association" is the very computing primitive, we are pursuing human-like intelligence

開発した。今後連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップ用いて構築して行く。そのために我々の思考過程を柔軟に記述できる APROL (Association Programming Language) の開発も行う。四則演算に代わり連想を“computing primitive”とする実時間事象認識知能システム実現を目指す研究である。現在、画像認識・音声認識をテーマに研究を進めている。ここで開発した VLSI 回路技術は、実用的な応用として、CDMA マッチトフィルタへの応用技術等も開発している。

画像の特徴ベクトル抽出 VLSI 及びそのパターン認識への応用

柴田直, 伊藤潔人, 山崎英男, 高橋徳浩, 陳 雋, グエン タン リム, 藤田和美, 中川琢規, 福岡雄大

我々の連想プロセサアーキテクチャを画像認識に用いるには、2次元の画像情報を特徴ベクトル、即ち一次元の数値列で表現しなければならない。我々はこの目的で、主方向線分投影法 (PPED: Projected Principal-Edge Distribution) と呼ぶ新たな特徴ベクトル表現法を開発した。2次元画像に対し、縦・横・斜め2方向、計4方向の線分を抽出してフィーチャーマップを作成、そのビットフラッグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する。これらをつなぎ合わせて64次元ベクトルとし、64×64ピクセルの画像を表現する。これは、元画像の特徴を実にうまく表現しており、手書きによるパターンの変形、歪みに対しほとんど影響を受けない。従って、単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる。特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった。さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用、歯学部学生にとっても高度な訓練を必要とする解剖学的特徴点抽出の困難な作業が、専門医と同様にできることがわかった。今後、連想プロセッサと統合し、一般的な知的画像認識システム構築へと発展させていく。このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり、neuMOSを用いたアナログCMOS回路技術、および最先端のデジタルCMOS回路技術の両方を用いて、独自のアーキテクチャを持つ特徴ベクトル生成 VLSI チップの開発を行っている。

system implementation directly in silicon integrated circuits. Currently research is in progress for robust image recognition and voice recognition processing. The state-of-the-art silicon technology has been utilized to implement such associative processors in both analog and digital CMOS VLSI chips. As a practical application of the circuit technology developed for the associative processor chips, CDMA matched filter chips have also been developed.

A Robust Feature-Vector Generation VLSI's and their Application to Handwriting Pattern Recognition and Medical X-ray Analysis

T. Shibata, K. Ito, H. Yamasaki, N. Takahashi, Chen Jun, Nguyen Thanh Liem, K. Fujita, T. Nakagawa, Y. Fukuoka

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a feature vector, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by "Projected Principal-Edge Distribution (PPED)" algorithm. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituitary gland), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

実時間動画画像処理プロセッサ

柴田 直, ハオ・ジア, オウグ・オストルク,
馬 文静, 仁木祐介, 金 時煥, 萬澤康雄

リアルワールド画像の実時間情報処理を目標に, 視野中の運動物体を着目・連続追尾する Saliency Catcher, 及びキャッチした物体の3次元計測を瞬時に行える VLSI プロセッサの研究を行っている. Saliency Catcher については, 擬似二次元処理と呼ぶ新たな手法を導入, すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため, 各画素部では大きなフィルファクタが実現できた. フィルファクタとは, 各ピクセルプロセッサ内でフォトダイオードが占める面積の割合で, これが大きいほど多くの画像情報が処理に取り込める. このチップは, 複雑な背景の中から複数の動いている物体を, 動きの大きさとともに検出できる. さらにカメラ自身がブレて背景が動いていても検出できるという特徴をもつ. 実際にチップで基本性能を確認した. さらに運動物体の3次元計測をリアルタイムで行うチップも開発した. これはキャパシタ間での電荷の再配置のみを演算に使う回路であり, 究極の低消費電力システム実現の可能性を秘めている.

Real-Time Moving Image Processing VLSI Systems

T. Shibata, Hao Jia, Öztürk Övgü, Ma Wenjing, Y. Niki,
Kim Sihwan, Y. Manzawa

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has been also developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

Multi-Clue サーチアルゴリズムによるロバストな顔検出

柴田 直, 鈴木康文, 森屋大輔, 金森 毅, 西山未央

顔の検出は, ヒューマンインタフェースの研究において重要な課題である. 従来, 肌色に着目したり, ニューラルネットによる分類等さまざまな手法が開発されているが, 写真の撮影条件の影響を受けたり, あるいは本当の顔を逃してしまう, いわゆる false negative の発生といった問題が多かった. 本研究では, 多少の false positive (顔以外のものでも似ていると顔として検出) はあっても, 「本当の顔を絶対に逃さない」ことを目標とするロバストな顔検出アルゴリズムの基礎を, これまでの成果であるエッジベースのベクトル表現法 (PPED) を発展させて確立した. PPED 法による検出は, 例えば壁のしみでも眺めていると人間の顔に見えてくるといった, 人間の認識に非常に近い検出アルゴリズムであるが, 本研究では PPED とは補完的な性質を持つ, 新たな2つのベクトル表現法を開発, オリジナル PPED ベクトルと同時に用いた多重照合法 (multiple cluematching) の開発により, 大変ロバ

Multiple Clue Search Algorithm for Robust Face Detection

T. Shibata, Y. Suzuki, D. Moriya, T. Kanamori,
M. Nishiyama

Face localization is an important issue in new generation of human interface. There have been many approaches such as skin color detection and using neural networks. They have, however, many problems such as high sensitivity to photograph exposure conditions, and existence of “false negatives”. The objective in our approach is to try to minimize the number of “false negatives”, even it might increase the number of “false positives”. Our algorithm can detect non-face images that are very similar to faces. A preliminary research is done by extending our edge-based vector image representation method (PPED). Besides the PPED-based detection method, two other new vector representations, which are complementary to PPED, have been developed. Using the multiple clue method with these three representations, a very robust performance in face detection has been achieved. We also developed a new distance

ストな顔検出を実現した。さらにPPEDベクトルの各エレメントの持つ重要性を、各クラスの統計的性質より導き出す手法を開発、これを距離計算に取り込むことによりさらに検出精度を上げることができた。

measure in which the statistical characteristics of a class are taken into account to determine to the relative significance among elements. The new distance measure has improved the classification performance.

初期視覚プロセッシングシステム

三田吉郎, 高山 伸一, 布 洋平, 柴田 直

フォトセンサと情報処理回路を融合した高機能イメージセンサは発展が期待できる。本研究では、イメージセンサを内蔵して、外界の状況から特徴を瞬時に抽出する知的情報処理VLSIの研究を行なっている。これは本研究室の「右脳的情報処理システム」の入力フロントエンドとして用いる予定である。このようなVLSIは、フォトダイオードと処理回路とで演算単位「セル」を構成し、セルを基盤の目状に並べる構造が一般的であるが、生体で行なわれているようにセル間を配線するためには三次元配線が必要となる。ひるがえってVLSIの配線は原理的に二次元であるから、セル同士の配線をいかに工夫して行なうかが問題となる。センサをセル同士の交点にずらし、また各セルで一旦情報処理を行なった結果のみを近接セルに転送する二段階方式を用いることで、3近傍セルまでの演算をできることを提唱した。0.35 μm テクノロジにおいてチップを試作しリアルタイム動作を行なうことに成功した。また基礎的データを収集するため、0.35 μm バルク基板、0.15 μm SOI基板において光電変換効率の測定を行なった。

Early-vision processing systems

Y. Mita, S. Takayama, Y. Nuno, T. Shibata

Intelligent image sensor array system is an integral part in humanlike versatile systems. An image-sensor integrated smart feature extraction VLSI is under investigation in this project. Distributed cellular architecture is popular for these systems: a photodiode sensor and some information processing circuits compose a unit "cell" and the array of cells constitutes the system. However, if the cellular architecture tries to physically imitate living body, three-dimensional wiring is mandatory. However, VLSI wiring is 2-dimensional in nature so that some architectural innovation to augment the missing-one-dimension is necessary. We have proposed architecture where: (1) photodiode is placed at the intersection of 4 cell borders and (2) photodiode image is first preprocessed at each connecting cells and only the preprocessed information is exchanged. By this architecture, information up to next nearest neighbor cell is collectable. A real-time demonstration using 0.35 μm technologies VLSI is successful. Also, efficiency of both 0.35 μm bulk and 0.15 μm SOI technology is measured.

深掘エッチングを応用したMEMS-LSI融合デバイス

三田吉郎, 久保田雅則, 松山知弘,
シーサムラヌ サックダー, 濱口洋平, 今井義明,
白石文高, 柴田 直

VDEC 所有 EB 装置を利用してナノリソグラフィを行ない、武田先端知ビル等の深掘り RIE 装置でエッチングを行なって、深掘りナノサイズ構造を作製、電子デバイスサイズ (10~1 ミクロン以下) のパターン精度でかつマイクロマシンサイズ (40 ミクロン以上) の深さを持つ垂直構造を積極的に利用した電子デバイス応用を試みている。最小サイズ 370 ナノメートル、アスペクト比 1 : 107 のトレンチ構造を作製することが

LSI-MEMS integrated device by deep reactive ion etching technology

Y. Mita, F. Marty*, M. Kubota, T. Matsuyama,
Srisomrun Sakda, Y. Hamaguchi, Y. Imai, F. Shiraishi,
T. Shibata

* Ecole Supérieure d'Ingenieurs en Electronique et
Electrotechnique (ESIEE), Paris

Silicon deep nano-fabrication technology of structures having both electron-device-scale (10 μm down to less than 1 μm) lateral resolution and MEMS-scale (more than 40 μm) depth, and application to electron devices is developed. VDEC's EB writer performs lithography and Deep RIE at Takeda Building performs etching. Our top data is aspect ratio 1:107 for trenches of 370 nm. This is the record ten times deeper as com-

できるようになった。MEMS用サブミクロンサイズの深掘り構造は、これまでせいぜいアスペクト比1:10程度であったが、本研究では一桁優れた結果を出している。このエッチング技術を基礎に、シリコンの垂直面の表面から不純物拡散を行ってPN接合とした「垂直フォトダイオード」を作製、既存の平面型ダイオードに比較して25%~80%の効率向上ならびにクロストーク軽減ができることを示した研究、蒸着するだけで三次元配線のできる「セルフカットパターンニング法」とその垂直型コイルへの応用、VDECで試作した0.15 μ m 完全空乏型Silicon on Insulator (FDSOI) LSIを、シリコーンゴム (PDMS) やガラス基板に接着し、支持層シリコンを完全にエッチングすることで活性部分だけを任意の表面に転写する「Silicon on PDMS」デバイスなどが新たに開発された。

pared to ordinal submicron Deep-RIE technology. Based on the technology, a couple of new-concept devices are appearing such as: (1) a “vertical photodiode” that is made by thermal diffusion on the vertical wall of Si Deep Reactive Ion Etching (DRIE) and showed from 25 % to 80 % of photocurrent increase and crosstalk suppression as compared to conventional planar photodiode, (2) “Self-cut patterning method” that is a three-dimensional wiring technology by a simple evaporation on profile-controlled 3-D structure with an application of vertically-winded coils, and (3) “Silicon on PDMS” devices that is made by an active-layer transferring technology using 0.15 μ m Fully-Depleted Silicon on Insulator (FDSOI) LSI pasted on silicone rubber (PDMS) or glass substrate and lost-wafer etching.

高木研究室

Takagi Laboratory

(<http://www.mosfet.k.u-tokyo.ac.jp/>)

Ge Metal-Insulator-Semiconductor (MIS) 界面形成技術に関する研究

高木 信一, 菅原 聡, 西川 昌志, 熊谷 寛, 松原 寛

高性能 Ge MISFET を実現するための最大の課題は、良好な MIS 界面特性の実現である。Ge 上の MIS 界面形成方法として新たに提案した、Ge 基板上のエピタキシャル成長 Si 層を低温でプラズマ酸化する方法を用いて、界面構造と電気特性の関係を調べたところ、界面特性は、十分に Si 層を完全に酸化し、GeO₂ 層を形成することにより改善し、界面準位・フラットバンドシフトともに低減することが分かった。また、Ge 基板を直接オゾン酸化することにより形成した GeO₂/Ge 界面の電気的特性を調べたところ、10¹¹cm⁻² 台中盤の良好な界面特性が得られること、また、オゾン酸化は熱酸化と比較して、界面準位・フラットバンドシフト・ヒステリシスの全てに関して改善が見られることが明らかとなった。

Ge Metal-Insulator-Semiconductor (MIS) FETs

S. Takagi, S. Sugahara, H. Kumagai, T. Uehara, M. Nishikawa, S. Dissanayake, H. Matsubara, H. Ishikawa

One of the most critical issues on realizing high performance Ge MISFETs is the formation of MIS interfaces with high quality interface properties. We have proposed plasma oxidation of Si films epitaxially grown on Ge at low temperatures as a method of forming MIS interface on Ge substrates and have examined the relationship between the interfacial physical structures and the electrical properties. As a result, it is found that the interface state density and the flat band shift are improved by fully oxidizing Si films and forming GeO₂/Ge interfaces. Also, we have fabricated GeO₂/Ge MOS interfaces by using ozone oxidation. It is found from these capacitors that the interface state density is as low as middle of 10¹¹ cm⁻² order and that the interfaces formed by ozone oxidation is superior to those by thermal oxidation in terms of interface state density, flat band shift and hysteresis.

Ge Metal-Insulator-Semiconductor (MIS) FET に関する研究

高木信一, 菅原 聡, 上原貴志,
Sanjeeva Dissanayake, 田辺 聡, 池内克之

高性能 Ge MISFET を実現するためのもうひとつの課題は、高品位の Ge チャンネル層形成、特に極薄の Ge-On-Insulator (GOI) 構造の形成と新しい高移動度チャンネル構造の実現である。今回、正孔移動度として極めて高い値が期待できる (110) 面をもつ GOI 層を、酸化濃縮法による実現することに初めて成功するとともに、バックゲートによる MOSFET の動作を実証した。これは、(110) 面 Ge MOSFET の初めてのデバイス動作実証である。移動度向上率は、Si のユニバーサル移動度と比較して、約 1.4 倍程度であり、今後更に、結晶性や界面特性の改善を図る必要がある。

Ge Metal-Insulator-Semiconductor (MIS) FETs

S. Takagi, S. Sugahara, T. Uehara, S. Dissanayake,
S. Tnabe, K. Ikeuchi

Another critical issue on realizing high performance Ge MISFETs is the establishment of the formation technologies of high quality Ge channels, particularly, ultrathin Ge-On-Insulator (GOI) channels accompanied by the new channel structures. We have succeeded in fabricating (110) surface ultrathin GOI structures, which are expected to provide high hole mobility, by using the Ge condensation technique. We have also successfully realized the MOSFET operation of the channels under the back gate operation. This is the first demonstration of (110) surface Ge MOSFETs. The hole mobility enhancement factor is around 1.4, which can be improved by optimizing the crystal quality of the GOI layers and the MOS interface properties.

ひずみ Si MOSFET の電気特性に関する研究

高木信一, Olivier Weber

ひずみ Si 中のひずみが MOSFET の電気特性に与える影響は、移動度や閾値以外にはほとんど調べられておらず、不明点が多い。特に、微細化とともに重要になっているクーロン散乱に与えるひずみの効果とその物理的機構は十分理解されていない。今回、界面準位と基板不純物に起因するクーロン散乱により決まる反転層移動度に与えるひずみの効果を、 n チャンネル MOSFET に対して実験的に調べた。結果として、基板不純物に起因するクーロン散乱移動度は引っ張りひずみ印加により向上する一方、界面準位によるクーロン散乱移動度はひずみ印加により低下することを見出した。これらは、電子のサブバンド占有率と散乱確率の観点から理解できることが明らかとなった。また、ストレス印加に伴う界面準位生成は、引っ張りひずみを印加することで低下することが見出され、信頼性の点で有利であることが明らかとなった。

Electrical Properties of Strained-Si MOSFETs

S. Takagi, O. Weber

The impact of strain in strained-Si MOSFETs on the electrical properties has not been intensively studied yet, except for the mobility and the threshold voltage. Particularly, the influence of strain on the Coulomb scattering, which becomes more important with scaling devices, and the physical mechanism have not been understood yet. The impact of strain on the electron mobility limited by Coulomb scattering (interface states and substrate impurities), was experimentally examined for the first time. Compared to Si devices, the mobility limited by substrate impurities is enhanced in strained Si whereas the mobility limited by interface states is degraded. These new findings are explained through valleys population and scattering rate considerations. It is also found that the interface state generation induced by electrical stress is smaller in strained Si than in Si. This fact is beneficial to the device performance as well as the MOS device reliability.

Si 基板上の III-V 族化合物半導体 Metal-Insulator-Semiconductor (MIS) FET に関する研究

高木信一, 菅原 聡, 七条真人, 星井拓也,
灰本隆志

ディープサブ 100 nm 世代では, 電流駆動力の増大のためは, キャリア輸送特性を向上させ続けることが不可欠であるが, n-MOSFET は, 二軸の引っ張りひずみによる移動度向上以上の手段に欠けている. このため, 近年, 電子移動度の高い III-V 族半導体 MISFET が興味をもたれている. 我々は, このデバイス実現のために, 理論解析, Si 及び SiO₂ 上への高品質 III-V 薄膜層形成, 高品質の III-V MIS 構造の形成の観点で検討を進めている. 理論的解析から, EOT が 1.5 nm 以上では, III-V MISFET は Si や Ge よりも高い駆動力を発揮されるが, 反転層容量が小さいために, EOT が減少するとその優位性が失われることが見出された. また, III-V 薄膜層形成に関しては, 我々が提案するマイクロチャネルエピタキシー法と低温バッファ層を含む 2 段階成長法を組み合わせることにより, MBE 法を用いて SiO₂ の一部に Si 基板と結晶方位が揃った GaAs-OI 層が形成できることを示した. また, MBE 成長時の成長速度を低下させることで, アンチフェーズドメインの減少と選択成長の両方を, 比較的よく満足させることができることを明らかにした.

III-V compound semiconductor Metal-Insulator-Semiconductor (MIS) FET on Si substrates

S. Takagi, S. Sugahara, M. Shichijo, T. Hoshii,
T. Haimoto

Enhancement of carrier transport properties in MOS channels is regarded as mandatory for continuous increase in the current drive under deep sub-100 nm regime. As for n-channel MOSFETs, however, any promising technologies after bi-axial tensile strain, which can provide the mobility enhancement of twice as high as in conventional Si n-MOSFETs, are still lacking. Thus, III-V semiconductor MISFETs, expected to have higher electron mobility, has recently stirred a strong interest. We have started to examine the feasibility of III-V semiconductor MISFETs on Si platform from the both aspects of theoretical predictions, the formation of III-V films on Si and SiO₂ and MIS interface formation technologies on III-V. It is predicted from the theoretical calculations that higher performance is expected in III-V bulk MISFETs with thicker Tox typically thicker than 1.5 nm, while the superiority of III-V bulk MISFETs becomes reduced with decreasing Tox, because of the decrease in inversion-layer capacitance. As for the formation of III-V films, we have demonstrated the successful fabrication of GaAs-OI structures, where the surface orientation of GaAs-OI layer is aligned to that of the (110) Si substrate by a newly proposed micro-channel epitaxy method combined with a two-step growth technique. Also, the reduction in the growth rate is found to be effective in satisfying the competing requirements of the reduction in anti-phase domains and the selective growth.

藤島研究室

Fujishima Laboratory
(<http://www.axcel.k.u-tokyo.ac.jp/>)

ミリ波 CMOS ビルディングブロック

藤島 実, ライチーホン, 本良瑞樹, 石橋浩二,
神林裕樹, 乾 千乗, 高野恭弥

無線通信市場の拡大に伴い, ミリ波帯を利用する高速, 低消費電力トランシーバが求められるようになって

Millimeter-wave CMOS Building Blocks

M. Fujishima, I.C.H. Lai, M. Motoyoshi, K. Ishibashi,
Y. Kambayashi, C. Inui and K. Takano

High-speed and low-power transceivers are required in millimeter-wave band as progressing device tech-

ている。このために、まずトランシーバの各ブロックにおいて仕様を満たす必要がある。本研究ではVCO、可変利得増幅器、ミキサの研究を行った。VCOではLCタンクの代わりにリング型の伝送線路を用いることにより、高い動作周波数を実現するとともに、従来のものより優れたチューニングレンジ、位相ノイズを実現した。また、インダクティブゲートを用いることにより利得を増やした可変利得増幅器、そして従来と比べて最も高い周波数においてダブルバランスミキサとオンチップバランを用いることにより実現した。

nologies for wireless communications. Considering specification in each building block of the transceivers, we have studied a voltage controlled oscillator (VCO), a variable gain amplifier (VGA) and mixers for millimeter-wave band. To improve the tuning range and phase noise in CMOS VCO, a new ring-shaped transmission line for the LC tank is proposed. Besides, we have realized VGA using inductive gate for gain boosting and double-balanced Gilbert-cell mixer with on-chip balun at the highest operating frequency

ミリ波CMOSパルスジェネレータ

藤島 実, オンチュアーメット,
バダラワワサンタマール, 本良瑞樹, 王 彤

高精細テレビジョン (HDTV) の画像を非圧縮伝送可能な高速無線通信を低消費電力で実現するミリ波パルスで通信の実現に取り組んでいる。しかしながら、ミリ波パルスの発生は発振器を用いる方式では消費電力が大きい。そこで、本研究では遅延素子列とエッジ合成回路から構成されたミリ波パルスジェネレータを提案した。その結果、90 nm CMOS を用いて 11.5 mW の消費電力と 1.15 V の電源電圧で、62.5 GHz のパルスを発生し、1.5 Gbps/bit の通信速度を実現した。

Millimeter-Wave CMOS Pulse Generator

M. Fujishima, A. Oncu, B.B.M.W. Badalawa,
M. Motoyoshi and T. Wang

We have studied millimeter-wave pulse communication in 60 GHz band, which realizes uncompressed transmission of motion images of high-definition television (HDTV) with low power consumption. Since an oscillator-based pulse generator in millimeter-wave band consumes large power, we have proposed a new CMOS pulse generator, which composes of a series of delay cells and edge combiners. As a result, a carrier frequency of 62.5 GHz was obtained at a supply voltage of 1.15 V using 90 nm CMOS technology. The power consumption was 11.5 mW at 1.5 GHz input frequency.

大規模量子計算エミュレータ

藤島 実, 後藤陽介

量子コンピュータはNP問題（非決定性多項式時間問題）を高速に解くことができると言われ、多くの研究者によって研究が行われている。しかしながら、大規模な量子コンピュータはハードウェアだけでなくエミュレータも未だ実現されていない。そこで、本研究では大規模な量子計算エミュレーションを可能とする新しい手法を提案した。量子計算のメインとなる処理において、量子ビットを古典ビットに置き換え、量子操作の組み合わせをユニタリマクロ操作と定義することで、数百量子ビットを必要とするような量子計算のエミュレーションが実現される。この手法を用いることで、ショアのアルゴリズムを用いた64ビットの因数分解が40 kbitの古典メモリによってエミュレーションできた。これは量子コンピュータ上で320量子ビットを必要とする計算に相当する。

Large-Scale Quantum-Computing Emulator

M. Fujishima and Y. Goto

Quantum computing has attracted many researchers since it solves non-deterministic polynomial (NP) problems at much higher speed than conventional computers. However, large-scale quantum computing has not been realized yet. In this study, a new emulation method is proposed, where qubits are replaced with classical bits executing unitary macro-operations. Here, the unitary macro-operations to accelerate emulation speed are combinations of basic quantum operations in the principal stage of quantum-computing algorithm. As a result, a quantum computing emulator has been successfully fabricated, and a 64-bit factorization was demonstrated with only 40k-bit classical memory, where 320 qubits are required with Shor's algorithm in quantum computer.

ミリ波CMOS用受動回路のモデリングと自動設計

藤島 実, ライチーホン, 本良瑞樹, 小林直樹,
石橋浩二, 後藤陽介, 乾 千乗

高性能のミリ波回路を実現するには, 受動素子のモデリングと最適化設計が不可欠となる. そこで本研究では, 櫛形容量のスケラブルモデルの実現と, 伝送線路を用いたラットレース型バランの自動設計に取り組んだ. その結果, 櫛形キャパシタに対し, 透過特性のRMS誤差7%以内, 反射特性のRMS誤差5%以内の高周波スケラブルモデルを実現することができた. また, インピーダンスマッチング特性を持たせるためにスタブを付けた新しいラットレースバランを提案し, 遺伝的アルゴリズム (GA) と, 逐次二次計画法 (SQP) を組み合わせた最適化手法により収束性が向上した本自動設計プログラムを用いて最適化設計を行った.

Design and Modeling of Millimeter-Wave CMOS Passive Circuits

M. Fujishima, I.C.H. Lai, M. Motoyoshi, N. Kobayashi,
K. Ishibashi, Y. Goto and C. Inui

Modeling and design optimization of passive circuits are indispensable for high-performance millimeter-wave CMOS. Additionally, design automation is desirable for reducing design cost. In this study, a size-scalable model of comb capacitor and a design automation tool using on-chip transmission lines are realized. As a result, RSM error is less than 7% at transmission characteristics and less than 5% at reflection characteristics in size-scalable model of comb capacitor. On the other hand, a new rat-race balun with stub is proposed for impedance matching, and design automation program is developed with high convergence using sequential quadratic problem (SPQ) and genetic algorithm (GA).

浅田研究室 研究論文

- [1] H. Yoshida, M. Ikeda and K. Asada, "A Structural Approach for Transistor Circuit Synthesis," *IEICE Transactions on Fundamentals*, vol. E89-A, no. 12, pp. 3529-3537, Dec. 2006.
- [2] T. Kazama, M. Ikeda, and K. Asada, "LSI Design Flow for Shot Reduction of Character Projection Electron Beam Direct Writing Using Combined Cell Stencil," *IEICE Trans. on Fundamentals*, Vol. E89-A, No. 12, pp. 3546-3550, Dec. 2006.
- [3] T. Iizuka, M. Ikeda, and K. Asada, "Timing-Aware Cell Layout De-Compaction for Yield Optimization by Critical Area Minimization," *IEEE Transactions on Very Large Scale Integration Systems*. (to be published)

国際会議論文

- [1] M. Abbas, M. Ikeda and K. Asada, "Statistical Model for Logic Errors in CMOS Digital Circuits for Reliability-Driven Design Flow," *IEEE 2006 Design and Diagnostics of Electronic Circuits and systems*, pp. 145-146, April, 2006.
- [2] T. Iizuka, M. Ikeda, and K. Asada, "Exact Minimum-Width Multi-Row Transistor Placement for Dual and Non-Dual CMOS Cells," in *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 5431-5434, May 2006.
- [3] M. Ikeda, R. Zheng, S. Komatsu, M. Sasaki, H. Yoshida, T. Iizuka, M. Abbas and K. Asada, "Intelligent-PAD: On-chip Interactive Test Platform for SoC Design Education," 6th European Workshop on Microelectronics Education, May, 2006
- [4] S. Komatsu, M. Ikeda, K. Asada, "A New Trial on VLSI Exercise Course for Undergraduate / Graduate School in EE Department," 6th European Workshop on Microelectronics Education, May, 2006.
- [5] K. Asada, "CMOS Smart Image Sensor-3D HS Meas," *IEEE 2006 VAIL Computer Elements Workshop*, June, 2006.

- [6] T. Kazama, T. Nakura, M. Ikeda, and K. Asada, "Optimization of Active Substrate Noise Cancelling Technique using Power Line di/dt Detector," in *Proc. of IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp. 239-242, Oct. 2006.
- [7] K. Asada, "CMOS Image Sensors for Smart Applications", the 6th Taiwan-Japan Microelectronics International Symposium, Nov. 2006.
- [8] M. Ikeda, "University-Industry Collaboration for Nanometer CMOS Design," the 6th Taiwan-Japan Microelectronics International Symposium, Nov. 2006.
- [9] M. Ikeda, H. Yamauchi and K. Asada, "Tamper Resistivity Analysis for Nano-meter LSI with Process Variations," in *Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 387-390, Dec. 2006.
- [10] T. Iizuka, M. Ikeda, and K. Asada, "Timing-Driven Redundant Contact Insertion for Standard Cell Yield Enhancement," in *Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 704-707, Dec. 2006.
- [11] Y. Yachide, M. Ikeda, and K. Asada, "High-Speed 3-D Measurement System Using Smart Image Sensor and FPGA Based 3-D Engine," in *Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 764-767, Dec. 2006.
- [12] M. Sasaki, M. Ikeda, and K. Asada, "4-Gb/s low-power PRBS Generator with wave-pipeline technique in 0.18-um CMOS," *Proc. of the 13th IEEE International Conference on Electronics, Circuits, and Systems*, pp. 1007-1010, Dec. 2006.
- [13] M. Ikeda, K.H. Dia and K. Asada, "Pre-conditioning Free Footless DCVSL for High-performance Datapaths," in *Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 1053-1056, Dec. 2006.
- [14] H. Yoshida, M. Ikeda and K. Asada, "Exact Minimum Logic Factoring via Quantified Boolean Satisfiability," in *Proc. IEEE International Conference on Electronics, Circuits and Systems*, pp. 1065-1068, Dec. 2006.
- [15] T. Kazama, T. Nakura, M. Ikeda, and K. Asada,

“Design of Active Substrate Noise Canceller using Power Line di/dt Detector,” in Proc. of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 100-102, Jan. 2007.

- [16] M. Ikeda, T. Sogabe, K. Ishii, M. Mizuno, T. Nakura, K. Nose and K. Asada, “LAGS System Using Data/Instruction Grain Power Control,” Proc. ISSCC 2007, 3.3, pp. 9-10, Feb. 2007.
- [17] T. Iizuka, M. Ikeda, and K. Asada, “OPC-Friendly De-Compaction with Timing Constraints for Standard Cell Layouts,” IEEE International Symposium on Quality Electronic Design (ISQED), Mar. 2007.
- [18] Z. Liang, M. Ikeda, and K. Asada, “Analysis of Noise Margins Due to Device Parameter Variations in Sub-100nm CMOS Technology” the IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS), to be presented, April 2007

シンポジウム・研究会・大会等発表

- [1] Y.K.Kim, M.Ikeda, and K. Asada, “Sensitivity of CMOS Image Sensor and Scaling,” IEICE Technical Committee on VLSI Design Technologies, pp. 2-6, Sep. 2006 (in Japanese).
- [2] T. Kazama, M. Ikeda, and K. Asada, “Study on Active Substrate Noise Cancelling Technique using Power Line di/dt Detector,” IEICE Technical Report, vol. 106, no. 468, ICD2006-172, pp. 7-12, Jan. 2007. (in Japanese)
- [3] M. Ikeda and K. Asada, “Measurements and reduction of power line noises in SoCs,” IEICE Technical Report, ICD2007-, pp., Mar., 2007. (In Japanese)
- [4] H. Yoshida, M. Ikeda, and K. Asada, “Synthesis of Read-Once Switch Network,” in Proc. of IEICE Society Conference 2006, A-3-9, pp. 53, Sep. 2006. (in Japanese)
- [5] 飯塚, 池田, 浅田, “非双対型 CMOS 回路に対応した複数列最小幅トランジスタ配置手法,” 電子情報通信学会 ソサイエティ大会論文集, A-3-20, p. 64, 2006年9月.
- [6] T. Kazama, T. Nakura, M. Ikeda, and K. Asada, “Active Substrate Noise Cancelling Method using Multiple di/dt Detectors,” in Proc. of IEICE Society Conference, C-12-22, p. 83, Sep. 2006. (in Japanese)

- [7] Y. Yachide, M. Ikeda, and K. Asada, “Realization of Real-Time High-Accuracy Multiple-Viewpoint 3-D Imaging System,” in Proc. of IEICE Society Conference 2006, A-1-17, p. 17, Sep. 2006. (in Japanese)
- [8] 曹, 佐々木, 池田, 浅田, “低EMI自己同期高速伝送インターフェイス,” IEICE General Conference, A-1-11, March 2007.
- [9] Z. Liang, M. Ikeda, and K. Asada, “A Monte-Carlo Analysis of static CMOS and Dual-Rail PLA for Sub-100nm Parameter Variations” IEICE General Conference, A-3-12, March 2007.

藤田研究室 研究論文

- [1] Y.Liu, S.Komatsu, M.Fujita, “Synchronization Mechanism of Timed/Untimed Mixed-Signal System Level Design Environment,” IEICE Trans. On Fundamentals of Electronics, Communications and Computer Sciences, vol. E89-A, no. 4, pp. 1018-1026, Apr. 2006.
- [2] 西原佑, 松本剛史, 小松聡, 藤田昌宏, “状態遷移表現への変換に基づくハードウェア/ソフトウェア協調設計の形式的検証手法,” 電子情報通信学会論文誌, Vol. J89-D, No. 4, pp. 651-659, April 2006.
- [3] Y.Liu, S.Komatsu, M.Fujita, “The AMS Extension to System Level Design Language –SpecC,” IEICE Trans. On Fundamentals of Electronics, Communications and Computer Sciences, E89-A, no. 12, pp. 3397-3407, Dec. 2006.
- [4] T. Sakunkonchak, S. Komatsu, M. Fujita, “Synchronization Verification in System-Level Design with ILP Solvers,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E89-A, No. 12, pp.3387-3396, Dec. 2006.

国際会議

- [1] S. Komatsu, M. Fujita, “An Optimization of Bus Interconnects Pitch for Low-Power and Reliable Bus Encoding Scheme,” 2006 IEEE International Symposium on Circuits and Systems, pp. 1723-1726, May 2006.
- [2] Shunsuke Sasaki, Tasuku Nishihara, Masahiro Fujita, “Slicing-based Hardware/Software Co-design Methodology from Functional

Specifications,” Electronic Notes in Theoretical Computer Science, Vol. 159, pages 265-280, May 2006.

- [3] S. Komatsu, M. Ikeda, K. Asada, “A New Trial on VLSI Test Exercise Course for Undergraduate/Graduate School in EE Department,” 6th International Workshop on Microelectronics Education, pp. 92-95, Jun. 2006.
- [4] Yuji Ishikawa, Shota Watanabe, Kenshu Seto, Masahiro Fujita, “Protocol Wrapper Generation from Statement Based Specification,” IWLS(International Workshop on Logic and Synthesis) 2006, pp.118-125, June 2006.
- [5] Shota Watanabe, Kenshu Seto, Yuji Ishikawa, Satoshi Komatsu, Masahiro Fujita, “Automatic Protocol Transducer Synthesis aiming at facilitating IP-Reuse,” Proceedings of International Workshop on Logic and Synthesis (IWLS2006), pp. 164-170, Jun. 2006.
- [6] D. Ando, T. Nishihara, S. Sasaki, T. Matsumoto, and M. Fujita, “Design Error Detection in System-Level Designs by Dependence Analysis and Formal Checker,” In Proc. of International Workshop on Logic and Synthesis 2006, pp. 255-262, June 2006.
- [7] Tasuku Nishihara, Takeshi Matsumoto, Masahiro Fujita, “Equivalence Checking with Rule-Based Equivalence Propagation and High-Level Synthesis,” In Proc. of the International Workshop on High Level Design Validation and Test, pages 162-169, November 2006.
- [8] Shota Watanabe, Yuji Ishikawa, Kenshu Seto, Satoshi Komatsu and Masahiro Fujita, “Dynamically Reconfigurable Protocol Transducer,” Proceedings of the International Conference on Field Programmable Technology (ICFPT06), pp. 341-344, Dec. 2006.
- [9] Shota Watanabe, Kenshu Seto, Yuji Ishikawa, Satoshi Komatsu, Masahiro Fujita, “Protocol Transducer Synthesis using Divide and Conquer Approach,” Proceedings of The 12th Asia and South Pacific Design Automation Conference (ASPDAC2007), pp. 280-285, Jan. 2007.
- [10] T. Matsumoto, D. Ando, T. Nishihara, and M. Fujita, “Development and Verification of a Collaborative Printing Environment,” Proc. of the Fifth International Conference on Creating, Connecting and Collaborating through Computing,

pp. 95-102, Jan. 2007.

国内学会，研究会等

- [1] 渡辺 翔太, 瀬戸 謙修, 石川 悠司, 小松 聡, 藤田 昌宏, “設計再利用の為のプロトコル変換器合成手法,” 第19回 回路とシステム軽井沢ワークショップ, pp. 229-234, Apr 2006.
- [2] 瀬戸謙修, 藤田昌宏, “メモリアクセスおよびリソース共有を行うカスタム命令自動生成手法,” 電子情報通信学会研究会研究報告 VLD2006-105, pp. 19-24, May 2006.
- [3] 松本剛史, 小松聡, 藤田昌宏, “動作合成前後の設計記述に対する記号シミュレーションによる形式的等価性検証の検討,” 電子情報通信学会技術研究報告, Vol.106, No. 32, pp. 7-12, 2006年5月.
- [4] 瀬戸謙修, 藤田昌宏, “高位合成技術を利用したカスタム命令自動生成手法,” DA シンポジウム 2006 論文集, pages 49-54, July 2006.
- [5] 西原佑, 松本剛史, 藤田昌宏, “高位合成を利用したデータパス抽象化に基づく等価性検証手法,” DA シンポジウム 2006 論文集, pp. 151-156, July 2006.
- [6] 松本剛史, Thanyapat Sakunkonchak, 齋藤寛, 小松聡, 藤田昌宏, “線形計画法を利用したシステムレベル設計での動作並列化前後での等価性検証手法,” DA シンポジウム論文集, pp. 157-162, 2006年7月.
- [7] 安藤 大介, 西原 佑, 松本 剛史, 藤田 昌宏, “依存解析と形式的検証によるCベース言語プログラムの誤り検出手法,” 第8回 組込みシステム技術に関するサマワークショップ 予稿集, pp. 99-106, 2006年7月.
- [8] 安藤 大介, 西原 佑, 松本 剛史, 藤田 昌宏, “システムレベル設計に対する拡張システム依存グラフを利用した記述チェック,” 電子情報通信学会技術研究報告 Vol. 106, No. 547, pp. 37-42, 2007年3月.
- [9] 石川悠司, SeongWoon Kang, 李蓮福, GiLark Park, 渡邊翔太, 瀬戸謙修, 小松聡, 浜村博史, 藤田昌宏 “ハードウェア設計における設計資産の仕様記述およびその検証手法,” 電子情報通信学会技術研究報告, Vol. 106, No.547, pp. 43-48, 2007年3月.
- [10] 李蓮福, GiLark Park, 石川悠司, SeongWoon Kang, 渡邊翔太, 瀬戸謙修, 小松聡, 浜村博史, 藤田昌宏 “設計再利用のためのIPライブラリ検索システム,” 電子情報通信学会技術研究報告, Vol. 106, No.547, pp. 49-54, 2007年3月.
- [11] 松本剛史, 瀬戸謙修, 藤田昌宏, “C言語プログラムにおけるループ最適化に対するループ展開を伴

わなない等価性検証手法,” 電子情報通信学会技術研究報告, Vol.106, No. 602, pp. 55-60, 2007年3月.

高宮研究室 研究論文

- [1] K. Onizuka, H. Kawaguchi, M. Takamiya, and T. Sakurai, “ $\$V_{DD}$ -Hopping Accelerators for On-Chip Power Supply Circuit to Achieve Nanosecond-Order Transient Time,” IEEE Journal of Solid-State Circuits, Vol. 41, No. 11, pp. 2382-2389, Nov. 2006.
- [2] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, and T. Sakurai, “An Organic FET SRAM with Back Gate to Increase Static Noise Margin and its Application to Braille Sheet Display,” IEEE Journal of Solid-State Circuits, Vol. 42, No. 1, pp. 93-100, Jan. 2007.
- [3] Y. Kato, T. Sekitani, M. Takamiya, M. Doi, K. Asaka, T. Sakurai, and T. Someya, “Sheet-Type Braille Displays by Integrating Organic Field-Effect Transistors and Polymeric Actuators”, IEEE Transactions on Electron Devices, Vol. 54, No. 2, pp. 202-209, Feb. 2007.

国際会議論文

- [1] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, and T. Sakurai, “Low Power and Flexible Braille Sheet Display with Organic FET's and Plastic Actuators,” IEEE International Conference on IC Design and Technology (ICIDT), Padova, Italy, pp. 219-222, May 2006. (Invited)
- [2] K. Inagaki, D. Antono, M. Takamiya, S. Kumashiro, and T. Sakurai, “A 1-ps Resolution On-chip Sampling Oscilloscope with 64:1 Tunable Sampling Range Based on Ramp Waveform Division Scheme,” IEEE Symposium on VLSI Circuits, Honolulu, Hawaii, USA, pp. 76-77, June 2006.
- [3] A. Tamtrakarn, H. Ishikuro, K. Ishida, M. Takamiya, and T. Sakurai, “A 1-V 299 μ W Flashing UWB Transceiver Based on Double Thresholding Scheme,” IEEE Symposium on VLSI Circuits, Honolulu, Hawaii, USA, pp. 250-251, June 2006.
- [4] K. Onizuka, H. Kawaguchi, M. Takamiya, T. Kuroda and T. Sakurai, “Chip-to-Chip Inductive

Wireless Power Transmission System for SiP Applications,” IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp. 575-578, Sep. 2006.

- [5] K. Onizuka, H. Kawaguchi, M. Takamiya and T. Sakurai, “Stacked-chip Implementation of On-chip Buck Converter for Power-Aware Distributed Power Supply Systems,” IEEE Asian Solid-State Circuits Conference (A-SSCC), Hangzhou, China, pp. 127-130, Nov. 2006.
- [6] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, and T. Sakurai, “Flexible Braille Sheet Display with Organic FETs and Plastic Actuators,” International Display Workshop (IDW), Otsu, Japan, pp. 261-264, Dec. 2006. (Invited)
- [7] T. Sekitani, M. Takamiya, Y. Noguchi, S. Nakano, Y. Kato, K. Hizu, H. Kawaguchi, T. Sakurai, and T. Someya, “A Large-Area Flexible Wireless Power Transmission Sheet Using Printed Plastic MEMS Switches and Organic Field-Effect Transistors,” IEEE International Electron Devices Meeting (IEDM), San Francisco, USA, pp. 287-290, Dec. 2006.
- [8] M. Takamiya, T. Sekitani, Y. Miyamoto, Y. Noguchi, H. Kawaguchi, T. Someya, and T. Sakurai, “Design Solutions for Multi-Object Wireless Power Transmission Sheet Based on Plastic Switches,” IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 362-363, Feb. 2007.

シンポジウム・研究会・大会等発表

- [1] K. Hizu. T. Sekitani. Y. Shimada. J. Otsuki. M. Takamiya. T. Sakurai. and T. Someya, “Low Voltage Operation Of Organic CMOS Inverter Circuit With Double-Gate Structure,” Material Research Society (MRS) Spring Meeting. Symposium, M10.59, San Francisco, USA, April 2006.
- [2] 川口 博, 高宮 真, 関谷 毅, 加藤祐作, 染谷隆夫, 桜井貴康, “有機トランジスタ とプラスチックアクチュエータを集積化したフレキシブルな点字ディスプレイ向けの回路技術,” 電子情報通信学会, 信学技報, ICD2006-22, pp. 1-6, 神戸, 2006年5月.
- [3] 比津和樹, 関谷 毅, 島田よう子, 大月 穰, 高宮真, 桜井貴康, 染谷隆夫, “ダブルゲート構造による

有機CMOS回路の低電圧駆動,” 電子情報通信学会, 信学技報, OME2006-56, pp. 33-35, 横浜, 2006年7月.

- [4] 稲垣賢一, ダナルドノ ドゥイ アントノ, 高宮 真, 熊代成孝, 桜井貴康, “ランプ波形分割方式を用いたオンチップサンプリングオシロスコープ,” 電子情報通信学会, 信学技報, ICD2006-83, pp. 25-30, 2006年8月.
- [5] 高宮 真, アーティット タムタカーン, 石黒仁揮, 石田光一, 桜井貴康, “Double Thresholding Schemeを用いた1V 299uW Flashing UWBトランシーバ,” 電子情報通信学会, 信学技報, ICD2006-89, pp. 57-61, 札幌, 2006年8月.
- [6] 関谷 毅, 高宮 真, 桜井貴康, 染谷隆夫, “有機/金属封止膜を用いたペンタセン薄膜トランジスタの大気安定性,” 2006年秋季第67回応用物理学学会学術講演会, 30a-ZH-11, 滋賀, 2006年8月.
- [7] 石田将也, 高宮 真, 桜井貴康, “非同期サンプリング型UWBパルス受信方式,” 電子情報通信学会エレクトロニクスソサイエティ大会, C-12-39, 金沢, 2006年9月.
- [8] 呉 文豪, 高宮 真, 桜井貴康, “低消費電力VLSI実現に向けた電源電圧と基板バイアスの動的制御アルゴリズム,” 電子情報通信学会エレクトロニクスソサイエティ大会, C-12-33, 金沢, 2006年9月.
- [9] M. Takamiya, “Large Area Electronics with Organic FETs,” Japan-America Frontiers of Engineering Symposium, Tsukuba, Japan, Nov. 2006. (Invited)
- [10] 比津和樹, 関谷 毅, 大月 穰, 高宮 真, 桜井貴康, 染谷隆夫, “有機CMOS論理回路のAC特性,” 電子情報通信学会, 信学技報, OME2006-115, pp. 37-41, 東京, 2006年12月.
- [11] 新山太郎, 高宮 真, 桜井貴康, “超低電圧領域におけるリングオシレータの発振周波数ばらつき,” 電子情報通信学会総合大会, C-12-14, 名古屋, 2007年3月
- [12] 関谷 毅, 高宮 真, 野口儀晃, 中野慎太郎, 加藤祐作, 比津和樹, 桜井貴康, 染谷隆夫, “有機トランジスタとプラスチック接点スイッチを用いたワイヤレス電力伝送シート,” 2007年春季第54回応用物理学関係連合講演会, 30a-W-8, 神奈川, 2007年3月.

柴田・三田研究室 学会誌

- [1] Yoshio Mita, Masanori Kubota, Tomoyuki Harada, Frédéric Marty, Bassam Saadany, Tarik Bourouina and Tadashi Shibata, “Contour Lithography Methods for DRIE Fabrication of Nanometre-Millimetre-Scale Coexisting Microsystems”, Journal of Micromechanics and Microengineering, Vol. 16, pp. S135-S141 (2006).
- [2] 久保田雅則, 三田吉郎, マーティ・フレデリック, ブルイナ・タリク, 柴田直, 「ナノ開口・大開口のエッチングを可能とする輪郭描画法」電気学会論文誌E 126巻6号, pp.235-126 (2006).
- [3] Yamato Fukuta, Yves Andre Chapuis, Yoshio Mita, and Hiroyuki Fujita, “Design, fabrication, and control of MEMS-based actuator arrays for air-flow distributed micromanipulation”, IEEE Journal of Micro-Electro-Mechanical Systems, Vol. 15, No. 4, pp. 212-226, August 2006.
- [4] T. Yamasaki and T. Shibata, “A Low-Power Floating-Gate-MOS-Based CDMA Matched Filter Featuring Coupling Capacitor Disconnection,” IEEE Journal on Solid State Circuits, vol. 42, no. 2, pp. 422-430, 2007.
- [5] Bassam Saadany, Maurine Malak, Masanori Kubota, Frederic Marty, Yoshio Mita, Diaa Khalil, and Tarik Bourouina, “Free-Space Tunable and Drop Optical Filters Using Vertical Bragg Mirrors on Silicon”, IEEE Journal of Selected Topics in Quantum Electronics, Vol.12, No.6, Nov/Dec 2006, pp.1480-1488.
- [6] Yoshio Mita, Kenichiro Hirose, Masanori Kubota, and Tadashi Shibata, “Deep-Trench Vertical Si Photodiodes for Improved Efficiency and Crosstalk”, IEEE Journal of Selected Topics on Quantum Electronics, Vol. 13, No.2, March/April (2007.3).
- [7] 高田謙, 早川仁, 柴田直, 「連想プロセッサアーキテクチャに基づく逐次データソーティングVLSI」電子情報通信学会論文誌C (採択済み)
- [8] Yasufumi Suzuki and Tadashi Shibata, “A Hardware Architecture for Pseudo-2D Hidden-Markov-Model-Based Face Recognition Systems Employing Laplace Distribution Functions,” accepted for publication in Japanese Journal of Applied Physics, 2007.
- [9] Jun Chen and Tadashi Shibata, “A Hardware-Implementation-Friendly Pulse-Coupled Neural

Network Algorithm for Analog Image-Feature-Generation Circuits,” accepted for publication in Japanese Journal of Applied Physics, 2007.

国際学会プロシーディング

- [1] Jia Hao and Tadashi Shibata, “A VLSI-Implementation-Friendly Ego-Motion Detection Algorithm Based on Edge-Histogram Matching,” in the Proceedings of 2006 IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP 2006), pp. 243-248, Toulouse, France, May 14-18, 2006.
- [2] Kiyoto Ito and Tadashi Shibata, “A Time-Domain Gradient-Detection Architecture for VLSI Analog Motion Sensors,” Proceedings of The 2006 International Symposium on Circuits and Systems (ISCAS'06), Island of Kos, Greece, May 21-24, 2006, pp. 201-204.
- [3] Benjamas Tongprasit and Tadashi Shibata, “Power-Balanced Reconfigurable Floating-Gate-MOS Logic Circuit for Tamper Resistant VLSI,” Proceedings of The 2006 International Symposium on Circuits and Systems (ISCAS'06), Island of Kos, Greece, May 21-24, 2006, pp. 4855-4858.
- [4] Bassam Saadany, Tarik Bourouina, Maurine Malak, Masanori Kubota, Yoshio Mita, and Dhaa Khalil, “A Miniature Michelson Interferometer using Vertical Bragg Mirrors on SOI”, IEEE / LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2006), August 20-24, Montana, USA, pp. 50-51 (2006.8)
- [5] Bassam Saadany, Dhaa Khalil, Maurine Malak, Masanori Kubota, Frederic Marty, Yoshio Mita, and Tarik Bourouina, “An all Silicon Micro-machined Add-Drop Optical Filter”, IEEE/LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2006), August 20-24, Montana, USA, pp. 94-95 (2006.8)
- [6] Bassam Saadany, Maurine Malak, Frederic Marty, Yoshio Mita, Dhaa Khalil, and Tarik Bourouina, “Electrostatically-tuned Optical Filter Based on Silicon Bragg Reflectors”, IEEE/LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2006), August 20-24, Montana, USA, pp. 86-87 (2006.8)
- [7] Kenichiro Hirose, Yoshio Mita, Masanori Kubota and Tadashi Shibata, “Deep-Trench Vertical Si Photodiode Towards Active-Device Integrated OMEMS,” in Proceedings of the 2006 International Conference on Optical MEMS and Their Applications (OMEMS 2006), pp. 191-192, Montana, USA, Aug. 21-24, 2006.
- [8] Kenichiro Hirose, Yoshio Mita and Tadashi Shibata, “Self-Patterning Metal Deposition on Deep Three-Dimensional Micro Structures for Vertically Buried Inductors,” in Technical Digest of the 17th Micro Mechanics Europe (MME 2006), pp. 85-88, Southampton, UK, Sep. 3-5, 2006
- [9] Yasufumi Suzuki and Tadashi Shibata, “Illumination-Invariant Face Identification Using Edge-Based Feature Vectors in Pseudo-2D Hidden Markov Models,” in Proceedings of the 14th European Signal Processing Conference (EUSIPCO 2006), Florence, Italy, Sep. 4-8, 2006.
- [10] Daisuke Moriya, Yasufumi Suzuki, Tadashi Shibata, Masakazu Yagi, and Kenji Takada, “Multi-View Face Detection and Pose Estimation Employing Edge-Based Feature Vectors,” in Proceedings of the 14th European Signal Processing Conference (EUSIPCO 2006), Florence, Italy, Sep. 4-8, 2006.
- [11] Yasufumi Suzuki and Tadashi Shibata, “Hardware Architecture for Pseudo-2D Hidden-Markov-Model-Based Face Recognition System Employing Laplace Distribution Functions,” in Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials (SSDM 2006), pp. 584-585, Yokohama, Japan, Sep. 12-15, 2006.
- [12] Jun Chen and Tadashi Shibata, “A Hardware-Implementation-Friendly PCNN for Analog Image-Feature-Generation Circuits,” in Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials (SSDM 2006), pp. 594-595, Yokohama, Japan, Sep. 12-15, 2006.
- [13] Ovgu Ozturk and Tadashi Shibata, “An Edge Cache Memory Architecture for Early Visual Processing VLSIs,” in Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials (SSDM 2006), pp. 592-593, Yokohama, Japan, Sep. 12-15, 2006.
- [14] S. Srisomrun, Y. Mita, K. Hoshino, M. Sugiyama and T. Shibata, “Silicon on PDMS : SOI Extra Thin Active Layer Transferred to Organic Film for Flexible Applications,” in Technical Digest of the 20th IEEE International Conference on Micro

その他研究会

- [1] 郝佳, 柴田直, 「エッジ情報に基づいての自分の動きを検出するためのハードウェア・アルゴリズムの研究」, 電子情報通信学会技術研究報告(信学技報) Vol.106, No. 342, pp. 13-17, 論文番号, NC2006-65, 2006年11月
- [2] 森川重毅, 伊藤潔人, 柴田直「K-means VLSI プロセッサと画像の自己領域分化への応用」, 電子情報通信学会技術研究報告(信学技報) Vol.106, No. 342, pp.19 -24, 論文番号, NC2006-66, 2006年11月
- [3] 柴田直「〔招待論文〕心の情報処理に学ぶVLSIブレインプロセッサ -実時間画像認識を目指して-」, 電子情報通信学会技術研究報告(信学技報) Vol.106, No.342, pp.25-33, 論文番号, NC2006-67, 2006年11月
- [4] Yoshio MITA, Kenichiro Hirose, Masanori Kubota, et Tadashi Shibata, "Integration du Dispositif Electronique Actif en MicroStructure Tri-Dimensionnel (in French)", Journee Scientifique Francophone 2006, Takeda Hall, 1 Decembre, Tokyo (2006)

高木研究室 研究論文

- [1] K. Ikeda, Y. Yamashita, N. Sugiyama, N. Taoka and S. Takagi, "Modulation of NiGe/Ge Schottky barrier height by sulfur segregation during Ni germanidation", Appl. Phys. Lett. Vol. 88, 152115, 2006.
- [2] T. Ishihara, K. Uchida, J. Koga and S. Takagi, "Thickness Fluctuations in Silicon-on-Insulator Metal-Oxide-Semiconductor Field-Effect Transistors", Jpn. J. Appl. Phys., Vol. 45, No. 4B, pp. 3125-3132, 2006.
- [3] T. Tezuka, Y. Moriyama, S. Nakaharai, N. Sugiyama, N. Hirashita, E. Toyoda, Y. Miyamura and S. Takagi, "Lattice relaxation and dislocation generation/ annihilation in SiGe-on-insulator layers during Ge condensation process", Thin Solid Films, Volume 508, Issues 1-2, pp. 251-255, 2006.
- [4] N. Hirashita, N. Sugiyama, E. Toyoda and S. Takagi, "Strain relaxation processes in strained-Si

layer on SiGe-on-insulator substrates", Thin Solid Films, Volume 508, Issues 1-2, pp. 112-116, 2006.

- [5] K. Ikeda, T. Maeda and S. Takagi, "Characterization of platinum germanide/ Ge (100) Schottky barrier height for Ge channel Metal Source/Drain MOSFET", Thin Solid Films, Volume 508, Issues 1-2, pp. 359-362, 2006.
- [6] T. Maeda, K. Ikeda, S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama and S. Takagi, "Thin-body Ge-on-insulator p-channel MOSFETs with Pt germanide metal source/drain", Thin Solid Films, Volume 508, Issues 1-2, pp. 346-350, 2006.
- [7] T. Numata, T. Irisawa, T. Tezuka, J. Koga, N. Hirashita, K. Usuda, E. Toyoda, Y. Miyamura, A. Tanabe, N. Sugiyama and S. Takagi, "Performance Enhancement of Partially and Fully Depleted Strained-SOI MOSFETs", IEEE Trans. Electron Devices, Vol. 53, No. 5, p. 1030-1038, 2006.
- [8] T. Maeda, T. Yasuda, M. Nishizawa, N. Miyata and S. Takagi, "Pure Germanium Nitride Formation by Atomic Nitrogen Radicals for Application to Ge MIS Structures", J. Appl. Phys., vol. 100, 014101, 2006.
- [9] N. Hirashita, Y. Moriyama, N. Sugiyama, E. Toyoda and S. Takagi, "Misfit strain relaxation in strained Si layers on silicon-germanium-on-insulator substrates", Appl. Phys. Lett. Vol. 89, 091916, 2006.
- [10] T. Maeda, S. Takagi, T. Ohnishi and M. Lippmaa, "Sulfur passivation of Ge (001) surfaces and its effects on Schottky barrier contact", Materials Science in Semiconductor Processing, Vol. 9, Issues 4-5, pp. 706-710, 2006.
- [11] T. Irisawa, T. Numata, T. Tezuka, K. Usuda, N. Hirashita, N. Sugiyama, E. Toyoda and S. Takagi, "High Performance Uniaxially Strained SGOI pMOSFETs Fabricated by Lateral Strain Relaxation Technique on Globally Strained SGOI", IEEE Trans. Electron Devices, vol. 53, no. 11, pp. 2809-2815, 2006.
- [12] S. Takagi, T. Tezuka, T. Irisawa, S. Nakaharai, T. Maeda, T. Numata, K. Ikeda and N. Sugiyama, "Hole Mobility Enhancement of p-MOSFETs Using Global and Local Ge Channel Technologies", Materials Science and Engineering: B, Volume 135, Issue 3, pp. 250-255, 2006.
- [13] N. Hirashita, Y. Moriyama, N. Sugiyama, E.

- Toyoda and S. Takagi, "Strain relaxation in strained-Si layer on SiGe-on-insulator substrates", *Semicond. Sci. Technol.* Vol. 22, No. 1, pp. S21-S25, 2007.
- [14] N. Sugiyama, S. Nakaharai, N. Hirashita, T. Tezuka, Y. Moriyama, K. Usuda and S. Takagi, "Formation of SGOI structures with low dislocation density by two step oxidation and condensation method", *Semicond. Sci. Technol.* Vol. 22, No. 1, pp. S59-S62, 2007.
- [15] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Hirashita, E. Toyoda, T. Numata, T. Irisawa, K. Usuda, N. Sugiyama, T. Mizuno and S. Takagi, "Strained-SOI/SGOI dual channel CMOS technology based on Ge condensation technique", *Semicond. Sci. Technol.* Vol. 22, No. 1, pp. S93-S98, 2007.
- [16] S. Nakaharai, T. Tezuka, N. Hirashita, E. Toyoda, Y. Moriyama, N. Sugiyama and S. Takagi, "Generation of Crystal Defects in Ge-on-Insulator (GOI) Layers in Ge-condensation Process", *Semicond. Sci. Technol.* Vol. 22, No. 1, pp. S103-S106, 2007.
- [17] N. Taoka, K. Ikeda, Y. Yamashita, N. Sugiyama and S. Takagi, "Effects of Ambient Conditions in Thermal Treatment for Ge(001) Surfaces on Ge MIS Interface Properties", *Semicond. Sci. Technol.* Vol. 22, No. 1, pp. S114-S117, 2007.
- [18] K. Usuda, T. Irisawa, T. Numata, N. Hirashita and S. Takagi, "Characterization of in-plane strain relaxation in strained layers using a newly developed plane-NBD method", *Semicond. Sci. Technol.* Vol. 22, No. 1, pp. S227-S230, 2007.
- [19] T. Maeda, M. Nishizawa, Y. Morita and S. Takagi, "Role of germanium nitride interfacial layers in HfO₂/germanium-nitride/germanium metal-insulator- semiconductor structures", *Appl. Phys. Lett.* 90, 072911, 2007.
- [20] K. Suzuki, K. Ikeda, Y. Yamashita and S. Takagi, "Ion Implanted B Concentration Profiles in Ge", *Jpn. J. Appl. Phys.*, vol. 46, no. 3A, pp. 926-931, 2007.
- Workshop on ULtimate Integration of Silico n (ULIS 2006), Grenoble, France, pp. 69-71, 2006.
- [2] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, T. Maeda and S. Takagi, "Strained-SOI Technology for High-Speed CMOS Operation (invited)", *International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)*, Hsinchu Taiwan, pp. 1-2, 2006.
- [3] A. Tanabe, T. Numata, T. Tezuka, N. Hirashita and S. Takagi, "p-n Junction leakage current in strained-Si/SGOI diodes", *Abs. 3rd International SiGe Technology and Device Meeting*, pp. 12-13, 2006.
- [4] N. Taoka, K. Ikeda, Y. Yamashita, N. Sugiyama and S. Takagi, "Effects of Ambient Conditions in Thermal Treatment for Ge(001) Surfaces on Ge MIS Interface Properties", *Abs. 3rd International SiGe Technology and Device Meeting*, pp. 50-51, 2006.
- [5] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Hirashita, E. Toyoda, T. Numata, T. Irisawa, K. Usuda, N. Sugiyama, T. Mizuno and S. Takagi, "Strained-SOI/SGOI Dual Channel CMOS Technology Based on Ge Condensation Technique (invited)", *3rd International SiGe Technology and Device Meeting*, pp. 160-161, 2006.
- [6] N. Sugiyama, S. Nakaharai, N. Hirashita, T. Tezuka, Y. Moriyama, K. Usuda and S. Takagi, "Formation of SGOI structures with low dislocation density by two step oxidation and condensation method", *Abs. 3rd International SiGe Technology and Device Meeting*, pp. 200-201, 2006.
- [7] N. Hirashita, E. Toyoda, Y. Moriyama, N. Sugiyama and S. Takagi, "Strain relaxation in Strained-Si layer on SiGe-on-Insulator Substrates", *Abs. 3rd International SiGe Technology and Device Meeting*, 2006. p. 206-207
- [8] S. Nakaharai, T. Tezuka, N. Hirashita, E. Toyoda, Y. Moriyama, N. Sugiyama and S. Takagi, "Generation of Crystal Defects in Ge-on-Insulator (GOI) Layers in Ge-condensation Process", *Abs. 3rd International SiGe Technology and Device Meeting*, pp. 208-209, 2006.
- [9] K Usuda, T. Irisawa, T. Numata, N. Hirashita and S. Takagi, "Characterization of in-plane strain relaxation in a strained SGOI layer after mesa isolation with newly developed plane-NBD method",

国際会議論文

- [1] S. Takagi, "Device Structure and Carrier Transport Properties of Advanced CMOS using strained Si/SiGe/Ge Channels (invited)", 7 th European

Abs. 3rd International SiGe Technology and Device Meeting, pp. 250-251, 2006.

- [10] S. Takagi, T. Tezuka, T. Irisawa, S. Nakaharai, T. Numata, K. Usuda, T. Maeda and N. Sugiyama, "Mobility-Enhanced CMOS Technologies Using Strained Si/SiGe/Ge Channels", ICICDT2006 (International Conference on IC Design and Technology), Padova, Italy, pp. 165-166, 2006.
- [11] S. Takagi, T. Tezuka, T. Irisawa, S. Nakaharai, T. Numata, K. Usuda, T. Maeda and N. Sugiyama, "Hole Mobility Enhancement Using SiGe/Ge Channels (invited)", European Material Research Society Meeting, Symposium B: From Strained Si to Nanotubes: Novel Channels for Field Effect Devices, Acropolis Congress Center, Nice, France, B4-1, 2006.
- [12] T. Maeda, M. Nishizawa, S. Takagi, T. Ohnishi and M. Lippmaa, "Sulfur Passivation of Ge (001) Surface and its Effects on Schottky Barrier Contact", European Material Research Society Meeting, Symposium T: Germanium based Semiconductors: from Materials to Devices, Acropolis Congress Center, Nice, France, T9-06, 2006.
- [13] T. Tezuka, T. Irisawa, T. Numata, Y. Moriyama, N. Hirashita, E. Toyoda, K. Usuda, N. Sugiyama and S. Takagi, "Relationship between hole mobility and current drive in uniaxially stressed thin-body SiGe-on-insulator pMOSFETs", Proc. VLSI Symposium, pp. 146, 2006.
- [14] S. Takagi, T. Tezuka, T. Irisawa, S. Nakaharai, T. Numata and N. Sugiyama, "Device and Substrate Technologies for Advanced CMOS with Mobility Enhancement (invited)", 2006 Asia-Pacific Workshop on Fundamental and Application of Advanced Semiconductor Devices (AWAD2006), 2006. 7. 3-5, Tohoku University, Sendai, pp. 11-16, 2006.
- [15] K-H. Park, K. Hirakawa and S. Takagi, "Low-temperature mobilities and energy loss rates of two-dimensional electrons in Si inversion layers", 28th International Conference on the Physics of Semiconductors (ICPS) 2006, Vienna, Austria, 2006.
- [16] T. Hoshii, S. Sugahara and S. Takagi, "Effect of Tensile Strain on Gate and Substrate Currents of strained-Si n-MOSFETs", Ext. Abs. SSDM, pp. 164-165, 2006.
- [17] N. Taoka, K. Ikeda, Y. Yamashita, N. Sugiyama and S. Takagi, "Quantitative Evaluation of Interface Trap Density in Ge-MIS Interfaces", Ext. Abs. SSDM, pp. 396-397, 2006.
- [18] H. Kumagai, M. Shichijo, H. Ishikawa, T. Hoshii, S. Sugahara, Y. Uchida and S. Takagi, "Fabrication of SiO₂/Ge MIS structures by plasma oxidation of ultrathin Si films grown on Ge", Ext. Abs. SSDM, pp. 398-399, 2006.
- [19] T. Uehara, H. Matsubara, S. Sugahara and S. Takagi, "Ultra-thin Ge-on-Insulator (GOI) Metal S/D p-channel MOSFETs fabricated by low temperature MBE growth", Ext. Abs. SSDM, pp. 1050-1051, 2006.
- [20] S. Takagi and S. Sugahara, "Comparative Study on Influence of Subband Structures on Electrical Characteristics of III-V Semiconductor, Ge and Si Channel n-MISFETs", Ext. Abs. SSDM, pp. 1056-1057, 2006.
- [21] K-H. Park, K. Hirakawa and S. Takagi, "Energy relaxation of two-dimensional electrons in Si-MOSFETs : determination of deformational potential constant of conduction band of Si", Ext. Abs. SSDM, pp. 1064-1065, 2006.
- [22] M. Shichijo, R. Nakane, S. Sugahara and S. Takagi, "Fabrication of III-V-O-I (III-V on Insulator) structures on Si using micro-channel epitaxy with a two-step growth technique", Ext. Abs. SSDM, pp. 1088-1089, 2006.
- [23] S. Takagi, K. Ikeda, T. Maeda, S. Nakaharai, N. Sugiyama, T. Uehara and S. Sugahara, "Metal Source/Drain Ge MOSFET Technologies", Workshop on Gate Stack and Contact Engineering for sub-30nm FETs, Monterey, USA, 2006.
- [24] S. Takagi, T. Tezuka, T. Irisawa, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, K. Ikeda, N. Taoka, Y. Yamashita, M. Harada, T. Maeda, T. Yamamoto and N. Sugiyama, "Mobility-Enhanced Device Technologies Using SiGe/Ge MOS Channels", 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, pp. 5-6, 2006.
- [25] N. Hirashita, Y. Moriyama, E. Toyoda, N. Sugiyama and S. Takagi, "Strain Relaxation of Strained-Si Layers on (001) Si_{1-x}Ge_x-on-Insulator Substrates due to Misfit Dislocations", 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, pp. 27-28, 2006.
- [26] N. Sugiyama, S. Nakaharai, N. Hirashita, T.

- Tezuka, Y. Moriyama, K. Usuda and S. Takagi, "Reduction of dislocation density in SGOI structures by two step oxidation and condensation method", 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, pp. 29-30, 2006.
- [27] S. Takagi, "High Performance CMOS Device Technologies in Nano CMOS Era (invited)", IEEE Nanotechnology Materials and Devices Conference (NMDC), Gyeongju, Korea, pp. 86-87, 2006
- [28] T. Maeda, Y. Morita, M. Nishizawa and S. Takagi, "Effect of plasma oxidation and nitridation for interfacial layer formation in HfO₂/Ge-MIS Structures", SiGe & Ge: Materials, Processing, and Devices Symposium, the 2006 Joint International Electrochemical Society Meeting, Cancun, Mexico, ECS Trans. Vol. 3, Issue. 7 pp. 551-558, 2006.
- [29] S. Takagi, N. Taoka, S. Nakaharai, K. Ikeda, T. Tezuka, Y. Yamashita, Y. Moriyama, T. Maeda and N. Sugiyama, "Prospects and Critical Issues on Ge MOS Technologies (invited)", SiGe & Ge: Materials, Processing, and Devices Symposium, the 2006 Joint International Electrochemical Society Meeting, Cancun, Mexico, ECS Trans. Vol. 3, Issue. 7 pp. 823-829, 2006.
- [30] N. Sugiyama, T. Tezuka, T. Irisawa, K. Usuda, Y. Moriyama, S. Nakaharai, N. Hirashita, T. Mizuno and S. Takagi, "Recent progress in Ge condensation technology for advanced strained channel FET (invited)", SiGe & Ge: Materials, Processing, and Devices Symposium, the 2006 Joint International Electrochemical Society Meeting, Cancun, Mexico, ECS Trans. Vol. 3, Issue. 7 pp. 1015-1022, 2006.
- [31] Y. Moriyama, N. Hirashita, E. Toyoda, K. Usuda, S. Nakaharai, N. Sugiyama and S. Takagi, "Examination of the surface cleaning of GOI and SGOI substrates for Ge epitaxial growth", SiGe & Ge: Materials, Processing, and Devices Symposium, the 2006 Joint International Electrochemical Society Meeting, Cancun, Mexico, ECS Trans. Vol. 3, Issue. 7 pp. 1183-1190, 2006.
- [32] N. Taoka, K. Ikeda, Y. Yamashita, M. Harada, T. Yamamoto, N. Sugiyama and S. Takagi, "Evaluation of DC and AC responses of Ge-MIS interface states by conductance technique", Semiconductor Interface Specialists Conference (SISC) P.25, 2006.
- [33] T. Irisawa, T. Numata, T. Tezuka, N. Sugiyama, and S. Takagi, "Electron Transport Properties of Ultrathin-body and Tri-gate SOI nMOSFETs with Biaxial and Uniaxial strain", International Electron Device Meeting (IEDM), pp. 457-460, 2006.
- [34] T. Mizuno, T. Irisawa, N. Hirashita, Y. Moriyama, T. Numata, T. Tezuka, N. Sugiyama and S. Takagi, "Novel Anisotropic Strain Engineering on (110)-Surface SOI CMOS Devices Using Combination of Local/Global Strain Techniques", International Electron Device Meeting (IEDM), pp. 453-456, 2006.
- [35] S. Takagi, "Mobility-Enhanced CMOS Technology (invited)", SEMICON KOREA Semi Technology Symposium (STS) 2007, Seoul, Korea, pp. 251-258, 2007.
- [36] S. Takagi, "Physics and Technology of Strained-Si CMOS", Tutorial Short Course, 20th IEEE International Conference on Microelectronic Test Structures (ICMTS 2007), The University of Tokyo, Tokyo, Japan, pp. 79-103, 2007.

著書

- [1] Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications (Editors: Sakurai, Takayasu, Matsuzawa, Akira, Douseki, Takakuni), Springer, (ISBN: 0-387-29217-9), 8.3.1: K. Uchida and S. Takagi, pp. 372-385, 2006.
- [2] 高木信一, 第23章 半導体素子プロセス 23.8 デバイスプロセスの将来, 表面物性工学ハンドブック 第2版, 丸善, 2007.

総説・解説論文

- [1] 手塚勉, 中払周, 守山佳彦, 平下紀夫, 豊田英二, 杉山直治, 水野智久, 高木 信一, "(解説)高移動度チャネルを有するひずみ Si-on-insulator/ひずみ SiGe-on-insulator デュアルチャネル CMOS の作製と電気特性", 電気学会論文誌 C(電子・情報・システム部門誌), Vol. 126-C, No. 11, pp. 1332-1339, 2006.

シンポジウム・研究会・大会等発表

- [1] 高木信一, "(基調講演)最先端 LSI のための高性能

能・新構造CMOSデバイス技術“、「アジレント・メジャメント・フォーラム2006」Wireless / Component / Semiconductor Test Day, 東京コンファレンスセンター・品川, 2006.

- [2] 高木信一, “MOS反転層の物性とキャリア輸送現象の基礎“, 2006年国際固体素子・材料コンファレンス (SSDM) ショートコース「ますます重要となるMOSFETの物理を理解する」, パシフィコ横浜, pp. 3-38, 2006.
- [3] 鈴木邦広, 池田圭司, 山下良美, 高木信一, “Ge基板中へのBイオン注入分布”, 第67回応用物理学会学術講演会, 立命館大学, Sep. 2006.
- [4] 田岡紀之, 池田圭司, 山下良美, 原田真臣, 山本豊二, 杉山直治, 高木信一, “コンダクタンス法によるGe-MIS界面準位の応答特性評価”, 第67回応用物理学会学術講演会, 立命館大学, Sep. 2006.
- [5] 前田辰郎, 高木信一, 大西剛, Mikk Lippmaa, “硫黄によるゲルマニウム表面の原子層パッシベーション”, 第67回応用物理学会学術講演会, 立命館大学, Sep. 2006.
- [6] 臼田宏治, 入沢寿史, 沼田敏典, 平下紀夫, 高木信一, “平面NBD法による圧縮ひずみSGOI層のメサ形成後の面内ひずみ評価”, 第67回応用物理学会学術講演会, 立命館大学, Sep. 2006.
- [7] 手塚勉, 中払周, 守山佳彦, 平下紀夫, 杉山直治, 田邊顕人, 臼田宏治, 高木信一, “ひずみSGOI-pMOSFETにおける高温下での正孔移動度増大” 第67回応用物理学会学術講演会, 立命館大学, Sep. 2006.
- [8] Sanjeeva Dissanayake, 熊谷寛, 菅原聡, 高木信一, “Fabrication of (110) GOI Layers by Ge Condensation of SiGe/ (110) SOI Structures”, 31p-ZG-15, 第67回応用物理学会学術講演会, 立命館大学, Sep. 2006.
- [9] 高木信一, “高性能LSIのための新構造CMOSデバイス技術“, ISTF (Industry Strategy and Technology Forum) 2006, ウェーブプロセスセッション「ナノ時代のデバイス技術」, パシフィコ横浜, 2006.
- [10] 高木信一, “極限性能新構造トランジスタ基盤技術”, 2006年半導体MIRAIプロジェクト成果報告会, つくば国際会議場, p. 29-36, 2006.
- [11] 高木信一, “ナノCMOS時代のデバイス高性能化技術(High Performance Device Technologies in Nano CMOS Era)”, 東京大学21世紀COEプログラム「未来社会を担うエレクトロニクスの展開」最終シンポジウム「豊かな社会を築くセキュアライフ・エレクトロニクス」, pp. 153-158, 2007.
- [12] 田岡紀之, 池田圭司, 山下良美, 原田真臣, 山本豊二, 杉山直治, 高木信一, “コンダクタンス法によるGe-MIS界面欠陥の特性評価”, ゲートスタック研究会 — 材料・プロセス・評価の物理 — (第12回研究会), 東レ総合研修センター, 2007.
- [13] 前田辰郎, 森田行則, 西澤正泰, 高木信一, “Ge窒化膜を界面層とするHfO₂/Ge-MIS構造の特性”, ゲートスタック研究会 — 材料・プロセス・評価の物理 — (第12回研究会), 2007年2月3日(金)~4日(土), 東レ総合研修センター, 2007.
- [14] 高木信一, “高性能LSIのための新構造・新材料CMOS技術”, 電子情報通信学会大会チュートリアル講演CT-1 「CMOSを越える革新デバイスの現状と展望」, 名城大学天白キャンパス(名古屋市), 2007.
- [15] 土屋英昭, 高木信一, 三好旦六, “準パリストイックMOSFETにおける弾性散乱および非弾性散乱の役割”, 第54回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [16] 手塚勉, 平下紀夫, 守山佳彦, 中払周, 杉山直治, 高木信一, “ひずみSOI基板上のSiGeの酸化濃縮によるひずみSiGe-on-insulator層の形成”, 第54回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007..
- [17] 水野智久, 入沢寿史, 守山佳彦, 平下紀夫, 沼田敏則, 手塚勉, 杉山直治, 高木信一, “(110)面上の非等方ひずみSi p-MOSトランジスタ技術—概念とドレイン電流向上特性—”, 第54回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [18] 入沢寿史, 手塚勉, 杉山直治, 高木信一, “一軸性ひずみSOIを用いたTri-Gate nMOSFETの高性能化”, 第54回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [19] 中払周, 手塚勉, 平下紀夫, 豊田英二, 守山佳彦, 杉山直治, 高木信一, “酸化濃縮法によるGe-on-Insulator(GOI)の高純度化条件”, 第54回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [20] 杉山直治, 沼田敏典, 平下紀夫, 入沢寿史, 高木信一, “ひずみSi-MOSFETにおけるミスフィット転位に起因したリーク特性の改善”, 第54回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [21] 守山佳彦, 平下紀夫, 杉山直治, 高木信一, “非対称反射XRDによるSGOI(110)基板の非等方緩和率評価”, 第54回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.

- [22] 山下良美, 田岡紀之, 原田真臣, 山本豊二, 杉山直治, 高木信一, “ホットワイヤー CVD SiN を用いた Ge-MIS 構造の特性”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [23] 平下紀夫, 手塚勉, 杉山直治, 高木信一, “二段階酸化濃縮法による低貫通転位密度 SGOI 基板の作製 2. 貫通転位低減機構”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [24] 前田辰郎, 森田行則, 西澤正泰, 高木信一, “Ge 窒化膜を界面層とする HfO₂/Ge-MIS 構造の特性”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [25] 松原寛, 熊谷寛, 菅原聡, 高木信一, “低温コンダクタンス法による SiO₂/Ge MIS 界面準位の特性評価”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [26] 熊谷寛, 七条真人, 松原寛, 菅原聡, 高木信一, “Ge 上極薄 Si のプラズマ酸化による SiO₂/Ge MIS キャパシタの電気特性”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [27] S. Dissanayake, H. Kumagai, Y. Shuto, S. Sugahara and S. Takagi, “(110) Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Method”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [28] 田辺聡, 上原貴志, 中根了昌, 菅原聡, 高木信一, “GOI (Ge-On-Insulator) MOS チャンネル中の正孔の速度-電界特性”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [29] 星井拓也, 出浦桃子, 七条真人, 杉山正和, 菅原聡, 中野義昭, 高木信一, “Si 基板上への InGaAs の成長における InP バッファの有効性”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [30] 西川昌志, 熊谷寛, 菅原聡, 高木信一, “オゾン酸化及び熱酸化により作製された Ge MOS 構造の電気特性”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [31] 高木信一, 杉山正和, 菅原聡, “III-V 族化合物半導体 n-MOSFET と Si · Ge n-MOSFET の電流駆動力の比較”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007..
- [32] 上原貴志, 田辺聡, 松原寛, 中根了昌, 菅原聡, 高木信一, “原子状水素アニールによる Si/Ge/SOI 構造メタル S/D pMOSFET の特性改善”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [33] 出浦桃子, 杉山正和, 星井拓也, 菅原聡, 高木信一, 中野義昭, “Si 上高品質 III/V 族化合物半導体薄膜形成に向けた MOVPE バッファ層の初期成長過程観察”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [34] 朴敬花, 平川一彦, 高木信一, “Si-MOSFET 2 次元電子系のエネルギー緩和 (II) - 散乱プロセスとスクリーニング効果”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.
- [35] 山本豊二, 原田真臣, 田岡紀之, 山下良美, 杉山直治, 高木信一, “バンド間トンネルを考慮した短チャネルダブルゲート Ge-MISFET の性能予測”, 第 54 回応用物理学会関係連合学術講演会, 青山学院大学, Mar. 2007.

藤島研究室 研究論文

- [1] I.C.H. Lai and M. Fujishima, “A New On-Chip Substrate-Coupled Inductor Model Implemented With Scalable Expressions,” IEEE Journal of Solid-State Circuits, vol. 41, no. 11, pp.2491-2499 2006.
- [2] I.C.H. Lai, H. Tanimoto and M. Fujishima, “Characterization of High Q Transmission Line Structure for Advanced CMOS Processes,” IEICE Transactions on Electronics, vol. E89-C, no. 12, pp. 1872-1879 2006.
- [3] 谷本, 藤島, 「周波数特性を考慮したスロウウェーブ伝送線路のモデル」, 電子情報通信学会論文誌 C, vol. J89-C, no. 10, pp. 669-671 2006.
- [4] 金子, 藤島, 「オンチップ伝送線路を用いたフィルタの自動設計」, 電子情報通信学会論文誌 C, vol. J89-C, no. 10, pp. 678-680 2006.

国際会議

- [1] K. Yamamoto and M. Fujishima, “70GHz CMOS Harmonic Injection-Locked Divider,” IEEE International Solid-State Circuits Conference, pp. 600-601 2006.
- [2] M. Shimura and M. Fujishima, “An on-Chip High-Speed Solver of Inverse Problems Based on Quantum-Computing Principle,” IEEE International Symposium on Circuits and Systems, pp. 113-118 2006.
- [3] M. Motoyoshi and M. Fujishima, “In Situ Evaluation Method for On-Chip Inductors Using Oscillator Response,” IEEE 2006 Custom Integrated Circuits Conference, pp. 369-372 2006.

- [4] Y. Goto and M. Fujishima, "Large-Scale Quantum Computing Emulation Based on Unitary Macro-Operations," 2006 International Conference on Solid State Devices and Materials, pp. 278-279 2006.
- [5] I.C.H. Lai, H. Tanimoto and M. Fujishima, "On-Chip Asymmetric Coaxial Waveguide Structure for Chip Area Reduction," 2006 International Conference on Solid State Devices and Materials, pp. 60-61 2006.
- [6] I.C.H. Lai and M. Fujishima, "An Integrated 20-26 GHz CMOS Up-Conversion Mixer with Low Power Consumption," 32nd European Solid-State Circuits Conference, pp. 400-403 2006.
- [7] B.B.M.W. Badalawa, A. Oncu, T. Wang and M. Fujishima, "22-29GHz CMOS Pulse Generator for Ultra-Wideband Radar Application," 32nd European Solid-State Circuits Conference, pp. 279-282 2006.
- [8] M. Motoyoshi and M. Fujishima, "43 μ W 6GHz CMOS Divide-by-3 Frequency Divider Based on Three-Phase Harmonic Injection Locking," 2006 IEEE Asian Solid-State Circuits Conference, pp. 183-186 2006.
- [9] I.C.H. Lai, Y. Kambayashi and M. Fujishima, "60-GHz CMOS Down-Conversion Mixer with Slow-Wave Matching Transmission Lines," 2006 IEEE Asian Solid-State Circuits Conference, pp. 195-198 2006.
- [2] 谷本, 藤島, "スローウェーブコプレナ導波路のモデリング", 2006年電子情報通信学会総合大会(東京) 2006年3月
- [3] 新山, 藤島, "キーロンダリングを用いたストリーム暗号", 2006年電子情報通信学会総合大会(東京) 2006年3月
- [4] 金子, 藤島, "オンチップ伝送線路を用いたフィルタの自動設計", 2006年電子情報通信学会総合大会(東京) 2006年3月
- [5] 王, 藤島, "形状依存を考慮した110GHzまでのMOSFETのモデリング", 2006年電子情報通信学会総合大会(東京) 2006年3月
- [6] 後藤, 藤島, "ユニタリマクロ命令を用いた大規模量子計算エミュレータ", 第10回システムLSIワークショップ(北九州) 2006年11月
- [7] 石橋, 藤島, "サイズ依存を考慮した櫛型キャパシタのモデリング", 第10回システムLSIワークショップ(北九州) 2006年11月
- [8] 神林, ライチーホン, 藤島, "20-26GHz低消費電力CMOSアップコンバージョンミキサ", 第10回システムLSIワークショップ(北九州) 2006年11月
- [9] 王, バダラワ, オンチュ, 藤島, "90nm CMOSを用いた22-29GHz UWBレーダ用パルスジェネレータ", 電子情報通信学会技術研究報告(広島) 2006年12月

3. 国内学会, 研究会等

- [1] 渡辺, 山本, 藤島, "デュアルピーク電圧制御発振器の試作と解析", 2006年電子情報通信学会総合大会(東京) 2006年3月

4. 紀要, その他

5. 著書

- [1] Minoru Fujishima, "Semiconductor Nanostructures and Nanodevices (Nanodevices and Circuits 5)," edited by A.A. Baladin and L.K. Wang, American Scientific Publishers, Chap. 9, pp. 384-408, 2006

4. 5 特許・受賞等

浅田・池田研究室 受賞

- [1] T. Iizuka, M. Ikeda, and K. Asada, “Yield-Optimized Standard Cell Layout IP Synthesis System,” the 8th IP Award from LSI IP Design Award Committees, May 2006. (IP Award 2006)
- [2] T. Iizuka, M. Ikeda, and K. Asada, “Timing-Driven Redundant Contact Insertion for Standard Cell Yield Enhancement,” in *Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 704-707, Dec. 2006. (Best Student Paper Award)
- [3] 平成 17 年度電子情報通信学会 論文賞 “On-Chip di/dt Detector Circuit,” 名倉 徹, 池田 誠, 浅田 邦博, 2006 年 5 月 27 日
- [4] 佐々木 昌浩, 池田 誠, 浅田 邦博, “低電圧動作 オンチップ・マトリックスアレイ高精度温度計測・管理システムの構築”, 第 8 回 LSI IP デザイン・アワード, 研究助成, 2006 年 5 月

柴田・三田研究室 受賞

- [1] 山崎英男 (学生 D3) 第 8 回 LSI IP デザイン・アワード, 研究助成, 2006 年 5 月
- [2] MicroMechanics Europe Workshop (MME '06, Southampton, UK) Best Poster Award for Kenichiro Hirose, Yoshio Mita and Tadashi

Shibata, “Self-Patterning Metal Deposition on Deep Three-Dimensional Micro Structures for Vertically Buried Inductors,” in *Technical Digest of the 17th Micro Mechanics Europe (MME 2006)*, pp. 85-88, Southampton, UK, Sep. 2006.

藤島研究室 受賞

- [1] 第 8 回 LSI IP デザイン・アワード
- [2] Shota Watanabe, Kenshu Seto, Yuji Ishikawa, Satoshi Komatsu, Masahiro Fujita, “Protocol Transducer Synthesis using Divide and Conquer Approach,” *Proceedings of The 12th Asia and South Pacific Design Automation Conference (ASPDAC2007)*, pp. 280-285, Jan. 2007. (Best Paper Award)

IP 賞

- [1] 「70GHz で動作する低消費電力・広動作周波数範囲周波数分周器」
藤島 実, 山本 憲

研究助成

- [1] 「小型・低損失オンチップ伝送線路」
藤島 実, ライ・チャー・ホン, 谷本 英之

5. 1 VDEC 利用規程・申し込みガイド

5.1.1 概要

VDECは、全国の大学・高専向けに様々な支援事業を実施している。

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会（8-9月・3月）
4. 社会人リフレッシュ教育(12月-1月, 学生も参加可能)
5. VLSIデザイナーフォーラム（若手の会）
6. 大型装置利用

CADベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC設立以来、これまでの実績では、CADの利用・CAD講習会は無償、LSI試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザにはVDECを利用する「顧客」ではなく、VDECと一緒にサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDECの担当者（vdec@vdec.u-tokyo.ac.jp）に必ず相談いただきたい。その他のサービスについてはVDECの裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が51%以上のイニシアチブを取る研究であることが必要である。

また、CADの申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDECのシステムは、InternetとUnix operating systemの上になりたっているため、Internetの仕組みやUnixについての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

5.1.2 まずはじめに

VDECからのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDECのWEBページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol (IP) アドレスによって制限をかけている。

従って、VDECを利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な（サービス開始前1ヶ月以上）時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEBページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字2字+半角数字5桁（例: VD00000）からなる。

申込で特に注意する点は、VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxyサーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5のように、IPアドレスを全て「半角」の英数字で、「」（半角カンマ）で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT (IP masqueradeというプログラム名で呼ばれることもある。機能としてはNATが正しい。) で研究室内をローカルネットワークにしている場合は、NATサーバのアドレスを入力する。よくある間違いとして、ローカルネットワークのIP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などでIPアドレスを変更する場合は同じく、申込の



図5.1 VDEC ホームページのインデックスフレーム

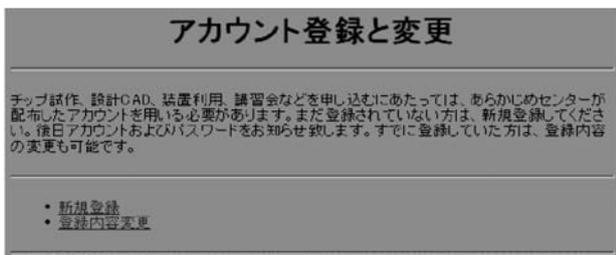


図5.2 アカウント登録・変更ページの入口

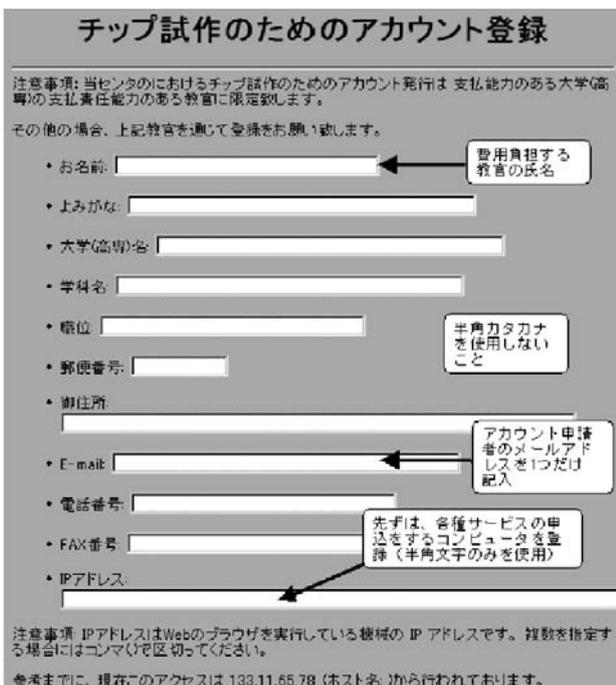


図5.3 アカウントの新規登録の注意点

ページから「登録内容変更」を行う。特に、古いIPが使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じE-Mailアドレスを入力することで上書き変更が可能である。

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けませんが、管理の

行き届いたコンピュータのみに限定すること

- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

5.3 CADツールの共同利用

VDECでは、集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している。これらのソフトウェアは、VDECのVLSI試作以外のアカデミック用途（MOSIS-VDECを通じた試作，教育用の演習，EB等VDECの大型装置利用のためのデータ作成用，等）の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーからCADを選べる状況（二重化）を理想としている。LSIの設計には、CADソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD申込のWEBページに教員がアクセスする（WEBアカウントが必要である）。NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後、CADの申請ができる。

申請時にWEBから入力する内容は以下のとおり。

- ソフトウェアライセンス数（研究室で同時に使用するとと思われる最低数を入力）
- 用途
- メディアリクエスト（使用するOperating Systemを選んでチェックする）。
- 利用する研究室所有ワークステーションのホストネーム（VDEC，端的にはusr1から名前→IPアドレスの解決ができる，「.ac.jp」で終わるホスト名であることが条件。）

ソフトウェアのCDROM（メディア）について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。提供するサイトは、usr1.vdec.u-tokyo.ac.jpである。メディアのリクエスト

必ずチェック

最大同時使用者数

これも必ずチェック

どれか必ずチェック

• Cadence社設計ツール:
ライセンス: [x] ライセンス数: [11]
メディアリクエスト:
[x]Cadence (Solaris, HPUX)
使用目的:
[x]研究 []講義 []トレーニング []その他

• Synopsys社設計ツール:
ライセンス: [x]
メディアリクエスト:
[x]Synopsys Synthesis/Simulation/Verification (Solaris, HPUX, Linux, WindowsNT)
使用目的:
[x]研究 []講義 []トレーニング []その他

• [D]Avant!社設計ツール:
ライセンス: [x] ライセンス数: [11]
メディアリクエスト:
[x]Synopsys Astro/Mikymaj (Solaris, HPUX)
使用目的:
[x]研究 []講義 []トレーニング []その他

図5.4 CAD利用申込フォームの「ライセンス数の登録」部分記入における注意点

を怠ると、上記ホストにログインできないので注意が必要である。usr1のアカウントも職員の手によって手動で発行するので、CADを申請してから2週間程度の時間差がある。usr1へのログインは、WEBアカウントの英字を「小文字にしたもの」、たとえばWEBに「VD00000」でアクセスできている場合、usr1には「vd00000」でログインする。パスワードは大文字小文字の変換を「しない」ので、こちらも注意が必要である。

メディアを取得した後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を（ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを空ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

99CAD利用者メーリングリスト登録フォーム

先生のメールアドレス: 以下にCADを利用される方のメールアドレスを記入して下さい。複数の場合には、" "で区切るかもしくは複数回登録して下さい。

CADツールの使用者のメールアドレス (半角カタカナや全角文字を用いないこと)

現在の登録アドレスをリセットして更新するラジオボタン

卒業生のアドレスは消去すること

登録

図5.5 CAD利用者メーリングリスト登録における注意点

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が置けることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送しないこと（情報漏洩の観点から）。
2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること（必須ではないが、ネット利用のエチケットといえる）。

ライセンスは年度単位で申込みを受けつけしている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点。熟読必須。】

1. VDECでは毎月、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を更新している。このときDNSの逆引きができなくなっていた等の何らかの不

具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかつた場合は、最悪一ヶ月以上CADが使用できなくなる。

2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマークを強くお勧めする。
4. IPアドレス（ホスト名）registered という表示が出ていれば登録されている。
5. false（false（ホスト名））FAIL という表示が出ていれば登録に失敗しているので、原因を探る。

一般的に、DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

5.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行った後、設計規則やライブラリにアクセスできる。設計規則はWEB経由のアクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の6～3ヶ月前、キャンセルのメ切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI申込フォームの入力に関する注意点 (図5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる

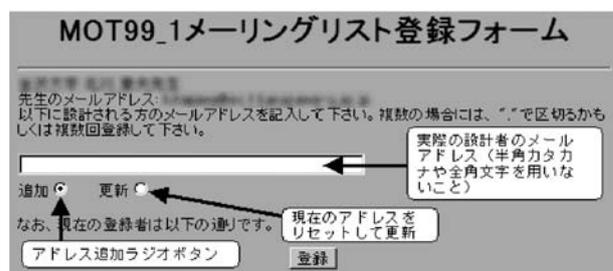


図5.6 VLSI 試作メーリングリスト登録ページの注意点

- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。過去記事検索もできる。

レイアウトを設計した後、VDECが提供する最新のDesign Rule Checkファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認するLayout Vs Schematic (LVS) チェックを通しておいて、提出しようとする回路が本当に動作しそうである確信を持つておくことは最低限必要であろう。デザインの提出はusr1.vdec.u-tokyo.ac.jpに最終のGDS-II stream形式ファイルを置き、提出コマンド/usr/designs/01/bin/submit.plを実行する。

提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側で再度デザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

5.5 CAD ツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスならびに申込はこれも、VDECのWEBページによって行われるのでご注意ください。

5.6 社会人リフレッシュ教育

CAD ツール講習会からさらに進んだ形で、Verilog である回路を実際に設計し、レイアウト合成したり、FPGA による実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」コースならびに一線の研究者による設計事例の講演会などを企画している。12 月～1 月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

5.7 デザイナーフォーラム（若手の会）

毎年夏から秋にかけて、VDEC を利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教

職員」であるので積極的な参加をお待ちしている。

5.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置については、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

5. 2 IP データベースの整備

設計資産の再利用のために、VDEC では Web 上でのデータベースの構築および公開を行っている (<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>, 図 5.2.1)。本データベースの利用対象は、IP 登録に関しては VDEC ユーザに限定しているが、IP 利用に関しては任意対象となっている。本データベースに関しての VDEC の役割は、IP のカタログデータの整理、公開および登録者-

利用者間の仲介と機密情報の取り扱いの監督である。

平成 12 年度から平成 14 年度の 3 年間、(株) 半導体理工学研究センター (STARC) との共同研究として IP プロジェクトを行ってきたが、その最終成果として IP 開発グループの各参加者へ完成 IP の登録を働きかけ、上記データベースによって公開を行っている。

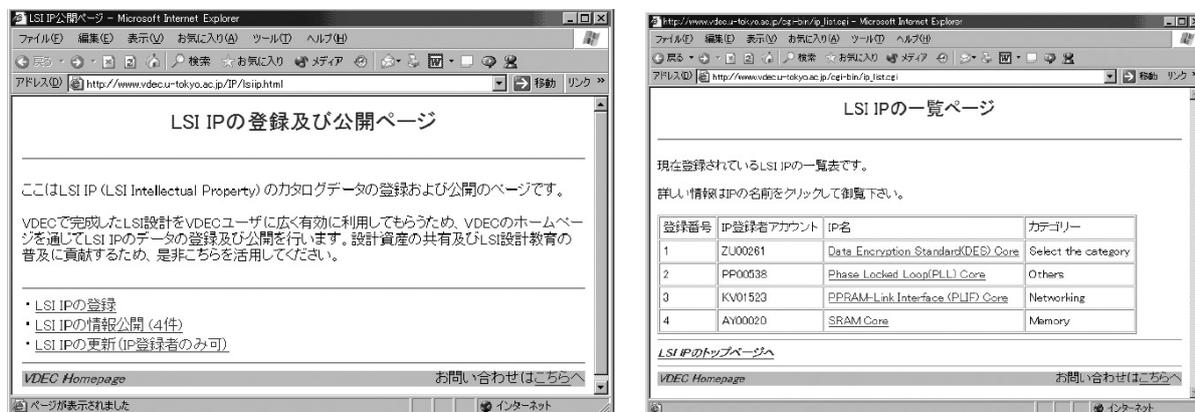


図 5.2.1 VDEC LSI IP Web データベースの例

表 5.2.1 VDEC LSI IP データベースに登録済みの IP (平成 19 年 3 月現在)

登録番号	IP 名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

STARC との IP プロジェクトをさらに発展させ、VDEC ユーザ間での IP 再利用がより容易にさせるために、Open Core Protocol (OCP) を積極的に利用し、IP ライブラリを充実させることを計画しております。VDEC では、現在、先行的に OCP を利用した IP 開発、既存 IP の OCP への対応手法の研究などを行っており、今後公開予定です。また、各ユーザの作成した IP を VDEC

ホームページ上の IP 登録ページに登録することで、VDEC ユーザ間での IP 利用の促進をはかる予定です。

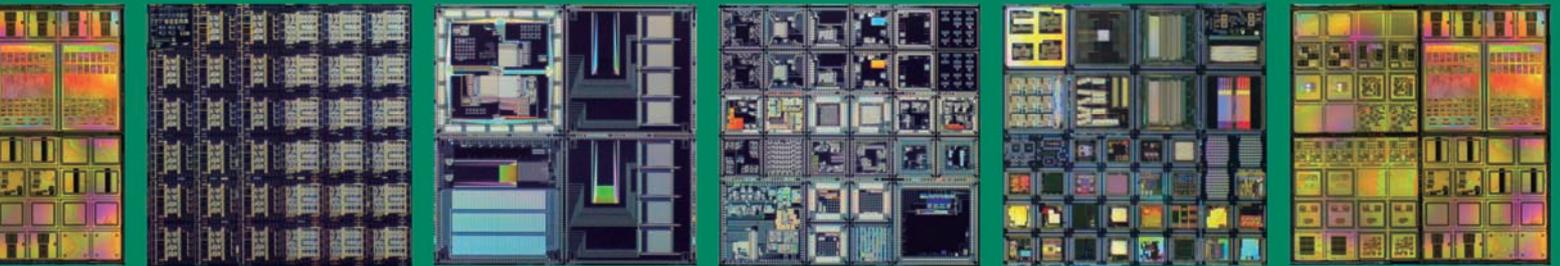
また、(株) ルネサステクノロジより「M32R ソフトマクロ」、 「M32R-II ソフトマクロ」、 「SH3-DSP コア」の提供を受けており、各大学のユーザが無償でこれらの商用プロセッサ・IP コアを利用することができ、IP コアベース設計研究を進める上で重要な部分を担っている。

平成 18 年度
東京大学大規模集積システム設計教育研究センター年報

2007 年 8 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4階401号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)



VDEC

VLSI Design and Education Center The University of Tokyo 2007