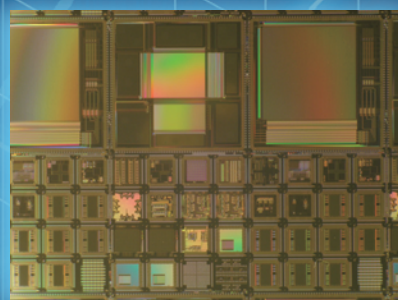
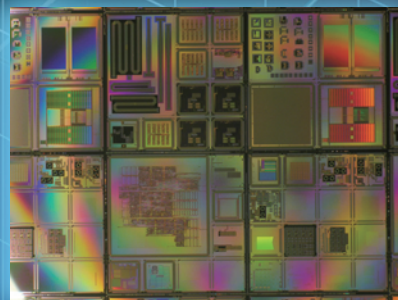
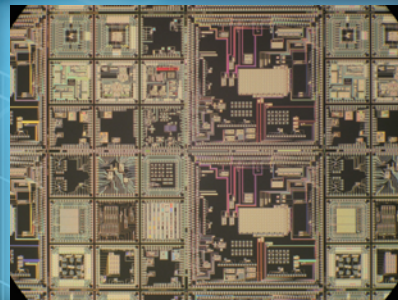
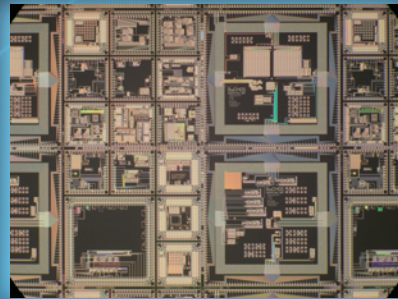


VDEC

平成20年度
東京大学大規模集積システム設計教育研究センター
年報



519118621787517229688987101
116104968412599268
686184804640640640000
8468068406806464984680464684
684048006840640640000
846848660406840640640640
545404487906
684040487906
94084040040640640640
84064887870454684646464
9640411010400040474404
68406040
40400640684068068406400
5464897844
8046468
80449879840687977333
60468446246877798646
684408434340045400
5404604640606
6840
6646468
86406



VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター (VDEC) の2007年度活動報告をお送りします。

2007年度、VDECのチップ試作事業ではCMOS 90nmの試作ラン(スターシャトル)を11月にて終了し、新たにCMOS 65nmの試作ランを開始すべく準備作業をいたしました。結果的に昨年11月の90nm終了から新たな65nmの開始までやや期間があき、利用者の方々にはご迷惑をおかけしましたが、本年5月にはSTARC/㈱イーシャトルのご協力によるCMOS 65nmのテストランを実施することができ、本年8月からは広くご利用いただける予定です。このCMOS 65nmは従来のものより倍近い配線層を有する先端プロセスであり、これによりわが国の大学から優れた性能のLSIが設計試作されることを期待しています。

VDECの研究組織面では2007年10月に㈱アドバンテストからの寄付研究部門(D2T: Design-to-Test)が設置され、広く設計テスト技術の共同研究が開始されました。この寄付研究部門には海外の著名な研究者を招聘するとともに、アドバンテストからの研究員の方も常駐し、同部門の准教授ポストに着任された小松聡さんとともに研究教育活動を開始しています。これに関連して2008年1月には内外の著名な研究者をお招きした設立記念講演会を開催しました。そのあらましも本年報に掲載しております。

2008年度からは「最後のVDEC流動教官」となった北海道大学の吉澤先生も母校にもどられ、「新VDEC協力教員システム」が正式にスタートしました。これは全国拠点校から選出された協力教員の方々が、VDEC特認准教授の名倉徹さんを軸としVDEC活動を分担支援するシステムであり、各種セミナーやワークショップを企画運営していく予定です。第一歩としてVDECデザイナーズフォーラムも企画を一新し、本年は6月にVDECで開催する予定で準備を進めています。今後、VDECデザイナーズフォーラムは色々な新しい企画を取り込んでゆき「VDEC活動の総会」として位置づけていきたいと考えています。新企画は順次お知らせしていく予定ですが、皆さんの引き続きのご協力をお願いいたします。

2007年度はチップ試作数の面では、一昨年度終了したCMOS 0.35umから新規CMOS 0.18umへの利用者の移行がやや低調に推移し、25%程度減少いたしました。しかし当初手間取った新CMOS 0.18umの試作組立フローも現在では計画通り順調に進むようになり、今後一層のご利用を期待しています。VDECではできるだけ高性能かつ安価なCMOS試作ランを提供すべく努力してまいりましたが、ご案内のように生活協同組合的試作システムであるため、一定数の利用が安定してあることが必要条件でございます。是非、ご協力のほどお願い申し上げます。

政府も昨年度、産学の人材需給ギャップを心配し「人材育成パートナーシップ」プログラムを開始しました。LSI設計分野は依然として多くの先端産業の要となる分野ですが、この分野の教育・研究を高度化し優れた人材を多数育成するため、皆様からの引き続きのご支援ご支持をお願い申し上げる次第です。

2008年6月

(全国共同利用施設)

東京大学大規模集積システム設計教育研究センター

センター長

浅田 邦博

VDEC

VLSI Design and Education Center
The University of Tokyo

2008

「アドバンテスト D2T 寄附研究部門」 設立記念特集 2

第 1 章 VDEC 事業の紹介と平成 19 年度事業報告 15

- 1.1 VDEC の活動概況
- 1.2 CAD ソフトウェアの整備
- 1.3 平成 19 年度 VDEC 事業報告
- 1.4 CAD セミナー
- 1.5 装置の整備・運用・利用公開
- 1.6 VDEC 利用者に関する発表文献リスト
- 1.7 平成 20 年度の活動計画
- 1.8 VDEC 発ベンチャー

第 2 章 チップ試作報告 83

- 2.1 試作ラン別一覧
- 2.2 チップ種別一覧
- 2.3 各チップの詳細

第 3 章 VDEC 概要 207

- 3.1 組織概要
- 3.2 人事報告
- 3.3 決算報告

第 4 章 研究報告 212

- 4.1 全体概況
- 4.2 研究室構成員（平成 19 年度）
- 4.3 研究概要
- 4.4 研究発表
- 4.5 特許・受賞等

第 5 章 付録 256

- 5.1 VDEC の利用規定・申し込みガイド
- 5.2 IP データベースの整備

「アドバンテスト D2T 寄附研究部門」 設立特集

S. 1 アドバンテスト D2T 寄附研究部門について

S. 1.1 アドバンテスト D2T 寄附研究部門 設立趣旨

東京大学大規模集積システム設計教育研究センター (VDEC) は1996年5月に、全国の大学・高専のVLSI設計研究・教育を高度化し、社会に優秀な技術者を数多く輩出することを目的として発足いたしました。VDECではこれらの目的の実現に向け、

- ・ VLSIチップ試作支援システム
- ・ VLSI用CADソフトウェア環境整備
- ・ VLSI教育情報発信

の3つの柱を中心として活動してまいりました。

これまでの11年余の活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が始まっていることが、VDEC利用ユーザ数などの推移から伺い知ることができます。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテストD2T寄附研究部門」が2007年10月1日付でVDEC内に設立されました。「アドバンテストD2T寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを

目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく「Design to Test (D2T)」の理念のもと、下図に示すような国内の大学・高専における「テスト研究・教育」の拠点として、「テストCOE (Center of Excellence)」を目標として活動を行ってまいります。

S. 1.2 アドバンテスト D2T 寄附研究部門 構成員

スタッフ

特任教授 Kwng-Ting (Tim) Cheng (University of California, Santa Barbara, 2007年10月～2008年6月非常勤, 2008年7月～常勤)

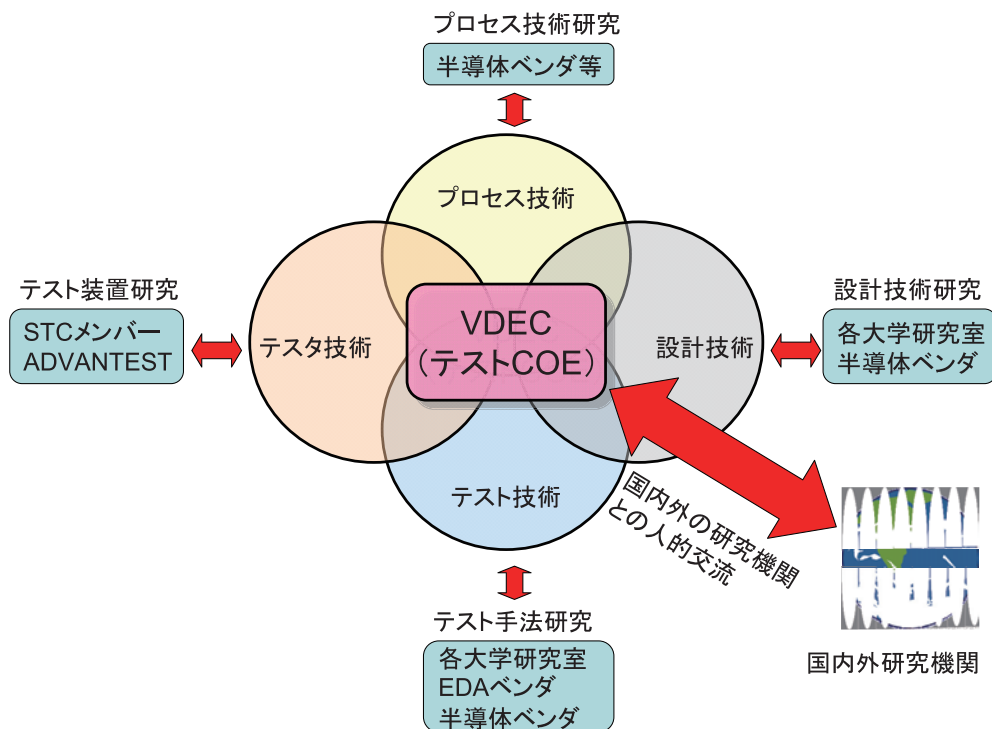
特任准教授 Görschwin Fey (University of Bremen, 2007年12月～2008年6月)

特任准教授 小松 聡

リサーチフェロー Mai Khanh Nguyen Ngoc (2008年1月～2008年3月)

共同研究員 古川 靖夫 (株式会社アドバンテスト)

事務補佐員 岡崎 真紀子



新任の挨拶・抱負

Kwng-Ting (Tim) Cheng

It is my great pleasure and honor to be a new member in VDEC and to have the opportunity to work with a group of dedicated researchers and educators in Japan's VLSI design, test and verification communities. This unique opportunity creates a foundation for our long-term, close collaboration which I believe will last for many years.

The fast and continuing evolution of design and test technologies and the enormous growth in the complexity and sophistication of VLSI systems has made it such that very few organizations can support the equipment, facilities and R&D required on all fronts of this field. Establishing an international, collaborative research and education program is one solution to addressing such challenges. One of my goals at VDEC is to establish collaborative research projects with University of California Santa Barbara, as well as with other major research centers with which I have been involved, including SRC Focus Center Research Program and NSF International Center on Design for Nanotechnologies. These efforts should be a key step towards the objective of enhancing the education for the next generation of leaders in VLSI design and test, as well as providing the cultural experiences and awareness required of an increasingly globalized workforce.

I am really excited about a productive year at VDEC!!

Görschwin Fey

Görschwin Fey received his Diploma in Computer Science from the Martin-Luther University, Halle-Wittenberg, Germany in 2001. Since then he has been with the research group of computer architecture at the University of Bremen, Germany, where he received the Dr.-Ing. degree in 2006. He continued his research in Bremen as a post-doctoral researcher. Since December 2007 he is also with the VLSI Design and Education Center at the University of Tokyo where he serves as a visiting professor. His main research interests are in testing, formal verification and debugging of digital circuits and systems.

Working at VDEC is an excellent opportunity to initiate cooperative research. In part, this has already happened: First results of the cooperation between Advantest, Todai and Bremen were accepted for

presentation at the Workshop on Silicon Debug and Diagnosis 2008. Hopefully this is the start of a longer running cooperation.

小松 聡

2007年11月より、アドバンテストD2T寄附研究部門の客員准教授（2008年4月より特任准教授）として着任致しました。2001年4月からVDECの助手、助教として主にCAD関連のサポートを中心に活動してまいりましたが、2007年10月のアドバンテストD2T寄附研究部門の設立に伴い、“設計”、“CAD”だけでなく“テスト”についての研究・教育活動を行っていきたくと考えております。

1996年のVDEC設立当初、VDECおよび各サブセンターに試作LSIの評価環境としてLSIテスター、EBプローバー等が配備されましたが、設備の老朽化とともにその稼働状況が芳しくないケースも聞き及んでおります。これらの装置の有効利用のためのサポート、LSIテストの重要性についての啓蒙、などを通じ、国内の大学等でのLSIのテスト環境の向上を進めていきたいと思っております。

本寄附研究部門は、国内／海外、大学／産業界の研究者で構成されており、非常に刺激的な研究環境であり、ここで活動できることは非常に光栄に感じております。今後もこれまでに引き続き、国内におけるLSI研究・教育のさらなる向上に貢献できるよう努力してまいりますので、よろしく願いいたします。

古川 靖夫

従来テストは設計と製造の狭間にあり、あまり表舞台に立つことが無い業界でした。しかし、近年のLSIはウイルスの大きさ以下の微細加工が行われるようになり、不良モードやプロセスバラツキが増加しつつあるため、新たな試験手法・装置が必要となっています。また、携帯電話などの機能が一つのチップに入ってしまうというSoC (System On Chip) が現実のものとなり、試験は複雑になる一方です。従って、試験の課題は回路設計、プロセス技術、DFTなどの広範囲に渡る技術の協調がなければ解決することができません。

LSI設計教育の総本山ともいべきVDECにD2Tという試験研究部門を設けて頂き、微力ながら、そのお手伝いができるということは大変光栄に存じております。今後、新試験手法の研究にチャレンジするとともに、試験技術者の育成にも貢献していきたくと思っております。

S. 2 「アドバンテスト D2T 寄附研究部門 設立記念シンポジウム」開催報告

アドバンテストD2T寄附研究部門の設立を記念し、2008年1月24日(木)に「アドバンテストD2T寄附研究部門設立記念シンポジウム」を開催致しました。

第1部の東京大学副学長の岡村定矩 教授、株式会社アドバンテスト表取締役 執行役員社長の丸山利雄氏、東京大学大規模集積システム設計教育研究センター長の浅田邦博センター長からの挨拶に引き続き、第2部では国内/海外、大学/

産業界からの9件の招待講演(うち3件は東京大学VDEC)を行った。いずれも、LSIのテスト、検証の分野での第一人者であり、大学・企業から150名を超える方々の参加により、大変盛況でした。

VDECでは、今後も継続的にLSIのテストに関連したシンポジウム、講演会を予定しておりますので、是非ともご参加ください。

東京大学 大規模集積システム設計教育研究センター VDEC
VLSI Design and Education Center (VDEC), The University of Tokyo

アドバンテスト D2T 寄附研究部門 設立記念シンポジウム

January **1/24** (木)
10:00~18:30 (懇親会18:30~)
東京大学 武田先端知ビル 5階 武田ホール
Takeda Hall, 5th floor of Takeda Building, University of Tokyo

株式会社アドバンテストからの寄附会による「アドバンテストD2T寄附研究部門」が10月1日付で東京大学大規模集積システム設計教育研究センター内に設立されました。本寄附研究部門の活動開始に当たり、設立記念シンポジウムを開催致します。

従来、VDECと株式会社アドバンテストとは武田先端知ビル、電子制御システムF5112、SoCテストシステムT2000の寄附などを通じた関係がございましたが、本寄附研究部門によってVLSIチップの設計・試作のみならずそのテストについても研究・教育の中心拠点となるべく「Design to Test (D2T)」の理念のもと協働して活動を行っていく予定でございます。

本設立記念シンポジウムでは、国内外の産業界から著名な研究者の招待講演を行い、上記活動のスタート地点と位置付けております。多くの方の参加をお待ちしております。

10:00 開会の挨拶

10:05 東京大学副学長挨拶
東京大学副学長 岡村 定矩 / *Sadanori Ohamura, Executive Vice President*

10:15 株式会社アドバンテスト社長 挨拶
株式会社アドバンテスト 代表取締役 執行役員社長 丸山 利雄 / *Toshio Maruyama, President and CEO of ADVANTEST Corporation*

10:25 VDECセンター長 挨拶 / Address from the Director of VDEC
東京大学大規模集積システム設計教育研究センター センター長 浅田 邦博
Kunihiro Asada, Director of VLSI Design and Education Center, The University of Tokyo

10:35 招待講演 (1) / *Invited Talk (1)*
"Digitally-Assisted Analog Testing for Mixed-Signal SoC" / [デジタル補助によるミックスドシグナル SoC のアナログ測定]
Professor Hong-Ting Cheng (University of California, Santa Barbara / University of Tokyo)
"A Theoretical Approach to the Research on ATPG and DFT" / [ATPG および DFT 研究のための理論的アプローチ]
Professor Hideo Fujiwara (Nara Institute of Science and Technology)

11:55 昼食 / *Launch*

14:00 招待講演 (2) / *Invited Talk (2)*
"Synergy between Manufacturing Test, Silicon Validation / Debug and Fault Tolerance"
Dr. Rajesh Galivanche (Intel Corp.)
"Gradual and Steady Change on Logic Testing"
Dr. Yasuo Sato (Hitachi, Ltd.)
"Test Pattern Generation using Boolean Proof Engines"
Professor. Rolf Drechsler (Bremen University)
"Toward Unification of Testing and Verification of VLSI"
Professor Masahiro Fujita (University of Tokyo)

16:00 休憩 / *Coffee Break*

16:30 招待講演 (3) / *Invited Talk (3)*
"Automated Debugging from Design to Silicon: Advances, Perspectives and Solutions"
Prof. Andreas Veneris (University of Toronto)
"Correctness of Unreliable Systems? A Basis for Formal Robustness Checking"
Prof. Goerschaun Fey (University of Tokyo, Bremen University)
"VLSI Design and Test Education in VDEC"
Prof. Satoshi Komatsu (University of Tokyo)

18:00 閉会の挨拶

18:10 懇親会

参加のお申し込み
【参加費】無料
【申し込み方法】以下のウェブサイトからの事前申込制
<http://www.vdec.u-tokyo.ac.jp/d2t/d2t-opening-j.html>

主催
東京大学大規模集積システム設計教育研究センター (VDEC)
VLSI Design and Education Center, The University of Tokyo
後援：株式会社アドバンテスト / ADVANTEST Corporation
[協賛会社]
東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
〒113-0032 東京都文京区弥生2-11-16 武田先端知ビル 404号室
ADVANEST D2T Research Division, VLSI Design and Education Center, The University of Tokyo
Yayoi 2-11-16, Bunkyo-ku, Tokyo 113-0032, JAPAN ● Tel: 03-5841-0233 ● FAX: 03-5841-1093
<http://www.vdec.u-tokyo.ac.jp/d2t/> ● E-Mail: komsat@vdec.u-tokyo.ac.jp



シンポジウムプログラム / Symposium Program

10:00	開会の挨拶
10:05	副学長挨拶 東京大学副学長 岡村 定矩
10:15	アドバンテスト社長 挨拶 株式会社アドバンテスト代表取締役 執行役員社長 丸山 利雄
10:25	VDEC センター長 挨拶 東京大学大規模集積システム設計教育研究センター長 浅田 邦博
10:35	招待講演 (1) / Invited Talks (1)
	<p>“Digitally-Assisted Analog Testing for Mixed-Signal SoC,” <i>Professor Kwang-Ting Cheng (University of California, Santa Barbara / University of Tokyo)</i></p> <p>“A Theoretical Approach to the Research on ATPG and DFT,” <i>Professor Hideo Fujiwara (Nara Institute of Science and Technology)</i></p>
11:55	昼食 / Lunch
14:00	招待講演 (2) / Invited Talks (2)
	<p>“Synergy between Manufacturing Test, Silicon Validation / Debug and Fault Tolerance,” <i>Mr. Rajesh Galivanche (Intel Corporation)</i></p> <p>“Gradual and Steady Change on Logic Testing,” <i>Dr. Yasuo Sato (Hitachi, Ltd.)</i></p> <p>“Test Pattern Generation using Boolean Proof Engines,” <i>Professor Rolf Drechsler (Bremen University)</i></p> <p>“Toward Unification of Testing and Verification of VLSI,” <i>Professor Masahiro Fujita (University of Tokyo)</i></p>
16:10	休憩 / Coffee Break
16:40	招待講演 (3) / Invited Talks (3)
	<p>“Automated Debugging from Design to Silicon: Advances, Perspectives and Solutions,” <i>Professor Andreas Veneris (University of Toronto)</i></p> <p>“Correctness of Unreliable Systems? A Basis for Formal Robustness Checking,” <i>Professor Goerschwin Fey (University of Tokyo, Bremen University)</i></p> <p>“VLSI Design and Test Education in VDEC,” <i>Professor Satoshi Komatsu (University of Tokyo)</i></p>
18:10	閉会の挨拶
18:15	懇親会 / Banquet

Digitally-Assisted Analog Testing for Mixed-Signal SoC

K.-T. Tim Cheng

Univ. of California, Santa Barbara

Abstract:

We present a methodology called digitally-assisted analog testing designed for characterizing, silicon-debugging and testing digitally-enhanced analog circuitry in mixed-signal systems-on-a-chip (SoCs). This methodology can be applied to various devices such as modern A/D converters, adaptive equalizers in high-speed serial links, and RF transceivers that have built-in digital circuitry for improving performance and decreasing power dissipation. By observing the digital data captured, we can thoroughly test the analog circuitry to achieve high fault coverage without directly accessing any analog signal. We demonstrate the effectiveness and the generality of this methodology using several examples including a state-of-the-art pipelined A/D converter, an adaptive equalizer in serial link transceivers, and an image-reject RF receiver.

Biography:

Tim Cheng received the Ph.D. degree in Electrical Engineering and Computer Science from the University of California, Berkeley in 1988.

He worked at Bell Laboratories in Murray Hill, NJ, from 1988 to 1993 and joined the faculty at the University of California, Santa Barbara in 1993 where he is currently Professor and Chair of the Electrical and Computer Engineering Department. He was the founding director of UCSB's Computer Engineering program. His current research interests include design verification, test, silicon debug, and multimedia computing. He has published over 300 technical papers, co-authored three books and holds ten U.S. Patents in these areas. Cheng serves on the Executive Committee of the MARCO/DARPA Gigascale System Research Center (sponsored by the Semiconductor Industry Association, U.S. semiconductor equipment,



materials, software and services industries, and the U.S. Dept. of Defense) and Co-Director of the International Center of System-on-Chip and International Center on Design for Nanotechnologies (jointly sponsored by National Science Foundation, USA and Chinese National Science Foundation, China) and leading their design, test and verification research efforts.

Cheng, a fellow of IEEE, received Best Paper Awards at the 1994 Design Automation Conference and 1999 Design Automation Conference, 2001 Annual Best Paper Award in Journal of Information Science and Engineering, Best Paper Award in 2003 Conference of Design Automation and Test in Europe (DATE 2003), and the Best Paper award at 1987 AT&T Conference on Electronic Testing. He currently serves as Editor-in-Chief for IEEE Design and Test of Computers, Editor for IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Associate Editor for ACM Transactions on Design Automation of Electronic Systems, Associate Editor for Formal Methods in System Design, Editor for Journal of Electronic Testing: Theory and Applications, and Editor for Foundations and Trends in Electronic Design Automation. He has been General Chairs and Program Chairs for a number of international conferences on design, design automation and test.

A Theoretical Approach to the Research on ATPG and DFT

Hideo Fujiwara

Graduate School of Information Science Nara Institute of Science and Technology

Abstract:

The basis is necessary for development in general. Although the research on testing should be practical, theoretical approach to the research on testing is also important. Theoretical research is dispensable for practical research. The fundamental problems of testing can be categorized into two; practical synthesis problems and theoretical analysis problems. The practical synthesis problems include test generation (ATPG) and design for testability (DFT). The theoretical analysis problems include analysis of test generation complexity and classification of sequential logic circuits. This talk will address the importance of theoretical approach to the research on ATPG and DFT by introducing two cases of theoretical analysis problems; complexity of test generation and classification of sequential circuits.

Biography:

Prof. Hideo Fujiwara received the B.E., M.E., and Ph.D. degrees in electronic engineering from Osaka University, Osaka, Japan, in 1969, 1971, and 1974, respectively. He was with Osaka University from 1974 to 1985 and Meiji University from 1985 to 1993, and joined Nara Institute of Science and Technology in 1993. Presently he is a Professor at the Graduate School of Information Science, Nara Institute of Science and Technology, Nara, Japan.

Prof. Fujiwara's research interests include VLSI design and test, VLSI CAD, and fault tolerant computing. He has over 300 publications, and 9 books including the book from the MIT Press entitled "Logic Testing and Design for Testability". He received many awards including Okawa Prize for Publication, IEEE Computer Society Meritorious Service Awards, IEEE Computer Society Continuing Service Award, and IEEE Computer Society Outstanding Contribution Award.

Dr. Fujiwara is a fellow of the IEEE, a Golden Core member of the IEEE Computer Society, a fellow of the IEICE (the Institute of Electronics, Information and Communication Engineers of Japan) and a fellow of the IPSJ (the Information Processing Society of Japan).



Mainstream Computing With Mainframe-Class Reliability: Opportunities and Challenges

Rajesh Galivanche

Intel Corporation

Abstract:

Traditionally, reliability requirements of mission critical applications such as military, space, automotive and mainframe computer systems have driven the design and deployment of fault tolerant solutions. Such systems employed expensive techniques such as duplicate and compare, n-modular redundancy etc., to detect errors and, in some cases, avoid catastrophic system failures. In the future, main stream computing systems employing semiconductor products manufactured in advanced process technologies are likely to face significant reliability challenges with issues related to minimum Vcc, aging, soft errors, process variations etc., and will necessitate the use of fault tolerance features. Some traditional fault tolerant solutions may be unacceptable for mainstream products due to their high cost. This talk will focus on the current industry trend in process technology, reliability challenges facing mainstream products in the future, and the various opportunities to lower the cost of fault tolerant solutions.

Biography:

Rajesh Galivanche is a Senior Principal Engineer and Manager of Advanced Test Technology development team in the Technology and Manufacturing Group at Intel. His group researches into Advanced Test and CAD methods for manufacturing test, debug and fault diagnosis of semiconductor devices. Rajesh has been with Intel for the last 12 years and before that he worked at Motorola, LSI Logic Corporation, and Sunrise Test Systems.



Gradual and Steady Changes on Logic Testing

Yasuo Sato

Chief Engineer, Design & Development Operation, Micro Device Division, Hitachi Ltd.

Abstract:

Current design of SoC includes various cores such as logic, memory, high speed serial interface or analog cores. Test design for those SoCs requires deep understanding of design structure and making test strategy at the early phase of the design. However, the process is not automated well and be done by DFT engineers in an ad-hoc way. Current semiconductor process technologies are suffering from imperfect lithography and increase of variation, which will cause “parametric defects”. Conventional deterministic tests based on the stuck-at and the transition delay fault models are not enough to guarantee high quality of the shipped chips any more. Therefore, new parametric and statistical approaches with low test cost are strongly needed. DFT and ATE structures should change to tackle these challenges. The speaker introduces gradual and steady changes of design and process, and addresses the challenges of testing that include the feedback of design structure to test, and the approach of non-deterministic test. He also introduces briefly the current Japanese contribution to the testing world and expects new advances that are based on “Design to Test (D2T)”.

Biography:

Yasuo Sato is a chief engineer of the Micro Device Division, Hitachi Ltd. The Micro Device Division is responsible for developing custom ASICs that target high performance and high reliability for network systems or other high-performance devices. He joined Hitachi in 1978, and began working in computer-aided design that includes logic, layout, mask and test design. He had been the senior manager of Test Methodology Group of Semiconductor Technology Academic Research Center (STARC) from 2003 to 2005. His research includes BIST, delay testing (especially interested in small delay testing) and fault diagnosis. He holds B.S. and M.S. in mathematics from Tokyo University. He received Ph.D. in engineering from Tokyo Metropolitan University in 2005. Yasuo is also a visiting professor of Faculty of Computer Science and Systems Engineering, Kyusyu Institute of Technology, the co-general chair of Asian Test Symposium 2008 at Sapporo, a member of test working group of Semiconductor Technology Roadmap Committee of Japan (STRJ) and a member of test & ATE working group of International Technology Roadmap for Semiconductors (ITRS).



Test Pattern Generation using Boolean Proof Engines

Rolf Drechsler

Institute of Computer Science, University of Bremen

Abstract:

The postproduction test of integrated circuits is crucial to ensure a high quality of the final product. This test is carried out by checking the correct response of the chip under predefined input stimuli - or test patterns. These patterns are calculated by algorithms for Automatic Test Pattern Generation (ATPG). Due to the rapidly growing size of integrated circuits, there is a need for new algorithms. While classical algorithms reach their limit, there have been recent advances in algorithms to solve Boolean satisfiability (SAT). Because SAT solvers are working on Conjunctive Normal Forms (CNF), the problem has to be transformed.

In this talk, the core techniques of SAT-based ATPG are presented. Methods are shown that apply structural knowledge about the circuit during the transformation. As a result, the size of the problem instances decreases as well as the run time of the ATPG process. The techniques were implemented and experimental results are presented. The approach was combined with the ATPG framework AMSAL of NXP Semiconductors. It is shown that the overall performance of an industrial framework can be significantly improved. The experiments show the benefits regarding efficiency and robustness of the combined approach.

Biography:

Rolf Drechsler received the Diploma and Dr. Phil. Nat. degrees in computer science from the J.W. Goethe-University, Frankfurt am Main, Germany, in 1992 and 1995, respectively. He was with the Institute of Computer Science at the Albert-Ludwigs-University, Freiburg im Breisgau, Germany, from 1995 to 2000. He joined the Corporate Technology Department of Siemens AG, Munich, in 2000, where he worked as a Senior Engineer in the Formal Verification Group. Since October 2001, he has been with the University of Bremen, Bremen, Germany, where he is now a Full Professor for Computer Architecture. His research interests include verification, testing, logic synthesis, and evolutionary algorithms.



Toward Unification of Testing and Verification of VLSI

Masahiro Fujita

VLSI Design and Education Center (VDEC), University of Tokyo

Abstract:

Functional verification processes and test designs of VLSI have been separated. In other words, test designs start only after logic designs have been finished, i.e., logic circuits have been obtained. Verification and manufacturing test of VLSI are, however, essentially targeting the same goal, the correct behavior of VLSI. In this talk, ways to unify the two are discussed. One way to do so is to introduce testing design processes in very early design stages. Recently system level design methodologies, which deal with both hardware and software aspects of target VLSI, and their associated tools have been researched and developed. Just like the descriptions of test benches for verification purposes, components which perform manufacturing test can be introduced. Those components may be realized as a VLSI tester equipment, a software of the processor in the VLSI, or some external hardware such as FPGA board. On the other hand, when testing manufactured VLSI chips, functional verification processes can also be performed. Such post silicon verification techniques are also discussed.

Biography:

Masahiro Fujita received his Ph.D. degree in Information Engineering from the University of Tokyo in 1985 and shortly after joined Fujitsu Laboratories Ltd. From 1993 to 2000, he had been assigned to Fujitsu's US research office and directed the CAD research and development group. In March 2000, he joined the department of Electronic Engineering in the University of Tokyo as a professor. He is now a professor at VLSI Design and Education Center (VDEC) in the university. He has co-authored 7 books, and has over 150 publications. He has received several awards from Japanese major scientific societies on his works in formal verification and logic synthesis. His doctor degree thesis was written in early 80's and on model checking. Since then he has been involved in many research projects on various aspects of formal verification. His current research interests include synthesis and verification in higher level design stages, hardware/software co-designs and also digital/analog co-designs.



Automating Debugging from Design to Silicon: Needs, Solutions and Perspectives

Andreas Veneris

University of Toronto, Department of Electrical and Computer Engineering

Abstract:

The design and test of advanced semiconductor chips is an extremely laborious and expensive process. In this cycle, RTL debugging and Silicon debug take as much as 70% of the complete time. Although many steps have been automated, designers, verification and test engineers today must manually debug design errors and functional defects. This is a resource-intensive and time-consuming manual work that may jeopardize the time-to-market and it adds significant non-recurring costs.

In this talk, we review the intricate details of the debugging problem and we emphasize the urgent need for automation during RTL and silicon debug. Next, we present past methodologies for automated debug using simulation and BDD based techniques. The main focus of the talk will be on Boolean satisfiability as we present the first SAT-based algorithm to automate this process. Later, we will generalize the method using Quantified Boolean Formula (QBF) satisfiability to tackle the intractable nature of the problem. We conclude with a set of studies for the above methodologies on a wide variety of benchmark and industrial designs. These results suggest that satisfiability captures significant characteristics of the problem of debugging. They also encourage novel research in satisfiability-based debugging approaches as a complementary process to this of design verification and silicon test.

Biography:

Andreas Veneris received the Diploma in Computer Engineering and Informatics from the University of Patras in 1991, the M.S. degree in Computer Science from the University of Southern California, Los Angeles in 1992 and the Ph.D. degree in Computer Science from the University of Illinois at Urbana-Champaign in 1998. He currently is an Associate Professor cross-appointed with the Department of Electrical and Computer Engineering and the Department of Computer Science at the University of Toronto. His research interests include algorithms and CAD tools for debug, verification and test of digital systems and circuits. He is co-recipient of a best paper award in ASP-DAC'01, co-author of a book and member of IEEE, ACM, AAAS, Technical Chamber of Greece and The Planetary Society.



Correctness of Unreliable Systems? A Basis for Formal Robustness Checking

Görschwin Fey

VDEC & University of Bremen, Bremen, Germany

Abstract:

The steady increase of the number of components in integrated circuits (ICs) is achieved by continuously shrinking the feature sizes. This trend is believed to continue within the next years. As a result ICs become more sensitive to transient faults or aging effects. During IC design robustness against these types of failures can be implemented e.g. by using redundancy or gate hardening techniques. As a result the design continues to function correctly in the presence of failing components. But this is a manual and therefore error prone task. Formal methods are commonly applied to proof correctness of systems and design transformations. The talk considers the application of formal methods to ensure and quantify the robustness of a design. After a brief motivation, a formal basis to measure robustness of a given circuit is presented. First algorithmic approaches to evaluate the measure are proposed and experimental results are discussed.

Biography:

Görschwin Fey received his Diploma in Computer Science from the Martin-Luther University, Halle-Wittenberg, Germany in 2001. Since then he has been with the research group of computer architecture at the University of Bremen, where he received the Dr.-Ing. degree in 2006. He continued his research in Bremen on a permanent position as a post-doctoral researcher. Since December 2007 he is also with the VLSI Design and Education Center at the University of Tokyo where serves as a visiting professor. His research interests are in testing and formal verification of circuits and systems.



Satoshi Komatsu

VLSI Design and Education Center (VDEC), University of Tokyo

Abstract:

As the complexity of hardware functionality continues to increase, a test of VLSI chips becomes much more important. To meet this trend, education on the test of VLSI chip with System-on-Chip (SOC) test system is essential even in EE department. In VLSI Design and Education Center (VDEC), the University of Tokyo, several courses complementally cover whole of VLSI design and fabrication. In particular, education with physical practice is important and emphasized so that the students are educated for skillful engineer with practical experience of VLSI design, fabrication, and measurement. In this talk, a new trial on VLSI test course for graduate / undergraduate students as well as brief introduction of VDEC and D2T Research Division which was established in October 2007 will be presented.

Biography:

Satoshi Komatsu received the B. S., M.S, and Ph. D. in Electronic Engineering from the University of Tokyo, Tokyo, Japan, in 1996, 1998 and 2001, respectively. He has been a member of VLSI Design and Education Center (VDEC) in University of Tokyo since 2001. He is now a Visiting Associate Professor in VDEC, the University of Tokyo. His current research interests are low-power / high-speed data transmission methods on VLSI and system level VLSI design methodologies. He is a member of Institute of Electrical and Electronics Engineers (IEEE), Institute of Electronics, Information and Communication Engineers, and Information Processing Society of Japan (IPSI).



第1章 VDEC 事業の紹介と平成19年度事業報告

1.1 VDEC 事業の紹介と平成19年度事業報告

東京大学大規模集積システム設計教育研究センター (VDEC) は発足後11年が過ぎた。平成19年度も『LSI教育情報の発信拠点形成』、『VLSI設計支援教育用CADソフトウェアの整備』、『VLSIチップ試作支援』を3つの柱として、円滑な運営を目指した事業を展開した。図1.1に示すVDECの活動内容に基づき、以下に平成19年度の概要を報告する。

VDECの使命は全国の国公立大学および高専のLSI設計研究・教育を高度化し、産業界に対しても優秀なLSI設計技術者を数多く送り出すことである。しかし、VDEC発足当初、我が国の大学にはCADソフトウェア利用技術教育や実用的LSI設計フロー教育のカリキュラムはほとんど存在していなかったためVDECにとってはこれらの整備が急務の課題であった。CADソフトウェアの利用技術に関してはCADベンダーが独自の設計技術を有しており、これを導入することとした。大学院学生、若手教官を対象としてCADベンダーから講師を招き、それぞれのCADソフトウェア毎に年2回のセミナーを開催することとし、CADベンダーと契約を結んだ。これまで年2回の内1回はVDECで、残り1回は地方拠点校で実施している。参加定員は設備の関係でそれぞれ20～50名程度であり必ずしも十分とはいえないが、VDECとしては各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなってCAD利用技術が全国的に広がることを期待している(1.3章参照)。

LSI設計フローセミナーはLSI設計の基本概念教育と

複数のCADツールを連携する実用的設計例の体験教育である。この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを年1回(12月～1月)開催している。このコースは“デジタル設計コース”、“アナログ設計コース”、“RF設計コース”、“最先端設計事例コース”の4コースからなっている。前3者は演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。最先端設計事例コースは講義主体のコースであるが、大学および企業から第一線の講師を招き、設計経験をもとにした講演を行っている。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCAD

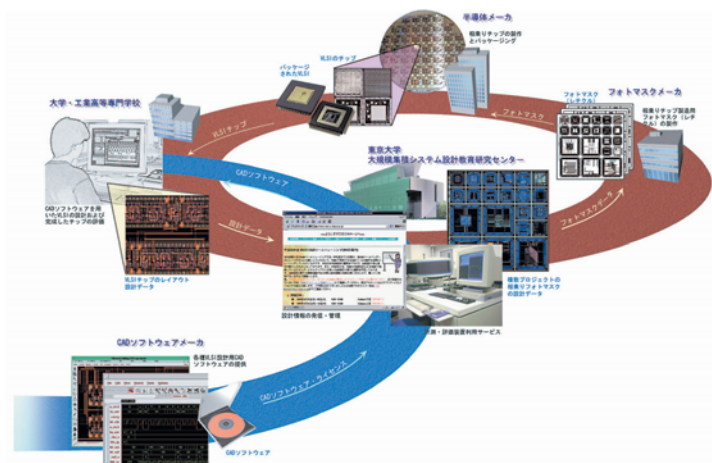


図1.1 VDECの活動内容

メールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。(図1.2)。

VLSIチップ試作支援に関しては、従来のオンセミ1.2μm CMOS, NEC 0.8μm Bipolar, 90nm CMOS 試作(ASPLA/STARC) およびローム0.18μm CMOS 試作を実施した。さらに、VDECでは現在のサービス項目に載っていないBiCMOS, SiGe等について、アメリカのMOSISとの連携で、アカデミック価格で試作を行って

いる。

また、一流のLSI設計者を目指す学生に対してインセンティブを与える仕組みとしてLSI IPアワードを実施している。本アワードは半導体各社と日経BP社の支援でスタートしたIP開発支援のしくみである。平成19年度は従来に加え、東芝MeP賞が新設され、MePコアを利用した設計事例に対する表彰が予定されている。(図1.3)。

10月にはアドバンテスト社から寄付部門「Design To Test (D2T)」が設置され、平成20年1月24日にはオープニング記念式典を開催した。この寄付部門では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められることになっている。これまでの活動を振り返ると、VDEC発足以来10年余の活動の中でLSI設計文化が根付いた研究室や大学では

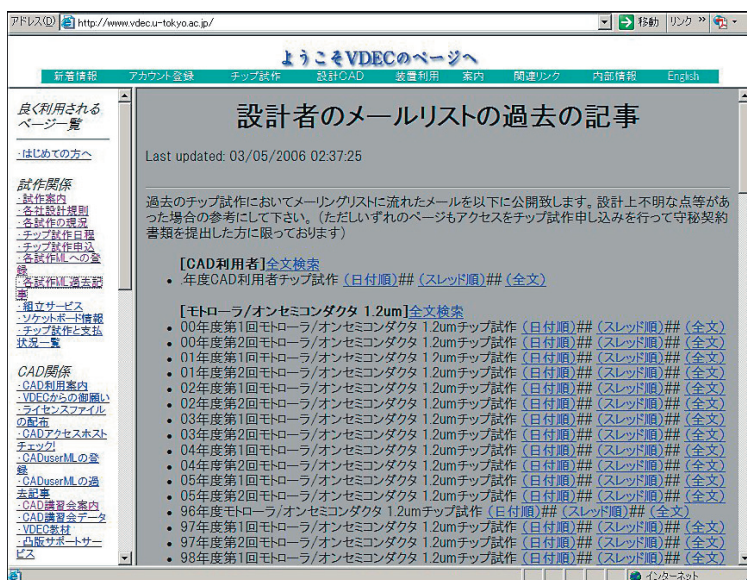


図 1.2 VDEC メールリスト検索システム



第10回募集要項 & 東芝MeP賞募集要項

第8回受賞論文
第8回表彰式・懇親会
風景

第7回受賞論文
第7回表彰式・懇親会
風景

第6回受賞論文
第6回表彰式・懇親会
風景

第5回受賞論文
第5回表彰式・懇親会
風景

第4回受賞論文
第4回表彰式・懇親会
風景

第3回受賞論文
第3回表彰式・懇親会
風景

第2回受賞論文
第1回受賞論文

第8回LSI IPデザイン・アワード表彰式
産学連携の応募や魅力的なテーマが増加

LSI IPデザイン・アワードの表彰式が、2006年5月18日(木)品川で「SoC/SiPディベロッパーズ・コンファレンス2006」(主催日経マイクロデバイスの併設イベントとして盛大に開催された。今回の特徴は、大学の独立行政法人化に伴い、産学連携の応募が増えたこと、評価トップの論文に賞推薦が集中したことである。企業部門のIP優秀賞はベンチャー企業と大学がデファクト標準を狙って開発した次世代車載LAN (Flex-Ray) 向けOSとミドルウェアで、テーマ、開発時期、質という点で高い評価を受けた。大学部門でも企業との連携によって実現した1Tbps/3Wの3次元積層チップ間無線インタフェースがIP優秀賞を受賞した。いずれも企業にとって魅力的なIPである。表彰式には、運営委員長の田中昭二氏(超電導工学研究所所長)をはじめ、多数の方が参加された。

● 2006年第8回IPアワード受賞論文公開中

● 2006年第8回IPアワード表彰式・懇親会風景

第10回募集要項 & 東芝MeP賞募集要項

第10回LSI IPデザイン・アワード募集 IPアワードについて

1) 大学部門 この賞は、システムLSIに使う、独創的

● 第10回LSI IPデザイン・アワード応募要で優れたIP(回路やソフトウェアなどの設計資産)の開発を支援し、半導体産

図 1.3 LSI IP 賞

すでに活発な設計研究・教育がスタートしている。図 1.4 に VDEC を利用した研究成果の指標として、VDEC に関係する発表文献数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC 発足以来、集積回路に関する研究が活性化されていることが確認できる。

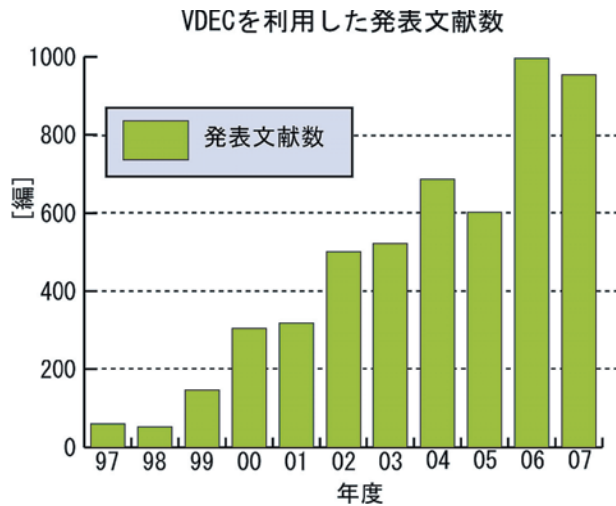


図 1.4 VDEC を利用した発表文献数の推移

図 1.5 に VDEC に関する発表文献の VDEC ファシリティー利用状況を示す。論文執筆にあたり CAD ソフトウェアが幅広く利用されていることが確認できる。CAD ソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり世界的には 65nm CMOS から 45nm CMOS による設計事例報告が増加しており、VDEC においても最先端プロセステクノロジーメニューの充実をはかっていきたい。そのほかのファシリティーとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

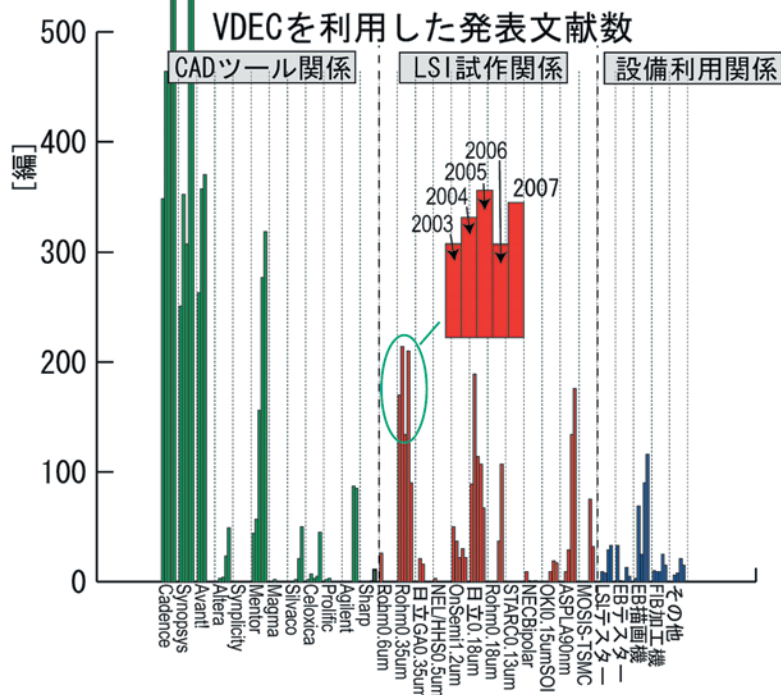


図 1.5 VDEC ファシリティー利用状況

1.2 CAD ソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成19年度は表1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2に示す全国地域拠点校10箇所 licensesサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンスとなっ

ており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている(a)全国教官数および(b)その所属する大学数および(c)CADの利用申請があった研究室(教官)数の推移は図1.7の通りである。

表 1.1 導入されたCADシステム

名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
レイアウト検証システム	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco社設計ツール	高速回路シミュレーション、	Silvaco
高周波回路設計検証システム	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Agilent Technologies
C言語ベース設計システム	Handel-C でシステム設計、合成、検証	Celoxica/Agility
C言語ベース設計システム	BachC 設計ツール	Sharp

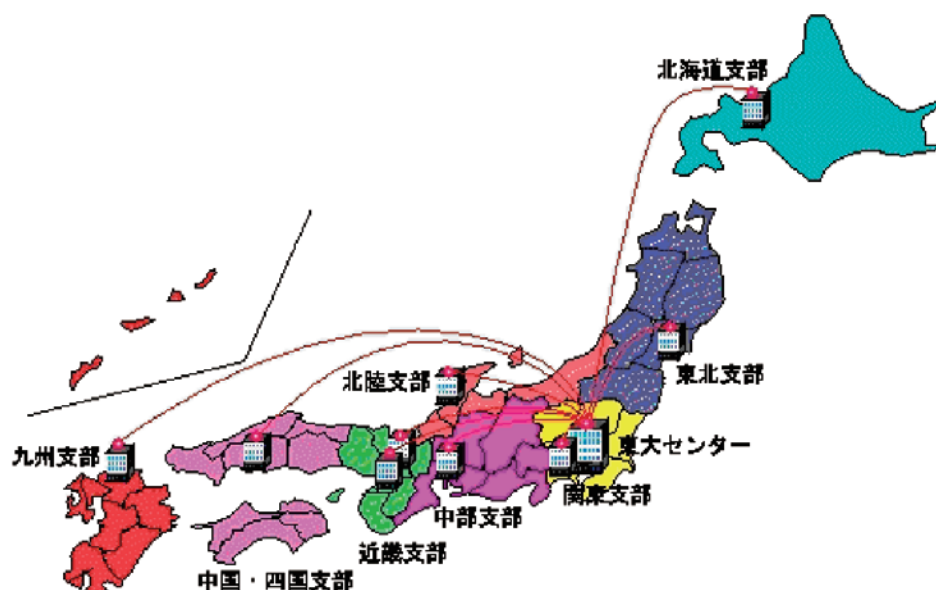
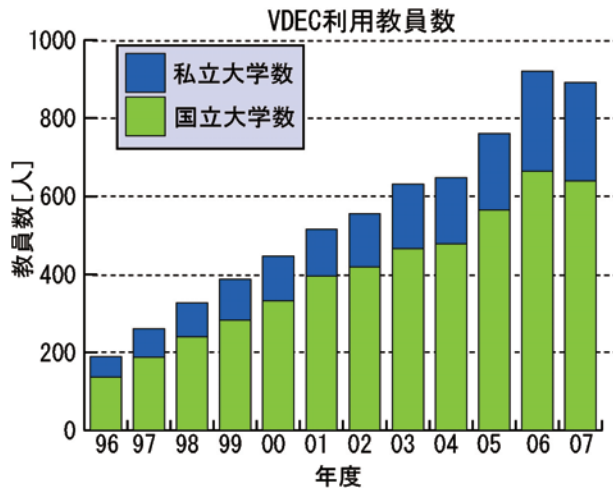
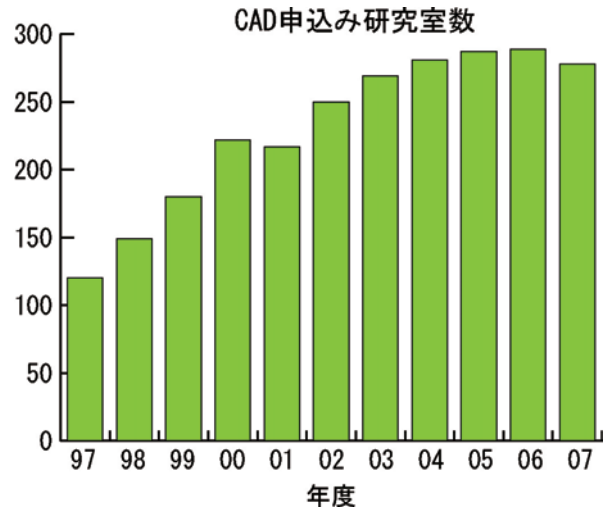


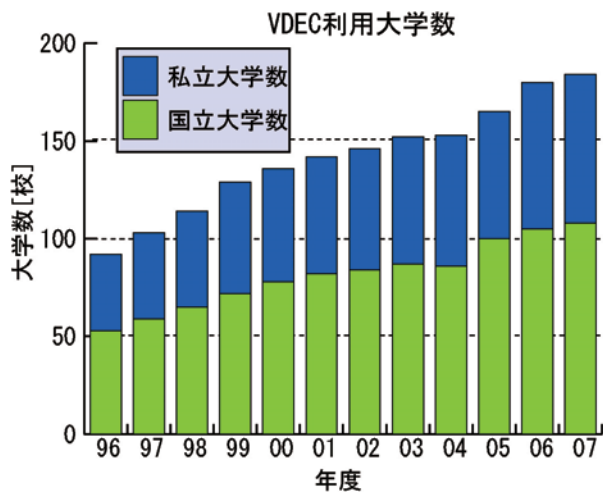
図 1.6 全国地域拠点校



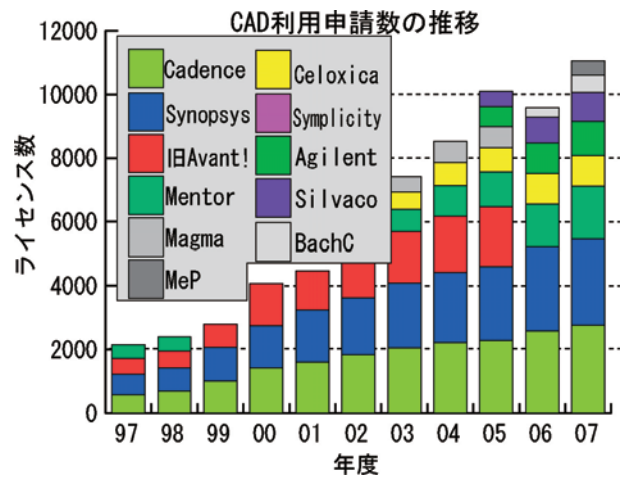
(a) 利用登録教官数



(c) CAD 申し込み研究室数



(b) 利用登録大学・高専数



(d) CAD 申し込み数

図 1.7 ユーザ登録数および CAD 申込数の推移

1.3.1 VLSI チップ試作

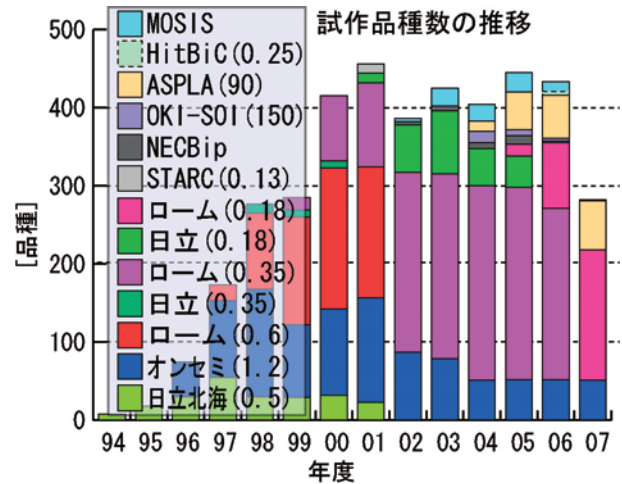
図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSI チップ試作は、平成 6, 7 年度 (1994, 1995 年度) のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS $0.5\mu\text{m}$ (当該プロセスはその後日立北海セミコンダクタ社に継続) 1 社であったが、平成 8 年度 (1996 年度) の VDEC 発足後、日本モトローラ社の CMOS $1.2\mu\text{m}$ (平成 11 年度からは、オン・セミコンダクターにて継続) が協力を開始し、平成 9 年度からはローム社の CMOS $0.6\mu\text{m}$ が加わった。さらに平成 10 年度には日立製作所の CMOS $0.35\mu\text{m}$ 、平成 11 年度にはローム社 $0.35\mu\text{m}$ がそれぞれ加わった。また、IP 開発プロジェクトの一環として STARC $0.13\mu\text{m}$ の試作を行った。平成 13 年度から、日立製作所の CMOS $0.18\mu\text{m}$ のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。これは、TSMC、IBM といった海外のファブを MOSIS を経路することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。平成 16 年からテスト試作として沖電気 CMOS SOI $0.15\mu\text{m}$ プロセスおよび ASPLA 90nm (現在は STARC において継続) プロセスの試作を開始し、 90nm 試作については平成 17 年度より通常の試作として公募の形で運用を行っている。さらに平成 18 年度からはローム社 $0.18\mu\text{m}$ の試作を開始し、日立製作所 $0.25\mu\text{m}$ SiGeBiCMOS のテスト試作を実施した。

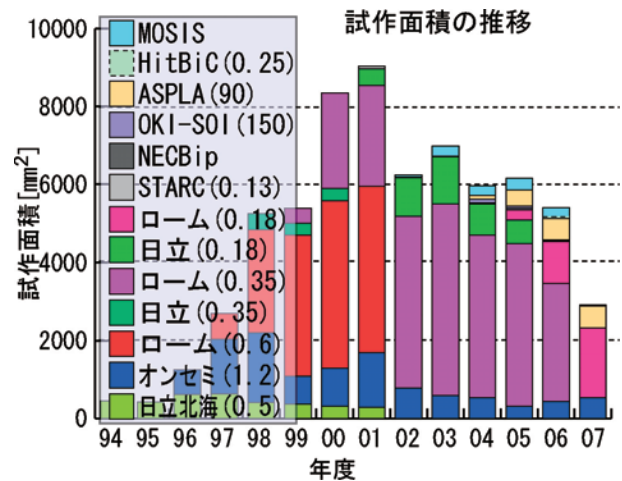
図 1.3.1 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、02 年度に減少しているが、これは ROHM 社の $0.6\mu\text{m}$ プロセスを終了したことによる現象が考えられる。またそれ以降ほぼ 400 品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また昨年度で $0.35\mu\text{m}$ が終了し、 $0.18\mu\text{m}$ への移行が完全に出来ていないことから、試作数が 100 品種程度減少する結果となっている。

図 1.3.1 (b) に設計されたチップ面積を示す。試作プロセスが微細化すると、集積度が向上することで、見かけ上試作面積が減少するように見える場合がある。そ

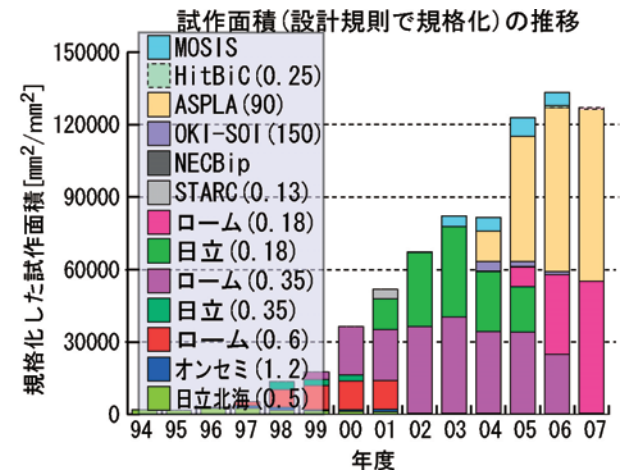
こで、図 1.3.1 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1 チップ試作数・面積推移

また、図 1. 3. 2 にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、オンセミコンダクタが 153 名、ロームの 0.18um プロセスが 132 名、ASPLA/STARC 90nm が 55 名となっている。なお、ローム 0.35um プロセスに対する守秘契約締結教員数は 207 名であった。

1. 3. 2 平成 19 年度チップ試作概況

平成 18 年度は、表 1. 3. 1 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 2 章のチップ試作報告を参照されたい。

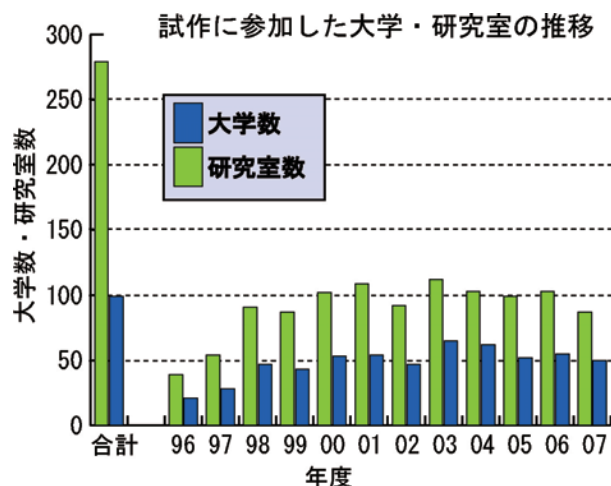


図 1. 3. 2 VDEC チップ試作参加教員数・大学数の推移とその累計

表 1. 3. 1 平成 19 年度チップ試作日程

●CMOS 1.2um (オンセミコンダクタ：旧 日本モトローラ)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 18 年度第 2 回	2006/10/ 2	2006/ 1/ 9	2007/ 4/ 2	2007/ 7/17
平成 19 年度第 1 回	2007/ 4/ 2	2007/ 7/ 2	2007/10/ 1	2008/ 1/ 8
平成 19 年度第 2 回	2007/10/ 1	2008/ 1/ 7	2008/ 3/31	2008/ 7/14 (予定)

●CMOS 0.35um (ローム)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 18 年度第 3 回	2006/ 8/28	2006/11/27	2007/ 2/26	2007/ 7/17
平成 19 年度第 1 回	2005/11/ 5	2007/ 2/13	2007/ 5/14	2007/ 9/ 7
平成 19 年度第 2 回	2007/ 1/ 9	2007/ 5/ 7	2007/ 6/18	2007/ 9/ 7
平成 19 年度第 3 回	2007/ 2/ 5	2007/ 6/11	2007/ 7/17	2007/11/20
平成 19 年度第 4 回	2007/ 3/12	2007/ 7/10	2007/ 8/20	2007/12/19
平成 19 年度第 5 回	2007/ 4/ 9	2007/ 8/13	2007/ 9/18	2008/ 1/23
平成 19 年度第 6 回	2007/ 5/ 7	2007/ 9/10	2007/10/15	2008/ 2/29
平成 19 年度第 7 回	2007/ 6/11	2007/10/ 9	2007/11/19	2008/ 2/29
平成 19 年度第 8 回	2007/ 7/10	2007/11/12	2007/12/10	2008/ 4/21 (予定)
平成 19 年度第 9 回	2007/ 8/13	2007/12/ 3	2008/ 1/15	2008/ 5/26 (予定)
平成 19 年度第10回	2007/ 9/10	2008/ 1/ 7	2008/ 2/29	2008/ 6/30 (予定)

●Bipolar (NEC)

	申込開始	申込メ切	設計メ切	チップ納品
第 1 回			2007/ 9/29	2008/ 2/26

●CMOS 90nm (STARC)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 19 年度第 1 回		2006/12/18	2007/ 4/23	2007/ 8/16
平成 19 年度第 2 回		2007/ 3/19	2007/ 7/20	2007/10/19
平成 19 年度第 3 回		2007/ 7/18	2007/10/22	2008/ 1/31

1.3.3 ライブラリ整備状況

VDECにおけるチップ試作(主にデジタルLSI試作)では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツ

ルを利用して、平成8年度から順次ライブラリ整備事業を行ってきている。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
HHS(NEL) 0.5 μm	P2lib	京都大学小野寺研究室	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ CellEnsamble用配置配線ライブラリ	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html			
	EXDlib	九州大学安浦研究室	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ VHDL用シミュレーションライブラリ ・ Apollo用配置配線ライブラリ ・ CellEnsamble用配置配線ライブラリ	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html			
MOT(On Semi) 1.2 μm	P2lib	京都大学 小野寺研究室	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ CellEnsamble用配置配線ライブラリ	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html			
	EXDlib	東京大学VDEC	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ Apollo用配置配線ライブラリ	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html			
日立0.35 μm	EXDlib	東京大学VDEC		
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT035/rule.html			
	日立ゲート アレイ	日立提供		日立から提供のセルをApolloGAに移植
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html			
ROHM0.35 μm	EXDlib	東京大学VDEC	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ Apollo用配置配線ライブラリ	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html			
	京大lib	京都大学 小野寺研究室		
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html			
	パスポート ライブラリ	ローム提供	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ Apollo用配置配線ライブラリ	
CDROMにて配布				
日立0.18 μm	京大lib	京都大学 小野寺研究室	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ ApolloII用配置配線ライブラリ	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html			
	EXDlib	東京大学VDEC	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ Apollo用配置配線ライブラリ	
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT18/rule.html			
ローム0.18 μm	ローム提供 ライブラリ	ローム提供 スタンダードセル, IOセル, RAM (セルはすべて ブラックボックス)	・ Synopsys用論理合成ライブラリ ・ VerilogXL用シミュレーションライブラリ ・ 配置配線用LEF/DEFファイル	
	CDROMにて配布			

1. 4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 19 年度には、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している。平成 19 年度は、8

月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 3 種・5 日間、Synopsys ツールを 3 種・3 日間、Agilent のツールを 1 種・2 日間、東芝ツールを 1 種・3 日間、ASIP Solution のツールを 1 種・2 日間に加え、VDEC 環境での設計フローに関する講習会を 2 日間行った。各コースに 40 名までの教官・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 3 種・6 日間、Synopsys 2 種・3 日間、Agilent 2 種・3 日間、VDEC 環境での設計フローを 2 日間行った (表 1. 4. 1)。

表 1. 4. 1 平成 19 年度 CAD 技術セミナー開催状況

講習項目	開催地	開催時期	参加人数	講習内容
Synopsys Chip Synthesis 講習会	東京大学	2007 年 8/8	33	論理合成ツールによる、合成条件、結果の解析、階層設計を行う場合のストラテジなどを学習
Synopsys Star-RCXT 講習会	東京大学	2007 年 8/7	34	配線 RC 抽出の概念の学習とツールの使用方法を学習
Synopsys NanoSim 講習会	東京大学	2007 年 8/8	32	トランジスタレベルの解析ツール NanoSim の使用方法、パワー解析、タイミング解析等についての学習
Cadence SoC Encounter 講習会	東京大学	2007 年 8/20-21	23	自動配置配線ツール SoC Encounter のデザインフローと各フェーズでの機能の習得
Cadence Artist/Composer 講習会	東京大学	2007 年 8/22	41	手書き回路設計および、そのシミュレーション制御方法の習得
Cadence Virtuoso 講習会	東京大学	2007 年 8/23-24	45	Layout Editor の使用方法、Pcell (Parameterized Cell) の概念と作成方法の学習
Agilent RFDE 講習会	名古屋大学	2007 年 9/3-4	13	RF/mixed signal IC 設計プラットフォーム RF Design Environment の操作を学習
VDEC 環境におけるトランジスタレベル設計方法講習会	東京大学	2007 年 9/5-6	46	VDEC 環境で回路設計を進めるための一連のフローを学習する。
東芝 MeP 講習会	東京大学	2007 年 8/19-21	5	MeP のプロセッサアーキテクチャ、機能拡張について学習する。
ASIP Solution, ASIP Meister 講習会	東京大学	2007 年 9/25-26	7	特定用途向き命令セットプロセッサ開発環境 ASIP Meister について学習する。
Synopsys, Astro 講習会	東京大学	2008 年 2/25-26	18	自動配置配線コアツール Astro のデザインフローと各フェーズでの機能の習得
Cadence SoC Encounter 講習会	東京大学	2008 年 2/27-28	14	自動配置配線ツール SoC Encounter のデザインフローと各フェーズでの機能の習得
Cadence Verilog-A 講習会	東京大学	2008 年 3/4-5	13	Verilog-A による回路記述方法、Artist、若しくはコマンドラインからのシミュレーションの実行方法の学習。
Agilent GoldenGate 講習会	東京大学	2008 年 3/11-12	10	GoldenGate の基本的な使用法と、能動回路の設計に必要な知識の学習。
Agilent Momentum 講習会	東京大学	2008 年 3/13	9	Momentum の基本的な使用法と、GoldenGate と統合されたモーメントムの基本操作の実習
Synopsys HSPICE	東京大学	2008 年 3/14	22	回路シミュレータの基本である SPICE シミュレーションの基礎を学習する。
VDEC 環境におけるトランジスタレベル設計方法講習会	東京大学	2008 年 9/24-25	15	VDEC 環境で回路設計を進めるための一連のフローを学習する。
Cadence Skill 講習会	東京大学	2008 年 3/26-27	11	Cadence SKILL 記述言語の入門コース

これら CAD 技術セミナーへの参加要望は非常に大きく、地方からの参加者も多い。これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。また、これまで春には各地方拠点（北大・東北大・金沢大・東工大・名大・京大・阪大・広大・九大）で開催していたが、全国ユーザの満足度の和が最大になるのではないかと、今年は試験的に春のセミナーも東大で実施した。

平成 19 年度 12 月～1 月には平成 18 年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育として VLSI 設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI 設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した（表 1.4.2）。

このセミナーは主に社会人を対象として、演習を伴う最新の VLSI 設計技術の実践的教育を行うもので、平成 10 年度に文部省専門教育課の支援のもとでスタートしたが、今年度は（財）電気電子情報振興財団の協力（共催）を得、また文部省高等教育局専門教育課、日本電子機械協会（EIAJ）、システム LSI 開発支援センター（VSAC）、半導体理工学研究センター（STARC）、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。

本年度は VLSI 設計に関する 4 つのコース（コース R：CMOS-RF 集積回路設計と演習（12/5～12/15 実施）、コース D：HDL によるデジタル集積回路設計と演習（12/18～12/21 実施）、コース A：アナログ集積回路設計と演習（1/7～1/9 実施）、コース S：最先端 VLSI 設計事例（1/10、1/11）を開催し、講師として大学・企

【社会人のためのリフレッシュセミナー】

平成 19 年度 VDEC リフレッシュ教育
設計教育コースのご案内
<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

VDECのリフレッシュ教育では、集積回路産業に携わる職業人を対象として、VLSI設計に関する最新の知識・技術の習得を目的とした設計教育コースを実施します。本コースでは、各種設計手法の講義に加え、実際に電機工業標準仕様の設計し、シミュレーションやFPGAボードなどによる検証までを行うという実践的教育を実施します。また、講師は各拠点大学の設計力の高い技術者で、最新のコースを設定します。教育機関に在籍する教員、学生の方の参加も可能です。国内の最高の講師陣を集めており、社員への最新の設計技術教育に、自らのデザインスキル・アップに最適です。

コースR CMOS-RF 集積回路設計と演習
【日程】平成 19 年 12 月 5 日（水）～7 日（金）、11 日（土）4 日間
【場所】東京大学工学部知能システム教育センター
【講師】東京大学工学部知能システム教育センター 工学部長 大塚 隆夫 教授、工学部 東京大学 工学部 工学部長 大塚 隆夫 教授、工学部 東京大学 工学部 工学部長 大塚 隆夫 教授
【講師内容】12/5（水） 午前：基礎 CMOS 回路設計（1 時限）
午後：基礎 CMOS 回路設計（1 時限）
12/6（木） 午前：RF CMOS 回路設計（1 時限）
午後：RF CMOS 回路設計（1 時限）
12/7（金） 午前：RF CMOS 回路設計（1 時限）
午後：RF CMOS 回路設計（1 時限）
12/11（土） 午前：RF CMOS 回路設計（1 時限）
午後：RF CMOS 回路設計（1 時限）

コースD デジタル集積回路設計と演習
【日程】平成 19 年 12 月 18 日（水）～21 日（土）4 日間
【場所】東京大学工学部知能システム教育センター
【講師】東京大学工学部知能システム教育センター 工学部長 大塚 隆夫 教授、工学部 東京大学 工学部 工学部長 大塚 隆夫 教授、工学部 東京大学 工学部 工学部長 大塚 隆夫 教授
【講師内容】12/18（水） 午前：Verilog HDL による論理回路設計（1 時限）
午後：Verilog HDL による論理回路設計（1 時限）
12/19（木） 午前：Verilog HDL による論理回路設計（1 時限）
午後：Verilog HDL による論理回路設計（1 時限）
12/20（金） 午前：Verilog HDL による論理回路設計（1 時限）
午後：Verilog HDL による論理回路設計（1 時限）
12/21（土） 午前：Verilog HDL による論理回路設計（1 時限）
午後：Verilog HDL による論理回路設計（1 時限）

コースA アナログ集積回路設計と演習
【日程】平成 20 年 1 月 7 日（月）～9 日（水）3 日間
【場所】東京大学工学部知能システム教育センター
【講師】東京大学工学部知能システム教育センター 工学部長 大塚 隆夫 教授、工学部 東京大学 工学部 工学部長 大塚 隆夫 教授、工学部 東京大学 工学部 工学部長 大塚 隆夫 教授
【講師内容】1/7（月） 午前：アナログ集積回路の物理設計（1 時限）
午後：アナログ集積回路の物理設計（1 時限）
1/8（火） 午前：アナログ集積回路の物理設計（1 時限）
午後：アナログ集積回路の物理設計（1 時限）
1/9（水） 午前：アナログ集積回路の物理設計（1 時限）
午後：アナログ集積回路の物理設計（1 時限）

コースS 先端 VLSI 設計事例
【日程】平成 20 年 1 月 10 日（木）～11 日（金）2 日間
【場所】東京大学工学部知能システム教育センター
【講師】東京大学工学部知能システム教育センター 工学部長 大塚 隆夫 教授、工学部 東京大学 工学部 工学部長 大塚 隆夫 教授、工学部 東京大学 工学部 工学部長 大塚 隆夫 教授
【講師内容】1/10（木） 午前：アナログ設計（1 時限）
午後：CMOS RF 回路設計の基礎（1 時限）
1/11（金） 午前：CMOS RF 回路設計の基礎（1 時限）
午後：CMOS RF 回路設計の基礎（1 時限）

【コース内容・スケジュール】
詳細にまで各年最新になることが期待されます。最新の情報は VLSI 設計教育センターのホームページをご覧ください。
【受講料】
コース R：28,000 円
コース D：12,000 円
コース A：22,000 円
コース S：8,000 円（税込）3,000 円（1 日）
【受講料】
コース R：15 名程度
コース D：15 名程度
コース A：15 名程度
コース S：15 名程度
【申込方法】
11 月 31 日（金）まで申し込みをお願いします。
申し込みは Web ページから行ってください。
【申込先】
電話：03-5841-8903 FAX:03-5841-8912
E-mail: info@vdec.u-tokyo.ac.jp
【主催】
東京大学先端技術システム設計教育財団（VDEC）
【運営事務局】
株式会社エレクトロニクス
【協賛】
電気電子情報振興財団（EIAJ）
半導体工学研究センター（STARC）
電気学会
電子情報通信学会
IEEE Solid State Circuits Society, Japan Chapter
IEEE Solid State Circuits Society, Kansai Chapter
財団法人 VDEC 財団

図 1.4.2 平成 19 年度リフレッシュ教育ポスター

業の集積回路研究・教育に携わる教官や研究者19名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹

介を行った。参加者はコースR、A、D、Sはそれぞれ24名、37名、44名、100名あり、延べ205名となった。



図 1.4.3 平成18年度リフレッシュ教育会場風景（東大VDECセミナー室）

表 1.4.2 リフレッシュセミナー開催状況

講習項目	開催日	参加人数	講師	講習概要
コースR： CMOS-RF集積回路設計と演習	平成19年12月5-15日 先端知1Fセミナー室	24	松岡 俊匡（大阪大学）、 藤島 実（東京大学）	<ul style="list-style-type: none"> ・基礎、分布定数回路 ・RF CMOS 回路の基礎 ・RF オンウェハ測定 ・RF オンウェハ測定実習
コースD： HDLによるデジタル集積回路設計と演習	平成19年12月18-21日 先端知1Fセミナー室	37	今井 正治（大阪大学）、 越智 裕之（広島市立大学）、 小林 和淑（京都大学）、 池田誠（東京大学）	<ul style="list-style-type: none"> ・VerilogHDLの文法解説とシミュレーション演習 ・VerilogHDLによる論理合成／シミュレーションとFPGA実装演習 ・ハードウェア記述言語（HDL）による、デジタル集積回路設計 ・LSI配置配線設計演習
コースA： アナログ集積回路設計と演習	平成20年1月7-9日 先端知1Fセミナー室	44	杉本泰博（中央大学）、 小野寺 秀俊（京都大学）、 小谷 光司（東北大学）	<ul style="list-style-type: none"> ・回路設計、回路シミュレーション ・アナログ集積回路の特徴と役割 ・レイアウト設計、検証（DRC、LVS）
コースS： 最先端VLSI設計実例	平成20年1月10、11日 先端知1Fセミナー室	100	益子耕一郎（STARC）、 石原亨（九大）、井上弘士（九大）、 石原 昇（群馬大）、松澤 昭（東京工業大学）、 田中 聡（日立製作所）、笠原 博徳（早稲田大学）、 本田 晋也（名古屋大学）、中村 宏（東京大学）、 服部 俊洋（ルネサステクノロジ）、 佐藤 寿倫（九州大学）、	<ul style="list-style-type: none"> ・先端アナログ設計 <ul style="list-style-type: none"> -CMOS RF回路と無線通信用LSIの設計 -CMOSアナログ回路設計の基礎 — だれでも簡単に設計できるようになる — -PLL設計の基礎 ・先端デジタル設計 <ul style="list-style-type: none"> -高性能低消費電力マルチコアのための最先端並列化コンパイラ技術 -組込み向けマルチプロセッサOS技術 -アーキテクチャレベルの低消費電力化技術 -組み込み用途マイクロプロセッサ SuperHにおける高性能低電力技術 -マイクロプロセッサのディペンダブル技術

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム（VDEC LSI Designers Forum）を開催している。VDEC LSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、CAD 業界の裏話、研究室に於ける設計環境の構築法など、通常の研究会や学会

などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。2007年は、9月17日、18日に北海道新篠津村で開催された。昨年に引き続き、Ph.D.企画セッションが企画、実行された。また、本フォーラム開催にあたって、会場・宿泊設備その他の準備、スタッフの手配等は、幹事大学のご協力により実現されている。平成19年度は、京都大学の土谷先生に幹事を務めて頂いた。



図 1.4.3 平成18年度リフレッシュ教育会場風景（東大VDECセミナー室）

表 1.4.3 平成18年度デザイナーズフォーラムプログラム

9/17	14:00-14:10	開会の挨拶	
	14:10-14:40	VDECの活動紹介	池田 誠（東大）
	14:40-15:10	益研での高周波CMOS回路設計事例	伊藤 浩之（東工大）
	15:10-15:20	休憩 10分	
	15:30-17:00	Ph.D 企画セッション「世界で活躍できるLSI研究者を目指して」	
	17:00-18:30	チェックイン・風呂	
	18:30-20:00	夕食・懇親会	
	20:00-22:00	ポスターセッション	
9/18	10:00-10:30	ゼロから始めたLSI設計 ～兩宮研究室の設計事例を通して～	上野 憲一（北大 兩宮研）
	10:30-11:00	埋め込み型検出回路によるプロセッサの電源雑音評価	深澤 光弥（神戸大 永田研）
	11:00-11:30	半導体業界の歩き方	名倉 徹（東大）
	11:30-11:4	休憩（10分）	
	11:40-12:00	表彰式、閉会の挨拶	

1.5 装置の整備・運用・利用公開

VDECでは、発足以来導入されてきた装置を維持管理するとともに、全国大学教員に対し公開している（一部装置は、試験公開中）。表1.5.1に装置の一覧と利用公開の状況を示す。装置は、VLSI用大型テスターと、その他若干のプロセス装置とに大別できる。VDEC発足以来、東京大学工学部各号館へ分散配置されてきたが、平成16年度末までに「武田先端知ビル」内の1階実験室ならびに地下スーパークリーンルームに装置の移設が完了し、これまで以上に有機的な連携をもって利用することができるようになった。また、平成16年度に株式会社アドバンテストより最新鋭のテスター（T2000）と電子線描画装置（F5112+VD01）とが寄附された。電子線描画装置の19年4月～20年1月の利用実績は、3大学・研究機構のスタッフと学生により、合計999回の描画（うちマスク613枚、直接描画386回）であった。昨年度よりEB描画装置は全国公開の準備が整い、同時に必要経費の一部を競争的資金等から負担いただく仕組みが整備された。さらに本年度より文部科学省「ナノテクネットワーク」に参加したことで、より多くのユーザーに対する支援体制を整備しつつある。

平成9年度より各種治具の標準化に取り組んだ結果、VDECが推奨する標準ピン配置に基づき試作したデジタルLSIは、治具をその都度作製することなく、VDEC

および拠点校のLSIテスターにより評価が行える体制が整っている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドーターボードを1種類準備することで、全国の各大学におけるLSIテスターに対応可能な体制が整っている。今後、LSIテスト法およびLSIテスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作したLSIの特性・性能評価が容易に行える環境の整備に努めたい。試作チップの評価に関しては、発足当初よりQFPやBGAパッケージを実装できるソケットの頒布およびソケットのピンを標準2.54mmピッチに変換する変換ボードを開発してきた。WEB経由の申し込みにより購入することができる。電子線描画装置、集束イオンビーム加工装置は、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を考案し、試験運用を行っている。

公開されている装置に関しては、セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としている。必要に応じ、VDECの職員などが対応することで、利用を認める場合もあるので、個別に相談いただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSIテストシステム	ミックスシグナルLSIテスター: ITS 9000Exa	100MHz/200MHz320ピンのデジタルピンおよび4チャンネルのアナログピンを有している。VDECにおいて標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@vdec.u-tokyo.ac.jp
	EBテスター: IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせるため、上述テスターとのドッキング治具を備える 384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	IDS5000@vdec.u-tokyo.ac.jp
	LSIテスター: HP8300	384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	HP83000@vdec.u-tokyo.ac.jp
	LSIテスター: ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	equipment@vdec.u-tokyo.ac.jp
	回路修正用FIB: IDSP2X	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	オートプローバ: PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	equipment@vdec.u-tokyo.ac.jp

アナログ・RF測定システム	アナログ・RF測定装置一式: HP4156B, HP4284, etc	DCパラメータ測定, 容量測定, ネットワークアナライザ, スペクトラムアナライザ等の測定装置	希望に応じ利用可能. 但しVDECの業務による利用を優先とする	equipment@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ: Cascade社	マニュアルにて6インチまでのウエハ上のチップの測定が可能. 測定には, 通常のプローブ針 (6本まで)のほか, 50GHzまでの測定が可能な高周波プローブを2本備える		
	低雑音・温度制御機構付きセミオートプローバ: Süss Microtec社	8インチまでのウエハ上のチップの測定が可能. ウエハ温度を-50℃から200℃まで制御可能. プローブカードによる測定. GPIBを介した制御を行うことで半自動測定も可能		
	極低温プローバ: 長瀬産業株式会社	5インチウエハを25Kまで冷やした測定が可能	要相談	equipment@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置: F5112+VD01	半導体製造用2.3mm厚4.5インチマスクの描画およびエッチング, 2.4インチ並びに不定形ウエハへの直接描画が可能. 性能保障描画寸法0.1 μm.	公開中	equipment@vdec.u-tokyo.ac.jp
汎用FIBシステム	FIB装置: SMI9800MSP	ガラスマスクの欠陥修正の他, 断面観測のための加工等が可能	試験的に公開中	equipment@vdec.u-tokyo.ac.jp

1.6 VDEC 利用者に関する発表文献リスト

1. 研究論文

- [1] B.B.M.W. Badalawa and M. Fujishima, "60 GHz CMOS pulse generator," *Electronics Letters*, Vol. 43, No. 2, pp. 100-102, 2007
- [2] M. Motoyoshi and M. Fujishima, "58.8/39.2 GHz dual-modulus CMOS frequency divider with 9.2x5.2 μm core size," *Electronics Letters*, Vol. 43, No. 2, pp. 98-100, 2007
- [3] I.C.H. Lai and M. Fujishima, "Analysis of on-chip asymmetric coaxial waveguide structure for chip area reduction," *Japanese Journal of Applied Physics*, Vol. 46, No. 4B, pp. 2261-2264, 2007.
- [4] I.C.H. Lai, C. Inui and M. Fujishima, "CMOS on-chip stacked Marchand balun for millimeter-wave applications," *IEICE Electronics Express*, Vol. 4, No. 2, pp. 48-53, 2007
- [5] Y. Goto and M. Fujishima, "Efficient quantum computing emulation system with unitary macro-operations," *Japanese Journal of Applied Physics*, Vol. 46, No. 4B, pp. 2278-2282, 2007.
- [6] I.C.H. Lai and M. Fujishima, "An integrated low-power CMOS up-conversion mixer using new stacked Marchand baluns," *IEICE TRANS. ELECTRON*, Vol. E90-C, No. 4, pp. 823-828, 2007
- [7] A. Oncu, B.B.M.W. Badalawa, and M. Fujishima, "22-29 GHz ultra-wideband CMOS pulse generator for short-range radar applications," *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 7, pp. 1464-1471 July 2007
- [8] K. Ishibashi, I.C.H. Lai, K. Takano, and M. Fujishima, "A scalable model of shielded capacitors using mirror image effects," *IEICE Trans. Electron*, Vol. E90-C No. 12 pp. 2237-2244 Dec 2007
- [9] 染谷隆夫, 桜井貴康, 高宮 真, 関谷 毅, "ワイヤレス電力伝送シート," *応用物理*, 第76巻, 第10号, pp. 1159-1163, 2007年10月.
- [10] K. Onizuka, K. Inagaki, H. Kawaguchi, M. Takamiya, and T. Sakurai, "Stacked-Chip Implementation of On-Chip Buck Converter for Distributed Power Supply System in SiPs," *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 11, pp. 2404 - 2410, Nov. 2007.
- [11] K. Ishida, A. Tamtrakarn, H. Ishikuro, M. Takamiya, and T. Sakurai, "An Outside-Rail Opamp Design Relaxing Low-Voltage Constraint on Future Scaled Transistors," *IEICE Transaction on Electronics*, E90-C, No. 4, pp. 786-792, April 2007.
- [12] Y. Masui, T. Yoshida, M. Sasaki, A. Iwata, "0.6V Supply Complementary Metal Oxide Semiconductor Amplifier Using Noise Reduction Technique of Autozeroing and Chopper Stabilization," pp. 2252-2256, *Japanese Journal of Applied Physics*, Vol. 46, No. 4B, 2007
- [13] T. Yoshida, N. Ishida, M. Sasaki, A. Iwata, "Low-Voltage, Low-Phase-Noise Ring Voltage-Controlled Oscillator Using 1/f-Noise Reduction Techniques," pp. 2257-2260, *Japanese Journal of Applied Physics*, Vol. 46, No. 4B, 2007.
- [14] A. Iwata, T. Yoshida, M. Sasaki, "Low-Voltage and Low-Noise CMOS Analog Circuits Using Scaled Devices," pp. 1149-1155, *IEICE Trans. Electron.*, Vol. E90-C, No. 6, 2007.
- [15] T. Choi, T. Sakamoto and Y. Sugimoto, "A Study to Realize a 1-V Operational Passible Σ - Δ Modulator by Using a 90nm CMOS Process," *IEICE Trans. Electron.*, Vol. E90-C, No. 6, pp. 1304-1306, June 2007.
- [16] T. Iizuka, M. Ikeda, and K. Asada, "Timing-Aware Cell Layout De-Compaction for Yield Optimization by Critical Area Minimization," *Very Large Scale Integration (VLSI) Systems*, *IEEE Transactions*, Vol. 15, Issue 6, pp. 716-720, Jun. 2007.
- [17] 谷内出悠介, 池田 誠, 浅田邦博, "時分割投射光による実時間高速高精度3次元モデル取得のための複数視点システム," *映像情報メディア学会*, Vol. 62, No. 3, pp. 392-397, 2008年3月.
- [18] Atsushi Iwashita, Takashi Komuro, Masatoshi Ishikawa, "An Image-Moment Sensor with Variable-Length Pipeline Structure," *IEICE Transactions on Electronics*, Vol. E90-C, No. 10, pp. 1876-1883 (2007)
- [19] T. Ohzone, T. Sadamoto, T. Morishita, K. Komoku, T. Matsuda and H. Iwata, "A CMOS Temperature Sensor Circuit," *IEICE Trans. Electron.*, Vol. E90-C, No. 4, pp. 895-902, April

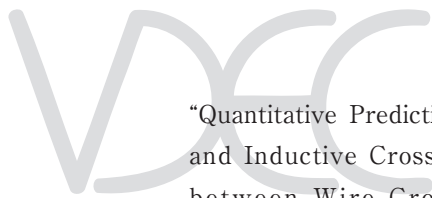
2007.

- [20] M. Miyata, Y. Shibata, K. Oguri, "An optimization method focusing on fixed-point arithmetic in applications for dynamically reconfigurable processor," *Systems and Computers in Japan* 38 (14), pp. 20-28, (2007) .
- [21] N. Kanda, K. Konishi, and M. Kuwata-Gonokami, "Terahertz wave polarization rotation with double layered metal grating of complimentary chiral patterns," *Optics Express* 15, 11117 (2007)
- [22] Myoren H., Kishita N., Taino T., Takada S., "Minimization of Parasitic Inductances in SFQ Circuits Using Over- and Under-Ground Planes," *IEEE Trans. Appl. Supercond.*, Vol. 17, pp. 462-465 (2007).
- [23] Taino T., Ishii H., Yoshimura S., Otani C., Ariyoshi S., Myoren H., Kawase K., Shibuya T., Sato H., Shimizu M. H., Takada S., "Terahertz Electromagnetic-waves Detector Using Nb-based Superconducting Tunnel Junction on LiNbO₃ Substrate Absorber," *Physica C*, 463-465, pp. 1119-1122 (2007).
- [24] Kenji Ide, Ryusuke Kawahara, Satoshi Shimizu, Takayuki Hamamoto, "Wide View Imaging System Using Eight Random Access Image Sensors," *IEICE trans. on Electron*, Vol. E90-C, No. 10, pp. 1884-1891 (2007).
- [25] 樽木久征, 大野英, 小野文枝, 浜本隆之, 佐々木朋詩, 白井稔人, 坂井正善, "環境光の影響を抑制した物体検出用イメージセンサ," *映像情報メディア学会誌*, Vol. 61, No. 12, pp. 1810-1817 (2007).
- [26] 池岡宏, 柏山英輝, 浜本隆之, 児玉和也, "多重フォーカス画像を用いたスマートイメージセンサによる距離計測," *映像情報メディア学会誌*, Vol. 62, No. 3, pp. 384-391 (2008).
- [27] M.A. Abedin, Y. Tanaka, A. Ahmadi, T. Koide, and H.J. Mattausch, "Mixed Digital-Analog Associative Memory Enabling Fully-Parallel Nearest Euclidean Distance Search," *Japanese Journal of Applied Physics (JJAP)*, Vol. 46, No. 4B, pp. 2231-2237, (2007)
- [28] M.A. Abedin, Y. Tanaka, A. Ahmadi, S. Sakakibara, T. Koide, and H.J. Mattausch, "Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories," *IEICE Trans. on Fundamentals*, Vol. E90-A, pp. 1240-1243, (2007.5)
- [29] T. Kumaki, M. Ishizaki, T. Koide, H.J. Mattausch, Y. Kuroda, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Acceleration of DCT Processing with Massive-Parallel Memory-Embedded SIMD Matrix Processor," *IEICE Trans. on Information & Systems*, Vol. E90-D, No. 8, pp. 1312-1315 (2007.8)
- [30] K. Johguchi, H. J. Mattausch, T. Koide and T. Hironaka, "4-port unified data/instruction cache design with distributed crossbar and interleaved cache-line words," *IEICE Transactions on Electronics*, Vol. E90-C, No. 11, pp. 2157-2160 (2007.11)
- [31] 大窪啓太, 神戸尚志, "特定用途向け低ビット複合演算回路の一設計法," *情報処理学会論文誌* 第48巻, 第5号, pp.1918-1925, 2007年5月.
- [32] 中川, 上津, 神戸, "2次元ジグザグ走査による相関値計算回路の設計とその評価," 第21巻, 第1号, pp.18-27, システム制御情報学会論文誌, 2008
- [33] J. Akita, H. Takagi, K. Doumae, A. Kitagawa, M. Toda, T. Nagasaki, T. Kawashima, "Column-Parallel Vision Chip Architecture for High-Resolution Line-of-Sight Detection Including Saccade," *IEICE Trans. on Electronics*, Vol. E90-C, No. 10, pp. 1869-1875, 2007.10.
- [34] N. Ishihara, "Vdd Gate Biasing RF CMOS Amplifier Design Technique Based on the Effect of Carrier Velocity Saturation," *IEICE Trans. Electron.*, Vol. E90-C, No. 9, pp. 1702-1707, 2007.
- [35] Hashimoto, Yamaguchi, Onodera, "Timing Analysis Considering Spatial Power/Ground Level Variation," pp. 2661-2668, Vol. E90-A, No. 12, *IEICE Trans. on Electronics* (2007)
- [36] Muta, Onodera, "Manufacturability-Aware Design of Standard Cells," pp. 2682-2960, Vol. E90-A, No. 12, *IEICE Trans. on Electronics* (2007)
- [37] Kobayashi, Katsuki, Kotani, Sugihara, Kume, Onodera, "A 90nm 48 × 48 LUT-Based FPGA Enhancing Speed and Yield Utilizing Within-Die Delay Variations," pp. 1919-1926, Vol. E90-C, No. 10, *IEICE Trans. on Electronics* (2007)
- [38] Kuboki, Tsuchiya, Onodera, "Low-Power Design of CML Driver for On-Chip Transmission-Lines using Impedance-Unmatched Driver," pp. 1274-1281, Vol. E90-C, No. 6, *IEICE Trans. on Electronics* (2007)
- [39] Tsuchiya, Hashimoto, Onodera, "Optimal

- Termination of On-Chip Transmission-Lines for High-Speed Signaling,” pp. 1267-1273, Vol. E90-C, No. 6, IEICE Trans. on Electronics (2007)
- [40] Katsuki, Kotani, Kobayashi, Onodera, “A 90 nm LUT Array for Speed and Yield Enhancement by Utilizing Within-Die Delay Variations,” pp. 699-707, Vol. E90-C, No. 4, IEICE Trans. on Electronics (2007)
- [41] N.Okada, M.Kameyama, “Low-Power Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuits,” Journal of Multiple-Valued Logic & Soft Computing, Vol. 13, pp. 619-631 (2007)
- [42] Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, “Area Comparison between 6T and 8T SRAM cells in Dual-Vdd Scheme and DVS scheme,” IEICE Trans. Fundamentals, Vol. E90-A, No. 12, pp. 2695-2702, Dec. 2007.
- [43] Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, “Area Optimization in 6T and 8T SRAM Cells Considering Vth Variation in Future Processes,” IEICE Trans. Electron., Vol. E90-C, No. 10, pp. 1949-1956, Oct. 2007.
- [44] Masayuki Hiromoto, Shin'ichi Kouyama, Hiroyuki Ochi, and Yukihiro Nakamura, “A Retargetable Compiler for Cell-Array-Based Self-Reconfigurable Architecture,” International Journal of Computer Science and Network Security, Vol. 7, No. 4, pp. 131-139, Apr. 2007.
- [45] Shin'ichi Kouyama, Tomonori Izumi, Hiroyuki Ochi, and Yukihiro Nakamura, “A Simulation Platform for Designing Cell-Array-Based Self-Reconfigurable Architecture,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E90-A, No. 4, pp. 784-791, Apr. 2007.
- [46] 宮本 龍介, 劉 載勳, 筒井 弘, 中村 行宏, “可変ウィンドウ手法に基づく高精度ステレオマッチングプロセッサ,” 画像電子学会誌, Vol. 36, No. 3, pp. 210-218, 2007年5月.
- [47] J. Wang, T. Matsuoka, and K. Taniguchi, “A Switched-Capacitor Programmable Gain Amplifier Using Dynamic Element Matching,” IEEJ Transactions on Electrical and Electronic Engineering, Vol. 2, No. 6, pp. 600-607, Nov. 2007.
- [48] 井田, 田中, 松岡, 谷口, “生体センシング用途向け超低消費電力 $\Delta\Sigma$ モジュレータ,” 電子情報通信学会論文誌C, Vol. J90-C, No. 10, pp. 662-670, Oct. 2007.
- [49] Y. Namatame, M. Maezawa, M. Moriya, K. Usami, T. Kobayashi, and Y. Mizugaki, “Voltage Doubler Cell for Rapid Single Flux Quantum Digital-to-Analog Converter,” Japanese Journal of Applied Physics, part 2, Vol. 46, No. 18, pp. L430-L432, April, 2007.
- [50] Y. Mizugaki, R. Kashiwa, M. Moriya, K. Usami, and T. Kobayashi, “Grounding positions of superconducting layer for effective magnetic isolation in Josephson integrated circuits,” Journal of Applied Physics, Vol. 101, No. 11, pp. 114509-1-114509-4, June, 2007.
- [51] Y. Mizugaki, Y. Namatame, and M. Maezawa, “Design and operation of series array of voltage doubler cells for rapid-single-flux-quantum digital-to-analog converters,” Superconductor Science and Technology, Vol. 20, No. 11, pp. S315-S317, October, 2007.
- [52] Y. Ogasahara, M. Hashimoto, and T. Onoye, “Measurement and Analysis of Inductive Coupling Noise in 90nm Global Interconnects,” Vol. 43, No. 3, pp. 718-728, IEEE Journal of Solid-State Circuits (2008).
- [53] M. Hashimoto, J. Yamaguchi, T. Sato, and H. Onodera, “Timing Analysis Considering Temporal Supply Voltage Fluctuation,” Vol. E91-D, No. 3, pp. 655-660, IEICE Trans. on Information and Systems (2008).
- [54] M. Hashimoto, J. Yamaguchi, and H. Onodera, “Timing Analysis Considering Spatial Power/Ground Level Variation,” Vol. E90-A, No. 12, pp. 2661-2668, IEICE Trans. on Fundamentals (2007).
- [55] M. Hashimoto, T. Ijichi, S. Takahashi, S. Tsukiyama, and I. Shirakawa, “Transistor Sizing of LCD Driver Circuit for Technology Migration,” Vol. E90-A, No. 12, pp. 2712-2717, IEICE Trans. on Fundamentals (2007).
- [56] Y. Ogasahara, T. Enami, M. Hashimoto, T. Sato, and T. Onoye, “Validation of a Full-Chip Simulation Model for Supply Noise and Delay Dependence on Average Voltage Drop with On-Chip Delay Measurement,” Vol. 54, No. 10, pp. 868-872, IEEE Trans. on CAS-II (2007).
- [57] Y. Ogasahara, M. Hashimoto, and T. Onoye,

“Quantitative Prediction of On-Chip Capacitive and Inductive Crosstalk Noise and Tradeoff between Wire Cross-Sectional Area and Inductive Crosstalk Effect,” Vol. E90-A, No. 4, pp. 724-731, IEICE Trans. on Fundamentals (2007).

- [58] K. Ohhata, K. Yayama, Y. Shimizu, and K. Yamashita, “A 1-GHz, 56.3-dB SFDR CMOS track-and-hold circuit with body-bias control circuit,” IEICE Electronics Express, Vol. 4, No. 22, pp. 701-706.
- [59] K. Nakayama, M. Takata, T. Kasai, A. Kitagawa, J. Akita, “Pulse number control of electrical resistance for multi-level storage based on phase change,” J. Physics D, Vol. 40, pp.5061-5065 (2007).
- [60] Yoshio Mita, Kenichiro Hirose, Masanori Kubota, and Tadashi Shibata, “Deep-Trench Vertical Si Photodiodes for Improved Efficiency and Crosstalk,” IEEE Journal of Selected Topics on Quantum Electronics, Vol. 13, No. 2, March/April (2007.3).
- [61] Wada, Y.; Tsutsui, K.; Nakata, M.; Morita, M.; Tokuda, M.; Nagatsuma, K.; Onozato, H.; Kaneko, T.; Edura, T.; Mita, Y.; Koinuma, H., “Novel fabrication technologies of planar nanogap electrodes for single molecule evaluation,” Current Applied Physics, v 7, n 4, May 2007, p 329-333 (2007.05)
- [62] Kenichiro Hirose, Fumitaka Shiraishi, and Yoshio Mita, “Simultaneous vertical and horizontal as-deposition self-patterning method on deep three-dimensional micro structures applied to vertically buried inductors,” Journal of Micromechanics and Microengineering, Vol. 17, No. 7, pp. S68-S76 (2007.07) doi10.1088/0960-1317/17/7/S02.
- [63] Y.-A. Chapuis, Lingfei Zhou, Yamato Fukuta, Yoshio Mita, and Hiroyuki Fujita, “FPGA-based decentralized control of arrayed MEMS for microrobotic application,” IEEE Transactions on Industrial Electronics, Vol. 54, No. 4, Aug. 2007, p 1926-36 (2007.08)
- [64] K. Nagato, Y. Kojima, K. Kasuya, H. Moritani, T. Hamaguchi, M. Nakao, “Local Synthesis of Tungsten Oxide Nanowires by Current Heating of Designed Micropatterned Wires,” Appl. Phys. Express 1 (2008) 014005.
- [65] M. Fukase, H. Takeda, and T. Sato, “Hardware/Software Co-design of a Secure Ubiquitous System,” LNAI, Springer, Vol. 4456, pp. 385-395, (2007).
- [66] T. Ohzone, T. Sadamoto, T. Morishita, K. Komoku, T. Matsuda and H. Iwata, “A CMOS temperature sensor circuit,” IEICE Transactions on Electronics, Vol. E90-C, No. 4, pp. 895-902, 2007.
- [67] K. Obata, K. Takagi, and N. Takagi, “A method of sequential circuit synthesis using one-hot encoding for single-flux-quantum digital circuits,” IEICE Trans. Electron., Vol. E90-C, No. 12, pp. 2278-2284, Dec. 2007.
- [68] Y. Murachi, H. Ishihara, Y. Fukuyama, R. Yamamoto, M. Miyama, H. Kawaguchi, Y. Matsuda, and M. Yoshimoto, “A VGA 30-fps Realtime Optical-Flow Processor Core for Moving Picture Recognition,” IEICE TRANSACTIONS ON ELECTRONICS (2008.04).
- [69] 富安, 岡本, 西川, “ネットワーキング向きイベント駆動型チップマルチプロセッサCUE-v3の性能予測,” 情報処理学会論文誌, 48巻, SIG13(ACS19)号, pp. 49-57 (2007年8月).
- [70] K. Hirose, Y. Manzawa, M. Goshima, and S. Sakai, “Delay-Compensation Flip-Flop with In-situ Error Monitoring for Low-Power and Timing-Error-Tolerant Circuit Design,” Japanese Journal of Applied Physics Vol. 47, No. 4 2008
- [71] Hiroaki Onoe, Kiyoshi Matsumoto, Isao Shimoyama, “Three-Dimensional Sequential Self-Assembly of Micro-Scale Objects,” Vol. 3, No. 8, pp. 1383-1389, Small, 2007.
- [72] Hiroaki Onoe, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, “Three-Dimensional Integration of Heterogeneous Silicon Micro-Structures by Liftoff and Stamping transfer,” Vol. 17, No. 9, pp. 1818-1827, Journal of Micromechanics and Microengineering, 2007.
- [73] Tetsuji Dohi, Isao Shimoyama, “Micro Monitor of the Blood,” Vol. 3, No. 11, pp. 27, The Japan Journal, 2007, Atsushi Takei, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, Angle tunable liquid wedge prism driven by electrowetting, Vol. 16, No. 6, pp. 1537-1542, Journal of Microelectromechanical Systems, 2007.



- [74] Hiroto Tanaka, Kiyoshi Matsumoto and Isao Shimoyama, "Fabrication of a three-dimensional insect-wing model by micromolding of thermo-setting resin with a thin elastmeric mold," Vol. 17, pp. 2485-2490, Journal of Micromechanics Microengineering, 2007.
- [75] Tetsuo Kan, Kiyoshi Matsumoto, Isao Shimoyama, "Piezoresistor-equipped fluorescence-based cantilever probe for near-field scanning," Vol. 78, No. 8, 083106, Review of Scientific Instruments, 2007.
- [76] Daisuke Kosaka, Masaki Fujiwara, Takumi Danjo, Makoto Nagata, "On-Die Monitoring of Substrate Coupling for Mixed-Signal Circuit Isolation," Japanese Journal of Applied Physics, Vol. 46, No. 4B, pp. 2244-2251, 2007.04.
- [77] Koichiro Noguchi, Takushi Hashida, Makoto Nagata, "On-Chip Analog Circuit Diagnosis in Systems-on-Chip Integration," IEICE Transactions on Electronics, Vol. E90-C, No. 6, pp. 1189-1196, 2007.06.
- [78] Koji Ichikawa, Yuki Takahashi, Makoto Nagata, "Experimental Verification of Power Supply Noise Modeling for EMI Analysis through On-Board and On-Chip Noise Measurements," IEICE Transactions on Electronics, Vol. E90-C, No. 6, pp. 1282-1290, 2007.06.
- [79] Yohei Fukumizu, Naoki Gochi, Makoto Nagata, Kazuo Taki, "A Mixed Circuit and System Level Simulation Technique of Collision-Resistant RFID Systems," IEICE Transactions on Electronics, Vol. E90-C, No. 6, pp. 1299-1303, 2007.06.
- [80] Koichiro Noguchi, Makoto Nagata, "An On-Chip Multi-Channel Waveform Monitor for Diagnosis of Systems-on-Chip Integration," IEEE Transactions on VLSI Systems, Vol. 15, No. 10, pp. 1101-1110, 2007. 10.
- [81] Hirose, Asai, Amemiya, "Pulsed neural networks consisting of single-flux-quantum spiking neurons," Physica C, Vol. 463-465, pp. 1072-1075, (2007).
- [82] Ueno, Hirose, Asai, Amemiya, "CMOS smart sensor for monitoring the quality of perishables," IEEE journal of solid-state circuits, Vol. 42, No. 4, pp. 798-803, (2007).
- [83] N. Kato and T. Morie, "Design of a CMOS Pixel Circuit for Coarse Region Segmentation/Extraction Based on Merged Analog/Digital Architecture," J. Signal Processing, Vol. 11, No. 4, pp. 317-320, July, 2007.
- [84] H. Tanaka, T. Morie and K. Aihara, "A CMOS Circuit for STDP with a Symmetric Time Window," Brain-Inspired IT III, International Congress Series, Vol. 1301, pp. 152-155, Elsevier, July, 2007.
- [85] D. Atuti, T. Morie, T. Nakano and K. Nakada, "An Element Circuit for Nonlinear Dynamical Systems Using Phase Variables," Brain-Inspired IT III, International Congress Series, Vol. 1301, pp. 156-159, Elsevier, July, 2007.
- [86] 石川, "高専におけるアナログLSI設計教育環境の構築," pp. 47-50, 有明工業高等専門学校紀要43号(2007)
- [87] K. Kagawa, S. Sanshiro, T. Sasaki et al., "A Low-Voltage PWM CMOS Imager with Small Pixel Size Using an In-Pixel Gate-Common Comparator," IEICE Electronics Express, Vol. 4, No. 8, pp. 271-276, Apr. 2007.
- [88] K. Kagawa, M. Shouho, K. Hashiguchi, M. Nunoshita, and J. Ohta, "Preliminary Demonstration of 1.0 V CMOS Imager with Semi-Pixel-Level ADC Based on Pulse-Width-Modulation Pixel Readout," IEICE Trans. Electronics, Vol. E90-C, No. 10, 2007-2011, 2007.
- [89] K. Kagawa, H. Asazu, M. Nunoshita, and J. Ohta, "A vision chip with column-level amplification of optical data signals for indoor optical wireless local area networks," Optical Review, Vol. 15, No. 1, pp. 6-10, 2008.
- [90] D. C. Ng, T. Nakagawa, T. Mizuno, T. Tokuda, M. Nunoshita, H. Tamura, Y. Ishikawa, S. Shiosaka, J. Ohta, "Integrated in vivo neural imaging and interface CMOS devices! design, packaging, and implementation," IEEE Sensors J, 8 (1), 121-130, 2008.
- [91] T. Tokuda, K. Tanaka, M. Matsuo, K. Kagawa, M. Nunoshita, J. Ohta, "Optical and Electrochemical dual-image CMOS sensor for on-chip biomolecular sensing applications," Sensors & Actuators A, 135 (2) 315-322, 2007.
- [92] T. Tokuda, S. Sugitani, M. Taniyama, A. Uehara, Y. Terasawa, K. Kagawa, M. Nunoshita, Y. Tano, J. Ohta, "Fabrication and validation of a multi-chip neural stimulator for in vivo experiments toward retinal prosthesis," Jpn. J. Appl.

Phys., 46 (4B), 2792-2798, 2007.

- [93] T. Tokuda, I. Kadowaki, K. Kagawa, M. Nunoshita, J. Ohta, "A new imaging scheme for on-chip DNA spots with optical / potential dual-image CMOS sensor in dry situation," Jpn. J. Appl. Phys., 46 (4B), 2806-2810, 2007.
- [94] D.C. Ng, T. Nakagawa, T. Tokuda, M. Nunoshita, H. Tamura, Y. Ishikawa, S. Shiosaka, J. Ohta, "Development of a Fully Integrated Complementary Metal-Oxide Semiconductor Image Sensor-based Device for Real-time In vivo Fluorescence Imaging inside the Mouse Hippocampus," Jpn. J. Appl. Phys., 46 (4B), 2811-2819, 2007.
- [95] Masashi KATO, Nobuyuki TERADA, Hirofumi OHATA, and Eisuke ARAI, "Low-Power Switched Current Memory Cell with CMOS-type Configuration" IEICE TRANS. ELECTRON., Vol. E91-C, No. 1, pp. 120-121, Jan. 2008.
- [96] Y. Takahashi, T. Sekine, and M. Yokoyama, "A 70 MHz multiplierless FIR Hilbert transformer in 0.35 μ m standard CMOS library," IEICE Trans. Fundamentals, Vol. E90-A, No. 7, pp. 1376-1383, July 2007.
- [97] Y. Takahashi, T. Sekine, and M. Yokoyama, "VLSI implementation of a 4×4 -bit multiplier in a two phase drive adiabatic dynamic CMOS logic," IEICE Trans. Electron., Vol. E90-C, No. 10, pp. 2002-2006, Oct. 2007.
- [98] H. Yoshizawa and G.C. Temes, "Switched-capacitor track-and-hold amplifiers with low sensitivity," IEEE Transactions on Circuits and Systems I, Vol. 54, No. 1, pp. 193-199, 2007.
- [99] Yin, Bea, Murugesan, Oogane, Fukushima, Tanaka, Miyao, Samukawa, Koyanagi, "New Magnetic Nanodot Memory with FePt Nanodots," pp. 2167-2171, Vol. 46, JJAP (2007)
- [100] Fujiwara, Shirato, Owari, Watanabe, Matsuyama, Takahama, Mori, Miyao, Choki, Fukushima, Tanaka, Koyanagi, "Novel Optical/Electrical Printed Circuit Board with Polynorbornene Optical Waveguide," pp. 2395-2400, Vol. 46, JJAP (2007)
- [101] Sugimura, Sakaguchi, Fukushima, Tanaka, Koyangi, "Low-Power Spin-Transfer Magnetoresistive Random Access Memory Writing Scheme with Selective Word Line Bootstrap," pp. 2226-2230, Vol. 46, JJAP (2007)
- [102] Watanabe, Kobayashi, Komiya, Fukushima, Tomita, Sugano, Kurino, Tanaka, Tamai, Koyanagi, "Evaluation of Platinum-Black (Pt-b) Stimulus Electrode Array for Electrical Stimulation to Retinal Cells in Retinal Prosthesis System," pp. 2785-2791, Vol. 46, JJAP (2007)
- [103] Kazuma Ohashi, Tackya Yammouch, Makoto Kimura, Hiroyuki Ito, Kenichi Okada, Kazuhisa Itoi, Masakazu Sato, Tatsuya Ito, Ryoza Yamauchi, and Kazuya Masu, "On-Chip Yagi-Uda Antenna for Horizontal Wireless Signal Transmission in Stacked Multi Chip Packaging," Japanese Journal of Applied Physics, Vol. 46, No. 4B, pp. 2283-2286, April, 2007.
- [104] Shiyun Lin, Yosuke Kobayashi, Yasuhiko Ishikawa, and Kazumi Wada, "Luminescence Enhancement by Si Ring Resonator Structures on Silicon on Insulator," Appl. Phys. Lett., 92, 021113-5, 2008.
- [105] S. SUENAGA, Y. HAYAKAWA, K. NAKAJIMA, "Design of a Neural Network Chip for the Burst ID Model with Ability of Burst Firing," IEICE Trans. Fundamentals, Vol. E90-A, No. 4, pp. 715-723 (2007)
- [106] K. Maezawa, Y. Ohkawa, S. Kishimoto, T. Mizutani, M. Takakusaki, H. Nakata, "High-Power Oscillations in Resonant Tunneling Diode Pair Oscillator ICs Fabricated with Metamorphic devices," Jpn. J. Appl. Phys., Vol. 46, 2306-2308 (2007)
- [107] W. Chaivipas, A. Matsuzawa, "Analysis and Design of Direct Reference Feed-Forward Compensation for Fast-Settling All-Digital Phase-Locked Loop," IEICE TRANS. ELECTRON, Vol. E90-C, No. 4, p.793-801, April. 2007.
- [108] P. C. Oh, A. Matsuzawa, "A Study on Fully Digital Clock Data Recovery Utilizing Time to Digital Converter," IEICE TRANS. ELECTRON, Vol. E90-C, No. 6, pp. 1311-1314, June. 2007.
- [109] Y. Ikeda, A. Matsuzawa, "Digital Calibration Method for Binary-Weighted Current-Steering D/A-Converters without Calibration ADC," IEICE TRANS. ELECTRON, Vol. E90-C, No. 6, pp. 1172-1180, June. 2007.
- [110] M. Miyahara, A. Matsuzawa, "The Effects of Switch Resistances on Pipelined ADC

- Performances and the Optimization for the Settling Time,” IEICE TRANS. ELECTRON, Vol. E90-C, No. 6, pp. 1165-1171, June. 2007.
- [111] 吉澤真吾, 西一斗, 宮永喜一, “OFDM方式コグニティブ無線における2次元動的アーキテクチャを持つパイプライン型FFTプロセッサの設計,” 電子情報通信学会論文誌D, Vol. J91-D, No. 3, Mar. 2008.
- [112] M.A. Abedin, Y. Tanaka, A. Ahmadi, T. Koide, and H.J. Mattausch, “Mixed Digital-Analog Associative Memory Enabling Fully-Parallel Nearest Euclidean Distance Search,” Japanese Journal of Applied Physics (JJAP), Vol. 46, No. 4B, pp. 2231-2237, (2007)
- [113] M.A. Abedin, Y. Tanaka, A. Ahmadi, S. Sakakibara, T. Koide, and H.J. Mattausch, “Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories,” IEICE Trans. on Fundamentals, Vol. E90-A, pp. 1240-1243, (2007.5)
- [114] T. Kumaki, M. Ishizaki, T. Koide, H.J. Mattausch, Y. Kuroda, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, “Acceleration of DCT Processing with Massive-Parallel Memory-Embedded SIMD Matrix Processor,” IEICE Trans. on Information & Systems, Vol. E90-D, No. 8, pp. 1312-1315 (2007.8)
- [115] K. Johguchi, H. J. Mattausch, T. Koide and T. Hironaka, “4-port unified data/instruction cache design with distributed crossbar and interleaved cache-line words,” IEICE Transactions on Electronics, Vol. E90-C, No. 11, pp. 2157-2160 (2007.11)
- [116] Bakhtiar Affendi Rosdi, Atsushi Takahashi. “Low Area Pipelined Circuits by the Replacement of Registers with Delay Elements,” IEICE Trans. Fundamentals, Vol. E90-A, No. 12, pp. 2736-2742, 2007.
- [117] Fayez Robert Saliba, Hiroshi Kawaguchi, and Takayasu Sakurai, “A Self-Alignment Row-by-Row Variable-VDD Scheme Reducing 90% of Active-Leakage Power in SRAM's,” IEICE Transactions on Electronics, Vol. Vol. E90-C, No. 4, pp. 743-748, Apr. 2007
- [118] Koichi Ishida, Atit Tamtrakarn, Hiroki Ishikuro, Makoto Takamiya, and Takayasu Sakurai, “An Outside-Rail Opamp Design Relaxing Low-Voltage Constraint on Future Scaled Transistors,” IEICE Transactions on Electronics, Vol. Vol. E90-C, No. 4, pp. 786-792, Apr. 2007
- [119] K. Onizuka, K. Inagaki, H. Kawaguchi, M. Takamiya, and T. Sakurai, “Stacked-Chip Implementation of On-Chip Buck Converter for Distributed Power Supply System in SiPs,” IEEE Journal of Solid-State Circuits, Vol. 42, No. 11, pp. 2404-2410, Nov. 2007
- [120] Hiroshi Kawaguchi, Danardono Dwi Antono, and Takayasu Sakurai, “Closed-Form Expressions for Crosstalk Noise and Worst-Case Delay on Capacitively Coupled Distributed RC Lines,” IEICE Transactions on Electronics, Vol. Vol. E90-A, No. 12, pp. 2669-2681, Nov. 2007
- [121] 尼崎太樹, 中山英明, 山口良一, 松山和憲, 飯田全広, 末吉敏則, “粒度可変構造をもつ再構成論理セルアーキテクチャ,” 信学論, Vol. J90-D, No. 6, pp. 1346-1356, Jun. 2007.
- [122] K. Niitsu, N. Miura, M. Inoue, Y. Nakagawa, M. Tago, M. Mizuno T. Sakurai, and T. Kuroda, “Daisy Chain Transmitter for Power Reduction in Inductive-Coupling CMOS Link,” IEICE Transactions on Electronics, Vol. E90-C, No. 4, pp. 829-835, Apr., 2007
- [123] K. Niitsu, N. Miura, M. Inoue, Y. Nakagawa, M. Tago, M. Mizuno H. Ishikuro, and T. Kuroda, “60% Power Reduction in Inductive-Coupling Inter-Chip Link by Current-Sensing Technique,” JSAP Japanese Journal of Applied Physics, Vol. 46, No. 4B, pp. 2215-2219, Apr., 2007
- [124] N. Miura, H. Ishikuro, K. Niitsu, T. Sakurai, and T. Kuroda, “A 0.14pJ/b Inductive-Coupling Transceiver With Digitally-Controlled Precise Pulse Shaping,” IEEE Journal of Solid-State Circuits (JSSC), Vol. 43, No. 1, pp. 285-291, Jan., 2008.
- [125] 高田謙, 早川仁, 柴田直, “連想プロセッサアーキテクチャに基づく逐次データソーティングVLSI” 電子情報通信学会論文誌C Vol. J90-C, No. 5, pp. 417-427. (2007)
- [126] Jun Chen and Tadashi Shibata, “A Hardware-Implementation-Friendly Pulse-Coupled Neural Network Algorithm for Analog Image-Feature-Generation Circuits,” Japanese Journal of Applied Physics, Vol. 46, Part 1, No. 4B, pp. 2271-2277, (2007)
- [127] Hideo Yamasaki and Tadashi Shibata, “A Real-

Time Image-Feature-Extraction and Vector-Generation VLSI Employing Arrayed-Shift-Register Architecture,” IEEE Journal on Solid State Circuits, Vol. 42, No. 9, pp. 2046-2053, September 2007.

- [128] 宮部 保雄, 宮代 具隆, 北村 聡, 田邊 昇, 中條 拓伯, 天野 英晴, “MPI派生データ型通信支援機構のDIMMnet-2への実装と評価,” 情報処理学会論文誌コンピューティングシステム, Vol. 48, SIG 13, pp. 166-177, Aug. 2007.
- [129] 松谷 宏紀, 鯉渕 道紘, 天野 英晴, “Network-on-Chip における Fat H-Tree トポロジに関する研究,” 情報処理学会論文誌コンピューティングシステム, Vol. 48, No. SIG 13 (ACS19), pp. 178-191, Aug 2007.
- [130] Asrulnizam, Matsumoto, “One-Side-Electrode-Type Fluid-Based Inclinator Combined with CMOS Circuitry,” pp. 417-434, Sensors and Materials, Vol. 19, No. 7 (2007).
- [131] 鈴木隆文, 小竹直樹, 満渕邦彦, 竹内昌治, “束状微小流路を利用した神経再生型電極の開発,” 電気学会論文誌C, 127 (10), 1544-1548 (2007)
- [132] Jun PAN, Yasuaki INOUE and Zheng LIANG, “An Energy Management Circuit for Self-Powered Ubiquitous Sensor Modules Using Vibration-Based Energy,” pp. 2116-2123, IEICE TRANS. FUNDAMENTALS, Vol. E90–A, No. 10 OCTOBER 2007
- [133] Pan Jun and Yoshihara Tsutomu, “A Charge Pump Circuit Without Overstress in Low-Voltage CMOS Standard Process,” Electron Devices and Solid-State Circuits, pp. 501-504, 2007. EDSSC 2007. IEEE Conference on, Dec. 2007
- [134] Pan Jun and Yoshihara Tsutomu, “A Fast Lock Phase-Locked Loop Using a Continuous-Time Phase Frequency Detector,” pp. 393-396, Electron Devices and Solid-State Circuits, 2007. EDSSC 2007. IEEE Conference on, Dec. 2007
- [135] .Shuaiqi WANG, Yasuaki INOUE, “A High-Speed CMOS Blue-Laser Diode Driver for Multi-speed HD-DVD System,” Far East Journal of Electronics and Communications,” Vol. 1, No. 2, pp. 167-187, August, 2007.
- [136] M. Yamaguchi, S. Koya, H. Torizuka, S. Aoyama, S. Kawahito, “Shielded-Loop-Type Onchip Magnetic-Field Probe to Evaluate Radiated Emission From Thin-Film Noise

Suppressor” IEEE Transactions on Magnetics, Volume 43, Issue 6, pp. 2370 2372 (2007)

- [137] “A 0.8-V Syllabic-Companding Log Domain Filter with 78-dB Dynamic Range in 0.35- μ m CMOS,” Ippei Akita, Kazuyuki Wada, and Yoshiaki Tadokoro, IEICE Trans. Electronics, Vol. E91-C, No. 1, pp. 87-95, Jan. 2008.
- [138] Toshiro Hiramoto, Toshiharu Nagumo, Tetsu Ohtou, and Kouki Yokoyama (Invited), “Device Design of Nanoscale MOSFETs Considering the Suppression of Short Channel Effects and Characteristics Variations,” IEICE Transactions on Electronics, Vol. E90-C, No. 4, pp. 836-841, April, 2007.
- [139] K. Shimizu, G. Tsutsui, D. Januar, T. Saraya, and T. Hiramoto, “Experimental Study on Breakdown of Mobility Universality in <100>-directed (110)-oriented pMOSFETs.” IEEE Transactions on Nanotechnology, Vol. 6, No. 3, pp. 358-361, May, 2007.
- [140] Ken Shimizu, Gen Tsutsui, and Toshiro Hiramoto, “Experimental Study on Mobility Universality in (100) Ultra Thin Body nMOS-FET with SOI Thickness of 5nm,” Japanese Journal of Applied Physics, Vol. 46, No. 20, pp. L480-L482, May, 2007.
- [141] Kousuke Miyaji and Toshiro Hiraoto, “Control of full width at half maximum of Coulomb oscillation in silicon single-hole transistors at room temperature,” Applied Physics Letters, Vol. 91, No. 5, 053509, July, 2007.
- [142] Tetsu Ohtou, Nobuyuki Sugii, and Toshiro Hiramoto, “Impact of Parameter Variations and Random Dopant Fluctuations on Short-Channel Fully Depleted SOI MOSFETs With Extremely Thin BOX,” IEEE Electron Devices Letters, Vol. 28, No. 8, pp. 740-742, August, 2007.
- [143] Gen Tsutsui and Toshiro Hiramoto, “Experimental Study on Mobility in (110)-Oriented Ultrathin-Body Silicon-on-Insulator n-Type Metal Oxide Semiconductor Field-Effect Transistor with Single- and Double-Gate Operations,” Japanese Journal of Applied Physics, Vol. 46, No. 9A, pp. 5686-5690, September, 2007.
- [144] T. Hiramoto (Invited), “Transport in Ultrathin SOI MOSFETs and Silicon Nanowire Transistors,” ECS Transactions, Vol. 11, No.

- 6, ULSI Process Integration 5, pp. 403-411, October, 2007.
- [145] 平本俊郎, “FinFETとシリコンナノワイヤトランジスタ,” 応用物理学会薄膜・表面物理分科会 News Letter, No. 131, pp. 17-22, 2007年12月.
- [146] Tetsu Ohtou, Takuya Saraya, and Toshiro Hiramoto (Invited), “Variable Body-Factor SOI MOSFET with Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control,” IEEE Transactions on Electron Devices, Vol. 54, No. 1, pp. 40-46, January, 2008.
- [147] Sejoon Lee, Kousuke Miyaji, Masaharu Kobayashi, and Toshiro Hiramoto, “Extremely high flexibilities of Coulomb blockade and negative differential conductance oscillations in room-temperature-operating silicon single hole transistor,” Applied Physics Letters, Vol. 92, No. 7, 073502, February, 2008.
- [148] Tsuyoshi Sadakata and Yusuke Matsunaga, “A Simultaneous Module Selection, Scheduling, and Allocation Method Considering Operation Chaining with Multi-Functional Units,” IEICE Transactions on Fundamentals, Vol. E90-A, No. 4, pp. 792-799, Apr. 2007.
- [149] Maziar Goudarzi and Tohru Ishihara, “Value-dependence of SRAM leakage in deca-nanometer technologies,” IEICE Electronics Express, Vol. 5, No. 1, pp. 23-28, Jan. 2008.
- [150] Masatomo Miura and Takahiro Hanyu, “Highly Reliable Multiple-Valued Current-Mode Comparator Based on Active-Load Dual-Rail Operation,” IEICE Trans. Electron., Vol. E90-C, No. 4, pp. 589-594, April 2008.
- [151] Kazuyasu Mizusawa, Naoya Onizawa, and Takahiro Hanyu, “Power-Aware Asynchronous Peer-to-Peer Duplex Communication System Based on Multiple-Valued One-Phase Signaling,” IEICE Trans. Electron., Vol. E90-C, No. 4, pp. 581-588, April 2008.
- [2] Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, “Power-Efficient LDPC Code Decoder Architecture,” IEEE International Symposium on Low Power Electronics and Design (ISLPED 2007), Aug. 2007.
- [3] Zhenyu Liu, Yang Song, Ming Shao, Shen Li, Lingfeng Li, Satoshi goto, Takeshi Ikenaga, “32-Parallel SAD Tree Hardwired Engine for Variable Block Size Motion Estimation in HDTV1080p Real-Time Encoding Application,” IEEE Workshop on Signal Processing Systems (SiPS 2007), Oct. 2007.
- [4] Qin Liu, Seiichiro Hiratsuka, Satoshi Goto, Takeshi Ikenaga, “A 41mW VGA@30fps Quadtree Video Encoder for Video Surveillance Systems,” The 7th International Conference on ASIC (ASICON2007), Oct. 2007.
- [5] Tsurumi, Y., Suzuki, Y., and Kasagi, N., “Non-Contact Electrostatic Micro-Bearing Using Polymer Electret,” pp. 511-514, Proc. IEEE Int. Conf. MEMS 2008, (2008).
- [6] Wu, T., Suzuki, Y., and Kasagi, N., “Electrostatic Droplet Manipulation Using Electret as a Voltage Source,” pp. 591-594, Proc. IEEE Int. Conf. MEMS 2008, Tucson, Arizona, (2008).
- [7] Suzuki, Y., “Micro Energy Technology Research in Japan,” Invited talk, 2nd Fraunhofer Symp. Micro Energy Technology, Freiburg (2007).
- [8] Tsutsumino, T., Suzuki, Y., and Kasagi, N., “Electromechanical Modeling of Micro Electret Generator for Energy Harvesting,” Lyon, pp. 863-866, Proc. 14th Int. Conf. Solid-State Sensors, Actuators and Microsystems, Vol. 2, (2007).
- [9] I.C.H. Lai, Y. Kambayashi and M. Fujishima, “50GHz Double-Balanced Up-Conversion Mixer Using CMOS 90nm Process,” IEEE International Symposium on Circuits and Systems, pp. 2542-2545, 2007
- [10] K. Ishibashi, M. Motoyoshi, N. Kobayashi and M. Fujishima, “76GHz CMOS Voltage-Controlled Oscillator with 7% Frequency Tuning Range,” 2007 Symposium on VLSI Circuits, pp. 176-177, 2007.
- [11] Y. Goto, and M. Fujishima, “Through-Only De-embedding for On-Chip Symmetric Devices,” 2007 International Conference on Solid State Devices and Materials, pp. 490-491, 2007

2. 国際会議

- [1] Zhenyu Liu, Yang Song, Ming Shao, Shen Li, Lingfeng Li, Shunichi Ishiwata, Masaki Nakagawa, Satoshi Goto, Takeshi Ikenaga, “A 1.41W H.264/AVC Real-Time Encoder SOC for HDTV1080P,” 2007 Symposium on VLSI Circuits, June 2007.

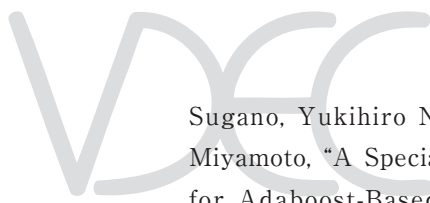
- [12] K. Takano, M. Motoyoshi and M. Fujishima, "4.8GHz CMOS Frequency Multiplier with Subharmonic Pulse-Injection Locking," 2007 IEEE Asian Solid-State Circuits Conference, pp. 336-338, 2007.
- [13] M. Fujishima, "New Architecture for CMOS Millimeter-Wave Transceiver," 2007 IEEE International Workshop on Radio-Frequency Integration Technology, 2007
- [14] C. Inui, I.C.H. Lai, and M. Fujishima, "60GHz CMOS Current-Reuse Cascade Amplifier," 2007 Asia-Pacific Microwave Conference, pp. 793-796, 2007
- [15] Y. Goto, N. Kobayashi and M. Fujishima, "On-Chip Rat-Race Balun with Stubs for Matching Arbitrary Terminal Impedances," 2007 Asia-Pacific Microwave Conference, pp. 1847-1850, 2007
- [16] S. Nakano, T. Sekitani, S. Takatani, M. Takamiya, T. Sakurai and T. Someya, "Printed Plastic Switch Array for the Application to High Power Electronics," Material Research Society (MRS) Spring Meeting, Symposium, N8.9, San Francisco, USA, April 2007.
- [17] T. Someya, T. Sekitani, Y. Noguchi, S. Nakano, S. Takatani, M. Takamiya and T. Sakurai, "Printed Organic Transistors for Large-area Sensors and Actuators," Material Research Society (MRS) Spring Meeting, Symposium, O10.6, San Francisco, USA, April 2007.
- [18] K. Onizuka, M. Takamiya, H. Kawaguchi, and T. Sakurai, "A Design Methodology of Chip-to-Chip Wireless Power Transmission System," IEEE International Conference on IC Design and Technology (ICICDT), Austin, USA, pp. 143-146, May 2007. (Invited)
- [19] M. Takamiya, T. Sekitani, Y. Miyamoto, Y. Noguchi, H. Kawaguchi, T. Someya, and T. Sakurai, "Design for Mixed Circuits of Organic FETs and Plastic MEMS Switches for Wireless Power Transmission Sheet," IEEE International Conference on IC Design and Technology (ICICDT), Austin, USA, pp. 168-171, May 2007. (Invited)
- [20] Y. Nakamura, M. Takamiya, and T. Sakurai, "An On-Chip Noise Canceller with High Voltage Supply Lines for Nanosecond-Range Power Supply Noise," IEEE Symposium on VLSI Circuits, Kyoto, pp. 124-125, June 2007.
- [21] D. Levacq, M. Yazid, H. Kawaguchi, M. Takamiya, and T. Sakurai, "Half VDD Clock-Swing Flip-Flop with Reduced Contention for up to 60% Power Saving in Clock Distribution," 33rd European Solid-State Circuits Conference (ESSCIRC), Munich, Germany, pp. 190-193, Sep. 2007.
- [22] D. Levacq, T. Minakawa, M. Takamiya, and T. Sakurai, "A Wide Range Spatial Frequency Analysis of Intra-Die Variations with 4-mm 4000 x 1 Transistor Arrays in 90nm CMOS," IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp. 257-560, Sep. 2007.
- [23] D. Levacq, M. Takamiya and T. Sakurai, "Backgate Bias Accelerator for 10ns-order Sleep-to-Active Modes Transition Time," IEEE Asian Solid-State Circuits Conference (A-SSCC), Jeju, Korea, pp. 296-299, Nov. 2007.
- [24] M. Takamiya, T. Sekitani, Y. Miyamoto, Y. Noguchi, H. Kawaguchi, T. Someya, and T. Sakurai, "Wireless Power Transmission Sheet with Organic FETs and Plastic MEMS Switches," International Display Workshop (IDW), Sapporo, Japan, pp. 95-98, Dec. 2007. (Invited)
- [25] T. Sekitani, Y. Noguchi, S. Nakano, K. Zaitso, Y. Kato, M. Takamiya, T. Sakurai, and T. Someya, "Communication Sheets Using Printed Organic Nonvolatile Memories," IEEE International Electron Devices Meeting (IEDM), Washington DC, USA, pp. 221 - 224, Dec. 2007.
- [26] L. Liu, M. Takamiya, T. Sekitani, Y. Noguchi, S. Nakano, K. Zaitso, T. Kuroda, T. Someya, and T. Sakurai, "A 107pJ/b 100kb/s 0.18um Capacitive-Coupling Transceiver for Printable Communication Sheet," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 292-293, Feb. 2008.
- [27] T. Niiyama, P. Zhe, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai, "Dependence of Minimum Operating Voltage (VDDmin) on Block Size of 90-nm CMOS Ring Oscillators and Its Implications in Low Power DFM," IEEE International Symposium on Quality Electronic Design (ISQED), San Jose, USA, March 2008. (to be presented)
- [28] N.Yoshii, K.Mizutani, Y.Sugimoto, "A Current-

- mode ADC with Current Exchanging and Averaging Capabilities by Switching the Currents and Calculating Data in the Digital Domain," IEEE 2007 Custom Intergrated Circuits Conference (CICC), September 2007.
- [29] K.Umimura, H.Sakurai, Y.Sugimoto, "A CMOS Current-mode DC-DC Converter with Input and Output Voltage-Independent Stability and Frequency Characteristics utilizing a Quadratic Slope Compensation Scheme," Proceedings of the 33rd European Solid-State Circuits Conference, pp. 178-181, September 2007.
- [30] Masahiro Sasaki, Makoto Ikeda, Kunihiro Asada, "3.5-Gb/s extended frequency range wave-pipeline PRBS Generator in 0.18- μ m CMOS," Proc. of the 14th IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. 526-529, Marrakech, Maroc, Dec. 2007.
- [31] Masahiro Sasaki, Takuro Inoue, Makoto Ikeda, Kunihiro Asada, "40 frames/sec 16 \times 16 Temperature Probe Array using 90nm 1V CMOS for On-line Thermal Monitoring on VLSI chip," IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 264-267, Jeju, Korea, Nov. 2007.
- [32] K. Kurihara, T. Iizuka, M. Ikeda, and K. Asada, "Process Variation Aware Comprehensive Layout Synthesis for Yield Enhancement in Nano-Meter CMOS," Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS), C4L-F04, pp. 1296 - 1299, Dec., 2007.
- [33] "Datapath Delay Distributions for Data/Instruction Against PVT Variations in 90nm CMOS," Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS), A4L-E04, pp. 154 - 157, Dec., 2007.
- [34] Y. Yachide, M. Ikeda, and K. Asada, "Triangulation-based calibration method based on light-section method using spheres," Proc. of International Conference on Sensing Technology (ICST), pp. 399-403, Nov., 2007.
- [35] Y. Yachide, M. Ikeda, and K. Asada, "FPGA-Based 3-D Engine for High-speed 3-D Measurement Based on Light-Section Method," Proc. of IEEE International Conference on Field-Programmable Technology (ICFPT), pp. 293-296, Dec., 2007.
- [36] Imai, Nanya, "A Design Method for 1-out-of-4 Encoded Low-Power Self-Timed Circuits using Standard Cell Libraries," Proc. ACSD2008, (2008) (to appear)
- [37] S. Shida, Y. Shibata, K. Oguri, D. A. Buell, "Implementation of a Barotropic Operator for Ocean Model Simulation Using a Reconfigurable Machine," pp. 589-592, Proc. FPL (2007).
- [38] "A Combining Technique of Rate Law Functions for a Cost-effective Reconfigurable Biological Simulator," pp. 808-811, Proc. FPL (2007).
- [39] S. Nino, T. Mori, Y. Ko, Y. Shibata, K. Oguri, "FPGA Implementation of a Statically Reconfigurable Java Environment for Embedded Systems," pp. 317-320, Proc. FPT, (2007).
- [40] H. Matsubayashi, S. Nino, T. Aramaki, Y. Shibata, K. Oguri, "Retrieving 3-d information with FPGA-based stream processing," p.261, Proc. FPGA, (2008)
- [41] T. Matsumoto, S. Matsufuji, "Code Generator Implementation on FPGA for an Optical ZCZ Code Using a Sylvester Type Hadamard Matrix," Proc. of 2007 International Workshop on Signal Design and Its Applications in Communications, pp. 228-232, (2007).
- [42] M.Kuwata-Gonokami, "Enhanced optical activity of quasi two-dimensional metal chiral nanogratings," The Seventh Finnish-Japanese Joint Symposium on Optics in Engineering OIE, Tampere, Finland (Aug., 2007)
- [43] M.Kuwata-Gonokami, "Enhanced polarization effects on quasi-two-dimensional metal chiral nanogratings," The 7th Pacific Rim Conference On Lasers and Electro-Optics, CLEO/Pacific Rim, Korea (Aug., 2007)
- [44] Hoshino, Morishima, "Cell Self Assembly of Intracellular Interface Using Cell Migration.," BB2.12, 2008 Materials Research Society Spring Meeting, March 26, (2008).
- [45] Myoren H., Kishita N., Yoshizawa Y., Taino T., Takada S., "Magnetic Shield for SFQ Digital Circuits using Over- and Under Ground Planes Connecting with Wall Structures," International Superconductive Electronics Conference 2007, (2007.6.11) Washington, DC, USA
- [46] Hiroaki Myoren, Yusuke Mada, Yuji

Matsui, Tohru Taino, and Susumu Takada, "Superconducting NbN Nanowire Photo Switches for Generating Single Flux Quantum Pulses," Journal of Physics! Conference Series 97 (2008) p.012329.

- [47] Toshiyuki Sugita, Kenichi Nakayama, Takayuki Hamamoto, Kazuya Kodama, "High speed 2D motion detection image sensor with velocity filtering function," IEEE Int. Image Sensor Workshop, P-19, pp. 109-112 (2007).
- [48] Takashi Ikeda, Kazuteru Namba and Hideo Ito, "Soft Error Hardened Latch Scheme for Enhanced Scan Based Delay Fault Testing," Proc. 2007 IEEE Int. Symp. Defect and Fault Tolerance in VLSI Systems, pp. 282-290, Sept., 2007.
- [49] T. Sato, K. Kikuchi and M. Fukase, "Verifying Various Generation of Random Number Sequence on Wave-Pipelined PRNG," Proc. of ECTI-CON 2007, Vol. 1, pp. 21-24, (2007).
- [50] A. Ahmadi, H.J. Mattausch, M.A. Abedin, T. Koide, Y. Shirakawa, and M.A. Ritonga, "Developing a Reliable Learning Model for Cognitive Classification Tasks Using an Associative Memory," Proceedings of the 2007 IEEE Symposium on Computational Intelligence in Image and Signal Processing (CIISP2007), pp. 214-219, (2007.4)
- [51] T. Kumaki, T. Koide, H.J. Mattausch, Y. Kuroda, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Efficient vertical/horizontal-space 1D-DCT processing based on massive-parallel matrix-processing engine," Proceedings of the 2007 IEEE International Symposium on Circuits and Systems (ISCAS2007), pp. 525-528, (2007.5)
- [52] T. Kumaki, Y. Kono, M. Ishizaki, M. Tagami, T. Koide, H.J. Mattausch, T. Gyohten, H. Noda, Y. Kuroda, K. Dosaka, K. Arimoto and K. Saito, "CAM enhanced super parallel SIMD processor with high-speed pattern matching-capability," Proceedings of IEEE International Midwest Symposium on Circuits And Systems (MWSCAS2007), pp. 803-806, (2007.8)
- [53] K. Johguchi, Y. Mukuda, S. Izumi, H. J. Mattausch and T. Koide, "A 0.6-Tbps, 16-port SRAM design with 2-stage-pipeline and multi-stage-sensing scheme," Proceedings of the 33rd European Solid-State Circuits Conference (ESSCIRC2007), pp. 320-323, (2007.9)
- [54] S. Sakakibara, M.A. Abedin, Y. Tanaka, A. Ahmadi, H. J. Mattausch and T. Koide, "Associative memory design realizing reference-pattern recognition and learning based on short/long-term storage concept," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 21-25, (2007.10)
- [55] M.A. Abedin, A. Ahmadi, Y. Tanaka, S. Sakakibara, T. Koide and H. J. Mattausch, "Hardware realization of two-stage pattern matching system using fully-parallel associative memories," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 32-37, (2007.10)
- [56] Y. Tanaka, M.A. Abedin, S. Sakakibara, T. Koide and H. J. Mattausch, "A fast differential-amplifier-based winner-search circuit for fully parallel associative memories," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 38-41, (2007.10)
- [57] K. Okazaki, K. Awane, K. Yamaoka, T. Koide, H. J. Mattausch, "Performance evaluation of region-growing image segmentation using two-dimensional image-block scanning," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 69-73, (2007.10)
- [58] T. Kumaki, M. Ishizaki, T. Koide, H.J. Mattausch, Y. Kuroda, H. Noda, K. Dosaka, K. Arimoto and K. Saito, "An effective parallel coding architecture utilizing characteristics of multimedia application," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 74-80, (2007.10)
- [59] M. Tagami, M. Ishizaki, T. Kumaki, Y. Kono, T. Koide, H. J. Mattausch, T. Gyohten, H. Noda, K. Dosaka, K. Arimoto and K. Saito, "Acceleration of Advanced Encryption Standard (AES) processing on a CAM enhanced super parallel SIMD processor," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies

- (SASIMI2007), pp. 26-31, (2007.10)
- [60] S. Izumi, K. Johguchi, H.J. Mattausch and T. Koide, "Static-noise-margin analysis of major SRAM-cell types including production variations for a 90nm CMOS process," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2007), pp. 261-265, (2007.10)
- [61] Joe Hashimoto, Akihiko Eguchi, Makoto Saituji, Akihisa Yamada, Takashi Kambe, "An Output Probability Computation Circuit Design for Real Time Speech Recognition," Proceeding of SASIMI2007, pp.49-55, 2007.
- [62] Seigo Masuoka, Hiroyuki Terai, Manabu Koyama, Kazuhiko Nakahara, Akihisa Yamada, Takashi Kambe, "An Object-Oriented Circuit Design Method and Its Evaluation," Proceeding of SASIMI2007, pp. 337-342, 2007.
- [63] Sugihara, Kume, Kobayashi, Onodera, "Speed and Yield Enhancement by Track Swapping on Critical Paths Utilizing Random Variations for FPGAs," pp. 257-258, FPGA (2008)
- [64] Kobayashi, Onodera, "Best Ways to Use Billions of Devices on a Chip - Error Predictive, Defect Tolerant and Error Recovery Designs," pp. 811-812, The 13th Asia and South Pacific Design Automation Conference (2008)
- [65] Fukuoka, Tsuchiya, Onodera, "Statistical Gate Delay Model for Multiple Input Switching," pp. 286 - 291, The 13th Asia and South Pacific Design Automation Conference (2008)
- [66] Onodera, Muta, "Regularity-Enhanced Layout of Standard Cells," pp., 2nd IEEE International Workshop on Design for Manufacturability & Yield (2007)
- [67] Sugihara, Kume, Kobayashi, Onodera, "Estimation of Yield Enhancement by Critical Path Reconfiguration Utilizing Random Variations on Deep-submicron FPGAs," pp. 179 - 183, SASIMI 2007 (2007)
- [68] Onodera, "Toward Variability-Aware Design," pp. 92-93, 2007 Symposium on VLSI Technology (2007)
- [69] Tsuchiya, Onodera, "Measurement of Interconnect Loss Due to Dummy Fills," pp. 241-244, 11th IEEE Workshop on Signal Propagation on Interconnects (2007)
- [70] M.Hariyama, S.Ishihara, C.C.Wei, M.Kameyama, "A Field-Programmable VLSI Based on an Asynchronous Bit-Serial Architecture," IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 380-383 (2007)
- [71] N.Okada, M.Kameyama, "Low-Power Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuits," International Symposium on Multiple-Valued Logic, CDROM-No. 25 (2007)
- [72] H.M.Waidyasooriya, M.Hariyama, M.Kameyama, "Design of a Multi-Context FPVLSI based on an Asynchronous Bit-Serial Architecture," Sixth IEEE Dallas circuits and systems workshop, pp. 59-62 (2007)
- [73] K.Komoriyama, E.Yoshida, M.Yashiki, H.Tanimoto, "A Very Wideband Fully Balanced Active RC Polyphase Filter Based on CMOS Inverters in 0.18 um CMOS Technology," 2007 Symp. on VLSI Circuits, June 2007.
- [74] Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, "An Area-Conscious Low-Voltage-Oriented 8T-SRAM Design under DVS Environment," 2007 Symposium on VLSI Circuits Digest of Technical Papers, pp. 256-257, Kyoto, Japan, June 2007.
- [75] H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, Y. Morita, H. Kawaguchi, and M. Yoshimoto, "Quality of a Bit (QoB)! A New Concept in Dependable SRAM," 9th International Symposium on Quality Electronic Design (ISQED 2008), San Jose, California, USA, March 2008.
- [76] Y. Sakata, K. Kawakami, H. Kawaguchi, and M. Yoshimoto, "An elastic pipeline architecture for dynamic voltage scaling and its application to low-power portable H.264/AVC decoder with embedded frame buffer SRAM," EUROPEAN COMPUTING CONFERENCE, Athens, Greece, Sept. 2007.
- [77] H. Noguchi, Y. Iguchi, H. Fujiwara, Y. Morita, K. Nii, H. Kawaguchi, and M. Yoshimoto, "A 10T Non-Precharge Two-Port SRAM for 74% Power Reduction in Video Processing," Proc. IEEE Computer Society Annual Symposium on VLSI 2007 (ISVLSI 2007), pp. 107-112, Porto Alegre, Brazil, May 2007.
- [78] Masayuki Hiromoto, Kentaro Nakahara, Hiroki



Sugano, Yukihiro Nakamura, and Ryusuke Miyamoto, "A Specialized Processor Suitable for Adaboost-Based Detection With Haar-Like Features," in Proc. of IEEE Computer Society Conference on Computer Vision and Pattern Recognition (CVPR2007) (Minneapolis, Minnesota, USA), June 2007.

- [79] Masayuki Hiromoto, Shin'ichi Kouyama, Hiroyuki Ochi, and Yukihiro Nakamura, "An Asynchronous Single-Precision Floating-Point Divider and its Implementation on FPGA," in Proc. of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007) (Hokkaido, Japan), pp. 294-301, Oct. 2007.
- [80] J.Hayashi, H.Yamaguchi, S.Matsuoka, A.Kumada and K.Hidaka, "Micro sensor for measuring surface discharge phenomena with high spatial resolution" Japan-Korea Joint Symposium on Electrical Discharge and High Voltage Engineering, 17B-p3, 2007.
- [81] J. Wang, T. Matsuoka, and K. Taniguchi, "A Switched-Capacitor Programmable Gain Amplifier Using Dynamic Element Matching," IEEE International Meeting for Future of Electron Devices, Kansai, Apr. 23-24, 2007, Osaka, Japan, pp. 113-114.
- [82] Y. Mizugaki, Y. Namatame, and M. Maezawa, "A Voltage Doubler Based on the Second-Order Operation of a Voltage Multiplier Cell," International Superconductive Electronics Conference 2007 (ISEC 2007), Washington DC, USA, June 10-14, 2007.
- [83] Y. Mizugaki and R. Kashiwa, "Magnetic Shielding Effect of Grounded Superconducting Niobium Layers," 8th European Conference on Applied Superconductivity (EUCAS 2007), Brussels, Belgium, September 16-20, 2007.
- [84] S. Abe, M. Hashimoto, and T. Onoye, "Clock Skew Evaluation Considering Manufacturing Variability in Mesh-Style Clock Distribution," in Proc. International Symposium on Quality Electronic Design (2008).
- [85] Y. Ogasahara, M. Hashimoto, and T. Onoye, "Dynamic Supply Noise Measurement Circuit Composed of Standard Cells Suitable for In-Site Soc Power Integrity Verification," pp. 107-108, in Proc. Asia and South Pacific Design Automation Conference (2008).
- [86] K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "A Study on Body-Biasing Layout Style Focusing on Area Efficiency and Speed," pp. 233-237, in Proc. Workshop on Synthesis and System Integration of Mixed Technologies (2007).
- [87] Y. Ogasahara, M. Hashimoto, and T. Onoye, "Dynamic Supply Noise Measurement with All Digital Gated Oscillator for Evaluating Decoupling Capacitance Effect," pp. 783-786, in Proc. Custom Integrated Circuits Conference (2007).
- [88] M. Hashimoto, J. Siriporn, A. Tsuchiya, H. Zhu, and CK Cheng, "Analytical Eye-Diagram Model for On-Chip Distortionless Transmission Lines and Its Application to Design Space Exploration," pp. 869-872, in Proc. Custom Integrated Circuits Conference (2007).
- [89] Caillard, B. Pellet, C.; Touboul, A.; Mita, Y.; Fujita, H., "Electrical overstress/electrostatic discharges (EOS/ESD) specificities in MEMS outline of a protection strategy," Proceedings of the 14th International Symposium on the Physical & Failure Analysis of Integrated Circuits IPFA 2007, July 2007, p 107-11
- [90] Kenichiro Hirose, Yoshio Mita, and Shuichi Sakai, "Polarization-Transmissive Thin-Film Solar Cell with Photodiode Nanowires," IEEE/LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2007), August 20-24, Taiwan, (2007.8).
- [91] Yohei Hamaguchi, Masanori Kubota, Jean-Bernard Pourciel and Yoshio Mita, "High-Aspect-Ratio Vertical Surface Profiler using Sensitive Displacement Detection by Optomechanical Probe," in Proc. of IEEE International Conference on MicroElectroMechanical Systems (MEMS 2007), Tuscon AZ, USA, January 14-17, pp. 884-887 (2008.01).
- [92] Hamid Noori, Farhad Mehdipour, Kazuaki Murakami, Koji Inoue, and Morteza Saheb Zamani, "An architecture framework for an adaptive extensible processor," The Journal of Supercomputing, Feb. 2008.
- [93] Y. Kojima, K. Nagato, K. Kasuya, H. Moritani, M. Nakao, "Pinpoint Synthesis of Tungsten Oxide

- Nanowires using Heat Controlling Layer,” 22nd American Society for Precision Engineering (ASPE) Annual Meeting 2008, pp. 105-108.
- [94] Kinya Tsuda, Murat Gel, Hidehiro Oana, Boonchai Techaumnat, Hidetoshi, Kotera, and Masao Washizu, “VERY HIGH YIELD ELECTRO CELL-FUSION BASED ON FIELD CONSTRICTION AT A MICROORIFICE,” *microTAS 2007*, p1375-1377 ISBN 978-0-9798064-0-7 (Vol. 2)
- [95] Murat Gel, Osamu Kurosawa, Hidehiro Oana, Masao Washizu, “Fabrication and Operation of a micro orifice array chip with with high electroporation efficiency,” *The 11th International Conference on Miniaturized Systems for Chemistry and Life Sciences*, October, 2007
- [96] H. Oana, M. Ohuchi and M. Washizu, “Controlling higher-order structures of giant genomic DNA molecules in microfluidic channel” *MicroTAS 2007*
- [97] M. Fukase, H. Takeda, K. Noda, A. Yokoyama, and T. Sato, “Ad-hoc Cipher by a Ubiquitous Processor,” *Proc. of ICESIT2008*, pp. 118-121 (2008).
- [98] M. Fukase, K. Noda, H. Takeda, and T. Sato, “Multimedia performance of a ubiquitous processor,” *Proc. of ISCIT '07*, pp. 1464-1469, (2007).
- [99] M. Fukase and T. Sato, “Compilation Techniques Specific for a Hardware Cryptography-Embedded Multimedia Mobile Processor,” *Proc. of WMSCI2007*, Vol. V, pp. 245-250, (2007).
- [100] M. Fukase and T. Sato, “Exploring Design and Testing Methods of High-Speed Power Conscious Wave-Pipelines,” *Proc of 13th NASA Symposium on VLSI Design*, pp. 5.1.1-5.1.6, (2007).
- [101] M. Fukase, H. Takeda and T. Sato, “Hardware Cryptograph-Embedded Multimedia Mobile Processor,” *Proc. of ECTI-CON 2007*, Vol. 2, pp. 1128-1131, (2007).
- [102] M. Fukase and T. Sato, “A Stream Cipher Engine for Ad-hoc Security,” *Proc. of CIS 2007*, pp. 902-906, (2007).
- [103] T. Matsuda, Y. Sugiyama, K. Nohara, K. Morita, H. Iwata, T. Ohzone, T. Morishita and K. Komoku, “A test structure for analysis of asymmetry and orientation dependence of MOSFETs,” *Proc. IEEE Int. Conf. on Microelectronic Test Structures*, pp. 153-156, 2007.
- [104] Katsuki Kobayashi and Naofumi Takagi, “Design of a Combined Circuit for Multiplication and Inversion in GF (2^m),” *Proceedings of The 14th Workshop on Synthesis And System (SASIMI-2007)*, pp. 15-20, Oct. 15-16, 2007.
- [105] H. Ishihara, M. Miyama, Y. Matsuda, Y. Murachi, Y. Fukuyama, R. Yamamoto, J. Miyakoshi, H. Kawaguchi, and M. Yoshimoto, “A VGA 30-fps Optical-Flow Processor Core Based on Pyramidal Lucas and Kanade Algorithm,” *A-SSCC2007 (2007)*.
- [106] M. Miyama, Y. Inoue, T. Kasuga, R. Inada, R. Kawai, M. Nakao, Y. Matsuda, “A 158 MS/S JPEG 2000 CODEC WITH A BIT-PLANE AND PASS PARALLEL EMBEDDED BLOCK CODER,” *Picture Coding Symposium 2007 (2007)*.
- [107] Nishikawa, Tomiyasu, Okamoto, Sugiyama, Uchida, Mizuno, Ishii, Iwata, “CUE-v3! Data-Driven Chip Multi-Processor for Ad hoc and Ubiquitous Networking Environment,” *Proceedings of the 2007 International Conference on Parallel and Distributed Processing Techniques and Applications*, pp. 630-636 (June 2007).
- [108] “Delay-Compensation Flip-Flops for Timing-Error Tolerant Circuit Design” K. Hirose, Y. Manzawa, M. Goshima, and S. Sakai *International Conference on Solid State Devices and Materials 2007 (SSDM 2007)*
- [109] Tetsuji Dohi, Kenta Kuwana, Kiyoshi Matsumoto, Isao Shimoyama, “A Standing Micro Coil for A High Resolution MRI,” pp. 1313-1315, *The 14th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '07)*, 2007, Lyon, France.
- [110] Atsushi Takei, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, “Thin Electrowetting Controlled Optical Systems with Pan/Tilt and Variable Focus Functions,” pp. 1317-1318, *The 14th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '07)*, 2007, Lyon, France.
- [111] Yasumasa Ichikawa, Tetsuo Kan, Hiroaki Onoe, Eiji Iwase, Kiyoshi Matsumoto, Isao

Shimoyama, "Experimental Analysis of Liposome Water Two Phase Flow in Micro Channel for Localizing Reaction System using Liposome," pp. 934-936, The 11th International Conference on Miniaturized Systems for Chemistry and Life Sciences (?TAS2007), 2007, Paris, France.

- [112] Kenta Kuwana, Kiyoshi Matsumoto, Isao Shimoyama, "Measurement of Binding Force between a Receptor-coated Cantilever and a Ligand-coated Surface for Protein Sensor," pp. 1095-1097, The 11th International Conference on Miniaturized Systems for Chemistry and Life Sciences (?TAS2007), 2007, Paris, France.
- [113] Tomoyuki Takahata, Kiyoshi Matsumoto, Isao Shimoyama, "Effect of Slab Deflection on a Mechano-Optic Modulator," pp. 46-48, 4th International Conference on Group IV Photonics, 2007, 港区, 東京.
- [114] Tetsuji Dohi, Hironao Hayashi, Hiroaki Onoe, Kiyoshi Matsumoto, Isao Shimoyama, "Fabrication Method of Sub-Micrometer Size Planar Gap for the Micro Fabry-Perot Interferometer," pp. 335-338, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [115] Eiji Iwase, Hiroaki Onoe, Kiyoshi Matsumoto, Isao Shimoyama, "Hidden Vertical Comb-Drive Actuator on PDMS Fabricated by Parts-Transfer," pp. 116-119, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [116] Akihito Nakai, Kiyoshi Matsumoto, Isao Shimoyama, "Three Dimensional Arrangement of Sensors using Development," pp. 832-835, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [117] Tetsuo Kan, Nguyen Binh-Khiem, Kiyoshi Matsumoto, Isao Shimoyama, "Tunable SPR Coupler by Flexible Polymer Grating," pp. 774-777, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [118] Seiichi Takamatsu, Kiyoshi Matsumoto, Isao Shimoyama, "Mechanically Flexible and

Expandable Display with Conductive-Polymer-Coated Nylon Fabric," pp. 140-143, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.

- [119] Atsushi Takei, Nguyen Binh-Khiem, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Liquid Motor Driven by Electrowetting," pp. 42-45, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [120] Kazuhiko Takagahara, Yusuke Takei, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Batch Fabrication of Carbon Nanotubes at AFM Probe Tips and AFM Imaging," pp. 713-716, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [121] Hidetosh Takahashi, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Air Flow Sensor for an Insect-Like Flapping Wing," pp. 916-919, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [122] Hisashi Terae, Nguyen Binh-Khiem, Tomoyuki Takahata, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Tapered Waveguide by Liquid for a Coupler of Optical Fibers to MEMS Devices," pp. 794-797, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [123] Masato Muraki, Seiichi Takamatsu, Kiyoshi Matsumoto, Isao Shimoyama, "Organic Semiconductor Based Strain Sensors for Input System on Flexible OLEDs," pp. 904-907, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.
- [124] Yuta Yoshihata, Nguyen Binh-Khiem, Atsushi Takei, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Scanning Micromirror using Deformation of a Parylene-Encapsulated Liquid Structure," pp. 770-773, The 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS '08), 2008, Tucson, Arizona, USA.

- [125] "On-Chip Measurements Complementary to Design Flow for Integrity in SoCs," Makoto Nagata, Proc. Design Automation Conference 2007, pp. 400-403, 2007.06.
- [126] "A Low-Power Current-Mode Transceiver with Simultaneous Data and Clock Transmission at 625 Mb/s, 3 mW in 1.5 V for Mobile Applications," Tetsuhiro Ogino, Takefumi Yoshikawa, Makoto Nagata, IEEE Asian Solid-State Circuits Conference 2007 (A-SSCC), #5-5, pp. 160-163, 2007.11.
- [127] A.Nakamura, M Kawarasaki, M Yohikawa, and T.Fujino, "Architecture of Via Programmable Logic using Exclusive-OR Array (VPEX) for EB Direct Writing," pp. 261-264, IEEE 2007 Custom Integrated Circuits Conference (2007)
- [128] Ogawa, Hirose, Asai, Amemiya, "Threshold-logic systems consisting of subthreshold CMOS circuits," Proc. of IEEJ International Analog VLSI workshop, pp. 78-83, (2007).
- [129] Ueno, Hirose, Asai, Amemiya, "CMOS voltage reference based on the threshold voltage of a MOSFET," Abst. of International Conference on Solid State Device and Materials, pp. 486-487, (2007).
- [130] Ueno, Hirose, Asai, Amemiya, "Floating millivolt reference for PTAT current generation in subthreshold MOS LSIs," Proc. of IEEE International Symposium on Circuits and Systems, pp. 3748-3751, (2007).
- [131] D. Atuti, T. Morie, and K. Aihara, "A Pulse-Modulation Circuit for Nonlinear Systems with Self Regulatory Threshold Dynamics," 15th IEEE Int. Workshop on Nonlinear Dynamics of Electronic Systems (NDES 2007), pp. 145-148, Tokushima, Japan, July 23-26, 2007.
- [132] H. Tanaka, T. Morie, and K. Aihara, "Evaluation of a CMOS Spiking Neural Network Circuit with STDP Function," 15th IEEE Int. Workshop on Nonlinear Dynamics of Electronic Systems (NDES 2007), pp. 313-316, Tokushima, Japan, July 23-26, 2007.
- [133] D. Atuti, N. Kato, K. Nakada, and T. Morie, "CMOS Circuit Implementation of a Coupled Phase Oscillator System Using Pulse Modulation Approach," 2007 European Conference on Circuit Theory and Design (ECCTD 2007), pp. 827-830, Seville, Spain, Aug. 26-30, 2007.
- [134] M. Watanabe, N. Yamaguchi, "An acceleration and optimization method for optical reconfigurations," International Conference on VLSI Design," pp. 607-612, 2008.
- [135] N. Yamaguchi, M. Watanabe, "An optical reconfiguration system with four-contexts," International Conference on VLSI Design, pp. 601-606, 2008.
- [136] M. Watanabe, D. Seto, "Reconfigurations of a dynamic optically reconfigurable architecture under a constant laser exposure," IEEE International Conference on Electron Devices and Solid-State Circuits, pp. 405-408, 2007.
- [137] D. Seto, M. Watanabe, "Reconfiguration performance analysis of a dynamic optically reconfigurable gate array architecture," IEEE International Conference on Field Programmable Technology, pp. 265-268, 2007.
- [138] M. Nakajima, M. Watanabe, "A 62.5 ns holographic reconfiguration for an optically differential reconfigurable gate array," IEEE International Conference on Field Programmable Technology, pp. 297-300, 2007 .
- [139] M. Watanabe, S. Fukagawa, F. Kobayashi, "DORGA holographic memory architecture," IEEE International Conference on Microelectronics, 2007
- [140] M. Watanabe, "A 11, 424 gate-count zero-overhead dynamic optically reconfigurable gate array VLSI" IEEE International SOC Conference, pp. 75-78, 2007.
- [141] M. Watanabe, T. Shiki, F. Kobayashi, "Scaling Rule of Optically Differential Reconfigurable Gate Array VLSIs," IEEE International Midwest Symposium on Circuits & Systems, pp. 128-131, 2007.
- [142] M. Watanabe, T. Shiki, F. Kobayashi, "272 gate count optically differential reconfigurable gate array VLSI," International Conference on engineering of reconfigurable systems and algorithms, CD-ROM, 2007.
- [143] M. Watanabe, "Optimization of reconfiguration speed control bits for an Optically Reconfigurable Gate Array," International Conference on engineering of reconfigurable systems and algorithms, CD-ROM, 2007.
- [144] M. Watanabe, F. Kobayashi, "Holographic mem-

ory reconfigurable VLSI," IEEE International Symposium on Circuits and Systems, pp. 401-404, 2007.

- [145] M. Watanabe, F. Kobayashi, "Power Consumption Reduction Method of Dynamic Optically Reconfigurable Gate Array VLSIs," IEEE Symposium on Low-Power and High-Speed Chips, p. 145. 2007.
- [146] Daijyu Masuda, Yosuke Yamanaka, Akira Yasuda, "Low-jitter Digital PLL with Vernier TDC for Reducing Mismatch Effects," IEEJ AVLSIWS2007, pp. 136-141, Nov., (2007).
- [147] K. Kagawa S. Sanshiro, M. Nunoshita, and J. Ohta, ISSCC Dig. Tech. Papers, pp. 54-55, 2008.
- [148] Y. Takahashi, D. Tsuzuki, T. Sekine, and M. Yokoyama, "Design of a 16-bit RISC CPU core in a two phase drive adiabatic dynamic CMOS logic," Proc. IEEE TENCON 2007, WeSC-O2.1 (CD-ROM), Oct. 2007.
- [149] Y. Takahashi, T. Sekine, and M. Yokoyama, "A 4-bit multiplier using a two phase drive adiabatic dynamic CMOS logic," Proc. ITC-CSCC 2007, Vol. 1, pp. 205-206, July 2007.
- [150] H. Yoshizawa and G.C. Temes, "Predictive Switched-Capacitor Track-and-Hold Amplifier with Improved Linearity," Proc. IEEE International Symposium on Circuits and Systems., pp. 233-236, 2007.
- [151] Kodama, Amano, Sugimura, Fukushima, Tanaka, Koyanagi, "New Reconfigurable Memory Architecture for Parallel Image Processing LSI with Three-Dimensional Structure," pp. 1064-1065, SSDM2007
- [152] Fujiwara, Terada, Shirato, Owari, Watanabe, Matsuyama, Takahama, Mori, Miyao, Choki, Fukushima, Tanaka, Koyanagi, "Passive Optical Alignment with High Accuracy for Low-Loss Optical Interposer," pp. 988-989, SSDM2007
- [153] Kikuchi, Yamada, Ali, Liang, Fukushima, Tanaka, Koyanagi, "Tungsten Through-Si Via (TSV) Technology for Three-Dimensional LSIs," pp. 482-483, SSDM2007
- [154] Komiya, Kobayashi, Kobayashi, Sato, Fukushima, Tomita, Kurino, Tanaka, Tamai, Koyanagi, "Development of Power Supply System for Three-Dimensionally Staked Retinal Prosthesis Chip," pp. 658-659, SSDM2007
- [155] Murugesan, Bea, Yin, Nohira, Ikenaga, Hattori, Nishijima, Fukushima, Tanaka, Miyao, Koyanagi, "Investigation of FePt Nano-Dots Fabricated by Self-Assembled Nano-Dot Deposition Method Using X-ray Photoelectron Spectroscopy," pp. 1026-1027, SSDM2007
- [156] Akiko Mineyama, Hiroyuki Ito, Takahiro Ishii, Kenichi Okada, Kazuya Masu, "LVDS-type On-Chip Transmission Line Interconnect with Passive Equalizers in 90 nm CMOS Process," IEEE/ACM Asia and South Pacific Design Automation Conference (University LSI Design Contest), pp. 97-98, Seoul, Korea, Jan. 2008.
- [157] Susumu Sadoshima, Satoshi Fukuda, Tackya Yammouch, Hiroyuki Ito, Kenichi Okada, Kazuya Masu, "Small-Area CMOS RF Distributed Mixer Using Multi-Port Inductors," IEEE/ACM Asia and South Pacific Design Automation Conference (University LSI Design Contest), pp. 105-106, Seoul, Korea, Jan. 2008.
- [158] Kazuya Masu, "On-Chip Global Interconnect Using Transmission Line" (Invited)," Paper 2 of the Day 1, The 2nd Workshop on Interconnect Design and Variability (IDV2007), Bangalore, India, December, 2007.
- [159] Kazuma Ohashi, Yusaku Ito, Hiroyuki Ito, Kenichi Okada, Hideki Hatakeyama, Naoyuki Ozawa, Masakazu Sato, Takuya Aizawa, Tatsuya Ito, Ryoza Yamauchi, and Kazuya Masu, "A Low-Power Low-Phase-Noise CMOS VCO using RF SiP Technology," Asia-Pacific Microwave Conference (APMC), pp. 1777-1780, Bangkok, Thailand, December 2007.
- [160] Satoshi Fukuda, Hiroyuki Ito, Kazuhisa Itoi, Masakazu Sato, Tatsuya Ito, Ryoza Yamauchi, Kenichi Okada, and Kazuya Masu, "A 5.2GHz CMOS Low Noise Amplifier with High-Q Inductors Embedded in Wafer-Level Chip-Scale Package," International Workshop on RF Integration Technology (RFIT), pp. 34-37, Singapore, December 2007.
- [161] Hideki Hatakeyama, Kenichi Okada, Kazuma Ohashi, Yusaku Ito, Naoyuki Ozawa, Masakazu Sato, Takuya Aizawa, Tatsuya Ito, Ryoza Yamauchi, and Kazuya Masu, "Wafer-level-packaging inductor with extremely high quality factor and its application to 5.8GHz LC-type voltage controlled oscillator," Advanced Metallization Conference (AMC), pp. 8-9,

- Albany, New York, October, 2007; Advanced Metallization Conference, Asian Session (ADMETA), pp. 108-109, Tokyo, October, 2007.
- [162] Kazuya Miyashita, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "High Frequency Characteristics of On-Chip Wirings up to 110 GHz," Advanced Metallization Conference (AMC), pp. 103-104, Albany, New York, October, 2007; Advanced Metallization Conference, Asian Session (ADMETA), pp. 106-107, Tokyo, October, 2007.
- [163] Yuka Kobayashi, Kazuma Ohashi, Yusaku Ito, Hiroyuki Ito, Kenichi Okada, and Kazuya Masu, "A 0.49-6.50GHz Wideband LC-VCO with High-IRR in a 180 nm CMOS Technology," International Conference on Solid State Devices and Materials (SSDM), pp. 268-269, Tukuba, September, 2007.
- [164] Hiroyuki Ito, Makoto Kimura, Kenichi Okada, and Kazuya Masu, "A 8-Gbps Low-Latency Multi-Drop On-Chip Transmission Line Interconnect with 1.2-mW Two-Way Transceivers," IEEE Symposium on VLSI Circuits, pp. 136-137, Kyoto, June 2007.
- [165] Hiroyuki Ito, Junki Seita, Takahiro Ishii, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "A Low-Latency and High-Power-Efficient On-Chip LVDS Transmission Line Interconnect for a RC Interconnect Alternative," IEEE International Interconnect Technology Conference (IITC), pp. 193-195, San Francisco, June 2007.
- [166] Masayuki Hiromoto, Kentaro Nakahara, Hiroki Sugano, Yukihiro Nakamura, and Ryusuke Miyamoto, "A Specialized Processor Suitable for Adaboost-Based Detection With Haar-Like Features," in Proc. of IEEE Computer Society Conference on Computer Vision and Pattern Recognition (CVPR2007) (Minneapolis, Minnesota, USA), June 2007
- [167] M.Hashizume, Y.Ogata, M.Tojo, M.Ichimiya, H.Yotsuyanagi, "Interconnect Open Detection by Supply Current Testing under AC Electric Field Application," pp. 25-29, IEEE International Workshop on Current and Defect Based Testing (2007)
- [168] S. CHUN, Y. HAYAKAWA, K. NAKAJIMA, "A Hardware Neural Network for External Inspection," Proceedings of the 22nd Commemorative International Technical Conference on Circuits/Systems, Computers and Communications, Vol. 1, pp. 183-184 (2007)
- [169] S. CHUN, Y. HAYAKAWA, K. NAKAJIMA, "A Hardware Neuro-system for High Speed Inspection," Proceedings of The Joint International Conference of 4th International Symposium on System Construction of Global-Network-Oriented Information Electronics and Student-Organizing International Mini-Conference of Information Electronics System, pp. 338-339 (2007)
- [170] K.Maezawa, I.Soga, S.Kishimoto, T.Mizutani, K.Akamatsu, H.Nakada, "A GaAs SOI HEMT fabricated using fluidic self-assembly and its application to an RF-switch," 7th Topical Workshop on Heterostructure Microelectronics (2007) .
- [171] N. Kamegai, S. Kishimoto, K. Maezawa, T. Mizutani, H. Andoh, K. Akamatsu, H. Nakata, "Ultra-Short Pulse Generators Using Resonant Tunneling Diodes and Their Integration with Antennas on Ceramic Substrates," 2007 International Conference on Solid State Devices and Materials (2007).
- [172] K. Tanimura, R. Nara, S. Kohara, K Shimizu, Y. Shi, N. Togawa, M. Yanagisawa, T. Ohtsuki, "Scalable Unified Dual-Radix Architecture for Montgomery Multiplication in GF (P) and GF (2^n)," IEEE ASP-DAC 2008, Jan. 2008.
- [173] R. Nara, K. Shimizu, S. Kohara, N. Togawa, M. Yanagisawa, T. Ohtsuki, "An Area-Efficient GF (2^m) MSD Multiplier based on an MSB Multiplier for Elliptic Curve LSI," IEICE ITC-CSCC 2007, Vol. 1, pp. 36-37, Jul. 2007.
- [174] A. Ohchi, S. Kohara, N. Togawa, M. Yanagisawa, T. Ohtsuki, "Floorplan-aware High-level Synthesis for Distributed/Shared-Register Architectures," ITC-CSCC 2007, Jul. 2007.
- [175] Takashi Moue, Akira Matsuzawa "Σ Δ -Modulator with High Nearby Interferers Suppression by Transmission Zeroes," SASIMI, Sapporo, R1-14, Oct. 2007.
- [176] Win Chaivipas, Takeshi Ito, Takashi Kurashina, Kenichi Okada, and Akira Matsuzawa "Fine and Wide Frequency Tuning Digital Controlled Oscillators Utilizing Capacitance Position

Sensitivity in Distributed Resonators” A-SSCC, 16-1, pp 424-427, korea, jeju, Nov, 2007.

- [177] Kota Tanaka, Yasuhide Kuramochi, Takashi Kurashina, Kenichi Okada, and Akira Matsuzawa “A 0.026mm² Capacitance-to-Digital Converter for Biotelemetry Applications Using a Charge Redistribution Technique” A-SSCC, 9-1, pp 244-247, korea, jeju, Nov, 2007.
- [178] Yusuke Ikeda, Matthias Frey, and Akira Matsuzawa, “A 14-bit 100-MS/s Digitally Calibrated Binary-Weighted Current-Steering CMOS DAC without Calibration ADC” A-SSCC, 13-3, pp 356-359, korea, jeju, Nov, 2007.
- [179] Masaya Miyahara, Hiroki Endo, Akira Matsuzawa “The Effects of Switch Resistances on Pipelined ADC Performances and the Optimization for the Settling Time,” SASIMI, Sapporo, R1-15, Oct. 2007.
- [180] Takeshi Ito, Win Chaivipas, Kenichi Okada, and Akira Matsuzawa, “Dynamic Reconfigurable Si CMOS VCO Using a Transmission-Line Resonator with PMOS-Bias and PMOS-Crosscouple Topology,” IEEE Asia-Pacific Microwave Conference (APMC), pp. 1785-1788, Bangkok, Thailand, Dec. 2007.
- [181] Hong Phuc Ninh, Takashi Moue, Takashi Kurashina, Kenichi Okada, and Akira Matsuzawa, “CMOS Direct Sampling Mixer Using Switched Capacitor Filter Technique for Software-Defined Radio,” IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), pp. 103-104, Seoul, Korea, Jan. 2008.
- [182] Kazuto Nishi, Shingo Yoshizawa, Yoshikazu Miyanaga, “A Study of Dynamic Reconfigurable FFT Processor for OFDM Based Cognitive Radio,” IEEE International Symposium on Communications and Information Technologies (ISCIT), Oct. 2007.
- [183] Shingo Yoshizawa, Yoshikazu Miyanaga, “Use of a Variable Wordlength Technique in an OFDM Receiver to Reduce Energy Dissipation,” IEEE International Symposium on Circuits and Systems (ISCAS), pp. 3175-3178, May 2007.
- [184] Takayuki Sugawara, Shingo Yoshizawa, Yoshikazu Miyanaga, “Dynamic Reconfigurable Architecture for a Low-Power Despreader in VSF-OFCDM Systems,” IEEE International Symposium on Circuits and Systems (ISCAS), pp. 2287-pp. 2290, May 2007.
- [185] Y. Ikegami, Y. Arai, et al., “Evaluation of OKI SOI Technology,” Nuclear Instruments and Methods in Physics Research Section A, Vol. 579 (2007) 706-711.
- [186] Y. Arai, et al., , “SOI Pixel Developments in a 0.15 μ m Technology,” 2007 IEEE Nuclear Science Symposium Conference Record, N20-2, pp. 1040-1046.
- [187] Y. Ikegami, Y. Arai, et al., “Total Dose Effects on 0.15 μ m FD-SOI CMOS Transistors,” 2007 IEEE Nuclear Science Symposium Conference Record, N44-6, pp. 2173-2177.
- [188] T. Yamanoi, T. Endo, and H. Toshiyoshi, “A Hybrid-Assembled MEMS Fabry-Perot Wavelength Tunable Filter,” Sensors & Actuators (2007)
- [189] K. Yamashita, W. Sun, B. Charlot, K. Kakushima, H.Fujita, and H. Toshiyoshi, “Vacuum, temperature, and time dependencies of field-emission current for RF-MEMS applications” Journal of Microelectronic Engineering Vol. 84, pp. 1345-1353 (2007)
- [190] Kazuhiro Takahashi, Ho Nam Kwon, Makoto Mita, Kunihiko Saruta, Jong-Hyun Lee, Hiroyuki Fujita, and Hiroshi Toshiyoshi, “A silicon micromachined f-theta microlens scanner array by double-deck device design technique,” IEEE Journal of Selected Topics in Quantum Electronics, Vol. 13, No. 2, March/April 2007, pp. 277-282 (2007)
- [191] M. Nakada, C. Chong, K. Isamoto, A. Morosawa, H. Fujita and H. Toshiyoshi, “Design and Fabrication of Silicon Bulk Micromachined Optical Scanner for Medical Endoscope,” in Proc. 14th Int. Display Workshop, Sapporo Convention Center, Sapporo, Japan (2007).
- [192] C. Lo, O.-H. Huttunen, J. Petaja, J. Hast, A. Maaninen, H. Kopola, H. Fujita, H. Toshiyoshi, “Novel Printing Processes for MEMS Fabry-Perot Display Pixel,” in Proc. 14th Int. Display Workshop, Sapporo Convention Center, Sapporo, Japan (2007).
- [193] C. Lo, H. Fujita, and H. Toshiyoshi, “MEMS Fabry-Perot Pixels,” in Proc. 20th Annual Meeting of the IEEE/LEOS, Buena Vista Resort & Spa, Lake Buena Vista, Florida, US (2007) .
- [194] K. Takahashi, K. Suzuki, H. Funaki, K. Itaya,

- H. Fujita, and H. Toshiyoshi, "A study on optical diffraction characteristics of skewed MEMS pitch tunable gratings," in Proc. IEEE/LEOS Int. Conf. on Optical MEMS and Nanophotonics, Hualien, Taiwan, pp. 175-176 (2007).
- [195] A. Higo, H. Fujita, Y. Nakano, and H. Toshiyoshi, "Design and fabrication of photonic MEMS waveguide modulators," in Proc. IEEE/LEOS Int. Conf. on Optical MEMS and Nanophotonics, Hualien, Taiwan, pp. 173-174 (2007).
- [196] C. Lo, O.-H. Huttunen, J. Petaja, J. Hast, A. Maaninen, H. Kopola, H. Fujita, H. Toshiyoshi, "Capability of Realization of Roll-to-Roll Printed MEMS Fabry-Perot Display Pixels," Proc. 2nd Student Conference of Printing Future Days, Technical University of Chemnitz, Germany, pp. 19-24 (2007).
- [197] H. N. Kwon, M. Nakada, Y. Hirabayashi, A. Higo, M. Ataka, H. Fujita, and H. Toshiyoshi, "Bi-directionally driven metal cantilevers developed for optical actuation," in Proc. IEEE/LEOS Int. Conf. on Optical MEMS and Nanophotonics, Hualien, Taiwan, pp. 49-50 (2007).
- [198] Makoto Mita, Kazuhiro Takahashi, Manabu Ataka, Hiroyuki Fujita and Hiroshi Toshiyoshi, "Highly mobile 2D micro impact actuator for space applications," The 14th Int. Conf. on Solid-State Sensors, Actuators and Microsystems (Transducers '07), Lyon, France (2EC13.P) (2007).
- [199] Makoto Mita, Manabu Ataka, Tadashi Ishida, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Frequency transition phenomenon of self-oscillated micro cantilever by changing driving voltage," The 14th Int. Conf. on Solid-State Sensors, Actuators and Microsystems (Transducers '07), Lyon, France (2EL9.P) (2007).
- [200] Kazuhiro Takahashi, Makoto Mita, Hiroyuki Fujita, Hiroshi Toshiyoshi, Kazuhiro Suzuki, Hideyuki Funaki, and Kazuhiko Itaya, "Integrating high voltage driver circuits with bulk micromachined actuators," in Proc. 14th Int. Conf. on Solid-State Sensors, Actuators and Microsystems (Transducers '07), Lyon, France, pp. 1329-1332 (2EP9.P) (2007).
- [201] Toshio Yamanoi, Takashi Endo, and Hiroshi Toshiyoshi, "A hybrid-assembled MEMS Fabry-Perot wavelength tunable filter," The 14th Int. Conf. on Solid-State Sensors, Actuators and Microsystems (Transducers '07), Lyon, France (3EK10.P) (2007).
- [202] H. Kwon, A. Higo, and H. Toshiyoshi, "Chromium-Gold-Chromium Layered Bidirectional Cantilevers by Electro-static and Electro-thermal Actuation," in Proc. 6th Korean MEMS Conf., Jeju (2007).
- [203] Kazuhiro Takahashi, Makoto Mita, Hiroyuki Fujita, Hiroshi Toshiyoshi, "Topological Layer Switch Technique for Monolithically Integrated Electrostatic XYZ-stage," in Proc. 20th IEEE Int. Conf. on Micro Electro Mechanical Systems (MEMS 2007), Jan. 21-25, 2007, Kobe Portopia Hall and Kobe Portopia Hotel, Japan, pp. 651-654 (Poster M33) (2007).
- [204] Kazuhiro Takahashi, Hiroyuki Fujita, Hiroshi Toshiyoshi, Kazuhiro Suzuki, Hideyuki Funaki, and Kazuhiko Itaya, "Tunable Light Grating integrated with High-voltage Driver IC for Image Projection Display," in Proc. 20th IEEE Int. Conf. on Micro Electro Mechanical Systems (MEMS 2007), Jan. 21-25, 2007, Kobe Portopia Hall and Kobe Portopia Hotel, Japan, pp. 147-150 (TP28) (2007).
- [205] Masanao Tani, Masahiro Akamatsu, Yoshiaki Yasuda, and Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Two-Axis Piezoelectric Tilting Micromirror with a Newly Developed PZT-meandering Actuator," in Proc. 20th IEEE Int. Conf. on Micro Electro Mechanical Systems (MEMS 2007), Jan. 21-25, 2007, Kobe Portopia Hall and Kobe Portopia Hotel, Japan (Poster M35) (2007).
- [206] Honam, Kwon, Akio Higo, and Hiroshi Toshiyoshi, "Fabrication of Micro-tips by Lift Off Process with Contact Shadow Masking," in Proc. 2nd IEEE Int. Conf. on Nano/Micro Engineered and Molecular Systems (NEMS 2007), Jan. 16-19, 2007, Bangkok, Thailand (Poster 149) (2007).
- [207] A. Ahmadi, H.J. Mattausch, M.A. Abedin, T. Koide, Y. Shirakawa, and M.A. Ritonga, "Developing a Reliable Learning Model for Cognitive Classification Tasks Using an Associative Memory," Proceedings of the 2007 IEEE Symposium on Computational Intelligence

in Image and Signal Processing (CIISP2007), pp. 214-219, (2007.4)

- [208] T. Kumaki, T. Koide, H.J. Mattausch, Y. Kuroda, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Efficient vertical/horizontal-space 1D-DCT processing based on massive-parallel matrix-processing engine," Proceedings of the 2007 IEEE International Symposium on Circuits and Systems (ISCAS2007), pp. 525-528, (2007.5)
- [209] T. Kumaki, Y. Kono, M. Ishizaki, M. Tagami, T. Koide, H.J. Mattausch, T. Gyohten, H. Noda, Y. Kuroda, K. Dosaka, K. Arimoto and K. Saito, "CAM enhanced super parallel SIMD processor with high-speed pattern matching capability," Proceedings of IEEE International Midwest Symposium on Circuits And Systems (MWSCAS2007), pp. 803-806, (2007.8)
- [210] K. Johguchi, Y. Mukuda, S. Izumi, H. J. Mattausch and T. Koide, "A 0.6-Tbps, 16-port SRAM design with 2-stage-pipeline and multi-stage-sensing scheme," Proceedings of the 33rd European Solid-State Circuits Conference (ESSCIRC2007), pp. 320-323, (2007.9)
- [211] S. Sakakibara, M.A. Abedin, Y. Tanaka, A. Ahmadi, H. J. Mattausch and T. Koide, "Associative memory design realizing reference-pattern recognition and learning based on short/long-term storage concept," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 21-25, (2007.10)
- [212] M.A. Abedin, A. Ahmadi, Y. Tanaka, S. Sakakibara, T. Koide and H. J. Mattausch, "Hardware realization of two-stage pattern matching system using fully-parallel associative memories," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 32-37, (2007.10)
- [213] Y. Tanaka, M.A. Abedin, S. Sakakibara, T. Koide and H. J. Mattausch, "A fast differential-amplifier-based winner-search circuit for fully parallel associative memories," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 38-41, (2007.10)
- [214] K. Okazaki, K. Awane, K. Yamaoka, T. Koide, H. J. Mattausch, "Performance evaluation of region-growing image segmentation using two-dimensional image-block scanning," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 69-73, (2007.10)
- [215] T. Kumaki, M. Ishizaki, T. Koide, H.J. Mattausch, Y. Kuroda, H. Noda, K. Dosaka, K. Arimoto and K. Saito, "An effective parallel coding architecture utilizing characteristics of multimedia application," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 74-80, (2007.10)
- [216] M. Tagami, M. Ishizaki, T. Kumaki, Y. Kono, T. Koide, H. J. Mattausch, T. Gyohten, H. Noda, K. Dosaka, K. Arimoto and K. Saito, "Acceleration of Advanced Encryption Standard (AES) processing on a CAM enhanced super parallel SIMD processor," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp. 26-31, (2007.10)
- [217] S. Izumi, K. Johguchi, H.J. Mattausch and T. Koide, "Static-noise-margin analysis of major SRAM-cell types including production variations for a 90nm CMOS process," Proceedings of the 14th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2007), pp. 261-265, (2007.10)
- [218] Yosuke Takahashi, Yukihide Kohira, Atsushi Takahashi, "A Fast Clock Scheduling for Peak Power Reduction in LSI," In Proc. ACM Great Lakes Symposium on VLSI (GLSVLSI'07), pp. 582-587, March 13, 2007.
- [219] Makoto Takamiya, Tsuyoshi Sekitani, Yoshio Miyamoto, Yoshiaki Noguchi, Hiroshi Kawaguchi, Takao Someya, and Takayasu Sakurai, "Design for Mixed Circuits of Organic FETs and Plastic MEMS Switches for Wireless Power Transmission Sheet," IEEE International Conference on Integrated Circuit Design and Technology, pp. 168-171, June 1, 2007
- [220] Kohei Onizuka, Makoto Takamiya, Hiroshi Kawaguchi, and Takayasu Sakurai, "A design methodology of chip-to-chip wireless power transmission system," IEEE International Conference on Integrated Circuit Design and Technology, pp. 143-146, June 1, 2007

- [221] Yasumi Nakamura, Makoto Takamiya, and Takayasu Sakurai, "An On-Chip Noise Canceller with High Voltage Supply Lines for Nanosecond-Range Power Supply Noise," IEEE Symposium on VLSI Circuits, pp. 124-125, June 2007
- [222] D. Levacq, M. Yazid, H. Kawaguchi, M. Takamiya, and T. Sakurai, "Half VDD Clock-Swing Flip-Flop with Reduced Contention for up to 60% Power Saving in Clock Distribution," 33rd European Solid-State Circuits Conference (ESSCIRC), Munich, Germany, pp. 190-193, Sep. 2007
- [223] D. Levacq, T. Minakawa, M. Takamiya, and T. Sakurai, "A Wide Range Spatial Frequency Analysis of Intra-Die Variations with 4-mm 4000 x 1 Transistor Arrays in 90nm CMOS," IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp. 257-260, Sep. 2007
- [224] D. Levacq, M. Takamiya, and T. Sakurai, "Backgate Bias Accelerator for 10ns-order Sleep-to-Active Modes Transition Time," IEEE Asian Solid-State Circuits Conference (A-SSCC), Jeju, Korea, pp. 296-299, Nov. 2007
- [225] M. Amagasaki, R. Yamaguchi, K. Matsuyama, M. Iida and T. Sueyoshi, "A Variable Grain Logic Cell Architecture for Reconfigurable Logic Cores," Proc. 17th International Conference on Field Programmable Logic and Applications (FPL2007), pp. 550-553, Amsterdam, Netherlands, Aug. 2007.
- [226] R. Yamaguchi, M. Amagasaki, K. Matsuyama, M. Iida and T. Sueyoshi, "The Effect of Variable Grain Logic Cell Functionality on Area," Proc. 2007 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 11-2P-02, Okinawa, Japan, Sep. 2007.
- [227] K. Matsuyama, M. Amagasaki, R. Yamaguchi, M. Iida and T. Sueyoshi, "An Implementation Technique for Variable Grain Logic Cell to Reduce Delay and Configuration Memories," Proc. 2007 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 11-2P-03, Okinawa, Japan, Sep. 2007.
- [228] R. Yamaguchi, M. Amagasaki, K. Matsuyama, M. Iida and T. Sueyoshi, "A Novel Variable Grain Logic Cell Architecture with Multifunctionality," Proc. IEEE Region 10 International Technical Conference (TENCON2007), WeSC-O2.5, Taipei, Taiwan, Oct. 2007.
- [229] Y. Satou, M. Amagasaki, H. Miura, K. Matsuyama, R. Yamaguchi, M. Iida and T. Sueyoshi, "An Embedded Reconfigurable Logic Core based on Variable Grain Logic Cell Architecture," Proc. International Conference on Field-Programmable Technology 2007 (ICFPT'07), pp. 241-244, Kitakyushu, Japan, Dec. 2007.
- [230] A. Kumar, N. Miura and T. Kuroda, "Capacitor-Shunted Transmitter for Power Reduction in Inductive-Coupling Clock Link," International Conference on Solid State Devices and Materials (SSDM'07), Extended Abstracts, pp. 1068-1069, Sep. 2007.
- [231] Y. Yuxiang, Y. Yoshida, N. Yamagishi and T. Kuroda, "Chip-to-Chip Power Delivery by Inductive Coupling with Ripple Cancelling Scheme," International Conference on Solid State Devices and Materials (SSDM'07), Extended Abstracts, pp. 502-503, Sep. 2007.
- [232] V. Kulkarni, M. Muqsith, H. Ishikuro, and T. Kuroda, "A 750Mb/s 12pJ/b 6-to-10GHz Digital UWB Transmitter," IEEE Custom Integrated Circuits Conference (CICC'07), Dig. Tech. Papers, pp. 647-650, Sep. 2007.
- [233] Y. Yuxiang, Y. Yoshida, and T. Kuroda, "Non-Contact 10% Efficient 36mW Power Delivery Using On-Chip Inductor in 0.18-um CMOS," IEEE Asian Solid-State Circuits Conference (A-SSCC'07), Dig. Tech. Papers, pp. 115-118, Nov. 2007.
- [234] Y. Yoshida, N. Miura, and T. Kuroda, "A 2Gb/s Bi-Directional Inter-Chip Data Transceiver with Differential Inductors for High Density Inductive Channel Array," IEEE Asian Solid-State Circuits Conference (A-SSCC'07), Dig. Tech. Papers, pp. 127-130, Nov. 2007.
- [235] N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuroda, "An 11Gb/s Inductive-Coupling Link with Burst Transmission," IEEE International Solid-State Circuits Conference (ISSCC'08), Dig. Tech. Papers, pp. 298-299, Feb. 2008.
- [236] Liem T. Nguyen, Kiyoto Ito, and Tadashi Shibata, "A Compact and Power-Efficient Implementation of Rank Order Filters Using Time-Domain Digital Computation Technique,"

in Extended Abstracts of the 2007 International Conference on Solid State Devices and Materials (SSDM 2007), pp. 494-495, Tsukuba, Japan, Sep. 18-21, 2007

- [237] Trong Tu Bui and Tadashi Shibata, "A Compact Bell-Shaped Analog Matching Cell Module for Digital-Memory-Based Associative Processors," in Extended Abstracts of the 2007 International Conference on Solid State Devices and Materials (SSDM 2007), pp. 496-497, Tsukuba, Japan, Sep. 18-21, 2007.
- [238] Yusuke Niki, Yasuo Manzawa, Satoshi Kametani, and Tadashi Shibata, "A Moving-Object-Localization Hardware Algorithm Employing OR-Amplification of Pixel Activities," in Extended Abstracts of the 2007 International Conference on Solid State Devices and Materials (SSDM 2007), pp. 1062-1063, Tsukuba, Japan, Sep. 18-21, 2007.
- [239] Hirotsugu Shikano, Kiyoto Ito, Kazuhide Fujita, and Tadashi Shibata, "A Real-Time Learning Processor Based on K-means Algorithm with Automatic Seeds Generation," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 7-10, Tampere, Finland, Nov. 19-21, 2007.
- [240] Kiyoto Ito and Tadashi Shibata, "Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 23-26, Tampere, Finland, Nov. 19-21, 2007.
- [241] Kazuhide Fujita, Kiyoto Ito, and Tadashi Shibata, "A Feature-Based Optical Flow Processor Architecture Featuring Single-Motion-Vector/Cycle Generation," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 31-34, Tampere, Finland, Nov. 19-21, 2007.
- [242] S. Kubota, X. Xiao, K. Kimoto, and T. Kikkawa, "UWB Transmission Characteristics of Bow-tie Antennas on Si," Proc. of 2007 IEEE Antennas and Propagation Society International Symposium, pp. 769-772, Honolulu, Hawaii, USA, June 10-15, 2007.
- [243] K. Kimoto, N. Sasaki, M. Nitta, and T. Kikkawa, "Inter-chip Transmission Characteristics of Si On-chip Integrated Antennas," Proc. of

2007 IEEE Antennas and Propagation Society International Symposium, pp. 2514-2517, Honolulu, Hawaii, USA, June 10-15, 2007.

- [244] X. Xiao, S. Kubota, and T. Kikkawa, "Tumor Detection in A Multilayer Breast Structure," Proc. of 2007 International Symposium on Antennas and Propagation, p.92, Niigata, Japan, August 20-24, 2007.
- [245] S. Kubota, X. Xiao, K. Kimoto and T. Kikkawa, "UWB Transmission Characteristics of Bow-tie Antennas on Si," Ext. Abst. of the 2007 International Conference on Solid State Devices and Materials, Tsukuba, September 19-21, 2007, pp. 498-499.
- [246] X. Xiao and T. Kikkawa, "UWB Imaging for Early Breast Cancer Detection by Confocal Algorithm," Ext. Abst. of the 2007 International Conference on Solid State Devices and Materials, Tsukuba, September 19-21, 2007, pp. 976-977.
- [247] K. Kimoto, N. Sasaki and T. Kikkawa, "Scaling Characteristics of Si On-chip Integrated Antennas," Ext. Abst. of the 2007 International Conference on Solid State Devices and Materials, Tsukuba, September 19-21, 2007, pp. 1070-1071.
- [248] N. Sasaki, M. Fukuda, K. Kimoto and T. Kikkawa, "CMOS UWB Transmitter and Receiver with Silicon Integrated Antennas for Inter-chip Wireless Interconnection," Proc. of the 2008 IEEE Radio and Wireless Symposium, Orland Florida, January 22-24, 2008, pp. 795-798.
- [249] A. Shimizu, Y. Ishimaru, Y. Ishikawa, S. Fukai, "A neuron MOS current mirror with a fully differential amplifier," ITC-CSCC, Vol1, MDI-3, pp.27-28, 2007.
- [250] Y. Ishimaru, A. Shimizu, Y. Ishikawa and S. Fukai, "Multi-valued SRAM cell with FG-MOSFETs," ITC-CSCC, Vol1, ME1-1, pp. 31-32, 2007.
- [251] 谷村, 奈良, 小原, 史, 戸川, 柳澤, 大附, "Scalable Unified Dual-Radix Architecture for Montgomery Multiplication in GF (P) and GF (2n)," pp. 697-702, ASP-DAC2008 (2008).
- [252] 史, 中山, 戸川, 柳澤, 大附, "A Network Processor Synthesis System for Task-Chaining Network Applications," pp.369-374, SASIMI2007 (2007).
- [253] 史, 戸川, 柳澤, 大附, "Design for Secure

- Test -- A Case Study on Pipelined Advanced Encryption Standard," pp. 149-152, ISCAS2007 (2007).
- [254] 史, 戸川, 柳澤, 大附, "GECOM Test Data Compression Combined with All Unknown Response Masking," pp. 577-582, ASP-DAC2008 (2008).
- [255] Hiroki Matsutani, Michihiro Koibuchi, Daihan Wang, Hideharu Amano, "Run-Time Power Gating of On-Chip Routers Using Look-Ahead Routing," Proc. of the 13th Asia and South Pacific Design Automation Conference (ASP-DAC'08), pp. 55-60, Jan 2008.
- [256] Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano, "Tightly-Coupled Multi-Layer Topologies for 3-D NoCs," Proc. of the 36th International Conference on Parallel Processing (ICPP'07), CD-ROM (10 pages), Sep 2007.
- [257] Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano, "XNoTs! Crossbar-Connected Multi-Layer Topologies for 3-D NoCs," Proc. of the 10th IEEE International Symposium on Low-Power and High-Speed Chips (COOL Chips X), Poster session, pp. 136, Apr 2007.
- [258] Hideharu Amano, Yohei Hasegawa, Satoshi Tsutsumi, Takuro Nakamura, Takashi Nishimura, Vasutan Tunbunheng, "MuCCRA Chips! Configurable Dynamically Reconfigurable Processors," Proc. of 2007 Asian Solid-State Circuits Conference, pp. 280-284, Nov. 2007.
- [259] Yohei Hasegawa, Satoshi Tsutsumi, Vasutan Tanbunheng, Takuro Nakamura, Takashi Nishimura, and Hideharu AmaNo., "Design Methodology and Trade-offs Analysis for Parameterized Dynamically Reconfigurable Processor Arrays,," In Proc. of the 17th IEEE Int'l Conf. on Field-Programmable Logic and Applications (FPL2007), pp. 796-799, Amsterdam, Netherlands, August 2007.
- [260] Satoshi Tsutsumi, Vasutan Tunbunheng, Yohei Hasegawa, Adepu Parimala, Takuro Nakamura, Takashi Nishimura, and Hideharu AmaNo. "Overwrite Configuration Technique in Multicast Configuration Scheme for Dynamically Reconfigurable Processor Arrays,," In Proceedings of International Conference on Field Programmable Technology (ICFPT2007), pp. 273-276, December 2007.
- [261] Kazuya Tanigawa, Ryuji Hada, Tetsuo Hironaka and Akira Kojima, "A Reconfigurable Processor 'PARS' and its Compiler'," International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA'07), pp. 91-100, 2007.
- [262] Tetsuya Zuyama, Kazuya Tanigawa, Tetsuo Hironaka, "Development of DS-HIE Architecture," Proceedings of the ITC-CSCC 2007, Vol. 1, pp. 47-48, 2007
- [263] Asrulnizam, Matsumoto, "Low voltage charge-balanced capacitance-voltage conversion circuit for one-side-electrode-type fluid-based inclination sensor," Proc. of International Semiconductor Device Research Symposium 2007, WP9-04-04, December 12, 2007
- [264] Takafumi Suzuki, Osamu Fukayama, Noriyuki Taniguchi, Naoki Kotake, Shoji Takeuchi, Masanari Kunimoto, Kunihiro Mabuchi, "Development of neural probes and their applications to neuroprostheses," Japan-Italy International Seminar, (2007)
- [265] Takafumi Suzuki, Naoki Kotake, Kunihiro Mabuchi, Shoji Takeuchi, "Bundled Microfluidic Channels for Nerve Regeneration Electrodes, Proc of the 3rd International IEEE EMBS Conference on Neural Engineering, 17-18 (2007)
- [266] Shuaiqi WANG, Fule LI, Yasuaki INOUE, "A 12-bit 3.7-Msample/s Pipelined A/D Converter Based on the Novel Capacitor Mismatch Calibration Technique," SASIMI2007, pp. 97-103, October, 2007.
- [267] T. Fusayasu, S. Sano, Y. Tanaka, H. Hamagaki, "Development of a Frontend LSI for Radiation Imaging Detectors with Gas Electron Multipliers," 2007 IEEE Nuclear Science Symposium Conference, Oct. 27-Nov. 3, 2007, Hawaii.
- [268] K. Kiyoyama, Y. Yanaka, M. Onoda, T. Tanaka, M. Koyanagi, "A Passive Telemetry Interface System with Closed loop Power Control Function for Body-implanted Applications," 2007 IEEE Biomedical Circuits and Systems Conference in Canada, Nov. 2007, pp. 37-40.
- [269] Shoichi Kobayashi, Hideki Torizuka, Masahiro Yamaguchi, "Analysis of High Frequency Electromagnetic Noise above Operating LSI

Chip" 4th International Workshop of Tohoku University and Yeungnam University 2007 (matsushima, 2007)

- [270] R. Hashimoto, T. Matsumura, Y. Nozato, K. Watanabe, and T. Onoye, "Implementation of Object Attention Based on Multi-Agent Attractor Selection," In Proc. SISB, November 2007.
- [271] R. Hashimoto, K. Kato, G. Fujita, and T. Onoye, "VLSI Architecture of H.264 Rdo-Based Block Size Decision for 1080 HD," In Proc. PCS, November 2007.
- [272] "Simplified Low-Voltage CMOS Syllabic Companding Log Domain Filter," Ippei Akita, Kazuyuki Wada, and Yoshiaki Tadokoro, Proc. 2007 IEEE International Symposium on Circuits and Systems, pp. 2244-2247, May 2007.
- [273] "A 1.2-V 18-uW Bias Current Reuse Log Domain Filter for Hearing Aid Application," Ippei Akita, Kazuyuki Wada, and Yoshiaki Tadokoro, Proc. 2007 IEEJ Analog VLSI Workshop, pp. 105-108, Nov. 2007.
- [274] "Substrate Noise Cancellation Circuit Tolerant of Large Digital Circuit," Hiroto Suzuki, Kazuyuki Wada, and Yoshiaki Tadokoro, Proc. of the 3rd International Symposium on Communications, Control and Signal Processing (ISCCSP 2008), March 2008.
- [275] Toshiro Hiramoto, Kousuke Miyaji, and Masaharu Kobayashi (Invited), "Nanoscale Silicon Devices Using Nanostructure Physics for VLSI Applications," Fifth Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing, Campus Innovation Center (Tokyo), p. 32-35, January 29, 2007.
- [276] Toshiro Hiramoto, "Silicon Single-Electron Transistor Operating at Room Temperature," The 1st NNL-IIS Workshop on Nanotechnology, Institute of Industrial Science, University of Tokyo, p. 10, May 16, 2007.
- [277] Toshiro Hiramoto and Masaharu Kobayashi, "Characteristics Variation in Silicon Nanowire Transistors," 3rd International Nanotechnology Conference on Communication and Cooperation, Brussels, Bergium, April 17, 2007.
- [278] S. Lee, K. Miyaji, M. Kobayashi, and T. Hiramoto, "Novel Long-Range-Extension of Coulomb Blockade Region in Room-Temperature Operating Silicon Single-Hole Transistor," Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, pp. 115-116, June 10, 2007.
- [279] Arifin Tamsir Putra, Akio Nishida, Shiro Kamohara and Toshiro Hiramoto, "Random Vth Variation Induced by Gate Edge Fluctuations in Nanoscale MOSFETs," Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, pp. 73 4, June 10, 2007.
- [280] Keisuke Takahashi, Tetsu Ohtou, Arifin Tamsir Putra, Ken Shimizu, and Toshiro Hiramoto, "Body Factor and Leakage Current Reduction in Bulk FinFETs," Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, pp. 95-97, June 10, 2007.
- [281] Ken Shimizu and Toshiro Hiramoto, "Mobility Degradation in (110)-Oriented Ultra-thin Body Double-Gate pMOSFETs with SOI Thickness of less than 5nm," International Conference on Solid State Devices and Materials (SSDM), Tsukuba International Congress Center, pp. 732-733, September 20, 2007.
- [282] Toshiro Hiramoto, Kousuke Miyaji, and Masaharu Kobayashi (invited), "Transport in Silicon Nanowire and Single-Electron Transistor," International Conference on Simulation of Semiconductor Devices and Processes (SISPAD), Vienna University of Technology, Vienna, Austria, pp. 209-215, September 27, 2007.
- [283] Ken Shimizu and Toshiro Hiramoto, "Suppression of Electron Mobility Degradation in (100)-Oriented Double-Gate Ultra-Thin Body nMOSFETs with SOI Thickness of Less Than 2 nm," IEEE International SOI Conference, Miramonte Resort & Spa, Indian Wells, CA, USA, pp. 145-146, October 4, 2007.
- [284] T. Hiramoto (Invited), "Transport in Ultrathin SOI MOSFETs and Silicon Nanowire Transistors," The Electrochemical Society (ECS) Fall Meeting, Symposium on ULSI Integration 5, Washington Hilton, Washington D. C., USA, No. 1314, October 11, 2007.
- [285] Ken Shimizu and Toshiro Hiramoto, "Mobility Enhancement in Uniaxially Strained (110) oriented Ultra-Thin Body Single- and Double-Gate

- MOSFETs with SOI Thickness of less than 4 nm,” International Electron Devices Meeting (IEDM), Washington Hilton, Washington D. C., USA, pp. 715-718, December 12, 2007.
- [286] Keisuke Takahashi, Arifin Tamsir Putra, and Toshiro Hiramoto, “FinFETs with Both Large Body Factor and High Drive-Current,” International Semiconductor Device Research Symposium (ISDRS), University of Maryland, College Park, MD, USA, WP9-01-11, December 12, 2007.
- [287] Toshiro Hiramoto, Gen Tsutsui, Ken Shimizu, and Masaharu Kobayashi (Invited), “Transport in Ultra-Thin-Body SOI and Silicon Nanowire MOSFETs,” International Semiconductor Device Research Symposium (ISDRS), University of Maryland, College Park, MD, USA, TA6-02, December 13, 2007.
- [288] Toshiro Hiramoto, “Advanced Ultra-Thin-Body SOI and Silicon Nanowire MOSFETs,” International Symposium on Secure-Life Electronics – Advanced Electronics for Quality Life and Society – , University of Tokyo, March 7, 2008.
- [289] Koji Kotani and Takashi Ito, “High Efficiency CMOS Rectifier Circuit with Self-V_{th}-Cancellation and Power Regulation Functions for UHF RFIDs,” IEEE Asian Solid-State Circuits Conference 2007 (A-SSCC 2007), pp. 119-122, Jeju, Korea, Nov.12-14, 2007
- [290] Sanjeeva Dissanayake, Satoshi Sugahara, Mitsuura Takenaka and Shinichi Takagi, “Fabrication of (110) GOI Layers by Ge Condensation of SiGe/ (110) SOI Structure and Application to pMOSFET Devices,” International Symposium on Control of Semiconductor Interfaces (ISCSI2007), November 12-14, 2007 Hajioji, Japan.
- [291] S. Takagi, T. Uehara, S. Tanabe, H. Matsubara, R. Nakane, M. Takenaka and S. Sugahara, “Effects of Atomic Hydrogen Annealing on Reduction of Leakage Current in Ultrathin Si/Ge/Si-On-Insulator Metal Source/Drain p-Channel MOSFETs,” 34th International Symposium on Compound Semiconductors (ISCS2007), October 15-18, 2007 Kyoto, Japan.
- [292] T. Hoshiia, M. Deuraa, M. Sugiyamaa, R. Nakanea, S. Sugaharab, M. Takenakaa, Y. Nakanoa, and S. Takagi, “Control of Lateral and Vertical Growth of InGaAs on Selective Areas of (111) Si Substrates using MOVPE for III-V FET Applications,” 34th International Symposium on Compound Semiconductors (ISCS2007), October 15-18, 2007 Kyoto, Japan.
- [293] M. Takenaka, K. Takeda, Y. Kanema, M. Raburn, T. Miyahara, H. Uetsuka, and Y. Nakano, “MMI bistable laser diode optical flip-flops for all-optical packet switching networks,” Lasers and Electro-Optics Society (LEOS’ 07), Florida, October 2007 (Invited paper).
- [294] T. Tanemura, M. Takenaka, A. Abdullah, K. Takeda, T. Shioda, M. Sugiyama, and Y. Nakano, “Design and fabrication of integrated 1 × 5 optical phased array switch on InP,” Lasers and Electro-Optics Society (LEOS’ 07), Florida, October 2007.
- [295] T. Hoshii, M. Deura, M. Shichijo, M. Sugiyama, S. Sugahara, M. Takenaka, Y. Nakano, and S. Takagi, “Formation of InGaAs-On-Insulator structures by epitaxial lateral over growth from (111) Si,” International Conference on Solid State Devices and Materials (SSDM’ 07), Tsukuba, September 2007.
- [296] S. Dissanayake, S. Sugahara, M. Takenaka and S. Takagi, “Fabrication of (110) GOI Layers by Ge Condensation of SiGe/ (110) SOI Structure and Application to pMOSFET Devices,” 2nd International Conference on Industrial and Information Systems (ICIIS 2007), University of Peradeniya, Sri Lanka, 8-11/08/2007.
- [297] M. Takenaka, K. Takeda, Y. Kanema, M. Raburn, T. Miyahara, H. Uetsuka, and Y. Nakano, “MMI-BLD optical flip-flop for all-optical packet switching,” Photonics in Switching (PS’ 07), San Francisco, August 2007 (Invited paper).
- [298] Tsuyoshi Sadakata and Yusuke Matsunaga, “An Efficient Performance Improvement Method Utilizing Specialized Functional Units in Behavioral Synthesis,” Proceedings of 13th Asia and South Pacific Design Automation Conference (ASP-DAC 2008), pp. 32-35, Jan. 2008.
- [299] Tsuyoshi Sadakata and Yusuke Matsunaga, “Performance Improvement Methods Utilizing Complex Functional Units in Behavioral

Synthesis,” Proceedings of 2007 IFIP International Conference on Very Large Scale Integration (VLSI-SoC 2007), pp. 6-7, Oct. 2007.

- [300] Tohru Ishihara and Maziar Goudarzi, “[Invited Paper] System-Level Techniques for Estimating and Reducing Energy Consumption in Real-Time Embedded System,” International SoC Design Conference, pp. 67-72, Oct. 2007.
- [301] Maziar Goudarzi, Tadayuki Matsumura and Tohru Ishihara, “Taking Advantage of Within-Die Delay-Variation to Reduce Cache Leakage Power Using Additional Cache-Ways,” International Workshop on Dependable Embedded Systems, Oct. 2007.
- [302] Tohru Ishihara, “Energy-Efficient Embedded System Design at 90nm and Below - A System-Level Perspective -,” Springer-Verlag LNCS, Vol. 4759, pp. 452-465, Jan. 2008.
- [303] Maziar Goudarzi, Tohru Ishihara, and Hamid Noori, “Variation-Aware Software Techniques for Cache Leakage Reduction using Value-Dependence of SRAM Leakage due to Within-Die Process Variation,” High Performance Embedded Architectures and Compilers (HiPEAC), Vol. LNCS 4917, pp. 224-239, Jan. 2008.
- [304] Toshinori Sato and Yuji Kunitake, “Exploiting Input Variations for Energy Reduction,” 17th International Workshop on Power and Timing Modeling, Optimization and Simulation, pp. 384-393, Sep. 2007.
- [305] Toshinori Sato and Yuji Kunitake, “Critical Issues Regarding A Variation Resilient Flip-Flop,” 14th Workshop on Synthesis and System Integration of Mixed Information Technologies, pp. 280-286, Oct. 2007.
- [306] Tadayuki Matsumura, Yriko Ishitobi, Tohru Ishihara, Maziar Goudarzi and Hiroto Yasuura, “A Hybrid Memory Architecture for Low Power Embedded System Design,” Proceedings of the Workshop on Synthesis And System Integration of Mixed Information Technologies, pp. 56-62, Oct. 2007.
- [307] Yuichiro Oyama, Tohru Ishihara, Toshinori Sato and Hiroto Yasuura, “A Multi-Performance Processor for Low Power Embedded Applications,” Proc. of COOL Chips X IEEE Symposium on Low-Power and High-Speed

Chips, Vol. 1, pp. 138, Apr. 2007.

- [308] Yuriko Ishitobi, Tohru Ishihara and Hiroto Yasuura, “Code placement for Reducing the Energy Consumption of Embedded Processors with Scratchpad and Cache Memories,” Proc. of 2007 IEEE/ACM/IFIP Workshop on Embedded Systems for Real-Time Multimedia, pp. 13-18, Oct. 2007.
- [309] T. Takahashi, K. Mizusawa, and T. Hanyu, “Asynchronous Peer-to-Peer Simplex/Duplex-Compatible Communication System Using a One-Phase Signaling Scheme,” Proc. 37th IEEE International Symposium on Multiple-Valued Logic, Vol. 37, May 2007.
- [310] H. Shirahama, A. Mochizuki, T. Hanyu, M. Nakajima, and K. Arimoto, “Design of a Processing Element Based on Quaternary Differential Logic for a Multi-Core SIMD Processor,” Proc. 37th IEEE International Symposium on Multiple-Valued Logic, Vol. 37, May 2007.
- [311] A. Mochizuki, M. Miura, and T. Hanyu, “Active-Load Differential Comparator for Crosstalk-Noise Reduction,” Proc. 37th IEEE International Symposium on Multiple-Valued Logic, Vol. 37, May 2007.
- [312] Naoya Onizawa, Tomokazu Ikeda, Takahiro Hanyu, and Vincent C. Gaudet, “3.2-Gb/s 1024-b Rate-1/2 LDPC Decoder Chip Using a Flooding-Type Update-Schedule Algorithm,” Proc. 50th IEEE Midwest Symposium on Circuits and Systems (MWSCAS), pp. 217-220, Aug. 2007.
- [313] Kei Kimura and Takahiro Hanyu, “A Standby-Power-Free TCAM Based on TMR Logic,” Proc. 50th IEEE Midwest Symposium on Circuits and Systems (MWSCAS), pp. 855-858, Aug. 2007.

3. 国内学会，研究会等

- [1] 牛木慎祐、中村浩一、清水一範、後藤 敏、池永 剛、“メモリベース並列化FFT回路におけるメモリマッピング法,” 電子情報通信学会総合大会, C-12-21, Mar. 2008.
- [2] 牛木慎祐、中村浩一、清水一範、王 棋、阿部裕太、後藤 敏、池永 剛、“LDPC符号化OFDM方式における高速ベースバンド処理アーキテクチャの提案,” 電子情報通信学会集積回路研究会, Mar. 2008.

- [3] 堤野 匠, 鈴木 雄二, 笠木 伸英, 柏木 王明, 森澤 義富, “大変形MEMS振動構造を有したエレクトレット発電器の開発,” pp. 35-36, 日本機械学会第12回動力・エネルギー技術シンポジウム講演論文集 (2007).
- [4] 鈴木 雄二, “マイクロ熱流体システム – MEMSと熱工学の接点 –,” pp. 9-14, 日本機械学会熱工学コンファレンス, キーノート, (2007).
- [5] 乾, 藤島, “伝送線路の曲げ部分における実効長の短縮,” 第12回シリコンアナログRF研究会 (群馬) 2007年6月
- [6] 神林, 藤島, “高周波ミキサ回路における寄生発振,” 第12回シリコンアナログRF研究会 (群馬) 2007年6月
- [7] 神林, 藤島, “ミリ波ダウンコンバージョンミキサの電流ブリーディング,” 第13回シリコンアナログRF研究会 (札幌) 2007年9月
- [8] 夏莉, 藤島, “ショートダミーパターンの寄生抵抗による評価誤差,” 第13回シリコンアナログRF研究会 (札幌) 2007年9月
- [9] 本良, 藤島, “トレンチ加工によるVCO位相雑音の改善,” 第11回システムLSIワークショップ (北九州) 2007年11月
- [10] 乾, 藤島, “低消費電力技術を用いた60GHzCMOS増幅器,” 第11回システムLSIワークショップ (北九州) 2007年11月
- [11] 神林, 藤島, “オンチップバランを用いた50GHz帯ダブルバランスアップコンバージョンミキサ,” 第11回システムLSIワークショップ (北九州) 2007年11月
- [12] 後藤, 藤島, “微小インダクタの精密評価を可能にするThrough-only De-embed,” 第11回システムLSIワークショップ (北九州) 2007年11月
- [13] 高野, 本良, 藤島, “パルス注入同期型周波数通倍器,” 第11回システムLSIワークショップ (北九州) 2007年11月
- [14] 本良, 藤島, “VCO フェーズノイズ低減のためのシリコン基板のトレンチ加工,” 第14回シリコンアナログRF研究会 (千葉) 2007年11月
- [15] 神林, 藤島, “60GHz高利得電流駆動受動CMOSミキサ,” 電子情報通信学会総合大会 (北九州) 2008年3月
- [16] オウトウ, 藤島, “CMOS注入同期用直交出力電圧制御発振器,” 電子情報通信学会総合大会 (北九州) 2008年3月
- [17] 川口 博, 高宮 真, 関谷 毅, 宮本喜生, 野口儀晃, 染谷隆夫, 桜井貴康, “有機トランジスタとプラスチックMEMSスイッチを集積化した無線電力伝送シート向けの回路技術,” 電子情報通信学会, 信学技報, ICD2007-63, pp. 153-158, 神戸, 2007年7月.
- [18] 中村安見, 高宮 真, 桜井貴康, “高圧電源線を用いたオンチップ電源線ノイズキャンセラ,” 電子情報通信学会, 信学技報, ICD2007-85, pp. 91-94, 北見, 2007年8月.
- [19] 関谷 毅, 野口儀晃, 中野慎太郎, 加藤祐作, 高宮 真, 桜井貴康, 染谷隆夫, “印刷技術を用いた有機トランジスタ・接点スイッチと大面積ワイヤレス電力伝送シート,” 2007年秋季第68回応用物理学会学術講演会, 8a-D-1, 札幌, 2007年9月.
- [20] 周 志偉, 劉 樂昌, 高宮 真, 桜井貴康, “線形性に優れたデジタル制御しきい電圧可変コンパレータ,” 電子情報通信学会ソサイエティ大会, C-12-18, 鳥取, 2007年9月
- [21] 王 瑤, 鬼塚浩平, 高宮 真, 桜井貴康, “室内マルチオブジェクトの空間的位置同定システムに関する一検討,” 電子情報通信学会ソサイエティ大会, C-12-30, 鳥取, 2007年9月
- [22] 新山太郎, 朴 哲, 高宮 真, 桜井貴康, “オンチップ太陽電池駆動287mV, 13.3MHzリングオシレータ,” 電子情報通信学会ソサイエティ大会, C-12-36, 鳥取, 2007年9月
- [23] 宮本喜生, 高宮 真, 桜井貴康, “UWBインパルス無線向けパルス生成回路,” 電子情報通信学会ソサイエティ大会, C-12-37, 鳥取, 2007年9月
- [24] 中村安見, 高宮 真, 桜井貴康, “高圧電源線を用いたオンチップ電源線ノイズキャンセラとその設計,” 電子情報通信学会, 信学技報, ICD2007-143, pp. 22-27, 東京, 2008年1月.
- [25] 池内克之, 稲垣賢一, 高宮 真, 桜井貴康, “容量結合非接触コネクタを実現する集積回路の検討,” 電子情報通信学会総合大会, C-12-8, 北九州, 2008年3月
- [26] 金ヒョンギョン, 稲垣賢一, 高宮 真, 桜井貴康, “チップ間非接触容量結合・誘導結合共用インターフェイス回路の可能性の検討,” 電子情報通信学会総合大会, C-12-9, 北九州, 2008年3月
- [27] 童 大亮, 稲垣賢一, 高宮 真, 桜井貴康, “CMOSイメージャ回路の低電圧化の検討,” 電子情報通信学会総合大会, C-12-24, 北九州, 2008年3月
- [28] 柳 至善, 新山太郎, 高宮 真, 桜井貴康, “バルクCMOS プロセスで作製したオンチップ太陽電池のSOIとの比較と光センサへの応用,” 電子情報通信学会総合大会, C-12-26, 北九州, 2008年3月
- [29] 安福 正, 石田光一, 高宮 真, 竹内 健, 桜井貴康, “オンチップ昇圧向けブーストコンバー

タにおけるインダクタの寄生抵抗の影響,” 電子情報通信学会総合大会, C-12-32, 北九州, 2008年3月

- [30] 石田光一, 安福 正, 高宮 真, 竹内 健, 桜井貴康, “オンチップ昇圧向けブーストコンバータにおけるMOSダイオード損失の検討,” 電子情報通信学会総合大会, C-12-33, 北九州, 2008年3月
- [31] 稲垣賢一, ダナルドノアントノ, 高宮 真, 桜井貴康, “オンチップサンプリングオシロスコープ内タイミング生成回路用タイミング分解能測定回路,” 電子情報通信学会総合大会, C-12-38, 北九州, 2008年3月
- [32] 朴 哲, 新山太郎, 高宮 真, 桜井貴康, “リングオシレータを用いた90nm CMOS 論理ゲートの動作下限電源電圧の実測,” 電子情報通信学会総合大会, C-12-39, 北九州, 2008年3月
- [33] 柵木雄介, 中村安見, 高宮 真, 桜井貴康, “ユビキタスエレクトロニクスに向けた直流電源・信号線共用LSI回路技術の検討,” 電子情報通信学会総合大会, C-12-52, 北九州, 2008年3月
- [34] 高橋俊彦, 杉本泰博, “高精度なPMOSサンプリングスイッチの構成に関する検討,” 電子情報通信学会 2007年ソサイエティ大会論文集, C-12-21, p.76.
- [35] 荻野達也, 杉本泰博, “オンチップ・スパイラルインダクタの周辺の磁界分布の検討,” 電子情報通信学会 2007年ソサイエティ大会論文集, C-12-40, p.95.
- [36] 川端千尋, 海村静和, 杉本泰博, “電流モードDC-DCコンバータ回路において入出力に依存しない周波数特性を得るためのスローブ補償に関する検討,” 電子情報通信学会 2008年総合大会論文集, C-12-31, p121.
- [37] 荻野達也, 杉本泰博, “ダミーメタルがオンチップ・スパイラルインダクタに与える影響の検討,” 電子情報通信学会 2008年総合大会論文集, C-12-56, p146.
- [38] 飯島健太, 加藤大介, 杉本泰博, “CMOS-LNAでNFを最小とするTrサイズの最適化に関する検討,” 電子情報通信学会 2008年総合大会論文集, C-12-63, p153.
- [39] 中村裕亮, 杉本泰博, “チャージポンプ方式降圧型DC-DCコンバータの高効率化に関する検討,” 電子情報通信学会 2007年ソサイエティ大会論文集, C-12-17, p.72.
- [40] 谷内出悠介・池田 誠・浅田邦博, “高速三次元計測における三次元演算のFPGAによる実現,” A-3-6, p. 50, 電子情報通信学会ソサイエティ大会 (2007)
- [41] Hai Dinh Minh Pham・飯塚哲也・池田 誠・浅田邦博, “キャラクタプロジェクトンによる電子ビーム直描画技術におけるショット削減手法,” A-3-12, p. 56, 電子情報通信学会ソサイエティ大会 (2007)
- [42] 猪飼啓太・池田 誠・浅田邦博, “縞状シリコン薄膜トランジスタのためのデジタル回路設計,” A-3-13, p. 57, 電子情報通信学会ソサイエティ大会 (2007)
- [43] 栗原健一郎・飯塚哲也・池田 誠・浅田邦博, “セルレイアウトに対する光学パターン転写工程のばらつき耐性評価,” A-3-15, p. 59, 電子情報通信学会ソサイエティ大会 (2007)
- [44] YunKyung Kim・池田 誠・浅田邦博, “CMOSイメージセンサの多層配線層による光減衰の解析,” A-3-17, p. 61, 電子情報通信学会ソサイエティ大会 (2007)
- [45] Caner Basci, M. Ikeda, and K. Asada, “A Current-Mode Pixel-level Ambient Light Suppression Scheme for CMOS Smart Image Sensors,” Proc. of IEICE Society Conference 2007, C-12-7, p. 62, Sep. 2007
- [46] 中田尚, 中島康彦, “異種命令混在実行のためのVLIW型命令キューの設計,” IPSJ SIG Technical Report, 2007-ARC-175, pp89-94, Nov. (2007)
- [47] 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦 “細粒度命令分解と少品種セルによる高信頼化アーキテクチャの提案,” IPSJ SIG Technical Report, 2007-ARC-175, pp61-66, Nov. (2007)
- [48] 里山宏平, 中田尚, 中西正樹, 山下茂, 中島康彦 “SRAMベースFPGAにおける耐ソフトエラーLUT構成法,” IEICE Technical Report, RECONF2007-43, pp. 1-6, Nov. (2007)
- [49] 片岡晶人, 中田尚, 中島康彦 “アウトオブオーダー実行におけるマルチバンク構成レジスタファイルの評価,” 平成19年度情報処理学会関西支部大会講演論文集, pp. 121-124, Oct. (2007)
- [50] 須賀圭一, 山原幹雄, 中田尚, 中島康彦 “異種命令セットを同時に実行するマルチスレッディング・プロセッサの構成,” SWoPP2007, Aug (2007)
- [51] 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦 “少品種高信頼セルによる演算器の提案と評価,” IEICE Technical Report, DC2008-??, Mar. (2008)
- [52] 山原幹雄, 中田尚, 中島康彦 “異種命令混在実行プロセッサにおけるプロセススケジューリング手法,” 情処研報 2008-ARC-177 pp. 73-78, Mar.

- (2008)
- [53] 金, 今井, 中村, 南谷, “プロセス変動を考慮した電流制御による低消費電力化手法,” 電子情報通信学会技術研究報告 VLD2007-76, pp. 37-42 (2007)
- [54] 志田, 柴田, 小栗, “リコンフィギャラブルマシン SRC-6におけるDMA転送の最適化手法,” 信学技報, Vol. 107, No. 418, RECONF2007-55, pp. 25-30, (2008).
- [55] 志田, 柴田, 小栗, “リコンフィギャラブルマシン SRC-6を用いた海洋モデルシミュレーションの実装検討,” 信学技報, Vol. 107, No. 41, RECONF2007-4, pp. 19-24, (2007).
- [56] 山田, 岩永, 柴田, 長名, 吉見, 岩岡, 西川, 小嶋, 天野, 舟橋, 広井, 北野, 小栗, “生化学シミュレータ ReCSiPにおける反応速度式共有化,” 信学技報, Vol. 107, No. 41, RECONF2007-3, pp. 13-18, (2007).
- [57] 松林, 新野, 荒巻, 柴田, 小栗, “ストリーム型テンプレートマッチングを用いた三次元情報抽出,” 信学技報, Vol. 107, No. 340, RECONF2007-35, pp. 19-24, (2007).
- [58] 松田, 中司, “0.35 μ m CMOS 5次バタワーススイッチトキャパシタLPFの設計,” 06-1p-05, 第60回電気関係学会九州支部連合大会 (2007).
- [59] 松尾, 杉野, 中司, “センサシステム用スイッチトキャパシタノッチフィルタの設計,” 06-1p-04, 第60回電気関係学会九州支部連合大会 (2007).
- [60] 杉野, 中司, “センサ信号処理アナログフロントエンド用チョップスタビライズドアンプの設計,” 06-1P-03, 第60回電気関係学会九州支部連合大会 (2007).
- [61] 河村, 松元, 松藤, “M-ary/ASK-DS-SS方式の送受信機の試作,” 第9回IEEE広島支部学生シンポジウム論文集, (c) 通信, B-19 (2007).
- [62] 洲脇, 松元, 松藤, “光ZCZ-CDMA方式の伝送実験,” 電子情報通信学会技術研究報告, CS2007-73, pp. 1-4 (2008).
- [63] 神田夏輝, 小西邦昭, 五神真, “金属薄膜キラル格子によるTHz波の偏光操作” 日本物理学会秋季大会, 北海道大学, 2007-09.
- [64] 五神真, “光波を制御する新しい人工物質” 日本物理学会, 科学セミナー, 電気通信大学, 2007-08.
- [65] 五神真, “2次元人工キラル金属格子における巨大旋回性” 豊田理研セミナー, 豊田理化学研究所, 2007-09.
- [66] 五神真, “2次元キラル格子による光波制御” ナノ量子情報エレクトロニクスシンポジウム, 駒場キャンパス, 2007-10.
- [67] 五神真, “電子系の多体量子相関とその光制御機能 - 光と物質の科学の新展開 -” ST-SORST (物理・情報系) フォーラム2007 新“物質・機能”の開拓と未来への展望, 日本科学未来館, 2007-11.
- [68] 五神真, “人工構造によるTHz領域偏波制御” 応用物理学会・量子エレクトロニクス研究会・テラヘルツ電磁波技術研究会 合同研究会 上智大学 軽井沢セミナーハウス, 2008-01
- [69] 星野, 森島, “微小骨格を有する筋細胞駆動マイクロマニピュレータ,” P07, 第3回LSW研究会シンポジウム, 札幌, 1月12日 (2008)
- [70] 星野, 森島, “メカノバイオニックツールの構築 - 筋収縮により駆動するマイクロマニピュレータ-,” 3F16, 第25回日本ロボット学会学術講演会, 津田沼, 9月15日 (2007).
- [71] 田井野徹, 渡邊穰, 佐藤広海, 明連広昭, 高田進, “超伝導トンネル接合フォトン検出器の構造とその特性,” 電子情報通信学会超伝導エレクトロニクス研究会, 機械振興会館, (2007.7).
- [72] 松原毅, 田井野徹, 明連広昭, 高田進, “エピタキシャル成長Nb電極を用いた超伝導トンネル接合,” 第68回応用物理学学術講演会講演予稿集, p. 308 (2007.9.5).
- [73] 明連広昭, 馬田祐輔, 松井雄二, 田井野徹, 高田進, “超伝導ナノワイヤーを用いた光-SFQ変換スイッチ,” 第68回応用物理学学術講演会講演予稿集, p. 313 (2007.9.5).
- [74] 藤澤祐介, 田井野徹, 明連広昭, 菊地克弥, 仲川博, 青柳昌宏, 佐藤広海, 高田進, “コイル集積型STJ検出器におけるコイル巻き数と発生磁場の関係,” 第68回応用物理学学術講演会講演予稿集, p. 305 (2007.9.5).
- [75] 鎌田幸佑, 田井野徹, 明連広昭, 高田進, “Al系超伝導トンネル接合素子の作製と電気的特性,” 第68回応用物理学学術講演会講演予稿集, p. 305 (2007.9.5).
- [76] 石井宏和, 田井野徹, 大谷知行, 渋谷孝幸, 有吉誠一郎, 佐藤広海, 明連広昭, 高田進, “基板吸収型並列STJアレイ検出器によるTHz検出器の高感度化,” 第68回応用物理学学術講演会講演予稿集, p. 305 (2007.9.5).
- [77] 松井雄二, 田井野徹, 明連広昭, 高田進, “光インターフェース用SFQ発生回路の設計,” 2007年電子情報通信学会ソサイエティ大会講演論文集, p. 30 (2007.9.11).
- [78] 吉澤有, 田井野徹, 明連広昭, 高田進, “超伝導トンネル接合素子アレイ用MUXの設計,” 2007年電子情報通信学会ソサイエティ大会講演論文集, p. 31

(2007.9.11).

- [79] 飯野智, 田井野徹, 明連広昭, 高田進, “デジタルDROS用SFQアップダウン回路の設計, 2007年電子情報通信学会ソサイエティ大会講演論文集, p. 32 (2007.9.11).
- [80] 鎌田幸佑, 田井野徹, 佐藤広海, 明連広昭, 高田進, “AI系超伝導トンネル接合素子の作製と評価, 電子情報通信学会超伝導エレクトロニクス研究会, 電子情報通信学会研究会資料, 機械振興会館, (2008.1).
- [81] 吉澤有, 田井野徹, 明連広昭, 高田進, “超伝導トンネル接合素子アレイ用MUXの高速動作, 2008年電子情報通信学会総合大会講演論文集, (2008.3).
- [82] 松原毅, 田井野徹, 明連広昭, 高田進, “MgO (100) 基板上的異なる配向性を持つNb電極を用いた超伝導トンネル接合, 第55回応用物理学学術講演会講演予稿集, (2008.3).
- [83] 季立源, 田井野徹, 明連広昭, 高田進, “rf-SQUIDの状態読み出し用SFQセルの設計, 第55回応用物理学学術講演会講演予稿集, (2008.3).
- [84] 中山賢一, 杉田俊超, 浜本隆之, 児玉和也, “高速2次元動きベクトル検出イメージセンサの設計と試作,” 映情学技報, Vol. 31, No. 28, pp. 33-36 (2007).
- [85] 大野英, 樽木久征, 小野文枝, 浜本隆之, 佐々木朋詩, 白井稔人, 坂井正善, “広ダイナミックレンジ物体検出用イメージセンサ,” 信学技報, Vol. 107, No. ICD-163, pp. 183-188 (2007).
- [86] 大野英, 樽木久征, 浜本隆之, 小野文枝, 佐々木朋詩, 白井稔人, 坂井正善, “アクティブな物体検出のための広ダイナミックレンジイメージセンサ,” Image Media Processing Symposium (IMPS07), 11-03, pp. 23-24 (2007).
- [87] 土井俊輔, 浜本隆之, “動き検出機能を搭載した広ダイナミックレンジイメージセンサ,”
- [88] 原彰宏, 浜本隆之, “蓄積時間重心を合わせて明るさや動きに適應するイメージセンサ,”
- [89] 森田浩之, 浜本隆之, “車載用スマートイメージセンサのための動き方向検出処理,” Image Media Processing Symposium (IMPS07), 14-10, pp. 91-92 (2007).
- [90] 森田浩之, 浜本隆之, “動き方向検出機能を有する車載用イメージセンサ,” 映情学技報, Vol. 31, No. 60, pp. 21-24 (2007).
- [91] 柳原悠一, 柏山英輝, 浜本隆之, “多重フォーカス撮像による新たな距離計測方式とイメージセンサへの実装,” 映情学技報, Vol. 31, No. 60, pp. 45-48 (2007).
- [92] 加賀美智子, 鈴木史継, 浜本隆之, “明るさ分布適應により広ダイナミックレンジ撮像と非線形階調圧縮を実現するイメージセンサ,” 2007映像情報メディア学会年次大会, 13-5, 2pages (2007).
- [93] 鈴木, 中田, 中西, 山下, 中島, “少品種高信頼セルによる演算器の提案と評価,” 信学技報 2007-DC, 2008.
- [94] 鈴木, 中田, 中西, 山下, 中島, “細粒度命令分解と少品種セルによる高信頼化アーキテクチャの提案,” 情処研報, 2007-ARC-175, pp. 1-6, 2007.
- [95] 池田, 難波, 伊藤, “SEU/SET対策FFを用いた遅延故障テスト容易化スキーム構造,” 信学'08総大, 2008年3月.
- [96] 加藤, 難波, 伊藤, “遅延故障テスト容易化FF方式の下での2段階テストデータ圧縮法,” 信学技報 DC2007-25, pp. 1-6, 2007年11月.
- [97] 大島, 難波, 伊藤, “SRAM型FPGAにおけるLUTの遅延故障テスト,” FTC, 2007年7月.
- [98] 加藤, 難波, 伊藤, “遅延故障テスト容易化FFによる縮退故障用テストデータ圧縮法,” 信学技報, FIIS, 2007年6月.
- [99] 池田, 難波, 伊藤, “遅延故障テスト容易化耐ソフトエラーラッチの設計,” 信学技報, DC2007-1, pp. 1-6, 2007年4月.
- [100] 田中, 淡野, 田村, 外山, 村尾, “弱反転領域で動作するMOSFETを用いたOTAの設計,” 第60回電気関係学会九州支部連合大会, 06-1P-02, p.180, 2007年9月.
- [101] 平野, 淡野, 田中, 田村, 外山, “MOSFETの弱反転領域を用いた低消費電力乗算器の設計,” 2007年度電子情報通信学会九州支部学生会講演論文集, A-6, 2007年9月.
- [102] 上口 光, 椋田 祐也, 和泉 伸也, マタウシュ ハンス・ユルゲン, 小出 哲士, “90-nm CMOS技術による多段階読み出し方式を用いた128-Kbit, 16ポートSRAMの設計,” 信学技報, ICD2007-97, pp. 149-154, (2007.8)
- [103] 田上 正治, 石崎 雅勝, 熊木 武志, 幸野 豊, 小出 哲士, Hans Juergen Mattausch, 行天 隆幸, 野田 英行, 堂阪 勝己, 有本 和民, 齊藤 和則, “CAMを付加した超並列SIMDプロセッサによるAES処理高速化手法 (1) ~暗号化方法~, ” 平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 93-94, 2007.10)
- [104] 石崎 雅勝, 田上 正治, 熊木 武志, 小出 哲士, Hans Juergen Mattausch, 行天 隆幸, 野田 英行, 堂阪 勝己, 有本 和民, 齊藤 和則, “CAMを付加した超並列SIMDプロセッサによるAES処理高

- 速化手法 (2) ～復号化方法 ～,”平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 95-96, (2007.10)
- [105] 榊原 尚吾, Abedin Md.Anwarul, 田中 裕己, Hans JuergenMattausch, 小出 哲士, “学習機能を実現する連想メモリのLSI設計,”平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 97-98, (2007.10)
- [106] 栗根 和俊, 岡崎 啓太, 永岡 奈緒美, 菅原 達也, 小出 哲士, Hans Juergen Mattausch, “イメージスキャン画像分割アーキテクチャのLSI設計,”平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 229-230, (2007.10)
- [107] 熊木 武志, 石崎 雅勝, 田上 正治, 今井 雄太, 小出 哲士, Hans Juergen Mattausch, “マルチポート連装メモリを用いた効果的な並列符号化処理について,”平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 322-323, (2007.10)
- [108] 熊木 武志, 石崎 雅勝, 田上 正治, 小出 哲士, マタウシュ ハンス ユルゲン, 行天 隆幸, 野田 英行, 黒田 泰斗, 堂阪 勝己, 有本 和民, 齊藤 和則, “CAMを有する超並列SIMD型演算プロセッサによる効果的なマルチメディアデータ処理について,”信学技報, CPSY2007-27, pp. 19-24, (2007.10)
- [109] 石崎 雅勝, 熊木 武志, 田上 正治, 小出 哲士, マタウシュ ハンス ユルゲン, 行天 隆幸, 野田 英行, 奥野 義弘, 有本 和民, “CAMを有する超並列SIMD型演算プロセッサによる効果的なAES暗号化処理,”信学技報, CPSY2007-28, pp. 25-30, (2007.10)
- [110] 岡崎 啓太, 栗根 和俊, 永岡 奈緒美, 菅原 達也, 小出 哲士, マタウシュ ハンスユルゲン, “2次元ブロックでスキャンを行う画像分割アーキテクチャの性能評価”第9回IEEE広島支部学生シンポジウム (HISS2007), B-07, (2007.11)
- [111] 和泉 伸也, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士, “90-nm CMOSテクノロジーにおけるSRAM-cellのStatic-Noise-Marginの評価”第9回IEEE広島支部学生シンポジウム (HISS2007), B-08, (2007.11)
- [112] 栗根 和俊, 岡崎 啓太, 永岡 奈緒美, 菅原 達也, 小出 哲士, Hans Juergen Mattausch, “スキャン方式画像分割アーキテクチャの効率的な実装,”2008年電子情報通信学会総合大会, C-12-20, p. 110, (2008.3)
- [113] 和泉 伸也, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士, “微細CMOS技術におけるSRAMセルの安定性評価,”2008年電子情報通信学会総合大会, C-12-27, p. 117, (2008.3)
- [114] 永岡 奈緒美, 栗根 和俊, 岡崎 啓太, 菅原 達也, 小出 哲士, Mattausch, Hans Jrgen, “物体認識に向けた特微量マッチングによるグルーピング手法”2008年電子情報通信学会総合大会, 情報・システムソサイエティ総合大会特別号, p.117, (2008.3)
- [115] 橋本 丈, 才辻 誠, 神戸尚志, “大語彙連続音声認識用出力確率計算回路アーキテクチャの一検討,”電子情報通信学会VLSI設計技術研究会, 2007年5月.
- [116] 神戸 尚志, 上甲 憲市, 上津 寛和, 山田 晃久, “C言語設計におけるアーキテクチャ最適化手法,”電子情報通信学会第20回回路とシステムワークショップ, pp. 685 - 690, 2007年4月.
- [117] 江口 彰彦, 才辻 誠, 橋本 丈, 神戸 尚志, “大語彙連続音声認識用出力確率計算回路アーキテクチャの一検討,”平成19年度情報処理学会関西支部大会, 2007年10月.
- [118] 朝利壯吾, 才辻誠, 橋本丈, 神戸尚志, “音声認識用出力確率計算回路の設計とFPGAによる評価,”平成19年度電気関連学会関西支部連合大会, 2007年11月.
- [119] 坂本亘平, 高窪かをり, 高窪統, “微小電流で動作する低消費電力電圧検出器の検討”, 電気学会電子回路研究会, ECT-07-66, pp. 1-6, (Oct.2007)
- [120] 堂前圭祐, 北川章夫・秋田純一, “急速眼球運動対応の視線検出機能を持つ列並列処理構成高解像度Vision Chipの設計, 映像情報メディア学会技術報告, Vol. 31, No. 28, pp. 13-16, 2007.6.
- [121] 岩淵勇樹, 秋田純一, “非周期的な画素配置を持つCMOSイメージセンサの基礎検討, 電子情報通信学会技術報告, Vol. 107, No. 163, ICD2007-65, pp. 165-170, 2007.7.
- [122] 米田智弘, 秋田純一, “擬似的な不規則画素配置をもつ撮像素子の空間サンプリング特性,”映像情報メディア学会技術報告, Vol. 31, No. 60, IST2007-113, pp. 53-56, 2007.12.
- [123] 秋田純一, “擬似的な不規則画素配置を持つCMOSイメージセンサ, 映像情報メディア学会技術報告, Vol. 31, No. 28, pp. 37-40, 2007.6.
- [124] 石田, 鈴木, 森戸, 森川, “低受信待機電力無線通信のための多段ウェイクアップ機構,”電子情報通信学会技術報告, 情報ネットワーク研究会 (IN2007-218) (2008).
- [125] 石田, 鈴木, 森戸, 森川, “低受信待機電力無線通信のための階層型ウェイクアップ機構,”電子情報通信学会総合大会, B-5-112 (2008)
- [126] 久米, 杉原, 香月, 小林, 小野寺, “チップ内ばら

つきを利用して歩留まりと速度を向上させる FPGA,” pp. 278-280, 第11回システムLSIワークショップ予稿集 (2007)

- [127] 杉原, 久米, 小林, 小野寺, “ランダムばらつきを利用したトラック入れ替えによるFPGAの速度と歩留まり向上,” pp. 13-18, Vol. 107, No. 340, 電子情報通信学会技術報告 (RECONF2007-34) (2007)
- [128] 杉原, 小林, 小野寺, “配線自由度によるばらつきを利用したFPGAの速度向上,” pp. 139-144, DAシンポジウム2007 (2007)
- [129] 寺田, 福岡, 土谷, 小野寺, “統計的遅延解析における遅延分布間の最大値計算手法,” pp. 7-12, DAシンポジウム2007 (2007)
- [130] 福岡, 土谷, 小野寺, “同時スイッチングの影響を考慮した統計的遅延解析,” pp. 13-18, DAシンポジウム2007 (2007)
- [131] ハシタ, 張山, 亀山, “相互結合網単簡化を考慮した遺伝的アルゴリズムに基づく電源・しきい値電圧割当,” 電子情報通信学会技術報告 (信学技報), ICD2007-31, pp. 85-90 (2007)
- [132] 張山, 横山, 吉田, 亀山, “超高速ステレオビジョンVLSIプロセッサの設計,” 第13回画像センシングシンポジウム予稿集, IN4-28-1 (2007)
- [133] 石原, 張山, 亀山, “非同期ビットシリアルアーキテクチャに基づくフィールドプログラマブルVLSIの構成” 平成19年度電気関係学会東北支部連合大会, 2E18, p.192 (2007)
- [134] M.Hariyama, S.Ishihara, M.Kameyama, “A Field-Programmable VLSI Based on an Asynchronous Bit-Serial Architecture,” 電子情報通信学会技術研究報告 (信会技報), ICD2007-133, pp. 83-87 (2007)
- [135] 岡田, 亀山, “差動対回路を用いた全加算器ベース演算セルを構成要素とする多値リコンフィギュラブルVLSI” 多値技報Vol. MVL-08, No. 1, pp. 10-15 (2008)
- [136] N.Okada, M.Kameyama, “Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuits,” International Workshop of Tohoku University and Yeungnam University, pp. 75-76 (2007)
- [137] 小森山, 吉田, 矢舗, 谷本, “0.18 μ m CMOSインバータを用いた超広帯域全差動能動ポリフェーズフィルタ,” 信学会技術研究報告, ICD2007-83, pp. 79-84, 2007年8月
- [138] 小森山, 矢舗, 谷本, “1Vで動作するCMOSインバータベース全差動OTAの評価,” 平成19年度電気・情報関係学会北海道支部連合大会, 16, 2007

年10月

- [139] 田中, 谷本, “1V以下で動作するNMOSインバータを用いた全差動OTAの設計,” 平成19年度電気・情報関係学会北海道支部連合大会, 15, 2007年10月
- [140] 森田泰弘, 藤原英弘, 野口紘希, 井口友輔, 新居浩二, 川口博, 吉本雅彦, “DVS環境下での小面積・低電圧動作8T SRAMの設計,” 電子情報通信学会技術研究報告, ICD2007-95, Vol. 107, No. 195, pp. 139-144, 2007年8月
- [141] 藤原英弘, 新居浩二, 野口紘希, 宮越純一, 村地勇一郎, 森田泰弘, 川口博, 吉本雅彦, “ビット線の電力を削減する実時間動画像処理応用2-port SRAM,” 電子情報通信学会技術研究報告, ICD2007-7, Vol. 107, No. 1, pp. 35-40, 2007年4月
- [142] 森田泰弘, 藤原英弘, 野口紘希, 井口友輔, 新居浩二, 川口博, 吉本雅彦, “DVS環境下での小面積・低電圧動作8T SRAMの設計-32nm世代以降で8Tセルが小面積・低電圧動作を同時に実現-,” 第11回システムLSIワークショップポスタセッション, pp. 222-224, 2007年11月
- [143] 奥村俊介, 野口紘希, 井口友輔, 藤原英弘, 森田泰弘, 新居浩二, 川口博, 吉本雅彦, “ビット線電力を74%削減する動画像処理応用10T非プリチャージ2-port SRAMの設計,” 電子情報通信学会技術研究報告, ICD2007-53, Vol. 107, No. 163, pp. 95-100, 2007年7月
- [144] 坂田義典, 川上健太郎, 川口博, 吉本雅彦, “電源電圧と周波数の動的制御によるH.264/AVCデコーダの低消費電力化,” 電子情報通信学会技術研究報告, ICD2007-52, Vol. 107, No. 163, pp. 89-94, 2007年7月
- [145] 坂田義典, 中田洋平, 川上健太郎, 川口博, 吉本雅彦, “動的電源電圧/周波数制御によるフレームバッファSRAM内蔵型H.264/AVCデコーダの低消費電力化,” 第11回システムLSIワークショップポスタセッション, pp. 204-206, 2007年11月
- [146] 上農哲也, 村地勇一郎, 宮越純一, 川口博, 吉本雅彦, “超並列画像処理プロセッサ応用 任意位置任意サイズ矩形データの1サイクルアクセスが可能なメモリアーキテクチャ” 第11回システムLSIワークショップポスタセッション, pp. 213-215, 2007年11月
- [147] 水野 孝祐, 宮越 純一, 村地 勇一郎, 濱本 真生, 飯沼 隆弘, 石原 朋和, 川口 博, 吉本 雅彦, “サブ100mW H.264 MP@L4.1 HDTV解像度対応 整数画素精度動き検出プロセッサコア” 第11回システムLSIワークショップポスタセッション, pp.

- 210-212, 2007年11月.
- [148] 井口友輔, 野口紘希, 奥村俊介, 藤原英弘, 森田泰弘, 新居浩二, 川口博, 吉本雅彦, “ビット線電力を削減する, 動画像処理応用 10T 非プリチャージ 2-port SRAM,” VDEC LSIデザイナーフォーラム 2007(若手の会)ポスターセッション, 2007年9月.
- [149] 李赫鍾, 三上真司, 竹内隆, 一圓真澄, 川口博, 太田能, 吉本雅彦, “ワイヤレスセンサーネットワーク応用キャリアセンス機能を持つ433MHz帯, 356-uW電圧増幅器,” 電子情報通信学会技術研究報告, ICD2007-50, Vol. 107, No. 163, pp. 77-82, 2007年7月.
- [150] 村地勇一郎, 宮越純一, 上農哲也, 川口博, 吉本雅彦, “超並列画像処理応用 任意位置任意サイズ矩形画素の1サイクルアクセスが可能なブロックアクセスメモリアーキテクチャ,” 電子情報通信学会技術研究報告, ICD2007-128, Vol. 107, No. 382, pp. 47-52, 2007年12月.
- [151] 村地勇一郎, 福山祐貴, 山本亮, 宮越純一, 川口博, 石原一, 深山正幸, 松田吉雄, 吉本雅彦, “VGA 30fps実時間動画認識応用オプティカルフロープロセッサコア,” 第11回システムLSIワークショップポスターセッション, pp. 216-218, 2007年11月.
- [152] 廣本 正之, 高橋 温子, 神山 真一, 越智 裕之, 中村 行宏, “非同期単精度浮動小数点除算器の方式検討とFPGA実装,” 電子情報通信学会技術研究報告 (於 京都府 京大会館), Vol. 107, No. 32, VLD2007-10, pp. 19-24, 2007年5月.
- [153] 筒井 弘, 藤田 憲正, 尾上 孝雄, 中村 行宏, “JPEG2000 マルチシンボル算術復号器,” 電子情報通信学会技術研究報告 (於 北海道稚内市 日口友好会館2F大ホール), Vol. 107, No. 93, SIS2007-3, pp. 13-18, 2007年6月.
- [154] 廣本 正之, 神山 真一, 越智 裕之, 中村 行宏, “非同期単精度浮動小数点除算器の方式検討とFPGA実装,” 第30回バルテノン研究会 (於 東京都 青山オーバルビル15階 Nasic セミナーホール), pp. 43-48, 2007年6月.
- [155] 今川 隆司, 廣本 正之, 神山 真一, 越智 裕之, 中村 行宏, “ディペンダブルVLSIシステム設計のための耐故障性評価環境,” 第31回バルテノン研究会 (於 東京都 青梅市 ブリヂストン奥多摩園), pp. 59-63, 2007年12月.
- [156] 神山 真一, 廣本 正之, 越智 裕之, 中村 行宏, “プロセッサとしても利用可能なALUベース動的再構成デバイス,” 第31回バルテノン研究会 (於 東京都 青梅市 ブリヂストン奥多摩園), pp. 37-44, 2007年12月.
- [157] 神山 真一, 廣本 正之, 越智 裕之, 中村 行宏, “プロセッサモードを組み込んだALUベース動的再構成デバイス,” 電子情報通信学会技術研究報告 (於 慶應義塾大学日吉キャンパス), Vol. 107, No. 415, VLD2007-128, CPSY2007-71, RECONF2007-74, pp. 64-69, 2008年1月.
- [158] 廣本 正之, 越智 裕之, 中村 行宏, “非同期式設計によるFPGA向けIEEE754準拠単精度浮動小数点除算器,” 電子情報通信学会技術研究報告 (於 屋久島 環境文化村センター), 2008年3月.
- [159] 池田泰二, 浅井秀樹, “動作モデリングとシミュレーションを用いた $\Delta\Sigma$ 変調器のトランジスタレベル設計仕様の導出,” 電子情報通信学会技術研究報告, Vol. 107, No. 264, pp. 73-78, oct, 2007
- [160] 篠宮幸平, 浅井秀樹, 鶴生高德, “最適化アルゴリズムを用いた車載電子機器のコモンモード電流低減手法,” 電子情報通信学会技術研究報告, Vol. 107, No. 264, pp. 61-66, oct, 2007
- [161] 楠, 井瀬, “横型pinフォトダイオードの光応答の解析” 計測自動制御学会中部支部 教育工学論文集 第30号, pp. 9-11 (2007).
- [162] 林純也, 山口祐樹, 松岡成居, 熊田亜紀子, 日高邦彦, 三田吉郎, “沿面放電測定用マイクロセンサの開発” 電気学会放電/開閉保護/高電圧合同研究会資, ED-07-161, 2007.
- [163] 山口祐樹, 林純也, 松岡成居, 熊田亜紀子, 三田吉郎, 日高邦彦, “沿面放電測定用マイクロセンサの開発 (II)” 平成19年度電気学会全国大会, 1-054, 2008.
- [164] 山王, 高松, 飯山, “CMOSプロセスを用いたシリコン光検出器の試作,” 平成19年度電気関係学会北陸支部連合大会, D-20, 福井工業大学 (2007).
- [165] 水柿義直, 柏竜太, “接地点を有する超伝導薄膜で磁気分離された超伝導ストリップライン間の相互インダクタンス,” 電子情報通信学会技術研究報告 (超伝導エレクトロニクス), SCE2007-15, 2007年7月27日
- [166] 小笠原, 橋本, 尾上, “バス配線における誘導性クロストークノイズによる遅延変動の実測とノイズ重ね合わせ効果の検証,” 電子情報通信学会 集積回路研究会 (2008)
- [167] 小笠原, 橋本, 尾上, “スタンダードセルで構成された電源ノイズ波形測定回路の提案,” No. ICD2007-142, pp. 17-22, 電子情報通信学会 集積回路研究会 (2008)
- [168] 二宮, 橋本, “SSTAにおける空間的相関を持つ製造ばらつきのグリッドベースモデル化法の検討,”

No. VLD2007-91, pp. 13-17, 電子情報通信学会 VLSI設計技術研究会 (2007).

[169] 橋本, “オンチップノイズ観測,” pp. 149-157, 第11回システムLSIワークショップ (2007).

[170] 橋本, “製造・環境ばらつきを考慮したタイミング検証技術,” No. VLD2007-65, pp. 21-24, 電子情報通信学会 VLSI設計技術研究会 (2007).

[171] 榎並, 橋本, “統計的電源ノイズモデル化に適した適応的領域分割法,” No. A-3-10, 電子情報通信学会ソサイエティ大会 (2007).

[172] 阿部, 橋本, 尾上, “製造ばらつきを考慮したメッシュ型クロック分配網のセキュア評価,” pp. 133-138, DAシンポジウム (2007).

[173] 榎並, 二宮, 橋本, “電源ノイズの空間的相関を考慮した統計的タイミング解析,” pp. 667-672, 回路とシステム (軽井沢) ワークショップ (2007).

[174] 新開, 橋本, 尾上, “短距離ブロック内配線の自己発熱,” pp. 7-12, 回路とシステム (軽井沢) ワークショップ (2007).

[175] 橋本, “製造・環境ばらつきと動的性能補償を考慮したタイミング検証に向けて,” pp. 661-666, 回路とシステム (軽井沢) ワークショップ (2007).

[176] 清水, 矢山, 大島, 山下, “ボディバイアス制御回路付きS/H回路におけるフィードスルー低減技術,” 2007年電子情報通信学会ソサイエティ大会, C-12-20

[177] 李, 関, 厚地, 大島, 山下, “10Gbps 光配線用開ループ型VCSEL駆動回路,” 2007年電子情報通信学会総合大会, C-12-32

[178] 矢山, 清水, 上村, 大島, 山下, “ボディバイアス制御回路を具備した高精度S/H回路,” 2007年電子情報通信学会総合大会, C-12-33

[179] 上村, 堀江, 大島, 山下, “高速コンパレータのオフセットキャンセル方式の一検討,” 2007年電子情報通信学会総合大会, C-12-34

[180] 狩野, 中野, 秋田, 北川, “生体モニタリング向けパッシブ型センサタグの要素回路,” pp. 83-88, IEICE 集積回路研究会 (2007)

[181] 島崎 慶太, 長野 孝昭, 本田 宏明, ファラハド メディパー, 井上 弘士, 村上 和彰, “大規模再構成可能データパスにおけるオンチップ・ネットワーク・アーキテクチャの検討,” 情報処理学会研究報告, 2007-ARC-173, pp. 115-120, Jun. 2007.

[182] 野田, 武田, 深瀬, 佐藤, “HCgorillaのマルチメディア機能強化,” 情報処理学会研究報告, 2007-DSP-131, pp. 85-90, (2007).

[183] 野田, 武田, 深瀬, 佐藤, “Multimedia Performance of a Ubiquitous Processor,” 平成19年度電気関係

学会東北支部連合大会 (2007).

[184] 横山, 武田, 野田, 深瀬, 佐藤, “HCgorillaのハードウェア/ソフトウェア協調設計に関する研究,” 平成19年度電気関係学会東北支部連合大会, 2007.

[185] 武田, 野田, 深瀬, 佐藤, “HCgorillaの大規模化に関する研究,” 平成19年度電気関係学会東北支部連合大会, 2007.

[186] 岩本, 天間, 武田, 野田, 深瀬, 佐藤, “マルチメディアストリーム暗号エンジン,” 平成19年度電気関係学会東北支部連合大会, 2007.

[187] 松田 敏弘・杉山 裕也・岩田 栄之, “n-MOSFETの非対称性および配置方位依存性の解析,” 電子情報通信学会技術研究報告 (シリコン材料・デバイス研究会 (SDM2007-161))

[188] 押山弘樹 鈴木圭一 岩田栄之 松田敏弘, “微細CMOS基準電圧発生回路の設計,” 電気関係学会北陸支部連合大会, D-13, 2007.

[189] 三浦和仁, 井上浩, “高周波電圧制御発振器の開発とその応用” 電子情報通信学会技術研究報告 EMCJ2007-75, pp. 123-128, Oct.2007.

[190] 池田, 堀口, “基板バイアス効果を用いた低消費電力リングオシレータ,” 信学会, 2008総合大会

[191] 川島 裕崇, 中村 一博, 高木 直史, 高木 一義, “部分積加算における信号遷移回数の削減による配列型乗算器の低消費エネルギー化設計,” 信学技報VLD2007-87.

[192] 石原一, 深山正幸, 山本亮, 福山祐貴, 川口博, 吉本雅彦, 松田吉雄, “実時間オプティカルフロープロセッサの開発とFPGAを用いた検証システムの構築,” 電子情報通信学会スマートインフォーマティブシステム研究会 (2007.06).

[193] 石原一・深山正幸・村地勇一郎・川口 博・吉本雅彦・松田吉雄, “VGA30fps実時間動画認識応用オプティカルフロープロセッサコア,” 電子情報通信学会集積回路研究会 (2007.12).

[194] 井家佑介・稲田遼一・春日隆文・深山正幸・中尾政史・松田吉雄, “低遅延画像伝送システム用JPEG 2000コーデックLSIの開発,” 電子情報通信学会スマートインフォメディアシステム研究会 (2007.12).

[195] 弓部 良樹, 深山 正幸, 松田 吉雄, “アフィン動きモデル推定プロセッサ用逆行列計算回路,” 電子情報通信学会2008年総合大会 (2008.03).

[196] 内田, 岡本, 富安, 西川, “ネットワーク向きイベント駆動型チップマルチプロセッサCUE-v3の開発,” 情報処理学会第70回全国大会 1A-3, pp. 1-5 ~ 1-6 (2008年3月).

[197] 高池, 眞田, “四分の一波長共振器を用いたRFフィ

- ルタの検討,” 2008年IEICE総合大会
- [198] 真鍋, 榎田, “トランス結合型直列均等分圧ドライバの動作速度評価,” 2008信学総大, A-1-3 (2008)
- [199] 下垣, 榎田, “CMOS高速変調用集積回路における多重反射による遅延歪評価,” 2008信学総大, A-1-5 (2008)
- [200] 石滝公一, 岩瀬英治, 松本潔, 下山勲, “せん断応力センサを用いた表面形状の検出,” Surface shape detection with shear stress sensor, "1A2-A11, ロボティクス・メカトロニクス講演会2007, 2007, 秋田拠点センター ALVE, 秋田.
- [201] 田中悠輔, 森本雄矢, 岩瀬英治, 松本潔, 下山勲, “せん断応力センサを用いた安定した物体把持のための重心検出, The Detection of Center of Gravity for Stable Grasp by Using a Shear Stress Sensor,” 1A2-A10, ロボティクス・メカトロニクス講演会2007, 2007, "秋田拠点センター ALVE, 秋田.
- [202] 岩瀬英治, 下山勲, “東大IRT拠点の体制とロボットデバイスグループの成果,” 1L11, 第25回日本ロボット学会学術講演会, 2007, 習志野市, 千葉.
- [203] 土肥徹次, 桑名健太, 松本潔, 下山勲, “高分解能MRI画像取得のためのMEMS立体コイル,” 1L12, 第25回日本ロボット学会学術講演会, 2007, 習志野市, 千葉.
- [204] 中井亮仁, 磯崎瑛宏, 橋本康史, 松本潔, 下山勲, “距離計測用MEMSデバイスのための超音波発信器,” 1L13, 第25回日本ロボット学会学術講演会, 2007, 習志野市, 千葉.
- [205] 高畑智之, 武居淳, 松本潔, 下山勲, “ブレ補正光学系のための液体プリズム,” 1L14, 第25回日本ロボット学会学術講演会, 2007, 習志野市, 千葉.
- [206] 岩瀬英治, 松本潔, 下山勲, “磁場自己組立てを用いたMEMSアクチュエータ,” pp. 329-332, 第24回“センサ・マイクロマシンと応用システム”シンポジウム, 2007, 江戸川区, 東京.
- [207] 尾上弘晃, 岩瀬英治, 松本潔, 下山勲, “順序付き自己組立てによる3次元マイクロチェーン構造,” pp. 321-324, 第24回“センサ・マイクロマシンと応用システム”シンポジウム, 2007, 江戸川区, 東京.
- [208] 高畑智之, 松本潔, 下山勲, “スラブ駆動によるフォトニック結晶光スイッチ,” pp. 491-494, 第24回“センサ・マイクロマシンと応用システム”シンポジウム, 2007, 江戸川区, 東京.
- [209] 大堀敬広, 高畑智之, 岩瀬英治, 松本潔, 下山勲, “長方形開口マスクによるシリコン3次元形状の製作,” pp. 15-18, 第24回“センサ・マイクロマシンと応用システム”シンポジウム, 2007, 江戸川区, 東京.
- [210] 田中博人, 松本潔, 下山勲, “マイクロ樹脂成形による翅脈付き翼を持つ蝶型羽ばたき機,” Butterfly Ornithopter with Micromolded Wings Having Wing Vein Structure, 第20回バイオエンジニアリング講演会, 2008, 江東区, 東京.
- [211] “埋め込み型検出回路によるプロセッサの電源雑音評価,” 深澤光弥, VDEC LSIデザイナーフォーラム2007, 2007.09.
- [212] “TS-CDMAによる超多重RFIDランスポンダ向け同期回路の検討,” 福水洋平, 郷地直樹, 永田真, 瀧和男, 電子情報通信学会ソサイエティ大会B-20-12, 2007.09.
- [213] “携帯機器向け625Mbps/3mW/1.5V電流モード通信回路,” 荻野哲宏, 吉河武文, 永田真, 電子情報通信学会技術報告ICD2007-121, pp. 7-12, 2007.12
- [214] “デジタルLSIにおけるオンチップ電源雑音とオフチップ電磁雑音の統合評価,” 高橋 裕樹, 市川 浩司, 永田 真, 電子情報通信学会技術報告ICD2007-140, pp. 5-10, 2008.1.
- [215] Chengjie Zang, Shigeki Imai, and Shinji Kimura, “Issue Mechanism for Embedded Simultaneous Multithreading Processor,” The 20th Workshop on Circuits and Systems in Karuizawa (KARUIZAWA-2007), pp. 325-330, Apr. 2007.
- [216] 川原崎, 中村, 西本智弘, 下林義明, 藤野, “EB直描を使ったマスクレスビアプログラマブルデバイスVPEXの提案と回路性能評価,” 信学技報, Vol. 107, No. 334, VLD2007-80, pp. 61-66, 2007年11月
- [217] 豊田, 木戸, 下林, 藤野, “暗号回路の電力差分析攻撃に対して耐性があるドミノ型RSL回路の提案,” 信学技報, Vol. 107, No. 334, VLD2007-77, pp. 43-48, 2007年11月.
- [218] 上野, 廣瀬, 浅井, 雨宮, “MOSFETの特性バラツキ補正にむけた参照電圧源回路,” 第11回システムLSIワークショップ, (2007).
- [219] 小川, 廣瀬, 浅井, 雨宮, “低電源電圧動作時におけるマスタースレーブフリップフロップの動作検討,” 第11回システムLSIワークショップ, (2007).
- [220] 平井, 廣瀬, 浅井, 雨宮, “熱伝導を利用した移送発振器,” VDECデザイナーフォーラム2007, (2007).
- [221] 平井, 廣瀬, 浅井, 雨宮, “熱伝導による位相遅れを利用したCMOS発振回路,” 電子情報通信学会ソサイエティ大会, (2007).
- [222] 小川, 廣瀬, 浅井, 雨宮, “マスタースレーブフリップフロップ回路の低電圧動作解析,” 電子情報通

信学会ソサイエティ大会, (2007).

- [223] 上野, 廣瀬, 浅井, 雨宮, “サブスレッショルド CMOS回路によるしきい値電圧を参照した基準電圧源回路,” 電子情報通信学会ソサイエティ大会, (2007).
- [224] 上野, 廣瀬, 浅井, 雨宮, “MOSFETのしきい値電圧を参照した基準電圧源回路,” 電子情報通信学会集積回路研究会, (2007).
- [225] 上野, 廣瀬, 浅井, 雨宮, “サブスレッショルド MOS特性を利用したPTAT電流生成のための微小フローティング電圧源回路,” 第20回路とシステム軽井沢ワークショップ, (2007).
- [226] 小川, 廣瀬, 浅井, 雨宮, “サブスレッショルド MOS回路によるしきい論理システム,” 第20回路とシステム軽井沢ワークショップ, (2007).
- [227] 田端, 塩田, 北村, “異種命令セット同時実行プロセッサの実装に向けた評価,” pp. 95‒100, 情処会研究報告, 2007-ARC-175, Nov (2007)
- [228] 川嶋佑輔, 厚地泰輔, 中田一紀, 岡田真人, 森江隆, “領域ベース結合MRFモデルによる大局的画像領域分割とCMOS回路実現,” 電子情報通信学会ニューロコンピューティング研究会, NC2007-120, Vol. 107, No. 542, pp. 49-54, 2008年3月12日, 玉川大学 (東京).
- [229] 田中秀樹, 森江隆, 合原一幸, “STDPを有するCMOSスパイクングニューラルネットワークLSIの評価,” 電子情報通信学会ニューロコンピューティング研究会, NC2007-61, Vol. 107, No. 328, pp. 37-42, 2007年11月18日, 佐賀大学 (佐賀).
- [230] 厚地泰輔, 加藤直人, 森江隆, 中田一紀, “パルス変調方式による相互結合位相振動子のCMOS回路実現と評価,” 電気学会電子回路研究会, ECT-07-107, pp. 25-29, 2007年12月8日, 日本大学 (新潟).
- [231] 金子, 石川, 活田, 清水, 深井, “アナログLSI設計を支援するe-learningシステムの構築と利用例,” B12, pp. 23-24, 日本産業技術教育学会第20回九州支部大会 (2007)
- [232] 石川, 清水, 深井, “アナログLSI設計早期教育,” VDECデザイナーフォーラム, ポスターセッション (2007)
- [233] 平山, 山本, 藤田, “リピータを挿入したLSI配線の信号波形解析,” A-1-11, 2007年電子情報通信学会ソサイエティ大会
- [234] 高橋康宏, 関根敏和, 横山道央, “断熱的論理回路2PADCLによる4bitアレイ型乗算器,” 第11回システムLSIワークショップ講演資料集およびポスター資料集, pp. 320-322, Nov. 2007.
- [235] 酒井勇士, 福田陽平, 高橋康宏, 関根敏和, 横山道央, “2相Clocked-CMOS断熱的論理回路,” 第11回システムLSIワークショップ講演資料集およびポスター資料集, pp. 249-251, Nov. 2007.
- [236] 福田陽平, 酒井勇士, 高橋康宏, 関根敏和, 横山道央, “2相Clocked-CMOS断熱的論理回路用電源の検討,” 第11回システムLSIワークショップ講演資料集およびポスター資料集, pp. 252-254, Nov. 2007.
- [237] 高橋康宏, 都築大二郎, 関根敏和, 横山道央, “2相駆動断熱的論理回路による16bit RISC型CPUの設計,” 2007年信学総大, p.10 (A-1-10), March 2007.
- [238] 小林, 小宮, 佐藤, 福島, 富田, 栗野, 田中, 玉井, 小柳, “人工網膜用データ受信回路の試作と評価,” pp. 1307, 秋季応用物理学学会予稿集 (2007)
- [239] 小宮, 小林, 佐藤, 小林, 福島, 富田, 栗野, 田中, 玉井, 小柳, “三次元積層型人工網膜チップへの電力供給用2次元コイルの開発,” pp. 1308, 秋季応用物理学学会予稿集 (2007)
- [240] 佐藤, 小宮, 小林, 小林, 福島, 富田, 栗野, 田中, 小柳, “網膜刺激電極のインピーダンス特性に対する電極材料および寸法の影響,” pp. 1308, 秋季応用物理学学会予稿集 (2007)
- [241] 萩原 汐, 佐藤 高史, 益 一哉, “パワーゲーティング技術における製造ばらつきの回路特性への影響,” 情報処理学会第131回システムLSI設計技術研究会, pp. 37-42, 2007年10月.
- [242] 萩原 汐, 上蘭 巧, 佐藤 高史, 益 一哉, “相関係数にもとづく回帰分析の電源改善への適用,” 第20回路とシステム軽井沢ワークショップ, pp. 47-50, 2007年4月.
- [243] 上蘭 巧, 佐藤 高史, 益 一哉, “電源電圧降下の時間的・空間的広がり可視化手法,” 電子情報通信学会ソサイエティ大会, p.61, 2007年9月.
- [244] 萩原 汐, 佐藤 高史, 益 一哉, “電源遮断回路におけるインバータ列遅延時間ばらつきの計算,” 電子情報通信学会総合大会, A-3, 2008年3月.
- [245] 植山 寛之, 佐藤 高史, 中山 範明, 益 一哉, “リーク電流測定用トランジスタアレイ回路の測定,” 電子情報通信学会ソサイエティ大会, 2008年3月.
- [246] 山長 功 佐藤 高史, 益 一哉, “測定系の侵襲性を定量化可能なオンチップ電源電圧変動の直接測定手法,” 電子情報通信学会総合大会, 2008年3月.
- [247] 佐藤, 中野, “基板ノイズ低減を目的としたアクティブデカップリング回路の検討,” 第14回シリコンアナログRF研究会
- [248] 樋口, 森本, 中野, “リングオシレータのジッタ解

- 析を用いたノイズの評価,” 第12回シリコンアナログRF研究会
- [249] 滝川, 東條, 一宮, 四柳, 橋爪, “0.35um CMOSプロセスで試作したICのリード浮きの電流テスト可能性評価,” p.83, 電気関係学会四国支部連合大会講演論文集 (2007)
- [250] 窪田, 橋爪, 四柳, “TCADを用いた隣接信号変化時の断線信号線の信号変化の調査,” p.98, 電気関係学会四国支部連合大会講演論文集 (2007).
- [251] 小山田, 四柳, 橋爪, “複数隣接信号線の影響を用いる断線故障検査用テストパターン生成,” p.107, 電気関係学会四国支部連合大会講演論文集 (2007)
- [252] 尾形, 四柳, 橋爪, “レイアウトを用いた断線信号線の電圧解析,” p.108, 電気関係学会四国支部連合大会講演論文集 (2007)
- [253] 小山田, 四柳, 橋爪, “隣接信号線間のフィードバックを考慮する断線故障の影響調査,” 第58回FTC研究会 (2008)
- [254] 東條, 一宮, 四柳, 橋爪, “交流電界印加時の電流テストによる試作ICの断線故障検出,” 第57回FTC研究会 (2007)
- [255] 渡邊裕樹, 本間尚文, 青木孝文, 樋口龍雄, “並列ブレフィックス加算器を用いた算術演算モジュールの自動生成,” 信学技報, Vol. 107, No. 101, pp. 49-54, June 2007.
- [256] 前澤, 亀谷, 岸本, 水谷, 安藤, 赤松, 中田, “共鳴トンネル素子を用いた極短パルス生成器とそのAINセラミック基板上アンテナとの集積化,” 電子情報通信学会 研究会 (2007).
- [257] 室矢, 前澤, 水谷, “MOBILEを用いたNRZ-DFPとそのFMDSMへの応用,” 電子情報通信学会 2007年ソサイエティ大会, C-10-8 (2007)
- [258] 大江, 森, 前澤, “共鳴トンネルダイオードペアを用いた3次高調波発振器,” 電子情報通信学会 2007年ソサイエティ大会 C-10-12 (2007).
- [259] 奈良竜太, 小原俊逸, 清水一範, 戸川望, 柳澤政生, 大附辰夫, “GF (2^m) 上のMSB乗算器をベースにした楕円曲線暗号LSI向けMSD乗算器の実装,” 信学 回路とシステム軽井沢ワークショップ, pp. 355-360, Apr. 2007.
- [260] 奈良竜太, 清水一範, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “GF (2^m) 上のSIMD型MSD乗算器を用いた楕円曲線暗号回路の実装,” 情処学 DAシンポジウム 2007, Vol. 2007, No. 7, pp. 221-226, Aug. 2007.
- [261] 奈良竜太, 清水一範, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “楕円曲線暗号用SIMD型MSD乗算器の設計,” 情処学 組込みシステムシンポジウム 2007, Vol. 2007, pp. 90-99, Oct. 2007.
- [262] 奈良竜太, 清水一範, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “楕円曲線暗号に適したGF (2^m) 上のSIMD型MSD乗算器の設計,” 信学, VLD研究会, VLD2007-11, pp. 25-29, May. 2007.
- [263] 谷村和幸, 奈良竜太, 小原俊逸, 史 又華, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “GF (2ⁿ) 及びGF (p) におけるスケーラブル双基数ユニファイド型モンゴメリ乗算器,” 信学, VLD研究会, VLD2007-42, pp. 43-45, Jun. 2007.
- [264] 那須貴文, 荒木純道, “ダイレクトサンプリングミキサの低雑音化設計手法に関する検討,” pp. 67-72, 信学技報 Vol. 107, No. 504
- [265] 倉科 隆, 鄭 明奎, 白 戴和, 張 義偉, 松澤 昭, “0.18um CMOS のRF・アナログ特性評価,” 電子情報通信学会 シリコンアナログRF研究会 (RF), 東京, Vol. RF2006-4, p. 2, Mar. 2007.
- [266] 李 寧, チャイヴィパース ウィン, 倉科 隆, 岡田 健一, 松澤 昭 “サンプリングミキサに向けたCMOSトランスコンダクタンスアンプの解析,” 電子情報通信学会 シリコンアナログRF研究会 (RF), 群馬, Vol. RF2007-1, Jun. 2007.
- [267] ニン ホンフック, 馬上 崇, 倉科 隆, 岡田 健一, 松澤 昭 “Switched Capacitor Filter (SCF) 技術を用いたサンプリングミキサの検討,” 電子情報通信学会 シリコンアナログRF研究会 (RF), 群馬, Vol. RF2007-1, Jun. 2007.
- [268] 宮原 正也, 松澤 昭 “スイッチのオン抵抗がパイプライン型ADC性能に及ぼす影響とセトリング時間最適設計技術の検討,” 電子情報通信学会 集積回路研究専門委員会, ICD2007-43, pp. 35-40, Jul. 2007.
- [269] 原 翔一, 伊藤 猛, 岡田 健一, 松澤 昭 “分周器を用いた電圧制御発振器に関する検討,” 電子情報通信学会 ソサイエティ大会, 鳥取, C-12-34, Sep. 2007.
- [270] 伊藤 猛, チャイヴィパース ウィン, 岡田 健一, 松澤 昭 “伝送線路を用いた動的再構成可能Si CMOS VCOの検討,” 電子情報通信学会 ソサイエティ大会, 鳥取, C-12-33, Sep. 2007.
- [271] 金丸 正樹, 伊藤 猛, 岡田 健一, 松澤 昭 “差動低雑音増幅器における利得インバランス改善の検討,” 電子情報通信学会 ソサイエティ大会, 鳥取, C-12-26, Sep. 2007.
- [272] 高山 直輝, ウィンチャイヴィパース, 岡田 健一, 松澤 昭 “高調波抑制機能を持つマルチバンド電力増幅器の研究,” 電子情報通信学会 ソサイエ

ティ大会, 鳥取, C-12-25, Sep. 2007.

- [273] ニシ ホンブツク, 馬上 崇, 倉科 隆, 岡田 健一, 松澤 昭 “Switched Capacitor Filter (SCF) 技術を用いたサンプリングミキサの検討,” 電子情報通信学会 ソサイエティ大会, 鳥取, C-12-23, Sep. 2007.
- [274] 浅田 友輔, 宮原 正也, 岡田 健一, 松澤 昭 “並列型 A/D コンバータにおけるエンコーダの高速化の検討,” 電子情報通信学会 ソサイエティ大会, 鳥取, C-12-22, Sep. 2007.
- [275] 田中 洪太, 倉持 泰秀, 倉科 隆, 岡田 健一, 松澤 昭, “電荷再配分技術を用いた生体観測のための低消費電力データ変換器,” 電子情報通信学会 システム LSI ワークショップ, 福岡, Nov. 2007.
- [276] 田中 洪太, 倉持 泰秀, 倉科 隆, 岡田 健一, 松澤 昭, “バイオメディカル用容量/デジタル変換器の研究,” 電子情報通信学会シリコンアナログRF研究会, 千葉, Vol. RF2007-3, p. 1, Nov. 2007.
- [277] 西一斗, 吉澤真吾, 宮永喜一, “OFDM 方式コグニティブ無線における動的再構成可能な FFT プロセッサの一検討,” 電子情報通信学会 SIS 研究会, SIS2007-9, pp. 45-48, June. 2007.
- [278] 三田, 水野, 年吉藤田, “2次元走査型LIDAR用 MEMS スキャナ,” 信学技報, Vol. 107, No. 365, SANE2007-86, pp. 25-28, 2007年11月 (2007)
- [279] 肥後昭男, 藤田博之, 年吉洋, “シリコン細線光導波路を用いたフォトニックMEMS変調素子の設計と作製方法” 平成19年度電気学会センサ・マイクロマシン準部門総合研究会, 筑波大学大学会館 (2007).
- [280] 山根大輔, 高橋一浩, SUN Winston, 清田晴信, 川崎繁男, 藤田博之, 年吉洋, “アクティブフェイズドアレイアンテナの移相器応用RF-MEMSスイッチ” 平成19年度電気学会センサ・マイクロマシン準部門総合研究会 (2007).
- [281] YI Yuheon, 中田宗樹, 藤田博之, 年吉洋, “Integration of MEMS Scanning Mirror and Its Control Circuit,” 平成19年度電気学会センサ・マイクロマシン準部門総合研究会, (2007).
- [282] 権鎬楠, “光励振により上下方向に駆動可能な多層金属カンチレバー” 平成19年度 神奈川県ものづくり技術交流会. (2007)
- [283] 中田宗樹, “光駆動型ファイバー内視鏡用MEMSスキャナ,” 平成19年度 神奈川県ものづくり技術交流会 (2007).
- [284] 年吉洋, “光メカトロニクス” 平成19年度 財団法人神奈川科学技術アカデミー (KAST) 研究報告会 (2007).
- [285] 上口 光, 椋田 祐也, 和泉 伸也, マタウシュ ハンス・ユルゲン, 小出 哲士, “90-nm CMOS技術による多段階読出し方式を用いた128-Kbit, 16ポートSRAMの設計” 信学技報, ICD2007-97, pp. 149-154, (2007.8)
- [286] 田上 正治, 石崎 雅勝, 熊木 武志, 幸野 豊, 小出 哲士, Hans Juergen Mattausch, 行天 隆幸, 野田 英行, 堂阪 勝己, 有本 和民, 齊藤 和則, “CAMを付加した超並列SIMDプロセッサによるAES処理高速化手法 (1) ~暗号化方法~, ” 平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 93-94, (2007.10)
- [287] 石崎 雅勝, 田上 正治, 熊木 武志, 小出 哲士, Hans Juergen Mattausch, 行天 隆幸, 野田 英行, 堂阪 勝己, 有本 和民, 齊藤 和則, “CAMを付加した超並列SIMDプロセッサによるAES処理高速化手法 (2) ~復号化方法~, ” 平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 95-96, (2007.10)
- [288] 榊原 尚吾, Abedin Md.Anwarul, 田中 裕己, Hans Juergen Mattausch, 小出 哲士, “学習機能を実現する連想メモリのLSI設計” 平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 97-98, (2007.10)
- [289] 栗根 和俊, 岡崎 啓太, 永岡 奈緒美, 菅原 達也, 小出 哲士, Hans Juergen Mattausch, “イメージスキャン画像分割アーキテクチャのLSI設計,” 平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 229-230, (2007.10)
- [290] 熊木 武志, 石崎 雅勝, 田上 正治, 今井 雄太, 小出 哲士, Hans Juergen Mattausch, “マルチポート連装メモリを用いた効果的な並列符号化処理について,” 平成19年度電気・情報関連学会中国支部第58回連合大会, pp. 322-323, (2007.10)
- [291] 熊木 武志, 石崎 雅勝, 田上 正治, 小出 哲士, マタウシュ ハンス ユルゲン, 行天 隆幸, 野田 英行, 黒田 泰斗, 堂阪 勝己, 有本 和民, 齊藤 和則, “CAMを有する超並列SIMD型演算プロセッサによる効果的なマルチメディアデータ処理について” 信学技報, CPSY2007-27, pp. 19-24, (2007.10)
- [292] 石崎 雅勝, 熊木 武志, 田上 正治, 小出 哲士, マタウシュ ハンス ユルゲン, 行天 隆幸, 野田 英行, 奥野 義弘, 有本 和民, “CAMを有する超並列SIMD型演算プロセッサによる効果的なAES暗号化処理,” 信学技報, CPSY2007-28, pp. 25-30, (2007.10)
- [293] 岡崎 啓太, 栗根 和俊, 永岡 奈緒美, 菅原 達也,

- 小出 哲士, マタウシュ ハンスユルゲン, “2次元ブロックでスキャンを行う画像分割アーキテクチャの性能評価” 第9回IEEE広島支部学生シンポジウム (HISS2007), B-07, (2007.11)
- [294] 和泉 伸也, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士, “90-nm CMOSテクノロジーにおけるSRAM-cellのStatic-Noise-Marginの評価” 第9回IEEE広島支部学生シンポジウム (HISS2007), B-08, (2007.11)
- [295] 栗根 和俊, 岡崎 啓太, 永岡 奈緒美, 菅原 達也, 小出 哲士, Hans Juergen Mattausch, “スキャン方式画像分割アーキテクチャの効率的な実装,” 2008年電子情報通信学会総合大会, C-12-20, p. 110, (2008.3)
- [296] 和泉 伸也, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士, “微細CMOS技術におけるSRAMセルの安定性評価,” 2008年電子情報通信学会総合大会, C-12-27, p. 117, (2008.3)
- [297] 永岡 奈緒美, 栗根 和俊, 岡崎 啓太, 菅原 達也, 小出 哲士, Mattausch, Hans Jrgen, “物体認識に向けた特徴量マッチングによるグルーピング手法” 2008年電子情報通信学会総合大会, 情報・システムソサイエティ総合大会特別号, p.117, (2008.3)
- [298] 小平行秀, 高橋篤司, “一般同期方式向けレジスタ再配置手法の性能評価. DAシンポジウム2007論文集,” 情報処理学会シンポジウムシリーズ, Vol. 2007, No. 7, pp. 193-198, 2007年8月30日.
- [299] 橋本浩良, 小平行秀, 高橋篤司, “CADツールを用いた一般同期向けクロック木合成法の改良,” DAシンポジウム2007論文集, 情報処理学会シンポジウムシリーズ, Vol. 2007, No. 7, pp. 199-204, 2007年8月30日.
- [300] Bakhtiar Affendi Rosdi, Atsushi Takahashi. “Delay Balancing by Min-Cut Algorithm for Reducing the Area of Pipelined Circuits,” 第20回 回路とシステム軽井沢ワークショップ論文集, pp. 643-648, 2007年4月24日.
- [301] 原田陽介, 橋本浩良, 小平行秀, 高橋篤司, “CADツールを用いた一般同期向けクロック木の1合成法,” 電子情報通信学会技術報告書 (VLD2006-127), Vol. 106, No. 548, pp. 49-53, 2007年3月8日.
- [302] 山崎大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “HW/SW協調合成におけるASIPの面積/遅延見積もり手法” pp. 31-36, DAシンポジウム2007 (2007)
- [303] 大田元則, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションに特化した動的再構成可能なネットワークプロセッサ” pp. 37-42, DAシンポジウム2007 (2007)
- [304] 大田元則, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “応用指向動的再構成なネットワークプロセッサ設計手法,” pp. 141-150, 組込みシステムシンポジウム2007
- [305] 山崎大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, “SIMD プロセッサコアの面積/遅延見積もり手法,” pp. 233-240, 組込みシステムシンポジウム2007 (2007)
- [306] 川畑伸幸, 奈良竜太, 戸川望, 柳澤政生, 大附辰夫, “AESにおける合成体SubBytes向けパワーマスキング乗算回路の設計” pp. 37-42, VLD研究会 (2007)
- [307] 今井優太, 清水一範, 戸川望, 柳澤政生, 大附辰夫, “列処理演算法に着目したマルチレート対応イレギュラーLDPC符号復号器,” pp. 19-24, RECONF研究会 (2007)
- [308] 佐藤嘉晃, 尼崎太樹, 山口良一, 飯田全広, 末吉敏則, “粒度可変構造論理セル向け算術演算回路の実現,” 信学技報 RECONF2007-7, Vol. 107, No. 41, pp. 37-42, May 2007.
- [309] 三浦 大, 尼崎太樹, 松山和憲, 飯田全広, 末吉敏則, “粒度可変論理セルの構成に関する一検討,”
- [310] 松山和憲, 山口良一, 佐藤嘉晃, 三浦 大, 古賀正紘, 井上万輝, 尼崎太樹, 飯田全広, 末吉敏則, “粒度可変論理セルのコネクションブロック構造と多入力論理実装手法の一検討,” 信学技報 RECONF2007-33, Vol. 107, No. 340, pp. 7-12, Nov. 2007.
- [310] 松山和憲, 山口良一, 佐藤嘉晃, 三浦 大, 古賀正紘, 井上万輝, 尼崎太樹, 飯田全広, 末吉敏則, “粒度可変論理セルのコネクションブロック構造と多入力論理実装手ヒ, ホー・。ニ、,” ソウウリオサハRECONF2007-33, Vol. 107, No. 340, pp. 7-12, Nov. 2007.
- [311] 仁木祐介, 萬澤康雄, 亀谷暁, 柴田直, “画素差分情報の膨張処理を用いたアナログ動体検出VLSIシステム,” 電子情報通信学会技術報告 (信学技報), Vol. 107, No. 287, 論文番号SIP2007-114, ICD2007-103, IE2007-73, pp. 23-28, 2007年10月.
- [312] 馬奕涛, 柴田直, “K-Means学習プロセッサシステムのためのマルチチップ・アーキテクチャ,” 電子情報通信学会技術報告 (信学技報), Vol. 107, No. 287, 論文番号SIP2007-116, ICD2007-105, IE2007-75, pp. 35-40, 2007年10月.
- [313] グエントアンリム, 伊藤潔人, 柴田直, “時間領域演算を用いたランクオーダーフィルタおよびソー

ディングエンジンのコンパクトかつ低消費電力実装,” 電子情報通信学会技術研究報告 (信学技報), Vol. 107, No. 287, 論文番号SIP2007-117, ICD2007-106, IE2007-76, pp. 41-46, 2007年10月

- [314] Kyougoku, Sekine, “A Filter Model as Input Section of the ITD Model for Sound Source Localization in the Barn Owl,” CD-ROM, The International Technical Conference on Circuits/System Computers and Communications (2007)
- [315] Takase, Hayashi, Sekine, “Hearing Aid System Using Basilar Hardware membrane Model,” Engineering Application of Neural Network (2007)
- [316] Saeki, Hayashi, Sekine, “Noise Tolerance of a Pulse-type Hardware Neural Network with STDP Synapses -Thermal Noise and Extraction of Phase Difference Information-,” Proc.2007 IEEJ international Analog VLSI Workshop (2007)
- [317] Saeki, Hayashi, Sekine, “PULSE-TYPE NEURO DEVICE WITH SPIKE TIMING DEPENDENT SYNAPTIC PLASTICITY,” International Conference on Biomedical Electronics and Device (2008)
- [318] 清水, 林, 佐伯, 関根, “メキシカンハット型の時間窓を示すアナログ回路モデルの構築,” pp. 111-115, 電子情報通信学会第20回回路とシステム軽井沢ワークショップ (2007)
- [319] 清水, 佐伯, 関根, “メキシカンハット型の時間窓を示すSTDPを用いたシナプス回路に対する検討,” pp. 917-922, 電気学会電子・情報・システム部門大会 (2007)
- [320] 関根, “非線形電子回路の応用技術調査委員会活動報告,” ECT-07-08, 電気学会電子回路研究会 (2007)
- [321] 山田, ハッサワン, 清水, 関根, “パルス型ハードウェアニューロンモデルの抑制後リバウンド発火に対する検討,” ECT-07-103, 電気学会電子回路研究会 (2007)
- [322] 掘金, ユン, 関根, “OTAを用いたシナプスモデルの特性改善,” ECT-07-104, 電気学会電子回路研究会 (2007)
- [323] 清水, 関根, “能動的樹状突起ハードウェアモデルに対する検討,” 電子情報通信学会2008年総合大会 (2008)
- [324] 山田, ハッサワン, 清水, 関根, “パルス型ハードウェア細胞体モデルの抑制後リバウンド発火特性,” 電子情報通信学会2008年総合大会 (2008)
- [325] Yoon, Taniguchi, Horikane, Sekine, “Developing a Hardware Neural Network for Memorizing Temporal Patterns,” CD-ROM, The International Technical Conference on Circuits/System Computers and Communications (2007)
- [326] Akazawa, Sekine, “The Hardware CPG Model for Humanoid Robot HOAP2,” CD-ROM, The International Technical Conference on Circuits/System Computers and Communications (2007.)
- [327] Takase, Hayashi, Sekine, “Basilar membrane model using Simulink for DSP,” Brain-Inspired Information Technology III (2007)
- [328] 平田, 石丸, 清水, 深井, “ニューロンMOSを用いた4値SRAMの検討,” 信学技報, Vol. 107, No. 328, NC2007-62, pp. 43-48, 2007.
- [329] 平田, 石丸, 深井, “4値シフトレジスタの検討,” 電子情報通信学会総合大会, 2008
- [330] 清水, 石川, 深井, “ v MOSカレントミラーの周波数特性について,” 電子情報通信学会総合大会, 2008.
- [331] 原口, 清水, 石川, 深井, “完全差動型増幅器を用いた改良型ニューロンMOSカレントミラー,” 電子情報通信学会九州支部学生会講演会, C-14, 2007.
- [332] 下条, 清水, 石川, 深井, “ニューロンMOSカレントミラーに用いるニューロンMOSFETの入力ゲート容量比の検討,” 電子情報通信学会九州支部学生会講演会, 2007.
- [333] 日浦, 小原, 戸川, 柳澤, 大附, “アプリケーションプロセッサのカーネル記述自動生成手法,” pp. 161-166, 情報処理学会研究報告 (2008).
- [334] 谷村, 奈良, 小原, 史, 戸川, 柳澤, 大附, “GF (2^n) 及びGF (P) におけるスケーラブル双基数ユニファイド型モンゴメリ乗算器,” pp. 43-48, 情報処理学会研究報告 (2007).
- [335] 小原, 史, 戸川, 柳澤, 大附, “命令メモリビット幅削減に基づく低エネルギー ASIP 合成手法,” 情報処理学会研究報告 (2008).
- [336] 宮部 保雄, 宮代 具隆, 北村 聡, 田邊 昇, 中條 拓伯, 天野 英晴, “MPI派生データ型通信支援機構のDIMMnet-2への実装と評価,” 先進的計算基盤システムシンポジウム SACSIS2007, pp. 211-218, May. 2007.
- [337] 松谷 宏紀, 鯉淵 道紘, 天野 英晴, “Network-on-Chip における Fat H-Tree トポロジに関する研究,” 第5回先進的計算基盤システムシンポジウム (SACSIS'07) 論文集, pp. 201-209, May 2007.
- [338] 松谷 宏紀, 鯉淵 道紘, 天野 英晴, “クロスバ接続による3次元 Network-on-Chip 向け多層型トポ

- ロジ,” 情報処理学会研究報告 2007-ARC-173, pp. 109-114, Jun 2007.
- [339] 松谷 宏紀, 鯉淵 道紘, 王 代涵, 天野 英晴, “オンチップルータにおける仮想チャネル単位の走行時パワーゲーティング,” 情報処理学会研究報告 2007-ARC-175 (DesignGaia'07), pp. 21-26, Nov. 2007.
- [340] 松谷 宏紀, 鯉淵 道紘, 王 代涵, 天野 英晴, “オンチップルータにおける仮想チャネル単位の走行時パワーゲーティング,” 第11回システム LSI ワークショップ資料集, ポスタセッション, pp. 231-233, Nov 2007.
- [341] 松谷 宏紀, 鯉淵 道紘, 王 代涵, 天野 英晴, “Look-Ahead ルーティングを用いたオンチップルータの動的パワーシャットダウン,” 情報処理学会研究報告 2007-ARC-174 (SWoPP'07), pp. 127-132, Aug 2007.
- [342] 齊藤正太郎, 長谷川揚平, 小浜由範, 杉森靖史, 天野英晴, “チップ間無線通信を用いた3次元動的リコンフィギャラブルデバイス MuCCRA-Cube の提案,” RECONF2007-5, pp. 25-30
- [343] 齊藤正太郎, 杉森靖史, 小浜由範, 黒田忠広, 長谷川揚平, 天野英晴, “チップ間無線通信を用いた3次元動的リコンフィギャラブルデバイスの実装,” VLD2007-123/CPSY2007-66/RECONF2007-69, pp. 31-36
- [344] 平井 啓一郎, 武田 清大, 西村 隆, 長谷川 揚平, 堤 聡, 宇佐美 公良, 天野 英晴, “動的リコンフィギャラブルプロセッサ MuCCRA の低消費電力化,” リコンフィギャラブルシステム研究会 (RECONF, 5月17, 18), Vol. 107, No. 41, pp. 61-66.
- [345] 関 直臣, 長谷川 揚平, 天野 英晴, 大久保 直昭, 武田 清大, 香嶋 俊裕, 白井 利明, 宇佐美 公良, 近藤 正章, 中村 宏, “MIPS R3000 における細粒度動的スリープ方式の提案,” 2007-ARC, pp. 49-54, May 2007
- [346] 関 直臣, Lei Zhaoy, 徐慧, 長谷川 揚平, 天野 英晴, 大久保 直昭, 武田 清大, 香嶋 俊裕, 白井 利明, 宇佐美 公良, 近藤 正章, 中村 宏, “MIPS R3000 における細粒度動的スリープ方式の提案,” 2007-SLDM, pp. 91-96, Aug 2007
- [347] 関直臣, Lei Zhaoy, 徐慧, 池淵大輔, 小島悠, 長谷川揚平, 天野英晴, 香嶋俊裕, 武田清大, 白井利明, 中田光貴, 宇佐美公良, 砂田徹也, 金井遵, 並木美太郎, 近藤正章, 中村宏, “MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価,” 2008-ARC-176, pp. 71-76, Jan 2008
- [348] 加東 勝, 長谷川 揚平, 天野 英晴, “PE 直結型動的リコンフィギャラブルプロセッサ MuCCRA-D の提案,” リコンフィギャラブルシステム研究会 (RECONF, 5月17, 18), Vol. 107, No. 41, pp. 67-72
- [349] 加東 勝, 長谷川 揚平, 天野 英晴, “PE 直結型動的リコンフィギャラブルプロセッサ MuCCRA-D の評価,” 第30回 パルテノン研究会 (6月29, 30), pp. 1-7
- [350] 長谷川 揚平, 堤 聡, タンブンヘン バスタン, 天野 英晴, “低消費電力動的リコンフィギャラブルプロセッサ向けアーキテクチャ評価環境の構築,” 電子情報通信学会技術研究報告 RECONF2007-40, pp. 25-30, 2007年11月.
- [351] 長谷川 揚平, 堤 聡, 中村 拓郎, 西村 隆, 佐野 徹, 加東 勝, 齊藤 正太郎, 天野 英晴, “動的リコンフィギャラブルプロセッサ MuCCRA-1 の実装と評価,” 先進的計算基盤システムシンポジウム (SACSIS2007) 論文集, pp. 95-102, May 2007.
- [352] 堤 聡, Vasutan Tunbunheng, 長谷川 揚平, 松谷 宏紀, Adepu Parimala, 中村 拓郎, 西村 隆, 佐野 徹, 加東 勝, 齊藤 正太郎, 関 直臣, 平井 啓一郎, 毛 凱毅, 天野 英晴, “マルチキャストコンフィギュレーションのスケジューリングアルゴリズム,” 電子情報通信学会技術研究報告 (RECONF2006-73), Vol. 106, No. 458, pp. 49-54, January 2007.
- [353] 堤 聡, 長谷川 揚平, 西村 隆, 天野 英晴, “動的リコンフィギャラブルプロセッサアレイにおける動的周波数制御によるエネルギー削減手法の検討,” 電子情報通信学会技術研究報告 (RECONF2007-31), Vol. 107, No. 225, pp. 95-100, September 2007.
- [354] 佐野 徹, 中村 拓郎, 堤 聡, 長谷川 揚平, 天野 英晴, “動的リコンフィギャラブルプロセッサ MuCCRA におけるコンフィギュレーションデータ転送時間の削減,” RECONF2007-10, Vol. 107, No. 41 (20070510) pp. 55-60
- [355] 佐野 徹, 長谷川 揚平, 堤 聡, 天野 英晴, “直接実行モードを持つ動的リコンフィギャラブルプロセッサの提案,” 電子情報通信学会技術研究報告 RECONF2007-29, pp. 83-88, 2007年9月
- [356] 西村 隆, 長谷川 揚平, 堤 聡, 天野 英晴, “動的リコンフィギャラブルプロセッサにおける電力分析,” 電子情報通信学会技術研究報告 RECONF2007-41, pp. 31-36, 2007年11月.
- [357] 中村 拓郎, 長谷川 揚平, 堤 聡, 天野 英晴, “動的リコンフィギャラブルプロセッサ MuCCRA における構成情報配送の高速化,” 電子情報通信学

会技術研究報告 RECONF2007-39, pp. 19-24, 2007年11月.

- [358] 中村 拓郎, 長谷川 揚平, 堤 聡, 松谷 宏紀, バスタンタンブンヘン, アデプ パリマラ, 西村 隆, 加東勝, 斎藤 正太郎, 佐野 徹, 関 直臣, 平井 啓一郎, 毛凱毅, 天野 英晴, “動的リコンフィギャラブルプロセッサ MuCCRA の実装,” 電子情報通信学会技術研究報告 RECONF2006-72, pp. 43-48, January 2007.
- [359] 香嶋 俊裕, 武田 清大, 大久保 直昭, 白井 利明, 宇佐美 公良, “走行時パワーゲーティングを適用した低消費電力乗算器の試作による電力評価,” 電子情報通信学会技術研究報告, VLD2007-80, pp. 63-68, Aug. 2007.
- [360] 中田 光貴, 白井 利明, 香嶋 俊裕, 武田 清大, 宇佐美 公良, 長谷川 揚平, 関 直臣, 天野 英晴, “ランタイムパワーゲーティングを適用した回路での検証環境と電力見積もり手法の構築,” 電子情報通信学会技術研究報告, VLD2007-111, pp. 37-42, Jan. 2008.
- [361] 白井 利明, 香嶋 俊裕, 武田 清大, 中田 光貴, 宇佐美 公良, 長谷川 揚平, 関 直臣, 天野 英晴, “ランタイムパワーゲーティングを適用したMIPS R3000プロセッサの実装設計と評価,” 電子情報通信学会技術研究報告, VLD2007-112, pp. 43-48, Jan. 2008.
- [362] 会田 真弘, 宇佐美 公良, “パワースイッチの実現方式が速度と消費電力に及ぼす影響の研究,” 電子情報通信学会総合大会講演論文集, A-3-9, pp. xx-xx, Mar. 2008. (to appear)
- [363] 橋田 達徳, 宇佐美 公良, “スタティックタイミン解析を可能にするパワースイッチ共有化手法,” 電子情報通信学会総合大会講演論文集, A-3-10, pp. xx-xx, Mar. 2008. (to appear)
- [364] 大木 亮, 宇佐美 公良, “パワーゲーティング手法によるCPUのレジスタファイルの消費電力低減化技術,” 電子情報通信学会総合大会講演論文集, A-3-11, pp. xx-xx, Mar. 2008. (to appear)
- [365] 馬橋 雄祐, 神林 侑希, 加東 勝, 長谷川 揚平, 天野 英晴, 宇佐美 公良, “2電源電圧手法による動的リコンフィギャラブル・プロセッサの低消費電力化,” 電子情報通信学会総合大会講演論文集, D-18-4, pp. xx-xx, Mar. 2008. (to appear)
- [366] 小山 慧, 武田 清大, 宇佐美 公良, “MTCMOS回路を利用したオンチップリークモニタの設計と解析,” 電子情報通信学会技術研究報告, VLD2007-xx, pp. xx-xx, Mar. 2008. (to appear)
- [367] 山辺裕樹, 谷川一哉, 弘中哲夫, “デジタル幅変換機能付きメモリとその応用,” 信学技報, Vol. 107, No. 225, RECONF2007-15, pp. 1-6, 2007年9月
- [368] 頭山哲也, 谷川一哉, 弘中哲夫, “DS-HIEアーキテクチャにおける配線構造の検討,” 信学技報, Vol. 107, No. 225, RECONF2007-17, pp. 13-18, 2007年9月
- [369] 山辺裕樹, 谷川一哉, 弘中哲夫, “デジタルシリアル演算器を用いたFIRフィルタの設計と初期評価,” 信学技報, Vol. 107, No. 334, VLD2007-81, pp. 67-72, 2007年11月
- [370] 内田琢郎, 頭山哲也, 谷川一哉, 弘中哲夫, “デジタルシリアル演算を導入した再構成型アーキテクチャの性能評価,” 信学技報, Vol. 107, No. 342, RECONF2007-43~50, pp. 7-12, 2007年11月.
- [371] 吉原理記, 谷川一哉, 弘中哲夫, 佐藤正幸, “プロトタイプMPLD (Memory Programmable Logic Device) の実装と評価,” 第9回 IEEE 広島支部学生シンポジウム 論文集, 2007.
- [372] 松本, 原, 木村, “可視光ID用集積化受光素子の試作,” pp. 25-29, フィジカルセンサ研究会 (2007).
- [373] 井上高宏・Felix Timischl・榊永大輔・常田明夫 “低電圧低消費電力かつ電源電圧依存性の低いCMOSリング発振器の一設計,” 電気関係学会九州支部第60回連合大会, 06-1A-04, 2007年9月
- [374] 宋 春奇・池田康浩・早田祐也・山川俊貴・井上高宏・常田明夫 “CMOSオンチップ化に適したダイオードチャージポンプ型AC-DC変換回路の一構成” 電気関係学会九州支部第60回連合大会, 06-1A-05, 2007年9月
- [375] 井上高宏・山城昌雄・中島 晃・常田明夫 “スマートRFIDタグ用BPWK個体識別符号照合回路の一設計,” 電気関係学会九州支部第60回連合大会, 06-1A-06, 2007年9月
- [376] 井上高宏・池田康浩・常田明夫, “コイル結合型受動ICタグシステムの変復調回路の一設計とその解析,” 電気関係学会九州支部第60回連合大会, 06-1A-07, 2007年9月,
- [377] 井上高宏・松尾雅文・山川俊貴・常田明夫, “RFIDタグ用BFSK変調器の一設計” 電気関係学会九州支部第60回連合大会, 06-1A-08, 2007年9月
- [378] 田中麻子・丸田晃生・井上高宏・常田明夫 “受動RFIDタグ用クロック再生回路の一設計” 電気関係学会九州支部第60回連合大会, 06-1A-09, 2007年9月
- [379] 井上高宏・中島嘉紀・糸山寿毅・常田明夫 “パルス幅変換を用いたスマートRFIDタグ用体温計測集積回路の一設計” 電気関係学会九州支部第60回

- 連合大会, 06-1A-10, 2007年9月
- [380] 山川俊貴・井上高宏・原田真之・常田明夫 “スマートRFIDタグ用心拍パルス検出CMOS回路の設計と実験” 電気関係学会九州支部第60回連合大会, 06-1A-11, 2007年9月
- [381] 中島 晃・井上高宏・常田明夫 “スマートRFIDタグ用IDコード生成CMOS回路の設計と実験” 電気関係学会九州支部第60回連合大会, 05-1P-01, 2007年9月
- [382] 井上高宏・前村耕太郎・原田真行・常田明夫 “生体信号処理用低周波連続時間オンチップ高域通過フィルタの一設計” 電気関係学会九州支部第60回連合大会, 06-1P-07, 2007年9月
- [383] 鈴木隆文, 竹内昌治, 満洲邦彦, “多機能柔軟神経電極の開発とBMIへの応用,” 第1回Motor Control 研究会, (2007)
- [384] Shuaiqi WANG, Fule LI, Yasuaki INOUE, “An Algorithmic Stage Based on the Novel Capacitor Mismatch Calibration Technique,” 2008年電子情報通信学会総合大会, pp. s9-s10, March, 2008.
- [385] Sui HUANG, Zhangcai HUANG and Yasuaki INOUE, “A 45nm Stable Dynamic Standby Mode SRAM for Leakage Power Suppression,” pp. S7-S8, 2008年電子情報通信学会総合大会
- [386] Zhangcai Huang, Fayan Wang, Suai Fang, Xuetao Sun and Yasuaki Inoue, “Stability Analysis of Nonlinear Feedback Circuits,” The 20th Workshop on Circuits and Systems in Karuizawa, Apr.2007.
- [387] Fayan Wang, Zhangcai Huang, Na Li, Xue Sun and Yasuaki Inoue, “Stability Analysis of Feedback Circuits in Analog Multiplier Designs,” 2007 International Conference on Communications, Circuits and Systems, July, 2007.
- [388] 孫 雪涛, 黄 章財, 王 法嚴, 井上 靖秋, “ばらつき自己補償型非線形アナログ演算回路,” 第11回システムLSIワークショップ・ポスター発表, 2007年11月
- [389] 130.Jun Pan and Yasuaki Inoue, “A fast lock phase-locked loop with a continuous-time phase frequency detector,” 電子情報通信学会第20回回路とシステム軽井沢ワークショップ論文集, pp. 99-103, 2007年4月. ”
- [390] Zheng Liang, Wei-Lun Huang, Jun Pan and Yasuaki Inoue, “An ultra low-power high-speed rail-to-rail buffer amplifier for LCD source drivers,” 電子情報通信学会第20回回路とシステム軽井沢ワークショップ論文集, pp. 529-533, 2007年4月.
- [391] Jun Pan and Yasuaki Inoue, “A high efficiency all PMOS charge pump circuit without over-stress in low-voltage CMOS process,” 電子情報通信学会第20回回路とシステム軽井沢ワークショップ論文集, pp. 541-546, 2007年4月.
- [392] 清山 浩司 田中 義人, 水野 裕志 小野田 政弘, “電力受動型医療器向け電力制御システムの設計,” 平成19年度電気・情報関係学会北海道支部連合大会, 2007年11月
- [393] 佐野哲, 浜垣秀樹, 田中義人, 房安貴弘, 清山浩司, “GEMを用いた2次元イメージングに向けたLSIの設計,” 日本物理学会年次大会, 2007年9月
- [394] 佐野哲, 浜垣秀樹, 田中義人, 房安貴弘, “ガス電子増幅器 (GEM) を用いた2次元イメージングに向けた読み出し回路の開発,” 日本物理学会春季大会, 2007年3月
- [395] 小屋 祥太, 鳥塚 英樹, 山口 正洋, 青山 聡, 川人 祥二 “オンチップ集積化マイクロ磁界プローブの開発” 環境電磁工学研究会 (新潟大学, 2007)
- [396] 小林 翔一, 鳥塚 英樹, 山口 正洋, “マイクロチップ上における高周波電磁ノイズ測定の高精度化” 第31回日本応用磁気学会学術講演会, 11aB-10 (2007)
- [397] 山口 正洋, 鳥塚 英樹, 小林 翔一, 大曾根 一平, 青山 聡, 川人 祥二, “オンチップ増幅器集積化マイクロ磁界プローブの試作” 第31回日本応用磁気学会学術講演会 (東京, 2007)
- [398] 山口 正洋 “通信用高周波マイクロ磁気デバイス” JEITA MEMS ナノテクノロジー実用化技術調査研究委員会 (東京, 2007)
- [399] 山口正洋 “磁気技術から見たエレクトロニクス実装の世界” 日本磁気学会第157回研究会, (東京, 2007)
- [400] 小林翔一, 鳥塚英樹, 小屋祥太, 島田寛, 山口正洋, “チップサービスを用いた伝送線路の特性と集積化磁性流体の伝送特性に与える影響” 電気学会マグネティクス研究会MAG-07-159 (東北大学, 2007)
- [401] 山口 正洋 “NSS 国際標準化 - できたこと・できなかったこと” 第100回IEC/TC51/WG7, WG10国内委員会 (第100回記念) (東京, 2008)
- [402] 橋本亮司, 加藤公也, 才辻誠, 田中照人, 上津寛和, 藤田玄, 尾上孝雄, “1080hd向けマルチシンボルH.264エントローピー復号器,” 第21回デジタル信号処理シンポジウム, November 2007

- [403] 橋本亮司, 松村友哉, 野里良裕, 渡邊賢治, 尾上孝雄, “複眼光学系による物体注視システムのハードウェア実現,” 第9回 DSPS教育者会議 予稿集, pp. 87-88, August 2007.
- [404] “有極ログドメインフィルタの合成手法とシラビックコンパニング技術の適用,” 秋田 一平, 和田 和千, 田所 嘉昭, 電学電子回路研資 ECT-07-78, 2007年10月.
- [405] “広いデジタル回路領域に対応した基板雑音の打ち消し回路,” 鈴木 寛人, 和田 和千, 田所 嘉昭, 電学電子回路研資 ECT-08-08, 2008年1月.
- [406] “有極低域通過特性を有する低感度ダイレクトサンプリングミキサ,” 山下 知憲, 和田 和千, 田所 嘉昭, 電学電子回路研資 ECT-08-18, 2008年1月.
- [407] “素子値の広がりを低減したIF用狭帯域通過フィルタの試作と評価,” 久保 俊一, 和田 和千, 田所 嘉昭, 電学電子回路研資 ECT-08-34, 2008年3月.
- [408] “信号分割手法に基づき基板雑音と歪みを同時に低減するためのフィルタ構成,” 和田和千, 清川幸哉 (豊橋技術科学大学), ニコデムス レディアン, 高木茂孝, 佐藤隆英, 藤井信生 (東京工業大学), 電学電子回路研資 ECT-08-32, 2008年3月.
- [409] 平本俊郎 (基調講演), “LSI微細化の現状とナノテクノロジーへの期待,” 第19回半導体ワークショップ, アクトシティ浜松 (静岡), 2007年6月21日.
- [410] 平本俊郎 (基調講演), “微細トランジスタの特性ばらつきとロバストトランジスタ技術,” 次世代リソグラフィワークショップ (NGL 2007), 日本科学未来館 (東京), pp. 5-8, 2007年7月12日.
- [411] 平本俊郎, “ナノスケールデバイス技術～新原理・新材料デバイスとCMOS技術との融合～,” JEITA電子材料・デバイス技術委員会成果報告会, 主婦会館プラザエフ (東京), 2007年7月13日.
- [412] 平本俊郎, “ナノMOSFETの揺らぎとデバイスインテグリティ,” 科学研究費補助金特定領域研究“シリコンナノエレクトロニクスの新展開”第2回全体会議, メルパルク名古屋 (愛知), 2007年8月10日.
- [413] 清水健, 平本俊郎, “SOI膜厚5nmの(100)面極薄nMOSFETにおける移動度ユニバーサリティ,” 電子情報通信学会シリコン材料・デバイス研究会集積回路研究会合同研究会, 北見工業大学, SDM-2007-160, ICD2007-88, 2007年8月24日.
- [414] Arifin Tamsir Putra, 西田彰男, 蒲原史朗, 角村貴昭, 平本俊郎, “局所ゲート空乏化の影響によるMOSFETの V_{th} ばらつきの計算,” 第68回応用物理学学会学術講演会, 北海道工業大学, 7a-ZE-8, 2007年9月7日.
- [415] 陳杰智, 清水健, 筒井元, 平本俊郎, “(110)面UTB MOSFETにおける音響フォノン散乱移動度の劣化機構の考察,” 第68回応用物理学学会学術講演会, 北海道工業大学, 7p-ZL-9, 2007年9月7日.
- [416] 清水健, 平本俊郎, “SOI膜厚5nm以下における(110)面ダブルゲートUTB pMOSFETの移動度劣化,” 第68回応用物理学学会学術講演会, 北海道工業大学, 7p-ZL-10, 2007年9月7日.
- [417] 李世濬, 宮地幸祐, 平本俊郎, “室温動作シリコン単正孔トランジスタにおける拡張領域クーロンブロッケード特性,” 第68回応用物理学学会学術講演会, 北海道工業大学, 8p-ZL-2, 2007年9月8日.
- [418] 平本俊郎 (チュートリアル講演), “10nm世代に向けたMOSトランジスタの特性ばらつき克服に向けて,” 電子情報通信学会エレクトロニクスソサイエティ大会特別企画“10nm世代に向けた新LSI技術,” 鳥取大学, 2007年9月10日.
- [419] 平本俊郎, “シリコンナノエレクトロニクス,” 電子情報技術産業協会有機エレクトロニクス技術専門分科会, 中央大学駿河台記念館, 2007年9月14日.
- [420] 平本俊郎, “ナノテクノロジーとシリコンテクノロジー – More Than MooreとBeyond CMOSについて考える –,” SSDMショートコース, つくば国際会議場 (茨城), pp. 3-15, 2007年9月18日.
- [421] 平本俊郎, 李世濬, 宮地幸祐, “室温動作シリコン単電子トランジスタにおけるクーロン振動および負性コンダクタンスの制御,” 公開シンポジウム“ナノ量子情報エレクトロニクスシンポジウム,” 東京大学駒場 I キャンパス数理科学研究科棟ホール, pp. 29-30, 2007年10月25日.
- [422] 清水健, 平本俊郎, “(100)面ダブルゲート極薄SOI nMOSFETsにおける移動度,” 公開シンポジウム“ナノ量子情報エレクトロニクスシンポジウム,” 東京大学駒場 I キャンパス数理科学研究科棟ホール, pp. 123-124, 2007年10月25日.
- [423] 李世濬, 平本俊郎, 宮地幸祐, “室温動作シリコン単正孔トランジスタにおける広域拡張ブロッケード特性の物理的起源,” 公開シンポジウム“ナノ量子情報エレクトロニクスシンポジウム,” 東京大学駒場 I キャンパス数理科学研究科棟ホール, pp. 137-138, 2007年10月25日.
- [424] 平本俊郎, “FinFETとシリコンナノワイヤトランジスタ,” 応用物理学会薄膜・表面物理基礎講座“量子構造の基礎から応用まで,” 東京理科大学神楽坂キャンパス森戸記念館, pp. 29-34, 2007年11月8日.

- [425] 平本俊郎, “シリコンナノエレクトロニクス,” かわさきサイエンス&テクノロジーフォーラム2007, かながわサイエンスパーク (神奈川), pp. IV-11-IV-14, 2007年11月22日.
- [426] 平本俊郎, “ロバストトランジスタ技術,” 2007年半導体MIRAIプロジェクト成果報告会, つくば国際会議場, pp. 47-56, 2007年12月18日.
- [427] 平本俊郎, アリフィン タムシル プトラ, “物理パラメータばらつきに対し耐性の高いデバイス開発,” 2007年半導体MIRAIプロジェクト成果報告会, つくば国際会議場, pp. 140, 2007年12月18日.
- [428] 平本俊郎, アリフィン タムシル プトラ, 鈴木誠, “ナノMOSFETにおける特性ばらつき現状と対策,” 科学研究費補助金特定領域研究 “シリコンナノエレクトロニクスの新展開” 第3回全体会議, メルパルク名古屋 (愛知), 2007年12月21日.
- [429] 平本俊郎, 高橋啓介, “高い電流駆動力と基板バイアス係数を有するバルクFinFET,” 科学研究費補助金特定領域研究 “シリコンナノエレクトロニクスの新展開” 第3回全体会議, メルパルク名古屋 (愛知), 2007年12月21日.
- [430] 清水健, 平本俊郎 (招待講演), “膜厚4 nm以下の(110)面極薄SOIシングルゲート/ダブルゲートn/p MOSFETにおける一軸引っ張り歪みによる移動度向上,” 応用物理学学会シリコンテクノロジー分科会第98回研究集会, p. 6-9, 電子情報通信学会シリコンデバイス・材料研究会, 機械振興会館 (東京), 2008年1月24日.
- [431] 宮地幸祐, 平本俊郎, “室温動作シリコン単電子トランジスタとその応用,” 固体エレクトロニクス研究会, 東京大学先端科学技術研究センター, 2008年2月28日.
- [432] 清水健, 平本俊郎, “膜厚4nm以下の(110)面極薄SOI SG/DG MOSFETにおける一軸歪みによる移動度向上,” 2008年春季第55回応用物理学学術講演会, 日本大学理工学部船橋キャンパス, 29a-P11-20, 2008年3月29日.
- [433] 清水健, 平本俊郎, “膜厚2nm以下の(100)面極薄SOIダブルゲートMOSFETにおける移動度劣化の抑制,” 2008年春季第55回応用物理学学術講演会, 日本大学理工学部船橋キャンパス, 29a-P11-21, 2008年3月29日.
- [434] 高橋啓介, 大藤徹, アリフィン・タムシル・プトラ, 平本俊郎, “高い電流駆動力と基板バイアス係数を有するFinFET,” 2008年春季第55回応用物理学学術講演会, 日本大学理工学部船橋キャンパス, 29a-P11-28, 2008年3月29日.
- [435] 高橋祐二, 宮地幸祐, 更屋拓哉, 平本俊郎, “Pドー
プSi微結晶を有するナノワイヤチャンネルナノクリスタルメモリの電気特性評価,” 2008年春季第55回応用物理学学術講演会, 日本大学理工学部船橋キャンパス, 27a-P2-8, 2008年3月27日.
- [436] 朴鐘臣, 宮地幸祐, 更屋拓哉, 肥後昭雄, 高橋一浩, 清水健, 李宥憲, 年吉洋, 平本俊郎, “可動ゲートを有するナノワイヤMOSFETと室温動作単電子トランジスタにおける特性変調,” 2008年春季第55回応用物理学学術講演会, 日本大学理工学部船橋キャンパス, 28a-P5-11, 2008年3月28日.
- [437] 本田将士, 小谷光司, 伊藤隆司, “パッシブ型UHF帯RFIDにおけるクロック生成回路” 平成19年度電気関係学会東北支部連合大会講演論文集 p184, 2E10 (2007)
- [438] 佐々木敦史, 小谷光司, 伊藤隆司, “UHF帯RFID向け高効率差動型整流回路” 2007ソサイエティ大会講演論文集 通信講演論文集 p390 B-20-11 (2007)
- [439] 小谷 光司, 伊藤 隆司, “自己V_{th}補正機能を有するUHF帯RFID向け高効率整流回路,” 電子情報通信学会誌シリコンアナログRF研究会資料, Vol. RF2007-4, p.1, 2008.
- [440] 成尚洙, 小谷 光司, 伊藤 隆司, “マッチング回路一体化 UHF RFID アンテナ設計,” 電子情報通信学会シリコンアナログRF研究会資料, Vol. RF2007-4, p.1, 2008.
- [441] Sang-su Seong, Koji Kotani, Takashi Ito, “Design of UHF RFID antennas with integrated matching circuitry for bio-engineering applications,” The 3rd International Symposium on Medical, Bio- and Nano-Electronics, P-04, 2008.
- [442] 曾我部拓・池田誠・浅田邦博, “動的電圧制御をする自己同期型プロセッサ,” pp. 12-18, 電子情報通信学会VLSI設計技術研究会 (2007)
- [443] 森井清仁, Sanjeewa Dissanayake, 田辺聡, 中根了昌, 竹中充, 菅原聡, 高木信一, “メタルソース・ドレインnチャンネルGOI MOSFETのチャンネル電子移動度測定,” 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [444] 星井拓也, 出浦桃子, 杉山正和, 中根了昌, 菅原聡, 竹中充, 中野義昭, 高木信一, “Si (111) 基板上へのInAsピラーの形成,” 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [445] 中北 要佑, 中根 了昌, 竹中 充, 高木 信一, “Ge酸化膜MOS界面を用いたGe p-MOSFETの作製,” 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [446] 田辺聡, 中北要佑, 原田智之, S.Dissanayake, 中

根了昌, 竹中充, 菅原聡, 高木信一, “GOI pMOS-FETの正孔反転層における移動度の評価,” 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.

[447] Sanjeewa Dissanayake, Yusuke Shuto, Satoshi Sugahara, Mitsuru Takenaka and Shinichi Takagi, “Effect s of annealing on (110) GOI layers fabricated by Ge condensation method,” 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.

[448] 星井拓也, 出浦桃子, 杉山正和, 中根了昌, 菅原聡, 竹中充, 中野義昭, 高木信一, “微小孔を介したSi基板上InGaAs成長におけるモフォロジー向上,” 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.

[449] 出浦桃子, 杉山正和, 星井拓也, 中根了昌, 竹中充, 菅原聡, 高木信一, 中野義昭, “Si上III/V族化合物半導体の選択MOVPEにおける初期核発生過程の観察と制御,” 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.

[450] 種村拓夫, 竹中充, アブドゥラー・アルアミン, 武田浩司, 塩田倫也, 杉山正和, 中野義昭, “InGaAsP/InPフェーズアレイ型1×5光スイッチの試作,” 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.

[451] 貞方 毅, 松永 裕介, “専用演算器の使用を考慮した効率的な動作合成手法,” 電子情報通信学会技術研究報告, VLD2007-89~104, pp. 55-59, Nov. 2007.

[452] 貞方 毅, 松永 裕介, “専用演算器と演算のチェイニングのトレードオフを考慮した動作合成手法,” 第20回 回路とシステム軽井沢ワークショップ, pp. 655-660, Apr. 2007.

[453] 渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, “性能歩留まり改善を目的とする演算器カスケードの提案,” 情報処理学会研究報告, 2008-ARC-177, pp. 43-48, Mar. 2008.

[454] 松村 忠幸, 石飛 百合子, 石原 亨, 安浦 寛人, “コード配置変更によるハイブリッドローカルメモリの消費エネルギー最小化,” 情報処理学会研究報告, 2007-SLDM-131, pp. 25-30, Oct. 2007.

[455] 山口 聖貴, 室山 真徳, 石原 亨, 安浦 寛人, “製造後にタイミング補正可能なオンチップバスアーキテクチャ,” 電子情報通信学会技術研究報告, VLD2007-79, DC2007-34 (2007-11), pp. 55-60, Nov. 2007.

[456] 山口 聖貴, 室山 真徳, 石原 亨, 安浦 寛人, “製造後に性能補償可能なオンチップバスアーキテク

チャ,” 2007年電気関係学会九州支部連合大会, 09-1P-03, pp. 208, Sep. 2007.

[457] 国武 勇次, 千代延 昭宏, 田中 康一郎, 佐藤 寿倫, “タイミング制約違反を利用する設計手法とコ・シミュレーション環境による評価,” 電子情報通信学会技術研究報告, DC2007-11, Vol. 107, No. 174, pp. 31-36, Aug. 2007.

[458] 石飛 百合子, 石原 亨, 安浦 寛人, “スクラッチパッドメモリを考慮したコード配置最適化による組込みシステムの低消費エネルギー化,” 情報処理学会DAシンポジウム, pp. 85-90, Aug. 2007.

[459] 山口 誠一郎, 大山 裕一郎, 国武 勇次, 松村 忠幸, 石飛 百合子, 山口 聖貴, 李 東勲, 金田 裕介, 舟木 敏正, 室山 真徳, 石原 亨, 佐藤 寿倫, “負荷変動に瞬時適応可能なマルチパフォーマンスプロセッサの設計と評価,” 電気情報通信学会技術研究報告, CPSY2007-80, pp. 1-6, Mar. 2008

[460] S. Matsunaga, T. Hanyu, H. Kimura, Y. Fujimori, M. Moriwake, and H. Takasu, “Standby-Power-Free Logic-in-Memory Circuit Based on Ferroelectric Logic,” Proc. 4th International Workshop of Tohoku Univ. and Yeungnum Univ., pp. 79-80, Nov. 2007.

[461] H. Shirahama, T. Hanyu, M. Nakajima, A. Mochizuki, and K. Arimoto, “Quaternary Processing Element for a Multi-Core VLSI processor,” Proc. 4th International Workshop of Tohoku Univ. and Yeungnum Univ., pp. 77-78, Nov. 2007.

[462] Y. Otake, K. Mizusawa, N. Onizawa, and T. Hanyu, “High-speed Asynchronous Data Transfer Scheme Based on One-Phase Dual-Rail Coding,” Proc. 4th International Workshop of Tohoku Univ. and Yeungnum Univ., p.42, Nov. 2007.

[463] K. Hiyama, S. Matsunaga, K. Kimura and T. Hanyu, “A TMR-Based Logic Circuit for a Power-Aware VLSI System,” Proc. 4th International Workshop of Tohoku Univ. and Yeungnum Univ., p.33, Nov. 2007.

[464] T. Matsuura, H. Shirahama, T. Hanyu, “Design and Evaluation of a Multiple-Valued Full Adder,” Proc. 4th International Workshop of Tohoku Univ. and Yeungnum Univ., p.37, Nov. 2007.

[465] 鬼沢直哉, 羽生貴弘, Vincent Gaudet, “多値非同期データ転送方式に基づく高性能LDPCデコーダLSIの実現,” 第11回システムLSIワークショップ

ブ講演資料集およびポスター資料集, pp. 272-274, Nov. 2007.

- [466] 白濱弘勝, 羽生貴弘, “電流モード多値回路および電圧モード多値回路の構成と評価,” 電子情報通信学会 “多値論理とその応用” 第二種研究会技術報告 (多値技報), Vol. MVL-08, No. 15, pp. 93-98, 2008年1月.

4. 著書

- [1] 三田吉郎他 (分担執筆), “MEMSデバイスの加工・実装・評価技術,” 技術情報協会, ISBN978-4-86104-154-9, (2007/07/31)
- [2] Toshiro Hiramoto, “Integration of Silicon Single-Electron Transistors Operating at Room Temperature,” NATO Science for Peace and Security Series - B! Physics and Biophysics “Nanoscaled Semiconductor-on-Insulator Structures and Devices,” Edited by S. Hall, A. N. Nazarov, and V. S. Lysenko, pp. 97-112, 2007.

5. 特許等


- [1] 吉本雅彦, 川口博, 藤原英弘, 奥村俊介, “半導体メモリおよびプログラム,” 特願2008-000357 (2008年1月7日出願).
- [2] 吉本 雅彦, 太田 能, 川口 博, 竹内 隆, “温度補償バイアス回路,” 特願2007-264523, 2007年10月10日出願
- [3] 吉本雅彦, 村地勇一郎, 川口博, 福山祐貴, 山本亮, 松田吉雄, 深山正幸, “画像処理装置及び方法,” 特願2007-290754 (2007年11月15日出願).
- [4] 吉本雅彦, 川口博, 宮越純一, 村地勇一郎, “水平, 垂直1/2画素間引きが可能な任意位置任意サイズブロックアクセスメモリ,” 特願2007-298743 (2007年11月18日出願).
- [5] 廣瀬, 浅井, 雨宮, 上野, “基準電圧発生回路,” 特願2007 - 191106, (2007).

6. その他

- [1] 清水一範, 池永剛, 後藤敏, “1.14Gb/s 15360bit LDPC符号復号器,” 第9回LSI IPデザイン・アワード, Apr. 2007.
- [2] 高野, 藤島, “4.8GHz CMOS パルス注入同期型周波数通倍器,” 電子情報通信学会総合大会(北九州) 2008年3月
- [3] 浜本隆之, 加賀美智子, 鈴木史継, “可変蓄積時間

CMOSイメージセンサ,” 光アライアンス, Vol. 19, No. 2, pp. 11-14 (2008).

- [4] 佐藤, 深瀬, “WEP 方式と互換性を有する高速・低消費電力・暗号強度強化型暗号の開発 (継続),” 電気通信普及財団 研究調査報告書 No. 22, pp. 327-338 (2007)
- [5] Tsuchiay, Onodera, “Modeling of On-Chip Transmission-Lines ---Impact of Orthogonal Wires, Si Substrate and Dummy Fills---,” Microwave Workshops and Exhibition 2007 (2007).
- [6] 張山, 亀山, “細粒度アーキテクチャに基づくフィールドプログラマブルVLSIの開発,” 電子情報通信学会エレクトロニクスソサイエティ大会, C-12-11, p.66 (2007)
- [7] “超多重RFIDシステム設計のためのミックストシグナル・シミュレーション手法,” 郷地直樹, 福水洋平, 永田真, 電子情報通信学会技術報告 ICD2007-107, pp. 47-51, 2007.10.
- [8] 廣瀬, “MOSFETのサブスレッショルド特性を利用した新機能LSI応用技術,” IEEE Circuit and Systems Society, Kansai Chapter, (2007).
- [9] 高橋巧也, 三田信, 年吉洋, 本原顕太郎, 小林尚人, 柏川伸成, “MEMSマイクロシャッタの実機開発,” 日本天文学会2007年秋季年会発表論文番号 V64a. (2007)
- [10] D. Yamane, K. Takahashi, W. Sun, H. Seita, S. Kawasaki, H. Fujita, and H. Toshiyoshi, “Microwave Switches by MEMS Technology and their Application to Phase-Shifter,” Second Japan-Taiwan Workshop on Future Frequency Control Devices Dec. 5, 2007, Tamkang University, Taiwan (2007).
- [11] D. Yamane, K. Takahashi, W. Sun, H. Seita, S. Kawasaki, H. Fujita, and H. Toshiyoshi, “RF-MEMS Switches for 5.8 GHz Phase Shifter Application,” Int. Workshop on Piezo-devices based on Latest MEMS Technologies, Nov. 26-27, 2007, Nihon University, Tokyo (2007).
- [12] W. Sun, K. Yamashita, B. Charlot, H. Fujita, and H. Toshiyoshi, “A MEMS Vacuum Tube Resonator with Field-Emission Type Pick-up Mechanism,” in Proc. The 3rd Japan-Taiwan Workshop on Future Frequency Control Devices, Japan, pp. 93 - 96 (2007).
- [13] 吉原理記, 谷川一哉, 弘中哲夫, 佐藤正幸, “再構成デバイスとしても動作するメモリ (MPLD) の一実装例,” 信学技報, Vol. 107, No. 225,



RECONF2007-16, pp. 7-12, 2007年9月

- [14] 房安貴弘, 田中義人, 浜垣秀樹, “ガス電子増幅器を用いた放射線検出器のフロントエンドLSIの開発,” 長崎総合科学大学新技術創成研究所所報, 第2号, 23 (2007)
- [15] 清山浩司, 田中義人, “微細化CMOSプロセスにおけるばらつき低減設計手法,” 長崎総合科学大学新技術創成研究所所報, 第2号, 27 (2007)
- [16] Masahiro Yamaguchi “RF planar integrated devices using soft magnetic thin films” (Northeastern University, 2007)
- [17] Masahiro Yamaguchi “RF planar integrated devices using soft magnetic thin films” (Colorado State University, 2007)

1.7 平成 20 年度の活動計画

平成 20 年度は、従来の設計情報発信、CAD ツール提供、チップ支援、寄付部門「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、平成 9 年度より継続している CAD ツール利用法に関する技術セミナー、平成 10 年度から継続している社会人向けの「リフレッシュセミナー」、平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行なうことを予定している。なおデザイナーフォーラムに関しては、若手に向けた若手のための若手によるフォーラムという原点に立ち戻った開催を継続する予定である。これにより自然な形で、若手の VLSI 設計者の層を厚くし、定常的な情報交換の場を確立していきたい。試作チップ数の増加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSI テスト技術および、VDEC および拠点校に設置されている LSI テスター利用法のセミナーも継続して開催するとともに、寄付部門「D2T」主導によるテスト技術に関するワークショップ開催、遠隔地からのテスト利用に関する試みなどを推進する。

【CAD ツール提供】

上流設計 (Cadence, Synopsys)、中流設計 (Synopsys

(旧 Avantl)、Cadence)、下流設計 (Cadence) の各基本ツールを、平成 20 年度もサポートしていく。これに加え平成 14 年度から導入した設計検証 (Mentor: Caribra)、上流設計 (Celoxica)、平成 16 年度から導入したアナログ RF 設計ツール (Agilent: RFDE, ADS) を継続してサポートするとともに、回路シミュレーションツール (Silvaco) ツールの試験導入を延長しユーザーの利用状況により継続の検討を行い、平成 17 年度より提供を受けている Sharp 社 C ベース設計ツール (BachC) を継続してサポートする。

【チップ試作支援】

平成 20 年度は、平成 19 年度から引き続きオン・セミコンダクター、ローム株式会社、日立製作所、NEC 化合物デバイス、7 種類のプロセスで計 19 回の試作を設定する予定である (すでに一部の試作は進行中である)。平成 18 年度にテスト試作を実施している日立製作所 0.25um SiGe SOI BiCMOS 試作を定期的な試作として実施することになった。チップの組み立ては全て富士通 VLSI に委託することで多様な組み立てのニーズに応じられるようにしていきたい。

さらに、平成 14 年度から開始した東大 VDEC - 米国 MOSIS との協力に基づく MOSIS におけるチップ試作についても今年度も一層強化する方向ですすめたい。

表 1.7.1 VDEC チップ試作スケジュール (平成 20 年度)

【CMOS 1.2 μ m 2P2M】 オン・セミコンダクタ (旧日本モトローラ)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 19 年度第 2 回	2007/10/ 1	2007/ 1/7	2008/ 3/31	2008/ 7/14
平成 20 年度第 1 回	2008/ 4/ 2	2008/ 7/ 2	2008/10/ 6	2009/ 2/ 2
平成 20 年度第 2 回	2008/10/ 1	2009/ 1/ 7	2009/ 4/ 6	2009/ 7/13

【CMOS 0.18 μ m 1P5M (+MiM)】 ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 20 年度第 1 回	2007/11/ 5	2008/ 4/ 7	2008/ 5/12	2008/ 9/22
平成 20 年度第 2 回	2008/ 1/ 7	2008/ 5/ 6	2008/ 6/16	2008/10/20
平成 20 年度第 3 回	2008/ 2/ 4	2008/ 6/ 9	2008/ 7/14	2008/11/25
平成 20 年度第 4 回	2008/ 3/10	2008/ 7/ 7	2008/ 8/18	2008/12/22
平成 20 年度第 5 回	2008/ 4/ 7	2008/ 8/11	2008/ 9/16	2009/ 1/26
平成 20 年度第 6 回	2008/ 5/ 6	2008/ 9/ 8	2008/10/14	2009/ 3/ 2
平成 20 年度第 7 回	2008/ 6/ 9	2008/10/ 6	2008/11/17	2009/ 4/ 6
平成 20 年度第 8 回	2008/ 7/ 7	2008/11/10	2008/12/ 8	2009/ 4/20
平成 20 年度第 9 回	2008/ 8/11	2008/12/ 1	2009/ 1/13	2009/ 5/25
平成 20 年度第 10 回	2008/ 9/ 8	2009/ 1/ 7	2009/ 2/16	2009/ 6/29

【SiGe SOI CMOS 0.25 μ m 1P4M (TM,MiM)】 日立製作所

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成20年度第1回	2008/ 4/ 1	2008/ 6/30	2008/ 9/29	2009/ 2/23
平成20年度第2回	2008/ 9/29	2008/12/24	2009/ 4/ 6	2009/ 8/31

【Bipolar 0.6 μ m】 NEC 化合物デバイス

	申込開始	申込メ切	設計メ切	チップ納品
平成20年度第1回	2008/ 3/31	2008/ 9/16	2008/ 9/29	2009/ 3/ 2

【プロジェクト型研究】

VLSI技術は日々進歩しており、VDECがサポートしているCADツールやライブラリ、チップ試作技術も時

代に即した高性能・高機能なものへと改善していきたいと考えており、各方面の協力を随時お願いする予定である。

1. 8. VDEC 発ベンチャー

VDEC での設計 / 試作経験, 人材育成が有効には機能した事例といたしまして, VDEC と関連があった (ある) 教員が起業したベンチャー企業のリスト (順不同) と, 本年報向けに頂きましたメッセージを以下に示します。

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生: 神戸大学 瀧 和男 教授 (同社, 代表取締役社長)

事業内容: (1) HYPER LSI DESIGN
(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング
(3) オリジナルライブラリ / IP の販売
(4) チップ受託開発

[2] 株式会社シンセシス (<http://www.synthesis.co.jp/>)

代表の先生: 大阪大学 白川 功 名誉教授 (同社, 取締役)

事業内容: (1) システム LSI 開発・設計受託
(2) IP 開発及び販売
(3) システムソリューション提供 / 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<http://www.asip-solutions.com/>)

代表の先生: 大阪大学 今井 正治 教授 (同社, 代表取締役 CTO)

事業内容: (1) EDA ツールの提供
(2) 設計サービスとソリューション提供
(3) 自社 IP の開発

[4] 株式会社ビヨンド・エルエスアイ (<http://www.beyondlsi.com/jp/index.html>)

代表の先生: 東京工業大学 國枝 博昭 教授 (同社, 代表取締役)

事業内容: (1) バイオメトリクス応用製品のための開発, カスタム設計, 共同開発, コンサルティング
(2) LSI の設計・開発, 関連製品の販売

[5] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生: 九州工業大学 中村 和之 教授 (同社, 代表取締役)

事業内容: (1) アナログ LSI 設計用 CAD ツールの開発
(2) メモリ LSI 自動設計ツールの開発

[6] 株式会社 NSCore (<http://www.nscore.com/>)

代表の先生: 九州工業大学 中村 和之 教授 (同社, 取締役)

事業内容: 標準 CMOS プロセスによる新規不揮発メモリの設計・開発

[7] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

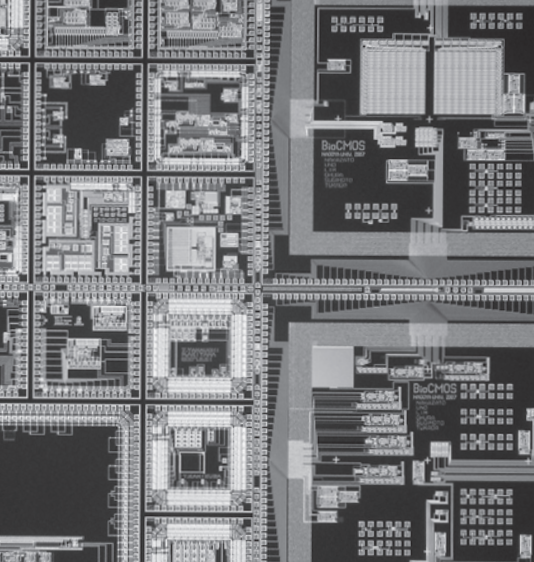
代表の先生: 広島大学 岩田 穆 教授 (同社, 代表取締役)

事業内容: (1) アナログ・RF 回路混載 SoC 設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

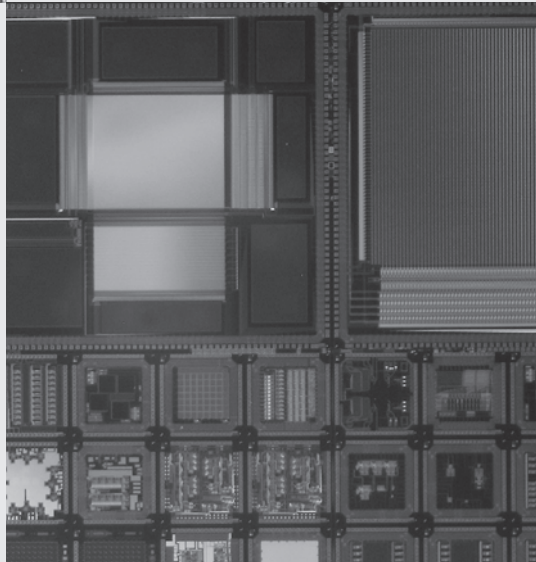
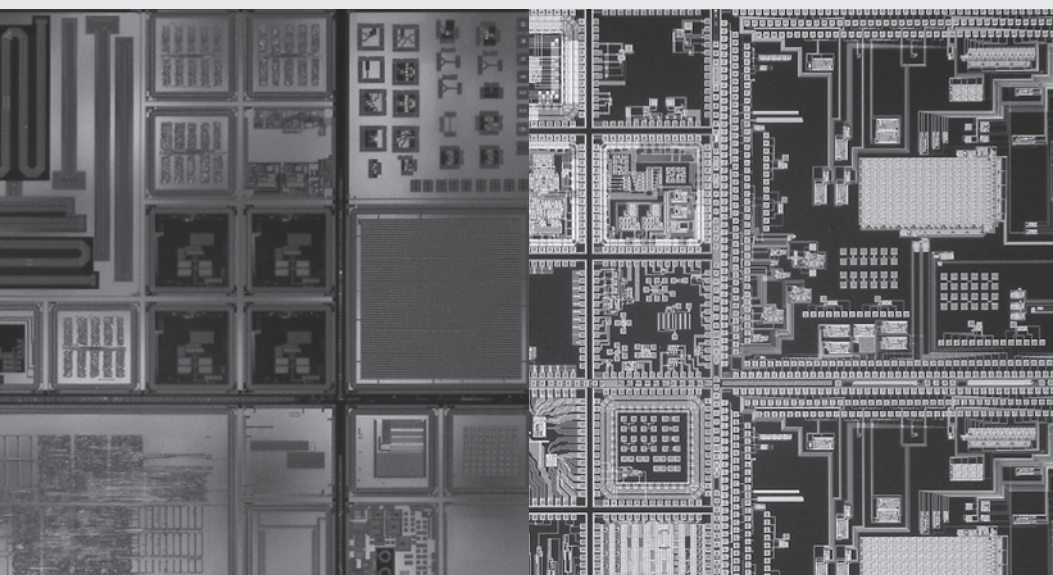
[8] 株式会社ブルックマン・ラボ (<http://www.brookmanlab.com/>)

代表の先生: 静岡大学 川人 祥二 教授 (同社, 取締役 (CTO))

事業内容: (1) イメージセンサー, デジタルアナログ混成 LSI 設計受託
(2) IP ライセンス
(3) コンサルティング
(4) 自社商品事業の確立



第2章 チップ試作結果報告



2.1 試作ラン別一覧

平成18年度第2回オンセミコンダクター CMOS 1.2um 試作 (MOT062)

題名	大学名	研究者	掲載頁
カスケード電圧スイッチ論理回路及び10進デジタル計数回路群の設計試作	静岡理科大学電気電子情報工学科	波多野 裕, 鈴木 剛弘, 成島 晃久, 内田 昂志, 天野 知弥	102
CMOS 定電流・定電圧発生回路の設計・試作(2)	岡山県立大学大学院情報系工学研究科	定本 竜明, 森下 賢幸, 小椋 清孝, 大曾根 隆志	102
CMOS 定電流・定電圧発生回路の設計・試作(3)	岡山県立大学大学院情報系工学研究科	定本 竜明, 森下 賢幸, 小椋 清孝, 大曾根 隆志	102
電圧制御発振器を用いた位相同期回路の設計と改善	秋田大学工学資源学部	三浦 和仁, 井上 浩	103
アナログ集積回路設計の習得を目指した演算増幅器の試作(2)	豊橋技術科学大学工学部	清川 幸哉, 久保 俊一, 小山 靖仁, 山下 知憲	103
小型加速度センサ用回路の設計	富山県立大学工学研究科	杉本 考行, 松田 敏弘, 岩田 栄之	103
基準電圧発生回路を用いた温度センサの設計	富山県立大学大学院工学研究科	押山 弘樹, 松田 敏弘, 岩田 栄之	104
小型・高速 DC-DC コンバータ出力部 LSI の開発	富山県立大学工学研究科	宮崎 崇裕, 岩田 栄之, 松田 敏弘	104
演算増幅器の試作(1)	東京工業大学理工学研究科	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レティアン	104
無線で書き換え可能な FPGA の RF 回路要素試作	筑波大学システム情報工学研究科	後藤 誠彦, 安永 守利, 庄野 和広	105
高線形化トランスコンダクタ	筑波大学システム情報工学研究科	庄野 和宏	105
Vibration-based energy power management circuit	Graduate school of Waseda University Information, Production and Systems	Pan Jun, Inoue Yasuaki	105

平成19年度第1回オンセミコンダクター CMOS 1.2um 試作 (MOT071)

題名	大学名	研究者	掲載頁
広入力レンジV-I変換器を用いた乗算器, ディザ回路, 演算増幅器の試作	宮崎大学工学部 宮崎大学大学院工学研究科	宮内 亮一, 外山 貴子, 田村 宏樹, 淡野 公一, 平野 扶早, 三輪 亮太	106
学生実験用の演算増幅器の試作	宮崎大学工学部	外山 貴子, 田中 誠, 西村 和将, 田村 宏樹, 淡野 公一	106
学生実験用測定評価デバイス、及び比較器、ダイナミック論理回路、順序論理回路群の設計試作	静岡理科大学電気電子情報工学科	波多野 裕, 横井 和輝, 久保田 研司, 袴田 尚吾	106
学生実験用測定評価デバイス、及び比較器、ダイナミック論理回路、順序論理回路群の設計試作	静岡理科大学電気電子情報工学科	波多野 裕, 加藤 浩之, 林 良平, 石川 貴幸	107
パルス形ハードウェアCPGモデルの試作	日本大学理工学部電子情報工学科 日本大学理工学部理工学研究科	松田 章裕, 佐伯 勝敏, 関根 好文, 赤澤 志帆	107
神経信号測定用増幅器の試作	日本大学理工学部電子情報工学科 日本大学理工学部理工学研究科	斉藤 洋之, 関根 好文, 佐藤 剛太郎	107
静電容量型入力装置の開発と FM 受信用 PLL の設計	秋田大学工学資源学部	三浦 和仁, 村越 政之, 井上 浩	108
C素子を用いた耐ソフトエラーフリップフロップ	千葉大学工学部 千葉大学大学院融合科学研究科	坂田 雅俊, 難波 一輝, 伊藤 秀男	108
キャリールックアヘッド8ビット加算器の作成	千葉大学工学部 千葉大学大学院融合科学研究科	森 耕太郎, 難波 一輝, 伊藤 秀男	108
アナログ集積回路設計の習得を目指した演算増幅器の試作	豊橋技術科学大学工学部	薄 勇作, 神野 勇二, 中川 雄介	109
小型・高速 DC-DC コンバータ出力部 LSI の開発	富山県立大学工学研究科	宮崎 崇裕, 岩田 栄之, 松田 敏弘	109
小型加速度センサ用回路の設計	富山県立大学工学研究科	杉本 考行, 松田 敏弘, 岩田 栄之	109
基準電圧発生回路を用いた温度センサの設計	富山県立大学大学院工学研究科	押山 弘樹, 松田 敏弘, 岩田 栄之	110
演算増幅器の試作(2)	東京工業大学理工学研究科	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レティアン	110
演算増幅器の試作(3)	東京工業大学理工学研究科	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レティアン	110
ワンチップFM ラジオの試作	東京工業大学理工学研究科	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レティアン, 吉岡 正浩	111
FM 放送の受信システムの試作	東京工業大学理工学研究科	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レティアン, 吉岡 正浩	111
UTMOST 抽出用 MOSFET アレイ他	明治大学理工学部	金子 晃之, 白井 惇一郎	111

超低消費電力基準電圧回路、マイクロ電源制御回路	早稲田大学情報生産システム研究センター 早稲田大学情報生産システム研究科	黄章財 李ナ, 黄穂, 蔣名律, 井上靖秋	112
ひずみ検出用 MOSFET の試作	山形大学大学院理工学研究科	原田 知親, 神谷 悠介, 奥山 澄雄, 松下 浩一	112
弱反転領域で動作する MOSFET を用いた電圧電流変換回路の試作	都城工業高等専門学校電気情報工学科	田中 寿	112
マルチ環境センサ用インターフェイス回路と TEG	兵庫県立大学大学院工学研究科 兵庫県立大学工学部	鈴木 文章, 藤田 孝之, 前中 一介 園田 晃司	113
光の干渉縞検出用フォトダイオード	兵庫県立大学大学院工学研究科	橋本 泰知, 藤田 孝之, 前中 一介	113
高音質オーディオ用プリアンプ	宮城工業高等専門学校電気工学科	荒井 拓真, 佐藤 淳, 桜庭 弘	113

平成18年度第6回ローム CMOS 0.35um 試作 (RO35066)

題名	大学名	研究者	掲載頁
An Analog Associative Processor employing Bell-Shape Similarity Circuit	東京大学大学院新領域創成科学研究科	Bui Trong Tu, 柴田 直	114
Full-CMOS ASK 変復調回路の機能検証回路	東北大学大学院工学研究科	李 洪革, 福島 誉史, 田中 徹, 小柳 光正	114
SFQ/CMOS ハイブリッドメモリ	横浜国立大学大学院工学府	高橋 好明, 河合 宣彰, 後藤 恭平, 吉川 信行	114
SFQ/CMOS ハイブリッドメモリ	横浜国立大学大学院工学府	高橋 好明, 河合 宣彰, 後藤 恭平, 吉川 信行	115
ダイナミック駆動低電圧・低消費電力パルス幅変調型 CMOS イメージセンサ	奈良先端科学技術大学院大学物質創成科学研究科	佐々木 達也, 穴戸 三四郎, 香川 景一郎, 布下 正宏, 太田 淳	115
光通信用センサ及び信号処理回路	慶應義塾大学理工学部	原 貴東, 松本 佳宣	115
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	松本 佳宣	116
光素子駆動回路	慶應義塾大学理工学部	青野 聖, 松本 佳宣	116
素子ばらつきの影響を低減した信号分割型アナログ・デジタル変換器	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	小野 貴士 和田 和千	116
イメージセンサ 1	東邦大学理学部	小川 了	117
0.18 um CMOS ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 藤原 健, 高橋 浩之 島添 健次	117

平成18年度第7回ローム CMOS 0.35um 試作 (RO35067)

題名	大学名	研究者	掲載頁
Pulse-Coupled Neural Network を用いた画像特徴生成プロセッサ	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	陳 雋 柴田 直	118
眼球埋め込み用三次元積層型人工網膜チップの基本回路	東北大学大学院工学研究科	小林 貴文, 福島 誉史, 田中 徹, 小柳 光正	118
微細パンプ接合を用いた三次元チップ積層 TEG	東北大学大学院工学研究科	菊池 宏和, 小林 貴文, 福島 誉史, 田中 徹, 小柳 光正	118
長期・短期記憶を実現する自動学習チップ	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	榊原 尚吾, 田中 裕己 Abedin Md.Anwarul, Mat- tausch Hans.Juergen, 小出 哲士	119
24chWS ASIC	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	119
24chWS ASIC	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	119
オンチップ伝送線路と電源ノイズ評価 TEG	大阪大学大学院情報科学研究科	橋本 昌宜	120

平成18年度第8回ローム CMOS 0.35um 試作 (RO35068)

題名	大学名	研究者	掲載頁
3次元積層化のための単層型人工網膜 LSI の試作 1	東北大学大学院工学研究科	小林 貴文, 福島 誉史, 田中 徹, 小柳 光正	121
3次元積層化のための単層型人工網膜 LSI の試作 2	東北大学大学院工学研究科	小林 貴文, 福島 誉史, 田中 徹, 小柳 光正	121
アクティブノイズコントロール用アナログ回路	名古屋工業大学大学院工学研究科	加藤 正史, 小野田 皓司	121
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	松本 佳宣	122
光通信用信号処理回路	慶應義塾大学理工学部	青野 聖, 松本 佳宣	122
MOSFET の基本的特性の評価実験用 TEG	宮城工業高等専門学校電気工学科	吉田 幸太郎, 桜庭 弘	122

16ch WS-Front-End	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	123
16ch WS-Front-End	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	123
16ch WS-Front-End	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	123
16ch WS-Front-End	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	124
20 channel Preamplifier-Shaper ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	124
16 channel Preamplifier ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	124
16ch WSFE ASIC	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	125
16 channel Preamplifier ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	125
16 channel Preamplifier ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	125
16 channel Preamplifier ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	126
16 channel Preamplifier ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	126
16 channel Preamplifier ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	126
16 channel Preamplifier ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	127
16 channel Preamplifier ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 高橋 浩之 島添 健次	127

平成18年度第9回ローム CMOS 0.35um 試作 (RO35069)

題 名	大 学 名	研 究 者	掲載頁
LSI 故障診断装置評価用 TEG (1-1)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	128
LSI 故障診断装置評価用 TEG (1-2)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	128
スイッチトレジスタ回路網による画像処理チップの開発	広島大学大学院先端物質科学研究科	森本 昌介, 亀田 成司, 岩田 穆	128
電流源精度と周波数特性劣化要因を除去した 14bitDAC の試作	中央大学大学院理工学研究科	柳井 昭太郎, 土橋 洋太, 杉本 泰博	129
64×64 画素光無線 LAN 用ビジョンチップ	奈良先端科学技術大学院大学物質創成科学研究科	香川 景一郎, 布下 正宏, 太田 淳	129
CIF フォーマット低電圧パルス幅変調型 CMOS イメージセンサ	奈良先端科学技術大学院大学物質創成科学研究科	穴戸 三四郎, 香川 景一郎, 布下 正宏, 太田 淳	129
1次連続時間ΔΣ変調器とその要素回路	上智大学理工学部	三簾 浩一, 町田 和也, 和保 孝夫	130
1V 動作可能なバイブライン型 ADC 用 MDAC	上智大学理工学部	芥川 一樹, 町田 和也, 和保 孝夫	130
傾斜センサ用容量検出回路	慶應義塾大学理工学部	松本 佳宣	130
集積化傾斜スイッチ	慶應義塾大学理工学部	松本 佳宣	131
神経信号センシングチップ	広島大学先端物質科学研究科	吉田 毅, 浴 良仁, 有田 真一, 岩田 穆	131
神経信号センシングチップ	広島大学先端物質科学研究科	吉田 毅, 浴 良仁, 有田 真一, 岩田 穆	131
広いデジタル回路領域に対応した基板雑音の打ち消し回路	豊橋技術科学大学院工学研究科 豊橋技術科学大学工学部	鈴木 寛人 和田 和千	132
16ch WSFE ASIC	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	132

平成18年度第2回ローム CMOS 0.18um 試作 (RO18062)

題 名	大 学 名	研 究 者	掲載頁
ばらつき評価用回路	広島市立大学大学院情報科学研究科	上田 浩一郎, 茶川 徹雄	133

生体信号センシング回路 TEG	広島大学先端物質科学研究科	浴 良仁, 升井 義博, 吉田 毅, 岩田 穆	133
Rohm0.18um プロセス低温デバイスモデル作成用容量、抵抗	横浜国立大学大学院工学府	河合 宣彰, 後藤 恭平, 吉川 信行	133
断熱的バストランジスタ論理回路を用いた加算回路	横浜国立大学大学院工学府	生田 浩康, 山田 日登美, 吉川 信行	134
ばらつき評価、基板バイアス評価 TEG	京都大学情報学研究科 京都大学工学部	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊 五嶋 宏通	134
論理回路として動作するメモリの設計	広島市立大学大学院情報科学研究科	吉原 理記, 平川 直樹, 谷川 一哉, 弘中 哲夫	134
電圧制御発振器の高周波広帯域化	秋田大学工学資源学部	三浦 和仁, 井上 浩	135
アナログデバイスの TEG 試作	中央大学大学院理工学研究科	藪田 悟史, 飯島 健太, 土橋 洋太, 水谷 慶一郎, 杉本 泰博	135
イメージセンサ TEG	奈良先端科学技術大学院大学物質創成科学研究科	野村 啓二, 安達 雄大, 香川 景一郎, 布下 正宏, 太田 淳	135
IR-UWB・イメージセンサ TEG	奈良先端科学技術大学院大学物質創成科学研究科	穴戸 三四郎, 長畑 樹, 宮脇 智也, 香川 景一郎, 布下 正宏, 太田 淳	136
くし型電極構造を持つ横型 PN フォトダイオード	金沢大学大学院自然科学研究科	飯山 宏一, 山王 紀明	136
0.18um用 WS-ASIC TEG	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	136

平成18年度第3回ローム CMOS 0.18um 試作 (RO18063)

題 名	大 学 名	研 究 者	掲載頁
低電圧、低消費電力参照電圧電源回路、高線形 OTA	宮崎大学大学院工学研究科 宮崎大学工学部	今木 啓太, 井手 大介 兒玉 祐樹, 外山 貴子, 田村 宏樹, 淡野 公一	137
エッジ抽出と動体検出のための部分回路 TEG と動作検証用回路	東京大学工学部 東京大学大学院新領域創成科学研究科	福岡 雄大, 萬澤 康雄 柴田 直	137
実時間マルチチップ K-means アーキテクチャ機能確認用回路	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	馬 奕涛 柴田 直	137
実時間動き場生成プロセッサ用 TEG	東京大学大学院新領域創成科学研究科	藤田 和英, ハオ ジャ, 柴田 直	138
ばらつき評価、基板バイアス評価 TEG その2	京都大学情報学研究科 京都大学工学部	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊 五嶋 宏通	138
リコンフィギュラブル画像処理回路	東北大学大学院工学研究科	兒玉 成緒, 福島 誉史, 田中 徹, 小柳 光正	138
RFID 向け実験チップ	金沢大学工学部自然科学研究科 金沢大学工学部	狩野 孝太 近藤 雄一, 松山 英亮, 秋田 純一, 北川 章夫	139
断熱的バストランジスタ論理回路を用いた加算回路	横浜国立大学大学院工学府	生田 浩康, 山田 日登美, 吉川 信行	139
PLL 回路のための要素回路	高知工科大学大学院工学研究科 高知工科大学工学部	北地 祐子 橋 昌良	139
0.6V 動作 89dB ダイナミックレンジ連続時間系アナログフィルタ	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	秋田 一平 和田 和千	140
素子値の広がりを低減した線形位相狭帯域通過フィルタと TEG	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	久保 俊一 和田 和千	140
高速通信回路評価チップ	神戸大学大学院自然科学研究科 神戸大学大学院工学研究科	荻野 哲宏 永田 真	140
64 ビットマルチスレッディングプロセッサ	早稲田大学情報生産システム研究科	木村 晋二, ザン チェンジェ	141
Switched Current 回路による信号処理回路	立命館大学理工学部	岡田 達也, 藤田 智弘	141
センサネットワークシステムの送受信 IC の試作 RO1806_3	東京工業大学理工学研究科	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコテムス レディアン, 吉岡 正浩	141
アナログデバイス評価 TEG	東京工業大学理工学研究科	倉科 隆, 坂口 広宣, 松澤 昭	142
フィルタ	東京工業大学大学院理工学研究科	倉科 隆, 坂口 広宣, 松澤 昭	142
パワーアンプ	東京工業大学大学院理工学研究科	張 義偉, 倉科 隆, 坂口 広宣, 松澤 昭	142
アナログ・デジタル変換器	東京工業大学大学院理工学研究科	白 戴和, 宮原 正也, 倉科 隆, 松澤 昭	143

PLL	東京工業大学大学院理工学研究科	鄭 明奎, Chaivipas Win, 倉科隆, 松澤 昭	143
フラッシュ ADC 搭載アナログ回路検証用チップ	慶應義塾大学理工学部	森本 一毅, 佐藤 大祐, 中野 誠彦	143
低消費電力を目的とした制御電源線付き SRAM 回路の試作チップ	慶應義塾大学理工学部	山崎 博孝, 中野 誠彦	144
0.18 um CMOS ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 藤原 健, 高橋 浩之 島添 健次	144

平成19年度第1回ローム CMOS 0.18um 試作 (RO18071)

題 名	大 学 名	研 究 者	掲載頁
ばらつき評価, 基板バイアス評価 TEG その2	京都大学情報学研究科 京都大学工学部	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊 五嶋 宏通	145

平成19年度第2回ローム CMOS 0.18um 試作 (RO18072)

題 名	大 学 名	研 究 者	掲載頁
乱数発生回路	東京大学 VDEC	名倉 徹	146
イメージセンサ TEG	東京大学工学部	萬代 新悟	146
CMOS IMAGE SENSOR FOR AMBIENT LIGHT SUPPRESSION BY MEANS OF CURRENT・MODE PIXEL CIRCUIT	東京大学工学系研究科	BASCI Caner	146
ライブラリ評価, ばらつき評価, 基板バイアス評価 TEG	京都大学情報学研究科 京都大学工学部	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊 牧野 紘明	147
論理回路として動作するメモリのプロトタイプ設計	広島市立大学大学院情報科学研究科	吉原 理記, 平川 直樹, 谷川 一哉, 弘中 哲夫	147
断熱的加算器と消費電力測定用回路とメモリのデコーダ	横浜国立大学大学院工学府	生田 浩康, 山田 日登美, 吉川 信行	147
遅延保障フリップフロップ検証用回路	東京大学情報理工学系研究科	廣瀬 健一郎, 坂井 修一	148
デジタル・アナログ変換器	東京工業大学大学院理工学研究科	Ito Robert, 倉持 泰秀, 倉科隆, 松澤 昭	148
VGA	東京工業大学大学院理工学研究科	倉科 隆, 坂口 広宣, 松澤 昭	148
リングオシレータ	東洋大学工学部	堀口 文男	149
オンチップ太陽電池と光センサへの応用	東京大学 VDEC 東京大学国際産学共同研究センター	高宮 真 桜井 貴康	149

平成19年度第3回ローム CMOS 0.18um 試作 (RO18073)

題 名	大 学 名	研 究 者	掲載頁
生体信号処理用低電圧アナログ CMOS 回路	熊本大学大学院自然科学研究科	井上 高宏, 山川 俊真, 中島 晃, 原田 真行, 池田 康浩, 松尾 雅文	150
個体識別用低電圧アナログ CMOS 回路	熊本大学大学院自然科学研究科	井上 高宏, 山川 俊真, 中島 晃, Timischl Felix, 田中 麻子, 榎永 大輔, 山城 昌雄	150
光通信用センサおよび信号処理回路	慶應義塾大学理工学部	青野 聖, 松本 佳宣	150
擬似的な不規則画素配置を持つ CMOS イメージセンサ	金沢大学工学部	秋田 純一, 野手 翔太	151
生体信号センシングのための低ノイズ増幅回路	慶應義塾大学理工学部	横山 祐介, 山口 昌也, 中野 誠彦	151

平成19年度第4回ローム CMOS 0.18um 試作 (RO18074)

題 名	大 学 名	研 究 者	掲載頁
画素時間差分情報の膨張処理を用いたアナログ動体検出回路	東京大学大学院新領域創成科学研究科	仁木 祐介, 柴田 直	152
アナログ動体検出 TEG 用回路 & 1 c l k P P E D ベクトル生成回路	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	中川 琢規 仁木 祐介, 柴田 直	152
Smooth Optical Flow 計算回路	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	馬 文静, 姜 璟熙 柴田 直	152
方向性エッジヒストグラムマッチングを用いた実時間動き場生成プロセス	東京大学大学院新領域創成科学研究科	藤田 和英, ハオ ジャ, 岡野 祐太, 柴田 直	153
空間多重通信方式に用いる BPSK 送信機の試作	金沢大学大学院自然科学研究科 金沢大学工学部	早瀬 佳, 中野 伸吾, 牧野 良成, 藤枝 茂 秋田 純一, 北川 章夫	153

空間多重通信方式に用いる BPSK 送信機の試作	金沢大学大学院自然科学研究科 金沢大学工学部	早瀬 佳, 中野 伸吾, 牧野 良成, 藤枝 茂 秋田 純一, 北川 章夫	153
空間多重通信方式に用いる BPSK 受信機の試作	金沢大学大学院自然科学研究科 金沢大学工学部	早瀬 佳, 中野 伸吾, 牧野 良成, 狩野 孝太, 藤枝 茂 秋田 純一, 北川 章夫	154
デジタル補正つき低消費電力サイクリック形 A/D 変換器	広島大学大学院先端物質科学研究科	池田 徹朗	154
バックバイアスによる影響の測定用回路と駆動回路付きの断熱回路	横浜国立大学大学院工学府	生田 浩康, 山田 日登美, 吉川 信行	154
SFQ/CMOS ハイブリッドメモリシステム用メモリ	横浜国立大学大学院工学府	岡本 悠史, 河合 宣彰, 吉川 信行	155
UHF帯 RFID 向け電源回路	東北大学大学院工学研究科	佐々木 敦史, 小谷 光司, 伊藤 隆司	155
RFID 向けデジタル制御内部クロック生成回路	東北大学大学院工学研究科	本田 将士, 佐々木 敦史, 小谷 光司, 伊藤 隆司	155
低遅延画像伝送システム向け 158 MS/s JPEG 2000 コーデック LSI の開発	金沢大学自然科学研究科	深山 正幸, 井家 佑介, 春日 隆文, 稲田 遼一, 松田 吉雄	156
光通信用センサ及び信号処理回路	慶應義塾大学理工学部	原 貴東, 松本 佳宣	156
ライブラリセルの試作 (1)	高知工科大学大学院工学研究科 高知工科大学工学部	笹谷 尚稔, 武田 頼長, 乃一 彰宏, 安中 彰宏 矢野 政顕, 橘 昌良	156
ライブラリセルの試作 (2)	高知工科大学大学院工学研究科 高知工科大学工学部	笹谷 尚稔, 武田 頼長, 乃一 彰宏, 安中 孝一 矢野 政顕, 橘 昌良	157
バス配線 Delay 測定用 TEG の設計	高知工科大学大学院工学研究科 高知工科大学工学部	安岡 佐知子 橘 昌良	157
高速通信回路と高周波基板雑音検出回路の評価チップ	神戸大学大学院自然科学研究科 神戸大学大学院工学研究科	荻野 哲宏, 檀上 匠 永田 真	157
16ビットパイプラインプロセッサの設計実習 A	早稲田大学大学院情報生産システム研究科	池永 剛	158
16ビットパイプラインプロセッサの設計実習 B	早稲田大学大学院情報生産システム研究科	池永 剛	158
16ビットパイプラインプロセッサの設計実習 C	早稲田大学大学院情報生産システム研究科	池永 剛	158
16ビットパイプラインプロセッサの設計実習 D	早稲田大学大学院情報生産システム研究科	池永 剛	159
非周期ノイズ波形検出用オンチップノイズセンサの試作	慶應義塾大学理工学部	森本 一毅, 佐藤 大祐, 中野 誠彦	159
0.18 um CMOS ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 藤原 健, 高橋 浩之 島添 健次	159

平成19年度第5回ローム CMOS 0.18um 試作 (RO18075)

題 名	大 学 名	研 究 者	掲載頁
CMOS IMAGE SENSOR FOR AMBIENT LIGHT SUPPRESSION BY MEANS OF CURRENT-MODE PIXEL CIRCUIT	東京大学工学系研究科	BASCI Caner	160
高速・高精度三次元撮像用デュアル・イメージャコア・チップ	東京大学工学部	萬代 新悟	160
LSI 故障診断装置評価用 TEG (2-1)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	160
LSI 故障診断装置評価用 TEG (2-2)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	161
LSI 故障診断装置評価用 TEG (3-1)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	161
LSI 故障診断装置評価用 TEG (3-2)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	161
デルタ・シグマ変調器, 高線形 OTA, 温度センサー回路, 高負荷用ドライバ TEG	宮崎大学大学院工学研究科 宮崎大学工学部	今木 啓太, 林田 辰徳, 井手 大介 宮内 亮一, 古家 拓郎, 外山 貴子, 田村 宏樹, 淡野 公一	162
Charge Sampling Filter			162
オンチップ・トランスによるパルス伝送方式 UWB 送信回路	広島大学大学院先端物質科学研究科	高橋 尚基	162
1Gbps×4ch 光無線 LAN 用ビジョンチップ	奈良先端科学技術大学院大学物質創成科学研究科	長畑 樹, 宮脇 智也, 香川 景一郎, 布下 正宏, 太田 淳	163
列並列 A/D 変換回路 TEG	茨城大学工学部	木村 孝之	163
最小距離検索回路の性能評価用回路	広島大学先端物質科学研究科 広島大学ナノデバイス・システム研究センター	田中 裕己, 和泉 伸也 Mattausch Hans, Juergen, 小出 哲士	163
ウェーブパイプラインのための遅延調整手法評価用演算器の設計	山形大学理工学研究科	多田 十兵衛, 後藤 源助	164
小型・高速 DC-DC コンバータ用制御部 LSI の開発	富山県立大学工学研究科	宮崎 崇裕, 岩田 栄之, 松田 敏弘	164

高周波基板雑音検出手法の評価チップ	神戸大学大学院自然科学研究科 神戸大学大学院工学研究科	檀上 匠 永田 真	164
高周波パッシブ評価 TEG	東京工業大学大学院理工学研究科	伊藤 猛, 金丸 正樹, 原 翔一, 高山 直輝, Chaivipas Win, 李 寧, 岡田 健一, 松澤 昭	165
高周波パッシブ評価 TEG	東京工業大学大学院理工学研究科	伊藤 猛, 金丸 正樹, 原 翔一, 高山 直輝, Chaivipas Win, 李 寧, 岡田 健一, 松澤 昭	165
生体信号センシングおよび刺激印加のための回路	慶應義塾大学理工学部	横山 祐介, 中野 誠彦	165
FMDSM のための線形電圧制御発振器	富山大学工学部	前澤 宏一, 三宅 誠一	166

平成19年度第6回ローム CMOS 0.18um 試作 (RO18076)

題 名	大 学 名	研 究 者	掲載頁
MuCCRA-1	慶應義塾大学情報工学科	佐野 徹, 加東 勝, 西村 隆, 中村 拓郎, 堤 聡, 長谷川 揚平, 天野 英晴	167
フラッシュ ADC 搭載アナログ回路検証用チップの再試作	慶應義塾大学理工学部	森本 一毅, 佐藤 大祐, 中野 誠彦	167
論理回路として動作するメモリの修正試作	広島市立大学大学院情報科学研究科 広島市立大学情報科学部	吉原 理記, 平川 直樹, 谷川 一哉, 弘中 哲夫 戸口 博昭	167
遅延保障フリップフロップ検証用回路	東京大学情報理工学系研究科	廣瀬 健一郎, 坂井 修一	168
Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture	東京大学大学院新領域創成科学研究科	伊藤 深人, 柴田 直	168
初期シードベクトル自動生成汎用 K-MEANS プロセッサ	東京大学大学院新領域創成科学研究科	鹿野 博嗣, 藤田 和英, 柴田 直	168
リングオッシレータ	東洋大学工学部	堀口 文男	169
LSI 故障診断装置評価用 TEG (4)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	169
LSI 故障診断装置評価用 TEG (2-3)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	169
LSI 故障診断装置評価用 TEG (5-1)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	170
LSI 故障診断装置評価用 TEG (5-2)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	170
LSI 故障診断装置評価用 TEG (5-3)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	170
LSI 故障診断装置評価用 TEG (5-4)	大阪大学情報科学研究科	三浦 克介, 中前 幸治	171
画素時間差分情報の膨張処理を用いたアナログ動体検出回路	東京大学大学院新領域創成科学研究科	仁木 祐介, 柴田 直	171
アナログ動体検出 TEG 用回路 & 1 c l k P P E D ベクトル生成回路	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	中川 琢規 仁木 祐介, 柴田 直	171
Smooth Optical Flow 計算回路	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	馬 文静, 姜 璟熙 柴田 直	172
方向性エッジヒストグラムマッチングを用いた実時間動き場生成プロセッサ	東京大学大学院新領域創成科学研究科	藤田 和英, ハオ ジャ, 岡野 祐太, 柴田 直	172
神経信号センシング LSI のための CMOS 低雑音増幅回路	広島大学先端物質科学研究科	浴 良仁, 升井 義博, 吉田 毅, 岩田 穆	172
生体用途向けアナログ要素回路 TEG	広島大学先端物質科学研究科	升井 義博, 吉田 毅, 岩田 穆	173
人体を伝送路とするデータ通信回路	広島大学先端物質科学研究科	向井 徹, 岩田 穆	173
PLL による LSI テスト用高精度電流源回路	九州大学システム情報科学府	李 田茂, 黒木 幸令	173
駆動力を上げたラッチ回路と消費電力測定回路	横浜国立大学大学院工学府	生田 浩康, 山田 日登美, 吉川 信行	174
SFQ/CMOS ハイブリッドメモリシステム用メモリ	横浜国立大学大学院工学府	岡本 悠史, 河合 宣彰, 吉川 信行	174
プロセッサとしても利用可能な粗粒度リコンフィギュラブルデバイス	京都大学情報学研究科 立命館大学総合理工学研究機構	神山 真一, 廣本 正之, 越智 裕之 中村 行宏	174
低遅延画像伝送システム向け 158 MS/s JPEG 2000 コーデック LSI の開発	金沢大学自然科学研究科	深山 正幸, 井家 佑介, 春日 隆文, 福田 遼一, 松田 吉雄	175
バス配線 Delay 測定用 TEG の設計(2)	高知工科大学大学院工学研究科 高知工科大学工学部	安岡 佐知子 橘 昌良	175
小型・高速 DC-DC コンバータ用制御部 LSI の開発	富山県立大学工学研究科	宮崎 崇裕, 岩田 栄之, 松田 敏弘	175
動作マージン評価用 SRAM	九州工業大学マイクロ化総合技術センター	野田 和徳, 中村 和之	176
高速・高周波アナログ CMOS 回路試作実習 TEG	群馬大学大学院工学研究科	石原 昇	176
高周波アナログ特性モデリング用基本素子&回路 TEG	群馬大学大学院工学研究科	新井 康之, 氏家 隆一, 菊池 潤, 柴田 賢一, 石原 昇	176

0.18 um CMOS ASIC	東京大学工学部原子力国際専攻 東京大学工学部バイオエンジニアリング専攻	石 伯軒, 藤原 健, 高橋 浩之 島添 健次	177
-------------------	--	----------------------------	-----

平成19年度第7回ローム CMOS 0.18um 試作 (RO18077)

題 名	大 学 名	研 究 者	掲載頁
ALPHA(MEM_1)	慶應義塾大学情報工学科	佐野 徹, 加東 勝, 西村 隆, 堤 聡, 長谷川 揚平, 天野 英晴	178
BETA(PE_1)	慶應義塾大学情報工学科	佐野 徹, 加東 勝, 西村 隆, 堤 聡, 長谷川 揚平, 天野 英晴	178
生体用途向けアナログ要素回路 TEG	広島大学先端物質科学研究科 広島大学工学部	升井 義博, 浴 良仁, 吉田 毅, 石 川 智弘, 岩田 穆 安部 亨	178
インダクタ結合インターコネクタ試験回路の設計 1	広島大学大学院先端物質科学研究科	亀田 成司, 岩田 穆	179
インダクタ結合インターコネクタ試験回路の設計 2	広島大学大学院先端物質科学研究科	亀田 成司, 岩田 穆	179
インダクタ結合インターコネクタ試験回路の設計 3	広島大学大学院先端物質科学研究科	亀田 成司, 岩田 穆	179
ESR 測定用のインダクタ TEG	金沢大学大学院自然科学研究科 金沢大学工学部	牧野 良成, 野手 翔太 秋田 純一, 北川 章夫	180
受動素子特性評価用 TEG	金沢大学大学院自然科学研究科 金沢大学工学部	戸羽 辰夫, 狩野 孝太, 藤枝 茂 秋田 純一, 北川 章夫	180
ビットシリアル演算器を用いたレイトレーシングハードウェアのプロトタイプの試作	広島市立大学情報科学部 広島市立大学大学院情報科学研究科	川本 智之 谷川 一哉, 弘中 哲夫, 山辺 裕樹	180
ユビキタスプロセッサ HC gorilla の大規模化及び改良	弘前大学大学院理工学研究科 弘前大学総合情報処理センター	武田 宏樹, 野田 一訓, 横山 温子, 深瀬 政秋 佐藤 友暁	181
イメージセンサの検証用 TEG	東京理科大学工学研究科	加賀美 智子, 峰 陽介, 浜本 隆之	181
トリガー機構を有するイメージセンサ TEG	茨城大学工学部 東京大学宇宙線研究所 神奈川大学工学部 東京工業大学理工学研究科	木村 孝之 佐々木 真人, 青木 利文 増田 正孝 安田 雅弘	181
SNM 評価用 TEG	九州工業大学マイクロ化総合技術センター	野田 和徳, 中村 和之	182
低スプリアス特性をもつ位相同期回路の試作と演算増幅器の TEG	東京工業大学理工学研究科	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン, 吉岡 正浩	182
VCO	東京工業大学大学院理工学研究科	倉科 隆, 坂口 広宣, 松澤 昭	182
弱反転動作を用いた極低電圧アナログ増幅回路とアナログ記憶保持回路	山形大学大学院理工学研究科	高橋 良輔, 佐山 裕紀, 永井 裕也, 原田 知親, 奥山 澄雄, 松下 浩一	183
DC-DC コンバータの要素回路 TEG	早稲田大学情報生産システム研究科	吉原 務, 岡村 玲王奈	183
0.18um WS-ASIC	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	183

平成19年度第1回 ASPLA CMOS 90nm 試作 (AS90071)

題 名	大 学 名	研 究 者	掲載頁
CMOSRF トランシーバ評価 TEG	東京大学工学系研究科	門馬 太平, Caner Basci, 金 鎮明	184
MuCCRA-2	慶應義塾大学情報工学科	佐野 徹, 西村 隆, 中村 拓郎, 堤 聡, 長谷川 揚平, 天野 英晴	184
トランスを用いた UWB CMOS 低雑音増幅器	大阪大学大学院工学研究科	木原 崇雄, 松岡 俊臣, 谷口 研二	184
素子特性ばらつき測定回路	東京工業大学統合研究院 東京工業大学総合理工学研究科 東京工業大学精密工学研究所	佐藤 高史, 石井 隆宏, 益 一哉 中山 範明 伊藤 浩之	185
遅延変動評価と低リークエネルギー回路要素設計	東京大学駒場オーブンラボラトリー 東京大学工学部 東京大学先端科学技術研究センター	今井 雅 金 均東, 椎名 公康, 高田 幸永 近藤 正章, 中村 宏, 南谷 崇	185
オンチップ信号モニタのバックエンドデータ処理系	神戸大学大学院工学研究科	橋田 拓志, 永田 真	185
サブスレッショルド特性ばらつき評価アレイ回路	大阪大学大学院情報科学研究科	更田 裕司, 濱本 浩一, 橋本 昌宜, 密山 幸男, 尾上 孝雄	186
LSI 低消費電力回路技術	東京大学 VDEC 東京大学国際産学共同研究センター	高宮 真 桜井 貴康	186



オープン故障研究 TEG	明治大学理工学部 徳島大学工学部 愛媛大学工学部 明治大学情報コミュニケーション学部	堤 利幸 四柳 浩之, 橋爪 正樹 高橋 寛, 樋上 喜信, 高松 雄三 山崎 浩二	186
--------------	---	---	-----

平成19年度第2回 ASPLA CMOS 90nm 試作 (AS90072)

題 名	大 学 名	研 究 者	掲載頁
低電圧動作アナログ要素回路 TEG	広島大学先端物質科学研究科	吉田 毅, 升井 義博, 小島 康志, 岩田 穆	187
ビットシリアル演算に基づく細粒度多値リコンフィギャラブル VLSI	東北大学大学院情報科学研究科	亀山 充隆, 岡田 信彬, 伊藤 祐	187
90nm プロセスでのメモリコンポーネントの動作チェック	横浜国立大学大学院工学府	岡本 悠史, 河合 宣彰, 陳 賢珠, 吉川 信行	187
90nm CMOS 6-10GHz UWB 向け低電力送信器	慶應義塾大学理工学部	ヴィジュアルクルカルニ, ムハンマド ムクシト, 石黒 仁揮, 黒田 忠 広	188
LSI 内部電圧・内部容量測定回路	東京工業大学大学院総合理工学研究科 東京工業大学統合研究院 東京工業大学精密工学研究所	中山 範明 佐藤 高史, 山長 功, 大橋 一磨, 小林 由佳, 植山 寛之, 益 一哉 伊藤 浩之	188
オンチップ信号モニタのためのデータ通信回路	神戸大学大学院工学研究科	橋田 拓志, 永田 真	188
電流モード動作ロジックに基づくクロストーク低減回路の実 チップ評価	東北大学電気通信研究所	羽生 貴弘, 松本 敦, 三浦 成友	189
チップ間無線通信のための CMOS UWB 送信回路	広島大学ナノデバイス・システム研究セン ター	吉川 公鷹, 石川 智弘, 佐々木 信 雄, 木本 健太郎	189
オンチップ電源ノイズ評価 TEG	大阪大学大学院情報科学研究科	小笠原 泰弘, 橋本 昌宜, 尾上 孝 雄	189

平成19年度第3回 ASPLA CMOS 90nm 試作 (AS90073)

題 名	大 学 名	研 究 者	掲載頁
ばらつきを利用して速度と歩留まりを向上させる FPGA	京都大学情報学研究科	久米 洋, 小林 和淑, 小野寺 秀俊	190
ばらつき評価, 基板バイアス評価, NBTI 特性評価 TEG	京都大学情報学研究科 京都大学工学部	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊 牧野 紘明	190
三次元集積のための超高速クロック分配回路	広島大学先端物質科学研究科	宮本 慎一郎, 汐崎 充, 岩田 穆	190
三次元集積のための高速データ伝送回路	広島大学先端物質科学研究科	中島 丈晴, 汐崎 充, 岩田 穆	191
精度補正機能付き低電力・高速 $\Delta \Sigma$ ADC 量子化器	広島大学先端物質科学研究科	原田 良枝, 岩田 穆	191
0.5 V 動作 RF 要素回路	大阪大学大学院工学研究科	木原 崇雄, 朴 海柱, 田古部 勲, 山下 文明, 松岡 俊匡, 谷口 研二	191
低消費電力 Viterbi デコーダの試作	北海道大学大学院情報科学研究科	吉澤 真吾, 宮永 喜一	192
高ランダムアクセスバンド幅を有する多ポート SRAM 設計	広島大学ナノデバイス・システム研究セン ター	上口 光, 棕田 佑也, 和泉 伸也, 賀谷 彰大, マタウシュ ハンス・ ユルゲン, 小出 哲士	192
動的再構成 FPGA (フレキシブルプロセッサ 4)	東北大学未来科学技術共同研究センター	宮本 直人, 大見 忠弘	192
誘導結合通信を用いたプロセッサ			193
低消費電力チップ間インタフェースの開発	慶應義塾大学理工学部	新津 葵一, 川井 秀介, 三浦 典 之, 石黒 仁揮, 黒田 忠広	193
ソフトウェア無線用 VCO, サンプラ, DSADC	慶應義塾大学理工学部	阿部 寛之, 猪狩 貴之, 佐藤 守, 志方 明, 白石 圭, 石黒 仁揮, 黒 田 忠広	193
ばらつきモデルパラメータ抽出デバイスアレー回路	東京工業大学大学院総合理工学研究科 東京工業大学統合研究院 東京工業大学精密工学研究所	中山 範明 佐藤 高史, 山長 功, 小林 由佳, 宮下 一哉, 植山 寛之, 益 一哉 伊藤 浩之	194
遅延素子の遅延変動特性評価と動的電流制限によるダイナミック エネルギー削減効果の評価	東京大学駒場オープンラボラトリー 東京大学工学部 東京大学先端科学技術研究センター	今井 雅 金 均東 近藤 正章, 中村 宏, 南谷 崇	194
微細 CMOS 基準電圧発生回路を用いた高精度 CMOS 温度セン サの開発	富山県立大学大学院工学研究科	押山 弘樹, 松田 敏弘, 岩田 栄之	194
オンチップ信号モニタシステムのバックエンドデータ処理系(2)	神戸大学大学院工学研究科	橋田 拓志, 永田 真	195
オンチップ信号モニタのフロントエンド回路評価チップ	神戸大学大学院工学研究科	橋田 拓志, 永田 真	195

デカップリング容量評価 TEG およびタイミング余裕検出回路評価 TEG	大阪大学大学院情報科学研究科	小笠原 泰弘, 更田 裕司, 橋本 昌宜, 密山 幸男, 尾上 孝雄	195
光配線用送受信器 LSI	鹿児島大学理工学研究科電気電子工学専攻 鹿児島大学工学部電気電子工学科	厚地 保幸, 関 健治 今村 裕典, 竹下 佳岐, 大島 賢一	196
マルチコアプロセッサの試作	九州大学システム LSI 研究センター	石原 亨	196

平成 19 年度第 4 回 ASPLA CMOS 90nm 試作 (AS90074)

題 名	大 学 名	研 究 者	掲載頁
ばらつき評価, 基板バイアス評価 TEG	京都大学情報学研究科 京都大学工学部	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊 牧野 紘明	197
4x4 MIMO-OFDM 方式 MIMO デコーダの設計	北海道大学大学院情報科学研究科	山内 保志, 吉澤 真吾, 宮永 喜一	197
細粒度パワーゲーティング機能を有するフィールドプログラマブル VLSI	東北大学大学院情報科学研究科	張山 昌論, 石原 翔太, 亀山 充隆	197
高ランダムアクセスバンド幅を有する多ポート SRAM 設計	広島大学ナノデバイス・システム研究センター	上口 光, 椋田 佑也, 和泉 伸也, マタウシュ ハンス・ユルゲン, 小出 哲士	198
微細 CMOS 技術における製造ばらつきと基板ノイズ評価用 TEG	広島大学ナノデバイス・システム研究センター 広島大学先端物質科学研究科	和泉 伸也, 賀谷 彰大, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士 南 尊文	198
超高速オンチップネットワークへ向けた伝送線路配線・SerDes 回路の開発	東京工業大学統合研究院 東京工業大学精密工学研究所	石井 隆宏, 峰山 亜希子, 前川 智明, 益 一哉 伊藤 浩之	198
ビルトインフルデジタルモニタ回路によるばらつきモデルの構築	東京工業大学統合研究院 東京工業大学総合理工学研究科	佐藤 高史, 上蘭 巧, 植山 寛之, 山長 功, 益 一哉 中山 範明	199
ミリ波帯動作へ向けた電圧制御発振器	東京工業大学大学院理工学研究科	伊藤 猛, 岡田 健一, 松澤 昭	199

平成 19 年度第 6 回 ASPLA CMOS 90nm 試作 (AS90076)

題 名	大 学 名	研 究 者	掲載頁
精度補正機能付き D/A 変換器	広島大学先端物質科学研究科	陳 健雄, 原田 良枝, 岩田 穆	200
光配線用送受信器 LSI	鹿児島大学理工学研究科電気電子工学専攻 鹿児島大学工学部電気電子工学科	厚地 保幸, 関 健治 今村 裕典, 竹下 佳岐, 大島 賢一	200

平成 18 年度第 4 回 MOSIS-TSMC CMOS 0.25um 試作 (MT25064)

題 名	大 学 名	研 究 者	掲載頁
低電源電圧連続時間型 $\Delta\Sigma$ モジュレータ	大阪大学大学院工学研究科	兼本 大輔, 谷口 研二	201

平成 19 年度第 1 回 MOSIS-TSMC CMOS 0.18um 試作 (MT18071)

題 名	大 学 名	研 究 者	掲載頁
アクティブ伝送線集積回路の改良	明星大学産学官連携推進室 明星大学理工学部	秋山 豊, 宇佐美 保, 大塚 寛治 水野 文夫, 鷹野 致和	202

平成 19 年度第 2 回 MOSIS-TSMC CMOS 0.18um 試作 (MT18072)

題 名	大 学 名	研 究 者	掲載頁
リコンフィギュラブル RF 回路に向けた広帯域 LNA・VCO・PA の試作	東京工業大学統合研究院 東京工業大学精密工学研究所	大橋 一磨, 福田 聡, 小林 由佳, 佐渡島 進, 金 章九, 中野 和雄, 益 一哉 伊藤 浩之	203

平成 19 年度第 4 回 MOSIS-TSMC CMOS 0.18um 試作 (MT18074)

題 名	大 学 名	研 究 者	掲載頁
LSI 電流起因のノイズ評価回路	東京工業大学統合研究院	佐藤 高史, 山長 功, 益 一哉	204

平成19年度第1回 NEC Bipolar 0.6um 試作 (NEC07)

題名	大学名	研究者	掲載頁
プリアンプ+コンパレータ	総合研究大学院大学高エネルギー加速器科学研究所 高エネルギー加速器研究機構研究員	河合 克彦, 田中 真伸 根岸 久	205
8ch IV プリアンプ	総合研究大学院大学高エネルギー加速器科学研究所 高エネルギー加速器研究機構研究員	河合 克彦, 田中 真伸 根岸 久	205
高速パルスアンプ	高エネルギー加速器研究機構素粒子原子核研究所 高エネルギー加速器研究機構研究員素粒子原子核研究所	谷口 敬, 島崎 昇一, 田中 真伸 根岸 久	205
高速コンパレータ	高エネルギー加速器研究機構素粒子原子核研究所 高エネルギー加速器研究機構研究員	谷口 敬, 島崎 昇一, 田中 真伸 根岸 久	206

2. 2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
MOT071	ひずみ検出用MOSFETの試作	原田 知親, 神谷 悠介, 奥山 澄雄, 松下 浩一	112

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
AS90071	素子特性ばらつき測定回路	佐藤 高史, 石井 隆宏, 益 一哉, 中山 範明, 伊藤 浩之	185
AS90071	遅延変動評価と低リークエネルギー回路要素設計	今井 雅, 金 均東, 椎名 公康, 高田 幸永, 近藤 正章, 中村 宏, 南谷 崇	185
AS90071	サブスレッショルド特性ばらつき評価アレイ回路	更田 裕司, 濱本 浩一, 橋本 昌宜, 密山 幸男, 尾上 孝雄	186
AS90071	オープン故障研究TEG	堤 利幸, 四柳 浩之, 橋爪 正樹, 高橋 寛, 樋上 喜信, 高松 雄三, 山崎 浩二	186
AS90072	LSI内部電圧・内部容量測定回路	中山 範明, 佐藤 高史, 山長 功, 大橋 一磨, 小林 由佳, 植山 寛之, 益 一哉, 伊藤 浩之	188
AS90072	電流モード作動ロジックに基づくクロストーク低減回路の実チップ評価	羽生 貴弘, 松本 敦, 三浦 成友	189
AS90072	オンチップ電源ノイズ評価TEG	小笠原 泰弘, 橋本 昌宜, 尾上 孝雄	189
AS90073	ばらつき評価, 基板バイアス評価, NBTI特性評価 TEG	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊, 牧野 紘明	190
AS90073	三次元集積のための超高速クロック分配回路	宮本 慎一郎, 汐崎 充, 岩田 穆	190
AS90073	ばらつきモデルパラメータ抽出デバイスアレイ回路	中山 範明, 佐藤 高史, 山長 功, 小林 由佳, 宮下 一哉, 植山 寛之, 益 一哉, 伊藤 浩之	194
AS90073	遅延素子の遅延変動特性評価と動的電流制限によるダイナミックエネルギー削減効果の評価	今井 雅, 金 均東, 近藤 正章, 中村 宏, 南谷 崇	194
AS90073	デカップリング容量評価TEGおよびタイミング余裕検出回路評価TEG	小笠原 泰弘, 更田 裕司, 橋本 昌宜, 密山 幸男, 尾上 孝雄	195
AS90074	ばらつき評価, 基板バイアス評価TEG	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊, 牧野 紘明	197
AS90074	ビルトインフルデジタルモニタ回路によるばらつきモデルの構築	佐藤 高史, 上園 巧, 植山 寛之, 山長 功, 益 一哉, 中山 範明	199
MOT062	カスケード電圧スイッチ論理回路及び10進デジタル計数回路群の設計試作	波多野 裕, 鈴木 剛弘, 成島 晃久, 内田 昂志, 天野 知弥	102
MOT071	広入力レンジV-I変換器を用いた乗算器, デリザ回路, 演算増幅器の試作	宮内 亮一, 外山 貴子, 田村 宏樹, 淡野 公一, 平野 扶早, 三輪 亮太	106
MOT071	学生実験用の演算増幅器の試作	外山 貴子, 田中 誠, 西村 和将, 田村 宏樹, 淡野 公一	106
MOT071	学生実験用測定評価デバイス、及び比較器、ダイナミック論理回路、順序論理回路群の設計試作	波多野 裕, 横井 和輝, 久保田 研司, 袴田 尚吾	106
MOT071	学生実験用測定評価デバイス、及び比較器、ダイナミック論理回路、順序論理回路群の設計試作	波多野 裕, 加藤 浩之, 林 良平, 石川 貴幸	107
MOT071	マルチ環境センサ用インターフェイス回路とTEG	鈴木 文章, 藤田 孝之, 前中 一介, 園田 晃司	113
MT18071	アクティブ伝送線集積回路の改良	秋山 豊, 宇佐美 保, 大塚 寛治, 水野 文夫, 鷹野 致和	202
MT18074	LSI電流起因のノイズ評価回路	佐藤 高史, 山長 功, 益 一哉	204
NEC07	プリアンプ+コンパレータ	河合 克彦, 田中 真伸, 根岸 久	205
RO18062	ばらつき評価用回路	上田 浩一郎, 茶川 徹雄	133
RO18062	生体信号センシング回路TEG	浴 良仁, 升井 義博, 吉田 毅, 岩田 穆	133
RO18062	ばらつき評価, 基板バイアス評価TEG	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊, 五嶋 宏通	134
RO18062	アナログデバイスのTEG試作	藪田 悟史, 飯島 健太, 土橋 洋太, 水谷 慶一郎, 杉本 泰博	135
RO18062	くし型電極構造を持つ横型PNフォトダイオード	飯山 宏一, 山王 紀明	136
RO18063	低電圧, 低消費電力参照電圧電源回路, 高線形OTA	今木 啓太, 井手 大介, 兒玉 祐樹, 外山 貴子, 田村 宏樹, 淡野 公一	137
RO18063	エッジ抽出と動体検出のための部分回路TEGと動作検証用回路	福岡 雄大, 萬澤 康雄, 柴田 直	137
RO18063	ばらつき評価, 基板バイアス評価TEG その2	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊, 五嶋 宏通	138
RO18063	アナログデバイス評価TEG	倉科 隆, 坂口 広宣, 松澤 昭	142
RO18071	ばらつき評価, 基板バイアス評価TEG その2	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊, 五嶋 宏通	145
RO18072	乱数発生回路	名倉 徹	146
RO18072	ライブラリ評価, ばらつき評価, 基板バイアス評価TEG	関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊, 牧野 紘明	147
RO18072	リングオシレータ	堀口 文男	149

RO18074	アナログ動体検出TEG用回路&1clkPPEDベクトル生成回路	中川 琢規, 仁木 祐介, 柴田 直	152
RO18074	空間多重通信方式に用いるBPSK受信機の試作	早瀬 佳, 中野 伸吾, 牧野 良成, 狩野 孝太, 藤枝 茂, 秋田 純一, 北川 章夫	154
RO18074	ライブラリセルの試作(1)	笹谷 尚稔, 武田 頼長, 乃一 彰宏, 安中 彰宏, 矢野 政顕, 橋 昌良	156
RO18074	ライブラリセルの試作(2)	笹谷 尚稔, 武田 頼長, 乃一 彰宏, 安中 孝一, 矢野 政顕, 橋 昌良	157
RO18074	バス配線Delay測定用TEGの設計	安岡 佐知子, 橋 昌良	157
RO18074	高速通信回路と高周波基板雑音検出回路の評価チップ	荻野 哲宏, 檀上 匠, 永田 真	157
RO18075	LSI故障診断装置評価用TEG(2-1)	三浦 克介, 中前 幸治	160
RO18075	LSI故障診断装置評価用TEG(2-2)	三浦 克介, 中前 幸治	161
RO18075	LSI故障診断装置評価用TEG(3-1)	三浦 克介, 中前 幸治	161
RO18075	LSI故障診断装置評価用TEG(3-2)	三浦 克介, 中前 幸治	161
RO18075	デルタ・シグマ変調器, 高線形OTA, 温度センサー回路, 高負荷用ドライバTEG	今木 啓太, 林田 辰徳, 井手 大介, 宮内 亮一, 古家 拓郎, 外山 貴子, 田村 宏樹, 淡野 公一	162
RO18075	列並列A/D変換回路TEG	木村 孝之	163
RO18075	最小距離検出回路の性能評価用回路	田中 裕己, 和泉 伸也, Mattausch Hans, Juergen, 小出 哲士	163
RO18075	高周波基板雑音検出手法の評価チップ	檀上 匠, 永田 真	164
RO18076	リングオシレータ	堀口 文男	169
RO18076	LSI故障診断装置評価用TEG(4)	三浦 克介, 中前 幸治	169
RO18076	LSI故障診断装置評価用TEG(2-3)	三浦 克介, 中前 幸治	169
RO18076	アナログ動体検出TEG用回路&1clkPPEDベクトル生成回路	中川 琢規, 仁木 祐介, 柴田 直	171
RO18076	生体用途向けアナログ要素回路TEG	升井 義博, 吉田 毅, 岩田 穆	173
RO18076	バス配線Delay測定用TEGの設計(2)	安岡 佐知子, 橋 昌良	175
RO18076	高周波アナログ特性モデリング用基本素子&回路TEG	新井 康之, 氏家 隆一, 菊池 潤, 柴田 賢一, 石原 昇	176
RO18077	生体用途向けアナログ要素回路TEG	升井 義博, 浴 良仁, 吉田 毅, 石川 智弘, 岩田 穆, 安部 亨	178
RO18077	ESR測定用のインダクタTEG	牧野 良成, 野手 翔太, 秋田 純一, 北川 章夫	180
RO18077	受動素子特性評価用TEG	戸羽 辰夫, 狩野 孝太, 藤枝 茂, 秋田 純一, 北川 章夫	180
RO18077	トリガー機構を有するイメージセンサTEG	木村 孝之, 佐々木 真人, 青木 利文, 増田 正孝, 安田 雅弘	181
RO35067	微細バンパ接合を用いた三次元チップ積層TEG	菊池 宏和, 小林 貴文, 福島 誉史, 田中 徹, 小柳 光正	118
RO35067	オンチップ伝送線路と電源ノイズ評価TEG	橋本 昌宜	120
RO35068	MOSFETの基本的特性の評価実験用TEG	吉田 幸太郎, 桜庭 弘	122
RO35069	LSI故障診断装置評価用TEG(1-1)	三浦 克介, 中前 幸治	128
RO35069	LSI故障診断装置評価用TEG(1-2)	三浦 克介, 中前 幸治	128

アナデジ混載

ラン名	タイトル	研究者	掲載頁
AS90071	オンチップ信号モニタのバックエンドデータ処理系	橋田 拓志, 永田 真	185
AS90072	低電圧動作アナログ要素回路TEG	吉田 毅, 升井 義博, 小島 康志, 岩田 穆	187
AS90072	オンチップ信号モニタのためのデータ通信回路	橋田 拓志, 永田 真	188
AS90073	オンチップ信号モニタシステムのバックエンドデータ処理系(2)	橋田 拓志, 永田 真	195
AS90073	オンチップ信号モニタのフロントエンド回路評価チップ	橋田 拓志, 永田 真	195
NEC07	8ch IVプリアンプ	河合 克彦, 田中 真伸, 根岸 久	205
RO18073	生体信号処理用低電圧アナログCMOS回路	井上 高宏, 山川 俊貴, 中島 晃, 原田 真行, 池田 康浩, 松尾 雅文	150
RO18073	個体識別用低電圧アナログCMOS回路	井上 高宏, 山川 俊貴, 中島 晃, Timischl Felix, 田中 麻子, 樹永 大輔, 山城 昌雄	150
RO18074	RFID向けデジタル制御内部クロック生成回路	本田 将士, 佐々木 敦史, 小谷 光司, 伊藤 隆司	155
RO35067	眼球埋め込み用三次元積層型人工網膜チップの基本回路	小林 貴文, 福島 誉史, 田中 徹, 小柳 光正	118
RO35067	24chWS ASIC	島添 健次, 石 伯軒, 高橋 浩之	119
RO35067	24chWS ASIC	島添 健次, 石 伯軒, 高橋 浩之	119
RO35068	3次元積層化のための単層型人工網膜LSIの試作1	小林 貴文, 福島 誉史, 田中 徹, 小柳 光正	121
RO35068	3次元積層化のための単層型人工網膜LSIの試作2	小林 貴文, 福島 誉史, 田中 徹, 小柳 光正	121

RO35069	スイッチトレジスタ回路網による画像処理チップの開発	森本 昌介, 亀田 成司, 岩田 穆	128
RO35069	広いデジタル回路領域に対応した基板雑音の打ち消し回路	鈴木 寛人, 和田 和千	132

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
AS90072	ビットシリアル演算に基づく細粒度多値リコンフィギャラブルVLSI	亀山 充隆, 岡田 信彬, 伊藤 祐	187
AS90073	低消費電力Viterbiデコーダの試作	吉澤 真吾, 宮永 喜一	192
AS90073	動的再構成FPGA (フレキシブルプロセッサ4)	宮本 直人, 大見 忠弘	192
AS90074	4x4 MIMO-OFDM方式MIMOデコーダの設計	山内 保志, 吉澤 真吾, 宮永 喜一	197
AS90074	細粒度パワーゲーティング機能を有するフィールドプログラマブルVLSI	張山 昌論, 石原 翔太, 亀山 充隆	197
MOT071	神経信号測定用増幅器の試作	斉藤 洋之, 関根 好文, 佐藤 剛太郎	107
RO18063	実時間マルチチップK-meansアーキテクチャ機能確認回路	馬 奕涛, 柴田 直	137
RO18063	実時間動き場生成プロセッサ用TEG	藤田 和英, ハオ ジャ, 柴田 直	138
RO18063	リコンフィギャラブル画像処理回路	兒玉 成緒, 福島 蒼史, 田中 徹, 小柳 光正	138
RO18063	0.18 um CMOS ASIC	石 伯軒, 藤原 健, 高橋 浩之, 島添 健次	144
RO18074	Smooth Optical Flow 計算回路	馬 文静, 姜 璟熙, 柴田 直	152
RO18074	方向性エッジヒストグラムマッチングを用いた実時間動き場生成プロセッサ	藤田 和英, ハオ ジャ, 岡野 祐太, 柴田 直	153
RO18074	低遅延画像伝送システム向け158 MS/s JPEG 2000 コーデックLSIの開発	深山 正幸, 井家 佑介, 春日 隆文, 稲田 遼一, 松田 吉雄	156
RO18074	0.18 um CMOS ASIC	石 伯軒, 藤原 健, 高橋 浩之, 島添 健次	159
RO18076	初期シードベクトル自動生成汎用K-MEANSプロセッサ	鹿野 博嗣, 藤田 和英, 柴田 直	168
RO18076	Smooth Optical Flow 計算回路	馬 文静, 姜 璟熙, 柴田 直	172
RO18076	方向性エッジヒストグラムマッチングを用いた実時間動き場生成プロセッサ	藤田 和英, ハオ ジャ, 岡野 祐太, 柴田 直	172
RO18076	低遅延画像伝送システム向け158 MS/s JPEG 2000 コーデックLSIの開発	深山 正幸, 井家 佑介, 春日 隆文, 稲田 遼一, 松田 吉雄	175
RO18076	0.18 um CMOS ASIC	石 伯軒, 藤原 健, 高橋 浩之, 島添 健次	177
RO18077	ビットシリアル演算器を用いたレイトレーシングハードウェアのプロトタイプ試作	川本 智之, 谷川 一哉, 弘中 哲夫, 山辺 裕樹	180
RO18077	0.18um WS-ASIC	島添 健次, 石 伯軒, 高橋 浩之	183
RO35066	An Analog Associative Processor employing Bell-Shape Similarity Circuit	Bui Trong Tu, 柴田 直	114
RO35066	0.18 um CMOS ASIC	石 伯軒, 藤原 健, 高橋 浩之, 島添 健次	117
RO35067	Pulse-Coupled Neural Networkを用いた画像特徴生成プロセッサ	陳 雋, 柴田 直	118
RO35068	16ch WS-Front-End	島添 健次, 石 伯軒, 高橋 浩之	123
RO35068	16ch WS-Front-End	島添 健次, 石 伯軒, 高橋 浩之	123
RO35068	16ch WS-Front-End	島添 健次, 石 伯軒, 高橋 浩之	123
RO35068	16ch WS-Front-End	島添 健次, 石 伯軒, 高橋 浩之	124
RO35068	20 channel Preamplifier-Shaper ASIC	石 伯軒, 高橋 浩之, 島添 健次	124
RO35068	16ch WSFE ASIC	島添 健次, 石 伯軒, 高橋 浩之	125
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	125
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	125
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	126
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	126
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	126
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	126
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	127
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	127
RO35069	16ch WSFE ASIC	島添 健次, 石 伯軒, 高橋 浩之	132

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
AS90073	精度補正機能付き低電力・高速 $\Delta\Sigma$ ADC量子化器	原田 良枝, 岩田 穆	191
AS90073	微細CMOS基準電圧発生回路を用いた高精度CMOS温度センサの開発	押山 弘樹, 松田 敏弘, 岩田 栄之	194
AS90076	精度補正機能付きDA変換器	陳 健雄, 原田 良枝, 岩田 穆	200

MOT062	CMOS定電流・定電圧発生回路の設計・試作(2)	定本 竜明, 森下 賢幸, 小椋 清孝, 大曾根 隆志	102
MOT062	CMOS定電流・定電圧発生回路の設計・試作(3)	定本 竜明, 森下 賢幸, 小椋 清孝, 大曾根 隆志	102
MOT062	電圧制御発振器を用いた位相同期回路の設計と改善	三浦 和仁, 井上 浩	103
MOT062	アナログ集積回路設計の習得を目指した演算増幅器の試作(2)	清川 幸哉, 久保 俊一, 小山 靖仁, 山下 知憲	103
MOT062	小型加速度センサ用回路の設計	杉本 考行, 松田 敏弘, 岩田 栄之	103
MOT062	基準電圧発生回路を用いた温度センサの設計	押山 弘樹, 松田 敏弘, 岩田 栄之	104
MOT062	小型・高速DC-DCコンバータ出力部LSIの開発	宮崎 崇裕, 岩田 栄之, 松田 敏弘	104
MOT062	演算増幅器の試作(1)	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン	104
MOT062	無線で書き換え可能なFPGAのRF回路要素試作	後藤 誠彦, 安永 守利, 庄野 和広	105
MOT062	高線形化トランスコンダクタ	庄野 和宏	105
MOT062	Vibration-based energy power management circuit	Pan Jun, Inoue Yasuaki	105
MOT071	パルス形ハードウェアCPGモデルの試作	松田 章裕, 佐伯 勝敏, 関根 好文, 赤澤 志帆	107
MOT071	静電容量型入力装置の開発とFM受信用PLLの設計	三浦 和仁, 村越 政之, 井上 浩	108
MOT071	アナログ集積回路設計の習得を目指した演算増幅器の試作	薄 勇作, 神野 勇二, 中川 雄介	109
MOT071	小型・高速DC-DCコンバータ出力部LSIの開発	宮崎 崇裕, 岩田 栄之, 松田 敏弘	109
MOT071	小型加速度センサ用回路の設計	杉本 考行, 松田 敏弘, 岩田 栄之	109
MOT071	基準電圧発生回路を用いた温度センサの設計	押山 弘樹, 松田 敏弘, 岩田 栄之	110
MOT071	演算増幅器の試作(2)	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン	110
MOT071	演算増幅器の試作(3)	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン	110
MOT071	UTMOST抽出用MOSFETアレイ他	金子 晃之, 白井 惇一郎	111
MOT071	弱反転領域で動作するMOSFETを用いた電圧電流変換回路の試作	田中 寿	112
MT25064	低電源電圧連続時間型 $\Delta\Sigma$ モジュレータ	兼本 大輔, 谷口 研二	201
NEC07	高速パルスアンプ	谷口 敬, 島崎 昇一, 田中 真伸, 根岸 久	205
NEC07	高速コンパレータ	谷口 敬, 島崎 昇一, 田中 真伸, 根岸 久	206
RO18062	電圧制御発振器の高周波広帯域化	三浦 和仁, 井上 浩	135
RO18063	PLL回路のための要素回路	北地 祐子, 橋 昌良	139
RO18063	0.6V動作89dBダイナミックレンジ連続時間系アナログフィルタ	秋田 一平, 和田 和千	140
RO18063	素子値の広がりを低減した線形位相帯域通過フィルタとTEG	久保 俊一, 和田 和千	140
RO18063	Switched Current 回路による信号処理回路	岡田 達也, 藤田 智弘	141
RO18063	フィルタ	倉科 隆, 坂口 広宣, 松澤 昭	142
RO18063	アナログ・デジタル変換器	白 戴和, 宮原 正也, 倉科 隆, 松澤 昭	143
RO18063	PLL	鄭 明奎, Chaivipas Win, 倉科 隆, 松澤 昭	143
RO18063	フラッシュADC搭載アナログ回路検証用チップ	森本 一毅, 佐藤 大祐, 中野 誠彦	143
RO18072	デジタル・アナログ変換器	Ito Robert, 倉持 泰秀, 倉科 隆, 松澤 昭	148
RO18072	VGA	倉科 隆, 坂口 広宣, 松澤 昭	148
RO18073	生体信号センシングのための低ノイズ増幅回路	横山 祐介, 山口 昌也, 中野 誠彦	151
RO18074	デジタル補正つき低消費電力サイクリック形AD変換器	池田 徹朗	154
RO18074	UHF帯RFID向け電源回路	佐々木 敦史, 小谷 光司, 伊藤 隆司	155
RO18074	非周期ノイズ波形検出用オンチップノイズセンサの試作	森本 一毅, 佐藤 大祐, 中野 誠彦	159
RO18075	小型・高速DC-DCコンバータ用制御部LSIの開発	宮崎 崇裕, 岩田 栄之, 松田 敏弘	164
RO18075	生体信号センシングおよび刺激印加のための回路	横山 祐介, 中野 誠彦	165
RO18075	FMDSMのための線形電圧制御発振器	前澤 宏一, 三宅 誠一	166
RO18076	フラッシュADC搭載アナログ回路検証用チップの再試作	森本 一毅, 佐藤 大祐, 中野 誠彦	167
RO18076	神経信号センシングLSIのためのCMOS低雑音増幅回路	浴 良仁, 升井 義博, 吉田 毅, 岩田 穆	172
RO18076	PLLによるLSIテスト用高精度電流源回路	李 田茂, 黒木 幸令	173
RO18076	小型・高速DC-DCコンバータ用制御部LSIの開発	宮崎 崇裕, 岩田 栄之, 松田 敏弘	175
RO18077	低スプリアス特性をもつ位相同期回路の試作と演算増幅器のTEG	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン, 吉岡 正浩	182
RO18077	弱反転動作を用いた極低電圧アナログ増幅回路とアナログ記憶保持回路	高橋 良輔, 佐山 裕紀, 永井 裕也, 原田 知親, 奥山 澄雄, 松下 浩一	183
RO18077	DC-DCコンバータの要素回路TEG	吉原 務, 岡村 玲玉奈	183
RO35066	素子ばらつきの影響を低減した信号分割型アナログ・デジタル変換器	小野 貴士, 和田 和千	116
RO35068	アクティブノイズコントロール用アナログ回路	加藤 正史, 小野田 皓司	121

RO35069	電流源精度と周波数特性劣化要因を除去した14bitDACの試作	柳井 昭太郎, 土橋 洋太, 杉本 泰博	129
RO35069	1次連続時間 $\Delta\Sigma$ 変調器とその要素回路	三藤 浩一, 町田 和也, 和保 孝夫	130
RO35069	1V動作可能なバイプライン型ADC用MDAC	芥川 一樹, 町田 和也, 和保 孝夫	130

イメージセンサ/スマートセンサ

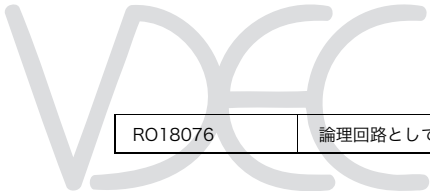
ラン名	タイトル	研究者	掲載頁
MOT071	光の干渉縞検出用フォトダイオード	橋本 泰知, 藤田 孝之, 前中 一介	113
RO18062	イメージセンサTEG	野村 啓二, 安達 雄大, 香川 景一郎, 布下 正宏, 太田 淳	135
RO18062	IR-UWB・イメージセンサTEG	穴戸 三四郎, 長畑 樹, 宮脇 智也, 香川 景一郎, 布下 正宏, 太田 淳	136
RO18072	イメージセンサTEG	萬代 新悟	146
RO18072	CMOS IMAGE SENSOR FOR AMBIENT LIGHT SUPPRESSION BY MEANS OF CURRENT・MODE PIXEL CIRCUIT	BASCI Caner	146
RO18073	光通信用センサおよび信号処理回路	青野 聖, 松本 佳宣	150
RO18073	擬似的な不規則画素配置を持つCMOSイメージセンサ	秋田 純一, 野手 翔太	151
RO18074	画素時間差分情報の膨張処理を用いたアナログ動体検出回路	仁木 祐介, 柴田 直	152
RO18074	光通信用センサ及び信号処理回路	原 貴東, 松本 佳宣	156
RO18075	CMOS IMAGE SENSOR FOR AMBIENT LIGHT SUPPRESSION BY MEANS OF CURRENT・MODE PIXEL CIRCUIT	BASCI Caner	160
RO18075	高速・高精度三次元撮像用デュアル・イメージコア・チップ	萬代 新悟	160
RO18075	1Gbps×4ch光無線LAN用ビジョンチップ	長畑 樹, 宮脇 智也, 香川 景一郎, 布下 正宏, 太田 淳	163
RO18076	Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture	伊藤 淑人, 柴田 直	168
RO18076	画素時間差分情報の膨張処理を用いたアナログ動体検出回路	仁木 祐介, 柴田 直	171
RO18077	イメージセンサの検証用TEG	加賀美 智子, 峰 陽介, 浜本 隆之	181
RO35066	ダイナミック駆動低電圧・低消費電力パルス幅変調型CMOSイメージセンサ	佐々木 達也, 穴戸 三四郎, 香川 景一郎, 布下 正宏, 太田 淳	115
RO35066	光通信用センサ及び信号処理回路	原 貴東, 松本 佳宣	115
RO35066	光素子駆動回路	青野 聖, 松本 佳宣	116
RO35066	イメージセンサ1	小川 了	117
RO35068	光通信用信号処理回路	青野 聖, 松本 佳宣	122
RO35069	64×64画素光無線LAN用ビジョンチップ	香川 景一郎, 布下 正宏, 太田 淳	129
RO35069	CIFフォーマット低電圧パルス幅変調型CMOSイメージセンサ	穴戸 三四郎, 香川 景一郎, 布下 正宏, 太田 淳	129
RO35069	集積化傾斜スイッチ	松本 佳宣	131
RO35069	神経信号センシングチップ	吉田 毅, 浴 良仁, 有田 真一, 岩田 穆	131
RO35069	神経信号センシングチップ	吉田 毅, 浴 良仁, 有田 真一, 岩田 穆	131

その他

ラン名	タイトル	研究者	掲載頁
AS90072	90nmプロセスでのメモリコンポーネントの動作チェック	岡本 悠史, 河合 宣彰, 陳 賢珠, 吉川 信行	187
AS90073	ばらつきを利用して速度と歩留まりを向上させるFPGA	久米 洋, 小林 和淑, 小野寺 秀俊	190
AS90074	微細CMOS技術における製造ばらつきと基板ノイズ評価用TEG	和泉 伸也, 賀谷 彰大, 上口 光, マウシュ ハンス・ユルゲン, 小出 哲士, 南 尊文	198
MOT071	C素子を用いた耐ソフトエラーフリップフロップ	坂田 雅俊, 難波 一輝, 伊藤 秀男	108
RO18062	Rohm0.18umプロセス低温デバイスモデル作成容量、抵抗	河合 宣彰, 後藤 恭平, 吉川 信行	133
RO18063	RFID向け実験チップ	狩野 孝太, 近藤 雄一, 松山 英亮, 秋田 純一, 北川 章夫	139

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
AS90074	超高速オンチップネットワークへ向けた伝送線路配線・SerDes回路の開発	石井 隆宏, 峰山 亜希子, 前川 智明, 益 一哉, 伊藤 浩之	198
RO18062	論理回路として動作するメモリの設計	吉原 理記, 平川 直樹, 谷川 一哉, 弘中 哲夫	134
RO18072	論理回路として動作するメモリのプロトタイプ設計	吉原 理記, 平川 直樹, 谷川 一哉, 弘中 哲夫	147
RO18072	オンチップ太陽電池と光センサへの応用	高宮 真, 桜井 貴康	149



RO18076	論理回路として動作するメモリの修正試作	吉原 理記, 平川 直樹, 谷川 一哉, 弘中 哲夫, 戸口 博昭	167
---------	---------------------	-----------------------------------	-----

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
AS90071	MuCCRA-2	佐野 徹, 西村 隆, 中村 拓郎, 堤 聡, 長谷川 揚平, 天野 英晴	184
AS90071	LSI低消費電力回路技術	高宮 真, 桜井 貴康	186
AS90073	誘導結合通信を用いたプロセッサ		193
AS90073	マルチコアプロセッサの試作	石原 亨	196
MOT071	超低消費電力基準電圧回路、マイクロ電源制御回路	黄 章財, 李 ナ, 黄 穗, 蔣 名律, 井上 靖秋	112
MOT071	高音質オーディオ用プリアンプ	荒井 拓真, 佐藤 淳, 桜庭 弘	113
RO18062	0.18um用WS-ASIC TEG	島添 健次, 石 伯軒, 高橋 浩之	136
RO18063	64ビットマルチスレッディングプロセッサ	木村 晋二, ザン チェンジエ	141
RO18072	遅延保障フリップフロップ検証用回路	廣瀬 健一郎, 坂井 修一	148
RO18074	16ビットパイプラインプロセッサの設計実習A	池永 剛	158
RO18074	16ビットパイプラインプロセッサの設計実習B	池永 剛	158
RO18074	16ビットパイプラインプロセッサの設計実習C	池永 剛	158
RO18074	16ビットパイプラインプロセッサの設計実習D	池永 剛	159
RO18076	MuCCRA-1	佐野 徹, 加東 勝, 西村 隆, 中村 拓郎, 堤 聡, 長谷川 揚平, 天野 英晴	167
RO18076	遅延保障フリップフロップ検証用回路	廣瀬 健一郎, 坂井 修一	168
RO18076	LSI故障診断装置評価用TEG (5-1)	三浦 克介, 中前 幸治	170
RO18076	LSI故障診断装置評価用TEG (5-2)	三浦 克介, 中前 幸治	170
RO18076	LSI故障診断装置評価用TEG (5-3)	三浦 克介, 中前 幸治	170
RO18076	LSI故障診断装置評価用TEG (5-4)	三浦 克介, 中前 幸治	171
RO18076	プロセッサとしても利用可能な粗粒度リコンフィギュラブルデバイス	神山 真一, 廣本 正之, 越智 裕之, 中村 行宏	174
RO18077	ALPHA(MEM_1)	佐野 徹, 加東 勝, 西村 隆, 堤 聡, 長谷川 揚平, 天野 英晴	178
RO18077	BETA(PE_1)	佐野 徹, 加東 勝, 西村 隆, 堤 聡, 長谷川 揚平, 天野 英晴	178
RO18077	ユビキタスプロセッサHC gorillaの大規模化及び改良	武田 宏樹, 野田 一訓, 横山 温子, 深瀬 政秋, 佐藤 友暁	181
RO35068	16 channel Preamplifier ASIC	石 伯軒, 高橋 浩之, 島添 健次	124

メモリ

ラン名	タイトル	研究者	掲載頁
AS90073	高ランダムアクセスバンド幅を有する多ポートSRAM設計	上口 光, 椋田 佑也, 和泉 伸也, 賀谷 彰大, マタウシュ ハンス・ユルゲン, 小出 哲士	192
AS90074	高ランダムアクセスバンド幅を有する多ポートSRAM設計	上口 光, 椋田 佑也, 和泉 伸也, マタウシュ ハンス・ユルゲン, 小出 哲士	198
RO18063	低消費電力を目的とした制御電源線付きSRAM回路の試作チップ	山崎 博孝, 中野 誠彦	144
RO18074	SFQ/CMOSハイブリッドメモリシステム用メモリ	岡本 悠史, 河合 宣彰, 吉川 信行	155
RO18076	SFQ/CMOSハイブリッドメモリシステム用メモリ	岡本 悠史, 河合 宣彰, 吉川 信行	174
RO18076	動作マージン評価用 SRAM	野田 和徳, 中村 和之	176
RO18077	SNM評価用TEG	野田 和徳, 中村 和之	182
RO35066	SFQ/CMOS ハイブリッドメモリ	高橋 好明, 河合 宣彰, 後藤 恭平, 吉川 信行	114
RO35066	SFQ/CMOS ハイブリッドメモリ	高橋 好明, 河合 宣彰, 後藤 恭平, 吉川 信行	115
RO35067	長期・短期記憶を実現する自動学習チップ	榎原 尚吾, 田中 裕己, Abedin Md.Anwarul, Mat-tausch Hans.Juergen, 小出 哲士	119

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
MOT071	キャリールックアヘッド8ビット加算器の作成	森 耕太郎, 難波 一輝, 伊藤 秀男	108
RO18062	断熱的パストランジスタ論理回路を用いた加算回路	生田 浩康, 山田 日登美, 吉川 信行	134
RO18063	断熱的パストランジスタ論理回路を用いた加算回路	生田 浩康, 山田 日登美, 吉川 信行	139

RO18072	断熱的加算器と消費電力測定用回路とメモリのデコーダ	生田 浩康, 山田 日登美, 吉川 信行	147
RO18074	バックバイアスによる影響の測定用回路と駆動回路付きの断熱回路	生田 浩康, 山田 日登美, 吉川 信行	154
RO18075	ウェーブパイプラインのための遅延調整手法評価用演算器の設計	多田 十兵衛, 後藤 源助	164
RO18076	駆動力を上げたラッチ回路と消費電力測定回路	生田 浩康, 山田 日登美, 吉川 信行	174
RO35066	静電容量型センサ用容量検出回路	松本 佳宣	116
RO35068	静電容量型センサ用容量検出回路	松本 佳宣	122
RO35069	傾斜センサ用容量検出回路	松本 佳宣	130

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
AS90071	CMOSRFトランシーバ評価TEG	門馬 太平, Caner Basci, 金 鎮明	184
AS90071	トランスを用いたUWB CMOS低雑音増幅器	木原 崇雄, 松岡 俊匡, 谷口 研二	184
AS90072	90nm CMOS 6-10GHz UWB向け低電力送信器	ヴィシャル クルカルニ, ムハンマド ムクシト, 石黒 仁揮, 黒田 忠広	188
AS90072	チップ間無線通信のためのCMOS UWB送信回路	吉川 公彦, 石川 智弘, 佐々木 信雄, 木本 健太郎	189
AS90073	三次元集積のための高速データ伝送回路	中島 丈晴, 汐崎 充, 岩田 穆	191
AS90073	0.5 V動作RF要素回路	木原 崇雄, 朴 海柱, 田古部 勲, 山下 文明, 松岡 俊匡, 谷口 研二	191
AS90073	低消費電力チップ間インタフェースの開発	新津 葵一, 川井 秀介, 三浦 典之, 石黒 仁揮, 黒田 忠広	193
AS90073	ソフトウェア無線用VCO、サンブラ、DSADC	阿部 寛之, 猪狩 貴之, 佐藤 守, 志方 明, 白石 圭, 石黒 仁揮, 黒田 忠広	193
AS90073	光配線用送受信器LSI	厚地 保幸, 関 健治, 今村 裕典, 竹下 佳岐, 大島 賢一	196
AS90074	ミリ波帯動作へ向けた電圧制御発振器	伊藤 猛, 岡田 健一, 松澤 昭	199
AS90076	光配線用送受信器LSI	厚地 保幸, 関 健治, 今村 裕典, 竹下 佳岐, 大島 賢一	200
MOT071	ワンチップFMラジオの試作	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディア ン, 吉岡 正浩	111
MOT071	FM放送の受信システムの試作	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディア ン, 吉岡 正浩	111
MT18072	リコンフィギュラブルRF回路に向けた広帯域LNA・VCO・PAの試作	大橋 一磨, 福田 聡, 小林 由佳, 佐渡島 進, 金 章九, 中野 和雄, 益 一哉, 伊藤 浩之	203
RO18063	高速通信回路評価チップ	荻野 哲宏, 永田 真	140
RO18063	センサネットワークシステムの送受信ICの試作 RO1806_3	高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディア ン, 吉岡 正浩	141
RO18063	パワーアンプ	張 義偉, 倉科 隆, 坂口 広宣, 松澤 昭	142
RO18074	空間多重通信方式に用いるBPSK送信機の試作	早瀬 佳, 中野 伸吾, 牧野 良成, 藤枝 茂, 秋田 純一, 北川 章夫	153
RO18074	空間多重通信方式に用いるBPSK送信機の試作	早瀬 佳, 中野 伸吾, 牧野 良成, 藤枝 茂, 秋田 純一, 北川 章夫	153
RO18075	Charge Sampling Filter		162
RO18075	オンチップ・トランスによるパルス伝送方式UWB送信回路	高橋 尚基	162
RO18075	高周波パッシブ評価TEG	伊藤 猛, 金丸 正樹, 原 翔一, 高山 直輝, Chaivipas Win, 李 寧, 岡田 健一, 松澤 昭	165
RO18075	高周波パッシブ評価TEG	伊藤 猛, 金丸 正樹, 原 翔一, 高山 直輝, Chaivipas Win, 李 寧, 岡田 健一, 松澤 昭	165
RO18076	人体を伝送路とするデータ通信回路	向井 徹, 岩田 穆	173
RO18076	高速・高周波アナログCMOS回路試作実習TEG	石原 昇	176
RO18077	インダクタ結合インターコネクタ試験回路の設計1	亀田 成司, 岩田 穆	179
RO18077	インダクタ結合インターコネクタ試験回路の設計2	亀田 成司, 岩田 穆	179
RO18077	インダクタ結合インターコネクタ試験回路の設計3	亀田 成司, 岩田 穆	179
RO18077	VCO	倉科 隆, 坂口 広宣, 松澤 昭	182
RO35066	Full-CMOS ASK変復調回路の機能検証回路	李 洪革, 福島 誉史, 田中 徹, 小柳 光正	114

2. 3 各チップの詳細

平成18年度第2回オンセミコンダクター CMOS 1.2 μ m 試作 (MOT062)

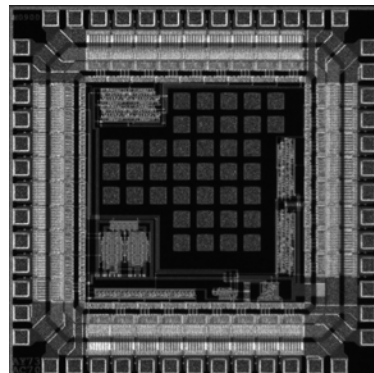
カスケード電圧スイッチ論理回路及び10進デジタル計数回路群の設計試作

静岡理科大学電気電子情報工学科 波多野 裕, 鈴木 剛弘, 成島 晃久, 内田 昂志, 天野 知弥

概要：18年度第1回試作チップの実測結果を踏まえ、カスケード電圧スイッチ論理（CVSL）回路、10進デジタル計数回路などを設計した。宇宙用高信頼回路の候補の一つとして2種類のCVSL回路を設計した。10進デジタル計数回路として、同期式10進1桁計数回路、非同期式10進1桁計数回路、非同期式10進2桁計数回路を設計した。また、4ビット2進計数回路と4ビットSRAM回路を設計した。7月19日に入荷した試作チップを直ちに測定して、実測したスタティック形CVSL回路とクロック形CVSL回路（accepted to RADECS2008, Jyvaskyla）、同期式10進1桁計数回路、非同期式10進1桁計数回路、非同期式10進2桁計数回路の機能動作の確認に全て成功した。

参考文献：[1] 波多野, 鈴木, 成島, 加治, 岡本, 福島, 杉山, 隈部, 山口, ”カスケード電圧スイッチ論理回路, 桁上げ伝搬加算回路, 及び順序論理回路群の設計試作”, p.99, 2007年VDEC年報(2007)。

設計期間：1人月以上, 2人月未満 設計ツール：Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG（特性評価回路など）

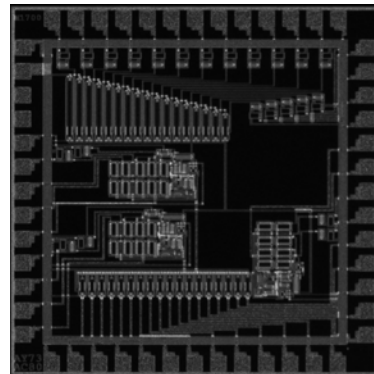


CMOS 定電流・定電圧発生回路の設計・試作（2）

岡山県立大学大学院情報系工学研究科 定本 竜明, 森下 賢幸, 小椋 清孝, 大曾根 隆志

概要：アナログ・デジタル回路の混在したCMOS LSI技術の向上に伴い、安定に動作するアナログ回路の実現のためには温度依存性がなく電源電圧にも依存しない基準となる安定した定電流回路が重要となる。従来の低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積の増大のため、製造コストが上昇してしまう。本設計では抵抗を用いず21個のMOSトランジスタのみで定電流回路を構成した。さらに、1つの回路で定電流特性と定電圧特性の両方を同時に得るように回路設計を行った。低温では変動率1%程度の定電流・定電圧特性を得ることができた。しかし、高温になると特性が変わってしまい、さらなる検討が必要である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Encounter, Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：10未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）

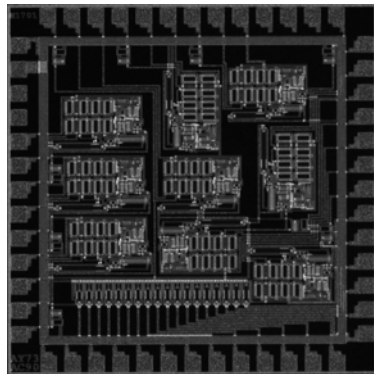


CMOS 定電流・定電圧発生回路の設計・試作（3）

岡山県立大学大学院情報系工学研究科 定本 竜明, 森下 賢幸, 小椋 清孝, 大曾根 隆志

概要：アナログ・デジタル回路の混在したCMOS LSI技術の向上に伴い、安定に動作するアナログ回路の実現のためには温度依存性がなく電源電圧にも依存しない基準となる安定した定電流源および定電圧源が重要となる。従来の低バイアス電流の発生回路には高抵抗が用いられるが、チップの占有面積の増大のため、製造コストが上昇してしまう。本設計では抵抗を用いず21個のMOSトランジスタのみで定電流回路を構成した。さらに、1つの回路で定電流特性と定電圧特性の両方を同時に得るように回路設計を行った。本チップは「CMOS 定電流・定電圧回路の設計・試作（2）」と同じ回路であるが、各パラメータを変えたものである。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



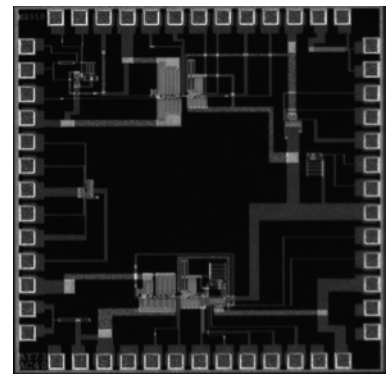
電圧制御発振器を用いた位相同期回路の設計と改善

秋田大学工学資源学部 三浦 和仁, 井上 浩

概要: 通信機器の小型高性能化には優れた特性を持つ発振器をチップ内に集積化する必要がある。これまで、インバータの縦続接続による簡易構成で集積化に適した広帯域な発振周波数特性を持つ電圧制御発振器 (VCO) が開発されてきた [1]。本試作において VCO を用いた広い周波数同期範囲を持つ位相同期回路の設計を行い、従来の測定結果から検討されたシミュレーションに含まれない浮遊容量を考慮した改善を行った。(1) 配線幅, (2) 配線の引き回し, (3) 使用する各素子の構造の3点のレイアウトを中心に、シミュレーションによる検討を行い、試作した。

参考文献: 宮前亨, 井上浩, “リング発振器型 VCO の開発とその応用,” 東北地区若手研究者研究発表会, Mar. 2005

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

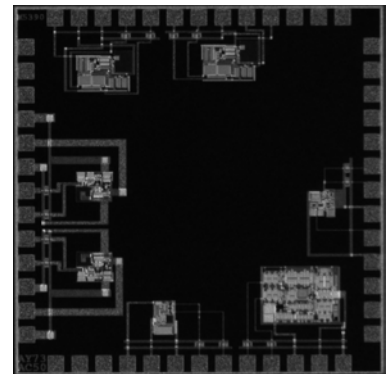


アナログ集積回路設計の習得を目指した演算増幅器の試作 (2)

豊橋技術科学大学工学部 清川 幸哉, 久保 俊一, 小山 靖仁, 山下 知憲

概要: 学生 4 名が演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>) に参加するため、各自が設計した回路を試作している。回路構成は差動対とソース接地増幅回路の 2 段構成を基本に、各学生が目指す特性に特化するように回路構成に変更を加え、工夫を凝らしている。理論計算に始まり、シミュレーションによる動作検証、そしてレイアウト能力を養うことも目的としている。本チップ内の回路はいずれも、初学者が主体的に考えて設計、レイアウトならびに測定を行った。また、2 度目の演算増幅器試作となる学生は、前年度の測定結果を踏まえ、出力段を付加する等、経験に基づく回路設計にも取り組んでいる。回路の動作を確認し、シミュレーションと測定結果に若干の差異は生じたが、出力範囲の改善が見られる等の結果が得られた。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

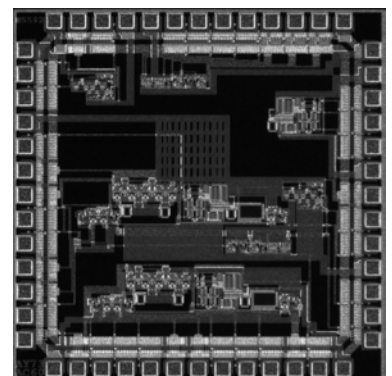


小型加速度センサ用回路の設計

富山県立大学工学研究科 杉本 考行, 松田 敏弘, 岩田 栄之

概要: 近年、マイクロマシン技術を応用した、小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、この出力を増幅、補正する必要がある。本研究では、以前、小型センサ用の増幅回路を設計したが、小型センサと増幅回路双方にオフセット電圧が生じてしまう。このオフセット電圧をアナログ値からデジタル値に変換し、デジタル値によって調整する方法を検討している。A/D 変換のために、デルタ・シグマ型 A/D コンバータを設計することを目標とした。そのため、本チップには、スイッチト・キャパシタ回路を使用した積分回路、コンパレータ、2 つの回路を組み合わせたデルタ・シグマ変調器を搭載した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

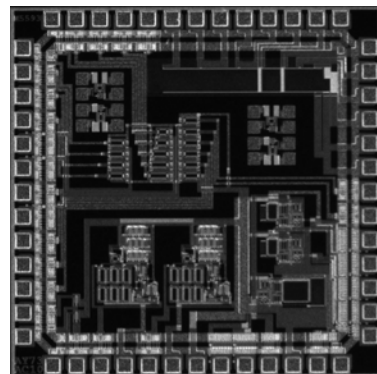


基準電圧発生回路を用いた温度センサの設計

富山県立大学大学院工学研究科 押山 弘樹, 松田 敏弘, 岩田 栄之

概要: アナログ・デジタル混載集積回路は、様々な機能を1チップ上に実現することが可能であり、アナログ回路でもCMOSプロセスによる実現が望まれている。アナログ回路では、温度依存性が無く、電源電圧依存にも依存しない基準電圧発生回路は重要である。また、電子機器内で使用されるリチウムイオン電池の過充電による発火防止など、様々な電子機器において、温度センサが必要とされている。本プロセスで開発した高精度CMOS基準電圧発生回路を応用し、温度センサを設計した。本チップには、基準電圧発生回路、オペアンプを搭載した。また、基準電圧発生部のトランジスタのW/L比が調整可能なMOSFETを配置し、本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした。基準電圧発生回路は、同じ設計値のものを3つ配置してある。オペアンプは、同じ設計値のものを2つ、発振対策用に設計したものを1つ配置してある。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

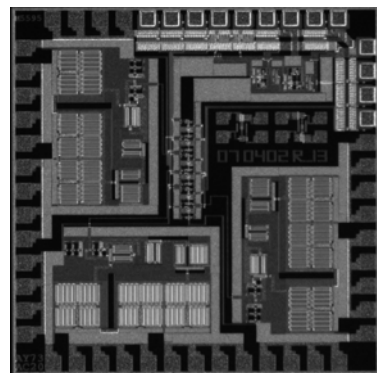


小型・高速DC-DCコンバータ出力部LSIの開発

富山県立大学工学研究科 宮崎 崇裕, 岩田 栄之, 松田 敏弘

概要: DC-DCコンバータの小型・軽量化および高効率化のため、本研究で従来外付けのパワーMOSFETを削減し、同等の回路をLSI内に実現することを検討している。今回の試作では従来までの出力段MOS, 貫通電流防止回路に加えて過電流防止回路を設計した。出力回路は従来の出力回路を3個搭載し、ON抵抗の低減を目指している。これにより、ON抵抗を従来の三分の一になると予想している。貫通電流防止回路は試作後に外部からの電圧により、適切なデッドタイムに設定可能である。出力回路選択回路は3個搭載した出力回路のどれに信号を入力するかを選択可能である。各回路の遅延時間を同一にするため、配線の長さを等しく設計した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



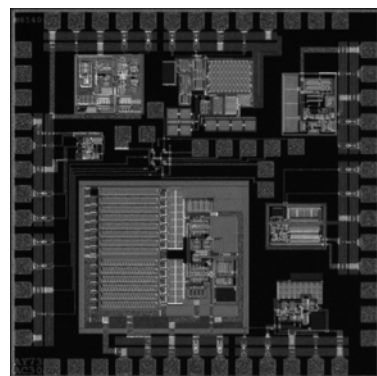
演算増幅器の試作(1)

東京工業大学理工学研究科 高木 茂孝, 藤井 信生, 佐藤 隆英, ニコテムスレディアン

概要: 演算増幅器は汎用性が高く、アナログ回路において広く用いられる回路ブロックである。限られた条件の下で優れた特性を有する演算増幅器を実現するためにはアナログ集積回路設計の様々な知識が必要となる。そのため演算増幅器の試作はアナログ集積回路設計の学習に効果的である。本チップでは6名の学生がそれぞれ独自の演算増幅器の試作を行っている。試作した演算増幅器は演算増幅器設計コンテスト [1] に応募し、本チップで試作した演算増幅器が同コンテストにおいて最優秀賞を獲得した。最優秀賞を獲得した演算増幅器は、プッシュプルソースフォロワにより構成された入力段とソース接地型出力段により入出力電圧範囲をRail-to-Railまで拡大し、出力ノードに存在する極が第2極となるように設計することで、10MHz以上の利得帯域幅積 (GB積) を実現している。さらに、スルーレートがテール電流源により制限されない構造を採用したため、高スルーレートである特長を有している。

参考文献: [1] 演算増幅器設計コンテストホームページ <http://www.ec.ss.titech.ac.jp/opamp>

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



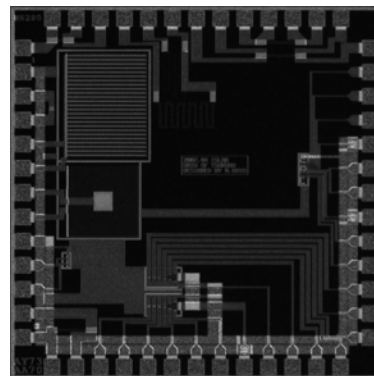
無線で書き換え可能なFPGAのRF回路要素試作

筑波大学システム情報工学研究科 後藤 誠彦, 安永 守利, 庄野 和広

概要:我々は、物理層無線通信で遠隔書き換え可能なFPGA (Field Programmable Gate Array) を提案している。これにより、山間部や海上、離島などインターネット接続が不可能な場所に設置されたFPGAを遠隔書き換えすることが可能となる。FPGAのコンフィギュレーションデータの無線伝送方式は10~100MHzのBPSK変調を用いる。また、符号化にはマンチェスター符号を用いる。復号にはマイクロプロセッサを用いる。既に、RF回路の設計を終了した。今後、RF回路部(復調回路、ミキサ、PLL)のチップ試作を行う予定であり、本試作は、この試作に先立ち、主要基本・デバイス回路の性能特性の評価を行うことを目的としている。具体的には、差動増幅回路、シングルエンド増幅回路、キャパシタンス、抵抗の基本特性を評価する。これら、基本回路・デバイスの基本特性を回路設計にフィードバックし、次期RF回路部試作を行う予定である。なお、測定に関し、LSIテストは使用していない。

参考文献:後藤誠彦, 安永守利, 庄野和広, 山口佳樹“無線で遠隔再構成が可能なワンチップFPGAの提案と設計,” 電子情報通信学会機能集積情報システム研究会技報告FIIS08, No. 232, (2008) .

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Tanner L-Edit **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



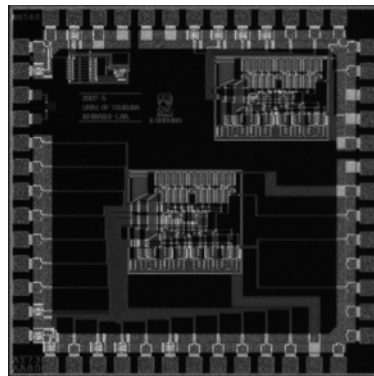
高線形化トランスコンダクタ

筑波大学システム情報工学研究科 庄野 和宏

概要:移動度減衰を考慮した高線形化トランスコンダクタを実装した。実装回路は、高インピーダンスの差動入力端子を持つ。非線性に影響を与える恐れのあるカレントミラーを用いたシングルエンド変換回路は搭載せず、外付け抵抗を2本取り付け、その差の電圧をDVMにより測定し、差動出力電流を調べる回路構成とした。また、周波数特性が犠牲となるが、基板効果を避けるため、pMOSトランジスタを積極的に用い、バックゲート端子とソース端子を接続する構成とした。電源電圧は5Vである。提案回路と、その回路内の電圧、電流を取り出すための端子を持つ予備回路の2つを搭載した。動作試験を通して、予備回路の不備が発見されたが、内部信号を取り出さない提案回路については、期待する動作が得られることを確認した。よく知られたWangのOTAと比較して、約3倍の線形入力電圧範囲を持つことを確認した。

参考文献: Kazuhiro SHOUNO and Yukio ISHIBASHI, "A Highly Linearized CMOS Transconductor with a Controlled Tail Current Source", Proceedings of The 2007 International Technical Conference on Circuits / Systems, Computers and Communications (ITC-CSCC 2007), Vol. 1, pp.23-24, July 8-11, 2007, (Busan, Korea)

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** MicroSim社 PSpice, 手作業, Tanner社 L-Edit, Tanner社 L-Edit DRC **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



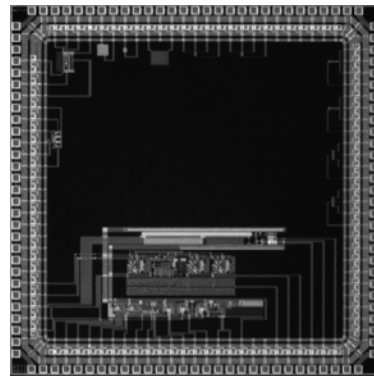
Vibration-based energy power management circuit

Graduate school of Waseda University Information, Production and Systems Pan Jun, Inoue Yasuaki

概要: An energy management circuit is proposed for self-powered ubiquitous sensor modules using vibration-based energy. With the proposed circuit, the sensor modules work with low duty cycle operation. Moreover, a two tank circuit as a part of the energy management circuit is utilized to solve the problem that the average power density of ambient energy always varies with time while the power consumption of the sensor modules is constant and larger than it. In addition, the long start-up time problem is also avoided with the timing control of the proposed energy management circuit. The CMOS implementation and silicon verification results of the proposed circuit are also presented. Its validity is further confirmed with a vibration-based energy generation. The sensor module is used to supervise the vibration of machines and transfer the vibration signal discontinuously. A piezoelectric element acts as the vibration-to-electricity converter to realize battery-free operation. We have tested the chip. The chip works well and we found that the energy management circuit can avoid the long start-up time problem and can improve the level of integration. The proposed energy management circuit can be used as a battery for any ubiquitous sensor modules using different ambient energies. The proposed energy management circuit is effective in managing the scavenged ambient energy and maximizing the potential applicability of the sensor module. In the near future, We will utilize the experimental result of this chip in some sensor module.

参考文献: [1] Jun Pan, Yasuaki Inoue, Zheng Liang, "A Energy Management Circuit for Self-Powered Ubiquitous Sensor Modules Using Vibration-Base Energy", pp.2116--2123, IEICE TRANS. FUNDAMENTALS, Vol. E90-A, No. 10, Oct. 2007

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibrexRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



平成19年度第1回オンセミコンダクター CMOS 1.2 μ m 試作 (MOT071)

広入力レンジV-I変換器を用いた乗算器, デイザ回路, 演算増幅器の試作

宮崎大学工学部 宮内 亮一, 外山 貴子, 田村 宏樹, 淡野 公一

宮崎大学大学院工学研究科 平野 扶早, 三輪 亮太

概要: 本試作では, 広入力レンジV-I変換器を用いた乗算器, インバータを用いたデイザ回路, 基本的な演算増幅器2種類の試作に取り組んだ. 乗算器は低素子感度, 低消費電力, 高線形化, 広入力レンジの実現を目指した回路構成で, トランスリニア原理を用いた電流モード乗算器とカプリオ・クアッド回路を用いたV-I変換器の2種類の回路ブロックから成る. また, デイザ回路では多段インバータチェーン構成のものを搭載した. さらに, 学部学生にLSI設計を学習させるため, 基本的な演算増幅器を設計させた. 現在これらの特性評価に取り組んでおり, 概ね期待通りの性能を得ている.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)

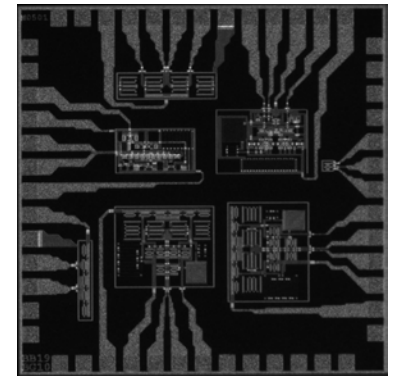


学生実験用の演算増幅器の試作

宮崎大学工学部 外山 貴子, 田中 誠, 西村 和将, 田村 宏樹, 淡野 公一

概要: 我々の研究室では, 学部学生向けの実験のテーマとして「演算増幅器の設計」に取り組んでいる. この実験では, 与えられた設計仕様を満足するように演算増幅器の回路構成を選択し, トランジスタレベルでの回路設計, マスクレイアウト設計, 評価まで取り組ませる. この実験を通して, 基本的なLSI設計の技術を修得させることができ, 今後研究で取り組むLSI設計へスムーズにシフトできる. 本試作では, その演算増幅器とそれを構成する要素回路が作り込まれている. また, MOSFETのパラメータの抽出ができるようにMOSFET単体も作り込んである. 今後は, この完成したLSIの評価に取り組ませることとなる.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)

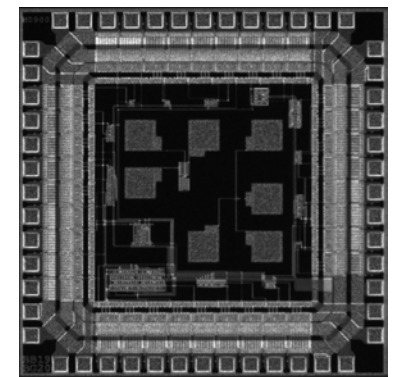


学生実験用測定評価デバイス, 及び比較器, ダイナミック論理回路, 順序論理回路群の設計試作

静岡理工科大学電気電子情報工学科 波多野 裕, 横井 和輝, 久保田 研司, 袴田 尚吾

概要: 18年度第2回試作チップの実測結果を踏まえ, 比較器, ダイナミック論理回路, カウンタ回路, メモリレジスタ回路, 学生実験用測定評価デバイスを2チップに分けて設計した. 設計した回路は, NOR形, NAND形1ビット大小比較器, NAND形2ビット大小比較器, 位相比較器, ドミノ回路, 5入力CVSL回路, リングカウンタとジョンソンカウンタ等のカウンタ, DラッチとDFFを用いたメモリレジスタ, EXOR回路, 一致検出回路, ハザードフリー回路, プライオリティエンコーダ, 減算回路等である. 1月9日に入荷した試作チップを直ちに測定して, 実測したNOR形, NAND形1ビット大小比較器, NAND形2ビット大小比較器, 位相比較器, ドミノ回路, ジョンソンカウンタ, DラッチとDFFを用いたメモリレジスタ, EXOR回路, 一致検出回路, ハザードフリー回路, プライオリティエンコーダ, 減算回路の機能動作の確認に全て成功した.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)

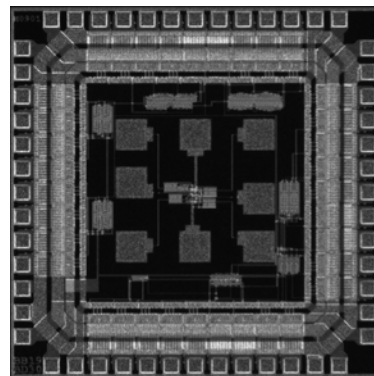


学生実験用測定評価デバイス、及び比較器、ダイナミック論理回路、順序論理回路群の設計試作

静岡理科大学電気電子情報工学科 波多野 裕, 加藤 浩之, 林 良平, 石川 貴幸

概要：18年度第2回試作チップの実測結果を踏まえ、比較器、ダイナミック論理回路、カウンタ回路、メモリレジスタ回路、学生実験用測定評価デバイスを2チップに分けて設計した。設計した回路は、NOR形、NAND形1ビット大小比較器、NAND形2ビット大小比較器、位相比較器、ドミノ回路、5入力CVSL回路、リングカウンタとジョンソンカウンタ等のカウンタ、DラッチとDFFを用いたメモリレジスタ、EXOR回路、一致検出回路、ハザードフリー回路、プライオリティエンコーダ、減算回路等である。1月9日に入荷した試作チップを直ちに測定して、実測したNOR形、NAND形1ビット大小比較器、NAND形2ビット大小比較器、位相比較器、ドミノ回路、ジョンソンカウンタ、DラッチとDFFを用いたメモリレジスタ、EXOR回路、一致検出回路、ハザードフリー回路、プライオリティエンコーダ、減算回路の機能動作の確認に全て成功した。

設計期間：1人月以上、2人月未満 設計ツール：Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC トランジスタ数：1,000以上、10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG (特性評価回路など)



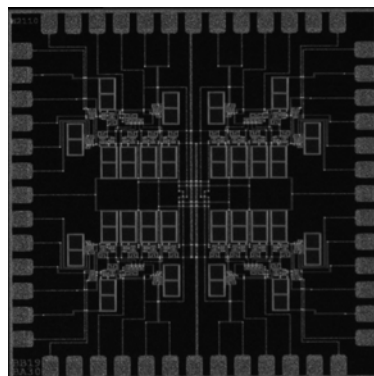
パルス形ハードウェアCPGモデルの試作

日本大学理工学部電子情報工学科 松田 章裕, 佐伯 勝敏, 関根 好文

日本大学理工学部理工学研究科 赤澤 志帆

概要：現在、様々な分野において、脳内で行われている情報処理能力を工学的に応用するための研究がなされており、そのなかでも我々は、パルス形のモデルであるパルス形ハードウェアニューラルネットワークのニューロンチップを実装する事を目標に研究を行っている。今回、パルス形ハードウェアニューロンモデルを用いて構成するパルス形ハードウェアCPGモデルの試作を行った。パルス形ハードウェアCPGモデルは、興奮性細胞体部と抑制性細胞体部をシナプスで相互結合している結合系のモデルで、興奮性細胞体部及び、抑制性細胞体部の各出力の位相差を制御可能なモデルである。本試作では、パルス形ハードウェアニューロンモデルのシナプス部にOTAを応用することにより、1チップでの実装が可能となるモデルについて検証を行い、検証の結果、同モデルにおける2相または4相の同期現象を確認した。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：100以上、1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



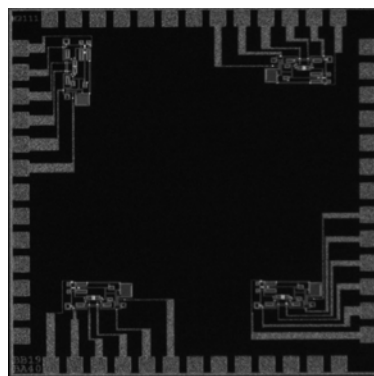
神経信号測定用増幅器の試作

日本大学理工学部電子情報工学科 齊藤 洋之, 関根 好文

日本大学理工学部理工学研究科 佐藤 剛太郎

概要：近年、脳内に埋め込むための埋込型チップシステムが注目されている。埋込型チップシステム開発の目的の一つに、脳機能再建と脳高次機能解析があり、脳神経細胞単位への刺激とともに、脳神経細胞の信号（神経信号）を検出できる脳内埋込型の微小電極がMEMS技術を用いて開発されている。神経信号を測定する際、信号は50~500 [uV]程度と微小なため、電極から得られる信号が雑音に埋もれないように増幅器を用いて増幅する必要がある。我々は、埋込型チップ開発を目標に研究を行っている。今回、神経信号を測定するためのオペアンプの試作を行った。今回、設計した回路はシミュレーションにて動作を確認している。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC トランジスタ数：10未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ/デジタル信号処理プロセッサ



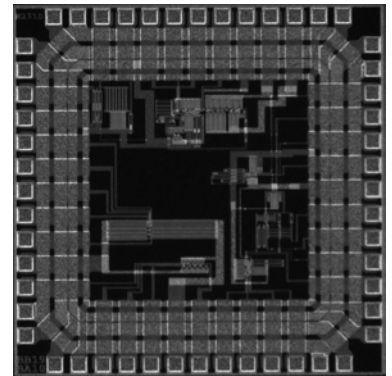
静電容量型入力装置の開発とFM受信PLLの設計

秋田大学工学資源学部 三浦 和仁, 村越 政之, 井上 浩

概要: 筋弱者にも使いやすい入力装置の製作を目的に, 人体の位置を非接触で検出が可能な静電容量変化型センサを開発した [1]. 本チップでは, 検出した静電容量を電気信号として取り出すためにインバータの縦続接続によりリング発振器を設計し, 回路の集積化によって入力装置の小型・高性能化を試みた. また, 高周波用途への応用を目的とした広い周波数同期範囲を持つ位相同期回路 (PLL) について, FM周波数帯で動作するPLLを設計・試作した. その構成に同相と直交成分を持つ受信方式における, 数十MHzにおけるPLLの動作原理の確認を行った.

参考文献: 村越 政之, 井上 浩, “静電容量変化型センサを用いた非接触入力装置の開発”, 平

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



C素子を用いた耐ソフトエラーフリップフロップ

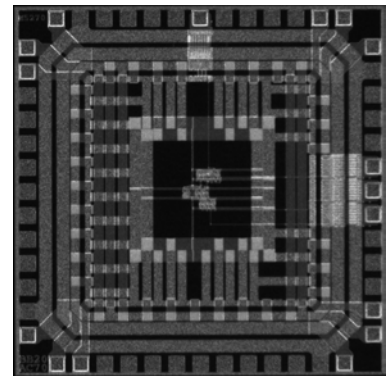
千葉大学工学部 坂田 雅俊

千葉大学大学院融合科学研究科 難波 一輝, 伊藤 秀男

概要: 近年のVLSIにおいてはプロセスの微細化に伴いソフトエラーが頻繁に発生するようになってきている. そのため, 特に論理回路部に発生するソフトエラーを対象とした, 耐ソフトエラー設計の重要性が増している. 文献 [1] において, C素子を用いた論理回路に対する耐ソフトエラーラッチの1構成が提案された. 本試作においてはこの耐ソフトエラーラッチの性能評価を行うことを目的とし, このラッチを用いたマスタースレーブ型フリップフロップを作成した. なお, 我々のグループは, 試作実験後の研究において, この耐ソフトエラーラッチを基とした, さらに高い耐ソフトエラー性を有する耐ソフトエラーフリップフロップの構成を明らかにしている (信学技報 DC, Apr., 2008).

参考文献: S. Mitra, M. Zhang, S. Waqas, N. Seifert, B. Gill, K. S. Kim, "Combinational Logic Soft Error Correction," pp. 1-9, Proc. IEEE Int'l Test Conf. (2006)

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Dracula DRC **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** その他



キャリールックアヘッド8ビット加算器の作成

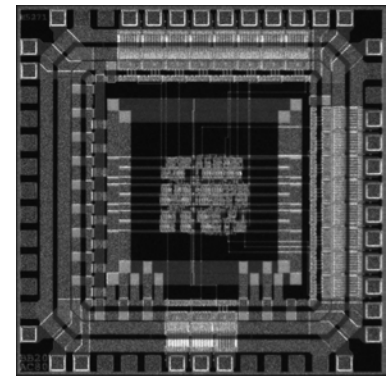
千葉大学工学部 森 耕太郎

千葉大学大学院融合科学研究科 難波 一輝, 伊藤 秀男

概要: 本試作チップは研究室内の学部4年生を対象とする回路設計実習において作成されたものである. 本実習ではverilog-HDLを用いてキャリールックアヘッド8ビット加算器を記述した. その後, 論理合成ツール, 配置配線ツール, 検証ツールを用いる基礎的なデジタル回路設計法に基づいてマスクパターンを作成した. 本実習において, リップルキャリー加算器とキャリールックアヘッド加算器の違い (演算時間, 面積等) を学ぶとともに, EDAツールを用いた近年のデジタル回路設計の基礎について学習した. また, 集積回路に対する一般的理解を深めた.

参考文献: VDEC監修 浅田編, "デジタル集積回路の設計と試作," 培風館 (2000)

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** 演算回路 (乗算器, 除算器など)

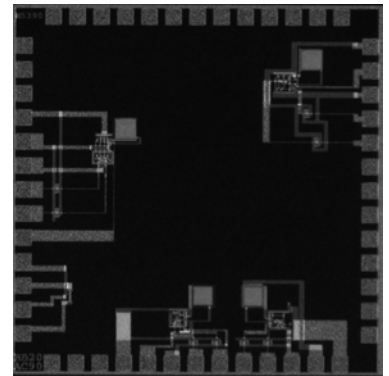


アナログ集積回路設計の習得を目指した演算増幅器の試作

豊橋技術科学大学工学部 薄 勇作, 神野 勇二, 中川 雄介

概要：本研究室学部学生3名が、演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>) に参加するため、各自が設計した演算増幅器を試作したものである。それぞれ、スルーレート・消費電流・位相余裕、利得帯域幅積・位相余裕・消費電力、同相除去比・直流利得・同相入力範囲の特性に着目し回路を設計している。回路構成は、差動増幅器とソース接地増幅回路の2段の構成を基本に、各自が目指す特性に特化するように多少の変更や工夫を行っている。そのうちの一つである差動増幅器にソース接地増幅回路を2つ縦続接続した3段構造の演算増幅器は、演算増幅器設計コンテストシミュレーションの部・同相除去比・直流利得・同相入力範囲部門で3位を獲得した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

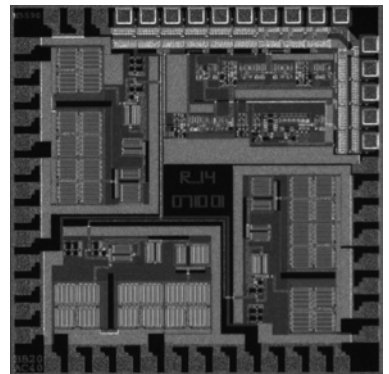


小型・高速 DC-DC コンバータ用出力部 LSI の開発

富山県立大学工学研究科 宮崎 崇裕, 岩田 栄之, 松田 敏弘

概要：DC-DC コンバータの小型・軽量化および高効率化のため、本研究で従来外付けのパワーMOSFET を削減し、同等の回路を LSI 内に実現することを検討している。今回の試作では従来までの出力段 MOS、貫通電流防止回路に加えて過電流防止回路を設計した。出力回路は3個搭載することで ON 抵抗の低減を図る。貫通電流防止回路は試作後に外部からの電圧により、適切なデッドタイムに設定可能である。過電流防止回路はコンパレータとパルス波を出力する One Shot Pulse Generator を用いて、DC-DC コンバータの電源ラインに仕様値以上の電流が流れると、スイッチング動作を強制的に一定時間停止させる。停止する時間は外部からの電圧により調整可能である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

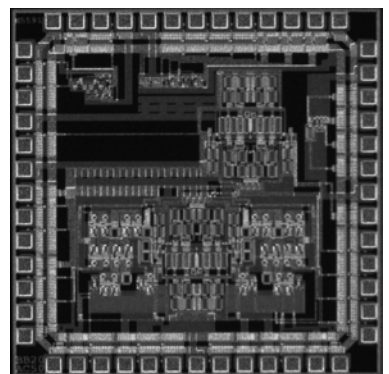


小型加速度センサ用回路の設計

富山県立大学工学研究科 杉本 考行, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した、小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、この出力を増幅、補正する必要がある。本研究では、以前、小型センサ用の増幅回路を設計したが、小型センサと増幅回路双方にオフセット電圧が生じてしまう。このオフセット電圧を、デルタ・シグマ型 A/D コンバータによって、アナログ値からデジタル値に変換し、デジタル補正回路を用いて調整する方法を検討している。今回は、チップに、全差動オペアンプとスイッチト・キャパシタ回路を用いた積分回路、コンパレータを搭載し、2つの回路を組み合わせてデルタ・シグマ変調器を設計した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

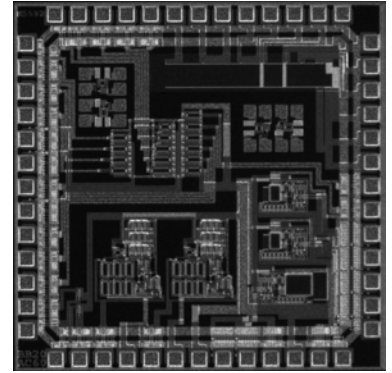


基準電圧発生回路を用いた温度センサの設計

富山県立大学大学院工学研究科 押山 弘樹, 松田 敏弘, 岩田 栄之

概要: アナログ・デジタル混載集積回路は、様々な機能を1チップ上に実現することが可能であり、アナログ回路でもCMOSプロセスによる実現が望まれている。アナログ回路では、温度依存性が無く、電源電圧依存にも依存しない基準電圧発生回路は重要である。また、電子機器内で使用されるリチウムイオン電池の過充電による発火防止など、様々な電子機器において、温度センサが必要とされている。本プロセスで開発した高精度CMOS基準電圧発生回路を応用し、温度センサを設計した。本チップには、基準電圧発生回路、オペアンプを搭載した。また、基準電圧発生部のトランジスタのW/L比が調整可能なMOSFETを配置し、本基準電圧発生回路に最適なトランジスタのサイズを決定できるようにした。基準電圧発生回路は、同じ設計値のものを3つ配置してある。オペアンプは、同じ設計値のものを2つ、発振対策用に設計したものを1つ配置してある。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

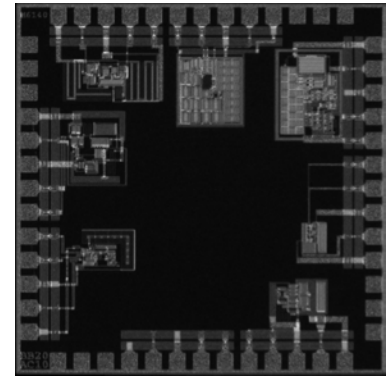


演算増幅器の試作 (2)

東京工業大学理工学研究科 高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン

概要: 演算増幅器は汎用性が高く、アナログ回路において広く用いられる回路ブロックである。演算増幅器の設計にはアナログ集積回路設計の様々な知識が要求されるため、演算増幅器の設計はアナログ集積回路の初学者にとって極めて有益な経験となる。本チップでは4名の学部4年生と3名の修士課程1年生のそれぞれが設計した演算増幅器を試作している。7名全員が初めての試作であり、演算増幅器の試作を通じて「構成の選択と素子値の決定」「計算法シミュレーションによる評価」「レイアウト」「レイアウトの検証」さらに「測定」まで集積回路の一連の設計フローを学んだ。設計された演算増幅回路には、最も基本的な差動増幅回路とソース接地増幅回路からなる2段構成の他、フォールデッドカスコードを用いた構成やnチャネルMOSFETの差動増幅回路とpチャネルMOSFETの差動増幅回路を組み合わせると同相入力範囲を拡大した構成など様々な構成が採用されている。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

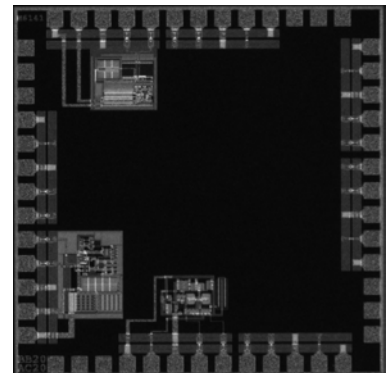


演算増幅器の試作 (3)

東京工業大学理工学研究科 高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン

概要: 演算増幅器は汎用性が高く、アナログ回路において広く用いられる回路ブロックである。演算増幅器の設計にはアナログ集積回路設計の様々な知識が要求されるため、演算増幅器の設計はアナログ集積回路の初学者にとって極めて有益な経験となる。本チップでは1名の学部4年生と2名の修士課程1年生のそれぞれが設計した演算増幅器を試作している。試作された演算増幅器はいずれも初段の差動増幅回路と次段のソース接地回路からなる2段構成を採用している。3名のうち2名は初めての試作であったが、初段の差増幅回路の利得の増強のためテレスコピックカスコード型の採用や、同相入力範囲の拡大のため、入力段にnチャネルMOSFETで構成した差動増幅器とpチャネルMOSFETからなる差動増幅器を並列に用いた構成の採用など様々な工夫を施している。試作された演算増幅器の特性は測定により、設計時のシミュレーション結果とほぼ等しいことが確認された。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

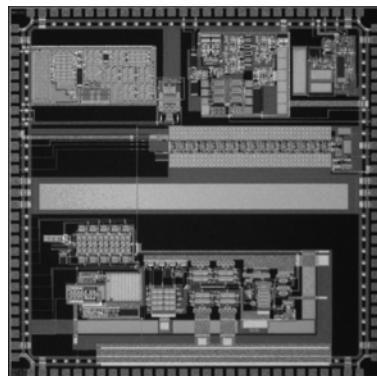


ワンチップFMラジオの試作

東京工業大学理工学研究科 高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン,
吉岡 正浩

概要: 前年度までの試作により, FM ラジオの受信システムは完成しているため, 今年度は集積化されていなかった受動容量の集積化を実現している. 本試作のFM ラジオの受信システムではスーパーヘテロダイン方式を採用しており, 周波数変換回路, 信号調整回路, 復調回路で構成される. 前年度までの試作では, 中間周波数を210kHzと設定していたが, IF 段での信号処理において, 受動容量が大きくなるため, 本試作では1MHzに設定した. 中間周波数を大きくしたために, フィルタに急峻な遮断特性が必要であるが, 伝送零点を用いることにより, フィルタの面積が大きくなることを防いでいる. また, 入力信号電力により, FM 復調回路の入力振幅が制限を受けないように, 前段に自動利得調整回路を挿入している. さらに, 自動利得調整回路, FM 復調回路として使用される位相同期回路, 局所発振回路として使用される位相同期回路に使用されるループフィルタの実装面積は非常に大きいため, 容量を等価的に大きくする技術を用いてループフィルタの集積化を実現している.

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** 通信 (RF回路, ATM など)

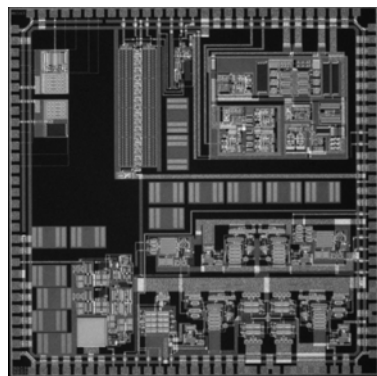


FM放送の受信システムの試作

東京工業大学理工学研究科 高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン,
吉岡 正浩

概要: 前年度までの試作の評価により, 最も良い特性のFM放送の受信システムの各ブロックを統合して, FM放送の受信システムのチャンピオンチップの試作を行った. 受信システムは周波数変換回路, 信号調整回路, 復調回路で構成される. 周波数変換回路は低雑音増幅器, 電圧制御発振回路, 乗算器で構成され, アンテナから入力される信号の周波数を210kHzに変換している. 電圧制御発振回路は四相出力のリングオシレータを使用しており, FM ラジオに必要な70MHz-90MHzの出力周波数範囲を満足している. 乗算器はダブルバランス型ミキサを使用しており, 入力信号間のアイソレーションを考慮して実装している. 信号調整回路は帯域通過フィルタと可変利得増幅器で構成されており, 妨害波の除去と振幅調整を行っている. 特に帯域通過フィルタは伝送零点を有する8次で構成されており, 隣接チャネルを-40dBcだけ減衰させることができる. 復調回路は位相同期回路を用いて構成されており, 安定性と所望のロックレンジを満たす設計をしている.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** 通信 (RF回路, ATM など)

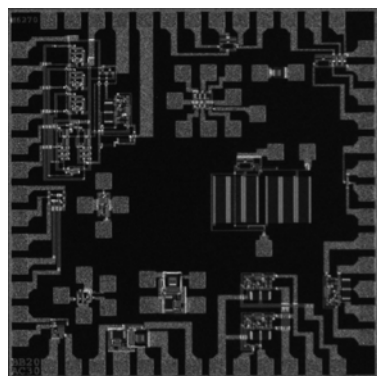


UTMOST抽出用MOSFETアレイ他

明治大学工学部 金子 晃之, 白井 惇一郎

概要: シルバコ社UTMOSTによりパラメータを抽出し高精度のSPICEモデルを得ることを目的としたMOSFETアレイを試作した. Agilent社半導体パラメータアナライザ4155CとCascade社プロバーステーションを用いて測定とパラメータ抽出を行った. パイプラインADCに用いることを想定したCMOS二段積み構成の低電圧動作のオペアンプ. これはボルテージフォロウ構成で電源電圧1Vでの動作を確認した. 温度と電源電圧に依存しないことを目的としたゼロ温度係数点を利用したCMOS基準電圧源回路の試作を行った. 設計をVDECよりダウンロードしたSPICEモデルパラメータで行ったため, 実際のUTMOSTの抽出結果の不一致により動作の確認ができなかった. その他特性評価のためのポリ抵抗, ダブルポリキャパシタの試作も行った.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



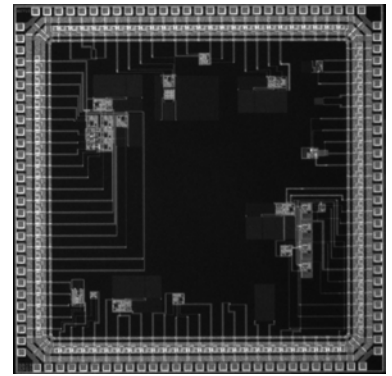
超低消費電力基準電圧回路, マイクロ電源制御回路

早稲田大学情報生産システム研究センター 黄章財

早稲田大学情報生産システム研究科 李ナ, 黄穂, 蒋名律, 井上靖秋

概要: ユビキタスセンサーネットワークモジュールでは駆動電源の継続的確保が問題となる。環境エネルギーを利用した電池不要なシステムはまだ研究段階で、実用化されていない。本設計では環境エネルギーを利用したマクロ電源から得られた微小エネルギーを効果的に蓄積制御する超低消費電力制御回路の設計を行った。電池不要とするマイクロ電源を実現した。さらに、超低消費電力制御回路用超低消費電力基準電圧回路を今回試作した。その結果、HSPICEによりシミュレーションした後、試作を行い、試作した基準電圧源回路と超低消費電力制御回路出力特性を確認した。

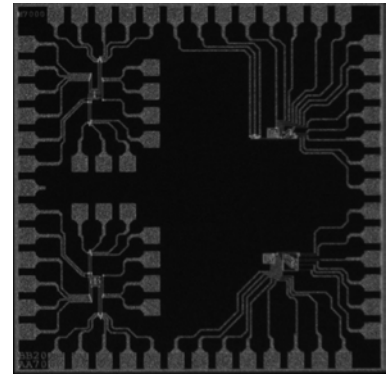
設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** マイクロプロセッサ



ひずみ検出用 MOSFET の試作

山形大学大学院理工学研究科 原田知親, 神谷悠介, 奥山澄雄, 松下浩一

概要: ガス圧力や真空度の測定に用いる圧力センサは、機械的ひずみを電気信号に変えるピエゾ効果を利用しており、様々な材料を用いて実現されている。しかし、センサ部は抵抗や容量などの受動素子で構成されており、センサの S/N 比向上のために、信号処理回路をセンサ後段に入れる必要があり回路規模が大規模になるという問題がある。また、センサの長期運用の観点から太陽電池やバッテリーでの長期間稼働が求められ、現状のセンサでは、回路規模と感度の点で低消費電力化が進められていないのが現状である。そこで、本試作では、圧力センサ検出部においてすべてトランジスタに置き換え、センサ検出と信号処理を同一回路で行えるひずみ検出素子の実現に向けた基礎研究として、検出感度などを考慮し構造を工夫した MOSFET を試作した。試作した MOSFET は、nMOS/pMOS とともに検出感度が最大の方位にそって配置した。また、せん断応力を検出できる 5 端子 MOSFET 素子、H 型ゲートの MOSFET も同時に試作した。試作にあたって、ひずみ検出素子の評価において、試作プロセスのデータ開示がある程度なされている 1.2 μ m CMOS 技術を用いた。

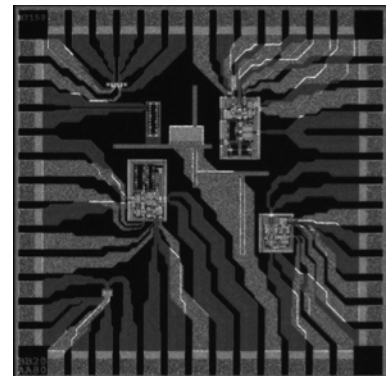


設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** MEMS

弱反転領域で動作する MOSFET を用いた電圧電流変換回路の試作

都城工業高等専門学校電気情報工学科 田中寿

概要: 電圧電流変換回路は、アナログ回路において重要な回路要素のひとつである。本チップ試作では、低電圧、低消費電力で動作する電圧電流変換回路の設計を行った。本回路の特徴は、弱反転領域で動作する MOSFET を用いていることである。弱反転領域で動作する MOSFET のドレイン電流は指数特性を示す。反対にドレイン電流を流し込むと、逆関数である対数特性を示すゲート電圧を取り出すことができる。これらの関係を用いて指数-対数変換を行うことにより、上記の特性に加えて高線形な出力電流を得ることができる。シミュレーションにおいて、電源電圧 1.2V で設計を行っているが、電源電圧を 0.9V まで下げても動作が可能である。本回路の消費電力は 2 μ W 以下であった。本回路では、微小電流を取り扱うことから使用する抵抗の値が大きくなったため、チップ面積が増大した。動作確認のために抵抗を配置したものと外部取り付け（個別部品）としたもの 2 種類を設計した。上記以外に、基本特性を得るために MOSFET 単体も組み込んでいる。なお、テストによる測定はまだ実施していない。



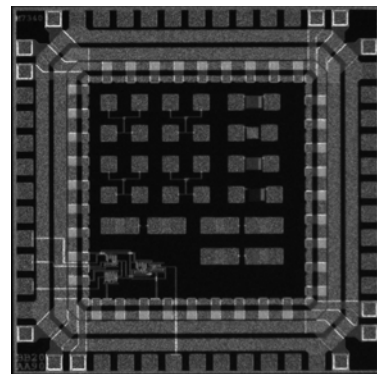
設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

マルチ環境センサ用インターフェイス回路と TEG

兵庫県立大学大学院工学研究科 鈴木 文章, 藤田 孝之, 前中 一介
兵庫県立大学工学部 園田 晃司

概要: 本研究室では, 加速度, 圧力, 湿度といった MEMS センサとマイコン, メモリ, 無線といった周辺回路からなるマルチ環境センシングシステムを試作した. システムは消費電力の大きいメモリ, マイコンといったものを間欠動作とすることで省電力化を図っている. システムのうち, 加速度センサと加速度の最大値・最小値を保持する回路のみを常時動作とする. これは瞬間的に変化する加速度は間欠的な検出では情報をとりこぼすおそれがあるため, 加速度の最大値・最小値の一定間隔における保持とリセットを繰り返し, 情報の欠落を防いでいる. システムを小型化・省電力化することでシステムが利用される分野の拡大を目指し, 回路の集積化に取り組んでいる. 本チップ試作では, 加速度センサ用の最大値・最小値保持回路と, プロセスパラメータの抽出用 TEG を設計した. 試作したチップは, バックゲートや外付け素子用のパッドと配線の設計ミスにより正確な評価にはいたらなかった.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC
トランジスタ数: 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

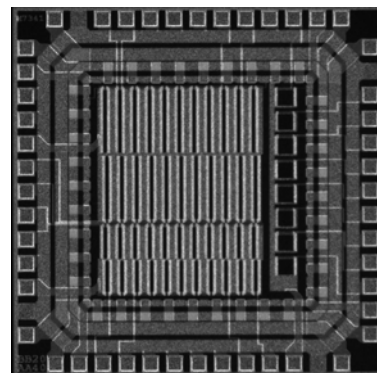


光の干渉縞検出用フォトダイオード

兵庫県立大学大学院工学研究科 橋本 泰知, 藤田 孝之, 前中 一介

概要: 今回, 光の干渉で生じる干渉縞の変化を検出するため, N-well と P-cell の PN 接合を受光部としたフォトダイオードを設計した. 干渉縞の強め合っている部分のみが受光されるように Metal にて干渉縞幅に対応するスリットを形成し, その強め合い部分の移動方向の変化を検出する. スリット (開口部 1084x64 μ m², 間隔 14.5 μ m, 格子数 11) を上下に 2 つ並べて設置し, その 2 つのスリットを左右方向に 7.25 μ m ずらして設置している. これにより干渉縞に生じる変化を 1/4 波長差で検出可能となり, 干渉縞の変化がどのような方向向きのものであるか特定できると考えられる. また, 格子サイズが 540x64 μ m² といった小さいサイズのパターンや, PN 接合などの諸特性を評価するための TEG も設置している. 市販のフォトダイオードに対しそのようなスリットを施すことも考えられるが, フォトダイオードで検出した信号を処理する周辺回路との集積化を指向し, 試作を行った.

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** イメージセンサ/スマートセンサ

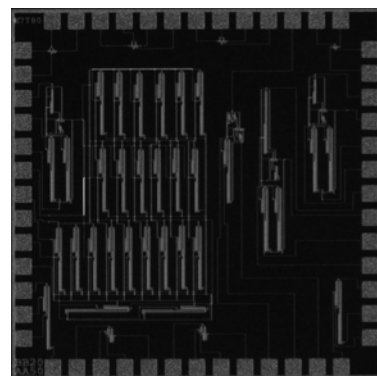


高音質オーディオ用プリアンプ

宮城工業高等専門学校電気工学科 荒井 拓真, 佐藤 淳, 桜庭 弘

概要: シンプルな構成で, かつ高音質なオーディオ用プリアンプの設計・試作を目指したチップである. 従来のパワーアンプの前段に置くことにより, 真空管アンプのような高調波特性を有し, いわゆるトランジスタではだせないソフトな音質を実現することを目指した. 基本回路は, CMOS インバータであり, 回路閾値付近の急峻に変化する入出力特性を用いて上記を実現することを目指している. 不安定なバイアス点を自動的に補正する回路が不可欠であり, これを新たに提案, 設計し配置している. 測定の結果, 基本的な動作は確認でき, 今後具体的に, 増幅度, 全高調波歪み, 周波数特性などを測り, オーディオアンプとしての性能を評価する. ならびに視聴アンケートなどを実施する予定である.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** マイクロプロセッサ



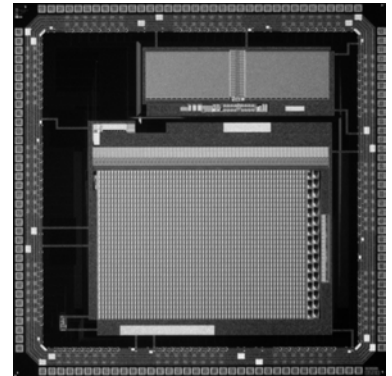
An Analog Associative Processor employing Bell-Shape Similarity Circuit

東京大学大学院新領域創成科学研究科 Bui Trong Tu, 柴田 直

概要 : A compact analog matching-cell module compatible with integration with digital memories has been developed, aiming at building small-area low-power associative processors. The matching cell utilizes bell-shaped current-voltage (I-V) characteristics to create a primitive function of data correlation. The key feature in the present work is the proposal of a calibration scheme that can mitigate the problem of device mismatch caused by process variations. In addition, the matching cell requires only NMOS transistors to implement, enabling a very compact implementation of a matching-cell array. Basically, the chip consists of two main parts, the digital memory module and the analog matching-cell module. The memory module employing SRAM is utilized to store template data. The similarity evaluation between the input data and the template data is carried out in parallel by vector-matching circuits in the matching-cell module. Utilizing these vector-matching scores, the winner-take-all (WTA) circuit determines the maximum-likelihood template vector and identifies its location. The proof-of-concept chip including a 64-dimension 32-vector matching array was designed and fabricated. And the concept has been verified at the operating frequency of 33.3 MHz by measurement results. The matching time is, in principle, independent of the number of template vectors. However, one important disadvantage is large-size capacitors due to design rules. Most of the matching-cell area is occupied by capacitors. This problem will be resolved if high-k MIM capacitance technology is available.

参考文献 : [1] Trong Tu Bui and Tadashi Shibata, "A Compact Bell-Shaped Analog Matching Cell Module for Digital-Memory-Based Associative Processors," in Extended Abstracts of the 2007 International Conference on Solid State Devices and Materials (SSDM 2007), pp. 496-497, Tsukuba, Japan, Sep. 18-21, 2007.

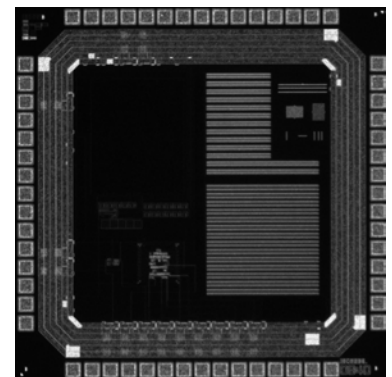
設計期間 : 3人月以上, 4人月未満 **設計ツール** : Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, Avanti社 Star-HSPICE **トランジスタ数** : 100,000以上 **試作ラン** : ローム CMOS 0.35 μ m 4.9mm角 **チップ種別** : アナログ/デジタル信号処理プロセッサ

**Full-CMOS ASK 変復調回路の機能検証回路**

東北大学大学院工学研究科 李 洪革, 福島 誉史, 田中 徹, 小柳 光正

概要 : 急激な高齢化の進行に伴い, 医学的治療法が確立されていない加齢黄斑変性や網膜色素変性症が原因で失明に至る患者数が増加している. 近年, 死滅した視細胞の機能を代替し, 残存する網膜細胞に電気刺激を与えることによって視覚を再生させる人工網膜LSIの研究開発が行われている. 本試作では, 無線によるデータの送信にASK変調方式を採用し, 眼外装置(変調回路)から送信されるASK変調波から人工網膜LSIのバイアス電圧生成用データを復調までの変復調回路の設計を行った. 今回設計したASK変復調回路は, CMOSトランジスタのみで構成されているため, 従来のASK復調回路に比べ省スペース, 及び, 低消費電力である. 加えて, バイアス電圧生成回路もCMOSトランジスタのみで構成しており, DACとしての機能を有し, 復調されたデータに応じた電圧を出力する. Hspiceによるシミュレーションを実施した結果, 電源電圧3.3Vの時, 周波数範囲0.1-10MHz, データレートは0.01-1Mbit/s, 消費電力60-70 μ Wであることを確認した.

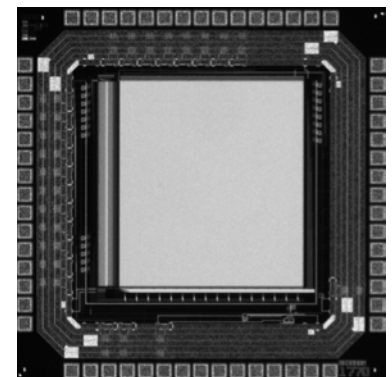
設計期間 : 1人月以上, 2人月未満 **設計ツール** : Synopsys社 DesignCompiler, Cadence社 Encounter, Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist **トランジスタ数** : 100以上, 1,000未満 **試作ラン** : ローム CMOS 0.35 μ m 2.4mm角 **チップ種別** : 通信 (RF回路, ATMなど)

**SFQ/CMOS ハイブリッドメモリ**

横浜国立大学大学院工学府 高橋 好明, 河合 宣彰, 後藤 恭平, 吉川 信行

概要 : BH399AH066R1771 : RO3506_6と同様の回路. 測定のためチップ数を増やすために同じ回路を作成した. SFQ/CMOS ハイブリッドメモリシステム用のメモリ回路. 構成はSFQ回路とのインターフェイス回路である差動増幅器と, メモリからなる. メモリは3TDRAMを使用した. 差動増幅器はカレントミラー回路で構成されており, また増幅器二段で増幅している. 測定した結果としては, 差動増幅器のマーzinがシビアではあるが動作点さえ見つけられればメモリは正常動作をする. しかし, すべてのチップが動作するわけではないため動作増幅器の動作安定が今後の課題と言える. このチップでは, 配線RCを考慮せずに設計を行ったためこのような動作性になったと考えられる. チップの動作率は5割程度だった. また, 低温での正常動作も確認できたがその時では動作点異なる. これも動作マーzinが小さくピンポイントマーzinと言える.

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数** : 1,000以上, 10,000未満 **試作ラン** : ローム CMOS 0.35 μ m 2.4mm角 **チップ種別** : メモリ

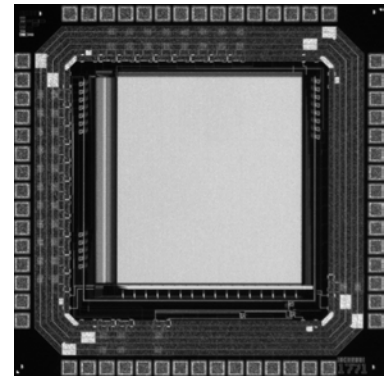


SFQ/CMOS ハイブリッドメモリ

横浜国立大学大学院工学府 高橋 好明, 河合 宣彰, 後藤 恭平, 吉川 信行

概要: SFQ/CMOS ハイブリッドメモリシステム用のメモリ回路. 構成は SFQ 回路とのインターフェイス回路である差動増幅器と, メモリからなる. メモリは 3TDRAM を使用した. 差動増幅器はカレントミラー回路で構成されており, また増幅器二段で増幅している. 測定した結果としては, 差動増幅器のマージンがシビアではあるが動作点さえ見つけられればメモリは正常動作をする. しかし, すべてのチップが動作するわけではないため作動増幅器の動作安定が今後の課題と言える. このチップでは, 配線 RC を考慮せずに設計を行ったためこのような動作性になったと考えられる. チップの動作率は 5 割程度だった. また, 低温での正常動作も確認できたがその時では動作点が異なる. これも動作マージンが小さくピンポイントマージンと言える.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** メモリ



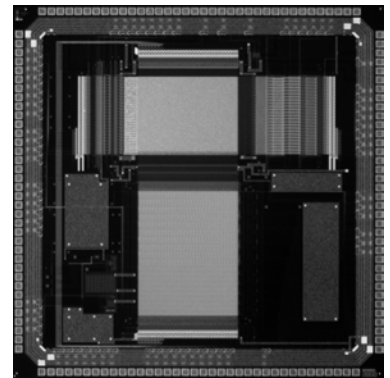
ダイナミック駆動低電圧・低消費電力パルス幅変調型 CMOS イメージセンサ

奈良先端科学技術大学院大学物質創成科学研究科 佐々木 達也, 宍戸 三四郎,
香川 景一郎, 布下 正宏, 太田 淳

概要: 我々は, バイオ・医療, センサネットワーク応用を目指し, パルス幅変調型画素読み出しを利用した低電圧・低消費電力 CMOS イメージセンサを開発している. 既に 128 \times 96 画素のイメージセンサにより原理実証を行っていたが, 画素消費電力を低減し低消費電力を実現するために, 画素内コンパレータをダイナミック駆動する. そのために, 各列の垂直信号線に, スイッチ付電流源負荷とプリチャージスイッチを設けた. 画素内の選択スイッチ・リセットスイッチのゲート電圧はブートストラップにより, 電源電圧よりも高い電圧を印加している.

参考文献: K. Kagawa et al., ISSCC Dig. Tech. Papers, pp. 54-55 (2008).

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** イメージセンサ/スマートセンサ



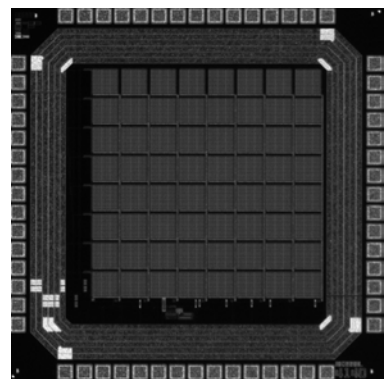
光通信用センサ及び信号処理回路

慶應義塾大学理工学部 原 貴東, 松本 佳宣

概要: 本研究では, 受光素子を 8 \times 8 のアレイ状にして発光源の状況に合わせて任意の受光素子を選択する事で, データを分離する集積回路の試作・評価を行った. アレイ状にすると個々の受光面積が減少して感度低下を招くため, 受光素子として, フォトダイオードよりも高感度なフォトトランジスタを標準 CMOS プロセスで製作した. さらに, 可視光 ID システムの搬送周波数とフォトトランジスタの特性に合わせて, 感度と応答周波数の最適化を行った専用トランスインピーダンスアンプを内蔵した. 個々の受光素子は外部信号により任意に選択出来る構成として, 複数の受光素子を同時に選んで, 受光感度をさらに向上させる事が可能な構成とした.

参考文献: 松本, 原, 木村, ”可視光 ID 用集積化受光素子の試作”, pp.25-29, フィジカルセンサ研究会 (2007).

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** イメージセンサ/スマートセンサ

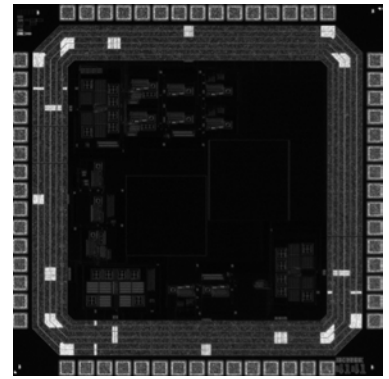


静電容量型センサ用容量検出回路

慶應義塾大学理工学部 松本 佳宣

概要：近年、研究開発が盛んに行われている静電容量型センサ用の微小容量検出回路を設計した。特に、2軸静電容量型傾斜センサ用のセンサ容量検出をワンチップで実現できるように、2つのスイッチトキャパシタ方式の容量検出器を4相クロックで駆動する構成とした。また、インバータ式発振回路と利得約50倍の非反転増幅器も併せて集積化して、外付け部品の低減を図りさらに携帯機器等での利用を考えて消費電力の低減を目指した。スイッチトキャパシタ回路には演算増幅器のオフセットの影響を除去できるAuto-Zero方式の容量-電圧変換回路を用いた。この回路は傾斜センサの他にフェムトファラッドオーダーの微小容量検出が必要な加速度センサなどの分野への応用が期待される。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数：**100以上、1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**演算回路（乗算器、除算器など）



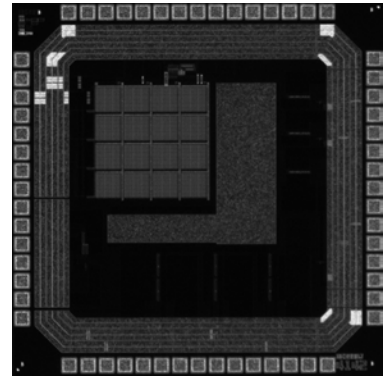
チップ種別：演算回路（乗算器、除算器など）

光素子駆動回路

慶應義塾大学理工学部 青野 聖, 松本 佳宣

概要：近年の白色LEDの高効率化に伴い、白色LEDの他、赤、青、緑といった可視光のLEDを用いて信号伝送を行う可視光通信が注目を集めている。そこで、可視光伝送を目的とした光送信回路の設計を行った。高出力LEDを駆動するのに必要な数十mA以上の電流を流すために、ゲート幅の小さいトランジスタを多数並列に並べることでゲート抵抗の増加を防ぎ、またアルミ配線やコンタクトホールでの電流許容量を超えないように配慮した。また、複数LEDを同時に駆動できる駆動回路についても設計、レイアウトを行った。また、LEDの応答速度をより向上させるプリエンファシス回路を外付け部品で構成できるように回路構成と駆動方法の検討を行った。試作したチップを用いて各種のLEDの駆動実験を行い、可視光通信の用途に合った良好な結果が得られた。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Analog Artist, Mentor社 Calibre **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**イメージセンサ/スマートセンサ



トランジスタ数：10以上、100未満

素子ばらつきの影響を低減した信号分割型アナログ・デジタル変換器

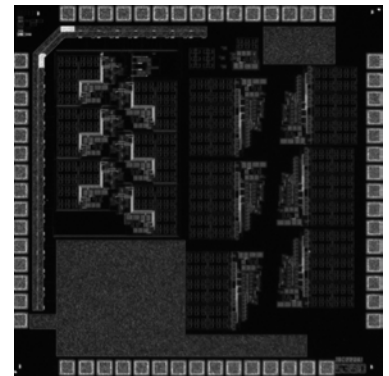
豊橋技術科学大学大学院工学研究科 小野 貴士

豊橋技術科学大学工学部 和田 和千

概要：低電源電圧下で広ダイナミックレンジを実現できる方法である信号分割手法 [1] に基づいてスイッチトキャパシタ増幅器を構成し、その内部状態の変化に着目してアナログ・デジタル変換器に転用している。ダイナミックレンジの広さによって素子の製造ばらつきに対して低感度なアナログ・デジタル変換器となることが予想されており、その確認のための試作である。信号分割手法を用いて6bitパイプライン型アナログ・デジタル変換器を設計しており、従来の構成のパイプライン型アナログ・デジタル変換器に比べ半分の電源電圧で同精度の特性が実現できる。

参考文献：小野貴士, 和田和千, 田所義昭”信号分割手法によりDNLを低減したアナログ・デジタル変換回路の構成”電気学会, 電子回路研究会資料, ECT-06-104, pp.15-20, 2006年, 11月。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC **トランジスタ数：**100以上、1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

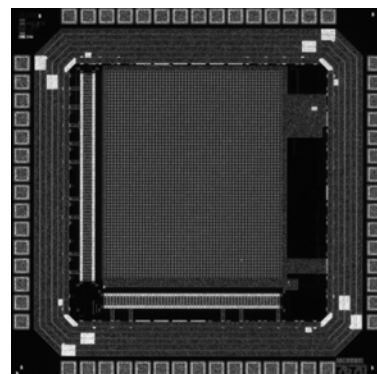


イメージセンサ1

東邦大学理学部 小川了

概要：CMOS イメージセンサは、他の粒子検出器と組合せることにより、光だけでなく多様な粒子の検出器として機能させることが可能である。粒子検出器に応用することを目的として、2.4x2.4mm**2のチップ上に、画素サイズ20x20um**2, 画素数65x55ピクセルのイメージセンサの設計製作を行った。以前の実験結果を考慮し、画素サイズを大きくすることで、開口率を70%とした。さらに、W/L比を大きく取ることにより電流値を大きくとった。シフトレジスタとソースフォロワを配することにより部分読出しを可能とした。画素回路のリセット信号入力部をトランスファークロスの前に配することにより、リセット信号によるノイズの軽減対策を行った。製作を行ったセンサーは、現在評価中であるが、結果を踏まえて今後の粒子検出器への応用を進めていきたいと考えている。

設計期間：5人月以上, 6人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数：**10,000以上, 100,000未満 **試作ラン：**ローム CMOS 0.35um 2.4mm角 **チップ種別：**イメージセンサ/スマートセンサ



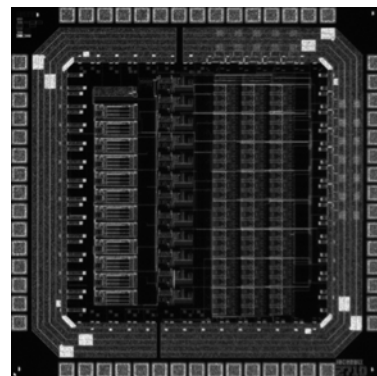
0.18 um CMOS ASIC

東京大学工学部原子力国際専攻 石伯軒, 藤原 健, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要：We have been designing ASIC chips with 0.18 um Rohm CMOS process since 2006 September. Our purpose is to use ASIC for front-end electronics of nuclear measurement and imaging such position emission tomography (PET). Four chips have been submitted by now and all of them are shared by several colleagues in my laboratory. In September 2006, I have designed a charge sensitive preamplifier in the first chip. The preamplifier has used both NMOS and PMOS transistors as well as capacitors. The function of this charge sensitive preamplifier is to convert charge signal to voltage signal while noise performance and response speed are the key factors. Later in November 2006, we have submitted another ASIC chip. In this chip, I have implemented variable gain amplifier (VGA) and digital to analog converter (DAC), both of which requires large value resistors and switch. I have adopted N-well resistor for the simple layout and NMOS transistor as the switch. In March 2007, we have designed another chip. At this time, we have mainly fixed the design and layout mistakes of the first 2 chips. I have revised the charge sensitive preamplifier with NMOS capacitor and VGA with poly resistors. Meanwhile, I have added various resistors to test their characteristics especially linearity. Last submission was in 2007 October, I have revised the charge sensitive preamplifier again to include an internal bias circuit. This design is close to prototype design. Right now, we are testing all chips we have received. We look forward to implementing a full mixed signal ASIC chip for our application soon.

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数：**10以上, 100未満 **試作ラン：**ローム CMOS 0.35um 2.4mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



Pulse-Coupled Neural Network を用いた画像特徴生成プロセッサ

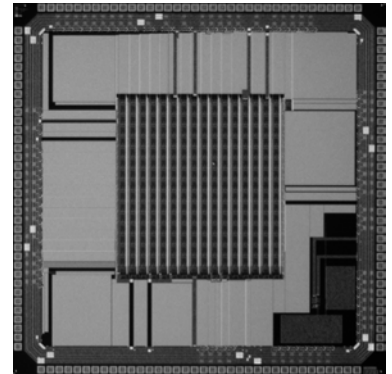
東京大学大学院工学系研究科 陳 雋

東京大学大学院新領域創成科学研究科 柴田 直

概要：二次元の画像から一次元の特徴ベクトルを高速で柔軟に生み出すための画像特徴ベクトル生成プロセッサを設計した。これは、猫の視覚神経モデルである Pulse-Coupled Neural Network (PCNN) を集積回路化して PCNN の特性を模倣したものである。このプロセッサは、入力パターンの回転や移動に影響されない特徴ベクトルを柔軟に生成できるという利点がある。本設計では、PCNN の計算に重要な重み付け加算を、フローティングゲート MOS 技術を用いることによって、簡単に実装した。また、フローティングゲート MOS を利用することによって、画像データの記憶も簡単に実装でき、電圧モードで演算を行うため定常電流を抑え、しかも消費電力を少なくすることができた。回路動作を確認するために 16×16 の PCNN ニューロンを実装し、測定を行った。その結果、同一パターンの回転、変形に対しロバストなことや、異なるパターンに対して良い識別結果が得られることを実証した。

参考文献： [1] J. Chen and T. Shibata, "A Hardware-Implementation-Friendly PCNN for Analog Image-Feature-Generation Circuits", pp. 594-595, SSDM 2006

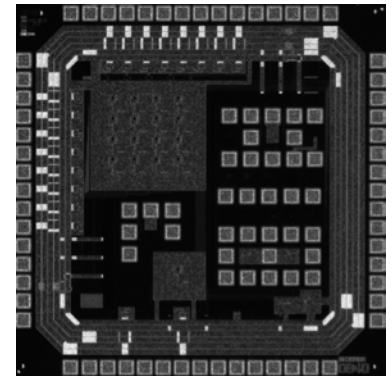
設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

**眼球埋め込み用三次元積層型人工網膜チップの基本回路**

東北大学大学院工学研究科 小林 貴文, 福島 誉史, 田中 徹, 小柳 光正

概要：加齢黄斑変性症や網膜色素変性症などにより視細胞が死滅して失明に至った患者は世界中で 1,000 万人を超えている。これらの患者の治療のために、患者の網膜を直接電気刺激して視覚機能を回復させる人工眼の開発が求められている。我々は LSI を 3 次元的に積層する 3 次元集積化技術を用いた積層型人工眼を提案している。本試作では、前回試作したチップの評価結果から基本回路の改良を行い、入力光に対する感度の向上及び低電力化を行なった人工網膜チップの設計を行なった。この回路は正極性パルスと負極性パルスを連続して出力する必要がある。また、それぞれのパルス幅、間隔、振幅は患者に合わせて調整することが求められる。評価の結果、試作回路の出力パルス周波数は、約 3 桁の照度をもつ入射光に対して 1Hz から 500Hz の範囲で変化し、また、回路に与えるバイアス電圧を変化させることにより、正負極のパルス幅を 0.5ms から 7ms、正負極間のパルス間隔を 0.5ms から 5ms に調整することが可能であることを確認した。

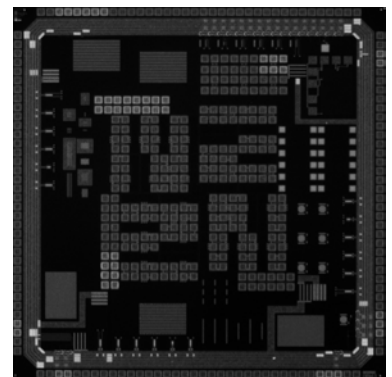
設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別：**アナデジ混載

**微細バンプ接合を用いた三次元チップ積層 TEG**

東北大学大学院工学研究科 菊池 宏和, 小林 貴文, 福島 誉史, 田中 徹, 小柳 光正

概要：LSI の高集積化に伴う配線遅延の問題の顕著化に加え、マイクロプロセッサやメモリなどの集積回路では、処理速度の向上、小型化や低消費電力化も強く要求されている。これらの課題の解決方法として、当研究室では、回路を集積したウェーハやチップを複数枚積層して動作させる三次元集積化技術を開発している。三次元集積化技術では、積層した各層間を電気的に接続するために、シリコン基板を貫通してチップの表面と裏面を結ぶ埋め込み配線の形成が極めて重要となる。本試作は、集積回路作製後のウェーハや良品チップに形成した埋め込み配線による回路の特性変化や配線の周波数特性を評価することを目的とした TEG である。試作した LSI は 2~4 層の積層が出来るように設計している。

設計期間：3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別：**TEG (特性評価回路など)



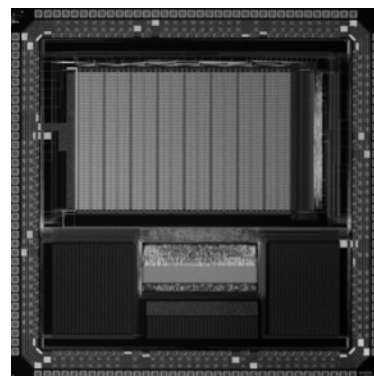
長期・短期記憶を実現する自動学習チップ

広島大学先端物質科学研究科 榊原 尚吾, 田中 裕己

広島大学ナノデバイス・システム研究センター Abedin Md. Anwarul,
Mattausch Hans. Juergen,
小出 哲士

概要: パターン認識における認識率向上のため、連想メモリに参照データ最適化と新規参照データを学習する機能を付加し、その集積化を行うことが今年度の計画である。そこで、新規参照データが自動認識できるアルゴリズムを付加した連想メモリを測定・評価するために、IC チップを試作した。提案アルゴリズムは参照データにプライオリティ (RANK) 付けをおこない、ある RANK を境に、メモリ領域を長期記憶領域と短期記憶領域に分ける。ある参照データに類似したデータが入力されると、その参照データの RANK を上げ、学習を行う。新規データが入力されると、短期記憶領域の最上位 RANK を割り当て、最も低い RANK の参照データを削除する。学習を行うことによって、入力データの分布に応じた参照データを作成することができる。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** メモリ

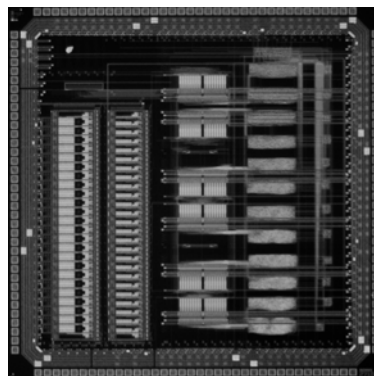


24chWS ASIC

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室では PET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くはアナログを主とした信号処理であったが研究室ではアナログ・デジタルを混載し 1chip で波形をサンプリングする波形サンプリング型放射線検出用 ASIC (WS-ASIC) の開発を行ってきた。従来の集積では面積などの制限から 16ch 分が MAX であったが、本チップはプリアンプ部をマルチプレクサタイプにすることで 24ch 分を集積した ASIC である。1ch には低ノイズプリアンプ, VGA, 100MHz/6bits の高速 ADC を含んでいる。プリアンプの decay time は外部より変更することでチャンネルの特定を行うことを考えている。テストにおいてはプリアンプのマルチプレクサによるノイズの評価と WS の性能を評価する。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** アナデジ混載

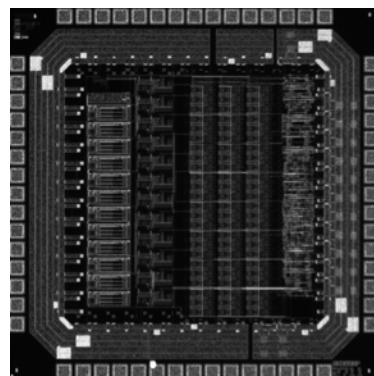


24chWS ASIC

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室では PET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くはアナログを主とした信号処理であったが研究室では PWM 方式を用いることでコンパレータを用いてパルス高さをパルス幅に変換することで低消費電力, 低コストが実現可能な ToT (Time Over Threshold) を用いた信号処理回路の開発を行ってきた。本チップではこの ToT のパルス後にデジタル的にチャンネルアドレスを付加したパルストレインを発生させることで Wired-OR 接続を可能にしている。本チップはカウントレイトがあまり高くない信号がわかれたタイプの放射線検出器には非常に有効な信号処理となりうるものである。1ch にプリアンプ, Shaper, ディスクリミネータ, およびパルストレイン発生用のデジタル回路を含んでいる。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** アナデジ混載



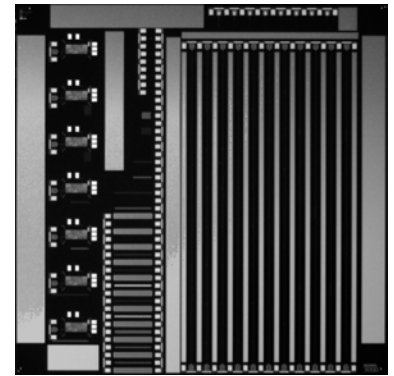
オンチップ伝送線路と電源ノイズ評価 TEG

大阪大学大学院情報科学研究科 橋本 昌宜

概要：本試作では波形歪みの小さいオンチップ伝送線路を搭載した。無歪み条件を部分的に満たすように、意図的に配線にシャントコンダクタンスを挿入し、伝送特性の周波数依存性を低下させる。本伝送線路の波形歪み低減効果を時間領域で評価するため、パターンジェネレータとオシロスコープを用いて、オンウェハプロービングでアイダイアグラムを測定する。別に、オンチップ電源ノイズ低減のため、デカップリング容量、ならびにスタブ伝送線路を付加した電源ノイズ発生回路を搭載した。消費電流の周波数成分の測定やアクティブプローブを用いた電源ノイズ波形を観測し、低減されるノイズの周波数成分を評価する。現在、いずれのテスト回路についても評価の準備を進めている。

参考文献： [1] M. Hashimoto, J. Siriporn, A. Tsuchiya, H. Zhu, and C.-K. Cheng, “Analytical Eye-Diagram Model for On-Chip Distortionless Transmission Lines and Its Application to Design Space Exploration,” Proc. CICC, pp. 869–872, 2007.

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別：**TEG (特性評価回路など)



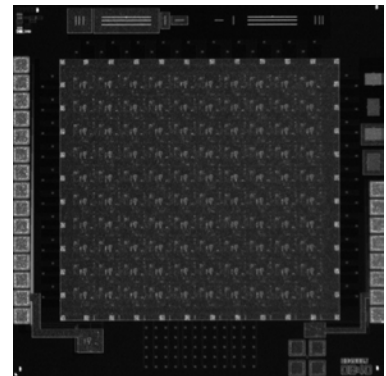
平成18年度第8回ローム CMOS 0.35 μ m試作 (RO35068)

3次元積層化のための単層型人工網膜 LSI の試作 1

東北大学大学院工学研究科 小林 貴文, 福島 誉史, 田中 徹, 小柳 光正

概要: 急激な高齢化の進行に伴い, 医学的治療法が確立されていない加齢黄斑変性や網膜色素変性症が原因で失明に至る患者数が増加している。近年, 死滅した視細胞の機能を代替し, 残存する網膜細胞に電気刺激を与えることによって視覚を再生させる人工網膜の研究開発が世界中で精力的に行われている。我々は LSI を 3 次元的に積層する集積化技術を用いた人工網膜 LSI を提案している。本試作では, 人工網膜モジュールのプロトタイプとして単層型人工網膜チップの設計を行なった。設計したチップは, 10 \times 10 のピクセルアレイに加え, 積層化を目的とし電力や制御信号線用の埋め込み配線形成領域を設けた構成になっている。ピクセルサイズは, 155 μ m \times 143 μ m, フォトダイオードの開口部サイズは 10 μ m \times 10 μ m となっており, このピクセルレイアウトにおけるフォトダイオードの開口率は 0.5% である。設計した LSI の 1 ピクセルからの出力パルスの幅, 間隔は 0-3ms, 振幅は 0-100 μ A の間で可変が可能であり, 所望の出力値を得られる事を確認した。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist
トランジスタ数: 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** アナデジ混載

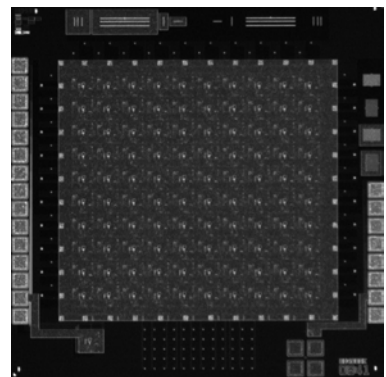


3次元積層化のための単層型人工網膜 LSI の試作 2

東北大学大学院工学研究科 小林 貴文, 福島 誉史, 田中 徹, 小柳 光正

概要: 急激な高齢化の進行に伴い, 医学的治療法が確立されていない加齢黄斑変性や網膜色素変性症が原因で失明に至る患者数が増加している。近年, 死滅した視細胞の機能を代替し, 残存する網膜細胞に電気刺激を与えることによって視覚を再生させる人工網膜の研究開発が世界中で精力的に行われている。我々は LSI を 3 次元的に積層する集積化技術を用いた人工網膜 LSI を提案している。本試作では, 人工網膜モジュールのプロトタイプとして単層型人工網膜チップの設計を行なった。設計したチップは, 10 \times 10 のピクセルアレイに加え, 積層化を目的とし電力や制御信号線用の埋め込み配線形成領域を設けた構成になっている。ピクセルサイズは, 155 μ m \times 143 μ m, フォトダイオードの開口部サイズは 10 μ m \times 10 μ m となっており, このピクセルレイアウトにおけるフォトダイオードの開口率は 0.5% である。設計した LSI の 1 ピクセルからの出力パルスの幅, 間隔は 0-3ms, 振幅は 0-100 μ A の間で可変が可能であり, 所望の出力値を得られる事を確認した。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist
トランジスタ数: 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** アナデジ混載

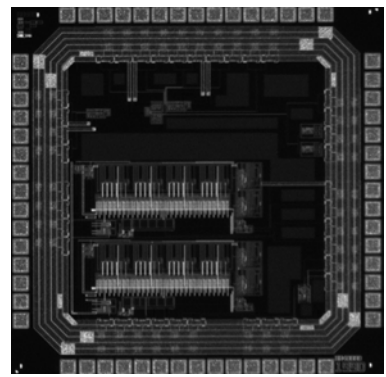


アクティブノイズコントロール用アナログ回路

名古屋工業大学大学院工学研究科 加藤 正史, 小野田 皓司

概要: 騒音に対して逆位相の音を重ね合わせて騒音除去を行うアクティブノイズコントロール (ANC) はすでに実用化されており, 特に低周波の騒音の除去に有効であると言われている。現在, ダクト内の騒音のような一次元音場に対する効果的な騒音除去に対してはデジタル信号処理が用いられており, デジタル信号処理の速度が問題となっている。本試作チップでは信号処理を全てアナログで行うことで高速な ANC 処理を目指している。回路構成はワイドレンジギルバート乗算器, 積分器の組み合わせであり, それらは全て差動構成とすることで精度を向上させている。また, 本試作チップではワイドレンジギルバート乗算器と積分器は個別にもレイアウトされており, それぞれの動作確認が行える。現在, それらの乗算器, 積分器の動作の確認に成功し, ANC 処理全体の動作の確認を行っている段階である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

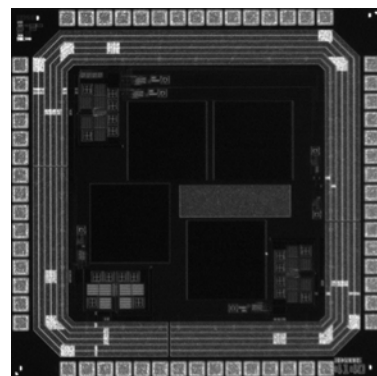


静電容量型センサ用容量検出回路

慶應義塾大学理工学部 松本 佳宣

概要：静電容量型センサ用の微小容量検出回路を設計した。特に、3軸加速度センサなどのように多軸すなわち複数の容量センサが集積化されているセンサの容量検出を一つの回路でできるように、3つのスイッチトキャパシタ方式の容量検出器を6相クロックで駆動する構成とした。また、インバータ式発振回路と利得約50倍の非反転増幅器も併せて集積化して、外付け部品の低減を図り、さらに携帯機器等での利用を考えて消費電力の低減を目指した。スイッチトキャパシタ回路には演算増幅器のオフセットの影響を除去できるAuto-Zero方式の容量-電圧変換回路を用いた。この回路はフェムトファラッドオーダーの微小容量検出が必要な加速度センサなどの分野への応用が期待される。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数：**100以上、1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角



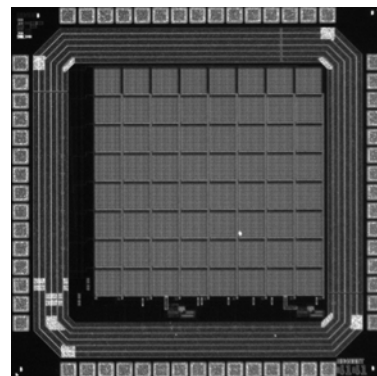
チップ種別：演算回路（乗算器、除算器など）

光通信信号処理回路

慶應義塾大学理工学部 青野 聖, 松本 佳宣

概要：0.35ミクロンCMOS技術を用いてゲイン、周波数特性の異なるいくつかの演算増幅器を考案して設計した。また、短距離光通信用にトランスインピーダンス回路、バッファ回路などを設計した。トランスインピーダンス回路に必要とされる抵抗はHi-PolyR抵抗を利用した。さらに、CMOS技術で製作されるフォトトランジスタの応答感度、周波数特性を評価するために、異なるレイアウトのフォトトランジスタを設計した。また、フォトダイオードとトランスインピーダンス回路、LED駆動回路などを集積化した素子についても設計をおこなった。LEDを駆動するのに必要な数十mA以上の電流を流すために、ゲート幅の小さいトランジスタを多数並列に並べることでゲート抵抗の増加を防ぎ、またアルミ配線やコンタクトホールでの電流許容量を超えないように配慮した。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Analog Artist, Mentor社 Calibre **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**イメージセンサ/スマートセンサ



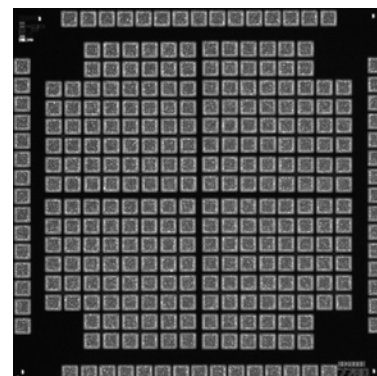
トランジスタ数：10以上、100未満

MOSFETの基本的特性の評価実験用 TEG

宮城工業高等専門学校電気工学科 吉田 幸太郎, 桜庭 弘

概要：MOSFETの静特性を実測することと、チャンネル長、チャンネル幅、基板バイアス、温度などの基本的なパラメータに対する静特性の変化を実験するためのTEGを搭載したチップである。半導体デバイス、集積回路教育用の教材として用いることが主な目的である。チップ内にはNMOS、PMOSがあり、それぞれチャンネル長、チャンネル幅を5水準に振り分け、基板電位をTEGごとに印加可能な単体のMOSFET群を設計・配置した。プローバを用いて測定実習を行う際にも、プロービングしやすく、初心者でもミスのないようにPAD配置を工夫している。測定の結果、各TEGともに、安定した静特性と各種パラメータに対する一定の依存性が得られた。平成19年度の電気工学科の半導体デバイス・集積回路教育のカリキュラム内で実際に使用し、半導体デバイスの理解を深めるために効果を発揮した。今後も同様の目的で使用し、一定の教育的効果を挙げられることが期待される。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC **トランジスタ数：**10以上、100未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**TEG（特性評価回路など）

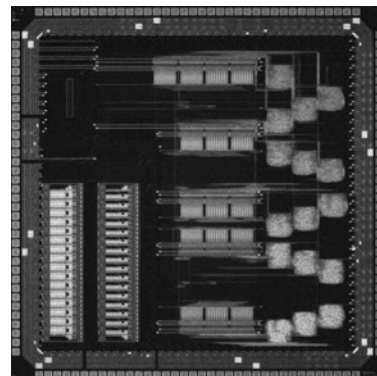


16ch WS-Front-End

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室ではPET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くはアナログを主とした信号処理であったが研究室ではアナログ・デジタルを混載し1chipで波形をサンプリングする波形サンプリング型放射線検出用ASIC (WS-ASIC) の開発を行ってきた。本チップは1chにプリアンプ, VGA, 高速の100MHz/6bitsのADCを含んでいるが, 高集積を実現するため, 200MHz/3bitsの外部クロックにより偶数ビットと奇数ビットを交互に読み出すマルチプレクサを設計して組み込み16chを実現している。以前のチップではGNDが十分でなかったものがありその部分を改善したチップである。今後アナログ・デジタル混載によるコンポーネント間のクロストークなどの評価を行う予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

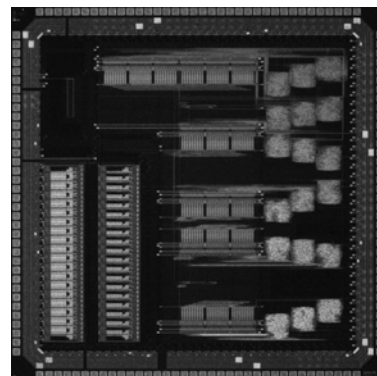


16ch WS-Front-End

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室ではPET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くはアナログを主とした信号処理であったが研究室ではアナログ・デジタルを混載し1chipで波形をサンプリングする波形サンプリング型放射線検出用ASIC (WS-ASIC) の開発を行ってきた。本チップは1chにプリアンプ, VGA, 高速の100MHz/6bitsのADCを含んでいるが, 高集積を実現するため, 200MHz/3bitsの外部クロックにより偶数ビットと奇数ビットを交互に読み出すマルチプレクサを設計して組み込み16chを実現している。以前のチップではGNDが十分でなかったものがありその部分を改善したチップである。今後アナログ・デジタル混載によるコンポーネント間のクロストークなどの評価を行う予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



16ch WS-Front-End

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室ではPET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くはアナログを主とした信号処理であったが研究室ではアナログ・デジタルを混載し1chipで波形をサンプリングする波形サンプリング型放射線検出用ASIC (WS-ASIC) の開発を行ってきた。本チップは1chにプリアンプ, VGA, 高速の100MHz/6bitsのADCを含んでいるが, 高集積を実現するため, 200MHz/3bitsの外部クロックにより偶数ビットと奇数ビットを交互に読み出すマルチプレクサを設計して組み込み16chを実現している。以前のチップではGNDが十分でなかったものがありその部分を改善したチップである。今後アナログ・デジタル混載によるコンポーネント間のクロストークなどの評価を行う予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

16ch WS-Front-End

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室ではPET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くはアナログを主とした信号処理であったが研究室ではアナログ・デジタルを混載し1chipで波形をサンプリングする波形サンプリング型放射線検出用ASIC (WS-ASIC) の開発を行ってきた。本チップは1chにプリアンプ, VGA, 高速の100MHz/6bitsのADCを含んでいるが, 高集積を実現するため, 200MHz/3bitsの外部クロックにより偶数ビットと奇数ビットを交互に読み出すマルチプレクサを設計して組み込み16chを実現している。以前のチップではGNDが十分でなかったものがありその部分を改善したチップである。今後アナログ・デジタル混載によるコンポーネント間のクロストークなどの評価を行う予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社

DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre

トランジスタ数: 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

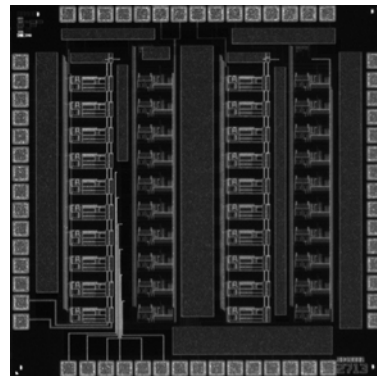
20 channel Preamplifier-Shaper ASIC

東京大学工学部原子力国際専攻 石 伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要: Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip consists of preamplifier and shaper. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 μ m/0.4 μ m NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35 μ m CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is $<0.5\%$ over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 us. The noise slope is about 75 e-/pF at 0.5 us shaping time. The power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply. The shaper is bridge-T type shaper with a pole-zero cancellation design, The gain of preamplifier-shaper is 2.5 mV/fC and the non-linearity is less than 1%.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



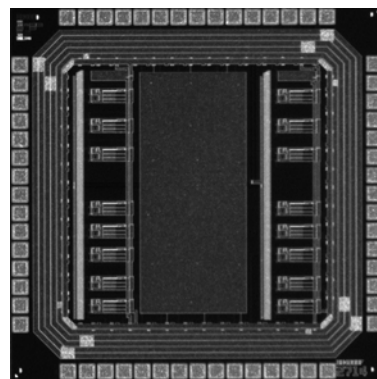
16 channel Preamplifier ASIC

東京大学工学部原子力国際専攻 石 伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要: Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip is the massive fabrication of our 16 channel Preamplifier ASIC. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 μ m/0.4 μ m NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35 μ m CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is $<0.5\%$ over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 us. The noise slope is about 75 e-/pF at 0.5 us shaping time. Finally the power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply.

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** マイクロプロセッサ



16ch WSFE ASIC

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室ではPET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くはアナログを主とした信号処理であったが研究室ではPWM方式を用いることでコンパレータを用いてパルスハイトをパルス幅に変換することで低消費電力、低コストが実現可能なToT (Time Over Threshold) を用いた信号処理回路の開発を行ってきた。本チップではこのToTのパルス後にデジタル的にチャンネルアドレスを付加したパルスレインを発生させることでWired-OR接続を可能にしている。本チップはカウントレイトがあまり高くない信号がわかれたタイプの放射線検出器には非常に有効な信号処理となりうるものである。1chにプリアンプ, Shaper, ディスクリミネータ, およびパルスレイン発生用のデジタル回路を含んでいる。またすべてのチャンネルをwired-ORで接続しておりOUTPUTはIpinである。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

16 channel Preamplifier ASIC

東京大学工学部原子力国際専攻 石 伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要: Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip is the massive fabrication of our 16 channel Preamplifier ASIC. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 μ m/0.4 μ m NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35 μ m CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is $\lt; 0.5\%$ over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 μ s. The noise slope is about 75 e-/pF at 0.5 μ s shaping time. Finally the power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

16 channel Preamplifier ASIC

東京大学工学部原子力国際専攻 石 伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要: Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip is the massive fabrication of our 16 channel Preamplifier ASIC. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 μ m/0.4 μ m NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35 μ m CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is $\lt; 0.5\%$ over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 μ s. The noise slope is about 75 e-/pF at 0.5 μ s shaping time. Finally the power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.35 μ m 2.4mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

16 channel Preamplifier ASIC

東京大学工学部原子力国際専攻 石伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要 : Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip is the massive fabrication of our 16 channel Preamplifier ASIC. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 um/0.4um NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35um CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is $<0.5\%$ over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 us. The noise slope is about 75 e-/pF at 0.5 us shaping time. Finally the power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数** : 100 以上, 1,000 未満 **試作ラン** : ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別** : アナログ/デジタル信号処理プロセッサ

16 channel Preamplifier ASIC

東京大学工学部原子力国際専攻 石伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要 : Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip is the massive fabrication of our 16 channel Preamplifier ASIC. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 um/0.4um NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35um CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is $<0.5\%$ over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 us. The noise slope is about 75 e-/pF at 0.5 us shaping time. Finally the power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数** : 100 以上, 1,000 未満 **試作ラン** : ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別** : アナログ/デジタル信号処理プロセッサ

16 channel Preamplifier ASIC

東京大学工学部原子力国際専攻 石伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要 : Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip is the massive fabrication of our 16 channel Preamplifier ASIC. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 um/0.4um NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35um CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is $<0.5\%$ over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 us. The noise slope is about 75 e-/pF at 0.5 us shaping time. Finally the power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数** : 100 以上, 1,000 未満 **試作ラン** : ローム CMOS 0.35 μ m 2.4mm 角 **チップ種別** : アナログ/デジタル信号処理プロセッサ

16 channel Preamplifier ASIC

東京大学工学部原子力国際専攻 石 伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要 : Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip is the massive fabrication of our 16 channel Preamplifier ASIC. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 um/0.4um NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35um CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is <0.5% over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 us. The noise slope is about 75 e-/pF at 0.5 us shaping time. Finally the power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数** : 100 以上, 1,000 未満 **試作ラン** : ローム CMOS 0.35um 2.4mm 角 **チップ種別** : アナログ/デジタル信号処理プロセッサ

16 channel Preamplifier ASIC

東京大学工学部原子力国際専攻 石 伯軒, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要 : Our laboratory has focused on the development of front-end ASIC for nuclear detection and imaging, especially position emission tomography. The purpose of utilizing CMOS ASIC technology is to bring in high performance, compact front-end electronics for nuclear detection system to improve performance such as imaging resolution, timing resolution and spatial resolution. This chip is the massive fabrication of our 16 channel Preamplifier ASIC. The charge sensitive preamplifier is used to convert charge signal from detector to voltage signal. Rise time, response speed and noise performance are especially important for preamplifier since it is close to the signal source. The charge sensitive preamplifier has used telescopic cascode structure to achieve best performance. This chip has used 2.4 mm by 2.4 mm die area which includes 16 channel preamplifiers as well as internal bias circuits. The width over length size of input transistor is 2000 um/0.4um NMOS which corresponds to a total gate and capacitance of about 3pF for Rohm 0.35um CMOS process. Therefore the chip is optimized for applications where the total preamplifier input capacitance is around 10 pF. According to our test, the voltage to charge gain is about 0.9 mV/pF, and the linearity is <0.5% over -0.5 pC to 1.5 pC input charge. The optimum rise time is about 15ns. The optimum Equivalent Noise to Charge (ENC) is about 880 e- FWHM at the shaping time constant of 0.5 us. The noise slope is about 75 e-/pF at 0.5 us shaping time. Finally the power consumption of this 16 channel preamplifier ASIC chip is about 70 mW with 3.3 power supply.

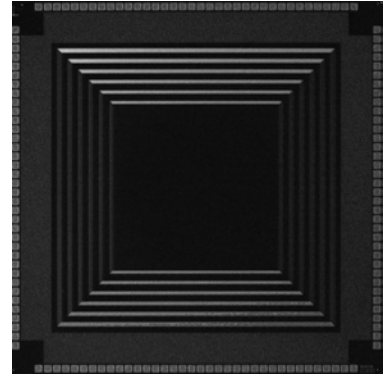
設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数** : 100 以上, 1,000 未満 **試作ラン** : ローム CMOS 0.35um 2.4mm 角 **チップ種別** : アナログ/デジタル信号処理プロセッサ

LSI 故障診断装置評価用 TEG (1-1)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. ゲート特性バラツキの測定性能を評価することを目的としており, 多数のゲートをリング状に配置している. 規則的な構造をしているが, 汎用的な設計ツールでの自動設計には適さない構造の為, Cadence 社 SKILL 言語のスクリプトを作成し, Virtuoso レイアウトエディタを非対話的に操作して設計した. 電気的接続を必要としない診断装置を対象としており, 各回路は外部端子とは接続されていない. LSI 故障診断装置評価用 TEG (1-1), (1-2) は, PN 接合タイプの異なる組となっている.

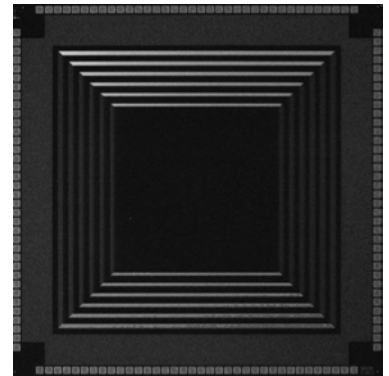
設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)

**LSI 故障診断装置評価用 TEG (1-2)**

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. ゲート特性バラツキの測定性能を評価することを目的としており, 多数のゲートをリング状に配置している. 規則的な構造をしているが, 汎用的な設計ツールでの自動設計には適さない構造の為, Cadence 社 SKILL 言語のスクリプトを作成し, Virtuoso レイアウトエディタを非対話的に操作して設計した. 電気的接続を必要としない診断装置を対象としており, 各回路は外部端子とは接続されていない. LSI 故障診断装置評価用 TEG (1-1), (1-2) は, PN 接合タイプの異なる組となっている.

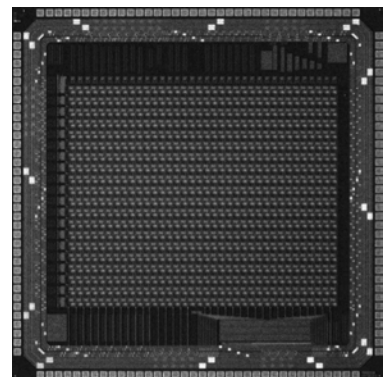
設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** TEG (特性評価回路など)

**スイッチトレジスタ回路網による画像処理チップの開発**

広島大学大学院先端物質科学研究科 森本 昌介, 亀田 成司, 岩田 穆

概要: 超並列の回路構造により高速に画像情報を処理するビジョンチップにおいて, 画素回路の小型化は重要課題である. ビジョンチップ, 特に生体模倣型ビジョンチップ, の画素回路の主要な構成要素の一つが入力画像の平滑化を回路的に行う抵抗回路網である. 抵抗回路網に用いる抵抗要素にはポリ抵抗や MOS 抵抗など様々なものが提案されている. しかし, 既存の手法による抵抗回路網では, 発熱を抑えかつ線形性を維持した回路を求めるとサイズが大きくなる問題がある. そこで, スイッチトレジスタに着目した. スイッチドレジスタは MOS-Tr のスイッチ回路を閉じる時間を調節することで抵抗の役割を果たす. これを使えば小型で線形性の良い回路網を実現できると考えられる. 今回は, スイッチドレジスタ回路網による平滑化処理チップを試作した. また, 個々の画素間の接続を制御することでラインプロセス処理にも対応可能である. 画素数は 36 \times 40, 画素サイズは 95.5 μ m \times 63.5 μ m.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** アナデジ混載

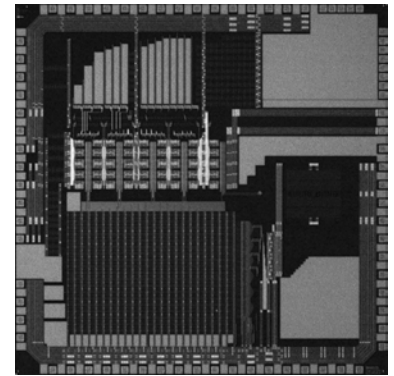


電流源精度と周波数特性劣化要因を除去した 14bitDAC の試作

中央大学大学院理工学研究所 柳井 昭太郎, 土橋 洋太, 杉本 泰博

概要: 高精度の D/A 変換器において, 電流セルの電流源とグランド間につく寄生抵抗が電流源の位置によって異なる為, 電流値がバラつき非線形の誤差を発生させてしまう. そこでこの電流値の非線形な誤差を打ち消すために, 各電流源のグランドラインをトーナメント型の等長配線にする事により誤差を低減する手法を提案する. また高速 D/A 変換器では, 高周波信号を生成する場合に SFDR 特性が大きく劣化してしまう. これは, 出力端子に導かれる電流セルの電流源とスイッチの数が入力デジタルコードによって変わることによって寄生容量が変化し, その結果出力端子の時定数が出力信号依存性を持つからである. そこで, MOS トランジスタとオペアンプでバッファドカスコード回路を構成し, 電流セルの出力端子の電圧を仮想接地にする事で, 過渡電流を小さくして歪みを低減する手法を提案する. これら 2 つの手法の有効性を確認する為にチップの試作を行った. 測定結果は 14bit 精度において, $DNL = \pm 0.7LSB$, $INL = +1.5$ to $-1.0LSB$, SFDR は 50MHz 動作の 2.5MHz 出力において 80dB を確認した. シミュレーション上では 200MHz 動作の確認ができたが, 測定では 100MHz 動作までしか確認ができなかった.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.35 μ m 4.9mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

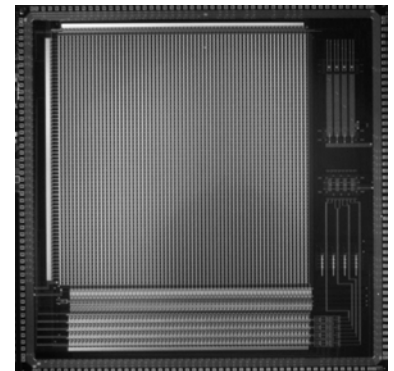


64×64 画素光無線 LAN 用ビジョンチップ

奈良先端科学技術大学院大学物質創成科学研究科 香川 景一郎, 布下 正宏, 太田 淳

概要: 我々は, 受光素子として, 通信対象の位置を探し出す「撮像」と, 高速光通信を行うための「データ受信」の二つの機能をもつイメージセンサを用いた新しい屋内用光無線 LAN システムを提案している. 複数データを同時に受信できる特徴を利用し, ダウンリンクに波長多重通信を適用した 64×64 画素光無線 LAN 用イメージセンサを 0.35 μ m 標準 CMOS プロセスを用いて作製し, データ受信要素回路の動作を確認した. 受信側 (ノード) では, 4 波長多重された光信号を波長多重薄型回折格子で分離し, 異なる 4 つの画素に入射する. この回折格子は作製誤差や使用光源の波長誤差などにより, 波長間クロストークを生じるため, これをアナログ積和演算回路 (Matrix operator) により除去する. 光感度を高めるために, N ウェル・P 型基板間のフォトダイオードを利用した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ



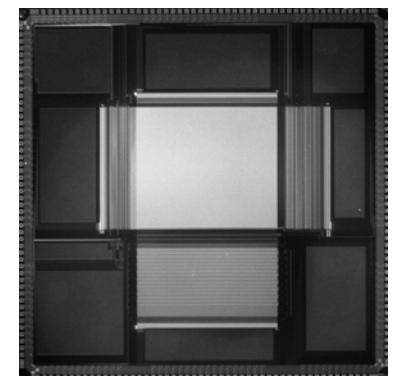
CIF フォーマット低電圧パルス幅変調型 CMOS イメージセンサ

奈良先端科学技術大学院大学物質創成科学研究科 宍戸 三四郎, 香川 景一郎, 布下 正宏, 太田 淳

概要: 我々は, バイオ・医療, センサネットワーク応用を目指し, パルス幅変調型画素読出しを利用した低電圧・低消費電力 CMOS イメージセンサを開発している. 既に 128×96 画素のイメージセンサにより原理実証を行っているため, 低ビットレートのビデオ伝送でよく用いられている CIF フォーマット (352×288 画素) に高画素化し, 画素数を増やした場合の問題点を明らかにする. 画素内の選択スイッチ・リセットスイッチのゲート電圧はブートストラップにより, 電源電圧よりも高い電圧を印加している. リセットトランジスタをゆっくりオフにすることによりランダムノイズを低減するアクティブリセットの効果を確認する機構をもつ.

参考文献: K. Kagawa et al., IEICE ELEX, vol. 4, no. 8, 271-276 (2007).

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.35 μ m 9.8mm 角 **チップ種別:** イメージセンサ/スマートセンサ

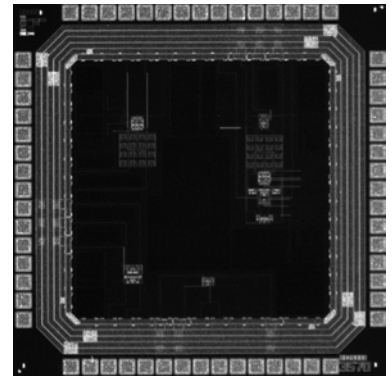


1次連続時間 $\Delta\Sigma$ 変調器とその要素回路

上智大学理工学部 三簾 浩一, 町田 和也, 和保 孝夫

概要: 我々は低電源電圧で動作可能な連続時間 $\Delta\Sigma$ 変調器に関する研究を行っている。今回、ローム 0.35 μm プロセスを用いて、電源電圧 1V で動作可能な 1 次連続時間 $\Delta\Sigma$ 変調器とその要素回路の試作を行った。 $\Delta\Sigma$ 変調器内の積分器には、一般に広く用いられている完全差動 2 段オペアンプを採用した。また、比較器には、定常電流が流れず、低消費電力で比較動作を行うことが可能なダイナミック比較器を採用した。HSPICE を用いたシミュレーションにおいて、電源電圧を 1V、入力信号帯域を 100kHz としたとき、56dB の信号対雑音比 (約 9bit の有効分解能に相当) で $\Delta\Sigma$ 変調が行えることを確認した。そのとき、消費電力は 0.6mW であった。現在、要素回路の評価が終了しており、比較器および積分器について、ほぼシミュレーション予測に近い動作を確認した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μm 2.4mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



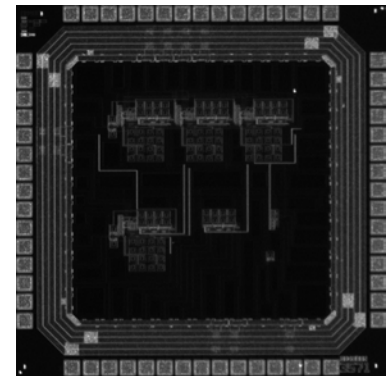
1V 動作可能なパイプライン型 ADC 用 MDAC

上智大学理工学部 芥川 一樹, 町田 和也, 和保 孝夫

概要: 我々は、小さい FOM 値*を有するアナログ/デジタル変換器 (ADC) を実現するために必要な要素回路の研究を行っている。より小さい FOM 値を得るためには、回路を低電圧電源で動作させることが有効なアプローチである。今回は 1V で動作可能なパイプライン ADC 用の MDAC (Multiplying Digital-to-Analog Converter) を設計した。低電圧動作を可能にするために、MDAC にはスイッチトオペアンプ方式 [1] を採用し、サンプリングスイッチはブートストラップ型 [2] の構成にした。HSPICE を用いたトランジスタレベルのシミュレーションにより、電源電圧 1V、分解能 8bit、変換周波数 1MS/s の動作を確認した。現在、性能評価中である。Figure of Merit: 1 ビットの分解に必要なエネルギー値を表す

参考文献: [1] M. Waltari and K. Halonen, "1-V 9-bit pipelined switched-opamp ADC", J. Solid-State Circuits, vol. 36, pp. 129-134, January 2001.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μm 2.4mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



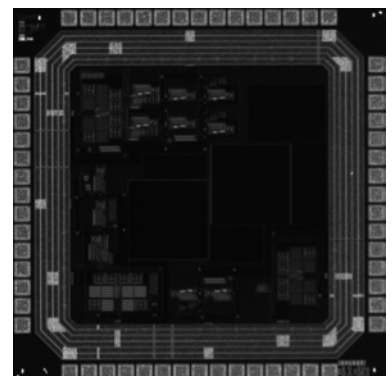
傾斜センサ用容量検出回路

慶應義塾大学理工学部 松本 佳宣

概要: 近年の最先端デジタル回路と一体化可能なセンサの実現を目指して、1.5V 以下の低電圧で動作する静電容量型センサ用の微小容量検出回路を設計した。センサの原理に電解液の電気 2 重層を用いた容量検出方式を採用した液式傾斜センサを別途試作して、その容量値の変化量が 500% を超える事を確認しているが、この大きな変化量を用いる事で、従来のアナログ回路に不可欠であった演算増幅器をインバータアンプに置き換える事が可能となった。さらにクロック発生回路、増幅・オフセット調整回路を集積化した。この集積回路は電源電圧 1.3V での動作可能であり、傾斜センサとしては $\pm 60^\circ$ の範囲で 12%/F.S 以下の線形アナログ出力が得られ、センサの分解能、応答速度はそれぞれ 0.4deg, 0.7 秒であった。この回路は容量検出が必要な加速度センサなどの分野への応用も期待される。

参考文献: Asrulnizam, Matsumoto, "One-Side-Electrode-Type Fluid-Based Inclinator Combined with CMOS Circuitry", pp. 417-434, Sensors and Materials, Vol. 19, No. 7 (2007).

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.35 μm 2.4mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)

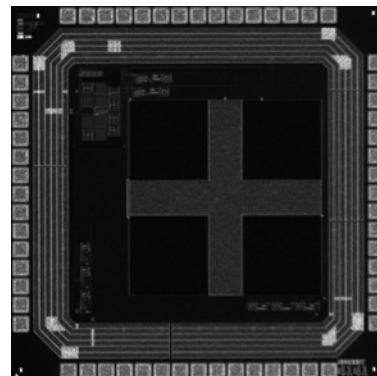


集積化傾斜スイッチ

慶應義塾大学理工学部 松本 佳宣

概要：ワンチップ上に傾斜スイッチとその検出回路を集積化した傾斜スイッチの実現を目指して評価用チップを設計した。傾斜を検出する5つの電極と静電容量を電圧に変換する容量検出回路、さらにクロック発生回路、増幅・オフセット調整回路を集積化した。電極には4層の多層配線を使い、電極間の寄生容量を減らすように工夫してレイアウトを行った。また、電極の最下層部に容量検出回路に必要なホールド容量を配置して面積の有効利用を図った。低消費電力と低雑音化に配慮を行いつつ、回路構成とレイアウトの最適化をはかり、チャージバランス方式のスイッチトキャパシタ容量検出回路を完成させた。さらに、従来の演算増幅器を利用する方式より低電圧で動作可能な新回路方式を考案、設計した。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数：**10以上、100未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**イメージセンサ/スマートセンサ

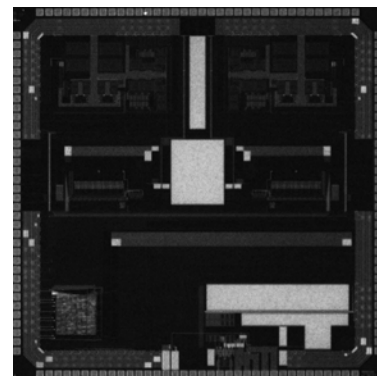


神経信号センシングチップ

広島大学先端物質科学研究科 吉田 毅, 浴 良仁, 有田 真一, 岩田 穆

概要：生体活動と神経活動の関係を正確に把握するため、生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている。本研究では小脳の神経信号を検出し、検出信号を無線で送信する神経信号センシングLSIの設計・試作を行った。設計した神経信号センシングLSIは、ダイレクトチョップ方式低雑音増幅回路、逐次比較形 Analog-to-Digital Converter (ADC)、無線送信回路によって構成されている。設計したダイレクトチョップ方式低雑音増幅回路は、低周波雑音の存在するCMOS演算増幅回路で、数十 μ V振幅の神経信号を検出できる。信号入力チャンネル数は10chとした。また逐次比較形ADCは抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し、10ビット分解能、サンプリング周波数52kHzで動作する。無線送信回路は、発振周波数100MHzのVCOをLOとし、BPSK変調で520kbpsのデータ伝送を実現する。試作チップは魚の小脳（プルキンエ細胞）の神経信号（100 μ V振幅）を検出し、無線により50cmの距離を伝送出来ることを確認した。BERは 10^{-4} である。

設計期間：3人月以上、4人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **チップ種別：**イメージセンサ/スマートセンサ

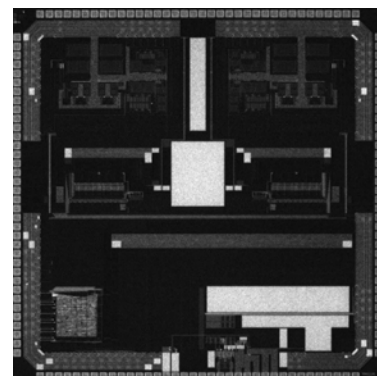


神経信号センシングチップ

広島大学先端物質科学研究科 吉田 毅, 浴 良仁, 有田 真一, 岩田 穆

概要：生体活動と神経活動の関係を正確に把握するため、生体の活動に制約を加えない小型の多入力神経信号センシングシステムの実現が要望されている。本研究では小脳の神経信号を検出し、検出信号を無線で送信する神経信号センシングLSIの設計・試作を行った。設計した神経信号センシングLSIは、ダイレクトチョップ方式低雑音増幅回路、逐次比較形 Analog-to-Digital Converter (ADC)、無線送信回路によって構成されている。設計したダイレクトチョップ方式低雑音増幅回路は、低周波雑音の存在するCMOS演算増幅回路で、数十 μ V振幅の神経信号を検出できる。信号入力チャンネル数は10chとした。また逐次比較形ADCは抵抗ストリングおよび容量アレイを用いたハイブリッド構成を採用し、10ビット分解能、サンプリング周波数52kHzで動作する。無線送信回路は、発振周波数100MHzのVCOをLOとし、BPSK変調で520kbpsのデータ伝送を実現する。試作チップは魚の小脳（プルキンエ細胞）の神経信号（100 μ V振幅）を検出し、無線により50cmの距離を伝送出来ることを確認した。BERは 10^{-4} である。

設計期間：3人月以上、4人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Magma社 BlastFusion, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **チップ種別：**イメージセンサ/スマートセンサ



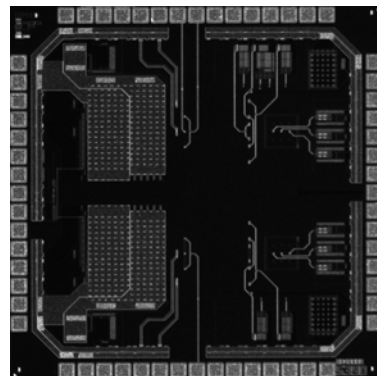
広いデジタル回路領域に対応した基板雑音の打ち消し回路

豊橋技術科学大学大学院工学研究科 鈴木 寛人

豊橋技術科学大学工学部 和田 和千

概要：検出領域と打ち消し領域を工夫した基板雑音の打ち消し回路を試作している。検出領域を2つ設けることで雑音源の位置が変化しても想定しているアナログ回路領域での最適な雑音の低減率を維持できるようにしている。また、打ち消し領域を2点にすることで打ち消し効果を増加させている。効果を検証するために、模擬的な基板雑音を発生させるデジタル回路として、VCO、D-FF、分周器、インバータを基板上に配置し、VCOから発生させたクロック信号をインバータチェーンに入力し雑音を発生させている。また、雑音を検出して打ち消し信号を生成するための増幅回路やアナログ回路領域内で雑音を検出する回路も設計している。特性は現在評価中である。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数：**100以上、1,000未満 **試作ラン：**ローム CMOS 0.35 μ m 2.4mm角 **チップ種別：**アナデジ混載

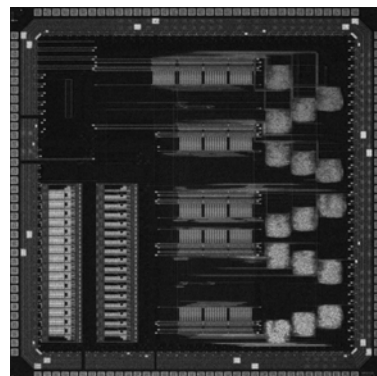


16ch WSFE ASIC

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要：本研究室ではPET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くはアナログを主とした信号処理であったが研究室ではアナログ・デジタルを混載し1chipで波形をサンプリングする波形サンプリング型放射線検出用ASIC (WS-ASIC) の開発を行ってきた。本チップは1chにプリアンプ, VGA, 高速の100MHz/6bitsのADCを含んでいるが、高集積を実現するため、200MHz/3bitsの外部クロックにより偶数ビットと奇数ビットを交互に読み出すマルチプレクサを設計して組み込み16chを実現している。以前のチップではGNDが十分でなかったものがありその部分を改善したチップである。今後アナログ・デジタル混載によるコンポーネント間のクロストークなどの評価を行う予定である。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Apollo, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**ローム CMOS 0.35 μ m 4.9mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ



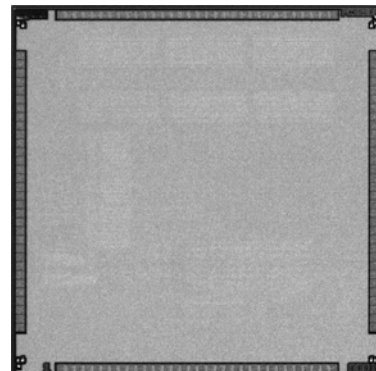
平成18年度第2回ローム CMOS 0.18um試作 (RO18062)

ばらつき評価用回路

広島市立大学大学院情報科学研究科 上田 浩一郎, 茶川 徹雄

概要:多数のMOSFETの特性ばらつきを測定するための回路として、ペアトランジスタを並べたアレイ（ペアトランジスタセルアレイ, PTA）と単体トランジスタを並べたアレイ（デバイスマトリックスアレイ, DMA）を設計した。素子寸法を変えた複数のアレイがあり、ばらつきの寸法依存性、位置依存性などが測定できるようにした。PTAに関しては行列状に配置して、特性異常の素子の位置が少ない測定回数で見つけられるようにしたものも加えた。また、選択用のデコードと伝達ゲートを行方向と列方向の2つ用意して、アレイの大型化を図った。伝達ゲートはCMOS回路を使い、その影響が大きくなるように配慮した。ケルビン測定によって伝達ゲートの影響を除いた測定をする予定である。

設計期間:4人月以上, 5人月未満 **設計ツール:**Cadence社 Virtuoso, Cadence社 Dracula DRC **トランジスタ数:**1,000以上, 10,000未満 **試作ラン:**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:**TEG（特性評価回路など）

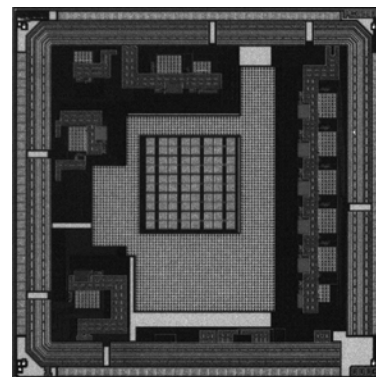


生体信号センシング回路 TEG

広島大学先端物質科学研究科 浴 良仁, 升井 義博, 吉田 毅, 岩田 穆

概要:生体活動に制約を加えない小型の神経信号センシングLSIの実現は、生体活動と神経活動の関係を正確に把握するため、生体工学および生物学の分野で要望されている。本研究では、神経信号センシングLSIのためのCMOS低雑音増幅回路の設計を行った。Auto-zero技術を適用することで、DCオフセット電圧と低周波雑音を低減すると同時に、入力信号を微分する。これにより、商用交流雑音（振幅:1mV程度, 周波数:60Hz）を神経信号（振幅:50 μ V~100 μ V程度, 周波数成分:500~1kHz）に対して20dB程度低減させる回路を設計した。微分された信号はデジタル領域で積分することにより元の波形を再現することができる。測定結果より、従来回路では低減できなかった商用交流雑音を信号帯域に対して約18dB低減することが可能で、神経信号を35.6dB増幅できる高入力インピーダンス増幅回路を実現した。帯域内雑音（~100kHz）は2.7 μ V, 消費電力は70 μ W@1.4Vである。

設計期間:3人月以上, 4人月未満 **設計ツール:**Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreXRC **トランジスタ数:**1,000以上, 10,000未満 **試作ラン:**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:**TEG（特性評価回路など）

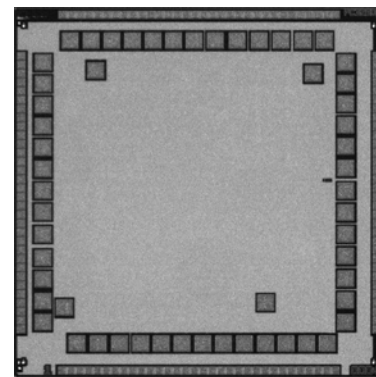


Rohm0.18umプロセス低温デバイスモデル作成用容量, 抵抗

横浜国立大学大学院工学府 河合 宣彰, 後藤 恭平, 吉川 信行

概要:Rohm0.18umプロセスでSFQ/CMOSハイブリッドメモリステムを構築するためには、低温用CMOSのデバイスモデルが必要となる。CMOSデバイスの低温下では接合容量の低下が顕著に現れる。このチップではそのデバイスモデルを作成するため、100x100 μ m²のPN接合を作成した。また、抵抗とリングオシレータも作成した。測定の結果、低温下では室温と比較してPMOS条件では1/10の容量, NMOS条件では1/6の容量となった。このことより低温用デバイスモデルを作成した。リングオシレータに関しては151段, 225段, 301段の三種類を設計し、初段にNANDその後段にインバータを重ねることで構成されている。しかし、レイアウトミスがあったため測定結果を得ることができなかった。抵抗に関しては未だ測定が終わっていない。

設計期間:1人月以上, 2人月未満 **設計ツール:**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:**100以上, 1,000未満 **試作ラン:**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:**その他

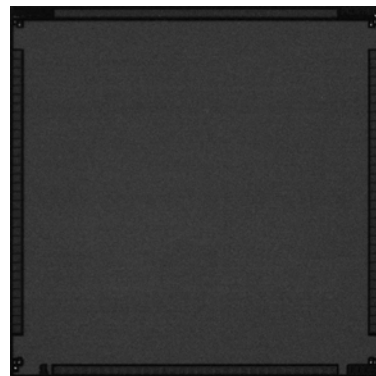


断熱的パストラジスタ論理回路を用いた加算回路

横浜国立大学大学院工学府 生田 浩康, 山田 日登美, 吉川 信行

概要: 断熱的パストラジスタ論理回路を用いた回路の動作確認. ラッチとして pal2n を使用した 4bit 加算回路とラッチを使用していない 4bit 加算回路. cpal で多段化された 2bit 加算回路. ラッチ回路の中でも低消費性優れている cpal と pal2n の比較としてそれぞれのラッチ単体の動作確認用の回路と CPAL, pal2n をそれぞれラッチ回路として出力に用いた fulladder. 2つのラッチ回路単体と 4bit の加算回路は動作確認済みであるが, その他の回路では fulladder にレイアウトのミスがあるために正しく動作していない. cpal の出力波形の立下りが pal2n よりもきれいに出ており, cpal は負荷容量の電荷を効率よく返すという特徴が確認できた. 正しく出力が得られた回路でもラッチ回路の駆動力が弱いために高速では正常動作はしなかった.

設計期間: 6 月以上, 7 月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



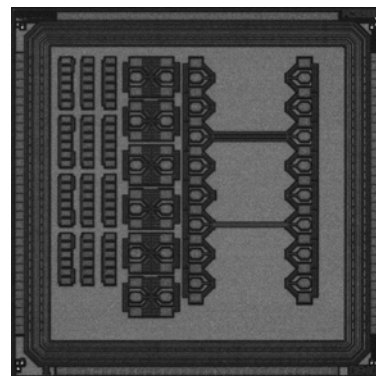
ばらつき評価, 基板バイアス評価 TEG

京都大学情報学研究所 関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊

京都大学工学部 五嶋 宏通

概要: 多数のリングオシレータを集積し, それぞれの発振周波数の変動を測定する回路, 基板バイアスを加えることで, 動作速度を変化させ, ばらつきの補正を行なう回路の 2 種類を搭載した LSI である. 段数, セルの駆動力, セルの種類などを変えたリングオシレータを一つのマクロとし, そのマクロを 15x10 のアレイ状に配置してばらつきの測定を行なう. 基板バイアスによるばらつき補正回路では, 基板電位を制御するウェルコンタクトまでの距離により, セルの動作速度がどのように変化するかを測定することを一つの目的としている. 前回と同じく, IO セルの中身が抜けたまま製造されてしまった. したがってまったく動作しなかった.

設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



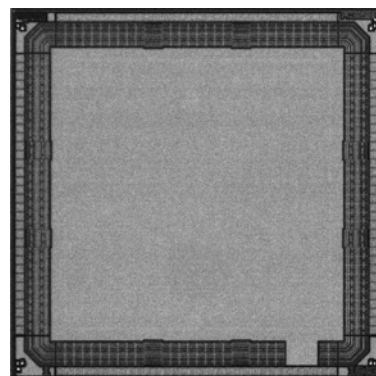
論理回路として動作するメモリの設計

広島市立大学大学院情報科学研究科 吉原理記, 平川 直樹, 谷川 一哉, 弘中 哲夫

概要: 近年, 幅広い分野で利用されている FPGA (Field Programmable Logic Device) などに代わる新たな再構成型デバイスとしてメモリベース論理回路 (MPLD) を提案した. MPLD は LUT (Look-Up Table), スイッチ信号, メモリとして機能する MLUT を基本要素とし, 隣接した各 MLUT を相互に接続して構成される. この構成により, 従来 FPGA において面積の大部分を占めるスイッチ要素が不要となる. MPLD はコンフィギュレーションにおいてその方法が通常のメモリへの書き込み操作と同様なため高速なコンフィギュレーション速度を実現し, 特に部分再構成能力に優れている特徴を持つ. 今回, 単体の MLUT および SRAM の設計を行い, 詳細な評価を行うために試作を行った.

参考文献: 吉原理記, 谷川一哉, 弘中哲夫, 佐藤正幸, "再構成デバイスとしても動作するメモリ (MPLD) の一実装例 (リコンフィギュラブルアーキテクチャ 1)", 電子情報通信学会技術研究報告 RECONF2007-16, pp.7-12, 2007 年

設計期間: 3 月以上, 4 月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Synopsys Nanosim, Star-RCXT, Hercules **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** ニューテクノロジー



電圧制御発振器の高周波広帯域化

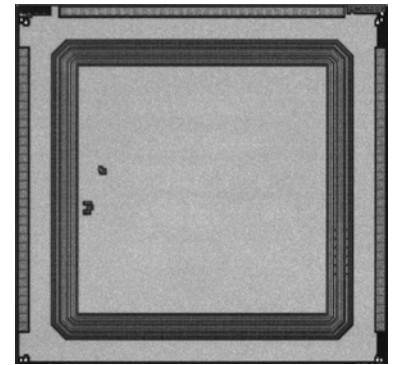
秋田大学工学資源学部 三浦 和仁, 井上 浩

概要: 本試作では, 広帯域な発振周波数特性を持つ電圧制御発振器 (VCO) について多チャンネル通信や広帯域受信機等への応用を目指して, 構造の微細化による高周波・広帯域化の設計及び試作ICの特性評価を行った [1]. アナログ設計において, 設計した素子の精度, 特性は非常に重要であるので, 基本的な素子の特性を確認することを目的とし, NMOS及びPMOSトランジスタ, PolySi抵抗, LPPH抵抗, MIM容量の4種類の単体素子についてTEGを設計・試作および動作確認した. ここでは, MOSトランジスタのWL比, 各受動素子の抵抗値及び容量値が異なるものをそれぞれ複数個設計した.

参考文献: 三浦和仁, 井上浩, “高周波電圧制御発振器の開発とその応用”, 電子情報通信学会技術研究報告, EMC2007-75, Oct. 2007

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社

Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



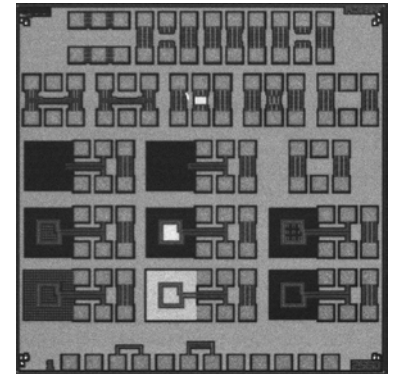
アナログデバイスのTEG試作

中央大学大学院理工学研究科 藪田 悟史, 飯島 健太, 土橋 洋太, 水谷 慶一郎, 杉本 泰博

概要: アナログ回路を設計する際には, デバイスの特性が必要となる. 近年, プロセスの微細化に伴い, チップ表面の平坦化を図るために配線のない部分にダミーメタルを配置する必要が生じている. しかし, このダミーメタルによるインダクタのQ値の低下が懸念されており, ダミーメタルがインダクタに及ぼす影響を明らかにする必要があった. ダミーメタルとはどの固定電位も与えられていない正方形のアルミであるが, このダミーメタルにインダクタからの磁界が進入することでダミーメタル内にうず電流が発生しうず電流損を生じるため, スパイラルインダクタのQ値が低下してしまうと考えられる. そこで, サイズの異なるダミーメタルを配置したパターンや, ダミーメタルを配置しないパターン等, 数種類のスパイラルインダクタを試作し, インダクタのQ値やその他各成分の測定を行い, ダミーメタルがインダクタに及ぼす影響に関して検討を行った.

参考文献: 荻野達也, 杉本泰博; オンチップ・スパイラルインダクタの周辺の磁界分布の検討; 電子情報通信学会 2007年ソサイエティ大会論文集, C-12-40, p. 95.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

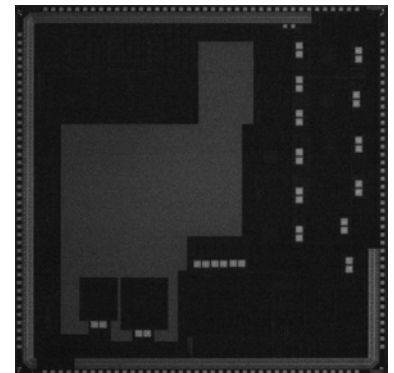


イメージセンサTEG

奈良先端科学技術大学院大学物質創成科学研究科 野村 啓二, 安達 雄大, 香川 景一郎, 布下 正宏, 太田 淳

概要: 異なるプロセス間でのフォトダイオード・CMOSイメージセンサ画素の基本特性を比較するために, 以下の仕様に基づいたTEGチップを設計した. フォトダイオードの受光感度 (A/W) の波長依存性の測定には, 200 μ m角の開口と接合領域をもつPN接合を用いた. CMOSイメージセンサの基本画素として3-Tr方式アクティブピクセルセンサを用い, フォトダイオードの接合面積を10 μ m角とした. 画素の中心間距離は20 μ mとし, フォトダイオード間距離を10 μ mとした. 迷光を避けるために, フォトダイオード周囲に, 千鳥格子状にVIAを配置して遮光した. 5画素を一行に配置し, 1画素のみを開口し, 残りの画素を遮光した. これにより, 受光感度 (V/lx-s) と拡散キャリアによる画素間クロストーク特性の波長依存性が測定できる.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

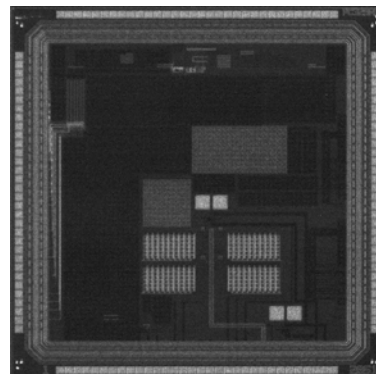


IR-UWB・イメージセンサ TEG

奈良先端科学技術大学院大学物質創成科学研究科 穴戸 三四郎, 長畑 樹, 宮脇 智也,
香川 景一郎, 布下 正宏, 太田 淳

概要: イメージセンサ機能を内蔵したセンサネットワークノードを実現するための要素回路として, インパルス方式UWBのドライバ・CMLバッファと, 低電圧・低消費電力イメージセンサの画素TEGを設計した。UWBドライバは, モノフェイジックパルスを出力し, 50Ω 負荷を駆動する。また, 1.0V 以下で動作するパルス幅変調型CMOSイメージセンサの画素TEGを設計した。640×480画素, 30fpsを想定した。ノード・ハブ位置の検出機能と高速光信号多点受信機能をもつ光無線LAN用イメージセンサの撮像機能を実現するために, 画素TEGとシングルスロープ型ADCを設計した。

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

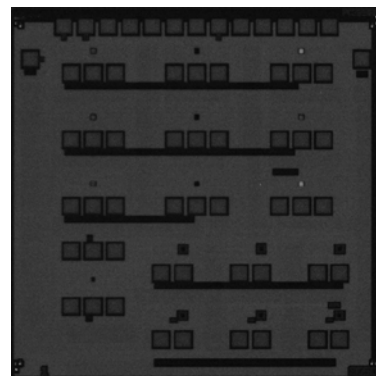


くし型電極構造を持つ横型PNフォトダイオード

金沢大学大学院自然科学研究科 飯山 宏一, 山王 紀明

概要: 高速データ通信を目指して, LSIチップ間通信に光伝送を適用した光インターコネクションが検討されている。その実現のためには, LSIプロセスによる光検出器作製の整合性について検討する必要がある。本チップは, 微細CMOSプロセスを利用して, キャリアが横方向(基板に平行な方向)に移動する横型PNフォトダイオードを試作した。フォトダイオードはくし型電極構造を持っており, 電極幅は $0.24\mu\text{m}$, 電極間隔は $0.6\sim 1.2\mu\text{m}$ とし, 高周波特性が測定可能なチップとした。暗電流 1nA , 波長 830nm において, 感度 $0.12\sim 0.2\text{A/W}$ であった。また, 電極間隔 $0.6\mu\text{m}$ の素子については, なたれ増幅による光電流の増幅が確認された。周波数帯域は最大で 100MHz であった。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

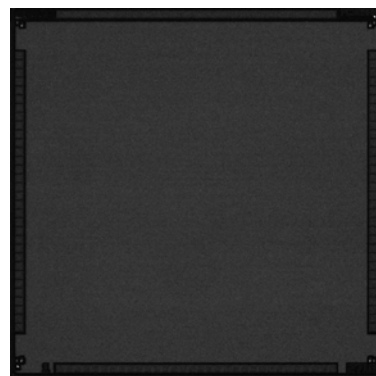


0.18um用WS-ASIC TEG

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室ではPET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている。従来の多くの信号処理ASICはアナログを主とした信号処理であったが研究室ではアナログ・デジタルを混載し1chipで波形をサンプリングする波形サンプリング型放射線検出用ASIC (WS-ASIC) の開発を行ってきた。本チップでは $0.35\mu\text{m}$ において開発を行ってきたものを $0.18\mu\text{m}$ での同機能の実現のためのTEGを提出した。TEGには電荷積分型の低ノイズプリアンプ, $100\text{MHz}/6\text{bits}$ のADC, トランジスタ, varactorなどが含まれる。本チップを評価を行ったのちマルチチャネルのWS-ASICを作成する予定である。プリアンプのノイズ評価などを行うことで今回の試作につなげることを考えている。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



平成18年度第3回ローム CMOS 0.18 μ m試作 (R018063)

低電圧、低消費電力参照電圧電源回路、高線形 OTA

宮崎大学大学院工学研究科 今木 啓太, 井手 大介

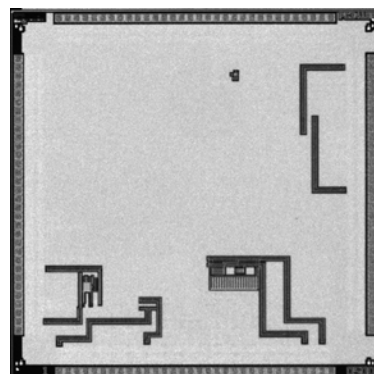
宮崎大学工学部 兒玉 祐樹, 外山 貴子, 田村 宏樹, 淡野 公一

概要：本試作では、弱反転領域で動作する MOSFET を用いた低電圧、低消費電力参照電圧電源回路を試作した。本回路は、これまでの弱反転領域で動作する同種の回路と異なり、弱反転領域におけるスロープファクタの影響を受けない回路構成となっており、プロセス依存度を低減している。本回路との比較のため、一般に用いられるバンドギャップ参照電圧電源回路も作り込んでいる。また、高線形 OTA に関しては、移動度低下による不要な高次成分をキャンセルする新たな手法を用いることで、gm の変動を抑えた OTA の試作に取り組んだ。また、今後の試作でもちいるための要素回路として、低電圧で動作するオペアンプを試作した。

設計期間：4 人月以上, 5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社

Star-HSPICE, Mentor 社 Calibre トランジスタ数：100 以上, 1,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ

チップ種別：TEG (特性評価回路など)



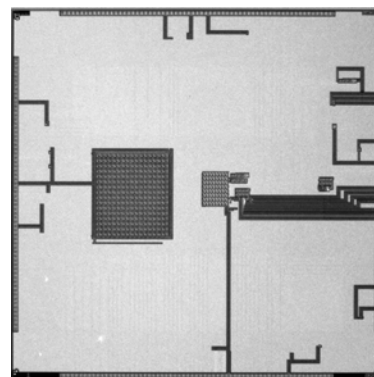
エッジ抽出と動体検出のための部分回路 TEG と動作検証用回路

東京大学工学部 福岡 雄大, 萬澤 康雄

東京大学大学院新領域創成科学研究科 柴田 直

概要：ハードウェアの並列計算を生かして高速に画像処理を行うための回路の部分回路と動作検証用回路の設計を行い、エッジ抽出と動体検出の機能をそれぞれ実装した。エッジ抽出に関しては、同一被写体の大きさの異なる画像に対してロバストに認識できるアーキテクチャを考案し、電流を利用した演算回路で実装することによって、配線や減算器を少なくすることに成功した。また制御方法に関して、従来では縦横方向の制御のみ可能であったが、今回は斜め方向の制御をスイッチ回路を用いることによって簡単に行うことができるようになった。動体検出に関しては、まずフレーム差分により画素時間差分情報を取得し、適応的な閾値による二値化を画素並列に行う。この値（動きビット）を行および列ごとに数え上げてヒストグラムを生成し、再度二値化することで動体の位置検出を行う。画素時間差分情報を二値化するための閾値の決定が最も重要だが、「OR 増幅」という新たな概念を導入し、動体由来の動きビットは背景由来のものとは現れ方が異なる性質を用いて閾値を適応的に定める手法を考案した。

設計期間：4 人月以上, 5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：TEG (特性評価回路など)



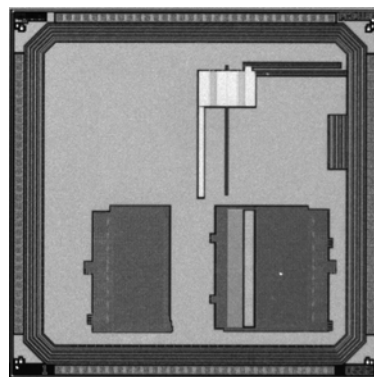
実時間マルチチップ K-means アーキテクチャ機能確認用回路

東京大学大学院工学系研究科 馬 奕涛

東京大学大学院新領域創成科学研究科 柴田 直

概要：K-means クラスタリング手法は探索的データ分析に非常に有効であるため、意思決定や、データマイニング、画像セグメンテーション、物体認識などのたくさんの応用領域で活躍している。K-means 法の計算コストが非常に大きいので、本試作では XGA 規格画像から抽出された数万のベクトルデータに対する実時間 K-means 応答を実現するためのマルチチップ K-means アーキテクチャを提案し、機能確認のためのテスト回路を作成した。プロセッサは 2 種類のクロック信号で駆動する方式とした。本チップは、ベクトル格納用の SRAM バンク、サンプルベクトルの所属グループを記録する GroupID レジスタや、サンプルベクトル選択的に通過させるマスクなどを含む制御回路、重心ベクトルを計算するための CSA と DIVIDER、サンプルベクトル用遅延回路 DELAY、そしてサンプルベクトルと重心ベクトルの距離演算を行う PE の 5 つのモジュールから構成されている。この中で距離演算用の PE だけを速いクロックで駆動し、残りの回路は全て遅いクロック信号で駆動する。これにより、マルチチップ間の信号転送の遅延をうまく吸収する方式を採用した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



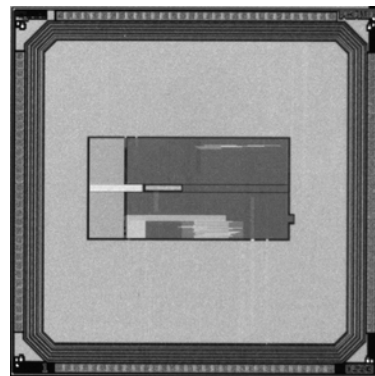
実時間動き場生成プロセッサ用 TEG

東京大学大学院新領域創成科学研究科 藤田 和英, ハオ ジャ, 柴田 直

概要: 動画の各フレーム中の物体の動きの検出は, その動きの理解や認識をするために重要であるが, 一般的に計算コストが高く, 専用のハードウェアによって高速化するメリットが大きい. 本試作では, 動き検出の中でも精度が高いがデータ量が多く, 特に計算コストの高いブロックマッチングを方向性エッジのヒストグラムマッチングによって行い, 物体の動きの大きさと方向を検出することのできるプロセッサを開発するため, プロセッサアーキテクチャのコアとなる回路であるメモリと差分絶対値和演算回路の TEG を作成した. メモリ部は読み出された 1 行分のデータ中の 1 であるビットの個数を数えるための Carry Save Adder を 32x32 ビットの SRAM バンク 2 個の出力と接続した. 差分絶対値和演算回路は 16x17 個の差分絶対値和回路によって構成されており, 2 進数の差分絶対値の演算方法に着目してこれをコンパクトに設計するためのトランジスタ数削減を試みた.

参考文献: [1] Kazuhide Fujita, Kiyoto Ito, and Tadashi Shibata, "A Feature-Based Optical Flow Processor Architecture Featuring Single-Motion-Vector/Cycle Generation," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 31-34, Tampere, Finland, Nov. 19-21, 2007.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



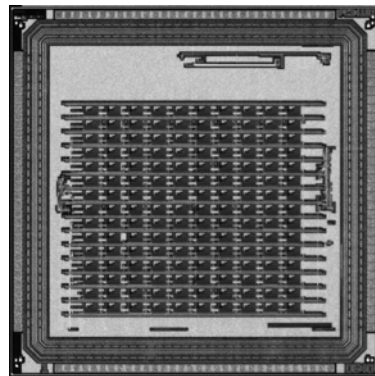
ばらつき評価, 基板バイアス評価 TEG その2

京都大学情報学研究所 関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊

京都大学工学部 五嶋 宏通

概要: 多数のリングオシレータを集積し, それぞれの発振周波数の変動を測定する回路, 基板バイアスを加えることで, 動作速度を変化させ, ばらつきの補正を行なう回路の 2 種類を搭載した. 段数, セルの駆動力, セルの種類などを変えたリングオシレータを一つのマクロとし, そのマクロを 15x10 のアレイ状に配置してばらつきの測定を行なう. 基板バイアスによるばらつき補正回路では, 基板電位を制御するウェルコンタクトまでの距離により, セルの動作速度がどのように変化するかを測定することを一つの目的としている. 前年度にテープアウトしたデータの IO の部分のみを入れ替えて, 正常に IO セルが嵌め込まれるようにした. テストの結果, 加算器の一部などが動作していないものの, 正常動作を確認した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



リコンフィギュラブル画像処理回路

東北大学大学院工学研究科 兒玉 成緒, 福島 誉史, 田中 徹, 小柳 光正

概要: 近年におけるロボット技術の急速な発展がビデオレートを大幅に超える実時間高速画像処理システムを必要としている. このような画像処理システムは, 汎用マイクロプロセッサを用いたソフトウェア処理により実現されていたため, その処理能力の不足や高い消費電力が問題となっている. この問題を解決するため, 回路構成を動的に変更可能なリコンフィギュラブル画像処理回路の設計を行った. 試作回路は, 再構成するロジックの粒度を 8bit のデータパスとした. これにより構成データの読み込み時間を短縮することで, 従来の FPGA では実現不可能であった動的再構成を実現している. また, 再構成によって各処理要素内に独自の制御ユニットを生成し, SIMD 方式と MIMD 方式のアーキテクチャを切替えながら画像処理を実行可能なシステムにした. そのため実行する画像処理に合わせて SIMD 方式の高い演算能力と, MIMD 方式の柔軟な並行処理を選択することができる. 設計を行ったチップは三次元積層構造を有するリコンフィギュラブル画像処理回路の二次元での回路動作検証を行うものである.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



RFID 向け実験チップ

金沢大学工学部自然科学研究科 狩野 孝太

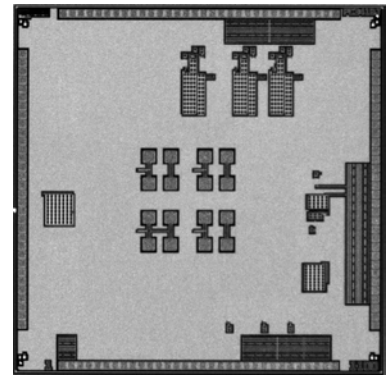
金沢大学工学部 近藤 雄一, 松山 英亮, 秋田 純一, 北川 章夫

概要: 本試作チップは、学部3年生を対象としたLSI設計コンテストで設計した13.56MHz帯RFIDの要素回路と、UHF帯RFIDの電源ブロックの相乗りである。13.56MHz帯RFIDは電磁誘導により電力供給し、それを整流して電源として使用するものとした。電源回路には電流源回路を利用している。動作確認として、高耐圧CMOSを用いたインバータ等が実装している。電源回路は正常な動作が確認できなかったが、インバータはシミュレーションに沿った実測結果が得られた。UHF帯RFIDについては電源ブロックであり、RF/DC変換・定電圧出力・直流安定化から構成される。本回路は電波方式により電力供給し、電力を整流後、内蔵のキャパシタに蓄え内部処理に必要な電力を供給するものである。電源安定性や、動作確認を主目的として設計・試作を行った。該当ブロックに関しては、本レポート執筆時点では、実験環境を構築中である。

参考文献: 狩野, 中野, 秋田, 北川, "生体モニタリング向けパッシブ型センサタグの要素回路", IEICE集積回路研究会(2007)

設計期間: 10人月以上 **設計ツール:** Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満

試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** その他

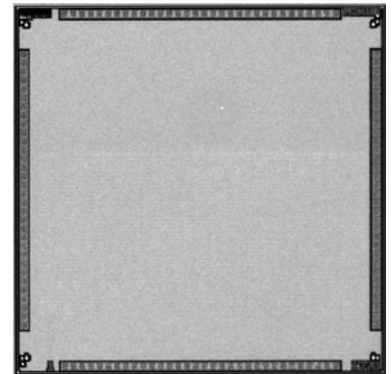


断熱的パストラジスタ論理回路を用いた加算回路

横浜国立大学大学院工学府 生田 浩康, 山田 日登美, 吉川 信行

概要: 断熱的パストラジスタ論理回路を用いた回路の動作確認。動作不安定になる場合があるというpal2nの欠点を改善したpal4nの動作確認として、pal4n単体。動作は正しく得られている。前回のレイアウトで出力にミスがあったのでその修正版であるcpalで多段化された2bit加算回路。しかし入力ラインが短絡している部分があるためにすべてのパターンでは動作を確認できていない。pal4nを使用した加算回路においても同様の入力のレイアウトのミスがある。断熱回路の消費電力測定用の回路。入力ラインで短絡しているというレイアウトのミスがあり、正しい動作を得られていない。ラッチ回路としてpal4nを用いた4bitの加算回路。レイアウトのミスがあり正常な動作が得られない。

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路(乗算器, 除算器など)



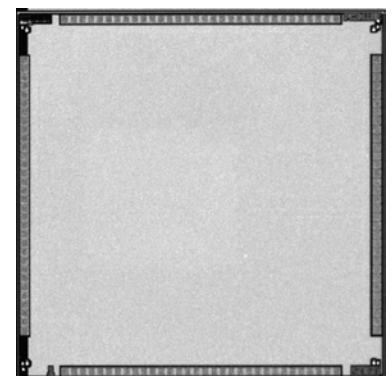
PLL回路のための要素回路

高知工科大学大学院工学研究科 北地 祐子

高知工科大学工学部 橘 昌良

概要: 本チップは入力周波数1MHz, 出力周波数100MHzであるPLL回路を構成するための要素回路(ループフィルタをのぞく)を集積したものである。集積した要素回路は、VCO(2種類), 位相比較器およびループフィルタインターフェース(2種類)および1/100の分周器である。VCOは制御電圧がVDD/2(=0.9V)で発振周波数が100MHzとなるように設計されたCurrent-Starved型とSource-Coupled型の2種類, 位相比較器はXOR型とD-FFを用いた回路の2種類で、それぞれにループフィルタとのインターフェースとして3-State回路とCharge-Pump回路を接続してある。分周器はVCOの発振周波数を1/100の1MHzに分周するための回路である。これらの回路のうち、すでにCurrent-Starved型VCOを用いた回路の評価が終了しているが、シミュレーションよりも発振周波数が低く、原因を検討中である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 CalibreXRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ(PLL, A-D/DC-DCコンバータなど)



0.6V動作89dBダイナミックレンジ連続時間系アナログフィルタ

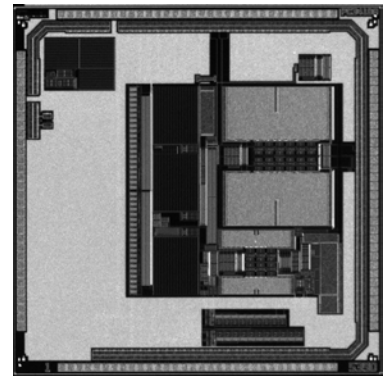
豊橋技術科学大学大学院工学研究科 秋田 一平

豊橋技術科学大学工学部 和田 和千

概要：0.6Vの電源電圧下で89dBと広いダイナミックレンジ（DR）を有する5次低域通過フィルタを試作した。低電圧動作可能なログドメイン回路技術とダイナミックバイアス技術を用いることで広DRを実現することができる。このフィルタは、電源や温度変動に対して耐性をもつ基準電圧生成回路や周波数チューニング機能を有し、いずれも0.6Vで動作可能である。ログドメイン回路を用いていることから線形なミキサが実現され、非常に良好な周波数特性が得られた。電源電圧とFOMの観点から、近年発表されたアナログフィルタと比較したところ、世界最高性能を達成した。

参考文献：I. Akita, K. Wada, and Y. Tadokoro, "Simplified Low-Voltage CMOS Syllabic Comanding Log Domain Filter," in Proc. 2007 IEEE Int. Symp. Circuits and Systems, pp. 2244-2247, May. 2007.

設計期間：3人月以上, 4人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数**：1,000以上, 10,000未満 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：アナログ (PLL, A-D/DC-DCコンバータなど)



素子値の広がり を低減した線形位相狭帯域通過フィルタと TEG

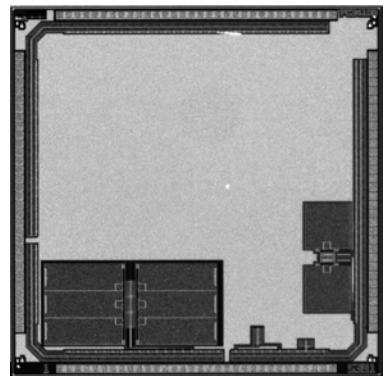
豊橋技術科学大学大学院工学研究科 久保 俊一

豊橋技術科学大学工学部 和田 和千

概要：中間周波数に用いられるフィルタは狭帯域であるため、従来の設計法では素子値の広がりが大きくなり、比精度の問題から実現が困難である。本研究では素子値の広がり を低減して実現精度を高める方法を検討している。フィルタには3次の低域通過フィルタをリープフロッグシミュレーションと低域帯域変換した、6次の帯域通過フィルタを用いる。素子値は、遺伝的アルゴリズムを用いて素子値の広がり が小さい組み合わせを探索する。探索した結果、従来の設計法では素子値の広がり が13000倍なるのに対し、遺伝的アルゴリズムを用いることで2700倍まで低減することができることを確認している。また、OTAの伝達コンダクタンスが大きくなるため、NautaのOTA回路 [1] を用いて積分器を構成している。動作確認のために中心周波数 10.8MHz, 3dB帯域幅 300kHz 20dB帯域幅 600kHz の特性を有する帯域通過フィルタを試作している。また、各種積分器、各種TEGも作成している。

参考文献：[1] Bram Nauta, "CMOS Transconductance-C Filter Technique for Very High Frequencies", IEEE J. Solid-State Circuits, vol 27, no.2, Feb. 1992.

設計期間：3人月以上, 4人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数**：1,000以上, 10,000未満 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：アナログ (PLL, A-D/DC-DCコンバータなど)



高速通信回路評価チップ

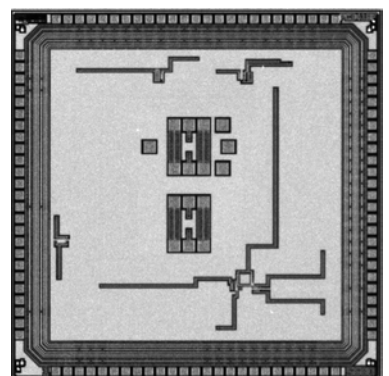
神戸大学大学院自然科学研究科 荻野 哲宏

神戸大学大学院工学研究科 永田 真

概要：本研究グループでは、携帯機器用途に適した高速・低消費電力なチップ間通信回路の実現を目指している。この通信回路はマルチレベル電流信号を用いるトランスミッタと低入力インピーダンスなI-Vコンバータを備えたレシーバにより構成され、ドライブ電流値の切り替えによりシングルビット幅を確定することでシンプルなクロックリカバリを行う。本試作チップではその両回路を設計・搭載し、チップ間でのデータ通信を行いその性能評価及び動作検証を目的としている。テストチップは評価済みであり、625Mbpsデータ伝送時において3mWの消費電力を達成した。

参考文献："A Low-Power Current-Mode Transceiver with Simultaneous Data and Clock Transmission at 625 Mb/s, 3 mW in 1.5 V for Mobile Applications," T. Ogino, T. Yoshikawa, M. Nagata, in Proc. IEEE Asian Solid-State Circuits Conf. 2007, pp. 160-163, Nov. 2007.

設計期間：1人月以上, 2人月未満 **設計ツール**：SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数**：1,000以上, 10,000未満 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：通信 (RF回路, ATMなど)



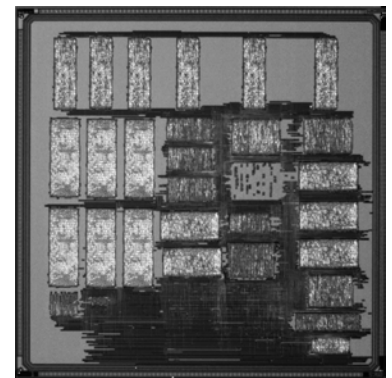
64ビットマルチスレッディングプロセッサ

早稲田大学情報生産システム研究科 木村 晋二, ザン チェンジエ

概要: 6個のスレッドを同時処理可能な64ビットサイマルティニアスマルチスレッドプロセッサの試作を行った。ハーバードアーキテクチャで、128ビットの命令キャッシュメモリへのデータバスと、64ビットのデータキャッシュへのデータバスを持つ。命令セットは独自で、45ビットの命令を3つパックして128ビットに圧縮する。命令キャッシュから読み出された命令は伸張され、キューに入れられる。7段のパイプライン構造で、命令フェッチが2段、命令デコードが1段、レジスタ取得が1段、実行が2段、ライトバックが1段である。実行モジュールは、ロード/ストア、ALU演算器、比較モジュール、ブランチで、これらを6個のスレッドがシェアする。実行モジュールを使用するスレッドの優先度はラウンドロビンで推移する。また、各命令にはPredicateレジスタを参照するフィールドがあり、参照先のPredicateレジスタが0ならば命令は実行されない。本試作では、命令イシュー部の動作確認を重視し、内部にキャッシュ用のレジスタを置き、キャッシュと外部とのIOはすべてシリアルで行った。

参考文献: Chengjie Zang, Shigeki Imai, and Shinji Kimura, "Issue Mechanism for Embedded Simultaneous Multithreading Processor," The 20th Workshop on Circuits and Systems in Karuizawa (KARUIZAWA-2007), pp.325-330, Apr. 2007.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** マイクロプロセッサ

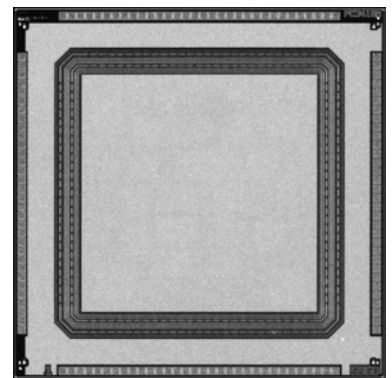


Switched Current 回路による信号処理回路

立命館大学理工学部 岡田 達也, 藤田 智弘

概要: 本ICはスイッチドカレント型回路の基本構造の性能を評価するTEGである。スイッチドカレント回路は、単純な構造によるスイッチドキャパシタのような動作をする回路である。回路性能として、スイッチ素子のチャネルチャージインジェクションによる精度面での問題が存在する。今回の試作では、回路面積と精度の関係、さらには、精度向上のための付加回路の性能の評価を目標とした。まず、チャネルチャージインジェクションの影響をみるため、最も基本的な構成の回路でスイッチ素子のサイズをいく通りかで設計し、出力誤差の大きさとの関係をみた。その結果、理論による見積もりと一致した精度が得られることを確認できた。さらに、チャネルチャージインジェクション軽減のための回路を付加したTEGも作成した。この回路は同じ構造のダミー回路を置き、出力はこれらの差をとることで誤差成分をキャンセルする。この回路では基本回路に比べ、1/3程度の誤差に減らすことが可能なことがわかった。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

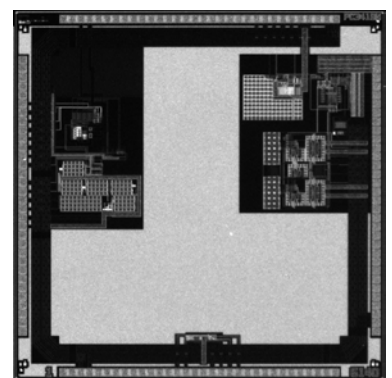


センサネットワークシステムの送受信ICの試作 RO1806_3

東京工業大学理工学研究所 高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン, 吉岡 正浩

概要: センサネットワークシステムの送受信ICの試作を行った。ここでは、300MHzの周波数帯を搬送波として用い、免許不要の微弱無線を用いている。本システムでは、BPSK変調を用いて2.5kbpsを目標としており、回路面積が小さいダイレクトコンバージョン方式を採用している。送信ブロックでは、センサからの入力電圧をアナログ-デジタル変換し、位相同期回路とデジタル回路を用いて変調を行い、パワーアンプで出力電力の調整と妨害波の抑制を行っている。位相同期回路(PLL)とアナログ-デジタル変換回路は、消費電力を少なくするために、それぞれチャージポンプ型PLLと10bitのサイクリック型ADCを用いている。受信ブロックでは、アンテナから受信した信号を低雑音増幅器で増幅し、クロックアンドデータリカバリ回路(CDR)を用いてデータを再生している。CDRは2乗回路、1/2分周器とD-フリップフロップを用いて構成され、位相同期回路を用いたCDRと比較して、低消費電力で構成できるのが特徴である。

設計期間: 10人月以上 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

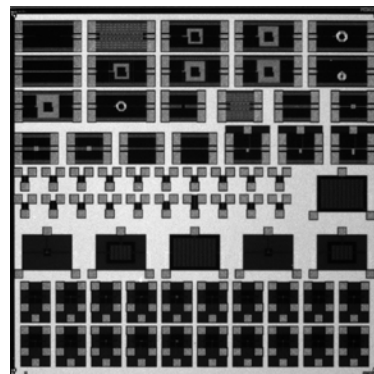


アナログデバイス評価 TEG

東京工業大学理工学研究所 倉科 隆, 坂口 広宣, 松澤 昭

概要: アナログ回路にとって、デバイス特性を如何に評価し利用するかが回路の性能を左右する。特に初めてのプロセスや、提示されていない特性を用いる回路設計を行う場合、TEGを作成し実測する必要がある。そこで本 TEG では基本的なパッシブデバイスとトランジスタの特性を確認する。内容としてはインダクタのインダクタンス値 Q 値, トランジスタの静特性の概略, バイポーラトランジスタの静特性の概略, 抵抗のミスマッチを測定するものである。このように新規性は含まれてはいないが、基本的な特性を実際のデータとして得るために必要な TEG を揃えた。これによりそのプロセスにおいて今後設計される回路やシステムの性能見積もり等の参考値とする

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** TEG (特性評価回路など)

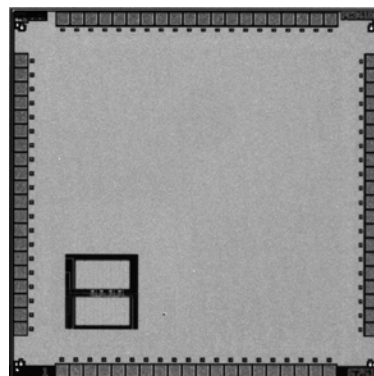


フィルタ

東京工業大学大学院理工学研究所 倉科 隆, 坂口 広宣, 松澤 昭

概要: 無線通信システムにおけるベースバンドフィルタの作成を目的としている。フィルタを適切な周波数特性で設計するためには、パッシブデバイス特に容量の特性を適切に利用することが必要になる。そのためシミュレーションだけでなく TEG を作成し実測から回路の特性を評価しなくてはならない。フィルタでも本 TEG では gm セルを用いた Gm-C フィルタである。また帯域通過フィルタを構成しており gm を調整できる機能を有する。gm セルは擬似差動と負性インピーダンスを用いて実現している。さらに素子感度の低いラダーフィルタを基にしているためジャイレータを実現し所望の周波数特性を得ている。本 TEG によりチューニングレンジを確認し、レンジを自動調整する機構の搭載が必要になる。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

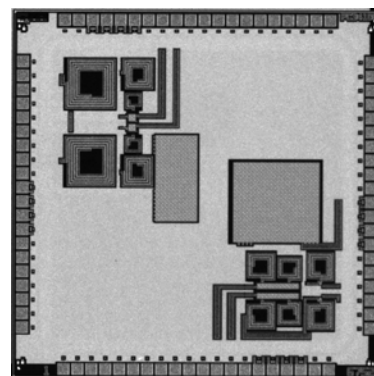


パワーアンプ

東京工業大学大学院理工学研究所 張 義偉, 倉科 隆, 坂口 広宣, 松澤 昭

概要: 無線通信において欠かすことの出来ない送信機はまだ発展途上にある。送信機の重要な要素のうちの1つであるパワーアンプに関してはデバイスに依存する所があり、設計を困難にしている。しかし無線通信においてパワーアンプの性能が通信効率を決定づける。さらに送受信一体の IC を作成する場合、パワーアンプの性能がチップ全体の構築に大きな影響を与える。そのためパワーアンプの最適設計は欠かすことの出来ないものとなっている。そこで本 TEG は、BlueTooth, Zigbee に代表される 2.4GHz 帯をそのアプリケーションとし、効率を考え AB 級パワーアンプの試作を行った。しかし本 TEG では目標とする出力パワーを得るには至っていないが、シミュレーションと実測の差を評価することが一つの課題でもある。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)

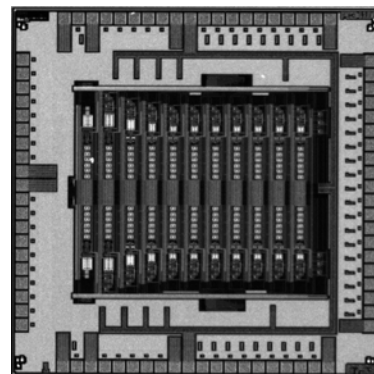


アナログ・デジタル変換器

東京工業大学大学院理工学研究科 白 戴和, 宮原 正也, 倉科 隆, 松澤 昭

概要: 無線通信システムにおいてADCはデジタルとアナログの橋渡しをする重要な要素である。無線通信システムにおいてADCの有効ビットとフィルタの次数は大きな課題である。本TEGではパイプライン型ADCを作成している。このADCは単位変換回路(stage)を縦続接続することで構成され、それぞれのstageはOPアンプ、コンパレータ、キャパシタ、スイッチで構成されており、その性能はOPアンプ回路によりほぼ決定される。そのOPアンプはフォールデッドカスコードをゲインブーストする構成とした。また1.5bit冗長構成を用いて、キャリブレーション用に2bit取り出せる構成となっている。教育用TEGであるため新規性や進歩性は有しない。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

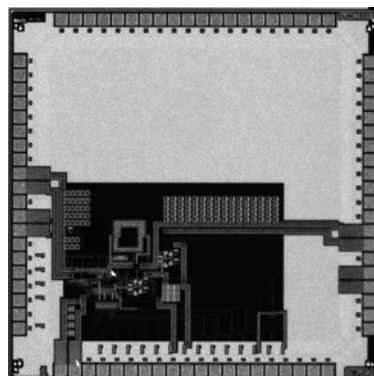


PLL

東京工業大学大学院理工学研究科 鄭 明奎, Chaivipas Win, 倉科 隆, 松澤 昭

概要: 無線機器に対する高速化や小型化, 低電力化, 低ノイズ化への要求はますます強まっており, UWBやBluetooth2などの新しい無線規格も出されている。特にPLLシンセサイザはその要求に答えられるような低電力で高速, 低ノイズでなおかつon chip (小型)可能なものである必要がある。PLLシンセサイザは入力の変化にLockするまで大きく変化する変動期と入力にLockしている安定期のまったく異なる2種類の状態が存在する。それぞれの状態に最適な設計をするにはトレードオフ関係にあり, 一つのループで制御するため高速化や小型化, 低ノイズ化を困難にする。そこで本TEGは新たな構成を用いたPLLシンセサイザを検討しており, デルタ・シグマ変調により制御している

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

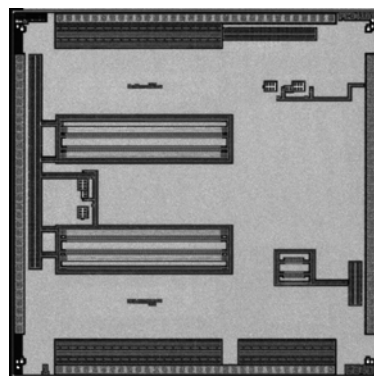


フラッシュADC搭載アナログ回路検証用チップ

慶應義塾大学理工学部 森本 一毅, 佐藤 大祐, 中野 誠彦

概要: 本試作では, アナログ信号をデジタル化するための手法を検討した。今回はアーキテクチャがシンプルな構成であるフラッシュ型ADCの設計を行った。精度は4bit, 7bitのものを設計した。さらにコンパレータ単体のIPを搭載し, アナログ・デジタル混載型ICを想定してVCOを基本としたデジタル回路も搭載した。特にデジタル回路で生成されたノイズ波形が同一基板上的アナログ回路側に伝搬する基板ノイズの問題を検証することを想定した。測定した結果, コンパレータ単体での動作において100mV程度の精度誤差が生じてしまった。この問題はパッケージされたチップで測定した場合だが, ベアチップの測定を行うことで誤差は数mVに抑えることができた。7bit程度のADCを想定するとさらなる測定環境のブラッシュアップが今後の課題である。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

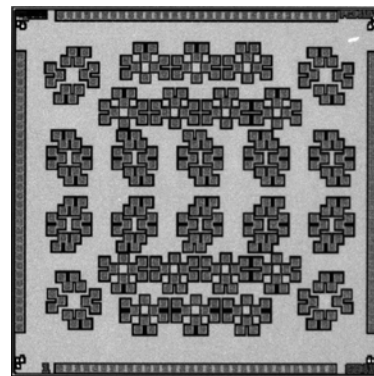


低消費電力を目的とした制御電源線付き SRAM 回路の試作チップ

慶應義塾大学理工学部 山崎 博孝, 中野 誠彦

概要: 本試作はトリプルウェル内に作成した SRAM のソース電圧, RW 内のウェル電位を制御することで低消費電力化を目指している。待機時には基板バイアス効果によって MOS の閾値電圧を下げ, さらにドレインソース間電圧を減少させ, メモリセル内のリーク電流を減少させ低消費電力化を行っている。また, 動作時には逆に基板バイアス効果によって MOS の閾値電圧を下げ, ドレインソース間電圧を増加させ, MOS の駆動力を上げ動作速度を向上させている。本試作ではこのような SRAM セル一つ一つの動作を検証するために SRAM セル単体と書き込み回路と読み込み回路を搭載している。また, 動作検証を行うためのデバック回路や比較実験を行うために条件を変更した回路も搭載した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ



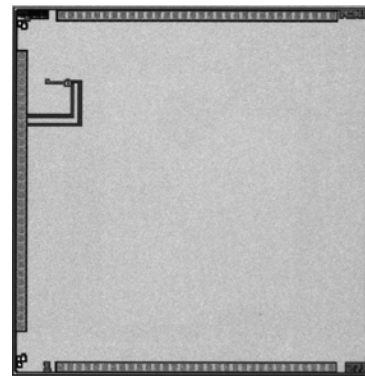
0.18 μ m CMOS ASIC

東京大学工学部原子力国際専攻 石 伯軒, 藤原 健, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要: We have been designing ASIC chips with 0.18 μ m Rohm CMOS process since 2006 September. Our purpose is to use ASIC for front-end electronics of nuclear measurement and imaging such position emission tomography (PET). Four chips have been submitted by now and all of them are shared by several colleagues in my laboratory. In September 2006, I have designed a charge sensitive preamplifier in the first chip. The preamplifier has used both NMOS and PMOS transistors as well as capacitors. The function of this charge sensitive preamplifier is to convert charge signal to voltage signal while noise performance and response speed are the key factors. Later in November 2006, we have submitted another ASIC chip. In this chip, I have implemented variable gain amplifier (VGA) and digital to analog converter (DAC), both of which requires large value resistors and switch. I have adopted N-well resistor for the simple layout and NMOS transistor as the switch. In March 2007, we have designed another chip. At this time, we have mainly fixed the design and layout mistakes of the first 2 chips. I have revised the charge sensitive preamplifier with NMOS capacitor and VGA with poly resistors. Meanwhile, I have added various resistors to test their characteristics especially linearity. Last submission was in 2007 October, I have revised the charge sensitive preamplifier again to include an internal bias circuit. This design is close to prototype design. Right now, we are testing all chips we have received. We look forward to implementing a full mixed signal ASIC chip for our application soon.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



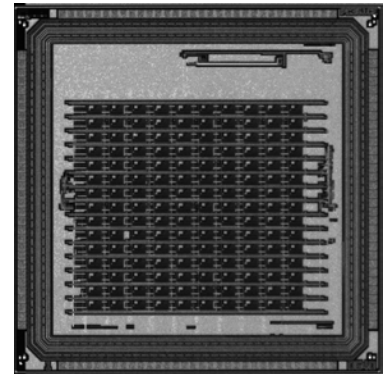
平成19年度第1回ローム CMOS 0.18 μ m試作 (RO18071)

ばらつき評価, 基板バイアス評価 TEG その2

京都大学情報学研究科 関良平, 寺田晴彦, 小林和淑, 小野寺秀俊
京都大学工学部 五嶋宏通

概要: 多数のリングオシレータを集積し, それぞれの発振周波数の変動を測定する回路, 基板バイアスを加えることで, 動作速度を変化させ, ばらつきの補正を行なう回路の2種類を搭載した. 段数, セルの駆動力, セルの種類などを変えたリングオシレータを一つのマクロとし, そのマクロを15x10のアレイ状に配置してばらつきの測定を行なう. 基板バイアスによるばらつき補正回路では, 基板電位を制御するウェルコンタクトまでの距離により, セルの動作速度がどのように変化するかを測定することを一つの目的としている. 前年度にテープアウトしたデータのIOの部分のみを入れ替えて, 正常にIOセルが嵌め込まれるようにした. テストの結果, 正常動作を確認した.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

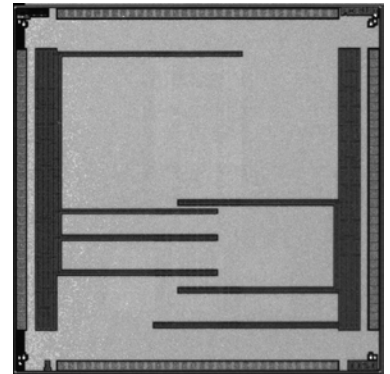


乱数発生回路

東京大学VDEC 名倉 徹

概要: LSI が我々の生活に不可欠なモノになるにつれ、その安全性が重要になってきている。特に、重要情報がネットワークを通じて通信される場合には、暗号技術によってその内容を第三者に見られないようにする必要がある。暗号アルゴリズムには様々な手法があるが、共通する要素として「安定した」乱数が必要になる。すなわち、どのような堅牢な暗号アルゴリズムであっても、その鍵を生成する種となる乱数が規則的なものであれば、暗号は破られてしまう。予測不可能な ZERO/ONE の数列を発生させ、それをもとに鍵を決定する必要がある。本回路では、暗号技術の一要素である乱数発生回路に関して、トランジスタの出す熱雑音・ショットノイズ・1/fノイズを増幅させることで、予測不可能な電位を生成し、それを一定周期のクロックでラッチすることにより乱数を発生している。この回路をもちいることにより、「white」な ZERO/ONE の乱数を発生させ、堅牢な暗号システムを形成することを目的としている

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

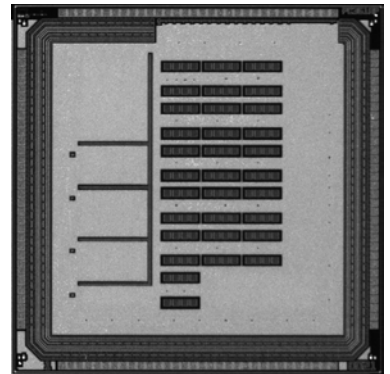


イメージセンサ TEG

東京大学工学部 萬代 新悟

概要: これまでのプロセスのフォトダイオードと 180nm プロセスのフォトダイオードを比較するために、さまざまなレイヤを用いたフォトダイオードや面積を変化させたフォトダイオード、また、対数変換型を含むさまざまなピクセル回路を作成した。比較する点はフォトダイオードの感度や波長特性、ピクセル回路におけるリセット後の時間方向での電圧変化や様々なりセット電圧に対する時間方向での電圧変化率である。これらを測定することにより、どのレイヤでどの波長のレーザにもっとも感度よくフォトダイオードが反応するかを確かめることが出来る。また測定したフォトダイオードの特性からこれまでの研究室で作られたスマートイメージセンサの修正すべき回路、利用できる回路を選別でき、次回以降のスマートイメージセンサ作成に役立つ。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

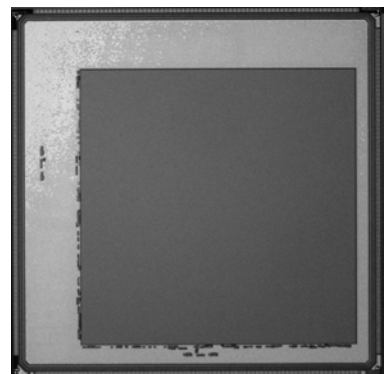


CMOS IMAGE SENSOR FOR AMBIENT LIGHT SUPPRESSION BY MEANS OF CURRENT - MODE PIXEL CIRCUIT

東京大学工学系研究科 BASCI Caner

概要: このチップは、新しい電流モード背景光除去機能を備えた CMOS イメージセンサを試作したものである。光切断法を用いた三次元映像の撮影においては、撮影環境における背景光が撮影の際に用いるシート光に及ぼす悪影響を除去することにより、明るい環境での撮影や、強度の弱いシート光を用いての撮影を行う事が可能になる。背景光の除去はイメージセンサのピクセル回路内で1ピクセルを単位として行われ、この CMOS イメージセンサの解像度である 256 \times 256 個の全てのピクセル回路は、フォトダイオードの他に背景光電流を記憶するスイッチ型カレントメモリー、減算回路、電流-電圧変換回路を備えている。シミュレーションを行った結果によると、背景光電流を記憶するカレントメモリーの記憶誤差は1%以下であり、背景光が強い条件の場合には99%以上の効率で除去が可能であることを確認した。また、このイメージセンサの背景光除去の性能を示す SBR (Signal to background Ratio) は-32dBであり、既存の同様な機能を備えたイメージセンサよりも優れた性能を示している。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

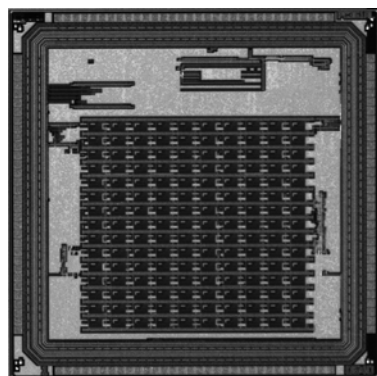


ライブラリ評価, ばらつき評価, 基板バイアス評価 TEG

京都大学情報学研究所 関良平, 寺田晴彦, 小林和淑, 小野寺秀俊
京都大学工学部 牧野 紘明

概要: 多数のリングオシレータを集積し, それぞれの発振周波数の変動を測定する回路, 基板バイアスを加えることで, 動作速度を変化させ, ばらつきの補正を行なう回路を搭載した。それらに加えて, 前年度試作したにもかかわらず, IO セルの不具合で動作しなかったライブラリ検証を目的とした回路も搭載した。段数, セルの駆動力, セルの種類などを変えたリングオシレータを一つのマクロとし, そのマクロを 15x10 のアレイ状に配置してばらつきの測定を行なう。基板バイアスによるばらつき補正回路では, 基板電位を制御するウェルコンタクトまでの距離により, セルの動作速度がどのように変化するかを測定することを一つの目的としている。テストの結果, 加算器が動作しないものの, ほぼ正常動作を確認した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



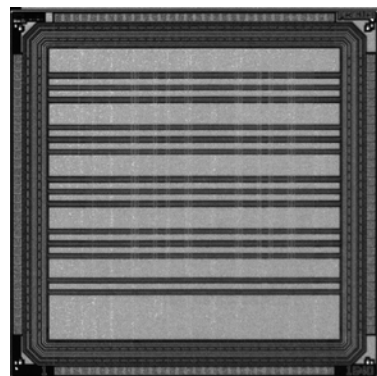
論理回路として動作するメモリのプロトタイプ設計

広島市立大学大学院情報科学研究科 吉原理記, 平川直樹, 谷川一哉, 弘中哲夫

概要: 近年, 幅広い分野で利用されている FPGA (Field Programmable Logic Device) などに代わる新たな再構成型デバイスとしてメモリベース論理回路 (MPLD) を提案した。MPLD は LUT (Look-Up Table), スイッチ信号, メモリとして機能する MLUT を基本要素とし, 隣接した各 MLUT を相互に接続して構成される。この構成により, 従来 FPGA において面積の大部分を占めるスイッチ要素が不要となる。MPLD はコンフィギュレーションにおいてその方法が通常のメモリへの書き込み操作と同様なため高速なコンフィギュレーション速度を実現し, 特に部分再構成能力に優れている特徴を持つ。MPLD の詳細な評価を行うためにプロトタイプ版の試作を行った

参考文献: 吉原理記, 平川直樹, 谷川一哉, 弘中哲夫, 佐藤正幸, ”再構成デバイスとしても動作するメモリ (MPLD) の一実装例 (リコンフィギュラブルアーキテクチャ 1)”, 電子情報通信学会技術研究報告 RECONF2007-16, pp.7-12, 2007 年

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** ニューテクノロジー

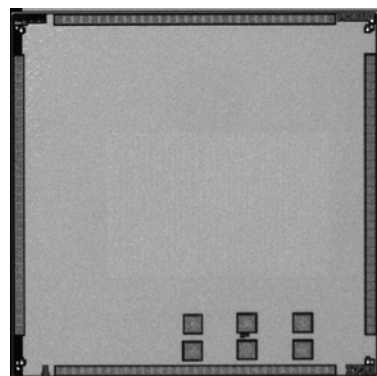


断熱的加算器と消費電力測定用回路とメモリのデコーダ

横浜国立大学大学院工学府 生田浩康, 山田日登美, 吉川信行

概要: SFQ/CMOS システムのメモリ用のデコーダ回路の一部。手作業のボンディング用に大きいパッドがつけられている。ベアチップでは動作の確認がされている。断熱的パストランジスタ論理回路を用いた回路の動作確認。pal4n と cap1 で多段接続された 2bit 加算回路。前回までのレイアウトのミスはすべて修正され, 正常動作の確認がされている。消費電力測定用の大規模回路は前回よりも集積されており断熱的回路の 4 入力 and ゲートが約 4000 ゲートのせられている。pal4n をラッチとして用いた 4bit 加算回路。今までの 4bit 加算回路内のレイアウトのミスは修正されている。ラッチの駆動力が弱いために目的の動作周波数では動作していないが低速では動作確認ができています。

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



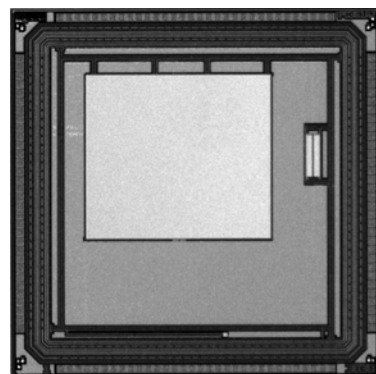
遅延保障フリップフロップ検証用回路

東京大学情報理工学系研究科 廣瀬 健一郎, 坂井 修一

概要: タイミングエラーに対する耐性を高めたフリップフロップの動作検証用回路。素子性能のばらつき、動作環境の変動などによって演算処理の過程で発生する可能性のある、過大な遅延・過小な遅延・過渡的なノイズによる誤動作などによる誤動作を検出し自己修復するようなフリップフロップを設計・実装した。本フリップフロップは、通常のフリップフロップに加えて、信号が遷移するタイミングを監視する機構と、それに基づいて、誤作動を避けるため入力データの保持を確定するタイミングを調整する機構を備えている。本チップには、当該フリップフロップ単体の動作確認用の回路と、該フリップフロップにデータを供給するための簡単な演算回路などを作製している。

参考文献: K. Hirose, Y. Manzawa, M. Goshima, and S. Sakai "Delay-Compensation Flip-Flop with In-situ Error Monitoring for Low-Power and Timing-Error-Tolerant Circuit Design" JJAP, Vol. 47, No. 4 2008

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ

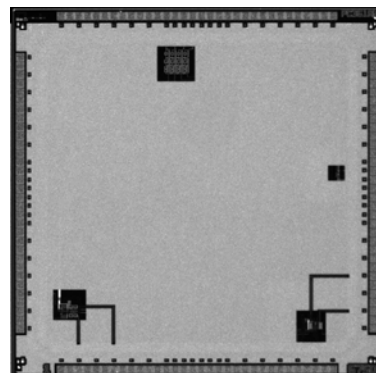


デジタル・アナログ変換器

東京工業大学大学院理工学研究科 Ito Robert, 倉持 泰秀, 倉科 隆, 松澤 昭

概要: 通信システムにおいてデジタル・アナログ変換器は10bit精度以上、数十MHz以上の変換速度が要求される。その性能を満たすため、現在電流型デジタル・アナログ変換器が広く用いられている。電流型デジタル・アナログ変換器の精度は電流源を構成する素子のミスマッチにより制限される。そのため高精度を得るためには素子の面積を大きくし、バラツキを抑制しなければならない。一方、面積を大きくすると素子の寄生容量や配線容量が増大する。その結果、変換速度が要求を満たせない。さらに面積の増加は製造コストの高騰に向かう。従って、電流型デジタル・アナログ変換器の面積を最適にするため本TEGでは、モンテカルロシミュレーションにより電流源等のトランジスタサイズを決定した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

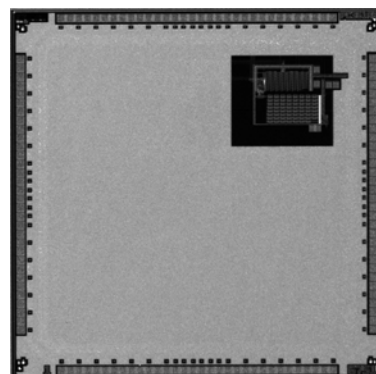


VGA

東京工業大学大学院理工学研究科 倉科 隆, 坂口 広宣, 松澤 昭

概要: 無線通信において可変利得増幅器 (VGA) はアナログ・デジタル変換器の入力レベルの範囲に入るように信号レベルを調節する役割を担っている。特に携帯電話をはじめとしてTVチューナーなどは受信器として過大な入力信号や極小な入力信号を扱わなければならない。そこからアナログフロントエンドは処理をしてデジタル値を出力しなくてはならない。そのため可変利得増幅器は大変重要な構成要素の一つである。本TEGは、後段に繋がると想定されるアナログ・デジタル変換器の入力レンジに適した信号が入力できるよう離散的に利得を切り替えるものである。本TEGは新規性や進歩性は有しないがチューニングレンジを確認し、その知見を元に自動調整する機構等を検討する。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

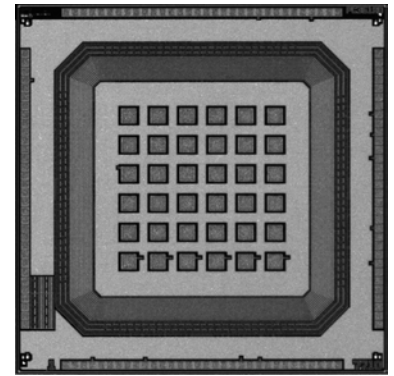


リングオシレータ

東洋大学工学部 堀口 文男

概要: 1. 目的通常のリングオシレータを Deep-n-well, p-substrate の順で囲むと p-well がフローティング状態となる。これに負電圧を印加することにより nmos トランジスタに対して回路ブロックごとに個別の基板バイアスを印加できる。これを利用して LSI の低消費電力化を実現するための方法を探る。2. 方法各測定は 151 段のリングオシレータを用いて行う。実測には通常のリングオシレータとフローティング構造のリングオシレータを用いる。通常のリングオシレータの断面構造では p-substrate が隣の p-well と連結した構造となるために回路ごとに nmos への独立した基板バイアスの印加はできない。しかし、フローティング構造のリングオシレータは p-well が Deep-n-well で囲まれている為、通常のリングオシレータと違い nmos に他の回路ブロックとは独立して基板バイアスを印加することが可能となっている。3. 結果電流値における通常のリングオシレータ、フローティング構造のリングオシレータの実測値とシミュレーション結果の比較を行い、シミュレーション結果と実測値はよく一致するということが、nmos に印加した基板バイアス効果による電流制御が行われていることが確認できた。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



オンチップ太陽電池と光センサへの応用

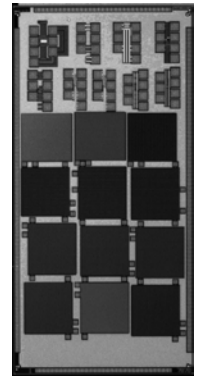
東京大学 VDEC 高宮 真

東京大学国際産学共同研究センター 桜井 貴康

概要: ワイヤレスセンサネットワークのノード向け LSI をメンテナンスフリーで動作させるための課題の一つが電力供給方法である。電力供給として、LSI と外付けの電池の組み合わせが考えられるが、実装コストが課題である。そこで、LSI に集積する電力供給手段としてオンチップ太陽電池に注目した。バルク CMOS プロセスでオンチップ太陽電池の設計・評価を行った。また、この太陽電池を用いた光センサを提案し、設計・評価を行った。光センサは、オンチップ太陽電池に CMOS リングオシレータを接続することにより、光量を発振周波数に変換する光センサとして機能する。今回は、太陽電池とリングオシレータは別チップに作製し、オフチップで接続した。光強度が最大の 24400 lux の場合、発電量は 3.50 μ W/mm²であった。光強度に対する太陽電池の発電量は比例関係であることを確認した。バルク太陽電池の発電量は SOI 太陽電池の 33.5 倍であることが分かった。これはバルクと SOI の pn 接合面積の違いに起因していると考えている。

参考文献: 柳 至善, 新山太郎, 高宮 真, 桜井貴康, "バルク CMOS プロセスで作製したオンチップ太陽電池の SOI との比較と光センサへの応用," 電子情報通信学会総合大会, C-12-26, 北九州, 2008 年 3 月

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** ニューテクノロジー



生体信号処理用低電圧アナログ CMOS 回路

熊本大学大学院自然科学研究科 井上 高宏, 山川 俊貴, 中島 晃, 原田 真行, 池田 康浩,
松尾 雅文

概要: 当研究室では, 病気の発生・メカニズムの解析および新薬の開発などを目的とした, 遺伝子改変マウスの心拍数・体温・呼吸音の計測および個体識別の行なえる生体植え込み型超小型スマート RFID タグの設計・開発を行なっている. そこで, スマート RFID タグに内蔵して, 心音・呼吸音・体温などの生体信号処理を行なう小型低電圧低消費電力 CMOS 集積回路の実現を目的として, 心音検出回路, 任意判定レベル発生回路, 参照電圧源, AC-DC 変換回路, FSK 変調回路を設計した. チップには各要素回路の TEG をのせた. テスタによる測定は行った.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

個体識別用低電圧アナログ CMOS 回路

熊本大学大学院自然科学研究科 井上 高宏, 山川 俊貴, 中島 晃, Timischl Felix,
田中 麻子, 榎永 大輔, 山城 昌雄

概要: 当研究室では, 病気の発生・メカニズムの解析および新薬の開発などを目的とした, 遺伝子改変マウスの心拍数・体温・呼吸音の計測および個体識別の行なえる生体植え込み型超小型スマート RFID タグの設計・開発を行なっている. そこで, スマート RFID タグに内蔵して, 個体識別などの信号処理を行なう小型低電圧低消費電力 CMOS 集積回路の実現を目的として, リング発振器, 弱反転リング発振器, 23bit カウンタ, クロック再生回路, 個体識別コード認識回路を設計した. チップには各要素回路の TEG をのせた. テスタによる測定は行った.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

光通信用センサおよび信号処理回路

慶應義塾大学理工学部 青野 聖, 松本 佳宣

概要: 0.18 ミクロンプロセスを用いて TEG 用のゲイン, 周波数特性の異なるいくつかの演算増幅器を考案して設計した. また, 光通信用にトランスインピーダンス回路, バッファ回路などを設計した. トランスインピーダンス回路に必要とされる抵抗は高抵抗の Hi-PolyR 抵抗を利用して, 回路構成としてレギュレイトッドカスコード構成をとり, 低入力インピーダンスと広帯域, 高変換ゲインの両立を図った. この際に, 抵抗の値や回路のトランジスタ比を変化させた複数のデザインを行った. さらに, 0.18 ミクロンプロセスを用いたフォトトランジスタの応答感度, 周波数特性を評価するために, 異なるレイアウトのフォトトランジスタと, トランスインピーダンス回路との一体化したフォトトランジスタを設計した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

擬似的な不規則画素配置を持つ CMOS イメージセンサ

金沢大学工学部 秋田 純一, 野手 翔太

概要: 通常のイメージセンサの受光素子であるフォトダイオードは、正方格子状に配置される。これは設計と画素信号読み出しの容易性のためであるが、特に水平に近い傾きの斜め線において、数画素おきにギザが生じる。このギザの目立ち方は、傾き、すなわち直線の傾きによって異なるという方向特異性をもつため、画像の精細さを欠く原因となるが、多画素化によっては根本的には解決することができない。我々は、画素中の受光素子の配置そのものを見直し、その画素中での配置を4種類から無作為に選ぶような構成をとることで、受光面全体としては、受光素子の配置が擬似的に不規則となる構成をとる CMOS イメージセンサを検討した。この画素配置により、光学的特性のシミュレーションでは、方向特異性を著しく改善することが可能であることが示されている。本試作では、従来型の正方格子状配置の 128×64 画素と、擬似的な不規則画素配置の 128×64 画素の2種類の CMOS イメージセンサを設計した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

生体信号センシングのための低ノイズ増幅回路

慶應義塾大学理工学部 横山 祐介, 山口 昌也, 中野 誠彦

概要: 本試作では神経細胞の発する微弱な生体信号をセンシングするための手法を検討した。神経細胞の生体信号はおよそ 20kHz までの低周波であり今回想定しているセンシング方法では振幅は数百 μV 程度であるため CMOS プロセスで発生する $1/f$ ノイズの影響を強く受けることとなる。そこでまずは大きな入力信号で測定を行うことを想定し、入力を抵抗ラダーで減幅しソースフォロア回路で受けた後、増幅器の前後にチョッパ回路とよばれる周波数変換回路を採用することによりノイズ信号と増幅信号の周波数を分離し、ノイズ抑えたまま微小信号を増幅することを目標としている。周波数変換をスイッチを用いて行うために発生してしまう高周波ノイズを周波数再変換後に低減させるため最終段に大きな LPF を載せる必要がありそのための容量が面積の大部分を占めることとなった。各回路要素ごとの動作検証のためのデバッグ回路や、内部で発振させた微小信号を入力として扱う増幅回路も載せてある。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

画素時間差分情報の膨張処理を用いたアナログ動体検出回路

東京大学大学院新領域創成科学研究科 仁木 祐介, 柴田 直

概要: 動画処理は計算量が膨大となるため、ハードウェア実装による高速化が欠かせない。動画処理では、まず動体の位置を見つける必要がある。本試作ではアナログ回路を用いた動体検出機能の実装を行った。まずフレーム差分により画素時間差分情報を取得し、適応的な閾値による二値化を画素並列に行う。この値（動きビット）を行および列ごとに数え上げてヒストグラムを生成し、再度二値化することで動体の位置検出を行う。画素時間差分情報を二値化するための閾値の決定が最も重要だが、「OR増幅」という新たな概念を導入し、動体由来の動きビットは背景由来のものと現れ方が異なる性質を用いて閾値を適応的に定める手法を考案した。本チップは64x64画素のフォトダイオードを搭載し、数ms程度で画像を取り込める。各画素のフレーム差分はバンプ回路を用い、コンパクトに実装した。バイナリ値の数はフローティングゲート MOS 技術を用いた加算で実現し、消費電力を低く抑えた。なお、本チップは入出力バッファの配線を誤ったため、正しく測定することができなかった。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

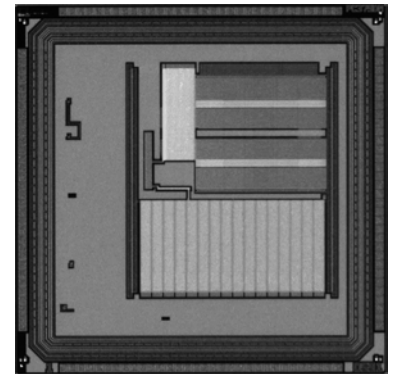
**アナログ動体検出TEG用回路&1c1kPPEDベクトル生成回路**

東京大学大学院工学系研究科 中川 琢規

東京大学大学院新領域創成科学研究科 仁木 祐介, 柴田 直

概要: 本チップは2つの異なる目的で回路を実装した。一つ目は、アナログ回路を用いた高速な動体検出機能の実装である。まずフレーム差分により画素時間差分情報を取得し、適応的な閾値による二値化を画素並列に行う。この値（動きビット）を行および列ごとに数え上げてヒストグラムを生成し、再度二値化することで動体の位置検出を行う。画素時間差分情報を二値化するための閾値の決定が最も重要だが、「OR増幅」という新たな概念を導入し、動体由来の動きビットは背景由来のものと現れ方が異なる性質を用いて閾値を適応的に定める手法を考案した。二つ目は、本研究室の連想プロセッサをベースとした実時間画像認識VLSIシステム構築である。特徴ベクトルであるPPEDベクトルを実時間で生成可能なプロセッサを開発した。本設計では、エッジ情報をSRAMメモリに保存させることでエッジ情報を有効に活用し、演算部でベクトル情報を再利用させることで効率的なベクトル生成を実現した。なお、本チップは入出力バッファの配線を誤ったため、正しく測定することができなかった。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

**Smooth Optical Flow 計算回路**

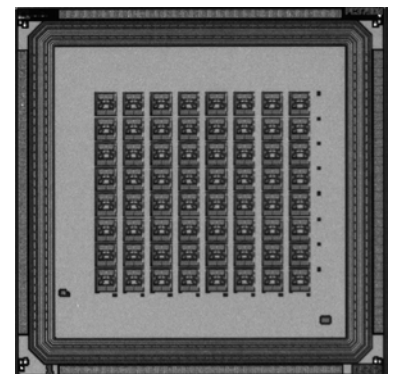
東京大学大学院工学系研究科 馬 文静, 姜 璟熙

東京大学大学院新領域創成科学研究科 柴田 直

概要: 動物体の動きベクトル (optical flow) を求めることによって、動きの方向と大きさを知ることができる。Normal optical flow の計算では、動きベクトルの計算に局所的な画像の輝度値情報しか使わないため、aperture問題が存在し、求めた動きベクトルが正確性に欠けるといった問題がある。この問題を回避するために、smooth optical flow のアルゴリズムが [1] で提案され、ハードウェア実装が行われた。本チップでは、最終の計算結果の信頼性を高めるために、smooth optical flow の計算において最も重要な乗算部分に、本研究で新しく提案する広い線形レンジを持つ乗算器を適用した。原理検証のために、8x8ピクセルのテスト回路を実装した。本チップはI/Oバッファへの電源接続の仕方を誤ったため、測定による動作は確認できなかった。

参考文献: [1] A. Stocker and R. Douglas, "Computation of smooth optical flow in a feedback connected analog network", Advances in Neural Information Processing Systems 11, 1999, MIT Press, pp. 706-712.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Avanti社 Star-HSPICE **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

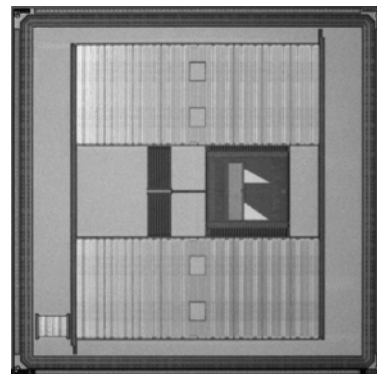


方向性エッジヒストグラムマッチングを用いた実時間動き場生成プロセッサ

東京大学大学院新領域創成科学研究科 藤田 和英, ハオ ジャ, 岡野 祐太, 柴田 直

概要: 動画の各フレーム中の物体の動きの検出は, その動きの認識をするために重要であるが, 一般的に計算コストが高く, 専用のハードウェアによって高速化するメリットが大きい. 本試作では, 動き検出の中でも精度が高いが, 特に計算コストの高いブロックマッチングを方向性エッジのヒストグラムマッチングによって行い, 物体の動きの大きさと方向を検出することのできるプロセッサを開発した. 各フレームのエッジデータを領域で規則的に分割し, 複数のオンチップメモリに保存することで, ブロック内のデータを1クロックサイクルで読み出してくることができ, さらに差分絶対値和演算, 最小値探索を並列に実行することで, 1クロックサイクルにつき任意の1箇所の動きベクトルを求めることが可能である. 本チップはI/Oバッファへの電源接続の仕方を誤ったため, 測定による動作は確認できなかった.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Avanti社 Star-HSPICE, Synopsys社 Nanosim, Hercules, Star-RCXT **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



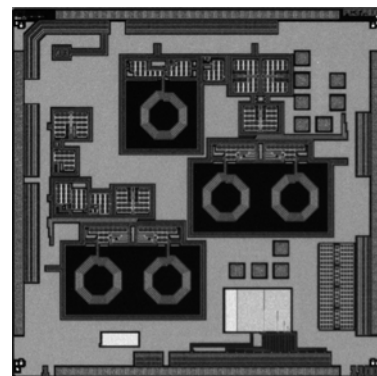
空間多重通信方式に用いるBPSK送信機の試作

金沢大学大学院自然科学研究科 早瀬 佳, 中野 伸吾, 牧野 良成, 藤枝 茂

金沢大学工学部 秋田 純一, 北川 章夫

概要: 空間多重通信方式に用いるBPSK送信機の試作を行った. 設計回路はPA, VCOから構成される. PAは線形性重視のA級増幅器, VCOはクロスカップル構造を持つPMOS構成とした. BPSKの送信信号の切り替えは, VCOの差動出力を切り替えることによって実現し, そのBPSK切り替えスイッチ単体も搭載し, スイッチングと周波数特性を測定できるようにした. 今回は完全動作を目的とし, PAの利得や, VCOの発振周波数等に余裕を持たせチップ外から調節できるようにし, VCO回路単体とバラクタTEGも載っている. また, 送信機とは別にDACと電源回路も載せてある. 現在評価中である.

設計期間: 10人月以上 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 Design-Compiler, Cadence社 Encounter, Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



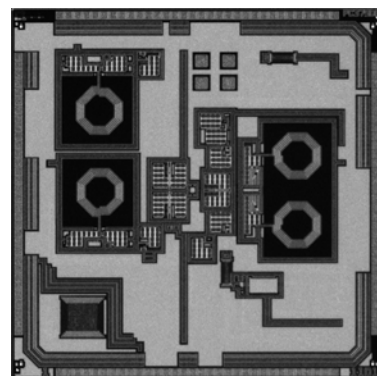
空間多重通信方式に用いるBPSK送信機の試作

金沢大学大学院自然科学研究科 早瀬 佳, 中野 伸吾, 牧野 良成, 藤枝 茂

金沢大学工学部 秋田 純一, 北川 章夫

概要: 空間多重通信方式に用いるBPSK送信機の試作を行った. 設計回路はPA, VCO, PLL, $\Delta\Sigma$ モジュレータから構成される. PAは線形性重視のA級増幅器, VCOはクロスカップル構造を持つPMOS構成, PLLはチャージポンプを用いた電流出力型, $\Delta\Sigma$ モジュレータは3次MASH型とした. PSKの送信信号の切り替えは, VCOの差動出力を切り替えることによって実現し, $\Delta\Sigma$ モジュレータでPLLの分周器の分周数を変えることによりFSKにも対応可能である. 今回は完全動作を目的とし, PAの利得や, VCOの発振周波数等に余裕を持たせチップ外から調節できるようにし, PAとPLLの回路単体も載っている. 現在評価中である.

設計期間: 10人月以上 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 Design-Compiler, Cadence社 Encounter, Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

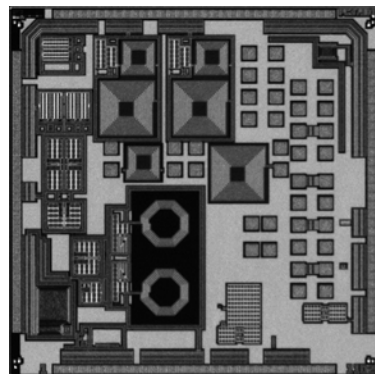


空間多重通信方式に用いる BPSK 受信機の試作

金沢大学大学院自然科学研究科 早瀬 佳, 中野 伸吾, 牧野 良成, 狩野 孝太, 藤枝 茂
金沢大学工学部 秋田 純一, 北川 章夫

概要: 空間多重通信方式に用いる BPSK 受信機の試作を行った。設計回路は LNA, MIXER, VCO, PLL, $\Delta\Sigma$ モジュレータから構成される。LNA はカスコード構成, MIXER はダブルバランスミキサ, VCO はクロスカプル構造を持つ PMOS 構成, PLL はチャージポンプを用いた電流出力型, $\Delta\Sigma$ モジュレータは 2 次 1 次を組み合わせた 3 次 MASH 型とした。今回は完全動作を目的とし, VCO の発振周波数に余裕を持たせた。また, チップ外から MOS バラクタへのチューニング電圧を変化させる事で発振周波数を調節できるようにし, LNA と MIXER の回路単体と LNA で使用したインダクタの TEG も載っている。現在評価中である。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 Design-Compiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



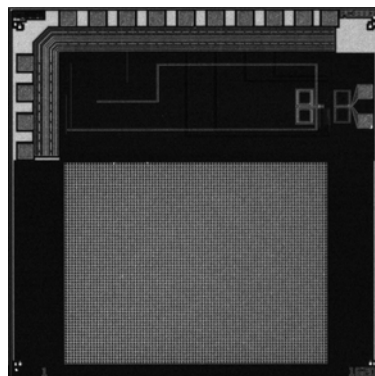
デジタル補正つき低消費電力サイクリック形 A/D 変換器

広島大学大学院先端物質科学研究科 池田 徹朗

概要: ゲイン誤差の補正を目的に, 異なる変換経路をもつ 2 つの A/D 変換器に同一入力を与え, 2 つの変換コードが等しくなるように補正するデジタル補正法を導入した。本方式は, 変換後のコードをデジタル回路もしくはソフトウェアでオンライン, バックグラウンドで補正できるため, アナログ回路の補正は必要ない。また, 低消費電力化のため, サイクリック A/D 変換器を縦続接続することで, 単位回路の動作速度を低くするとともに, 容量値, アンプ等のパラメータを各段で最適化した。デジタル補正および縦続接続化により, 分解能 16bit, サンプリング速度 500kS/s, 消費電力 20mW の動作を確認した。

参考文献: John McNeill, Michael Coln, Braian Larivee, "A split-ADC architecture for deterministic digital background calibration of a 16b 1MS/s ADC", ISSCC 2005

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

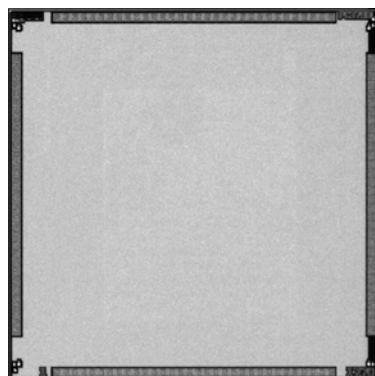


バックバイアスによる影響の測定用回路と駆動回路付きの断熱回路

横浜国立大学大学院工学府 生田 浩康, 山田 日登美, 吉川 信行

概要: リーク電流の減少のためにバックバイアスで閾値電圧を上げた時の動作を調べるための PMOS, NMOS, トランスミッションゲート. pal4n で多段化した 2bit の加算回路と FA. リーク電流を抑えるためのバックバイアス制御をできるようにバイアス用は別々にしている。ラッチの駆動力を強化し高速で動作させられるようにした 2bit の加算回路。これもバックバイアス制御をできるようにしてある。正弦波から断熱回路を駆動するクロック生成する回路。クロック生成回路付きの 4bit 加算回路であるがレイアウトのミスのためキャリアの信号が入力できず, 正しく動作しない。断熱回路の消費電力測定用の回路は駆動回路付きであり, 規模は前回と同様の 4000 ゲートである。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

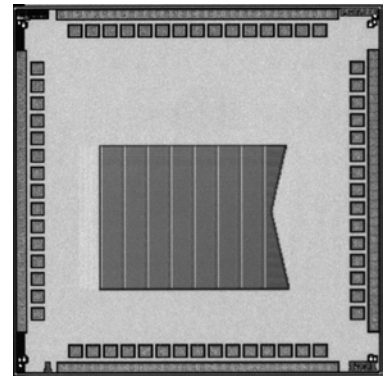


SFQ/CMOSハイブリッドメモリシステム用メモリ

横浜国立大学大学院工学府 岡本 悠史, 河合 宣彰, 吉川 信行

概要: SFQ/CMOSハイブリッドシステム用のメモリをRohm0.18 μ mプロセスを用いて設計した。差動アンプはこのチップではまだ設計できなかったため、今回はメモリ部分のみとなる。0.35 μ mプロセスの時とデコード方法を、分割してデコードする方法に変えたため多少違う構成になっている。また、前回レイアウトミスがあったリングオシレータも載せた。メモリに関してはGNDと信号線が一緒になるというレイアウトミスが発覚したため、測定は行っていない。リングオシレータに関しては測定を行ったが、どれに対しても良好な結果は得られなかった。これは、出力段に出力バッファを付け忘れたため電流量が足りず測定系を駆動させることができなかったためと考えられる。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

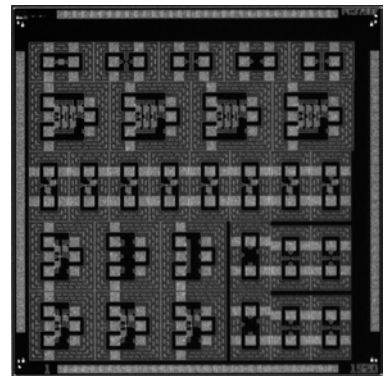


UHF帯RFID向け電源回路

東北大学大学院工学研究科 佐々木 敦史, 小谷 光司, 伊藤 隆司

概要: パッシブ型UHF帯RFIDは、リーダ/ライタから送信される微弱な電波から負荷回路の動作に必要な電力を得ることが必要である。そのため、電源回路には低電力入力時から高い効率で動作して、負荷回路の動作に十分な電力を供給できることが求められている。本試作では、複数のアーキテクチャにおいてトランジスタやキャパシタのサイズなどのパラメータを数種類設定した整流回路と、デエンベッドのためのダミー回路を試作し、各々のアーキテクチャおよびパラメータの違いによる電力変換効率やインピーダンスへの影響を実測して、その性能を評価・検討することを目的として設計・試作を行った。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

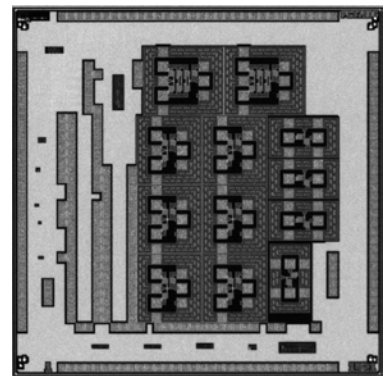


RFID向けデジタル制御内部クロック生成回路

東北大学大学院工学研究科 本田 将士, 佐々木 敦史, 小谷 光司, 伊藤 隆司

概要: RFID (Radio Frequency Identification) において、外部からの信号から内部クロックを生成するクロックリカバリが必要である。しかし RFID を低コスト化するために TFT (Thin Film Transistor) を用いると、その特性ばらつきが大きいため精密なアナログ制御が困難である。そこで TFT を用いた RFID では、安定したクロックリカバリを行うためにデジタル制御が有効であると考えられる。そこで本チップでは、TFT 技術を用いた実現を目指してデジタル制御発振回路、デジタル制御による周波数比較回路、制御信号決定回路により、短時間、高精度でクロック生成を可能とする RFID 向けデジタル制御内部クロック生成回路の試験的な試作を行った。さらにパッシブ型の RFID を想定しているため、内部の電源電圧の変動が考えられる。そのため電源電圧変動が生じて内部クロックの周波数が変動しないよう留意し設計を行った。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載

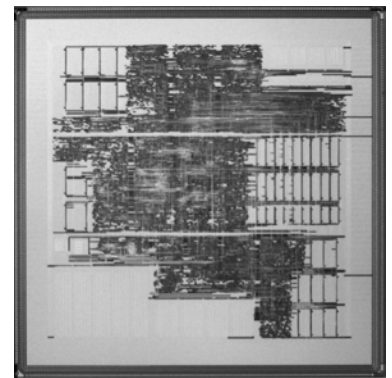


低遅延画像伝送システム向け 158 MS/s JPEG 2000 コーデック LSI の開発

金沢大学自然科学研究科 深山 正幸, 井家 佑介, 春日 隆文, 稲田 遼一, 松田 吉雄

概要: 現在, ユビキタスネットワークの発展により画像伝送の高画質・高精細化が要求されている。また, 双方向通信などでは低遅延性も重要である。これらの要求を満たす画像圧縮技術として JPEG 2000 が挙げられる。本研究では, JPEG 2000 の中で処理が複雑で演算量が多い EBC (Embedded Block Coding) 部について以下の新しい処理方式およびアーキテクチャを開発した。ビットプレーン並列方式とバス並列方式によりスループットを従来の 3×ビットプレーン枚数倍とした。ビットプレーンの並列処理を行いながら regular mode をサポートし, 高画質化した。投機的処理によってデコード時のスループットを 32% 向上させた。EBC および BPC (Bitplane Coder) アーキテクチャを開発し, 160 MHz 動作で 158 MSample/s のスループットを実現した。新処理方式及びアーキテクチャによりコードブロック並列方式と比較して, コードブロック用メモリ容量を 64%, BPC 用メモリ容量を 67% 削減した。0.18 μ m プロセスで試作を行いゲート数は 100 万, チップ面積は 7.5mm 角であった。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 7.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

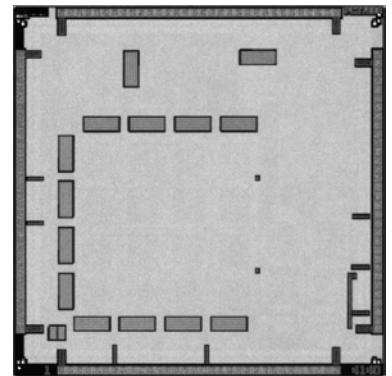


光通信用センサ及び信号処理回路

慶應義塾大学理工学部 原 貴東, 松本 佳宣

概要: 0.18 ミクロンプロセスを用いて 8×8 のアレイ状受光素子を発光源の状況に合わせて任意の受光素子を選択する事で, データを分離する集積回路の試作・評価を行った。アレイ状にすると個々の受光面積が減少して感度低下を招くため, 受光素子として, フォトダイオードよりも高感度なフォトトランジスタを 0.18 ミクロンプロセスで製作した。その際に, DeepNwell 構造を利用した複数のデザインを行った。さらに, 可視光 ID システムの搬送周波数とフォトトランジスタの特性に合わせて, 感度と応答周波数の最適化を行った専用トランスインピーダンスアンプを内蔵した。個々の受光素子は外部信号により任意に選択出来る構成として, 複数の受光素子を同時に選んで, 受光感度をさらに向上させる事が可能な構成とした。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 10 以上, 100 未満
試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



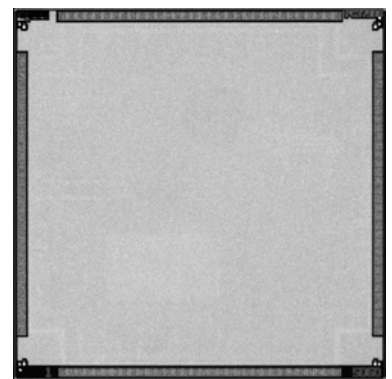
ライブラリセルの試作 (1)

高知工科大学大学院工学研究科 笹谷 尚稔, 武田 頼長, 乃一 彰宏, 安中 彰宏

高知工科大学工学部 矢野 政顕, 橘 昌良

概要: 0.18 μ m プロセスのオリジナルの標準ライブラリ設計を行った。設計したものは, 基本ゲート (NOT, NAND, NOR, XNOR) と順序経路で使用するフリップフロップである。ライブラリ設計にあたり, 基本ゲートではファンアウト数や入力出力パスの違いによる遅延時間特性の見積もりをおこなうため, 各セルにおいて数パターンリングオシレータを設計した。また, フリップフロップでは動作確認のみを行なった。設計したリングオシレータを HSPICE を用いてシミュレーションした 1 段当りの遅延時間と, 試作チップを測定用治具を用いて測定した遅延時間では試作チップの値が遅くなるという結果が得られた。また, 測定の際に, 配線ミスなどの何らかの原因で上手く発振していないリングオシレータが複数存在した。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

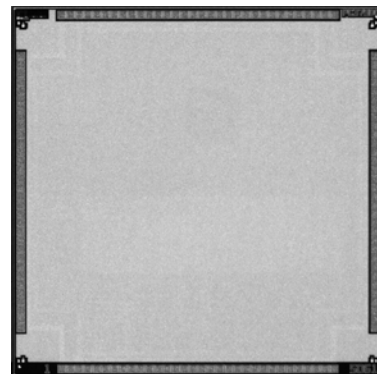


ライブラリセルの試作 (2)

高知工科大学大学院工学研究科 笹谷 尚稔, 武田 頼長, 乃一 彰宏, 安中 孝一
高知工科大学工学部 矢野 政顕, 橋 昌良

概要: 0.18 μ プロセスのオリジナルの標準ライブラリ設計を行った。設計したものは、基本ゲート (NOT, NAND, NOR, XNOR) と順序経路で使用するフリップフロップである。ライブラリ設計にあたり、基本ゲートではファンアウト数や入力出力パスの違いによる遅延時間特性の見積もりをおこなうため、各セルにおいて数パターンのリングオシレータを設計した。また、フリップフロップでは動作確認のみを行なった。設計したリングオシレータをHSPICEを用いてシミュレーションした1段当りの遅延時間と、試作チップを測定用治具を用いて測定した遅延時間では試作チップの値が遅くなるという結果が得られた。また、測定の際に、配線ミスなどの何らかの原因で上手く発振していないリングオシレータが複数存在した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

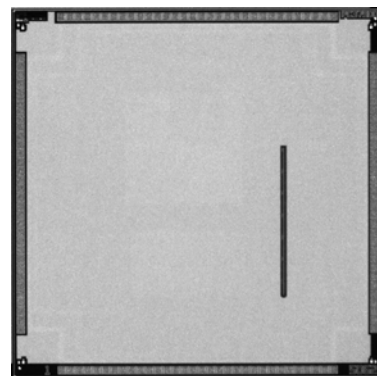


バス配線 Delay 測定用 TEG の設計

高知工科大学大学院工学研究科 安岡 佐知子
高知工科大学工学部 橋 昌良

概要: 配線遅延測定回路をおおまかに分けると、配線 Delay 回路と VCDL の二つにより構成された設計となっている。配線 Delay 回路と VCDL によりリングオシレータを構成し、最後にインバータを通して増幅し、出力される形となっている。VCDL はリングオシレータの発振周波数を調整するための遅延回路である。発振周波数の調整は、遅延を測定する配線の周囲に配置した配線に、発振周波数と同じ周波数の信号を加えるために必要となる。配線 Delay 回路は、分岐した偶数本の配線と bus 配線で構成されており、セレクトによってドライバ、レシーバ間の配線を変えることができる。このうち1組はバス配線に接続されておらず、この経路をバス配線を通過する経路での発振周波数の差から、配線遅延を算出する構成となっている。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



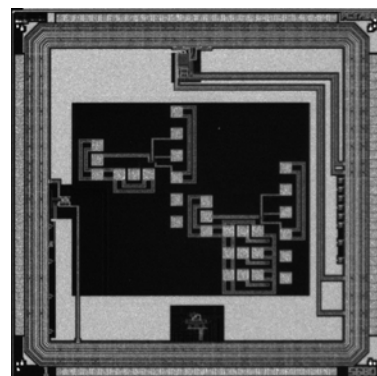
高速通信回路と高周波基板雑音検出回路の評価チップ

神戸大学大学院自然科学研究科 荻野 哲宏, 檀上 匠
神戸大学大学院工学研究科 永田 真

概要: 1. 携帯機器用途に適した高速・低消費電力なチップ間通信回路の実現に向けて、マルチレベル電流信号を用いるトランスミッタ回路と低入力インピーダンスな I-V コンバータを備えたレシーバ回路を開発した。さらに、通信帯域及びデータ通信の信頼性を高めるため、信号の Duty 補正回路とクロックの遅延調節回路を付加した。本試作チップの測定結果により通信信号に対する補正回路の正常動作を確認した。2. 高周波基板雑音検出のためのミキサ回路を開発した。特徴は、高周波入力段に定電流源を加えることで基板雑音の検出ゲインを下げる一方、入力ダイナミックレンジを向上した点である。これにより 500 MHz, 300 mVpp 程度までの信号入力において整合を取ることに成功した。

参考文献: "On-Die Monitoring of Substrate Coupling for Mixed-Signal Circuit Isolation," D. Kosaka, M. Fujiwara, T. Danjo, M. Nagata, Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials, pp. 62-63, Sep. 2006.

設計期間: 1人月以上, 2人月未満 **設計ツール:** SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

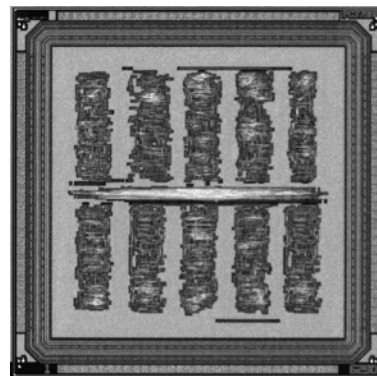


16ビットパイプラインプロセッサの設計実習 A

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システム L S I 分野を志向する修士課程の学生全員に L S I の設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システム L S I 設計の中の L S I 設計実習の一環として試作したものである。設計課題は、M I P S ライクな 16 ビット 5 段パイプラインプロセッサで、28 命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードイングやストール機能の実現までを課題達成の要求条件としている。また、各々が作成したアセンブラプログラムを共有し、検証用パターンとして用いている。レイアウトに関しては、縦サイズ固定という制約の中で、最適化（速度／面積優先）を試行させた。最終的には 1 チップに 10 名が設計した 10 個のプロセッサモジュールを搭載し、各々が外部 I / O から直接アクセス可能としている。設計は全て、ローム 0.18 μ m ライブラリ（京都大学提供版）を用いて設計し、独自に開発した V D E C チップ評価用ボード上で動作を確認した。

設計期間：10 人月以上 **設計ツール：**Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Mentor 社 Calibre **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**マイクロプロセッサ

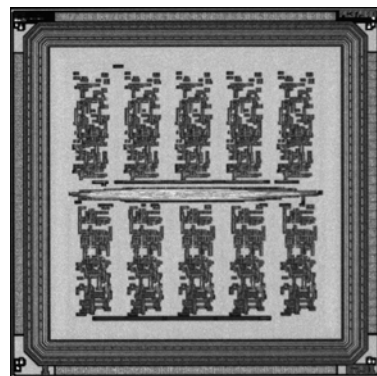


16ビットパイプラインプロセッサの設計実習 B

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システム L S I 分野を志向する修士課程の学生全員に L S I の設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システム L S I 設計の中の L S I 設計実習の一環として試作したものである。設計課題は、M I P S ライクな 16 ビット 5 段パイプラインプロセッサで、28 命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードイングやストール機能の実現までを課題達成の要求条件としている。また、各々が作成したアセンブラプログラムを共有し、検証用パターンとして用いている。レイアウトに関しては、縦サイズ固定という制約の中で、最適化（速度／面積優先）を試行させた。最終的には 1 チップに 10 名が設計した 10 個のプロセッサモジュールを搭載し、各々が外部 I / O から直接アクセス可能としている。設計は全て、ローム 0.18 μ m ライブラリ（京都大学提供版）を用いて設計し、独自に開発した V D E C チップ評価用ボード上で動作を確認した。

設計期間：10 人月以上 **設計ツール：**Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Mentor 社 Calibre **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**マイクロプロセッサ

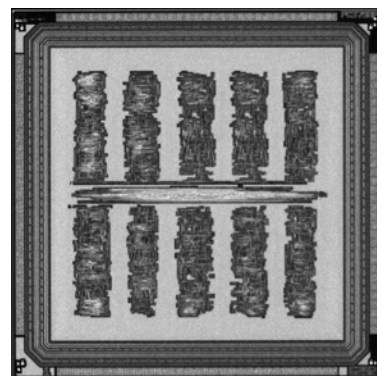


16ビットパイプラインプロセッサの設計実習 C

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システム L S I 分野を志向する修士課程の学生全員に L S I の設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システム L S I 設計の中の L S I 設計実習の一環として試作したものである。設計課題は、M I P S ライクな 16 ビット 5 段パイプラインプロセッサで、28 命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードイングやストール機能の実現までを課題達成の要求条件としている。また、各々が作成したアセンブラプログラムを共有し、検証用パターンとして用いている。レイアウトに関しては、縦サイズ固定という制約の中で、最適化（速度／面積優先）を試行させた。最終的には 1 チップに 10 名が設計した 10 個のプロセッサモジュールを搭載し、各々が外部 I / O から直接アクセス可能としている。設計は全て、ローム 0.18 μ m ライブラリ（京都大学提供版）を用いて設計し、独自に開発した V D E C チップ評価用ボード上で動作を確認した。

設計期間：10 人月以上 **設計ツール：**Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Mentor 社 Calibre **トランジスタ数：**100,000 以上 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**マイクロプロセッサ

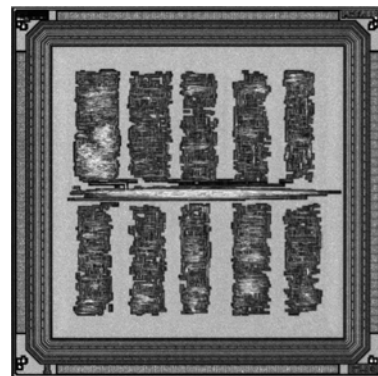


16ビットパイプラインプロセッサの設計実習D

早稲田大学大学院情報生産システム研究科 池永 剛

概要：早稲田大学大学院情報生産システム研究科では、システムLSI分野を志向する修士課程の学生全員にLSIの設計経験を積ませることを教育の柱としているが、本チップは、講義科目：システムLSI設計の中のLSI設計実習の一環として試作したものである。設計課題は、MIPSライクな16ビット5段パイプラインプロセッサで、28命令を基本仕様とし、独自の命令の追加を許している。ハザードに対するデータフォワードリングやストール機能の実現までを課題達成の要求条件としている。また、各々が作成したアセンブラプログラムを共有し、検証用パターンとして用いている。レイアウトに関しては、縦サイズ固定という制約の中で、最適化（速度/面積優先）を試行させた。最終的には1チップに10名が設計した10個のプロセッサモジュールを搭載し、各々が外部I/Oから直接アクセス可能としている。設計は全て、ローム0.18 μm ライブラリ（京都大学提供版）を用いて設計し、独自に開発したVDECチップ評価用ボード上で動作を確認した。

設計期間：10人月以上 **設計ツール：**Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Mentor社 Calibre **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**マイクロプロセッサ



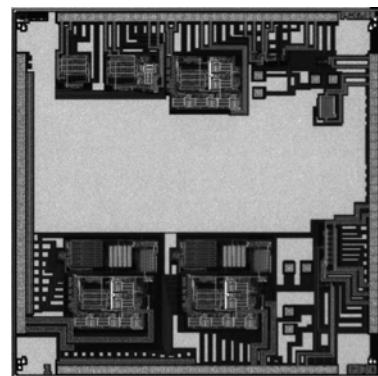
非周期ノイズ波形検出用オンチップノイズセンサの試作

慶應義塾大学理工学部 森本 一毅, 佐藤 大祐, 中野 誠彦

概要：本試作は、LSI内部で生成されるノイズ波形を高サンプリングレートで検出することを目的とした。特に今回検出対象としたのはデジタル回路部の電源線である。ノイズ源としてバッファツリーを搭載し、バッファツリーの電源線をセンシングするためのオンチップノイズセンサを新たに提案、設計した。提案したオンチップノイズセンサはデジタル出力型であり、検出する際の測定環境の影響を受けにくい。デジタル化にはパイプライン型ADCを使用し、提案するサンプリング手法を用いて数GS/sの高いサンプリングレートを実現することを目標としている。

参考文献：Stuart Kleinfelder, “Gigahertz Waveform Sampling and Digitization Circuit Design and Implementation”, IEEE Transactions on Nuclear science, pp. 955-962, Aug. 2003

設計期間：4人月以上, 5人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



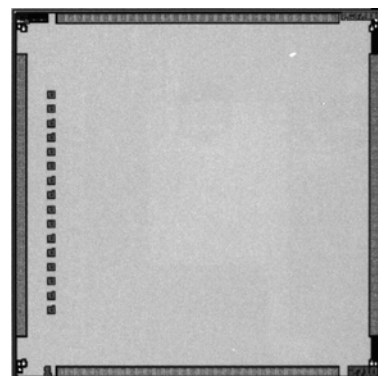
0.18 μm CMOS ASIC

東京大学工学部原子力国際専攻 石伯軒, 藤原 健, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要：We have been designing ASIC chips with 0.18 μm Rohm CMOS process since 2006 September. Our purpose is to use ASIC for front-end electronics of nuclear measurement and imaging such position emission tomography (PET). Four chips have been submitted by now and all of them are shared by several colleagues in my laboratory. In September 2006, I have designed a charge sensitive preamplifier in the first chip. The preamplifier has used both NMOS and PMOS transistors as well as capacitors. The function of this charge sensitive preamplifier is to convert charge signal to voltage signal while noise performance and response speed are the key factors. Later in November 2006, we have submitted another ASIC chip. In this chip, I have implemented variable gain amplifier (VGA) and digital to analog converter (DAC), both of which requires large value resistors and switch. I have adopted N-well resistor for the simple layout and NMOS transistor as the switch. In March 2007, we have designed another chip. At this time, we have mainly fixed the design and layout mistakes of the first 2 chips. I have revised the charge sensitive preamplifier with NMOS capacitor and VGA with poly resistors. Meanwhile, I have added various resistors to test their characteristics especially linearity. Last submission was in 2007 October, I have revised the charge sensitive preamplifier again to include an internal bias circuit. This design is close to prototype design. Right now, we are testing all chips we have received. We look forward to implementing a full mixed signal ASIC chip for our application soon.

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Verilog-XL, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数：**10以上, 100未満 **試作ラン：**ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

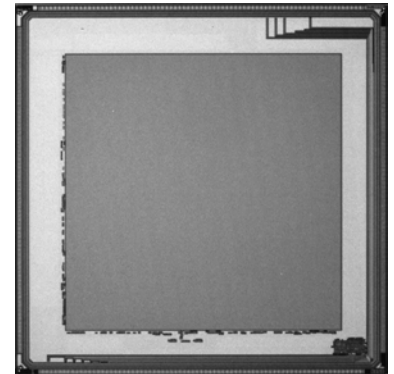


CMOS IMAGE SENSOR FOR AMBIENT LIGHT SUPPRESSION BY MEANS OF CURRENT - MODE PIXEL CIRCUIT

東京大学工学系研究科 BASCI Caner

概要：このチップは、新しい電流モード背景光除去機能を備えた CMOS イメージセンサを試作したものである。光切断法を用いた三次元映像の撮影においては、撮影環境における背景光が撮影の際に用いるシート光に及ぼす悪影響を除去することにより、明るい環境での撮影や、強度の弱いシート光を用いての撮影を行う事が可能になる。背景光の除去はイメージセンサのピクセル回路内で1ピクセルを単位として行われ、この CMOS イメージセンサの解像度である 256×256 個の全てのピクセル回路は、フォトダイオードの他に背景光電流を記憶するスイッチ型カレントメモリー、減算回路、電流-電圧変換回路を備えている。シミュレーションを行った結果によると、背景光電流を記憶するカレントメモリーの記憶誤差は1%以下であり、背景光が強い条件の場合には99%以上の効率で除去が可能であることを確認した。また、このイメージセンサの背景光除去の性能を示す SBR (Signal to background Ratio) は-32dBであり、既存の同様な機能を備えたイメージセンサよりも優れた性能を示している。このイメージセンサは他に SOC 向けの IP コアを想定したオンチップコントローラを備えており、外部からの簡単な信号の入力によりセンサの制御が可能である。

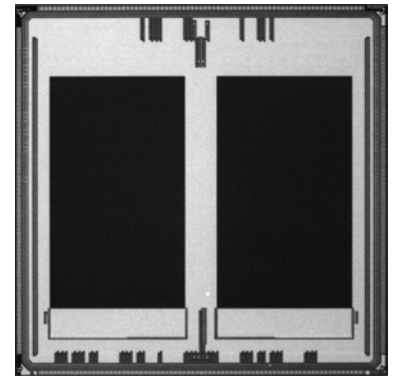
設計期間：1 人月以上、2 人月未満 **設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数**：100,000 以上 **試作ラン**：ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別**：イメージセンサ/スマートセンサ

**高速・高精度三次元撮像用デュアル・イメージャコア・チップ**

東京大学工学部 萬代 新悟

概要：高速撮像モード、高精度撮像モードの二モードを備え、周囲の状況に応じたモードで動作可能な三次元情報取得システムの構築を目指して、その基本となる動作を確認出来るイメージセンサを作成した。本チップはチップ上にイメージャコアが二つある。一つめのモードは外部からシート状に変更した光で物体をスキャンし、そのスキャンされた部分を二つのイメージャコアの距離と視差角とを用いて距離情報を取得できる。これは二つのイメージャコアの対応点を光を当てることにより素早く求め、光切断法と同様高速撮像が可能である。二つめのモードは一方のイメージャコアとシート状に偏光した光の角度、光とイメージャコアの距離を用いて距離法を取得することが出来る。もう一方のイメージャコアはシート状に偏光した光のプロファイルを求めることにより、光があたっている部分をより正確に求めることが出来き、高精度撮像が可能となる。

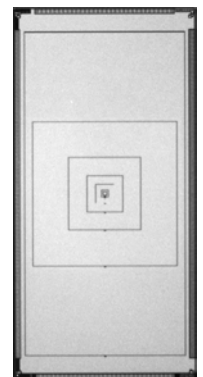
設計期間：2 人月以上、3 人月未満 **設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数**：10 未満 **試作ラン**：ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別**：イメージセンサ/スマートセンサ

**LSI 故障診断装置評価用 TEG (2-1)**

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要：微細化、大規模化、多ピン化、フリップチップ実装等により困難となった LSI の故障診断を行う為、種々の故障診断装置が提案・開発されている。本チップは、これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである。電流経路を観測可能な装置の空間分解能を評価する為、配線間隔の異なる電流経路を有する複数の TEG を集積している。設計は、レイアウトエディタを用いた手動レイアウト設計により行った。LSI 故障診断装置評価用 TEG (2-1) ~ (2-3) が組となっている。電気的接続を必要としない診断装置を対象としており、(2-1) と (2-2) は各回路は外部端子とは接続されていないが、(2-3) は、比較の為、外部端子と接続されている。(2-1) と (2-2) は、PN 接合タイプが異なる。

設計期間：0.5 人月以上、1 人月未満 **設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数**：10 未満 **試作ラン**：ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別**：TEG (特性評価回路など)



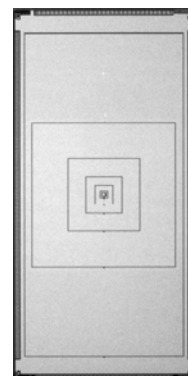
LSI故障診断装置評価用TEG (2-2)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となったLSIの故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらのLSI故障診断装置を評価することを目的として設計したチップの一つである. 電流経路を観測可能な装置の空間分解能を評価する為, 配線間隔の異なる電流経路を有する複数のTEGを集積している. 設計は, レイアウトエディタを用いた手動レイアウト設計により行った. LSI故障診断装置評価用TEG (2-1) ~ (2-3) が組となっている. 電氣的接続を必要としない診断装置を対象としており, (2-1) と (2-2) は各回路は外部端子とは接続されていないが, (2-3) は, 比較の為, 外部端子と接続されている. (2-1) と (2-2) は, PN接合タイプが異なる.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社

Dracula DRC **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



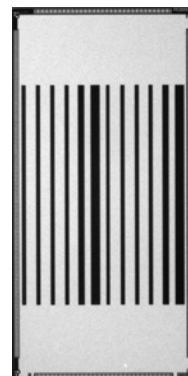
LSI故障診断装置評価用TEG (3-1)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となったLSIの故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらのLSI故障診断装置を評価することを目的として設計したチップの一つである. 電氣的接続を必要とせずに電流経路を観測可能な装置の評価を行うことを目的としており, その感度特性を評価する為, 電流経路検出の容易性を変えた複数のTEGを集積している. 電氣的接続の必要がないため, 各回路は, 外部端子とは接続されていない. 設計は, Cadence社 Virtuosoレイアウトエディタを用いた手動レイアウト設計により行った. LSI故障診断装置評価用TEG (3-1) と (3-2) が組となっており, これらは, PN接合タイプが異なっている.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社

Dracula DRC **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



LSI故障診断装置評価用TEG (3-2)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となったLSIの故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらのLSI故障診断装置を評価することを目的として設計したチップの一つである. 電氣的接続を必要とせずに電流経路を観測可能な装置の評価を行うことを目的としており, その感度特性を評価する為, 電流経路検出の容易性を変えた複数のTEGを集積している. 電氣的接続の必要がないため, 各回路は, 外部端子とは接続されていない. 設計は, Cadence社 Virtuosoレイアウトエディタを用いた手動レイアウト設計により行った. LSI故障診断装置評価用TEG (3-1) と (3-2) が組となっており, これらは, PN接合タイプが異なっている.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社

Dracula DRC **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



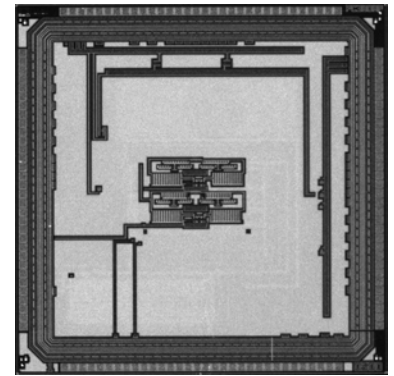
デルタ・シグマ変調器，高線形 OTA，温度センサー回路，高負荷用ドライバ TEG

宮崎大学大学院工学研究科 今木 啓太，林田 辰徳，井手 大介

宮崎大学工学部 宮内 亮一，古家 拓郎，外山 貴子，田村 宏樹，淡野 公一

概要：本試作では，256倍 OSR，16bit，2次のデルタ・シグマ変調器，移動度低下の影響を大幅に低減した低電圧動作トランスコンダクタンス増幅器（OTA），温度センサー回路および高負荷用ドライバを試作した．256倍 OSR，16bit，2次のデルタ・シグマ変調器では，積分器内部のアンプの低ノイズ化に取り組んでいる．また，移動度低下を補償した OTA では，適応バイアス技術を基本にした回路構成であり，3次の高調波を大幅に削減することに成功している．また，温度センサー回路では，弱反転領域における熱電圧を活用した回路構成であり，素子の絶対精度に鈍感な回路方式を採用している．また，高負荷用ドライバでは，消費電力，チップ面積の増大を招くこと無く十分な位相余裕を確保するための数種類の方法を試作している．今後はこれらの評価に取り組む．

設計期間：4人月以上，5人月未満 設計ツール：Cadence社 Virtuoso，Synopsys社 Cosmos，Synopsys社 Star-HSPICE，Mentor社 Calibre トランジスタ数：100以上，1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG（特性評価回路など）

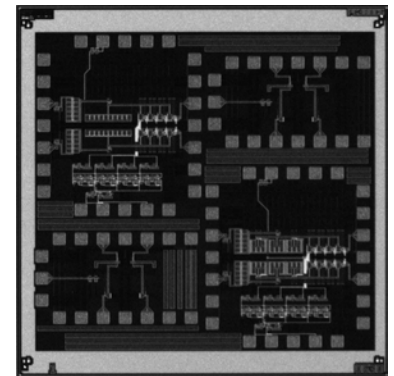


Charge Sampling Filter

概要：

参考文献：[1] Jiren Yuan, "A charge sampling mixer with embedded filter function for wireless applications," 2nd International Conference on Microwave Technology Proceedings, pp. 31518, 2000

設計期間：4人月以上，5人月未満 設計ツール：Cadence社 Virtuoso，Mentor社 Calibre トランジスタ数：10未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信（RF回路，ATMなど）



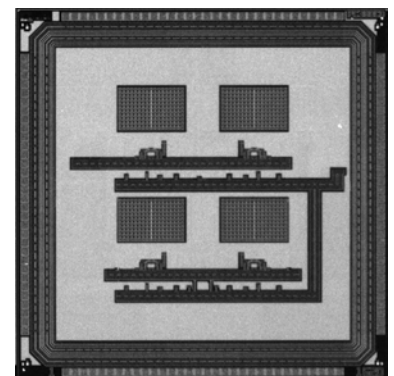
オンチップ・トランスによるパルス伝送方式UWB送信回路

広島大学大学院先端物質科学研究科 高橋 尚基

概要：パルス伝送方式のUWB送信器として利用できるオンチップ・トランスによるDC-RFパルスパワー変換回路を試作した．CMOSスイッチによって，1次コイルに流れる電流を制御する．遮断時，電流として蓄えられた磁気エネルギーが，1次コイルの自己共振周波数で振動しながら，2次コイルを通してアンテナから放射される．パルス生成回路やパワーアンプなどの複数の送信ブロックをオンチップ・トランスとスイッチだけのシンプルな回路構成で実現している．ダイポール・アンテナをプリントしたPCB基板に試作チップをベア・チップ実装して，伝送実験を行った．消費電力3.2mWで，400Mbpsの伝送速度を実現した．

参考文献：Y. Zheng, Y. Tong, C. W. Ang, Y. Xu, W. G. Yeoh, F. Lin and R. Singh, "A CMOS carrier-less UWB transceiver for WPAN applications", ISSCC 2006

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso，Cadence社 Analog Artist，Mentor社 Calibre，Mentor社 CalibreXRC トランジスタ数：10以上，100未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信（RF回路，ATMなど）



1Gbps×4ch 光無線 LAN用ビジョンチップ

奈良先端科学技術大学院大学物質創成科学研究科 長畑 樹, 宮脇 智也, 香川 景一郎,
布下 正宏, 太田 淳

概要: 我々は、受光素子として、通信対象の位置を探し出す「撮像」と、高速光通信を行うための「データ受信」の二つの機能をもつイメージセンサを用いた新しい屋内用光無線 LAN システムを提案している。複数データを同時に受信できる特徴を利用し、ダウンリンクに波長多重通信を適用できる 1.25Gbps×4 センサを設計した。設計時にパッケージ、I/O セル、その他配線容量・抵抗などの寄生素子の等価回路を与え、トランジスタサイズ、バス配線幅を最適化した。また、光信号のオフセットを除去するために自動オフセットキャンセル回路、波長間クロストークを除去するアナログマトリックス回路を内蔵した。高速光信号は、LVDS (low voltage differential signaling) または CML (current mode logic) で出力する。オンチップで A/D コンバータを搭載し、画像信号をデジタルで読み出すことができる。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 7.5mmx10mm チップ **チップ種別:** イメージセンサ/スマートセンサ

列並列 A/D 変換回路 TEG

茨城大学工学部 木村 孝之

概要: 近年イメージセンサには高速で低ノイズを実現するためにカラム A/D 変換がおこなわれている。カラム A/D 変換を実現するためには画素の幅に相当するスペースに A/D 変換回路を集積する必要がある。これらカラム A/D 変換を実現するための一つの方法として追従型 A/D 変換器がある。これは他の方法に比較して、カウンタと比較器という単純な回路によって実現できる。ただし、高速なカウンタを実現できないと A/D 変換速度は遅くなってしまう。今回の試作ではデジタル領域での CDS (Correlated Double Sampling) を実現するため、12bit のアップ・ダウンカウンタと、比較用ランプ波を生成するための 12bit R-2R ラダー形 D/A 変換器も同時に設計、試作を行った。カウンタのシミュレーションでは最大動作周波数が 123.6MHz であったが、実際の測定では 112.4MHz であった。数チップ測定を行ったが、結果のずれは 10% に収まっていた。0.35 μ m プロセスでは A/D 変換器として 7k s p s のサンプリングレートが実現されていたが、本試作では 27.4k s p s まで向上することができた。この結果 1000×1000 画素程度のイメージセンサの A/D 変換を列並列で実現できる目処がたった。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreXRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

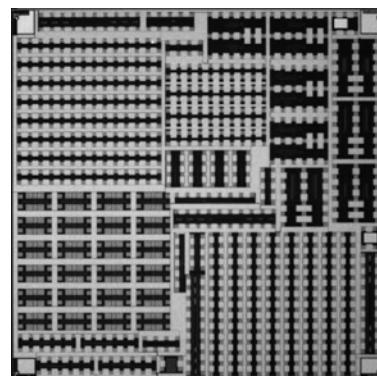
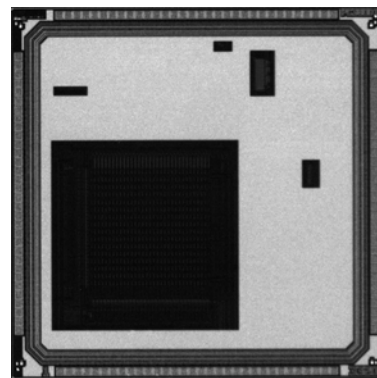
最小距離検索回路の性能評価用回路

広島大学先端物質科学研究科 田中 裕己, 和泉 伸也

広島大学ナノデバイス・システム研究センター Mattausch Hans. Juergen,
小出 哲士

概要: あいまい検索を要するようなアプリケーション (画像認識・圧縮技術など) にとって、最小距離データを検索する機能メモリは大変重要な部分である。私はこのような機能メモリを高速・小面積・低消費電力な全並列型アナログ・デジタル連想メモリで実現するために、連想メモリの主部分たる最小距離検索回路においてワイドレンジ差動増幅器を用いた回路を提案している。しかし、近年の微細化技術の進歩に対して、アナログ回路の設計はよりシビアになってきている。そこで、今後の微細化に対して、全並列型アナログ・デジタル連想メモリがどのように影響を受けるかを測定するために本チップを試作した。チップは最小距離検索回路の性能を測定するためのテスト回路を搭載している。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Diva, Mentor 社 Calibre, Mentor 社 CalibreXRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** TEG (特性評価回路など)

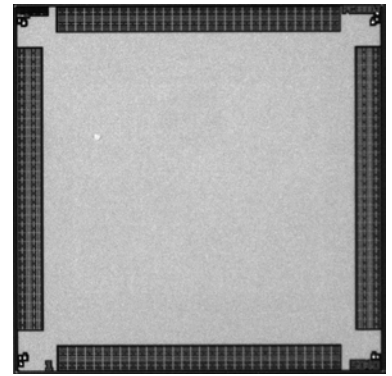


ウェーブパイプラインのための遅延調整手法評価用演算器の設計

山形大学理工学研究科 多田 十兵衛, 後藤 源助

概要: ウェーブパイプラインのための遅延調整手法を評価するため, 提案手法により自動遅延調整を行ったウェーブパイプライン化演算器をチップ上に実装した. 提案手法は GainBasedDelay モデルに基づくものであり, トランジスタサイズの変更により遅延を調整するものである. 今回は数十種類の遅延素子を用意し, それらを適宜選択することにより遅延調整を行った. DesignCompiler による論理合成結果に対して, 自作した自動遅延調整ツールによりウェーブパイプライン化を実行し, 生成された回路を Astro を用いて配置配線を行った. HSPICE および Nanosim によるシミュレーションでは, 提案手法の通り遅延を均一に揃えることが可能であることが確認された. 今回, テスタによる測定は行っていない.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

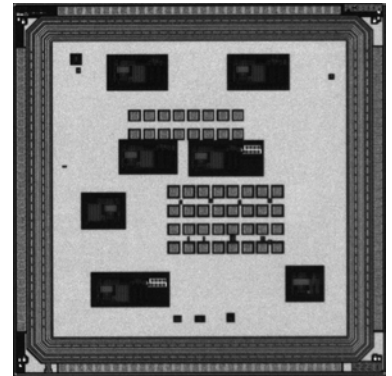


小型・高速 DC-DC コンバータ用制御部 LSI の開発

富山県立大学工学研究科 宮崎 崇裕, 岩田 栄之, 松田 敏弘

概要: DC-DC コンバータの小型・軽量化, 高効率化などを実現するためには, 安定制御が行え, 汎用性のある制御回路が必要となってくる. 今回の試作では制御回路のブロックのうち, ヒステリシス制御方式用の比較器, AND 演算回路, ソフトスタート電圧発生回路, 基準電圧発生回路およびオペアンプを設計した. ヒステリシス制御用の比較器は外付けの抵抗を用いてヒステリシス特性を持たせる. また, 比較器を 3 入力にし, ソフトスタート電圧発生回路および基準電圧発生回路と組み合わせ, ソフトスタート機能を持たせる. オペアンプは基準電圧発生回路のユニティゲインバッファとして用いる. これらの回路を用いて基本的な DC-DC コンバータの評価を行う予定である.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



高周波基板雑音検出手法の評価チップ

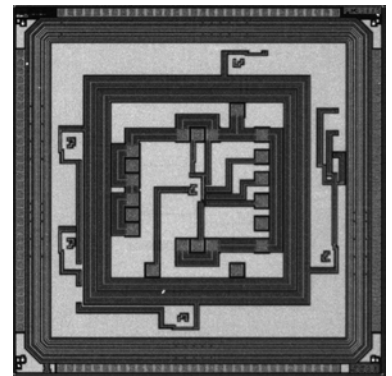
神戸大学大学院自然科学研究科 檀上 匠

神戸大学大学院工学研究科 永田 真

概要: 当該プロセスにて先に設計・試作した高周波基板雑音検出回路を用いて, 実際に基板雑音を評価するためのテストチップ構成とした. 4つのブロックからなり, 具体的には検出回路単体評価ブロック, プローバを用いた検出回路単体評価ブロック, 基板雑音の距離依存性評価ブロック, CMOS スイッチを用いた距離依存性評価ブロックである. 試作チップの評価に着手済みで, 距離依存性評価ブロックにおいて, 基板を伝搬する RF 信号を検出が可能であることを確認している. 今後, 検出回路の単体性能評価などの基礎データを蓄積する予定としている.

参考文献: "On-Die Monitoring of Substrate Coupling for Mixed-Signal Circuit Isolation," D. Kosaka, M. Fujiwara, T. Danjo, M. Nagata, Extended Abstracts of the 2006 International Conference on Solid State Devices and Materials, pp. 62-63, Sep. 2006.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

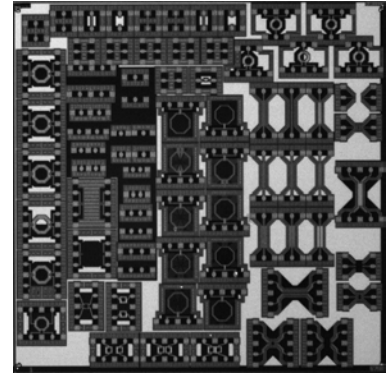


高周波パッシブ評価 TEG

東京工業大学大学院理工学研究科 伊藤 猛, 金丸 正樹, 原 翔一, 高山 直輝,
Chaivipas Win, 李 寧, 岡田 健一, 松澤 昭

概要：本 TEG は、高周波回路設計用のパッシブ素子の特性評価を目的とする。TEG に含まれるのは、(1) 110GHz 対応 Thru パターン、(2) single-end 用 de-embedding パターン、(3) differential 用 de-embedding パターン、(4) インダクタ TEG、(5) トランス TEG、(6) 差動 6-box Thru TEG、(7) 差動インダクタ TEG である。ネットワークアナライザを用いたオンウエハ測定により、67GHz までの 4port 測定および 110GHz までの 2port 測定を行い、TEG の評価をする。オンチップでの LRM 校正を試みる。また、差動インダクタの測定評価においては、行列分解法を用いて、左半インダクタンスと右半インダクタンス、および、それらの相互インダクタンスを解析的に求める。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10 以上、100 未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：通信 (RF 回路, ATM など)

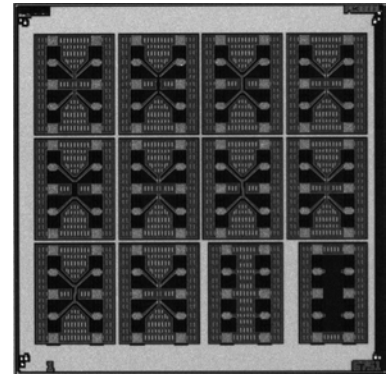


高周波パッシブ評価 TEG

東京工業大学大学院理工学研究科 伊藤 猛, 金丸 正樹, 原 翔一, 高山 直輝,
Chaivipas Win, 李 寧, 岡田 健一, 松澤 昭

概要：本 TEG は、高周波回路設計用のパッシブ素子の特性評価を目的とする。TEG に含まれるのは、(1) 110GHz 対応 Thru パターン、(2) single-end 用 de-embedding パターン、(3) differential 用 de-embedding パターン、(4) インダクタ TEG、(5) トランス TEG、(6) 差動 6-box Thru TEG、(7) 差動インダクタ TEG である。ネットワークアナライザを用いたオンウエハ測定により、67GHz までの 4port 測定および 110GHz までの 2port 測定を行い、TEG の評価をする。オンチップでの LRM 校正を試みる。また、差動インダクタの測定評価においては、行列分解法を用いて、左半インダクタンスと右半インダクタンス、および、それらの相互インダクタンスを解析的に求める。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10 以上、100 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)

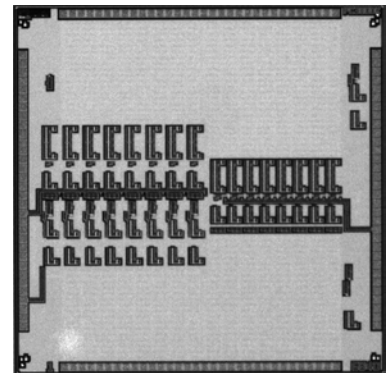


生体信号センシングおよび刺激印加のための回路

慶應義塾大学理工学部 横山 祐介, 中野 誠彦

概要：本試作では前回設計した生体信号センシングに加え、単一電極で神経細胞への刺激も印加できるための手法を検討した。前回の設計では LPF によって大きな面積をとることとなったが、今回は信号を差動からシングルエンド変換するための減算回路の帯域を低く設定することによって LPF の機能も含ませることにした。その結果全部で 16ch の回路を搭載することができた。スイッチを切り替えることにより信号記録フェイズと刺激印加フェイズを切り替える構成になっているが、刺激印加後にセンシング電極を刺激印加直前の状態に戻してやることによってアーチファクトを抑えるため、刺激印加直前の DC 値をサンプルホールドし外部から入力する刺激信号と足しあわせてから印加する。(共同研究先の特許技術) また 0V 中心でバイフェイズな刺激信号を入力するため回路全体にトリプルウェル構造を適用し浮かせることによって VDD を +0.9V, VSS を -0.9V とした。アンプ単体の動作も検証するため刺激印加回路ブロックを含まない回路も 16ch 中 8ch 搭載した。そのほかに要素回路の動作検証のためのデバッグ回路も載せてある。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数：1,000 以上、10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

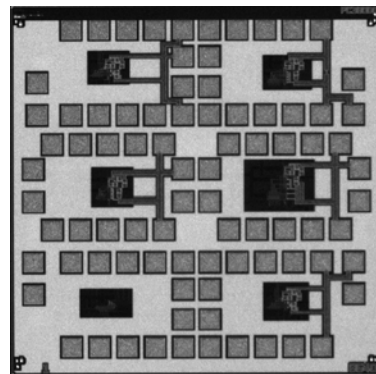


FMDSMのための線形電圧制御発振器

富山大学工学部 前澤 宏一, 三宅 誠一

概要: 高分解能, 広帯域のアナログ・デジタル変換器の実現を目指し, 周波数変調方式の $\Delta\Sigma$ 変調器について検討した. 周波数変調方式 $\Delta\Sigma$ 変調器はFM信号の位相が瞬時周波数の積分であることを利用するものである. この方式は位相が 2π で0に戻るものが自然のフィードバックとして働くため, 動作周波数を制限するフィードバック用のDA変換器が必要なく, 高速動作に適している. しかも, フィードバックに誤差が生じないため, 容易に高精度化が可能という特徴がある. しかし, 線形でかつ周波数変調範囲の非常に広い発振器が必要という欠点があり, これまで, この方式に関する報告は非常に少なかった. 本チップは, 線形性を高めるための工夫を行ったリング発振器のテストを行うものである.

設計期間: 1 人以上, 2 人未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



平成19年度第6回ローム CMOS 0.18 μ m試作 (RO18076)

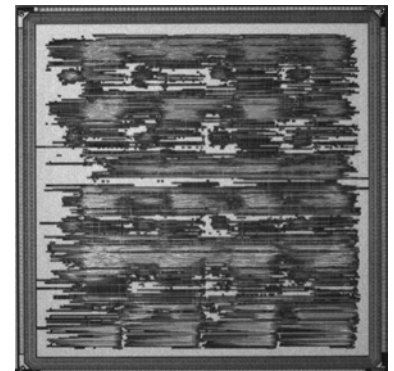
MuCCRA-1

慶應義塾大学情報工学科 佐野 徹, 加東 勝, 西村 隆, 中村 拓郎, 堤 聡, 長谷川 揚平,
天野 英晴

概要: MuCCRA (Multi-Core Configurable Reconfigurable Architecture) は、コンフィギュラブルな低電力マルチコア動的リコンフィギュラブルプロセッサに関するアーキテクチャ技術をチップレベルから提案、開発、解析することを目的としている。MuCCRAは、複数の ProcessingElement (PE) をアレイ状に並べ、各PEの動作、接続関係を構成情報によって動作しながら変更し、最適なデータバスをつくることできる。MuCCRA-1は、その2つ目のプロトタイプチップであり、PEを4x4、PE間の接続を行う SwitchingElement (SE) を5x5、乗算を行う Mult (Multiplier)、演算データを保持する DATA MEMを4つもち、それぞれが構成情報を保持するコンテキストメモリをもつ。コントローラは実行するアプリケーションに応じて、各ユニットのコンテキストメモリへ構成情報を転送し、実行を行うことが可能である。

参考文献: 長谷川 揚平, 堤 聡, 中村 拓郎, 西村 隆, 佐野 徹, 加東 勝, 齊藤 正太郎, 天野 英晴. "動的リコンフィギュラブルプロセッサ MuCCRA-1 の実装と評価", 先進的計算基盤システムシンポジウム (SACIS2007) 論文集, pp. 95-102, May 2007

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Cadence社 Encounter, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** マイクロプロセッサ

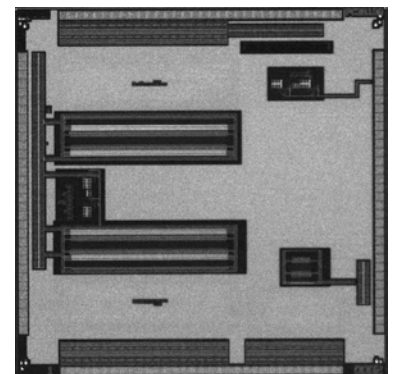


フラッシュ ADC 搭載アナログ回路検証用チップの再試作

慶應義塾大学理工学部 森本 一毅, 佐藤 大祐, 中野 誠彦

概要: 本試作は、前回設計したフラッシュ型 ADC のデジタル回路部の配線ミスがあったため再試作したものである。精度は4bit, 7bit のものを設計した。さらにコンパレータ単体の IP を搭載し、アナログ・デジタル混載型 IC を想定して VCO を基本としたデジタル回路も搭載した。特にデジタル回路で生成されたノイズ波形が同一基板上のアナログ回路側に伝搬する基板ノイズの問題を検証することを想定した。測定した結果、コンパレータ単体での動作において100mV 程度の精度誤差が生じてしまった。この問題はパッケージされたチップで測定した場合だが、ベアチップの測定を行うことで誤差は数 mV に抑えることができた。7bit 程度の ADC を想定するとさらなる測定環境のブラッシュアップが今後の課題である。

設計期間: 0.1 人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



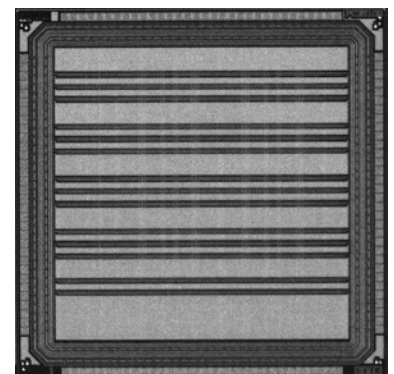
論理回路として動作するメモリの修正試作

広島市立大学大学院情報科学研究科 吉原理記, 平川直樹, 谷川一哉, 弘中 哲夫
広島市立大学情報科学部 戸口 博昭

概要: 近年、幅広い分野で利用されている FPGA (Field Programmable Logic Device) などに代わる新たな再構成型デバイスとしてメモリベース論理回路 (MPLD) を提案した。MPLDは LUT (Look-Up Table)、スイッチ信号、メモリとして機能する MLUT を基本要素とし、隣接した各 MLUT を相互に接続して構成される。この構成により、従来 FPGA において面積の大部分を占めるスイッチ要素が不要となる。MPLDはコンフィギュレーションにおいてその方法が通常のメモリへの書き込み操作と同様のため高速なコンフィギュレーション速度を実現し、特に部分再構成能力に優れている特徴を持つ。今回の試作では、以前作成した MPLD チップにおける I/O 用のバッファ回路の修正、それに伴い変更が必要な配線に対して修正を行った。現在 FPGA ボードによる測定を行っている所である。

参考文献: 吉原理記, 平川直樹, 谷川一哉, 弘中哲夫, 佐藤正幸, "再構成デバイスとしても動作するメモリ (MPLD) の一実装例 (リコンフィギュラブルアーキテクチャ1)", 電子情報通信学会技術研究報告 RECONF2007-16, pp. 7-12, 2007年

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Synopsys社 NanoSim, Synopsys社 Star-RCXT, Synopsys社 Hercules **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** ニューテクノロジー



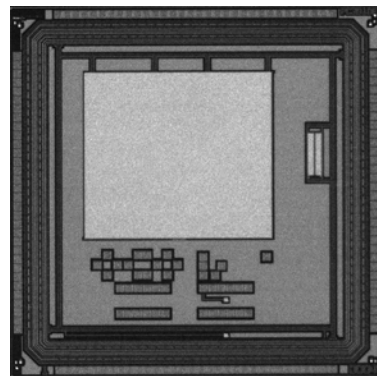
遅延保障フリップフロップ検証用回路

東京大学情報理工学系研究科 廣瀬 健一郎, 坂井 修一

概要: タイミングエラーに対する耐性を高めたフリップフロップの動作検証用回路。素子性能のばらつき、動作環境の変動などによって演算処理の過程で発生する可能性のある、過大な遅延・過小な遅延・過渡的なノイズによる誤動作などによる誤動作を検出し自己修復するようなフリップフロップを設計・実装した。本フリップフロップは、通常のフリップフロップに加えて、信号が遷移するタイミングを監視する機構と、それに基づいて、誤作動を避けるため入力データの保持を確定するタイミングを調整する機構を備えている。本チップには、当該フリップフロップ単体の動作確認用の回路と、該フリップフロップにデータを供給するための簡単な演算回路などを作製している。なお、本チップは先行して試作を行ったチップにおいて、入出力パッド使用法の誤りが発見されたため、該当部分を訂正し再度試作をお行ったものである。

参考文献: K. Hirose, Y. Manzawa, M. Goshima, and S. Sakai "Delay-Compensation Flip-Flop with In-situ Error Monitoring for Low-Power and Timing-Error-Tolerant Circuit Design" JJAP, Vol. 47, No. 4 2008

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



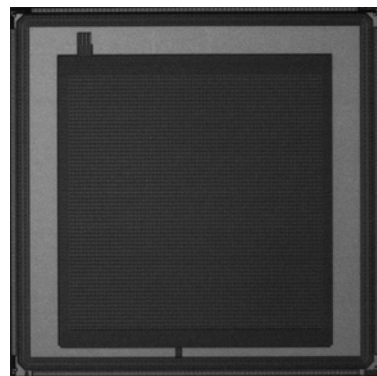
Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture

東京大学大学院新領域創成科学研究科 伊藤 潔人, 柴田 直

概要: 本試作では、時間領域でデジタル演算を行うロジック回路を用い、コンパクトながら多機能な演算回路とフォトダイオードを集積したスマートビジョンプロセッサを開発した。本チップは、昨年度試作したテストチップを基本に、新たにインバータ回路を利用して正負の符号を取り扱う論理を開発し、前回の試作に比べ演算効率、開口率および回路のコンパクトさなどを大幅に向上させた。演算機能として、焦点平面上でのいかなる線形フィルタ演算でも実現できる構造であることを特徴とする。5.0mm 角のチップ上に 64 \times 64 のピクセルユニットを実装し、電源電圧 1.8V, 最大動作周波数 100MHz を想定し設計を行った。

参考文献: [1] Kiyoto Ito and Tadashi Shibata, "Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 23-26, Tampere, Finland, Nov. 19-21, 2007.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



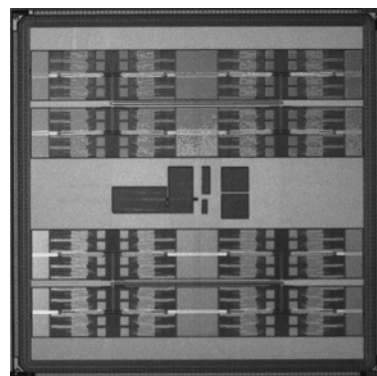
初期シードベクトル自動生成汎用 K-MEANS プロセッサ

東京大学大学院新領域創成科学研究科 鹿野 博嗣, 藤田 和英, 柴田 直

概要: ベクトル空間の密度を保存したまま、ベクトルの数を減らすことのできる汎用性の高い K_MEANS アルゴリズムは、ロバストにデータ圧縮できる反面、実時間で処理を行うには計算コストが非常に高く、使用条件がオフラインに限られていた。そのため前回の 2006 年 1 月設計日立 018 μ m では、この実時間処理要求に応えるために本研究室で開発された連想プロセッサのアーキテクチャをベースとし、K_MEANS プロセッサの計算時間の短縮とハードウェア量の削減を実現したアーキテクチャを持つ K_MEANS プロセッサを考案、実装し動作も確認した。今回の設計ではより良い最終結果を与える K-MEANS 計算を実現するために、初期シード同士の距離を最大化することで自動生成させるアルゴリズムを、WTA を前回の K-MEANS プロセッサに加えることで実現した。本プロセッサは 256 ベクトルを 64 並列 SIMD によって 16 グループに分類することができる。

参考文献: [1] Hirotsugu Shikano, Kiyoto Ito, Kazuhide Fujita, and Tadashi Shibata, "A Real-Time Learning Processor Based on K-means Algorithm with Automatic Seeds Generation," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 7-10, Tampere, Finland, Nov. 19-21, 2007.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

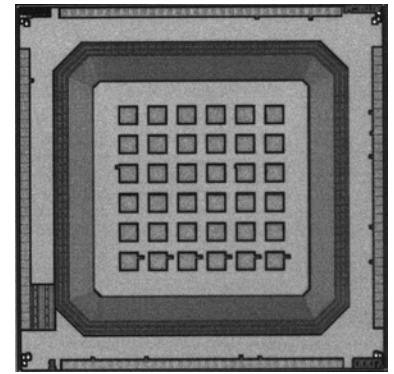


リングオシレータ

東洋大学工学部 堀口 文男

概要：1. 目的通常のリングオシレータを Deep-n-well, p-substrate の順で囲むと p-well がフローティング状態となる。これに負電圧を印加することにより nmos トランジスタに対して回路ブロックごとに個別の基板バイアスを印加できる。これを利用して LSI の低消費電力化を実現するための方法を探る。2. 方法各測定は 151 段のリングオシレータを用いて行う。実測には通常のリングオシレータとフローティング構造のリングオシレータを用いる。通常のリングオシレータの断面構造では p-substrate が隣の p-well と連結した構造となるために回路ごとに nmos への独立した基板バイアスの印加はできない。しかし、フローティング構造のリングオシレータは p-well が Deep-n-well で囲まれている為、通常のリングオシレータと違い nmos に他の回路ブロックとは独立して基板バイアスを印加することが可能となっている。3. 結果電流値における通常のリングオシレータ、フローティング構造のリングオシレータの実測値とシミュレーション結果の比較を行い、シミュレーション結果と実測値はよく一致するということが、nmos に印加した基板バイアス効果による電流制御が行われていることが確認できた。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

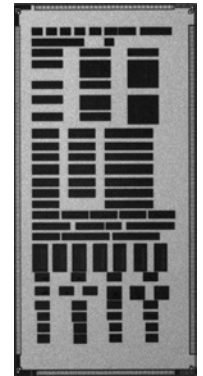


LSI 故障診断装置評価用 TEG (4)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要：微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行う為, 種々の故障診断装置が提案・開発されている。本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである。非接触で配線中の故障箇所を診断する装置において, 様々な配線形状の違いや, 配線中での欠陥位置の違いが診断装置の測定結果に与える影響を評価する為, 多様な配線形状を有する TEG, 作りこむ疑似欠陥の位置を様々に変えた TEG を集積している。電氣的接続を必要としない診断装置を対象としており, 各回路は外部端子とは接続されていない。設計は, Cadence 社 Virtuoso レイアウトエディタを用いた手動レイアウト設計により行った。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数：**10 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別：**TEG (特性評価回路など)

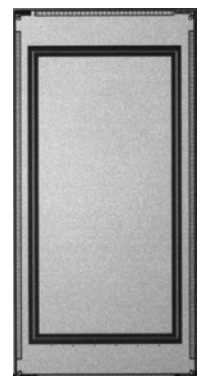


LSI 故障診断装置評価用 TEG (2-3)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要：微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行う為, 種々の故障診断装置が提案・開発されている。本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである。電流経路を観測可能な装置の空間分解能を評価する為, 配線間隔の異なる電流経路を有する複数の TEG を集積している。設計は, レイアウトエディタを用いた手動レイアウト設計により行った。LSI 故障診断装置評価用 TEG (2-1) ~ (2-3) が組となっている。電氣的接続を必要としない診断装置を対象としており, (2-1) と (2-2) は各回路は外部端子とは接続されていないが, (2-3) は, 比較的為, 外部端子と接続されている。(2-1) と (2-2) は, PN 接合タイプが異なる。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula DRC **トランジスタ数：**10 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別：**TEG (特性評価回路など)

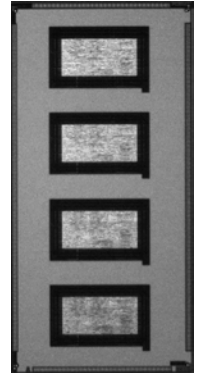


LSI故障診断装置評価用 TEG (5-1)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. 大規模な実用 LSI での故障診断性能を評価することを目的としており, 80386 マイクロプロセッサのサブセット 3 回路分を有する ITC99 ベンチマーク回路 b17 のマクロブロックをレイアウト合成し, このマクロブロックを 4 つ集積している. 電氣的接続を必要としない診断装置を対象としており, 各回路は外部端子とは接続されていない. LSI 故障診断装置評価用 TEG (5-1) ~ (5-4) が組となっており, (5-1) は比較参照用の正常回路, (5-2) ~ (5-4) は回路の各所に擬似欠陥を作り込んだ不良回路となっている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula DRC
ラン: ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** マイクロプロセッサ



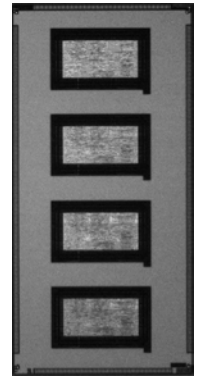
トランジスタ数: 100,000 以上 試作

LSI故障診断装置評価用 TEG (5-2)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. 大規模な実用 LSI での故障診断性能を評価することを目的としており, 80386 マイクロプロセッサのサブセット 3 回路分を有する ITC99 ベンチマーク回路 b17 のマクロブロックをレイアウト合成し, このマクロブロックを 4 つ集積している. 電氣的接続を必要としない診断装置を対象としており, 各回路は外部端子とは接続されていない. LSI 故障診断装置評価用 TEG (5-1) ~ (5-4) が組となっており, (5-1) は比較参照用の正常回路, (5-2) ~ (5-4) は回路の各所に擬似欠陥を作り込んだ不良回路となっている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula DRC
ラン: ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** マイクロプロセッサ



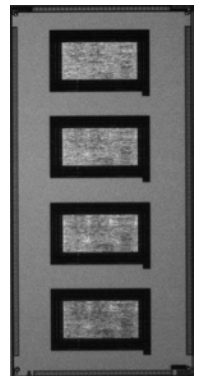
トランジスタ数: 100,000 以上 試作

LSI故障診断装置評価用 TEG (5-3)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. 大規模な実用 LSI での故障診断性能を評価することを目的としており, 80386 マイクロプロセッサのサブセット 3 回路分を有する ITC99 ベンチマーク回路 b17 のマクロブロックをレイアウト合成し, このマクロブロックを 4 つ集積している. 電氣的接続を必要としない診断装置を対象としており, 各回路は外部端子とは接続されていない. LSI 故障診断装置評価用 TEG (5-1) ~ (5-4) が組となっており, (5-1) は比較参照用の正常回路, (5-2) ~ (5-4) は回路の各所に擬似欠陥を作り込んだ不良回路となっている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula DRC
ラン: ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** マイクロプロセッサ



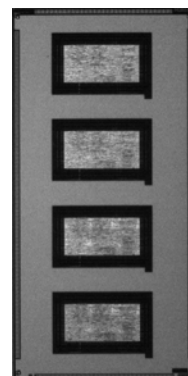
トランジスタ数: 100,000 以上 試作

LSI故障診断装置評価用TEG (5-4)

大阪大学情報科学研究科 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となったLSIの故障診断を行う為, 種々の故障診断装置が提案・開発されている. 本チップは, これらのLSI故障診断装置を評価することを目的として設計したチップの一つである. 大規模な実用LSIでの故障診断性能を評価することを目的としており, 80386マイクロプロセッサのサブセット3回路分を有するITC99ベンチマーク回路b17のマクロブロックをレイアウト合成し, このマクロブロックを4つ集積している. 電氣的接続を必要としない診断装置を対象としており, 各回路は外部端子とは接続されていない. LSI故障診断装置評価用TEG (5-1) ~ (5-4) が組となっており, (5-1) は比較参照用の正常回路, (5-2) ~ (5-4) は回路の各所に擬似欠陥を作り込んだ不良回路となっている.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Dracula DRC
ラン: ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** マイクロプロセッサ



トランジスタ数: 100,000 以上 試作

画素時間差分情報の膨張処理を用いたアナログ動体検出回路

東京大学大学院新領域創成科学研究科 仁木 祐介, 柴田 直

概要: 動画処理は計算量が膨大となるため, ハードウェア実装による高速化が欠かせない. 動画処理では, まず動体の位置を見つける必要がある. 本試作ではアナログ回路を用いた動体検出機能の実装を行った. まずフレーム差分により画素時間差分情報を取得し, 適応的な閾値による二値化を画素並列に行う. この値 (動きビット) を行および列ごとに数え上げてヒストグラムを生成し, 再度二値化することで動体の位置検出を行う. 画素時間差分情報を二値化するための閾値の決定が最も重要だが, 「OR増幅」という新たな概念を導入し, 動体由来の動きビットは背景由来のものと現れ方が異なる性質を用いて閾値を適応的に定める手法を考案した. 本チップは64x64画素のフォトダイオードを搭載し, 数ms程度で画像を取り込める. 各画素のフレーム差分はバンプ回路を用い, コンパクトに実装した. バイナリ値の数え上げはフローティングゲートMOS技術を用いた加算で実現し, 消費電力を低く抑えた.

参考文献: [1] Yusuke Niki, Yasuo Manzawa, Satoshi Kametani, and Tadashi Shibata, "A Moving-Object-Localization Hardware Algorithm Employing OR-Amplification of Pixel Activities," in Extended Abstracts of the 2007 International Conference on Solid State Devices and Materials (SSDM 2007), pp. 1062-1063, Tsukuba, Japan, Sep. 18-21, 2007.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** イメージセンサ/スマートセンサ



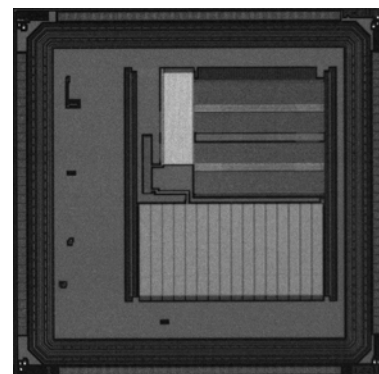
アナログ動体検出TEG用回路&1c1kPPEDベクトル生成回路

東京大学大学院工学系研究科 中川 琢規

東京大学大学院新領域創成科学研究科 仁木 祐介, 柴田 直

概要: 本チップは2つの異なる目的で回路を実装した. 一つ目は, アナログ回路を用いた高速な動体検出機能の実装である. まずフレーム差分により画素時間差分情報を取得し, 適応的な閾値による二値化を画素並列に行う. この値 (動きビット) を行および列ごとに数え上げてヒストグラムを生成し, 再度二値化することで動体の位置検出を行う. 画素時間差分情報を二値化するための閾値の決定が最も重要だが, 「OR増幅」という新たな概念を導入し, 動体由来の動きビットは背景由来のものと現れ方が異なる性質を用いて閾値を適応的に定める手法を考案した. 本チップで各要素回路の実装とその評価を行った. 二つ目は, 本研究室の連想プロセッサをベースとした実時間画像認識VLSIシステム構築である. 特徴ベクトルであるPPEDベクトルを実時間で生成可能なプロセッサの開発した. 本設計では, エッジ情報をSRAMメモリに保存させることでエッジ情報を有効に活用し, 演算部でベクトル情報を再利用させることで効率的なベクトル生成を実現した.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



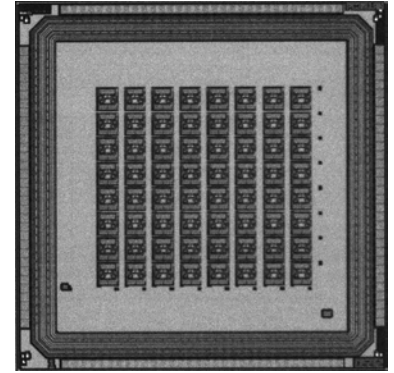
Smooth Optical Flow 計算回路

東京大学大学院工学系研究科 馬文静, 姜璟熙
東京大学大学院新領域創成科学研究科 柴田直

概要: 動物体の動きベクトル (optical flow) を求めることによって, 動きの方向と大きさを知ることができる. Normal optical flow の計算では, 動きベクトルの計算に局所的な画像の輝度値情報しか使わないため, aperture 問題が存在し, 求めた動きベクトルが正確性に欠けるという問題がある. この問題を回避するために, smooth optical flow のアルゴリズムが [1] で提案され, ハードウェア実装が行われた. 本チップでは, 最終の計算結果の信頼性を高めるために, smooth optical flow の計算において最も重要な乗算部分に, 本研究で新しく提案する広い線形レンジを持つ乗算器を適用した. 原理検証のために, 8×8 ピクセルのテスト回路を実装した.

参考文献: [1] A. Stocker and R. Douglas, "Computation of smooth optical flow in a feedback connected analog network", Advances in Neural Information Processing Systems 11, 1999, MIT Press, pp. 706-712.

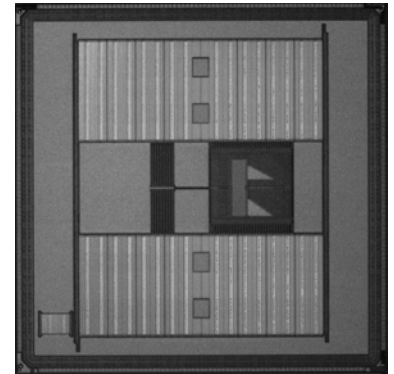
設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Avanti社 Star-HSPICE **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



方向性エッジヒストグラムマッチングを用いた実時間動き場生成プロセッサ

東京大学大学院新領域創成科学研究科 藤田和英, ハオジャ, 岡野祐太, 柴田直

概要: 動画の各フレーム中の物体の動きの検出は, その動きの認識をするために重要であるが, 一般的に計算コストが高く, 専用のハードウェアによって高速化するメリットが大きい. 本試作では, 動き検出の中でも精度が高いが, 特に計算コストの高いブロックマッチングを方向性エッジのヒストグラムマッチングによって行い, 物体の動きの大きさと方向を検出することのできるプロセッサを開発した. 各フレームのエッジデータを領域で規則的に分割し, 複数個のオンチップメモリに保存することで, ブロック内のデータを1クロックサイクルで読み出しすることができ, さらに差分絶対値和演算, 最小値探索を並列に実行することで, 1クロックサイクルにつき任意の1箇所の動きベクトルを求めることが可能である. 本チップは電源電圧1.2V, 動作周波数20MHzで, 256×256 ピクセルの動画について, 16×16 ピクセルのブロックマッチングによって8ピクセル以内の動きを検出できることを実測によって確認した.



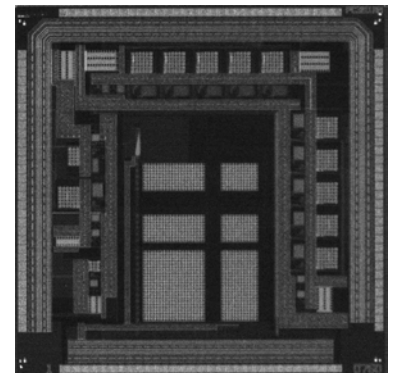
設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Avanti社 Star-HSPICE, Synopsys社 Nanosim, Hercules, Star-RCXT **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

神経信号センシングLSIのためのCMOS低雑音増幅回路

広島大学先端物質科学研究科 浴良仁, 升井義博, 吉田毅, 岩田穆

概要: 生体活動に制約を加えない小型の神経信号センシングLSIの実現は, 生体活動と神経活動の関係を正確に把握するため, 生体工学および生物学の分野で要望されている. 本研究では, 多入力チャンネルを備えた神経信号センシングLSIのためのCMOS低雑音増幅回路の設計を行った. Auto-zero技術を適用することで, DCオフセット電圧と低周波雑音を低減すると同時に, 入力信号を微分する. これにより, 商用交流雑音 (振幅: 1mV程度, 周波数: 60Hz) を神経信号 (振幅: 50 μ V~100 μ V程度, 周波数成分: 500~1kHz) に対して20dB程度低減させる回路を設計した. 微分された信号はデジタル領域で積分することにより元の波形を再現することができる. 測定結果より, 従来回路では低減できなかった商用交流雑音を信号帯域に対して約18dB低減することが可能で, 神経信号を35.6dB増幅できる高入力インピーダンス増幅回路を実現した. 帯域内雑音 (~100kHz) は2.7 μ V, 1入力チャンネルあたりの消費電力は70 μ W@1.4Vである.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreXRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

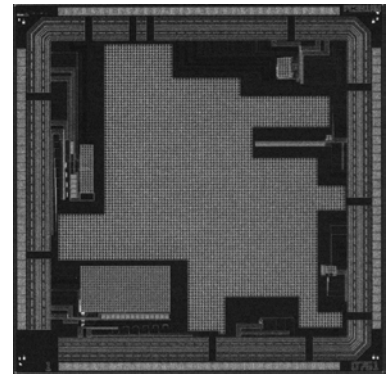


生体用途向けアナログ要素回路 TEG

広島大学先端物質科学研究科 升井 義博, 吉田 毅, 岩田 穆

概要: 体液の Ph, 生体内の電位や温度情報などを継続的に観測する, 生体用途向け小型センサの実現が要望されている. 本試作チップではセンサを構成する一般的な演算増幅回路, サイクリック形 Analog-to-Digital Converter (ADC), 低電力逐次比較形 ADC およびラッチコンパレータをアナログ要素回路 TEG として試作した. 設計した CMOS 演算増幅回路の DC ゲインは 84dB, カットオフ周波数 130kHz, 消費電力 70 μ W@1.5V である. サイクリック形 ADC は演算増幅回路と 1.5bit コンパレータで構成し, 12bit 分解能, サンプル周波数 10kHz, 消費電力は 50 μ W@1.5V で動作する. また逐次比較形 ADC は 8bit 分解能, サンプル周波数 50kHz, 消費電力 10 μ W で動作する. チップの評価は今後行う予定である.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Synopsys 社 StarRCX **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

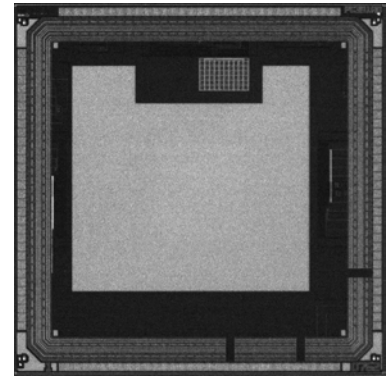


人体を伝送路とするデータ通信回路

広島大学先端物質科学研究科 向井 徹, 岩田 穆

概要: 近年, 人間に関係する種々の情報を生体センサネットワークで継続的に測定し健康管理を行おうとする研究がなされている. しかしセンサ間通信には従来から用いられている有線方式では導線が行動を制限してしまい長時間の測定に適さない. 一方, 無線方式では導線は不要だが, 長バッテリー寿命化が困難である. 本研究では導線が不要かつ低消費電力の見込める, 人体を伝送路として利用する通信回路のフロントエンドを試作した. 人体を伝送路とする通信ではグラウンド線が浮遊容量で構成されるために周囲の環境や人の姿勢によって受信振幅が大きく変化してしまうが, ボルテージフォロワ回路で入力回路のグラウンド電圧を制御し, 入力容量を小さく見せることで受信振幅を最大化し, この問題を解決した. 本チップには受信回路 TEG のほかデータ送信回路を集積化している. チップ評価は未了だが, 人体モデルを含む回路シミュレーションでは通信速度 1Mbps, 消費電力 4mW が得られている.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)

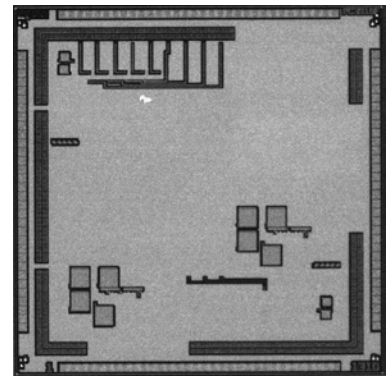


PLL による LSI テスト用高精度電流源回路

九州大学システム情報科学府 李 田茂, 黒木 幸介

概要: LSI に組み込まれた電流基準はバンドギャップ定電圧回路に電流制限抵抗を付加した回路が知られるのみである. LSI 内に実装可能な抵抗は $\pm 30\%$ もの絶対値誤差をもつ. 電流源の精度がこの誤差で決められてしまう. LSI 化する場合にはトリミング手法を使うのは厄介である. 抵抗をキャパシタで置き換えるスイッチングキャパシタ手法も提案されているが, キャパシタは温度係数が良いものの, 絶対値の製造ばらつきは依然として $\pm 15\%$ は覚悟しなければならない. 今度試作したチップでの定電流源回路はスイッチトキャパシタ回路のスイッチング周波数を使って安定化するシステム的手法である. スwitchトキャパシタにより作製した等価抵抗が, プロセスばらつきを持つ容量値の他に, スwitchトキャパシタによっても制御できる点に着目し, 外部校正電流源を使ってチップ毎にスイッチング周波数を校正記憶する手法を提案した. 校正によりチップ毎に決まった周波数は水晶振動子を用いたシステム基準周波数を用いて PLL により安定に保つことができる. 今度 Rohm018 のチップを試作, 設計した回路の有効性を確認するつもり.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

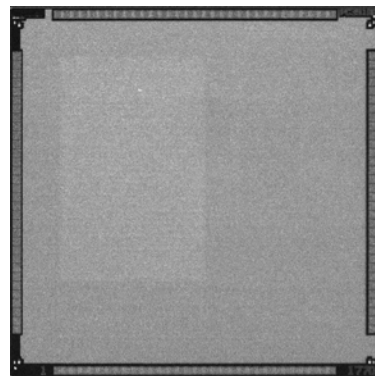


駆動力を上げたラッチ回路と消費電力測定回路

横浜国立大学大学院工学府 生田 浩康, 山田 日登美, 吉川 信行

概要: 今現在動作が安定し消費電力が最も小さい pal4n を出力ドライバ用に駆動力を上げた回路であり, 今後これらのドライバを用いることで動作周波数を上げることができる. 過剰な駆動力のドライバでは回路の面積や消費電力の無駄となるので必要最低限の駆動力を調べるために今までの5倍から100倍までの pal4n がのせられている. 断熱的4bit加算回路はキャリアの入力のラインがピンにつながっていないというミスを修正し, もう一度載せている. 10倍に駆動力を上げたラッチ回路を1bitの加算回路の出力につけ, 以前よりも高速動作化させている. 前回と同様の断熱回路の消費電力を測定するための回路規模は4096ゲートである. 比較用に通常のCMOSでも4入力アンドを4000ゲート並列した回路を載せている.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

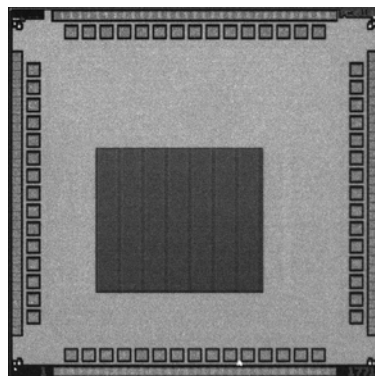


SFQ/CMOS ハイブリッドメモリシステム用メモリ

横浜国立大学大学院工学府 岡本 悠史, 河合 宣彰, 吉川 信行

概要: R1771:PC379DER1771:RO1807_4にて設計したメモリで発覚したレイアウトミスを修正した回路. すなわちSFQ/CMOSハイブリッドメモリシステムのメモリ回路である. サイズは64kbit. 修正箇所はグラウンドラインと出力ラインが重なっていた部分の修正, メモリセルのいくつかがグラウンドが浮いた状態になっていた点を修正した. また, デコード方法を検討し, いくつか不要なデコードの削除を行いそれに合わせてトランジスタサイズの変更を行っている. 細かい点ではデコードの配置換えも行った. 測定は未だに行っていないため, 正常動作は確認できていない. 後日, 測定を行う予定である. メモリの周りがあるリングオシレータはR1771:PC379DER1771:RO1807_4と同一のものである.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreXRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ



プロセッサとしても利用可能な粗粒度リコンフィギュラブルデバイス

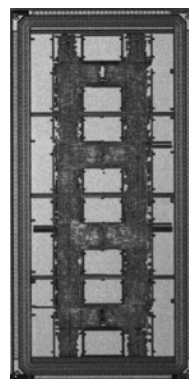
京都大学情報学研究所 神山 真一, 廣本 正之, 越智 裕之

立命館大学総合理工学研究機構 中村 行宏

概要: 本チップは, 粗粒度再構成可能デバイスの1つであり, タイルと呼ばれる要素の2次元アレイ構造を持っている. 本チップにおいては $2 \times 4 = 8$ タイルを持つ. 各タイルは, 4つの16bit整数ALU, 24bit \times 512語のインストラクションメモリおよび16bit \times 512語のデータメモリを内蔵する. 各タイルは「プロセッサモード」と「ALUアレイモード」の2つの動作モードを有し, 各タイルは, プロセッサモードでは16bitの5段パイプライン化された整数プロセッサとして, ALUアレイモードではALUカスケードベースのハードウェアエンジンとして使用することが可能である. ALU等の回路要素は, 両モードにおいて共用されており, 回路要素間の配線の切り替えにより, プロセッサとしての動作とALUアレイとしての動作が切り替えられる. このモード選択はタイル外部の制御信号によって行われる.

参考文献: [1] 神山, 廣本, 越智, 中村 "プロセッサモードを組み込んだALUベース動的再構成デバイス", pp.64-69, 電子情報通信学会技術研究報告 Vol. 107, No. 415, VLD2007-128, CPSY2007-71, RECONF2007-74, 2008年1月

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Astro, Synopsys社 Milkyway, Cadence社 Virtuoso **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm \times 5.0mmチップ **チップ種別:** マイクロプロセッサ

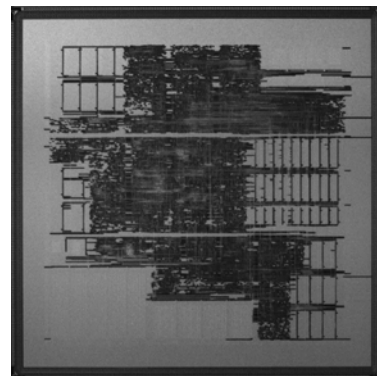


低遅延画像伝送システム向け 158 MS/s JPEG 2000 コーデック LSI の開発

金沢大学自然科学研究科 深山 正幸, 井家 佑介, 春日 隆文, 稲田 遼一, 松田 吉雄

概要: 現在, ユビキタスネットワークの発展により画像伝送の高画質・高精細化が要求されている。また, 双方向通信などでは低遅延性も重要である。これらの要求を満たす画像圧縮技術として JPEG 2000 が挙げられる。本研究では, JPEG 2000 の中で処理が複雑で演算量が多い EBC (Embedded Block Coding) 部について以下の新しい処理方式およびアーキテクチャを開発した。ビットプレーン並列方式とバス並列方式によりスループットを従来の 3×ビットプレーン枚数倍とした。ビットプレーンの並列処理を行いながら regular mode をサポートし, 高画質化した。投機的処理によってデコード時のスループットを 32% 向上させた。EBC および BPC (Bitplane Coder) アーキテクチャを開発し, 160 MHz 動作で 158 MSample/s のスループットを実現した。新処理方式及びアーキテクチャによりコードブロック並列方式と比較して, コードブロック用メモリ容量を 64%, BPC 用メモリ容量を 67% 削減した。0.18 μ m プロセスで試作を行いゲート数は 100 万, チップ面積は 7.5mm 角であった。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 7.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



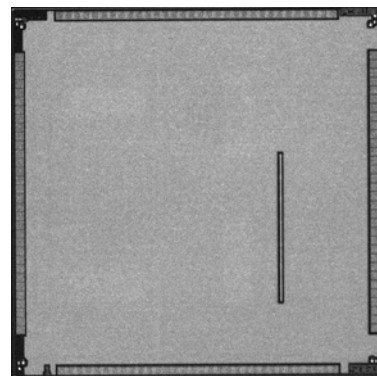
バス配線 Delay 測定用 TEG の設計 (2)

高知工科大学大学院工学研究科 安岡 佐知子

高知工科大学工学部 橋 昌良

概要: 配線遅延測定回路をおおまかに分けると, 配線 Delay 回路と VCDL の二つにより構成された設計となっている。配線 Delay 回路と VCDL によりリングオシレータを構成し, 最後にインバータを通して増幅し, 出力される形となっている。VCDL はリングオシレータの発振周波数を調整するための遅延回路である。発振周波数の調整は, 遅延を測定する配線の周囲に配置した配線に, 発振周波数と同じ周波数の信号を加えるために必要となる。配線 Delay 回路は, 分岐した偶数本の配線と bus 配線で構成されており, セレクタによってドライバ, レシーバ間の配線を変えることができる。このうち 1 組はバス配線に接続されておらず, この経路をバス配線を通過する経路での発振周波数の差から, 配線遅延を算出する構成となっている。このチップは, 以前に試作したチップの回路に問題があり, 評価を行えなかった点を修正したものである。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre, Mentor 社 CalibreXRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

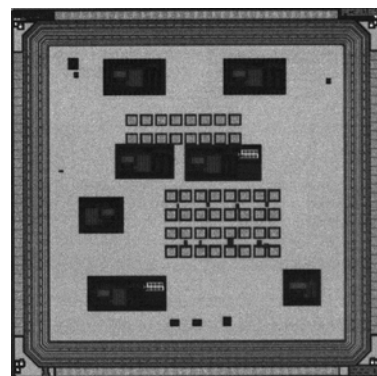


小型・高速 DC-DC コンバータ用制御部 LSI の開発

富山県立大学工学研究科 宮崎 崇裕, 岩田 栄之, 松田 敏弘

概要: DC-DC コンバータの小型・軽量化, 高効率化などを実現するためには, 安定制御が行え, 汎用性のある制御回路が必要となってくる。今回の試作では制御回路のブロックのうち, ヒステリシス制御方式用の比較器, AND 演算回路, ソフトスタート電圧発生回路, 基準電圧発生回路およびオペアンプを設計した。ヒステリシス制御用の比較器は外付けの抵抗を用いてヒステリシス特性を持たせる。また, 比較器を 3 入力にし, ソフトスタート電圧発生回路および基準電圧発生回路と組み合わせて, ソフトスタート機能を持たせる。オペアンプは基準電圧発生回路のユニティゲインバッファとして用いる。これらの回路を用いて基本的な DC-DC コンバータの評価を行う予定である。回路ブロックは前回と同様であるが, デジタル回路の配線の修正を行った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

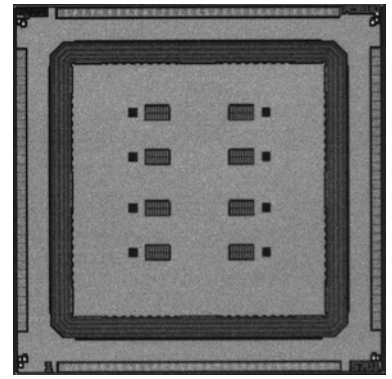


動作マージン評価用 SRAM

九州工業大学マイクロ化総合技術センター 野田 和徳, 中村 和之

概要: 先端プロセスのSRAMにおいて、素子微細化に伴う低電圧化、特性ばらつき増大によりメモセルのノイズマージンが不足し、動作不可能となる問題が指摘されている。この問題への対策として、SRAMのノイズマージン値算出を自動ツール化することにより、最適なSRAMセルトランジスタサイズを容易に求める手法を検討中である。本試作チップは、このSRAMセル設計手法の検証のためのTEGである。本チップは、異なるトランジスタサイズのメモセルを持つ8種類の256bit SRAMを搭載している。それぞれのSRAMの動作マージンをLSIテスターを用いて評価し、設計上のノイズマージン値と比較対照することにより、上記設計手法の有効性確認を行う。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

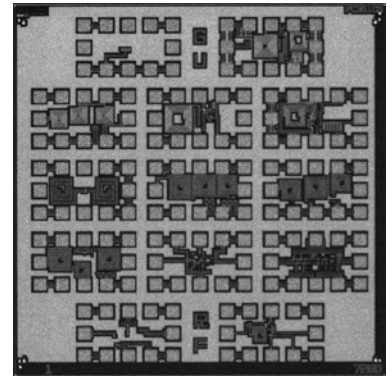


高速・高周波アナログ CMOS 回路試作実習 TEG

群馬大学大学院工学研究科 石原 昇

概要: 群馬大学における高速・高周波アナログ集積回路設計基礎講座の一環として、高速・高周波ICの試作実習を実施した。トランジスタレベルの回路設計、レイアウト設計の基礎を指導し、入出力1ポート、制御端子1ピン、チップサイズ450 μ m x 750 μ m、動作速度1GHz以上を条件に任意の回路を設計してもらった。学生13名 (B4:3, M1:7, M2:2, D1:1) の設計による13回路を搭載した。主な搭載回路は帯域の異なる狭帯域増幅回路、カスコード型低雑音増幅回路、LC差動型、コルピッツ型、リング型などの発振回路、トランジスタの容量特性を利用した可変フィルタ回路、シリアルデータ通信用のイコライザ回路やパルス幅変調回路などである。評価は高周波プローブにより実施し、評価結果と設計結果を照合し、特性劣化の要因や不具合の原因を具体化することによって、高速・高周波ICの設計を行なう上でのポイントおよび高周波プローブによる特性評価技術を体得してもらった。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



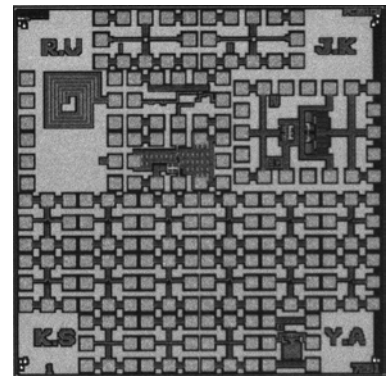
トランジスタ数: 10以上, 100未満

高周波アナログ特性モデリング用基本素子&回路 TEG

群馬大学大学院工学研究科 新井 康之, 氏家 隆一, 菊池 潤, 柴田 賢一, 石原 昇

概要: 高周波アナログ CMOS 回路設計の高精度化、および試作回路特性の検証を目的として、高周波特性モデリング用の素子TEGおよび基本回路TEGを搭載し試作を行なった。搭載した素子TEGは、(1) n型MOSトランジスタゲート幅のことなる水準を設定)、(2) p型のMOSトランジスタ (ゲート幅のことなる水準を設定)、(2) パワーアンプへの適用を狙った大電流用スパイラルインダクタで、基本回路TEGは (1) 基本増幅回路 (並列帰還型や差動型など)、(2) 負性抵抗を利用したインダクタレス発振回路、(3) LC共振回路などである。これらの素子の特性は、高周波プローブを用いたネットワークアナライザによるSパラメータの周波数特性評価や入出力波形特性評価により素子特性のモデリングを行なう。さらに、素子特性と基本回路特性との関係を明確化し、データベース化を図ることによって、高周波アナログ CMOS 回路の高精度設計を可能とする研究開発環境を拡充して行く。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



トランジスタ数: 10以上, 100未満

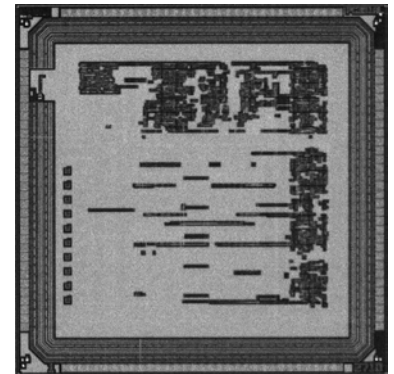
0.18 μm CMOS ASIC

東京大学工学部原子力国際専攻 石 伯軒, 藤原 健, 高橋 浩之

東京大学工学部バイオエンジニアリング専攻 島添 健次

概要 : We have been designing ASIC chips with 0.18 μm Rohm CMOS process since 2006 September. Our purpose is to use ASIC for front-end electronics of nuclear measurement and imaging such position emission tomography (PET) . Four chips have been submitted by now and all of them are shared by several colleagues in my laboratory. In September 2006, I have designed a charge sensitive preamplifier in the first chip. The preamplifier has used both NMOS and PMOS transistors as well as capacitors. The function of this charge sensitive preamplifier is to convert charge signal to voltage signal while noise performance and response speed are the key factors. Later in November 2006, we have submitted another ASIC chip. In this chip, I have implemented variable gain amplifier (VGA) and digital to analog converter (DAC) , both of which requires large value resistors and switch. I have adopted N-well resistor for the simple layout and NMOS transistor as the switch. In March 2007, we have designed another chip. At this time, we have mainly fixed the design and layout mistakes of the first 2 chips. I have revised the charge sensitive preamplifier with NMOS capacitor and VGA with poly resistors. Meanwhile, I have added various resistors to test their characteristics especially linearity. Last submission was in 2007 October, I have revised the charge sensitive preamplifier again to include an internal bias circuit. This design is close to prototype design. Right now, we are testing all chips we have received. We look forward to implementing a full mixed signal ASIC chip for our application soon.

設計期間 : 0.5 人月以上, 1 人月未満 設計ツール : Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数 : 10 以上, 100 未満 試作ラン : ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別 : アナログ/デジタル信号処理プロセッサ

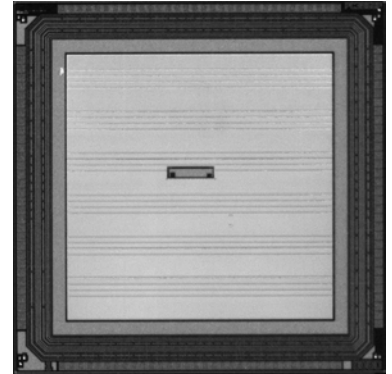


ALPHA (MEM_1)

慶應義塾大学情報工学科 佐野 徹, 加東 勝, 西村 隆, 堤 聡, 長谷川 揚平, 天野 英晴

概要: 動的リコンフィギュラブルプロセッサ MuCCRA は, 複数の PE (Processing Element) をアレイ状に並べた構造をもち, 動作中に構成情報を切り替えながら最適な PE 内部, PE 間のデータパスを構成することができる。構成情報はメモリに保持されるため, メモリの面積が MuCCRA の大きな割合を占め, 消費電力についても同様である。また, 現在 PE 間の接続にはマルチプレクサによるスイッチを利用しているが, トライステートバッファによる実装も検討中である。そこで, 本チップには, トライステートバッファによるスイッチの遅延や, 面積コスト, そのスイッチの動作を決定する構成情報を保持するメモリの大きさと構成の柔軟性間に存在するトレードオフを解析することを目的として, トライステートバッファを利用したスイッチとメモリを配置した。メモリについての動作のみの検証を実機にて既に行い動作が確認された。スイッチとしての動作については現在検証中である。

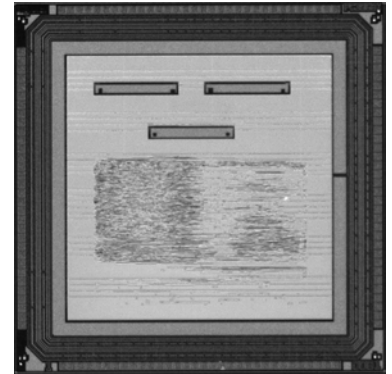
設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ

**BETA (PE_1)**

慶應義塾大学情報工学科 佐野 徹, 加東 勝, 西村 隆, 堤 聡, 長谷川 揚平, 天野 英晴

概要: 動的リコンフィギュラブルプロセッサ MuCCRA は, 複数の PE (Processing Element) をアレイ状に並べた構造をもち, 動作中に構成情報を切り替えながら最適な PE 内部, PE 間のデータパスを構成することができる。我々の研究目的の一つである動的リコンフィギュラブルプロセッサの低消費電力化を実現するため, PE1 個あたりの動作確認, 構成情報による消費電力の変化, 供給電圧に伴う最大遅延の変化などの挙動を解析するため, MuCCRA の PE1 個と構成情報を保持するコンテキストメモリとそれを制御する簡単なコントローラを配置したチップが本チップである。動作検証は既の実機で行い, 画像処理アプリケーション (フィルタリング処理) の動作が確認されたが, 消費電力などは現在計測中の段階である。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ

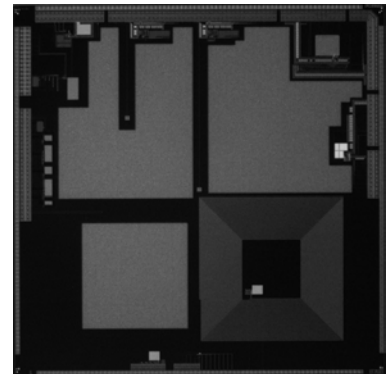
**生体用途向けアナログ要素回路 TEG**

広島大学先端物質科学研究科 升井 義博, 浴 良仁, 吉田 毅, 石川 智弘, 岩田 穆

広島大学工学部 安部 亨

概要: 体液の Ph, 生体内の電位や温度情報などを継続的に観測する, 生体用途向け小型センサの実現が要望されている。本試作チップではセンサを構成する温度センサ, 演算増幅回路, 低電力逐次比較形 Analog-to-Digital Converter (ADC), スパイラルコイルをアナログ要素回路 TEG として試作した。設計した PN ダイオードで構成する温度センサは 2.3mV/°C の感度を持つ。CMOS 演算増幅回路の DC ゲインは 86dB, カットオフ周波数 1Hz, 消費電力 76 μ W@1.8V である。また逐次比較形 ADC は 10bit 分解能, サンプリング周波数 50kHz, 消費電力 10 μ W@1.8V で動作する。チップの評価は今後行う予定である。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** TEG (特性評価回路など)



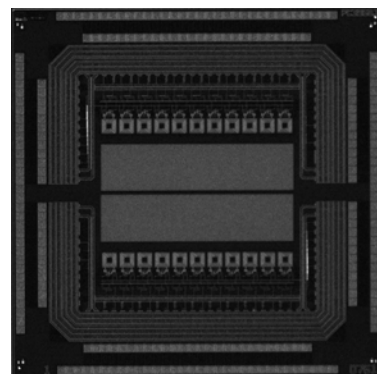
インダクタ結合インターコネク ト試験回路の設計1

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要：3次元集積回路技術において、スパイラルインダクタ対の磁界結合を用いた無線通信手法が注目されている。本手法は、貫通ビアによる3次元集積に比べ、位置合わせが容易であり、異種チップを集積することも出来る。本試作では、佐々木らが開発したインダクタ結合インターコネク ト回路 [1] を改良することを目的としている。まず、受信回路を差動構成にすることで、耐雑音特性を改善した。また、オートゼロ回路を組み込むことで、微調整が必要なバイアス電圧入力を不要にし、かつトランジスタのばらつき補正を可能にした。送受信回路サイズ100 μ m \times 250 μ m、インダクタサイズ100 μ m \times 100 μ m、通信可能距離60 μ m、転送速度1Gbps、転送回路数11個 \times 2列で設計した。

参考文献：[1] M. Sasaki and A. Iwata, "A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme", VLSI Sympo Dig. Tech. Papers, pp.348-351, (2005)

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



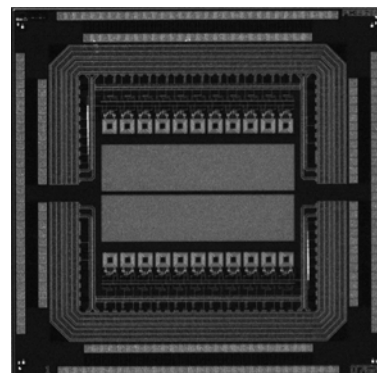
インダクタ結合インターコネク ト試験回路の設計2

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要：3次元集積回路技術において、スパイラルインダクタ対の磁界結合を用いた無線通信手法が注目されている。本手法は、貫通ビアによる3次元集積に比べ、位置合わせが容易であり、異種チップを集積することも出来る。本試作では、佐々木らが開発したインダクタ結合インターコネク ト回路 [1] を改良することを目的としている。まず、受信回路を差動構成にすることで、耐雑音特性を改善した。また、オートゼロ回路を組み込むことで、微調整が必要なバイアス電圧入力を不要にし、かつトランジスタのばらつき補正を可能にした。送受信回路サイズ100 μ m \times 250 μ m、インダクタサイズ100 μ m \times 100 μ m、通信可能距離60 μ m、転送速度1Gbps、転送回路数11個 \times 2列で設計した。

参考文献：[1] M. Sasaki and A. Iwata, "A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme", VLSI Sympo Dig. Tech. Papers, pp.348-351, (2005)

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



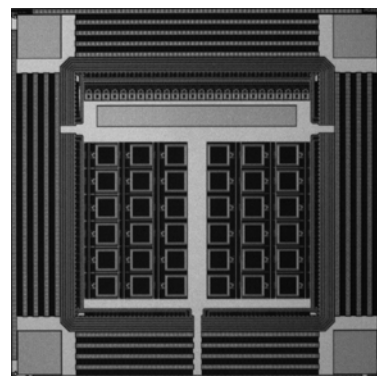
インダクタ結合インターコネク ト試験回路の設計3

広島大学大学院先端物質科学研究科 亀田 成司, 岩田 穆

概要：3次元集積回路技術において、スパイラルインダクタ対の磁界結合を用いた無線通信手法が注目されている。本手法は、貫通ビアによる3次元集積に比べ、位置合わせが容易であり、異種チップを集積することも出来る。本試作では、佐々木らが開発したインダクタ結合インターコネク ト回路 [1] を改良することを目的としている。まず、受信回路を差動構成にすることで、耐雑音特性を改善した。また、オートゼロ回路を組み込むことで、微調整が必要なバイアス電圧入力を不要にし、かつトランジスタのばらつき補正を可能にした。インダクタサイズの違いによる2種類の送受信回路を設計した。インダクタサイズ100 μ m角の送受信回路については、送受信回路サイズ100 μ m \times 250 μ m、通信可能距離60 μ m、転送速度1Gbps、転送回路数26個 \times 1列、インダクタサイズ300 μ m角の送受信回路については、送受信回路サイズ300 μ m \times 450 μ m、通信可能距離200 μ m、転送速度500Mbps、転送回路数6個 \times 6列で設計した。

参考文献：[1] M. Sasaki and A. Iwata, "A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme", VLSI Sympo Dig. Tech. Papers, pp.348-351, (2005)

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 CalibreRC トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：通信 (RF回路, ATMなど)

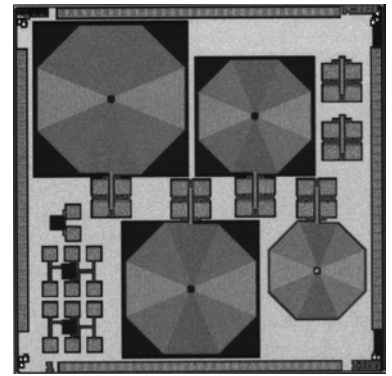


ESR 測定用のインダクタ TEG

金沢大学大学院自然科学研究科 牧野 良成, 野手 翔太
金沢大学工学部 秋田 純一, 北川 章夫

概要：電子スピン共鳴 (Electron Spin Resonance : ESR) 測定は、電子スピンの存在を示す共鳴現象によって、不対電子を持つ原子あるいは分子であるフリーラジカルの存在を検出する方法である。本方式では、従来の方式とは異なり、一定の直流磁場を与え、さらにオンチップインダクタによって発生する交流磁場の周波数を掃引する ESR 測定方法を提案した。そこで、オンチップインダクタを利用して ESR 実験を行うためにインダクタを設計した。本チップでは4角形よりも高い Q 値を実現しやすい8角形のインダクタを使用した。また、実際に ESR 測定で用いる上で測定が容易になるように、レイアウト上、大きいインダクタを設計した。現在評価中である。

設計期間：0.1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

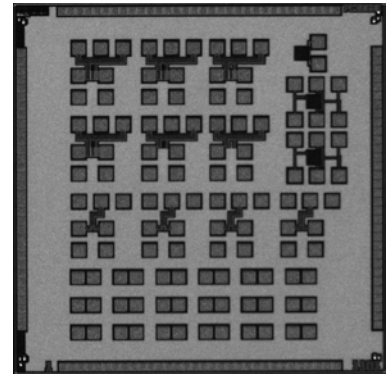


受動素子特性評価用 TEG

金沢大学大学院自然科学研究科 戸羽 辰夫, 狩野 孝太, 藤枝 茂
金沢大学工学部 秋田 純一, 北川 章夫

概要：無線通信やその他の集積回路で高い性能を実現するためには、受動素子における最適化設計は必要不可欠であり、また、そのためには、受動素子の素子値のばらつき等を知っておく必要がある。本チップでは 180nm プロセスを用いた特定小電力無線向け LSI、および高速画像認識 LSI の設計実現に向け、受動素子・MOS バラクタ・PD の TEG 設計、試作を行った。また、VDEC で提供されている九州大学の I/O に改造を行い、その設計、試作を行った。本チップは受動素子のデータシートにおける公証値と実測値の差異と、PD の動作を確認するためのものであり、測定データは等価回路モデリングにおけるパラメータ設定・調整等に用いる。また、I/O については、CR の時定数等を測定し、VDEC 側にデータとして提供する予定である。本レポート執筆時点では、実験環境を構築中である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

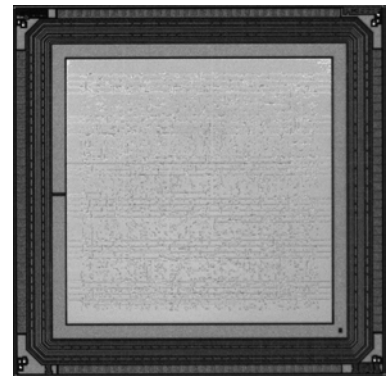


ビットシリアル演算器を用いたレイトレーシングハードウェアのプロトタイプ

広島市立大学情報科学部 川本 智之
広島市立大学大学院情報科学研究科 谷川 一哉, 弘中 哲夫, 山辺 裕樹

概要：3D レンダリング方式であるレイトレーシングは処理量が多く、現在開発されているプロセッサを用いても連続したレンダリングにリアルタイム性を持たせるのは難しい。そこで、本研究室ではビットシリアル演算器を用いたレイトレーシング高速化を図るハードウェアを提案している。そこで、今回チップに搭載可能な範囲で処理負荷の非常に高いとされる処理モジュールについて試作を行った。シリアルデータを扱うことにより入出力線の使用量を抑えることができ、シミュレーションでは高動作周波数において高い処理性能を得ることができた。また、テストによる測定は今後行う予定である。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



ユビキタスプロセッサ HC gorilla の大規模化及び改良

弘前大学大学院理工学研究科 武田 宏樹, 野田 一訓, 横山 温子, 深瀬 政秋
弘前大学総合情報処理センター 佐藤 友暁

概要：マルチメディアモバイルプロセッサ gorilla と大容量データ暗号用の RAP (Random Addressing Processor) の特徴を継承し、機能的かつ構造的に統合したハードウェア暗号組み込み型マルチメディアモバイルプロセッサ HC gorilla の大規模化を行った。また製造検査用回路を組み込み、内部の信号の検査を可能にした。今回試作した HC gorilla は、Multi-Core の実装と LIW (Long Instruction Word) をハードウェアレベルで実現し、ハードウェアで Media Data に対しての暗号化・復号化処理を行う為、大容量の Register File を配している。転置暗号方式を用いている為、大容量の Register File を配すと暗号強度の強化に繋がり、比較的大容量のデータを暗号することが可能である。

設計期間：10 人月以上 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.18 μ m 5.0mmx7.5mm チップ チップ種別：マイクロプロセッサ

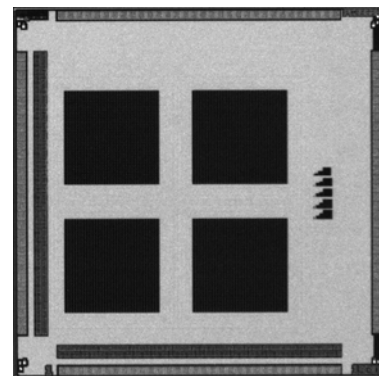


イメージセンサの検証用 TEG

東京理科大学工学研究科 加賀美 智子, 峰 陽介, 浜本 隆之

概要：本プロセスを用いた設計の環境を整えるとともに、将来の大規模なスマートイメージセンサの試作に備えて、撮像回路とその周辺回路の基本動作を確認するための検証用チップを試作した。本チップは、サイズと構成の異なる 20 個のフォトダイオードと読み出し回路の TEG, 4 種類のフォトダイオードアレイ回路で構成される。フォトダイオードアレイは縦 32x 横 32 画素とその画素数は小さく、画素アレイの周辺に配置した水平、および垂直シフトレジスタを用いて画像データを順次読み出す。これらの回路の検証により、各構造による光電変換効率の調査や、フォトダイオードアレイ回路のノイズの計測および読み出し回路の動作確認等を行った。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



トリガー機構を有するイメージセンサ TEG

茨城大学工学部 木村 孝之

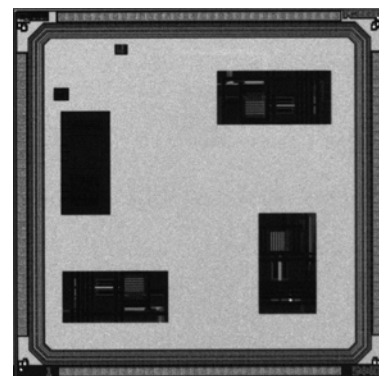
東京大学宇宙線研究所 佐々木 真人, 青木 利文

神奈川大学工学部 増田 正孝

東京工業大学理工学研究科 安田 雅弘

概要：一般的な CMOS イメージセンサではシャッターはローリング式かグローバル式が使用されている。本試作で製作したイメージセンサでは画素を”セル”と呼ばれる 16x16 画素の領域に区切り、そのセル毎に蓄積、ホールド、リセットが行える構造を採用した。この方式では外部にセルを制御するためのトリガー装置が必要になるが、蓄積し読み出す領域を限定することができるため、多発的、突発的に発生する現象に対して即座に応答し高スループットで画像を読み出す事ができる。これまでの試作ではリセットトランジスタの特性により十分な応答速度を得ることができなかつた。今回の試作ではトランジスタの構造を変更することにより応答速度を改善し、画像の読み出し速度の上昇をシミュレーションにより確認している。また、バイアス回路の工夫により、これまでの画素構造で応答速度を上げるための TEG も同時に設計している。現在は試作された L S I チップの動作を確認するために測定中である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Mentor 社 Calibre トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

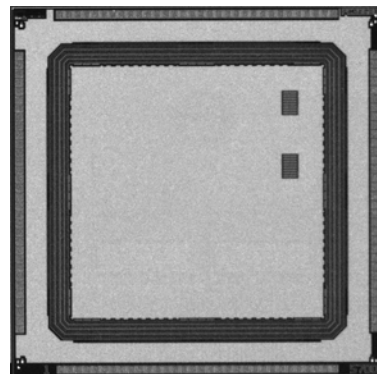


SNM 評価用 TEG

九州工業大学マイクロ化総合技術センター 野田 和徳, 中村 和之

概要: 先端プロセスのSRAMにおいて、素子微細化に伴う低電圧化、特性ばらつき増大によりメモリセルのノイズマージンが不足し、動作不可能となる問題が指摘されている。この問題への対策として、SRAMのノイズマージン値算出を自動ツール化することにより、最適なSRAMセルトランジスタサイズを容易に求める手法を検討中である。本試作チップは、このSRAMセル設計手法の検証のためのTEGである。本チップは、入力ー出力DC測定用インバータ回路と、それに対応するトランジスタサイズのメモリセルを持つSRAMとからなる。インバータのDC特性とSRAMの電源電圧依存性等動作マージンとを評価し比較対照することで、メモリセル設計手法の有効性確認を行う。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

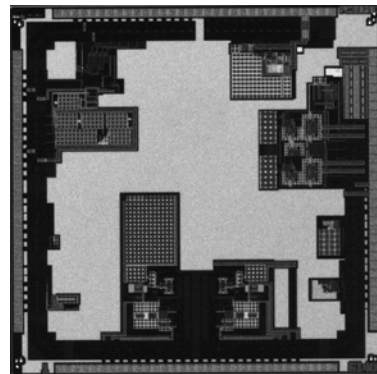


低スプリアス特性をもつ位相同期回路の試作と演算増幅器のTEG

東京工業大学理工学研究科 高木 茂孝, 藤井 信生, 佐藤 隆英, ニコデムス レディアン, 吉岡 正浩

概要: 低スプリアス特性の位相同期回路(PLL)の試作と演算増幅器のTEGを行った。PLLはチャージポンプ型PLLを採用し、スプリアスの原因であるチャージポンプの電流ミスマッチとチャージインジェクションを抑制する構成を用いており、スプリアス特性が従来のもものと比較して、約12dB改善できる。演算増幅器のTEGでは、(1)電圧ホロウ用高速演算増幅器、(2)パイプライン型アナログ-デジタル変換回路用高利得演算増幅器、(3)HVMOSを用いたシリーズレギュレータ、(4)バンドギャップリファレンスを用いた温度に不感なバイアス回路、の4回路を実装している。(1)では直流利得を抑制し、1GHzまで動作する電圧ホロウに特化した演算増幅器を実装している。(2)ではフォールデッドカスコード構成を用いており、フルレンジの入出力範囲と約100dBの直流利得を持つ。(3)では3.3VのHVMOSを用いて、1.8Vに降圧するシリーズレギュレータを構成している。(4)では演算増幅器とダイオードを用いて約30度で温度に不感になるバンドギャップリファレンスを構成している。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ(PLL, A-D/DC-DCコンバータなど)

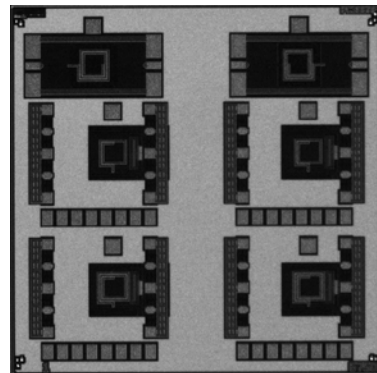


VCO

東京工業大学大学院理工学研究科 倉科 隆, 坂口 広宣, 松澤 昭

概要: 無線通信システムフロントエンド部にはデバイス特性を利用したRF回路が用いられる。RFデバイスの特性を適切に利用することで、求められる周波数においてRF回路から最適な特性を得る。そのためシミュレーションだけでなくTEGを作成し実測から回路の特性を評価しなくてはならない。そこで本TEGはインダクタ、バラクタ、スイッチにより切り替えるキャパシタによって周波数を制御する構成となっているCMOS差動型電圧制御発振器である。発振周波数は2.5GHz, 5GHzを想定している。ロジックプロセスであるためインダクタンスのQ値が低いことが懸念材料となっている。シミュレーションでは位相ノイズ、過渡解析を行い、その動作を確認したが、実測との比較が重要であり電圧制御発振器の特性が無線システムの構成に大きく影響する。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信(RF回路, ATMなど)

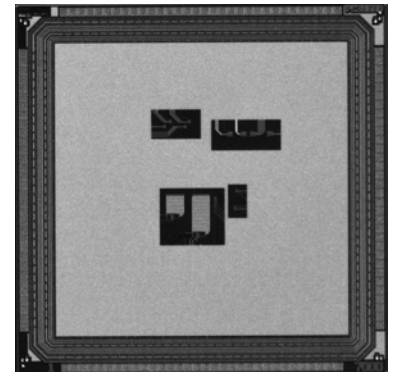


弱反転動作を用いた極低電圧アナログ増幅回路とアナログ記憶保持回路

山形大学大学院理工学研究科 高橋 良輔, 佐山 裕紀, 永井 裕也, 原田 知親, 奥山 澄雄,
松下 浩一

概要: 本試作では, 以下の2種類のアナログ回路を試作した. (1) CMOSプロセスは微細化と低電圧化が進んできたが, 微細化はサブスレッショルド電流の増加に伴う消費電力の増加を, 低電圧化はアナログ回路の利得低下などの悪影響を引き起こしてきた. 本試作では, 微細化・低電圧化を逆に利用して, 全てのMOSFETをサブスレッショルド動作させ, 電源電圧をしきい値電圧以下まで低下させた極低電圧アナログ回路の試作を行なった. (2) センサで取り込んだアナログ情報に対して, 一時的にアナログ値を保持するための記憶回路としてコンデンサが一般的に用いられている. しかし電荷保持時間が非常に短いため, 記憶された情報はすぐ消えてしまう. そこで, 本試作では, コンデンサに記憶しているアナログ値の記憶保持を目的としたアナログ情報記憶保持回路を試作した.

参考文献: [1] 高橋, 原田, 奥山, 松下, ”弱反転動作を用いた極低電圧アナログ増幅回路”, 電子情報通信学会総合大会, A-1-21, 2008
設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

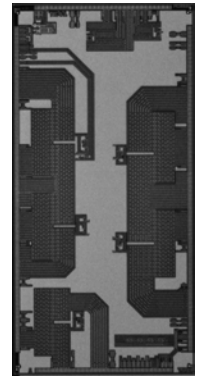


DC-DCコンバータの要素回路 TEG

早稲田大学情報生産システム研究科 吉原 務, 岡村 玲王奈

概要: 概要: DC-DCコンバータの高効率化を検討するため, 回路要素TEGとして, 出力MOSとドライバ部のトランジスタサイズを変えたものを複数作成した. シミュレーションによる結果と, 実測のデータを比較することによって, 負荷と損失の関係を明らかにする. また, 作成した出力部は外部の駆動信号により動作させるので, 外部信号を調整することにより, 高効率化において重要なデッドタイム, 動作周波数, 制御方式の検討もできる. また, 内部状態によりデッドタイムを自動生成する回路や, パルス幅を制御する回路を作成し, 有効性を検討する. 本TEG試作結果に基づき, DC-DCコンバータの高効率化の改善検討を進める. テスタによる測定は無しで, 各種特性は手動で実施する.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

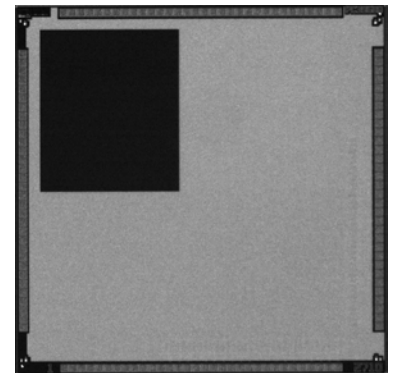


0.18 μ m WS-ASIC

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: 本研究室ではPET (Positron Emission Tomography) のための放射線検出器用の特定用途向けの専用集積回路の開発をおこなっている. 従来の多くはアナログを主とした信号処理であったが研究室ではアナログ・デジタルを混載し1chipで波形をサンプリングする波形サンプリング型放射線検出用ASIC (WS-ASIC) の開発を行ってきた. 1chには低ノイズプリアンプ, VGA, 100MHz/6bitsの高速ADCを含んでいる. 1チップに10chを搭載した. 従来0.35 μ mで実現してきたものを0.18 μ mでの実現を行った. これにより4倍程度の集積を行うことが可能となっている. プリアンプ, VGA, ADC単体のテスト回路を含んでおり, これらの詳細な評価を行う予定である. 今後さらに集積度を高めたマルチチャネルの実現へとつなげることとしたい.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



CMOSRF トランシーバ評価 TEG

東京大学工学系研究科 門馬 太平, Caner Basci, 金 鎮明

概要: 現代社会において情報の伝達, 獲得は重要なことである. 特に電子産業の発達につれ, 携帯電話や衛星のような空間制約を受けない無線通信技術を利用した情報交換の重要性は言うまでもない. 今回の試作では CMOS 無線通信に向け, 4つの位相を使った QPSK ダイレクトコンバージョン方式を用いた送受信回路とその評価するための TEG である. 今回のチップにはインダクタとそのインダクタの特性を測るための De-embed ダミーパターン, LNA, ADC, また VCO から Divider, MIXER までの動作を確認するための TEG が試作された. インダクタの特性を把握することによってもっと正確なモデルを作り, LNA や VCO などもっと精密な調整が可能であることを期待する. ADC については, 10bit 精度のパイプライン型のものを試作した.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** cadence composer schematic, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Synopsys Hercules, Synopsys Star-RCXT **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF 回路, ATM など)

MuCCRA-2

慶應義塾大学情報工学科 佐野 徹, 西村 隆, 中村 拓郎, 堤 聡, 長谷川 揚平, 天野 英晴

概要: MuCCRA (Multi-Core Configurable Reconfigurable Architecture) は, コンフィギュラブルな低電力マルチコア動的リコンフィギュラブルプロセッサに関するアーキテクチャ技術をチップレベルから提案, 開発, 解析することを目的としている. MuCCRA は, 複数の ProcessingElement (PE) をアレイ状に並べ, 各 PE の動作, 接続関係を構成情報によって動作しながら変更し, 最適なデータパスをつくることのできる. MuCCRA-2 は, 演算粒度が 16bit の PE を 4x4, PE 間の接続を行う SwitchingElement (SE) を 5x5, 演算データを保持する DATA MEM を 4 つもち, それぞれが構成情報を保持するコンテキストメモリをもつ. コントローラは実行するアプリケーションに応じて, 各ユニットのコンテキストメモリへ構成情報を転送し, 実行を行うことが可能である. また, 低消費電力化技術としては一般的な, クロックゲーティングを施してある.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** マイクロプロセッサ

トランスを用いた UWB CMOS 低雑音増幅器

大阪大学大学院工学研究科 木原 崇雄, 松岡 俊匡, 谷口 研二

概要: これまでに報告されている広帯域 CMOS 低雑音増幅器 (LNA: Low-Noise Amplifier) は, 広帯域インピーダンス整合 ($S_{11} < -10$ dB) と低雑音特性 ($NF < 4.0$ dB) を満たすために, 高い電源電圧と消費電力を必要とする. 本試作では, 低電源電圧 (1.0 V), 低消費電力 (2.5 mW 以下) で上記の要求を満たす広帯域 CMOS LNA を作製した. 回路構成は, ゲート接地構成において入力インダクタと負荷インダクタを重ね合わせトランスとした. トランスによりゲート接地トランジスタから生じる雑音が部分的に除去され, LNA の雑音特性が向上する. また, 出力にインダクタを直列接続させることで, 広帯域の入力インピーダンス整合を行っている. 試作した LNA は, 面積が 0.10 mm² で, 電源電圧が 1.0 V, 消費電力が 2.5 mW のとき, 周波数 3.1 · 10.6 GHz において -10 dB 以下の S_{11} , 7.8 dB 以上の S_{21} , 4.3dB 以下の NF を得た.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibrexRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF 回路, ATM など)

素子特性ばらつき測定回路

東京工業大学統合研究院 佐藤 高史, 石井 隆宏, 益 一哉

東京工業大学総合理工学研究科 中山 範明

東京工業大学精密工学研究所 伊藤 浩之

概要: 微細トランジスタの特性ばらつきを測定する回路をデバイスアレイにより測定する回路を実装した。また、デバイスアレイの面積を低減できる回路方式について検討し、その要素回路を実装した。本試作におけるデバイスアレイは、NMOSFET および PMOSFET のサブスレッシュホールド電流に着目して、そのばらつきを正確に測定することを目標として設計を行った。本試作により、従来のデバイスアレイの構造では、非選択のデバイスのリーク電流が重畳することにより観測が困難であったサブスレッシュホールド回路を正確に測定することが可能である見通しを得た。

参考文献: T. Sato, T. Uezono, S. Hagiwara, K. Okada, S. Amakawa, N. Nakayama, and K. Masu, "A MOS Transistor-Array for Accurate Measurement of Subthreshold Leakage Variation", IEEE International Symposium on Quality Electronic Design (ISQED), pp. 21-26, March, 2007.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

遅延変動評価と低リークエネルギー回路要素設計

東京大学駒場オープンラボラトリー 今井 雅

東京大学工学部 金 均東, 椎名 公康, 高田 幸永

東京大学先端科学技術研究センター 近藤 正章, 中村 宏, 南谷 崇

概要: VLSI 製造プロセスの微細化に伴い、製造プロセス・環境変動に伴う遅延変動が大きくなっている。本試作では、ベンチマーク回路等のクリティカルパスを構成する素子を用いてリングオシレータを設計し、チップ内に多数実装して遅延変動特性を評価した。また、微細化に伴う問題として、スイッチング動作に関わらず消費されるリーク電流がある。これを抑える手法に閾値電圧の高いトランジスタを電源線の直近に挿入し、非動作時に電源遮断を行うパワーゲーティング (PG) 手法がある。PG 手法では電源遮断を行うと対象回路内で値を保持することが困難なため、レジスタファイルに適用する際には、エネルギー削減率や遮断時間などのトレードオフを考慮して適用範囲・時間を決める必要がある。そのために必要な回路特性を評価するため、本試作では構成の異なる複数のレジスタファイルセルを設計し、それぞれ 32 ビット x 32 のレジスタファイルを実装して評価を行った。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

オンチップ信号モニタのバックエンドデータ処理系

神戸大学大学院工学研究科 橋田 拓志, 永田 真

概要: オンチップ信号モニタは、測定対象となる回路と同一のチップ上にモニタマクロを搭載することで、高速・高精度な波形取得を実現する。効率的な波形取得のため、本試作では、オンチップ信号モニタのためのバックエンドデータ処理系を開発した。512 ワードの命令メモリと 8000 ワード程度のデータメモリを備えたマイクロコントローラ及び、モニタシステムの制御信号生成回路により構成されている。このデータ処理系は、オンチップ信号モニタシステムと協調的に動作し、柔軟で高速な波形取得を可能とする。テストチップは現在評価中であるが、基本動作を確認し、オンチップ信号モニタとの協調動作したシステム構築に成功している。

参考文献: "An On-Chip Multi-Channel Waveform Monitor for Diagnosis of Systems-on-Chip Integration," K. Noguchi, M. Nagata, IEEE Transactions on VLSI Systems, Vol. 15, No. 10, pp. 1101-1110, Oct. 2007.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナデジ混載

サブスレッショルド特性ばらつき評価アレイ回路

大阪大学大学院情報科学研究科 更田 裕司, 濱本 浩一, 橋本 昌宜, 密山 幸男,
尾上 孝雄

概要: 超低電力 CMOS デジタル回路を実現する手法として, サブスレッショルド回路が注目されている. サブスレッショルド回路とは, トランジスタの閾値電圧よりも低い電圧で動作する回路のことで, 低速・低消費電力という特徴を有している. 一方で, 製造ばらつきによりその特性が大きく変動するという問題点がある. 本チップでは, サブスレッショルド回路における製造ばらつきの影響を測定・評価するために, NMOS/PMOS とリングオシレータをアレイ状に配置した回路を設計した. 本回路では, 6400 個のトランジスタの電流電圧特性と, 2800 個のリングオシレータの発振周波数を測定できる. また, 各デバイスに対して, 任意の基板バイアス電圧を印加して測定できるよう設計を行った. 本アレイ回路の測定を行い, サブスレッショルド特性のばらつきのモデル化・検証を行った. 基板バイアスによる特性の制御性についても評価を行った. また, 本回路とは別に, 基板バイアス電圧を印加する位置と制御性の関係を観測する回路を実装した.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

LSI 低消費電力回路技術

東京大学 VDEC 高宮 真

東京大学国際産学共同研究センター 桜井 貴康

概要: LSI の低消費電力化に向け, 2 つの回路技術の設計を行った. 以下で, 2 つの技術それぞれについて述べる. (1) CMOS 論理回路の電源電圧の動作下限を調べるため, 基板バイアスによってしきい電圧が調整可能な CMOS リングオシレータを設計した. (2) LSI の要求性能に合わせた電源電圧の動的変化を頻繁に行うために, オンチップ電源回路の設計を行った. 2 種の電源回路を組み合わせたハイブリッド構成により, 高効率かつ高速な電源電圧生成を目指す. (1) (2) に関して測定を行った. (1) では, リングオシレータの発振停止電圧のリングオシレータ段数依存やばらつきを評価し, 発振停止電圧が段数と nMOS/pMOS のしきい電圧バランスに強く依存することを見いだした. (2) では, 高効率かつ高速な電源電圧生成動作を確認した.

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 10 未満 **試作ラン:** ASPLA 90nm 5.0mm x 2.5mm **チップ種別:** マイクロプロセッサ

オープン故障研究 TEG

明治大学工学部 堤 利幸

徳島大学工学部 四柳 浩之, 橋爪 正樹

愛媛大学工学部 高橋 寛, 樋上 喜信, 高松 雄三

明治大学情報コミュニケーション学部 山崎 浩二

概要: 近年, プロセスの微細化のために LSI 内部の配線のオープン故障が顕在化しておりその対策が迫られている. しかし, オープン故障の故障モデルはなく, 従来の単一故障モデルで代用しているのが現状である. そこで, 最先端の STARC90nm プロセスを用いて, 意図的にオープン故障を挿入した TEG-LSI を設計・作製し, その観測結果を利用した故障のモデル化を行い, 新しい故障モデルに対するテスト生成方法および故障診断法の提案を目指す. テストチップの製作とその解析に基づく製造容易化設計のための新故障モデルとそのテスト・故障診断に関する研究を行うために, 微細プロセス 90nm のオープン故障用 TEG-LSI を作製した. 様々な配線構造にオープン故障を挿入した 152 個の配線構造 TE と小規模な回路にオープン故障を挿入した 24 個のマクロ・ベンチマーク回路 TE を組み込んだオープン故障用 TEG (正常配線, 物理オープン故障, 電氣的オープン故障) チップを試作している.

設計期間: 10 人月以上 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

平成19年度第2回ASPLA CMOS 90nm試作 (AS90072)

低電圧動作アナログ要素回路 TEG

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 小島 康志, 岩田 穆

概要: 近年の CMOS プロセス技術の進歩によりデバイスは微細化され、デジタル回路の高速化・高集積化が実現されている。しかし LSI の電源電圧は 1V 以下に低電圧化されるため、高精度・高ダイナミックレンジのアナログ回路の実現はますます困難になっている。したがって、我々はアナログ回路の低電圧動作および低雑音化技術について研究を行っている [1]。本チップは提案した低電圧動作可能なダイナミックレンジを拡大する回路技術を検証するため、変調回路を備えた増幅回路および $\Delta\Sigma$ ADC のアナログ要素回路 TEG を搭載している。測定結果より、増幅回路は電源電圧 0.5V、変調周波数 20MHz、消費電力 200uW を達成した。また $\Delta\Sigma$ ADC は電源電圧 1.0V、サンプリング周波数 20MHz、信号帯域 100kHz において、SNR64.4dB、消費電力 6mW を達成した。

参考文献: [1] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki and A. Iwata, "A 1V Low-Noise CMOS Amplifier Using Autozeroing and Chopper Stabilization Technique", IEICE Trans. Electronics., vol. E89-C, pp.769-774, Jun. 2006.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ASPLA 90nm 5.0mm x 2.5mm **チップ種別:** アナデジ混載

ビットシリアル演算に基づく細粒度多値リコンフィギャラブル VLSI

東北大学大学院情報科学研究科 亀山 充隆, 岡田 信彬, 伊藤 祐

概要: 高性能化を目指した 2 種類の細粒度多値リコンフィギャラブル VLSI を提案している。第一は多値ソースカップルドロジック回路に基づく細粒度リコンフィギャラブル VLSI である。この演算セルでは、任意の 2 値 2 変数関数を実現する回路をシリーズゲーティング差動対回路を用いて簡単に構成している。また、ビットシリアル演算に必要な 1 ワードの開始信号とデータ信号を、多値信号として同一の配線上に重畳することで配線数とスイッチ数を削減している。このセルを用いて何種類かの基本回路を試作し、測定したところ、全加算器において正しい入出力特性が確認できた。第二は、ビットシリアル演算が順序回路動作であることに着目した、順序論理に基づくリコンフィギャラブル VLSI である。3 値冗長演算では動作周波数を原理的に 2 倍に向上できることに着目した基本セルの試作を行い、測定を行ったところ、正常動作を確認した。

参考文献: N. Okada, M. Kameyama, "Low-Power Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuit", Journal of Multiple-Valued Logic & Soft Computing Vol. 13, pp.619-631 (2007)

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナログ/デジタル信号処理プロセッサ

90nm プロセスでのメモリコンポーネントの動作チェック

横浜国立大学大学院工学府 岡本 悠史, 河合 宣彰, 陳 賢珠, 吉川 信行

概要: 90nm プロセスを用いて SFQ/CMOS ハイブリッドメモリシステムを構築するため、メモリ回路のコンポーネントの動作チェックを目的として、コンポーネント単体をチップに載せた。メモリセル、行デコーダ、列デコーダ、差動アンプ、リングオシレータなどである。リングオシレータに関して測定を行った。301 段のリングオシレータの室温測定では出力が観測できたが、低温下（液体ヘリウム温度）では出力は観測できなかった。また、151 段、225 段のリングオシレータに関しては室温、低温両条件において出力を観測することができなかった。これは、測定器具である治具の対応周波数よりも高い周波数の発振が出力されたため観測ができなかったと考えられる。これの改善には、さらに多い段数のリングオシレータの設計を行う必要がある。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** その他

90nm CMOS 6-10GHz UWB 向け低電力送信器

慶應義塾大学理工学部 ヴィシャル クルカルニ, ムハンマド ムクシト, 石黒 仁揮,
黒田 忠広

概要: 次世代の携帯機器において、高速で低電力な無線通信への需要が高まりを見せている。これまでの研究成果により、データ伝送速度は既に数百Mbpsに達しており、消費電力がUWBの性能指標として非常に重要になっている。本研究の目的は1Gbps以上のデータ伝送速度を可能にし、かつ低電力な送信器回路を開発することである。6-10GHz帯のハイバンドUWBの送信器を提案し、試作した。送信器はOn-Off Keying (OOK) 変調で、中心周波数8GHz、パルス幅500psのパルスを生成する。提案する送信器回路は、デジタルベースのもので非常に低電力であり、先端プロセスを使用することでさらなる低電力化が期待される。180nm CMOSにて実装した報告は[1]にて行っており提案する送信器回路の動作は検証済みである。現在、試作したチップを測定中であり、今後IEEE SCS主催の国際会議等にて測定結果を発表する予定である。

参考文献: [1] V. Kulkarni, M. Muqsith, H. Ishikuro, and T. Kuroda, "A 750Mb/s 12pJ/b 6-to-10GHz Digital UWB Transmitter," IEEE CICC 2007, Dig. Tech. Papers, pp. 647-650, Sep. 2007.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF回路, ATMなど)

LSI内部電圧・内部容量測定回路

東京工業大学大学院総合理工学研究科 中山 範明
東京工業大学統合研究院 佐藤 高史, 山長 功, 大橋 一磨, 小林 由佳, 植山 寛之,
益 一哉
東京工業大学精密工学研究所 伊藤 浩之

概要: 半導体内部の直接電圧測定に際し測定系が回路に与える影響を制御するためのダンピング抵抗の特性を測定するための回路、およびステータ、ゲート数に応じて半導体のVDD, VSS間の容量がどう変化するかを測定するための回路を作成した。測定の結果、ダンピング抵抗は設計どおりの値が得られ、サンプルによるばらつきが十分小さいことを確認した。これによりオープン回路の測定結果と合わせて、半導体内部の電圧および容量の測定に必要なパラメータを得ることができた。また、サンプルのばらつきを参照するためのばらつきモニター回路を実装した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC **トランジスタ数:** 100,000以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

オンチップ信号モニタのためのデータ通信回路

神戸大学大学院工学研究科 橋田 拓志, 永田 真
概要: オンチップ信号モニタは、測定対象となる回路と同一のチップ上にモニタマクロを搭載することで、高速・高精度な波形取得を実現する。効率的な波形取得のため、本試作では、オンチップ信号モニタのためのデータ通信回路を開発した。単一の配線ペアに双方向の信号伝送を重畳するアナログ変調方式とし、オンチップ信号モニタのタイミング信号とデータ信号を双方向に送受信する。また本試作では、オンチップ信号モニタのフロントエンド・アナログ回路のプロローピング評価パターンもあわせて搭載した。テストチップの評価について、データ通信回路の基本動作を確認し、PCB上に実装されたチップ間において135Mbpsの双方向通信が可能であることを確認している。

参考文献: "An On-Chip Multi-Channel Waveform Monitor for Diagnosis of Systems-on-Chip Integration," K. Noguchi, M. Nagata, IEEE Transactions on VLSI Systems, Vol. 15, No. 10, pp. 1101-1110, Oct. 2007.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Analog Artist **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナデジ混載

電流モード作動ロジックに基づくクロストーク低減回路の実チップ評価

東北大学電気通信研究所 羽生 貴弘, 松本 敦, 三浦 成友

概要: 本チップ試作では, 本研究グループでこれまで提案してきた電流モード多値回路を対象とする, クロストークノイズと素子特性のばらつきに対する耐性を高める手法の検証を行うための回路を設計および回路実装した. 本設計において目的とした測定内容は以下の2つ: 1) 同相クロストークノイズに対する, 2線相補信号および動的負荷の2手法の組み合わせによるノイズ耐性の改善効果の検証, 2) 素子特性ばらつき補正手法の研究のための, 素子特性ばらつきの範囲及び傾向に関する情報の取得, である. 測定結果として, 従来回路では深刻な問題となる振幅の大きいクロストークノイズを発生させた場合においても, 提案回路では安定して正常な演算が行われていることが確認され, 提案方式の有用性が実証された. また, 素子特性ばらつきについての分布を得て, ばらつきの大きさやチップ内位置との関係など今後の研究において重要となるデータが得ることができた.

参考文献: M. Miura, and T. Hanyu, "Highly reliable multiple-valued current mode comparator based on active-load dual-rail operation," IEICE Trans. Electron., Apl. 2008, in press

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 Astro, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

チップ間無線通信のためのCMOS UWB送信回路

広島大学ナノデバイス・システム研究センター 吉川 公麿, 石川 智弘, 佐々木 信雄,
木本 健太郎

概要: ULSIチップ三次元実装技術におけるブレークスルーはチップ間無線インタコネクタ技術である. 集積化アンテナによる通信距離はcm程度であり, 再接続可能なチップ間多重通信が可能である. パルス方式ウルトラワイドバンド(UWB)通信は従来の通信方式と比べ回路構成が単純で, 小面積, 省消費電力が期待出来る. 本研究の目的は, 集積化アンテナを用いたUWBチップ間無線送受信回路の開発である. 過去, 我々は0.18 μ m CMOSルールでUWBチップ間送, 受信回路の開発に成功しており [1], 今回の試作では中心周波数の向上(>5GHz)を目標に送信回路の設計を行った. 今回試作したUWB送信回路では, 内部クロックの立ち上がりから三角波を生成し, それを微分してGMPを生成, 増幅後集積化アンテナに入力する. 設計した回路の消費電流は9mA, メアングダイポールアンテナ長50mm, アンテナ部分の面積は1mmx0.3mm, 回路面積は0.56mm², 送信データレートは最大3.2Gbpsである.

参考文献: N. Sasaki, M. Fukuda, K. Kimoto and T. Kikkawa, "CMOS UWB Transmitter and Receiver with Silicon Integrated Antennas for Inter-chip Wireless Interconnection," Proc. 2008 IEEE Radio and Wireless Symposium, pp. 795-798, Jan. 2008.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, JEDAT社 α -SX, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC, Silvaco社 SmartSpice **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF回路, ATMなど)

オンチップ電源ノイズ評価 TEG

大阪大学大学院情報科学研究科 小笠原 泰弘, 橋本 昌宜, 尾上 孝雄

概要: 本試作では電源ノイズによる電源電圧変動を測定する回路を実装し, 電源ノイズの測定を試みた. ノイズ測定回路はリングオシレータを基にした回路で, インバータとトランスミッションゲートから構成される [1]. この回路はデジタル回路素子のみで電源ノイズ波形を観測することが可能である. 前回試作より改良を行い, サンプルング性能の向上を試みた. 測定結果から, 電源ノイズ測定回路の動作, および性能を確認した. 施した改良により, サンプルング性能 (速度, 電圧分解能) の向上などが確認された. この回路を用いて電源ノイズ波形を測定し, デカップリング容量, 基板等による電源ノイズ低減の効果の検証を行った.

参考文献: Y. Ogasahara, M. Hashimoto, and T. Onoye, "Dynamic Supply Noise Measurement with All Digital Gated Oscillator for Evaluating Decoupling Capacitance Effect," Proc. CICC, pp. 783-786, 2007

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

ばらつきを利用して速度と歩留まりを向上させる FPGA

京都大学情報学研究科 久米 洋, 小林 和淑, 小野寺 秀俊

概要: FPGAの再構成可能性を利用して、速度と歩留まりを上げるためのテスト回路を試作した。本LSIでは、FPGAの基本構成要素であるCLBとCLB間の配線遅延を模擬するためのインバータチェーンより構成されるセグメントが10個接続されたラインを並べた構造となっている。各ラインは、インバータチェーンの段数が異なるセグメントを複数持つ。CLB間の経路は複数用意されており、ばらつきによって早くなった経路を選択することにより、速度を向上させることができる。最速経路の探索は、CLBに組み込んだ遅延比較器で、高速かつ並列に行なうことができる。テストの結果正常動作を確認した。

参考文献: 久米洋平, 杉原有理, Ngo Cam Lai, 小林和淑, 小野寺秀俊, "遅延比較器を用いた低コストなFPGAの速度・歩留まり向上手法", pp. 41-46, vol. VLD2007-163, ICD-2007-186, no., 電子情報通信学会技術報告 (2008)

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** その他

ばらつき評価, 基板バイアス評価, NBTI特性評価 TEG

京都大学情報学研究科 関 良平, 寺田 晴彦, 小林 和淑, 小野寺 秀俊

京都大学工学部 牧野 紘明

概要: 多数のリングオシレータを集積し、それぞれの発振周波数の変動を測定する回路、基板バイアスを加えることで、動作速度を変化させ、ばらつきの補正を行なう回路の2種類を搭載した。段数、セルの駆動力、セルの種類などを変えたリングオシレータを一つのマクロとし、そのマクロを30x15のアレイ状に配置してばらつきの測定を行なう。基板バイアスによるばらつき補正回路では、基板電位を制御するウェルコンタクトまでの距離により、セルの動作速度がどのように変化するかを測定することを一つの目的としている。また、ゲートにストレス電圧をかけることにより起こるNBTIによる劣化を測定するTEGも組み込んだ。テストの結果、正常動作を確認した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

三次元集積のための超高速クロック分配回路

広島大学先端物質科学研究科 宮本 慎一郎, 汐崎 充, 岩田 穆

概要: 高速動作する三次元集積システムを実現するにあたって、すべての積層チップに同期のとれたクロックを分配する必要がある。そこで、本研究では超高速、低スキュー、低ジッター、低消費電力のクロック分配法が実現できる誘導性負荷を用いた定在波発振回路を積層したチップ間に応用することを提案し、本チップにはCMOSの90nmプロセスを使用して、定在波発振回路に用いる伝送線路とCMOSクロスカップル回路を搭載した。微細デバイスを使用することで低消費電力化を図り、三次元集積するために回路の占有面積を削減することを目的としている。インダクタや貫通電極を外部取り付けのインターポーザを別途設計して実現した三次元集積構造を実現する。シミュレーションにおいて周波数14GHz、スキュー0.1psecの発信波形を得た。チップを含めた測定評価は今後行う予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreRC, Agilent社 ADS **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

三次元集積のための高速データ伝送回路

広島大学先端物質科学研究科 中島 文晴, 汐崎 充, 岩田 穆

概要: 近年, 情報機器は取り扱う情報量が急激に増大しており, 小型, 高速動作 LSI システムの実現が必要とされている. そこで, 半導体チップを三次元積層し, 貫通電極を用いてチップ間接続する実装方式が考案されている. この貫通電極は通常の平面配線に比べて寄生容量成分が大きく, 高速伝送の妨げとなるため, 貫通電極部の低電圧振幅化とインダクタピーキング技術により低消費・広帯域化を図った積層チップ間高速データ伝送回路を提案し, 設計試作を行った. 本試作チップには, 高速・低消費電力化に適した 90nm プロセスの微細なトランジスタを用いて, 貫通電極の寄生成分を模擬した伝送路で送受信回路を接続した伝送システムを実現し, M 系列生成回路, 出力バッファ回路, 貫通電極を模擬した伝送路評価用 TEG を搭載した. 測定により伝送レート 5Gbps の通信が確認でき, その時の送受信回路の消費電力は 1.1mW であった.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 CalibreRC, Agilent 社 ADS **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF 回路, ATM など)

精度補正機能付き低電力・高速 $\Delta\Sigma$ ADC 量子化器

広島大学先端物質科学研究科 原田 良枝, 岩田 穆

概要: 本試作では高速サンプリング周波数の $\Delta\Sigma$ AD 変換器に適用することを目的とする動作周波数 1GHz, 分解能 4 ビットのフラッシュ型量子化器および逐次比較型補正データ生成回路を設計した. 15 個の各コンパレータに量子化レベル生成機能を持たせることで抵抗ストリングを不要とし, かつ MOS サイズを最小にすることで高速・低電力にする. 電源電圧 1V, 1GHz 動作で消費電力は約 1.2mW である. 量子化レベル誤差に対しては容量アレイ補正回路により, 1LSB=25mV に対し最大 55mV 補正可能とした. また, その補正データを逐次比較的に生成する機能を持つ回路 TEG も搭載した. 測定評価の結果, 電源電圧 1V でクロック周波数 1.5GHz までコンパレート動作することを確認した. 消費電力はクロック周波数 600MHz で 1.13mW@1V である. また, 10MHz のクロックで補正動作確認を行ったところ, 外部からの補正データ送信により INL=0.08LSB 以下を達成した. 補正データ生成回路の評価は今後行う予定である.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

0.5 V 動作 RF 要素回路

大阪大学大学院工学研究科 木原 崇雄, 朴 海柱, 田古部 勲, 山下 文明, 松岡 俊匡,
谷口 研二

概要: CMOS プロセスの微細化に伴い集積回路の電源電圧が低下するため, 低電源電圧動作に適した RF 回路が要求される. 本試作では, 0.5 V で動作する低雑音増幅器 (LNA), ミキサ, そして電圧制御発信器 (VCO) を試作した. LNA の回路構成をフォールデッド構成とし, さらに内部インダクタと負荷インダクタを磁気結合させトランスとした. トランスとすることで, LNA の面積を削減することができる. 提案する LNA (0.21 mm²) は 0.5 V の電源電圧, 1.0 mW の消費電力で, 周波数 4.7GHz において -10 dB 以下の S11, 16.8 dB の S21, 3.9 dB の NF を得ており, 従来のフォールデッド型 LNA (0.29 mm²) の約 2/3 の面積で同等の性能であった. ミキサにスイッチトランスコンダクタ, そして VCO に電流源を用いない CMOS 構成を用いることにより, 低電圧動作を可能とした.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF 回路, ATM など)

低消費電力 Viterbi デコーダの試作

北海道大学大学院情報科学研究科 吉澤 真吾, 宮永 喜一

概要: 近年の無線通信では MIMO や OFDM 方式に代表されるデジタル無線通信技術の発展に伴い, 送受可能なデータ伝送容量が飛躍的に向上している. その背景には, FFT プロセッサや Viterbi 復号器, MIMO 復号器などの高い演算処理能力を持つベースバンド処理回路を LSI チップに実装し, 無線装置を製品化できたことが要因の一つであると考えられる. ベースバンド処理回路の高性能・大規模化に伴うリスクは消費電力の増加であり, 処理性能に比例して増加する. 今後もその絶対量は増加していく傾向がある. 本試作ではベースバンド処理回路の低消費電力技術の開発を目的として, 基数 2, 拘束長 7, 符号化率 1/2 の Viterbi デコーダを設計した. 回路ではトレースバック長, 演算語長を可変とした動的再構成機能を導入し, 動作状況に応じた電力削減を行うことができる.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナログ/デジタル信号処理プロセッサ

高ランダムアクセスバンド幅を有する多ポート SRAM 設計

広島大学ナノデバイス・システム研究センター 上口 光, 椋田 佑也, 和泉 伸也,
賀谷 彰大,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要: 90-nm CMOS 技術を用いて, 世界最高性能のランダムアクセスバンド幅を 1Tbps を有する多ポート SRAM を小面積, 大容量で実現した. 前回の試作までに得られていた面積効率の利点はそのままに, 今回の設計では, ポート当たりのビット幅を増やすことによりランダムアクセスバンド幅 1Tbps を実現した. また, SRAM 部とロジック部を独自に電源操作を行うことにより, 低消費電力も同時に実現している. 現在このチップは評価中であり, 実測評価は終了していない.

参考文献: K. Johguchi, Y. Mukuda, S. Izumi, H. J. Mattausch and T. Koide, "A 0.6-Tbps, 16-port SRAM design with 2-stage-pipeline and multi-stage-sensing scheme," Proc. of ESSCIRC2007, pp. 320-323, 2007.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Silvaco 社 Exper, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC, Silvaco 社 SmartSpice **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 5.0mm x 5.0mm **チップ種別:** メモリ

動的再構成 FPGA (フレキシブルプロセッサ 4)

東北大学未来科学技術共同研究センター 宮本 直人, 大見 忠弘

概要: 本チップは, クロック単位で回路を再構成可能な FPGA: フレキシブルプロセッサ 4 である. フレキシブルプロセッサ 4 は, コンフィギュレーションデータを保存するメモリをオンチップに 16 コンテキスト分搭載しており, また, 16x16 個の LUT ベース論理素子 (3~6 入力を任意に切り替え可能) を搭載している. したがって, フレキシブルプロセッサ 4 は時空間合わせて 4,096 個の論理素子を実現可能であり, 最大約 100K ゲート規模のユーザ回路をマッピングできる. さらに, 動的再構成技術を用いることにより, クリティカルパスのマッピングを 2次元 (空間) から 3次元 (空間+時間) に拡張することで, クリティカルパス遅延を約 20%低減することができる [1]. 昨今, 配線遅延が LSI 設計上で最重要課題となっているが, 我々の時空間分割技術を用いることで配線遅延の増加が抑えられると考えて研究を進めている.

参考文献: R. Pantomial, Md. A. Khan, N. Miyamoto, K. Kotani, S. Sugawa, T. Ohmi, "Improving Execution Speed of FPGA using Dynamically Reconfigurable Technique", pp. 108-109, in proc. of the ASP-DAC2007 (2007).

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナログ/デジタル信号処理プロセッサ

誘導結合通信を用いたプロセッサ

概要: 本チップには、誘導結合通信とプロセッサが搭載されており、これらを組み合わせた際の性能向上を実測で評価することが目的である。誘導結合通信：チップには誘導結合通信用のインダクタ・送受信器が18個あり、2個がクロック用、16個がデータ用であり、チップ間のデータ通信を行っている。従来の同期通信に比べ、3倍のデータレートで通信する。同期と非同期を用いて電力を削減し、また時分割を利用してノイズが少なく、BERの高い通信を実現する。プロセッサ：チップ毎に16個プロセッシングエレメントがあり、信号処理を並列に行う [1]。リコンフィギュラブル機能があるので、様々な処理に柔軟に対応することが可能である。組み合わせ：誘導結合通信とプロセッサを組み合わせることで、処理性能が従来方式と比べ2倍～4倍になる見込み。現在 (2008/3/31)、実装準備をしており、6月～8月にかけて測定を行い、結果を論文として発表する予定である。

参考文献: [1] Hideharu Amano, Yohei Hasegawa, Satoshi Tsutsumi, Takuro Nakamura, Takashi Nishimura, Vasutan Tunbunheng, Adepu Parimala, Toru Sano, and Masaru Kato. MuCCRA-Chips: Configurable Dynamically Reconfigurable Processors. In Proc. of the IEEE Asian Solid-State Circuits Conf. (A-SSCC 2007), pp. 384-387, Jeju, Korea, November 2007.

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ASPLA 90nm 5.0mm x 2.5mm **チップ種別:** マイクロプロセッサ

低消費電力チップ間インタフェースの開発

慶應義塾大学理工学部 新津 葵一, 川井 秀介, 三浦 典之, 石黒 仁揮, 黒田 忠広

概要: 1ビットあたりの電力が世界最小の低電力チップ間トランシーバを設計した。デジタイゼーションの導入により送信器電力の削減を達成した。デジタイゼーションはインダクタを直列に接続し、隣接チャンネル間において送信電流を再利用することで1チャンネルあたりの送信電力を削減する。送信電流は接続したインダクタすべてに流れるため、段数の逆数に比例して電力を削減することが可能である。しかし、MOSやインダクタの寄生成分によって、送信パルスの波形がチャンネル間で異なるために、通信性能にばらつきが生じてしまう。そこで、インダクタの設計を最適化することで同じ受信電圧を得ることを可能とした。この最適化により30%の電力削減を達成可能となる。本技術を実測するために90nm CMOSプロセスにて本チップを試作した。通信距離が15 μm のとき、BER $<10^{-12}$ を達成するための送信電力を2段で40%、4段で70%削減することに成功した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF回路, ATMなど)

ソフトウェア無線用VCO, サンプラ, DSADC

慶應義塾大学理工学部 阿部 寛之, 猪狩 貴之, 佐藤 守, 志方 明, 白石 圭, 石黒 仁揮, 黒田 忠広

概要: このチップには、VCO, サンプラ, そしてデルタシグマ型ADCの回路が搭載されている。これはソフトウェア無線へ向けた受信機システムを想定して設計されたものである。搭載されたVCOとサンプラは、論文の検証のために行ったものである。デルタシグマ型ADCについては、小面積かつパワースケーラブル (周波数に比例した消費電力) を目標とした1次デルタシグマ型ADCのアーキテクチャ・回路実装法を考案した。具体的に、内部量子化器に通常のフラッシュ型ADCに替わり逐次比較ADCを採用し、内部DACには電流モードDACに代わりキャパシタ・アレイADCを利用した。さらに面積削減のため、デルタシグマ型ADCの帰還DACと逐次比較ADCの帰還DACの共有を行った。測定では、VCO, サンプラは正常に動作確認、デルタシグマ型ADCは、現在のところ動作確認できていない。

参考文献: Richard Schreier and Gabor C. Temes, "Understanding Delta-Sigma Data Converters"

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF回路, ATMなど)

ばらつきモデルパラメータ抽出デバイスアレー回路

東京工業大学大学院総合理工学研究科 中山 範明

東京工業大学統合研究院 佐藤 高史, 山長 功, 小林 由佳, 宮下一哉, 植山 寛之,
益 一哉

東京工業大学精密工学研究所 伊藤 浩之

概要：Statistical Static Timing Analysis 等で必要となるばらつきモデルの構築を目的として、その基本となるデバイス特性のばらつきを検出するためのデバイスアレーを試作した。本試作ではサブスレッシュホールド電流や飽和電流のばらつき測定、およびゲート長のばらつきを予測するための回路を実装した。サブスレッシュホールド電流の測定においては、1,000個のトランジスタアレーに対して非測定対象 DUT のリーク電流や DUT 選択回路素子からの影響を受けないで pA オーダーで測定対象 DUT の電流を測定可能であることを確認した。本試作回路からの測定データをもとにより簡便なばらつきパラメータ抽出回路の研究に繋げていく。

設計期間：3人月以上, 4人月未満 **設計ツール**：Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数**：100,000 以上 **試作ラン**：ASPLA 90nm 5.0mm x 5.0mm **チップ種別**：TEG (特性評価回路など)

遅延素子の遅延変動特性評価と動的電流制限によるダイナミックエネルギー削減効果の評価

東京大学駒場オープンラボラトリー 今井 雅

東京大学工学部 金 均東

東京大学先端科学技術研究センター 近藤 正章, 中村 宏, 南谷 崇

概要：VLSI 製造プロセスの微細化に伴い、製造プロセス・環境変動に伴う遅延変動が大きくなっている。クロック信号を用いない非同期式回路は遅延変動に対して耐性が高く、その実現方式の一つに組み合わせ回路の動作完了を示す 1 ビットのストローブ信号を付加する東データ方式がある。東データ方式では、組み合わせ回路の遅延変動に合わせて最適な遅延線を用いることで高性能なシステムを実現することが出来る。本試作では、いくつかの遅延素子を設計して遅延変動特性の評価を行った。また、微細化に伴って大きくなるリーク電流を削減する手法の一つとして、閾値電圧の高いトランジスタをパワースイッチとして用いるパワーゲーティング手法がある。本試作では、パワースイッチの数を動的に調整することで、電荷再利用効果によりダイナミックエネルギーを削減する手法の評価を行った。

設計期間：2人月以上, 3人月未満 **設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数**：100,000 以上 **試作ラン**：ASPLA 90nm 2.5mm x 2.5mm **チップ種別**：TEG (特性評価回路など)

微細 CMOS 基準電圧発生回路を用いた高精度 CMOS 温度センサの開発

富山県立大学大学院工学研究科 押山 弘樹, 松田 敏弘, 岩田 栄之

概要：近年、LSI の高集積化により、CPU などの LSI チップの発熱の問題が深刻化してきている。その結果、LSI 内の温度を正確に測定する必要性が高まってきている。そこで、本研究では、微細 CMOS 基準電圧発生回路を応用した、LSI に内蔵可能な高精度 CMOS 温度センサの実現を目指して設計を行っている。今までの設計では、回路はすべて別々にし、外で端子を出して繋げていたが、今回は、温度センサとしてすべて中に回路を組み込んだものを配置した。これにより、寄生容量による温度センサ内の差動増幅回路部分の発振を防ぎ、また、I/O セル内の ESD 保護素子による基準電圧発生回路の出力電圧の変動を抑えることが可能となり、さらなる高精度化が見込まれる。本チップには、温度センサの他に、インストルメンテーションアンプ、バッファアンプ付き基準電圧発生回路、リングオシレータ、単体 MOSFET を搭載した。温度センサ、バッファアンプ付き基準電圧発生回路に関しては、基準電圧発生部内のトランジスタの W/L 比を変えたものを 3 つ配置した。

設計期間：1人月以上, 2人月未満 **設計ツール**：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数**：10,000 以上, 100,000 未満 **試作ラン**：ASPLA 90nm 2.5mm x 2.5mm **チップ種別**：アナログ (PLL, A-D/DC-DC コンバータなど)

オンチップ信号モニタシステムのバックエンドデータ処理系 (2)

神戸大学大学院工学研究科 橋田 拓志, 永田 真

概要: オンチップ信号モニタは、測定対象となる回路と同一のチップ上にモニタマクロを搭載することで、高速・高精度な波形取得を実現する。オンチップ信号モニタの波形取得性能を向上するとともに LSI への搭載コストを低減するため、モニタフロントエンドとバックエンドデータ処理系の結合に着目した。本試作では、512 ワードの命令メモリと 8000 ワード程度のデータメモリを備えたマイクロコントローラ、モニタシステムの制御信号生成回路、さらに単一の配線ペアに双方向の信号伝送を重畳するアナログ変調方式のデータ通信回路を一体化している。テストチップの評価について、本報告時点では各機能回路の基本評価を終えた段階であり、今後詳細評価を進める。

参考文献: オンチップ信号モニタのバックエンドデータ処理系, ”橋田, 永田, 2007 年 VDEC 年報 (2007) .

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Star-RCXT **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナデジ混載

オンチップ信号モニタのフロントエンド回路評価チップ

神戸大学大学院工学研究科 橋田 拓志, 永田 真

概要: オンチップ信号モニタは、測定対象となる回路と同一のチップ上にモニタマクロを搭載することで、高速・高精度な波形取得を実現する。本試作では、フロントエンド・アナログ回路の単体性能を詳細に評価するためのテスト回路群を搭載している。あわせて、オンチップ信号モニタの内部信号発生回路として、参照電圧やタイミング発生回路を開発した。同時に開発したオンチップ信号モニタのバックエンドデータ処理系チップと組み合わせることで、オンチップ信号モニタのシステム性能の評価を実現できる。テストチップの評価について、本報告時点では機能回路の基本動作を確認している段階である。

参考文献: オンチップ信号モニタのバックエンドデータ処理系 (2), ”橋田, 永田, 2007 年 VDEC 年報 (2007) .

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** SII 社 SX9000, Synopsys 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Star-RCXT **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナデジ混載

デカップリング容量評価 TEG およびタイミング余裕検出回路評価 TEG

大阪大学大学院情報科学研究科 小笠原 泰弘, 更田 裕司, 橋本 昌宜, 密山 幸男, 尾上 孝雄

概要: 本チップは2つの回路からなる。1) 近年のプロセスにおける SoC の物理設計では電源ノイズの考慮と対策が必要不可欠となっている。デカップリング容量は電源ノイズ対策で頻繁に用いられるが、トランジスタのゲート容量を利用するため、面積オーバーヘッドやゲートリーク電流の問題が存在する。本チップでは、面積あたりの電源ノイズ低減効果を大きくすることのできる手法を用いたデカップリング容量を実装した。本試作チップを用いて測定を行い、実装した回路素子の動作、特性を検証すると同時に、測定結果に基づいてより効率的な設計について検討を行う予定である。2) サブスレッショルド回路は、製造ばらつきや温度変化によって回路動作速度が大きく変動する問題点がある。ワーストケースを前提にした回路設計では大きな設計マージンが必要であり電力効率が悪い。製造後に遅延変動を動的に検出し補償する回路が求められている。本チップでは、動的にタイミング余裕を検出する回路を実装した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

光配線用送受信器 LSI

鹿児島大学理工学研究科電気電子工学専攻 厚地 保幸, 関 健治

鹿児島大学工学部電気電子工学科 今村 裕典, 竹下 佳岐, 大畠 賢一

概要: ボード内光配線回路技術の確立を目的に, 光配線用送受信器の高速化, 低消費電力化に取り組んでいる。光配線で使用される VCSEL は製造ばらつきや温度依存性が大きいいため, 高速で, 安定した送信波形を得るためには, 駆動電流波形を外部から調整可能にする必要がある。また, VCSEL の電流-光伝達特性は非線形であり, 駆動電流波形の立ち上がりと立下り特性を独立に制御できる必要がある。これらの課題を解決するため, VCSEL 駆動電流波形の立ち上がりと立下りのエンファシス量とタイミングを独立に制御可能な送信回路を提案した。本技術を用いて, 90nm CMOS 製造技術で 4ch, 10Gb/s 光配線用送受信器 LSI の設計, 試作を行った。試作チップは現在評価中。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トラン**

ジスタ数: 1,000 以上, 10,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF 回路, ATM など)

マルチコアプロセッサの試作

九州大学システム LSI 研究センター 石原 亨

概要: 組み込み用途向け省エネルギーマルチコアプロセッサの研究の一環として, 東芝社製の Media embedded Processor (MeP) をベースに 4 つのプロセッサコアを搭載するホモジニアスマルチコアプロセッサを試作した。AMBA の AHB 準拠のバスを設計し, 4 つのプロセッサコアとデバッグ用の JTAG モジュールを接続した。プロセッサコアは 32 ビットと 16 ビットの変換命令語長を持つ。データバスは 32 ビットである。各プロセッサは 4KB の命令キャッシュと 8KB の命令用 SRAM 及び 16KB のデータ用 SRAM を搭載する。本試作は 1 千万ゲート規模のマルチプロセッサを大学で設計する環境を整えることを主な目的として行った。タイミングクロージャやシミュレーションおよび検証に要する時間はチップ規模のおよそ 2 乗~3 乗に比例して必要になることを確認した。この規模のチップ設計には個人の設計スキルよりもチーム全体の長期的なプロジェクト管理が重要である。今後の試作に生かしたい。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 SignalStorm, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreXRC **トランジスタ**
数: 100,000 以上 **試作ラン:** ASPLA 90nm 5.0mm x 5.0mm **チップ種別:** マイクロプロセッサ

平成19年度第4回ASPLA CMOS 90nm試作 (AS90074)

ばらつき評価, 基板バイアス評価 TEG

京都大学情報学研究科 関良平, 寺田晴彦, 小林和淑, 小野寺秀俊
京都大学工学部 牧野 紘明

概要: 多数のリングオシレータを集積し, それぞれの発振周波数の変動を測定する回路, 基板バイアスを加えることで, 動作速度を変化させ, ばらつきの補正を行なう回路の2種類を搭載した. 段数, セルの駆動力, セルの種類などを変えたリングオシレータを一つのマクロとし, そのマクロを30x15のアレイ状に配置してばらつきの測定を行なう. 基板バイアスによるばらつき補正回路では, 基板電位を制御するウェルコンタクトまでの距離により, セルの動作速度がどのように変化するかを測定することを一つの目的としている. テストの結果, 正常動作を確認した.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

4x4 MIMO-OFDM方式MIMOデコーダの設計

北海道大学大学院情報科学研究科 山内保志, 吉澤真吾, 宮永喜一

概要: インターネットブロードバンド環境の普及に伴い, モバイル端末でのブロードバンド接続への需要が高まり, 今後も高速な伝送を実現する無線通信システムに対する需要は高まると考えられる. 次世代の高速無線通信システムを実現するアプリケーションとしてMIMO-OFDM方式は有望な技術である. 本試作では4x4 MIMO-OFDMシステムに対応する空間フィルタリングによるMIMOデコーダを設計した. 従来のMIMOデコーダはサブキャリア数の増加に比例して処理遅延が増加するため, サブキャリア数が大きくなると実時間での復号処理が不可能となる. それに対して提案方式のデコーダは完全にパイプライン化することで処理遅延がサブキャリア数に依存しない高速処理を達成している.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ASPLA 90nm 5.0mm x 5.0mm **チップ種別:** アナログ/デジタル信号処理プロセッサ

細粒度パワーゲーティング機能を有するフィールドプログラマブルVLSI

東北大学大学院情報科学研究科 張山昌論, 石原翔太, 亀山充隆

概要: 設計ルールの微細化に伴う開発期間・開発費の増大を背景として, FPGAに代表されるリコンフィギュラブルVLSIが注目されている. FPGAにおいてもASICと同様に, クロック分配のための消費電力の増大, クロックスキューに起因する性能向上の限界, トランジスタの性能ばらつきに起因する演算器の遅延時間の変動などの問題が深刻化している. また, FPGAを組み込み用途で使う場合の一番の問題点は消費電力の多さである. 特に65nm以降のFPGAでは, リーク電流に起因する静的消費電力が問題となる. また, FPGAではレジスタ数が膨大となるため, クロック消費電力も大きい. 本研究では, 非同期方式がデータ転送のみでなく, 電源制御にも有効であることに着目し, パワーゲーティング機能を有する非同期FPGAの試作を行う. LUTとスイッチブロックからなるセルを10x20のアレイ状に接続した. 実測により, LUT (Look-up table) とスイッチブロックからなるセルの遅延が1.33nsなることを確認した. また, シミュレーションにより, 同期式FPVLSIと比較してトータル消費電力を42%に減少できた.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre **トランジスタ数:** 100,000以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナログ/デジタル信号処理プロセッサ

高ランダムアクセスバンド幅を有する多ポート SRAM 設計

広島大学ナノデバイス・システム研究センター 上口 光, 棕田 佑也, 和泉 伸也,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要: 90-nm CMOS 技術を用いて, 世界最高性能のランダムアクセスバンド幅をもつ多ポート SRAM を小面積, 大容量で実現. これまでの試作結果により, 16 ポートの例において, 13.9 $\mu\text{m}^2/\text{bit}$, 従来型の多ポート SRAM と比較して, 16.5 倍の面積効率を実現すると同時に, 590 Gbps という高いランダムアクセスバンド幅が得られていた. 今回の設計では, ばらつき耐性の評価を行うため, SRAM 内部の電源とその他の電源を分離させており, SRAM 部と多ポート変換を含むその他のロジック部の低電圧動作耐性を実測により評価することができる.

参考文献: K. Johguchi, Y. Mukuda, S. Izumi, H. J. Mattausch and T. Koide, "A 0.6-Tbps, 16-port SRAM design with 2-stage-pipeline and multi-stage-sensing scheme," Proc. of ESSCIRC2007, pp. 320-323, 2007.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Silvaco 社 Exper, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC, Silvaco 社 SmartSpice **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** メモリ

微細 CMOS 技術における製造ばらつきと基板ノイズ評価用 TEG

広島大学ナノデバイス・システム研究センター 和泉 伸也, 賀谷 彰大, 上口 光,
マタウシュ ハンス・ユルゲン,
小出 哲士

広島大学先端物質科学研究科 南 尊文

概要: 近年の LSI 設計における課題となっている, 製造ばらつきや基盤ノイズの影響の評価を目的とした TEG の設計を行った. 発振回路, SRAM の TEG により製造ばらつきが回路動作へ与える影響を評価する. SRAM においては, 安定性の指標として用いられている Static-Noise-Margin を詳細に検証する回路を設計した. この結果より, 微細テクノロジーにおいて有力となるセルの見積もりが行えると共に, 新しい SRAM セル開発の為の指針となる結果が期待される. また, 基盤ノイズ解析の TEG として, p-MOSFET と n-MOSFET を近接させた構造を設計した. この TEG の測定より基盤ノイズの影響の詳細な解析を行うことができる.

参考文献: Shinya Izumi, Koh Johguchi, Hans Juergen Mattausch and Tetsushi Koide, "Static-Noise-Margin Analysis of Major SRAM-Cell Types Including Production Variations for a 90nm CMOS Process," Proceedings of the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2007), pp. 261-265, October 2007.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, SII 社 SX9000, Silvaco 社 Expert, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC, Silvaco 社 SmartSpice **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** その他

超高速オンチップネットワークへ向けた伝送線路配線・SerDes 回路の開発

東京工業大学統合研究院 石井 隆宏, 峰山 亜希子, 前川 智明, 益 一哉
東京工業大学精密工学研究所 伊藤 浩之

概要: 近年, チップ上に集積される回路ブロック/IP の数は増大する傾向にあり, それらの間はパケット通信を行うオンチップネットワークにより結ばれるようになってきている. 本研究ではオンチップネットワークに要求される帯域やレイテンシ, 電力効率を向上させるために, 伝送線路配線を利用する手法を研究している. 本試作においては, 伝送線路配線で問題となっている面積を削減するために, 差動・同相モード伝送を組み合わせで配線 1 本あたりの実効的な密度を向上させることが可能な伝送線路配線を試作した. 伝送線路配線の電力効率を向上させるために, パルス信号を用いる配線技術も開発し, テスト回路を試作している. また, 伝送線路配線から出力された高速シリアル信号をパラレル信号に変換するための, 低電力・小面積 DEMUX 回路も作成した.

参考文献: 前川, 石井, 伊藤, 岡田, 益, "低消費電力オンチップパルス伝送線路配線", 電子情報通信学会 総合大会, C-12-54, 2008 年 3 月

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC, Agilent 社 ADS **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** ニューテクノロジー

ビルトインフルデジタルモニタ回路によるばらつきモデルの構築

東京工業大学統合研究院 佐藤 高史, 上園 巧, 植山 寛之, 山長 功, 益 一哉
東京工業大学総合理工学研究科 中山 範明

概要: チップ内のデバイス特性ばらつきを測定可能とするばらつきモニタ回路を設計・測定する。最終イメージである実製品への搭載を意識し、アナログ回路でなくデジタル入力・デジタル出力にてばらつき測定を行う回路を実装する。従来提案されているデバイスアレイやADC等によるI-V曲線の測定と異なり、フルデジタル測定でのばらつきモニタでは、 V_{th} ばらつきなどの特性を連続量でなく離散量として測定する点が特徴である。回路動作の確認はできたが、測定されたばらつきの絶対値が別途測定しているトランジスタアレイによる測定結果との一致が不十分、という課題がある。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreXRC **トランジスタ数:** 100,000 以上 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** TEG (特性評価回路など)

ミリ波帯動作へ向けた電圧制御発振器

東京工業大学大学院理工学研究科 伊藤 猛, 岡田 健一, 松澤 昭

概要: シリコン CMOS プロセスを用いた近距離大容量ミリ波帯無線通信システムを実現するために、初期検討段階としてローカル信号を生成する電圧制御発振器の試作を行った。ローカル信号におけるノイズ成分はシステム全体に影響するため重要な構成要素となっている。電圧制御発振器の共振部は差動伝送線路及び LC 並列共振回路を用いる方式の検討を行った。Q 値及びインピーダンスの観点から比較を行い、差動伝送線路方式を採用した。差動伝送線路の長さを 300 μm から 500 μm の範囲で変化させた複数の電圧制御発振器を試作し、共振周波数及び共振モードの違いを測定によって確認できるようにした。TEG として差動伝送線路単体を試作し、共振器部分の動作確認ができるようになっている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 CalibreXRC **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF 回路, ATM など)

精度補正機能付きDA変換器

広島大学先端物質科学研究科 陳 健雄, 原田 良枝, 岩田 穆

概要: 高速サンプリング周波数の $\Delta\Sigma$ AD変換器の帰還回路に適用することを目的とする動作周波数400MHz, 分解能4ビットの電流出力DA変換器である。基本回路はpMOSとnMOSの相補形電流セルをスイッチングして差動電流を出力する構成であり, 1LSBの電流は3.5 μ A, 電源電圧は1V, 消費電力は400MHz動作時に約1mWである。16個の電流源セルを用い, その内1個の電流値の誤差をバックグラウンドでキャリブレーションするように動作する補正後の誤差は1.5%以下である。精度補正は基準電流に等しくなるように容量素子に補正電圧を蓄積することにより行い, 補正の周期は100kHzで動作させる。コモンモード電圧の安定化のため, リターンツーゼロタイミングを設けている。測定評価の結果, 回路の電流は設計通りで, 400MHzのクロックでの動作を確認できたが, 精度は評価未了である。

参考文献: 未発表

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

光配線用送受信器LSI

鹿児島大学理工学研究科電気電子工学専攻 厚地 保幸, 関 健治

鹿児島大学工学部電気電子工学科 今村 裕典, 竹下 佳岐, 大島 賢一

概要: ボード内光配線回路技術の確立を目的に, 光配線用送受信器の高速化, 低消費電力化に取り組んでいる。光配線で使用される光伝送路は導波路及びミラーでの損失のばらつきが大きいので, 受信器には広帯域性と同時に広ダイナミックレンジも要求される。この課題を解決するため, Regulated Cascode回路に利得切り替え機能を付加したトランスインピーダンス回路を開発した。この技術と回路雑音を最小化する最適設計技術を用いて, 90nm CMOS製造技術で4ch, 10Gb/s光配線用送受信器LSIの設計, 試作を行った。試作チップは現在評価中。

設計期間: 10人月以上 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ASPLA 90nm 2.5mm x 2.5mm **チップ種別:** 通信 (RF回路, ATMなど)

平成18年度第4回MOSIS-TSMC CMOS 0.25um試作 (MT25064)

低電源電圧連続時間型 $\Delta \Sigma$ モジュレータ

大阪大学大学院工学研究科 兼本 大輔, 谷口 研二

概要: 本試作では, 低電源電圧 (0.8 V), 低消費電力 (0.6 mW) の無線通信用連続時間型 $\Delta \Sigma$ (Delta Sigma) モジュレータを作製した. 信号帯域は 1.0MHz で所望 SNDR は 50dB 以上である. 回路構成は, 3次1bitDACのCIFB型アーキテクチャを採用し, 積分器には低電源電圧でも広い振幅範囲がえられるインバータ型 OPAMP を新たに開発し用いた. この OPAMP は低電源電圧でも所望のオペレーティングポイントで動作するために, キャパシタを用いたフローティング電圧源を内蔵している. Hspice を用いた検証シミュレーションでは目標のスペックを確認することができた. 電源電圧が低いので, バイアス回路に電圧マージンが少なく電源の揺れを特にケアしたレイアウトを心がけた. またコモンセントロイドを多用し対称性も重視して設計している.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社

Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre トランジスタ数: 100 以上, 1,000 未満 **試作ラン:** MOSIS-TSMC 0.25 μ m 25mm² **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

平成19年度第1回MOSIS-TSMC CMOS 0.18um試作 (MT18071)

アクティブ伝送線集積回路の改良

明星大学産学官連携推進室 秋山 豊, 宇佐美 保, 大塚 寛治

明星大学理工学部 水野 文夫, 鷹野 致和

概要：TSMC Mixed Signal CMOS0.18umのプロセスでの試作を行い前回の評価結果をもとに次項の改良を行ないました。 1. R_s, R_o minimum 設計 R_s による出力振幅低下の影響（入力300mVに対し出力は伝送路5mmで150mV, 伝送路1mmで約200mVの低下）が心配される。また、MOS NLTLでの応用範囲は $T_r, T_f \approx 5 \sim 10$ psと考えられるので C_s より R_s のminimum化に重点を置いたレイアウト設計を実施 2. 入力インピーダンスの不整合の改善 入力信号配線とNLTL伝送ラインの整合の問題を把握する為に、NLTLラインに直結のドライバ付加回路を追加しました。またNLTLのパターン作成にあたっては、信号配線抵抗とNLTL内の信号線の寄生容量が性能を制限する要因を改善した。 3. バイアス電源平滑方式の改良 TSMCプロセスではMiM要領を用いる事が出来るのでTRANS-L (HITACHI0.18um) で用いたMOSゲート容量の置き換えとして $V_{ns}, V_{ps}, V_{nw}, V_{pw}$ のNLTL平滑容量にMiMを用いる。これによりGND配線領域の縮小化を図りました。 その他クロストーク評価用チップ内伝送線路、ドライバ、レシーバTEGを搭載。評価治具の製作が完了し、これから評価測定を実施する段階である。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre トランジスタ数：10,000以上, 100,000未満 試作ラン：MOSIS-TSMC 0.18 μ m 25mm² チップ種別：TEG (特性評価回路など)

平成19年度第2回MOSIS-TSMC CMOS 0.18um試作 (MT18072)

リコンフィギュラブルRF回路に向けた広帯域LNA・VCO・PAの試作

東京工業大学統合研究院 大橋 一磨, 福田 聡, 小林 由佳, 佐渡島 進, 金 章九,
中野 和雄, 益 一哉

東京工業大学精密工学研究所 伊藤 浩之

概要: 本試作では, リコンフィギュラブルRF回路の実現に向けて, 広帯域低雑音増幅器 (LNA), 広帯域電圧制御発振器 (VCO), パワーアンプ (PA) を試作した. ゲート接地増幅段とソース接地増幅段を組み合わせ, 広帯域な入力整合と利得を実現するLNAを開発した. 実測結果では2.2-6GHzにおいて入力整合-10dB以下, 13dB以上の利得を実現した. また, 広帯域VCOの面積低減のために, インダクタ直下にアクティブ素子を置いた場合の影響を測定するための回路を試作した. 広帯域PA開発の前段階として, 設計ノウハウ蓄積・評価手法確立を目的として2.45GHz帯のE級狭帯域PAを試作した.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社

Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC, Agilent社 ADS **トランジスタ数:** 10以上, 100未満 **試作ラン:** MOSIS-TSMC 0.18 μ m 25mm² **チップ種別:** 通信 (RF回路, ATMなど)

平成19年度第4回MOSIS-TSMC CMOS 0.18 μ m試作 (MT18074)

LSI 電流起因のノイズ評価回路

東京工業大学統合研究院 佐藤 高史, 山長 功, 益 一哉

概要: チップ内の回路動作に起因する電源電圧変動, および, チップ内の回路動作に起因し, パッケージやプリント基板を通じて放射されるノイズを定量的に評価するためのノイズ源となる回路を作成した. 外部から回路動作を制御することで, 回路動作の状態に依存するノイズを評価できる. チップ内部の電源電圧変動に関しては, オシロスコープを用いてコモンモードとディファレンシャルモードの双方を測定する回路を搭載した. 測定回路が回路動作に与える影響を制御しつつ, 電源電圧の変動を正確に測定できる. また, 試作したチップ内部の電圧変動と, プリント基板などチップ外部において観測される電圧変動を比較し, ノイズ低減設計に役立てる.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibrexRC **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** MOSIS-TSMC 0.18 μ m 4mm² **チップ種別:** TEG (特性評価回路など)

平成19年度第1回NEC Bipolar 0.6 μ m試作 (NEC07)

ブリアンプ+コンパレータ

総合研究大学院大学高エネルギー加速器科学研究科 河合 克彦, 田中 真伸
高エネルギー加速器研究機構研究員 根岸 久

概要：低ゲインのPMT（フォトマルチプライアチューブ）や、HPD（ハイブリッドフォトディテクタ）の、シングルフォトンレベルの出力を検出し、信号の有無をロジック出力するフォトンカウンティング用のチップである。構成は、ブリアンプとコンパレータを接続した回路となっている。ブリアンプ部は初段の電流電圧変換部にて、フォトセンサーの電流出力を電圧に10kV/Aのゲインで変換し、次段の電流帰還型アンプで9倍の電圧ゲインを得る。コンパレータ部は、差動対を3段カスケードに接続した構成となっており、出力はエミッタフォロア及び、オープンコレクタの2種類を用意した。ブリアンプ部及び、コンパレータ部の回路バイアス及び、コンパレータ部に関しては、ヒステリシスを外部から調整可能とした。なお、ブリアンプ出力段は、正負両極性入力に対応するためプッシュプルとした。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Analog Artist トランジスタ数：10以上, 100未満 試作ラン：NEC Bipolar 0.6 μ m 2.0mm角 チップ種別：TEG（特性評価回路など）

8ch IVブリアンプ

総合研究大学院大学高エネルギー加速器科学研究科 河合 克彦, 田中 真伸
高エネルギー加速器研究機構研究員 根岸 久

概要：従来のPMT（フォトマルチプライアチューブ）に代わるセンサーとして、フォトマルチプライアチューブのダイノードによる、二次電子増倍部を半導体（アバランシェダイオード）で置き換えた、HPD（ハイブリッドフォトディテクタ）が開発されており、マルチチャンネル構造を持つものも実用化されている。しかしながら、HPDは一般に従来のPMTと比較して、ゲインが2桁ほど低いため、そのままPMTの置き換えを図るには、ブリアンプの付加が必要となる。本チップは、上記の目的で試作したマルチチャンネルHPDのブリアンプである。このASICのブリアンプは低雑音である必要があり、ブリアンプ入力部のトランジスタはベース抵抗（ $r_{bb'}$ ）を下げるために複数のトランジスタを並列接続してある。またブリアンプ出力段は、正負両極性入力に対応するためプッシュプルとしてある。チャンネル数は8であるが、より多チャンネルのHPDに対応できるように、ICパッケージ内でチップをカスケードにつなげられるようなPADレイアウトにしてある。回路のバイアス電流は外部から8チャンネル共通でコントロール可能とした。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：NEC Bipolar 0.6 μ m 2.0mm角 チップ種別：アナデジ混載

高速パルスアンプ

高エネルギー加速器研究機構素粒子原子核研究所 谷口 敬, 島崎 昇一, 田中 真伸
高エネルギー加速器研究機構研究員素粒子原子核研究所 根岸 久

概要：これは主として高エネルギー加速器研究機構の放射光実験施設でのX線検出用APDの読み出し用としての回路で低ノイズ超高速パルスブリアンプです。低消費電力、低ノイズにするためにブリアンプは積分型を使用し、初段と2段目の間にポール・ゼロ・キャンセレーションを入れて微分を行っている。3段目は主として出力バイアスを確保し、ダイナミックレンジを大きく取るために電流帰還アンプとした。ゲインを取るよりも出力バイアスが主な目的である。結果として、増幅率は100倍付近で、インパルスに対する出力幅はおよそ2~4nSが得られている。ICには積分時定数を変えたものが2種類組み込まれており、積分時定数の変化による性能の差が比較出来るようになっている。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC トランジスタ数：10以上, 100未満 試作ラン：NEC Bipolar 0.6 μ m 2.0mm角 チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）

高速コンパレータ

高エネルギー加速器研究機構素粒子原子核研究所 谷口 敬, 島崎 昇一, 田中 真伸
高エネルギー加速器研究機構研究員 根岸 久

概要: 高エネルギー実験・原子核実験等で使用される高い時間分解能が必要な時のコンパレータである。これは高速微小信号の閾値を選別し波形整形をした後に出力信号をPECLレベルで出力するようにしたもの。特にN6112 高速パルスアンプからの出力信号を受けて、信号処理用論理回路に転送する為のICである。比較検出可能である入力電圧は数mVから2V程度までとし、応答時間は1nS以下を考えている。回路は3段の差動アンプとレベル変換回路から成っておりタイミング性能を重視して、センスアンプはトランジスタがサチュレーションやカットオフ状態にならないようにバイアスを決めてある。レベル変換部は差動スイッチとエミッタ・フォロワから成っており、出力レベルは高速性能を重視しReduced Swing PECLレベルとした。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC **トランジスタ数:** 10以上, 100未満 **試作ラン:** NEC Bipolar 0.6 μ m 2.0mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

第3章 VDEC 概要

3.1 組織概要

VDEC は平成 8 年度に発足した。当時は専任教官 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教官 2 名と事務官 1 名が増員され、さらに、全国の大学と連携を密にする目的で各大学から 2 年を単位として 2 名の教官を派遣する「流動教官制度（平成 16 年度からは国立大学法人になったことに伴い客員研究員制度となる。）」がスタートした。また、産業界と協力を行うため、客員教授が 1 名おかれている。

VDEC は現在、専任教員 10 名、客員教授 1 名、事務員 2 名の定員を有しているが、他にも多くの援助を受けながら運営されている。事務は工学系研究科事務部との合同化により直接の担当を共同利用チームとし、工学系研究科事務部全体の支援を受けている。教育・研究の分野では、学内の協力教員、学外の協力研究員、さらには全国の拠点大学の教職員と学生を含む CAD ボランティア等多くの協力者の手によって支えられている。

年 度	派 遣 大 学
平成 9・10 年度	東北大学, 横浜国立大学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学
平成 16 年度	大阪大学, 九州大学
平成 17 年度	名古屋大学, 大阪大学
平成 18 年度	北海道大学, 名古屋大学
平成 19 年度	北海道大学

3.2 人事報告

VDEC 人事

センター長・教授 浅田 邦博
教 授 藤田 昌宏
客員教授 福岡 雅夫 (平成 19 年 4 月から)
准教授 池田 誠
准教授 高宮 真
特任准教授 名倉 徹 (平成 19 年 4 月から)
客員准教授 小松 聡 (平成 19 年 11 月から)
客員准教授 Gershwin Fey (平成 19 年 12 月から)
助 教 鄭 若 彤
助 教 佐々木 昌 浩
助 教 松本 剛 史 (平成 20 年 4 月から)
客員研究員 吉澤 真 吾 (平成 20 年 3 月まで)
主 査 齊藤 岳 己

専 門 職 員 榎本 達也 (平成 19 年 7 月から)
共同利用係主任 杉田 佳代子 (平成 19 年 9 月まで)

協 力 教 員 柴田 直
(東京大学新領域創成科学研究科基盤情報学専攻教授)
高木 信一
(東京大学工学系研究科電子工学専攻教授)
藤島 実
(東京大学新領域創成科学研究科基盤情報学専攻准教授)
三田 吉郎
(東京大学工学系研究科電気工学専攻准教授)
竹内 健
(東京大学新領域創成科学研究科基盤情報学専攻准教授)
竹中 充
(東京大学工学系研究科電気工学専攻講師)



新任のご挨拶

竹内 健

平成 19 年（2007 年）7 月 16 日付けで東京大学大学院新領域創成科学研究科基盤情報学専攻（兼工学部電子工学科）の准教授に着任いたしました。経歴を紹介させていただきますと、私は平成 3 年（1991 年）に東京大学工学部物理工学科を卒業後、平成 5 年（1993 年）に修士（物理工学専攻）を修了致しました。平成 5 年（1993 年）から昨年着任するまでの 14 年間は、東芝にて NAND 型フラッシュメモリの研究開発に携わりました。その間、平成 15 年（2003 年）にはスタンフォード大学にて経営学修士（MBA）、平成 18 年（2006 年）には東京大学工学系研究科にて論文博士（電子工学専攻）の学位を頂きました。

東芝では、生まれて間もない新しいデバイスであった NAND 型フラッシュメモリの基礎的な研究から、製品開発、工場の立ち上げ、マーケティングと様々な仕事をしてきました。最初は社内ベンチャーのような少人数で行っていたプロジェクトが、現在は携わる技術者は数 100 人、売上 5 千億円超にまで成長する過程で、多様な経験をすることができ、企業における技術者としては大変幸運だったと思っています。最近の数年間は商品企

画や組織の運営に携わっておりましたが、できればもう一度人生をリセットし、新しい技術をゼロから立ち上げたいと思っていたところに、東大電気にてチャンスを頂きましたことを心から感謝しております。

一方、技術的側面では半導体業界は現在大きな転換点を迎えております。例えば最先端のフラッシュメモリは 40 ナノメートルまで微細化され、メモリ素子に蓄える電子数は数 10 個まで減少しています。5 年後には 10 ナノメートルサイズで、電子数は数個レベルになり、いよいよムーアの法則に則った微細化が物理的な限界を迎えます。その一方、地球環境保全の観点からも、集積回路の高集積化、低消費電力化というのは 21 世紀中も大変重要です。このような大きな需要がある一方、技術的限界を迎えている半導体産業は、研究者にとっては大きなチャンスを秘めていると思います。日本の大学では、強誘電体・磁性体・強相関材料など、新材料・物性に大きな蓄積がございますので、うまくコラボレーションしながら、新しい半導体技術の創造に微力ながら貢献していきたいと考えております。

アカデミック分野での経験がございませんので、至らない点が多々あると存じますが、ご指導・ご鞭撻を賜たまわりたく、何卒宜しくお願い申し上げます。

小松 聡

2007年11月より、アドバンテスト D2T 寄附研究部門の客員准教授（2008年4月より特任准教授）として着任致しました。2001年4月からVDECの助手、助教として主にCAD関連のサポートを中心に活動してまい

りましたが、2007年10月のアドバンテスト D2T 寄附研究部門の設立に伴い、“設計”、“CAD”だけでなく“テスト”についての研究・教育活動を行っていきたいと考えております。今後もこれまでに引き続き、国内におけるLSI研究・教育のさらなる向上に貢献できるよう努力してまいりますので、よろしく願いいたします。

松本 剛史

今年の3月に東京大学工学系研究科電子工学専攻の博士課程を修了し、4月より助教としてVDECに参加させて頂くことになりました松本剛史と申します。VDECでの業務としては、CADツールの管理などを担当させて頂いていただくことになっております。これまで、研究活動を通して、VDECのCADツールを利用したりセミナーに参加したりしましたが、今後はVDECのスタッフとしてCADツールをご利用になる皆様のお役に立てるよう努力してまいりたいと思っております。博士課程では、

藤田教授の御指導の下、VLSIの設計自動化・設計支援、主に上位設計における形式的な等価性検証の研究を行ってまいりました。今後も藤田教授の研究室のプロジェクトに参加して、等価性検証ツールの研究開発を続けるとともに、これまでの研究をいかして、VLSI製造後のチップデバッグ手法やシステムバイオロジーへのCAD技術応用などについて研究を行っていく予定です。まだ力の足りない点もあり、皆様のお世話になることもあるかと存じますが、御指導御助言をいただければ幸いです。よろしく願い致します。

退任のご挨拶

吉澤 真吾

客員研究員として主にセミナーやデザイナーフォーラムを担当しました。拠点校からの派遣としては最後なので今後の新しい体制の引継ぎに少しでも貢献できればと

思いお手伝いさせて頂きました。教員になりたての私にとりまして、VDECの仕事を通して多くのことを体験し、学ぶことができたのは大変有意義であったと実感しております。今後も拠点校および協力教員の活動でお役に立てますように励む所存ですのでよろしく願いいたします。

休職のご挨拶

鄭 若彤

10年間余り東京大学VDECのスタッフを勤めさせて頂き、2008年5月から、家族の事情によって休職する

ことになりました。VDECの業務をサポートしながら、私自身も沢山のことを学び、大変有り難く存じます。今後も皆様からの協力を頂き、VDECの更なる発展を期待しております。宜しく願い致します。

平成19年度大規模集積システム設計教育研究センター運営委員会委員名簿

氏名	所属
浅田 邦博	大規模集積システム設計教育研究センター長
松本 洋一郎	工学系研究科長
柴田 直	大学院新領域創成科学研究科 教授
坂井 修一	大学院情報理工学系研究科 教授
中野 義昭	先端科学技術研究センター 教授
荒川 泰彦	先端科学技術研究センター 教授
高木 信一	大学院工学系研究科 教授
藤島 実	大学院新領域創成科学研究科 准教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
池田 誠	大規模集積システム設計教育研究センター 准教授
高宮 真	大規模集積システム設計教育研究センター 准教授

平成19年度大規模集積システム設計教育研究センター全国運営協議会委員名簿

氏名	所属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授（センター長）
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
南谷 崇	東京大学先端科学技術研究センター情報物理システム 教授
柴田 直	東京大学大学院新領域創成科学研究科基盤情報学専攻 教授
高木 信一	東京大学大学院工学系研究科電子工学専攻 教授
宮永 喜一	北海道大学大学院情報科学研究科 教授
大見 忠弘	東北大学未来科学技術共同研究センター 客員教授
國枝 博昭	東京工業大学大学院理工学研究科集積システム専攻 教授
柳澤 政生	早稲田大学理工学術院 教授
松田 吉雄	金沢大学大学院自然科学研究科 教授
高木 直史	名古屋大学大学院情報科学研究科情報システム学専攻 教授
小野寺 秀俊	京都大学大学院情報学研究科通信情報システム専攻 教授
谷口 研二	大阪大学大学院工学研究科電気電子情報工学専攻 教授
岩田 穆	広島大学大学院先端物質科学研究科半導体集積科学専攻 教授
安浦 寛人	九州大学大学院システム情報科学研究院情報工学部門 教授
山内 寛紀	立命館大学理工学部電子情報デザイン科 教授
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授
黒田 忠広	慶応義塾大学理工学部電子工学科 教授
吉本 雅彦	神戸大学大学院工学研究科情報知能学専攻 教授

3.3 決算報告

1. 運営費交付金

経費	金額
物件費	212,456,000
人件費	77,095,707

2. 平成19年度科学研究費補助金

研究代表者	研究題目	種類	金額(千円)
池田 誠	513光学近接効果を考慮した歩留まり最適レイアウト生成	基盤研究(C)	1,400
小松 聡	アプリケーション・環境対応型バス符号化による効率的システムLSI設計手法	若手研究(B)	1,400
藤田 昌宏	電子機器用解析技術のシステムバイオロジーへの応用	萌芽研究	1,500
西原 佑	ハードウェア/ソフトウェア協調設計に対する形式的検証とその要素技術に関する研究	特別研究員奨励費	900

3. 平成19年度産学連携等経費

研究代表者	研究題目	種類	金額(千円)
浅田 邦博	システムLSI設計教育のためのリテラシープラットフォームの構築	共同研究	15,000
藤田 昌宏	UMLを利用したシステムLSI設計技術の研究	共同研究	4,000
藤田 昌宏	上位設計記述に対する等価性検証ツールの開発	共同研究	16,000
藤田 昌宏	宇宙用電子機器設計支援システムにおける形式的検証ツール教育方法の研究	共同研究	5,000
浅田 邦博	先端LSIテストング技術	共同研究	20,000
浅田 邦博	CMOSワイヤレス・トランシーバICの設計・試作・評価とテキスト開発	共同研究	4,000
浅田 邦博	高機能システムディスプレイの要素回路技術の研究	共同研究	3,150
池田 誠	LSI回路のセキュリティ評価手法の研究	共同研究	4,000
浅田 邦博	先端集積回路の評価・解析技術高度化の研究	受託研究	10,000
高宮 真	超低消費電力の無線通信を実現するオールモスト・デジタル無線に関する研究	受託研究	20,150
浅田 邦博	動作状態センサ技術と高性能回路技術の研究(2)	受託研究	800
浅田 邦博	超微細リソグラフィ・ナノ計測拠点	受託研究	24,560

4. 平成19年度奨学寄附金

以下の企業・個人から寄附を頂きました。

受入件数：6件 受入額 計 36,850,000円

(株)東芝, (株)アドバンテスト, (株)富士通研究所, 日産自動車(株),

(株)半導体理工学研究センター

第4章 研究報告

4.1 全体概況

	研究室構成 人数 (名)	研究発表 (件)			著書 (冊)	特許 (件)	受賞 (件)
		研究論文	国際会議	その他			
VDEC 教員	55	7	30	35	1	2	3
協力教員	62	31	67	70	2	18	7

4.2 研究室構成員（平成19年）

浅田・池田・名倉研究室構成

浅田 邦博 教授
池田 誠 准教授
名倉 徹 准教授
佐々木 昌浩 助手
鄭 若彤 助手
鈴木 真一 技官
谷内出 悠介 博士3年（現在 キヤノン）
金 允環 博士2年
門馬 太平 博士1年
James Tandon 博士課程研究生（現在 帰国）
Caner BASCI 修士2年（現在 シュルンベルジェ）
金 雄鉉 修士2年（現在 **）
栗原 健一郎 修士2年（現在 ファナック）
Pham Hai Dinh Minh 修士2年（現在 アナログ・デバイス）
曾我部 拓 修士1年
金 鎮明 修士1年
猪飼 啓太 修士1年
鄭 明奎 修士1年
金 江南 修士1年
中村 大輔 修士1年
大塚 泰雅 修士1年
Sanad Bushnaq 修士1年
山本 裕介 修士1年（現在 休学中）
Dang Ngoc Lan 学部4年（現在 大学院修士課程 浅田・池田研究室）
萬代 新悟 学部4年（現在 大学院修士課程 浅田・池田研究室）
Devlin Benjamin Stefan 研究生（現在 大学院修士課程 浅田・池田研究室）

藤田研究室

藤田 昌宏 教授
小松 聡 助教（平成19年11月よりVDEC アドバンテスト D2T 寄附研究部門 准教授）
Bijan Malafeh Alizadeh 産学官連携研究員（平成19年8月に退任）
Thanyapat Sakunkonchak 産学官連携研究員（平成19年9月に退任）
吉田 浩章 産学官連携研究員
松本 剛史 博士3年
高 尚華 博士3年
小島 慶久 博士2年
西原 佑 博士1年

Ratna Krishnamoorthy 博士1年

安藤 大介 修士2年
石川 悠司 修士2年
李 蓮福 修士2年
高 飛 修士1年
許 金美 修士1年
田 宮 豊 研究生
徐 玲 研究生
何 凱隆 研究生
森下 賢志 学部4年

高宮研究室

高宮 真 准教授
石田 光一 助教
劉 樂昌 産学官連携研究員（ポスドク）
新山 太郎 修士2年
宮本 喜生 修士2年
周 志偉 修士2年（10月入学）
坂井田 耕輔 修士1年
朴 哲 修士1年
安福 正 修士1年
柳 至善 修士1年

柴田・三田研究室構成員（平成19年度）

柴田 直 教授
三田 吉郎 准教授
村井 徹 助教
澤村 智紀 特任研究員
早川 仁 博士3年（現在 日立製作所）
トゥロン トゥウ ブゥイ 博士3年
ハオ ジア 博士2年
ロバート グロー 博士1年
朱 弘博 博士1年
高橋 徳浩 博士1年
森川 重毅 博士1年
布 洋平 修士2年（現在 富士通）
森屋 大輔 修士2年（現在 ソニーエリクソン）
陳 雋 修士2年（現在 ソニー LSI）
金 森毅 修士2年（現在 東芝）
金 時煥 修士2年（現在 サムスン）
グエン タン リム 修士2年（現在 インテルジャパン）
仁木 祐介 修士2年（現在 東芝）
西山 未央 修士2年（現在 柴田・三田研 博士1年）
濱口 洋平 修士2年（現在 ルネサス）
藤田 和英 修士2年（現在 ソニー）

馬 奕 濤 修士2年 (現在 柴田・三田研 博士1年)

馬 文 静 修士2年 (現在 ソニー)

今 井 義 明 修士1年

岡 野 祐 太 修士1年

姜 璟 熙 修士1年

金 俊 亨 修士1年

中 川 琢 規 修士1年

福 岡 雄 大 修士1年

吉 井 一 馬 修士1年

包 蕊 寒 修士1年

孫 卓 力 学部4年 (現在 柴田・三田研 修士1年)

三 好 高 史 学部4年 (現在 柴田・三田研 修士1年)

高木・竹中研究室構成

高 木 信 一 教授

竹 中 充 講師

Olivier Weber (日本学術振興会外国人特別研究員)

Sanjeewa Dissanayake 博士1年 (工学系)

星 井 拓 也 修士2年 (現在高木・竹中研博士課程)

松 原 寛 修士2年 (新領域)

田 辺 聡 修士2年 (工学系)

灰 本 隆 志 修士1年 (工学系)

中 北 要 佑 修士1年 (工学系)

笹 田 崇 修士1年 (工学系)

中 川 翔 太 学部4年 (現在高木・竹中研修士課程)

森 井 清 仁 学部4年 (現在高木・竹中研修士課程)

藤島研究室

藤 島 実 准教授

北 澤 清 子 助教

音樹アフメット 博士3年

本 良 瑞 樹 博士1年

王 彤 修士2年 (現在 株式会社東芝)

後 藤 陽 介 修士2年 (現在 松下電器産業株式会社)

乾 千 乗 修士2年 (現在 ソフトバンク株式会社)

神 林 裕 樹 修士2年 (現在 株式会社デンソー)

高 野 恭 弥 修士2年 (現在 藤島研 博士1年)

夏 莉 洋 平 修士1年

萬 澤 康 雄 修士1年

大 橋 翔 修士1年

王 帆 修士1年

林 聖 雄 修士1年

足 立 恵理子 修士1年

大 橋 俊 介 学部4年 (現在 藤島研 修士1年)

竹内研究室

竹 内 健 准教授

4.3 研究概要

浅田・池田・名倉研究室

Asada and Ikeda Laboratory

(<http://www.mos.t.u-tokyo.ac.jp>)

リソグラフィを考慮した設計手法

浅田邦博, 池田 誠, 栗原健一郎,
ファン ハイ デイン ミン, ダンゴク ラン

光学的リソグラフィ工程において光学的近接効果によりウェハ上に形状を忠実に投影することが困難となっており、これを考慮に入れて設計を行うことが求められている。本研究ではウェハ上において得られるゲートの形状から等価的なゲート長を求め、それによりリーク電流等を得ることでセルライブラリの評価を行い、最適なセルを求めた。また、リソグラフィ工程の複雑化に伴い、工程下における露光量のずれ、あるいは焦点からのずれによる影響が大きくなると考えられる。これに対して、各変数がばらついた条件における回路の致命的欠陥を検出し、セルの歩留りの評価を行った。また、致命的欠陥の位置周辺についてレイアウトの補正を行い歩留まりの向上を図った。また、マスクレス製造技術に向けた、電子ビーム直接描画方式に対して、ダミーパタン挿入やタイミング制約に応じた配線端処理を行うことで、配線パタン密度、配線ごとのタイミング制約を満たしながら、スループットを向上させるためのショット数削減を目指した設計手法に関する検討を行った。

Lithography Friendly Design

K. Asada, M. Ikeda, T. Iizuka, K. Kurihara,
H.D.M. Pham, D.G. Lan

In the recent LSI technology, optical lithography cannot keep fidelity between drawn mask pattern and exposed one due to optical proximity effect. Therefore, designers should consider this factor. In this study, we estimated equivalent gate length from an exposed pattern and calculate leakage current. Then, we evaluated cells and selected the best layout. Meanwhile, the recent lithography process will have severe sensitivity of exposure and defocus. Therefore, we modeled yield of layouts considering these process variations and evaluated the comprehensive generated cell layouts. We also improved yield by modification of layout around detected catastrophic defect positions. We also studied shot reduction techniques taking account of dummy pattern insertion and wire-end treatment with timing constraints for mask-less electron beam direct writing to enhance throughput.

SoC のテスト手法

浅田邦博, 池田 誠, 名倉 徹, 鄭 若彤, 中村大輔

本研究はウェブインタフェースによる直感的なオンチップLSI テストを行うことのできるプラットフォームを構築することを目的としている。当プラットフォームでは、ボード上にCPU、ネットワークインタフェース、無線インタフェース、OCP準拠のバス等を搭載しており、ユーザの作成したチップのテストをウェブブラウザのインタフェースから行うことが出来る。CPUとネットワークインタフェースの設計を・試作を行い、再構成可能なハードウェアを用いて正常動作を確認した。プログラムは試作したCPUのアセンブラで記述し、プロトタイプを実装し、動作を検証した。また、無線インタフェースの試作を行った。

A Testing method for SoC

K. Asada, M. Ikeda, T. Nakura, R. Zheng,
D. Nakamura

The objective of this research is to construct a platform which enables an intuitive operation of LSI test by using web interface. In the platform, a small CPU, a network interface, a wireless interface, bus interface compliant with OCP and etc. are implemented on a board. User of the platform can test their own chip via a Web browser program We developed the on-chip CPU and network interface, and verified performance by using re-configurable hardware. The program, written in the assembler, was verified by a prototype of the platform. We also developed the wireless interface.

ガラス基板上のシステム構築

浅田邦博, 池田 誠, 金 鎮明, 猪飼啓太

ガラス基板上へのシステムの集積の実現に向けて、PMELA 結晶上の TFT を用いた回路の設計環境を構築し、その環境上で無線通信回路および 500 ゲート規模のデジタル回路を設計した。PMELA 結晶上では Si 結晶が縞状に並んでおりその上に TFT を配置する必要がある。その制約に沿うようにデジタル回路の自動配置配線環境を整え、トランジスタモデルを作成し、レイアウトからのシミュレーション環境を構築した。またばらつきの大いプロセスで無線通信を行うためデジタルを多く用いた通信回路を設計し、実際にガラス基板のチップを作成して、アナログ回路では VCO の動作、アンプの動作などを、またデジタル回路では分周器の動作を確認した。

System on Glass Panels

K.Asada, M.Ikeda, J.Kim, K.Ikai

For presenting integrated systems on Glass, we constructed the design environments of TFT on the PMELA crystal and made a wireless communication system by using it. PMELA is possible to grow uniform and large Si grains laterally over a large area, and the transistors formed on these active areas on the area are high-performance. On the base of this design rule, we made transistor models, automatic P&R environments, doing layouts and simulations. Because this process has a lot of substrate voltage variation, we almost used digital circuits for overcoming it. Now, we realized this formula on the Glass and measured performances of analog parts and digital parts.

DCVSL 回路を用いた

非パイプライン型低雑音 CPU の設計

浅田邦博, 池田 誠, 鄭 若彤, 鈴木真一, 曾我部拓, 鄭 明奎

二線式論理を用いた終了検出型自己同期プロセッサは一つの信号を二本の信号線で伝達し、その冗長性を用いて演算の終了を検出するため、微細化、低電圧化にともない大きくなっている遅延変動を原因とする誤動作は発生しない。また電源、グラウンドノイズや宇宙線中性子などによる一つの信号線が反転しても、それを検出できるため再試行することができる。そこで、従来のスタティック CMOS 回路と二線式論理を実現する DCVSL 回路の電源ノイズ耐性を比較するために、それぞれのプロセッサにノイズ源を付加した回路を試作した。また、二線式論理は一回の演算で二線の一方のみが遷移するため、その二線を平行に配線することで、EMI ノイズの低減を目指した設計フローを構築した。

Low noise non-pipeline microprocessor design using DCVSL

K.Asada, M.Ikeda, R.Zheng, S. Suzuki, T. Sogabe, M. Jeong

A self-timed processor with completion detection using dual rail logic detects completion of evaluation by using redundancy of dual rail logic which delivers a signal with two rails. So variations of delays that are becoming more serious as circuits shrink and voltage lowers don't cause any errors in a self-timed processor. The processor can detect a reversal of a signal path caused by power/ground noise of a cosmic ray, so it can retry the instruction. To compare tolerance to power noise, a static CMOS circuit and a DCVSL circuit with noise sources are designed. We introduced parallel routing technique of two wires of dual-rail signals for automatic P&R tools to reduce electromagnetic noise.

自己同期型シリアル通信

浅田邦博, 池田 誠, 佐々木昌浩

グローバルには非同期で、局所的には同期式で通信を行う GALS (Globally Asynchronous Locally Synchronous) 方式を採用したチップ内・チップ間通信用 3線3相伝送方式シリアルインターフェイスの研究を行っている。3線3相伝送方式は自己同期伝送方式であるため、送信データの各ビットに同期信号が内在し、CDR (Clock and Data Recovery) 回路が不要であり、設計マージンが大きく、高速化に適している。IP化に向けた要素回路 (Transmitter, Receiver, PRBS (Pseudo-Random Binary Sequence) 発生器, PRBSチェック回路, VCO (Voltage Controlled Oscillator), SERDES (Serializer Deserializer) 回路, 電流駆動インターフェイスなど) を STARC 90nm プロセスを用いてシミュレーション・試作・評価を行っている。現在は、ワード同期, FFE (Feed Forward Equalizer), DFE (Decision Feedback Equalizer) などの方式を検討し、パラレルインタフェースとの接続容易性を考慮した IP としての完成を目指している。

Self-synchronous serial communication

K. Asada, M. Ikeda, M. Sasaki

We have developed a prototype interface circuit including a Transmitter, a Receiver, a Pseudo-Random Binary Sequence (PRBS) Generator, a PRBS error checker, a Voltage Controlled Oscillator (VCO), a Serializer/Deserializer (SERDES) circuit, and a Low Voltage Signaling interface for low EMI intra-chip or inter-chip 3-phase 3-wire serial communication using STARC 90nm process. This interface adopted the GALS (Globally Asynchronous Locally Synchronous) method. Since the 3-phase 3-wire transmission scheme is a self-synchronous transmission method, transmitted data include synchronous clocks at each bit. Therefore, a CDR (Clock and Data Recovery) circuit becomes unnecessary, and this scheme is suitable for high-speed transmission because of its wide design margin. To implement this interface as an alternative to a parallel one, we design a word synchronous method. To maintain signal integrity, we also design a new FFE (Feed Forward Equalizer) and DFE (Decision Feedback Equalizer).

能動的基板雑音低減手法

浅田邦博, 池田 誠, 名倉 徹, 金 鎮明

LSI 微細化の進展による電源電圧の低電圧化にともなって回路のノイズ耐性が低下し、SoC における基板ノイズによるアナログ回路の特性劣化が問題となっている。ガードリングに基板ノイズの逆相の電荷を注入することでアクティブに基板ノイズをキャンセルする手法を提案した。基板ノイズの主成分はクロック周波数成分であるため、クロックに同期した信号を注入することで基板ノイズをキャンセルすることが可能である。また、基板ノイズの影響を容易に見積もるために、回路のレイアウトから、基板ノイズの大きさの分布と、ある測定点に対する影響度の分布を求めるための EDA プログラムを開発した。

Active Substrate Noise Canceller

K. Asada, M. Ikeda, T. Nakura, J. Kim

As the process technology advances, the power supply voltage gets lower, resulting in degradation of the noise immunity of analog circuits. Substrate noise becomes one of the measure concerns for SoC design. We have proposed an active substrate noise cancelling technique which injects anti-phase signals against the substrate noise into the guard ring. Since the dominant component of the substrate noise is its CLK frequency, the injection signals can be synchronized to the CLK. Also, in order to estimate the substrate noise from a layout data before real fabrication of chips, we have developed an EDA tool that analyzes substrate noise distribution along a chip. The EDA tool also analyzes an aggressor strength distributions at a specified point on a layout data.

高性能三次元計測システム

浅田邦博, 池田 誠, 谷内出悠介, 金 雄鉦

本研究では、高性能3次元計測システム構築に向け、球を用いた複数視点高精度キャリブレーション手法の提案を行った。これにより、従来の高精度キャリブレーションで必要であった各座標間の多数の対応取得作業を行うことなく、容易に観測空間にわたり高精度の3次元測定を可能となる。校正作業では球を撮像し、測定点群が球の表面に再構成されるようにレンジファンダパラメータ決定する。さらに複数視点においては、各々から観測した球の中心が同一になるようにパラメータを決定する。本手法により空間中の適当な位置の15個の球による校正を行うことで、カメラからの距離700mm-1mの距離範囲で校正後、距離700mmの平面を測定し、最大誤差1.9mmを達成した。

High-Performance 3-D Range Finding System

K. Asada, M. Ikeda, Y. Yachide, U.H. Kim

We proposed a camera and projector calibration method based on the light section method using spheres for high-performance multiple vision system. The proposed calibration method fits the scanning data based on the light-section method to the shapes of each sphere. The calibration cost increase according to the used number of the corresponding points. In the calibration method, the many calibration points are easily obtained by measuring spheres, which contributes to prevent the calibration cost. And also, the proposed method calibrates the 3-D space flexibility to the measurement range and environment. We also calibrate the translation and rotation parameters utilizing the sphere center positions from multiple viewpoints in case of the extension of multiple-viewpoint calibration. We achieved the high-accuracy result of the average error of 1.9 mm at the measurement distance of 700mm by calibrating around the distance of 700 - 1000 mm.

スマートイメージセンサに関する研究

浅田邦博, 池田 誠, 金 允璟, 門馬太平,
Basci Caner, 大塚泰雅, 金 江南, 萬代新悟

カラーイメージセンサをカラーフィルターアレイ無しに再現することを目指し、多層配線層を利用した。また、オンチップコイル付MAGFETの電気特性により光伝搬法における高精度距離計測を実現できると期待される。さらに、蓄積時間とバイアス電圧の自動制御を用いた高ダイナミックレンジを実現した。背景の光を抑圧できるともっと高ダイナミックレンジの実現も期待できる。3D計測の分野には、ピクセル構造を斜めにするにより、細かい検出ができることが期待される。さらに、チップ上に二つのアレイを並べ光切断法に基づいた高速撮像モードと高精度撮像モードを備えたセンサも研究されている。

K. Asada, M. Ikeda, Y.K. Kim, T. Monma,
B. Caner, Y. Ohtsuka, K. Kim, S. Mandai

We re-arranged the dielectric multi-layer for a color image sensor without color filter array. We have proposed a new device based on MAGFET having an on-chip coil for a high-accuracy time-of-flight range finding system, also. Furthermore we have proposed a novel system with control automation of integration time and a bias voltage for wide dynamic range. We have shown a light diffraction and a light polarization using a scaled metal pattern on a chip in the latest process technology. We have proposed a new ambient light suppression method for wide dynamic range. In 3-dimensional measure field, we proposed a new pixel array which have skewed pixel array for high accuracy. Furthermore, dual imager core on one chip is designed and it is used for a range finding system based on light section method. This Imager can get range map by two methods of high speed and high accurate 3-D capturing.

藤田研究室

Fujita Laboratory

(<http://www.cad.t.u-tokyo.ac.jp/>)

プロトコル変換器の自動合成に関する研究

藤田昌宏, 小松 聡, 石川悠司

IP再利用に基づく設計生産性の向上を達成するためには、異なるプロトコルを用いる機能ブロック同士を簡単に接続できるようにする必要がある。システムLSIで利用されるプロトコルにはノンブロッキング転送やバースト転送などの高度な機能が採用されるようになり、インターフェース回路の設計および機能検証が難しくなっている。このため、従来のプロトコル変換器自動合成手法は、適用可能なプロトコルの範囲や、生成した変換器にバグが含まれる可能性などの点で問題があった。我々の手法では、変換対象となるプロトコルの仕様をSequenceと呼ばれる小単位に分割して与え、各Sequence間を変換する部分変換器を合成した後、統合を行う。合成されたプロトコル変換器は、制御フローを変換するいくつかのFSMと、FSM間で同期をとるためのバッファから構成されており、プロトコルの合った変換器構造を選択することで複雑なプロトコルを扱えるようになる。提案する手法を用いることで、OCPやAXIといった最新のプロトコル間を変換するプロトコル変換器の自動合成が可能になった。合成手法の改善に併せて、合成した変換器が機能的に正しいことを検証する仕組みも提案している。

Automatic protocol transducer synthesis

Masahiro FUJITA, Satoshi KOMATSU,
Yuji ISHIKAWA

To improve design productivity by IP-reuse, function blocks having incompatible protocols should be connected easily. Protocols for system LSI design have advanced features such as nonblocking transaction and burst transaction, which makes both design and verification of interface circuits more difficult. Therefore, existing automatic protocol transducer synthesis methods cannot support practical protocols. Our method divides specifications of target protocols into smaller units called sequences. Our method synthesizes partial transducers from the sequences and then unifies the partial transducers into the whole transducer. Synthesized transducers consist of several FSMs to translate control flows and buffers to synchronize behavior of FSMs. By selecting a suitable architecture of a transducer for target protocols, we can automatically synthesize complicated practical protocols such as OCP, AXI, etc. Along with improvements on the synthesis method, we also proposed a framework to verify functionality of the synthesized transducers.

ソフトウェア・ハードウェア協調システムの設計に関する研究

藤田昌宏, 小松 聡, 吉田浩章, 森下賢志

ソフトウェア・ハードウェア協調システムは、ソフトウェアのみの実装に比べて、実行を高速化できる可能性がある。本研究では、コンパイルドシミュレーションによる準形式的限定モデル検査手法を、その手続きを最適化することとソフトウェア・ハードウェア協調システムとして実装することにより高速化する手法を提案した。手続きの最適化として、二分決定グラフの処理を本システムに特化したものに変更した。また、論理回路のシミュレーションやスキップキューブと呼ばれる論理式の計算は並列実行が可能であるため、ハードウェア実装とすることにより高速化した。全体

Performance improvement using hardware/software collaborative execution

Masahiro FUJITA, Satoshi KOMATSU,
Hiroaki YOSHIDA, Satoshi MORISHITA

Software/Hardware collaborative systems can speed-up the execution of a system compared to the execution only by software. In this research, we proposed a method to speed-up a semi-formal bounded model checking method based on compiled simulation, by optimizing the procedures and implementing as software/hardware collaborative system. First, the procedures of binary decision diagram have been optimized for the model checking method. Then, we have decided to implement logic circuit simulation and skip cube computation in hardware, since they could be executed

の高速化のためには、ハードウェア・ソフトウェア間の通信コスト減少が必須であり、本研究では、投機的実行を導入することによってそれを達成した。提案された協調システムは、ソフトウェアのみの実装に比べて、7倍程度高速であることを確認することができた。

concurrently. To speed-up the entire system, the communication cost between software and hardware should be reduced. In the proposed system, it was achieved by introducing speculative execution. The implemented system performs seven times faster than the software implementation.

設計の自動合成に関する研究

藤田昌宏, 小松 聡, 吉田浩章, 高 尚華,
Ratna Krishnamoorthy

集積回路製造技術の向上に伴いプロセスが複雑になってくるにつれて、これまで無視してきた影響が無視できなくなってきた。特に配線が性能へ及ぼす影響は支配的になりつつあり、レイアウト・論理設計においては配線を考慮した設計技術が確立されている。本研究室では、近年普及が進む高位合成、特にパイプライン合成において配線を考慮する手法を提案した。また、高度化が進む組み込み機器分野において、逐次処理型プロセッサのみではその実現が困難となっている。一方で特定用途向けVLSIはその高並列性により高性能・低消費電力を実現可能であるが、設計が難しい・変更が不可能・高コスト等といった問題がある。実行中に機能を変更できる動的再構成可能ハードウェアは柔軟性と高性能・低消費電力を両立する技術として期待されている。本研究では開発の効率化および過去の開発資産の有効活用を重視し、逐次的プログラムから自動的に高効率な動的再構成可能ハードウェア向け回路を合成する技術の研究を行っている。

High-level design automation and optimization

Masahiro FUJITA, Satoshi KOMATSU, Hiroaki YOSHIDA, Shanghua GAO,
Ratna KRISHNAMOORTHY

As the VLSI technology advances, it has been becoming essential to account for physical effects which have been ignored. The impact of interconnect on performance has been becoming dominant, hence a number of studies have already been proposed for interconnect-aware logic synthesis. We proposed a high-level synthesis method considering the interconnect effect, particularly a pipeline synthesis method. Dynamically reconfigurable processors (DRPs) can achieve high flexibility, high performance and low power simultaneously. However, designing applications for DRPs requires considerable manual effort and is hence a challenging problem. We have been developing a compiler framework for DRPs and also conducting a research on the automation of typical optimization techniques which are currently performed manually.

再利用と検証を考慮した SoC の

上位設計方法論に関する研究

藤田昌宏, 小松 聡, 吉田浩章, 松本剛史, 小島慶久,
西原 佑, 石川悠司, 李 蓮福

設計の複雑さの増大と Time-to-Market の短縮により、SoC 開発はますます難しくなりつつある。特に、上位設計における記述スタイルのばらつきによる仕様の誤読や、仕様と設計の間に存在するギャップは設計生産性を低下させる原因となっている。この問題を防ぐため、UML (Unified Modeling Language) の上位設計での利用が注目を集めている。本研究では、まず要求記述と実際の設計記述間のギャップを埋める設計

High-level design methodology considering reuse and verification of SoC

Masahiro FUJITA, Satoshi KOMATSU,
Hiroaki YOSHIDA, Takeshi MATSUMOTO,
Yoshihisa KOJIMA, Tasuku NISHIHARA,
Yuji ISHIKAWA, Yeonbok LEE

The development process of SoC is getting harder due to the rising complexity and time-to-market pressure. Especially, misunderstanding of specifications due to the varied writing styles and gaps between specification and design decrease the design productivity. UML is drawing a lot of notice as one of the most well-chosen description methods to address that problem. In this research, we proposed a design methodology,

フローを提案した。その過程で生成されたすべてのモデルはUMLとXMLにより構成される提案フォーマットにより記述され、記録される。そのため、提案フローでは容易に設計再利用を行うことができる。また、本研究ではUMLモデルから機能検証に用いられる完全なプロパティ集合を生成することも提案している。提案手法の有効性を確認するため、デジタルカメラ設計を例題として評価を進めている。

which connects the gap between the requirement statements and the actual design description. All models generated in the process are to be described and recorded in the proposed format consisting of UML and XML (eXtensible Meta Language). Therefore, we can reuse pre-designed models easily. Furthermore, we are working to generate a complete set of properties from UML models for functional verification. To evaluate the proposed design flow, we are designing a digital camera along the flow.

設計の形式的検証に関する研究

藤田昌宏, 小松 聡, Thanyapat Sakunkonchak, Bijan Alizadeh, 小島慶久, 松本剛史, 西原 祐, 安藤大介, 高 飛

現在のシステムLSIは非常に大規模で複雑になっており、その設計の正しさを確かめるための検証がより重要となってきている。中でも、テストパターンに依存せず網羅的な検証を行うことができる形式的検証手法が注目を集めている。本研究では、Cベース言語による上位設計記述を対象とした形式的な等価性検証ツールの開発を行った。開発したツールは、動作記述とRTL記述に対して拡張システム依存グラフを構築し、それらを参照しながら、差異の抽出・並列動作の順序化・記号シミュレーションを実行することによって、ユーザーが指定した等価性を検証する。逆離散コサイン変換やエレベータ制御などの実例題に対して、この検証ツールによって検証が可能であることを確認した。また、プロパティ検証においては、高品質なプロパティの生成が重要である。そこで、プロトコル変換器のRTL設計を例題として、初期状態から到達可能な全ての状態遷移を含むような完全なプロパティの作成とそれを用いた検証に取り組んでいる。

Formal verification of designs

Masahiro FUJITA, Satoshi KOMATSU, Thanyapat SAKUNKONCHAK, Bijan ALIZADEH, Yoshihisa KOJIMA, Takeshi MATSUMOTO, Tasuku NISHIHARA, Daisuke ANDO, Fei GAO

As system LSIs become larger and more complicated, design verification also becomes more important. Especially, formal methods attract much attention since they can achieve exhaustive verification without test patterns. In this work, we have developed a formal equivalence checker for C-based high-level descriptions. The equivalence checker transforms given C-based behavior-level or RTL design descriptions into Extended System Dependence Graphs, then verifies the equivalence by performing difference extraction, sequentialization, symbolic simulation referring to the graphs. It can verify some practical designs such as an inverse discrete cosine transform and an elevator controller. In addition, we are working on generating a complete set of properties of a given RTL design, which covers all state transitions reachable from the initial states.

設計の理解・デバッグ支援のための解析に関する研究

藤田昌宏, 小松 聡, 松本剛史, 小島慶久, 西原 佑,
安藤大介, 許 金美

半導体製造技術の向上に伴い, システム LSI や SoC の設計規模は年々増大している. そのため, 設計誤りが発見された場合のデバッグや設計の理解がより困難になっている. 本研究では, システムレベル設計の理解やデバッグ支援のための手法を提案した. 設計記述の最大遅延時間を見積もる手法は, ハードウェア・ソフトウェア分割において重要な要素技術であり, 提案手法は設計を分割して処理することにより大規模な設計にも適用可能である. また, デッドロックや競合アクセスなどの典型的な記述誤りを静的に検出する手法, 設計に対して対話的に具体値・記号値を用いてシミュレーションする手法を提案した. これらの手法は, 設計のデバッグに対して非常に有用である. 加えて, 2つの設計の間で成り立っている等価性を自動的に類推する手法の研究も行っている. これは, 複雑な等価性を検証する場合に, 設計者が検証する等価性を指定することを助けることができる.

Analysis methods for understanding and debugging designs

Masahiro FUJITA, Satoshi KOMATSU,
Takeshi MATSUMOTO, Yoshihisa KOJIMA,
Tasuku NISHIHARA, Daisuke ANDO, Jinmei XU

The design size of system LSIs or SoCs is increasing year by year as the advance of the technology of semiconductor manufacturing. This fact results in that debugging and understanding large designs are becoming more difficult. In this work, we have proposed several analysis methods to support design understanding and debugging. Worse-case performance estimation can provide an important aspect of a design to decide hardware/software partitioning. Our proposed method can handle large designs by analyzing them after divided into smaller portions. To support design debugging, we have proposed a method to detect common design errors such as deadlocks or race conditions and a method to simulate designs with both symbolic and concrete values. These methods can be very useful to analyze the cause of bugs when a given design is very large. In addition, we are working on a method to guess the equivalence that must be satisfied in a design. This can be used to specify the complicated equivalence in equivalence checking.

設計解析技術のシステムバイオロジーへの応用に関する研究

藤田昌宏, 小松 聡, 小島慶久, 松本剛史, 西原 佑,
李 蓮福

生物学の発展に伴い生体内の様々な働きの原理が解明され, 現在では生物学的生体システムを計算機によってシミュレーションすることが可能となってきた. 計算機によるシミュレーションは実物による実験や治療と比べて, 安全性, コスト, 観測性の面で有利であり, 患者の病気に対する治療や, 実際の実験では観測が難しいような反応に対する応用が提案されている. しかしながら, 生体システムのシミュレーションは計算量が膨大であるため, 既存のソフトウェアによるシミュレーションでは, 複雑な反応経路や長いサイクルのシミュレーションは困難である. そこで, 本研究テーマでは, これらの生体システムのシミュレーションを FPGA などのリコンフィギュラブル素子を

Application of design analysis techniques to systems biology

Masahiro FUJITA, Satoshi KOMATSU,
Yoshihisa KOJIMA, Takeshi MATSUMOTO,
Tasuku NISHIHARA, Yeonbok LEE

Recent rapid growth of biology has clarified various fundamental rules of bio-chemical systems, and now such systems can be simulated by computers. Such simulations are safer, consumes lower cost, and has higher observability than actual experiments, so that there are many proposals about applications to medical treatments and analyses of reactions which cannot be observed from the outside. However, since the computation amounts of those simulations are huge, it is difficult to simulate complex reaction systems or reactions which takes large number of simulation cycles on software. Therefore, in this research, we are going to implement such bio-chemical simulations on hardware

用いてハードウェア実装することを目標に、例題として用いる実際的な生体システム、モデリング方法、既存のソフトウェアシミュレーション手法およびそのハードウェア実装についての調査を行った。既存のモデリング手法は統計的なアプローチと微分方程式にモデル化する手法の二種類が存在し、それらはモンテカルロ手法によりシミュレーションされる。既存のハードウェア実装はそれらをそのままハードウェアで実行しており、並列化、パイプライン化、および浮動小数点演算の高速実行が主な研究課題となっている。

(with reconfigurable blocks, such as FPGA). We have investigated practical bio-chemical reaction system examples, modeling methods, existing software simulation methods, and their hardware implementations. Existing bio-chemical models can be classified into two types, such as stochastic approaches and differential equation models, and they are executed with Monte Carlo simulation approaches. Existing hardware implementations directly execute those simulations. The main research issues are parallelization, pipelining, and fast floating point operation execution.

宇宙用途電子機器の上位設計ツールの評価に関する研究

藤田昌宏, 小松 聡, 松本剛史, 石川悠司, 高 飛, 許 金美, 森下賢志

人工衛星などの宇宙用途向けに設計される電子機器も、一般の電子機器と同様に高機能化しており、上位設計と形式的検証を適用することによって、より信頼性が高い製品を効率的に設計することが検討されている。本研究では、本年度に新たに開発されたSpecC言語ベースの上位システム設計/検証ツールの評価を行った。設計ツールの評価では、3DES (Triple Data Encryption Standard) の上位設計を実際に行い、従来から宇宙用途に用いられているプロセッサとアーキテクチャに対して、設計詳細化やシミュレーションが可能であることを確認した。等価性検証ツールの評価では、文法事項を網羅するテストケースを作成し、ツールが持つ不具合を数多く検出することに成功した。現在、上位設計は、宇宙用途機器の設計には行われておらず、設計者にとっては新しいものとなるため、この開発環境を導入する際に必要なチュートリアル の作成も併せて行った。

Evaluation of high-level design environment for space electronic systems

Masahiro FUJITA, Satoshi KOMATSU, Takeshi MATSUMOTO, Yuji ISHIKAWA, Fei GAO, Jinmei XU, Satoshi MORISHITA

Recently, electronic systems for space have higher functions. To design reliable systems for space efficiently, high-level design and formal verification come to be considered. In this work, we have evaluated new SpecC-based high-level design/verification tools for space electronic systems. In the evaluation of the design tool, we designed 3DES (Triple Data Encryption Standard) with a processor and an architecture that were used in electronic systems for space, and confirmed that design refinement and simulation could be carried out with the tool. In the evaluation of the formal equivalence checker, we prepared a number of test cases to cover all syntax elements of SpecC, and detected many bugs through testing. To support to start using the high-level design environment, we created tutorials of the tools for designers who are working for electronic systems for space and not familiar with high-level design.

有機トランジスタを用いた
大面積エレクトロニクス向けの回路技術高宮 真
(桜井貴康教授、染谷隆夫助教授との共同研究)

10cm角から10m角の大きな柔らかいシートの上
に、インテリジェントな電子デバイスを分散して配置
することにより、人間生活を快適にサポートする大面
積エレクトロニクスという新しいアプリケーションに
注目している。フレキシブルで低コストの有機トラン
ジスタは大面積エレクトロニクスに適しており、硬く
て高価なシリコンMOSFETを補完するデバイスとし
ても有望である。しかし、シリコンMOSFETと比べ
ると、有機トランジスタは製造技術がまだ未熟である
ため、動作速度が $\mu\text{s} \sim \text{ms}$ と遅く、デバイスの寿命
も数日~数ヶ月と短い。そこで、遅くて信頼度の低い
有機トランジスタの欠点を補う回路技術の開発を行っ
ている。大面積エレクトロニクスの一例として、有機
トランジスタとプラスチックMEMSスイッチを集積
化したフレキシブルな「無線電力伝送シート」の開
発を行った。対向するコイル間の電磁誘導により無線
電力伝送を行う。

40V以上で動作する有機トランジスタやMEMSと、
5V以下で動作するシリコンVLSIの間で信号の送受信
を実現するために、有機トランジスタを用いた新しい
レベルシフト回路を開発した。また、送電/受電コイ
ル間の位置合わせを不要にするコイル活性化技術や、
電力伝送用コイルと受電物体位置検出用コイルを共有
化する有機トランジスタ/MEMSの混合回路技術を開
発した。これらの回路技術はコストや信頼性が課題と
なる大面積エレクトロニクスを実現する上で、キー技
術になると考えている。

Circuits Technologies for Large Area
Electronics with Organic FETsMakoto Takamiya
(Collaborative research with Prof. Takayasu Sakurai
and Prof. Takao Someya)

Large area electronics is a new frontier in electronics
where intelligent electronic devices are distributed on a
flexible square, 10 cm to 10 m on a side, for the human
interface and the comfortable daily life. Flexible
and low-cost organic FETs (OFETs) are suitable for
large-area electronics and have great potential as a
supplement of solid and expensive silicon MOSFETs.
Compared with the silicon MOSFETs, however, the
operation speed of OFETs is slow ($\mu\text{s} \sim \text{ms}$) and the
device lifetime of OFETs is short (days \sim months),
because fabrication technologies for OFETs are not yet
mature. We have developed circuits technologies to
help the slow and unreliable OFETs and demonstrated
a wireless power transmission sheet where plastic
MEMS switches and OFETs are integrated. The cir
cuit technologies for the wireless power transmission
sheet to reduce the cost and to enhance the reliability
were developed, which will be essential for future large-
area electronics made with OFETs.

右脳型ソフトコンピューティング VLSI : 連想プロセッサ・システム

柴田 直, トウロン トウウ ブウイ, 馬 奕濤,
姜 璟熙

現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを、シリコン超LSI技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し、直感・連想・推論といった処理を得意としたLSIチップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ（ニューロンMOS, neuMOS）を導入、膨大なtemplate群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ、0.18ミクロンCMOS技術を用いた超高速デジタル連想プロセッサ等を、これまで開発した。今後連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップ用いて構築して行く。そのために我々の思考過程を柔軟に記述できるAPROL (Association Programming Language) の開発も行う。四則演算に代わり連想を“computing primitive”とする実時間事象認識知能システム実現を目指す研究である。現在、画像認識・音声認識をテーマに研究を進めている。ここで開発したVLSI回路技術は、実用的な応用として、CDMA マッチトフィルタへの応用技術等も開発している。

Right-Brain-Computing Integrated Circuits: Associative Processing Systems

T. Shibata, Trong Tu Bui, Ma Yitao,
Kang Kyunghee

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called “Neuron MOS Transistor” (neuMOS or ν MOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that "association" is the very computing primitive, we are pursuing human-like intelligence system implementation directly in silicon integrated circuits. Currently research is in progress for robust image recognition and voice recognition processing. The state-of-the-art silicon technology has been utilized to implement such associative processors in both analog and digital CMOS VLSI chips. As a practical application of the circuit technology developed for the associative processor chips, CDMA matched filter chips have also been developed.

画像の特徴ベクトル抽出 VLSI 及び そのパターン認識への応用

柴田 直, ロバート グロー, 朱 弘博, 高橋徳浩,
森川重毅, 陳 雋, 金森 毅, グエン タン リム,
中川琢規, 三好高史, 孫 卓力

我々の連想プロセッサアーキテクチャを画像認識に用いるには, 2次元の画像情報を特徴ベクトル, 即ち一次元の数値列で表現しなければならない. 我々はこの目的で, 主方向線分投影法 (PPED: Projected Principal-Edge Distribution) と呼ぶ新たな特徴ベクトル表現法を開発した. 2次元画像に対し, 縦・横・斜め2方向, 計4方向の線分を抽出してフィーチャーマップを作成, そのビットフラッグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する. これらをつなぎ合わせて64次元ベクトルとし, 64×64 ピクセルの画像を表現する. これは, 元画像の特徴を実にうまく表現しており, 手書きによるパターンの変形, 歪みに対しほとんど影響を受けない. 従って, 単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる. 特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった. さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用, 歯学部学生にとっても高度な訓練を必要とする解剖学的特徴点抽出の困難な作業が, 専門医と同様にできることがわかった. 今後, 連想プロセッサと統合し, 一般的な知的画像認識システム構築へと発展させていく. このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり, neuMOSを用いたアナログCMOS回路技術, および最先端のデジタルCMOS回路技術の両方を用いて, 独自のアーキテクチャを持つ特徴ベクトル生成VLSIチップの開発を行っている.

A Robust Feature-Vector Generation VLSI's and their Application to Handwriting Pattern Recognition and Medical X-ray Analysis

T. Shibata, Robert Grou, Zhu Hongbo, N. Takahashi,
S. Morikawa, Chen Jun, T. Kanamori,
Nguyen Thanh Liem, T. Nakagawa, T. Miyoshi,
Sun Zhuoli

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a feature vector, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by "Projected Principal-Edge Distribution (PPED)" algorithm. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituitary gland), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

実時間動画画像処理プロセッサ

柴田 直, 仁木祐介, 藤田和英, 馬 文静, 岡野裕太,
福岡雄大, 吉井一馬, 包 蕊寒

リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾する Saliency Catcher, 及びキャッチした物体の3次元計測を瞬時に行える VLSI プロセッサの研究を行っている。Saliency Catcher については、擬似二次元処理と呼ぶ新たな手法を導入、すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため、各画素部では大きなフィルファクタが実現できた。フィルファクタとは、各ピクセルプロセッサ内でフォトダイオードが占める面積の割合で、これが大きいほど多くの画像情報が処理に取り込める。このチップは、複雑な背景の中から複数の動いている物体を、動きの大きさとともに検出できる。さらにカメラ自身がブレて背景が動いていても検出できるという特徴をもつ。実際にチップで基本性能を確認した。さらに運動物体の3次元計測をリアルタイムで行うチップも開発した。これはキャパシタ間での電荷の再配置のみを演算に使う回路であり、究極の低消費電力システム実現の可能性を秘めている。

方向性エッジベクトル表現を用いたロバストな顔検出並びに顔認証システム

柴田 直, 森屋大輔

顔の検出は、ヒューマンインタフェースの研究において重要な課題である。従来、肌色に着目したり、ニューラルネットによる分類等さまざまな手法が開発されているが、写真の撮影条件の影響を受けたり、あるいは本当の顔を逃してしまう、いわゆる false negative の発生といった問題が多かった。本研究では、多少の false positive (顔以外のものでも似ていると顔として検出) はあっても、「本当の顔を絶対に逃さない」ことを目標とするロバストな顔検出アルゴリズムの基礎を、これまでの成果であるエッジベースのベクトル表現法 (PPED) を発展させて確立した。PPED法による検出は、例えば壁のしみでも眺めていると人間の顔に見えてくるといった、人間の認識に非常に近い検出アルゴリズムであるが、本研究では PPED とは補完的な性質を持つ、新たな2つのベクトル表現法を開発、オリジナル PPED ベクトルと同時

Real-Time Moving Image Processing VLSI Systems

T. Shibata, Y. Niki, K. Fujita, Ma Wenjing, Y. Okano,
Y. Fukuoka, K. Yoshii, Bao Ruihan

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has been also developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

Robust Face-Detection and Face-Identification Systems Using Directional-Edge-Based Image Feature Representations

T. Shibata, D. Moriya

Face localization and identification of individuals by facial images are important issues in the development of new generation human-computer interfaces. There have been many approaches such as skin color detection and using neural networks. They have, however, many problems such as high sensitivity to photograph exposure conditions, and existence of "false negatives". The objective in our approach is to try to minimize the number of "false negatives", even it might increase the number of "false positives". Our algorithm can detect non-face images that are very similar to faces. A preliminary research is done by extending our edge-based vector image representation method (PPED). Besides the PPED-based detection method, two other new vector representations, which are complementary to PPED, have been developed. Using the multiple clue

に用いた多重照合法 (multiple cluematching) の開発により、大変ロバストな顔検出を実現した。さらに、顔画像を各部分を構成する微小画像の2次元シーケンスとして扱い、シーケンスマッチングの手法を用いて顔認証を行うシステムも構築した。これにより、照明条件の変化に強いロバストな顔認証システムが実現した。

method with these three representations, a very robust performance in face detection has been achieved. We also developed a face identification system in which a face image is treated as a two dimensional sequence of partial images also represented by directional edge-based vectors, thus showing a robust identification performance under a variety of illumination conditions.

動画画像認識システム

柴田 直, 早川 仁, ハオ・ジア, 金 時煥,
西山未央

方向性エッジ情報が、静止画の認識に重要な働きをすることを我々はこれまで様々な事例で実証してきた。本研究テーマは、動画画像シーケンスから動きの情報を取り出し、これによって動作の理解を行う研究であり、これもエッジ情報を用いて行っている。人間の脳は、まず第一視覚野で様々な方向性エッジ情報が抽出し、これを用いて形状認識と動き認識を、それぞれ別々の pass way で実行している。我々もこれに習った。エッジ情報によって物体の形状を認識し、その形状を順次追いかけて行く手法でオブジェクトトラッキングシステムを開発した。追跡物体が複雑な背景の中に入っても、途中で形状や動作速度を変えても、また照明条件が変化しても正確に追跡していける。環境の中で人が移動すると環境の視覚画像もそれに応じて変化するが、その変化から自分の動きを理解するいわゆる ego motion perception も、方向性エッジ情報を用いて実現した。照明条件の変化や、明確なテクスチャの少ない環境、あるいは視野内に別の動きをする物体が存在する場合にも、ロバストな ego motion 検出ができる。さらに、画面の中で動作する人物のジェスチャーを認識するシステムも開発中である。各時刻におけるオプティカル・フローをベクトル表現し、ベクトルの時間シーケンスを隠れマルコフモデル (HMM) を用いて理解するシステムである。この目的のため、相対評価ではなく絶対評価可能な、新たな隠れマルコフモデルを考案し、その有効性を実証した。

Moving Image Recognition System

T. Shibata, H. Hayakawa, Hao Jia, Kim Sihwan,
M. Nishiyama

So far we have shown directional edge information plays an essential role in a variety of still image recognition applications. In this project, we are developing moving image recognition systems also utilizing directional edge information. In the human brain, it is known that edges of various orientations are firstly extracted from retinal images and then being processed through separate pass ways for motion recognition and object shape recognition. We have followed such a biological principle. As an example, we have developed an object tracking system utilizing the edge information to represent the object appearance. Our system shows a very robust tracking performance for an object moving under variety of disturbing conditions such as changing illumination, confusing busy background, object shape transformation, changing speed, partial occlusion etc. A robust ego-motion perception algorithm has also been developed based on the edge information. In order to understand the gesture of a person from motion pictures, a vector representation of an instantaneous motion has been developed. A temporal sequence of such vectors is analyzed by Hidden Markov Models (HMMs). For this purpose, a new HMM has been developed which we call Self-Evaluating HMM. With this new model, it is possible for a single Self-Evaluating HMM to judge if an input sequence matches to the model without referring to other models. Preliminary experiments of simple gesture recognition have confirmed the effectiveness of this approach.

初期視覚プロセッシングシステム

三田吉郎, 布 洋平, 柴田 直

フォトセンサと情報処理回路を融合した高機能イメージセンサは発展が期待できる。本研究では、イメージセンサを内蔵して、外界の状況から特徴を瞬時に抽出する知的情報処理VLSIの研究を行なっている。これは本研究室の「右脳的情報処理システム」の入力フロントエンドとして用いる予定である。このようなVLSIは、フォトダイオードと処理回路とで演算単位「セル」を構成し、セルを基盤の目状に並べる構造が一般的であるが、生体で行なわれているようにセル間を配線するためには三次元配線が必要となる。ひるがえってVLSIの配線は原理的に二次元であるから、セル同士の配線をいかに工夫して行なうかが問題となる。センサをセル同士の交点にずらし、また各セルで一旦情報処理を行なった結果のみを近接セルに転送する二段階方式を用いることで、3近傍セルまでの演算をできることを提唱した。0.35 μm テクノロジーにおいてチップを試作しリアルタイム動作を行なうことに成功した。また基礎的なデータを収集するため、0.35 μm バルク基板、0.15 μm SOI基板において光電変換効率の測定を行なった。

Early-vision processing systems

Y. Mita, Y. Nuno, T. Shibata

Intelligent image sensor array system is an integral part in humanlike versatile systems. An image-sensor integrated smart feature extraction VLSI is under investigation in this project. Distributed cellular architecture is popular for these systems: a photodiode sensor and some information processing circuits compose a unit "cell" and the array of cells constitutes the system. However, if the cellular architecture tries to physically imitate living body, three-dimensional wiring is mandatory. However, VLSI wiring is 2-dimensional in nature so that some architectural innovation to augment the missing-one-dimension is necessary. We have proposed architecture where: (1) photodiode is placed at the intersection of 4 cell borders and (2) photodiode image is first preprocessed at each connecting cells and only the preprocessed information is exchanged. By this architecture, information up to next nearest neighbor cell is collectable. A real-time demonstration using 0.35 μm technologies VLSI is successful. Also, efficiency of both 0.35 μm bulk and 0.15 μm SOI technology is measured.

深掘エッチングを応用した MEMS-LSI 融合デバイス

三田吉郎, 澤村智紀, 濱口洋平, 今井義明, 金 俊亨

VDEC 所有 EB 装置を利用してナノリソグラフィを行ない、武田先端知ビル等の深掘り RIE 装置でエッチングを行なって、深掘りナノサイズ構造を作製、電子デバイスサイズ (10~1 ミクロン以下) のパターン精度でかつマイクロマシサイズ (40 ミクロン以上) の深さを持つ垂直構造を積極的に利用した電子デバイス応用を試みている。最小サイズ 370 ナノメートル、アスペクト比 1:107 のトレンチ構造を作製することができるようになった。MEMS 用サブミクロンサイズの深掘り構造は、これまでせいぜいアスペクト比 1:10 程度であったが、本研究では一桁優れた結果を出している。このエッチング技術を基礎に、シリコンの垂直面の表面から不純物拡散を行って PN 接合とした「垂直フォトダイオード」を作製、既存の平面型ダイオードに比較して 25%~80% の効率向上ならびにクロストーク軽減ができることを示した研究、蒸着するだけ

LSI-MEMS integrated device by deep reactive ion etching technology

Y. Mita, T. Sawamura, Y. Hamaguchi, Y. Imai, Kim Jun Hyoung

Silicon deep nano-fabrication technology of structures having both electron-device-scale (10 μm down to less than 1 μm) lateral resolution and MEMS-scale (more than 40 μm) depth, and application to electron devices is developed. VDEC's EB writer performs lithography and Deep RIE at Takeda Building performs etching. Our top data is aspect ratio 1:107 for trenches of 370nm. This is the record ten times deeper as compared to ordinal submicron Deep-RIE technology. Based on the technology, a couple of new-concept devices are appearing such as: (1) a "vertical photodiode" that is made by thermal diffusion on the vertical wall of Si Deep Reactive Ion Etching (DRIE) and showed from 25% to 80% of photocurrent increase and crosstalk suppression as compared to conventional planar photodiode, (2) "Self-cut patterning method"

で三次元配線のできる「セルフカットパターニング法」とその垂直型コイルへの応用, VDECで試作した0.15 μm 完全空乏型 Silicon on Insulator (FDSOI) LSIを, シリコーンゴム (PDMS) やガラス基板に接着し, 支持層シリコンを完全にエッチングすることで活性部分だけを任意の表面に転写する「Silicon on PDMS」デバイスなどが新たに開発された。

that is a three-dimensional wiring technology by a simple evaporation on profile-controlled 3-D structure with an application of vertically-winded coils, and (3) “Silicon on PDMS” devices that is made by an active-layer transferring technology using 0.15 μm Fully-Depleted Silicon on Insulator (FDSOI) LSI pasted on silicone rubber (PDMS) or glass substrate and lost-wafer etching.

高木・竹中研究室
Takagi-Takenaka Laboratory
(<http://www.mosfet.k.u-tokyo.ac.jp/>)

Ge Metal-Insulator-Semiconductor (MIS)

界面形成技術に関する研究

高木信一, 竹中 充, 松原 寛, 笹田 崇

高性能Ge MISFETを実現するための最大の課題は, 良好なMIS界面特性の実現である. Ge上のMIS界面形成方法として, Ge基板を直接熱酸化することにより形成したGeO₂/Ge界面の電気的特性を調べたところ, 10¹⁰cm⁻² 台後半の良好な界面特性が得られることが明らかとなった. また, 界面準位が(100), (110), (111)の面方位に対してほとんど同じであることを見出した. また, Ge MOS界面準位のエネルギー分布を幅広く定量的に調べる方法として, 温度可変の低温コンダクタンス法を提案し, Geの価電子帯から伝導帯に渡って, バンド端近くまで, 界面準位が測定できることを示した.

Ge Metal-Insulator-Semiconductor (MIS) interface properties

S. Takagi, M. Takenaka, H. Matsubara, T. Sasada

One of the most critical issues on realizing high performance Ge MISFETs is the formation of MIS interfaces with high quality interface properties. We have fabricated GeO₂/Ge MOS interfaces by using thermal oxidation. It is found from these capacitors that the minimum values of the interface state density are less than 10¹¹ cm⁻² order and that the interface state densities of the GeO₂/Ge MOS capacitors on (100), (110), (111) Ge substrates are almost same. Also, we have proposed a temperature-dependent conductance method in order to examine the energy distribution of interface state densities. It is found that this method allows us to evaluate the interface state density over a wide range of the surface potential from the valence band edge to the conduction band edge.

Ge Metal-Insulator-Semiconductor (MIS)

FET に関する研究

高木信一, 竹中 充, Sanjeeva Dissanayake,
田辺 聡, 中北要佑, 森井清仁

低界面準位が得られることが分かったGe直接熱酸化MOS界面を用いたMOSFETの作製にはじめて成功した。Alメタルゲートをマスクとしたセルフアラインプロセスによりフロントゲート動作を達成し、Siのユニバーサル移動度に対して2倍以上の移動度を得られることを実証することに成功した。また、高性能Ge MISFETを実現するためのもうひとつの課題は、高品位のGeチャンネル層形成、特に極薄のGe-On-Insulator (GOI) 構造の形成と新しい高移動度チャンネル構造の実現である。今回、正孔移動度として極めて高い値が期待できる(110)面をもつGOI層を、酸化濃縮法による実現することに初めて成功するとともに、バックゲートによるMOSFETの動作を実証した。これは、(110)面Ge MOSFETの初めてのデバイス動作実証である。移動度向上率は、Siのユニバーサル移動度と比較して、約1.4倍程度であり、今後更に、結晶性や界面特性の改善を図る必要がある。

Ge Metal-Insulator-Semiconductor (MIS) FETs

S. Takagi, S. Sugahara, T. Uehara, S. Dissanayake,
S. Tanabe, Y. Nakakita, K. Morii

We have successfully fabricated Ge pMOSFET by using GeO₂/Ge MOS interface with Dit of around 10¹² cm⁻² eV⁻¹. The front gate MOSFET exhibited around 2 × mobility of the Si universal mobility. Another critical issue on realizing high performance Ge MISFETs is the establishment of the formation technologies of high quality Ge channels, particularly, ultrathin Ge-On-Insulator (GOI) channels accompanied by the new channel structures. We have succeeded in fabricating (110) surface ultrathin GOI structures, which are expected to provide high hole mobility, by using the Ge condensation technique. We have also successfully realized the MOSFET operation of the channels under the back gate operation. This is the first demonstration of (110) surface Ge MOSFETs. The hole mobility enhancement factor is around 1.4, which can be improved by optimizing the crystal quality of the GOI layers and the MOS interface properties.

ひずみ Si MOSFET の電気特性に関する研究

高木信一, 竹中 充, Olivier Weber

Localひずみ技術による一軸ひずみ技術は、Si MOSFETの駆動力向上のために、すでに実用化されているが、グローバルひずみ基板上での二軸ひずみと一軸ひずみが共存する場合の、移動度への影響はよく理解されていない。そこで、緩和SiGe上の二軸引張りひずみSiチャンネルに一軸の機械ひずみを印加して、移動度へ与える影響を系統的に調べた。結果として、nMOSFETでは、二軸引張りひずみと<110>方向の一軸引張りひずみの組み合わせは、せん断応力ひずみの有効性から、移動度向上に極めて効果的であることが明らかとなった。一方、pMOSFETでは、せん断応力ひずみの移動度向上率が二軸引張りひずみにより大きく低下してしまうことから、二軸引張りひずみと一軸ひずみの組み合わせは有効でないことが分かった。

Electrical Properties of Strained-Si MOSFETs

S. Takagi, M. Takenaka, O. Weber

The uni-axial strain technology using local strain techniques for enhancing the current drive of Si MOSFETs has already been in a practical use. However, the impact of the combination of bi-axial strain introduced by global strain substrates with the uni-axial strain on the mobility of Si MOSFETs has not been understood yet. Thus, we have systematically studied the effects of the mechanical uni-axial strain on the electron and hole mobility of bi-axial strain Si MOSFETs on SiGe relaxed substrates. As a result, it has been demonstrated that, as for n-MOSFETs, the combination of bi-axial strain and uni-axial strain along

Si 基板上の III-V 族化合物半導体 Metal-Insulator-Semiconductor (MIS) FET に関する研究

高木信一, 竹中 充, 星井拓也, 灰本隆志, 中川翔太

ディープサブ100nm世代では、電流駆動力の増大のためは、キャリア輸送特性を向上させ続けることが不可欠であるが、n-MOSFETは、二軸の引っ張りひずみによる移動度向上以上の手段に欠けている。このため、近年、電子移動度の高いIII-V族半導体 MISFETが興味をもたれている。我々は、このデバイス実現のために、理論解析、Si及びSiO₂上への高品質III-V薄膜層形成、高品質のIII-V MIS構造の形成の観点で検討を進めている。今年度、III-V薄膜層形成に関して、我々が提案するマイクロチャンネルエピタキシー法により、MOVPEを用いてSi基板上にInGaAs薄膜やInAsピラーが形成できることを示した。また、InAlAs/InP構造を直接酸化することで、界面準位密度が 10^{12} - 10^{13} cm⁻²eV⁻¹程度と比較的良好なMOS界面が得られことを見出した。

III-V compound semiconductor Metal-Insulator-Semiconductor (MIS) FET on Si substrates

S. Takagi, M. Takenaka, T. Hoshii, T. Haimoto, S. Nakagawa

Enhancement of carrier transport properties in MOS channels is regarded as mandatory for continuous increase in the current drive under deep sub-100 nm regime. As for n-channel MOSFETs, however, any promising technologies after bi-axial tensile strain, which can provide the mobility enhancement of twice as high as in conventional Si n-MOSFETs, are still lacking. Thus, III-V semiconductor MISFETs, expected to have higher electron mobility, has recently stirred a strong interest. We have started to examine the feasibility of III-V semiconductor MISFETs on Si platform from the both aspects of theoretical predictions, the formation of III-V films on Si and SiO₂ and MIS interface formation technologies on III-V. As for the formation of III-V films, we have demonstrated the epitaxial growth of the InGaAs film and InAs pillar on (111) Si substrate by using the micro-channel epitaxy method. We have also demonstrate the MOS interface with Dit of around $10^{12} - 10^{13}$ cm⁻² eV⁻¹ by thermal wet oxidation of the InAlAs/InP structure.

ミリ波 CMOS 回路の自動設計

藤島 実, 後藤陽介, 萬澤康雄

近年, 1Gbpsを越える超高速通信を実現する可能性からミリ波帯が注目されている。ミリ波トランシーバの研究は化合物半導体を中心に進んできたが, 高い集積性, 低コスト, 低消費電力という特徴からCMOSによるミリ波トランシーバの実現が期待されている。ミリ波CMOS回路では受動素子の損失が大きいという問題がある。受動素子の損失は電力効率や雑音指数の悪化に直結してしまうため, 受動回路の損失を最小化する設計が求められる。損失まで考慮した受動回路の最適化は複雑な計算を要するため計算機を用いて行うことが適切である。そこで私達はミリ波CMOS回路の最適設計手法の研究を行っている。既に最適化ツールPREMICS (Productivity Expander for Millimeter-Wave Integrated Circuits) を提案し, 実際に雑音指数までを含めた低雑音増幅器の最適化を実現した。今後は大信号特性を考慮した最適化を実現していく予定である。

Design Automation for millimeter-wave CMOS circuits

Minoru Fujishima, Yosuke Goto and
Yasuo Manzawa.

Recently, millimeter-wave (MMW) applications have attracted much attention for their use in ultrahigh-speed wireless communication. Although MMW transceivers were mainly developed using compound semiconductors, realization of MMW CMOS circuits is demanded due to high integration, low fabrication cost, and low power consumption. However, large energy loss in the passive components in an MMW CMOS circuit is a significant issue. Therefore, loss minimization in matching network is important, because increase in the loss of the matching network directly deteriorates the power gain and noise figure of the circuit. Since optimization of the passive component network, with taking loss into account, is generally a complicated task, computer-aided optimization is effective for the MMW LNA circuits having lossy passive components. In this study, design optimization technique of the MMW CMOS circuit is developed, where PREMICS (Productivity Expander for Millimeter-Wave Integrated Circuits) has been proposed, and the optimization of the low noise amplifier including the noise figure has been already achieved. Design optimization for large-signal operation is currently under consideration.

高速大容量ミリ波 CMOS 無線トランシーバ

藤島 実, 本良瑞樹, 乾 千乗, 神林裕樹, 大橋 翔,
林 聖雄, 大橋俊介

近年, 家庭やオフィスにおいて, 映像のような大容量の情報の無線通信への需要により, 高速で低消費電力な無線通信デバイスが求められるようになってきている. そこで高速な無線通信を実現するために, 7GHzという広い周波数帯域が10dBmの高出力において免許無しで使用可能な60GHz帯が注目されている. そこでわれわれは60GHz帯を用いた無線通信をCMOSで実現することに取り組んでいる. これまでトランシーバを構成するLNA, PA, MIXER, PLLを各部分ごとに低消費電力化や高利得化などを図ってきた. これからはトランシーバ全体の実現および低消費電力などの機能向上を図っていく.

Millimeter Wave CMOS Transceiver for High Data-Rate Wireless Communication

Minoru Fujishima, Mizuki Motoyoshi, Chiaki Inui,
Yuki Kambayashi, Sho Ohashi, Lim Seong Woong
and Shunsuke Ohashi

Recently, indoor high data-rate wireless communications have become popular with increasing the information capacity such as that in high-definition videos. Thus, the wireless communication devices which operate at high speed and low power consumption are needed. At millimeter-wave band around 60 GHz, unlicensed band with 7 GHz bandwidth and 10 dBm output power is available, which is attractive for the realization of high data-rate wireless communication. Therefore, a high data-rate transceiver in 60 GHz band is studied. Until now, we have fabricated each building block in the transceiver such as LNA, PA, MIXER and PLL. From now, the entire transceiver system will be optimized.

ミリ波パルス通信用 CMOS 受信回路

藤島実, 音樹アフメット, 夏莉洋平

近年, 家庭やオフィスでもギガヘルツ級の無線通信が登場し, 高速で低消費電力な無線通信デバイスが求められるようになってきている. 高速な無線通信を実現するためには, 7GHzの広い帯域と10dBmの高出力が許されている60GHz帯が注目されている. 私たちはその60GHz帯を用いることに加え, 低消費電力化のために, パルスを用いた通信をCMOSで実現することを提案した. これまでに, 1P6Mの標準CMOSプロセスを用いてレシーバーを設計・試作し, それが消費電力19.2mW, 2Gbpsで動作することを確認した. この性能は, これまでに発表されている60GHzレシーバーの中で, もっとも低消費電力で動作するものであった.

Millimeter-Wave CMOS Receiver for Low-Power Pulse Communication

Minoru Fujishima, Ahmet Oncu and Youhei
Natsukari

Recently, new indoor wireless electronic appliances with over-Gbps data rate have appeared. The devices used in the over-Gbps wireless communication have to operate with low power for reducing physical size and production cost. The 60GHz millimeter-wave band, having 7GHz license free bandwidth and 10dBm output power, has a capacity to provide over-Gbps wireless communication. However, it is still under discussion whether over-Gbps wireless communication is realizable with low-power operation at 60GHz band using CMOS. In this research novel low-power millimeter-wave CMOS pulse receiver for over-Gbps pulse communications are studied. Using a 1P6M standard CMOS process, a 19.2mW 2Gbps pulse receiver circuit for 60GHz wireless communication was designed. The fabricated receiver consumes the lowest power among recently reported 60GHz receivers. The performance of this pulse receiver indicates that over-Gbps wireless communication can be obtained at the 60GHz band with low-power operation.

超低消費電力超広帯域 CMOS ミリ波周波数シンセサイザ

藤島 実, 本良瑞樹, 林 聖雄

近年, 半導体プロセス技術の進展と共にミリ波を用いるトランシーバの開発が広く行われている. 特に60GHz帯はGbps級無線通信用として世界各国で注目されているが, 現在, 化合物半導体で実現されている. これをCMOSプロセスで実現できればミリ波トランシーバの低消費電力化や低価格化が期待できる. CMOSプロセスでは動作周波数や周波数帯域などの特性において実用的な性能を実現しにくい. 本研究では, インダクタレスで各コンポーネントを実現すると共に高調波を効率的に利用することで, 低消費電力かつ超広帯域な電圧制御発振器 (Max2mW, 25.4-75.7GHz) と周波数分周器 (Max1.35mW, 10.4-74.1GHz) を実現した. 本研究により検討されたテクニックを用いることで超低消費電力超広帯域CMOSミリ波周波数シンセサイザの実現が期待できる.

Millimeter Wave CMOS Receiver Designs for Low-Power Over-Gbps Wireless Pulse-Communication

Minoru Fujishima, Mizuki Motoyoshi and Lim Seong Woong

Recently, the millimeter-wave transceiver widely developed with semiconductor process advancement. In particular, 60GHz-band is paid attention to in worldwide for over Gbps wireless communication. However, since current millimeter-wave circuits are based on compound-semiconductor devices, the entire system is large and expensive. When the millimeter-wave circuit can be realized by CMOS process, low power and low cost can be realized. Practicable performances satisfying both high frequency and wide-range operation are not realized easily in CMOS process. In this research, a voltage-controlled oscillator and a frequency divider are realized with low power and ultra wide range by a inductor-less harmonic oscillator. The CMOS millimeter wave frequency synthesizer with ultra low power and ultra wide range can be achieved by using the technique proposed in this research.

ミリ波帯オンチップアンテナ

藤島実, 王 帆

近年, 急速にHDMIが普及している. HDMIはさらに室内用にワイヤレス化が検討され始めている. ワイヤレスHDMIの実現には, ミリ波帯を使った2Gbps以上の高速伝送無線技術が必要となる. 我々は59GHz-66GHz帯において, 複数の帯域や偏波を利用する7.5Gbpsの無線通信可能なオンチップアンテナの開発に取り組んでいる. これまでに, HFSSシミュレーションを使って, スパイラルアンテナの設計を行った. 今後IEEE 802.15.3c の3チャンネルを同時に利用し, 1チャンネル内で左右円偏波アンテナを用いることにより, 6個アンテナを並列にし, 通信速度を1.125Gbps/chの実現を目指す.

Millimeter-Wave On-Chip antenna

Minoru Fujishima and Fan Wang

Recently, HDMI (High Definition Multimedia Interface) has rapidly spread, and indoor wireless HDMI is currently being studied using millimeter wave, which realizes high-speed communication more than 2Gbps. To improve portability, we are studying a millimeter-wave on-chip antenna for realizing 7.5Gbps data rate using multiple bands and polarizations at 59-66GHz band. Until now, the performance of spiral antenna is estimated using three-dimensional electromagnetic simulation. For simultaneous utilization of the three channels in IEEE 802.15.3c, right- and left-handed circularly-polarized antennas will be designed in each channel. Consequently, six circularly-polarized antennas with data rate of 1.125Gbps/ch will be realized.

HDMI用超小型周波数合成器

藤島 実, 王 彤, 王 帆

近年, HDMIという家電向け画像, 音声伝送規格が急速に普及している. 携帯用マルチメディアへの搭載も期待されているため, HDMIトランシーバの中で用いられる周波数合成器の低コスト化, 小型化及び広帯域化に対する要求が高まっている. しかし, 従来のアナログ周波数合成器では大きなキャパシタを用いられるので微細化できない. そこで, 我々は微細化可能な新しい周波数合成器アーキテクチャを提案した. これまでに, 提案するシステムの部分回路として1.6GHz~3.7GHzのチューニングレンジを持った直行出力電圧制御発振器を実現した. 今後, 広いチューニングレンジを持った超小型周波数合成器システムの実現を目指す.

Compact Frequency Synthesizer for HDMI

Minoru Fujishima, Tong Wang and Fan Wang

Recently, the high-definition multimedia interface (HDMI) as a licensable compact audio/video wire-line interface has been rapidly spreading. There is an increasing requirement for a low-cost, compact frequency synthesizer with a wide tuning range for HDMI transceiver used in mobile applications. However, since the conventional frequency synthesizers require large capacitors in a loop filter, they can not be scaled down with scaling MOSFETs. Thus, we proposed a new scalable frequency synthesizer. In the system, we realized a CMOS voltage controlled oscillator with quadrature outputs and 1.6GHz~3.7GHz tuning range. The compact frequency synthesizer with a wide tuning range is currently studying by using the proposed architecture and technique in this research.

極低消費電力 CMOS 無線トランシーバ

藤島 実, 高野恭弥, 足立恵理子

近年, ワイヤレスセンサネットワーク (WSN) が注目を集めている. WSN用無線トランシーバはバッテリーによって駆動されるため, 低消費電力化が必要である. そこで, 我々はCMOSを使用し, 極低消費電力な無線トランシーバの実現に取り組んでいる. これまでに, トランシーバの最も重要な構成要素であるPhase-locked loopの極低消費電力化を実現するために, 新しくパルス注入同期型周波数逓倍器を提案し, 2.4GHzで255 μ Wの消費電力で十通倍動作を実現した. 今後, この技術を応用し, 無線トランシーバの極低消費電力化を目指す.

Ultra-low-power CMOS wireless transceiver

Minoru Fujishima, Kyoya Takano and Eriko Adachi

Recently, wireless sensor networks (WSNs) have become popular. Since the transceiver for WSNs operates by a battery, ultra-low-power consumption is necessary. Therefore, we are studying an ultra-low-power transceiver. In this study, we proposed a pulse-injection-locked frequency multiplier to realize an ultra-low-power phase-locked loop that is the most important component of a transceiver. And the operation of the ten-time multiplication of a frequency was realized with 255 μ W at 2.4GHz. In the future, we will realize an ultra-low-power transceiver using this technology.

竹内研究室

Takeuchi Laboratory

(<http://www.lsi.t.u-tokyo.ac.jp/>)

Fe-NAND フラッシュメモリの研究

竹内 健, 産総研酒井グループ,
生産技術研究所桜井・高宮研究室

メモリカードや携帯電話に使われているフラッシュメモリを更に大容量化する可能性を持ったFe-NANDフラッシュメモリを世界で最初に提案し、2015年にテラビットの容量を実現することを目指しています。Fe-NANDはメモリトランジスタのゲート絶縁膜が強誘電体膜SrBiTaOと絶縁膜HfAlOの積層で構成され、従来のLSIでは使われていない強誘電性物質を採用しているところが特徴です。Fe-NANDでは、電界によって強誘電体の結晶格子内のイオンを移動させて情報を記憶するため、数ナノメートル（格子サイズ）の極限まで微細化できることが期待されています。

Fe (Ferroelectric) -NAND Flash Memory

Ken Takeuchi, Sakai Group at AIST, Sakurai and Takamiya Laboratory at University of Tokyo

Takeuchi Lab. is developing a Fe-NAND flash memory. The research objective is to realize a Tera-bit capacity non-volatile memory in 2015. Fe-NAND is composed of ferroelectric field-effect transistors (FeFET) whose gate dielectric consists of a ferroelectric layer, SrBiTaO and a high-K dielectric layer, HfAlO.

It is difficult to scale down the conventional floating-gate (FG) NAND flash memories below 30nm due to the serious interference with neighboring cells. The charge-trap memories like MONOS have short data retention problems. Current-driven resistive switching memories such as MRAM, PRAM and RRAM are unscalable below 20nm because of the significant IR drop of the bit-line.

Fe-NAND is in principle scalable below 10nm to the crystal unit-cell size because the data is stored with an electric polarization in a ferroelectric gate insulator. Due to the voltage-driven, low-voltage operation and scalable properties, Fe-NAND is a promising candidate for the future sub-10nm Tera-bit capacity NAND flash memories.

3次元LSI回路設計の研究

竹内 健, 生産技術研究所桜井・高宮研究室

LSIを小型化・高機能化・低電力化する技術として、マイクロプロセッサ・イメージセンサー・アナログ回路・DRAM・フラッシュメモリなど複数のLSIを1個のパッケージ内に積み重ね、1つのLSIとして機能させる3次元LSIの研究を行っています。従来の研究では各種LSIは独立して最適化されました。当研究室では異種LSI間のレイヤーを超えて、領域を横断して最適化することで、低電力・高機能な3次元LSIを実現するような回路の研究を行っています。

3D-LSI Circuit Design

Ken Takeuchi, Sakurai and Takamiya Laboratory at University of Tokyo

Takeuchi Lab. is developing circuit technologies of a three dimensional LSI where multiple LSIs such as micro processors, image sensors, analog circuits, DRAMs and flash memories are stacked in one package. 3D-LSI is expected to realize a small form factor, multi-functional, high-speed and low power consumption solution. Takeuchi Lab. is developing a highly efficient low cost power supply circuits, key circuits to realize a 3D LSI.

システム分野では、パソコンの記憶媒体として注目されている、Solid-State Driveの研究を行っています。フラッシュメモリと、それを制御するコントローラチップのアーキテクチャーの革新により、消費電力を半減することに成功しました。現在、インターネット上で扱われるデータの量が爆発的に増加した結果、サーバーのハードディスクの発熱の増大が問題になっています。グーグルやアマゾンドットコムなどの大規模なサーバーでは、冷却のために一社で年間1兆円以上の電気代がかかっています。メモリシステムの電力を劇的に削減することで、地球環境の改善に貢献したいと考えています。

Takeuchi Lab. is developing a low-power high-speed SSD, Solid-State Drive. As the capacity of NAND flash memories drastically increases, SSD that uses NAND as a mass storage of PC is attracting much attention. SSD is composed of as many as 64 NAND flash memories, RAM and NAND controllers. By co-designing NAND flash memory and NAND controller circuits, we succeeded in best optimize both NAND and NAND controllers. As a result, at sub-30nm generation, the SSD speed would be improved by 150 % without a cost penalty or circuit noise.

4. 4 研究発表

浅田・池田・名倉研究室 研究論文

- [1] T. Iizuka, M. Ikeda and K. Asada, "Timing-Aware Cell Layout De-Compaction for Yield Optimization by Critical Area Minimization," Very Large Scale Integration (VLSI) Systems, IEEE Transactions, Vol.15, Issue 6, pp. 716-720, Jun. 2007.
- [2] Y. Yachide, M. Ikeda and K. Asada, "Time-Division-Based Multiple-Viewpoint 3-D Measurement System for Real-Time, High-Speed, and High-Accuracy Model Movie Acquisition", Journal of the Institute of Image Information and Television Engineers, Vol. 62, No.3, pp. 392-397, Mar. 2008. (in Japanese)

国際会議論文

- [1] Z. Liang, M. Ikeda and K. Asada, "Analysis of Noise Margins Due to Device Parameter Variations in Sub-100nm CMOS Technology," the IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS), pp. 1-6, Apr. 2007.
- [2] [Invited] M. Ikeda, "Power Control for Self-Synchronous System --Instruction and Data Grain Power Control for Self-Synchronous System with Dynamic Voltage Scaling--," IEEE 2007 VAIL Computer Elements Workshop, Jun. 2007.
- [3] M. Sasaki, T. Inoue, M. Ikeda and K. Asada, "40 Frames/sec 16x16 Temperature Probe Array using 90nm 1V CMOS for On line Thermal Monitoring on VLSI Chip," in Proc. of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 264-267, Nov. 2007.
- [4] Y. Yachide, M. Ikeda and K. Asada, "Triangulation-based calibration method based on light-section method using spheres," Proc. of International Conference on Sensing Technology (ICST), pp. 399-403, Nov. 2007.
- [5] Y. Yachide, M. Ikeda and K. Asada, "FPGA-Based 3-D Engine for High-speed 3-D Measurement Based on Light-Section Method," Proc. of IEEE International Conference on

Field-Programmable Technology (ICFPT), pp. 293 - 296, Dec. 2007.

- [6] M. Ikeda, K. Ishi, T. Sokabe and K. Asada, "Datapath Delay Distributions for Data/Instruction Against PVT Variations in 90nm CMOS," Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS), A4L-E04, pp. 154 - 157, Dec. 2007.
- [7] M. Sasaki, M. Ikeda and K. Asada, "3.5-Gb/S Extended Frequency Range Wave-Pipeline PRBS Generator in 0.18-um CMOS," Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS), C4L-F04, pp. 1296 - 1299, Dec. 2007.
- [8] K. Kurihara, T. Iizuka, M. Ikeda and K. Asada, "Process Variation Aware Comprehensive Layout Synthesis for Yield Enhancement in Nano-Meter CMOS," Proc. of IEEE International Conference on Electronics, Circuits and Systems (ICECS), C4L-F04, pp. 1296 - 1299, Dec. 2007.
- [9] [Invited] M. Ikeda, "Wide Dynamic Range on Pixel Level," ISSCC2008, Imager Design Forum: Wide-Dynamic-Range Imaging, Feb. 2008.
- [10] H. D. M. Pham, T. Iizuka, M. Ikeda and K. Asada, "Shot minimization for throughput improvement of character projection electron-beam direct writing," SPIE 2008, Feb. 2008.

シンポジウム・研究会・大会等発表

- [1] Y.K. Kim, M. Ikeda and K. Asada, "Analysis of light's attenuation on multi-dielectric layers of a CMOS image sensor," IEICE Society Conference, A-3-17, Sep. 2007. (in Japanese)
- [2] Y. Yachide, M. Ikeda and K. Asada, "Real-time and high-speed 3-D measurement based on FPGA-based 3-D calculation," IEICE Society Conference, A-3-6, Sep. 2007. (in Japanese)
- [3] H.D.M. Pham, T. Iizuka, M. Ikeda and K. Asada, "Shot Count Reduction Methodology for Character Projection Electron Beam Direct Writing (CP-EBDW)," IEICE Society Conference, A-3-12, Sep. 2007. (in Japanese)
- [4] K. Ikai, M. Ikeda and K. Asada, "Digital Integrated Circuit Design for Stripe-Shaped

TFT," IEICE Society Conference, A-3-13, Sep. 2007. (in Japanese)

- [5] K. Kurihara, T. Iizuka, M. Ikeda and K. Asada, "Evaluation of Cell Layout Considering Lithography Variation Tolerance," IEICE Society Conference, A-3-15, Sep. 2007. (in Japanese)
- [6] C. Basci, M. Ikeda and K. Asada, "A Current-Mode Fixed-Level Ambient Light Suppression Scheme for CMOS Smart Image Sensors," IEICE Society Conference, C-12-7, Sep. 2007.
- [7] T. Nakura, T. Kazama, M. Ikeda and K. Asada, "Study on Active Substrate Noise Cancelling Technique using Power Line di/dt Detector," CPM2007-128, ICD2007-139, pp. 11-16, Nov. 2007.
- [8] T. Sogabe, M. Ikeda and K. Asada, "A Self-timed Processor with Dynamic Voltage Scaling," VLD2007-158, ICD2007-181, pp. 13-18, Mar. 2008.
- [9] U.H. Kim, "3D Modeling Method for Associative Processor," Prof. IIITE Mar. 2008. (in Japanese)

藤田研究室 研究論文

- [1] T. Nishihara, T. Matsumoto, S. Komatsu, and M. Fujita, "Formal Verification of Hardware/Software Co-designs with Translation into Representations in State Transitions," Electronics and Communications in Japan, Part 2 Electronics, Vol.9, No.7, pp. 11-19, July 2007.
- [2] S. Sasaki, T. Nishihara, D. Ando, and M. Fujita, "Hardware/Software Co-design and Verification Methodology from System Level Based on System Dependence Graph," Journal of Universal Computer Science, Vol.13, No.13, pp. 1972-2001, 2007.

国際会議

- [1] T. Nishihara, D. Ando, T. Matsumoto, and M. Fujita, "ExSDG: Unified Dependence Graph Representation of Hardware Design from System Level down to RTL for Formal Analysis and Verification," Proc. of the International Workshop of Logic and Synthesis, pp. 83-90, May 2007.
- [2] S. Gao, K. Seto, S. Komatsu, and M. Fujita, "Interconnect-aware Pipeline Synthesis for Array based Reconfigurable Architectures,"

Proc. of International Embedded Systems Symposium 2007, pp. 121-134, May 2007.

- [3] Y. Lee, Y. Ishikawa, S. Kang, G. Park, S. Watanabe, K. Seto, S. Komatsu, H. Hamamura, and Masahiro Fujita, "UML-based Specification Method of Hardware IPs for Efficient IP Reuse," Proc. of International UML-SoC Workshop at Design Automation Conference, pp. 23-30, June 2007.
- [4] B. Alizadeh and M. Fujita, "Automatic Merge-point Detection for Sequential Equivalence Checking of System-level and RTL Descriptions," Proc. of 5th International Symposium on Automated Technology for Verification and Analysis, pp. 129-144, Oct. 2007.
- [5] T. Sakunkonchak, S. Komatsu, and M. Fujita, "Using Counterexample Analysis to Minimize the Number of Predicates for Predicate Abstraction," Proc. of 5th International Symposium on Automated Technology for Verification and Analysis, pp. 553-563, Oct. 2007.
- [6] B. Alizadeh and M. Fujita, "A Novel Formal Approach to Generate High-level Test Vectors without ILP and SAT Solvers," Proc. of IEEE International Workshop on High Level Design Validation and Test, pp. 97-104, Nov. 2007.
- [7] S. Komatsu, H. Yoshida, and M. Fujita, "High-Level VLSI Design Methodology," G-COE 2007 Workshop between National Chiao Tung University & The University of Tokyo, Dec. 2007.
- [8] M. Fujita, Y. Kojima, T. Matsumoto, T. Nishihara, and D. Ando, "Static Checking and Formal Verification Using ExSDGs for Reliable System-Level SoC Designs," Proc. of International Symposium on Secure-Life Electronics, pp. 441-447, March 2008.
- [9] M. Fujita, H. Yoshida, S. Gao, Y. Lee, and Y. Ishikawa, "System-Level Design Methodology for Next-Generation System-on-Chips," Proc. of International Symposium on Secure-Life Electronics, pp. 449-455, March 2008.
- [10] H. Yoshida and M. Fujita, "Performance-Constrained Different Cell Count Minimization for Continuously-Sized Circuits," Proc. of Design, Automation & Test in Europe, pp. 1099-1102, March 2008.

国内学会, 研究会等

- [1] 石川悠司, 小松聡, 藤田昌宏, "IP 再利用のためのプロトコル変換器自動合成," 第9回組込みシステム技術に関するサマワーショップ (SWEST9), pp. 92-95, 2007年8月.
- [2] 石川悠司, 小松聡, 藤田昌宏, "IP 再利用のための動的再構成可能プロトコル変換器合成手法," 電子情報通信学会技術研究報告, Vol.107, No.225, pp. 53-58, 2007年9月.
- [3] Y. Lee, Y. Ishikawa, Y. Kojima, H. Yoshida, H. Yomiya, and M. Fujita, "Specification description and high-level design methodology of SoC considering design reuse," 電子情報通信学会技術研究報告, Vol.107, No.505, pp. 55-60, 2008年3月.
- [4] 石川悠司, 小松聡, 藤田昌宏, "積グラフ探索を利用した実用的なプロトコル変換器の自動合成と検証," 電子情報通信学会技術研究報告, Vol.107, No.506, pp. 1-6, 2008年3月.
- [5] 安藤大介, 松本剛史, 西原佑, 藤田昌宏, "システムレベル設計言語に対するフォールスパスを考慮した性能評価," 電子情報通信学会技術研究報告, Vol.107, No.507, pp. 49-54, 2008年3月.
- [6] 森下賢志, 吉田浩章, 藤田昌宏, "準形式的モデル検査のハードウェア実装による高速化の検討," 電子情報通信学会技術研究報告, Vol.107, No.558, pp. 115-120, 2008年3月.
- [7] 小島慶久, 西原佑, 松本剛史, 藤田昌宏, "システムレベル設計記述に対する具体値・記号値混合シミュレーションによる入力パターンの自動生成手法," 電子情報通信学会技術研究報告, Vol.107, No.558, pp. 133-138, 2008年3月.

紀要, その他

- [1] Masahiro Fujita, Indradeep Ghosh, Mukul Prasad, Verification Techniques for System-Level Design, Morgan Kaufmann Publishers, Oct. 2007.

高宮研究室 研究論文

- [1] K. Ishida, A. Tamtrakarn, H. Ishikuro, M. Takamiya, and T. Sakurai, "An Outside-Rail Opamp Design Relaxing Low-Voltage Constraint on Future Scaled Transistors," IEICE Transaction on Electronics, E90-C, No.4, pp. 786-792, April 2007.

- [2] 染谷隆夫, 桜井貴康, 高宮 真, 関谷 毅, "ワイヤレス電力伝送シート," 応用物理, 第76巻, 第10号, pp. 1159-1163, 2007年10月.
- [3] K. Onizuka, K. Inagaki, H. Kawaguchi, M. Takamiya, and T. Sakurai, "Stacked-Chip Implementation of On-Chip Buck Converter for Distributed Power Supply System in SiPs," IEEE Journal of Solid-State Circuits, Vol. 42, No. 11, pp. 2404 - 2410, Nov. 2007.

国際会議論文

- [1] K. Onizuka, M. Takamiya, H. Kawaguchi, and T. Sakurai, "A Design Methodology of Chip-to-Chip Wireless Power Transmission System," IEEE International Conference on IC Design and Technology (ICICDT), Austin, USA, pp. 143-146, May 2007. (Invited)
- [2] M. Takamiya, T. Sekitani, Y. Miyamoto, Y. Noguchi, H. Kawaguchi, T. Someya, and T. Sakurai, "Design for Mixed Circuits of Organic FETs and Plastic MEMS Switches for Wireless Power Transmission Sheet," IEEE International Conference on IC Design and Technology (ICICDT), Austin, USA, pp. 168-171, May 2007. (Invited)
- [3] Y. Nakamura, M. Takamiya, and T. Sakurai, "An On-Chip Noise Canceller with High Voltage Supply Lines for Nanosecond-Range Power Supply Noise," IEEE Symposium on VLSI Circuits, Kyoto, pp. 124-125, June 2007.
- [4] D. Levacq, M. Yazid, H. Kawaguchi, M. Takamiya, and T. Sakurai, "Half VDD Clock-Swing Flip-Flop with Reduced Contention for up to 60 % Power Saving in Clock Distribution," 33rd European Solid-State Circuits Conference (ESSCIRC), Munich, Germany, pp. 190-193, Sep. 2007.
- [5] D. Levacq, T. Minakawa, M. Takamiya, and T. Sakurai, "A Wide Range Spatial Frequency Analysis of Intra-Die Variations with 4-mm 4000 x 1 Transistor Arrays in 90nm CMOS," IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp. 257-260, Sep. 2007.
- [6] D. Levacq, M. Takamiya and T. Sakurai, "Backgate Bias Accelerator for 10ns-order Sleep-to-Active Modes Transition Time," IEEE Asian Solid-State Circuits Conference (A-SSCC), Jeju, Korea, pp. 296-299, Nov. 2007.

- [7] M. Takamiya, T. Sekitani, Y. Miyamoto, Y. Noguchi, H. Kawaguchi, T. Someya, and T. Sakurai, "Wireless Power Transmission Sheet with Organic FETs and Plastic MEMS Switches," International Display Workshop (IDW), Sapporo, Japan, pp. 95-98, Dec. 2007. (Invited)
- [8] T. Sekitani, Y. Noguchi, S. Nakano, K. Zaitzu, Y. Kato, M. Takamiya, T. Sakurai, and T. Someya, "Communication Sheets Using Printed Organic Nonvolatile Memories," IEEE International Electron Devices Meeting (IEDM), Washington DC, USA, pp. 221 - 224, Dec. 2007.
- [9] L. Liu, M. Takamiya, T. Sekitani, Y. Noguchi, S. Nakano, K. Zaitzu, T. Kuroda, T. Someya, and T. Sakurai, "A 107pJ/b 100kb/s 0.18um Capacitive-Coupling Transceiver for Printable Communication Sheet," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 292-293, Feb. 2008.
- [10] T. Niiyama, P. Zhe, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai, "Dependence of Minimum Operating Voltage (VDDmin) on Block Size of 90-nm CMOS Ring Oscillators and Its Implications in Low Power DFM," IEEE International Symposium on Quality Electronic Design (ISQED), San Jose, USA, pp. 133-136, March 2008.
- 電力伝送シート向けの回路技術," 電子情報通信学会, 信学技報, ICD2007-63, pp. 153-158, 神戸, 2007年7月.
- [5] 中村安見, 高宮 真, 桜井貴康, "高圧電源線を用いたオンチップ電源線ノイズキャンセラ," 電子情報通信学会, 信学技報, ICD2007-85, pp. 91-94, 北見, 2007年8月.
- [6] 関谷 毅, 野口儀晃, 中野慎太郎, 加藤祐作, 高宮 真, 桜井貴康, 染谷隆夫, "印刷技術を用いた有機トランジスタ・接点スイッチと大面積ワイヤレス電力伝送シート," 2007年秋季第68回応用物理学会学術講演会, 8a-D-1, 札幌, 2007年9月.
- [7] 周 志偉, 劉 樂昌, 高宮 真, 桜井貴康, "線形性に優れたデジタル制御しきい電圧可変コンパレータ," 電子情報通信学会ソサイエティ大会, C-12-18, 鳥取, 2007年9月.
- [8] 王 瑤, 鬼塚浩平, 高宮 真, 桜井貴康, "室内マルチオブジェクトの空間的位置同定システムに関する一検討," 電子情報通信学会ソサイエティ大会, C-12-30, 鳥取, 2007年9月.
- [9] 新山太郎, 朴 哲, 高宮 真, 桜井貴康, "オンチップ太陽電池駆動287mV, 13.3MHzリングオシレータ," 電子情報通信学会ソサイエティ大会, C-12-36, 鳥取, 2007年9月.
- [10] 宮本喜生, 高宮 真, 桜井貴康, "UWBインパルス無線向けパルス生成回路," 電子情報通信学会ソサイエティ大会, C-12-37, 鳥取, 2007年9月.

シンポジウム・研究会・大会等発表

- [1] S. Nakano, T. Sekitani, S. Takatani, M. Takamiya, T. Sakurai and T. Someya, "Printed Plastic Switch Array for the Application to High Power Electronics," Material Research Society (MRS) Spring Meeting, Symposium, N8.9, San Francisco, USA, April 2007.
- [2] T. Someya, T. Sekitani, Y. Noguchi, S. Nakano, S. Takatani, M. Takamiya and T. Sakurai, "Printed Organic Transistors for Large-area Sensors and Actuators," Material Research Society (MRS) Spring Meeting, Symposium, O10.6, San Francisco, USA, April 2007.
- [3] 高宮 真, "有機トランジスタ集積回路の最新開発動向," 電子材料, 第46巻, 第7号, pp. 38-42, 2007年7月.
- [4] 川口 博, 高宮 真, 関谷 毅, 宮本喜生, 野口儀晃, 染谷隆夫, 桜井貴康, "有機トランジスタとプラスチックMEMSスイッチを集積化した無線
- [11] 中村安見, 高宮 真, 桜井貴康, "高圧電源線を用いたオンチップ電源線ノイズキャンセラとその設計," 電子情報通信学会, 信学技報, ICD2007-143, pp. 22-27, 東京, 2008年1月.
- [12] 池内克之, 稲垣賢一, 高宮 真, 桜井貴康, "容量結合非接触コネクタを実現する集積回路の検討," 電子情報通信学会総合大会, C-12-8, 北九州, 2008年3月
- [13] 金ヒョンギョン, 稲垣賢一, 高宮 真, 桜井貴康, "チップ間非接触容量結結・誘導結合共用インターフェイス回路の可能性の検討," 電子情報通信学会総合大会, C-12-9, 北九州, 2008年3月
- [14] 童 大亮, 稲垣賢一, 高宮 真, 桜井貴康, "CMOSイメージャ回路の低電圧化の検討," 電子情報通信学会総合大会, C-12-24, 北九州, 2008年3月
- [15] 柳 至善, 新山太郎, 高宮 真, 桜井貴康, "バルクCMOSプロセスで作製したオンチップ太陽電池のSOIとの比較と光センサへの応用," 電子情報通信学会総合大会, C-12-26, 北九州, 2008年3月

- [16] 安福 正, 石田光一, 高宮 真, 竹内 健, 桜井貴康, "オンチップ昇圧向けブーストコンバータにおけるインダクタの寄生抵抗の影響," 電子情報通信学会総合大会, C-12-32, 北九州, 2008年3月
- [17] 石田光一, 安福 正, 高宮 真, 竹内 健, 桜井貴康, "オンチップ昇圧向けブーストコンバータにおけるMOSダイオード損失の検討," 電子情報通信学会総合大会, C-12-33, 北九州, 2008年3月
- [18] 稲垣賢一, ダナルドノアントノ, 高宮 真, 桜井貴康, "オンチップサンプリングオシロスコープ内タイミング生成回路用タイミング分解能測定回路," 電子情報通信学会総合大会, C-12-38, 北九州, 2008年3月
- [19] 朴 哲, 新山太郎, 高宮 真, 桜井貴康, "リングオシレータを用いた90nmCMOS論理ゲートの動作下限電源電圧の実測," 電子情報通信学会総合大会, C-12-39, 北九州, 2008年3月
- [20] 柵木雄介, 中村安見, 高宮 真, 桜井貴康, "ユビキタスエレクトロニクスに向けた直流電源・信号線共用LSI回路技術の検討," 電子情報通信学会総合大会, C-12-52, 北九州, 2008年3月

柴田・三田研究室 学会誌

- [1] 高田謙, 早川仁, 柴田直, 「連想プロセッサアーキテクチャに基づく逐次データソーティングVLSI」電子情報通信学会論文誌C Vol.J90-C, No.5, pp. 417-427. (2007)
- [2] Yasufumi Suzuki and Tadashi Shibata, "Hardware Architecture for Pseudo-Two-Dimensional Hidden-Markov-Model-Based Face Recognition Systems Employing Laplace Distribution Functions," Japanese Journal of Applied Physics, Vol.46, No.4B, pp. 2265-2270, April 2007.
- [3] Jun Chen and Tadashi Shibata, "A Hardware-Implementation-Friendly Pulse-Coupled Neural Network Algorithm for Analog Image-Feature-Generation Circuits," Japanese Journal of Applied Physics, Vol.46, Part 1, No.4B, pp. 2271-2277, 2007.
- [4] Hideo Yamasaki and Tadashi Shibata, "A Real-Time Image-Feature-Extraction and Vector-Generation VLSI Employing Arrayed-Shift-Register Architecture," IEEE Journal on Solid State Circuits, Vol. 42, No.9, pp. 2046-2053,

September 2007.

- [5] Liem T. Nguyen, Kiyoto Ito, and Tadashi Shibata, "A Compact and Power-Efficient Implementation of Rank Order Filters Using Time-Domain Digital Computation Technique," accepted for publication in Japanese Journal of Applied Physics.
- [6] Trong Tu Bui and Tadashi Shibata, "A Compact Bell-Shaped Analog Matching Cell Module for Digital-Memory-Based Associative Processors," accepted for publication in Japanese Journal of Applied Physics.
- [7] Yusuke Niki, Yasuo Manzawa, Satoshi Kametani, and Tadashi Shibata, "A Moving-Object-Localization Hardware Algorithm Employing OR-Amplification of Pixel Activities," accepted for publication in Japanese Journal of Applied Physics.

国際学会プロシーディング

- [1] Jia Hao and Tadashi Shibata, "A Speed Adaptive Ego-Motion Detection System Using Edge-Histograms Produced by Variable Graduation Method," in proceedings of the 5th European Signal Processing Conference (EUSIPCO 2007), pp. 1590-1594, Poznan, Poland, Sep. 3-7, 2007.
- [2] Yasufumi Suzuki and Tadashi Shibata, "Validating Directional Edge-Based Image Feature Representations in Face Recognition by Spatial Correlation-Based Clustering," in Proceedings of the 15th European Signal Processing Conference (EUSIPCO 2007), pp. 1940-1944, Poznan, Poland, Sep. 3-7, 2007.
- [3] Liem T. Nguyen, Kiyoto Ito, and Tadashi Shibata, "A Compact and Power-Efficient Implementation of Rank Order Filters Using Time-Domain Digital Computation Technique," in Extended Abstracts of the 2007 International Conference on Solid State Devices and Materials (SSDM 2007), pp. 494-495, Tsukuba, Japan, Sep. 18-21, 2007.
- [4] Trong Tu Bui and Tadashi Shibata, "A Compact Bell-Shaped Analog Matching Cell Module for Digital-Memory-Based Associative Processors," in Extended Abstracts of the 2007 International Conference on Solid State Devices and Materials (SSDM 2007), pp. 496-497,

Tsukuba, Japan, Sep. 18-21, 2007.

- [5] Yusuke Niki, Yasuo Manzawa, Satoshi Kametani, and Tadashi Shibata, "A Moving-Object-Localization Hardware Algorithm Employing OR-Amplification of Pixel Activities," in Extended Abstracts of the 2007 International Conference on Solid State Devices and Materials (SSDM 2007), pp. 1062-1063, Tsukuba, Japan, Sep. 18-21, 2007.
- [6] Hirotsugu Shikano, Kiyoto Ito, Kazuhide Fujita, and Tadashi Shibata, "A Real-Time Learning Processor Based on K-means Algorithm with Automatic Seeds Generation," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 7-10, Tampere, Finland, Nov. 19-21, 2007.
- [7] Kiyoto Ito and Tadashi Shibata, "Mixed-Signal Focal-Plane Image Processor Employing Time-domain Computation Architecture," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 23-26, Tampere, Finland, Nov. 19-21, 2007.
- [8] Kazuhide Fujita, Kiyoto Ito, and Tadashi Shibata, "A Feature-Based Optical Flow Processor Architecture Featuring Single-Motion-Vector/Cycle Generation," in Proceedings of the 2007 International Symposium on System-on-Chip (SoC 2007), pp. 31-34, Tampere, Finland, Nov. 19-21, 2007.
- [9] Hitoshi Hayakawa and Tadashi Shibata, "Block-Matching-Based Motion Field Generation Utilizing Directional Edge Displacement," in Proceedings of The International Conference on Signal Processing and Communication Systems 2007 (ICSPCS 2007), pp. 90-95, Gold Coast, Australia, December 17-19, 2007.
- [10] Sihwan Kim and Tadashi Shibata, "Feature-Based Object Tracking Using Spatial Matching of Differential Directional-Edge Images," in Proceedings of the International Conference on Signal Processing and Communication Systems (ICSPCS 2007), pp. 193-197 Gold Coast, Australia, Dec. 17-19, 2007.
- [11] Tadashi Shibata, "A Brain-Mimicking Computer for Human-Like Perception," in The Proceedings of The Mouth and Face Forum 2008, "In silico Dentistry -the evolution of computational oral health science," Eds. K.

Takada and S. Kreiborg, pp. 143-145, Osaka, Jan. 14-15, 2008.

- [12] Robert Grou-Szabo and Tadashi Shibata, "Blind Image Compression History Determination Using Dynamic Thresholding", in 2008 IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP), pp. 1005-1008, Las Vegas U.S.A., March 30-April 4, 2008.

その他研究会

- [1] 柴田直「直感・連想による柔軟な画像認識—最先端半導体技術で創る右脳コンピュータ」題6回日本矯正歯科学会大会, プログラム・抄録集, pp. 65, 大阪, 2007年9月.
- [2] 仁木祐介, 萬澤康雄, 亀谷暁, 柴田直, 「画素差分情報の膨張処理を用いたアナログ動体検出VLSIシステム」, 電子情報通信学会技術研究報告(信学技報), Vol.107, No. 287, 論文番号SIP2007-114, ICD2007-103, IE2007-73, pp. 23-28, 2007年10月.
- [3] 馬奕涛, 柴田直, 「K-Means学習プロセッサシステムのためのマルチチップ・アーキテクチャ」, 電子情報通信学会技術研究報告(信学技報), Vol. 107, No. 287, 論文番号SIP2007-116, ICD2007-105, IE2007-75, pp. 35-40, 2007年10月.
- [4] グェンタンリム, 伊藤潔人, 柴田直, 「時間領域演算を用いたランクオーダーフィルタおよびソーティングエンジンのコンパクトかつ低消費電力実装」, 電子情報通信学会 技術研究報告(信学技報), Vol. 107, No. 287, 論文番号SIP2007-117, ICD2007-106, IE2007-76, pp. 41-46, 2007年10月.
- [5] 西山未央, 柴田直, 「入力データの自己モデル生成を用いた隠れマルコフモデルの絶対評価スコアリング」, 電子情報通信学会技術研究報告(信学技報), Vol.107, No. 349, 論文番号NLP2007-97, pp. 13-17, 2007年11月.

高木・竹中研究室 研究論文

- [1] T. Hoshii, S. Sugahara and S. Takagi, "Effect of Tensile Strain on Gate Current of strained-Si n-MOSFETs", Jpn. J. Appl. Phys., Vol. 46, No. 4B (2007) pp. 2122-2126
- [2] T. Uehara, H. Matsubara, S. Sugahara and S. Takagi, "Ultrathin Ge-On-Insulator Metal Source/Drain p-Channel MOSFETs Fabricated By Low Temperature Molecular

- Beam Epitaxy”, *Jpn. J. Appl. Phys.*, Vol. 46, No. 4B (2007) pp. 2117-2121
- [3] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Hirashita, N. Sugiyama, A. Tanabe, K. Usuda and S. Takagi, “Hole-Mobility Enhancement in Ge-Rich Strained SiGe-on-Insulator pMOSFETs at High Temperatures”, *IEEE Trans. Electron Device*, Vol. 54, Issue 5 (2007) pp. 1249 – 1252
- [4] M. Takenaka, and Y. Nakano, " InP photonic wire waveguide using InAlAs oxide cladding layer," *Optics Express Letters*, vol. 15, no. 13, pp. 8422-8427, 2007.
- [5] T. Tezuka, N. Hirashita, Y. Moriyama, S. Nakaharai, N. Sugiyama and S. Takagi, “Strain analysis in ultra-thin SiGe-on-insulator layers formed from strained Si-on-Insulator substrates by Ge condensation process”, *Appl. Phys. Lett.* 90, 181918 (30 April 2007) (2007)
- [6] A. Al Amin, K. Shimizu, M. Takenaka, T. Tanemura, R. Inohara, K. Nishimura, Y. Horiuchi, M. Usami, Y. Takita, Y. Kai, Y. Aoki, H. Onaka, Y. Miyazaki, T. Miyahara, T. Hatta, K. Motoshima, T. Kagimoto, T. Kurobe, A. Kasukawa, H. Arimoto, S. Tsuji, H. Uetsuka and Y. Nakano, "Demonstration of 40/10Gbps Bit-rate Transparent Optical Burst Switching Router," *IEEE Photonics Technology Letters*, vol. 19, no. 10, pp. 726-728, 2007.
- [7] S. Takagi, T. Maeda, N. Taoka, M. Nishizawa, Y. Morita, K. Ikeda, Y. Yamashita, M. Nishikawa, H. Kumagai, R. Nakane, S. Sugahara and N. Sugiyama, “Gate Dielectric Formation and MIS Interface Characterization on Ge”, *Microelectronic Engineering*, vol. 84, Issue 9-10 (2007) pp. 2314-2319
- [8] M. Shichijo, R. Nakane, S. Sugahara and S. Takagi, “Fabrication of III-V-O-I (III-V on Insulator) structures on Si using micro-channel epitaxy with a two-step growth technique”, *Jpn. J. Appl. Phys.*, Vol. 46, No. 9A (2007) pp. 5930-5934
- [9] K. H. Park, T. Unuma, K. Hirakawa, and S. Takagi, “Determination of deformation potential constant of the conduction band in Si from electron heating experiments on Si metal-oxide-semiconductor field-effect transistors”, *Appl. Phys. Lett.* 91, 132118 (2007) September 24
- [10] T. Mizuno, T. Irisawa and S. Takagi, “Device Design of High-Speed Source-Heterojunction-MOS-Transistors (SHOT): Optimization of Source Band-Offset and Graded-Heterojunction”, *IEEE Trans. Electron Devices*, vol. 54, No. 10, October (2007) pp. 2598-2605
- [11] T. Ishihara, J. Koga, S. Takagi and K. Matsuzawa, “Modeling of Screening Effect on Remote Coulomb Scattering due to Gate Impurities by Non-uniform Free Carriers in Poly-Si Gate”, *J. Appl. Phys.* 102, 073702 (2007)
- [12] K. Uchida, J. Koga and S. Takagi, “Phonon-limited electron mobility in ultrathin-body silicon-on-insulator metal-oxide-semiconductor field-effect transistors”, *J. Appl. Phys.* 102, 074510, 11 October (2007)
- [13] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R. Nakane, S. Sugahara, M. Takenaka and N. Sugiyama, “Carrier-transport-enhanced channel CMOS for improved power consumption and performance”, *IEEE Trans. Electron Devices*, Vol. 55, No. 1, pp. 21-39. Jan. (2008)
- [14] A. Al Amin, M. Takenaka, T. Tanemura, K. Shimizu, R. Inohara, K. Nishimura, M. Usami, Y. Takita, Y. Kai, H. Onaka, H. Uetsuka and Y. Nakano, "Demonstration of Deflection Routing with Layer 2 Evaluation at 40Gb/s in a 3-Node Optical Burst Switching Testbed," *IEEE Photonics Technology Letters*, vol. 20 (2008) 178
- [15] T. Irisawa, T. Numata, T. Tezuka, K. Usuda, N. Sugiyama and Shin-ichi Takagi, “Device Design and Electron Transport Properties of Uniaxially Strained SOI Tri-Gate nMOSFETs”, *IEEE Trans. Electron Devices*, Vol. 55, No. 2, pp. 649 – 654. Feb. (2008)
- [16] N. Taoka, M. Harada, Y. Yamashita, T. Yamamoto, N. Sugiyama and S. Takagi, “Effects of Si Passivation on Ge Metal-Insulator-Semiconductor Interface Properties and Inversion-layer Hole Mobility”, *Appl. Phys. Lett.*, 92 (2008) 113511
- [17] N. Sugiyama, T. Numata, N. Hirashita, T. Irisawa and S. Takagi, “Reduction of off-leak current in strained Si MOSFETs by using

国際会議論文

- low dislocation density SGOI substrates”, 5th International Conference on SiGe (C) Epitaxy and Heterostructures, Marseille 5/20-24/2007, p. 147-148
- [18] N. Hirashita, S. Nakaharai, Y. Moriyama, K. Usuda, T. Tezuka, N. Sugiyama and S. Takagi, “A Study on Planar Defect Formation in Ge-rich SiGe-on-Insulator Substrates during Ge Condensation Process”, 5th International Conference on SiGe (C) Epitaxy and Heterostructures, Marseille 5/20-24/2007, p. 421-422
- [19] T. Tezuka, N. Hirashita, Y. Moriyama, S. Nakaharai, N. Sugiyama and S. Takagi, “Fabrication of strained SiGe-on-insulator layers by Ge-condensation technique on a strained Si-on-insulator platform”, 5th International Conference on SiGe (C) Epitaxy and Heterostructures, Marseille 5/20-24/2007, 429-430
- [20] T. Irisawa, T. Numata, N. Hirashita, Y. Moriyama, S. Nakaharai, T. Tezuka, N. Sugiyama, and S. Takagi, “Ge Wire MOSFETs Fabricated by Three-Dimensional Ge Condensation Technique”, 5th International Conference on SiGe (C) Epitaxy and Heterostructures, Marseille 5/20-24/2007, p. 46-47
- [21] Y. Moriyama, N. Hirashita, N. Sugiyama and S. Takagi, “Characterization of anisotropic relaxation rate of SGOI (110) substrates”, 5th International Conference on SiGe (C) Epitaxy and Heterostructures, Marseille 5/20-24/2007, p. 277-278
- [22] K. Usuda, T. Irisawa, T. Tezuka, Y. Moriyama, N. Hirashita and S. Takagi, “Characterization of strain relaxation after mesa isolation with sub- μm size for global strained substrates using Raman and NBD methods”, 5th International Conference on SiGe (C) Epitaxy and Heterostructures, Marseille 5/20-24/2007, p. 20-21
- [23] S. Dissanayake, H. Kumagai, T. Uehara, Y. Shuto, S. Sugahara and S. Takagi, “(110) Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Method”, 5th International Conference on SiGe (C) Epitaxy and Heterostructures, Marseille 5/20-24/2007, p. 57-58
- [24] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, N. Hirashita, K. Usuda and N. Sugiyama, “Advanced CMOS technologies using high mobility channels based on column-IV materials (invited)”, 5th International Conference on SiGe (C) Epitaxy and Heterostructures, Marseille 5/20-24/2007, p. 137-139
- [25] T. Irisawa, T. Numata, E. Toyoda, N. Hirashita, T. Tezuka, N. Sugiyama and S. Takagi, “Physical Understanding of Strain Effects on Gate Oxide Reliability of MOSFETs”, VLSI Symp. (2007), p. 36-37
- [26] O. Weber and S. Takagi, “New Findings on Coulomb Scattering Mobility in Strained-Si nFETs and its Physical Understanding”, VLSI Symp. (2007) p. 130-131
- [27] S. Takagi, “Mobility-Enhanced MOS Device Technologies in Nano-CMOS era (plenary talk)”, Device Research Conference (DRC), 20-22/6/2007, University of Notre Dame, South Bend, IN, USA, p. 5-8
- [28] S. Takagi, T. Maeda, N. Taoka, M. Nishizawa, Y. Morita, K. Ikeda, Y. Yamashita, M. Nishikawa, H. Kumagai, R. Nakane, S. Sugahara and N. Sugiyama, “Gate Dielectric Formation and MIS Interface Characterization on Ge (invited)”, 15th Insulating Films on Semiconductors (INFOS2007), June 20-23/2007, Athene, Greece, pp. 2314-2319
- [29] S. Dissanayake, S. Sugahara, M. Takenaka and S. Takagi, “Fabrication of (110) GOI Layers by Ge Condensation of SiGe/ (110) SOI Structure and Application to pMOSFET Devices”, presented in Second International Conference on Industrial and Information Systems (ICIIS 2007), Faculty of Engineering, University of Peradeniya, Sri Lanka, 8-11/08/2007
- [30] M. Takenaka, K. Takeda, Y. Kanema, M. Raburn, T. Miyahara, H. Uetsuka, and Y. Nakano, “MMI-BLD optical flip-flop for all-optical packet switching,” Photonics in Switching (PS'07), San Francisco, August 2007.
- [31] S. Takagi, “Channel Engineering on Si-based CMOS Devices (invited)”, 7th International Workshop on Future Information Processing Technologies (IWF IPT), September 4-7, 2007, Dresden, Germany

- [32] A. Al Amin, M. Takenaka, T. Tanemura, K. Shimizu, R. Inohara, K. Nishimura, M. Usami, Y. Takita, Y. Kai, H. Onaka, H. Uetsuka, and Y. Nakano, "Experimental validation of deflection routing in a 3-node optical burst core network with 40Gb/s edge nodes," European Conference on Optical Communication (ECOC' 07), Mo1.6.2, Berlin, September 2007.
- [33] K. Ikeda, N. Taoka, Y. Yamashita, M. Harada, K. Suzuki, T. Yamamoto, N. Sugiyama and S. Takagi, "High mobility Ge channel metal source/drain pMOSFETs with nickel fully silicided gate", Ext. Abs. SSDM, p. 30-31 (2007)
- [34] T. Maeda, Y. Morita and S. Takagi, "Fabrication of HfOxNy/Ge structures by oxidizing HfNx on Ge", Ext. Abs. SSDM, p. 24-25 (2007)
- [35] T. Yamamoto, M. Harada, N. Taoka, Y. Yamashita, N. Sugiyama and S. Takagi, "Impact of Gradual Source/Drain Impurity Profiles on Performance of Germanium Channel Double-Gated pMISFETs", Ext. Abs. SSDM, p. 892-893 (2007)
- [36] T. Mizuno, T. Irisawa, N. Hirashita, Y. Moriyama, T. Tezuka, N. Sugiyama and S. Takagi, "Physical Mechanism for Hole Mobility Enhancement in (110)-Surface Strained-Si/SiGe Structures with Anisotropic/Biaxial Strain", Ext. Abs. SSDM, p. 728-729 (2007)
- [37] N. Taoka, Y. Yamashita, M. Harada, K. Ikeda, T. Yamamoto, N. Sugiyama and S. Takagi, "Experimental Evidence of Coexistence of Interface Traps Interacting with Majority and Minority Carriers in Ge MIS Structures", Ext. Abs. SSDM, p. 22-23 (2007)
- [38] H. Tsuchiya and S. Takagi, Influence of Elastic and Inelastic Scatterings on Ballistic Transport in MOSFETs", Ext. Abs. SSDM, p. 44-45 (2007)
- [39] H. Matsubara, H. Kumagai, S. Sugahara and M. Takenaka and S. Takagi, "Evaluation of SiO₂/GeO₂/Ge MIS Interface Properties by Low Temperature Conductance Method", Ext. Abs. SSDM, p. 18-19 (2007)
- [40] T. Hoshii, M. Deura, M. Shichijo, M. Sugiyama, S. Sugahara, M. Takenaka, Y. Nakano and S. Takagi, "Formation of InGaAs-On-Insulator Structures by Epitaxial Lateral Over Growth from (111) Si", Ext. Abs. SSDM, p. 132-133 (2007)
- [41] S. Takagi, T. Maeda, N. Taoka, M. Nishizawa, Y. Morita, K. Ikeda, Y. Yamashita, M. Harada, T. Yamamoto, N. Sugiyama, M. Nishikawa, H. Kumagai, H. Matsubara, R. Nakane, M. Takenaka and S. Sugahara, "Understanding and Control of Ge MIS Interface Properties (invited)", 4th International Symposium on Advanced Gate Stack Technology, Dallas, USA, 2007/9/25-28
- [42] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, N. Hirashita, K. Usuda and N. Sugiyama, "Mobility-Enhanced Device Technologies Using SiGe/Ge MOS Channels (invited)", ULSI Process Integration Symposium, 212th Electrochemical Society, 10/7-12/2007, Washington, DC. (S. Takagi, T. Irisawa, T. Tezuka, S. Nakaharai, T. Numata, N. Hirashita, Y. Moriyama, K. Usuda, S. Dissanayake, M. Tekenaka, S. Sugahara and N. Sugiyama, "Mobility-Enhanced Device Technologies Using SiGe/Ge MOS Channels", ECS Trans. Vol. 11, No. 6 (2007) pp. 61-74)
- [43] S. Takagi, T. Uehara, S. Tanabe, H. Matsubara, R. Nakane, M. Takenaka and S. Sugahara, "Effects of Atomic Hydrogen Annealing on Reduction of Leakage Current in Ultrathin Si/Ge/Si-On-Insulator Metal Source/Drain p-Channel MOSFETs", 34th International Symposium on Compound Semiconductors (ISCS2007), October 15-18, 2007 Kyoto, Japan, p. 132 (2007)
- [44] T. Hoshii, M. Deura, M. Sugiyama, R. Nakane, S. Sugahara, M. Takenaka, Y. Nakano, and S. Takagi, "Control of Lateral and Vertical Selective Area Growth of InGaAs on (111) Si Substrates using MOVPE for III-V FET Applications", 34th International Symposium on Compound Semiconductors (ISCS2007), October 15-18, 2007 Kyoto, Japan, p. 164 (2007)
- [45] N. Sugiyama, T. Numata, T. Irisawa, N. Hirashita and S. Takagi, "Influence of SGOI crystal quality on device characteristics in strained Si MOSFETs (invited)", 3rd Int'l Workshop on New Group IV Semiconductor Nanoelectronics, Nov. 8-9, 2007, Tohoku University, Sendai, Japan, p. 11-12 (2007)
- [46] S. Takagi, "High Performance CMOS Device Technologies using New Channel Materials (invited)", International Workshop

on Advanced Silicon-based Nano-devices, 2007/11/9, Tokyo, p. 92-113 (2007)

- [47] N. Sugiyama, T. Numata, N. Hirashita, T. Irisawa and S. Takagi, "Fluctuation of threshold voltage in strained Si MOSFETs induced by strain variation in strained-Si channels on SGOI substrates", submitted to the 5th International Symposium on Control of Semiconductor Interfaces -for Next Generation ULSI Process Integrations- (ISCSI-V), Tokyo Metropolitan University, November12-14, p. 231-232 (2007)
- [48] M. Takenaka, K. Takeda, Y. Kanema, M. Raburn, T. Miyahara, H. Uetsuka, and Y. Nakano, "MMI bistable laser diode optical flip-flops for all-optical packet switching networks," Lasers and Electro-Optics Society (LEOS' 07), Florida, October 2007.
- [49] T. Tanemura, M. Takenaka, A. Abdullah, K. Takeda, T. Shioda, M. Sugiyama, and Y. Nakano, "Design and fabrication of integrated 1×5 optical phased array switch on InP," Lasers and Electro-Optics Society (LEOS' 07), Florida, October 2007.
- [50] N. Taoka, M. Harada, Y. Yamashita, T. Yamamoto, N. Sugiyama and S. Takagi, "Characterization of Ge MIS Interfaces passivated with Si by conductance method", submitted to the 5th International Symposium on Control of Semiconductor Interfaces -for Next Generation ULSI Process Integrations- (ISCSI-V), Tokyo Metropolitan University, November12-14, p. 69-70 (2007)
- [51] S. Dissanayake, S. Tanabe, S. Sugahara, M. Takenaka and Shinichi Takagi, "Effect of Annealing on (100) and (110) Oriented pseudo-GOI pMOSFETs Fabricated by Ge Condensation Method", submitted to the 5th International Symposium on Control of Semiconductor Interfaces -for Next Generation ULSI Process Integrations- (ISCSI-V), Tokyo Metropolitan University, November12-14, p. 233-234 (2007)
- [52] S. Takagi, H. Matsubara, M. Nishikawa, T. Sasada, R. Nakane, S. Sugahara and M. Takenaka, "Superior MOS Interface Properties of GeO₂/Ge Structures Fabricated by Ozone Oxidation", the 5th International Symposium on Control of Semiconductor Interfaces -for Next Generation ULSI Process Integrations- (ISCSI-V), Tokyo Metropolitan University, November12-14, p. 65-66 (2007)
- [53] K. Usuda, T. Irisawa, T. Tezuka, Y. Moriyama, N. Hirashita, and S. Takagi, "Characterization of local strain relaxation after mesa isolation for global strained-substrates using NBD and FFTM methods", 2007 Materials Research Society (MRS) Fall Meeting, Symposium C: Quantitative Electron Microscopy for Materials Science
- [54] O. Weber, T. Irisawa, T. Numata, M. Harada, N. Taoka, Y. Yamashita, T. Yamamoto, N. Sugiyama, M. Takenaka and S. Takagi, "Examination of Additive Mobility Enhancements for Uniaxial Stress Combined with Biaxially Strained Si, Biaxially Strained SiGe and Ge Channel MOSFETs", Tech. Dig. IEDM, p. 719-722 (2007)
- [55] T. Tezuka, E. Toyoda, S. Nakaharai, T. Irisawa, N. Hirashita, Y. Moriyama, N. Sugiyama, N. Taoka, Y. Yamashita, O. Kiso, M. Harada, T. Yamamoto and S. Takagi, "Observation of mobility enhancement in strained Si and SiGe MOSFETs with multi-nanowire channels trimmed by hydrogen thermal etching", Tech. Dig. IEDM, p. 887-890 (2007)
- [56] T. Yamamoto, Y. Yamashita, M. Harada, N. Taoka, K. Ikeda, K. Suzuki, O. Kiso, N. Sugiyama and S. Takagi, "High Performance 60 nm Gate Length Germanium p-MOSFETs with Ni Germanide Metal Source/Drain", Tech. Dig. IEDM, p. 1041-1043 (2007)
- [57] S. Takagi, T. Irisawa, T. Tezuka, S. Nakaharai, K. Usuda, N. Hirashita, M. Takenaka and N. Sugiyama, "Carrier-Transport-Enhanced CMOS using New Channel Materials and Structures (invited)", presented in International Semiconductor Device Research Symposium (ISDRS) Dec. 12-14 (2007)
- [58] M. Harada, N. Taoka, T. Yamamoto, Y. Yamashita, O. Kiso, N. Sugiyama and S. Takagi, "Effects of Gate Current Stress on Electrical Characteristics of Ge Channel pMOSFETs with Si Passivation", 9th Conference on ULtimate Integration on Silicon (ULIS2008), March 12-14, 2008 - Udine, Italy
- [59] A. Al Amin, M. Takenaka, M. Usami, H. Onaka,

T. Hatta, A. Kasukawa, S. Tsuji, Y. Kondo, Y. Urino, H. Uetsuka and Y. Nakano, "Bit rate transparent optical burst switching and contention resolving wavelength conversion," Optical Fiber Communication Conference (OFC'08), San Diego, March 2008 (Invited).

著書

- [60] 高木信一, 表面物性工学ハンドブック第2版(第23章 半導体素子プロセス 23.8 デバイスプロセスの将来) 丸善, 2007
- [61] S. Takagi, "Strained-Si CMOS Technology", "Advanced Gate Stacks for High-Mobility Semiconductors" chapter 1, p. 1-19, (Editors: Athanasios Dimoulas, Evgeni Gusev, Paul. C. McIntyre and Marc Heyns), Springer Series in Advanced Microelectronics 27, 2007, Springer (ISBN-10 3-540-71490-1)

シンポジウム・研究会・大会等発表

- [62] 高木信一, "非シリコン半導体とシリコンテクノロジー ~ Ge/III-V族半導体チャンネル高性能CMOS技術 ~", 2007年国際固体素子・材料コンファレンス (SSDM) ショートコース「Emerging Silicon Technology」, 2007年9月18日, つくば国際会議場, p. 55-82
- [63] Sanjeeva Dissanayake, Hiroshi Kumagai, Yusuke Shuto, Satoshi Sugahara and Shinichi Takagi, "(110) surface Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Method," 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [64] Sanjeeva Dissanayake, Yusuke Shuto, Satoshi Sugahara, Mitsuru Takenaka and Shinichi Takagi, "Effects of annealing on (110) GOI layers fabricated by Ge condensation method," 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [65] 松原寛, 笹田崇, 竹中充, 高木信一, 「GeO₂/Ge MIS界面における界面準位密度のエネルギー依存性に与える界面形成方法の影響」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [66] 星井拓也, 出浦桃子, 杉山正和, 中根了昌, 菅原聡, 竹中充, 中野義昭, 高木信一, 「微小孔を介したSi基板上InGaAs成長におけるモフォロジー向上」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [67] 出浦桃子, 杉山正和, 星井拓也, 中根了昌, 竹中充,

菅原聡, 高木信一, 中野義昭, 「Si上III/V族化合物半導体の選択MOVPEにおける初期核発生過程の観察と制御」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.

- [68] 種村拓夫, 竹中充, アブドゥラー・アルアミン, 武田浩司, 塩田倫也, 杉山正和, 中野義昭, 「InGaAsP/InPフェーズアレイ型1×5光スイッチの試作」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [69] 入沢寿史, 沼田敏典, 平下紀夫, 守山佳彦, 中根周, 手塚勉, 杉山直治, 高木信一, 「立体酸化濃縮法を用いて作製したGe細線MOSFET」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [70] 入沢寿史, 沼田敏典, 豊田英二, 平下紀夫, 手塚勉, 杉山直治, 高木信一, 「酸化膜信頼性に与えるチャンネルひずみの効果 (1) -TDDBへの影響-」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [71] 入沢寿史, 沼田敏典, 豊田英二, 平下紀夫, 手塚勉, 杉山直治, 高木信一, 「酸化膜信頼性に与えるチャンネルひずみの効果 (2) -NBTIへの影響-」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [72] 白田宏治, 入沢寿史, 手塚勉, 守山佳彦, 平下紀夫, 高木信一, 「NBD法によるひずみ層メサ端部におけるひずみ緩和の評価」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [73] 平下紀夫, 守山佳彦, 中根周, 手塚勉, 杉山直治, 高木信一, 「酸化濃縮過程での高Ge濃度SGOI基板の塑性変形 1. すべり変形」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [74] 平下紀夫, 守山佳彦, 中根周, 手塚勉, 杉山直治, 高木信一, 「酸化濃縮過程での高Ge濃度SGOI基板の塑性変形 2. 面欠陥形成機構」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [75] 池田圭司, 田岡紀之, 山下良美, 原田真臣, 鈴木邦広, 山本豊二, 杉山直治, 高木信一, 「NiSi FUSIゲートを用いたメタルS/D Ge チャンネルpMOSFETの高移動度実証」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [76] 水野智久, 入沢寿史, 守山佳彦, 平下紀夫, 手塚勉, 杉山直治, 高木信一, 「(110) 面非等方ひずみSi/SiGe層の正孔移動度向上機構」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [77] 田岡紀之, 山下良美, 原田真臣, 池田圭司, 山本豊二, 杉山直治, 高木信一, 「多数および少数キャリアにตอบสนองするGe MIS界面準位の共存の実験的検

証], 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.

- [78] 杉山直治, 沼田敏典, 平下紀夫, 入沢寿史, 高木信一, 「ひずみSi-MOSFETにおける閾値電圧のばらつき特性解析」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [79] 山本豊二, 原田真臣, 山下良美, 田岡紀之, 杉山直治, 高木信一, 「ゲート/チャンネル間容量特性に対する生成再結合リーク電流の影響」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [80] 原田真臣, 山本豊二, 山下良美, 田岡紀之, 木曾修, 池田圭司, 杉山直治, 高木信一, 「リーク電流を考慮したGe pMISFETの移動度抽出」, 第68回応用物理学学会学術講演会, 北海道工業大学, 2007年9月.
- [81] 高木信一, 竹中充, 杉山正和, 「異種半導体材料とシリコンの融合で拓く先端デバイス ~ Si上のGe/III-VチャンネルCMOSを核としたEverything On a Chipの夢」, 「先端知機能材料デバイスラボ・フォーラム2007」, 2007.11.16, 武田ホール
- [82] 高木信一, “高移動度チャンネルMOSトランジスタ技術の現状と将来(プレナリートーク)”, 「ゲートスタック研究会 一材料・プロセス・評価の物理一」(第13回研究会), 2008年1月14~15日, 東レ総合研修センター, p. 7-12
- [83] 杉山直治, 手塚勉, 入沢寿史, 平下紀夫, 守山佳彦, 白田宏治, 高木信一, “グローバルひずみ基板を用いたひずみチャンネルMOSFETの現状と課題”, 薄膜第131委員会・154合同研究会(第62回研究会)『極微細トランジスタ・薄膜・界面技術』, 2月27日(水)
- [84] 山本豊二, 山下良美, 原田正臣, 池田圭司, 鈴木邦広, 杉山直治, 田岡紀之, 木曾修, 高木信一, “GeチャンネルMOSトランジスタの課題とサブ100nm PMOS動作実証”, 電気学会・電子デバイス研究会, テーマ「超高速デバイス・回路技術」, 2007/3/6-7, NTT水上保養所「紫明荘」
- [85] 竹中充, 杉山正和, 中野義昭, 高木信一, 「高性能Ge nMOSFETに向けたMOVPEによる砒素気相ドーピング」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [86] 灰本隆志, 竹中充, 高木信一, 「SiO₂蒸着膜を用いたInP MIS界面特性」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [87] 笹田崇, 松原寛, 竹中充, 高木信一, 「GeO₂/Ge MIS 界面における界面準位密度の面方位依存性」, 第55回応用物理学関係連合講演会, 日本大

学理工学部, 2008年3月.

- [88] 松原寛, 笹田崇, 竹中充, 高木信一, 「熱酸化により作製されたGeO₂/GeMIS構造における界面準位密度の酸化温度依存性」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [89] 森井清仁, Sanjeeva Dissanayake, 田辺聡, 中根了昌, 竹中充, 菅原聡, 高木信一, 「メタルソース・ドレインnチャンネルGOI MOSFETのチャンネル電子移動度測定」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [90] 星井拓也, 出浦桃子, 杉山正和, 中根了昌, 菅原聡, 竹中充, 中野義昭, 高木信一, 「Si(111)基板上へのInAsピラーの形成」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [91] 中川翔太, 横山正史, 市川磨, 秦雅彦, 田中雅明, 竹中充, 高木信一, 「InAlAs選択酸化によるIII-V MOS界面構造の形成」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [92] 中北要佑, 中根了昌, 竹中充, 高木信一, 「Ge酸化膜MOS界面を用いたGe p-MOSFETの作製」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [93] 田辺聡, 中北要佑, 原田智之, S.Dissanayake, 中根了昌, 竹中充, 菅原聡, 高木信一, 「GOI pMOSFETの正孔反転層における移動度の評価」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [94] 杉山正和, 出浦桃子, 星井拓也, 山本剛久, 幾原雄一, 田尻寛男, 坂田修身, 木村滋, 中根了昌, 竹中充, 菅原聡, 高木信一, 中野義昭, 「微小領域選択MOVPEにより作製したSi(111)面上InGaAsの構造解析」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [95] 出浦桃子, 星井拓也, 杉山正和, 中根了昌, 竹中充, 菅原聡, 高木信一, 中野義昭, 「微小領域選択MOVPEにおけるSi上InGaAsの横方向成長に対するGa組成の影響」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [96] 杉山直治, 沼田敏典, 平下紀夫, 入沢寿史, 高木信一, 「ひずみSi-MOSFETにおける閾値電圧ばらつきの素子サイズ依存性」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [97] 手塚勉, 豊田英二, 入沢寿史, 中弘周, 村山健, 平下紀夫, 守山佳彦, 杉山直治, 田岡紀之, 山下良美, 木曾修, 原田真臣, 山本豊二, 高木信一, 「高温水素エッチングによるSOIおよびSGOI-Fin幅揺らぎの低減」, 第55回応用物理学関係連合講演会,

- 日本大学理工学部, 2008年3月.
- [98] 田岡紀之, 原田真臣, 山下良美, 山本豊二, 杉山直治, 高木信一, 「Si原子層により終端されたGe MIS界面特性とその反転層正孔移動度への影響」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [99] 鈴木邦広, 池田圭司, 山下良美, 高木信一, 「拡張LSS理論に基づくイオン注入分布解析モデル」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [100] 鈴木邦広, 池田圭司, 山下良美, 高木信一, 「擬似結晶LSS理論に基づくイオン注入分布解析モデル」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [101] 山本豊二, 田岡紀之, 山下良美, 原田真臣, 池田圭司, 鈴木邦広, 杉山直治, 高木信一, 「NiGeメタルSDを用いたGeチャネル微細pMOSFET」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [102] 平下紀夫, 守山佳彦, 中払周, 入沢寿史, 杉山直治, 高木信一, 「酸化濃縮過程での高Ge濃度SGOI基板の塑性変形 3.正孔の発生」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [103] 山下良美, 原田真臣, 山本豊二, 中払周, 池田圭司, 平下紀夫, 守山佳彦, 「Ta₂Nゲート及びNiSiGeソースドレインSGOI-MISFETに於けるホール移動度のGe組成依存性」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [104] 原田真臣, 田岡紀之, 山本豊二, 山下良美, 木曾修, 杉山直治, 高木信一, 「Ge pMOSFETの電気特性に与えるFNストレスの影響」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.
- [105] 高木信一, 「Ge MOSFETの現状と課題」, 第55回応用物理学関係連合講演会, 日本大学理工学部, 2008年3月.

藤島研究室 研究論文

- [1] B.B.M.W. Badalawa and M. Fujishima, "60 GHz CMOS pulse generator," *Electronics Letters*, vol. 43, no. 2, pp. 100-102, 2007.
- [2] M. Motoyoshi and M. Fujishima, "58.8/39.2 GHz dual-modulus CMOS frequency divider with 9.2x5.2 um core size," *Electronics Letters*, vol. 43, no. 2, pp. 98-100, 2007.
- [3] I.C.H. Lai, C. Inui and M. Fujishima, "CMOS

on-chip stacked Marchand balun for millimeter-wave applications," *IEICE Electronics Express*, vol. 4, no. 2, pp. 48-53, 2007.

- [4] I.C.H. Lai and M. Fujishima, "Analysis of on-chip asymmetric coaxial waveguide structure for chip area reduction," *Japanese Journal of Applied Physics*, vol. 46, no. 4B, pp. 2261-2264, 2007.
- [5] Y. Goto and M. Fujishima, "Efficient quantum computing emulation system with unitary macro-operations," *Japanese Journal of Applied Physics*, vol. 46, no. 4B, pp. 2278-2282, 2007.
- [6] I.C.H. Lai and M. Fujishima, "An integrated low-power CMOS up-conversion mixer using new stacked Marchand baluns," *IEICE TRANS. ELECTRON*, vol. E90-C, no. 4, pp. 823-828, 2007
- [7] A. Oncu, B.B.M.W. Badalawa, and M. Fujishima, "22-29 GHz ultra-wideband CMOS pulse generator for short-range radar applications," *IEEE Journal of Solid-State Circuits*, vol. 42, NO. 7, pp. 1464-1471 July 2007
- [8] K. Ishibashi, I.C.H. Lai, K Takano, and M. Fujishima, "A scalable model of shielded capacitors using mirror image effects," *IEICE Trans. Electron*, vol.E90-C no.12 pp. 2237-2244 Dec 2007.

国際会議

- [1] A. Oncu, B.B.M.W. Badalawa, T. Wang, M. Fujishima, "22-29GHz ultra-wideband CMOS pulse generator for collision avoidance short range vehicular radar sensors," *The 12th Asia and South Pacific Design Automation Conference*, pp. 94-95, 2007.
- [2] I.C.H. Lai and M. Fujishima, "Pseudo-millimeter-wave up-conversion mixer with on-chip balun for vehicular radar systems," *The 12th Asia and South Pacific Design Automation Conference*, pp. 106-107, 2007.
- [3] M. Fujishima, "On-wafer evaluation for high-frequency CMOS devices," *IEEE International Conference on Micro-Test Structures (tutorial) (Tokyo)*
- [4] I.C.H. Lai and M. Fujishima, "High-Q slow-wave transmission line for chip area reduction on advanced CMOS processes," *IEEE International Conference on Micro Test Structures*, pp. 192-195, 2007

- [5] I.C.H. Lai, Y. Kambayashi and M. Fujishima, "50GHz Double-Balanced Up-Conversion Mixer Using CMOS 90nm Process," IEEE International Symposium on Circuits and Systems, pp. 2542-2545, 2007.
- [6] K. Ishibashi, M. Motoyoshi, N. Kobayashi and M. Fujishima, "76GHz CMOS Voltage-Controlled Oscillator with 7% Frequency Tuning Range," 2007 Symposium on VLSI Circuits, pp. 176-177, 2007.
- [7] Y. Goto, and M. Fujishima, "Through-Only De-embedding for On-Chip Symmetric Devices," 2007 International Conference on Solid State Devices and Materials, pp. 490-491, 2007.
- [8] K. Takano, M. Motoyoshi and M. Fujishima, "4.8GHz CMOS Frequency Multiplier with Subharmonic Pulse-Injection Locking," 2007 IEEE Asian Solid-State Circuits Conference, pp. 336-338, 2007
- [9] M. Fujishima, "New Architecture for CMOS Millimeter-Wave Transceiver," 2007 IEEE International Workshop on Radio-Frequency Integration Technology, 2007.
- [10] C. Inui, I.C.H. Lai, and M. Fujishima, "60GHz CMOS Current-Reuse Cascade Amplifier," 2007 Asia-Pacific Microwave Conference, pp. 793-796, 2007.
- [11] Y. Goto, N. Kobayashi and M. Fujishima, "On-Chip Rat-Race Balun with Stubs for Matching Arbitrary Terminal Impedances," 2007 Asia-Pacific Microwave Conference, pp. 1847-1850, 2007.
- [12] 乾, 藤島, "伝送線路の曲げ部分における実効長の短縮", 第12回シリコンアナログRF研究会(群馬) 2007年6月
- [13] 神林, 藤島, "高周波ミキサ回路における寄生発振", 第12回シリコンアナログRF研究会(群馬) 2007年6月
- [14] 神林, 藤島, "ミリ波ダウンコンバージョンミキサの電流プリーディング", 第13回シリコンアナログRF研究会(札幌) 2007年9月
- [15] 夏莉, 藤島, "ショートダミーパターンの寄生抵抗による評価誤差", 第13回シリコンアナログRF研究会(札幌) 2007年9月
- [16] 本良, 藤島, "トレンチ加工によるVCO位相雑音の改善", 第11回システムLSIワークショップ(北九州) 2007年11月
- [17] 乾, 藤島, "低消費電力技術を用いた60GHz CMOS増幅器", 第11回システムLSIワークショップ(北九州) 2007年11月
- [18] 神林, 藤島, "オンチップバランを用いた50GHz帯ダブルバランスアップコンバージョンミキサ", 第11回システムLSIワークショップ(北九州) 2007年11月
- [19] 後藤, 藤島, "微小インダクタの精密評価を可能にするThrough-only De-embed", 第11回システムLSIワークショップ(北九州) 2007年11月
- [20] 高野, 本良, 藤島, "パルス注入同期型周波数逡倍器", 第11回システムLSIワークショップ(北九州) 2007年11月
- [21] 本良, 藤島, "VCO フェーズノイズ低減のためのシリコン基板のトレンチ加工", 第14回シリコンアナログRF研究会(千葉) 2007年11月

国内学会, 研究会等

- [1] 本良, 藤島, "インピーダンスバランス法を用いたオンチップインダクタの評価", 電子情報通信学会集積回路研究専門委員会(東京) 2007年1月
- [2] 神林, Lai, 藤島, "20-26GHz低消費電力CMOSアップコンバージョンミキサ", 電子情報通信学会集積回路研究専門委員会(東京) 2007年1月
- [3] M. Fujishima, I.C.H. Lai and A. Oncu, "Millimeter-wave CMOS systems for secure-life electronics," Proceedings of COE Symposium on Advanced Electronics for Future Generations, pp. 147-152 (2007/1/16)
- [4] 石橋, 藤島, "シールドつきMIMキャパシタに対する鏡像効果を考慮したスケラブルモデル", 電子情報通信学会技術研究報告, vol.106, no.550, pp. 7-12 (2007/3/7)

竹内研究室 国際会議

- [1] Ken Takeuchi, "NAND successful as a media for SSD," IEEE International Solid-State Circuits Conference (ISSCC), Tutorial T-7, 2008.

国内学会, 研究会等

- [1] 安福正, 石田光一, 高宮真, 竹内健, 桜井貴康, "オンチップ昇圧向けブーストコンバータにお

けるインダクタの寄生抵抗の影響 (Influence of Parasitic Resistance of Inductors in Boost Converters)", 電子情報通信学会総合大会, 2008年3月.

- [2] 石田光一, 安福正, 高宮真, 竹内健, 桜井貴康, "オンチップ昇圧向けブーストコンバータにおけるMOSダイオード損失の検討 (An Investigation on Diode Loss in On-chip Boost Converter)", 電子情報通信学会総合大会, 2008年3月.

**藤田研究室
受賞**

- [1] 石川 悠司, “オートマトンのグラフ探索に基づく実用的オンチップ通信プロトコル変換器合成手法,” 修士論文, 工学系研究科長賞, 2008年3月.
- [2] 森下 賢志, “準形式的モデル検査のハードウェア・ソフトウェア協調実行による高速化,” 卒業論文, 東京大学工学部長賞, 2008年3月.

**高宮研究室
特許**

- [1] 桜井貴康, 高宮 真, 新山太郎, 濱田基嗣, 間島秀明, “半導体集積回路装置,” 2007年4月出願.
- [2] 桜井貴康, 高宮 真, 稲垣賢一, 飯塚邦彦, 嘉田守宏, 宮田宗一, “プローブカード及びこれを用いた半導体ウエハの検査装置,” 2007年9月出願.

受賞

- [1] 新山太郎, “電源電圧0.3Vに向けた超低消費電力ロジックLSIに関する研究,” 東京大学大学院工学系研究科電気電子工学専攻優秀修士論文賞, 2008年3月.

**高木・竹中研究室
受賞**

- [1] Sanjeeva Dissanayake, 第22回(2007年春季)応用物理学講演奨励賞, “酸化濃縮法により作製された超薄膜(110)面GOI p-MOSFET”
- [2] 高木信一, 第29回応用物理学論文賞(2007年度)解説論文賞, “Si系高移動度MOSトランジスタ技術”, 応用物理 第74巻, 第9号, p. 1158-1170 (2005)

**柴田・三田研究室
受賞**

- [1] 濱口洋平 丸文研究交流財団 国際交流助成
21st IEEE International Conference on Micro Electro Mechanical System

**藤島研究室
受賞**

- [1] 第9回LSI IPデザイン・アワード IP賞
「ミリ波CMOSトランシーバ回路」
ライ・チー・ホン, 高野 恭弥, 藤島 実
- [2] STARCシンポジウム
優秀ポスタ賞
「CMOSオンチップバランと物理レイアウトの自動設計」
乾 千乗, 萬澤 康雄
- [3] 第11回システムLSIワークショップ
最優秀ポスタ賞
「パルス注入同期型周波数通倍器」
高野 恭弥, 本良 瑞樹, 藤島 実
- [4] 電子情報通信学会
学術奨励賞
「58.8/39.2GHz デュアルモード CMOS 周波数分周器」
本良 瑞樹

**竹内研究室
特許****■米国登録特許**

- [1] Tomoharu Tanaka, Hiroshi Nakamura, Ken Takeuchi, Riichiro Shirota, Fumitaka Arai and Susumu Fujimura, “Nonvolatile semiconductor memory device”, U.S.P. 7,224,612, May 29, 2007.
- [2] Ken Takeuchi, “Nonvolatile semiconductor memory device”, U.S.P. 7,224,617, May 29, 2007.
- [3] Ken Takeuchi, “Non-volatile semiconductor memory device”, U.S.P. 7,242,616, July 10, 2007.
- [4] Ken Takeuchi, “Non-volatile semiconductor memory device”, U.S.P. 7,269,073, September 11, 2007.
- [5] Takuya Futatsuyama and Ken Takeuchi, “Level shifter circuit and semiconductor memory device”, U.S.P. 7,274,603, September 25, 2007.
- [6] Tomoharu Tanaka, Hiroshi Nakamura, Ken Takeuchi, Riichiro Shirota, Fumitaka Arai and Susumu Fujimura, “Nonvolatile semiconductor memory device”, U.S.P. 7,310,270, December 18,

- 2007.
- [7] Ken Takeuchi, Tamio Ikehashi and Toshihiko Himeno, "Non-volatile semiconductor memory", U.S.P. 7,313,022, December 25, 2007.
- [8] Kazushige Kanda, Kenichi Imamiya, Hiroshi Nakamura, Ken Takeuchi and Tamio Ikehashi, "Semiconductor device, nonvolatile memory, system including a plurality of semiconductor memories, electric card including semiconductor device or nonvolatile semiconductor memory, and electric device with which this electric card can be used", U.S.P. 7,317,652, January 8, 2008.
- [9] Yasushi Kameda, Ken Takeuchi, Hitoshi Shiga, Takuya Futatsuyama and Koichi Kawai, "Non-volatile semiconductor memory device", U.S.P. 7,327,616, February 5, 2008.
- [10] Hiroshi Watanabe, Hiroshi Nakamura, Kazuhiro Shimizu, Seiichi Aritome, Toshitake Yaegashi, Yuji Takeuchi, Kenichi Imamiya, Ken Takeuchi and Hideko Oodaira, "Nonvolatile semiconductor memory," U.S.P. 7,332,762, February 19, 2008.
- [11] Ken Takeuchi, Tomoharu Tanaka and Noboru Shibata, "Nonvolatile semiconductor memory having plural data storage portions for a bit line connected to memory cells", U.S.P. 7,342,825, March 11, 2008.
- 日本登録特許
- [1] Ken Takeuchi and Tomoharu Tanaka, "Voltage generating circuit," J.P. 3,954,245, May 11, 2007.
- [2] Ken Takeuchi and Tomoharu Tanaka, "Semiconductor memory device," J.P. 3,961,989, May 25, 2007.
- [3] Koji Hosono, Hiroshi Nakamura, Ken Takeuchi and Kenichi Imamiya, "Nonvolatile semiconductor memory device," J.P. 3,983,969, July 13, 2007.
- [4] Ken Takeuchi, Hiroshi Nakamura and Tomoharu Tanaka, "Semiconductor memory device," J.P. 3,993,581, August 3, 2007.
- [5] Ken Takeuchi, Hiroshi Nakamura and Tomoharu Tanaka, "Voltage bias circuit," J.P. 3,993,582, August 3, 2007.
- [6] Ken Takeuchi, Koji Sakui and Tomoharu Tanaka, "Nonvolatile semiconductor memory device," J.P. 4,021,806, October 5, 2007.
- [7] Koji Hosono, Muneo Ito and Ken Takeuchi, "Internal voltage generating circuit and semiconductor memory," J.P. 4,031,142, October 26, 2007.

平成 19 年度
東京大学大規模集積システム設計教育研究センター年報

2008 年 8 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4階401号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)



VDEC

VLSI Design and Education Center The University of Tokyo 2008