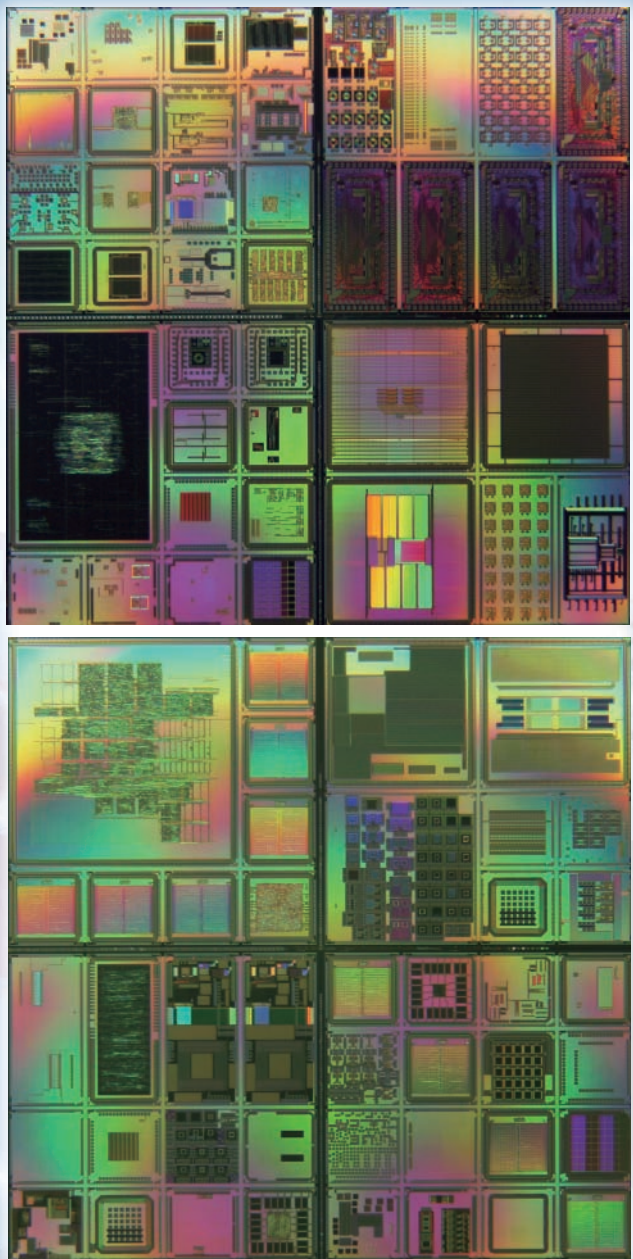


VDEC

平成21年度
東京大学大規模集積システム設計教育研究センター
年報





VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター (VDEC) の2008年度活動報告をお送りします。

2008年度、VDECのチップ試作事業では新たにCMOS 65nmの試作を、STARC/(株)イーシャトルの協力を得て開始いたしました。7月の先行ランに引き続き、10月と11月には経済産業省からの技術開発委託を受けたSTARCにVDECが協力する形で、多数の大学の設計者の方々に65nm試作の機会を提供することができました。経済産業省、STARC並びに(株)イーシャトルのご関係の方々に深く感謝いたします。これらの試作評価で得られた多くの貴重な研究成果は、STARCを通じて経済産業省にフィードバックされ、広く半導体産業技術の高度化に寄与することと期待しています。CMOS 65nm技術による先端チップ試作活動は2009年度も引き続き進める予定であり、わが国の大学のLSI設計試作研究および教育がさらに進展することを期待しています。

(株)アドバンテストからの寄付研究部門(D2T:Design-to-Test)は2年目を迎え、プレーメン大学およびカリフォルニア大学サンタバーバラ校より設計検証、テスト技術の著名な研究者を客員教授として招聘することができました。これらの研究者とアドバンテストからの研究員、同部門の小松聡准教授らによる研究教育活動の成果が着々と出てきています。さらに2008年12月には内外の著名な研究者をお招きした、第二回D2T講演会を開催し多くの参加をいただきました。

2008年度からはVDECデザイナーズフォーラムも企画を一新し、6月にVDECにて開催いたしました。従来の企画に加えて先端半導体技術や産業界のリーダの方々による特別講演会を開催し、多数の方々の参加を得、ご好評をいただきました。今後も順次新企画を立てていく予定です。

65nm以外のチップ試作では、一旦減少したCMOS 0.18umの利用が持ち直しつつあると考えています。今後、アナログ用の設計技術データを充実するとともに、設計規則のコンパティビリティを維持しつつ高耐圧トランジスタオプション等を追加し、より広い応用分野で利用できるようにする計画です。是非、ご利用のほどお願い申し上げます。

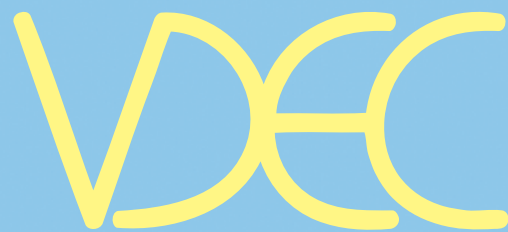
歴史始まって以来の世界的金融・経済危機、半導体業界のダイナミックな再編成等の中で、とすれば学生の分野志向は半導体、あるいはエレクトロニクスから離れていくことが心配されています。しかしどのような状況においてもLSI設計技術は情報通信技術等、先端技術の中核であり続けるとの強い信念のもと、優れた人材を多数育成するための活動を続ける所存です。皆様からの引き続きのご支援ご支持をお願い申し上げます。

2009年6月

(全国共同利用施設)
東京大学大規模集積システム設計教育研究センター

センター長

浅田 邦博



VLSI Design and Education Center
The University of Tokyo

2009

第 1 章 VDEC 事業の紹介と平成 20 年度事業報告	2
1.1 VDEC の活動概況 — 2	
1.2 CAD ソフトウェアの整備 — 5	
1.3 平成 20 年度 VDEC 事業報告 — 7	
1.4 CAD セミナー — 10	
1.5 装置の整備・運用・利用公開 — 14	
1.6 VDEC 利用者に関する発表文献リスト — 16	
1.7 平成 21 年度の活動計画 — 79	
1.8 VDEC 発ベンチャー — 80	
1.9 超微細リソグラフィー・ナノ計測拠点 — 81	
第 2 章 「アドバンテスト D2T 寄付研究部門」活動報告	82
第 3 章 チップ試作報告	93
3.1 試作ラン別一覧 — 94	
3.2 チップ種別一覧 — 103	
3.3 各チップの詳細 — 110	
第 4 章 VDEC 概要	189
4.1 組織概要 — 189	
4.2 人事報告 — 190	
4.3 決算報告 — 192	
第 5 章 研究報告	193
5.1 全体概況 — 193	
5.2 研究室構成員（平成 20 年度） — 194	
5.3 研究概要 — 196	
5.4 研究発表 — 218	
5.5 特許・受賞等 — 224	
第 6 章 付録	226
6.1 VDEC の利用規定・申し込みガイド — 226	
6.2 IP データベースの整備 — 230	

1.1 VDEC 事業の紹介と平成 20 年度事業報告

東京大学大規模集積システム設計教育研究センター (VDEC) は発足後 12 年が過ぎた。平成 20 年度も『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を 3 つの柱として、円滑な運営を目指した事業を展開した。図 1.1 に示す VDEC の活動内容に基づき、以下に平成 20 年度の概要を報告する。

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。しかし、VDEC 発足当初、我が国の大学には CAD ソフトウェア利用技術教育や実用的 LSI 設計フロー教育のカリキュラムはほとんど存在していなかったため VDEC にとってはこれらの整備が急務の課題であった。CAD ソフトウェアの利用技術に関しては CAD ベンダーが独自の設計技術を有しており、これを導入することとした。大学院学生、若手教官を対象として CAD ベンダーから講師を招き、それぞれの CAD ソフトウェア毎に年 2 回のセミナーを開催することとし、CAD ベンダーと契約を結んだ。これまで年 2 回の内 1 回は VDEC で、残り一回は地方拠点校で実施している。参加定員は設備の関係でそれぞれ 20 ~ 50 名程度であり必ずしも十分とはいえないが、VDEC としては各ユーザ研究室で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって CAD 利用技術が全国的に広がることを期待している (1.3 章参照)。

LSI 設計フローセミナーは LSI 設計の基本概念教育と

複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを年 1 回 (12 月 ~ 1 月) 開催している。このコースは“デジタル設計コース”、“アナログ設計コース”、“RF 設計コース”、“最先端設計事例コース”の 4 コースからなっている。前 3 者は演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。最先端設計事例コースは講義主体のコースであるが、大学および企業から第一線の講師を招き、設計経験をもとにした講演を行っている。

これらセミナーに加えて VDEC では年 1 回、若手教官と学生を中心とした VDEC デザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。

このようなセミナー、フォーラムを通じた教育システムにより LSI 設計の基本的項目を学習できるようになっているが、それでも実際の LSI 設計の場面では、さまざまな困難に直面することが多い。初心者にとっては CAD ソフトウェアのセットアップは最大の問題である。セットアップの後も CAD ソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するのが VDEC メールグループである。VDEC ユーザは VDEC のホームページから CAD

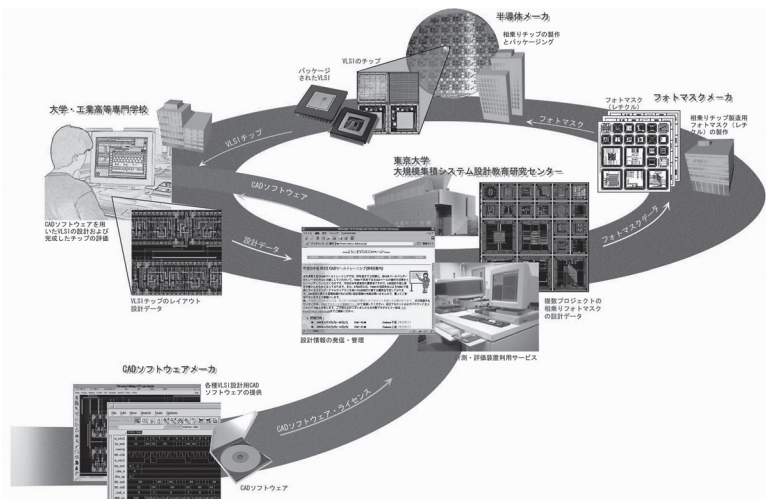


図 1.1 VDEC の活動内容

メールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。(図1.2)。

VLSIチップ試作支援に関しては、従来のオンセミ1.2μm CMOSおよびローム0.18μm CMOS試作に加え、eShuttle 65nm CMOS、日立SiGe 0.25μm BiCMOSを実施した。さらに、VDECでは現在のサービス項目に載っていないBiCMOS、SiGe等について、アメリカのMOSISとの連携で、アカデミック価格で試作を行って

いる。

また、一流のLSI設計者を目指す学生に対してインセンティブを与える仕組みとしてLSI IPアワードを実施している。本アワードは半導体各社と日経BP社の支援でスタートしたIP開発支援のしくみである、平成19年度に新設された東芝MeP賞の第一回表彰式が第10回LSI IPデザイン・アワード表彰式の間で行われ2件が表彰された。(図1.3)。

平成19年10月に設置されたアドバンテスト社から寄付部門「Design To Test (D2T)」では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められ、平成20年度には、Gorschwin Fey先生、Tim Cheng先生を客員准教授、客員教授招聘した。これまでの活動を振り返ると、VDEC発足以来10年余の活動の中でLSI設計文化が根

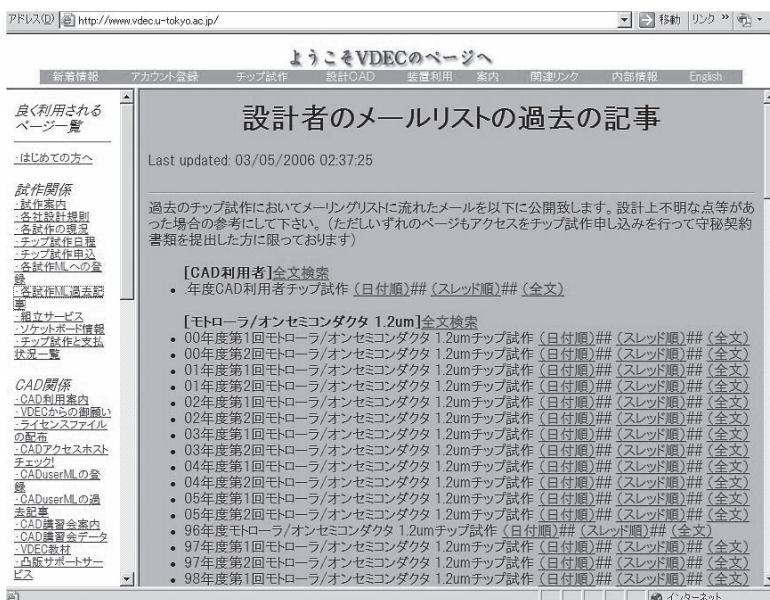
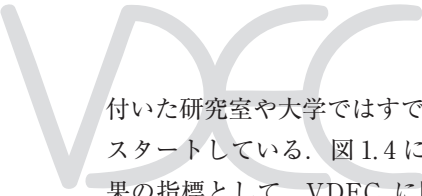


図1.2 VDEC メールリスト検索システム



図1.3 LSI IP賞



付いた研究室や大学ではすでに活発な設計研究・教育がスタートしている。図1.4にVDECを利用した研究成果の指標として、VDECに関する発表文件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC発足以来、集積回路に関する研究が活性化されていることが確認できる。

図1.5にVDECに関する発表文献のVDECファシリティー利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。

CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり世界的には65nm CMOSから45nm CMOSによる設計事例報告が増加しており、VDECにおいても最先端プロセステクノロジーメニューの充実をはかっていきたい。そのほかのファシリティーとして、LSIテスターやFIB加工装置、EB描画装置などが研究目的に幅広く利用されることを期待する。

1.2 CADソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成20年度は表1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンスとなっ

ており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている(a)全国教官数および(b)その所属する大学数および(c)CADの利用申請があった研究室(教官)数の推移は図1.7の通りである。

表 1.1 導入されたCADシステム

名称	用途	メーカー
Cadence社設計システム	VerilogHDL/VHDLベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys社設計システム	VerilogHDL/VHDLシミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
レイアウト検証システム	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco社設計ツール	高速回路シミュレーション、	Silvaco
高周波回路設計検証システム	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Agilent Technologies
C言語ベース設計システム	Handel-Cでシステム設計、合成、検証	Celoxica/Agility
C言語ベース設計システム	BachC設計ツール	Sharp
高位合成ツール	PICO Express	Synfora
レイアウト表示プラットフォーム	LAVIS	TOOL

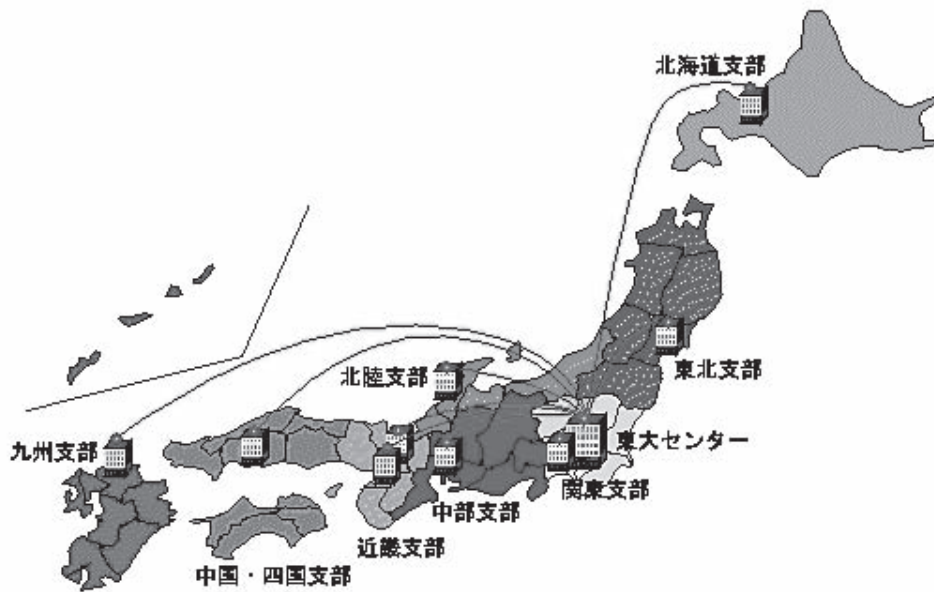
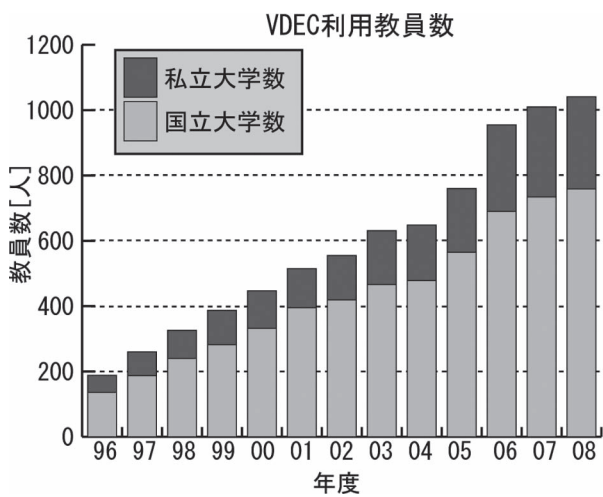
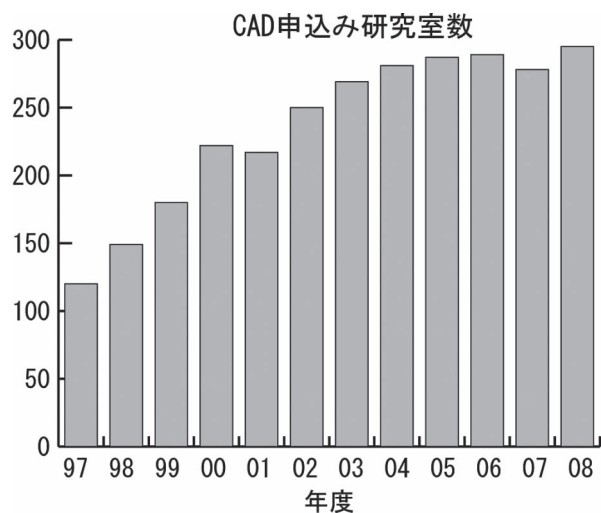


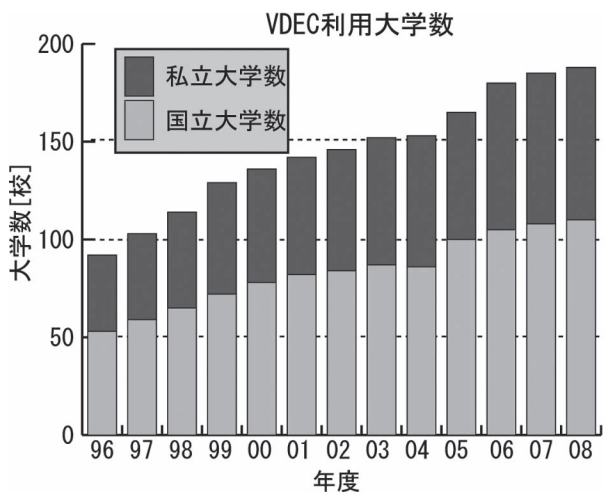
図 1.6 全国地域拠点校



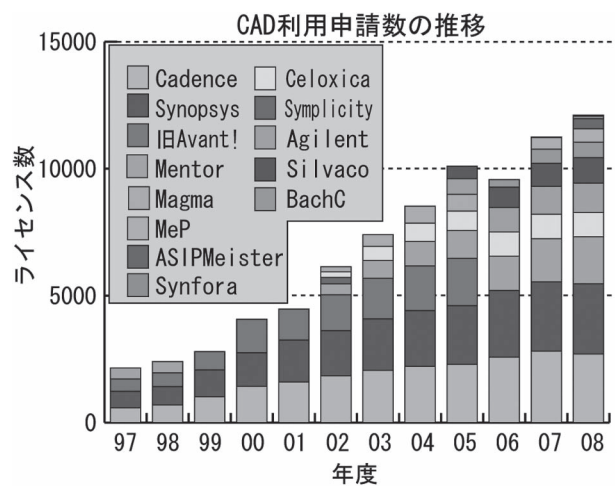
(a) 利用登録教官数



(c) CAD 申し込み研究室数



(b) 利用登録大学・高専数



(d) CAD 申し込み数

図 1.7 ユーザ登録数および CAD 申込数の推移

1.3 平成20年度VDEC事業報告

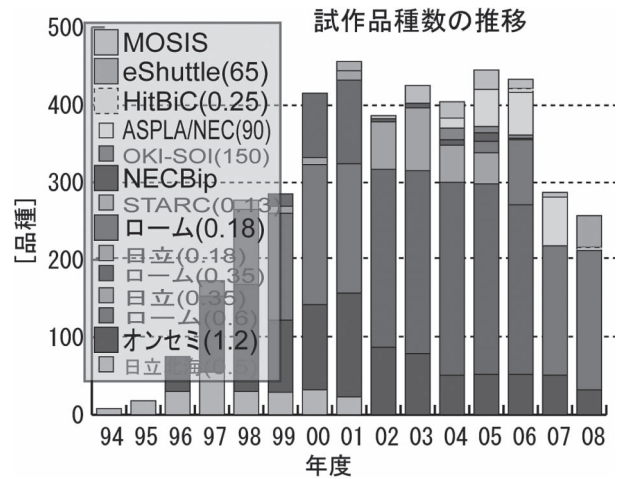
1.3.1 VLSIチップ試作

図1.3.1は、VDECおよび、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

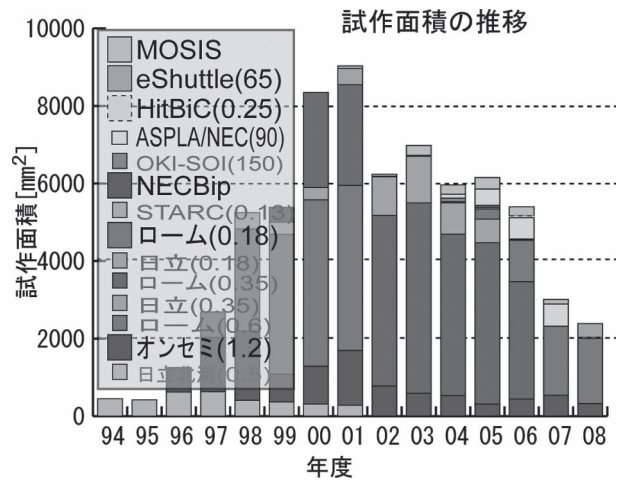
VLSIチップ試作は、平成6、7年度（1994、1995年度）のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS 0.5 μ m（当該プロセスはその後日立北海セミコンダクタ社に継続）1社であったが、平成8年度（1996年度）のVDEC発足後、日本モトローラ社のCMOS 1.2 μ m（平成11年度からは、オン・セミコンダクターにて継続）が協力を開始し、平成9年度からはローム社のCMOS 0.6 μ mが加わった。さらに平成10年度には日立製作所のCMOS 0.35 μ m、平成11年度にはローム社0.35 μ mがそれぞれ加わった。また、IP開発プロジェクトの一環としてSTARC 0.13 μ mの試作を行った。平成13年度から、日立製作所のCMOS 0.18 μ mのサービスを実施している。平成14年度は、広島大学岩田先生の主導の下に、VDECとMOSISの協力による試作サービスを試行的に実施した。これは、TSMC、IBMといった海外のファブをMOSISを経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った。平成16年からテスト試作として沖電気CMOSSOI 0.15 μ mプロセスおよびASPLA 90nm（現在はSTARCにおいて継続）プロセスの試作を開始し、90nm試作については平成17年度より通常の試作として公募の形で運用を行っている。さらに平成18年度からはローム社0.18 μ mの試作を開始し、日立製作所0.25 μ m SiGeBiCMOSのテスト試作を実施した。平成19年度で終了した90nm CMOSの後継の先端プロセスの検討を平成19年度から開始し、平成20年度にeShuttle社の65nm CMOSによる試作を開始した。

図1.3.1(a)は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、02年度に減少しているが、これはROHM社の0.6 μ mプロセスを終了したことによる現象が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また昨年度で0.35 μ mが修了し、0.18 μ mへの移行したため、試作数が100品種程度減少する結果となっている。

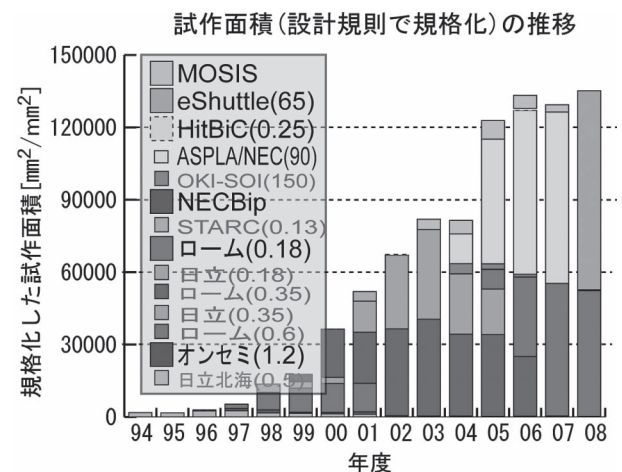
図1.3.1(b)に設計されたチップ面積を示す。試作プロセスが微細化すると、集積度が向上することで、見かけ上試作面積が減少するように見える場合がある。そこで、図1.3.1(c)に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図1.3.1 チップ試作数・面積推移

も併せて示す。

また、図 1.3.2 にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、オンセミコンダクタが 159 名、ロームの 0.18 um プロセスが 160 名、eShuttle 65 nm が 28 名となっている。なお、ローム 0.35 um プロセス、ASPLA/STARC 90 nm プロセスに対する守秘契約締結教員数はそれぞれ 207 名、55 名であった。

1.3.2 平成 20 年度チップ試作概況

平成 20 年度は、表 1.3.1 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 2 章のチップ試作報告を参照されたい。

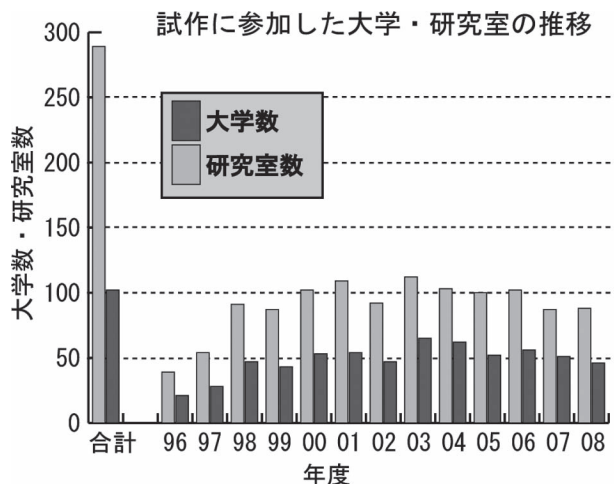


図 1.3.2 VDEC チップ試作参加教員数・大学数の推移とその累計

表 1.3.1 平成 20 年度チップ試作日程

●CMOS 1.2 um (オンセミコンダクタ：旧日本モトローラ)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 19 年度第 2 回	2007/10/1	2007/1/7	2008/ 3/31	2008/6/30
平成 20 年度第 1 回	2008/ 4/2	2008/7/2	2008/10/ 6	2009/1/30
平成 20 年度第 2 回	2008/10/1	2009/1/7	2009/ 4/ 6	2009/7/13 (予定)

●CMOS 0.18 um (ローム)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 19 年度第 8 回	2007/ 7/10	2007/11/12	2007/12/10	2008/ 4/ 2
平成 19 年度第 9 回	2007/ 8/13	2007/12/ 3	2008/ 1/15	2008/ 4/ 2
平成 19 年度第 10 回	2007/ 9/10	2008/ 1/ 7	2008/ 2/18	2008/ 5/28
平成 20 年度第 1 回	2007/11/ 5	2008/ 4/ 7	2008/ 5/12	2008/ 9/17
平成 20 年度第 2 回	2008/ 1/ 7	2008/ 5/ 6	2008/ 6/16	2008/ 9/17
平成 20 年度第 3 回	2008/ 2/ 4	2008/ 6/ 9	2008/ 7/14	2008/11/13
平成 20 年度第 4 回	2008/ 3/10	2008/ 7/ 7	2008/ 8/18	2008/11/13
平成 20 年度第 5 回	2008/ 4/ 7	2008/ 8/11	2008/ 9/16	2008/12/ 3
平成 20 年度第 6 回	2008/ 5/ 6	2008/ 9/ 8	2008/10/14	2009/ 2/24
平成 20 年度第 7 回	2008/ 6/ 9	2008/10/ 6	2008/11/17	2009/ 2/24
平成 20 年度第 8 回	2008/ 7/ 7	2008/11/10	2008/12/ 8	2009/ 5/25 (予定)
平成 20 年度第 9 回	2008/ 8/11	2008/12/ 1	2009/ 1/13	2009/ 5/25 (予定)
平成 20 年度第 10 回	2008/ 9/ 8	2009/ 1/ 7	2009/ 2/16	2009/ 5/25 (予定)

●Bipolar (NEC) 試作申込がなく、試作を実施せず

●CMOS 65 nm (eShuttle/STARC)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 19 年度			2008/ 7/ 2	2008/10/ 3
平成 20 年度第 1 回			2008/10/ 2	2008/12/ 8
平成 20 年度第 2 回			2008/11/20	2009/ 3/27
平成 20 年度第 3 回			2009/ 2/19	2009/ 5/12 (予定)

●SiGeBiCMOS 0.25 um (日立)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
			2008/12/25	2009/4/30 (予定)

1.3.3 ライブラリ整備状況

VDECにおけるチップ試作(主にデジタルLSI試作)では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツ

ルを利用して、平成8年度から順次ライブラリ整備事業を行ってきている。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
MOT(OnSemi) 1.2 μ m	P2lib	京都大学小野寺研究室	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Astro用配置配線ライブラリ	
	EXDlib	東京大学VDEC	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Astro用配置配線ライブラリ	
ローム0.18 μ m	ローム提供 ライブラリ	ローム提供 スタンダードセル, IO セル, RAM (セルはす べてブラックボックス) (CDROMにて配布)	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ 配置配線用LEF/DEFファイル	
	京大ライ ブラリ	京都大学小野寺研究室	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Astro用配置配線ライブラリ	
	東大ライ ブラリ	ライブラリ情報は京都大 学小野寺研究室, 東大 VDECにてフロー構築	・ CadenceRTLCompiler用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ CadenceEncounter用配置配線ライブラリ	

1. 4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 20 年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している。平成 20 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用の

ための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 4 種・6 日間、Synopsys ツールを 3 種・4 日間、Agilent のツールを 1 種・2 日間、東芝ツールを 1 種・2 日間、Xilinx のツールを 1 種・1 日間に加え、VDECEDA 環境におけるトランジスタレベル設計手法講習会・VDECEDA 環境におけるデジタル設計手法講習会を VDEC 教員が講師となりそれぞれ 2 日間ずつ行った。各コースに 40 名までの教官・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 3 種・6 日間、Synopsys 4 種・5 日間、ASIPMeister 1 種・2 日間行った(表 1.4.1)。これら CAD 技術セミナーへの参加要望は非常に大きく、地

表 1. 4. 1 平成 20 年度 CAD 技術セミナー開催状況

講習項目	開催地	開催時期	参加人数	講習内容
Xilinx 講習会	東京大学	8/5	16	論理合成ツールによる、合成条件、結果の解析、階層設計を行う場合のストラテジなどを学習
VDEC 環境におけるデジタル回路設計方法講習会	東京大学	8/21-22	33	VDEC 環境で回路設計を進めるための一連のフローを学習する。
VDEC 環境におけるトランジスタレベル設計方法講習会	東京大学	8/25-26	30	VDEC 環境で回路設計を進めるための一連のフローを学習する。
CadenceArtist/Composerr	東京大学	8/27	24	手書き回路設計および、そのシミュレーション制御方法の習得
CadenceVirtuoso 講習会	東京大学	8/28-29	39	LayoutEditor の使用方法、Pcell (ParameterizedCell) の概念と作成方法の学習
SynopsysHSIM 講習会	東京大学	9/1	9	高速 SPICE シミュレータの使用法の習得
SynopsysChipSynthesis 講習会	東京大学	9/3	17	論理合成ツールによる、合成条件、結果の解析、階層設計を行う場合のストラテジなどを学習
Synopsys.ICCompiler 講習会	東京大学	9/4-5	22	自動配置配線コアツール ICCompiler のデザインフローと各フェーズでの機能の習得
CadenceRTLCompiler 講習会	東京大学	9/8	5	論理合成ツールによる、合成条件、結果の解析、階層設計を行う場合のストラテジなどを学習
CadenceSoCEncounter 講習会	東京大学	9/9-10	9	自動配置配線ツール SoCEncounter のデザインフローと各フェーズでの機能の習得
AgilentGoldenGate 講習会	東京大学	9/11-12	10	GoldenGate の基本的な使用方法と、能動回路の設計に必要な知識の学習。
CadenceSoCEncounter 講習会	名古屋大学	3/2-3	4	自動配置配線ツール SoCEncounter のデザインフローと各フェーズでの機能の習得
CadenceNC-Sim 講習会	東京大学	3/4-5	7	コンパイル型 Verilog シミュレータの使用法の習得
SynopsysVCS/SystemVerilog 講習会	オンライン	3/6	33	SystemVerilog の使用法の習得。
SynopsysChipSynthesis 講習会	東京大学	3/10	20	論理合成ツールによる、合成条件、結果の解析、階層設計を行う場合のストラテジなどを学習
CadenceAssura 講習会	広島大学	3/12-13	24	配線 RC 抽出ツールの使い方を学習する。
ASIPSolution,ASIPMeister 講習会	大阪大学	3/16-17	15	特定用途向き命令セットプロセッサ開発環境 ASIPMeister について学習する。
SynopsysStar-RCXT 講習会	東京大学	3/24	10	配線 RC 抽出の概念の学習とツールの使用方法を学習
Synopsys.ICCompiler 講習会	東京大学	3/25-26	17	自動配置配線コアツール ICCompiler のデザインフローと各フェーズでの機能の習得

方からの参加者も多い。これはCAD技術セミナーに対する需要が依然として大きなことを表しており、VDECはこの状況に対応し、大規模なCAD技術セミナー開催の仕組みの整備を行ってきた。また、昨年は夏・春ともに東大での集中開催としてが、従来型に戻して夏は東大、春は東大と地方拠点での開催とした。

さらに、この3月の講習会からオンライン講習の導入や、Webストリーミングによる遠隔受講の実験なども行っている。

平成20年度12月～1月には平成18年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表1.4.2)。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。

本年度はVLSI設計に関する4つのコース(コースR:CMOS-RF集積回路設計と演習(12/2～12/5実施)、コースA:アナログ集積回路設計と演習(12/9～12/11実施)コースD:HDLによるデジタル集積回路設計と演習(12/16～12/19実施)、コースS:最先端VLSI設計実

【社会人のためのリフレッシュセミナー】

平成20年度 VDEC リフレッシュ教育
VLSI 設計教育コースのご案内
<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

VDEC リフレッシュ教育では、集積回路産業に関わる職業人を対象として、VLSI設計に関する最新の知識・技術の習得を目的とした設計教育コースを開催します。本コースでは、各種設計手法の講義に加え、実際に簡単な集積回路を設計し、シミュレーションやFPGAボードなどによる検証までを行うVLSI設計演習を実施します。更に、実際に最先端VLSIを設計した設計事例を詳しく紹介するコースを設定します。教育機関に在籍する教員・学生の方の参加も可能です。国内の最高の講師陣を集めており、社員への最新の設計技術教育に、自らのデザイン・スキル・アップに最適です。

コース R CMOS-RF 集積回路設計と演習

【日程】平成20年12月2日(火)～5日(金)4日間
【場所】東京大学武田先端知ビル 演習室
【講師】藤島 実(東京大学 准教授)、松岡 俊臣(大阪大学 准教授)
【講義内容】12/2(火):基礎、分布定数回路1(藤島)
12/3(水):基礎、分布定数回路2、RFオンウェハ測定(藤島)
12/4(木):RF CMOS回路の基礎1(松岡)
12/5(金):RF CMOS回路の基礎2(松岡)

コース A アナログ集積回路設計と演習

【日程】平成20年12月9日(火)～11日(木)3日間
【場所】東京大学武田先端知ビル 演習室
【講師】杉本 泰博(中央大学 教授)、小野寺 秀俊(京都大学 教授)、小谷 光司(東北大学 准教授)、土谷 亮(京都大学 助教)
【講義内容】12/9(火):アナログ集積回路の特徴と役割(杉本)
回路設計、回路シミュレーション1(小野寺、土谷)
12/10(水):回路設計、回路シミュレーション2(小野寺、土谷)
レイアウト設計、検証(DRC/LVS)1(小谷)
12/11(木):レイアウト設計、検証(DRC/LVS)2(小谷)

コース D HDLによるデジタル集積回路設計と演習

【日程】平成20年12月16日(火)～19日(金)4日間
【場所】東京大学武田先端知ビル 演習室
【講師】今井 正治(大阪大学 教授)、越智 裕之(京都大学 准教授)、小林 和淑(京都大学 准教授)、池田 誠(東京大学 准教授)
【講義内容】12/16(火):VerilogHDLの文法解説とシミュレーション演習(越智)
VerilogHDLによる論理合成/シミュレーションとFPGA実装演習1(小林)
12/17(水):VerilogHDLによる論理合成/シミュレーションとFPGA実装演習2(小林)
12/18(木):システムレベル設計手法とHDL(今井)
LSI配置記線設計演習1(池田)
12/19(金):LSI配置記線設計演習2(池田)

コース S-A 先端アナログ設計

【日程】平成21年1月7日(水)
【場所】東京大学武田先端知ホール
【コーディネーター】益子 耕一郎(リネステクノロジー)
【講義内容】1/7(水)
10:00～12:00 CMOS RF回路と無線通信用LSIの設計(東京工業大学 石原 昇)
13:00～16:00 CMOSアナログ回路設計の基礎—だれでも簡単に設計できるようになる—(東京工業大学 松澤 昭)
16:00～18:00 PLLの設計と最新PLL技術状況(リネステクノロジー 田中 聡)

【受講料】
コース R:29,000円
コース A:22,000円
コース D:32,000円
コース S-A:5,000円

【定員】
コース R:35名程度
コース A:35名程度
コース D:35名程度
コース S-A:150名程度

【申込方法】
10月下旬から申込開始を予定しております。
申し込みはWebページより行ってください。

【問合せ先】
担当:名倉 徹(VDEC)、松岡 俊臣(大阪大学)、
藤田 智弘(立命館大学)、小林 和淑(京都大学)
E-mail:refreshseminar@vdec.u-tokyo.ac.jp

【主催】
東京大学大規模集積システム設計教育研究センター(VDEC)
【運営事務】
(株)セミコンダクタータタ

【協賛】
電子情報技術産業協会(JEITA)
半導体理工学研究センター(STARC)
電気学会
電子情報通信学会
情報処理学会
応用物理学会
IEEE Solid-State Circuits Society, Japan Chapter
IEEE Solid-State Circuits Society, Kansai Chapter

*内容に関して若干変更することがあります。最新の情報および詳細はWebページをご参照ください。

図 1.4.2 平成20年度リフレッシュ教育ポスター

例(1/7)を開催し、講師として大学・企業の集積回路研究・教育に携わる教官や研究者19名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習

をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコースR,A,D,Sはそれぞれ20名、37名、20名、31名あり、延べ108名となった。



図 1.4.3 平成 20 年度リフレッシュ教育会場風景 (東大 VDEC セミナー室)

表 1.4.2 リフレッシュセミナー開催状況

講習項目	開催日	参加人数	講師	講習概要
コース R : CMOS-RF 集積回路設計と演習	平成 20 年 12 月 2-5 日 先端知 1F セミナー室	20	松岡俊匡 (大阪大学), 藤島実 (東京大学)	<ul style="list-style-type: none"> ● 基礎, 分布定数回路 ● RFCMOS 回路の基礎 ● RF オンウェハ測定 ● RF オンウェハ測定実習
コース D : HDL によるデジタル集積回路設計と演習	平成 20 年 12 月 16-19 日 先端知 1F セミナー室	20	今井正治 (大阪大学), 越智裕之 (広島市立大学), 小林和淑 (京都大学), 池田誠 (東京大学)	<ul style="list-style-type: none"> ● VerilogHDL の文法解説とシミュレーション演習 ● VerilogHDL による論理合成 / シミュレーションと FPGA 実装演習 ● ハードウェア記述言語 (HDL) による, デジタル集積回路設計 ● LSI 配置配線設計演習
コース A : アナログ集積回路設計と演習	平成 20 年 12 月 9-11 日 先端知 1F セミナー室	37	杉本泰博 (中央大学), 小野寺秀俊 (京都大学), 小谷光司 (東北大学)	<ul style="list-style-type: none"> ● 回路設計, 回路シミュレーション ● アナログ集積回路の特徴と役割 ● レイアウト設計, 検証 (DRC, LVS)
コース S : 最先端 VLSI 設計事例	平成 21 年 1 月 7 日 先端知 1F セミナー室	31	益子耕一郎 (STARC), 石原昇 (東京工業大), 松澤昭 (東京工業大学), 田中聡 (日立製作所)	<ul style="list-style-type: none"> ● 先端アナログ設計 <ul style="list-style-type: none"> - CMOSRF 回路と無線通信用 LSI の設計 - CMOS アナログ回路設計の基礎—だれでも簡単に設計できるようにする— - PLL 設計の基礎

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象とした VDECLSI デザイナーフォーラム (VDECLSIDesignersForum) を開催している。VDECLSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、CAD 業界の裏話、研究

室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今年からはよりアカデミック色を強めた形で6/6, 7, 8日にかけて東大武田ホールで開催された。107人の参加者が集まる盛況であった。

表 1.4.3 平成 20 年度デザイナーズフォーラムプログラム

6/6	13:00-13:10	開会の挨拶	浅田邦博 先生 (東京大学 VDEC)
	13:00-18:30	VDEC デザイナーズフォーラム特別講演	名倉 徹 (東京大学 准教授)
	13:10-14:50	大学の研究・企業の研究	福間雅夫 (NEC 執行役員)
	15:00-16:40	チャンネルエンジニアリングによる高性能 CMOS デバイス技術	高木信一 (東京大学 教授)
	16:50-18:30	微細トランジスタの特性ばらつき : 原因究明と対策	平本俊郎 (東京大学 教授)
	19:00-22:00	懇親会 & ポスターセッション	
	22:00-22:30	会場移動	
	22:30-23:00	LSI のテストと VDEC のテスト環境	小松 聡 (東京大学 准教授)
	23:30	フリーディスカッション	
6/7	10:00-12:00	Ph.D 企画セッション 「LSI 分野における人に薦めたい博士課程」	
	13:00-13:30	3次元システム集積のための 低消費電力チップ間インターフェースの開発 ～ ASSCC2007 発表報告を交えて～	新津葵一 (慶応大)
	13:30-14:00	技術の誕生から実用化まで携われた幸運 ～ 須川研究室におけるイメージセンサ研究の事例を通じて～	赤羽奈々 (東北大)
	14:00-16:00	ショート講演「私はこれで失敗した」10分×10人	
	16:00-16:30	VDEC の活動紹介	池田 誠 (東京大学 准教授)
	16:30-17:00	表彰式・閉会の挨拶	
6/8	9:00-12:00	VDECEDA 環境におけるデジタル回路設計手法	小林和淑 (京都大学 准教授)
	13:00-17:00	VDECEDA 環境におけるトランジスタレベル回路設計手法	名倉 徹 (東京大学 准教授)

VDECでは、発足以来導入されてきた装置を維持管理するとともに、全国大学教員に対し公開している（一部装置は、試験公開中）。表1.5.1に装置の一覧と利用公開の状況を示す。装置は、VLSI用大型テスターと、その他若干のプロセス装置とに大別できる。VDEC発足以来、東京大学工学部各号館へ分散配置されてきたが、平成16年度末までに「武田先端知ビル」内の1階実験室ならびに地下スーパークリーンルームに装置の移設が完了し、これまで以上に有機的な連携をもって利用することができるようになった。また、平成16年度に株式会社アドバンテストより最新鋭のテスター（T2000）と電子線描画装置（F5112+VD01）とが寄附された。電子線描画装置の20年4月～21年1月の利用実績は、合計1333回の描画（うちマスク467枚、直接描画866回）であり、前年度より33%描画回数が増加。一昨年度よりEB描画装置は全国公開の準備が整い、同時に必要経費の一部を競争的資金等から負担いただく仕組みが整備された。さらに昨年度より文部科学省「ナノテクネットワーク」に参加したことで、より多くのユーザーに対する支援体制を整備しつつある。

平成9年度より各種治具の標準化に取り組んだ結果、VDECが推奨する標準ピン配置に基づき試作したデジタルLSIは、治具をその都度作製することなく、VDEC

および拠点校のLSIテスターにより評価が行える体制が整っている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドーターボードを1種類準備することで、全国の各大学におけるLSIテスターに対応可能な体制が整っている。今後、LSIテスト法およびLSIテスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作したLSIの特性・性能評価が容易に行える環境の整備に努めたい。試作チップの評価に関しては、発足当初よりQFPやBGAパッケージを実装できるソケットの頒布およびソケットのピンを標準2.54mmピッチに変換する変換ボードを開発してきた。WEB経由の申し込みにより購入することができる。電子線描画装置、集束イオンビーム加工装置は、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を考案し、試験運用を行っている。

公開されている装置に関しては、セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としている。必要に応じ、VDECの職員などが対応することで、利用を認める場合もあるので、個別に相談いただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSIテストシステム	ミックスシグナルLSIテスター： ITS 9000Exa	100 MHz/200 MHz 320ピンのデジタルピンおよび4チャネルのアナログピンを有している。VDECにおいて標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@vdec.u-tokyo.ac.jp
	EBテスター： IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	IDS5000@vdec.u-tokyo.ac.jp
	LSIテスター： HP8300	384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	HP8300@vdec.u-tokyo.ac.jp
	LSIテスター： ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	equipment@vdec.u-tokyo.ac.jp
	回路修正用 FIB：IDSP2X	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	オートプローバ： PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	equipment@vdec.u-tokyo.ac.jp

アナログ・RF測定システム	アナログ・RF測定装置一式：HP4156B, HP4284, etc	DCパラメータ測定, 容量測定, ネットワークアナライザ, スペクトラムアナライザ等の測定装置	希望に応じ利用可能. 但しVDECの業務による利用を優先とする	equipment@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ：Cascade社	マニュアルにて6インチまでのウエハ上のチップの測定が可能. 測定には, 通常のプローブ針 (6本まで) のほか, 50GHzまでの測定が可能な高周波プローブを2本備える		
	低雑音・温度制御機構付きセミオートプローバ：Süss Microtec社	8インチまでのウエハ上のチップの測定が可能. ウエハ温度を-50℃から200℃まで制御可能. プローブカードによる測定. GPIBを介した制御を行うことで半自動測定も可能		
	極低温プローバ：長瀬産業株式会社	5インチウエハを25Kまで冷やした測定が可能	要相談	equipment@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置：F5112+VD01	半導体製造用2.3mm厚4.5インチマスクの描画およびエッチング, 2-4インチ並びに不定形ウエハへの直接描画が可能. 性能保障描画寸法0.1μm.	公開中	equipment@vdec.u-tokyo.ac.jp
汎用FIBシステム	FIB装置：SMI9800MSP	ガラスマスクの欠陥修正の他, 断面観測のための加工等が可能	試験的に公開中	equipment@vdec.u-tokyo.ac.jp

VDEC

1.6 VDEC 利用者に関する発表文献リスト

1. 研究論文

- [1] M. Sasaki, M. Ikeda and K. Asada, "A Temperature Sensor With an Inaccuracy of $-1/+0.8^{\circ}\text{C}$ Using 90-nm 1-V CMOS for Online Thermal Monitoring of VLSI Circuits," Semiconductor Manufacturing, IEEE Transactions, Vol. 21, Issue 2, pp. 201-208, May 2008.
- [2] R. K. Pokharel, H. Kanaya and K. Yoshida, "Design of 5 GHz-Band Power Amplifier with On-Chip Matching Circuits Using CPW Impedance (K) Inverters," IEICE Trans. On Electron., Vol. E91-C, No. 11, pp. 1824-1827, Nov. 2008.
- [3] 伊藤 世渡, "Reducing Power Dissipation of Data Communications on LSI with Scheduling Exploration," IPSJ Trans. SLDM, Vol. 2, pp. 53-63, 2009.
- [4] Ueno K., Hirose T., Asai T., and Amemiya Y., "A 300-nW, 7-ppm/ $^{\circ}\text{C}$, 20-ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs," IEEE Journal of Solid-State Circuits, Vol. 44, (2009), in press.
- [5] H. Myoren, Y. Mada, Y. Matsui, T. Taino, and S. Takada, "Superconducting NbN Nanowire Photo Switches for Generating Single Flux Quantum Pulses," J. Phys. Conf. Ser., Vol. 97, 012329, pp. 1-6, 2008.
- [6] 加賀美智子, 鈴木史継, 浜本隆之, "被写体の明るさ分布に基づくダイナミックレンジ拡大と階調圧縮における重み付け処理の導入", 電子情報通信学会論文誌, A, Vol. J91-A, No. 6, pp. 651-653 (2008).
- [7] 原彰宏, 浜本隆之, "時間重心を合わせた適応蓄積時間イメージセンサ", 電子情報通信学会論文誌, D, Vol. J91-D, No. 8, pp. 2017-2019 (2008).
- [8] 土井俊輔, 浜本隆之, "広ダイナミックレンジ撮像と動き検出を実現するスマートイメージセンサ", 電子情報通信学会論文誌, D, Vol. J91-D, No. 8, pp. 2020-2023 (2008).
- [9] Satoko Kagami, Fumitsugu Suzuki, Takayuki Hamamoto, "Wide Dynamic Range Image Sensor with Polygonal-line I/O Characteristic Adapted to Brightness Distribution of Objects", IEICE trans. on Electron, Vol. E91-C, No. 9, pp. 1402-1408 (2008).
- [10] Kawori TAKAKUBO, Hajime TAKAKUBO, "Wide Range CMOS Voltage Detector with Low Current Consumption and Low Temperature Variation", pp. 443-450, IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences Vol. E92-A, No. 2.
- [11] Kawori TAKAKUBO, Toru ETO, Hajime TAKAKUBO, "Analysis and Modeling of Leakage Current for Four-Terminal MOSFET in Off-State and Low Leakage Switches", pp. 421-429, IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences Vol. E92-A No. 2.
- [12] Kazuteru Namba and Hideo Ito, "Test Compression for Robust Testable Path Delay Fault Testing Using Interleaving and Statistical Coding," IEICE Trans. Inf. & Syst., Vol. E92-D, No. 2, pp. 269-282, Feb., 2009.
- [13] Kentaroh Katoh, Kazuteru Namba and Hideo Ito, "Design for Delay Fault Testability of Dual Circuits Using Master and Slave Scan Paths," IEICE Trans. Inf. & Syst. Vol. E92-D, No. 3, Mar., 2009.
- [14] Kentaroh Katoh, Kazuteru Namba and Hideo Ito, "Design for Delay Fault Testability of 2-Rail Logic Circuits," IEICE Trans. Inf. & Syst., Vol. E92-D, No. 2, pp. 336-341, Feb., 2009.
- [15] Kentaroh Katoh, Kazuteru Namba and Hideo Ito, "Two-Stage Stuck-at Fault Test Data Compression Using Scan Flip-Flops with Delay Fault Testability," IPSJ Trans. Syst. LSI Des. Method, Vol. 1, pp. 91-103, Aug., 2008.
- [16] Yoichi Sasaki, Kazuteru Namba and Hideo Ito, "Circuit and Latch Capable of Masking Soft Errors with Schmitt Trigger," J. Electronic Testing! Theory & Appl. Vol. 24, No. 1-3, pp. 11-19, June, 2008.
- [17] T. Kumaki, M. Ishizaki, T. Koide, H. J. Mattausch, Y. Kuroda and T. Gyohten, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Integration architecture of content addressable memory and massive-parallel memory-embedded SIMD matrix for versatile multimedia processor," IEICE Transactions on Electronics, Vol. E91-C, No. 9, pp. 1409-1418, (2008.9).
- [18] Farhad Mehdi-pour, Hamid Noori, Hiroaki Honda,

- Koji Inoue, and Kazuaki Murakami, "A gravity-directed temporal partitioning approach", IEICE Electronics Express, Vol. 5, No. 10, pp. 366-373, May 2008.
- [19] Hamid Noori, Farhad Mehdipour, Kazuaki Murakami, Koji Inoue, and Morteza Saheb Zamani, "An architecture framework for an adaptive extensible processor", The Journal of Supercomputing, Vol. 45, No. 3, pp. 313-340, Sep. 2008.
- [20] Hamid Noori, Farhad Mehdipour, Koji Inoue, and Kazuaki Murakami, "A Reconfigurable Functional Unit with Conditional Execution for Multi-Exit Custom Instructions", IEICE TRANSACTIONS on Electronics, Vol. 91-C, No. 4, pp. 497-508, Apr. 2008.
- [21] J.Akita, CMOS image sensor with pseudorandom pixel placement, IEICE Electronics Express, Vol. 5, No. 10, pp. 388-393, 2008.
- [22] Tsuchiya, Onodera, "Patterned Floating Dummy Fill for On-Chip Spiral Inductor Considering the Effect of Dummy Fill", pp. 3217-3222, IEEE Transactions on Microwave Theory and Techniques, vol 56, no 12 (2009).
- [23] Terada, Fukuoka, Tsuchiya, Onodera, "Accurate Estimation of the Worst-case Delay in Statistical Static Timing Analysis", pp. 116-125, IPSJ Transactions on System LSI Design Methodology, vol 1 (2008).
- [24] K. Nikawa, S. Inoue, T. Nagaiishi, T. Matsumoto, K. Miura and K. Nakamae, "New approach of laser-SQUID microscopy to LSI failure analysis," IEICE Trans. Electronics, Vol. E85-C, No. 3, pp. 327-333, 2009.
- [25] M. Deura, T. Hoshii, T. Yamamoto, Y. Ikuhara, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Dislocation-free InGaAs on Si (111) using micro-channel selective-area metalorganic vapor phase epitaxy," Appl. Phys. Express., Vol. 2, 011101, 2009.
- [26] M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si," J. Crystal Growths., Vol. 310, pp. 4768-4771, 2008.
- [27] K. Takeda, Y. Kanema, M. Takenaka, T. Tanemura, and Y. Nakano, "Polarization-insensitive all-optical flip-flop using tensile-strained multiple quantum wells," IEEE Photonics Technology Letters, Vol. 20, No. 22, pp. 1851-1853, 2008.
- [28] T. Hoshii, M. Deura, M. Sugiyama, R. Nakane, S. Sugahara, M. Takenaka, Y. Nakano, and S. Takagi, "Epitaxial lateral overgrowth of InGaAs on SiO₂ from (111) Si micro channel areas," Phys. Stat. Sol., Vol. C-5, No. 9, pp. 2733-2735, 2008.
- [29] T. Tanemura, M. Takenaka, A. Al Amin, K. Takeda, T. Shioda, M. Sugiyama, and Y. Nakano, "InP/InGaAsP integrated 1x5 optical switch using arrayed phase shifters," IEEE Photonics Technology Letters, Vol. 20, No. 12, pp. 1063-1065, 2008.
- [30] S. Dissanayake, Y. Shuto, S. Sugahara, M. Takenaka and S. Takagi, "(110) Ultra-thin GOI Layers Fabricated by Ge Condensation Method", Thin Solid Films, Vol. 517, No. 1, pp. 178-180, 2008.
- [31] Masanori HARIYAMA, Naoto YOKOYAMA, Michitaka KAMEYAMA, "Design of a Trinocular-Stereo-Vision VLSI Processor Based on Optimal Scheduling", IEICE Trans. Electron., Vol. E91-C, No. 4, pp. 479-486 (2008).
- [32] Hasitha Muthumala Waidyasooriya, Chong Wei Sheng, Masanori Hariyama, Michitaka Kameyama, "Multi-Context FPGA Using Fine-Grained Interconnection Blocks and Its CAD Environment", IEICE Trans. Electron., Vol. E91-C, No. 4, pp. 517-525 (2008).
- [33] Masanori Hariyama, Shota Ishihara, Michitaka Kameyama, "Evaluation of a Field-Programmable VLSI Based on an Asynchronous Bit-Serial Architecture", IEICE Trans. Electron., Vol. E91-C, No. 9, pp. 1419-1426 (2008).
- [34] Hasitha Muthumala WAIDYASOORIYA, Masanori HARIYAMA, Michitaka KAMEYAMA, "Evaluation of Interconnect-Complexity-Aware Low-Power VLSI Design Using Multiple Supply and Threshold Voltages", IEICE Trans. Fundamentals, Vol. E91-A, No.12, pp. 3596-3606 (2008).
- [35] Nobuaki Okada, Michitaka Kameyama, "Fine-Grain Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuits and Its Evaluation", IEICE Trans. Electron., Vol. E91-C, No. 9, pp. 1437-1443 (2008).
- [36] Keishi Komoriyama, Makoto Yashiki, Eiichi Yoshida, Hiroshi Tanimoto; A VeryWideband Active RC Polyphase Filter with Minimum Element Value Spread Using Fully Balanced

OTA Based on CMOS Inverters, IEICE Trans. Electronics, Vol. E91-C, No. 6, pp. 879-886, Jun. 2008.

- [37] T. Takeuchi, Y. Otake, M. Ichien, A. Gion, H. Kawaguchi, C. Ohta, and M. Yoshimoto, "Cross-Layer Design for Low-Power Wireless Sensor Node Using Wave Clock," IEICE Transactions on Communications, Vol. E91-B, No. 11, pp. 3480-3488, Nov. 2008.
- [38] Y. Murachi, J. Miyakoshi, M. Hamamoto, T. Iinuma, T. Ishihara, F. Yin, J. Lee, H. Kawaguchi, and M. Yoshimoto, "A sub 100 mW H.264 MP@L4.1 Integer-pel Motion Estimation Processor Core for MBAFF Encoding with Reconfigurable Ring-connected Systolic Array and Segmentation-free, Rectangle-access Search-window Buffer," IEICE Trans. Electron., April 2008.
- [39] Y. Murachi, Y. Fukuyama, R. Yamamoto, J. Miyakoshi, H. Kawaguchi, H. Ishihara, M. Miyama, Y. Matsuda and M. Yoshimoto, "A VGA 30-fps Realtime Optical-Flow Processor Core for Moving Picture Recognition," IEICE Trans. Electron., April 2008.
- [40] H. Noguchi, Y. Iguchi, H. Fujiwara, S. Okumura, Y. Morita, K. Nii, H. Kawaguchi, and M. Yoshimoto, "A 10T Non-Precharge Two-Port SRAM Reducing Readout Power for Video Processing," IEICE Trans. Electron., Vol. E91-C, No. 4, pp. 543-552, April 2008.
- [41] H. Fujiwara, K. Nii, H. Noguchi, J. Miyakoshi, Y. Murachi, Y. Morita, H. Kawaguchi, and Masahiko Yoshimoto, "Novel Video Memory Reduces 45 % of Bitline Power using Majority Logic and Data-Bit Reordering," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 16, No. 6, pp. 620-627, June 2008.
- [42] J. Wang, T. Ido, T. Matsuoka, and K. Taniguchi, "A novel approach to implement summing function for feedforward $\Delta - \Sigma$ AD modulator," IEICE Electronics Express, Vol. 5, No. 12, pp. 457-463, Jun. 2008.
- [43] J. Wang, T.-Y. Lee, D.-G. Kim, T. Matsuoka, and K. Taniguchi, "Design of A 0.5V Op-Amp Based on CMOS Inverter Using Floating Voltage Sources," IEICE Trans. Electron, Vol. E91-C, No. 8, pp. 1375-1378, Aug. 2008.
- [44] Y. Mizugaki and R. Kashiwa, "Magnetic Shielding Effect of Grounded Superconducting Niobium Layers," Journal of Physics! Conference Series, Vol. 97, 012056-1-5 (2008).
- [45] K. Ohhata, Y. Shimizu, and K. Yamashita, "Feedthrough Reduction Technique for Track-and-Hold Circuit with Body-Bias Control Circuit," IEICE Electron. Express, Vol. 5, No. 13, pp. 478-482.
- [46] 李, 山下, 大島, "変調電流・バイアス電流同時制御方式を適用したGbit/s帯光配線用VCSEL駆動回路LSI", 電子情報通信学会論文誌Vol. J91-C, No. 8, pp. 428-435, 2008/8.
- [47] Farhad Mehdipour, Hamid Noori, Hiroaki Honda, Koji Inoue, and Kazuaki Murakami, "A gravity-directed temporal partitioning approach", IEICE Electronics Express, Vol. 5, No. 10, pp. 366-373, May 2008.
- [48] Hamid Noori, Farhad Mehdipour, Kazuaki Murakami, Koji Inoue, and Morteza Saheb Zamani, "An architecture framework for an adaptive extensible processor", The Journal of Supercomputing, Vol. 45, No. 3, pp. 313-340, Sep. 2008.
- [49] Hamid Noori, Farhad Mehdipour, Koji Inoue, and Kazuaki Murakami, "A Reconfigurable Functional Unit with Conditional Execution for Multi-Exit Custom Instructions", IEICE TRANSACTIONS on Electronics, Vol. 91-C, No. 4, pp. 497-508, Apr. 2008.
- [50] 小林伸彰, 榎本忠儀, 「探索点を削減したA2BCS動きベクトル検出アルゴリズムとこれを適用したDVFS制御動きベクトル検出プロセッサの開発」, 信学総合大会講演論文集, 電子情報通信学会D-11-5, 2008年3月17日.
- [51] 榎本忠儀, 岩成武司, 小林伸彰, 「書き込みマージンを拡大した90-nm CMOS SRAMの開発, 信学ソ大会講演論文集, 電子情報通信学会C-12-10, 2008年9月.
- [52] 小林伸彰, 石川雄悟, 榎本忠儀, 「DVFS制御向け動きベクトル検出アルゴリズムとこれを適用した動きベクトル検出プロセッサの開発」, 信学技報, IE2008-79, pp. 47-52, 2008年10月17日.
- [53] Tsuyoshi Sadakata and Yusuke Matsunaga, "A Behavioral Synthesis Method with Special Functional Units", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E91-A, No. 4, pp. 1084-1091, Apr. 2008.
- [54] M. Fukase, T. Sato, "Compact FPU Design

- and Embedding in a Ubiquitous Processor for Multimedia Performance Enhancement," ECTI Transaction on Electrical Engineering, Electronics and Communications, Vol. 6, No. 2, pp. 79-85, (2008).
- [55] Katsuki Kobayashi, Naofumi Takagi, "A Combined Circuit for Multiplication and Inversion in GF (2^m)", pp. 1144-1148, IEEE Trans. on Circuits and Systems II, Vol. 55, No. 11, 2008.
- [56] Y. Murachi, Y. Fukuyama, R. Yamamoto, J. Miyakoshi, H. Kawaguchi, H. Ishihara, M. Miyama, Y. Matsuda, and M. Yoshimoto A VGA 30-fps Real time Optical-Flow Processor Core for Moving Picture Recognition, IEICE TRANS. ELECTRON., Vol. E91-C No. 4, pp. 457-464, (2008. 4).
- [57] M. Miyama, Y. Inoie, T. Kasuga, R. Inada, M. Nakao, and Y. Matsuda, A 158 MS/s JPEG 2000 Codec with a Bit-plane and Pass Parallel Embedded Block Coder for Low Delay Image Transmission, IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences Vol. E91-A No. 8 pp. 2025-2034, (2008.8).
- [58] K. Ichikawa, Y. Takahashi, Y. Sakurai, T. Tsuda, I. Iwase, M. Nagata, "Measurement-Based Analysis of Electromagnetic Immunity in LSI Circuit Operation," IEICE Transactions on Electronics, Vol. E91-C, No. 6, pp. 936-944, June 2008.
- [59] T. Yoshikawa, T. Ogino, M. Nagata, "Current-Mode Transceiver with Nonfeedback Clock Recovery Capability for Mobile Applications," IEICE Transactions on Electronics, Vol. E91-C, No. 9, pp. 1453-1462, Sept. 2008.
- [60] C. Zang, S. Imai, S. Frank and S. Kimura, "Issue Mechanism for Embedded Simultaneous Multithreading Processor," IEICE Trans. Fundamentals, Vol. E91-A, No. 4, pp. 1092-1100, April 2008.
- [61] 佐藤 寿倫, 国武 勇次, "ばらつき耐性を持つカナリアFFを利用したデザインマージン削減による省電力化", 情報処理学会論文誌, Vol. 49, No. 6, pp. 2029-2042, Jun. 2008.
- [62] 渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, "タイミング歩留まり改善を目的とする演算カスケードニング", 情報処理学会論文誌 コンピューティングシステム (ACS), Vol. 1, No. 2, pp. 12-21, Aug. 2008.
- [63] Maziar Goudarzi, Tadayuki Matsumura, and Tohru Ishihara, "Way-Scaling to Reduce Power of Cache with Delay Variation", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E91-A, No. 12, pp. 3576-3584, Dec. 2008.
- [64] Yuriko Ishitobi, Tohru Ishihara, and Hiroto Yasuura, "Code and Data Placement for Embedded Processors with Scratchpad and Cache Memories", Journal of Signal Processing Systems, Nov. 2008.
- [65] A. Nakamura, M. Kawaharazaki, M. Yoshikawa, T. Fujino, "Regular Fabric of Via Programmable Logic Device using EXclusive-or Array (VPEX) for EB Direct Writing", pp. 509-516, IEICE TRANS. on Electronics Vol. E91-C, No. 4 (2008).
- [66] Ogawa T., Hirose T., Asai T., and Amemiya Y., "Threshold logic systems consisting of sub-threshold CMOS circuits," IEICE Transactions on Fundamentals of Electronics and Computer, Vol. E92-A, No. 2, pp. 436-442 (2009).
- [67] Hirose T., Hagiwara A., Asai T., and Amemiya Y., "A highly sensitive thermosensing CMOS circuit based on self-biasing circuit technique," IEEJ Transactions on Electrical and Electronic Engineering, Vol. 4, No. 2, pp. 278-286 (2009).
- [68] Utagawa A., Asai T., Hirose T., and Amemiya Y., "Noise-induced synchronization among sub-RF CMOS analog oscillators for skew-free clock distribution," IEICE Transactions on Fundamentals of Electronics, Communications and Computer, Vol. E91-A, No. 9, pp. 2475-2481 (2008).
- [69] Hirose T., Asai T., and Amemiya Y., "Temperature-compensated CMOS current reference circuit for ultralow-power subthreshold LSIs," IEICE Electronics Express, Vol. 5, No. 6, pp. 204-210 (2008).
- [70] Yamada K., Asai T., Hirose T., and Amemiya Y., "On digital LSI circuits exploiting collision-based fusion gates," International Journal of Unconventional Computing, Vol. 4, No. 1, pp. 45-59 (2008).
- [71] S. Kubota, M. Watanabe, "Programmable Optically Reconfigurable Gate Array Architecture and its writer," Applied Optics, Vol. 48, Iss.2, pp. 30208, 2009.
- [72] M. Watanabe, M. Nakajima, S. Kato, "An inversion/non-inversion dynamic optically reconfigurable gate array VLSI," World Scientific and

Engineering Academy and Society Transactions on Circuits and Systems, Issue 1, Vol. 8, pp. 11-20, Jan., 2009.

- [73] N. Yamaguchi, M. Watanabe, "Liquid crystal holographic configurations for ORGAs," *Applied Optics*, Vol. 47, No. 28, pp. 4692-4700, Oct., 2008.
- [74] M. Watanabe, T. Shiki, F. Kobayashi, "Scaling prospect of optically differential reconfigurable gate array VLSIs," *Analog Integrated Circuits and Signal Processing*, Sep. , 2008.
- [75] D. Seto, M. Watanabe, "A dynamic optically reconfigurable gate array - perfect emulation," *IEEE Journal of Quantum Electronics*, Vol. 44, Issue 5, pp. 493-500, May, 2008.
- [76] Hideki Tamura, David C. Ng, Takashi Tokuda, Honda Naoki, Takuma Nakagawa, Taro Mizuno, Yumiko Hatanaka, Yasuyuki Ishikawa, Jun Ohta, Sadao Shiosaka, "One-chip sensing device (biomedical photonic LSI) enabled to assess hippocampal steep and gradual up-regulated proteolytic activities", *Journal of Neuroscience Methods*, 173, pp. 114-120 (2008).
- [77] T. Tokuda, R. Asano, S. Sugitani, M. Taniyama, Y. Terasawa, M. Nunoshita, K. Nakauchi, T. Fujikado, Y. Tano, J. Ohta, "Retinal stimulation on rabbit using CMOS-based multi-chip flexible stimulator toward retinal prosthesis", *Jpn. J. Appl. Phys*, 47 (2008) (accepted).
- [78] J. Ota, W. Narita, I. Ohta, T. Matsushita, and T. Kondo! "Fabrication of Periodically-Inverted AlGaAs Waveguides for Quasi-Phase-Matched Wavelength Conversion at 1.55um," *Jpn. J. Appl. Phys.*, 48 (4) (2009).
- [79] T. Matsushita, I. Ohta, and T. Kondo! "Quasi-Phase-Matched Parametric Fluorescence in a Periodically Inverted GaP Waveguide," *Appl. Phys. Express*, in press.
- [80] Shiho Hagiwara, Takumi Uezono, Takashi Sato, and Kazuya Masu, "Application of Correlation-based Regression Analysis for Improvement of Power Distribution Network", *IEICE Transactions of fundamentals on Electronics, Communications and Computer Sciences*, Vol. E91-A, No. 4, pp. 951-956, April, 2008.
- [81] Masanori Imai, Takashi Sato, Noriaki Nakayama, and Kazuya Masu, "An evaluation method of the number of Monte Carlo STA trials for statistical path delay analysis", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E91-A, No. 4, pp. 957-964, April, 2008.
- [82] Hiroyuki Ito, Makoto Kimura, Kazuya Miyashita, Takahiro Ishii, Kenichi Okada, Kazuya Masu, "A Bidirectional- and Multi-Drop-Transmission-Line Interconnect for Multipoint-to-Multipoint On-Chip Communications," *IEEE Journal of Solid-State Circuits*, Vol. 43, No. 4, pp. 1020-1029, April 2008.
- [83] N.Kamegai, S.Kishimoto, K.Maezawa, T.Mizutani, H.Andoh, K.Akamatsu, and H.Nakata, "Ultrashort Pulse Generators Using Resonant Tunneling Diodes and Their Integration with Antennas on Ceramic Substrates", *Japanese Journal of Applied Physics*, Vol. 47, No. 4, pp. 2833-2837 (2008).
- [84] K.Maezawa, I.Soga, S.Kishimoto, T.Mizutani and K.Akamatsu, "A GaAs SOI HEMT Fabricated by Fluidic Self-Assembly and Its Application to an RF-Switch", *IEICE Trans. Electronics*, Vol. E91-C pp. 1025-1030 (2008).
- [85] 鈴木, 藤田, 前中, "輸送環境モニタリングシステムとそのセンシング要素に関する研究", 2008年度修士論文.
- [86] H.Yamauchi, "A 0.6 V Dual-Rail Compiler SRAM Design on 45 nm CMOS Technology With Adaptive SRAM Power for Lower VDD_min VLSIs", *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 4, April, 2009.
- [87] A. Ohchi, S. Kohara N. Togawa, M. Yanagisawa, and T. Ohtsuki, "Floorplan-Driven High-Level Synthesis for Distributed/Shared-Register Architectures," *IPSJ Tras. on SLDM*, Vol. 1, pp. 78-90, 2008.
- [88] Shingo Yoshizawa, Yoshikazu Miyanaga, "Use of a Variable Wordlength Technique in an OFDM Receiver to Reduce Energy Dissipation," *IEEE Transactions on Circuit and Systems-I/Regular Paper*, Vol. 55, No. 9, pp. 2848-2859, Oct. 2008.
- [89] Shingo Yoshizawa, Yasushi Yamauchi, Yoshikazu Miyanaga, "VLSI Implementation of a Complete Pipeline MMSE Detector for a 4x4 MIMO-OFDM Receiver," *IEICE Transactions on Fundamentals*, Vol. E91-A, No. 7, pp. 1757-1762, July 2008.
- [90] Masatomo Miura and Takahiro Hanyu, "Highly Reliable Multiple-Valued Current-Mode Comparator Based on Active-Load Dual-Rail Operation," *IEICE Trans. Electron.*, Vol. E91-C, No. 4, pp. 589-594, April 2008.

- [91] Kazuyasu Mizusawa, Naoya Onizawa, and Takahiro Hanyu, "Power-Aware Asynchronous Peer-to-Peer Duplex Communication System Based on Multiple-Valued One-Phase Signaling," *IEICE Trans. Electron.*, Vol. E91-C, No. 4, pp. 581-588, April 2008.
- [92] Shoun Matsunaga, Jun Hayakawa, Shoji Ikeda, Katsuya Miura, Haruhiro Hasegawa, Tetsuo Endoh, Hideo Ohno, and Takahiro Hanyu, "Fabrication of a Nonvolatile Full Adder Based on Logic-in-Memory Architecture Using Magnetic Tunnel Junctions," *Applied Physics Express (APEX)*, pp. 091301-1 ~ 091301-3, Aug. 22, 2008.
- [93] Shoun Matsunaga, Kimiyuki Hiyama, Atsushi Matsumoto, Shoji Ikeda, Haruhiro Hasegawa, Katsuya Miura, Jun Hayakawa, Tetsuo Endoh, Hideo Ohno, and Takahiro Hanyu, "Standby-Power-Free Compact Ternary Content-Addressable Memory Cell Chip Using Magnetic Tunnel Junction Devices," *Applied Physics Express (APEX)*, Vol. 2, No. 2, pp. 023004-1 ~ 023004-3, 2009.
- [94] 香川景一郎, 能勢悠吾, 安達雄大, 谷 邦之, 和田 淳, 谷田 純, 布下正宏, 太田 淳, "アクティブ・パッシブ方式画素読出しの併用によるCMOSイメージセンサのダイナミックレンジ拡大手法の提案と原理実証," *映像情報メディア学会誌*, April 2009.
- [95] 吉川, "単一磁束量子回路を用いた超高速マイクロプロセッサの開発とその展望," *電子情報通信学会論文誌C*, Vol. J91-C, 2008, pp. 183-193.
- [96] K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto, "Direct measurements of propagation delay of single-flux-quantum circuits by time-to-digital converters," *IEICE Electronics Express*, Vol. 5 (2008), No. 9, pp. 332-337.
- [97] H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, N. Takagi, "Novel serial-parallel converter using SFQ logic circuits" *Physica C*, Vol. 468, September 2008, pp. 1977-1982.
- [98] T. Kumaki, M. Ishizaki, T. Koide, H. J. Mattausch, Y. Kuroda and T. Gyohden, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Integration architecture of content addressable memory and massive-parallel memory-embedded SIMD matrix for versatile multimedia processor," *IEICE Transactions on Electronics*, Vol. E91-C, No. 9, pp. 1409-1418, (2008.9).
- [99] Yosuke Takahashi, Yukihide Kohira, Atsushi Takahashi. A Fast Clock Scheduling for Peak Power Reduction in LSI. *IEICE Trans. Fundamentals*, Vol. E91-A, No. 12, pp. 3803-3811, 2008.
- [100] 山崎, 小原, 戸川, 柳澤, 大附, "SIMD型プロセッサコアの面積/遅延見積り", pp. 3462-3481, *情報処理学会論文誌* (2008).
- [101] D. Levacq, M. Takamiya, and T. Sakurai, "Backgate Bias Accelerator for sub-100 ns Sleep-to-Active Modes Transition Time," *IEEE Journal of Solid-State Circuits*, Vol. 43, No. 11, pp. 2390-2395, Nov. 2008.
- [102] Motoki Amagasaki, Ryoichi Yamaguchi, Masahiro Koga, Masahiro Iida and Toshinori Sueyoshi, "An Embedded Reconfigurable IP-Core with Variable Grain Logic Cell Architecture," *International Journal of Reconfigurable Computing*, Vol. 2008, Article ID 180216, 14 pages, doi:10.1155/2008/180216, Sep. 2008.
- [103] Y. Yoshida, N. Miura, and T. Kuroda, "A 2 Gb/s Bi-Directional Inter-Chip Data Transceiver With Differential Inductors for High Density Inductive Channel Array," *IEEE Journal of Solid-State Circuit (JSSC)*, Vol. 43, No. 11, pp. 2363-2369, Nov. 2008.
- [104] Yusuke Niki, Yasuo Manzawa, Satoshi Kametani, and Tadashi Shibata, "Moving-Object-Localization Hardware Algorithm Employing OR-Amplification of Pixel Activities," *Japanese Journal of Applied Physics*. Vol. 47, No. 4, pp. 2767-2773, 2008.
- [105] Liem T. Nguyen, Kiyoto Ito, and Tadashi Shibata, "Compact and Power-Efficient Implementation of Rank-Order Filters Using Time-Domain Digital Computation Technique," *Japanese Journal of Applied Physics*. Vol. 47, No. 4, pp. 2807-2811, 2008.
- [106] Trong Tu Bui and Tadashi Shibata, "Compact Bell-Shaped Analog Matching-Cell Module for Digital-Memory-Based Associative Processors," *Japanese Journal of Applied Physics*. Vol. 47, No. 4, pp. 2788-2796, 2008.
- [107] Kenichiro Hirose, Yoshio Mita, Yoshiaki Imai, Frederic Marty, Tarik Bourouina, Kunihiro Asada, Shuichi Sakai, Tadashi Kawazoe and Motoichi Ohtsu, "Polarization transmissive photovoltaic film device consisting of Si photodiode wire-grid", *J.*

Opt. A! Pure Appl. Opt. 10 044014 (2008.04).

- [108] Ryoichi Ohigashi, Katsunori Tsuchiya, Yoshio Mita, and Hiroyuki Fujita, "Electric Ejection of Viscous Inks From MEMS Capillary Array Head for Direct Drawing of Fine Patterns", *Journal of Microelectromechanical Systems*, Vol. 17, No. 2, pp. 272-277 (2008.04).
- [109] Yifan Li, Yoshio Mita, Leslie I. Haworth, William Parkes, Masanori Kubota, Anthony J. Walton, "Test Structure for Characterizing Low Voltage Coplanar EWOD System", *IEEE Transactions on Semiconductor Manufacturing*, *IEEE Transactions*, Vol. 22, No. 1, pp. 88-95 (2009.02).
- [110] Hongbo Zhu and Tadashi Shibata, "A Digital-Pixel-Sensor-Based Global Feature Extraction VLSI for Real-Time Object Recognition," *Japanese Journal of Applied Physics*. (Accepted for publication).
- [111] T. Kikkawa, P. K. Saha, N. Sasaki, and K. Kimoto, "Gaussian Monocycle Pulse Transmitter Using 0.18 μm CMOS Technology With On-Chip Integrated Antennas for Inter-Chip UWB Communication", *IEEE Journal of Solid-State Circuits*, Vol. 43, No. 5 (2008) pp. 1303-1312.
- [112] N. Sasaki, K. Kimoto, W. Moriyama and T. Kikkawa, "A Single-Chip Ultra-Wideband Receiver With Silicon Integrated Antennas for Inter-Chip Wireless Interconnection", *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 2 (2009), pp. 382-393.
- [113] Youhua Shi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, A Unified Test Compression Technique for Scan Stimulus and Unknown Masking Data with No Test Loss, *IEICE Trans. on Fundamentals of Electronics Communications and Computer Science*, Vol. E91-A, No. 12, pp. 3514-3523, Dec. 2008.
- [114] JIANG Minglu, HUANG Zhangcai, KUROKAWA Atsushi, LI Na, INOUE Yasuaki, "An advanced effective capacitance model for calculating gate delay considering input waveform effect," *Chinese Journal of Electronics (SCI)*, Vol. 17, No. 4, pp. 633-639, Oct. 2008.
- [115] K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "An Efficiency and Speed Controllability," *IEICE Trans. on Electronics*, Vol. E92-C, No. 2, pp. 281-285, February 2009.
- [116] S. Abe, M. Hashimoto and T. Onoye, "Clock Skew Evaluation Considering Manufacturing Variability in Mesh-Style Clock Distribution," *IEICE Trans. Fundamentals*, Vol. E91-A, No. 12, pp. 3481-3487, Dec. 2008.
- [117] M. Hashimoto, J. Siriporn, A. Tsuchiya, H. Zhu, and C.-K. Cheng, "Analytical Eye-Diagram Model for On-Chip Distortionless Transmission Lines and Its Application to Design Space Exploration," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E91-A, No. 12, pp. 3474-3480, December 2008.
- [118] Y. Mitsuyama, K. Takahashi, R. Imai, M. Hashimoto, T. Onoye, and I. Shirakawa, "Area-Efficient Reconfigurable Architecture for Media Processing," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E91-A, No. 12, pp. 3651-3662, December 2008.
- [119] 達可敏充, "ダイナミックスペクトルアクセスを用いたコグニティブ無線ネットワークにおけるノード位置推定手法の一検討", pp. 523-528, 2009.
- [120] 鈴木寛人, 和田和千, 田所嘉昭, "広範囲に分布するデジタル回路で発生する基板雑音の打ち消し回路," *信学論 (A)*, Vol. J92-A, No. 4, 2009年4月(掲載決定).
- [121] Sejoon Lee and Toshiro Hiramoto, "Strong dependence of tunneling transport properties on overdriving voltage for room-temperature-operating single electron/hole transistors formed with ultra narrow [100] silicon nanowire channel", *Applied Physics Letters*, Vol. 93, No. 4, 043508, July, 2008.
- [122] Jiezhi Chen, Takura Saraya, Kousuke Miyaji, Ken Shimizu, and Toshiro Hiramoto, "Electron Mobility in Silicon Gate-All-Around [100]- and [110]-Directed Nanowire Metal-Oxide-Semiconductor Field-Effect Transistor on (100)-Oriented Silicon-on-Insulator Substrate Extracted by Improved Split Capacitance-Voltage Method", *Japanese Journal of Applied Physics*, Vol. 48, No. 1, 011205, January, 2009.
- [123] Arifin Tamsir Putra, Akio Nishida, Shiro Kamohara, and Toshiro Hiramoto, "Random Threshold Voltage Variability Induced by Gate-Edge Fluctuations in Nanoscale Metal-Oxide-Semiconductor Field-Effect Transistors", *Applied Physics Express*, Vol. 2, No. 2, 024501, January, 2009.
- [124] Koji Kotani and Takashi Ito, "Self-V_{th}-Cancellation

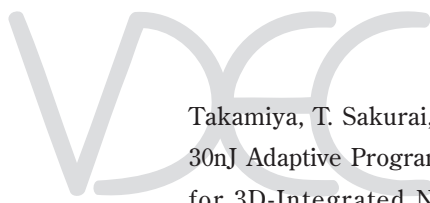
- High-Efficiency CMOS Rectifier Circuit for UHF RFIDs," *IEICE Transactions on Electronics*, Vol. E92-C, No. 1, pp. 153-160, Jan. 2009.
- [125] Miwa, J., Suzuki, Y., and Kasagi, N., "Adhesion-based Cell Sorter with Amino-functionalized Parylene Surface," *J. Microelectromech. Syst.*, Vol. 17, No. 3, (2008), pp. 611-622.
- [126] Sakane Y., Suzuki, Y., and Kasagi, N., "Development of High-performance Perfluorinated Polymer Electret and Its Application to Micro Power Generation," *J. Micromech. Microeng.*, Vol. 18, No. 10, (2008), 104011, 6pp.
- [127] Kasagi, N., Suzuki, Y., and Fukagata, K., "MEMS-Based Feedback Control of Turbulence for Skin Friction Reduction," *Annu. Rev. Fluid Mech.*, Vol. 41, (2009), pp. 231-251.
- [128] Kamijo, T., Suzuki, Y., Kasagi, N., and Okamasa, T., "High-temperature Micro Catalytic Combustor with Pd/Nano-porous Alumina," *Proc. Comb. Inst.*, Vol. 32, Issue 2, (2009), pp. 3019-3026.
- [129] Fan, Y., Suzuki, Y., and Kasagi, "Experimental Study of Micro-scale Premixed Flame in Quartz Channels," *Proc. Comb. Inst.*, Vol. 32, Issue 2, (2009), pp. 3083-3090.
- [130] 星野隆行, 森島圭祐, "メカノバイオニックツールの構築 —骨格筋細胞による人工微小骨格の駆動実験—", *日本ロボット学会論文誌*, Vol. 26, No. 6, pp. 651-657 (2008).
- [131] Koji Takeda, Yasuki Kanema, Mitsuru Takenaka, Takuo Tanemura, and Yoshiaki Nakano, "Polarization-Insensitive All-Optical Flip-Flop Using Tensile-Strained Multiple Quantum Wells", *IEEE Photonics Technology Letters*, pp. 1851-1853, Vol. 20, No. 22, November (2008).
- [132] 武田浩司, 竹中充, 種村拓夫, 中野義昭, 「分布ブラッグ反射鏡を用いた全光フリップ・フロップの波長可変特性」, *電子情報通信学会 信学技報*, Vol. 108, No. 183, pp. 61-64 (フォトニックネットワーク研究会 PN2008-24)2008年8月.
- [133] M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si", *Journal of Crystal Growth*, Volume 310, Issue 23, pp. 4768-4771, November 2008.
- [134] M. Deura, T. Hoshii, T. Yamamoto, Y. Ikuhara, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Dislocation-Free InGaAs on Si (111) Using Micro-Channel Selective-Area Metalorganic Vapor Phase Epitaxy", *Applied Physics Express*, Volume 2, No. 1, 011101-1-011101-3, January 2009.
- [135] T. Tanemura, M. Takenaka, A. Al Amin, K. Takeda, T. Shioda, M. Sugiyama, and Y. Nakano, "InP/InGaAsP integrated 1x5 optical switch using arrayed phase shifters," pp. 1063-1065, *IEEE Photon. Technol. Lett.* (2008).
- [136] Jean-Jacques Delaunay, Ippei Nagatomo, Ryohei Uchino, Yanbo Li, Masaki Shuzo, Ichiro Yamada, "Enhancement of gas response of ZnO micro-nano structured layers through plasma treatment", *Advanced Materials Research*, vol.47-50, pp. 634-637, 2008.
- [137] Ezoe, Y, Koshiishi, M, Mita, M, Maeda, Y, Mitsuda, K, Osawa, T, Suzuki, M, Hoshino, A, Ishisaki, Y, Takano, T, Maeda, R, "Micromachined X-ray collector for space astronomy", *SENSORS AND ACTUATORS A-PHYSICAL*, 145, 201-206, (2008).
- [138] H. Yoshitake, Y. Ezoe, T. Yoshino, K. Mukai, K. Ishikawa, K. Mitsuda, N. Y. Yamasaki, Y. Ishisaki, H. Akamatsu, R. Maeda, T. Takano, "Optimization of Structure of Large Format TES array", *IEEE Transactions on Applied Superconductivity* (2009) in press.
- [139] Yoshino, T, Mukai, K, Ezoe, Y, Yamasaki, NY, Mitsuda, K, Kurabayashi, H, Ishisaki, Y, Takano, T, Maeda, R, "The noise and energy resolution of the Ti/Au bilayer X-ray TES calorimeter with an Au absorber", *JOURNAL OF LOW TEMPERATURE PHYSICS*, 151, 185-189, (2008).
- [140] H. Suzuki, K. Nagato, S. Sugimoto, K. Tsuchiya, T. Hamaguchi, M. Nakao, "Iterative imprint for multilayered nanostructures by feeding, vacuum forming and bonding of sheets", *J. Vac. Sci. Technol. B* 26 (2008) 1753.
- [141] M. Yokoyama, S. Ohya, and M. Tanaka, "Strong In-plane Uniaxial Magnetic Anisotropy of [(InyGa1-y) 1-xMnx]As Characterized by Planar Hall Effect", *Jpn. J. Appl. Phys.* 48, 023001/1-4 (2009).
- [142] Pham Nam Hai, Shinobu Ohya, Masaaki Tanaka, Stewart E. Barnes, Sadamichi Maekawa, "Electromotive force and huge magnetoresistance in magnetic tunnel junctions" *Nature* 458, pp. 489-492 (2009).

- [143] S. Yada, M. Tanaka, and S. Sugahara "Magneto-optical and magneto-transport properties of amorphous ferromagnetic semiconductor Ge_{1-x}Mnx thin films" Appl. Phys. Lett. 93, 193108/1-3 (2008).
- [144] Y. Shuto, M. Tanaka, and S. Sugahara "Epitaxial growth of ferromagnetic semiconductor Ge_{1-x}Fex thin films on Si (001) substrates" Jpn. J. Appl. Phys. 47, pp. 7108-7112 (2008).
- [145] Nguyen Binh-Khiem, Kiyoshi Matsumoto, Isao Shimoyama, "Polymer Thin Film Deposited on Liquid for Varifocal Encapsulated Liquid Lenses," vol.93, no.12, art. no.124101, Applied Physics Letters (2008).
- [146] 南川, 佐藤, 森, Damayanthi, 高橋, 大野, "Simulation of Transient Response of Ir-TES for Position-Sensitive TES with Waveform Domain Multiplexing", Journal of Low Temperature Physics 151, pp. 155-160 (2008).
- [147] Damayanthi, 福田, 高橋, 大久保, 大野, "Design of an optical absorption cavity for titanium transition edge sensor", Journal of Low Temperature Physics 151, pp. 46-50 (2008).
- [148] Peng Huei Lim, Yosuke Kobayashi, Shinya Takita, Yasuhiko Ishikawa, and Kazumi Wada, "Enhanced photoluminescence from germanium-based ring resonators", Appl. Phys. Lett. 93, 041103, 2008.
- [149] Kotera, Abe, Egawa, Takizawa, Kobayashi, "Power-Aware Dynamic Cache Partitioning for CMPs," Trans. on Embedded Architectures and Compilers, Vol. 3, pp149-167, (2008).
- [150] A. Chekhovskiy, Y. Ohira, and H. Toshiyoshi, "Laser Breakdown 3D Display," IEICE Trans. Electron., vol.E91, No. C (10), 2008, pp. 1616-1620.
- [151] 谷 雅直, 赤松雅洋, 安田喜昭, 藤田博之, 年吉洋, 「圧電MEMS光スキャナによる画像ディスプレイ」 レーザー研究, 第36巻4号, pp. 183-189, 2008.
- [152] B Charlot, W Sun, K Yamashita, H Fujita and H Toshiyoshi, "Bistable nanowire for micromechanical memory," J. Micromech. Microeng. 18 045005 (7pp), 2008.
- [153] A.Chekhovskiy and H.Toshiyoshi, "A use of laser burst for volumetric imaging inside of transparent liquid," Japanese Journal of Applied Physics, vol.47, no.8 2008, pp. 6790-6793.
- [154] Cheng-Yao Lo, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Toward realization of transmissive display by MEMS etalon", IEICE ELEX, Vol. 5, No. 9, pp. 326-331 (2008).
- [155] Makoto Mita and Hiroshi Toshiyoshi, "An Equivalent-circuit Model for MEMS Electrostatic Actuator using Open-source Software Quacs," IEICE Electronics Express, vol.6, no.5, 2009, pp. 256-263.
- [156] アレクサンダー・チェコフスキー, 大平康隆, 大塚由紀子, 平川一彦, 年吉 洋, 「液中でのレーザー励起プラズマによる3次元カラー画像表示器」 生産研究 vol.60, no.3, 2008, pp. 123-126.
- [157] B Charlot, W Sun, K Yamashita, H Fujita and H Toshiyoshi, "Bistable nanowire for micromechanical memory", Journal of Micromechanics and Microengineering, Vol. 18, No. 4, 045005 (7pp) (2008).
- [158] Ryoichi Ohigashi, Katsunori Tsuchiya, Yoshio Mita, and Hiroyuki Fujita, "Electric Ejection of Viscous Inks From MEMS Capillary Array Head for Direct Drawing of Fine Patterns", Journal of Microelectromechanical Systems, Vol. 17, No. 2, pp. 272-277 (2008).
- [159] 谷雅直, 赤松雅洋, 安田喜昭, 藤田博之, 年吉洋, "圧電MEMS光スキャナによる画像ディスプレイ", レーザー学会誌レーザー研究, Vol. 36, No. 4, pp. 183-189 (2008).
- [160] Hirofumi Miura, Junji Sone, Dominique Collard, Christophe Yamahata, Hiroyuki Fujita, "FEM Analysis of Mechanical Characteristics of Nano Tweezers with MemsOne (TM)", 電気学会論文誌, Eセンサ・マイクロマシン部門誌, Vol. 128, No. 5, pp. 252-256 (2008).
- [161] V.Senez, E.Lennon, S. Ostrovidov, T. Yamamoto, H.Fujita, Y. Sakai, and T. Fujii, "Integrated 3-D Silicon Electrodes for Electrochemical Sensing in Microfluidic Environments! Application to Single-Cell Characterization", IEE Sensors Journal, Vol. 8, Nos.5&6, pp. 548-557 (2008).
- [162] Cheng-Yao Lo, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Toward realization of transmissive display by MEMS etalon", IEICE ELEX, Vol. 5, No. 9, pp. 326-331 (2008).
- [163] Christophe Yamahata, Dominique Collard, Bernard Legrand, Tetsuya Takekawa, Momoko Kumemura, Gen Hashiguchi, and Hiroyuki Fujita, "Silicon Nanotweezers With Subnanometer Resolution for the Micromanipulation of

- Biomolecules", *Journal of Microelectromechanical Systems*, Vol. 17, No. 3, pp. 623-631 (2008).
- [164] E. Sarajlic, C. Yamahata, M. Cordero, D. Collard, and H. Fujita, "HAREM: High Aspect Ratio Etching and Metallization for microsystems fabrication", *Journal of Micromechanics and Microengineering*, Vol. 18, No. 7, 075008 (8pp.) (2008).
- [165] Hideyuki F. Arata, Frederic Gillot, Takahiko Nojima, Teruo Fujii and Hiroyuki Fujita, "Millisecond denaturation dynamics of fluorescent proteins revealed by femtoliter container on microthermodevice", *Lab on a Chip*, Vol. 8, Issue 9, pp. 1436440 (2008).
- [166] R. Yokokawa, J. Miwa, M. C. Tarhan, H. Fujita, and M. Kasahara, "DNA molecule manipulation by motor proteins for its evaluation in single molecule level", *Anal. Bioanal. Chem.*, Vol. 391, No. 8, pp. 2735-2743 (2008).
- [167] Liza Lam, Shouichi Sakakihara, Koji Ishizuka, Shoji Takeuchi, Hideyuki F. Arata, Hiroyuki Fujita and Hiroyuki Noji, "Loop-mediated isothermal amplification of a single DNA molecule in polyacrylamide gel-based microchamber", *Biomedical Microdevices*, Vol. 10, No. 4, pp. 539-546 (2008).
- [168] Hideyuki F. Arata, Momoko Kumemura, Naoyoshi Sakaki and Hiroyuki Fujita, "Towards single biomolecule handling and characterization by MEMS", *Analytical and Bioanalytical Chemistry*, Vol. 391, No. 7, pp. 2385-2393 (2008).
- [169] Dominique Collard, Shoji Takeuchi and Hiroyuki Fujita, "MEMS technology for nanobio research", *Drug Discovery Today*, Vol. 13, Issues 21-22, pp. 989-996 (2008).
- [170] Ersin Altintas, Karl F. Bohringer, and Hiroyuki Fujita, "Micromachined Linear Brownian Motor! Transportation of Nanobeads by Brownian Motion Using Three-Phase Dielectrophoretic Ratchet", *Japanese Journal of Applied Physics*, Vol. 47, No. 11, pp. 8673-8677 (2008).
- [171] Y.-A. Chapuisa, L. Zhoua, H. Fujita and Y. Hervea, "MULTI-DOMAIN SIMULATION USING VHDL-AMS FOR DISTRIBUTED MEMS IN FUNCTIONAL ENVIRONMENT: CASE OF A 2-D AIR-JET MICROMANIPULATOR", *Sensors & Actuators A Physical*, Vol. 148, Issue 1, pp. 224-238 (2008).
- [172] Ataka, M.; Legrand, B.; Buchaillet, L.; Collard, D.; Fujita, H., "Design, Fabrication, and Operation of Two-Dimensional Conveyance System With Ciliary Actuator Arrays", *IEEE/ASME Transactions on Mechatronics*, Vol. 14, Issue 1, pp. 119-125 (2009).
- [173] Tadashi Ishida, Yuuki Nakajima, Junji Endo, Dominique Collard and Hiroyuki Fujita, "Real-time transmission electron microscope observation of gold nanoclusters diffusing into silicon at room temperature", *Nanotechnology*, Vol. 20, No. 6, pp. 65705.1-6 (2009).
- [174] Tetsuhiko Iizuka, Naomichi Sakai and Hiroyuki Fujita, "Position Feedback Control using Magneto Impedance Sensors on Conveyor with Superconducting Magnetic Levitation", *Sensors and Actuators A Physical*, Vol. 150, Issue 1, pp. 110-115 (2009).

2. 国際会議

- [1] M. Takamiya, K. Onizuka, and T. Sakurai, "3D-Structured On-Chip Buck Converter for Distributed Power Supply System in SiPs," *IEEE International Conference on IC Design and Technology (ICICDT)*, Grenoble, France, pp. 33-36, June 2008.
- [2] L. Liu, Y. Miyamoto, Z. Zhou, K. Sakaida, J. Ryu, K. Ishida, M. Takamiya, and T. Sakurai, "A 100Mbps, 0.41mW, DC-960MHz Band Impulse UWB Transceiver in 90 nm CMOS," *IEEE Symposium on VLSI Circuits*, Honolulu, Hawaii, USA, pp. 118-119, June 2008.
- [3] T. Niiyama, P. Zhe, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai, "Increasing Minimum Operating Voltage (VDDmin) with Number of CMOS Logic Gates and Experimental Verification with up to 1Mega-Stage Ring Oscillators," *International Symposium on Low Power Electronics and Design (ISLPED)*, Bangalore, India, pp. 117-122, Aug. 2008.
- [4] T. Niiyama, K. Ishida, M. Takamiya, and T. Sakurai, "Expected Vectorless Teacher-Student Swap (TSS) Test Method with Dual Power Supply Voltages for 0.3V Homogeneous Multi-core LSI's," *IEEE Custom Integrated Circuits Conference (CICC)*, San Jose, USA, pp. 137-140, Sep. 2008.
- [5] K. Ishida, T. Yasufuku, S. Miyamoto, H. Nakai, M.



Takamiya, T. Sakurai, and K. Takeuchi, "A 1.8V 30nJ Adaptive Program-Voltage (20V) Generator for 3D-Integrated NAND Flash SSD," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 238-239, Feb. 2009.

- [6] K. Ishida, N. Masunaga, Z. Zhou, T. Yasufuku, T. Sekitani, U. Zschieschang, H. Klauk, M. Takamiya, T. Someya, and T. Sakurai, "A Stretchable EMI Measurement Sheet with 8×8 Coil Array, 2V Organic CMOS Decoder, and -70dBm EMI Detection Circuits in 0.18 μ m CMOS," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 472-473, Feb. 2009.
- [7] Chihiro Kawabata, Yasuhiro Sugimoto, "A Current-mode DC-DC Converter using a Quadratic Slope Compensation Scheme", pp. 113-114, ASP-DAC(2008).
- [8] Tatsuya Ogino, Yasuhiro Sugimoto, "The Influence of Dummy Fills on an On-chip Spiral Inductor and their Optimized Placement Scheme", J5-06, APMC 2008.
- [9] M. Ikeda, "Smart Image Sensors," University of Tokyo & INRIA & Ecole des Mines Paris & INRETS Joint Symposium on Electronics for Secure Life, Jul. 2008.
- [10] K. Asada, "Introduction to VDEC activities for design and Manufacturing in microelectronics," University of Tokyo & UC Santa Barbara Joint Workshop, Sept. 2008.
- [11] M. Ikeda, "Delay Variation Measurements on DCVSL Using Logic Tester," University of Tokyo & UC Santa Barbara Joint Workshop, Sept. 2008.
- [12] J. Kim, K. Ikai, T. Nakura, M. Ikeda, K. Asada, "Variation Tolerant Transceiver Design for System-on-Glass," in IEEE 34th European Solid-State Circuits Conference (ESSCIRC) Fringe, Sep. 2008.
- [13] M. Ikeda, "Self-synchronous architecture for margin aware operations against PVT variations," Shanghai Jiao Tong University & University of Tokyo Joint Symposium on Electronics, Information Technology, and Electrical Engineering, D-2, Oct. 2008.
- [14] S. Mandai, T. Monma, T. Nakura, M. Ikeda, and K. Asada, "Multi Functional Range Finder Employing a Dual Imager Core on a Single Chip",

International SoC Design Conf. (ISOCC) 2008, pp. 89-92.

- [15] K. Ikai, J. Kim, M. Ikeda, and K. Asada, "Digital Integrated Circuit Design for System-on-Glass," Proceedings of International SoC Design Conference, pp. 172-175, Nov. 2008.
- [16] Y.K. Kim, M. Ikeda, and K. Asada, "Analysis on light attenuation through Multi-Metal-Layers for CMOS image sensors on System LSIs," International SoC Design Conference, No. 94, Nov. 2008.
- [17] K. Asada, "Nanotech-Net Project as an Academic-Industry Collaboration Platform," the 8th Taiwan-Japan Microelectronics Symposium 2008, 1-2, Dec. 2008.
- [18] M. Ikeda, "Self-Synchronous Architecture for Power Optimal Operations against PVT Variations," the 8th Taiwan-Japan Microelectronics Symposium 2008, 4-6, Dec. 2008.
- [19] K. Ikai, J. Kim, M. Ikeda, and K. Asada, "Circuit Design using Stripe-Shaped TFTs on Glass" Proceedings of IEEE Asia and South Pacific Design Automation Conference, pp. 105-106, Jan. 2009.
- [20] Kazunori SUZUKI, Takashi NAKADA, Masaki NAKANISHI, Shigeru YAMASHITA, Yasuhiko NAKASHIMA, "A Functional Unit with Small Variety of Highly Reliable Cells", 14th Pacific Rim International Symposium on Dependable Computing (PRDC'08), pp. 353-354, Dec. (2008).
- [21] Takashi Nakada, Yasuhiko Nakashima, Hajime Shimada, Kenji Kise, Toshiaki Kitamura, "OROCHI: A Multiple Instruction Set SMT Processor", First International Workshop on New Frontiers in High-performance and Hardware-aware Computing (HipHaC'08), pp. 1-8, Nov. (2008).
- [22] Akihito Ichiki, Takashi Nakada, Yasuhiko Nakashima, "A Hybrid Platform for Practical Evaluation of Processors", Coolchips-2008 (poster), Apr. (2008).
- [23] Kazuhiro Yoshimura, Takashi Nakada, Yasuhiko Nakashima: "A QoS Control Method for a Heterogeneous SMT Processor", Coolchips-2008 (poster), Apr. (2008).
- [24] H. Hatano, "SEU effects on static and clocked cascade voltage switch logic (CVSL) circuits", Proc. of the 8th European Workshop on Radiation

- Effects on Components and Systems, pp. 136-140, Jyvaskyla, Finland, 2008.
- [25] R. K. Pokharel, S. Sasaki, O. Nizhnik, H. Kanaya, and K. Yoshida, "Design of VCO Using On-Chip CPW Resonator for 5 GHz-Band Wireless Applications", 2008 Asia-Pacific Microwave Conference Proceedings, C1-06(2008).
- [26] A. Tomar, R. Pokharel, H. Kanaya, K. Yoshida, "Design of Digitally Controlled LC Oscillator with Wide Tuning Range in 0.18 um TSMC CMOS Technology", 2008 Asia-Pacific Microwave Conference Proceedings, C5-07 (2008).
- [27] A. I. A. Galal, R. K. Pokharel, H. Kanaya, and K. Yoshida, "2008 Asia-Pacific Microwave Conference Proceedings, H6-05(2008).
- [28] S. Ogawa, T. Tanigawa, and D. Adachi, "An interfaces based on switched-capacitor sample/hold circuit of differential capacitance transducers," Proc. of ITC-CSCC2008, pp. 353-356, July 2008.
- [29] I. Sakagami, M. Tahara, and M. Fujii, "Planar Four-Way Power Divider Using Impedance-Transforming Branch-Line Couplers," 2008 Asia-Pacific Microwave Conf., B1-04, Hong Kong and Macau, China (Dec. 2008).
- [30] Masashi Imai, Takashi Nanya, "A Design Method for 1-out-of-4 Encoded Low-Power Self-Timed Circuits using Standard Cell Libraries," Proc. ACSD08, pp. 21-26, Jun., (2008).
- [31] Masashi Imai, Takashi Nanya, "Performance Comparison between Self-timed Circuits and Synchronous Circuits Based on the Technology Roadmap of Semiconductors," Proc. DSN08 2nd Workshop on Dependable and Secure Nanocomputing, Supplemental Proceedings, pp. C23-C28, Jun., (2008).
- [32] Y. Suwaki, T. Matsumoto, S. Matsufuji, "Experimental Evaluation of Optical ZCZ-CDMA System," Proc. of The 23rd International Technical Conference on Circuits/Systems, Computers and Communications, pp. 1809-1812 (2008).
- [33] T. Matsumoto, S. Matsufuji, "Matched Filter Implementation on FPGA for Integrand Code Using a Real-Valued Shift-Orthogonal Finite-Length Sequence, Proc. of the 11th International Conference on Advanced Communication Technology, pp. 179-183(2009).
- [34] H. Myoren, and T. Taino, "Preparation of Sub-micron-wide Microstrip Lines for SFQ Circuits," Proceedings of Superconducting SFQ VLSI Workshop SSV 2008, Yokohama, March 17, 2008, pp. 13-14.
- [35] H. Myoren, Y. Yoshizawa, T. Taino, and S. Takada, "SFQ Multiplexed Signal Processing Circuits for Superconducting Tunnel Junction Photon Detector Arrays," on 2008 Applied Superconductor Conference (2008 ASC), Chicago, August 20, 3EPE09.
- [36] Satoko Kagami, Fumitsugu Suzuki, and Takayuki Hamamoto, "Implementation and Evaluation of Wide-dynamic-range Image Sensor Adapted to Brightness Distribution of Objects", Int. Workshop on Image Media Quality and its Applications (IMQA'08), B-4, pp. 40-44 (2008).
- [37] Kenichi Nakayama, Atsunori Shikino, Takayuki Hamamoto, Kazuya Kodama, "3D motion estimation of imaging device using on-sensor motion detection", Int. Topical Meeting on Information photonics, P3-7, pp. 174-175 (2008).
- [38] K. Suzuki, T. Nakada, M. Nakanishi, S. Yamashita, and Y. Nakashima, "A Functional Unit with Small Variety of Highly Reliable Cells," Proc. of 14th Pacific Rim International Symposium on Dependable Computing (PRDC'08), pp. 353-354, December 2008.
- [39] G. Fey, S. Komatsu, Y. Furukawa, M. Fujita, "Targeting Leakage Constraints during ATPG", 5th IEEE International Workshop on Silicon Debug and Diagnosis (SDD08), 2008.
- [40] S. Komatsu, "VLSI Test Exercise Courses for students in EE Department," IEEE International Test Conference, 2008.
- [41] G. Fey, S. Komatsu, Y. Furukawa, M. Fujita, "Targeting Leakage Constraints during ATPG," 17th Asian Test Symposium (ATS'08), pp. 225-230, 2008.
- [42] Shuangyu Ruan, Kazuteru Namba and Hideo Ito, "Soft Error Hardened FF Capable of Detecting Wide Error Pulse," Proc. 2008 IEEE Int. Symp. Defect and Fault Tolerance in VLSI Systems, pp. 272-280, 2008.
- [43] K. Okazaki, K. Awane, N. Nagaoka, T. Sugahara, T. Koide, and H. J. Mattausch, "Low-Power Image-Segmentation VLSI Design Based on a Pixel-Block Scanning Architecture", Extended Abstracts of the 2002 International Conference on Solid State Devices and Materials (SSDM2008), pp. 474-475,

(2008.9).

- [44] N. Nagaoka, K. Okazaki, T. Sugahara, T. Koide and H.J. Mattausch, "Grouping Method based on Feature Matching for Tracking and Recognition of Complex Objects," Proceedings of the 2008 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2008), pp. 421-424, (2009.2).
- [45] K. Okazaki, N. Nagaoka, T. Sugahara, T. Koide and H.J. Mattausch, "Low Power and Area Efficient Image Segmentation VLSI Architecture Using 2-Dimensional Pixel-Block Scanning," Proceedings of the 2008 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2008), pp. 441-444, (2009.2).
- [46] S. Sakakibara, W. Imafuku, A. Kawabata, T. Ansari, H.J. Mattausch and T. Koide, "VLSI design of a handwritten-character learning and recognition system based on associative memory," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 161-166, (2009.3).
- [47] T. Sugahara, K. Okazaki, N. Nagaoka, R. Kimura, T. Koide and H.J. Mattausch, "Improved region-growing image-segmentation algorithm based on the HSV color space," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 167-171, (2009.3).
- [48] T. Kumaki, M. Tagami, Y. Imai, T. Koide and H.J. Mattausch, "A ternary multi-ported content addressable memory architecture utilizing asynchronous multiple search-operation technology," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 224-229, (2009.3).
- [49] A. Kaya, K. Johguchi, S. Izumi, H.J. Mattausch and T. Koide, "Analysis of process variations in 90-nm CMOS technology using ring oscillators," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 446-449, (2009.3).
- [50] T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, "A wireless chip for intra-oral temperature measurement," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3).
- [51] A. Eguchi, J. Hashimoto, M. Saituji, A. Yamada, T. Kambe; "A Hardware Design for the First Pass of A Large Vocabulary Continuous Speech Recognition System," The proceeding of 15th SASIMI, pp. 230-235, 2009.
- [52] T. Kambe, M. Saituji, J. Hashimoto, and A. Eguchi; "A Variable Length Vector Pipeline Architecture Design Methodology," pp. 665-668, The proceeding of 11th Euromicro Conference on Digital System Design, Parma, Italy, 2008.
- [53] Hamid Noori, Farhad Mehdipour, Koji Inoue, and Kazuaki Murakami, "Enhancing Energy Efficiency of Processor-Based Embedded Systems through Post-Fabrication ISA Extension", Proceedings of ISLPED'08, pp. 241-246, Aug. 2008.
- [54] Sunagawa, Terada, Tsuchiya, Kobayashi, Onodera, "Effect of Regularity-Enhanced Layout on Printability and Circuit Performance of Standard Cells", 10th International Symposium on Quality Electronic Design (2009).
- [55] Kume, Sugihara, Ngo, Kobayashi, Onodera, "Embedded Delay Detectors to Choose the Fastest Route in FPGAs for Variation-aware Reconfiguration", pp. 76-81, The 15th Workshop on Synthesis And System Integration of Mixed Information technologies (2009).
- [56] Furuta, Moritani, Kobayashi, Onodera, "Soft-error Resiliency Evaluation on Delayed Multiple-modular Flip-Flops", The 15th Workshop on Synthesis And System Integration of Mixed Information technologies (2009).
- [57] Onodera, "Variability Modeling and Impact on Design", pp. 701-704, 2008 International Electron Devices Meeting Technical Digest (2008).
- [58] Terada, Tsuchiya, Kobayashi, Onodera, "A Ring-Oscillator Array Circuit for Measurement and Modeling of Gate Delay Variability", Workshop on Test Structure Design for Variability Characterization (2008).
- [59] Sugihara, Kume, Kobayashi, Onodera, "Performance Optimization by Track Swapping on Critical Paths Utilizing Random Variations for FPGAs", pp. 503-506, 2008 International Conference on Field Programmable Logic and Applications (2008).
- [60] Tsuchiya, Onodera, "Dummy Fill Insertion Considering the Effect on High-Frequency

- Characteristics of Spiral Inductors", pp. 787-790, 2008 IEEE/MTT-S International Microwave Symposium Digest (2008).
- [61] Kobayashi, Onodera, "A Variation-aware Constant-Order Optimization Scheme Utilizing Delay Detectors to Search for Fastest Paths on FPGAs", pp. 107-112, 2008 International Conference on Field Programmable Logic and Applications (2008).
- [62] M. Yamashita, C. Otani, T. Matsumoto, K. Miura, K. Nakamae, M. Tonouchi, K. Nikawa, "Observation of semiconductor test circuits after building-in defect using laser THz emission microscope," 33rd International Conference on Infrared, Millimeter and Terahertz Waves (IRMMW-THz) 2008, pp. 335-336 (Sept. 2008).
- [63] Y. Nakakita, R. Nakane, T. Sasada, H. Matsubara, M. Takenaka and S. Takagi, "Interface-controlled Self-Align Source/Drain Ge pMOSFETs Using Thermally-Oxidized GeO₂ Interfacial Layers," International Electron Devices Meeting (IEDM '08), 35-6, San Francisco, December 2008.
- [64] M. Takenaka, S. Tanabe, S. Dissanayake, S. Sugahara, and S. Takagi, "Ge Photodetector integrated with Ge-on-Insulator MOSFET by using Oxidation Condensation Technique," Annual Meeting of the IEEE Lasers and Electro-Optics Society (LEOS '08), MN2, Newport Beach, November 2008.
- [65] K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, "Wavelength tunability of all-optical flip-flop using distributed bragg reflectors," Annual Meeting of the IEEE Lasers and Electro-Optics Society (LEOS '08), TuF5, Newport Beach, November 2008.
- [66] K. Morii, S. Dissanayake, S. Tanabe, R. Nakane, M. Takenaka, S. Sugahara and S. Takagi, "Evaluation of Electron and Hole Mobility at Identical MOS Interfaces by using Metal Source/Drain GOI MOSFETs," International Conference on Solid State Devices and Materials (SSDM '08), B-1-4, Tsukuba, September 2008.
- [67] K. Takeda, Y. Kanema, M. Takenaka, T. Tanemura, and Y. Nakano, "Dynamic Operation of Polarization Insensitive All-Optical Flip-Flop Based on Multimode-Interference Bistable Laser Diode," European Conference on Optical Communication (ECOC '08), We2.C.2, Brussels, September 2008.
- [68] M. Takenaka, "Challenge for Large Scale Integration of MMI-BLD Optical Flip-Flop," Photonics in Switching (PS '08), WS2-2, Sapporo, August 2008 (Invited paper).
- [69] M. Deura, T. Hoshii, M. Sugiyama, R. Nakane, M. Takenaka, S. Sugahara, S. Takagi, and Y. Nakano, "Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si," International Conference of MOVPE (ICMOVPE '08), We-B2.6, Metz, June 2008.
- [70] K. Takeda, Y. Kanema, M. Takenaka, T. Tanemura, and Y. Nakano, "Polarization insensitive operation of multimode interference bistable laser all-optical flip-flop," Indium Phosphide and Related Materials (IPRM '08), WeP45, Versailles, May 2008.
- [71] M. Kameyama, M. Hariyama, "Fine-Grained Low-Power Reconfigurable VLSI for Real-World Applications", Proc. of the 2nd International Symposium on Information Electronics Systems, pp. 96-99 (2008).
- [72] Masanori Hariyama, Shota Ishihara, Noriaki Idobata, Michitaka Kameyama, "Non-volatile Multi-Context FPGAs Using Hybrid Multiple-Valued/Binary Context Switching Signals", International Conference on Engineering of Reconfigurable Systems and Algorithms, pp. 309-310 (2008).
- [73] Waidyasoorya Hasitha Muthumala, Masanori Hariyama, Michitaka Kameyama, "Implementation of a Multi-Context FPGA Based on Flexible-Context-Partitioning", International Conference on Engineering of Reconfigurable Systems and Algorithms, pp. 201-207 (2008).
- [74] Masanori Hariyama, Shota Ishihara, Michitaka Kameyama, "A Low-Power Field-Programmable VLSI Based on a Fine-Grained Power-Gating Scheme", IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 702-705 (2008).
- [75] Shota Ishihara, Masanori Hariyama, and Michitaka Kameyama, "A Low-Power FPGA Based on Autonomous Fine-Grain Power-Gating", Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 119-120 (2009).
- [76] Nobuaki Okada, Michitaka Kameyama, "Fine-Grain Multiple-Valued Reconfigurable VLSI Using Universal-Literal-Based Cells", Proceedings of the 38th IEEE International Symposium on Multiple-

Valued Logic, pp. 180-185 (2008).

- [77] Shota Ishihara, Masanori Hariyama, Michitaka Kameyama, "A Low-Power Field-Programmable VLSI Based on an Asynchronous Architecture", Proceedings of the 1st Student Organizing International Mini-Conference on Information Electronics Systems(SOIM), pp. 179-180 (2008).
- [78] Nobuaki Okada, Michitaka Kameyama, "Design of a Bit-Serial Reconfigurable VLSI Based on Multiple-Valued Control Scheme", Proceedings of the 1st Student Organizing International Mini-Conference on Information Electronics Systems, pp. 173-174 (2008).
- [79] Atsushi Tanaka, Hiroshi Tanimoto; Design of 1 V Operating Fully Differential OTA Using NMOS Inverters Proceedings of ITC-CSCC 2008, H2-3, pp. 417-420, Shimonoseki, July 2008.
- [80] S. Okumura, Y. Iguchi, S. Yoshimoto, H. Fujiwara, H. Noguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, "A 0.56-V 128kb 10T SRAM Using Column Line Assist (CLA) Scheme," International Symposium on Quality Electronic Design 2009, San Jose, USA, March. 2009.
- [81] H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A 7T/14T Dependable SRAM and Its Array Structure to Avoid Half Selection," International Conference on VLSI Design 2009, New Delhi, India, pp. 295-300, Jan. 2009.
- [82] Koh Tsuruda, Shintaro Izumi, Hyeokjong Lee, Takashi Takeuchi, Hiroshi Kawaguchi, and Masahiko Yoshimoto, "A Flexible Baseband Processor with Multi-Resolution Spectrum-Sensing Functionality," International Symposium on Information Theory and its Applications, Auckland, New Zealand, pp. 1423-1428, Dec, 2008.
- [83] K. Miura, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A Low Memory Bandwidth Gaussian Mixture Model (GMM) Processor for 20,000-Word Real-Time Speech Recognition FPGA System," International Conference on Field-Programmable Technology 2008, Taipei, TAIWAN, Dec. 2008.
- [84] H. Fujiwara, T. Takeuchi, Y. Otake, M. Yoshimoto, and H. Kawaguchi, "An Inter-Die Variability Compensation Scheme for 0.42-V 486-kb FD-SOI SRAM using Substrate Control," 2008 IEEE International SOI Conference, New Paltz, New York, USA, Oct. 2008.
- [85] Kosuke Mizuno, Junichi Miyakoshi, Yuichiro Murachi, Masaki Hamamoto, Takahiro Inuma, Tomokazu Ishihara, Fang Yin, Jangchung Lee, Tetsuya Kamino, Hiroshi Kawaguchi, and Masahiko Yoshimoto. "An H.264/AVC MP@L4.1 Quarter-Pel Motion Estimation Processor VLSI for Real-Time MBAFF Encoding" IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2008), St.Julians, Malta, Sep 2008.
- [86] H. Noguchi, S. Okumura, Y. Iguchi, H. Fujiwara, Y. Morita, K. Nii, H. Kawaguchi, and M. Yoshimoto, "Which is the Best Dual-Port SRAM in 45-nm Process Technology? -8T, 10T Single End, and 10T Differential-, "Proc. International Conference on IC Design and Technology, pp. 55-58, June 2008.
- [87] Yuichiro Murachi, Kosuke Mizuno, Junichi Miyakoshi, Masaki Hamamoto, Takahiro Inuma, Tomokazu Ishihara, Fang Yin, Jangchung Lee, Tetsuya Kamino, Hiroshi Kawaguchi, and Masahiko Yoshimoto. "A Sub 100 mW H.264/AVC MP@L4.1 Integer-Pel Motion Estimation Processor VLSI for MBAFF Encoding" International Symposium on Circuits and Systems (ISCAS), Seattle, Washington, USA, May 2008.
- [88] Y. Murachi, T. Kamino, J. Miyakoshi, H. Kawaguchi and M. Yoshimoto, "A Power-Efficient SRAM Core Architecture with Segmentation-Free and Rectangular Accessibility for Super-Parallel Video Processing," 2008 International Symposium on VLSI Design, Automation & Test (VLSI-DAT), Hsinchu, Taiwan, pp. 63-66, April 2008.
- [89] T. Matsuda, S. Izumi, T. Takeuchi, H. Fujiwara, H. Kawaguchi, C. Ohta, and M. Yoshimoto, "Impact of Random Access Memory aware Data Aggregation for Wireless Sensor Network," Asia-Pacific Symposium on Information and Telecommunication Technologies (APSITT), pp. 130-134, Apr. 2008.
- [90] H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, Y. Morita, H. Kawaguchi, and M. Yoshimoto, "Quality of a Bit (QoB): A New Concept in Dependable SRAM," 9th International Symposium on Quality Electronic Design (ISQED 2008), San Jose, California, pp. 98-102, USA, March 2008.
- [91] Masayuki Hiromoto, Hiroki Sugano, and Ryusuke Miyamoto, "Partially Parallel Architecture for Adaboost-Based Detection with Haar-Like

- Features", IEEE Trans. on Circuits and Systems for Video Technology, Jan. 2009.
- [92] Masayuki Hiromoto, Hiroyuki Ochi, and Yukihiro Nakamura, An Asynchronous IEEE-754-Standard Single-Precision Floating-Point Divider for FPGA, IPSJ Trans. on System LSI Design Methodology, Feb. 2009.
- [93] Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroyuki Ochi, and Yukihiro Nakamura, A New Architecture Extension for Mitigation of Permanent Functional Unit Faults Using Hot-Swapping Concepts, the 15th Workshop on Synthesis And System Integration of Mixed Information technologies, Mar. 2009.
- [94] Koichi Hattori, Hiroshi Tsutsui, Hiroyuki Ochi, and Yukihiro Nakamura, An Architecture of Photo Core Transform in HD Photo Coding System for Embedded Systems of Various Bandwidths, 2008 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2008), Nov. 2008.
- [95] Hiroki Sugano, Hiroyuki Ochi, Yukihiro Nakamura, and Ryusuke Miyamoto, "Hardware Implementation of Discrete Adaboost Algorithm for Run-Time Learning of Object Recognition", International Workshop on Smart Info-Media Systems in Bangkok (SISB2008), Mar. 2009.
- [96] Dai Akashi, Hiroaki Nishi, Improvement of structuring algorithm on Enhanced Patricia Tree, Proceedings of the Third International Conference on the Latest Advances in Networks, Toulouse, France, December 10-12, 2008.
- [97] Hiroki Matsuoka, Hiroaki Nishi, Perfect Classified Channel Retaining DC Balance for High-throughput Communication, 2008 International Symposium on Information Theory and its Applications (ISITA2008), pp. 1273-1278, 2008.
- [98] T. Kihara, H.-J. Park, I. Takobe, F. Yamashita, T. Matsuoka, and K. Taniguchi, "A 0.5 V Area-Efficient Transformer Folded-Cascode Low-Noise Amplifier in 90 nm CMOS," IEEE International Conference on IC Design and Technology, June 2-4, 2008, Grenoble, France, pp. 21-24.
- [99] T. Kihara, T. Matsuoka, and K. Taniguchi, "A 1.0 V, 2.5 mW, Transformer Noise-Canceling UWB CMOS LNA," 2008 IEEE RFIC Symposium, June 15-17, 2008, Atlanta, Georgia, USA, pp. 493-496.
- [100] K. Yasue, J. Wang, T. Matsuoka, and K. Taniguchi, "Study of Subthreshold-Operation CMOS Logic Circuit with Body-Bias-Control," IEEE International Meeting for Future of Electron Devices, Kansai, May. 22-23, 2008, Osaka, Japan, pp. 95-96.
- [101] T. Kihara, H.-J. Park, I. Takobe, F. Yamashita, T. Matsuoka, and K. Taniguchi, "A 0.5 V CMOS Low-Noise Amplifier," IEEE International Meeting for Future of Electron Devices, Kansai, May. 22-23, 2008, Osaka, Japan, pp. 91-92.
- [102] J. Wang, T.-Y. Lee, T. Matsuoka, and K. Taniguchi, "Design of A High-Speed BiCMOS Delta-Sigma A/D Converter," IEEE International Meeting for Future of Electron Devices, Kansai, May. 22-23, 2008, Osaka, Japan, pp. 89-90.
- [103] K. Ohhata, K. Uchino, Y. Shimizu, Y. Oyama, and K. Yamashita, "A 770-MHz, 70-mW, 8-bit Subranging ADC using Reference Voltage Precharging Architecture," in Proc. Tech Papers A-SSCC, pp. 41-44, Nov. 2008.
- [104] K. Ohhata, K. Seki, H. Imamura, Y. Takeshita, K. Yamashita, H. Kanai, and N. Chujo, "A 90-nm CMOS 4 x 10 Gb/s VCSEL Driver using Asymmetric Emphasis Technique for Optical Interconnection," IEEE APMC, Dec. 2008.
- [105] Hamid Noori, Farhad Mehdipour, Koji Inoue, and Kazuaki Murakami, "Enhancing Energy Efficiency of Processor-Based Embedded Systems through Post-Fabrication ISA Extension", Proceedings of ISLPED '08, pp. 241-246, Aug. 2008.
- [106] Nobuaki Kobayashi and Tadayoshi Enomoto, "A Low Dynamic Power 90-nm CMOS Motion Estimation Processor Implementing Dynamic Voltage and Frequency Scaling Scheme and Fast Motion Estimation Algorithm Called Adaptively Assigned Breaking-off Condition Search", in Proc. of International Workshop on Advanced Image Technology (IWAIT '2009), in Seoul, Korea, Jan. 2009.
- [107] Junichi Tsukada, Hiroaki Ozawa, Shigeyasu Uno, Kazuo Nakazato, Nao Terasaki, Noritaka Yamamoto, Takashi Hiraga, Masako Iwai, Masae Konno, Kohsuke Ito, Yasunori Inoue, "Integrated Bio-Photosensor with Extended-gate Source-Drain Follower on a Chip", International Conference on Molecular Electronics and Bioelectronics, Miyazaki, Japan (March 16 2009), D-P14.
- [108] Kiyomasa Sugimoto, Yusmeera Binti Yusof, Hiroaki Ozawa, Shigeyasu Uno, Kazuo Nakazato,

"Capacitance Sensor Array Based on Charge Based Capacitance Measurement for DNA Detection", International Conference on Molecular Electronics and Bioelectronics, Miyazaki, Japan (March 16 2009), D-P15.

- [109] Yuji Kagohashi, Hiroaki Ozawa, Shigeyasu Uno, Kazuo Nakazato, Keisuke Ohdaira, Hideki Matsumura, "Application of Silicon Nitride by Catalytic Chemical Vapor Deposition (Cat-CVD) to CMOS ISFET Sensor LSI", International Conference on Molecular Electronics and Bioelectronics, Miyazaki, Japan (March 16 2009), D-P13.
- [110] M. Fukase, Kazunori Noda, and T. Sato, "Emerging Hardware Cryptography and VLSI Implementation," Proc. IEEE ISPACS2008, pp. 445-448, (2009).
- [111] M. Fukase, K. Noda, A. Yokoyama, and T. Sato, "Design and Chip Implementation of the Ubiquitous Processor HCgorilla," Proc. of ASP-DAC 2009, pp. 129-130, (2009).
- [112] M. Fukase and T. Sato, "Ubiquitous Processor Free from Instruction Scheduling," Proc. of IEEE ISCIT 2008, pp. 75-80, (2008).
- [113] M. FUKASE and T. SATO, "Development of Parallelizing Compilers of a Ubiquitous Processor," Proc. of The 12th World Multi-Conference on Systemics, Cybernetics and Informatics, Vol. II, pp. 220-225, (2008).
- [114] M. Fukase, K. Noda, A. Yokoyama, and T. Sato, "Enhancing Multimedia Processing by Wave-Pipelining Integer Unit and Floating Unit in Whole," Proc. of ECTI-CON 2008, Vol. 2, pp. 681-684, 2008.
- [115] Nicodimus, Zhang, Takagi, "A Design of Variable Gain Current Amplifier", 2008 IEEJ Int. Analog VLSI Workshop, pp. 97-102.
- [116] Nicodimus, Sato, Takagi, Fujii, "1-V 10-MHz Gm-C Low-pass Filter in 0.18-um CMOS Technology", 2008 IEEJ Int. Analog VLSI Workshop, pp. 68-71.
- [117] Fujita, Takagi, Fujii, "Low-Noise Amplifier with Low-Pass Characteristics for Ultra Wide Band Applications using FD-SOI Technology", 2008 IEEJ Int. Analog VLSI Workshop, pp. 171-176.
- [118] H. Oshiyama, T. Matsuda, K. Suzuki, H. Iwata and T. Ohzone, "A VDD Independent Temperature Sensor Circuit with Scaled CMOS Process", Proc. ASP-DAC 2009, pp. 111-112, January 2009.
- [119] Y. Kayano and H. Inoue, "A Study on Electromagnetic Coupling between Transmission Line on Model Chip", in Proc. IEEE International Symposium on Electromagnetic Compatibility, TH-AM-2-4, Detroit, Aug. 2008.
- [120] S. Ikeda, F. Horiguchi, "Characterization of Ring Oscillators using LV and HV MOSFETs" , p. 43, 6th International Symposium on Bioscience and Nanotechnology, Nov, 2008, Toyo Univ. (2008).
- [121] Katsuki Kobayashi, Naofumi Takagi, "Fast Division Circuit in GF (2m) Based on the Extended Duclid's Algorithm with Parallelization of Modular Reductions", pp. 94-99, SASIMI2009(2009).
- [122] Hirotaka Kawashima, Naofumi Takagi, "Small Area Multipliers Utilizing the Sum of Operands", pp. 189-194, SASIMI2009(2009).
- [123] Katsuki Kobayashi, Naofumi Takagi, "Fast Division Circuit in GF (2m) Based on the Extended Duclid's Algorithm with Parallelization of Modular Reductions", pp. 94-99, SASIMI2009(2009).
- [124] Y. Yunbe, M. Miyama, and Y. Matsuda, A VGA 30 fps Affine Motion Estimation Processor for Real-Time Video Segmentation, The IASTED International Conference on Circuits and Systems, Hawaii, (2008.8).
- [125] T. Kusumoto, D. Ogawa, K. Dosaka, M. Miyama, and Y. Matsuda, A Charge Recycling TCAM with Checkerboard Array Arrangement for Low Power Applications, Asian Solid-State Circuits Conference 2008, Proceedings of Technical Papers, pp. 253-256. Fukuoka, (2008.11).
- [126] Hiroaki Nishikawa, Hiroshi Tomiyasu, Hiroyuki Uchida, "VLSI Design of Networking-Oriented Chip Multi-Processor: CUE-v3", The 2008 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA '08), pp. 655-661 (2008.7.15).
- [127] Yu Tanaka, Yohtaro Umeda, Member, IEEE, Osamu Takyu, Member, IEEE, Machiko Nakayama, and Kazunari Kodama, "Change of Read Range for UHF Passive RFID Tags in Close Proximity", IEEE RFID 2009.
- [128] W.San-Um, M.Tachibana, "A Compact on-Chip testing scheme for analog-mixed signal systems using two-step AC and DC fault signature characterizations", R5-6, SASIMI2009 (2009).
- [129] T. Hashida, Y. Bando, M. Nagata, "Chip-to-Chip Half Duplex Data Communication at 135 Mbps

- Over Power-Supply Rails," IEEE Asian Solid-State Circuits Conference 2008 (A-SSCC), #7-3, pp. 209-212, Nov. 2008.
- [130] Maziar Goudarzi, Tadayuki Matsumura, and Tohru Ishihara, "Cache Power Reduction in Presence of Within-Die Delay Variation using Spare Ways", IEEE Annual Symposium on VLSI (ISVLSI), Apr. 2008.
- [131] Maziar Goudarzi and Tohru Ishihara, "Instruction Cache Leakage Reduction by Changing Register Operands and Using Asymmetric SRAM Cells", Great Lakes Symposium on VLSI (GLSVLSI), May. 2008.
- [132] Tadayuki Matsumura, Tohru Ishihara, and Hiroto Yasuura, "Simultaneous optimization of memory configuration and code allocation for low power embedded systems", ACM Great Lakes Symposium on VLSI, pp. 403-406, May. 2008.
- [133] Shingo Watanabe, Masanori Hashimoto, and Toshinori Sato, "Cascading Dependent Operations for Mitigating Timing Variability", Workshop on Quality-Aware Design, 8 pages, Jun. 2008.
- [134] Maziar Goudarzi and Tohru Ishihara, "Row/Column Redundancy to Reduce SRAM Leakage in Presence of Random Within-Die Delay Variation", International Symposium on Low Power Electronics and Design (ISLPED), pp. 93-98, Aug. 2008.
- [135] Yuji Kunitake, Toshinori Sato, and Hiroto Yasuura, "Mitigating Performance Loss in Aggressive DVS Using Dual-Sensing Flip-Flops", VLSI-SoC, pp. 543-546, Oct. 2008.
- [136] Tohru Ishihara, Seiichiro Yamaguchi, Yuriko Ishitobi, Tadayuki Matsumura, Yuji Kunitake, Yuichiro Oyama, Yusuke Kaneda, Masanori Muroyama, and Toshinori Sato, "AMPLE: An Adaptive Multi-Performance Processor for Low-Energy Embedded Applications", IEEE Symposium on Application Specific Processors, pp. 83-88, Jun. 2008.
- [137] Seiichiro Yamaguchi, Tohru Ishihara, and Hiroto Yasuura, "A Single Cycle Accessible Two-Level Cache Architecture for Reducing the Energy Consumption of Embedded Systems", Proceedings of International SoC Design Conference, pp. 188-191, Nov. 2008.
- [138] Masanori Muroyama, Tohru Ishihara, and Hiroto Yasuura, "Analysis of Effects of Input Arrival Time Variations on On-Chip Bus Power Consumption", PATMOS, pp. 62-71, Sep. 2008.
- [139] Kitamura, Yamada, Kawarasaki, Kokusyuu, Ahmed, Lemieux, Yoshikawa, Fujino, "Interconnect Utilization of the VPEX Via-Programmable Structured ASIC" pp. 330- 334, The 15th Workshop on Synthesis And System Integration of Mixed Information technologies, (2009).
- [140] Ueno K., Hirose T., Asai T., and Amemiya Y., "A 300 nW, 7 ppm/°C CMOS voltage reference circuit based on subthreshold MOSFETs," The 14th Asia and South Pacific Design Automation Conference, Yokohama, Japan (Jan. 19-22, 2009).
- [141] Matsumoto K., Hirose T., Osaki Y., Kuroki N., and Numa M., "An On-Chip Threshold Voltage Difference Monitor Circuit for Nano-Power Sub-threshold Digital LSIs," Workshop on Information, Nano, and Photonics Technology, P14, Kobe, Japan (Nov. 27-28, 2008).
- [142] Ueno K., Hirose T., Asai T., and Amemiya Y., "A 46-ppm/°C temperature and process compensated current reference with on-chip threshold voltage monitoring circuit," IEEE Asian Solid-State Circuits Conference 2008, Fukuoka, Japan (Nov. 3-5, 2008).
- [143] Ueno K., Hirose T., Asai T., and Amemiya Y., "A 0.3- μ W, 7 ppm/°C CMOS voltage reference circuit for on-chip process monitoring in analog circuits," The 34th European Solid-State Circuits Conference, Edinburgh, U.K. (Sep. 15-19, 2008).
- [144] Ogawa T., Hirose T., Asai T., and Amemiya Y., "Low voltage operation of master-slave flip-flops for ultra-low power subthreshold LSIs," The International Conference on Electrical Engineering 2008, Okinawa, Japan (Jul. 6-10, 2008).
- [145] Utagawa A., Asai T., Hirose T., and Amemiya Y., "Noise-induced phase synchronization between nonidentical analog CMOS oscillators," 2008 RISP International Workshop on Nonlinear Circuits and Signal Processing, Gold Coast, Australia (Mar. 6-8, 2008).
- [146] Tovar G.M., Fujita D., Asai T., Hirose T., and Amemiya Y., "Neuromorphic MOS circuits implementing a temporal coding neural model," 2008 RISP International Workshop on Nonlinear Circuits and Signal Processing, Gold Coast,

Australia (Mar. 6-8, 2008).

- [147] D. Atuti, K. Nakada, and T. Morie, "CMOS Pulse-Modulation Circuit Implementation of Phase-Locked Loop Neural Networks", IEEE Int. Symp. on Circuits and Systems (ISCAS2008), pp. 2174-2177, Seattle, USA, May 20, 2008.
- [148] T. Morie and Y. Kim, "A Subjective-Contour Generation LSI System with Expandable Pixel-Parallel Architecture for Vision Systems", IEEE Int. Solid-State Circuits Conf. (ISSCC2009), Digest of Technical Papers, #28.6, pp. 478-479, San Francisco, USA, Feb. 11, 2009.
- [149] M. Nakajima, M. Watanabe, "Fast optical reconfigurations of a nine-context DORGA," International Workshop on Applied Reconfigurable Computing, March, 2009.
- [150] M. Nakajima, M. Watanabe, "Configuration experiments for an optically reconfigurable gate array with a silver-halide holographic memory," International Conference on Space Optical Systems and Applications, ICSOS2009-21, CD-ROM, Feb., 2009.
- [151] S. Kato, M. Watanabe, "An estimation of an inversion/non-inversion dynamic optically reconfigurable gate array VLSI," International Conference on Space Optical Systems and Applications, ICSOS2009-26, CD-ROM, Feb., 2009.
- [152] D. Seto, M. Watanabe, "A triple-module redundancy for an optically reconfigurable gate array," International Conference on Space Optical Systems and Applications, ICSOS2009-27, CD-ROM, Feb., 2009.
- [153] D. Seto, M. Watanabe, "An 11,424 Gate-Count Dynamic Optically Reconfigurable Gate Array with a Photodiode Memory Architecture," Asia and South Pacific Design Automation Conference, pp. 117-118, Jan., 2009.
- [154] M. Nakajima, M. Watanabe, "An 11,424 gate dynamic optically reconfigurable gate array VLSI," IEEE International Conference on Field Programmable Technology, pp. 293-296, Dec., 2008.
- [155] S. Kato, M. Watanabe, "Inversion/non-inversion zero-overhead dynamic optically reconfigurable gate array VLSI," IEEE International Conference on Field Programmable Technology, pp. 377-380, Dec., 2008.
- [156] T. Mabuchi, M. Watanabe, "An analogue reconfiguration period adjustment technique for optically reconfigurable gate arrays," IEEE International Conference on Field Programmable Technology, pp. 289-292, Dec., 2008.
- [157] D. Seto, M. Watanabe, "An Optical Configuration of an 11,424 Gate-count Dynamic Optically Reconfigurable Gate Array using a VCSEL," IEEE International Symposium on System Integration, pp. 95-99, Dec., 2008.
- [158] S. Kubota, M. Watanabe, "Programmable Optically Reconfigurable Gate Array Architecture using a PAL-SLM," IEEE International Symposium on System Integration, pp. 100-104, Dec., 2008.
- [159] T. Mabuchi, M. Watanabe, "A 9-context Optically Reconfigurable Gate Array," International SoC Design Conference, pp. 1-4, Nov., 2008.
- [160] M. Nakajima, M. Watanabe, "Multi-speed configuration for ORGAs," International Topical Meeting on Information Photonics, pp. 166-167, Nov., 2008.
- [161] H. Morita, M. Watanabe, "Allowable alignment errors of components in an optically reconfigurable gate array," International Topical Meeting on Information Photonics, pp. 50-51, Nov., 2008.
- [162] D. Seto, M. Watanabe, "Optical configuration using a silver-halide holographic memory including four configuration contexts," International Conference on Solid State Devices and Materials, pp. 116-117, Sep. , 2008.
- [163] D. Seto, M. Watanabe, "Analysis of retention time under multi-configuration on a DORGA," IEEE International SOC Conference, pp. 131-134, Sep. , 2008.
- [164] N. Yamaguchi, M. Watanabe, "Multi optical configuration using spreading beams," IEEE International Midwest Symposium on Circuits & Systems, pp. 386-389, Aug., 2008.
- [165] F. Kobayashi, Y. Morikawa, M. Watanabe, "MISC: Mono Instruction-Set Computer based on Dynamic Reconfiguration -a 6502 Perspective-, "International Conference on engineering of reconfigurable systems and algorithms, pp. 222-228, July, 2008.
- [166] M. Nakajima, M. Watanabe, "A 770ns holographic reconfiguration of a four-contexts DORGA," International Conference on engineering of reconfigurable systems and algorithms, pp. 289-292, July, 2008.
- [167] M. Nakajima, M. Watanabe, "A dynamic holo-

- graphic reconfiguration on a four-context ODRGA," IEEE International Conference on Application-specific Systems, Architectures and Processors, pp. 179-184, July, 2008.
- [168] K. Shinohara, M. Watanabe, "A double or triple module redundancy model exploiting dynamic reconfigurations," NASA/ESA Conference on Adaptive Hardware and Systems, pp. 114-121, June, 2008.
- [169] K. Shinohara, M. Watanabe, "Defect tolerance of holographic configurations in ORGAs," IEEE International Parallel & Distributed Processing Symposium, CD-ROM, April, 2008.
- [170] M. Nakajima, D. Seto, M. Watanabe, "A 937.5 ns multi-context holographic configuration with a 30.75 us retention time," IEEE International Parallel & Distributed Processing Symposium, CD-ROM, April, 2008.
- [171] D. Seto, M. Watanabe, "A dynamic optically reconfigurable gate array with a silver-halide holographic memory," IEEE Computer Society Annual Symposium on VLSI, pp. 511-514, April, 2008.
- [172] T. Tokuda, S. Sato, H. Yamada, and J. Ohta, "Polarization Analyzing CMOS Sensor for micro-chamber / Microfluidic System Based on Image Sensor Technology", C4L-F-2, ISCAS2008 (2008).
- [173] T. Tokuda, R. Asano, Y. Terasawa, Y. Tano, J. Ohta, "A Microelectronics-Based Flexible Retinal Stimulator for Retinal Prosthesis With an Improved Safety and Fault Tolerance", 1783/A593, ARVO Annual Meeting (2008).
- [174] Sanshiro Shishido, Keiichiro Kagawa, Takashi Tokuda, Jun Ohta, "A low-voltage and low-power consumption CMOS image sensor using pulse-width-modulation scheme for biomedical applications", P-11-3, SSDM2008 (2008).
- [175] Ayato Tagawa, Asako Higuchi, Thetsuya Sugiyama, Kiyotaka Sasagawa, Takashi Tokuda, Hideki Tamura, Sadao Shiosaka, Jun Ohta, "Development of a CMOS image sensor for in situ-brain functional imaging in freely-moving mouse", E-6-2, SSDM2008 (2008).
- [176] K. Minakawa, H. Yamada, K. Sasagawa, T. Tokuda, J. Ohta, "CMOS Optical Polarization Analyzer Chip for μ TAS", E-6-4, SSDM2008 (2008).
- [177] T. Tokuda, H. Yamada, K. Minakawa, K. Sasagawa, J. Ohta, "Polarization-analyzing CMOS sensor for μ TAS", p3-24, Information Photonics2008 (2008).
- [178] Jun Ohta, Asako Higuchi, Ayato Tagawa, Kiyotaka Sasagawa, Takashi Tokuda, Yumiko Hatanaka, Hideki Tamura, Sadao Shiosaka, "An Implantable CMOS Image Sensor for Monitoring Deep Brain Activities of a Freely Moving Mouse", BioCAS 2008 (2008).
- [179] Jun Ohta, "Retinal Implants", ISSCC (2009).
- [180] Takashi Tokuda, Shigeki Sawamura, Yasuo Terasawa, Yasuo Tano, Jun Ohta, "CMOS LSI-based Multi-chip Flexible Retinal Prosthesis Device for Subretinal Implantation", 13-2, CICC (2008).
- [181] Y. Takahashi, T. Sekine, and M. Yokoyama, "Theoretical analysis of power clock generator based on the switched capacitor regulator for adiabatic CMOS logic," Proc. EAMTA/CAMTA 2008, pp. 17-22, Sept. 2008.
- [182] J. Ota, W. Narita, I. Ohta, T. Matsushita, and T. Kondo: "Quasi-Phase-Matched Second-Harmonic Generation in AlGaAs Waveguides Pumped at 1.5 μ m," 2008 International Conference on Solid State Devices and Materials (SSDM 2008), September 24-26, 2008, Tsukuba, Japan (E-2-1).
- [183] T. Matsushita, I. Ohta, and T. Kondo: "Fabrication of periodically-inverted GaP/AlGaP waveguides for quasi-phase matching nonlinear optical devices," IEEE Nanotechnology Materials and Devices Conference 2008, October 20-22, 2008, Kyoto, Japan (TuA II-2).
- [184] T. Kondo, T. Matsushita, J. Ota, K. Hanashima, T.-W. Kim, I. Ohta, and H. Ishikawa, "Wavelength conversion via quadratic nonlinearities in compound semiconductors," 1st International Conference on Silicon Photonics, January 23, 2009, The University of Tokyo, Tokyo, Japan.
- [185] Kouji Kiyoyama, Yoshito Tanaka, Masahiro Onoda, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Battery-less Telemetry System with a Closed-loop Power Control for Bio-Implantable Applications." 2008 International Conference on Solid State Devices and Materials, pp. 484-485.
- [186] Kouji Kiyoyama, Shigeo Kodama, Daijirou Amano, Takeaki Sugimura, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "A Dynamically Reconfigurable Interconnection Network for Parallel Image Processing System with Three-Dimensional Structure." International 3D System

Integration Conference 2008, pp. 217-227.

- [187] Kouji Kiyoyama, Yoshito Tanaka, Masahiro Onoda, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "A Closed-loop Power Control Function for Body-implantable devices" IEEE Asian Solid-State Circuits Conference 2008, pp. 325-328.
- [188] Takashi Sato, Koh Yamanaga, and Kazuya Masu, "Non-invasive direct probing for on-chip voltage measurement", International SoC design conference (ISOCC), pp. 350-353, November, 2008.
- [189] Noriaki Nakayama, Takashi Sato, Hiroyuki Ueyama, and Kazuya Masu, "An efficient extraction of random and systematic gate-length variation through poly-Si resistor measurement", Workshop on test structure design for variability characterization, pp. 4.4, November, 2008.
- [190] Koh Yamanaga, Takashi Sato, and Kazuya Masu, "Substrate-geometry aware 2-port modeling for surface-mount passive components", 19th International Zurich Symposium on Electromagnetic Compatibility, pp. 506-509, May, 2008.
- [191] Koh Yamanaga, Takashi Sato, and Kazuya Masu, "On-chip differential and common mode voltage measurement using off-chip referenced twin probing", IEEE workshop on signal propagation on interconnects (SPI), pp. S3A-4, 2008.
- [192] Masanori Imai, Takashi Sato, Noriaki Nakayama, and Kazuya Masu, "Non-parametric statistical static timing analysis: an SSTA framework for arbitrary distribution", ACM/IEEE Design Automation Conference (DAC), pp. 6998-701, June, 2008.
- [193] Koh Yamanaga, Takashi Sato, and Kazuya Masu, "Accurate parasitic inductance determination of a ceramic capacitor through 2-port measurements", The 17th topical meeting on electrical performance of electronic packaging (EPEP), pp. 119-122, October, 2008.
- [194] Takashi Sato, Hiroyuki Ueyama, Noriaki Nakayama, and Kazuya Masu, "A MOS transistor array with pico-ampere order precision for accurate characterization of leakage current variation", IEEE Asian solid-state circuit conference (ASSCC), pp. 389-392, November, 2008.
- [195] Hideki Hatakeyama, Yusuke Uemichi, Kazuma Ohashi, Satoshi Fukuda, Hiroyuki Ito, Kenichi Okada, Takuya Aizawa, Tatsuya Ito, and Kazuya Masu, "RF CMOS Circuits with Wafer-Level Packaging Inductors," to be presented at International Wafer-Level Packaging Conference, San Jose, October 2008.
- [196] Takao Oshita, Kazuo Tsutsui, Noboru Ishihara and Kazuya Masu, "Scaling Trend of Analog Integrated Circuit with Process Variations on Future Ultra Deep Submicron CMOS Technology" International Conference on Solid State Devices and Materials (SSDM), D-2-2, pp. 83-84, Tukuba, September, 2008.
- [197] Hiroyuki Ito, Hasnain Lakdawala, Ashoke Ravi, Stefano Pellerano, Richard Ruby, K. Soumyanath, and Kazuya Masu, "A 1.7-GHz 1.5-mW Digitally-Controlled FBAR Oscillator with 0.03-ppb Resolution," the 34th European Solid-State Circuits Conference, pp. 98-101, Edinburgh, Scotland, September 2008.
- [198] Susumu Sadoshima, Satoshi Fukuda, Hiroyuki Ito, Kenichi Okada, Hideki Hatakeyama, Naoyuki Ozawa, Masakazu Sato, Takuya Aizawa, Tatsuya Ito, Ryoza Yamauchi, and Kazuya Masu, "A 2-GHz-band CMOS Low Noise Amplifier with High-Q Inductors Embedded in Wafer-Level Package," International Conference on Solid State Devices and Materials (SSDM), D-1-3, pp. 74-75, Tukuba, September, 2008.
- [199] Kazuma Ohashi, Yuka Kobayashi, Hiroyuki Ito, Kenichi Okada, Hideki Hatakeyama, Takuya Aizawa, Tatsuya Ito, Ryoza Yamauchi, Kazuya Masu, "A Low Phase Noise LC-VCO with a High-Q Inductor Fabricated by Wafer Level Package Technology", Radio Frequency Integrated Circuits Symposium 2008 (RFIC 2008), pp. 123-126, Atlanta, June, 2008.
- [200] Kazuya Miyashita, Takahiro Ishii, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "An Over-12-Gbps On-Chip Transmission Line Interconnect with a Pre-Emphasis Technique in 90 nm CMOS," 17th Conference on Electrical Performance of Electronic Packaging (EPEP), pp. 303-306, San Jose, California, October, 2008.
- [201] Shuhei Amakawa, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A simple de-embedding method for characterization of on-chip four-port networks," Advanced Metallization Conference (AMC), pp. 105-106, Del Mar, California,

- September, 2008.
- [202] Tomoaki Maekawa, Hiroyuki Ito, and Kazuya Masu, "An 8Gbps 2.5mW On-Chip Pulsed-Current-Mode Transmission Line Interconnect with a Stacked-Switch Tx," the 34th European Solid-State Circuits Conference, pp. 474-477, Edinburgh, Scotland, September 2008.
- [203] Hiroyuki Ito, Kazuya Masu, "A Simple Through-Only De-Embedding Method for On-Wafer S-Parameter Measurements up to 110 GHz", IEEE MTT-S International Microwave Symposium 2008 (IMS 2008), pp. 383-386, Atlanta, June, 2008.
- [204] Tomoaki Maekawa, Takahiro Ishii, Junki Seit, Hiroyuki Ito, Kenichi Okada, Hideki Hatakeyama, Yusuke Uemichi, Takuya Aizawa, Tatsuya Ito, Ryoza Yamauchi, and Kazuya Masu, "A Low-Power Differential Transmission Line Interconnect using Wafer Level Package Technology," IEEE Workshop on Signal Propagation on Interconnects (SPI), Avignon, France, May 2008.
- [205] 横山, 山口, 中野, "LSI chip for multisite stimulation and measurement." Society for Neuroscience 2008 (2008).
- [206] 佐藤, 中野, "A Design of Active Decoupling Circuit for the Substrate Noise Reduction on a Mixed Signal LSI", SASIMI2009 (The 15th Workshop on Synthesis And System Integration of Mixed Information technologies) (2009).
- [207] H. Yotsuyanagi, M. Hashizume, T. Tsutsumi, K. Yamazaki, T. Aikyo, Y. Higami, H. Takahashi and Y. Takamatsu, "Fault Effect of Open Faults Considering Adjacent Signal Lines in a 90 nm IC", Proc. of 22nd International Conference on VLSI Design, pp. 91-96, (2009).
- [208] Atsushi Miyamoto, Naofumi Homma, Takafumi Aoki, and Akashi Satoh, "Systematic Design of High-Radix Montgomery Multipliers for RSA Processors," 26th IEEE International Conference on Computer Design (ICCD2008), pp. 416-422, October 2008.
- [209] T. Sugawara, N. Homma, T. Aoki, and A. Satoh, "Compact ASIC Architectures for the 512-bit Hash Function Whirlpool," 9th Workshop on Information Security Applications (WISA2008), September, 2008.
- [210] A. Satoh, T. Sugawara, N. Homma, and T. Aoki, "High-performance Concurrent Error Detection Scheme for AES Hardware," CHES2008, LNCS5154, pp. 100-112, August, 2008.
- [211] T. Sugawara, N. Homma, T. Aoki, and A. Satoh, "A High-Performance ASIC Implementation of the 64-bit Block Cipher CAST-128," Proceedings of 2007 IEEE International Symposium on Circuits and Systems (ISCAS2007), pp. 1859-1862, May 2007.
- [212] K.Maezawa, N.Kamegai, S.Kishimoto, T.Mizutani and K.Akamatsu, "Improved Bias Stability of the RTD-Pair Oscillators Integrated on an AlN Ceramic Substrate", 2008 International Conference on Solid State Devices and Materials (2008).
- [213] M.Mori, M.Saito, H.Igarashi, T.Iwasugi, N.B.Ahmad, K.Maezawa, "Heteroepitaxial growth of InSb films on V-grooved Si (001) substrate", 5th International Symposium on Surface Science and Nanotechnology (2008).
- [214] S. Kawahito, K. Honda, Z. Liu, K. Yasutomi, S. Itoh, "A 15b Power-Efficient Pipeline A/D Converter Using Non-Slewing Closed-Loop Amplifiers", IEEE Custom Integrated Circuits Conf., 7-7, pp. 117-120, San Jose, Sept. 2008.
- [215] A. Ohchi, S. Kohara N. Togawa, M. Yanagisawa, and T. Ohtsuki, "High-Level Synthesis Algorithms with Floorplaning for Distributed/Shared-Register Architectures," VLSI-DAT 2008.
- [216] Akira Ohchi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "High-Level Synthesis Algorithms with Floorplaning for Distributed/Shared-Register Architectures," IEEE/ACM 2008 Int. Conf. on Computer-Aided Design, 2008.
- [217] Akiyuki Nagashima, Yuta Imai, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "Dynamically reconfigurable architecture for multi-rate compatible regular Idpc decoding," IEEE APCCAS 2008.
- [218] Shingo Yoshizawa, Yoshikazu Miyanaga, "VLSI Architecture of a 4x4 MIMO-OFDM Transceiver for over 1-Gbps Data Transmission," IEEE International Symposium on Communications and Information Technologies (ISCIT), pp. 422-425, Oct. 2008.
- [219] Shingo Yoshizawa, Yasushi Yamauchi, Yoshikazu Miyanaga, "A Complete Pipelined MMSE Detection Architecture in a 4x4 MIMO-OFDM Receiver," IEEE International Symposium on Circuits and Systems (ISCAS) pp. 1248-1251, May 2008.

- [220] Shingo Yoshizawa, Kazuto Nishi, Yoshikazu Miyanaga, "Reconfigurable Two-Dimensional Pipeline FFT Processor in OFDM Cognitive Radio Systems," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 2486-2489, May 2008.
- [221] Hirokatsu Shirahama and Takahiro Hanyu, "Design of High-Performance Quaternary Adders Based on Output-Generator Sharing," Proc. 38th IEEE International Symposium on Multiple-Valued Logic, Vol. 38, pp. 8-13, Dallas, TX, USA, May 2008.
- [222] Akihiro Hirotsuki, Masatomo Miura, Atsushi Matsumoto, and Takahiro Hanyu, "Vth-Variation Compensation of Multiple-Valued Current-Mode Circuit Using TMR Devices," Proc. 38th IEEE International Symposium on Multiple-Valued Logic, Vol. 38, pp. 14-19, Dallas, TX, USA, May 2008.
- [223] Tasuku Nagai, Naoya Onizawa, and Takahiro Hanyu, "High-Speed Timing Verification Scheme Using Delay Tables for a Large-Scaled Multiple-Valued Current-Mode Circuit," Proc. 38th IEEE International Symposium on Multiple-Valued Logic, Vol. 38, pp. 70-75, Dallas, TX, USA, May 2008.
- [224] Daisuke Suzuki, Tetsuo Endoh and Takahiro Hanyu, "TMR-Logic-Based LUT for Quickly Wake-Up FPGA," Proc. 51st IEEE Midwest Symposium on Circuits and Systems (MWSCAS), pp. 326-329, Aug. 2008.
- [225] Shoun Matsunaga, Jun Hayakawa, Shoji Ikeda, Katsuya Miura, Tetsuo Endoh, Hideo Ohno, and Takahiro Hanyu, "Fabrication of a Standby-Power-Free TMR-Based Nonvolatile Memory-in-Logic Circuit Chip with a Spin-Injection Write Scheme," International Conference on Solid State Devices and Materials, C-3-6, pp. 274-275, Tsukuba, Sep. 2008.
- [226] Hara, K. et al., 'Radiation resistance of SOI pixel devices fabricated with OKI 0.15 μ m FD-SOI technology', IEEE Nuclear Science Symposium Conference Record, 2008. p. p. 1369-1374.
- [227] S. Wei, A New Residue Adder with Redundant Binary Number Representation, the 6th Annual IEEE Northeast Workshop on Circuits and Systems, pp. 157-160, Montreal, Canada (June 2008).
- [228] K. Okazaki, K. Awane, N. Nagaoka, T. Sugahara, T. Koide, and H. J. Mattausch, "Low-Power Image-Segmentation VLSI Design Based on a Pixel-Block Scanning Architecture", Extended Abstracts of the 2008 International Conference on Solid State Devices and Materials (SSDM2008), pp. 474-475, (2008.9).
- [229] N. Nagaoka, K. Okazaki, T. Sugahara, T. Koide and H.J. Mattausch, "Grouping Method based on Feature Matching for Tracking and Recognition of Complex Objects," Proceedings of the 2008 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2008), pp. 421-424, (2009.2).
- [230] K. Okazaki, N. Nagaoka, T. Sugahara, T. Koide and H.J. Mattausch, "Low Power and Area Efficient Image Segmentation VLSI Architecture Using 2-Dimensional Pixel-Block Scanning," Proceedings of the 2008 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2008), pp. 441-444, (2009.2).
- [231] S. Sakakibara, W. Imafuku, A. Kawabata, T. Ansari, H.J. Mattausch and T. Koide, "VLSI design of a handwritten-character learning and recognition system based on associative memory," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 161-166, (2009.3).
- [232] T. Sugahara, K. Okazaki, N. Nagaoka, R. Kimura, T. Koide and H.J. Mattausch, "Improved region-growing image-segmentation algorithm based on the HSV color space," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 167-171, (2009.3).
- [233] T. Kumaki, M. Tagami, Y. Imai, T. Koide and H.J. Mattausch, "A ternary multi-ported content addressable memory architecture utilizing asynchronous multiple search-operation technology," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 224-229, (2009.3).
- [234] A. Kaya, K. Johguchi, S. Izumi, H.J. Mattausch and T. Koide, "Analysis of process variations in 90-nm CMOS technology using ring oscillators," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information

- technologies (SASIMI2009) , pp. 446-449, (2009.3).
- [235] T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, "A wireless chip for intra-oral temperature measurement," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3).
- [236] 長島, 今井, 戸川, 柳澤, 大附, "Dynamically reconfigurable architecture for multi-rate compatible regular Idpc decoding", APCCAS2008(2008).
- [237] S. Sakai, M. Takahashi, K. Takeuchi, Q.-H. Li, Ti Horiuchi, S. Wang, K.-Y. Yun, M. Takamiya, and T. Sakurai, "Highly Scalable Fe (Ferroelectric) -NAND Cell with MFIS (Metal-Ferroelectric-Insulator-Semiconductor) Structure for Sub-10 nm Tera-Bit Capacity NAND Flash Memories," IEEE Nonvolatile Semiconductor Memory Workshop (NVSMW), Opio, France, pp. 103-104, May 2008.
- [238] S. Choi, K. Ikeuchi, H. Kim, K. Inagaki, M. Murakata, N. Nishiguchi, M. Takamiya, and T. Sakurai, "Experimental Assessment of Logic Circuit Performance Variability with Regular Fabrics at 90 nm Technology Node," 34th European Solid-State Circuits Conference (ESSCIRC), Edinburgh, UK, pp. 50-53, Sep. 2008.
- [239] Y. Nakamura, D. Levacq, L. Xiao, T. Minakawa, T. Niiyama, M. Takamiya, and T. Sakurai, "1/5 Power Reduction by Global Optimization Based on Fine-Grained Body Biasing," IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp. 547-550, Sep. 2008.
- [240] K. Ikeuchi, K. Inagaki, H. Kusamitsu, T. Ito, M. Takamiya and T. Sakurai, "500Mbps, 670uW/pin Capacitively Coupled Receiver with Self Reset Scheme for Wireless Connectors," IEEE Asian Solid-State Circuits Conference (A-SSCC), Fukuoka, Japan, pp. 93-96, Nov. 2008.
- [241] Y. Kato, T. Sekitani, Y. Noguchi, M. Takamiya, T. Sakurai, and T. Someya, "A Large-Area, Flexible, Ultrasonic Imaging System with a Printed Organic Transistor Active Matrix," IEEE International Electron Devices Meeting (IEDM), San Francisco, USA, pp. 97-100, Dec. 2008.
- [242] Kazuki Inoue, Kazunori Matsuyama, Yoshiaki Satou, Masahiro Koga, Motoki Amagasaki, Masahiro Iida and Toshinori Sueyoshi, "A Novel Cluster-based Logic Block with Variable Grain Logic Cells," Proc. the 16th IFIP International Conference on Very Large Scale Integration (VLSI-SoC2008), pp. 315-320, Rhodos Island, Greece, Oct. 2008.
- [243] Masahiro Koga, Motoki Amagasaki, Masahiro Iida, and Toshinori Sueyoshi, "Variable Grain Logic Cell Architecture for Reconfigurable Logic Core," The 2nd International Student Conference on Advanced Science and Technology (ICAST), pp. 91-92, Peking University, Beijing, China, December 22-23, 2008.
- [244] Qian Zhao, Kazuki Inoue, Motoki Amagasaki, Masahiro Iida, and Toshinori Sueyoshi, "A Study of Local Interconnect Architecture for Variable Grain Logic Cell," The 2nd International Student Conference on Advanced Science and Technology (ICAST), pp. 93-94, Peking University, Beijing, China, December 22-23, 2008.
- [245] K. Inoue, Y. Satou, M. Koga, M. Amagasaki, M. Iida and T. Sueyoshi "A Study of the Cluster Architecture based on Variable Grain Logic Cell," Proc. 2008 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 12-1P-06, Oita, Japan, Sep. 2008.
- [246] K. Niitsu, S. Kawai, N. Miura, H. Ishikuro, and T. Kuroda, "A 65fJ/b Inductive-Coupling Inter-Chip Transceiver Using Charge Recycling Technique for Power-Aware 3D System Integration," IEEE Asian Solid-State Circuits Conference (A-SSCC2008), Proceedings, pp. 97-100, Nov. 2008.
- [247] K. Niitsu, Y. Yuxiang, H. Ishikuro, and T.Kuroda, "A 33 % Improvement in Efficiency of Wireless Inter-Chip Power Delivery by Thin Film Magnetic Material," International Conference on Solid-State Devices and Materials, Extended Abstracts, pp. 492-493, Sep. 2008.
- [248] Y. Sugimori, Y. Kohama, M. Saito, Y. Yoshida, N. Miura, H. Ishikuro, T. Sakurai and T. Kuroda, "A 2Gb/s 15pJ/b/chip Inductive-Coupling Programmable Bus for NAND Flash Memory Stacking," IEEE International Solid-State Circuits Conference (ISSCC '09), Dig. Tech. Papers, pp. 244-245, Feb. 2009.
- [249] S. Kawai, T. Ikari, Y. Takikawa, H. Ishikuro, and T. Kuroda, "A Wireless Real-Time On-Chip Bus Trace System Using Quasi-Synchronous Parallel Inductive Coupling Transceivers," IEEE Asian

Solid-State Circuits Conference (A-SSCC2008), Proceedings, pp. 113-116, Dec. 2008.

- [250] S. Kawai, T. Ikari, Y. Takikawa, H. Ishikuro, and T. Kuroda, "A Wireless Real-Time On-chip Bus Trace System," in 14th Asia and South Pacific Design Automation Conference (ASP-DAC). . Jan. 2009.
- [251] Hitoshi Hayakawa and Tadashi Shibata, "Spatiotemporal Projection of Motion Field Sequence for Generating Feature Vectors in Gesture Perception," Proceedings of The 2008 International Symposium on Circuits and Systems (ISCAS 2008), pp. 3526-3529, Seattle, USA, May 18-21, 2008.
- [252] Norihiro Takahashi, Kazuhide Fujita, and Tadashi Shibata, "An Analog Self-Similitude Edge-Filtering Processor for Multiple-Resolution Image Perception," Proceedings of The 2008 International Symposium on Circuits and Systems (ISCAS 2008), pp. 1640-1643, Seattle, USA, May 18-21, 2008.
- [253] Yoshiaki Imai, Yoshio Mita, Kenichiro Hirose, Masanori Kubota and Tadashi Shibata, "Surface Corrugated P-N Junction on Deep Submicron Trenches for Polarization Detection With Improved Efficiency", Asia-Pacific Conference of Transducers (APCOT), Taiwan pp. (2008.06).
- [254] Yitao Ma and Tadashi Shibata, "A Real-Time K-means Learning Processor Architecture extendible to Multiple-Chip Large-Scale systems," Proceedings of The 34th European Solid-State Circuits Conference (ESSCIRC 2008), Fringe P3, Edinburgh, UK, Sep. 16-18, 2008.
- [255] Hongbo Zhu and Tadashi Shibata, "A Digital-Pixel-Sensor-Based Global Feature Extraction VLSI for Real-Time Image Recognition," in Extended Abstracts of the 2008 International Conference on Solid State Devices and Materials (SSDM 2008), pp. 476-477, Tsukuba, Japan, Sep. 24-26, 2008.
- [256] Trong Tu Bui and Tadashi Shibata, "A Multi-core/Multi-chip Scalable Architecture of Associative Processors Employing Bell-Shaped Analog Matching Cells," Proceedings of 2008 9th International Conference on Solid-State and Integrated-Circuit Technology (ICSICT), pp. 1819-1822, Beijing, China, Oct 20-23, 2008.
- [257] Yoshio Mita, Yifan Li, Masanori Kubota, William Parkes, Leslie I. Haworth, Brian W. Flynn, Jonathan G. Terry, T.B. Tang, Alec Ruthven, Stewart Smith, and Anthony J. Walton, "Wireless Driven EWOD Technology for MEMS Pond Skater Application", 38th European Solid-State Device Research Conference (ESSDERC 2008), Edinburgh, UK, Sep. 16-19, pp. 306-309 (2008.09).
- [258] Yoshio Mita, "Special Section on the IEEE International Conference on Microelectronic Test Structures", IEEE Transactions on Semiconductor Manufacturing, Vol. 21, No. 4, pp. 494-495 (2008.11).
- [259] Jun Umezawa and Hitoshi Kitazawa, "A Vision Sensor with Background Subtraction Processor Using Mixed Analog-Digital Architecture", A3L-D1, APCCAS2008.
- [260] A. Shimizu, S. Fukai, Y. Ishikawa, "A neuron MOS current mirror with a transimpedance amplifier", ITC-CSCC2008, H2-4, pp421-424, July, 2008.
- [261] A. Shimizu, Y. Ishikawa, S. Fukai, "Designing of a neuron MOS current mirror with a transimpedance amplifier," 2008 IEEE ASIA PACIFIC CONFERENCE ON CIRCUITS AND SYSTEMS, B7P-K4, Dec., 2008.
- [262] Youhua Shi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, X-Eliminator: A Technique to Mask All Unknown Responses with No Test Loss and Minimized Masking Data Overhead, in Proc. 16th IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SOC), pp. 563-568, Oct. 2008.
- [263] Youhua Shi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, Unknown Response Masking with Minimized Observable Response Loss and Mask Data, in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), pp. 1779-1781, Dec. 2008.
- [264] Yoshiki Saito, Tomoaki Shirai, Takuro Nakamura, Takashi Nishimura, Yohei Hasegawa, Satoshi Tsutsumi, Toshihiro Kashima, Mitsutaka Nakata, Seidai Takeda, Kimiyoshi Usami, Hideharu Amano, "Leakage Power Reduction For Coarse Grained Dynamically Reconfigurable Processor Arrays With Fine Grained Power Gating Technique", pp. 329-332, in Proceeding of International Conference on Field Programmable Technology, 2008 December.
- [265] T. Sano, M. Kato, S. Tsutsumi, Y. Hasegawa, H. Amano, "Instruction buffer mode for multi-context Dynamically Reconfigurable Processors", pp. 215-

- 220, Proc. of FPL 2008 (Field Programmable Logic and Applications) Sep. 2008.
- [266] A Fine Grain Dynamic Sleep Control Scheme in MIPS R3000 Naomi Seki, Lei Zhao, Jo Kei, Daisuke Ikebuchi, Yu Kojima, Yohei Hasegawa, Hideharu Amano, Toshihiro Kashima, Seidai Takeda, Toshiaki Shirai, Mitustaka Nakata, Kimivoshi Usami, Tetsuya Sunata, Jun Kanai, Mitaro Namiki, Masaaki Kondo and Hiroshi Nakamura, Proc. of the 26 IEEE International Conference on Computer Design (ICCD'08), CD-ROM, Oct 2008.
- [267] S. Koyama, S. Takeda and K. Usami, "Design and Analysis of On-chip Leakage Monitor using an MTCMOS circuit," The 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC'08), pp. 205-208, Jul. 2008.
- [268] T. Hashida and K. Usami, "Power-Switch Clustering Method for Static Timing Analysis," The 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC '08), pp. 217-220, Jul. 2008.
- [269] Y. Umahashi, Y. Kambayashi, M. Kato, Y. Hasegawa, H. Amano and K. Usami, "Power Reduction Technique for Dynamic Reconfigurable Processors with Dynamic Assignment of Dual Supply Voltages," The 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC '08), pp. 213-216, Jul. 2008.
- [270] T. Shirai and K. Usami, "Hybrid Design of Dual Vth and Power Gating to Reduce Leakage Power under Vth Variations," International SoC Design Conference 2008 (ISOCC '08), pp. 310-313, Nov. 2008.
- [271] K. Tanigawa and T. Hironaka, "Evaluation of Compact High-Throughput Reconfigurable Architecture Based on Bit-Serial Computation," International Conference on Field-Programmable Technology, 2008, pp. 273-276, 7-10 Dec. 2008.
- [272] Kazuya Tanigawa, Tetsuya Zuyama, Takuro Uchida and Tetsuo Hironaka, 'EXPLORING COMPACT DESIGN ON HIGH THROUGHPUT COARSE GRAINED RECONFIGURABLE ARCHITECTURES,' In Proceedings of the 18th International Conference on Field Programmable Logic and Applications (FPL). pp. 543-546, 2008.
- [273] Tomoyuki Kawamoto, Kazuya Tanigawa, Tetsuo Hironaka and Yuhki Yamabe "Development and Evaluation of Raytracing Acceleration Engine with Bit Serial Arithmetic Units" Proceedings of the ITC-CSCC 2008, pp. 237-240, 2008.
- [274] Takuro Uchida, Yasuhiro Nishinaga, Tetsuya Zuyama, Kazuya Tanigawa, Tetsuo Hironaka Development of Heterogenous Multi-core Processor "Hy-DiSC" with Dynamic Reconfigurable Processor, Proceedings of the ITC-CSCC 2008, pp145-148, 2008.
- [275] Naoki Hiramawa, Masanori Yoshihara, Masayuki Sato, Kazuya Tanigawa and Tetsuo Hironaka "Low Cost PLD with High Speed Partial Reconfiguration" Proceedings of the ITC-CSCC 2008, pp. 557-560, 2008.
- [276] Naoki Hiramawa, Kazuya Tanigawa and Tetsuo Hironaka, 'A PLD Architecture for High Performance Computing', International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA'08).
- [277] Na Li, Zhangcai Huang, Minglu Jiang and Yasuaki Inoue, "High Efficiency Four-phase All PMOS Charge Pump without Body Effects," International Conference on Communications, Circuits and Systems (ICCCAS), Xiamen, pp. 1216-1220, May 2008.
- [278] Minglu Jiang, Zhangcai Huang, Atsushi Kurokawa, and Yasuaki Inoue, "An Advanced Model for Calculating the Effective Capacitance Considering Input Waveform Effect," International Conference on Communications, Circuits and Systems (ICCCAS), Xiamen, pp. 1221-1225, May 2008.
- [279] Sui HUANG, Zhangcai HUANG, Atsushi KUROKAWA and Yasuaki INOUE, "A Novel SRAM Structure for Leakage Power Suppression in 45nm Technology"; International Conference on Communications, Circuits and Systems (ICCCAS), Xiamen, China, pp. 1203-1207, May 2008.
- [280] Zhangcai Huang, Yasuaki Inoue, FayanWang, Xuetao Sun, "Stability analysis and design for amplifier-based CMOS analog signal processing cells," International Conference on Communications, Circuits and Systems (ICCCAS), Xiamen, China, pp. 1105-1110, May

- [281] Masahiro Yamaguchi, "Ferromagnetic integrated inductor/noise suppressor", International Workshop on Power Supply On Chip, 4a-3 (Ireland, 2008).
- [282] Masahiro Yamaguchi, Yasushi Endo and Yutaka Shimada, "High-frequency Magnetic Shielding Technology for Electronic Devices", 2008 International Conference on Solid State Devices and Materials, C-7-3 (Tsukuba, 2008).
- [283] Shiori Namba, Hideki Torizuka, Masahiro Yamaguchi, and Shoji Kawahito, "Design of Integrated Magnetic Field Probe to Evaluate Radiated Emission from LSI Chip", 2008 China-Korea-Japan Graduates Workshop on Electronic Information, (China, 2008).
- [284] T. Enami, S. Ninomiya, and M. Hashimoto, "Statistical Timing Analysis Considering Spatially and Temporally Correlated Dynamic Power Supply Noise," in Proc. ACM International Symposium on Physical Design, pp. 160-167, April 2008.
- [285] K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Experimental Study on Body-Biasing Layout Style," In Proc. ACM Great Lakes Symposium on VLSI, pp. 387-390, May 2008.
- [286] Ken-ichi Shinkai and Masanori Hashimoto, "A Gate Delay Model over Wide-Range of Process and Environmental Variability," In Proceedings of ACM/IEEE International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), pp. 79-84, Feb. 2009.
- [287] Y. Ko, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Coarse-Grained Dynamically Reconfigurable Architecture with Flexible Reliability," Proceedings of Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI), pp. 236-241, March 2009.
- [288] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Trade-Off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction," Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 266-271, January 2009.
- [289] T. Enami, M. Hashimoto, and T. Sato, "Decoupling Capacitance Allocation for Timing with Statistical Noise Model and Timing Analysis," Proceedings of ACM/IEEE International Conference on Computer-Aided Design (ICCAD), pp. 420-425, November 2008.
- [290] Y. Ogasahara, M. Hashimoto, T. Kanamoto, and T. Onoye, "Measurement of Supply Noise Suppression by Substrate and Deep N-Well in 90nm Process," Proceedings of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 397-400, November 2008.
- [291] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Vth Variation Modeling and Its Validation with Ring Oscillation Frequencies for Body-Biased Circuits and Subthreshold Circuits," Proceedings of Workshop on Test Structure Design for Variability Characterization, November 2008.
- [292] D. Alnajjar, Y. Ko, T. Imagawa, M. Hiromoto, Y. Mitsuyama, M. Hashimoto, H. Ochi, and T. Onoye, "A Coarse-Grained Dynamically Reconfigurable Architecture Enabling Flexible Reliability," Proceedings of IEEE Workshop on System Effects of Logic Soft Errors (SELSE), 2009.
- [293] "Automatic tuning scheme for substrate noise cancellation circuit tolerant of large digital circuit," H. Suzuki, K. Wada, and Y. Tadokoro, Proc. 2008 IEEJ Analog VLSI Workshop, pp. 148-152, August 2008.
- [294] Toshiro Hiramoto (Invited), "Silicon Nanoelectronics", MRS International Material Research Conference, Symposium D: Electronic Materials, Chongqing International Convention & Exhibition Center, Chongqing, China, p. 140, June 11, 2008.
- [295] J. S. Park, T. Saraya, K. Miyaji, K. Shimizu, A. Higo, K. Takahashi, Y. Yi, H. Toshiyoshi, and T. Hiramoto, "Characteristic Modulation of Silicon MOSFETs and Single Electron Transistors with a Movable Gate Electrode", IEEE Silicon Nanoelectronics Workshop, S1015, Hilton Hawaiian Village, HI, USA, June 15, 2008.
- [296] Ken Shimizu and Toshiro Hiramoto, "Hole Mobility Enhancement by [110] Uniaxial Compressive Strain in (110) Oriented Ultra-Thin Body pFETs with SOI Thickness of Less Than 4 nm", IEEE Silicon Nanoelectronics Workshop, S1135, Hilton Hawaiian Village, HI, USA, June 15, 2008.
- [297] Arifin Tamsir Putra, Takaaki Tsunomura, Akio Nishida, Shiro Kamohara, Kiyoshi Takeuchi,

- and Toshiro Hiramoto, "Impact of Atomic Oxide Roughness and Local Gate Depletion on V_{th} Variation in MOSFETs", IEEE Silicon Nanoelectronics Workshop, S1205, Hilton Hawaiian Village, HI, USA, June 15, 2008.
- [298] Yeon Joo Jeong, Kousuke Miyaji, and Toshiro Hiramoto, "Experimental Study on Silicon Nanowire nMOSFET and Single-Electron Transistor at Room Temperature under Uniaxial Tensile Strain", IEEE Silicon Nanoelectronics Workshop, M0930, Hilton Hawaiian Village, HI, USA, June 16, 2008.
- [299] Jiezhi Chen, Takuya Saraya, Kousuke Miyaji, Ken Shimizu, and Toshiro Hiramoto, "Experimental Study of Mobility in [110]- and [100]-Directed Multiple Silicon Nanowire GAA MOSFETs on (100) SOI," Symposium on VLSI Technology, pp. 32-33, Hilton Hawaiian Village, HI, USA, June 17, 2008.
- [300] Toshiro Hiramoto, Masaharu Kobayashi, and Jiezhi Chen (Invited), "Mobility and Variability in Silicon Nanowire MOSFETs", 14th International Symposium on the Physics of Semiconductors and Applications (ISPSA-2008), Korea, Ramada Plaza Jeju Hotel, Jeju, p. 192, August, 2008.
- [301] A.T. Putra, T. Tsunomura, A. Nishida, S. Kamohara, K. Takeuchi, and T. Hiramoto, "Impact of Fixed Charge at MOSFETs' SiO_2/Si Interface on V_{th} Variation," International Conference on Simulation of Semiconductor Devices and Processes (SISPAD), Hakone Prince Hotel, Kanagawa, Japan, September 9, 2008.
- [302] Toshiro Hiramoto, Yuji Takahashi, Kousuke Miyaji, and Takuya Saraya, "Nanowire Channel Nanocrystal Memory with P-Doped Silicon Nanocrystals", IEEE Nanotechnology Materials and Devices Conference, Kyoto University, p. 57, October 20, 2008.
- [303] Ken Shimizu, Takuya Saraya and Toshiro Hiramoto, "Experimental Investigation on the Origin of Direction Dependence of Si (110) Hole Mobility Utilizing Ultra-Thin Body pMOSFETs", IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, pp. 67-70, December 15, 2008.
- [304] Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto, "Electron Mobility in Multiple Silicon Nanowires GAA nMOSFETs on (110) and (100) SOI at Room and Low Temperature", IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, pp. 757-760, December 17, 2008.
- [305] YeonJoo Jeong, Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto, "Uniaxial Strain Effects on Silicon Nanowire pMOSFET and Single-Hole Transistor at Room Temperature", IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, pp. 761-764, December 17, 2008.
- [306] Toshiro Hiramoto, Jiezhi Chen, YeonJoo Jeong, and Takuya Saraya (Invited), Silicon Nanowire FETs and Single-Electron/Hole Transistors under Uniaxial Strain at Room Temperature, International Symposium on Nanoscale Transport and Technology (NTT2009), NTT Atsugi R&C Center, Kanagawa, p. 99, January 22, 2009.
- [307] Atsushi Sasaki, Koji Kotani, and Takashi Ito, "Differential-Drive CMOS Rectifier for UHF RFIDs with 66 % PCE at -12 dBm Input," IEEE Asian Solid-State Circuits Conference 2008 (A-SSCC 2008), pp. 105-108, Fukuoka, Nov.3-5, 2008.
- [308] T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, "A wireless chip for intra-oral temperature measurement," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3).
- [309] Kamezawa, C., Suzuki, Y., and Kasagi, N., "In-situ Strain Monitoring of Micromachined Parylene Spring for Fatigue Test," Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT 2008), Tainan, (2008), 2D1-1, 4pp.
- [310] Edamoto, M., Suzuki, Y., and Kasagi, N., "Electret-based Energy Harvesting Device with Parylene Flexible Springs," Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT 2008), Tainan, (2008), 2B3-1, 4pp.
- [311] Suzuki, Y., Edamoto, M., Kasagi, N., Kashiwagi, K., and Morizawa, Y., "Micro Power Generator with High-performance Polymer Electret," 13th IEEE Int. Symp. Electrets (ISE13), Tokyo, (2008), p. 53.
- [312] Sakane, Y., Suzuki, Y., and Kasagi, N., "Development of High-performance

Purfluorinated Polymer Electret," 13th IEEE Int. Symp. Electrets (ISE13), Tokyo, (2008), p. 13.

- [313] Suzuki, Y., "Energy Harvesting from Vibration Using Polymer Electret," IEEE Int. Symp. Micro-NanoMechatronics and Human Science (MHS2008), Nagoya, (2008), Invited talk, pp. 180-183.
- [314] Suzuki, Y., Edamoto, M., Kasagi, N., Kashiwagi, K., Morizawa, Y., Yokoyama, T., Seki, T., and Oba, M., "Micro Electret Energy Harvesting Device with Analogue Impedance Conversion Circuit," 8th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2008), Sendai, (2008), pp. 7-10.
- [315] Kirikae, D., Suzuki, Y., and Kasagi, N., "Effect of Micro Cavity Profile on the Selective Emitter Performance for Thermophotovoltaic," 8th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2008), Sendai, (2008), pp. 369-372.
- [316] Hashimoto, S., Nishimura, T., Miwa, J., Suzuki, Y., and Kasagi, N., "Label-free Continuous Micro Cell Sorter with Antibody-Immobilized Oblique Grooves," IEEE Int. Conf. MEMS 2009, Sorrento, (2009), pp. 60-63.
- [317] Kamezawa, C., Suzuki, Y., and Kasagi, N., "Mechanical Response Evaluation of High-thermally-stable-grade Parylene Spring," IEEE Int. Conf. MEMS 2009, Sorrento, (2009), pp. 615-618.
- [318] Edamoto, M., Suzuki, Y., Kasagi, N., Kashiwagi, K., Morizawa, Y., Yokoyama, T., Seki, T., and Oba, M., "Low-resonant-frequency Micro Electret Generator for Energy Harvesting Application," IEEE Int. Conf. MEMS 2009, Sorrento, (2009), pp. 1059-1062.
- [319] S. H. Kim, T. Yamamoto, D. Fourmy and T. Fujii, "TRAPPING ESCHERICHIA COLI CELLS IN ELECTROACTIVE MICROWELL ARRAY", The 5th International conference on microtechnologies in Medicine and Biology (2009).
- [320] K. Mogi and T. Fujii, "SIMPLE FABRICATION METHOD FOR HARD MICROFLUIDIC DEVICE IN ELECTROACTIVE MICROWELL ARRAY", The 5th International conference on microtechnologies in Medicine and Biology (2009).
- [321] N. Kanda, K. Konishi, M. Kuwata-Makoto, "Enhanced Optical Activity of Metal Chiral Gratings with Complimentary Double-layered Structures in the Terahertz Region", PLMCN8, Komaba Research Campus (April 2008).
- [322] N. Kanda, K. Konishi, and M. Kuwata-Gonokami "Enhanced optical activity of a Terahertz wave with complimentary double-layered metal chiral gratings" CLEO/QELS, San Jose (May 2008).
- [323] N. Kanda, K. Konishi, M. Kuwata-Gonokami "Enhancement of terahertz optical activity with photo-excitation in metal chiral gratings" iNow 2008, Univ. of Tokyo, (Aug., 2008).
- [324] M. Kuwata-Gonokami "Enhanced optical activity in metal and dielectric chiral nanograting structures" iNOW 2008: International Nano-Optoelectronics Workshop, Univ. of Tokyo, (Aug., 2008) (invited).
- [325] N. Kanda, K. Konishi, M. Kuwata-Gonokami "Photo-controlled Terahertz Optical Activity in Metal Chiral Gratings" NANOMETA09; the 2nd European Topical Meeting on Nanophotonics and Metamaterials, 2009, Seefeld, (Jan., 2009).
- [326] Takayuki Hoshino, Tomohiro Konno, Kazuhiro Ishihara, and Keisuke Morishima! "A Nano-Needle Interface Self-Assembled by Using Cell Migration for Recording Intracellular Activity! Nano-Needle Durability.", The second IEEE RAS/EMBS International Conference on Biomedical Robotics and Biomechatronics (BioRob 2008), Scottsdale, Arizona (USA), TuBT1.4, pp. 506-510, (October 19-22 2008) (Oral, 査読あり).
- [327] Takayuki Hoshino, Yuichi Hori, Tomohiro Konno, Kazuhiro Ishihara, and Keisuke Morishima! "Cell Driven Nano Locomotion.", The 12th International Conference on Miniaturized System for Chemistry and Life Science (micro TAS 2008), San Diego (USA), M12B (poster), pp. 230-232, (October 13 2008) (Poster, 査読あり).
- [328] Takayuki Hoshino and Keisuke Morishima! "Cell Self Assembly of Intracellular Interface Using Cell Migration"., Material Research Society 2008 Spring Meeting, San Francisco

- (USA), 1092-BB02-12, (March 26 2008) (Poster, 査読あり).
- [329] A. Higo, H. Fujita, H. Toshiyoshi, and Y. Nakano, "Design and fabrication of optical waveguide modulator integrated with silicon wire waveguide," in Proc. 4th Asia Pacific Conference on Transducers and Micro-Nano Technology (APCOT 2008), June 22-25, 2008, TAYIH Landis Hotel, Tainan, Taiwan R.O.C., p. 2A2-4.
- [330] Koji Takeda, Mitsuru Takenaka, Takuo Tanemura, and Yoshiaki Nakano, "Wavelength Tunability of All-Optical Flip-Flop Using Distributed Bragg Reflectors", IEEE LEOS The 21st Annual Meeting (2008LEOS), TuF5, Newport Beach, California, USA, Nov. 2008.
- [331] Koji Takeda, Yasuki Kanema, Mitsuru Takenaka, Takuo Tanemura, and Yoshiaki Nakano, "Dynamic Operation of Polarization Insensitive All-Optical Flip-Flop Based on Multimode-Interference Bistable Laser Diode", 2008 European Conference on Optical Communication (2008 ECOC), We.2.C.2, Brussels, Belgium, Sep. 2008.
- [332] Koji Takeda, Yasuki Kanema, Mitsuru Takenaka, Takuo Tanemura, and Yoshiaki Nakano, "Polarization Insensitive Operation of Multimode Interference Bistable Laser All-Optical Flip-Flop", 20th International Conference on Indium Phosphide and Related Materials (2008 IPRM), WP45, Versailles, France, May 2008.
- [333] M. Deura, T. Hoshii, M. Sugiyama, R. Nakane, M. Takenaka, S. Sugahara, S. Takagi, and Y. Nakano, "Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si", 14th International Conference of Metalorganic Vapor Phase Epitaxy, We-B2.6, June 4, 2008, Metz, France.
- [334] T. Tanemura, K. Takeda, and Y. Nakano, "320-Gbps wavelength-multiplexed 1×5 optical packet switching using broadband InP phased-array switch," OMU3, Optical Fiber Communication Conference (2009).
- [335] I. M. Soganci, T. Tanemura, and Y. Nakano, "Polarization-independent broadband 1×8 optical phased-array switch monolithically integrated on InP," OWV1, Optical Fiber Communication Conference (OFC' 09) (2009).
- [336] T. Fujimura, T. Tanemura, and Y. Nakano, "Numerical and experimental study on beam-deflecting planar optical switch on InP," WF3, 21st Annual Meeting of the IEEE Lasers and Electro-Optics Society (2008).
- [337] T. Tanemura, K. Takeda, and Y. Nakano, "Characterization of 1×5 InP/InGaAsP waveguide switch based on optical phased array," ThA1.6, 20th International Conference on Indium Phosphide and Related Materials (2008).
- [338] I. M. Soganci, T. Tanemura, and Y. Nakano, "Design and fabrication of compact InP/InGaAsP 1×8 optical phased array switch," International Nano-Optoelectronics Workshop (2008).
- [339] T. Fujimura, T. Tanemura, and Y. Nakano, "Design and fabrication of beam-deflecting optical switch on InP," pp. 223-224, International Nano-Optoelectronics Workshop (2008).
- [340] Ling-Han Li, Akio Higo, Masanori Kubota, Masakazu Sugiyama, Yoshiaki Nakano, Design and simulation of hybrid direct coupling laser with 3-5 MQW and silicon waveguide by alignment free direct bonding, Asian-Pacific Conference of Transducers and Micro/Nano Technology 2008, 2008.6, Taiwan.
- [341] Ling-Han Li, Akio Higo, Masanori Kubota, Masakazu, Sugiyama, Yoshiaki Nakano, A novel etching oxidation fabrication method for 3D nano structures on silicon and its application to SOI symmetric waveguide and 3D taper spot size converter. IEEE 2008 International Conference on Optical MEMS and Nanophotonics. 2008.8, Freiburg, Germany.
- [342] S. Moritsubo, T. Murai, T. Shimada, Y. Murakami, S. Maruyama, Y. K. Kato, "Confocal imaging and excitation spectra of photoluminescence from carbon nanotubes suspended over trenches of various widths", March meeting of the American Physical Society (2009).
- [343] H. Ymaguchi, A. Kumada, and K. Hidaka, "Surface discharge phenomena in micro gap," TheSixth Intemational Workshop on High Voltage Engineering, pp. 115-118 (2008).
- [344] Ryosuke Tsuji, Koichi Endo, Masaki Shuzo,

Ichiro Yamada, Jean-Jacques Delaunay, "Hydrogen detection with subwavelength palladium hole arrays," Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT 2008), June 22-25, 2008.

- [345] Takashi Nakai, Sho Nishiyama, Masaki Shuzo, Jean-Jacques Delaunay, Ichiro Yamada, "Microfabricated semi-packed gas chromatography column with functionalized parylene as the stationary phase," 12th International Conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS 2008), October 12-16, 2008.
- [346] Jean-Jacques Delaunay, Koichi Endo, Sho Mikuriya, Masaki Shuzo, Ichiro Yamada, "Hydrogen detection with subwavelength palladium hole arrays," SPIE Photonic West, January 24-29, 2009.
- [347] I. Mitsuishi, Y. Ezoe, M. Koshiishi, M. Mita, Y. Maeda, N. Y. Yamasaki, K. Mitsuda, T. Shirata, T. Hayashi, T. Takano, R. Maeda, "Evaluation of X-ray reflectivity of a MEMS X-ray optic", Optical MEMs and Nanophotonics, 2008 IEEE/LEOS International Conference (2008).
- [348] M. Koshiishi, Y. Ezoe, I. Mitsuishi, M. Mita, K. Mitsuda, T. Takano, and R. Maeda, "Simulation-based design of a MEMS X-ray optics for X-ray astronomy", Optical MEMs and Nanophotonics, 2008 IEEE/LEOS International Conference (2008).
- [349] H. Moritani, K. Nagato, Y. Kojima, M. Furubayashi, K. Kasuya, T. Hamaguchi, M. Nakao, "Multi-sectional Synthesis of Tungsten Oxide Nanowires Using Micropatterned Layer for Field-Emission Displays", 23rd ASPE Annual Meeting, Portland, Oct. 19-24, 2008.
- [350] M. Nakao, K. Nagato, H. Suzuki, T. Nishino, H. Yonemoto, H. Kaito, T. Hamaguchi and K. Tsuchiya, "Sub-wavelength Pitched Cubic Mosaic Multi-layer Precisely Pressed by Nano-features Mold for Multi-functional Optical Elements", The 41st CIRP Conference on Manufacturing Systems, The University of Tokyo, Japan, May 26-28, 2008, 449-452.
- [351] N. Toyoda, K. Nagato, H. Tani, Y. Sakane, M. Nakao, T. Hamaguchi, I. Yamada, "Planarization of Amorphous Carbon Films on Patterned Media Using Gas Cluster Ion Beams", 53rd Magnetism and Magnetic Materials Conference (MMM 2008), Nov. 10-14, 2008.
- [352] M. Tanaka (invited) "Materials and Devices for Semiconductor Spintronics" 4th Asian Conference of Crystal Growth and Crystal Technology (CGCT-4), Sendai, May 21-23, 2008.
- [353] M. Tanaka (invited) "Recent Progress in Materials and Devices for Semiconductor Spintronics" 9th International Workshop on Expert Evaluation & Control of Compound Semiconductor Materials & Technologies (EXMATEC 2008) Lodz, Poland, 1st-4th June 2008.
- [354] R. Nakane, T. Harada, K. Sugiura, S. Sugahara, and M. Tanaka "Magnetoresistance in MOSFETs with ferromagnetic MnAs source and drain contacts! Spin injection and transport in Si MOS channels" 66th Device Research Conference, University of California at Santa Barbara, June 23-25, 2008.
- [355] S. Yada, S. Sugahara and M. Tanaka "Magnetic and structural properties of Mn doped Ge thin films" LMU/MUT-UT Global COE International Workshop, Munchen, Germany, July 10-11, 2008.
- [356] Pham Nam Hai, ByungHo Yu, S. Ohya, and M. Tanaka "Huge Magnetoresistance Effect in Semiconductor based Nanostructures with Zinc-blende MnAs Nanoparticles" International Conference on Solid State Devices and Materials (SSDM 2008), Tsukuba, Sept 24-26, 2008.
- [357] Kentaro Noda, Nguyen Binh-Khiem, Atsushi Takei, Seiichi Yoshimi, Isao Shimoyama, "MEMS for Robots in Aging Society," 1P2, Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT '08) (2008).
- [358] Kentaro Noda, Hiroaki Onoe, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Flexible Tactile Sensor Sheet with Thin Si Piezoresistive Cantilevers Peeled off from SOI with PDMS Sheet," 1B2-3, Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT '08) (2008).
- [359] Binh-Khiem Nguyen, Kiyoshi Matsumoto, Isao Shimoyama, "Reflective Display Device with an Encapsulated Droplet Array of Ionic Liquid," 1D2-1, Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT

- '08), (2008).
- [360] Yun Jung Heo, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Stretchable Micropatterned Substrates using Pneumatic Actuators for Studying Mechanical-Stress-Dependent Cell Response," IC2-1, Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT '08) (2008).
- [361] Kouichi Ishitaki, Yusuke Takei, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Floating Silicon Structure Supported by Carbon Nanotubes," 3B1-1, Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT '08) (2008).
- [362] Hiroyuki Kojo, Nguyen Binh-Khiem, Tomoyuki Takahata, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Varifocal Infrared Imaging Lens by Parylene-on-Liquid-Deposition," 2S32, Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT '08) (2008).
- [363] Yusuke Tanaka, Akihito Nakai, Eiji Iwase, Takanori Goto, Kiyoshi Matsumoto, Isao Shimoyama, "Triaxial Tactile Sensor Chips with Piezoresistive Cantilevers Mountable on Curved Surface," 1B1-1, Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT '08) (2008).
- [364] Nguyen Binh-Khiem, Kiyoshi Matsumoto, Isao Shimoyama, "Active Parylene-encapsulated droplets for displays," 1155460, Spring 2008 ACS National Meeting & Exposition (2008).
- [365] Kentaro Noda, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Flexible Tactile Sensor Sheet with Thin Cantilevers for Shear Stress Detection on Curved Surface," pp. 43-49, The 17th CISM-IFTToMM Symposium on Robot Design, Dynamics, and Control (RoManSy '08) (2008).
- [366] Hiroto Tanaka, Kiyoshi Matsumoto, Isao Shimoyama, "Design and Performance of Micromolded Plastic Butterfly Wings on Butterfly Ornithopter," pp. 3095-3100, The 2008 IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS '08) (2008).
- [367] Kentaro Noda, Kiyoshi Matsumoto, Isao Shimoyama, "Tactile Sensor with Standing Piezoresistive Cantilevers Covered with 2-Layer Skin Type Structures for Texture Detection of Object Surface," pp. 3953-3958, The 2008 IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS '08) (2008).
- [368] Yun Jung Heo, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Stretchable Substrates using Pneumatic Actuators for Monitoring Mechanical-Stress-Dependent Cell Response," pp. 579-581, The 12th International Conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS '08), (2008).
- [369] Kenta Kuwana, Kiyoshi Matsumoto, Isao Shimoyama, "Measurement of Protein Concentration using the Binding Force between Two Surfaces," pp. 982-984, The 12th International Conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS '08) (2008).
- [370] Eiji Iwase, Hiroaki Onoe, Akihito Nakai, Kiyoshi Matsumoto, Isao Shimoyama, "Temperature-Controlled Transfer and Self-Wiring for Multi-Color LED Display on a Flexible Substrate," pp. 176-179, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [371] Tomoyuki Takahata, Kiyoshi Matsumoto, Isao Shimoyama, "Tilted Paraboloidal Reflective Lens for Far Infrared Sensor Fabricated by Mask with Rectangular Openings," pp. 975-978, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [372] Yusuke Takei, Tetsuo Kan, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Integration of Bridging-Structural SWNTs on Flexible PDMS Sheet by Stamping Transfer," pp. 551-554, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [373] Seiichi Takamatsu, Kiyoshi Matsumoto, Isao Shimoyama, "Stretchable Yarn of Display Elements," pp. 1023-1026, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [374] Kentaro Noda, Kiyoshi Matsumoto, Isao Shimoyama, "Flexible Tactile Sensor Sheet with Liquid Filter for Shear Force Detection," pp. 785-788, The 22nd IEEE International Conference

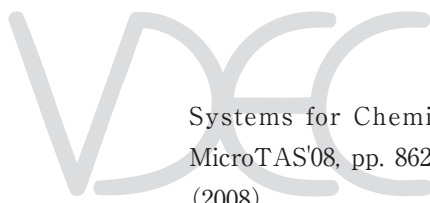
on Micro Electro Mechanical Systems (MEMS '09) (2009).

- [375] Yun Jung Heo, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Stretchable Substrates for the Measurement of Intracellular Calcium Ion Concentration Responding to Mechanical Stress," pp. 68-71, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [376] Yun Jung Heo, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Stretchable Substrates for the Measurement of Intracellular Calcium Ion Concentration Responding to Mechanical Stress," pp. 68-71, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [377] Nguyen Binh-Khiem, Kiyoshi Matsumoto, Isao Shimoyama, "Reflective Display using Ionic Liquid," pp. 168-171, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [378] Hidetoshi Takahashi, Kiyoshi Matsumoto, Isao Shimoyama, "Air Pressure Sensor for an Insect Wing," pp. 825-828, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [379] Ryo Okumura, Seiichi Takamatsu, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Solution Electrochemiluminescent Microfluidic Cell for Flexible and Stretchable Display," pp. 947-950, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [380] Yuta Yoshihata, Atsushi Takei, Nguyen Binh-Khiem, Tetsuo Kan, Eiji Iwase, Kiyoshi Matsumoto, Isao Shimoyama, "Micro Liquid Prism," pp. 967-970, The 22nd IEEE International Conference on Micro Electro Mechanical Systems (MEMS '09) (2009).
- [381] Peng Huei Lim, Yosuke Kobayashi, Shinya Takita, Yasuhiko Ishikawa, and Kazumi Wada, "Enhanced Direct Bandgap Emission from Germanium-Based Ring Resonators", 5th International Conference on Group IV Photonics, Sorrento, Italy, September, 2008.
- [382] Kotera, Abe, Egawa, Takizawa, Kobayashi, "Power-Aware Dynamic Cache Partitioning for CMPs," Trans. on Embedded Architectures and Compilers, Vol. 3, pp149-167, (2008).
- [383] Jukka Hast, Cheng-Yao Lo, Olli-Heikki Huttunen, Johanna Hiitola-Keinanen, Jarno Petaja, Hiroshi Toshiyoshi, Arto Maaninen, Harri Kopola, and Hiroyuki Fujita, "Towards roll-to-roll manufactured flexible, large scale, and low cost MEMS display," in Proc. the 9th Optics Days 2008, May 8-9, 2008, Technopolis, Kuopio, Finland.
- [384] Cheng-Yao Lo, Olli-Heikki Huttunen, Jarno Petaja, Johanna Hiitola-Keinanen, Jukka Hast, Arto Maaninen, Harri Kopola, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Substrate Design Concerns for Printed Flexible Displays," in Proc. the 1st Int. Conf. on R2R Printed Electronics 2008, April 30 - May 2, 2008, Konkuk University, Seoul, Korea.
- [385] K. Takahashi, M. Mita, M. Nakada, D. Yamane, A. Higo, H. Fujita, and H. Toshiyoshi, "Development of Multi-user Multi-chip SOI CMOS-MEMS processes," in Proc. 22nd IEEE Int. Conf. on Micro Electro Mechanical Systems, Jan. 25-29, 2009, Sorrento, Italy (to be presented).
- [386] Hiroshi Toshiyoshi, "MEMS for Optical Information Technology," in Proc. 4th Asia Pacific Conference on Transducers and Micro-Nano Technology (APCOT 2008), June 22-25, 2008, TAYIH Landis Hotel, Tainan, Taiwan R.O.C. (invited).
- [387] K. Takahashi, M. Mita, H. Fujita, and H. Toshiyoshi, "An SOI-MEMS compatible designing technique of reversed double-deck actuators with interlayer electrical connection," in Proc. 4th Asia Pacific Conference on Transducers and Micro-Nano Technology (APCOT 2008), June 22-25, 2008, TAYIH Landis Hotel, Tainan, Taiwan R.O.C., p. 1A2-6.
- [388] A. Higo, H. Fujita, H. Toshiyoshi, and Y. Nakano, "Design and fabrication of optical waveguide modulator integrated with silicon wire waveguide," in Proc. 4th Asia Pacific Conference on Transducers and Micro-Nano Technology (APCOT 2008), June 22-25, 2008, TAYIH Landis Hotel, Tainan, Taiwan R.O.C., p. 2A2-4.
- [389] M. Nakada, H. N. Kwon, C. Chong, A. Morosawa, K. Isamoto, H. Fujita, and H. Toshiyoshi,

- "Optical coherence tomography based on power-over-fiber MEMS scanner," in Proc. 4th Asia Pacific Conference on Transducers and Micro-Nano Technology (APCOT 2008), June 22-25, 2008, TAYIH Landis Hotel, Tainan, Taiwan R.O.C., p. 2A2-3.
- [390] Y. Yi, H. Fujita, and H. Toshiyoshi, "Low voltage actuated MEMS switch/relay for power gating application," in Proc. 4th Asia Pacific Conference on Transducers and Micro-Nano Technology (APCOT 2008), June 22-25, 2008, TAYIH Landis Hotel, Tainan, Taiwan R.O.C., p. 1A1-5.
- [391] K. Yamashita, B. Charlot, W. Sun, K. Kakushima, H. Fujita, and H. Toshiyoshi, "Modulation and detection of field-emission current by using MEMS resonator for application to RF-MEMS band-pass filters," in Proc. 4th Asia Pacific Conference on Transducers and Micro-Nano Technology (APCOT 2008), June 22-25, 2008, TAYIH Landis Hotel, Tainan, Taiwan R.O.C., p. 1D1-2.
- [392] M. Nakada, K. Takahashi, A. Higo, H. Fujita and H. Toshiyoshi, "Design and Fabrication of Parylene-Hinged Slow-Scan Optical Scanner for OCT Endoscope Application," IEEE/LEOS Int. Conf. on Optical MEMS & Nanophotonics, Freiburg, Germany, Aug. 11-14, 2008, (Tu1.5).
- [393] C.-Y. Lo, J. Hast, O.-H. Huttunen, J. Petaja, J. Hiitola-Keinanen, A. Maaninen, H. K. Kopola, H. Fujita and H. Toshiyoshi, "Low Operation Voltage Non Self-Emissive MEMS Color Filter Pixels," IEEE/LEOS Int. Conf. on Optical MEMS & Nanophotonics, Freiburg, Germany, Aug. 11-14, 2008, (P10).
- [394] Yasutaka Ohira, Aleksandr Checkovskiy, Toshio Yamanoi, Takashi Endo, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A High-Power Handling MEMS Optical Scanner for Display Applications," IEEE/LEOS Int. Conf. on Optical MEMS & Nanophotonics, Freiburg, Germany, Aug. 11-14, 2008 (Tu4.2).
- [395] Ch.-Y. Lo, H. Fujita, H. Toshiyoshi, "Hydrophilicity control for micro droplet positioning on SiO₂ by photolithography process and post chemical treatment," 34th Int. Conf. on Micro and Nano Engineering (MNE 2008), Sept. 15-18, 2008, Athens, Greece (MAN-P05).
- [396] C.-Y. Lo, J. Kiitola-Keinanen, O.-H. Huttunen, J. Petaja, J. Hast, A. Maaninen, H. Kopola, H. Fujita, and H. Toshiyoshi, "Novel roll-to-roll lift-off patterned active-matrix display on flexible polymer substrate," 34th Int. Conf. on Micro and Nano Engineering (MNE 2008), Sept. 15-18, 2008, Athens, Greece (PTE - P 11).
- [397] David Dubuc, Daisuke Yamane, Zhang Rui, Yuheon Yi, Katia Grenier, Hiroyuki Fujita, Hiroshi Toshiyoshi, "Modelling and design guidelines of metamaterial-based artificial dielectric for the miniaturization of microwave passive circuits", Technical session 12, Poster session, Metamaterial2008, Pamplona, Spain, 21-26 September 2008.
- [398] Kazuhiro Takahashi, Makoto Mita, Hiroyuki Fujita, Kazuhiro Suzuki, Hideyuki Funaki, Kazuhiko Itaya and Hiroshi Toshiyoshi, "A Study on Process-compatibility in CMOS-first MEMS-last Integration," IEEE Custom Integrated Circuits Conference (CICC 2008), Sept. 21-24, 2008, DoubleTree Hotel, San Jose, CA, USA, paper# 6-3.
- [399] D. Yamane, T. Yamamoto, K. Urayama, K. Yamashita, H. Toshiyoshi, and S. Kawasaki, "A Phase Shifter by LTCC Substrate with an RF-MEMS Switch," in Proc. 38th European Microwave Conference (EuMC 2008), Amsterdam, Netherlands, Oct. 27-31, 2008.
- [400] Jukka Hast, Olli-Heikki Huttunen, Johanna Hiitola-Keinanen, Jarno Petaja, Arto Maaninen, Harri Kopola, Chengyao Lo, Hiroshi Toshiyoshi, Hiroyuki Fujita, "Towards large area roll-to-roll manufactured MEMS display," Organic Semiconductor Conference (OSC 08 Europe), Sept. 29 - Oct. 1, 2008, Frankfurt Messe, Frankfurt, Germany.
- [401] C.-Y. Lo, O.-H. Huttunen, J. Hiitola-Keinanen, J. Petaja, J. Hast, A. Maaninen, H. Kopola, H. Fujita, and H. Toshiyoshi, "Active Matrix Flexible Display Array Fabricated by MEMS Printing Techniques," in Proc. 15th Int. Display Workshops (IDW '08), Toki Messe Niigata Convention Center, Niigata, Japan, Dec.3-5, 2008, pp. 1353-1356.
- [402] D. Yamane, H. Seita, W. Sun, S. Kawasaki, H.

- Fujita and H. Toshiyoshi, "A 12-GHz DPDT RF-MEMS Switch with Layer-wise Waveguide/Actuator Design Technique," in Proc. 22nd IEEE Int. Conf. on Micro Electro Mechanical Systems, Jan. 25-29, 2009, Sorrento, Italy.
- [403] M. Nakada, K. Takahashi, T. Takahashi, A. Higo, H. Fujita and H. Toshiyoshi, "Development of Skewed DRIE Process and its Application to Electrostatic Tilt Mirror," in Proc. 22nd IEEE Int. Conf. on Micro Electro Mechanical Systems, Jan. 25-29, 2009, Sorrento, Italy.
- [404] Hiroyuki Fujita, "More than Moore and Heterogeneous Systems Integration", Taiwan-Japan Bilateral Symposium on Research and Education of Nanotechnology, 東京大学生産技術研究所 (2008).
- [405] Nagai, M. Oishi, N. Sakaki, O. Ducloux, M. Oshima, H. Asai and H. Fujita, "Application of Vorticella's Feeding Mechanism as a Micromixer -Characterization of Vortices Generated by Cilia Motion", 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2008 Tucson), pp. 555-558, JW Marriott Starr Pass, Tucson, Arizona, USA (2008).
- [406] R. Yokokawa, M. C. Tarhan, T. Kon and H. Fujita, "Bidirectional Transport of Kinesin or Dynein-Coated Microspheres on Polar Oriented Microtubules", 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2008 Tucson), pp. 559-562, JW Marriott Starr Pass, Tucson, Arizona, USA (2008).
- [407] C. Bottier, M.C. Tarhan, J. Fattaccioli, F.O. Morin, B.J. Kim and H. Fujita, "Direct Transportation and Electrofusion of Oil Droplets in a Microfluidic Device", 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2008 Tucson), pp. 563-566, JW Marriott Starr Pass, Tucson, Arizona, USA (2008).
- [408] E. Sarajlic, C. Yamahata, M. Cordero, D. Collard, and H. Fujita, "HAREM: High Aspect Ratio Etching and Metallization", 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2008 Tucson), pp. 315-318, JW Marriott Starr Pass, Tucson, Arizona, USA (2008).
- [409] C. Yamahata, D. Collard, A. Domenget, M. Hosogi, M. Kumemura, G. Hashiguchi, and H. Fujita, "Silicon Nanotweezers! a New Biophysical Tool for Molecular Experimentation", 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2008 Tucson), pp. 681-684, JW Marriott Starr Pass, Tucson, Arizona, USA (2008).
- [410] J. Miwa, M. C. Tarhan, H. Fujita, M. Kasahara and R. Yokokawa, "Single DNA Molecule Manipulation by a Self-Assembled Motor Protein System", 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2008 Tucson), pp. 677-680, JW Marriott Starr Pass, Tucson, Arizona, USA (2008).
- [411] Ersin Altintas, Edin Sarajlic, Karl F. Boehringer, and Hiroyuki Fujita, "Speed Performance and Control of a Micromachined Linear Brownian Motor", 21st IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2008 Tucson), pp. 673-676, JW Marriott Starr Pass, Tucson, Arizona, USA (2008).
- [412] Hiroyuki Fujita, "MEMS/NEMS for Nano and Bio Technology", JST-DFG Workshop on Nanoelectronics, pp. 48-49, Aachen, Germany (2008).
- [413] Hiroyuki Fujita, "Micro/Nano Mechatronics towards Secure-Life", Secure-Life Electronics -Advanced Electronics for Quality Life and Society-, pp. 123-128, Tokyo, Japan (2008).
- [414] Ersin Altintas, Edin Sarajlic, Hiroyuki Fujita, Karl F. Boehringer, "Micromachined Linear Brownian Motor: A Nanosystem Exploiting Brownian Motion of Nanobeads for Unidirectional Transport", 2008 MRS Spring Meeting, Symposium FF Molecular Motors, Nanomachines, and Active Nanostructures FF5, 1096E, FF05-04, San Francisco, USA (2008).
- [415] T. Ishida and H. Fujita, "Superplasticity of Silicon Nanocontact during Tensile Test under TEM Observation", The forth International Nanotechnology Conference on Communication and Cooperation, 学術総合センター ーツ橋講堂, 東京 (2008).
- [416] C. Lo, O.-H. Huttunen, J. Petaja, J. Hiitola-Keinanen, J. Hast, A. Maaninen, H. Kopola, H. Fujita, and H. Toshiyoshi, "Substrate Design

- Concerns for Printed Flexible Displays", 1st Int. R2R Printed Electronics, pp. 297-302, Seoul, Korea(2008).
- [417] Kazuhiro Takahashi, Makoto Mita, Hiroyuki Fujita and Hiroshi Toshiyoshi, "An Soi-CMOS Compatible Designing Technique of Reversed Double-Deck Actuators with Interlayer Electrical Connection", The 4th Asia Pacific Conference on Transducers and Micro/Nano Technologies (APCOT 2008), p. 39, TAYIH Landis Hotel, Tainan, Taiwan(2008).
- [418] Ersin Altintas, Karl F. Boehringer, and Hiroyuki Fujita, "Computational Characterization of the Performance of Micromachined Linear Brownian Motor", The 4th Asia Pacific Conference on Transducers and Micro/Nano Technologies (APCOT 2008), p. 93, TAYIH Landis Hotel, Tainan, Taiwan (2008).
- [419] B. Wee, M. Kumemura, D. Collard, and H. Fujita, "Integration of Microfluidics and Open Droplet Manipulation of DNA Solution on a Single Lab-on-Chip Device", The 4th Asia Pacific Conference on Transducers and Micro/Nano Technologies (APCOT 2008), p. 77, TAYIH Landis Hotel, Tainan, Taiwan (2008).
- [420] Yuheon I, H. Fujita, and H. Toshiyoshi, "Low Voltage Actuated MEMS Switch/Relay for Power Gating Application", The 4th Asia Pacific Conference on Transducers and Micro/Nano Technologies (APCOT 2008), p. 29, TAYIH Landis Hotel, Tainan, Taiwan (2008).
- [421] K. Yamatshita, B. Charlot, W. Sun, K. Kakushima, H. Fujita and H. Toshiyoshi, "Modulation and Detection of Field-Emission Current by Using MEMS Resonator for Application to RF-MEMS Band-Pass Filters", The 4th Asia Pacific Conference on Transducers and Micro/Nano Technologies (APCOT 2008), p. 34, TAYIH Landis Hotel, Tainan, Taiwan(2008).
- [422] M. Nakada, H. Kwon, C. Chong, A. Morosawa, K. Isamoto, H. Fujita, H. Toshiyoshi, "Optical Coherence Tomography based on Power-over-fiber MEMS Scanner", The 4th Asia Pacific Conference on Transducers and Micro/Nano Technologies (APCOT 2008), Tainan, Taiwan (2008).
- [423] J.G. Kim, N. Takama, B.J. Kim, and H. Fujita, "Optical-Softlithographic Technology for Patterning on a Curved Surface", The 4th Asia Pacific Conference on Transducers and Micro/Nano Technologies (APCOT 2008), p. 124, TAYIH Landis Hotel, Tainan, Taiwan (2008).
- [424] M.C. Tarhan, R. Yokokawa, C. Bottier, E. Sarajlic and H. Fujita, "Transport of Functionalized Microneedles by Gliding Assay-Based Molecular System", The 4th Asia Pacific Conference on Transducers and Micro/Nano Technologies (APCOT 2008), p. 78, TAYIH Landis Hotel, Tainan, Taiwan (2008).
- [425] Hiroyuki Fujita, Edin Sarajlic, "MEMDAC: a MEMS Nano Positioner with Electrical Digital Inpu", Bilateral Workshop on Nanoscale Systms, p. 15, Garching, Germany (2008).
- [426] A Debray, M Shibata and H Fujita, "Thermal modification of the rigidity of micro-structures by the phase transition of a fusible alloy", IEEJ International Conference on Electrical Engineering, Okinawa, Japan (2008).
- [427] M. Nakada, K. Takahashi, A. Higo, H. Fujita, H. Toshiyoshi, "Design and Fabrication of Parylene-Hinged Slow-Scan Optical Scanner for OCT Endoscope Application", IEEE/LEOS Int. Conf. on Optical MEMS & Nanophotonics, pp. 48-49, Freiburg, Germany (2008).
- [428] Cheng-Yao Lo, Jukka Hast, Olli-Heikki Huttunen, Jarno Petaja, Johanna Hiitola-Keinanen, Arto Maaninen, Harri Kopola, Hiroyuki Fujita and Hiroshi Toshiyoshi, "Low Operation Voltage Non Self-Emissive MEMS Color Filter Pixels", IEEE/LEOS Int. Conf. on Optical MEMS & Nanophotonics, pp. 116-117, Freiburg, Germany (2008).
- [429] Hiroyuki Fujita, "MEMS for Nano and Bio applications", 日韓若手MEMS/NEMS研究会, pp. 1-2, 東京大学生産技術研究所(2008).
- [430] E. Sarajlic, C. Yamahata, H. Fujita, "Electrostatic 3-Phase Linear Stepper Motor Fabricated by Vertical Trench Isolation Technology", 19th MicroMechanics Europe Workshop (MME 2008), Aachen, Germany (2008).
- [431] M.C. Tarhan, D. Collard, C. Bottier, R. Yokokawa, M. Hosogi, G. Hashiguchi and H. Fujita, "Isolation and Manipulation of Single Microtubule by Silicon Microtweezers", The 12th International Conference on Miniaturized



Systems for Chemistry and Life Sciences, MicroTAS'08, pp. 862-864, San Diego, CA, USA (2008).

- [432] B. Wee, M. Kumemura, D. Collard, H. Fujita, "Isolation of single DNA molecule in a picolitre-sized droplet formed by Liquid Dielectrophoresis", The 12th International Conference on Miniaturized Systems for Chemistry and Life Sciences 2008 (uTAS2008), pp. 36-38, San Diego, California, USA (2008).
- [433] C. Bottier, M.C. Tarhan, D. Collard, R. Yokokawa and H. Fujita, "Kinesin-based Transportation and Electrofusion of Lipid Vesicles", The 12th International Conference on Miniaturized Systems for Chemistry and Life Sciences, MicroTAS'08, pp. 871-873, San Diego, USA (2008)
- [434] Collard, D.; Yamahata, C.; Kumemura, M.; Fujita, H., "Molecules manipulation and characterization with MEMS tools", Japan-Taiwan Symposium on nano bio research, Tokyo, Japan (2008).
- [435] Moeto Nagai, Momoko Kumemura, Hiroshi Asai, Hiroyuki Fujita, "Biding of artificial object to vorticella for microsystem powered by microorganism", International Symposium on Surface Science and Nanotechnology, p. 155, International Conference Center, Waseda University (2008).
- [436] B. Wee, M. Kumemura, D. Collard, and H. Fujita, "Droplet extraction from PDMS surface using Liquid Dielectrophoresis", International Symposium on Surface Science and Nanotechnology, p. 564, International Conference Center, Waseda University (2008).
- [437] C. Lo, O.-H. Huttunen, J. Hiitola-Keinanen, J. Petaja, J. Hast, A. Maaninen, H. Kopola, H. Fujita, H. Toshiyoshi, "Active Matrix Flexible Display Array Fabricated by MEMS Printing Techniques", 15th Int. Display Workshop, pp. 1353-1356, Niigata, Japan (2008).
- [438] C. Bottier, M.C. Tarhan, J. Fattaccioli, R. Yokokawa, D. Collard and H. Fujita, "Kinesin-based transportation of hydrophobic and hydrophilic micro-containers", The 8th International Symposium on Microchemistry and Microsystems (CHEMINAS), p. 29, Kyoto, Japan (2008).
- [439] J.W. Park, O. Ducloux, S. Nishida, and H. Fujita, "Real Time Monitoring of Reaction Kinetics on a Micro Cantilever Resonating in a Liquid Environment", The 8th International Symposium on Microchemistry and Microsystems (CHEMINAS), p. 114, Kyoto, Japan (2008).
- [440] M. Kumemura, D. Collard, C. Yamahata, M. Hosogi, G. Hashiguchi, and H. Fujita, "Trapping and characterization of gelatin with nanotweezers", IUMRS International Conference in Asia, Nagoya, Japan (2008).
- [441] D. Yamane, H. Seita, W. Sun, S. Kawasaki, H. Fujita and H. Toshiyoshi, "A 120GHz DPDT RF-MEMS Switch with Layer-Wise Waveguide/Actuator Design Technique", 22nd IEEE International Conference on Micro Electro Mechanical Systems, pp. 888-891, Sorrento, Italy (2009).
- [442] M. Cagatay Tarhan, Ryuji Yokokawa, Celine Bottier, Dominique Collard, and Hiroyuki Fujita, "Building Nano Transport System by Relocation Single Microtubule by Motor Proteins", The 9th Seoul National University - University of Tokyo Joint Seminar on Electrical Engineering, pp. 154-158 (2009).
- [443] K. Takahashi, M. Mita, M. Nakada, D. Yamane, A. Higo, H. Fujita and H. Toshiyoshi, "Development of Multi-User Multi-Chip SOI CMOS-MEMS Processes", 22nd IEEE International Conference on Micro Electro Mechanical Systems, pp. 701-704, Sorrento, Italy (2009).
- [444] M. Nakada, K. Takahashi, T. Takahashi, A. Higo, H. Fujita and H. Toshiyoshi, "Development of Skewed DRIE Process and ITS Application to Electrostatic Tilt Mirror", 22nd IEEE International Conference on Micro Electro Mechanical Systems, pp. 1087-1090, Sorrento, Italy (2009).
- [445] E. Sarajlic, C. Yamahata, M. Cordero and H. Fujita, "Electrostatic Rotary Stepper Micromotor for Skew Angle Compensation in Hard Disk Drive", 22nd IEEE International Conference on Micro Electro Mechanical Systems, pp. 1079-1082, Sorrento, Italy (2009).
- [446] Todd A. Duncombe, Momoko Kumemura,

- Hiroyuki Fujita, Karl F. B. ringer, "Integrating Ewod with Surface Ratchets for Active Droplet Transport and Sorting", 22nd IEEE International Conference on Micro Electro Mechanical Systems, pp. 531-534, Sorrento, Italy (2009).
- [447] C. Yamahata, E. Sarajlic, L. Jalabert, M. Kumemura, D. Collard and H. Fujita, "Mechanical Characterization of Biomolecules in Liquid Using Silicon Tweezers with Subnanonewton Resolution", 22nd IEEE International Conference on Micro Electro Mechanical Systems, pp. 607-610, Sorrento, Italy (2009).
- [448] J.W. Park, O. Ducloux, S. Nishida, and H. Fujita, "Real Time Monitoring of Reaction Kinetics on a Micro-Cantilever Resonating in a Liquid Environment", The 9th Seoul National University - University of Tokyo Joint Seminar on Electrical Engineering, pp. 147-150, 東京大学本郷キャンパス (2009).
- ### 3. 国内学会, 研究会等
- [1] 荒木 貴弘, 朴 哲, 新山 太郎, 高宮 真, 桜井 貴康, "超低電源電圧における論理ゲート遅延の電源電圧変動に対する感度", "電子情報通信学会ソサイエティ大会, C-12-1, 川崎, 2008年9月.
- [2] 坂井田 耕輔, 周 志偉, 新山 太郎, 高宮 真, 桜井 貴康, "共振クロックによる低電力化のデューティ比依存", "電子情報通信学会ソサイエティ大会, C-12-51, 川崎, 2008年9月.
- [3] L. Liu, Y. Miyamoto, Z. Zhou, K. Sakaida, J. Ryu, K. Ishida, M. Takamiya, and T. Sakurai, "A 100Mbps, 0.41mW Impulse UWB Transceiver Based on Leading Edge Detection Technique", "電子情報通信学会, 信学技報, ICD2008-84, pp. 149-154, 札幌, 2008年10月.
- [4] 高宮 真, "無線通信と有線通信を融合させた通信シートによる低電力・可動通信, "IEICE Microwave Workshops and Exhibition (MWE), Yokohama, Japan, pp. 277-282, Nov. 2008.
- [5] L. Liu, Y. Miyamoto, Z. Zhou, K. Sakaida, J. Ryu, K. Ishida, M. Takamiya, and T. Sakurai, "A 100Mbps, 0.19mW Asynchronous Threshold Detector with DC Power-Free Pulse Discrimination for Impulse UWB Receiver," Asia-South Pacific Design Automation Conference (ASP-DAC), Yokohama, Japan, pp. 97-98, Jan. 2009.
- [6] 坂井田耕輔, 高宮 真, 桜井貴康, "共振クロックにおける低速テストと低電力化を両立させるクロック分配回路の提案", "電子情報通信学会総合大会, C-12-12, 松山, 2009年3月.
- [7] 石田光一, 安福 正, 高宮 真, 竹内 健, 桜井貴康, "NAND型フラッシュ SSD向け20Vブーストコンバータの制御方式(その1)", "電子情報通信学会総合大会, C-12-20, 松山, 2009年3月.
- [8] 安福 正, 石田光一, 高宮 真, 竹内 健, 桜井貴康, "NAND型フラッシュ SSD向け20Vブーストコンバータの制御方式(その2)", "電子情報通信学会総合大会, C-12-21, 松山, 2009年3月.
- [9] 荻野, 杉本, "スパイラルインダクタ設計におけるダミーメタルの配置の提案" 2008 電気学会電子・情報・システム部門大会(2008).
- [10] 加藤大介, 杉本泰博, "GHz帯CMOS LNAの設計", 2008 電気学会電子・情報・システム部門大会(2008).
- [11] 下山佑介, 崔 通, 杉本泰博, "正帰還補償を用いた低電圧動作可能な電流モードOTAの設計", 電子情報通信学会, C-12-27, 2008年ソサイエティ大会.
- [12] 川端千尋, 杉本泰博, "MATLAB/Simulinkを用いたDC-DCコンバータのシミュレーション手法に関する検討", pp43-48, 集積回路研究会(2008).
- [13] 小磯卓也, 杉本泰博, "グラウンドラインでの電圧降下の影響を受けない電流源と, 入力デジタル符号に依存する時定数変化のない出力端子構成とを用いたMOS,14ビット, 高速DACの検討", pp25-30, 集積回路研究会(2008).
- [14] 水谷慶一郎, 杉本泰博, "14-bit, 50MS/s, 1.8V ADCを実現するビットブロック回路の検討", pp. 19-24, 回路とシステム研究会(2009).
- [15] 前橋 雄, 島崎聡子, 荻野達也, 杉本泰博, "高周波特性に優れたPADの設計と測定", C-12-28, 2009年総合大会(2009).
- [16] 鈴木優宏, 川端千尋, 杉本泰博, "DC-DCコンバータの高速かつ高精度なシミュレーションを実現する手法に関する検討", C-12-23, 2009年総合大会(2009).
- [17] 遠藤健太, 前橋 雄, 崔 通, 杉本泰博, "Passive型 $\Sigma\Delta$ 変調器に用いるコンパレータの動作速度要求の緩和に関する検討", C-12-24, 2009年総合大会(2009).
- [18] M. Ikeda, "Studies on Wide Dynamic Range Image Sensors," IST2008-42, pp. 21-24, Information Sensing Research Committee, The Institute of

- [19] Y.K. Kim, M. Ikeda and K. Asada, "Analysis of light transmission on multilayer interconnect for color CMOS image sensors." IEICE Society Conference, A-3-3, Sep. 2008.
- [20] Keita Ikai, Makoto Ikeda, Kunihiro Asada, "Digital Integrated Circuit Design for Stripe-Shaped TFT," IEICE Society Conference, A-3-13, Sep. 2007. (in Japanese).
- [21] J. Kim, K. Ikai, T. Nakura, M. Ikeda, K. Asada, "Digital Transceiver Circuit Design for Immune Device Parameter Variation" IEICE Society Conference, B-5-34, Sep. 2008 (in Japanese).
- [22] MyeongGyu Jeong, Makoto Ikeda, Kunihiro Asada, "Dynamic Circuit Design for Selftimed Fine-grained Pipeline Architecture", IEICE General Conference, C-12-11, Mar. 2009.
- [23] D. Nakamura, H. Yoshida, S. Komatsu, M. Sasaki, M. Ikeda and K. Asada, "Implementation and Chip Size Evaluation of an Realtime Onchip Monitoring System for Reliability of LSI," IEICE General Conference, C-12-19, Mar. 2009 (in Japanese).
- [24] 洪勇基, 中西正樹, 山下茂, 中島康彦, "FPGAのスイッチマトリクスを対象とするソフトエラー対策", IEICE Technical Report RECONF2008-45, pp. 39-44, Nov. (2008).
- [25] 堀田敬一, 中田尚, 中西正樹, 山下茂, 中島康彦, "高信頼セルによる回路の信頼性評価", IEICE Technical Report VLD2008-75, pp. 91-96, Nov. (2008).
- [26] 市来亮人, 吉村和浩, 中田尚, 中島康彦, "異種命令SMTプロセッサOROCHIのASIC試作における問題と対策", 平成20年度情報処理学会関西支部大会講演論文集, pp. 13-16, Oct. (2008).
- [27] 吉村和浩, 中田尚, 中島康彦, "異種命令SMTプロセッサOROCHIの実装と分析", SWoPP2008, pp. 1-6, Aug. (2008).
- [28] 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦, "高信頼セルによる演算器の耐故障性と遅延時間の評価", SWoPP2008, pp. 181-186, Aug. (2008).
- [29] 吉村和浩, "異種命令混在実行プロセッサにおけるQoS制御", STARCフォーラム/シンポジウム学生ポスター, Jul. (2008).
- [30] 市来亮人, "プロセッサ評価のためのハイブリッドプラットフォーム", STARCフォーラム/シンポジウム 学生ポスター, Jul. (2008).
- [31] 足立, 小川, "CCIIを用いた電流モード・アルゴリズム A/D 変換器", 電子情報通信学会ソサイエティ大会, A-1-23, Sep. 2008.
- [32] 谷川, 小川, "スイッチドキャパシタ S/H 回路を用いた差動容量型センサのインターフェイス", 電子情報通信学会ソサイエティ大会, A-1-24, Sep. 2008.
- [33] 足立, 小川, "CCIIを用いた電流モード・アルゴリズム A/D 変換器の構成", 電気・情報関連学会中国支部連合大会, pp. 566, Oct. 2008.
- [34] 小飯, 谷川, 小川, "スイッチドキャパシタ容量比検出回路の特性改善", 電気学会電子回路研究会, ETC-09-022, (2009.1).
- [35] 高田幸永, 今井雅, 中村宏, 南谷崇, "マルチ閾値電圧トランジスタを用いた2線2相式非同期式回路のリーク電力削減手法", 電子情報通信学会技術研究報告, VLD-2008-90, pp. 183-188, Nov., (2008).
- [36] 堀田, 中司, "空間分割多重無線に用いる可変位相VCOの設計", 第61回電気関係学会九州支部連合大会(2008).
- [37] 山形, 松元, 松藤, "シフト直交実数有限長系列を用いた被積分符号のためのマッチトフィルタの構成", 電子情報通信学会技術研究報告, WBS2008-38, pp. 51-54 (2008).
- [38] 洲脇, 松元, 松藤, "光ZCZ-CDMA方式を用いた並列伝送の検討", 第10回IEEE広島支部学生シンポジウム論文集, (c) 通信, C-07, pp. 157-158 (2008).
- [39] 山形, 松元, 松藤, "シフト直交実数有限長系列を用いた被積分符号のためのマッチトフィルタの検討", 第10回IEEE広島支部学生シンポジウム論文集, (c) 通信, C-08, pp. 311-312 (2008).
- [40] 秋田直己, 佐々木敬泰, 大野和彦, 近藤利夫, "高性能と低消費電力を両立する可変パイプライン構造の再構成デバイスへの適用", 情報処理学会研究報告, No. 2008-ARC-179, pp. 43-48 (2008/7).
- [41] 中林智之, 佐々木敬泰, 大野和彦, 近藤利夫, "可変段数パイプラインアーキテクチャ(VSP)の更なる低消費電力化手法の提案とLSI設計", CPSY2008-34, pp. 29-34(2008/10).
- [42] 明連広昭, 吉澤有, 田井野徹, 高田進, "超伝導トンネル接合素子アレイ用MUXの高速動作", 2008電子情報通信学会総合大会, C-8-9, 北九州市立大学, 2008年3月.
- [43] 王元勇, 田井野徹, 明連広昭, "上部・下部グラウンド層構造を持つSFQ回路の電流分布", 電子情報通信学会ソサイエティ大会, C-8-2, 明治大学,

- 2008年9月.
- [44] 飯野 智, 田井野 徹, 明連広昭, "デジタルDROS用SFQ D/A Converter の設計", 電子情報通信学会ソサイエティ大会, C-8-5, 明治大学, 2008年9月.
- [45] 松井雄二, 田井野 徹, 明連広昭, "終端信号検出回路を用いたSFQ発生回路の設計", 電子情報通信学会ソサイエティ大会, C-8-6, 明治大学, 2008年9月.
- [46] 飯野 智, 田井野 徹, 明連広昭, "SFQ論理による磁束ロックループを用いたデジタルDROS", 電子情報通信学会総合大会, C-8-12, 愛媛大学, 2009年3月.
- [47] 明連広昭, 松井雄二, 田井野 徹, "SFQ光インターフェイス用先頭信号検出回路の高速動作", 電子情報通信学会総合大会, C-8-15, 愛媛大学, 2009年3月.
- [48] 清藤規久, 大野英, 浜本隆之, 佐々木朋詩, 白井稔人, 坂井正善, "変調光を用いた物体検出のためのイメージセンサの試作と評価", 映情学技報, Vol. 32, No. 26, pp. 37-40 (2008).
- [49] 本田純也, 土井俊輔, 浜本隆之, "動物体の動き方向を検出する広DRイメージセンサの設計と試作", 映情学技報, Vol. 32, No. 32, pp. 9-12 (2008).
- [50] 鋪野敦紀, 中山賢一, 杉田俊超, 浜本隆之, 児玉和也, "1画素マッチングによる高速2次元動き検出イメージセンサの試作と評価", 信学技報, Vol. 108, No. 253, pp. 61-66 (2008).
- [51] 清藤規久, 大野英, 浜本隆之, 佐々木朋詩, 白井稔人, 坂井正善, "振り分け蓄積機能を有するイメージセンサを用いた物体検出システムの検討", Image Media Processing Symposium (IMPS08), I4-12, pp. 93-94 (2008).
- [52] 本田純也, 土井俊輔, 浜本隆之, "動き方向検出機能を有する広ダイナミックイメージセンサの試作と評価", Image Media Processing Symposium (IMPS08), I4-13, pp. 95-96 (2008).
- [53] 飯田宗央, 柳原悠一, 浜本隆之, "平坦領域の判定誤りを考慮した距離計測イメージセンサの設計と試作", Image Media Processing Symposium (IMPS08), I5-12, pp. 137-138 (2008).
- [54] 峰 陽介, 浜本 隆之, "選択的注視モデルを用いた注視領域抽出用イメージセンサ", 映情学技報, Vol. 32, No. 57, pp. 1-4 (2008).
- [55] 中山賢一, 川島慶弘, 浜本隆之, 児玉和也, "エッジ情報に基づくピクセルマッチングを用いた高速オプティカルフロー検出イメージセンサ", 映情学技報, Vol. 32, No. 57, pp. 25-28 (2008).
- [56] 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦, "高信頼セルによる演算器の耐故障性と遅延時間の評価", SWoPP2008, pp. 181-186, August 2008.
- [57] 江藤, 高窪かをり, 高窪 統, "アナログMOSFETスイッチのリーク電流低減法", A-1-25, 電子情報通信学会ソサイエティ大会2008.
- [58] 下田, 高窪かをり, "弱反転領域で動作するMOSFETのドレイン電流の一考察", A-1-26, 電子情報通信学会ソサイエティ大会2008.
- [59] 難波 一輝, 伊藤 秀男, "遅延故障テスト容易化SEHラッチにおけるエンハンスドスキャンテスト", "信学技報, FIIS, 2008年10月.
- [60] 中島 健吾, 難波 一輝, 伊藤 秀男, "耐ソフトエラーラッチの検出不可能な固定故障の影響", 信学技報 DC2008-8, 2008年4月.
- [61] 阮 双玉, 難波 一輝, 伊藤 秀男, "幅の広いエラーパルス検出機能を有する耐ソフトエラーFF", 信学技報 DC2008-9, 2008年4月.
- [62] Kentaroh Katoh, Kazuteru Namba and Hideo Ito, "Design for Delay Fault Testing of 2-Rail Logic Circuits," 3rd Indonesia Jpn. Joint Sci. Symp. , 2008.
- [63] 西島, 松本, "ソフトウェア無線機向け離散時間フィルタの高次化に関する検討", 電子情報通信学会総合大会(2009).
- [64] "ソフトウェアの消費エネルギー解析と最適化技術", 第21回 回路とシステム(軽井沢)ワークショップ論文集, pp. 343-348, Apr. 2008.
- [65] 村上 裕二, 石川 智弘, 吉田 毅, 佐々木 信雄, 張翼, 野田 智秀, 竹内 剛, 國政 拓成, 柴田 和明, 小出 哲士, 上口 光, 津賀 一弘, 三宅 亮, 黒田 章夫, 岩田 穆, "飲むバイオセンサー: 口腔内無線CMOS温度・グルコースセンサーの開発", 広島大学半導体・バイオ融合集積化技術シンポジウム講演論文集, P-04, (2008.6).
- [66] 上口 光, 和泉 伸也, 賀谷 彰大, マタウシュ ハンス・ユルゲン, 小出 哲士, "超低電力高性能SRAMとバイオセンシングシステムへの応用", 広島大学半導体・バイオ融合集積化技術シンポジウム講演論文集, P-07, (2008.6).
- [67] 熊木 武志, 田上 正治, 今井 雄太, 小出 哲士, マタウシュ ハンス ユルゲン, "超並列SIMD型演算プロセッサMX-1を用いた並列顔検出処理手法(1)", 2008年電子情報通信学会ソサイエティ大会, C-12-30, (2008.9).
- [68] 今井 雄太, 熊木 武志, 田上 正治, 小出 哲士, マタウシュ ハンス ユルゲン, "超並列SIMD型演算プロセッサMX-1による並列顔検出処理手法(2)", 2008年電子情報通信学会ソサイエティ大会,

C-12-31, (2008.9).

- [69] 田上 正治, 熊木 武志, 今井 雄太, 小出 哲士, マタウシュ ハンス ユルゲン, 石崎 雅勝, 行天 隆幸, 野田 英行, 奥野 義弘, 有本 和民, "超並列SIMD型演算プロセッサMX-1への暗号化処理の実装", 2008年電子情報通信学会ソサイエティ大会, C-12-32, (2008.9).
- [70] 菅原 達也, 岡崎 啓太, 永岡 奈緒美, 小出 哲士, Hans Jrgen Mattausch, "領域成長型画像分割アルゴリズムを用いた画像分割の精度改善", 平成20年度電気・情報関連学会中国支部第59回連合大会, pp. 423-424, (2008.10).
- [71] 今福 渉, 榊原 尚吾, Hans Juergen Mattausch, 小出 哲士, "スケーリングによる連想メモリの性能向上とばらつき影響の評価", 平成20年度電気・情報関連学会中国支部第59回連合大会, pp. 567-568, (2008.10).
- [72] 賀谷 彰大, 上口 光, 和泉 伸也, Hans Juergen Mattausch, 小出 哲士, "リングオシレータを用いた90 nm CMOSテクノロジーにおける製造ばらつきの解析", 平成20年度電気・情報関連学会中国支部第59回連合大会, pp. 569-570, (2008.10).
- [73] 村上 裕二, 石川 智弘, 吉田 毅, 小出 哲士, 上口 光, 佐々木 信雄, 國政 拓成, 野田 智秀, 升井 義博, 張 翼, 竹内 剛, 津賀 一弘, "口腔内留置型健康モニタリングシステム開発", "電気学会E部門 バイオマイクロシステム研究会, (2009.2).
- [74] 石川 智弘, 上口 光, 升井 義博, 吉田 毅, 國政 拓成, 村上 裕二, "義歯型センサによる口腔内モニタリング", "平成21年電気学会全国大会, (2009.3).
- [75] 神戸尚志, 上津寛和, 酒井皓司, 山田晃久: "相関値計算回路のアーキテクチャ設計とその最適化", "回路とシステムワークショップ, pp. 231-236, 2008年4月.
- [76] 江口彰彦, 才辻 誠, 橋本 丈, 神戸尚志: "音声認識第1パス部のC言語設計とその最適化", "電子情報通信学会VLSI設計技術研究会, 2008年6月.
- [77] 神戸尚志, 酒井皓司, 上津寛和, 上嶋智太郎: "リアルタイム粒子追跡のための階層的パイプライン回路設計", "電子情報通信学会VLSI設計技術研究会, 2008年6月.
- [78] 土田真也, 上津寛和, 神戸尚志: "FPGAを用いたハード・ソフト協調検証の一手法", "平成20年度 情報処理学会関西支部大会, 2008年10月.
- [79] 中脇竜一, 神戸尚志: "Java言語を用いたハードウェア設計検証の一手法", "平成20年度 情報処理学会関西支部大会, 2008年10月.
- [80] 山下拓也, 高窪かをり, 高窪統, "電流コンパレータを用いたCMOS温度-パルス幅変換回路, "電子情報通信学会回路とシステム軽井沢ワークショップ論文集, pp. 391-396, Apr. 2008.
- [81] 堂前圭祐・秋田純一, 急速眼球運動対応の視線検出機能を持つ列並列処理構成高解像度Vision Chipの試作, 映像情報メディア学会技術報告, IST2008-20, pp. 5-8, 2008.6.
- [82] 小林, 森谷, 小野寺, "SETパルスによる誤動作を防止する遅延挿入フリップフロップのソフトウェア耐性の検討", pp. 181-186, DAシンポジウム2008 (2008).
- [83] 寺田, 土谷, 小林, 小野寺, "リングオシレータアレイによるゲート遅延ばらつきの評価とモデル化", pp. 169-174, DAシンポジウム2008 (2008).
- [84] 砂川, 寺田, 土谷, 小林, 小野寺, "レイアウト規則性が回路性能とばらつきに及ぼす影響の評価", pp. 67-72, DAシンポジウム2008 (2008).
- [85] 小野寺, "ばらつき考慮設計に向けて", pp. 83-88, 電子情報通信学会技術研究報告 ICD2008-73 (2008).
- [86] 砂川, 土谷, 小野寺, "レイアウト規則性導入によるパターン転写精度の改善効果", pp. 109, 2008年電子情報通信学会ソサイエティ大会, no C-12-40 (2008).
- [87] 久保木, 土谷, 小野寺, "オンチップ差動伝送線路の構造と下層配線からのノイズの関係", pp. 108, 2008年電子情報通信学会ソサイエティ大会, no C-12-39 (2008).
- [88] 土谷, 小野寺, "CMOSミリ波回路におけるオンチップ伝送線路のモデル化", pp. SS18-SS19, 2008年電子情報通信学会ソサイエティ大会 (2008).
- [89] 土谷, 小野寺, "チップ内受動素子のモデリングにおける電磁界解析のノウハウ", 第18回 シリコンアナログRF研究会 (2008).
- [90] 土谷, 小野寺, "スパイラルインダクタに対するダミーフィルおよび基板の影響比較", 第17回 シリコンアナログRF研究会 (2008).
- [91] 土谷, 小野寺, "スパイラルインダクタ用くし形ダミーフィルの最適形状に関する検討", 第16回 シリコンアナログRF研究会 (2008).
- [92] 土谷, 小野寺, "Si-IC におけるダミーフィルを考慮した高周波受動素子のモデル化", pp. 263-268, Microwave Workshops and Exhibition 2008 (2008).
- [93] 二川 清, 井上彰二, 永石竜起, 松本 徹, 三浦克介, 中前幸治, "走査レーザSQUID顕微鏡のLSI故障解析への新しい適用法", 第28回LSIテストシンポジウム 会議録, pp. 321-326 (12-14

- November 2008).
- [94] 山下広展, 三浦克介, 中前幸治, 井上彰二, 二川 清, "LSI 故障診断用走査レーザSQUID顕微鏡観測画像の電流密度分布シミュレーション", 第28回LSIテストシンポジウム 会議録, pp. 327-332 (12-14 November 2008).
- [95] 山下将嗣, 大谷知行, 松本徹, 三浦克介, 中前幸治, 斗内政吉, 二川清, "レーザーテラヘルツ放射顕微鏡による半導体回路の観察", 第5回理研・分子研合同シンポジウム エクストリームフォトニクス研究 (2008).
- [96] 御堂義博, 中前幸治, 山下将嗣, 斗内政吉, 二川清, "LTEMによるLSI故障解析のためのTHz波シミュレーション", 第69回応用物理学学会学術講演会, No. III, p. 989 (Sep. 2008).
- [97] 竹中 充, 武田浩司, 星井拓也, 杉山正和, 中野義昭, 高木信一, 「III-V nMOSFET実現に向けた埋め込み再成長n-InP S/D形成」, 第56回応用物理学関係連合講演会, 30p-T-15, 筑波大学, 2009年3月.
- [98] 竹中 充, 横山正史, 星井拓也, 出浦桃子, 灰本隆志, 金 相賢, 杉山正和, 高木信一, 「超薄膜III-V-OI MOSFET実現に向けたチャネルおよび接合形成技術」, 第56回応用物理学関係連合講演会, 1p-X-8, 筑波大学, 2009年4月.
- [99] 武田浩司, 竹中 充, 種村拓夫, 中野義昭, 「MZI双安定レーザーによる静的全光フリップ・フロップ動作の実証」, 第56回応用物理学関係連合講演会, 1p-B-12, 筑波大学, 2009年4月.
- [100] 森井清仁, 中根了昌, 杉山正和, 中野義昭, 竹中 充, 高木信一, 「MOVPE装置を用いたAs気相ドーピングによるGe p-n接合の電気特性」, 第56回応用物理学関係連合講演会, 1a-T-2, 筑波大学, 2009年4月.
- [101] 中北要佑, 中根了昌, 笹田 崇, 竹中 充, 高木信一, 「熱酸化GeO₂/Ge MOS界面を用いたGe pMOS-FETの移動度決定機構」, 第56回応用物理学関係連合講演会, 1p-V-14, 筑波大学, 2009年4月.
- [102] 灰本隆志, 中川翔太, 星井拓也, 竹中 充, 高木信一, 「InP表面の直接窒化によるMISFETの作製とその電気的評価」, 第56回応用物理学関係連合講演会, 1p-V-15, 筑波大学, 2009年4月.
- [103] 近藤佳幸, 出浦桃子, 竹中 充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEにおけるSi上InAs核発生の成長条件依存性」, 第56回応用物理学関係連合講演会, 2a-J-6, 筑波大学, 2009年4月.
- [104] 出浦桃子, 近藤佳幸, 星井拓也, 竹中 充, 高木信一, 中野義昭, 杉山正和, 「多段階成長を用いた微小領域選択MOVPEにおけるSi上InGaAsの面内均一化」, 第56回応用物理学関係連合講演会, 2a-J-7, 筑波大学, 2009年4月.
- [105] 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野義昭, 杉山 正和, 「Si上InGaAsの微小領域選択MOVPEにおける横方向成長促進と均一性向上」, 化学工学会第74年会, 横浜国立大学, 2009年3月.
- [106] 竹中 充, 田辺 聡, S. Dissanayake, 菅原 聡, 高木 信一, 「酸化濃縮法を用いたGe PDとGe-on-Insulator MOSFETの集積化の検討」, 第69回応用物理学学会学術講演会, 5p-ZN-1, 中部大学, 2008年9月.
- [107] S. Dissanayake, Y. Shuto, S. Sugahara, M. Takenaka, and S. Takagi, 「Electrical Characteristics of (110)-oriented Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Method」, 第69回応用物理学学会学術講演会, 2a-E-6, 中部大学, 2008年9月.
- [108] 出浦桃子, 星井拓也, 山本剛久, 幾原雄一, 竹中 充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEにおけるSi上InGaAsのGa組成と結晶構造」, 第69回応用物理学学会学術講演会, 4a-CF-2, 中部大学, 2008年9月.
- [109] 武田浩司, 竹中 充, 種村拓夫, 中野義昭, 「DBR-MMI-BLD全光フリップ・フロップの波長可変特性」, 第69回応用物理学学会学術講演会, 4a-ZN-6, 中部大学, 2008年9月.
- [110] 武田浩司, 竹中 充, 種村拓夫, 中野義昭, 「分布ブラッグ反射鏡を用いた全光フリップ・フロップの波長可変特性」, 電子情報通信学会PN研究会, 小樽, 2008年8月.
- [111] 出浦桃子, 星井拓也, 竹中 充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEにおけるSi上InGaAsの成長機構に対するGa組成の影響」, 第27回電子材料シンポジウム, B-5, 伊豆, 2008年7月.
- [112] 井戸端, 石原, 張山, 亀山, "強誘電体機能パスゲートを用いたマルチコンテキストフィールドプログラマブルVLSIの構成", 電子情報通信学会技術報告(信学技法), ICD2008-28, pp. 57-62 (2008).
- [113] 張山, 石原, 亀山, "自律的細粒度パワーゲーティングに基づく低消費電力フィールドプログラマブルVLSI", 電子情報通信学会技術研究報告(信学技報), ICD2008-138, pp. 51-55 (2009).
- [114] Nobuaki Okada, Michitaka Kameyama, "Design and Evaluation of a Multiple-Valued Reconfigurable VLSI Using Universal-Literal-Based Cells", 電気関係学会東北支部連合大会, 2A19 Student, p. 40 (2008).
- [115] 岡田, 亀山, "ロジックインコントロールアー

キテクチャに基づく多値リコンフィギャラブル VLSI", 多値論理とその応用研究会技術研究報告 (多値技報), Vol. MVL09 No. 13, pp. 70-75 (2009).

- [116] 矢澤和樹, 谷本洋 0.7 V で動作する CMOS 能動 RC ポリフェーズフィルタの設計 電気学会電子回路研究資料, ECT-08-54, 2008年6月.
- [117] 高橋大輔, 遠藤勇太, 谷本洋, 1.8 V で動作する 1.9 GHz 0.18 um CMOS イメージ抑圧ミキサの試作と測定, 平成20年度電気・情報関係学会北海道支部連合大会講演論文集, 35, 2008年10月.
- [118] 川部謙二, 谷本洋, 吉田英一, 集積化した可変 RC ポリフェーズフィルタの設計と評価, 平成20年度電気・情報関係学会北海道支部連合大会講演論文集, 36, 2008年10月.
- [119] 小森山恵士, 矢澤和樹, 谷本洋, 0.18um CMOS インバータを用いた低電圧全差動OTAの設計・評価, 平成20年度電気・情報関係学会北海道支部連合大会講演論文集, 42, 2008年10月.
- [120] 桑原浩一, 谷本洋, 擬似全差動OTAを用いた同相除去とばらつき検討, 平成20年度電気・情報関係学会北海道支部連合大会講演論文集, 43, 2008年10月.
- [121] 田中敦嗣, 谷本洋, 1 V で動作する2入力CMOS インバータを用いた全差動演算増幅器の設計, 平成20年度電気・情報関係学会北海道支部連合大会講演論文集, 44, 2008年10月.
- [122] 桑原浩一, 谷本洋, 山路隆文, CMOS インバータを用いた多相回路用, 電気学会電子回路研究資料, ECT-08-088, 2008年11月.
- [123] 矢澤和樹, 小森山恵士, 谷本洋, CMOS インバータを用いた全差動OTAの試作と評価—高利得化の検討—, 電気学会電子回路研究資料, ECT-09-039, 2009年3月.
- [124] 藤原英弘, 奥村俊介, 井口友輔, 野口紘希, 川口博, 吉本雅彦, "7T/14T デイペンダブルSRAM およびそのセル配置構造," 電子情報通信学会総合大会, 2009年3月.
- [125] 山口幸介, 藤原英弘, 竹内隆, 大竹優, 吉本雅彦, 川口博, "チップ間ばらつき補正機能を有する基板バイアス制御を用いた0.42V動作486kb FD-SOI SRAM," 電子情報通信学会技術研究報告(信学技報), Vol. 108, No. 347, ICD2008-127, pp. 131-136, 2008年12月.
- [126] 鶴田嵩, 和泉慎太郎, 李赫鍾, 竹内隆, 川口博, 吉本雅彦, "コグニティブ無線向け可変帯域デジタルバンドパスフィルタの設計," 電子情報通信学会技術研究報告(信学技報), Vol. 108, No. 253, ICD2008-82, pp. 137-142, 2008年10月.
- [127] 谷純一, 野口紘希, 川口博, 吉本雅彦, "全整数計画問題ソルバーのFPGA実装," 情報処理学会関西支部大会, D-05, 2008年10月.
- [128] 酒井康晴, 松田隆志, 和泉慎太郎, 竹内隆, 藤原英弘, 川口博, 太田能, 吉本雅彦, "ワイヤレスセンサネットワークのためのデータ集約を考慮した部分起動メモリの電力削減効果に関する研究," 電子情報通信学会ソサイエティ大会, B-20-10, pp. 346. 2008年9月.
- [129] 野口紘希, 川口博, "発話推定を用いたインテリジェント認識システムの低消費電力化技術," STARC フォーラム/シンポジウム2008 学生ポスターセッション, 2008年7月.
- [130] 奥村俊介, 藤原英弘, 井口友輔, 野口紘希, 森田泰弘, 川口博, 吉本雅彦, "高信頼性モードと高速アクセスモードを有するデイペンダブルSRAM," システムLSI設計技術(SLDM)研究報告, 2008-SLDM-135, Vol. 2008 No. 38, pp. 67-72, 電子情報通信学会技術研究報告, VLD2008-12, pp. 31-36, 2008年5月.
- [131] 水野孝祐, 宮越純一, 村地勇一郎, 濱本真生, 飯沼隆弘, 石原朋和, 印芳, 李将充, 上農哲也, 川口博, 吉本雅彦, "サブ100mW H.264/AVC MP@L4.1 HDTV 解像度対応整数画素精度動き検出プロセッサコア," システムLSI設計技術(SLDM)研究報告, 2008-SLDM-135, Vol. 2008 No. 38, pp. 61-66, 電子情報通信学会技術研究報告, VLD2008-12, pp. 25-30, 2008年5月.
- [132] 和泉慎太郎, 松田隆志, 竹内隆, 川口博, 太田能, 吉本雅彦, "低消費電力センサノードVLSIのための時刻同期型MACプロトコルの研究," ネットワークシステム研究会, 2009年3月.
- [133] 今川隆司, 廣本正之, 越智裕之, 中村行宏, "デイペンダブル粗粒度再構成アーキテクチャ設計のための耐故障性評価環境" 情報処理学会DAシンポジウム2008, 2008年8月.
- [134] 今川隆司, 廣本正之, 越智裕之, 中村行宏 "粗粒度再構成アーキテクチャ設計に向けた耐故障性評価環境の構築" 第32回パルテノン研究会 2008年6月.
- [135] Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroyuki Ochi, and Yukihiko Nakamura, "A New Architecture Extension for Mitigation of Permanent Functional Unit Faults Using Hot-Swapping Concepts", 第33回パルテノン研究会, Dec. 2008.
- [136] 服部幸市, 筒井弘, 越智裕之, 中村行宏, バス帯域を考慮したHD PhotoにおけるPhoto Core

- Transformのアーキテクチャ, 電子情報通信学会技術研究報告, 2008年6月.
- [137] Yuji Okazaki, Kohei Shinomiya, Hideki Asai, "An Approach for Optimizing the Specifications of delta-sigma modulator Using Analog Behavioral Modeling", pp. 35-40, IEICE Technical Report Concurrent System Technology (2008).
- [138] 松岡 洋樹, 井上 恒一, 西 宏章, DCバランスを保持した完全機密化通信の実装, 電子情報通信学会技術研究報告 [コンピュータシステム], CPSY2008-01, DC2008-01(2008-04), 信学技報 Vol. 108 No. 14, pp. 1-6, Apr. 2008.
- [139] 橋岡 大地, 明石 大, 三野 峻徳, 石田 慎一, 井上 恒一, 川島 英之, 鯉淵 道紘, 西 宏章, リッチなユーザサービスを提供するセマンティックルータの提案, 並列/分散/協調処理に関するサマワーショップSWoPP, 2008-ARC-179, 情処研報 Vol. 2008 No. 75, pp. 97-102, Aug. 2007.
- [140] 明石 大, 西 宏章, 拡張パトリシアツリーとインターフェース局所性を用いたルーティングテーブル検索機構の予備評価 並列/分散/協調処理に関するサマワーショップSWoPP, CPSY 2008-25, 信学技報 Vol. 108 No. 180, pp. 85-90, Aug. 2008.
- [141] 牧野 友昭, 明石 大, 井上 恒一, 川島 英之, 鯉淵 道紘, 西 宏章, リッチなユーザサービスを提供するセマンティックルータにおけるデータベースインサージョンの提案, 電子情報通信学会技術研究報告 IN2008-45, Vol. 108, No. 204, pp. 9-14, Sep. 2008.
- [142] 永富 泰次, 三野 峻徳, 石田 慎一, 川島 英之, 鯉淵 道紘, 西 宏章, リッチなユーザサービスを提供するセマンティックルータにおける正規表現プロセッサの提案, 電子情報通信学会技術研究報告 NS2008-60, Vol. 108, No. 203, pp. 105-110, Sep. 2008.
- [143] 打田, 井瀬, "pinフォトダイオードの光応答電流モデルの研究", 平成20年度計測自動制御学会, 第146回教育工学研究会・シンポジウム(2008).
- [144] 河合章生, 柏 竜太, 田中丈之, 守屋雅隆, 小林忠行, 水柿義直, "近似モデルを用いた超伝導薄膜積層構造のインダクタンス計算", 2008年電子情報通信学会ソサイエティ大会 C-8-1 (2008).
- [145] 河合章生, 柏 竜太, 守屋雅隆, 小林忠行, 水柿義直, "Nb集積回路における平行線路間の相互インダクタンス評価", 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2008-26 (2008).
- [146] 河合章生, 田中丈之, 斎藤淳, 守屋雅隆, 小林忠行, 水柿義直, "分岐器と合流器を用いた単一磁束量子パルス数増倍器の設計", 2009年電子情報通信学会総合大会 C-8-2 (2009).
- [147] 田中丈之, 小林忠行, 守屋雅隆, 水柿義直, 前澤 正明, "SQUIDスタックを利用した電圧増倍回路セル", 2009年電子情報通信学会総合大会 C-8-3 (2009).
- [148] 迫, 清水, 宇野, 山下, 大島, "高速DAC LSIを用いた8 PAM 30 Gb/s伝送実験", 2008年電子情報通信学会エレクトロニクスソサイエティ大会.
- [149] 清水, 迫, 山下, 本田, 原澤, 大島, "10 GS/s, 10 bit DAC LSIの特性評価", 2008年電子情報通信学会エレクトロニクスソサイエティ大会.
- [150] 迫, 清水, 山下, 本田, 原澤, 大島, "10 GS/s, 10 bit DAC LSIの開発", 電子情報通信学会シリコンアナログRF研究会, 2008/12.
- [151] 竹下, 大島, 山下, "負性インピーダンス回路によるトランスインピーダンスアンプの広帯域化手法", 電気学会電子回路研究会, ECT-09-10, 2009/1.
- [152] 今村, 大島, 関, 竹下, 山下, 金井, 中條, "非対称エンファシス技術を用いた光配線用90-nm CMOS 4 x 10 Gb/s VCSELドライバ", 電気学会電子回路研究会, ECT-09-34, 2009/1.
- [153] 小玉 翔, 松永 裕介, "イニシエーション・インターバルとアロケーションの制約下における総面積最小を目的としたパイプライン・スケジューリング手法", 信学技報, Vol. 108, No. 478, VLD2008-131, pp. 29-34, 2009年3月.
- [154] ニコデムス, 島崎, 高木, 藤井, "ディープサブミクロンプロセスを用いた高電圧インタフェース回路の一構成", 電子回路研究会, ECT-08-57, pp. 35-40, 2008.
- [155] 上原, ニコデムス, 高木, "アナログデジタル混載SoCにおける同相雑音除去回路", 電子回路研究会, ECT-09-51, pp. 79-84, 2009.
- [156] 押山, 松田, 岩田, "微細CMOSによる高精度CMOS温度センサの開発", 平成20年度電気関係学会北陸支部連合大会, D-17, 2008年9月.
- [157] 市川, 松田, 岩田, "ヒステリシス制御方式DC-DCコンバータ用LSIの開発", 平成20年度電気関係学会北陸支部連合大会, D-21, 2008年9月.
- [158] 萱野良樹, 柳澤良介, 井上浩, "ICチップ内配線の伝送及び電磁結合特性の一検討", 電子情報通信学会技術研究報告, Vol. 108, No. 256, EMCJ2008-59, pp. 1-6, Oct. 2008.
- [159] 柳澤良介, 萱野良樹, 井上浩, "ICチップ内F-SIR周期構造線路の試作", 電子情報通信学会

技術研究報告, Vol. 108, No. 482, EMCJ2008-117, pp. 19-24, Mar. 2009.

- [160] 白井秀和, 吉田匡宏, 東原恒夫, 「窓積分フィルタを用いたスプリアス信号抑圧電気学会 電子回路研究会, 2008年6月12日(会津大学開催).
- [161] 吉田匡宏, 白井秀和, 東原恒夫, 「フーリエ変換とサンプリングを用いたワイヤレス受信機の検討」電気学会 電子回路研究会, 2008年6月12日(会津大学開催).
- [162] 後藤正之, 中村一博, 高木一義, 高木直史, "投票無衝突化手法を用いた小面積画素並列ハフ変換回路", pp. 79-84, 電子情報通信学会技術研究報告, CPSY2008-101(2008).
- [163] 後藤正之, 中村一博, 高木一義, 高木直史, "投票無衝突化と投票空間アクセス局所化による小面積画素並列ハフ変換回路", A-20-1, 2009年電子情報通信学会総合大会(2009).
- [164] 竹島将太, 田中雅光, 高木一義, 高木直史, "多層配線単一磁束量子回路のための自動配線手法", pp. 39-44, 電子情報通信学会技術研究報告, SCE2008-29(2008).
- [165] 川島裕崇, 高木直史, "Chen-Willoner アルゴリズムに基づく小面積並列乗算器について", A-3-6, 2008年電子情報通信学会基礎・境界ソサイエティ大会(2008).
- [166] 川島裕崇, 高木直史, "オペランドの和を利用した小面積乗算器", pp. 25-30, 電子情報通信学会技術研究報告, VLD2008-64(2008).
- [167] 小林克希, 高木直史, "拡張ユークリッド法に基づくGF(2m)上の除算回路の剰余計算並列化による高速化", A-3-5, 2008年電子情報通信学会基礎・境界ソサイエティ大会(2008).
- [168] Katsuki Kobayashi, Naofumi Takagi, "Hardware Algorithm for Division in GF(2m) Based on the Extended Euclid's Algorithm Accelerated with Parallelization of Modular Reductions", pp. 31-36, 電子情報通信学会技術研究報告, VLD2008-65(2008).
- [169] 黒田亮太郎, 内田裕之, Jihane B. Abderrazak, 富安洋史, 西川博昭, "超低消費電力化イベント駆動型ヘテロジニアスチップマルチプロセッサ", 情報処理学会 研究報告, 2009-ARC-182(23), 2009-HPC-119(23), pp. 133-138(北海道札幌市)(2009.2.28).
- [170] 田中優, 榎田洋太郎, 田久修, 中山真知子(トッパン・フォームズ), 児玉一成(トッパン・フォームズ), "UHF帯RFIDタグの近接時における伝達利得変化の解析", 電子情報通信学会, アンテナ・伝播研究会(AP)2008年4月.
- [171] 中村 幸太, 榎田洋太郎, 田久修, "RFIDタグの電源回路におけるダイオードを含めた共振設計", "電子情報通信学会, マイクロ波研究会(MW), MW2008-27, pp. 71-76, 2008年5月.
- [172] 田中優, 榎田洋太郎, 田久修, 中山真知子(トッパン・フォームズ), 児玉一成(トッパン・フォームズ), "UHF帯RFIDタグの近接時における通信距離変化の解析", "アンテナ・伝播研究会(AP), AP2008-112, pp. 7-12, 2008年4月.
- [173] 中村 幸太, 榎田洋太郎, 田久修, "UHF帯パッシブRFIDタグの電源回路におけるダイオードを含めた共振設計", "電子情報通信学会, スマートインフォメディアシステム研究会(SIS), SIS2008-46, pp. 23-28, 2008年12月.
- [174] 田中優, 榎田洋太郎, 田久修, 中山真知子(トッパン・フォームズ), 児玉一成(トッパン・フォームズ), "UHF帯金属対応RFIDタグの金属近傍における受信電力変化の解析", "電子情報通信学会 総合大会, B-1-202, 2009年3月.
- [175] 北地, 橋, "PLLのための要素回路の設計", pp19-24, 2008年, 信学技報VLD2007-147.
- [176] 橋, "木構造部分積加算回路を持つ乗算器の面積と遅延を考慮した消費電力最適化手法", pp211-216, 2008年, DAシンポジウム.
- [177] 橋, "木構造部分積加算回路をもつ乗算器の面積/遅延/消費電力トレードオフについて", pp37-42, 2008年, 信学技報VLD2007-150.
- [178] 荒賀, 橋田, 永田, "オンチップ・マルチチャンネルモニタにおける波形取得アルゴリズムの実装と評価", 電子情報通信学会技術報告 ICD2008-80, 125-130, 2008.10.
- [179] 岩佐, 澤田, 深澤, 永田, "容量充電モデルによるプロセッサ電源雑音解析の高速化手法", 電子情報通信学会技術報告 ICD2008-94, 31-36, 2008.11.
- [180] 荒賀, 永田, "オンチップモニタのためのバックエンドデータ処理系の構築と波形取得性能の評価", STARCフォーラム/シンポジウム2008.
- [181] 永田, "ミックスドシグナルSoCのためのオンチップモニタ技術", STARCフォーラム/シンポジウム2008.
- [182] 中居, 深澤, 永田, "サブ100-nmデジタル回路におけるダイナミック電源雑音を考慮した信号遅延変動の評価と解析", 電子情報通信学会ソサイエティ大会(明治大学).
- [183] 荒賀, 橋田, 永田, "ミックスドシグナルSoCのためのオンチップモニタ構築技術", 電子情報通

- 信学会技術報告 ICD2008-108, 39-42, 2008.12.
- [184] 吉川, 永田, "LSIのEMC ~チップとボードを統合した電源ノイズの評価・解析手法~, 電子情報通信学会技術報告 ICD2008-109, 43-46, 2008.12.
- [185] 永田, "(招待講演) オンチップノイズモニタ技術とLSIの電源インテグリティ評価", エレクトロニクス実装学術講演大会, pp. 11-12, 2009.3.
- [186] Lei Chen, Takashi Horiyama, Yuichi Nakamura, Shinji Kimura "Fine-Grained Power Gating Based on the Controlling Value of Logic Gates," 情処研報告 2008-SLDM-135, pp. 55-60, May 2008.
- [187] 国武 勇次, 佐藤 寿倫, 安浦 寛人, "入力依存の遅延ばらつきを利用するDVSシステムにおける性能およびエリアオーバーヘッドの改善検討", 情報処理学会研究報告, 2008-ARC-178, pp. 93-98, May. 2008.
- [188] 国武 勇次, 佐藤 寿倫, 安浦 寛人, "カナリア方式におけるタイミングエラー見逃しに関する調査", 先進的計算基盤システムシンポジウム (SACSIS), pp. 48-49, Jun. 2008.
- [189] 渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, "タイミング歩留まり改善を目的とする演算器カスケードイング", 先進的計算基盤システムシンポジウム (SACSIS), pp. 115-122, Jun. 2008.
- [190] 松村 忠幸, 石原 亨, 安浦 寛人, "コード配置とメモリ構成の同時最適化による省電力化手法", DAシンポジウム2008論文集, Vol. 2008, No. 7, pp. 13-18, Aug. 2008.
- [191] 国武 勇次, 佐藤 寿倫, 山口 誠一郎, 安浦 寛人, "タイミングエラーの予報を目的とするカナリアFFの挿入位置限定", 電子情報通信学会技術研究報告, VLD2008-60-90, Vol. 108, No. 298, pp. 85-89, Nov. 2008.
- [192] 石飛 百合子, 石原 亨, 安浦 寛人, "キャッシュウェイ割当てとコード配置最適化による組込みプロセッサの省エネルギー化", DAシンポジウム2008論文集, pp. 19-24, Aug. 2008.
- [193] 石原 亨, "ソフトウェアの消費エネルギー解析と最適化技術", 第21回 回路とシステム(軽井沢)ワークショップ論文集, pp. 343-348, Apr. 2008.
- [194] 石飛百合子, 石原亨, 安浦寛人, "Non-uniform Selective Way Cacheの動的制御による組込みプロセッサの省エネルギー化", 電子情報通信学会技術研究報告, CPSY2008-88-103, Vol. 108, No. 463, pp13-18, March, 2009.
- [195] 山口 誠一郎, 石原 亨, 安浦 寛人, "シングルサイクルアクセス可能な二階層キャッシュアーキテクチャ", 電子情報通信学会技術研究報告, Vol. 108, No. 463, pp. 19-24, Mar. 2009.
- [196] 西本, 川原崎, 長谷川, 寺川, 藤野, "ビアプログラムブルデバイスVPEXのロジックエレメント改良による面積削減と高性能化", 電子情報通信学会技術研究報告ICD2008-122 (2008).
- [197] 國生, 川原崎, 石橋, 西本, 北村, 吉川, 藤野, "ビアプログラムブルロジックデバイスVPEXにおける自動配置ツールの開発と性能評価", 電子情報通信学会技術研究報告ICD2008-123 (2008).
- [198] 小島, 奥山, 牧野, 藤野, "Domino-RSL方式を用いたDES暗号回路実装と電力差分解析(DPA)攻撃に対する耐性の検証", 電子情報通信学会技術研究報告VLD2008-140, (2009).
- [199] 川原崎, 西本, 國生, 北村, 山田, 吉川, 藤野, "ビアプログラムブルデバイスVPEXのチップ評価とDES暗号回路実装の検討", 電子情報通信学会技術研究報告VLD2008-139 (2009).
- [200] 大崎 勇士, 廣瀬 哲也, 松本 啓, 黒木 修隆, 沼 昌宏, "電源電圧制御によるサブスレッショルド・デジタル回路のプロセスバラツキ補正技術", 電子情報通信学会総合大会, (松山), 2009年3月.
- [201] 石井 翔, 廣瀬 哲也, 大崎 勇士, 黒木 修隆, 沼 昌宏, "サブスレッショルドCMOS LSIに向けたスイッチトキャパシタ型DC-DCコンバータ", 電子情報通信学会総合大会, (松山), 2009年3月.
- [202] 鬼頭 豊明, 廣瀬 哲也, 大崎 勇士, 黒木 修隆, 沼 昌宏, "MOSFETのキャリア移動度温度特性を利用した基準電圧源回路", 電子情報通信学会総合大会, (松山), 2009年3月.
- [203] 辻川 琢也, 廣瀬 哲也, 大崎 勇士, 黒木 修隆, 沼 昌宏, "軽負荷動作時の逆流電流損失を改善した同期整流型DC-DCコンバータ", 電子情報通信学会総合大会, (松山), 2009年3月.
- [204] 松本 啓, 廣瀬 哲也, 大崎 勇士, 黒木 修隆, 沼 昌宏, "MOSFETのしきい値電圧差を利用した参照電圧源回路", 電子情報通信学会総合大会, (松山), 2009年3月.
- [205] 次田 祐輔, 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "CMOSデジタルシステムのためのPVTバラツキ補正回路", 電子情報通信学会総合大会, (松山), 2009年3月.
- [206] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "サブスレッショルドMOSFETを用いた超低消費電力CMOS参照電圧源回路", 電子情報通信学会集積回路研究会, (札幌), 2008年10月.
- [207] 次田 祐輔, 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "低電圧CMOSデジタル回路の特性バラツキ補償技術の構築", 電子情報通信学会 集積回

路研究会, (札幌), 2008年10月.

- [208] 次田 祐輔, 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "低電圧CMOSデジタル回路のプロセス・温度バラツキ補正技術, "電子情報通信学会ソサイエティ大会, (川崎), 2008年9月.
- [209] 小川 太一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "サブスレッショルド領域におけるCMOSデジタル回路動作の解析, "VDECデザイナーフォーラム2008, P-06, (東京), 2008年6月.
- [210] 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "CMOSアナログ回路のチップ間特性バラツキ補正技術のための参照電圧源, "VDECデザイナーフォーラム2008, P-09, (東京), 2008年6月.
- [211] 尾形幸亮, 姚駿, 嶋田創, 三輪忍, 富田眞治, "ALU Cascadingのための動的命令スケジューラ, "先進的計算基盤システムシンポジウム SACSIS 2008, pp. 105-114, 2008年6月.
- [212] Jun Yao, Hajime Shimada, and Kazutoshi Kobayashi, "A Scalable Pipeline Design for Modularizing High Dependable Framework via Spatial Redundancy," DAシンポジウム2008, pp. 169-174, 2008年8月.
- [213] 北村, 中島, "異種命令セットを同時に実行するマルチスレッディング・プロセッサの研究", STARCフォーラム/シンポジウム, ポスター(2008).
- [214] 中島規成, 森江隆, "MOSFETのしきい値電圧の温度依存性を利用した温度補償電流源回路とその応用", 電気学会C部門電子回路研究会, ECT-08-64, pp. 1-5, 2008年10月23日, 北九州国際会議場(北九州).
- [215] 森江隆, 田中 秀樹, 厚地 泰輔, 是角 圭祐, 中田一紀, "時間領域情報処理による脳型集積システム", 電子情報通信学会 ニューロコンピューティング研究会, NC2008-68, Vol. 108, No. 281, pp. 55-60, 2008年11月8日, 佐賀大学(佐賀).
- [216] 厚地泰輔, 森江隆, 合原一幸, "パルス変調方式を用いた電流サンプリング型CMOS任意カオス生成回路", 電気学会電子回路研究会, ECT-09-19, pp. 25-30, 2009年1月22日, 大濱信泉記念館(石垣島).
- [217] 皆川 亨介, 佐藤 翔, 山田 博文, 徳田 崇, 太田 淳, "皆川 亨介, 佐藤 翔, 山田 博文, 徳田 崇, 太田 淳", BMS-08-8, バイオ・マイクロシステム研究会(2008).
- [218] 山田 博文, 笹川 清隆, 徳田 崇, 太田 淳, "マイクロケミストリ向け偏光計測CMOSセンサによる旋光計測", 22, 第2回IPG研究討論会(2008).
- [219] 樋口 彩沙子, 杉山 哲也, 笹川 清隆, 徳田 崇, 畠中 由美子, 田村 英紀, 塩坂 貞夫, 太田 淳, "自由行動マウス脳内における神経活動観察用CMOSイメージセンサの開発", STARCフォーラム/シンポジウム2008(2008).
- [220] 徳田 崇, 樋山 浩平, 笹川 清隆, 寺澤 靖雄, 西田 健太郎, 北口 義之, 不二門 尚, 田野 保雄, 太田 淳, "CMOS技術による人工視覚向け網膜刺激デバイスのin vivo機能実証", 2-01-06, 生体医工学シンポジウム2008(2008).
- [221] 宍戸 三四郎, 笹川 清隆, 香川 景一郎, 徳田 崇, 太田 淳, "低電圧・低消費電力駆動ソース変調型パルス幅変調方式イメージセンサの研究", pp. 73-75, 情報センシング研究会(2008).
- [222] 柳生 啓佑, 笹川 清隆, 香川 景一郎, 徳田 崇, 太田 淳, "網膜下埋め込み型人工視覚プラットフォームに関する研究", 情報センシング研究会(2008).
- [223] 太田 淳, "CMOSオンチップイメージセンサとin vivoイメージング", 第42回光波センシング技術研究会講演会(2008).
- [224] 太田 淳, "フォトリックLSIデバイス技術のバイオメディカル分野への応用", 第4回フォトリックデバイス・応用技術研究会(2009).
- [225] 宍戸 三四郎, 香川 景一郎, 徳田 崇, 太田 淳, "バイオメディカル応用を目指したソース変調型パルス幅変調方式イメージセンサにおける低消費電力化の検討", 第11部門 情報センシング1 11-9, 映像情報メディア学会年次大会(2008).
- [226] 田川 礼人, 樋口 彩沙子, 杉山 哲也, 笹川 清隆, 徳田 崇, 田村 英紀, 塩坂 貞夫, 太田 淳, "自由行動マウスの脳機能観察用CMOSイメージセンサ", 第11部門 情報センシング1 11-10, 映像情報メディア学会年次大会(2008).
- [227] 山田 博文, 笹川 清隆, 徳田 崇, 太田 淳, "偏光分析CMOSセンサとそのマイクロケミストリへの応用", 第11部門 情報センシング1 11-11, 映像情報メディア学会年次大会(2008).
- [228] 山田 博文, 笹川 清隆, 徳田 崇, 太田 淳, "マイクロケミストリに向けたイメージセンサ型偏光分析CMOSセンサ", 4a-T-4, 秋季第69回応用物理学会学術講演会(2008).
- [229] 樋口 彩沙子, 杉山 哲也, 田川 礼人, 笹川 清隆, 徳田 崇, 畠中 由美子, 田村 英紀, 塩坂 貞夫, 太田 淳, "自由行動マウス脳内イメージングのためのCMOSイメージセンサの開発", 4a-T-6, 秋季第69回応用物理学会学術講演会(2008).
- [230] 樋山 浩平, 澤村 茂樹, 笹川 清隆, 徳田 崇, 寺澤 靖雄, 西田 健太郎, 北口 義之, 不二門 尚, 田野

- 保雄, 太田 淳, "自由行動マウスの脳機能観察用 CMOS イメージセンサ", 4a-T-2, 秋季第 69 回応用物理学学会学術講演会 (2008).
- [231] 澤村 茂樹, 笹川 清隆, 徳田 崇, 寺澤 靖雄, 田野 保雄, 太田 淳, "多点刺激対応分散型人工視覚デバイスの開発", 4a-T-3, 秋季第 69 回応用物理学学会学術講演会 (2008).
- [232] 杉山 哲也, 樋口 彩沙子, 田川 礼人, 笹川 清隆, 徳田 崇, 田村 英紀, 畠中 由美子, 塩坂 貞夫, 太田 淳, "ライトガイドアレイ搭載高解像度 in vivo 脳神経イメージセンサ", 4a-T-7, 秋季第 69 回応用物理学学会学術講演会 (2008).
- [233] 皆川 亨介, 山田 博文, 笹川 清隆, 徳田 崇, 太田 淳, "イメージセンサ型偏光分析 CMOS センサ搭載マイクロチャネルデバイス", 4a-T-5 / III, 秋季第 69 回応用物理学学会学術講演会 (2008).
- [234] 下畠 弘也, 山田 博文, 笹川 清隆, 徳田 崇, 太田 淳, "リアルタイム不斉度計測のための偏光分析 CMOS イメージセンサ", 30a-ZL-6, 第 56 回応用物理学関係連合講演会 (2009).
- [235] 三谷 昌弘, 南 裕樹, 杉山 哲也, 樋口 彩沙子, 田川 礼人, 笹川 清隆, 徳田 崇, 田村 英紀, 畠中 由美子, 石川 保幸, 塩坂 貞夫, 太田 淳, "ライトガイドアレイ搭載による in vivo 脳神経イメージセンサの高解像度化", 30a-ZL-10, 第 56 回応用物理学関係連合講演会 (2009).
- [236] 笹川 清隆, 樋口 彩沙子, 田川 礼人, 杉山 哲也, 南 裕樹, 徳田 崇, 畠中 由美子, 田村 英紀, 塩坂 貞夫, 太田 淳, "複数回読み出しによる in-vivo 用 CMOS イメージセンサの高ダイナミックレンジ化", 30a-ZL-12, 第 56 回応用物理学関係連合講演会 (2009).
- [237] 竹内 陽一, 樋山 浩平, 澤村 茂樹, 笹川 清隆, 徳田 崇, 寺澤 靖雄, 西田 健太郎, 北口 義之, 不二 門尚, 田野 保雄, 太田 淳, "ウサギ動物実験に対応した受光機能搭載人工視覚デバイスの開発と機能実証", 30p-ZL-2, 第 56 回応用物理学関係連合講演会 (2009).
- [238] 石坂 耕助, 岡村 怜王奈, 吉原 務, "オンチップサンプリングによる電源補償回路の検討" 2009 電気関係学会九州支部連合大会.
- [239] Mengshu HUANG, Leona OKAMURA, Tsutomu YOSHIHARA, "A New Four Phase PMOS Dickson Type Charge Pump with Threshold Voltage and Body Effect Cancellation Scheme" 2009 電気関係学会九州支部連合大会.
- [240] 張 肖, 岡村, 吉原, "gm 一定化回路による低電圧動作 CMOS Rail-to-Rail オペアンプ", The 61st Joint Conference of Electrical Electronics Engineers in Kyushu, Oita, Sept. 24th—25th 2008.
- [241] 竹内 俊太郎, 高橋 康宏, 関根 敏和, "D 級アンプに用いられるオペアンプのひずみ率", "2009 年電子情報通信学会総合大会講演論文集, Vol. 2009, p. 43 (A-1-43), March 2009.
- [242] 長野 俊哉, 高橋 康宏, 関根 敏和, 横山 道央, "オンチップ可能な断熱的論理回路用正弦波電源回路", "2009 年電子情報通信学会総合大会講演論文集, Vol. 2009, p. 105 (C-12-17), March 2009.
- [243] 太田 順也, 太田 生馬, 成田 渉, 松下 智紀, 近藤 高志! "周期反転 AlGaAs 導波路における擬似位相整合第二高調波発生", "2008 年秋季第 69 回応用物理学学会学術講演会, 2008 年 9 月 2 日-5 日, 中部大学 (4p-ZN-15).
- [244] 松下 智紀, 太田 生馬, 近藤 高志, "GaP/AlGaP リッジ導波路型疑似位相整合波長変換素子の作製", "2008 年秋季第 69 回応用物理学学会学術講演会, 2008 年 9 月 2 日-5 日, 中部大学 (4p-ZN-16).
- [245] T. Kondo, "Wavelength conversion devices based on semiconductor waveguides," 第 9 回マイクロ固体フォトンクス専門委員会講演会「疑似位相整合非線形光学波長変換の現状と展望」, 2008 年 11 月 20 日, 分子科学研究所.
- [246] 近藤 高志, "半導体導波路型波長変換デバイス", "2008 年度第 3 回光材料・応用技術研究会「非線形光学とフォトンクス結晶—新領域技術の現状と展望—」, 2008 年 11 月 21 日, 京都.
- [247] 太田 順也, 太田 生馬, 松下 智紀, 近藤 高志, "擬似位相整合 AlGaAs 導波路型デバイスにおける 1.5 μm 帯 SHG の高効率化", "2009 年春季第 56 回応用物理学関係連合講演会, 2009 年 3 月 30 日-4 月 2 日, 筑波大 (31p-B-2).
- [248] 花嶋 香織, 太田 順也, 太田 生馬, 松下 智紀, 近藤 高志, "擬似位相整合 AlGaAs 導波路型デバイスによる波長 3- μm 差周波発生 II," 2009 年春季第 56 回応用物理学関係連合講演会, 2009 年 3 月 30 日-4 月 2 日, 筑波大 (31p-B-3).
- [249] 松下 智紀, 太田 生馬, 近藤 高志, "周期空間反転 GaP/AlGaP 導波路における疑似位相整合パラメトリック蛍光", "2009 年春季第 56 回応用物理学関係連合講演会, 2009 年 3 月 30 日-4 月 2 日, 筑波大 (31p-B-4).
- [250] 川名, 吉澤, "予測型スイッチト・キャパシタ増幅回路における同相入力電圧の影響についての検討", 電子情報通信学会ソサイエティ大会 エレクトロニクス講演論文集, p. 93, 2009.
- [251] 萩原 汐, 高橋 亮, 山長 功, 佐藤 高史, 益 一哉,

"状態依存性を考慮した論理回路の電源間容量モデルの検討", 電子情報通信学会 総合大会, 2009年3月.

- [252] 山長 功, 高橋 亮, 萩原 汐, 佐藤 高史, 益一哉, "状態依存性解析のための電源間容量のテーブルルックアップ計算", 電子情報通信学会 総合大会, 2009年3月.
- [253] 新谷 道広, 高橋 知之, 植山 寛之, 上蘭 巧, 佐藤 高史, 畠山 一実, 相京 隆, 益一哉, "統計的タイミング情報に基づく適応型テスト", 電子情報通信学会 総合大会, 2009年3月.
- [254] 上蘭 巧, 高橋 知之, 植山 寛之, 新谷 道広, 佐藤 高史, 益一哉, "適応型テストにおけるクリティカルパスのクラスタリング手法", 電子情報通信学会 総合大会, 2009年3月.
- [255] 伊達 貴徳, 萩原 汐, 佐藤 高史, 中山 範明, 益一哉, "回路特性ばらつき解析に対する重点的サンプリングの適用検討", 電子情報通信学会 ソサイエティ大会, p. 27, 2008年9月.
- [256] 高橋 亮, 山長 功, 佐藤 高史, 益一哉, "CMOS論理回路における電源網容量の入力状態依存性についての検討", 電子情報通信学会 ソサイエティ大会, p. 111, 2008年9月.
- [257] 萩原 汐, 佐藤 高史, 益一哉, "パス遅延時間ばらつきを考慮した電源遮断回路の設計指針", DAシンポジウム, pp. 7-12, 2008年8月.
- [258] 山長 功, 佐藤 高史, 益一哉, "基板実装状態を考慮可能な表面実装型受動部品の2ポートモデリング手法", 第21回 回路とシステム軽井沢ワークショップ, pp. 331-336, 2008年4月.
- [259] 萩原 汐, 佐藤 高史, 益一哉, "電源遮断回路におけるパス遅延時間ばらつき計算", 第21回 回路とシステム軽井沢ワークショップ, pp. 427-432, 2008年4月.
- [260] 上蘭 巧, 佐藤 高史, 益一哉, "プロセスばらつきを利用した電圧測定回路の検討", 第21回 回路とシステム軽井沢ワークショップ, pp. 439-444, 2008年4月.
- [261] 植山 寛之, 佐藤 高史, 中山 範明, 益一哉, "抵抗測定法によるトランジスタアレイ回路の測定時間短縮化", 電子情報通信学会 ソサイエティ大会, p. 110, 2008年9月.
- [262] 高橋 知之, 植山 寛之, 萩原 汐, 佐藤 高史, 益一哉, "電源電圧変動やプロセスばらつきに対する標準セルの遅延感度検討", 電子情報通信学会 ソサイエティ大会, p. 52, 2008年9月.
- [263] 大下隆生・伊藤浩之・天川修平・石原昇・益一哉, 「広帯域CMOS 差動型リングVCO」, 電子情報通

信学会ソサイエティ大会, A-1-12, 2008年9月.

- [264] 佐渡島進, 伊藤浩之, 天川修平, 石原昇, 益一哉, 「CMOSインバータ型広帯域可変利得増幅器の検討」, 電子情報通信学会ソサイエティ大会, C-2-14, 2008年9月.
- [265] 水落裕, 佐渡島進, 伊藤浩之, 天川修平, 石原昇, 益一哉, 「CMOS RF パワーアンプにおけるプロセス世代依存性」, 電子情報通信学会ソサイエティ大会, C-12-57, 2008年9月.
- [266] 中島智也, 伊藤浩之, 天川修平, 石原昇, 益一哉, 「RF CMOS 低雑音増幅回路特性のプロセス世代依存性」, 電子情報通信学会ソサイエティ大会, C-12-45, 2008年9月.
- [267] 小林 由佳, 大下隆生, 伊藤浩之, 天川修平, 石原昇, 益一哉, 「180nm CMOS直交リング型VCOの試作評価結果」, 第18回 シリコンアナログRF研究会, No. 2, 2008年12月.
- [268] 水落 裕, 天川修平, 石原昇, 益一哉, 「RF CMOS回路の高性能化に向けたオンチップ/オフチップインダクタ特性の比較」, 電子情報通信学会 総合全国大会, C-12-29, 2009年3月.
- [269] 中島智也, 伊藤浩之, 天川修平, 石原昇, 益一哉, 「インバータ構成を用いたスケーラブル広帯域RF CMOS低雑音増幅器の検討」, 電子情報通信学会 総合全国大会, C-12-60, 2009年3月.
- [270] 中島智也, 伊藤浩之, 天川修平, 石原昇, 益一哉, 「インバータ構成を用いたスケーラブル広帯域RF CMOS低雑音増幅器の検討」, 電子情報通信学会 総合全国大会, C-12-60, 2009年3月.
- [271] 李尚曄, 小林由佳, 天川修平, 石原昇, 益一哉, 「CMOS LC-VCOのプロセス世代依存性の検討」, 電子情報通信学会 総合全国大会, C-12-50, 2009年3月.
- [272] 宮下一哉, 石井隆宏, 伊藤浩之, 石原昇, 益一哉, 「プリエンファシスを用いたオンチップ伝送線路配線の実測評価」, 電子情報通信学会ソサイエティ大会, C-12-5, p. 74, 2008年9月.
- [273] 前川智明, 伊藤浩之, 石原昇, 益一哉, 「エッジパルス信号による低電力オンチップ高速伝送線路配線技術」, 電子情報通信学会ソサイエティ大会, C-12-4, p. 73, 2008年9月.
- [274] 宮下一哉, 富万林, 伊藤浩之, 堺淳, 益一哉, 「高速プリント基板配線のばらつき特性に関する評価」, 電子情報通信学会シリコンアナログRF研究会, Vol. RF2008-1, p. 5, 2008年5月.
- [275] 峰山亜希子, 伊藤浩之, 石原昇, 益一哉, 「低電力・小面積CMOS擬似ランダムパターンデータ発生回路」, 電子情報通信学会ソサイエティ大

- 会, C-12-8, p. 73, 2008年9月.
- [276] 関口貴之, 宮下一哉, 天川修平, 石原昇, 益一哉, 「Si基板上におけるコプレーナ-ストリップ差動伝送線路の設計」, 電子情報通信学会 総合全国大会, C-12-26, 2009年3月.
- [277] 前川智明, 宮下一哉, 天川修平, 石原昇, 益一哉, 「抵抗帰還を用いたインバータ型オンチップ出力バッファの低ジッタ化設計」, 電子情報通信学会 総合全国大会, C-12-33, 2009年3月.
- [278] 大田真菜美, 寺田晋也, 江口啓, 大田一郎, "負荷の位相角が変化しても高効率を維持できるスイッチトキャパシタ電源", No. 313, 第23回熊本県産学官技術交流会, (2009-02).
- [279] 大田真菜美, 寺田晋也, 江口啓, 大田一郎, "入力にエネルギー回生できるスイッチトキャパシタインバータの開発", pp. 15-18, 第7回電子情報系高専フォーラム, (2008-11).
- [280] 大津隈和樹, 江口啓, 寺田晋也, 大田一郎, "誘導性負荷にも対応できるスイッチトキャパシタDC-ACコンバータ", No. 09-2P-11, 第61回電気関係学会九州支部連合大会(2008-09).
- [281] 津隈和樹, 江口啓, 寺田晋也, 大田一郎, "商用電源用の高効率スイッチトキャパシタDC-ACコンバータ", pp. 379-384, 第21回回路とシステム軽井沢ワークショップ, (2008-04).
- [282] 豊丸, 中野, "基板モデル化のための2ポートコンタクト間Sパラメータ測定" 第16回シリコンアナログRF研究会(2008).
- [283] 豊丸, 中野, "Si基板上コンタクト間Sパラメータ評価", 第18回シリコンアナログRF研究会(2008).
- [284] 豊丸, 丘本, 中野, "ガードリング形状を有した基板コンタクト間の2ポートSパラメータ測定" 第19回シリコンアナログRF研究会(2009).
- [285] 加藤, 一宮, 四柳, 橋爪, "0.35 μ mCMOSICの配線断線時の故障動作の実測", 電気関係学会四国支部連合大会講演論文集, p. 104, (2008).
- [286] 小山田, 四柳, 橋爪, "断線故障線の論理値変化を引き起こす隣接信号線の特長", 電気関係学会四国支部連合大会講演論文集, p. 105, (2008).
- [287] 山田, 四柳, 橋爪, "IC内配線の高抵抗断線による信号伝搬に及ぼす影響調査", 電気関係学会四国支部連合大会講演論文集, p. 107, (2008).
- [288] 尾形, 四柳, 橋爪, "TCADを用いた抵抗性断線時の信号遅延解析", 電気関係学会四国支部連合大会講演論文集, p. 108, (2008).
- [289] 中南, 四柳, 橋爪, 樹下, "レベルシフト回路の高抵抗故障の遅延テストの検査能力評価", 電気関係学会四国支部連合大会講演論文集, p. 109, (2008).
- [290] 嶋本, 田坂, 茅原, 四柳, 橋爪, "PIC16F84A内のバス故障用実時間テストプログラム", 電気関係学会四国支部連合大会講演論文集, p. 126, (2008).
- [291] 樽見, 四柳, 橋爪, "ビアオープン故障のテスト生成対象箇所の抽出", 電気関係学会四国支部連合大会講演論文集, p. 129, (2008).
- [292] 馬場祐一, 宮本篤志, 本間尚文, 青木孝文, 佐藤証, "高基数モンゴメリ乗算に基づくRSA暗号の高性能ハードウェア実装", "平成20年度 電気関係学会東北支部連合大会, No. 1F07, p. 198, August 2008.
- [293] 馬場祐一, 宮本篤志, 本間尚文, 青木孝文, "電流モード多値論理を用いた耐タンパー性暗号ハードウェアに関する検討", "第31回多値論理フォーラム, No. 14, pp. 1-8, September 2008.
- [294] 三宅, 森, 前澤, "高性能FM $\Delta\Sigma$ 変調器のための線形電圧制御発振器", 電気関係学会北陸支部連合大会(2008).
- [295] 五十嵐, 森, 齊藤, 岩杉, ノルスルヤティ, 前澤, "(111)面パターンを形成したSi(100)基板上へのInSb薄膜のヘテロエピタキシャル成長", 秋季第69回応用物理学学会学術講演会(2008).
- [296] 前澤, 藤城, 笠原, 坂本, 森, "共鳴トンネルダイオードペアを分散配置したアクティブ伝送線路", 電子情報通信学会ソサイエティ大会(2008).
- [297] 新海, 森, 前澤, 赤松, "Fluidic Self-Assembly(FSA)のためのInP HEMTブロックの作製", 電子情報通信学会ソサイエティ大会(2008).
- [298] 岩杉, 森雅之, 齊藤, 五十嵐, N.B.Ahmad, 村田, 前澤, "V字型の(111)面パターンを形成したSi(100)基板上へのInSb薄膜のヘテロエピタキシャル成長", 応用物理学学会北陸・信越支部学術講演会(2008).
- [299] 岩杉, 森, 齊藤, 五十嵐, 村田, 前澤, "V字型(111)面パターンを形成したSi(100)基板上へのInSb薄膜のヘテロエピタキシャル成長", 春季第56回応用物理学関係連合講演会(2008).
- [300] 前澤, 亀谷, 岸本, 水谷, 赤松, "Fluidic Self-AssemblyのためのInGaAs系共鳴トンネルデバイスブロック作製技術", 電子情報通信学会, 電子デバイス研究会(2008).
- [301] 前澤, 亀谷, 岸本, 水谷, 赤松, "AINセラミック基板上に集積した共鳴トンネルペア発振器", 電子情報通信学会, 電子デバイス研究会(2008).
- [302] 名村 健, 戸川 望, 柳澤 政生, 大附 辰夫, 外村 元伸,

"セレクトラ論理を用いたバタフライ演算器の設計,
"信学技報, Vol. 108, No. 22, VLD2008-5, pp. 25-30,
2008年5月.

- [303] 名村 健, 戸川 望, 柳澤 政生, 大附 辰夫, 外村
元伸, "ビットレベル式変形によるセレクトラ帰着
型バタフライ演算器の設計と評価, "信学技報,
Vol. 108, No. 224, VLD2008-52, pp. 31-36, 2008年
9月.
- [304] 長島 諒侑, 今井 優太, 戸川 望, 柳澤 政生, 大
附 辰夫, "高効率列処理演算器によるマルチレ
ート対応高スループットイレギュラーLDPC復号
器の実装と評価, "信学技報, Vol. 108, No. 298,
VLD2008-66, pp. 37-42, 2008年11月.
- [305] 荒幡 明, 奈良 竜太, 戸川 望, 柳澤 政夫, 大附
辰夫, "歩行者向けデフォルメ地図生成のための
並列処理ハードウェアエンジンの設計, "信学技
報, Vol. 108, No. 298, VLD2008-67, pp. 43-48, 2008
年11月.
- [306] 奈良 竜太, 戸川 望, 柳澤 政生, 大附 辰夫, "周
辺回路を含むAES-LSIへのスキャンベース攻撃,
"信学技報, Vol. 108, No. 298, VLD2008-68, pp.
49-53, 2008年11月.
- [307] 跡部 浩士, 奈良 竜太, 史 又華, 戸川 望, 柳澤 政生,
大附 辰夫, "暗号回路における動的に構造変化す
るセキュアスキャンアーキテクチャ, "信学技報,
Vol. 108, No. 298, VLD2008-69, pp. 55-59, 2008年11
月.
- [308] 川畑 伸幸, 奈良 竜太, 戸川 望, 柳澤 政生, 大
附 辰夫, "クロスバススイッチを用いたS-Box切替
によるAES暗号処理回路のパワーマスキング手
法, "信学技報, Vol. 108, No. 298, VLD2008-70,
pp. 61-66, 2008年11月.
- [309] 遠藤 哲弥, 大智 輝, 戸川 望, 柳澤 政生, 大附
辰夫, "レジスタ分散型アーキテクチャを対象と
したフロアプラン指向高位合成のためのマルチ
プレクサ削減手法, "信学技報, Vol. 108, No. 298,
VLD2008-84, pp. 145-150, 2008年11月.
- [310] 佐藤 亘, 大智 輝, 戸川 望, 柳澤 政生, 大附 辰夫,
"フロアプランを考慮した高位合成のための高速
なモジュール配置手法, "信学技報, Vol. 108, No.
412, VLD2008-107, pp. 93-98, 2009年1月.
- [311] 小林 優太, 戸川 望, 柳澤 政生, 大附 辰夫, "命
令メモリアクセス数削減に基づく低エネルギー
ASIP合成手法, "信学技報, Vol. 108, No. 412,
VLD2008-116, pp. 147-152, 2009年1月.
- [312] 金在成, 吉澤真吾, 宮永喜一, "無線品質制御に
よる低消費電力のViterbiデコーダの設計, "電子
情報通信学会ソサイエティ大会, A-20-13, pp. 184,

Sep. 2008.

- [313] 小田桐紳也, 小笠原勇気, 吉澤真吾, 宮永喜一,
"OFDM方式コグニティブ無線のハードウェア設
計に関する考察, "電子情報通信学会 SIS研究会,
SIS2008-40, pp. 89-94, Sep. 2008.
- [314] 香川景一郎, 谷田 純, "波長多重屋内光無線LAN
送信光学系の開発, "日本光学会年次学術講演
会 OPTICS & PHOTONICS JAPAN 2008 講演予稿
集, pp. 82-83, November 2008.
- [315] 村上 裕二, 石川 智弘, 吉田 毅, 佐々木 信雄, 張
翼, 野田 智秀, 竹内 剛, 國政 拓成, 柴田 和明,
小出 哲士, 上口 光, 津賀 一弘, 三宅 亮, 黒田
章夫, 岩田 穆, "飲むバイオセンサー:口腔内
無線CMOS温度・グルコースセンサーの開発, " 広
島大学半導体・バイオ融合集積化技術シンポ
ジウム講演論文集, P-04, (2008.6).
- [316] 上口 光, 和泉 伸也, 賀谷 彰大, マタウシュ ハ
ンス・ユルゲン, 小出 哲士, "超低電力高性能
SRAMとバイオセンシングシステムへの応用, " 広
島大学半導体・バイオ融合集積化技術シンポ
ジウム講演論文集, P-07, (2008.6).
- [317] 熊木 武志, 田上 正治, 今井 雄太, 小出 哲士,
マタウシュ ハンス ユルゲン, "超並列SIMD型演
算プロセッサMX-1を用いた並列顔検出処理手法
(1)", 2008年電子情報通信学会ソサイエティ大会,
C-12-30, (2008.9).
- [318] 今井 雄太, 熊木 武志, 田上 正治, 小出 哲士,
マタウシュ ハンス ユルゲン, "超並列SIMD型
演算プロセッサMX-1による並列顔検出処理手法
(2)", 2008年電子情報通信学会ソサイエティ大会,
C-12-31, (2008.9).
- [319] 田上 正治, 熊木 武志, 今井 雄太, 小出 哲士,
マタウシュ ハンス ユルゲン, 石崎 雅勝, 行天
隆幸, 野田 英行, 奥野 義弘, 有本 和民, "超並
列SIMD型演算プロセッサMX-1への暗号化処理
の実装", 2008年電子情報通信学会ソサイエティ
大会, C-12-32, (2008.9).
- [320] 菅原 達也, 岡崎 啓太, 永岡 奈緒美, 小出 哲士,
Hans Jrgen Mattausch, "領域成長型画像分割アル
ゴリズムを用いた画像分割の精度改善", 平成20
年度電気・情報関連学会中国支部第59回連合大
会, pp. 423-424, (2008.10).
- [321] 今福 渉, 榊原 尚吾, Hans Juergen Mattausch, 小
出 哲士, "スケーリングによる連想メモリの性能
向上とばらつき影響の評価", 平成20年度電気・
情報関連学会中国支部第59回連合大会, pp. 567-
568, (2008.10).
- [322] 賀谷 彰大, 上口 光, 和泉 伸也, Hans Juergen

- Mattausch, 小出 哲士, "リングオシレータを用いた90 nm CMOSテクノロジーにおける製造ばらつきの解析", 平成20年度電気・情報関連学会中国支部第59回連合大会, pp. 569-570, (2008.10).
- [323] 村上 裕二, 石川 智弘, 吉田 毅, 小出 哲士, 上口 光, 佐々木 信雄, 國政 拓成, 野田 智秀, 升井 義博, 張 翼, 竹内 剛, 津賀 一弘, "口腔内留置型健康モニタリングシステム開発", 電気学会E部門バイオマイクロシステム研究会, (2009.2).
- [324] 石川 智弘, 上口 光, 升井 義博, 吉田 毅, 國政 拓成, 村上 裕二, "義歯型センサによる口腔内モニタリング", 平成21年電気学会全国大会, (2009.3).
- [325] 橋本 浩良, 小平 行秀, 高橋 篤司, EDAツールを用いた低コスト一般同期クロックツリー合成手法. 電子情報通信学会技術報告書, 2009.
- [326] 小原, 史, 戸川, 柳澤, 大附, "命令メモリビット幅削減に基づく低エネルギー ASIP 合成手法", pp. 25-30, 信学技報(2008).
- [327] 名村, 戸川, 柳澤, 大附, 外村, "セレクトラ論理を用いたバタフライ演算器の設計", pp. 25-30, 信学技報(2008).
- [328] 名村, 戸川, 柳澤, 大附, 外村, "ビットレベル式変形によるセレクトラ帰着型バタフライ演算器の設計と評価", pp. 31-36, 信学技報(2008).
- [329] 長島, 今井, 戸川, 柳澤, 大附, "高効率列処理演算器によるマルチレート対応高スループットイレギュレーションLDPC複合器の実装と評価", pp. 37-42, 信学技報(2008).
- [330] 川畑, 奈良, 戸川, 柳澤, 大附, "クロスバスイッチを用いたS-BOX切り替えによるAES暗号処理のパワーマスキング手法", pp. 61-66, 信学技報(2008).
- [331] 跡部, 奈良, 戸川, 柳澤, 大附, "暗号回路における動的に構造変化するセキュアスキマアーキテクチャ", pp. 55-59, 信学技報(2008).
- [332] 渡辺, 戸川, 柳澤, 大附, "アプリケーションプロセッサのための高速かつ最適なパイプライン構成を持つSIMD演算ユニット合成手法", pp. 99-104, 信学技報(2008).
- [333] 小林, 戸川, 柳澤, 大附, "命令メモリアクセス数削減に基づく低エネルギー ASIP 合成手法", pp. 147-152, 信学技報(2008).
- [334] 増永直樹, 石田光一, 周志偉, 安福正, 関谷毅, 高宮 真, 染谷隆夫, 桜井貴康, "伸縮可能なEMI測定シートにおけるEMI測定用LSIの設計と評価", 電子情報通信学会総合大会, C-12-25, 松山, 2009年3月.
- [335] 池内克之, 稲垣賢一, 草光秀樹, 伊東利育, 高宮 真, 桜井貴康, "非接触コネクタ向け500Mbps容量結合通信受信回路の検討", 電子情報通信学会総合大会, C-12-32, 松山, 2009年3月.
- [336] 井上万輝, 松山和憲, 佐藤嘉晃, 古賀正紘, 尼崎太樹, 飯田全広, 末吉敏則, "粒度可変論理セル向けクラスタ構造の一検討", 信学技報 RECONF2008-8, Vol. 108, No. 48, pp. 43-48, May 2008.
- [337] Qian Zhao, Masahiro Koga, Motoki Amagasaki, Masahiro Iida, Toshinori Sueyoshi, "A Boolean Matching Method for VGLC Technology Mapping," 情報処理学会九州支部若手の会, pp. 23-24, Sep. 2008.
- [338] 古賀正紘, 三浦大, 尼崎太樹, 飯田全広, 末吉敏則, "粒度可変論理セルにおける入力粒度最適化の一検討", 信学技報 RECONF2008-33, Vol. 108, No. 220, pp. 63-68, Sep. 2008.
- [339] 井上万輝, 尼崎太樹, 飯田全広, 末吉敏則, "粒度可変論理セル向けローカルインタコネクタ構造の提案と評価", 信学技報 RECONF2008-42, Vol. 108, No. 300, pp. 21-26, Nov. 2008.
- [340] 佐藤嘉晃, 趙謙, 尼崎太樹, 飯田全広, 末吉敏則, "粒度可変論理セルにおける算術演算向け配線アーキテクチャの一検討", 信学技報 RECONF2008-85, Vol. 108, No. 414, pp. 177-182, Jan. 2009.
- [341] 松山知弘, 三田吉郎, 久保田雅則, 柴田直, 藤田博之(東京大学)「静電駆動型大面積MEMSにおける消費電力」, 電気学会マイクロマシン・センサシステム研究会, 東北大学, 2008年6月12, 13日 (MSS-08-20) pp. 95-100 (2008.06).
- [342] Yoshio Mita, L.Bourauoui et M.Parent, "Vision stereo pour la detection d'obstacles vulnérables! methode de <<recherche du voisin>> pour l'amélioration de la precision de mise en correspondance", Journee Francophone de la Recherche, 28 Novembre 2008, IIS Univ. Tokyo, Japon (2008.11).
- [343] 金俊亨, 久保田雅則, 肥後昭男, 三田吉郎, 「柔らかいシリコンマイクロ構造とその神経信号解析への応用」, 応用物理学会第二回集積化MEMS研究会, 2008年11月21, 東京大学 (2008.11).
- [344] 野邊勇樹, 清水暁生, 深井澄夫, "v MOSカレントミラーに組み込むトランスインピーダンスアンプの検討", 電子情報通信学会九州支部学生会講演会, C-9, Sep. 2008.
- [345] 西晃司, 平田佳章, 清水暁生, 深井澄夫, "FG-MOSインバータ回路におけるフローティン

ゲートサイズの検討, "電子情報通信学会九州支部学生会講演会, C-8, Sep. 2008.

- [346] 池田裕司, 清水暁生, 深井澄夫, "アナログセルのレイアウトに関する考察, "電子情報通信学会九州支部学生会講演会, A-18, Sep. 2008.
- [347] 清水暁生, 平田佳章, 石川洋平, 深井澄夫, "オペアンプ設計自習システムの検討, "日本産業技術教育学会第21回九州支部大会, D11, pp. 61-62, Oct. 2008.
- [348] 清水暁生, 石川洋平, 深井澄夫, "ニューロンMOSカレントミラーに組み込むトランスレジスタンスアンプの提案, "電気学会電子回路研究会, ECT-08-66, pp. 13-16, Oct. 2008.
- [349] 跡部浩士, 奈良竜太, 史又華, 戸川望, 柳澤政生, 大附辰夫, "暗号回路におけるスキャンベースサイドチャネル攻撃に耐性を持つスキャンアーキテクチャ", 電子情報通信学会 技術研究報告, Vol. 108, No. 298, VLD2008-69, pp. 55-59, 2008.
- [350] 加東勝, 佐野徹, 天野英晴 "動的リコンフィギュラブルプロセッサMuCCRAの結合網に関する研究" pp. 183-188, 電子情報通信学会 RECONF2008-86.
- [351] 小島悠, 池淵大輔, 関直臣, 長谷川揚平, 天野英晴, 香嶋俊裕, 武田清大, 白井利明, 中田光貴, 宇佐美公良, 砂田徹也, 金井遵, 並木美太郎, 近藤正章, 中村宏, "スーパースカラプロセッサにおける動的スリープ制御の実装と評価", pp. 87-92, 情報処理学会研究報告, 2008-ARC-178.
- [352] 齊藤貴樹, 白井利明, 中村拓郎, 西村隆, 長谷川揚平, 堤聡, 香嶋俊裕, 中田光貴, 武田清大, 宇佐美公良, 天野英晴, "パワーゲーティングを適用した動的リコンフィギュラブルプロセッサの設計と評価", pp. 55-60, 電子情報通信学会技術研究報告 RECONF 2008-1 ~ 22.
- [353] 齊藤貴樹, 加東勝, 齊藤正太郎, 佐野徹, 平井啓一郎, 西村隆, 中村拓郎, 堤聡, 長谷川揚平, 天野英晴, "動的リコンフィギュラブルプロセッサ MuCCRA-2 β の実機評価", pp. 69-74, 電子情報通信学会技術研究報告 RECONF 2008-23 ~ 37.
- [354] 清水聡一, 味岡義明, 新井正敏, 今野大輔, 難波知康, 天野英晴, "レーベンシュタイン距離を用いた道路標識認識アルゴリズムのFPGA実装", pp. 13-20, RECONF2008-25.
- [355] 佐野徹, 天野英晴, "動的リコンフィギュラブルプロセッサMuCCRA-3の実装と再構成オーバヘッドの削減", pp. 1-6, 信学技報 Vol. 108, No. 414, RECONF2008-55 2009年1月.
- [356] 中村拓郎, 長谷川揚平, 堤聡, Vasutan

Tunbunheng, 天野英晴, "動的リコンフィギュラブルデバイスにおける構成情報配送のためのマルチキャスト手法の提案", pp. 385-392, 先進的計算基盤システムシンポジウム (SACSIS2008) 論文集, May 2008.

- [357] 小山, 宇佐美, "オンチップ・リークモニタの65nm プロセスでの実装設計と評価, "信学技報, 2009年3月.
- [358] 中田, 白井, 武田, 宇佐美, "ランタイムパワーゲーティングを適用した低電力乗算器の設計試作及び実測による性能評価", 信学技報, Vol. 108, No. 478, VLD2008-162, pp. 213-218, 2009年3月.
- [359] 山本辰也, 抱山冴子, 白井利明, 宇佐美公良 "スタティックタイミング解析を可能にするパワースイッチの時間的共有化手法. "
- [360] 内田琢郎, 西永康弘, 谷川一哉, 弘中哲夫, "再構成型プロセッサHy-DiSC用シミュレータの開発", 第10回 IEEE 広島支部 学生シンポジウム論文集, 4page, 2008.
- [361] 伴大雅, 白石雄, 谷川一哉, 弘中哲夫, "科学技術計算機エンジンに使用するディジットシリアル浮動小数点演算器の開発", 信学技報, Vol. 108, No. 220, RECONF2008-32, pp. 57-62, 2008年9月.
- [362] 弘中哲夫, 平川直樹, 吉原理記, 谷川一哉, 佐藤正幸, "[特別招待講演]ハイパフォーマンスコンピューティングを目指したMPLDアーキテクチャの検討", 信学技報, Vol. 108, No. 273, CPSY2008-31, pp. 13-18, 2008年10月.
- [363] 吉岡佑記, 川本智之, 伴大雅, 谷川一哉, 弘中哲夫, "レイトレーシングハードウェアに適したディジットシリアル整数除算器の設計と評価", 第10回 IEEE 広島支部 学生シンポジウム 論文集, d-29, 4page, 2008.
- [364] 松本, 木村, "可視光ID用受光システムの試作", pp. 25-30, 2008年電気学会センサ・マイクロマシン部門総合研究会フィジカルセンサ研究会 (2008).
- [365] 中田, 木村, 松本, "可視光ID用光源選択システムの提案と評価", pp. 119-124, 信学技報SIP2008-184(2009).
- [366] M. Jiang, Z. Huang, A. Kurokawa, and Y. Inoue, "An Advanced Effective Capacitance Model Considering Input Waveform Effect," 電子情報通信学会第21回回路とシステム軽井沢ワークショップ, pp. 433-438, April 2008.
- [367] Na Li, Zhangcai Huang, Minglu Jiang and Yasuaki Inoue, "Four-phase All PMOS Charge Pump without Body Effects in Standard CMOS Technology, "

- 電子情報通信学会第21回回路とシステム軽井沢ワークショップ, pp. 409-414, April 2008.
- [368] Sui HUANG, Zhangcai HUANG, Atsushi KUROKAWA and Yasuaki INOUE, "A 45nm Stable SRAM Structure for Ultra Low Leakage Power", 電子情報通信学会第21回回路とシステム軽井沢ワークショップ, pp. 635-640, April 2008.
- [369] 杜 時雨, 王 嘉南, 井上 靖秋, "擬似過度解析法の効率化の検討", 第16回電子情報通信学会九州支部学生会講演会講演論文集, A-8, 2008年9月.
- [370] 室賀 翔, 山口正洋, "面内および面直方向の渦電流分布を考慮した薄膜電磁ノイズ抑制体の損失計算", 電気学会マグネティックス研究会, MAG-08-198(仙台, 2008).
- [371] 小林翔一, 鳥塚英樹, 山口正洋, "近傍磁界計測による液晶ドライバICの高周波電流推定", 東北大学工学研究会EMC仙台ゼミナール(仙台, 2009).
- [372] 鳥塚英樹, 菅原 健, 本間尚文, 佐藤 証, 青木孝文, 山口正洋, "オンチップ集積化マイクロ磁界プローブによる暗号LSIの近傍磁界計測と差分電磁波解析", 東北大学電気通信研究所工学研究会EMC仙台ゼミナール(仙台, 2009).
- [373] 室賀 翔, 山口正洋, "薄膜電磁ノイズ抑制体のジュール損失発生機構に関する研究", 東北大学電気通信工学研究所工学研究科, EMC仙台ゼミナール(仙台, 2009).
- [374] 小林翔一, 鳥塚英樹, 山口正洋, "近傍磁界計測による液晶ドライバICの高周波電流推定", 電子情報通信学会環境電磁工学研究会(東京, 2009).
- [375] 鳥塚英樹, 山口正洋, 菅原 健, 本間尚文, 佐藤 証, 青木孝文, "オンチップ集積化マイクロ磁界プローブによる暗号LSIの近傍磁界計測", 環境電磁工学研究会(東京, 2009).
- [376] 濱本 浩一, 更田 裕司, 橋本 昌宜, 密山 幸男, 尾上 孝雄, "基板バイアス印加レイアウト方式の面積効率と速度制御性の評価", 信学技報, CAS2008-14, VLD2008-27, SIP2008-48 (2008-6), pp. 75-79, June 2008.
- [377] 濱本 浩一, 橋本 昌宜, 密山 幸男, 尾上 孝雄, "レイアウトを考慮した基板バイアスクラスタリング手法", 信学技報, VLD2008-159, pp. 195-200, Mar. 2009.
- [378] 高 永勲, Dawood Alnajjar, 密山幸男, 橋本昌宜, 尾上孝雄, "柔軟な信頼性を実現する粗粒度再構成可能アーキテクチャの検討", 電子情報通信学会ディベンドブルコンピューティング研究会, No. DC2008-41, November 2008.
- [379] 更田裕司, 橋本昌宜, 密山幸男, 尾上孝雄, "タイミングエラー予告を用いた適応的速度制御におけるタイミングエラー頻度と消費電力のトレードオフ解析", 情報処理学会DAシンポジウム, pp. 217-222, August 2008.
- [380] 更田裕司, 橋本昌宜, 密山幸男, 尾上孝雄, "サブスレッショルド回路における基板バイアスを考慮したトランジスタのばらつきモデリングとリングオシレータを用いた検証", 電子情報通信学会 VLSI 設計技術研究会, 2009.
- [381] 榎並孝司, 橋本昌宜, 佐藤高史, "電源ノイズ考慮統計的タイミング解析を用いたデカップリング容量割当手法", 電子情報通信学会 VLSI 設計技術研究会, 2009.
- [382] 北村正嗣, 平山貴司, 西谷泰昭, "テスト容易な二進化十進乗算器の設計法", 平成20年度第3回情報処理学会東北支部研究会(岩手大), 資料番号08-3-21, 2009年1月.
- [383] "MOSトランジスタを分割することで熱雑音を低減した増幅回路", 鈴木寛人, 和田和千, 田所嘉昭, 電気学会, 電子回路研究会資料, ECT-09-25, pp. 55?60, 2009年1月.
- [384] "複素極を有するダイレクトサンプリングミキサによる通過域端特性の改善", 山下 知憲, 和田和千, 田所 嘉昭, 電学電子回路研資 ECT-08-89, 2008年11月.
- [385] "2次 $\Delta\Sigma$ ADCに対する利得可変積分回路の適用", 小山 靖仁, 和田和千, 田所嘉昭, 電学電子回路研資 ECT-08-92, 2008年11月.
- [386] "信号分割手法を適用したパイプライン型ADCの少容量構成", 中川雄介, 和田和千, 田所嘉昭, 電気学会, 電子回路研究会資料, ECT-09-003, 2009年1月.
- [387] "自然エネルギー源駆動での生体信号計測を目指した逐次比較型アナログ・デジタル変換器の設計" Said Zineb, 和田和千, 田所嘉昭, 電気学会東海支部若手セミナー, 2009年3月.
- [388] "低電源電圧集積化フィルタにおける容量面積の削減" 瀬川健太郎, 和田和千, 田所嘉昭, 電子情報通信学会東海支部卒業研究発表会, 2009年3月.
- [389] 平本俊郎(招待講演), 「微細トランジスタの特性ばらつき:原因究明と対策」, VDECデザイナーズフォーラム, 東京大学武田先端知ビル, 2008年6月6日.
- [390] 平本俊郎, 西田彰男, 竹内潔, 「10nm世代に向けたMOSトランジスタの特性ばらつきの克服に向けて」, 日本学術振興会シリコン超集積化システム第165委員会研究会, 弘済会館(東京), pp.

1-10, 2008年4月11日.

- [391] 平本俊郎, 清水健, 筒井元(招待講演), 「極薄膜SOIトランジスタにおける量子効果による移動度向上」, 応用物理学会シリコンテクノロジー分科会研究集会, 東京大学生産技術研究所, pp. 29-34, 2008年6月9日.
- [392] 平本俊郎, 竹内 潔, 角村貴昭, Arifin T. P., 西田彰男, 蒲原史郎(招待講演), 「微細MOSFETの特性ばらつきに関する最近の動向について」, 第72回半導体・集積回路技術シンポジウム, pp. 77-80, 東京農工大学小金井キャンパス, 2008年7月11日.
- [393] 平本俊郎(先端技術講演), 「半導体デバイスの将来像」, STARCフォーラム/シンポジウム2008, pp. 43-54, パシフィコ横浜, 2008年7月16日.
- [394] 平本俊郎(特別講演), 「微細トランジスタにおける特性ばらつきの現状と将来動向」, 電子情報通信学会シリコン材料・デバイス研究会, SDM2008-135, 機械振興会館(東京), 2008年7月17日.
- [395] 陳 杰智, 更屋拓哉, 宮地幸祐, 清水 健, 平本俊郎, 「(100) SOI基板上に作製した[110]および[100]方向マルチシリコンナノワイヤGAA MOSFETの移動度評価」, 応用物理学会シリコンテクノロジー分科会研究集会, pp. 6-9, 東京大学生産技術研究所, 2008年7月24日.
- [396] 平本俊郎, 「微細トランジスタにおける固定電荷ゆらぎによる特性ばらつき」, 科学研究費補助金特定領域研究「シリコンナノエレクトロニクスの新展開」第4回全体会議, KKRホテル名古屋, 2008年8月7日.
- [397] 平本俊郎, 「微細トランジスタにおける実効酸化膜厚ゆらぎによる特性ばらつき」, 科学研究費補助金特定領域研究「シリコンナノエレクトロニクスの新展開」第4回全体会議, KKRホテル名古屋, 2008年8月7日.
- [398] 平本俊郎, 「ナノMOSFETの揺らぎとデバイスインテグリティ」, 科学研究費補助金特定領域研究「シリコンナノエレクトロニクスの新展開」第4回全体会議, KKRホテル名古屋, 2008年8月8日.
- [399] 平本俊郎, 「トランジスタにおける揺らぎの科学と将来展望」, 第69回応用物理学会学術講演会シンポジウム「ユビキタス世界を支えるLSIデバイスの信頼性物理—信頼性を損なうのはだれだ?なぜか?—」, 中部大学(愛知), 2p-Y-2, 2008年9月2日.
- [400] 鄭然周, 宮地幸祐, 更屋拓也, 平本俊郎, 「ナノワイヤMOSFET及び室温動作単電子トランジスタにおける一軸引っ張り歪みの効果」, 第69回応用物理学会学術講演会, 中部大学(愛知), 4a-E-6, 2008年9月4日.
- [401] 陳杰智, 更屋拓哉, 宮路幸祐, 清水健, 平本俊郎, 「[110]および[100]方向マルチシリコンナノワイヤGAA MOSトランジスタにおける移動度評価」, 第69回応用物理学会学術講演会, 中部大学(愛知), 4p-E-14, 2008年9月4日.
- [402] 平本俊郎(招待講演), 「シリコンナノエレクトロニクスの将来展望」, 第18回RCJ信頼性シンポジウム, 大田区産業プラザ(東京), pp. 1-8, 2008年10月30日.
- [403] 平本俊郎(特別講演), 「Beyond CMOSとは? — CMOSの微細化限界を打ち破るために —」, ポストシリコン物質・デバイス創製基盤技術アライアンス平成20年度成果報告会, 北海道大学学術交流会館, pp. 71-72, 2008年12月26日.
- [404] Toshiro Hiramoto, Jiezhi Chen, YeonJoo Jeong, and Takuya Saraya, "Silicon Nanowire MOSFETs: Measurements of Mobility and Strain Effects", 東京大学グローバルCOE「セキュアライフ・エレクトロニクス」シンポジウム, 東京大学武田ホール, pp. 409-414, 2009年1月21日.
- [405] 平本俊郎(招待講演), 「最先端統計から見た32nmデバイス特性ばらつき」, システム・デザイン・フォーラム2009, パシフィコ横浜, pp. 1-14, 2009年1月23日.
- [406] 清水健, 更屋拓哉, 平本俊郎(招待講演), 「Si(110)面正孔移動度における方向依存性の起源—極薄SOIを用いた実験的考察—」, 応物シリコンテクノロジー分科会第107回研究集会, 機械振興会館, pp. 12-15, 2009年1月26日.
- [407] 鄭然周, Chen Jiezhi, 更屋拓哉, 平本俊郎, 「シリコンナノワイヤpMOSFET及び室温動作単正孔トランジスタにおける一軸歪みの効果」, 電子情報通信学会シリコンデバイス・材料研究会, 北海道大学百年記念会館, 2009年2月27日.
- [408] 鈴木龍太, 鄭然周, 更屋拓哉, 平本俊郎, 「CMOSデジタル回路との連携による単電子トランジスタの自動的特性制御の検討」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 30a-V-7, 2009年3月30日.
- [409] 朱雷, 更屋拓哉, 宮地幸祐, 平本俊郎, 「共通可動ゲートを有する反転型NMOS / 蓄積型PMOSで構成したインバータ回路の提案」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 30p-V-4, 2009年3月30日.
- [410] 山戸一郎, アリフィン タムシル プトラ, 平本俊郎, 「微細MOSFETにおけるHalo注入がしきい

- 値電圧ばらつきに与える影響], 2009年春季第56回応用物理学学術講演会, 筑波大学, 30p-V-9, 2009年3月30日.
- [411] 俣電矢, アリフィンタムシルプトラ, 角村貴昭, 西田彰男, 平本俊郎, 「Takeuchi係数を用いたしきい値電圧ばらつきの基板バイアス依存性の解析」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 30p-V-14, 2009年3月30日.
- [412] 鄭然周, 更屋拓哉, 平本俊郎, 「シリコンナノワイヤpMOSFET及び室温動作単正孔トランジスタにおける一軸歪みの効果」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1a-V-2, 2009年4月1日.
- [413] 陳杰智, 更屋拓哉, 平本俊郎, 「[110]および[100]方向(110)シリコンナノワイヤGAA MOSトランジスタにおける電子移動度評価」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1a-V-10, 2009年4月1日.
- [414] 陳杰智, 更屋拓哉, 平本俊郎, 「シリコンナノワイヤGAA MOSトランジスタにおける電子移動度の温度依存性評価」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1a-V-11, 2009年4月1日.
- [415] 清水健, 更屋拓哉, 平本俊郎, 「Si(110)面正孔移動度における方向依存性の起源 - 極薄SOIを用いた実験的考察 -」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1p-V-1, 2009年4月1日.
- [416] 清水健, 平本俊郎, 「一軸性圧縮応力による(110)面極薄SOI pMOSFETの移動度向上」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1p-V-2, 2009年4月1日.
- [417] 菅野貴仁, 更屋拓哉, 鈴木龍太, 平本俊郎, 「SOQ基板上に作製したMOSトランジスタの移動度評価」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1p-V-12, 2009年4月1日.
- [418] 平本俊郎, 陳杰智, 鄭然周, 更屋拓哉, 「シリコンナノワイヤトランジスタにおける移動度とひずみ効果」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1p-X-5, 2009年4月1日.
- [419] 佐々木敦史, 小谷光司, 伊藤隆司, "UHF帯RFID向け高効率差動型整流回路", 電子情報通信学会技術研究報告 信学技報, Vol. 108, No. 334, SIS2008-45, pp. 17-21, Dec. 2008.
- [420] 越本洋平, 小谷光司, 伊藤隆司, "インバータアンプによる電荷積分回路を用いたFeRAMの読み出し安定化", 2008ソサイエティ大会講演論文集 エレクトロニクス講演論文集2, p83, C-12-14 (2008).
- [421] 春山健, 小谷光司, 伊藤隆司, "ラダーモデルによるガラス基板上インダクタの高精度モデリング", 2008ソサイエティ大会講演論文集 エレクトロニクス講演論文集2, p118, C-12-49 (2008).
- [422] 阿部俊幸, 田主裕一郎, 黒木伸一郎, 小谷光司, 伊藤隆司, "微細n型SOI-MESFETの電流電圧特性", 2008ソサイエティ大会講演論文集 エレクトロニクス講演論文集2, p69, C-10-24 (2008).
- [423] T. Ishikawa, T. Kunimasa, N. Sasaki, Y. Murakami, T. Yoshida and K. Tsuga, "An artificial denture for swallowing inspection", 第25回「センサ・マイクロマシンと応用システム」シンポジウム予稿集, pp. 417-420, (2008).
- [424] 鈴木・光部・七枝・笠木, "表面マイクロキャピティを用いた選択的放射体に関する基礎的研究", 第13回動力エネルギー技術シンポジウム, 札幌, (2008), pp. 419-420.
- [425] 坂根・鈴木・笠木, "マイクロ振動型エレクトレット発電器のための高性能フッ素ポリマーの開発", 第13回動力エネルギー技術シンポジウム, 札幌, (2008), pp. 429-430.
- [426] 西村・三輪・橋本・鈴木・笠木, "抗原抗体反応を用いた連続式マイクロ細胞分離に関する研究", 第25回「センサ・マイクロマシンと応用システムシンポジウム」, 沖縄, (2008), pp. 853-854.
- [427] Wu・鈴木・笠木, "エレクトレット膜上のL-DEPを用いた液滴駆動のモデリング", 第25回「センサ・マイクロマシンと応用システムシンポジウム」, 沖縄, (2008), pp. 785-786.
- [428] 井口・鈴木・笠木, "ラミネーションミキサーと磁気セパレータを用いたマイクロ免疫磁気細胞分離システムの開発", 第25回「センサ・マイクロマシンと応用システムシンポジウム」, 沖縄, (2008), pp. 851-852.
- [429] 神田, 小西, 五神 "人工キラル格子の光励起によるTHz波偏光回転制御" 28aVD-10, 日本物理学会第64回年次大会 (2009年3月).
- [430] 星野隆行, 金野智浩, 石原一彦, 森島圭祐, "細胞を駆動力としたバイオハイブリッド素子の自己組織的構築", 第4回LSW研究会シンポジウム, P08, 北海道大, 札幌, 1月9日 (2009) (査読無し).
- [431] 星野隆行, 金野智浩, 石原一彦, 森島圭祐: "移動運動により細胞内に導入されるナノインターフェース", 第26回日本ロボット学会学術講演会, 1G2-04, 神戸大学, 神戸, 9月9-11日 (09. 09. 2008) (査読なし).
- [432] 星野隆行, 金野智浩, 石原一彦, 森島圭祐! "細胞運動によって構築するナノデバイス", 特定領

域「バイオ操作」若手研究者第3回ワークショップ, 第3部, 那覇, 7月11日(2008)(査読なし).

- [433] 星野隆行, 金野智浩, 石原一彦, 森島圭祐, "細胞の移動運動によって構築するナノデバイス", 日本機械学会 ロボティクス・メカトロニクス講演会 2008, 2P2-J19, ビッグハット, 長野, 6月5-7日(2008)(査読無し).
- [434] 星野隆行, 金野智浩, 石原一彦, 森島圭祐, "集束イオンビームにより作製したナノピラーの細胞自己刺入と細胞内活動計測デバイスへの応用", 化学とマイクロ・ナノシステム研究会講演会, FP30, 九州大学, 福岡, 5月20-21日(2008), pp. 34(査読無し).
- [435] 肥後昭男, 高橋一浩, 中田宗樹, 中野義昭, 藤田博之, 年吉洋, パリレン保護によるSi細線MEMS変調素子の作製方法の検討, ロボティクス・メカトロニクス講演会 2008年6月5日~7日 長野ビッグパット.
- [436] 石塚 彰・肥後昭男・中野義昭, SiフォトリックMEMS gratingの作製方法についての検討, 平成21年電気学会全国大会 2009年3月17日~19日北海道大学.
- [437] 肥後昭男・石塚 彰・中野義昭, 1X2シリコンフォトリックMEMSスイッチの作製方法の検討, 平成21年電気学会全国大会 2009年3月17日~19日北海道大学.
- [438] 武田浩司, 竹中充, 種村拓夫, 中野義昭, 「MZI 双安定レーザーによる静的全光フリップ・フロップ動作の実証」, 第56回応用物理学関係 連合講演会, 1p-B-12, 筑波大学(茨城), 2009年3月.
- [439] 武田浩司, 竹中充, 種村拓夫, 中野義昭, 「DBR-MMI-BLD全光フリップ・フロップの波長 可変特性」, 第69回応用物理学学会学術講演会, 4a-ZN-6, 中部大学(愛知), 2008年9月.
- [440] 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, "微小領域選択MOVPEにおけるSi上InGaAsの成長機構に対するGa組成の影響", 第27回電子材料シンポジウム, B-5, 修善寺, 2008年7月9日.
- [441] 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, "微小領域選択MOVPEにおけるSi上InGaAsの横方向成長過程", 第69回応用物理学学会学術講演会, 4a-CF-1, 名古屋, 2008年9月4日.
- [442] 出浦 桃子, 星井 拓也, 山本 剛久, 幾原 雄一, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, "微小領域選択MOVPEにおけるSi上InGaAsのGa組成と結晶構造", 第69回応用物理学学会学術講演

会, 4a-CF-2, 名古屋, 2008年9月4日.

- [443] 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, "Si上InGaAsの微小領域選択MOVPEにおける横方向成長促進と均一性向上", 化学工学会第74年会, A114, 横浜, 2009年3月18日.
- [444] 杉山 正和, 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, "Si(111)基板上InGaAsチャネル層の微小領域選択成長", 日本学術振興会第145委員会第114回研究会, 2008年6月13日, 明治大学駿河台キャンパス(お茶の水).
- [445] 杉山 正和, 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, "Si基板上InGaAsの微小領域選択成長", 日本学術振興会第147委員会第102回研究会, 2008年9月26日, 弘済会館(四ッ谷).
- [446] 久保田雅則, 三田吉郎, 杉山正和, "異方性・等方性を組み合わせたシリコン深掘りエッチングの形状へのアスペクト比の効果", 化学工学会第40回秋季大会, 東北大学, September, 2008.
- [447] 杉山正和, 久保田雅則, 三田吉郎, "Si深掘り技術の基礎と最新動向", 電子ジャーナル第179回テクニカルシンポジウム, 東京, May, 2008.
- [448] 種村拓夫, ソーアンジイブラーヒム ムラット, 武田浩司, 中野義昭, "フェーズアレイ型半導体光パケットスイッチの研究開発", PN2008-87, 電子情報通信学会技術研究報告, フォトリックネットワーク研究会(2009).
- [449] I. M. Soganci, T. Tanemura, and Y. Nakano, "Integrated Broadband 1x8 Optical Phased-Array Switch with Low Polarization Sensitivity and Nanoseconds Reconfiguration Time," PN2008-53, IEICE Technical Report (2009).
- [450] 藤村拓也, 種村拓夫, 中野義昭, "InGaAsP/InPビーム曲折型1xN光スイッチに関する研究," 2a-A-6, 2009年応用物理学学会春季大会(2009).
- [451] 種村拓夫, ソーアンジイブラヒム・ムラット, 武田浩司, 中野義昭, "光パケットスイッチング用InP集積フェーズアレイ型1xN光スイッチ," C-3-54, 2008年電子情報通信学会ソサイエティ大会(2008).
- [452] 出浦 桃子, 近藤 佳幸, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, "多段階成長を用いた微小領域選択MOVPEにおけるSi上InGaAsの面内均一化", 第56回応用物理学関係連合講演会, 2a-J-7, つくば, 2009年4月2日.
- [453] 近藤 佳幸, 出浦 桃子, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, "微小領域選択MOVPEにおけるSi上InAs核発生の成長条件依存性", 第56回応用

- 物理学関係連合講演会, 2a-J-6, つくば, 2009年4月2日.
- [454] 佐々木, 岡部 "プリント配線板電源層からの放射雑音低減方法の検討", 12B-6, 第23回エレクトロニクス実装学会講演大会(2009).
- [455] 岩本伸一郎, 開衛華, 岩田忠久, 磯貝明, "原子間力顕微鏡を用いたセルロースシングルナノファイバーの弾性率測定", pp. 59, 第59回日本木材学会大会研究発表要旨集.
- [456] 本木実, 松尾和典, 大山英典, 黒川憲宏, 山本博康, "HDL およびASIC 設計開発環境の整備とそれを通じた協同教育", pp. 399-404, 高専教育No. 32.
- [457] 加藤, "カーボンナノチューブの電界発光", JST さきがけ「光の創生・操作・展開」領域会議, 2008年5月28日.
- [458] 加藤, "カーボンナノチューブの電界発光", JST さきがけ「物質と光作用」領域会議, 2008年6月7日.
- [459] 加藤, "カーボンナノチューブの電界発光", JST さきがけ「物質と光作用」領域会議, 2008年10月22日.
- [460] 加藤, "ナノチューブにおける電子と光の相互作用", ナノフォトニクス総合的展開シンポジウム(2008).
- [461] Y. K. Kato, "Electrical manipulation of electron spins in nonmagnetic semiconductors", 理化学研究所次世代ナノシンポジウム(2008).
- [462] 加藤, "Electrically driven thermal light emission from individual single-walled carbon nanotubes", 東京大学グローバルCOE「セキュアライフ・エレクトロニクス」シンポジウム(2009).
- [463] 嶋田, "Electrical and optical characterization of nano-carbon materials", 東京大学グローバルCOE「セキュアライフ・エレクトロニクス」シンポジウム(2009).
- [464] 中井 隆志, 西山 翔, 酒造 正樹, ドロネー ジャン=ジャック, 山田 一郎, "官能基を有するパリレンを固定相に用いたマイクロガスクロマトグラフィカラム," 平成20年度センサ・マイクロマシン部門総合研究会, June 12-13, 2008.
- [465] 遠藤 弘一, 辻 亮輔, 酒造 正樹, ドロネー ジャン=ジャック, 山田 一郎, "パラジウムホールアレィを用いた水素ガスセンサ," 第25回「センサ・マイクロマシンと応用システム」シンポジウム, October 22-24, 2008.
- [466] 西山 翔, 中井 隆志, 酒造 正樹, ドロネー ジャン=ジャック, 山田 一郎, "マイクロガスクロマトグラフィのためのパリレン固定相カラム," 第25回「センサ・マイクロマシンと応用システム」シンポジウム, October 22-24, 2008.
- [467] 酒造 正樹, 原 啓樹, ドロネー ジャン=ジャック, 山田 一郎, "誘電泳動を用いた水耕栽培用の菌濃度センサ," 第25回「センサ・マイクロマシンと応用システム」シンポジウム, October 22-24, 2008.
- [468] 中井 隆志, 西山 翔, 酒造 正樹, ドロネー ジャン=ジャック, 山田 一郎, "パリレンを固定相に用いた半充填カラム," 第18回化学とマイクロ・ナノシステム研究会, December 8-9, 2008.
- [469] 前田 悦男, 遠藤 弘一, 三栗谷 祥, 酒造 正樹, 山田 一郎, ドロネー ジャン=ジャック, "サブ波長構造配列による透過光増幅現象を用いた水素ガスセンサの研究," 2009年春季 第56回応用物理学関係連合講演会, March 30-April 2, 2009.
- [470] 赤松弘規, 石崎欣尚, 阿部祐輝, 江副祐一郎, 石川久美, 大橋隆哉, 吉武宏, 竹井洋, 山崎典子, 満田和久, 前田龍太郎, "TES型X線マイクロカロリメータの性能向上を目指した基礎特性評価", 日本物理学会2009年春季年会.
- [471] 高木うた子, 江副祐一郎, 三石郁之, 輿石真樹, 満田和久, 山崎典子, 大橋隆哉, 加藤史樹, 杉山進, Riveros Raul, "将来衛星に向けた超軽量・高分解能MEMS光学系の基礎開発(1)", 応用物理学会2009年3月.
- [472] 三石郁之, 輿石真樹, 満田和久, 山崎典子, 前田良知, 江副祐一郎, 白田渉雪, 林多佳由, 高野貴之, 前田龍太郎, "C K α 蛍光輝線(0.29keV)を用いた超軽量MEMS光学系のX線評価", 日本天文学会2008年秋季年会(2008).
- [473] 赤松弘規, 石崎欣尚, 星野晶夫, 江副祐一郎, 大橋隆哉, 吉野友崇, 竹井洋, 山崎典子, 満田和久, 大島泰, 田中啓一, "TES型 γ 線マイクロカロリメータのインピーダンス測定による特性評価", 日本天文学会2008年秋季年会(2008).
- [474] 満田, "超電導X線検出器の原理と応用", 低温工学協会超電導応用研究会, 山形(2008).
- [475] 満田, "超伝導遷移端(TES)型X線マイクロカロリメータの開発の現状と応用", 超伝導エレクトロニクス第146委員会第84回研究会, 東京, 2009年1月.
- [476] 森谷紘己, 小嶋祐輔, 長藤圭介, 糟谷圭吾, 濱口哲也, 中尾政之, 「フィールドエミッションディスプレイのための通電加熱による酸化タンゲステンナノワイヤの生成」精密工学会春季講演会, 日本大, 2008.
- [477] 廣田智一, 豊田紀章, 山田公, 長藤圭介, 濱口哲也, 谷弘詞, 「ガスクラスタイオンビーム照射による平坦化の表面形状依存性」日本応用物理学

会秋季大会, 2008.

- [478] 廣田智一, 豊田紀章, 山田公, 長藤圭介, 濱口哲也, 中尾政之, 谷弘詞, 坂根康夫「ガスクラスターイオンビームによるパターン間への埋め込み構造形成」第56回応用物理学関係連合講演会, 筑波大学, 2009.
- [479] Yasushi Hashimoto, Akihito Nakai, Hajime Kawano, Kiyoshi Matsumoto, Isao Shimoyama, "Thin and Small Ultrasonic Distance Sensor with Thermoacoustic Transmitter and Piezoresistive Cantilever Receiver," 2B3-2, Asia-Pacific Conference on Transducers and Micro-Nano Technology 2008 (APCOT '08) (2008).
- [480] 南川, 大野, 西村, Damayanthi, 伊予本, 高橋, 大谷, 佐藤, 豊川, 谷田, 宇留賀, "自己温度安定性を有する放射線吸収体を用いた超伝導転移端マイクロカロリメータ(2)", 2008年秋季第69回応用物理学学会学術講演会(2008).
- [481] 大野, "イントロダクトリートーク:放射線スペクトロスコープの最前線", 2008年秋季第69回応用物理学学会学術講演会シンポジウム「放射線分科会企画:放射線スペクトロスコープの最前線」(2008).
- [482] 伊豫本, "超伝導転移端検出器による高エネルギー分解能スペクトロスコープ", 平成20年度電気学会東京支部連合研究会(2008).
- [483] 伊豫本, "NASA・東大における超伝導遷移端検出器", 日本学術振興会第146超伝導エレクトロニクス研究会情報処理・通信分科会研究会(2009).
- [484] 伊予本, "TESと関連技術「超伝導カメラと関連技術」研究会(2009)つくば.
- [485] 高橋, "放射線計測の最前線", 日本放射線安全管理学会6月シンポジウム(2008).
- [486] 藤田, 高橋, 猪野, 清水, 岸本, 古坂, 奥, 鈴木, "微細孔形成技術を利用した中性子検出用MSGCの開発", 原子力学会秋の大会(2008).
- [487] 高橋, "中性子MSGCの開発", 中性子デバイス研究会(2009).
- [488] 石川靖彦, 和田一実, "リング共振器における高輝度シリコン発光と歪Ge直接ギャップの可能性", 第56回応用物理学関係連合講演会, つくば, 2009.
- [489] 大平康隆, Chekhovskiy Aleksandr, 山野井俊雄, 遠藤尚, 藤田博之, 年吉洋, 「画像ディスプレイ用ハイパワー・ハンドリングMEMSスキャナ」電気学会マイクロマシン・センサシステム研究会, 2008年6月12日~13日, 仙台市戦災復興記念館, MSS-08-6.
- [490] 鶴橋一浩, 藤田博之, 年吉洋, 鈴木和拓, 舟木英之, 板谷和彦, 「CMOS-First, MEMS-Last型集積化法におけるMEMSポストプロセスの検討」電気学会マイクロマシン・センサシステム研究会, 2008年6月12日~13日, 仙台市戦災復興記念館, MSS-08-4.
- [491] 高橋一浩, 藤田博之, 年吉洋, 「SOI CMOS-MEMSにおけるMEMSプロセスの信頼性評価」応用物理学 第2回集積化MEMS技術研究会, 2008年11月21日, 東京大学生産技術研究所.
- [492] 年吉洋, 三田信, 「MEMSにおける機械構造の電気回路化」, 日本機械学会15期関東支部総会講演会オーガナイズド・セッション「機械工学が支援する微細加工技術(半導体・MEMS・NEMS)」, 2009年3月7日, 茨城大学(基調講演).
- [493] 藤田博之, "バイオMEMSと医療応用-Bio-MEMS for medical applications-", 応用電子物性分科会研究例会, 第14巻, 第1号, pp. 16-25, 機械振興会館, 東京(2008).
- [494] B. Wee, M. Kumemura, D. Collard, H. Fujita, "Integration of closed microfluidics and open droplet actuation on a single lab-on-a-chip device", 日本機械学会 情報・知能・精密機器部門講演会(IIP2008), No. 08-3, pp. 242-243, 東京工業大学大岡山キャンパス(2008).
- [495] 久米村百子, 榊直由, クリストフ・ヤマハタ, ドミニク・コラルル, 橋口原, 藤田博之, "MEMSピンセットを用いた長鎖高分子捕獲方法の最適化(Optimization of long molecular trapping with MEMS tweezers)", 日本機械学会 情報・知能・精密機器部門講演会(IIP2008), No. 08-3, pp. 244-245, 東京工業大学大岡山キャンパス(2008).
- [496] 山下清隆, Benoit Charlot, Winston Sun, 角嶋邦之, 藤田博之, 年吉洋, "MEMS共振子を用いた電界電子放出電流の変調と検出", 平成20年電気学会全国大会講演論文集, 第3分冊, p. 145, 福岡工業大学(2008).
- [497] 山根大輔, Sun Winston, 清田晴信, 川崎繁男, 藤田博之, 年吉洋, "導波路/アクチュエータ間のレイヤ分離設計によるRF-MEMSスイッチ", 平成20年電気学会全国大会講演論文集, 第3分冊, p. 146, 福岡工業大学(2008).
- [498] M. C. Tarhan, R. Yokokawa, H. Fujita, "INTEGRATION OF MICROMACHINED STRUCTURES WITH KINESIN BASED TRANSPORT SYSTEM", 第17回化学とマイクロ・ナノシステム研究会, p. 27, 福岡, 日本(2008).
- [499] 高橋一浩, 藤田博之, 年吉洋, 鈴木和拓, 舟木英之, 板谷和彦, "CMOS-First, MEMS-Last型集積化

- 法におけるMEMSポストプロセスの検討", 電気学会研究会資料, センサ・マイクロマシン部門総合研究会, MSS-08-1, pp. 17-21, 東北大学(2008).
- [500] J.W. Park, O. Ducloux, S. Nishida, and H. Fujita, "Laser excited fork type cantilever as insulin biosensor", 電気学会研究会資料, センサ・マイクロマシン部門総合研究会, BMS-08-10, p. 21, 東北大学(2008).
- [501] ベルナルド・ウィー, 久米村百子, 藤田博之, ドミニク・コラル, "液体誘電泳動によるDNA液滴形成の最適化", 電気学会研究会資料, センサ・マイクロマシン部門総合研究会, BMS-08-11, pp. 25-29, 東北大学(2008).
- [502] 大平康隆, CHEKHOVSKIY Aleksandr, 山野井俊雄, 遠藤尚, 藤田博之, 年吉洋, "画像ディスプレイ用ハイパワー・ハンドリングMEMSスキャナ", 電気学会研究会資料, センサ・マイクロマシン部門総合研究会, MSS-08-6, pp. 29-33, 東北大学(2008).
- [503] 石田忠, 仲島祐樹, 藤田博之, "金対シリコン対向探針を用いたシリコン表面への金ナノクラスターのTEM内散布方法", 電気学会研究会資料, センサ・マイクロマシン部門総合研究会, MSS-08-21, pp. 101-105, 東北大学(2008).
- [504] 松山知弘, 三田吉郎, 久保田雅則, 柴田直, 藤田博之, "静電駆動型大面積MEMSにおける消費電力", 電気学会研究会資料, センサ・マイクロマシン部門総合研究会, MSS-08-20, pp. 95-100, 東北大学(2008).
- [505] 永井萌土, 浅井博, 藤田博之, "ツリガネムシを駆動源とするMEMS作製のためのツリガネムシへの人工物接着", 電気学会研究会資料, センサ・マイクロマシン部門総合研究会, BMS-08-12, pp. 31-35, 東北大学(2008).
- [506] 朴柱昱, Olivier Ducloux, 西田周平, 藤田博之, "フォーク型カンチレバーインスリンセンサー", 電気学会研究会資料, センサ・マイクロマシン部門総合研究会, BMS-08-10, pp. 21-24, 東北大学(2008).
- [507] R. Yokokawa, M.C. Tarhan, C. Bottier, D. Collard, H. Fujita, M. Kasahara, "DNA molecule manipulation by motor proteins and enzymatic reaction at the single molecule level", Proceedings of the 25th Sensor Symposium on Sensors, Micromachines, and Applied Systems, pp. 381-384, 沖縄(2008).
- [508] Haruki Shoji, Tadashi Ishida, Hiroyuki Fujita, "In Situ TEM Observation of Structural Change in Contact-Growth-Retractation-Fracture Process of Pt Nano Wire", Proceedings of the 25th Sensor Symposium on Sensors, Micromachines, and Applied Systems, pp. 621-624, 沖縄(2008).
- [509] O. Ducloux, J.W. Park, N. Tiercelin, P. Pernod, V. Preobrazhensky and H. Fujita, "MEMS resonators actuated by TbCo/FeCo Nanostructured Magnetostrictive Multilayers in Liquid Environment", Proceedings of the 25th Sensor Symposium on Sensors, Micromachines, and Applied Systems, pp. 365-368, 沖縄(2008).
- [510] 潮見俊輔, 藤田博之, 安積欣志, "MEMS技術による薄膜Bucky-gel型人工筋肉", 第25回「センサ・マイクロマシンと応用システム」シンポジウム講演概要集, p. 122, 沖縄(2008).
- [511] J.W. Park, O. Ducloux and Hiroyuki Fujita, "Optimizing the condition of glutaraldehyde attachment for an immunobiosensor - by means of fluoscent labeling and AFM scanning -", Proceedings of the 25th Sensor Symposium on Sensors, Micromachines, and Applied Systems, pp. 369-372, 沖縄(2008).
- [512] M. Cordero, E. Sarajlic, H. Fujita, "Simple and Accurate Estimation of Nonlinear Resonant Characteristics for a Buckled MEMS Bridge Resonator with Consideration of Temperature Effects", Proceedings of the 25th Sensor Symposium on Sensors, Micromachines, and Applied Systems, pp. 557-560, 沖縄(2008).
- [513] 藤田博之, "MEMSによる異機能集積化プロセス", 第2回集積化MEMS技術研究会, p. 8, 東京大学生産技術研究所(2008).
- [514] 高橋一浩, 藤田博之, 年吉洋, "SOI CMOS-MEMSにおけるMEMSポストプロセスの信頼性評価", 第2回集積化MEMS技術研究会, p. 13, 東京大学生産技術研究所(2008).
- [515] 藤田博之, "「BEANSプロジェクトの構想と意義」, 「MEMSの製造技術」研究成果発表・研究会, かながわサイエンスパーク(2008).
- [516] 曾根順治, 望月俊輔, 藤田博之, "回路シュミレーターにおける動特性の検討", MemsOneユーザ会東京第1回, (財)マイクロマシンセンター MMC テクノサロン(2008).
- [517] 曾根順治, 藤田博之, "リリース版の2次要素に対するメッシュ細かさとの計算精度検証", MemsOneユーザ会東京第1回, (財)マイクロマシンセンター MMC テクノサロン(2008).
- [518] Hiroyuki Fujita and Dominique Collard, Molecular Handling and Sensing for Advanced Biomedical

Technology, Proceedings of Global COE Symposium on Secure-Life Electronics, pp. 71-77, 東京大学武田先端知ビル(2009).

- [519] Daisuke Yamane, Harunobu Seita, Winston Sun, Shigeo Kawasaki, Hiroyuki Fujita and Hiroshi Toshiyoshi, Research and Development of RF-MEMS Switches for Adaptive Phased Array Antenna Systems, Proceedings of Global COE Symposium on Secure-Life Electronics, pp. 421-424, 東京大学武田先端知ビル(2009).
- [520] Yuheon Yi, Hiroyuki Fujita, and Hiroshi Toshiyoshi, Dynamic model of a parallel plate actuator with pullin consideration for CMOS-MEMS simultaneous behavior anticipation, The 15th Workshop on Synthesis and System Integration of Mixed Information Technologies, pp. 370-373, okinawa(2009).
- [521] 藤田博之, MEMS製造技術と光・バイオ・ナノへの応用, 4大学ナノ・マイクロファブリケーションコンソーシアム拠点形成シンポジウム, 川崎市産業振興会館(2009).
- [522] 劉洋, 森島哲, 八井崇, 米澤 徹, 鷲津正夫, 藤田博之, 大津元一, 光学禁制準位を用いた近接場光ナノドットカップラーの開発, 2009年春季 第56回応用物理学関係連合講演会, Vol. 3, 筑波大学(2009).
- [523] 中田宗樹・高橋一浩・高橋巧也・肥後昭男・藤田博之・年吉洋, 斜めDeep-RIEを用いた静電アクチュエータの作製, 平成21年電気学会全国大会, 札幌(2009).

4. 著書

- [1] 吉川昌範(編著), 三田吉郎(分担執筆), "最新機械・機器要素技術" 2章10節「センサー」, 3章15節「センサ・アクチュエータの加工(光学リソ含む)」, NGTコーポレーション(2008).
- [2] M. Tanaka, M. Yokoyama, P-N. Hai, and S. Ohya (Invited review paper) "Properties and functionalities of MnAs/III-V hybrid and composite structures" Semiconductors and Semimetals, Vol. 82, Spintronics, Elsevier, November 2008. 500 pages, ISBN-13: 978-0-08-044956-2, ISBN-10: 0-08-044956-5.
- [3] 藤田博之 "第2編 マイクロマシン/MEMS 応用デバイス 第1章 アクチュエータ", pp. 32-35, Electric Journal 別冊, 2008 マイクロマシン/MEMS技術大全.

- [4] 藤田博之, "第2章 マイクロマシンの拓く豊かな社会", 続く世代に何を渡すのか-ゆたかさ・環境・科学技術-武田計測先端知財団編, 化学同人(2008).
- [5] 藤田博之, "第4章 シリコンと関連材料", マイクロ・ナノ化学チップと医療・環境・バイオ分析, 技術教育出版社(2008).
- [6] Ersin Altintas, Hiroyuki Fujita, "The importance and the position of nanotechnologies in development and industrialization", Vol. 2, pp. 157-167, Trade Chamber of Istanbul(2008).

5. 特許等

- [1] マタウシュハンス・ユルゲン, 小出哲士, 山岡功佑, "画像分割装置および画像分割方法", 特願2008-542958, 平成20年9月11日日本国移行日, PCT出願番号: PCT/JP2008/002066, 平成20年7月31日国際出願.
- [2] 石崎雅勝, 熊木武志, 田上正治, 今井雄太, 小出哲士, マタウシュハンスユルゲン, 行天隆幸, 野田英行, 奥野義弘, 有本和民, "半導体装置", 特願2009-006947, 平成21年1月15日出願.
- [3] 廣瀬 哲也, 鬼頭 豊明, 大崎 勇士, "基準電流源回路", 特願2009-048379 (2009年3月2日).
- [4] 廣瀬 哲也, 松本 啓, 大崎 勇士, "CMOSインバータ回路", 特願2009-48641 (2009年3月2日).
- [5] 特願2008-292854, "相互接続構造および論理回路装置", 末吉敏則, 飯田全広, 尼崎太樹, 井上万輝, 平松達夫.
- [6] 吉田浩章, 森下賢志, 藤田昌宏, "回路検証装置, 回路検証システム及び回路検証機能付LSI," 特願2008-145413, 米国特願 61/152349.

6. その他

- [1] 土谷, 小野寺, "ミリ波・準ミリ波帯におけるシリコン上のダミーメタルのスパイラルインダクタへの影響", アジレント EEsof EDAフォーラム 2008 (2008).
- [2] 次田 祐輔, 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "低電圧CMOS デジタル回路のプロセス・温度バラツキ補正アーキテクチャ構築," VDEC デザイナーフォーラム2008, P-02, (東京), 2008年6月.
- [3] 廣瀬 哲也, "CMOS トランジスタの物理特性を利用した集積回路設計," KOBE工学サミット, (神戸), 2008年12月.
- [4] H.Yamauchi, 2009 ISSCC Tutorial "Variation

- Tolerant SRAM Circuit Design" 2009.2.
- [5] 三簾, 町田, 和保, "低電圧電流モード連続時間 $\Delta \Sigma$ 変調器とその要素回路", 2008年VDEC年報(2009).
- [6] 芥川, 和保, "マルチビット方式アルゴリズムック型アナログ/デジタル変換器", 2008年VDEC年報(2009).
- [7] 町田, 和保, "時間領域を用いたADCとその要素回路", 2008年VDEC年報(2009).
- [8] Youhua Shi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "Unknow response masking with minimized observable reponse lose and mask date," IEEE APCCAS 2008.
- [9] 羽生貴弘, "不揮発性機能デバイスの可能性～不揮発性ロジック～," "第3回新機能トランジスタ調査委員会, 東京, Jan. 9, 2008.
- [10] 羽生貴弘, "TMRロジックとその応用," "日本磁気学会第159回研究会資料, pp39-46, March 3, 2008.
- [11] 羽生貴弘, 松本敦, 松永翔雲, "TMRロジックとその可能性," "第55回応用物理関係連合講演会講演予稿集, 27p-A-10, March 2008.
- [12] 羽生貴弘, "スピンをを用いた不揮発論理回路の現状と展望," "(社)電子情報技術産業協会(JEITA)スピントロニクス技術分科会, Nov. 19, 2008.
- [13] T. Hanyu, "TMR Logic! Nonvolatile Logic Circuit Based on Logic-in-Memory Architecture Using Magnetic Tunnel Junctions," Prime 2008 Meeting, p. 2105, Honolulu, Hawaii, Oct. 15, 2008.
- [14] 羽生貴弘, "TMRロジック," "応用物理学会・シリコンテクノロジー研究集会, March 16, 2009.
- [15] Takahiro Hanyu, "TMR Logic! Nonvolatile Logic Circuit Based on Logic-in-Memory Architecture Using Magnetic Tunnel Junctions," PRIME2008 Meeting Abstracts, 2105, Hawaii, Oct. 2008.
- [16] Yoshio Mita, "FOREWORD, Special Section on Microelectronic Test Structures (ICMTS2007)," IEICE Trans. Volume E91-C No. 8, pp. 1313-1314 (2008.08).
- [17] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Correlation Verification between Transistor Variability Model with Body Biasing and Ring Oscillation Frequency in 90nm Subthreshold Circuits," in Proc. Int. Symp. Low Power Electronics and Design (ISLPED), pp. 3-8, 2008.
- [18] 鈴木, "エレクトレットを用いた環境振動発電," 検査技術, Vol. 13, No. 4, (2008), pp. 8-12.
- [19] 鈴木, "パワーマイクロマシン ～高付加価値のエネルギーシステム～," 日本機械学会誌, 111巻, 1072号, (2008), pp. 158-160.
- [20] 三輪・鈴木・笠木, "抗原抗体反応を用いたマイクロ細胞分離デバイス," 細胞分離・操作技術の最前線, シー・エム・シー出版, (2008), pp. 129-141.
- [21] 鈴木, "環境振動発電のためのマイクロ・エレクトレット発電器," 豊田研究報告, Vol. 61, (2008), pp. 155-160.
- [22] 鈴木, "マイクロ環境発電デバイスの研究動向," 電気学会誌, 128巻, 7号, (2008), pp. 435-438.
- [23] 鈴木, "マイクロ熱光発電システムの開発に向けて," 伝熱, 47巻, No. 201, (2008), pp. 26-32.
- [24] 鈴木・坂根, "エレクトレット高分子膜を用いたマイクロ振動型発電器 -期待されるユビキタス機器への利用," 未来材料, Vol. 8, No. 11, (2008), pp. 50-52.
- [25] 高橋, "MSGC development at the university of Tokyo for J-PARC", MILAND.
- [26] 藤田, 高橋, Sipaun, 石, 猪野, 清水, 北本, 古坂, 奥, 鈴木, "Development of a Two-Dimensional Position Sensitive MSGC with New Multi-Layering Technique for Neutron Application", 2008 Nuclear Science Symposium (2008) Germany.
- [27] 高橋, 藤田, "Gas proportional scintillation counter with transparent MSGC", The 1st international conference on Technology and Instrumentation in Particle Physics (2009) Japan.
- [28] 年吉 洋, 「ロール・ツー・ロール印刷技術による大面積MEMS画像ディスプレイの開発」NEDO技術開発機構 産業技術研究助成事業(若手研究 Grant)「平成20年度第1回研究成果報告会」, 平成20年4月23日, 日航川崎ホテル.
- [29] H. Toshiyoshi, "MEMS for Integrated Optics," The 5th Int. Workshop on Nanoscale Semiconductor Devices, May 16, 2006, Hoam Faculty House Mugunghwa Hall, Seoul National University, Seoul, Korea (invited).
- [30] 谷 雅直, 安田喜昭, 赤松雅洋, 藤田博之, 年吉洋, 「圧電MEMS光スキャナによる画像ディスプレイ」第1回レーザーディスプレイ技術研究会(日本光学会・応用物理学会), 東京大学生産技術研究所コンベンションホール, 2008年7月14日.
- [31] 年吉 洋, 「MEMSにおける付加価値と差別化」第1回集積化MEMS研究会(応用物理学会集積化MEMS研究会), 豊橋技術科学大学ベンチャービジネスラボラトリ, 2008年7月10日.
- [32] 年吉 洋, 「MEMS技術の微小光学応用 -光ファイバ内視鏡から画像ディスプレイまで-

神奈川県産業技術センター・エレクトロニクスフォーラム(神奈川県産業技術センター, 神奈川県R & D推進協議会), 2008年7月25日.

- [33] H. Toshiyoshi, "Optical MEMS," The 1st Korea-Japan Joint Workshop of MEMS/NEMS for Young Generations, IIS, Univ. of Tokyo, Aug. 1st, 2008.
- [34] 年吉 洋, 「ロール・ツー・ロール印刷技術による大面積MEMSディスプレイの開発」(財)化学技術戦略推進機構 エレクトロニクス交流会, 2008年10月10日, 東京神田神保町.
- [35] 年吉 洋, 「光MEMSの現状と将来展望」(株)電子ジャーナル第242回セミナー「2008秋マイクロマシン/MEMS★徹底検証」, 2008年10月16日, 総評会館.
- [36] D. Yamane, W. Sun, H. Seita, S. Kawasaki, H. Fujita, and H. Toshiyoshi, "RF-MEMS for Ku/Ka Active Phased Array Antenna," Taiwan-Japan Symposium in IIS, Oct. 27-28, 2008, IIS, Univ. of Tokyo.
- [37] H. Toshiyoshi, "Micro electro mechanical systems (MEMS) for optical & radio-frequency applications," Shanghai Jiao Tong University & University of Tokyo Joint Symposium on Electronics, Information Technology, and Electrical Engineering, October 30-31, Shanghai.
- [38] 年吉 洋, 「光MEMS技術の通信・ディスプレイ・医療応用」財団法人 マイクロマシンセンター 第16回マイクロナノ先端技術交流会, 2008年11月7日, 東京・秋葉原.
- [39] 年吉 洋, 「MEMS光ファイバ内視鏡」KAST教育講座(マイクロマシン・MEMS研究の最新動向) 2008年12月16日, 神奈川サイエンスパーク.
- [40] 年吉 洋, 「MEMS技術の微小光学応用」(株)技術情報協会セミナー「超小型プロジェクト実現へのレーザー・MEMSディスプレイ技術」, 2008年12月18日, 東京・王子, 北トピア.
- [41] 年吉 洋, 「ロール・ツー・ロール印刷技術によるフレキシブルMEMS型カラーピクセルアレイ」, 第1回 プリントブルエレクトロニクス シンポジウム, 2009年2月19日, 東京ビッグサイト.
- [42] 年吉 洋, 「MEMS技術の微小光学応用～光ファイバ通信・医療応用・画像ディスプレイまで～」慶大・早大・東工大・東大 4大学ナノ・マイクロファブリケーション コンソーシアム拠点形成シンポジウム(4大学ナノ・マイクロファブリケーションコンソーシアム), 平成21年3月6日, 川崎市産業振興会館.
- [43] 藤田博之, "No. 14 技術クラスター名 : マイクロ・ナノメカトロニクス, 応用物理分野のアカデミック・ロードマップの作成報告書", 社団法人応用物理学会(2008).
- [44] 藤田博之, "新規プロジェクト「BEANS」に期待する", マイクロナノ, No. 63, p. 6, 財団法人マイクロマシンセンター(2008).
- [45] 藤田博之, "センサ・マイクロマシンのバイオ分野への展開-バイオ・マイクロシステム技術委員会の新設-", 電気学会誌, Vol. 128, No. 6, p. 372, 社団法人電気学会(2008).
- [46] 藤田博之, "MEMS無線センサネットワークの鉄道への応用", 2006年度研究助成成果概要集, (研究期間!2006年9月～2007年8月), p. 43, 財団法人大川情報通信基金(2008).
- [47] 藤田博之, "マイクロマシン先端技術の応用と将来", マネジメントスクエア, No. 222, pp. 14-15, ちばぎん総合研究所(2008).
- [48] 藤田博之, "マイクロマシン先端技術の応用と将来②", マネジメントスクエア, No. 223, pp. 16-17, ちばぎん総合研究所(2008).
- [49] 藤田博之, "マイクロマシン先端技術の応用と将来③", マネジメントスクエア, No. 224, pp. 14-15, ちばぎん総合研究所(2008).
- [50] 藤田博之, "MEMSの最新動向=マイクロマシン製造技術の現状と応用展開=", 超音波TECHNO, No. 20 Vol. 5, pp. 47-51, 日本工業出版(2008).
- [51] 藤田博之, "新規プロジェクト「BEANS」に期待する", マイクロナノ, No. 63, 財団法人マイクロマシンセンター(2008).
- [52] 藤田博之, "表面化学とMEMS", 表面科学, 第29巻第6号, p. 335, 日本表面科学会(2008).
- [53] 野澤尚幸, 角嶋邦之, 橋口 原, 藤田博之, "シリコン電界電子放出ティップ用フォトマスクの作製", 東京大学超微細リソグラフィ・ナノ計測拠点平成19年度研究成果集, pp. 63-68(2008).
- [54] 久米村 百子, Dominique Collard, Christophe Yamahta, 榊 直由, 橋口 原, 藤田博之, "DNA捕獲電極用fotoマスクの作成", 東京大学超微細リソグラフィ・ナノ計測拠点平成19年度研究成果集, pp. 47-53(2008).
- [55] Edin Sarajlic, Dominique Collard, 年吉 洋, 藤田博之, "デジタル変位アクチュエータ用フォトマスクの作製", 東京大学超微細リソグラフィ・ナノ計測拠点平成19年度研究成果集, pp. 54-62(2008).
- [56] 藤田博之, "MEMSとナノテクノロジー", 化学工業, Vol. 59, No. 8, pp. 43-632, 化学工業社(2008).

1.7 平成21年度の活動計画

平成21年度は、従来の設計情報発信、CADツール提供、チップ支援、寄付部門「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、平成9年度より継続しているCADツール利用法に関する技術セミナー、平成10年度から継続している社会人向けの「リフレッシュセミナー」、平成8年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行なうことを予定している。なおデザイナーズフォーラムに関しては、若手に向けた若手のための若手によるフォーラムという原点に立ち戻った開催を継続する予定である。これにより自然な形で、若手のVLSI設計者の層を厚くし、定常的な情報交換の場を確立していきたい。試作チップ数の増加にとともに、チップ動作検証に対する要望が増大していくものと予想されるが、LSIテスト技術および、VDECおよび拠点校に設置されているLSIテスター利用法のセミナーも継続して開催するとともに、寄付部門「D2T」主導によるテスト技術に関するワークショップ開催、遠隔地からのテスト利用に関する試みなどを推進する。

【CADツール提供】

上流設計 (Cadence, Synopsys), 中流設計 (Synopsys (旧 Avant!), Cadence), 下流設計 (Cadence) の各基本ツ

ルを、平成21年度もサポートしていく。これに加え平成14年度から導入した設計検証 (Mentor: Caribra), 上流設計 (Celoxica/Agility), 平成16年度から導入したアナログRF設計ツール (Agilent: RFDE, ADS) を継続してサポートするとともに、回路シミュレーションツール (Silvaco) ツールの試験導入を延長しユーザの利用状況により継続の検討を行い、平成17年度より提供を受けているSharp社Cベース設計ツール (BachC) を継続してサポートする。平成20年度より提供を開始しているSynfora社高位合成ツール (PICO Express), TOOL社レイアウト表示プラットフォーム (Lavis) に関しても利用状況に基づき継続の検討を行う。

【チップ試作支援】

平成21年度は、平成20年度から引き続きオン・セミコンダクター、ローム株式会社、日立製作所、NEC化合物デバイス、eShuttleの5種類のプロセスで計11回の試作を実施する予定である (すでに一部の試作は進行中である)。チップの組み立ては全て富士通インテグレートドマイクロテクノロジー社に委託することで多様な組み立てのニーズに応じられるようにしていきたい。

さらに、平成14年度から開始した東大VDEC-米国MOSISとの協力に基づくMOSISにおけるチップ試作についても今年度も一層強化する方向ですすめたい。

表 1.7.1 VDEC チップ試作スケジュール (平成21年度)

【CMOS 1.2 μ m 2P2M】 オン・セミコンダクタ (旧日本モトローラ)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成20年度第2回	2008/10/1	2009/1/7	2009/3/30	2009/7/6
平成21年度第1回	2009/4/6	2009/7/6	2009/10/5	2010/1/25
平成21年度第2回	2009/10/5	2010/1/12	2010/4/5	2010/7/5

【CMOS 0.18 μ m 1P5M (+MiM)] ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成21年度第1回	2007/11/5	2009/1/13	2009/4/6	2009/7/13
平成21年度第2回	2008/1/7	2009/3/23	2009/6/22	2009/10/5
平成21年度第3回	2008/2/4	2009/5/25	2009/8/24	2009/11/24
平成21年度第4回	2008/3/10	2009/7/21	2009/10/19	2010/2/8
平成21年度第5回	2008/4/7	2009/10/19	2010/1/18	2010/4/12
平成21年度第6回	2008/5/6	2010/1/12	2010/4/12	2010/7/20

1.8. VDEC 発ベンチャー

VDEC での設計 / 試作経験, 人材育成が有効には機能した事例といたしまして, VDEC と関連があった (ある) 教員が起業したベンチャー企業のリスト (順不同) を以下に示します.

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生: 神戸大学 瀧和男教授 (同社, 代表取締役社長)

事業内容: (1) HYPER LSI DESIGN
(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング
(3) オリジナルライブラリ / IP の販売
(4) チップ受託開発

[2] 株式会社シンセシス (<http://www.synthesis.co.jp/>)

代表の先生: 大阪大学 白川功名誉教授 (同社, 取締役)

事業内容: (1) システム LSI 開発・設計受託
(2) IP 開発及び販売
(3) システムソリューション提供 / 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<http://www.asip-solutions.com/>)

代表の先生: 大阪大学 今井正治教授 (同社, 代表取締役 CTO)

事業内容: (1) EDA ツールの提供
(2) 設計サービスとソリューション提供
(3) 自社 IP の開発

[4] 株式会社ビヨンド・エルエスアイ (<http://www.beyondlsi.com/jp/index.html>)

代表の先生: 東京工業大学 國枝博昭教授 (同社, 代表取締役)

事業内容: (1) バイオメトリクス応用製品のための開発, カスタム設計, 共同開発, コンサルティング
(2) LSI の設計・開発, 関連製品の販売

[5] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生: 九州工業大学 中村和之教授 (同社, 代表取締役)

事業内容: (1) アナログ LSI 設計用 CAD ツールの開発
(2) メモリ LSI 自動設計ツールの開発

[6] 株式会社 NSCore (<http://www.nscore.com/>)

代表の先生: 九州工業大学 中村和之教授 (同社, 取締役)

事業内容: 標準 CMOS プロセスによる新規不揮発メモリの設計・開発

[7] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

代表の先生: 広島大学 岩田穆教授 (同社, 代表取締役)

事業内容: (1) アナログ・RF 回路混載 SoC 設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

[8] 株式会社ブルックマン・ラボ (<http://www.brookmanlab.com/>)

代表の先生: 静岡大学 川人祥二教授 (同社, 取締役 (CTO))

事業内容: (1) イメージセンサー, デジタルアナログ混成 LSI 設計受託
(2) IP ライセンス
(3) コンサルティング
(4) 自社商品事業の確立

[9] 有限会社石島電子技研 (<http://www.ops.dti.ne.jp/~ishijima/rd/>)

事業内容: (1) ハードウェア開発
(2) ソフトウェア開発
(3) システム・コンサルティング

1.9 超微細リソグラフィ・ナノ計測拠点

VDECでは、工学部総合研究機構と共同で、文部科学省ナノテクノロジーネットワークを受託し、「超微細リソグラフィ・ナノ計測拠点」を運営している。微細リソグラフィ、エッチング等の微細加工、軽元素までの観察が可能な超高圧電子顕微鏡を始めとする解析装置をまとめ、学内外、特に外部企業に公開するというプロジェクトである。VDECは株式会社アドバンテスト社製の

量産向け高速電子線描画装置を改造して、1cm角から8インチ丸までの任意形状にまで描画できるようにしたF5112+VD01を核に、武田先端知スーパークリーンルームでの活動を支援している。プロジェクトは2年目が終了し、学内外共に利用実績を順調に伸ばしている。

<http://nanotechnet.t.u-tokyo.ac.jp/>

第2章 「アドバンテスト D2T 寄付研究部門」平成20年度活動報告

2.1 「アドバンテスト D2T 寄付研究部門」の紹介

2.1.1 アドバンテスト D2T 寄付研究部門 設立趣旨

東京大学大規模集積システム設計教育研究センター (VDEC) は1996年5月に、全国の大学・高専のVLSI設計研究・教育を高度化し、社会に優秀な技術者を数多く輩出することを目的として発足いたしました。VDECではこれらの目的の実現に向け、

- ・VLSIチップ試作支援システム
- ・VLSI用CADソフトウェア環境整備
- ・VLSI教育情報発信

の3つの柱を中心として活動してまいりました。

これまでの11年余の活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が始まっていることが、VDEC利用ユーザー数などの推移から伺い知ることができます。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテスト D2T 寄付研究部門」が2007年10月1日付でVDEC内に設立されました。「アドバンテスト D2T 寄付研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってま

いりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく”Design to Test (D2T)”の理念のもと、下図に示すような国内の大学・高専における「テスト研究・教育」の拠点として、「テストCOE (Center of Excellence)」を目標として活動を行ってまいります。

2.1.2 アドバンテスト D2T 寄付研究部門 構成員

スタッフ

- 客員教授 Kwng-Ting (Tim) Cheng (University of California, Santa Barbara, 2007年10月～2008年6月 非常勤客員教授, 2008年7月～2008年12月 常勤客員教授, 2009年1月～ 非常勤客員教授)
- 特任准教授 Görschwin Fey (University of Bremen, 2007年12月～2008年6月)
- 特任准教授 小松 聡
- 特任研究員 Mohamed Abbas (Assiut University, 2008年6月～)
- 共同研究員 古川 靖夫 (株式会社アドバンテスト)
- 共同研究員 山口 隆弘 (株式会社アドバンテスト研究所)
- 事務補佐員 岡崎真紀子

2.2 「D2T シンポジウム 2008」開催報告

2008年12月16日(木)に「D2T シンポジウム 2008」を開催致した。

「アドバンテスト D2T 寄附研究部門」が東京大学大規模集積システム設計教育研究センター内に設立され、約1年が経過し、その1年間の研究成果の報告ならびにLSIのテスト分野で活躍されている著名な研究者の招待講演を企画した。

本シンポジウムでは、D2T 寄附研究部門の研究成果

報告のみではなく、国内/海外、大学/産業界からの5件の招待講演を行った。招待講演者の方々は、いずれも、LSIのテスト、検証の分野での第一人者であり、大学・企業から130名を超える方々の参加により、大変盛況でした。

VDECでは、今後も継続的にLSIのテストに関連したシンポジウム、講演会を予定しておりますので、是非ともご参加ください。

2008
12/16 (木)
13:00~18:30
東京大学 武田先端知ビル 5階 武田ホール

東京大学 大規模集積システム設計教育研究センター
VLSI Design and Education Center (VDEC), The University of Tokyo

アドバンテスト D2T 寄附研究部門
D2T シンポジウム

プログラム

13:00 **開会の挨拶**

13:10 **招待講演 (1)**

"Built-In Soft Error Resilience for Robust System Design"
Subhasish Mitra (Stanford University 教授)

"High Quality Delay Testing for Logic Circuits"
梶原 誠司 (九州工業大学 教授)

"The Quest for Wireless Testing and the HOY System"
Cheng-Wen Wu (SOC Technology Center, ITRI 教授)

14:40 **休憩**

15:00 **招待講演 (2) / D2T 寄附研究部門 活動報告**

"A Test Solution for Low Power Design"
相京 隆 ((株)半導体理工学研究センター (STARC))

"Test and Reliability of Nanoscale Electronic Systems: Next-Generation Solutions for Next-Generation"
Bernd Becker (University of Freiburg 教授)

"Activities of Advantest D2T Research Division in VDEC"
小松 聡 (東京大学 VDEC 特任准教授)

16:30 **休憩**

16:50 **D2T 寄附研究部門 研究報告**

"Pseudo-Functional Testing for Reducing Test Overkill and Escape"
Kwang-Ting Cheng (University of California, Santa Barbara 教授 / 東京大学 VDEC 客員教授)

"Challenge for Improvement of Test Coverage in Deep Submicron LSI"
古川 靖夫 (株式会社アドバンテスト)

"Targeting Leakage Constraints during ATPG - and Some Remarks on the Collaboration between Bremen and Tokyo -"
Goerschwin Fey (Bremen University / 東京大学 VDEC 特任准教授)

18:20 **開会の挨拶**

18:30 **懇親会**

武田ホール
武田先端知ビル
5F

参加のお申し込み
【参加費】無料 【申し込み方法】以下のウェブサイトからの事前申込制
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2008.html>

【主催】
東京大学大規模集積システム設計教育研究センター (VDEC)
後援：株式会社アドバンテスト / ADVANTEST Corporation

【お問い合わせ】
東京大学大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
〒113-0032 東京都文京区弥生2-11-16 武田先端知ビル 404号室
Tel: 03-5841-0233 FAX: 03-5841-1093
<http://www.vdec.u-tokyo.ac.jp/>
E-Mail: komatsu@vdec.u-tokyo.ac.jp

シンポジウムプログラム / Symposium Program

13:00	開会の挨拶
13:10	招待講演 (1) / Invited Talks (1)
	<p>“Built-In Soft Error Resilience for Robust System Design” <i>Subhasish Mitra (Stanford University)</i></p> <p>“High Quality Delay Testing for Logic Circuits” <i>Seiji Kajihara (Kyusyu Institute of Technology)</i></p> <p>“The Quest for Wireless Testing and the HOY System” <i>Cheng-Wen Wu (SOC Technology Center, ITRI)</i></p>
14:40	休憩 / Coffee Break
15:00	招待講演 (2) + D2T 活動報告 / Invited Talks (2) and Activity Report of D2T Group
	<p>“A Test Solution for Low Power Design” <i>Takashi Aikyo (STARC)</i></p> <p>“Test and Reliability of Nanoscale Electronic Systems: Next-Generation Solutions for Next-Generation” <i>Bernd Becker (University of Freiburg)</i></p> <p>“Activities of Advantest D2T Research Division in VDEC” <i>Satoshi Komatsu (University of Tokyo)</i></p>
16:30	休憩 / Coffee Break
16:50	D2T 研究報告 / Research Report of VDEC D2T Group
	<p>“Pseudo-Functional Testing for Reducing Test Overkill and Escape” <i>Tim Cheng (University of Tokyo / University of California, Santa Barbara)</i></p> <p>“Challenge for Improvement of Test Coverage in Deep Submicron LSI” <i>Yasuo Furukawa (Advantest Corporation)</i></p> <p>“Targeting Leakage Constraints during ATPG — and Some Remarks on the Collaboration between Bremen and Tokyo —” <i>Goerschwin Fey (Bremen University / University of Tokyo)</i></p>
18:20	閉会の挨拶
18:30	懇親会 / Banquet

2.3 「アドバンテスト D2T 寄付研究部門」 平成 20 年度活動報告

テスト・オーバーキル / エスケープの削減を目的とした Pseudo-Functional 試験

Tim Cheng

近年、遅延故障やクロストーク故障のテストにおいて、テストモードでは検出できるが動作モードでは検出できないような故障が多数存在しており、従来のストラクチャルテストではオーバーテストングなどの問題点が指摘されている。また、at-speed 機能テストでは、ストラクチャルテストで検出できないような欠陥を検出できるケースも存在する。

本研究では、機能試験とストラクチャルテストの利点を組み合わせることにより、両者のそれぞれの欠点を補完するような“Pseudo-functional”試験の枠組を提案した。この枠組では、ストラクチャルテストのスキャンチェーンはファンクショナルな試験を回路内の各所へ伝送する働きをする。このような構造を利用することで、完全な機能テストやテストアプリケーションの生成が不要となり、また、高性能なファンクション・テスターも不要である。この新しい手法では、低いATPGコストと高いカバレッジを維持しながら、構造試験の持つナノメータデバイスに対するオーバーテストングの問題を削減している。アドバンテスト D2T 寄付研究部門では、特に、テストエスケープとテストオーバーキルの両者を同じに削減する技術についての検討を行なった。

Pseudo-Functional Testing for Reducing Test Overkills and Escapes

Tim Cheng

Recent research results have shown that the traditional structural testing for delay and crosstalk faults may result in over-testing due to the non-trivial number of such faults that are untestable in the functional mode while testable in the test mode. At the same time, at-speed functional tests could catch some subtle defects for which structural tests may fail to detect.

We propose pseudo-functional testing, a new test paradigm for nanometer digital systems, that combines the advantages of functional and structural testing and addresses their weaknesses. In this test paradigm, the scan structure is used to deliver functional-like tests. The use of scan eliminates the needs of complete functional test generation and test application and, thus, does not require full-blown functional testers. The new methodology minimizes the over-testing problem that structural testing encounters for nanometer devices while maintaining the low ATPG complexity and achieving high fault coverage through DfT structures. In Advantest D2T research division, we are investigating additional techniques to achieve concurrent reduction of test escapes and test overkills under this test paradigm.

IDDQ テストにおけるリーク電流を考慮した ATPG

Goerschwin Fey, 小松 聡, 古川 靖夫

かつて、IDDQ テストは、一般的な故障モデルによる構造試験や機能試験で発見することが困難な物理的な故障を検出する非常に有効な手段であった。しかしながら、近年の deep-submicron 時代では、極微細化されたデバイスによるリーク電流の増大により、IDDQ テストを効率的に行なうことが困難になってきている。問題点の1つはリーク電流の入力ベクタ依存性であり、良品のデバイスであっても入力ベクタによって大きくリーク電流が変化してしまい、良品/不

Targeting Leakage Constraints during ATPG of IDDQ Test

Goerschwin Fey, Satoshi Komatsu,
Yasuo Furukawa

In previous technology generations IDDQ testing used to be a powerful technique to detect physical faults that are not covered by standard fault models or functional tests. Due to shrinking feature sizes and consequently increasing leakage currents IDDQ testing becomes difficult in the deep-submicron area. One of the problems is the vector dependency of leakage current. Even in good devices the leakage current may vary significantly from one test vector to the next.

良品判別を困難にしている1つの要素である。

本研究では、リーク電流に対して厳しい制約条件を課しながら、その範囲内でテストベクタを生成するATPGフレームワークを提案した。そのフレームワークにおいて、リーク電流制約は自動的に設定される。ITC99ベンチマークを利用した実験結果において、得られたテストベクタセットを用いることでリーク電流の範囲を制限しながら、100%のカバレージを達成できることを示した。

In this work we present an ATPG framework that allows to generate test vectors within tight constraints on leakage currents. The target range for the leakage current is automatically determined. Experiments on the ITC99 benchmark suite yield testsets that achieve 100% fault coverage for the larger circuits, even when the range is narrowed down to 50% of the standard deviation of random vectors.

高速シリアルリンクのテスト手法

Tim Cheng, Mohamed Abbas, 小松 聡,
古川 靖夫

近年、高速シリアルリンク (HSSL) が、高性能システムの複数チップ間での効率的な通信のために利用されている。デジタル・インタフェースで使われるHSSLがアナログ通信回路で使われる回路に似ているが、アナログインタフェースをテストするために使われる手法を直接デジタル・インタフェースのテストのために利用することは困難である。したがって、HSSLの品質を保証するために、効率的なテスト手法が必要とされている。本研究では、デジタルアシストアナログ設計手法に基づくアダプティブイコライザのために、効率的なテスト方法論の研究を行なった。

従来のテスト手法の制限を避けるために、我々はデジタルアシストシステムをテストするためにより一般的な手法を提案した。ここでは、静的シグネチャと動的シグネチャをタップ係数の波形から抽出し、Pass/Fail判定の指標としている。イコライザ回路を利用した実験結果において、提案手法の有用性を示した。

提案したテスト手法をより現実的なものにするために、我々は動的シグネチャを利用したテスト方法に利用する、最適に近いテスト入力信号を生成するために、遺伝的アルゴリズムに基づくATPGフレームワークを開発した。提案フレームワークでは、対象とする故障の存在するケースと存在しないケースとで、動的シグネチャの差が最大となる入力信号を自動生成する。提案手法の有効性を実証するために、5-tap フィードフォワードイコライザを対象として、入力信号自動生成の実験を行なった。実験結果から、提案手法を用いることで、手動で生成した入力信号では検出することが困難であった故障を検出可能な入力信号を自動生成可能であることを示した。

Testing of High-Speed Serial Links

Tim Cheng, Mohamed Abbas, Satoshi Komatsu,
Yasuo Furukawa

High speed serials links (HSSL) have been introduced to support efficient communication between multiple chips in the high-performance systems. Although HSSL used in digital interfaces is similar to that used in analog communication channel, the procedure used for testing analog interfaces is not directly applicable for testing digital interfaces for many reasons. To assure the quality of the HSSL, an efficient testing methodology is needed. We started the research by developing an efficient testing methodology for the adaptive equalizers which follow the digitally-assisted analog design style.

To avoid the limitation of the previous testing methods, we present an improved and more general methodology for testing the digitally-assisted adaptive systems. We propose to extract both static and dynamic signatures from the waveforms of the tap coefficients. Our experimental results demonstrate the effectiveness and efficiency of the proposed method.

To support our testing method, we developed a Genetic Algorithm (GA) based ATPG for generating near optimal test stimuli to be used for dynamic signature-based testing method. For the target faults, the GA selects the test stimuli which maximize the difference between the dynamic signatures of the fault-free and faulty circuits. We conducted experiments on an exemplar 5-tap feed-forward adaptive equalizer to examine the effectiveness of the method. The results indicate that the signature differences in response to the GA tests are significantly greater than those of the hand-crafted tests for most hard-to-detect faults.

電源をテスト・ベクタとして活用する研究

古川 靖夫

テストは回路規模の増加と共に変化してきた。機能テスト用テストパターンの生成が困難になり、テストの主力が構造化テストへ移行した。この事により、テストの自動化が進み、テストは完成の域に達したものと思われた。しかし、回路規模のさらなる増加は遅延故障の密度を増加させた。遅延故障に対しては現在のテスト技術は十分なテスト・カバレッジを提供できておらず、テスト工程の最後に実アプリケーションと同等な専用テスト装置が必要となっている。

D2T 研究室では遅延故障を高精度に検出する技術、Pseudo-Functional TestingやIDDXについても研究を行っている。ただし、低電圧デバイスでは遅延時間の電源電圧依存性が大きくなっており、電源電圧の高精度な制御が高い測定再現性のためには必須となっている。また、逆に、電源ノイズによるマージンの劣化により微妙な故障を検出できる可能性もある。そのため、我々はICソケットや基板など含めた電源供給系の最適化について研究している。

SW 電源との組み合わせで、ロードレギュレーションを維持しつつ、高精度なリーク電流の測定を実現する手法を考案した。また、周波数ドメインによる電源供給系の評価方法を検証した。

A study to utilize a power supply as a test vector

Yasuo Furukawa

The test changed with the increase of the circuit size. The generation of test pattern for function tests became difficult, and test technique shifted to a structured test. It seemed that automation of the test progressed and the test arrived at the region of completion by these technologies. However, the further increase in a circuit size made the density of delay failure increase. The current test technology cannot realize enough test coverage for the delay fault, and a system level test is necessary in the last of the test process.

Pseudo-Functional Testing and IDDX test are studied for the detection of the subtle delay fault in the D2T laboratory. However, in a low-voltage device, the power-supply-voltage relativity of delay time is large, and in order for highly precise control of power supply voltage to be high measurement reproducibility, it is indispensable. Moreover, subtle failure may be detectable conversely with degradation of the margin by a power supply noise. Therefore, we are researching the optimization of the power supply systems such as IC sockets and PCB.

The technique for achieving the measurement of a highly accurate leak current maintaining the load regulation by the combination with the SW power supply was designed. Moreover, the method of evaluating the power supply system by the frequency domain was verified.

近年、微細プロセスによるハードウェアの複雑さが増加し続けており、それに伴い、VLSIチップのテストがより重要になっている。そのため、System-on-Chip (SoC) テストシステムによるVLSIチップのテスト教育の重要性も増加している。

東京大学の電気電子工学科では、そのカリキュラムにより、VLSI設計教育が実用的かつ網羅的に行なわれているが、特に、学生がVLSI設計、製作と測定を実験・演習において実際に経験することで、より効率的に教育を行なっている。

従来、それらのコースがVLSI設計教育にとって、有効ではあったが、VLSIのテストについてはそれらのコースに含まれておらず、実際的なVLSIテストについては教育されてきていなかった。

そのような状況のもと、我々は、2005年度から電気電子工学科の学生に対してVLSIテスト演習コースを始めた。現在、この演習は、電気電子工学科のカリキュラムの中の正規の演習コースのうちの1つになっている。また、演習マテリアルの改訂により、より効率的にVLSIのテストについての教育を行える環境を整えている。

As the complexity of hardware functionality continues to increase, a test of VLSI chips becomes much more important. To meet this trend, education on the test of VLSI chip with System-on-Chip (SOC) test system is essential even in the education in the universities.

In the Department of Electrical and Electronics Engineering, the University of Tokyo, several courses complementally cover whole of VLSI design and fabrication. In particular, education with physical practice is important and emphasized so that the students are educated for skillful engineer with practical experience of VLSI design, fabrication, and measurement.

Though those courses have been useful for the students in terms of the education of VLSI design and fabrication, the students could not learn to practical VLSI test methodology. We have started VLSI test exercise course for the students of EE department since 2005. The course has become one of the regular exercise courses in our curriculum. Currently, we are revising the exercise materials so that students can learn the test of VLSI much more efficiently.

2.4 特任教員による VDEC D2T 滞在レポート

2.4.1 Tim Cheng 客員教授からの VDEC 滞在レポート

(滞在期間:2008年7月~2008年-12月)

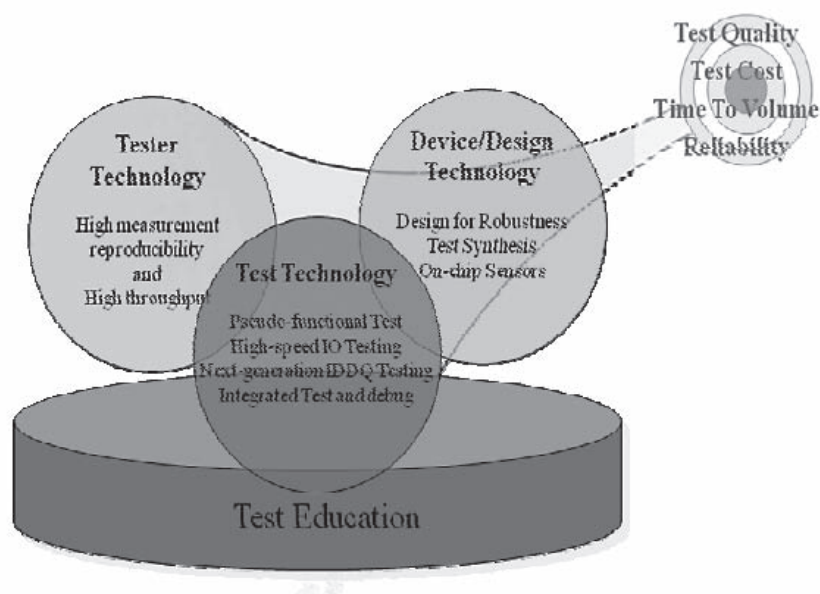
A Memorable Stay at D2T

My recent six months spent at VDEC D2T Research Division were very fruitful and memorable. From July to December 2008, I had the great honor to work with Professors Asada, Fujita, and Komatsu and Furukawa-san in developing and refining the research agenda of the new D2T initiative; to brainstorm with Advantest executives regarding the future of semiconductor testing; to establish an IC testing course, along with several special-topic seminars, at the University of Tokyo; to collaborate closely with Mohamed-san, Furukawa-san, Komatsu-sensei, and Asada-sensei in developing new testing technologies for adaptive equalizers in high-speed serial links; and to meet with several Japanese test leaders and engineers to mutually exchange our thoughts on test R&D, as well as to participate in the well-attended D2T symposium, which several test experts from Europe, the US, and Asia attended. Such activities have helped spread the testing seeds at VDEC and the Univ. of Tokyo and have also enhanced awareness among the students, faculty and engineers of the importance of IC testing. I am confident that some of the talented students and engineers who have been exposed to these activities will devote some of their intellectual bandwidth to this

field, which would in turn help further advance testing technologies and awareness.

After numerous discussions, D2T's research division members have agreed upon its vision and tasks, which are illustrated in the following figure. To address the overall goals of higher test quality, lower test cost, shorter time-to-volume, and greater reliability, the proposed research activities cover three broad technology areas: tester technologies, test technologies, and, device/design technologies. For new tester technology development, the focus is on techniques with greater measurement reproducibility and higher test throughput. For test technology research, the focuses are on developing testing techniques for high-speed I/O interfaces, next-generation IDDQ testing solutions, integrated test and debug techniques, and pseudo-functional testing, which merges the benefits of functional and structural testing. For device/design technology, the emphases include design for robustness techniques, automatic synthesis of test circuitry, and designing efficient and effective on-chip sensors. These research activities will be based upon a comprehensive testing curriculum and other educational activities such as offering special-topic seminars and hands-on workshops.

The course I developed, entitled VLSI Testing Techniques, covers a broad range of testing subjects



starting with an introduction to testing processes and moving to topics such as fault modeling, fault simulation, ATPG, design for testability (DfT), built-in self-test (BIST), and IDDQ testing. Seven graduate students enrolled in this class. The course materials can be found online <<http://www.cad.t.u-tokyo.ac.jp/~timcheng/>>. As a final project, the students were asked to apply commercial DfT and ATPG tools to a microprocessor design. In addition, to this testing course, I also gave several presentations to graduate students on topics including analog/mixed-signal testing, formal equivalence checking, silicon debug, multi-core validation and testing, high-speed serial I/O testing, and pseudo-functional testing.

I also presented seminars at Advantest Gunma R&D Center, Advantest Laboratories Sendai, and Hitachi and had technical exchanges with engineers and managers in each of these organizations. The topics covered in my seminars included delay testing, DSP-based testing for analog circuits, pseudo-functional testing, and high-speed I/O testing. These engineers and managers shared with me their latest technology developments, which were informative exchanges about their very impressive work. I, along with other D2T colleagues, also had an opportunity to discuss with THine Electronics about current practices and future challenges in high-speed I/O interface testing.

I enjoyed very much the two meetings with Mr. Toshio Maruyama, President and CEO of Advantest Corporation and his staff. We were able to share our thoughts on the challenges and opportunities for the testing business. Their insightful comments and vision of the future really impressed me.

Under the leadership of Furukawa-san, we initiated a *D2T Forum*. The objective of creating such a technical forum for the Japanese testing community is to, through regular technical meetings, jointly promote and enhance testing technology research, education and awareness, as well as to explore collaboration among research groups. Two forum meetings were organized and held during this six-month period with participants from Hitachi, Silicon Test Technologies, Tokyo Metropolitan University, Advantest Laboratories, and the University of Tokyo. We certainly hope these discussions will continue to grow such that this will become a long-lasting forum and create

a close-knit professional community.

In addition to these technical activities, I also enjoyed and learned a great deal from numerous lunch conversations with various VDEC colleagues. Through these discussions, I gained more insights into the subtle cultural and societal differences between Japan and the US and their effects on their respective research and education systems. Such insights into the strengths of the Japanese systems would certainly help identify better mechanisms for fostering closer, more effective future collaborations.

I would like to thank Advantest and everyone at VDEC for offering me this opportunity and a great experience. This was a memorable period in my life and I certainly will consider myself a member of VDEC for a long, long time.

2.4.2 Goerschwin Fey 特任准教授からの VDEC 滞在レポート

(滞在期間:2007年12月~2008年6月)

A Research Cluster with a Holistic View on Testing

The D2T research division brings researchers from different areas of testing together: Advantest as an (Automatic Test Equipment (ATE) vendor, the University of Tokyo as the highest ranked university in Asia, and researchers on temporary positions from all over the world bring in additional expertise. This is a fruitful ground for comprehensive research taking into account all aspects ranging from test equipment, electrical engineering to circuit design methods.

Within this research cluster IDDQ testing was discussed as one topic. Being a very powerful testing technique aside functional testing in the past years, increasing leakage currents of circuits diminish the effectiveness. Even good devices have large leakage currents due to shrinking feature sizes. Advanced manufacturing techniques only provide a limited reduction of leakage currents. Moreover, systematic process variations and random process variations during manufacturing cause significant differences of leakage currents for multiple good devices. Even within a single device, the leakage current varies depending on the test vectors that are applied.

Coping with these problems to enable IDDQ testing in the future, requires a holistic view. From the ATE side

advanced measurement instruments are required with extremely high resolution even when considering large currents. Process variations cannot be avoided and have to be taken account after measuring leakage currents. Test vector dependencies can be decreased during Test Pattern Generation (TPG) already. Figure 1 visualizes the reduction in test vector dependencies of leakage currents. The plot shows the leakage currents of all test vectors. The vectors are sorted by ascending leakage currents. This forms a so-called leakage signature. The purple curve results without considering leakage currents during TPG. By adding tight constraints on leakage currents for test vectors the flat red leakage signature is created. The expected leakage current of all test vectors is within a tight range of 1nA in contrast to 8nA without the technique. Fault coverage does not decrease. The requirements for advanced measurements instruments is clear when looking at the leakage current around 1uA

even for the small sized circuit b18. Further effort is required to cope with leakage changes related to process variations. In the area of IDDQ testing two patents have been filed by the D2T research division in cooperation with Advantest.

Design for Testability (DfT) – another testing related topic that requires a holistic view – has not been addressed, yet. Instead a grant for an exchange project has been raised. The German Academic Exchange Service (DAAD) funds an exchange project between the University of Bremen and the University of Tokyo for the next three years. The research topics of this grant are debugging and DfT, two tightly related areas that are addressed in the design phase. The exchange project focuses on the promotion of young researchers starting at the graduate level and on establishing a long term relationship between the two institutions.

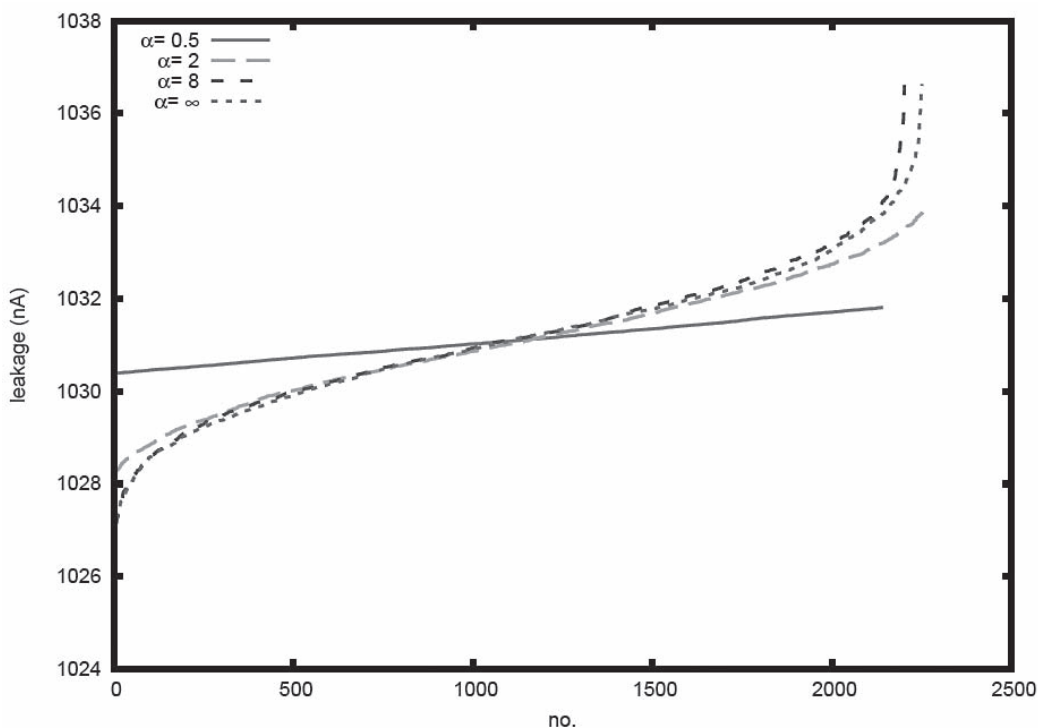


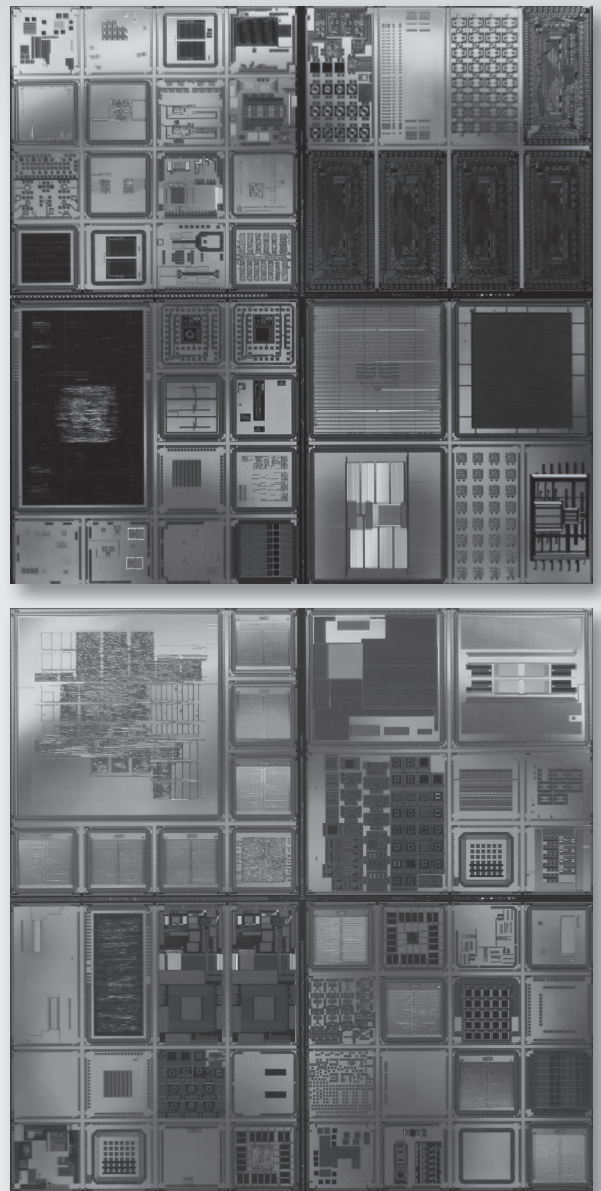
Figure 1: Leakage signatures for ITC' 99 benchmark circuit b18

2.5 研究発表

国際会議・国際シンポジウム・ 国際ワークショップ

- [1] G. Fey, S. Komatsu, Y. Furukawa, M. Fujita, "Targeting Leakage Constraints during ATPG", 5th IEEE International Workshop on Silicon Debug and Diagnosis (SDD08), 2008.
- [2] S. Komatsu, "VLSI Test Exercise Courses for students in EE Department," IEEE International Test Conference, 2008.
- [3] G. Fey, S. Komatsu, Y. Furukawa, M. Fujita, "Targeting Leakage Constraints during ATPG," 17th Asian Test Symposium (ATS '08), pp. 225-230, 2008.

第3章 チップ試作結果報告



3. 1 試作ラン別一覧

平成19年度 e-Shuttle CMOS 65nm テストラン (ES6507)

題名	大学名	研究者	掲載頁
プロセスばらつきを利用したチップIDの生成	東京大学大規模集積システム設計教育研究センター	名倉 徹, 池田 誠, 浅田 邦博	110
時間差増幅回路	東京大学大規模集積システム設計教育研究センター	名倉 徹, 池田 誠, 浅田 邦博	110
動的リコンフィギャラブルプロセッサのプロセッシングエレメント Gamma の試作	慶應義塾大学理工学部情報工学科	天野 英晴, 佐野 徹, 加東 勝, 齊藤 貴樹, 池淵 大輔	110
基板バイアス効果, 単体トランジスタ及びゲート遅延ばらつき評価用 TEG	京都大学大学院情報学研究所	寺田 晴彦, 牧野 紘明, 砂川 洋輝, 小林 和淑, 小野寺 秀俊	110
(1) 三次元積層向け高速伝送回路用 TEG と (2) ばらつきを含む HiSIM モデルを用いた回路特性の予測精度評価のための回路 TEG	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研究所	岩田 穆 マタウシュ ハンス ユルゲン, 小出 哲士, 汐崎 充, 上口 光	111
デバイス・回路特性ばらつきの観測回路	東京工業大学統合研究院 東京工業大学総合理工学研究所 東京工業大学精密工学研究所 東京工業大学総合研究院	益 一哉, 石原 昇, 佐藤 高史, 天川 修平, 植山 寛之 中山 範明 伊藤 浩之 萩原 汐	111
アナログ・デジタル混載システム LSI のためのモニタ要素回路の開発	神戸大学大学院工学研究科	橋田 拓志, 林 大悟, 永田 真	111

平成20年度第1回 e-Shuttle CMOS 65nm 試作 (ES65081)

題名	大学名	研究者	掲載頁
耐製造ばらつきにむけたトランジスタモデル HiSIM を用いた回路特性の予測と回路シミュレーション手法の開発	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科 広島大学工学部	上口 光, 小出 哲士, マタウシュ ハンス・ユルゲン 和泉 伸也, 賀谷 彰大, 今福 涉, 三浦 道子 西林 啓	112
準ミリ波帯を利用した超高速データ通信用低電力 UWB トランシーバ	慶應義塾大学理工学部	クルカルニ ヴィシャル, 石黒 仁揮, 黒田 忠広	112

平成20年度第2回 e-Shuttle CMOS 65nm 試作 (ES65082)

題名	大学名	研究者	掲載頁
デジタル制御温度センサ	東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	名倉 徹, 池田 誠, 浅田 邦博 ダン ゴクラン	113
ばらつきを利用したチップIDの生成	東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	名倉 徹, 池田 誠, 浅田 邦博 猪飼 啓太	113
ミリ波帯 CMOS トランシーバ実現に向けた要素回路の試作、及び 65nm プロセスにおける MOSFET と伝送線路のモデリング	東京大学大学院工学系研究科	藤島 実, Badalawa Wasanthamala, 夏苅 洋平, Lim Seongwoong	113
動的リコンフィギャラブルプロセッサ MuCCRA-3 の試作	慶應義塾大学理工学部情報工学科	天野 英晴, 佐野 徹, 加東 勝, 齊藤 貴樹	113
素子特性の経年劣化検証及び基板電圧制御付き遅延ばらつき評価 TEG	京都大学大学院情報学研究所	寺田 晴彦, 牧野 紘明, Mahfuzul, A.K.M, 三木 崇史, 小林 和淑, 小野寺 秀俊	114
三次元積層向け定在波クロック分配回路	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	汐崎 充 宮本 慎一郎, 中島 文晴, 岩田 穆	114
バックグラウンド・デジタル補正を用いた超低電力 $\Delta \Sigma$ AD 変換器	広島大学 先端物質科学研究科	藤川 信次, 原田 良枝, 前田 智晃, 村坂 佳隆, 岩田 穆	114
腸内細菌検出への適用を目的とした高密度フォトセンサ	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	亀田 成司 志田 亮輔, 岩田 穆	114
タイミングエラー予告信号による適応的速度制御回路評価 TEG	大阪大学情報科学研究科	更田 裕司, 濱本 浩一, 橋本 昌宜, 密山 幸男, 尾上 孝雄	115
ラジカルセンサ	金沢大学工学部 金沢大学自然科学研究科 金沢大学理工研究域	安田 智哉 崔 冀 北川 章夫	115

ミリ波帯プログラマブル移相器	広島大学大学院先端物質科学研究科	佐々木 守	115
Hot Swap 機構を備えた耐故障再構成アーキテクチャ	京都大学大学院情報科学研究科 立命館大学総合理工学研究機構	ラコシ エンドレ ゾルタン, 廣本 正之, 越智 裕之 中村 行宏	115
超高解像度オンチップバイオイメージセンサ TEG	奈良先端科学技術大学院大学物質創成科学研究科	太田 淳, 徳田 崇, 笹川 清隆, 穴戸 三四郎, 田川 礼人, 澤村 茂樹, 柳生 啓佑, 小黒 康裕	116
統計的ばらつきの数式モデル化のためのばらつき要因分離・抽出回路の試作	東京工業大学統合研究院 東京工業大学総合理工学研究科	益 一哉, 石原 昇, 佐藤 高史, 天川 修平, 上蘭 巧, 植山 寛之, 高橋 知之 中山 範明	116
アナログ・デジタル融合信号処理回路	広島大学	吉田 毅	116
3次元システム集積に向けたチップ間インタフェースの開発	慶應義塾大学理工学部	新津 葵一, 三浦 典之, 石黒 仁揮, 黒田 忠広	116
高信頼性 LSI のためのディベンダブル SRAM	神戸大学工学研究科 神戸大学工学部	奥村 俊介, 井口 友輔, 野口 紘希, 藤原 英弘 山口 幸介, 吉本 秀輔, 川口 博, 吉本 雅彦	117
アナログ・デジタル混載システム LSI のためのダイナミック内部状態モニタの開発	神戸大学大学院工学研究科	橋田 拓志, 中居 徹, 林 大悟, 荒賀 佑樹, 永田 真	117
高速 UWB 信号復調のための等価サンプリング回路	広島大学ナノデバイス・バイオ融合科学研究所	外谷 昭洋, 佐々木 信雄, 吉川 公麿	117
ランタイム・パワーゲーティングを適用した低消費電力 CPU コア	芝浦工業大学工学部	宇佐美 公良	117
オンチップばらつきモニタ回路の試作	大阪大学大学院情報科学研究科	阿部 慎也, 天木 健彦, 原田 諒, 橋本 昌宜, 密山 幸男, 尾上 孝雄	118
標準 CMOS プロセスを用いた太陽電池	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	荒木 貴弘, 張 信, 池内 克之, 朴 哲, 安福 正, 桜井 貴康 高宮 真	118
省電力マイクロプロセッサの試作	九州大学システム LSI 研究センター	石原 亨	118

平成 19 年度第 2 回オンセミコンダクター CMOS 1.2um 試作 (MOT072)

題 名	大 学 名	研 究 者	掲載頁
大小比較回路群、10 進デジタル計数回路群、及び学生実験用測定評価デバイスの設計試作	静岡理工科大学電気電子工学科 電気電子工学科	波多野 裕 横井 和輝, 袴田 尚吾	119
A modified PLL chip for MEMS scanner actuation (verson 1.0)	東京大学生産技術研究所	李 宥憲, 藤田 博之, 年吉 洋	119
チップ伝送特性計測モデル線路の試作	秋田大学工学資源学部	萱野 良樹, 井上 浩	119
演算増幅器の試作 2	豊橋技術科学大学工学研究科 豊橋技術科学大学情報工学系	小山 靖仁, 竹原 裕司, 山下 知憲, 中田 光俊, 中川 雄介 和田 和千	120
センサ用 LSI のためのアナログ回路の基本特性解析	富山県立大学工学部情報システム工学科	押山 弘樹, 松田 敏弘, 岩田 栄之	120
演算増幅器の試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムス レディアン	120
ワンチップ FM 放送受信システムの試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムス レディアン	121
加速度検出用最大値最小値保持回路	兵庫県立大学大学院工学研究科	園田 晃司, 鈴木 文章, 藤田 孝之, 前中 一介	121
演算増幅器設計試作 -大学・高専連携チップ-	佐賀大学大学院工学系研究科 佐賀大学理工学部 有明工業高等専門学校電子情報工学科	清水 暁生, 武久 祐一, 原口 直也 深井 澄夫 金子 絢美, 平川 豊, 広松 亜由美, 石川 洋平	121

平成 20 年度第 1 回オンセミコンダクター CMOS 1.2um 試作 (MOT081)

題 名	大 学 名	研 究 者	掲載頁
デルタ・シグマ変調器および演算増幅器	宮崎大学大学院工学研究科 宮崎大学工学部	宮内 亮一, 平野 扶早, 兒玉 祐樹 外山 貴子, 田村 宏樹, 淡野 公一	122
学生実験用演算増幅器の試作	宮崎大学工学部	外山 貴子, 田村 宏樹, 淡野 公一	122
CVSL 基本論理回路群と CMOS 基本論理回路群、FF 回路群、及び比較回路群の設計試作	静岡理工科大学電気電子工学科 電気電子情報工学科	波多野 裕 神尾 翔, 吉田 良輔	122

CVSL 基本論理回路群と CMOS 基本論理回路群、FF 回路群、及び比較回路群の設計試作	静岡理科大学電気電子工学科 電気電子情報工学科	波多野 裕 鈴木 陽介、内田 雅人、原 直也、 吉山 拓毅	123
A modified PLL chip for MEMS scanner actuation (version 1.1)	東京大学生産技術研究所	李 宥憲、藤田 博之、年吉 洋	123
共振回路を含むチップ内特性測定モデル伝送線路の試作	秋田大学工学資源学部	萱野 良樹、柳澤 良介、井上 浩	123
LDO の負荷安定のための補正回路	電気通信大学電子工学専攻	HENG SOCHEAT, 範 公可	124
演算増幅器の試作 1	豊橋技術科学大学工学部 豊橋技術科学大学情報工学系	Said Zineb, 瀬川 健太郎 和田 和千	124
DC-DC コンバータ出力 LSI の開発	富山県立大学大学院工学研究科	市川 正貴、松田 敏弘、岩田 栄之	124
演算増幅器の試作	東京工業大学理工学研究科	藤井 信生、高木 茂孝、佐藤 隆 英、ニコデムス レディアン	125
ワンチップ FM 放送受信システムの試作	東京工業大学理工学研究科	藤井 信生、高木 茂孝、佐藤 隆 英、ニコデムス レディアン	125
無線センサネットワーク端末の電源制御回路	福岡県産業・科学技術振興財団 早稲田大学大学院情報生産システム研究科	黄 章財 井上 靖秋	125
低電圧・低消費電力動作可能な電圧電流変換回路の試作	都城工業高等専門学校電気情報工学科	田中 寿	126
加速度検出用最大値最小値保持回路	兵庫県立大学大学院工学研究科	園田 晃司、鈴木 文章、藤田 孝 之、前中 一介	126
センサ信号を検出するためのオペアンプの作成	兵庫県立大学大学院工学研究科	齊藤 光俊、藤田 孝之、前中 一介	126
CMOS プロセスによる光導波路	金沢大学理工学域 金沢大学工学部	飯山 宏一、丸山 武男 飛鳥井 貴弘	127
超低消費電力断熱的ダイナミック CMOS 論理回路の試作	群馬大学工学研究科	馮 歡、白石 洋一	127
線形領域を用いた高い線形性を有するトランスコンダクタ	筑波大学システム情報工学研究科	小野 習仁、庄野 和宏、石橋 幸男	127

平成 19 年度第 8 回ローム CMOS 0.18um 試作 (RO18078)

題 名	大 学 名	研 究 者	掲載頁
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	岡本 悠史 吉川 信行	128
断熱的バストラジスタを用いた乗算回路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	生田 浩康、内山 順一 吉川 信行	128
DMA テスト回路	広島市立大学大学院情報科学研究科	河津 翔吾、高橋 和也、中本 智啓	128
可視光通信用センサおよび信号処理回路	慶應義塾大学理工学部	近内 聡史、松本 佳宣	129
可視光 ID 用受光センサ及び信号処理回路	慶應義塾大学理工学部	木村 遙介、松本 佳宣	129
可視光通信用フォトトランジスタアレイ	慶應義塾大学理工学部	松本 佳宣	129
中間周波数用線形相帯域フィルタ	豊橋技術科学大学工学研究科 豊橋技術科学大学情報工学系	久保 俊一 和田 和千	130
ヒアプログラムブルデバイス VPEX の基本回路動作検証	立命館大学理工学研究科	中村 明博、川原崎 正英、藤野 毅	130

平成 19 年度第 9 回ローム CMOS 0.18um 試作 (RO18079)

題 名	大 学 名	研 究 者	掲載頁
メビウス回路 1	東京大学大学院工学系研究科 東京大学大規模集積システム設計教育研究 センター	鄭 明奎 名倉 徹、池田 誠、浅田 邦博	131
長波帯標準電圧を対象とした受信専用集積回路	東京電機大学大学院理工学研究科	宮崎 康平、星野 洋	131
特定小電力無線送受信機用 TEG の試作	金沢大学大学院自然科学研究科 金沢大学大学院理工研究域	戸羽 辰夫、狩野 孝太、藤枝 茂 北川 章夫、秋田 純一	131
特定小電力無線送受信機用 TEG の試作	金沢大学大学院自然科学研究科 金沢大学大学院理工研究域	戸羽 辰夫、狩野 孝太、藤枝 茂 北川 章夫、秋田 純一	132
オンチップ電源回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究 センター	石田 光一、坂井田 耕輔、安福 正、柳 至善、桜井 貴康 高宮 真	132
断熱的バストラジスタを用いた加算回路と断熱回路用電源	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	生田 浩康 吉川 信行	132
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学大学院工学研究院	岡本 悠史、吉川 信行	133
TEG	東京大学工学系研究科	島添 健次、石 伯軒、高橋 浩之	133
可視光通信による位置検出用フォトトランジスタアレイ	慶應義塾大学理工学部	山中 大、松本 佳宣	133

生体用途向けアナログ要素回路 TEG (TC2)	広島大学先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研究所	安部 亨 升井 義博, 佐々木 信雄, 吉田 毅, 石川 智弘	134
--------------------------	--	------------------------------------	-----

平成19年度第10回ローム CMOS 0.18um 試作 (RO180710)

題 名	大 学 名	研 究 者	掲載頁
論理回路として動作するメモリの修正試作	広島市立大学大学院情報科学研究科	弘中 哲夫, 吉原 理記, 谷川 一哉, 平川 直樹, 戸口 博昭	135
素子ばらつきに強い近接トランシーバ試作	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	金 鎮明 名倉 徹, 池田 誠, 浅田 邦博	135
能動的基板雑音低減手法	東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	名倉 徹, 池田 誠, 浅田 邦博 ダン ゴ克蘭	135
メビウス回路2	東京大学大学院工学系研究科 東京大学大規模集積システム設計教育研究センター	鄭 明奎 名倉 徹, 池田 誠, 浅田 邦博	136
イメージセンサ TEG	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	金 Yunkyung 名倉 徹, 池田 誠, 浅田 邦博	136
イーサネットインターフェイス試作	東京大学大学院工学系研究科 東京大学大規模集積システム設計教育研究センター	中村 大輔 名倉 徹, 池田 誠, 浅田 邦博	136
縞状シリコン TFT のためのセルライブラリおよびデジタル回路	東京大学大学院工学系研究科 東京大学大規模集積システム設計教育研究センター	猪飼 啓太 名倉 徹, 池田 誠, 浅田 邦博	137
メビウス回路3	東京大学大学院工学系研究科 東京大学大規模集積システム設計教育研究センター	鄭 明奎 名倉 徹, 池田 誠, 浅田 邦博	137
特定小電力無線送受信機の試作	金沢大学大学院自然科学研究科 金沢大学大学院理工研究域	戸羽 辰夫, 狩野 孝太, 藤枝 茂 北川 章夫, 秋田 純一	137
CMOS デバイスのチップ間・チップ内ばらつき解析と基板ノイズ解析 TEG	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研究所	和泉 伸也, 南 尊文, 三浦 道子 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士	138
高周波用アナログデバイスの TEG 試作	中央大学大学院理工学研究科	加藤 大介, 飯島 健太, 荻野 達也, 藪田 悟史, 前橋 雄, 川端 千尋, 杉本 泰博	138
放射線検出用 ASIC の TEG	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	138
可視光 ID 用受光センサ及び信号処理回路	慶應義塾大学理工学部	木村 透介, 松本 佳宣	139
可視光通信用センサおよび信号処理回路	慶應義塾大学理工学部	近内 聡史, 松本 佳宣	139
可視光通信による位置検出用フォトトランジスタレイ	慶應義塾大学理工学部	山中 大, 松本 佳宣	139
LDO の負荷過渡応答の高速化回路	電気通信大学電子工学科	HENG SOCHEAT, 範 公 可	140
神経細胞刺激のための信号生成回路(W1)	慶應義塾大学理工学部	山口 昌也	140
電力線通信チップおよびオンチップ電源回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	中村 安見, 坂井田 耕輔, 柵木 雄介, 安福 正, 石田 光一, 桜井 貴康 高宮 真 竹内 健	140

平成20年度第1回ローム CMOS 0.18um 試作 (RO18081)

題 名	大 学 名	研 究 者	掲載頁
Digital-Pixel-Sensor を用いた実時間画像特徴抽出 VLSI	東京大学大学院工学系研究科	朱 弘博, 柴田 直	141
A Multi-core/Multi-chip Scalable Architecture of Associative Processors	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	Bui Trong Tu 柴田 直	141
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	岡本 悠史 吉川 信行	141
低温デバイスモデル作成用 TEG 及びメモリ要素回路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	岡本 悠史, 陳 賢珠, 矢口 謙太 吉川 信行	142
RF 回路設計のための TEG と VCO の試作	東北大学工学研究科	大宮 豊, 小谷 光司, 伊藤 隆司	142
放射線検出用 ASIC の TEG	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	142
広いデジタル回路領域に対応した基板雑音の打ち消し回路	豊橋技術科学大学工学研究科 豊橋技術科学大学情報工学系	鈴木 寛人 和田 和千	143

センサネットワークシステム送受信用 IC の試作	東京工業大学理工学研究所	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン	143
リングオシレータの低消費電力化2	東洋大学工学部	堀口 文男	143

平成20年度第2回ローム CMOS 0.18um 試作 (RO18082)

題 名	大 学 名	研 究 者	掲載頁
低遅延画像伝送システム向け 158 MS/s JPEG 2000 コーデック LSI	金沢大学自然科学研究科	稲田 遼一, 深山 正幸, 松田 吉雄	144
公開用 PLL	東京大学大規模集積システム設計教育研究センター	名倉 徹	144
デジタル制御アクティブノイズキャンセラー	東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	名倉 徹, 池田 誠, 浅田 邦博 ダン ゴクラン	144
パンプ回路特性評価用 TEG	東京大学大学院工学系研究科 東京大学大学院新領域創成科学研究科	姜 璟熙, 柴田 直 吉井 一馬, Bui Trong Tu	145
光通信用送信および受信回路の設計環境評価用 TEG	京都大学大学院情報学研究所	久保木 猛, 奥村 佳弘, 土谷 亮, 小野寺 秀俊	145
スタンダードセル動作確認及びゲート遅延ばらつき評価用 TEG	京都大学大学院情報学研究所	寺田 晴彦, 小林 和淑, 小野寺 秀俊	145
インダクタ結合インタコネクタを利用したバイオセンサ向け無線送受信回路 ver.1	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研究所	岡 治美, 岩田 穆 亀田 成司	146
Stream cipher engine の開発	弘前大学大学院理工学研究所 弘前大学総合情報処理センター	野田 一訓, 深瀬 政秋 佐藤 友暁	146
断熱的バストランジスタ回路を用いた乗算回路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	生田 浩康 吉川 信行	146
RF 回路設計のための TEG と VCO・LNA の試作	東北大学工学研究科	大宮 豊, 小谷 光司, 伊藤 隆司	147
放射線検出用 ASIC の TEG	東京大学工学系研究科	島添 健次, 高橋 浩之	147
可視光 ID 用受光センサ及び信号処理回路	慶應義塾大学理工学部	木村 遙介, 松本 佳宣	147
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	松本 佳宣	148
低電圧低電力受信器のためのアナログ回路	豊橋技術科学大学工学研究科 豊橋技術科学大学情報工学系	小山 靖仁, 山下 知恵, 中川 雄介 和田 和千	148
ユニバーサル発振回路 TEG	九州工業大学マイクロ化総合技術センター	浅野 将治, 中村 和之	148
生体信号センシングおよび刺激印加のための回路 (B3)	慶應義塾大学理工学部	横山 祐介	149
生体信号センシングおよび刺激印加回路のためのデバッグ回路 + 基板情報抽出用 TEG	慶應義塾大学理工学部	横山 祐介, 豊丸 弘爾	149
リングオシレータの低消費電力化	東洋大学工学部	堀口 文男	149
電圧制御発振回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	荒木 貴弘, 増永 直樹, 桜井 貴康 高宮 真	150
生体用途向けアナログ要素回路 TEG (TC3)	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	150
生体用途向けアナログ要素回路 TEG (TC3)	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	150

平成20年度第3回ローム CMOS 0.18um 試作 (RO18083)

題 名	大 学 名	研 究 者	掲載頁
LSI 故障診断装置評価用 TEG-1	大阪大学情報科学研究科	御堂 義博, 三浦 克介, 中前 幸治	151
LSI 故障診断装置評価用 TEG-2	大阪大学情報科学研究科	山下 広展, 三浦 克介, 中前 幸治	151
64 次元ベクトルデータ対応 SRAM テストチップ	東京大学大学院工学系研究科	馬 奕涛, 朱 弘博, 柴田 直	151
ASK 復調回路、および、その他 TEG 回路	東北大学大学院工学研究科 東北大学大学院医工学研究科	関川 宗久, 清山 浩司, 福島 誉史, 小柳 光正 田中 徹	152
ASK 復調回路、および、その他 TEG 回路	東北大学大学院工学研究科 東北大学大学院医工学研究科	関川 宗久, 清山 浩司, 福島 誉史, 小柳 光正 田中 徹	152
スパイラルインダクタ評価 TEG と RF 回路 TEG の試作	金沢大学大学院自然科学研究科 金沢大学大学院理工学領域	戸羽 辰夫, 狩野 孝太, 藤枝 茂 北川 章夫, 秋田 純一	152

SFQ/CMOS ハイブリッドメモリ用 64kb メモリ路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	岡本 悠史, 陳 賢珠, 矢口 謙太 吉川 信行	153
放射線検出信号回路用 TEG	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	153
●	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	153
低電圧電流モード連続時間 $\Delta\Sigma$ 変調器とその要素回路	上智大学理工学部	三藤 浩一, 町田 和也, 和保 孝夫	154
マルチビット方式アルゴリズム型アナログ/デジタル変換器	上智大学理工学部	芥川 一樹, 和保 孝夫	154
時間領域を用いた ADC とその要素回路	上智大学理工学部	町田 和也, 和保 孝夫	154
可視光 ID 用受光センサ及び信号処理回路	慶應義塾大学理工学部	木村 遙介, 松本 佳宣	155
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	松本 佳宣	155
S RAM動作マージン評価 TEG	九州工業大学マイクロ化総合技術センター	野田 和徳, 中村 和之	155
基板ノイズ対策アクティブデカップリング回路評価チップ	慶應義塾大学理工学部	佐藤 大祐	156
ガードリングを含めた基板モデル化のための TEG	慶應義塾大学理工学部	豊丸 弘爾	156
オシレータサンプリング方式乱数生成回路	大阪大学大学院情報科学研究科	天木 健彦, 橋本 昌宜, 密山 幸男, 尾上 孝雄	156
信頼性可変粗粒度再構成可能集積回路の試作	大阪大学大学院情報科学研究科	高 永勲, Dawood Alnajjar, 密山 幸男, 橋本 昌宜, 尾上 孝雄	157
集積化アクティブマイクロ磁界プローブで用いる差動増幅回路の試作	東北大学大学院工学研究科	山口 正洋, 鳥塚 英樹, 難波 志織	157
アバランシェフォトダイオード	金沢大学理工学域 金沢大学自然科学研究科	飯山 宏一, 丸山 武男 高松 英輝	157
高信頼セルを用いたチップ内ばらつき、チップ間ばらつきの評価回路の試作	奈良先端科学技術大学院大学情報科学研究科	鈴木 一範, 中島 康彦	158
8 ビットバイプラインプロセッサ	東京工業大学大学院情報理工学研究科	若杉 祐太, 佐藤 真平, 森谷 章	158
生体用途向けアナログ要素回路 TEG (TC4, TC5)	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	158

平成20年度第4回ローム CMOS 0.18um 試作 (RO18084)

題 名	大 学 名	研 究 者	掲載頁
メビウス回路4	東京大学大学院工学系研究科 東京大学大規模集積システム設計教育研究センター	鄭 明奎 名倉 徹, 池田 誠, 浅田 邦博	159
電流モード減算器不要型可変解像度エッジフィルタ	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	高橋 徳浩, 福岡 雄大 柴田 直	159
高データ利用効率動き場生成プロセッサ	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	岡野 祐太 柴田 直	159
ラッチを用いたコンパレータ、 $\Delta\Sigma$ 変換器			160
HCgorilla.5 の開発	弘前大学大学院理工学研究科 弘前大学総合情報処理センター	野田 一訓, 深瀬 政秋 佐藤 友暁	160
同時動作ノイズ評価回路	明星大学産学官連携推進室大塚研究室	秋山 豊, 伊藤 恒夫, 大塚 寛治	160
同時動作ノイズ評価回路	明星大学産学官連携推進室大塚研究室	秋山 豊, 伊藤 恒夫, 大塚 寛治	161
同時動作ノイズ評価回路	明星大学産学官連携推進室大塚研究室	秋山 豊, 伊藤 恒夫, 大塚 寛治	161
同時動作ノイズ評価回路	明星大学産学官連携推進室大塚研究室	秋山 豊, 伊藤 恒夫, 大塚 寛治	161
同時動作ノイズ評価回路	明星大学産学官連携推進室大塚研究室	秋山 豊, 伊藤 恒夫, 大塚 寛治	162
RISC 型 CPU の作成	千葉大学工学部 千葉大学融合科学研究科	星 匠, 松本 清紀, 平田 敏樹 難波 一輝, 伊藤 秀男	162
S RAM動作マージン評価 TEG	九州工業大学マイクロ化総合技術センター	野田 和徳, 中村 和之	162
検証・デバッグ・診断指向 FPGA	東京大学大規模集積システム設計教育研究センター 東京大学工学部	吉田 浩章, 藤田 昌宏 田川 貴聡	163
CMOS 集積化アクティブ磁界プローブ	東北大学大学院工学研究科	山口 正洋, 鳥塚 英樹, 難波 志織	163
高信頼セルを用いた耐故障性の評価回路の試作	奈良先端科学技術大学院大学情報科学研究科	鈴木 一範, 中島 康彦	163
生体用途向けアナログ要素回路 TEG (TC4, TC5)	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	164

平成20年度第5回ローム CMOS 0.18um 試作 (RO18085)

題名	大学名	研究者	掲載頁
全学自由ゼミにおける LSI 試作演習	東京大学大学院工学系研究科 東京大学大規模集積システム設計教育研究センター	中村 大輔, 門馬 太平 名倉 徹, 池田 誠, 浅田 邦博	165
オンチップウェブサーバの試作	東京大学大学院工学系研究科 東京大学大規模集積システム設計教育研究センター	中村 大輔 名倉 徹, 池田 誠, 浅田 邦博	165
ブロックマッチング方式 CMOS オプティカルフローセンサー	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	福岡 雄大 柴田 直	165
デジタル探索方式アナログ・サポートベクターマシン	東京大学大学院工学系研究科	姜 璟熙, 柴田 直	166
CMOS 共鳴特性回路を用いた画像特徴抽出アナログ集積回路 TEG	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	吉井 一馬 柴田 直	166
1 サイクル PPED ベクトル生成回路	東京大学大学院工学系研究科	中川 琢規, 柴田 直	166
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	岡本 悠史, 矢口 謙太 吉川 信行	167
断熱的バストランジスタを用いた乗算回路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	生田 浩康, 内山 順一 吉川 信行	167
CMOS 回路ばらつき解析用 TEG 試作	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研究所	賀谷 彰大, 和泉 伸也 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士	167
10 チャンネル波形サンプリング型 ASIC	東京大学工学系研究科	島添 健次, 高橋 浩之	168
傾斜センサ用容量検出回路	慶應義塾大学理工学部	松本 佳宣	168
擬似的な不規則画素配置を持つ CMOS イメージセンサ	金沢大学理工学域電子情報学類	秋田 純一	168
VSP 評価用チップ	三重大学工学部 三重大学大学院工学研究科	中林 智之 佐々木 敬泰, 近藤 利夫, 大野 和彦	169
1V以下ナノワット基準電流電圧回路とチャジポン回路-I	福岡県産業・科学技術振興財団 早稲田大学大学院情報生産システム研究科	黄 章財 李 ナ, 井上 靖秋	169
1.5bit冗長構成の8bit Pipeline ADC	東京工業大学理工学研究科	吉原 慶, 浦野 達也, 松澤 昭	169
オンチップサンプリングオシロ	早稲田大学大学院情報生産システム研究科	石坂 耕助, 吉原 務	170
標準 CMOS プロセスを用いた太陽電池およびオンチップ電源回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	坂井田 耕輔, 安福 正, 荒木 貴弘, 石田 光一, 桜井 貴康 高宮 真 竹内 健	170
共振クロック分配回路および電力線通信チップ	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	坂井田 耕輔, 中村 安見, 柵木 雄介, 桜井 貴康 高宮 真	170
導電膜を用いたノイズ抑制体の試作と抵抗素子のばらつき検証	東北大学大学院工学研究科	山口 正洋, 室賀 翔, 鳥塚 英樹, 難波 志織	171
ソフトウェア無線用小面積低電力ΔΣ変調器	慶應義塾大学理工学部電子工学科	白石 圭, 志方 明, 石黒 仁揮	171
32 ビット MIPS 互換マルチサイクルプロセッサ	東京工業大学工学部 東京工業大学情報理工学研究科	高前田 伸也, 森 洋介 若杉 祐太	171
メニーコアプロセッサのためのオンチップルータの試作	東京工業大学大学院情報理工学研究科 慶應義塾大学大学院理工学研究科	渡邊 伸平, 若杉 祐太 松谷 宏紀	172
32 ビット MIPS 互換マルチサイクルプロセッサ	東京工業大学大学院情報理工学研究科 東京工業大学工学部	若杉 祐太 高前田 伸也, 森 洋介	172
生体用途向けワイアレスセンサ試作 (TC6)	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	172
1Gbps×4ch 光無線 LAN 用ビジョンチップ	大阪大学大学院情報科学研究科	香川 景一郎	173

平成20年度第6回ローム CMOS 0.18um 試作 (RO18086)

題名	大学名	研究者	掲載頁
A Hamming Distance Associative Processor Employing Time-Domain Techniques	東京大学大学院新領域創成科学研究科 東京大学大学院工学系研究科	Bui Trong Tu 柴田 直	174
三角波重み付けチャージサンプリングフィルタ	早稲田大学先進理工学研究科 早稲田大学理工学部	西島 武良, 菅 真吾, 松本 隆 松山 明誉	174
CMOS デバイスのウェハ間, ウェハ内, ダイ内ばらつき解析用 TEG 試作	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研究所	賀谷 彰大, 和泉 伸也 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士	174

ALU 試作	首都大学東京理工学研究科	福永 力, 田中 和人, 大橋 常毅	175
オンチップ・スパイラルインダクタ TEG 試作	中央大学大学院理工学研究科 中央大学理工学部	荻野 達也 中澤 啓悟, 杉本 泰博	175
コンパレータアレイ	東京大学工学系研究科	島添 健次, 石 伯軒, 高橋 浩之	175
微細化に向けた連想メモリ評価チップ	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研 究所 広島大学工学部	今福 渉, アンサリ タニア, 榊原 尚吾 小出 哲士, マタウシュ ハンス・ ユルゲン 川畑 明雄	176
はんだ不良の検出を容易とする設計法の検証	徳島大学工学部	加藤 健二, 樽見 洋, 石川 将司, 尾形 祐紀, 小山田 裕矢, 四柳 浩 之, 橋爪 正樹	176
複数ネットの隣接配線を持つビアオープン故障検出のための TEG 試作	徳島大学工学部	樽見 洋, 加藤 健二, 石川 将司, 尾形 祐紀, 小山田 裕矢, 四柳 浩 之, 橋爪 正樹	176
DC-DC コンバータ制御 LSI の開発	富山県立大学大学院工学研究科	市川 正貴, 松田 敏弘, 岩田 栄之	177
RFID 用の IC タグの試作	東京工業大学理工学研究科	藤井 信生, 高木 茂孝, 佐藤 隆 英, ニコデムス レディアン, 吉 岡 正浩	177
1V以下ナノワット基準電流電圧回路とチャジポン回路-I	福岡県産業・科学技術振興財団 早稲田大学大学院情報生産システム研究科	黄 章財 李 ナ, 井上 靖秋	177
生体信号センシングおよび刺激印加のための回路 (B4)	慶應義塾大学理工学部	横山 祐介, 山口 昌也	178
神経信号センシングシステム用チップ(W2)	慶應義塾大学理工学部	山口 昌也	178
イメージセンサ基本動作確認用 TEG	富山商船高等専門学校情報工学科	塚田 章, 新田 真浩, 吉田 成朗	178
切り替え型 CMOS 集積化アクティブ磁界プローブ	東北大学大学院工学研究科	山口 正洋, 鳥塚 英樹, 難波 志織	179
SSO ノイズ測定 TEG	福岡工業大学情報工学部	松原 裕之	179
生体用途向けワイアレスセンサ試作 (TC7)	広島大学ナノデバイス・バイオ融合科学研 究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	179
生体用途向けワイアレスセンサ試作 (TC7)	広島大学ナノデバイス・バイオ融合科学研 究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	180

平成20年度第7回ローム CMOS 0.18um 試作 (RO18087)

題 名	大 学 名	研 究 者	掲載頁
超解像度画像処理用位相限定相関プロセッサ	東北大学未来科学技術共同研究センター 東北大学工学部	宮本 直人, 大見 忠弘 半澤 克彦	181
インダクタ結合インタコネクタを利用したバイオセンサ向け無 線送受信回路 ver.2	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研 究所	岡 治美, 岩田 穆 亀田 成司	181
スイッチトキャパシタのスイッチング周波数校正回路他	九州大学システム情報科学府 九州大学工学部	黒木 幸令, 内島 春樹, 田代 紘之 古賀 宗典, 中島 裕介	181
CMOS 回路における製造ばらつき解析用 TEG	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研 究所	賀谷 彰大, 和泉 伸也 上口 光, マタウシュ ハンス・ユ ルゲン, 小出 哲士	182
WiMAX 用ターボデコーダ	東北大学工学研究科	新井 宏明, 宮本 直人, 小谷 光 司, 伊藤 隆司	182
イメージセンサの出力回路・制御回路および物体追跡機能要素 回路	東京理科大学工学研究科	松崎 可苗, 鋪野 敦紀, 村山 大 輔, 佐藤 大樹, 長谷川 新, 加田 健志, 大高 俊徳, 浜本 隆之	182
1V 動作可能なパッシブΣΔ変調器回路	中央大学大学院理工学研究科 中央大学理工学部	前橋 雄 遠藤 健太, 崔 通, 杉本 泰博	183
学習機能及び参照データ最適化を実現した連想メモリ	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研 究所	榊原 尚吾, 今福 渉, アンサリ タ ニア マタウシュ ハンス・ユルゲン, 小 出 哲士	183
製造ばらつき解析用の段数可変リングオシレータ TEG 試作	広島大学大学院先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研 究所	賀谷 彰大, アンサリ タニア 上口 光, マタウシュ ハンス・ユ ルゲン, 小出 哲士	183
低位相変動特性を有する分周比可変型デジタル位相同期ルー プ	東海大学産業工学部	藤本 邦昭, 佐々木 博文	184

トリガー制御式イメージセンサ TEG	茨城大学工学部 東京大学宇宙線研究所 神奈川大学ハイテクリサーチセンター	木村 孝之 佐々木 真人 増田 正孝	184
部分パイプライン制御に基づく 256 ビット LDPC デコーダ	東北大学工学研究科	鬼沢 直哉, 松本 敦, 船崎 智義, 羽生 貴弘	184
部分パイプライン制御に基づく 16 ビット LDPC デコーダ	東北大学工学研究科	鬼沢 直哉, 松本 敦, 船崎 智義, 羽生 貴弘	185
低消費電力 A/D 変換器の設計	東京工業大学理工学研究科	古谷 聡, Vo Tuan Minh, 松澤 昭	185
オンチップ電源回路および太陽電池	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究 センター	石田 光一, 荒木 貴弘, 坂井田 耕 輔, 桜井 貴康 高宮 真	185
オンチップ電源および共振クロック分配回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究 センター	石田 光一, 坂井田 耕輔, 童 大 亮, 桜井 貴康 高宮 真	186
電荷転送型オープンループ増幅器を用いた高速パイプライン ADC	慶應義塾大学理工学部電子工学科	卜部 誠, 白石 圭, 石黒 仁揮	186
近距離無線通信用低電圧動作 E 級 PA	慶應義塾大学理工学部電子工学科	坂井 秀男, 上埜 英樹, 三ヶ尻 悟, 石黒 仁揮	186
8bit 簡易 SRAM の設計と試作	東京工業大学情報理工学研究科	植原 昂, 藤枝 直輝, 渡邊 伸平	187
生体用途向けワイアレスセンサ試作 (TC8)	広島大学ナノデバイス・バイオ融合科学研 究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	187
生体用途向けワイアレスセンサ試作 (TC8)	広島大学ナノデバイス・バイオ融合科学研 究所 広島大学大学院先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	187
液体試料中に分散した磁気ビーズを駆動する TEG 試作 (BD1、 その 1)	広島大学ナノデバイス・バイオ融合科学研 究所	石川 智弘, 上口 光	188
液体試料中に分散した磁気ビーズを駆動する TEG 試作 (BD1、 その 2)	広島大学ナノデバイス・バイオ融合科学研 究所	石川 智弘, 上口 光	188

3. 2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
MOT072	A modified PLL chip for MEMS scanner actuation (version 1.0)	李 宥憲, 藤田 博之, 年吉 洋	119
MOT081	A modified PLL chip for MEMS scanner actuation (version 1.1)	李 宥憲, 藤田 博之, 年吉 洋	123
RO18087	液体試料中に分散した磁気ビーズを駆動するTEG試作 (BD1、その1)	石川 智弘, 上口 光	188
RO18087	液体試料中に分散した磁気ビーズを駆動するTEG試作 (BD1、その2)	石川 智弘, 上口 光	188

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
ES6507	プロセスばらつきを利用したチップIDの生成	名倉 徹, 池田 誠, 浅田 邦博	110
ES6507	基板バイアス効果, 単体トランジスタ及びゲート遅延ばらつき評価用TEG	寺田 晴彦, 牧野 紘明, 砂川 洋輝, 小林 和淑, 小野寺 秀俊	110
ES6507	(1) 三次元積層向け高速伝送回路用TEGと(2) ばらつきを含むHiSIMモデルを用いた回路特性の予測精度評価のための回路TEG	岩田 穆, マタウシュ ハンス ユルゲン, 小出 哲士, 汐崎 充, 上口 光	111
ES6507	デバイス・回路特性ばらつきの観測回路	益 一哉, 石原 昇, 佐藤 高史, 天川 修平, 植山 寛之, 中山 範明, 伊藤 浩之, 萩原 汐	111
ES65081	耐製造ばらつきにむけたトランジスタモデルHiSIMを用いた回路特性の予測と回路シミュレーション手法の開発	上口 光, 小出 哲士, マタウシュ ハンス ユルゲン, 和泉 伸也, 賀谷 彰大, 今福 涉, 三浦 道子, 西林 啓	112
ES65082	デジタル制御温度センサ	名倉 徹, 池田 誠, 浅田 邦博, ダン ゴ克蘭	113
ES65082	ばらつきを利用したチップIDの生成	名倉 徹, 池田 誠, 浅田 邦博, 猪飼 啓太	113
ES65082	素子特性の経年劣化検証及び基板電圧制御付き遅延ばらつき評価TEG	寺田 晴彦, 牧野 紘明, Mahfuzul, A.K.M, 三木 崇史, 小林 和淑, 小野寺 秀俊	114
ES65082	タイミングエラー予告信号による適応的速度制御回路評価TEG	更田 裕司, 濱本 浩一, 橋本 昌宜, 密山 幸男, 尾上 孝雄	115
ES65082	統計的ばらつきの数式モデル化のためのばらつき要因分離・抽出回路の試作	益 一哉, 石原 昇, 佐藤 高史, 天川 修平, 上園 巧, 植山 寛之, 高橋 知之, 中山 範明	116
ES65082	オンチップばらつきモニタ回路の試作	阿部 慎也, 天木 健彦, 原田 諒, 橋本 昌宜, 密山 幸男, 尾上 孝雄	118
ES65082	標準CMOSプロセスを用いた太陽電池	荒木 貴弘, 張 信, 池内 克之, 朴 哲, 安福 正, 桜井 貴康, 高宮 真	118
MOT072	大小比較回路群, 10進デジタル計数回路群, 及び学生実験用測定評価デバイスの設計試作	波多野 裕, 横井 和輝, 袴田 尚吾	119
MOT072	センサ用LSIのためのアナログ回路の基本特性解析	押山 弘樹, 松田 敏弘, 岩田 栄之	120
MOT081	デルタ・シグマ変調器および演算増幅器	宮内 亮一, 平野 扶早, 兒玉 祐樹, 外山 貴子, 田村 宏樹, 淡野 公一	122
MOT081	学生実験用演算増幅器の試作	外山 貴子, 田村 宏樹, 淡野 公一	122
MOT081	CVSL基本論理回路群とCMOS基本論理回路群, FF回路群, 及び比較回路群の設計試作	波多野 裕, 神尾 翔, 吉田 良輔	122
MOT081	CVSL基本論理回路群とCMOS基本論理回路群, FF回路群, 及び比較回路群の設計試作	波多野 裕, 鈴木 陽介, 内田 雅人, 原 直也, 吉山 拓毅	123
MOT081	線形領域を用いた高い線形性を有するトランスコンダクタ	小野 習仁, 庄野 和宏, 石橋 幸男	127
RO180710	イメージセンサTEG	金 Yunkyung, 名倉 徹, 池田 誠, 浅田 邦博	136
RO180710	CMOSデバイスのチップ間・チップ内ばらつきの解析と基板ノイズ解析TEG	和泉 伸也, 南 尊文, 三浦 道子, 上口 光, マタウシュ ハンス ユルゲン, 小出 哲士	138
RO180710	高周波用アナログデバイスのTEG試作	加藤 大介, 飯島 健太, 荻野 達也, 数田 悟史, 前橋 雄, 川端 千尋, 杉本 泰博	138
RO180710	放射線検出用ASICのTEG	島添 健次, 石 伯軒, 高橋 浩之	138
RO18078	DMA テスト回路	河津 翔吾, 高橋 和也, 中本 智啓	128
RO18079	TEG	島添 健次, 石 伯軒, 高橋 浩之	133
RO18079	生体用途向けアナログ要素回路TEG (TC2)	安部 亨, 升井 義博, 佐々木 信雄, 吉田 毅, 石川 智弘	134
RO18081	RF回路設計のためのTEGとVCOの試作	大宮 豊, 小谷 光司, 伊藤 隆司	142
RO18081	放射線検出用ASICのTEG	島添 健次, 石 伯軒, 高橋 浩之	142
RO18081	リングオシレータの低消費電力化2	堀口 文男	143
RO18082	パンプ回路特性評価用TEG	姜 環熙, 柴田 直, 吉井 一馬, Bui Trong Tu	145
RO18082	光通信用送信および受信回路の設計環境評価用TEG	久保木 猛, 奥村 佳弘, 土谷 亮, 小野寺 秀俊	145
RO18082	スタンダードセル動作確認及びゲート遅延ばらつき評価用TEG	寺田 晴彦, 小林 和淑, 小野寺 秀俊	145

RO18082	RF回路設計のためのTEGとVCO・LNAの試作	大宮 豊, 小谷 光司, 伊藤 隆司	147
RO18082	放射線検出用ASICのTEG	島添 健次, 高橋 浩之	147
RO18082	リングオシレータの低消費電力化	堀口 文男	149
RO18082	電圧制御発振回路	荒木 貴弘, 増永 直樹, 桜井 貴康, 高宮 真	150
RO18082	生体用途向けアナログ要素回路TEG (TC3)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	150
RO18082	生体用途向けアナログ要素回路TEG (TC3)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	150
RO18083	LSI故障診断装置評価用TEG-1	御堂 義博, 三浦 克介, 中前 幸治	151
RO18083	LSI故障診断装置評価用TEG-2	山下 広展, 三浦 克介, 中前 幸治	151
RO18083	ASK復調回路、および、その他TEG回路	関川 宗久, 清山 浩司, 福島 誉史, 小柳 光正, 田中 徹	152
RO18083	ASK復調回路、および、その他TEG回路	関川 宗久, 清山 浩司, 福島 誉史, 小柳 光正, 田中 徹	152
RO18083	放射線検出信号回路用TEG	島添 健次, 石 伯軒, 高橋 浩之	153
RO18083	ガードリングを含めた基板モデル化のためのTEG	豊丸 弘爾	156
RO18083	オシレータサンプリング方式乱数生成回路	天木 健彦, 橋本 昌宜, 密山 幸男, 尾上 孝雄	156
RO18083	アバランシェフォトダイオード	飯山 宏一, 丸山 武男, 高松 英輝	157
RO18083	生体用途向けアナログ要素回路TEG (TC4, TC5)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	158
RO18084	同時動作ノイズ評価回路	秋山 豊, 伊藤 恒夫, 大塚 寛治	160
RO18084	同時動作ノイズ評価回路	秋山 豊, 伊藤 恒夫, 大塚 寛治	161
RO18084	同時動作ノイズ評価回路	秋山 豊, 伊藤 恒夫, 大塚 寛治	161
RO18084	同時動作ノイズ評価回路	秋山 豊, 伊藤 恒夫, 大塚 寛治	161
RO18084	同時動作ノイズ評価回路	秋山 豊, 伊藤 恒夫, 大塚 寛治	162
RO18084	生体用途向けアナログ要素回路TEG (TC4, TC5)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	164
RO18085	CMOS回路ばらつき解析用TEG試作	賀谷 彰大, 和泉 伸也, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士	167
RO18085	1. 5bit冗長構成の8bit Pipeline ADC	吉原 慶, 浦野 達也, 松澤 昭	169
RO18085	標準CMOSプロセスを用いた太陽電池およびオンチップ電源回路	坂井田 耕輔, 安福 正, 荒木 貴弘, 石田 光一, 桜井 貴康, 高宮 真, 竹内 健	170
RO18086	CMOSデバイスのウェハ間、ウェハ内、ダイ内ばらつき解析用TEG試作	賀谷 彰大, 和泉 伸也, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士	174
RO18086	オンチップ・スパイラルリングダクタTEG試作	荻野 達也, 中澤 啓悟, 杉本 泰博	175
RO18086	コンパレータアレイ	島添 健次, 石 伯軒, 高橋 浩之	175
RO18086	はんだ不良の検出を容易とする設計法の検証	加藤 健二, 樽見 洋, 石川 将司, 尾形 祐紀, 小山田 裕矢, 四柳 浩之, 橋爪 正樹	176
RO18086	複数ネットの隣接配線を持つピアオープン故障検出のためのTEG試作	樽見 洋, 加藤 健二, 石川 将司, 尾形 祐紀, 小山田 裕矢, 四柳 浩之, 橋爪 正樹	176
RO18086	イメージセンサ基本動作確認用TEG	塚田 章, 新田 真浩, 吉田 成朗	178
RO18086	SSOノイズ測定TEG	松原 裕之	179
RO18087	CMOS回路における製造ばらつき解析用TEG	賀谷 彰大, 和泉 伸也, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士	182
RO18087	製造ばらつき解析用の段数可変リングオシレータTEG試作	賀谷 彰大, アンサリ タニア, 上口 光, マタウシュ ハンス・ユルゲン, 小出 哲士	183

アナデジ混載

ラン名	タイトル	研究者	掲載頁
ES6507	アナログ・デジタル混載システムLSIのためのモニタ要素回路の開発	橋田 拓志, 林 大悟, 永田 真	111
ES65082	アナログ・デジタル融合信号処理回路	吉田 毅	116
ES65082	アナログ・デジタル混載システムLSIのためのダイナミック内部状態モニタの開発	橋田 拓志, 中居 徹, 林 大悟, 荒賀 佑樹, 永田 真	117
RO180710	特定小電力無線送受信機の試作	戸羽 辰夫, 狩野 孝太, 藤枝 茂, 北川 章夫, 秋田 純一	137
RO180710	神経細胞刺激のための信号生成回路(W1)	山口 昌也	140
RO18083	●	島添 健次, 石 伯軒, 高橋 浩之	153
RO18083	基板ノイズ対策アクティブデカップリング回路評価チップ	佐藤 大祐	156
RO18085	10チャンネル波形サンプリング型ASIC	島添 健次, 高橋 浩之	168

RO18085	ソフトウェア無線用小面積低電力 $\Delta\Sigma$ 変調器	白石 圭, 志方 明, 石黒 仁揮	171
RO18085	生体用途向けワイアレスセンサ試作 (TC6)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	172
RO18086	神経信号センシングシステム用チップ(W2)	山口 昌也	178
RO18086	生体用途向けワイアレスセンサ試作 (TC7)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	179
RO18086	生体用途向けワイアレスセンサ試作 (TC7)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	180
RO18087	電荷転送型オープンループ増幅器を用いた高速パイプラインADC	卜部 誠, 白石 圭, 石黒 仁揮	186
RO18087	生体用途向けワイアレスセンサ試作 (TC8)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	187
RO18087	生体用途向けワイアレスセンサ試作 (TC8)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	187

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
ES6507	動的リコンフィギャラブルプロセッサのプロセッシングエレメントGammaの試作	天野 英晴, 佐野 徹, 加東 勝, 齊藤 貴樹, 池淵 大輔	110
ES65082	動的リコンフィギャラブルプロセッサMuCCRA-3の試作	天野 英晴, 佐野 徹, 加東 勝, 齊藤 貴樹	113
RO180710	イーサネットインターフェイス試作	中村 大輔, 名倉 徹, 池田 誠, 浅田 邦博	136
RO180710	LDOの負荷過渡応答の高速化回路	HENG SOCHEAT, 範 公 可	140
RO18081	A Multi-core/Multi-chip Scalable Architecture of Associative Processors	Bui Trong Tu, 柴田 直	141
RO18082	低遅延画像伝送システム向け158 MS/s JPEG 2000コーデックLSI	稲田 遼一, 深山 正幸, 松田 吉雄	144
RO18083	マルチビット方式アルゴリズム型アナログ/デジタル変換器	芥川 一樹, 和保 孝夫	154
RO18084	高データ利用率動き場生成プロセッサ	岡野 祐太, 柴田 直	159
RO18084	検証・デバッグ・診断指向FPGA	吉田 浩章, 藤田 昌宏, 田川 貴聡	163
RO18085	デジタル探索方式アナログ・サポートベクターマシーン	姜 璟熙, 柴田 直	166
RO18085	CMOS共鳴特性回路を用いた画像特徴抽出アナログ集積回路TEG	吉井 一馬, 柴田 直	166
RO18086	A Hamming Distance Associative Processor Employing Time-Domain Techniques	Bui Trong Tu, 柴田 直	174
RO18087	超解像度画像処理用位相限定相関プロセッサ	宮本 直人, 大見 忠弘, 半澤 克彦	181
RO18087	WiMAX用ターボデコーダ	新井 宏明, 宮本 直人, 小谷 光司, 伊藤 隆司	182

アナログ (PLL, A-D/DC-DC コンバータなど)

ラン名	タイトル	研究者	掲載頁
ES6507	時間差増幅回路	名倉 徹, 池田 誠, 浅田 邦博	110
ES65082	三次元積層向け定在波クロック分配回路	汐崎 充, 宮本 慎一郎, 中島 丈晴, 岩田 穆	114
ES65082	バックグラウンド・デジタル補正を用いた超低電力 $\Delta\Sigma$ AD変換器	藤川 信次, 原田 良枝, 前田 智晃, 村坂 佳隆, 岩田 穆	114
ES65082	高速UWB信号復調のための等価サンプリング回路	外谷 昭洋, 佐々木 信雄, 吉川 公磨	117
MOT072	チップ伝送特性計測モデル線路の試作	萱野 良樹, 井上 浩	119
MOT072	演算増幅器の試作2	小山 靖仁, 竹原 裕司, 山下 知恵, 中田 光俊, 中川 雄介, 和田 和千	120
MOT072	演算増幅器の試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レティアン	120
MOT072	ワンチップFM放送受信システムの試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レティアン	121
MOT072	加速度検出用最大値最小値保持回路	園田 晃司, 鈴木 文章, 藤田 孝之, 前中 一介	121
MOT072	演算増幅器設計試作 -大学・高専連携チップ-	清水 暁生, 武久 祐一, 原口 直也, 深井 澄夫, 金子 純美, 平川 豊, 広松 亜由美, 石川 洋平	121
MOT081	共振回路を含むチップ内特性測定モデル伝送線路の試作	萱野 良樹, 柳澤 良介, 井上 浩	123
MOT081	演算増幅器の試作1	Said Zineb, 瀬川 健太郎, 和田 和千	124
MOT081	DC-DCコンバータ出力LSIの開発	市川 正貴, 松田 敏弘, 岩田 栄之	124
MOT081	演算増幅器の試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レティアン	125
MOT081	ワンチップFM放送受信システムの試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レティアン	125
MOT081	無線センサネットワーク端末の電源制御回路	黄 章財, 井上 靖秋	125

MOT081	加速度検出用最大値最小値保持回路	園田 晃司, 鈴木 文章, 藤田 孝之, 前中 一介	126
MOT081	センサ信号を検出するためのオペアンプの作成	齊藤 光俊, 藤田 孝之, 前中 一介	126
RO180710	能動的基板雑音低減手法	名倉 徹, 池田 誠, 浅田 邦博, ダン ゴ克蘭	135
RO18078	中間周波数用線形位相狭帯域フィルタ	久保 俊一, 和田 和千	130
RO18079	オンチップ電源回路	石田 光一, 坂井田 耕輔, 安福 正, 柳 至善, 桜井 貴康, 高宮 真	132
RO18081	広いデジタル回路領域に対応した基板雑音の打ち消し回路	鈴木 寛人, 和田 和千	143
RO18081	センサネットワークシステム送受信用 I C の試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レティアン	143
RO18082	公開用PLL	名倉 徹	144
RO18082	デジタル制御アクティブノイズキャンセラー	名倉 徹, 池田 誠, 浅田 邦博, ダン ゴ克蘭	144
RO18082	低電圧低電力受信器のためのアナログ回路	小山 靖仁, 山下 知憲, 中川 雄介, 和田 和千	148
RO18082	ユニバーサル発振回路TEG	浅野 将治, 中村 和之	148
RO18082	生体信号センシングおよび刺激印加のための回路 (B3)	横山 祐介	149
RO18082	生体信号センシングおよび刺激印加回路のためのデバッグ回路+基板情報抽出用TEG	横山 祐介, 豊丸 弘爾	149
RO18083	低電圧電流モード連続時間 Δ 変調器とその要素回路	三藤 浩一, 町田 和也, 和保 孝夫	154
RO18083	時間領域を用いたADCとその要素回路	町田 和也, 和保 孝夫	154
RO18084	ラッチを用いたコンパレータ、 Δ AD変換器		160
RO18085	1V以下ナノワット基準電流電圧回路とチャジポンプ回路-I	黄 章財, 李 ナ, 井上 靖秋	169
RO18085	オンチップサンプリングオシロ	石坂 耕助, 吉原 務	170
RO18086	三角波重み付けチャージサンプリングフィルタ	西島 武良, 菅 真吾, 松本 隆, 松山 明誉	174
RO18086	DC-DCコンバータ制御LSIの開発	市川 正貴, 松田 敏弘, 岩田 栄之	177
RO18086	RFID用のICタグの試作	藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レティアン, 吉岡 正浩	177
RO18086	1V以下ナノワット基準電流電圧回路とチャジポンプ回路-II	黄 章財, 李 ナ, 井上 靖秋	177
RO18086	生体信号センシングおよび刺激印加のための回路 (B4)	横山 祐介, 山口 昌也	178
RO18087	スイッチトキャパシタのスイッチング周波数校正回路他	黒木 幸令, 内島 春樹, 田代 紘之, 古賀 宗典, 中島 裕介	181
RO18087	1V動作可能なバッシヴ Σ Δ 変調器回路	前橋 雄, 遠藤 健太, 崔 通, 杉本 泰博	183
RO18087	低消費電力A/D変換器の設計	古谷 聡, Vo Tuan Minh, 松澤 昭	185
RO18087	オンチップ電源および共振クロック分配回路	石田 光一, 坂井田 耕輔, 童 大亮, 桜井 貴康, 高宮 真	186

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
ES65082	腸内細菌検出への適用を目的とした高密度フォトセンサ	亀田 成司, 志田 亮輔, 岩田 穆	114
ES65082	超高解像度オンチップバイオイメージセンサTEG	太田 淳, 徳田 崇, 笹川 清隆, 穴戸 三郎, 田川 礼人, 澤村 茂樹, 柳生 啓佑, 小黒 康裕	116
RO180710	可視光通信による位置検出用フォトランジスタアレイ	山中 大, 松本 佳宣	139
RO18079	可視光通信による位置検出用フォトランジスタアレイ	山中 大, 松本 佳宣	133
RO18081	Digital-Pixel-Sensorを用いた実時間画像特徴抽出VLSI	朱 弘博, 柴田 直	141
RO18082	静電容量型センサ用容量検出回路	松本 佳宣	148
RO18083	静電容量型センサ用容量検出回路	松本 佳宣	155
RO18084	電流モード減算器不要型可変解像度エッジフィルタ	高橋 徳浩, 福岡 雄大, 柴田 直	159
RO18085	ブロックマッチング方式CMOSオプティカルフローセンサー	福岡 雄大, 柴田 直	165
RO18085	傾斜センサ用容量検出回路	松本 佳宣	168
RO18085	擬似的な不規則画素配置を持つCMOSイメージセンサ	秋田 純一	168
RO18085	1Gbps \times 4ch光無線LAN用ビジョンチップ	香川 景一郎	173
RO18087	イメージセンサの出力回路・制御回路および物体追跡機能要素回路	松崎 可苗, 鋪野 敦紀, 村山 大輔, 佐藤 大樹, 長谷川 新, 加田 健志, 大高 俊徳, 浜本 隆之	182
RO18087	トリガー制御式イメージセンサTEG	木村 孝之, 佐々木 真人, 増田 正孝	184

その他

ラン名	タイトル	研究者	掲載頁
ES65082	ラジカルセンサ	安田 智哉, 崔 冀, 北川 章夫	115

MOT081	CMOSプロセスによる光導波路	飯山 宏一, 丸山 武男, 飛鳥井 貴弘	127
RO18083	集積化アクティブマイクロ磁界プローブを用いる差動増幅回路の試作	山口 正洋, 鳥塚 英樹, 難波 志織	157
RO18084	CMOS集積化アクティブ磁界プローブ	山口 正洋, 鳥塚 英樹, 難波 志織	163
RO18085	導電膜を用いたノイズ抑制体の試作と抵抗素子のばらつき検証	山口 正洋, 室賀 翔, 鳥塚 英樹, 難波 志織	171
RO18086	切り替え型CMOS集積化アクティブ磁界プローブ	山口 正洋, 鳥塚 英樹, 難波 志織	179
RO18087	低位相変動特性を有する分周比可変型デジタル位相同期ループ	藤本 邦昭, 佐々木 博文	184

デジアナ混載

ラン名	タイトル	研究者	掲載頁
RO18079	長波帯標準電波を対象とした受信専用集積回路	宮崎 康平, 星野 洋	131

ニューテクノロジー

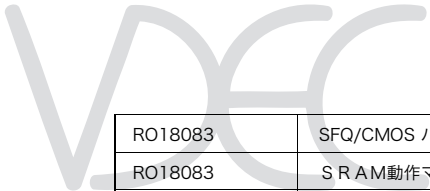
ラン名	タイトル	研究者	掲載頁
RO180710	論理回路として動作するメモリの修正試作	弘中 哲夫, 吉原 理記, 谷川 一哉, 平川 直樹, 戸口 博昭	135
RO18078	ピアプログラマブルデバイスVPEXの基本回路動作検証	中村 明博, 川原崎 正英, 藤野 毅	130

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
ES65082	Hot Swap機構を備えた耐故障再構成アーキテクチャ	ラコシ エンドレ, ソルタン, 廣本 正之, 越智 裕之, 中村 行宏	115
ES65082	ランタイム・パワーゲーティングを適用した低消費電力CPUコア	宇佐美 公良	117
ES65082	省電力マイクロプロセッサの試作	石原 亨	118
RO180710	メビウス回路2	鄭 明奎, 名倉 徹, 池田 誠, 浅田 邦博	136
RO180710	メビウス回路3	鄭 明奎, 名倉 徹, 池田 誠, 浅田 邦博	137
RO180710	電力線通信チップおよびオンチップ電源回路	中村 安見, 坂井田 耕輔, 柵木 雄介, 安福 正, 石田 光一, 桜井 貴康, 高宮 真, 竹内 健	140
RO18079	メビウス回路1	鄭 明奎, 名倉 徹, 池田 誠, 浅田 邦博	131
RO18082	可視光ID用受光センサ及び信号処理回路	木村 遙介, 松本 佳宣	147
RO18083	信頼性可変粗粒度再構成可能集積回路の試作	高 永勲, Dawood Alnajjar, 密山 幸男, 橋本 昌宜, 尾上 孝雄	157
RO18083	8ビットパイプラインプロセッサ	若杉 祐太, 佐藤 真平, 森谷 章	158
RO18084	メビウス回路4	鄭 明奎, 名倉 徹, 池田 誠, 浅田 邦博	159
RO18084	HCgorilla.5の開発	野田 一訓, 深瀬 政秋, 佐藤 友暁	160
RO18084	RISC型CPUの作成	星 匠, 松本 清紀, 平田 敏樹, 難波 一輝, 伊藤 秀男	162
RO18085	オンチップウェブサーバの試作	中村 大輔, 名倉 徹, 池田 誠, 浅田 邦博	165
RO18085	VSP評価用チップ	中林 智之, 佐々木 敬泰, 近藤 利夫, 大野 和彦	169
RO18085	共振クロック分配回路および電力線通信チップ	坂井田 耕輔, 中村 安見, 柵木 雄介, 桜井 貴康, 高宮 真	170
RO18085	32ビットMIPS互換マルチサイクルプロセッサ	高前田 伸也, 森 洋介, 若杉 祐太	171
RO18085	メニーコアプロセッサのためのオンチップルータの試作	渡邊 伸平, 若杉 祐太, 松谷 宏紀	172
RO18085	32ビットMIPS互換マルチサイクルプロセッサ	若杉 祐太, 高前田 伸也, 森 洋介	172
RO18087	オンチップ電源回路および太陽電池	石田 光一, 荒木 貴弘, 坂井田 耕輔, 桜井 貴康, 高宮 真	185

メモリ

ラン名	タイトル	研究者	掲載頁
ES65082	高信頼性LSIのためのディベンダブルSRAM	奥村 俊介, 井口 友輔, 野口 紘希, 藤原 英弘, 山口 幸介, 吉本 秀輔, 川口 博, 吉本 雅彦	117
RO18078	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 吉川 信行	128
RO18079	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 吉川 信行	133
RO18081	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 吉川 信行	141
RO18081	低温デバイスモデル作成用TEG及びメモリ要素回路	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	142
RO18083	64次元ベクトルデータ対応SRAMテストチップ	馬 奕涛, 朱 弘博, 柴田 直	151



RO18083	SFQ/CMOS ハイブリッドメモリ用64kbメモリ路	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	153
RO18083	S R A M動作マージン評価T E G	野田 和徳, 中村 和之	155
RO18084	S R A M動作マージン評価T E G	野田 和徳, 中村 和之	162
RO18085	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 矢口 謙太, 吉川 信行	167
RO18086	微細化に向けた連想メモリ評価チップ	今福 渉, アンサリ タニア, 榊原 尚吾, 小出 哲士, マタウシュ ハンス・ユルゲン, 川畑 明雄	176
RO18087	学習機能及び参照データ最適化を実現した連想メモリ	榊原 尚吾, 今福 渉, アンサリ タニア, マタウシュ ハンス・ユルゲン, 小出 哲士	183
RO18087	8bit簡易SRAMの設計と試作	植原 昂, 藤枝 直輝, 渡邊 伸平	187

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
MOT081	LDOの負荷安定のための補正回路	HENG SOCHEAT, 範 公可	124
MOT081	低電圧・低消費電力動作可能な電圧電流変換回路の試作	田中 寿	126
MOT081	超低消費電力断熱的ダイナミックCMOS論理回路の試作	馮 歆, 白石 洋一	127
RO180710	縞状シリコンTFTのためのセルライブラリおよびデジタル回路	猪飼 啓太, 名倉 徹, 池田 誠, 浅田 邦博	137
RO18078	断熱的パストランジスタを用いた乗算回路	生田 浩康, 内山 順一, 吉川 信行	128
RO18079	断熱的パストランジスタを用いた加算回路と断熱回路用電源	生田 浩康, 吉川 信行	132
RO18082	Stream cipher engineの開発	野田 一訓, 深瀬 政秋, 佐藤 友暁	146
RO18082	断熱的パストランジスタ回路を用いた乗算回路	生田 浩康, 吉川 信行	146
RO18083	高信頼セルを用いたチップ内ばらつき、チップ間ばらつきの評価回路の試作	鈴木 一範, 中島 康彦	158
RO18084	高信頼セルを用いた耐故障性の評価回路の試作	鈴木 一範, 中島 康彦	163
RO18085	全学自由ゼミにおけるLSI試作演習	中村 大輔, 門馬 太平, 名倉 徹, 池田 誠, 浅田 邦博	165
RO18085	1 サイクルPPEDベクトル生成回路	中川 琢規, 柴田 直	166
RO18085	断熱的パストランジスタを用いた乗算回路	生田 浩康, 内山 順一, 吉川 信行	167
RO18086	ALU試作	福永 力, 田中 和人, 大橋 常毅	175
RO18087	部分パイプライン制御に基づく256ビットLDPCデコーダ	鬼沢 直哉, 松本 敦, 船崎 智義, 羽生 貴弘	184
RO18087	部分パイプライン制御に基づく16ビットLDPCデコーダ	鬼沢 直哉, 松本 敦, 船崎 智義, 羽生 貴弘	185

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
ES65081	準ミリ波帯を利用した超高速データ通信用低電力UWBトランシーバ	クルカルニ ヴィシャル, 石黒 仁揮, 黒田 忠広	112
ES65082	ミリ波帯CMOSトランシーバ実現に向けた要素回路の試作、及び65nmプロセスにおけるMOSFETと伝送線路のモデリング	藤島 実, Badalawa Wasanthamala, 夏刈 洋平, Lim Seongwoong	113
ES65082	ミリ波帯プログラマブル移相器	佐々木 守	115
ES65082	3次元システム集積に向けたチップ間インタフェースの開発	新津 葵一, 三浦 典之, 石黒 仁揮, 黒田 忠広	116
RO180710	素子ばらつきに強い近接トランシーバ試作	金 鎮明, 名倉 徹, 池田 誠, 浅田 邦博	135
RO180710	可視光ID用受光センサ及び信号処理回路	木村 遙介, 松本 佳宣	139
RO180710	可視光通信用センサおよび信号処理回路	近内 聡史, 松本 佳宣	139
RO18078	可視光通信用センサおよび信号処理回路	近内 聡史, 松本 佳宣	129
RO18078	可視光ID用受光センサ及び信号処理回路	木村 遙介, 松本 佳宣	129
RO18078	可視光通信用フォトトランジスタアレイ	松本 佳宣	129
RO18079	特定小電力無線送受信機用TEGの試作	戸羽 辰夫, 狩野 孝太, 藤枝 茂, 北川 章夫, 秋田 純一	131
RO18079	特定小電力無線送受信機用TEGの試作	戸羽 辰夫, 狩野 孝太, 藤枝 茂, 北川 章夫, 秋田 純一	132
RO18082	インダクタ結合インタコネクタを利用したバイオセンサ向け無線送受信回路ver.1	岡 治美, 岩田 穆, 亀田 成司	146
RO18083	スパイラルインダクタ評価TEGとRF回路TEGの試作	戸羽 辰夫, 狩野 孝太, 藤枝 茂, 北川 章夫, 秋田 純一	152
RO18083	可視光ID用受光センサ及び信号処理回路	木村 遙介, 松本 佳宣	155
RO18087	インダクタ結合インタコネクタを利用したバイオセンサ向け無線送受信回路ver.2	岡 治美, 岩田 穆, 亀田 成司	181
RO18087	近距離無線通信用低電圧動作E級PA	坂井 秀男, 上埜 英樹, 三ヶ尻 悟, 石黒 仁揮	186

3. 3 各チップの詳細

平成19年度e-Shuttle CMOS 65nm テストラン (ES6507)

プロセスばらつきを利用したチップIDの生成

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: LSIが我々の生活に浸透するにつれ, 様々なモノにLSIが搭載されるようになってきており, あらゆるモノに固有のIDをつけて識別番号を与えるRFIDが必要となる. 本研究では通常のスタンダードCMOSプロセスを用いて, 同一のマスキレイアウトでありながら製造プロセスで生じるトランジスタ特性のランダムなばらつきを利用することによって, チップIDを生成する. 従来型のプロセスばらつきを直接2値化するタイプは, 偶然にも隣り合うトランジスタが似たような特性を持つ場合に, 毎回違うIDを出力する可能性があり, 全体のシステムがエラーとなってしまうことになる. 今回のチップでは, ばらつきを一旦増幅してから2値化することにより, より「安定した」チップIDの生成を実現する.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** TEG (特性評価回路など)

時間差増幅回路

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: プロセス技術の進展により, 電源電圧は低下する一方, トランジスタ速度は向上している. その結果, 電圧方向でアナログ信号を表現するのではなく, 時間方向でアナログ信号を表現する方が容易になってきている. 特に65nmなどの微細加工プロセスを用いた場合には, 電源電圧は1V程度である一方で, インバータ遅延は10ps程度であり, 時間方向での処理を用いた方が有利である. アナログ信号処理において最も基本的な回路と言えば増幅器であろう. 本チップでは, 時間方向でのアナログ信号処理に向けた回路として, 時間差増幅回路を設計し, 評価した. DLLに類似したフィードバック制御を用いることにより, PVTばらつきに強い時間差増幅回路を実現し, $\pm 10\%$ の電源変動に対して $\pm 1.4\%$ のゲイン変動に抑えることができた

参考文献: 名倉, 萬代, 池田, 浅田, "Time Difference Amplifier using Closed Loop Gain Control", 2009 Symposium on VLSI Circuits

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

動的リコンフィギャラブルプロセッサのプロセッシングエレメント Gammaの試作

慶應義塾大学理工学部情報工学科 天野 英晴, 佐野 徹, 加東 勝, 齊藤 貴樹, 池淵 大輔

概要: 動的リコンフィギャラブルプロセッサは, 粗粒度な演算器 (Processing Element: PE) やメモリを多数配置した構造をもつプロセッサである. 実行しながら演算内容や接続関係を変更する動的再構成機能により, 高い演算性能と面積効率を実現する. 本試作では, 16bit幅のALUとレジスタファイルをもつPEを1個と, 演算データを保持するメモリ (SRAM)を2個配置したプロトタイプGammaを実装した. 当初, 複数のPEを配置する予定であったが, 65nmプロセスを利用した最初のテープアウトであったために, 設計フロー確立を優先し, 1個のPE搭載とした. したがって, 動作, 性能としては一般的なマイクロプロセッサに近くなるが, PE内の接続関係は動的再構成が可能であり, また, 1つ目のメモリからデータを読みだし, PEで演算を行い, 2つ目のメモリに書き出す, というストリーム処理に近い動作が可能である. 完成したチップを用いて評価を行ったところ, 40MHz以上で動作可能であった. また, その際の消費電力は約4mW以下であった.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Encounter, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

基板バイアス効果, 単体トランジスタ及びゲート遅延ばらつき評価用TEG

京都大学大学院情報学研究所 寺田 晴彦, 牧野 紘明, 砂川 洋輝, 小林 和淑, 小野寺 秀俊

概要: 本チップは, 遅延ばらつき評価TEG, 基板バイアス制御TEG, DC測定TEGおよび論理検証用TEGの4種類からなる. DC測定TEGのみオンウエハで測定し, 残りのTEGはパッケージを用いて測定する. 遅延ばらつき評価TEGは論理段数やゲート種類, レイアウト構造の異なるリングオシレータ (RO)のセットをアレイ状に集積した回路である. ROの発振周波数ばらつきから, MOS特性のランダムばらつきやレイアウト依存性ばらつきを評価する. DC測定TEGは標準インバータサイズのPMOS, NMOS単体特性を評価する回路であり, プロービングによる測定を行なう. 基板バイアス測定TEGはRO発振周波数の基板電圧依存性を測定する回路である. ROを構成する素子, 基板電圧の印加方法の違いによる差異を検証する. 論理検証TEGは2ビット加算器と2入力NANDセルを単体で動作確認する回路である.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, **トランジスタ数:** 100,000以上 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** TEG (特性評価回路など)

(1) 三次元積層向け高速伝送回路用 TEG と (2) ばらつきを含む HiSIM モデルを用いた回路特性の予測精度評価のための回路 TEG

広島大学大学院先端物質科学研究科 岩田 穆

広島大学ナノデバイス・バイオ融合科学研究所 マタウシュ ハンス ユルゲン, 小出 哲士, 汐崎 充, 上口 光

概要：(1) 三次元チップ積層向け高速伝送回路用 TEG：貫通電極を用いた三次元チップ積層システムにより高速化が期待されているが、貫通電極は平面配線に比べて寄生容量成分が大きいいため数十 GHz 以上の超高速伝送を低消費電力で行うのは困難となる。本試作では貫通電極向け送受信回路、貫通電極の特性を模擬した伝送路モデルやピーキングインダクタなどを搭載した TEG を設計・試作した。(2) ばらつきを含む HiSIM モデルを用いた回路特性の予測精度評価のための回路 TEG：製造技術の微細化に伴い、製造ばらつきの問題が顕著になってきている。ばらつきは、特に、SRAM やロジック回路などにおいては低電圧動作を阻む要因になる。そこで、ばらつきを考慮したトランジスタモデルを構築するためのパラメータ抽出用 TEG・チップ内 (ランダム) ばらつき評価用 TEG 数種類 (増幅器, メモリ [SRAM], リングオンレクタなど) を設計・試作した。

設計期間：4 人月以上, 5 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 CalibreRC トランジスタ数：100 以上, 1,000 未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：TEG (特性評価回路など)

デバイス・回路特性ばらつきの観測回路

東京工業大学統合研究院 益 一哉, 石原 昇, 佐藤 高史, 天川 修平, 植山 寛之

東京工業大学総合理工学研究科 中山 範明

東京工業大学精密工学研究所 伊藤 浩之

東京工業大学総合研究院 萩原 汐

概要：微細化に伴って、トランジスタの特性ばらつきが回路特性に及ぼす影響が顕著となってきている。本試作では、デバイス特性ばらつき、および回路特性ばらつきを測定する回路を作成している。デバイス特性ばらつきの観測のため、アレイ構成を用いて統計的に有意な数のトランジスタの飽和電流とサブスレショルド電流を測定し、その空間的分布およびチップ間の分布を比較した。また回路特性ばらつきとして、センスアンプのオフセット電圧に着目し、やはりアレイ構成にてオフセット電圧を測定する回路を作成して、上記デバイスばらつきとの相関を調査した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC, トランジスタ数：100,000 以上 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：TEG (特性評価回路など)

アナログ・デジタル混載システム LSI のためのモニタ要素回路の開発

神戸大学大学院工学研究科 橋田 拓志, 林 大悟, 永田 真

概要：本チップは、最先端デバイス技術を用いたアナログ・デジタル混載システム LSI の内部状態モニタに関する要素回路の開発と、本プロセスによるアナログ・デジタル混載 LSI 設計環境の構築も目的としている [1]。具体的な搭載内容は、①65nm 級デバイスを用いたデータ処理プロセッサと、②本プロセスに混載可能な厚膜デバイスを用いたアナログ基本回路である。前者は、8 ビットクラスの簡易な命令セットを有する汎用プロセッサであり、SRAM メモリと混載する。後者は、アナログ基本回路として広帯域アンプや高精度電圧発生器であり、3.3V 系デバイスと 1.2V 系デバイスを使い分けて構成する。本テストチップの搭載回路について期待通りの動作を確認しており、現在も詳細評価を継続している。

参考文献：[1] 永田, "アナログ/デジタル混載チップの設計フロー", eShuttle 65nm テスト試作設計フロー報告会資料, VDEC 設計規則ページ

設計期間：4 人月以上, 5 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre, Mentor 社 CalibreRC, トランジスタ数：10,000 以上, 100,000 未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：アナデジ混載

耐製造ばらつきにむけたトランジスタモデルHiSIMを用いた回路特性の予測と回路シミュレーション手法の開発

広島大学ナノデバイス・バイオ融合科学研究所 上口 光, 小出 哲士, マタウシュ ハンス・ユルゲン
広島大学大学院先端物質科学研究所 和泉 伸也, 賀谷 彰大, 今福 渉, 三浦 道子
広島大学工学部 西林 啓

概要：製造技術の微細化に伴い、製造ばらつきの問題が顕著になってきており、回路の動作を制限する大きな要因となっている。そこで、次世代コンパクトトランジスタモデルHiSIMを用いて、① デバイスパラメータばらつきのモデル化、② 回路特性ばらつき予測を用いた設計手法、を開発することにより、その解決を図った。本試作では、その前段階として、ペアトランジスタ（単体MOSとして基準パラメータ抽出にも利用）、MOSアレイ（ばらつきの距離依存性）、リングオシレータ、FBC回路（差動増幅器）を作成した。試作面積の関係上、今回は1.2VのSVtのトランジスタを中心に試作した。現在の測定状況は、ペアトランジスタと差動増幅器の測定を終了したところである。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Encounter, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, Cadence社 Assura, Silvaco社 SmartSPICE, トランジスタ数：10,000以上、100,000未満 試作ラン：e-Shuttle CMOS 65nm 4.2mm角チップ チップ種別：TEG（特性評価回路など）

準ミリ波帯を利用した超高速データ通信用低電力UWBトランシーバ

慶應義塾大学理工学部 クルカルニ ヴィシャル, 石黒 仁揮, 黒田 忠広

概要：至近距離における高速無線データ転送の手段として、マイクロ波（3GHz～10GHz）を利用したUWB通信、およびミリ波（60GHz帯）を利用した通信に対する期待が高くなり、特にCMOSによる低コストなトランシーバ回路の実現に関する研究が活発になってきている。本研究では、15-21GHz帯で動作可能な送信器を設計した。設計した送信器はPLLとアップコンバージョン・ミキサより構成される。PLLはリング・オシレータ、位相・周波数ディテクタ、チャージポンプ、ループフィルタから構成されている。この送信器は18GHzの正弦波を生成し、ベースバンドデータとミキシングされてバイ・フェーズ変調（BPSK:Bi-Phase Shift Keying）信号が出力される。最大データレート4Gbpsが確認され、そのときの消費電力は61mWであった。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：1,000以上、10,000未満 試作ラン：e-Shuttle CMOS 65nm 4.2mm角チップ チップ種別：通信（RF回路、ATMなど）

平成20年度第2回e-Shuttle CMOS 65nm 試作 (ES65082)

デジタル制御温度センサ

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博
東京大学工学系研究科 ダン ゴクラン

概要: LSI の微細化・集積化の進展にともない、チップの単位面積当たりの発熱が増大し、チップの温度変化によって回路特性が劣化するようになってきた。今後は、LSI 内部に温度モニタや雑音モニタ等の各種センサ回路を搭載し、温度が高くなったり、雑音が大きくなったら電源電圧と周波数を下げて「安全動作」状態に戻したり、また、温度に応じて指数関数的に増大する待機電流を減らすために、温度が高い場合には電源を落とすなどの対策が必要となってくる。今回の試作では、これらの動的動作状態制御に必要なオンチップの温度モニタ回路を搭載し、その特性を 65nm で検証する。基本構造は ISSCC2007 で発表されている温度検出精度の高い温度拡散速度を利用した温度センサーを用いる。ここで、温度拡散速度はシリコン材料の物性定数で決定されており、プロセス変動の影響を受けにくいという特徴があるとともに、プロセス間のマイグレーションが比較的容易であるという特徴がある。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Encounter, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm 角チップ **チップ種別:** TEG (特性評価回路など)

ばらつきを利用したチップIDの生成

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博
東京大学工学系研究科 猪飼 啓太

概要: LSI の微細化・集積化の進展にともない、チップの単位面積当たりの発熱が増大し、チップの温度変化によって回路特性が劣化するようになってきた。今後は、LSI 内部に温度モニタや雑音モニタ等の各種センサ回路を搭載し、温度が高くなったり、雑音が大きくなったら電源電圧と周波数を下げて「安全動作」状態に戻したり、また、温度に応じて指数関数的に増大する待機電流を減らすために、温度が高い場合には電源を落とすなどの対策が必要となってくる。今回の試作では、これらの動的動作状態制御に必要なオンチップの温度モニタ回路を搭載し、その特性を 65nm で検証する。基本構造は ISSCC2007 で発表されている温度検出精度の高い温度拡散速度を利用した温度センサーを用いる。ここで、温度拡散速度はシリコン材料の物性定数で決定されており、プロセス変動の影響を受けにくいという特徴があるとともに、プロセス間のマイグレーションが比較的容易であるという特徴がある。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数:** 10 未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** TEG (特性評価回路など)

ミリ波帯 CMOS トランシーバ実現に向けた要素回路の試作, 及び 65nm プロセスにおける MOSFET と伝送線路のモデリング

東京大学大学院工学系研究科 藤島 実, Badalawa Wasanthamala, 夏苅 洋平, Lim Seongwoong

概要: ミリ波帯トランシーバを CMOS プロセスで実現するために、その要素回路の試作を行う。60GHz ミリ波帯は 7GHz 帯域をフラットに利用できるため、1Gbps を超える伝送速度を容易に実現できる。このバンドを利用するのに適しているアプリケーションとして考えられるのが HDMI で、HDMI1.2 の規格では 1.65Gbps/pin であるため、60GHz 帯を利用すれば容易に達成可能である。さらに、2011 年に予定されている地上波放送の完全デジタル化により、今後ハイビジョンをベースにしたテレビ、ビデオなどの家電製品が急速に普及すると考えられる。65nm CMOS プロセスは高い遮断周波数を有するため、60GHz 帯のトランシーバを比較的容易に実現できるものと期待される。今回は、ミリ波帯トランシーバの要素回路の内、パルスレシーバと周波数分周器の試作を行い、性能を評価する。また、65nm CMOS プロセスでの MOSFET や伝送線路のスケラブルモデルを作成するために、モデリング用 TEG (Test Element Group) を作成する。

参考文献: C. Cao, and K. K. O, "A 140-GHz Fundamental Mode Voltage-Controlled Oscillator in 90-nm CMOS Technology," IEEE Microwave and Wireless Components Letters, Vol. 16, No. 10, pp. 555-557, Oct. 2006

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2x2.1mm チップ **チップ種別:** 通信 (RF 回路, ATM など)

動的リコンフィギュラブルプロセッサ MuCCRA-3 の試作

慶應義塾大学理工学部情報工学科 天野 英晴, 佐野 徹, 加東 勝, 齊藤 貴樹

概要: 動的リコンフィギュラブルプロセッサは、多数の粗粒度な演算器 (Processing Element: PE) やメモリを二次元アレイ状に配置した構造をもつプロセッサである。実行しながら演算内容や接続関係を変更する動的再構成機能により、高い演算性能と面積効率を実現する。本試作では、16bit 幅の加減算、シフト、論理演算、乗算といった演算を提供する ALU と、レジスタファイルをもつ PE を 16 (4x4) 個、また、データ保持用のメモリを 8 個配置した MuCCRA-3 を実装した。MuCCRA-3 は、PE の動作や PE 間の接続関係を 32 通り定義、毎サイクル変更することができる。完成したチップを用いて評価を行ったところ、最大約 41MHz で動作可能で、その際の消費電力は約 13mW であった。

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2x2.1mm チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

素子特性の経年劣化検証及び基板電圧制御付き遅延ばらつき評価 TEG

京都大学大学院情報学研究所 寺田 晴彦, 牧野 紘明, Mahfuzul, A. K. M, 三木 崇史, 小林 和淑, 小野寺 秀俊

概要: 本チップは、遅延ばらつき評価 TEG, DC 測定 TEG, 温度特性測定 TEG および NBTI 測定 TEG の 4 種類からなる。ばらつき評価 TEG のみパッケージを用いて測定し、残りの TEG はオンウエハで測定する。遅延ばらつき評価 TEG は論理段数やゲート種類、レイアウト構造、および配線層の種類や配線負荷の異なるリングオシレータ (RO) のセットをアレイ状に集積した回路である。その周波数ばらつきから、MOS 特性や配線のばらつきを評価する。また n, p の各基板電圧を電源電圧と独立に制御でき、ばらつきの基板電圧依存性を評価できる。DC 測定 TEG は標準インバータサイズの PMOS, NMOS 単体特性を評価する回路であり、ばらつき TEG と同様基板電圧を制御可能である。NBTI 測定 TEG は素子の経年劣化を pMOS に流れる電流の変化から測定する回路である。温度と区政測定 TEG は回路内に配置したダイオードの電流変化により、TEG 動作時のチップ温度を測定する回路である。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm 角チップ **チップ種別:** TEG (特性評価回路など)

三次元積層向け定在波クロック分配回路

広島大学ナノデバイス・バイオ融合科学研究所 汐崎 充

広島大学大学院先端物質科学研究所 宮本 慎一郎, 中島 文晴, 岩田 穆

概要: 本研究室では三次元チップ積層システムに向けた高周波クロック分配の研究を行っている。チップ積層システム全体に低ジッタ、低スキューの高周波クロックを分配するため、誘導性負荷の定在波クロック分配回路を三次元チップ積層に適用する。この定在波クロック分配回路はインダクタ負荷を両端に有する伝送路に定在波共振を起こすことで周波数と位相が揃ったクロックを分配する。三次元チップ積層に適用するため貫通電極による伝送路でチップ間を結合する方式を考案し、本試作チップには貫通電極に接続するための 4 ノード構成と 8 ノード構成の 2 種類の定在波共振回路を搭載した。加えて、インダクタや伝送路単体 TEG も搭載した。4 ノード構成の定在波クロック分配回路単体を測定により 5.59GHz の共振波形を確認した。この時の消費電力は 13.25mW (1 ノード当たり 3.31mW), 電源電圧 0.5V であった。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 CalibreRC **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

バックグラウンド・デジタル補正を用いた超低電力 $\Delta \Sigma$ AD 変換器

広島大学 先端物質科学研究所 藤川 信次, 原田 良枝, 前田 智晃, 村坂 佳隆, 岩田 穆

概要: 本試作ではデジタル補正を用いた超低電力の $\Delta \Sigma$ AD 変換器の実現を狙っている。性能目標は帯域:10MHz, サンプリング周波数:300MHz, SNR:70dB, 電源電圧:1.4V, 電源電流:5mA。ループフィルタは 3 次 4 ビットで、積分器は低消費電力化に向く連続時間型である。量子化器は 4 ビットのフラッシュ型、DAC は電流セル方式で、いずれも発生するばらつきはデジタル補正する。評価の結果、電流値はほぼ設計通りで $\Delta \Sigma$ AD 変換器のノイズシェーピング特性が確認できた。SNR は 45dB@帯域=2MHz, 31dB@帯域 10MHz で、ノイズフロアが高いため目標には届かなかった。現時点では劣化の主要因が明確にできていない。量子化器の補正効果は、補正前: 0.35LSB~0.6LSB の非線形性であったのに対し、補正後: ± 0.1 LSB に向上した。DAC の補正効果は、補正前: ± 1.0 %LSB の精度であったのに対し、補正後: ± 0.05 %LSB に向上した。DAC の精度がデジタル雑音によって受ける影響をテストによって評価した。雑音の影響の無い場合は ± 0.1 %LSB の非線形性であったのに対し、雑音源が動作すると ± 0.45 %LSB に劣化することを確認した。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre Cadence 社 Spectre, SII 社 SX9000 **トランジスタ数:** 10,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2x2.1mm チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

腸内細菌検出への適用を目的とした高密度フォトセンサ

広島大学ナノデバイス・バイオ融合科学研究所 亀田 成司

広島大学大学院先端物質科学研究所 志田 亮輔, 岩田 穆

概要: 腸内細菌検出へ適用可能な高密度フォトセンサを試作した。抗原抗体反応を利用してフォトセンサ上に特定の細菌を固定化し、固定化した細菌に金コロイド粒子を付着させ、フォトセンサ上方から光を照射して影を検出することで、細菌の判別および計数を行う。この検出手法を実現するためには、フォトセンサのサイズを細菌のサイズ (0.3~5 μ m) に近づける必要がある。チップを 4 区画に分け、3Tr 型 APS (Active Pixel Sensor) を 3 種, 4Tr 型 APS を 1 種の計 4 種類のフォトセンサアレイを、センササイズ 2 μ m 以下、フォトダイオードサイズ 1 μ m 以下を満たすように設計した。3Tr 型の 3 種類のフォトダイオード構造は n+/Psub (シリサイド有 or 無), Nwell/Psub とした。4Tr 型は 4 画素共有構造による小型化を行うことでセンササイズ 1 μ m を達成した。有効画素数は 3Tr 型 170x140, 4Tr 型 340x280 である。出力の読み出しには DDS (Double Delta Sampling) 方式を利用し、フォトセンサと読み出し回路の固定パターンノイズを除去できる構成にした。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 CalibreRC, Cadence 社 spectre, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

タイミングエラー予告信号による適応的速度制御回路評価 TEG

大阪大学情報科学研究科 更田 裕司, 濱本 浩一, 橋本 昌宜, 密山 幸男, 尾上 孝雄

概要: 超低電力デジタル回路を実現する手法として, サブスレッショルド回路が注目されている。サブスレッショルド回路とは, MOSトランジスタの閾値電圧よりも低い電圧で動作する回路のことで, 低速・超低電力という特徴を有している。一方で, 製造ばらつきや温度変化によって回路速度が大きく変動するという問題点があり, 従来のワーストケースを前提にした回路設計では大きな設計マージンが必要となり電力効率が悪い。したがって, 遅延変動を動的に検出し補償する回路が求められている。本チップでは, 加算器を対象として, タイミング余裕の検出回路を用いた動的な速度制御回路の実装を行った。タイミング余裕の検出には, カナリア FF [1] と呼ばれるタイミングエラーを事前に予告する回路を適用し, 速度制御回路には, 基板バイアスにより制御を行う回路を実装した。本報告時点では加算器が正常に動作することを確認しており, 今後詳細評価を進める予定である。

参考文献: [1] H. Fuketa, et al., "Trade-off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction," in Proc. ASP-DAC, pp. 266-271, 2009.

設計期間: 2人月以上, 3人月未満 設計ツール: Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数: 100,000以上 試作ラン: e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別: TEG (特性評価回路など)

ラジカルセンサ

金沢大学工学部 安田 智哉

金沢大学自然科学研究科 崔 冀

金沢大学理工研究域 北川 章夫

概要: RF-CMOS技術を利用して電子スピン共鳴現象 (ESR) を起こし, 生体や自然環境中の化学的活性物質を検出することができるラジカルセンサのテスト回路を試作した。チップ上の測定対象物質に高周波磁場を印加するためのオンチップインダクタと ESR現象により引き起こされるインピーダンスの変化を検出する ESR 信号検出回路からなる。CMOS 65nm テクノロジーを利用することにより, 高い自己共振周波数と Q 値を持つパッシブ素子を使用して, 広帯域, 高感度な ESR 信号検出回路を設計することが可能である。ESR 信号検出回路として, 953MHz 共振方式, 500MHz-1GHz のエッジ検出位相比較方式, 500MHz-1GHz の乗算位相比較方式の3種類の回路を搭載し, 高周波磁界発生用のインダクタンスは 3nH, 6nH, 14nH のものを用意して性能比較ができるようにした。

参考文献: 野手翔太, 北川章夫, "マイクロ電子スピン共鳴センサの基礎検討", 映情学技報, vol.31, No.28, pp13-16, 2007.

設計期間: 2人月以上, 3人月未満 設計ツール: Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数: 100以上, 1,000未満 試作ラン: e-Shuttle CMOS 65nm 4.2x2.1mmチップ チップ種別: その他

ミリ波帯プログラマブル移相器

広島大学大学院先端物質科学研究科 佐々木 守

概要: フェーズド・アレー・システムのキー・デバイスの一つであるミリ波帯プログラマブル移相器の試作, 検証を行った。オンチップの誘導性伝送線路により周長が一波長のループを形成し, 基準波入力位置に対して, $\Phi/4$ の位置にキャパシタを装荷することで, 進行波共振器を構成する。進行波がループ上を回るため, 位相分解能に応じた箇所に複数のタップを設け, スイッチでタップの on/off を制御すると, プログラマブル移相器が実現できる。また, 各タップとパワー・アンプ間の線路長の違いによる位相ずれは, タップとパワー・アンプ間の伝送線路をインダクタで終端して定在波共振器を構成することで解消する。この定在波共振器の共振特性によって, 少ない電力消費で電圧ゲインを得ることもできる。

設計期間: 2人月以上, 3人月未満 設計ツール: Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数: 10以上, 100未満 試作ラン: e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別: 通信 (RF回路, ATMなど)

Hot Swap 機構を備えた耐故障再構成アーキテクチャ

京都大学大学院情報学研究科 ラコシ エンドレ ソルタン, 廣本 正之, 越智 裕之

立命館大学総合理工学研究機構 中村 行宏

概要: 本チップは, システムの動作を止めることなく演算器のテストや交換が可能な粗粒度再構成可能デバイスである。本チップ内には12個の16ビット演算器からなるクラスタが6個縦列接続されており, クラスタ内のデータバスの切り替えにより, 使用中の演算器とスペア (待機系) 演算器とを Hot Swap することが可能である。この他本チップ内には入出力のデータバッファとして256語のSRAMが接続されており, 演算器のテストボタンを保持するための2K語のSRAMも有する。

参考文献: [1] Z. E. Rakosi, M. Hiromoto, H. Ochi, Y. Nakamura: "A New Architecture Extension for Mitigation of Permanent Functional Unit Faults Using Hot-Swapping Concepts," SASIMI 2009, pp.177-182, Mar. 2009.

設計期間: 2人月以上, 3人月未満 設計ツール: Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数: 100,000以上 試作ラン: e-Shuttle CMOS 65nm 4.2x2.1mmチップ チップ種別: マイクロプロセッサ

超高解像度オンチップバイオイメージセンサ TEG

奈良先端科学技術大学院大学物質創成科学研究科 太田 淳, 徳田 崇, 笹川 清隆, 穴戸 三四郎, 田川 礼人, 澤村 茂樹, 柳生 啓佑,
小黒 康裕

概要: オンチップ形態で生体測に直接接し、センシングやイメージングを行うデバイスは、テーラード医療を実現するための重要な開発項目と位置付けられる。そのために、センサ回路や測定電極、アレイセンサ等を含む複合的な機能を有し、多角的なセンシングが可能なデバイス必要となる。本試作では、バイオメディカルデバイスにおける65nmプロセスの導入効果の検証を目的とし、以下のような機能を回路を設計した。(1) フォトダイオード画素 TEG, (2) パルス幅変調方式による低電圧駆動可能なイメージセンサ, (3) 65nmの微細なメタル配線プロセスを利用した偏光センサ, (4) 生体内の電気計測のための増幅回路 TEG。これまでに、画素 TEG の評価を行い光応答特性についての測定を行った。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

統計的ばらつきの数式モデル化のためのばらつき要因分離・抽出回路の試作

東京工業大学統合研究院 益 一哉, 石原 昇, 佐藤 高史, 天川 修平, 上園 巧, 植山 寛之, 高橋 知之

東京工業大学総合理工学研究科 中山 範明

概要: 微細化に伴いトランジスタ特性のばらつきが回路特性に及ぼす影響が顕著となってきた。本試作では Ioff, Ion, ゲート電流, 閾値電圧等の基本トランジスタ特性のばらつきを評価するため測定回路および、アレー回路によるゲート容量ばらつき測定のための基礎データを得るためのテスト回路を作成している。トランジスタ特性のばらつき測定回路により、トランジスタの β ばらつきと閾値電圧ばらつきの測定から、飽和電流に対する閾値電圧ばらつきと β ばらつきを分離することに成功した。また、ゲート容量ばらつき測定回路から、ゲート容量測定における回路規模と精度について調査した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数:** 100,000以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2x2.1mmチップ **チップ種別:** TEG (特性評価回路など)

アナログ・デジタル融合信号処理回路

広島大学 吉田 毅

概要: デバイスの微細化は CMOS アナログ回路に多くの課題をもたらしている。微細化に伴う電源電圧の低下は扱える信号振幅の低下につながり、アナログ回路の Signal to Noise ratio (SNR) を劣化させる。また、電源電圧を下げると通常のアナログ回路の多くは動作できなくなる。現在、上述した問題を解決するため、微細プロセスに適したアナログ・デジタル融合信号処理回路の研究を行っている。本試作ではアナログ・デジタル融合信号処理回路を実現すべく、入力波形を折り畳むことで電源電圧以上の信号振幅を扱うことのできる DeltAMP と量子化雑音を入力部にフィードバックすることで高精度化を可能とするオーバーサンプリング型 AD変換器を組み合わせ、Delta modulation domain Analog-Digital converter (DAD) を実現した。DAD は減衰器を使用することなく大振幅の信号を受け入れることができ、折り畳んだアナログ波形を AD変換後のデジタルドメインで再構築することで従来の AMP や AD変換器と同等の役割も果たすことができる。またオーバーサンプリングレシオを上げることで高精度化が可能であり、高速動作が可能となる微細プロセスに非常に適している。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** アナデジ混載

3次元システム集積に向けたチップ間インタフェースの開発

慶應義塾大学理工学部 新津 葵一, 三浦 典之, 石黒 仁揮, 黒田 忠広

概要: 2次元システム集積 (システム・オン・チップ:SoC) に変わる次世代型のシステム集積手法として、3次元システム集積 (システム・イン・パッケージ:SiP) が注目を浴びている。本試作においては、3次元システム集積を実現するための積層チップ間インタフェースの試作検証を行った。開発したチップ間インタフェースはプロセッサメモリ間等への応用が報告されている誘導結合型インタフェース [1] である。65nm CMOS プロセスの性能を活かし、誘導結合型インタフェースの高速化、低消費電力化を目標とした。プロセスの微細化に伴うトランジスタの寄生成分の低減により、送信器電力と受信器電力を従来に比べ大幅に削減し、さらに高速化を図ることが可能となる。現在、実測評価に向けた準備をしている段階である。

参考文献: K. Niitsu, Y. Shimazaki, Y. Sugimori, Y. Kohama, K. Kasuga, I. Nonomura, M. Saen, S. Komatsu, K. Osada, N. Irie, T. Hattori, A. Hasegawa, and T. Kuroda, "An Inductive-Coupling Link for 3D Integration of a 90nm CMOS Processor and a 65nm CMOS SRAM," ISSCC, Dig. of Tech. Papers, pp.480-481, Feb., 2009.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

高信頼性 LSI のためのディペンダブル SRAM

神戸大学工学研究科 奥村 俊介, 井口 友輔, 野口 紘希, 藤原 英弘

神戸大学工学部 山口 幸介, 吉本 秀輔, 川口 博, 吉本 雅彦

概要: 低電源電圧においてノイズマージンを維持し, 高信頼性を実現するディペンダブル SRAM の試作を行った. 本試作チップに搭載した 7T/14T ディペンダブルメモリセルは 1 ビットのデータを 1 つのメモリセルに記憶する 7T 通常モードと, 1 ビットのデータを隣接する 2 つのメモリセルに記憶する 14T 高信頼性モードの動的な切替えが可能である. 高信頼性モードを適用することによって低電圧動作時においても, ばらつきの影響を抑えてマージンを維持し, 信頼性の高いメモリを実現することが可能となる. 測定によって従来 6T メモリセル 1Mb の最低動作電圧が約 0.8V であるのに対し, 14T メモリセルは 0.24V 低い 0.56V で動作可能となることを確認した. また, 14T メモリセルは 7T メモリセルに対しても同様に約 0.2V の最低動作電圧の改善が見られ, 動作モードの切替えによる動的な動作信頼性の改善を実現した.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm 角チップ **チップ種別:** メモリ

アナログ・デジタル混載システム LSI のためのダイナミック内部状態モニタの開発

神戸大学大学院工学研究科 橋田 拓志, 中居 徹, 林 大悟, 荒賀 佑樹, 永田 真

概要: 本チップは, 著者らが 180nm プロセスで開発したオンチップモニタ [1] を参考に, アナログ・デジタル混載システム LSI に向けたダイナミック内部状態モニタ技術の確立を目的としている. 65nm プロセスにより, ①小面積・小ピン数なシステム構成であること, ②65nm 級の微細デバイス回路の内部をプロービング可能なこと, ③チップ内の多点観測を効率的に実現できること, を特徴としている. 本報告時点では, 試作チップの入手と評価ボードの開発を終え, 基本機能の確認を確認した段階である.

参考文献: [1] K. Noguchi, M. Nagata, "An On-Chip Multi-Channel Waveform Monitor for Diagnosis of Systems-on-Chip Integration," IEEE Transactions on VLSI Systems, Vol. 15, No. 10, pp. 1101-1110, Oct. 2007.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm 角チップ **チップ種別:** アナデジ混載

高速 UWB 信号復調のための等価サンプリング回路

広島大学ナノデバイス・バイオ融合科学研究所 外谷 昭洋, 佐々木 信雄, 吉川 公磨

概要: 乳がん検診において, 既存の X 線マンモグラフィは被ばくの危険性, 検診時の不快感, 10% 程度の見逃しがあるなど課題を有する. 近年, 胸部組織-がん組織間の誘電率差を利用し, 1-10GHz のマイクロ波で乳がんを検出する手法が注目されている. 本研究では, CMOS 技術を用いた安価かつポータブルな乳がん検出システムの構築が目標である. 送信波形は, 中心周波数 3GHz のガウシアンモノサイクルパルス (GMP) を用いる. GMP 送信回路はすでに開発済だが [1], 胸部内で反射された受信波形は, 共焦点画像処理を施すため, デジタル信号に変換する必要がある. 本研究の目的は, 30GSample/s の高速サンプリングを可能にする, 等価時間方式アナログ/デジタル (A/D) 変換回路の開発である. このための課題は, 低ジッタ (<3ps) クロック生成回路及び, 入力信号をトラック&ホールドする回路である. 今回, 上記 A/D を実現するための TEG (PLL, 4bit フラッシュ ADC, T&H 回路) の試作, 評価を行った.

参考文献: N. sasaki, K. Kimoto, W. Moriyama and T. Kikkawa, "A Single-Chip Ultra-Wideband Receiver With Silicon Integrated Antennas for Inter-Chip Wireless Interconnection", IEEE Journal of Solid-State Circuits, Vol. 44, No. 2 (2009), p382-393.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Cadence 社 Assura, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2x2.1mm チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

ランタイム・パワーゲーティングを適用した低消費電力 CPU コア

芝浦工業大学工学部 宇佐美 公良

概要: MIPS-R3000CPU コア内部の ALU, シフター, 乗算器, 除算器にパワーゲーティングを適用し, アプリの走行中に動的にパワーゲーティングを細粒度制御することで, リーク電力を低減する CPU コアである. さらに, 同一チップ上に, MTCMOS 回路を応用したリークモニターを設計し搭載する. 本リークモニターでは, MTCMOS 回路のパワースイッチがオフした後, リーク電流による仮想グラウンド線の充電によって, 仮想グラウンド線の電圧が上昇することを利用する. 仮想グラウンド線電圧の上昇速度を, 電圧コンパレータ回路とタイマーで検知することにより, リークの多寡を判別する.

参考文献: Usami, Shirai, Hashida, Masuda, Takeda, Nakata, Seki, Amano, Namiki, Imai, Kondo, Nakamura, "Design and implementation of fine-grain power gating with ground bounce suppression," Proc. VLSI Design 2009, pp. 381-386, Jan. 2009.

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2x2.1mm チップ **チップ種別:** マイクロプロセッサ

オンチップばらつきモニタ回路の試作

大阪大学大学院情報科学研究科 阿部 慎也, 天木 健彦, 原田 諒, 橋本 昌宜, 密山 幸男, 尾上 孝雄

概要: 本試作では、製造ばらつき、環境変動のセンシング技術確立のため、簡潔かつ性能補償に必要な情報が得られるセンサの開発を目標とし、以下のテストチップを設計した。試作回路の基本ブロックであるばらつきセンサブロックは、デコーダやセレクト、複数種類のROで構成される。規則的にばらつきセンサブロックを敷き詰めることで、近隣ブロックのROの特性との平均を取り、より多くの段数時のばらつき情報が近似的に得られる。また、NMOS/PMOSのWを変則的に変えたROの発振結果を用いて、応答曲面法によりNMOS/PMOSのばらつき推定・分離を行う。そして、推定したNMOS/PMOSばらつき情報をもとに、被制御用ROに基板バイアスをかけ、発振周波数やリーク電流などの変化を観測する。この観測結果とトランジスタ単体の特性を比較することで、推定したNMOS/PMOSばらつきの妥当性を評価する。現在までに、発振信号が出力され、セレクト信号を変化させると発振信号も変化することを確認している。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** TEG (特性評価回路など)

標準CMOSプロセスを用いた太陽電池

東京大学生産技術研究所 荒木 貴弘, 張 信, 池内 克之, 朴 哲, 安福 正, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要: 太陽電池を標準CMOSプロセスを用いて実現した場合の、高性能化のための指針とスケラビリティを解明することを目的とした評価TEGを試作した。先端プロセスでは、メタル配線層数が増えることから入射光の減衰が大きくなること、メタル配線密度ルールの要求が厳しくなることから開口率が減ることが予想されるが、実測を通じて、オンチップ太陽電池の性能限界・出力電圧変動を調査することを意図して設計した。そのため、設計TEGの種類は、構造別(n+受け型太陽電池, p+受け型太陽電池)、トランジスタ別(1.2Vトランジスタ, 1.8Vトランジスタ, 3.3Vトランジスタ)について比較評価が出来るよう考慮した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm角チップ **チップ種別:** TEG (特性評価回路など)

省電力マイクロプロセッサの試作

九州大学システムLSI研究センター 石原 亨

概要: 東芝社製のMedia embedded Processor (MeP)をベースにいくつかの動的に変化する構造を持つマイクロプロセッサを試作した。プロセッサは8KBの4ウェイセットアソシアティブ命令キャッシュと8KBの命令用SRAM及び16KBのデータ用SRAMを搭載する。命令キャッシュはキャッシュとして使用するウェイを動的に変更することができる。プログラムはI/O命令を使って専用のレジスタに特定のビットパターンをセットすることにより使用するキャッシュウェイを稼働状態にすることができる。使用しないキャッシュは不活性化することにより消費電力を削減する。アプリケーションの実行状況に応じて稼働させるキャッシュウェイを動的に変更することにより通常の4ウェイセットアソシアティブと比較して消費電力を最大25%削減できることをポストレイアウトシミュレーションにより確認した。

設計期間: 8人月以上, 9人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** マイクロプロセッサ

平成19年度第2回オンセミコンダクター CMOS 1.2 μ m 試作 (MOT072)

大小比較回路群, 10進デジタル計数回路群, 及び学生実験用測定評価デバイスの設計試作

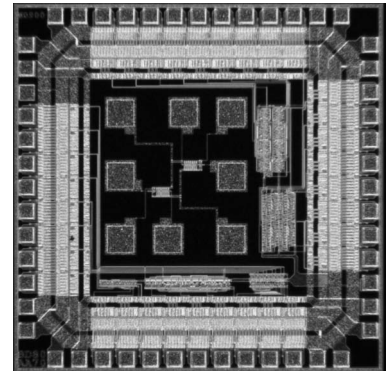
静岡理科大学電気電子工学科 波多野 裕

電気電子工学科 横井 和輝, 袴田 尚吾

概要 : 19年度第1回試作チップの実測結果を踏まえて, 大小比較回路群, 10進デジタル計数回路群, 及び学生実験用測定評価デバイスを設計した. 設計した回路は, NAND構成2ビット大小比較器, NOR構成2ビット大小比較器, ツリー型4ビット大小比較器, 非同期式10進2桁計数回路, 及び同期式10進2桁計数回路である. 7月1日に入荷した試作チップを直ちに測定して, NAND構成2ビット大小比較器, NOR構成2ビット大小比較器, ツリー型4ビット大小比較器, 非同期式10進2桁計数回路, 及び同期式10進2桁計数回路の全ての機能動作の確認に成功した. 4ビット比較器では, 従来回路と比べてトランジスタ数を40%削減できた.

参考文献 : [1] H. Hatano, "SEU effects on static and clocked cascade voltage switch logic (CVSL) circuits", Proceedings of the 8th European Workshop on Radiation Effects on Components and Systems, Jyväskylä, Finland, 2008.

設計期間 : 1人月以上, 2人月未満 **設計ツール** : Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, トランジスタ数 : 1,000以上, 10,000未満 **試作ラン** : オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別** : TEG (特性評価回路など)



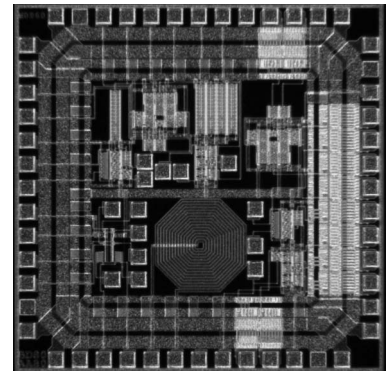
A modified PLL chip for MEMS scanner actuation (version 1.0)

東京大学生産技術研究所 李 宥憲, 藤田 博之, 年吉 洋

概要 : The purpose of this chip is to control a MEMS scanner only with the vddlevel of the given technology for the development of a self-sustaining CMOS-MEMS integrated system. Usually, electrostatic MEMS driving requires much higher voltage than normal CMOS vdd level. One way for overcoming the voltage gap is that the MEMS scanner is actuated at its natural frequency where it vibrates with the largest amplitude under low energy loss environment. The natural frequency is traceable by using the characteristic that the displacement of the scanner has 90 degree phase delay at the natural frequency. To find out the point where a phase difference occurs has been carried out by a PLL. A PLL is a very well known IP for tracking a target phase or a target frequency. This chip is composed with a phase detector, a loop filter, a voltage controlled oscillator, and a frequency divider. In addition to the conventional PLL function blocks, a mechanical sensor is designed for the MEMS scanner controller which converts mechanical displacement into electrical signal. It is one of the most difficult parts and a differential amplifier is used as a charge amplifier in the chip. Among the circuits inside the chip, the phase detector and the charge amplifier did not work correctly. The phase detector is supposed to have too thin and long power line from power supply pads. The charge amplifier is going to be replaced by a simpler sensing unit because of the complexity of the differential amplifier with limited design resources.

参考文献 : C. Wang et al., Sensors and Actuators A, pp. 243-249, vol. 133, 2007.

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, トランジスタ数 : 100以上, 1,000未満 **試作ラン** : オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別** : MEMS

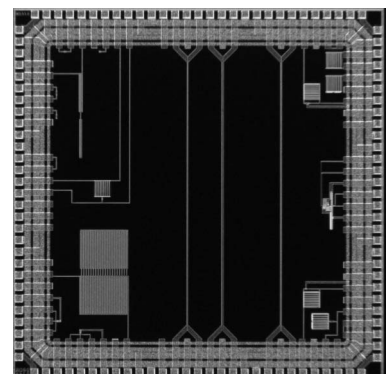


チップ伝送特性計測モデル線路の試作

秋田大学工学資源学部 萱野 良樹, 井上 浩

概要 : IC内部の伝送線路の高周波特性, 配線間の電磁結合などの基礎特性を計測することは, シグナル・インテグリティの確保, チップ内電磁ノイズおよび信号ノイズの問題を解決した配線設計など, すなわち EMC 設計を可能にするための基礎的特性として大切である. 本試作では, 配線間隔の異なる複数の平行2本線のモデル伝送線路の設計・試作を行った. 基板をグランドとしたマイクロストリップ線路を2本近接して作製し, 直接, 配線の伝送特性や電磁結合の特性を計測できるようにしている. 伝送特性および電磁結合の計測とともに, 電磁界シミュレーション, 等価回路解析とも比較できるようにした. また, その他の能動回路のTEGも同時に作製した.

設計期間 : 1人月以上, 2人月未満 **設計ツール** : Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, トランジスタ数 : 10以上, 100未満 **試作ラン** : オンセミ CMOS 1.2 μ m 4.8mm角 **チップ種別** : アナログ (PLL, A-D/DC-DCコンバータなど)

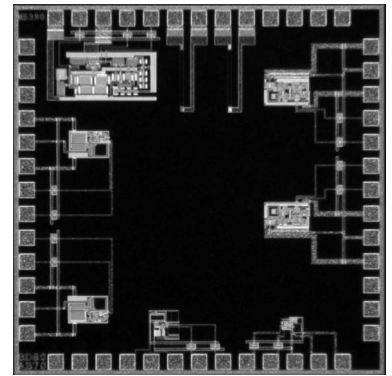


演算増幅器の試作2

豊橋技術科学大学工学研究科 小山 靖仁, 竹原 裕司, 山下 知憲, 中田 光俊, 中川 雄介
豊橋技術科学大学情報工学系 和田 和千

概要：学生5名が演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>)に参加するため、各自が設計した回路を試作している。また、理論計算に始まり、シミュレーションによる動作検証、そしてレイアウトと一連の設計能力を養うことも目的としている。回路構成は差動対とソース接地増幅回路の2段構成を基本に、各学生が目指す特性に特化するように回路構成に変更を加え、工夫を凝らすとともに、前年度の測定結果を踏まえ、出力段を付加する等、経験に基づく回路設計にも取り組んだ。また、遺伝的アルゴリズム (GA:Genetic Algorithm) を用いて自動設計した回路もある。試作した回路のうち二つの回路は、同コンテスト試作の部に敢闘賞ならびに努力賞を獲得した。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

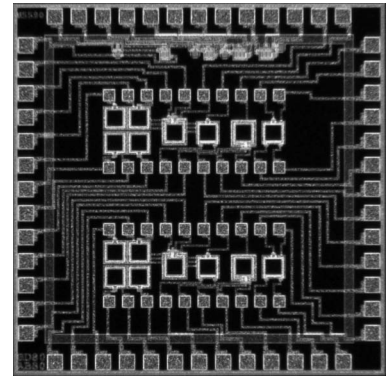


センサ用LSIのためのアナログ回路の基本特性解析

富山県立大学工学部情報システム工学科 押山 弘樹, 松田 敏弘, 岩田 栄之

概要：近年、マイクロマシン技術を応用した小型で高性能なセンサが開発されている。しかし、小型センサの出力は微小であり、この出力を増幅、補正する必要がある。本チップは、小型半導体センサの出力信号増幅とオフセット電圧補償のための回路を構成するLSIの設計の基礎となるMOSFET、ダイオード、抵抗、オペアンプ等の基本特性を確認するために試作した。サイズを変化させたMOSFETとダイオードの特性を、個別に測定できるようにしてある。また、増幅器回路を構成するための複数のオペアンプと抵抗を配置している。今回設計したチップの解析結果を基に、小型センサの微小な出力を増幅、補正する回路を開発していく。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG (特性評価回路など)



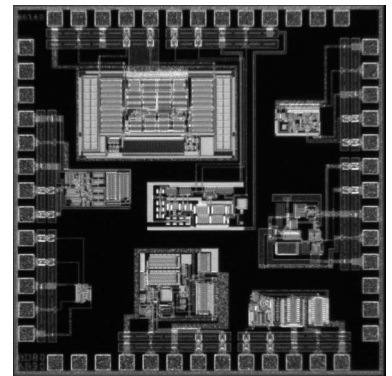
演算増幅器の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムスレティアン

概要：本試作は回路設計、レイアウトおよび評価を含む集積回路設計の基礎教育を目的としており、平成20年演算増幅器設計コンテストの集積化実現部門 [1] に応募するための演算増幅器を試作している。本試作では、計8個の演算増幅器が同一チップ上に集積化されている。それぞれの演算増幅器はコンテストの要件を満たすべく、5Vの電源電圧下において2k Ω の抵抗及び1nFの容量が十分に駆動できるように設計されている。経験者である修士2年生の学生と共に初心者の学部4年生および修士1年生の学生が試作に参加しているため、Rail-to-rail動作が可能な演算増幅器から差動対とソース接地回路からなる基本的な回路まで様々な演算増幅器の試作が行われている。

参考文献：[1] 演算増幅器設計コンテスト <http://www.ec.ss.titech.ac.jp/opamp>

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

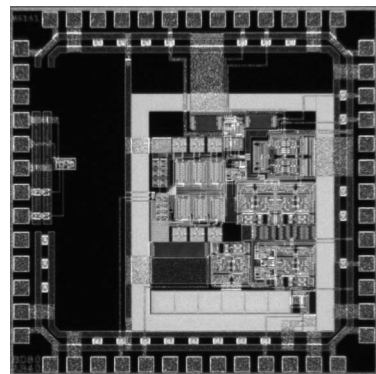


ワンチップFM放送受信システムの試作

東京工業大学理工学研究所 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコテムス レディアン

概要：FM放送受信システム用の復調回路（PLL：Phase Locked Loop回路）を試作している。過去の試作では80MHz帯のFM放送信号を210kHz帯に周波数変換していたが、回路規模縮小のために昨年度から中間周波数帯を1MHzに変更した。それに伴い、FM変調された信号を復調するために用いられるPLL回路を再設計し、試作した。中間周波数が高くなるにつれて回路の動作に対して寄生容量影響が大きくなり、シミュレーションで得られた周波数特性よりも実際の周波数特性が低かった。その結果、昨年度に試作した同回路が正常に機能していなかった（PLLのロックレンジが中間周波数帯から外れてしまったため）。ため回路の再設計並びにレイアウトの見直しを行った。

設計期間：1 月以上, 2 月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

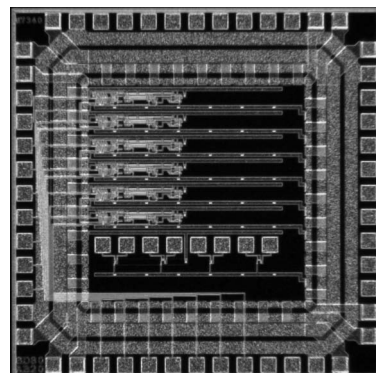


加速度検出用最大値最小値保持回路

兵庫県立大学大学院工学研究科 園田 晃司, 鈴木 文章, 藤田 孝之, 前中 一介

概要：一定期間、センサから検出される情報の最大値・最小値を保持する回路の設計を行った。一定期間の保持とリセットを繰り返す動作で、周期やタイミングを外部より与えるクロックで制御可能とし、省電力化や必要十分な情報の取得条件の調整が行える。キャパシタへの充放電によって値を保持・リセットするが、設計値として10sec間の保持、数十msec間のリセットを目指しておりチップ内部に容量の大きなキャパシタを形成するのは困難であるためキャパシタのみディスクリートのものを利用した。試作したチップは設計の際のミスにより評価にはいたらなかった。

設計期間：2 月以上, 3 月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Diva, トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



演算増幅器設計試作 -大学・高専連携チップ-

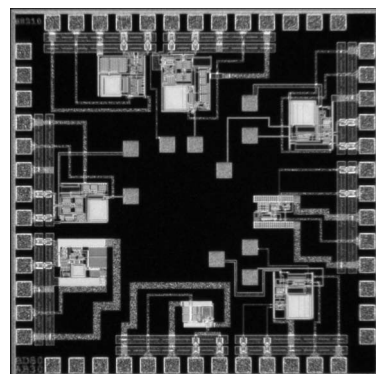
佐賀大学大学院工学系研究科 清水 暁生, 武久 祐一, 原口 直也

佐賀大学理工学部 深井 澄夫

有明工業高等専門学校電子情報工学科 金子 絢美, 平川 豊, 広松 亜由美, 石川 洋平

概要：本試作では、アナログ集積回路の基本ブロックである演算増幅器の設計を行い、総合的なLSI設計技術及び検証技術を習得することを目的としている。今回は基本的な2段構成の演算増幅器をした。また、演算増幅器設計コンテスト（東京工業大学主催）の「集積化実現の部」への参加を視野に入れて、演算増幅器設計コンテスト用のピン配置に合わせて設計を行った。なお、本試作では、コミュニケーション能力向上という教育的観点から、佐賀大学と有明高専共同でゼミを行い、協業し、チップレイアウトを行った。

設計期間：3 月以上, 4 月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Diva, トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



平成20年度第1回オンセミコンダクター CMOS 1.2 μ m 試作 (MOT081)

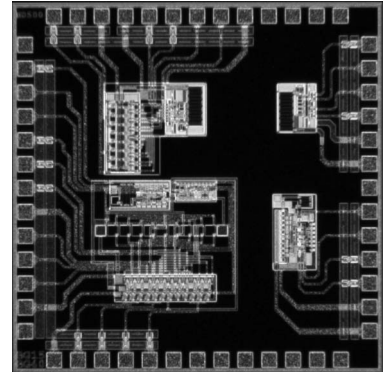
デルタ・シグマ変調器および演算増幅器

宮崎大学大学院工学研究科 宮内 亮一, 平野 扶早, 兒玉 祐樹

宮崎大学工学部 外山 貴子, 田村 宏樹, 淡野 公一

概要: 本試作では, 1次デルタ・シグマ変調器, 1/fノイズ低減化手法を適用した演算増幅器2種, 基本的な演算増幅器1種を試作した。デルタ・シグマ変調器は, 生体信号用のAD変換器として用いるための変調器として用いるための基礎検討として試作したもので, 変調器内の積分器に用いる演算増幅器には, 提案する1/fノイズの低減化手法を用いている。この手法によるフロアノイズの低減効果について評価する予定である。また, 演算増幅器では, 先のデルタ・シグマ変調器に用いている回路構成の他に, 比較対象として, これまでに提案されている手法の回路を作り込んでいる。現在これらの特性評価に取り組んでいる。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)

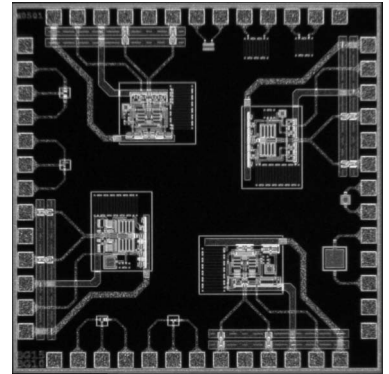


学生実験用演算増幅器の試作

宮崎大学工学部 外山 貴子, 田村 宏樹, 淡野 公一

概要: 我々の研究室では, 学部学生向けの実験のテーマとして「演算増幅器の設計」に取り組んでいる。この実験では, 与えられた設計仕様を満足するように演算増幅器の回路構成を選択させ, トランジスタレベルでの回路設計, マスクレイアウト設計, 評価まで取り組ませている。この実験を通して, 基本的なLSI設計の技術を修得させることができ, 今後研究で取り組むLSI設計へスムーズにシフトできる。本試作では, 学部学生が測定評価実験を体験することを目的としているため, 昨年度の試作でわかった改善点をふまえ, 回路構成の異なった四種類の演算増幅器とそれを構成する要素回路を作り込んでいる。また, 製造時における”ばらつき”や, 設計値とのずれの原因究明にも役立つよう, 単体で, MOS-FETや抵抗なども作り込んだ。現在特性評価の途中であるが, 概ね期待通りの性能を得ている。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)



CVSL基本論理回路群とCMOS基本論理回路群, FF回路群, 及び比較回路群の設計試作

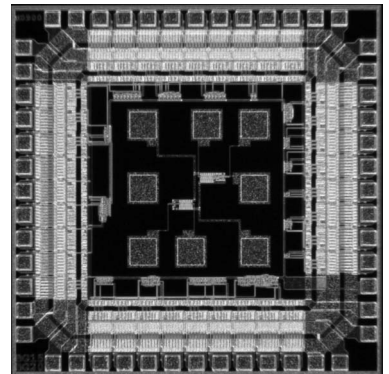
静岡理科大学電気電子工学科 波多野 裕

電気電子情報工学科 神尾 翔, 吉田 良輔

概要: 19年度第2回試作チップまでの実測結果を踏まえて, カスケード電圧スイッチ論理(CVSL)回路の基本回路群, CMOSの基本回路群, フリップフロップ回路群, 及び大小比較回路群を2チップに分けて設計した。設計した回路は, CVSLのNAND, NOR, EXOR, 半加算器, 全加算器, CMOSのNAND, NOR, EXOR, 半加算器, 全加算器, 及びRS-FF5種類, T-FF2種類, JK-FF, 大小比較器4種類などである。1月30日に入荷したチップを直ちに実測して, CVSLのNAND, NOR, EXOR, 半加算器, 全加算器, CMOSのNAND, NOR, EXOR, 半加算器, 全加算器, 及びRS-FF5種類, T-FF2種類, JK-FF, 大小比較器4種類の機能動作の確認に成功した。

参考文献: [1] H. Hatano, "Single event effects on static and clocked cascade voltage switch logic circuits", IEEE Trans. Nuclear Science, vol. 56, no. 4, 2009.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)



CVSL 基本論理回路群と CMOS 基本論理回路群, FF 回路群, 及び比較回路群の設計試作

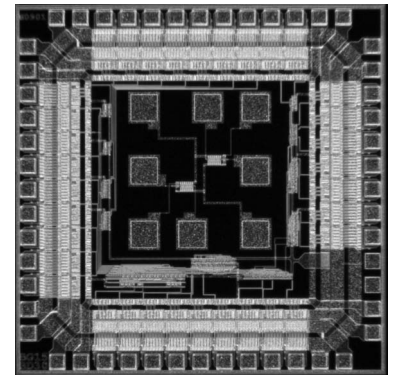
静岡理科大学電気電子工学科 波多野 裕

電気電子情報工学科 鈴木 陽介, 内田 雅人, 原 直也, 吉山 拓毅

概要：19 年度第 2 回試作チップまでの実測結果を踏まえて、カスケード電圧スイッチ論理 (CVSL) 回路の基本回路群, CMOS の基本回路群, フリップフロップ回路群, 及び大小比較回路群を 2 チップに分けて設計した。設計した回路は, CVSL の NAND, NOR, EXOR, 半加算器, 全加算器, CMOS の NAND, NOR, EXOR, 半加算器, 全加算器, 及び RS-FF5 種類, T-FF2 種類, JK-FF, 大小比較器 4 種類などである。1 月 30 日に入荷したチップを直ちに実測して, CVSL の NAND, NOR, EXOR, 半加算器, 全加算器, CMOS の NAND, NOR, EXOR, 半加算器, 全加算器, 及び RS-FF5 種類, T-FF2 種類, JK-FF, 大小比較器 4 種類の機能動作の確認に成功した。

参考文献：[1] H. Hatano, "Single event effects on CVSL and CMOS exclusive-OR (EX-OR) circuits", accepted to the 10th European Workshop on Radiation Effects on Components and Systems, 2009.

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, トランジスタ数：1,000 以上, 10,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別：TEG (特性評価回路など)



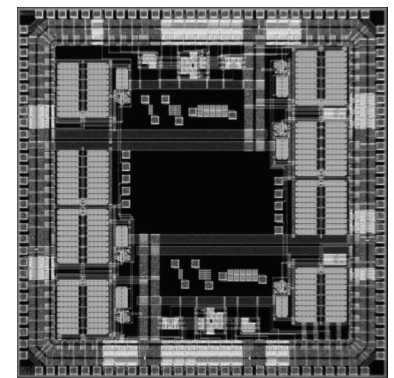
A modified PLL chip for MEMS scanner actuation (version 1.1)

東京大学生産技術研究所 李 宥憲, 藤田 博之, 年吉 洋

概要：The purpose of this chip is to control a MEMS scanner only with the vddlevel of the given technology for the development of a self-sustaining CMOS-MEMS integrated system. Driving MEMS devices electrostatic way asks for even higher voltage than normal CMOS power supply. Without using a level shifter, the voltage gap problem is solved by oscillating MEMS scanner at its natural frequency where it vibrates with the largest amplitude under low energy loss environment, for example, vacuum package. The natural frequency is traceable by using the fact that the displacement of the scanner has 90 degree phase delay compare to the input at the natural frequency. To find out the point where a phase difference occurs has been carried out by a PLL because a PLL is a very well known IP for tracking a target phase or a target frequency. This chip consists of a phase detector, a loop filter, a voltage controlled oscillator, and a frequency divider, which are the same with the previous version. In addition to the conventional PLL function blocks, a mechanical sensor is designed for the MEMS scanner controller which converts mechanical displacement into electrical signal. Contrary to the previous case, the converter is totally different, which is composed of a resistor and a Schmitt triggered inverter. The sensor becomes very simple by pull-in detection scheme. The novel scheme of the sensor is now under testing. In addition to the function blocks of PLL and sensing part, the chip has a charge pump and a level shifter to prepare a case that a MEMS scanner requires higher voltage than VDD.

参考文献：C. Wang et al., Sensors and Actuators A, pp. 243-249, vol. 133, 2007.

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm 角 チップ種別：MEMS

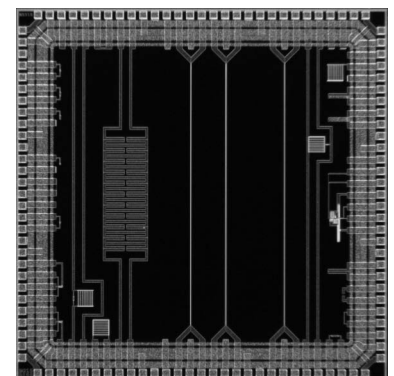


共振回路を含むチップ内特性測定モデル伝送線路の試作

秋田大学工学資源学部 萱野 良樹, 柳澤 良介, 井上 浩

概要：IC 内部の伝送線路の高周波特性, 配線間の電磁結合などの基礎特性を計測することは, シグナル・インテグリティの確保, チップ内電磁ノイズおよび信号ノイズの問題を解決した配線設計など, すなわち EMC 設計を可能にするための基礎的特性として大切である。本試作では, 伝送線路中に電磁結合をしながら共振回路を含む信号伝送系の開発を目指し, マイクロストリップ線路の TEG を試作し, 新しい伝送線路系としての基礎実験を行った。伝送線路の特性とともに, 電磁界シミュレーション, 等価回路解析とも比較出来るようにした。また, 一部にトランジスタを含む伝送系の TEG 試作も併せて行った。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS 1.2 μ m 4.8mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



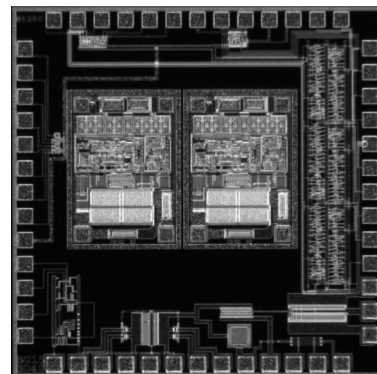
LDOの負荷安定のための補正回路

電気通信大学電子工学専攻 HENG SOCHEAT, 範 公可

概要: CMOS 集積回路の微細化に伴い、電子機器の動作電圧が急激に低下し、ついに 1 [V] を切る時代になった。これにより、電源回路に対して新たな出力電圧精度の要求が出現した。例えば、電源電圧が 0.9 [V] になれば、2%の精度ではわずか 18 [mV] までの変動幅しか許されない。パワー-MOSFET を用いる LDO において、電流が流れれば流れるほどボンディングワイヤの抵抗が無視できなくなってしまう。一例として、SOT-23 パッケージに Au ボンディングワイヤを使用した場、パッドとパッケージのピン間に 0.556 [nH] と 92 [mΩ] のインピーダンスが介在している。負荷電流が 300 [mA] の場合、LDO の出力端子の電圧レベルは上記述べた抵抗による電圧降下が最大 27.6 [mV] となり、精度 2% の 18 [mV] までの変動幅を圧倒的に超えて、何らかの補正が必要となる。本チップでは、検出端子を増やすことなく負荷電流量を検出して出力電圧を補正し、1 [V] 以下の出力電圧でも負荷電流安定度を出力電圧の 0.5% 以内で実現可能な回路を提案する。

参考文献: ヘイン ソチェット, 範 公可, ”ボンディングワイヤの抵抗を考慮したシリーズレギュレータの負荷安定のための補正回路”, pp. 172-175, 電子情報通信学会 (J-91A, 2008)

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2μm 2.3mm 角 **チップ種別:** 演算回路 (乗算器, 除算器など)



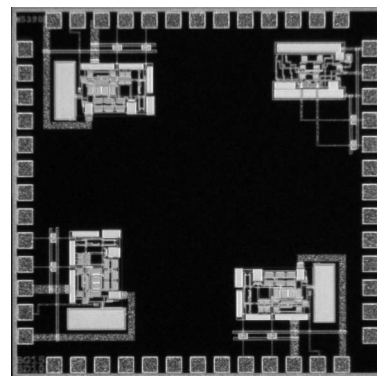
演算増幅器の試作 1

豊橋技術科学大学工学部 Said Zineb, 瀬川 健太郎

豊橋技術科学大学情報工学系 和田 和千

概要: 学部学生 2 名が、演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>) に参加して、各自が設計した演算増幅器を試作したものである。演算増幅器の回路設計からシミュレーション、レイアウト、および測定までの一通りの流れを習得するための教育の一環である。それぞれ、同相除去比・直流利得・同相入力範囲の特性に着目し、これらの値を伸ばすことを目標に回路を設計している。設計した回路構成は、差動増幅器とソース接地増幅回路の 2 段の構成を基本にしている。各自が設定した目的に特化するように、フォールディッドカスコード接続を利用するなど、多少の変更や工夫を行っており、電源電圧を抑えても高い利得を得られる設計など 8 つの回路が実現されている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2μm 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

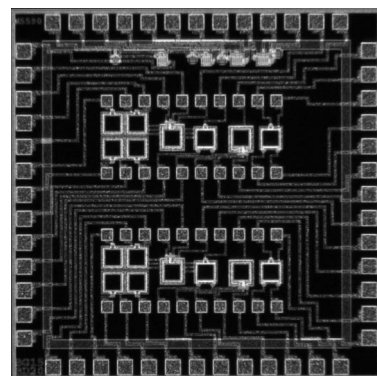


DC-DC コンバータ出力 LSI の開発

富山県立大学大学院工学研究科 市川 正貴, 松田 敏弘, 岩田 栄之

概要: DC-DC コンバータの小型・軽量化・高効率化のため、従来外付けのパワー-MOSFET を削除し、同等の回路を CMOS LSI 内に実現することを検討している。今回の試作では、出力回路、貫通電流防止回路を設計した。また、保護機能のために過電流防止回路を設計した。出力回路はハイサイド PMOS, ローサイド NMOS の同期整流方式である。貫通電流防止回路は出力回路の PMOS と NMOS が同時にオンしないように信号にデッドタイムを設ける。本回路の特徴として、試作後に外部からの電圧により、適切なデッドタイムに設定可能である。過電流防止回路は、DC-DC コンバータの出力端子とグラウンドが短絡した場合に、大電流による電源回路の破壊を防止する。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2μm 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



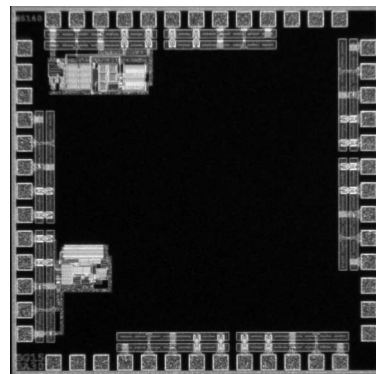
演算増幅器の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン

概要：本試作は回路設計, レイアウトおよび評価を含む集積回路設計の基礎教育を目的としており, 平成21年演算増幅器設計コンテストの集積化実現部門 [1] に応募するための演算増幅器を試作している。本試作では, 計2個の演算増幅器が同一チップ上に集積化されている。それぞれの演算増幅器はコンテストの要件を満たすべく, 5Vの電源電圧下において $2\text{k}\Omega$ の抵抗及び 1nF の容量が十分に駆動できるように設計されている。設計者は学部4年生の学生であるため, 差動対およびソース接地からなる基本的な演算増幅器回路の試作となっている。

参考文献： [1] 演算増幅器設計コンテスト <http://www.ec.ss.titech.ac.jp/opamp>

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS $1.2\mu\text{m}$ 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



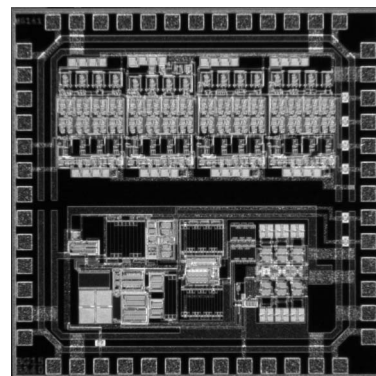
チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

ワンチップFM放送受信システムの試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン

概要：FM放送受信システム用の復調回路 (PLL: Phase Locked Loop 回路) およびバンドパスフィルタ回路を試作している。過去の試作では 80MHz 帯のFM放送信号を 210kHz 帯に周波数変換していたが, 回路規模縮小のために中間周波数帯を 1MHz に変更した。それに伴い, PLL回路およびバンドパスフィルタを再設計し, 試作した。バンドパスフィルタ回路は平衡型 G_m-C フィルタ回路で構成した。隣接チャネルの信号を十分に減衰させるために, ローパス側およびハイパス側の次数をそれぞれ5次と3次とした非対称フィルタを用いている。中心周波数は 1MHz で 700kHz から 1.3MHz までの通過帯域を有している。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, トランジスタ数：100 以上, 1,000 未満 試作ラン：オンセミ CMOS $1.2\mu\text{m}$ 2.3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

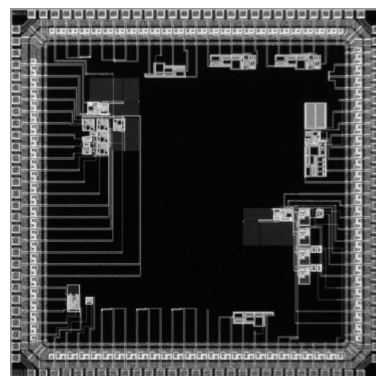
無線センサネットワーク端末の電源制御回路

福岡県産業・科学技術振興財団 黄章財

早稲田大学大学院情報生産システム研究科 井上 靖秋

概要：無線センサネットワーク端末としては, 建造物や橋梁の安全度診断へ (振動や応力を計測・分析して, 建造物の安全性を常時監視する) の応用が現在日本で注目されている。従来のセンサネットワーク端末は, 消費電力が大きいので, 電池の使用寿命が数日しかもたないという問題があり, この問題を解決するのがセンサネットワーク端末の大きな課題になっている。本チップは, 端末の電源制御を工夫することで課題を解決する。具体的な目標は, ボタン電池で10年間動作する無線センサネットワーク端末を実現する。本チップは, タイマーによる定期的な診断に加えて, 何らかのイベントを生じたときに端末の電源を即時ONにして, つまり端末を必要な時にタイムリーに間欠動作させて, 消費電力を大幅に低減させる。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数：10 以上, 100 未満 試作ラン：オンセミ CMOS $1.2\mu\text{m}$ 4.8mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

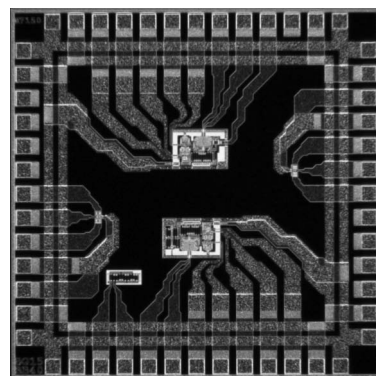


低電圧・低消費電力動作可能な電圧電流変換回路の試作

都城工業高等専門学校電気情報工学科 田中 寿

概要： 本試作では、弱反転領域で動作する MOSFET を用いた電圧電流変換回路を試作した。電圧電流変換回路は、アナログ回路において重要な回路要素のひとつである。本回路の特徴は、低電圧、低消費電力で動作すること、出力電流の線形性が高いことが挙げられる。本回路は、弱反転領域で動作させるために抵抗値の大きな抵抗を配置したため、チップ面積が増大した。動作確認のために高抵抗を配置したものと外部抵抗による測定ができるように取り除いたものとを設計した。上記以外には、フローティングゲート MOSFET を用いた回路設計に対する基本特性を得る目的として、2種類のフローティングゲート MOSFET を試作した。なお、試作したチップの測定、特性評価はまだ実施していない。テストによる測定も実施していない。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別：**演算回路 (乗算器, 除算器など)



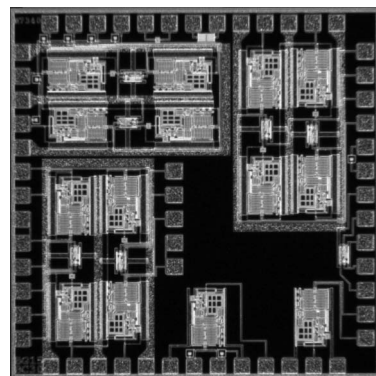
トランジスタ数：10 以上、100 未満

加速度検出用最大値最小値保持回路

兵庫県立大学大学院工学研究科 園田 晃司, 鈴木 文章, 藤田 孝之, 前中 一介

概要：一定期間センサから検出される情報の最大値・最小値をキャパシタで保持する回路の設計を行った。一定期間の保持とリセットを繰り返す動作で、周期やタイミングを外部より与えるクロックで制御可能とし、省電力化や必要十分な情報の取得条件の調整が行える。設計値として 10sec 間の保持、数十 msec 間のリセットを目指しておりチップ内に大容量のキャパシタを形成するのは困難であるため、ディスクリートのものを利用した。瞬間的に変化する加速度を検出し保持するため、アキュジションタイムの検討およびバッファアンプ等の省電力化を図った。チップは最大値保持回路の動作、アンプ等の省電力化を確認した。今後アキュジションタイムが十分に小さくない点などについて改善を行う。

設計期間：2 人月以上、3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Diva, **トランジスタ数：**100 以上、1,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

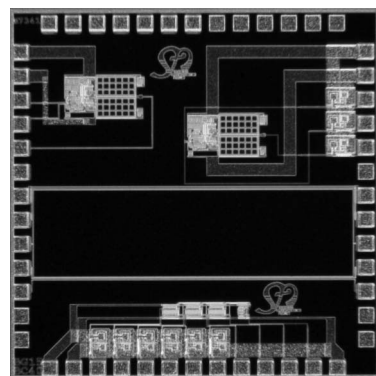


センサ信号を検出するためのオペアンプの作成

兵庫県立大学大学院工学研究科 齊藤 光俊, 藤田 孝之, 前中 一介

概要：センサからの信号を検出するためのシングルオペアンプの作成を行った。Rail to Rail の入力および出力を有する CMOS 型オペアンプである。位相補償回路を内蔵し、従来の汎用オペアンプに比べ、低電圧駆動、低消費電流動作が可能であるため、電池駆動の小型携帯機器への応用が可能である。実測では、入力電圧が 0~3.3V の範囲に対し、出力電圧は 644 μ V~3.29V の範囲である。また、別途消費電力を低く設計したオペアンプも配置している。実測では 1 オペアンプあたりの消費電力は 3.3V 動作時で約 20 μ A であり、オフセット電圧が大きく、入力範囲は狭いものの、この回路も動作することを確認している。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Diva, **トランジスタ数：**100 以上、1,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



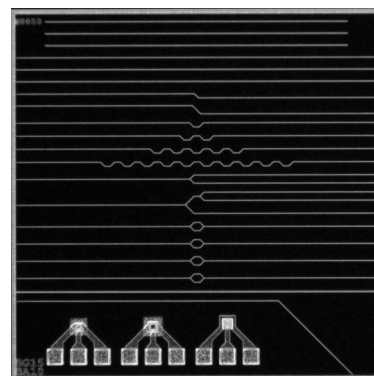
CMOSプロセスによる光導波路

金沢大学理工学域 飯山 宏一, 丸山 武男

金沢大学工学部 飛鳥井 貴弘

概要: 高速データ通信を目指して、LSIチップ間通信に光伝送を適用した光インターコネクションが検討されている。その実現には各種光デバイスをCMOSプロセスに整合させる必要がある。本チップは、CMOSプロセスにより光導波路を試作するものである。すなわち、CMOSプロセスにおけるグローバル配線層に形成されるポリシリコンを光導波路として利用するものである。基本的にシリコンであるので、光通信波長である1550nm帯の光の伝搬を想定している。光導波路の幅と厚さはプロセスルールで決定されるため自由に決定できないが、光伝搬には十分なサイズであることは電磁界解析により確認済みである。光導波路の場合には端面形成が不可欠であるが、CMOSプロセスでは端面形成は行われないので、現在、試作チップの端面形成について実験を行っているところである。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, **トランジスタ数:** 10未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** その他

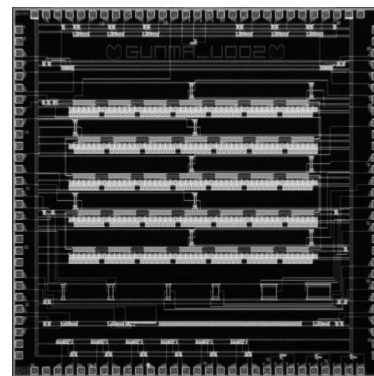


超低消費電力断熱的ダイナミックCMOS論理回路の試作

群馬大学工学研究科 馮 敏, 白石 洋一

概要: 高齢化社会において医療費が増大する中、個人が自律的に体調を管理する予防医学が重要視されている。我々は、人間の運動状態での詳細な生体情報（脈拍を含む脈波信号等）の取出しと、個人伝達をリアルタイムで行うシステムの開発を行っている。すなわち、指尖光センサーが感知した情報を信号分離手法により、変動する直流オフセット電圧を含む雑音中から生体情報（脈波信号）のみを取出し、情報の判断結果を音声に変換しリアルタイムで本人に伝達する携帯型体調把握支援システムである。すでに個別部品を用いて開発を行い、その動作を確認した。次に、腕時計型システムを指向した小型化を図るために、本試作において超低消費電力断熱的ダイナミックCMOS論理回路技術を用いたTEG回路を試作した。具体的には、インバータ回路、アナログスイッチ回路、リングオシレータ回路、オペアンプ回路の試作である。動作試験の結果、すべての回路の正常動作を確認した。今後は、低消費電力の効果を評価する予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Tanner社 L-Edit, Tanner社 L-Edit DRC, **トランジスタ数:** 100以上, 1000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm角 **チップ種別:** 演算回路（乗算器, 除算器など）

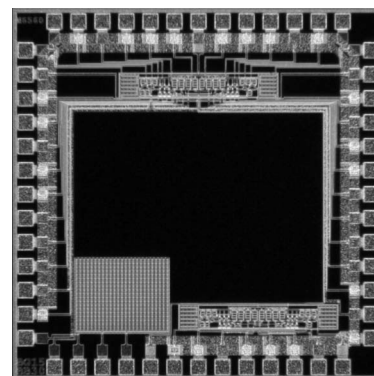


線形領域を用いた高い線形性を有するトランスコンダクタ

筑波大学システム情報工学研究科 小野 習仁, 庄野 和宏, 石橋 幸男

概要: 本集積回路は、アナログCMOS集積回路である。線形領域で動作するMOSトランジスタを用い、トランスコンダクタを構成した。動作電圧は5Vである。本試作回路は、差動入力端子をもつ。高い線形性をもつため、出力は、シングルエンド出力とせずに、差動出力とし、抵抗器を外付けすることにより、差動出力を調べられるようにした。回路内部の電圧、電流を調べられるように、各部の信号を取り出した予備回路を搭載している。評価結果としては、おおむね良好な線形性を有することが確認された。今後は、THDや消費電力を測定し、成果発表を行う予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Tanner社 L-Edit, Synopsys社 HSPICE **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角チップ **チップ種別:** TEG（特性評価回路など）



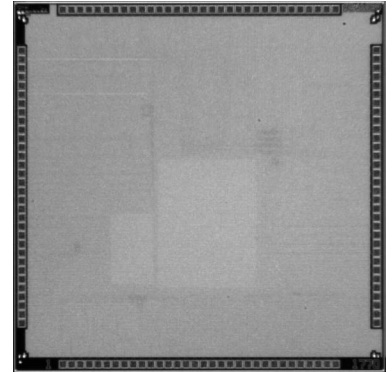
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ

横浜国立大学大学院工学府 岡本 悠史

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。今回、SFQ/CMOS ハイブリッドメモリ用メモリを試作した。メモリセルには3トランジスタ SRMA を用いており、その容量は64kbである。また、システムのインターフェイス回路である、Josephson/CMOS ハイブリッドアンプの CMOS 回路部分も作成した。回路を安定させるため、回路の周りにはメタル4層でGNDにおとしている。また、出力バッファのテスト回路も作成した。提出後、MIM キャパシタのレイアウトミスと、電源ラインが繋がっていないというミスが見つかったため、正常な動作が確認できなかった。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre, トランジスタ数：10,000 以上、100,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**メモリ

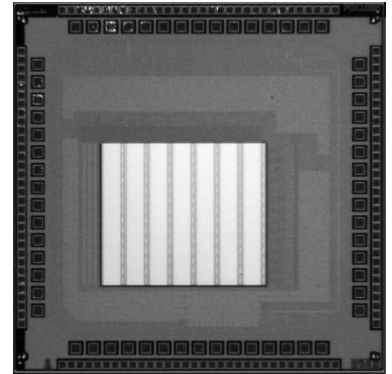
**断熱的パストランジスタを用いた乗算回路**

横浜国立大学大学院工学府 生田 浩康, 内山 順一

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は、CMOS 集積回路の低消費電力化のために断熱的パストランジスタ論理回路を提案している。断熱的論理回路とは電圧変化をゆっくり増減することで MOS デバイスでのエネルギー消費を低減し、またエネルギーを回収することで消費電力を格段に小さくできる回路である。本試作では、より大規模な断熱回路の動作実証を行うために、8bit 断熱的パストランジスタ論理回路の乗算回路を10個並列にしたものを設計した。この乗算回路は従来のチップと同じ配列形の乗算回路であり、断熱回路を駆動するためのラインは論理回路部用とラッチ回路用の全部で6本である。外部負荷を駆動させるためのドライバであるラッチ回路は消費電力が大きく、演算そのものの消費電力を測定するために、それらの電力供給ラインは演算部とは別に分けられている。更に nMOS のしきい値電圧のばらつきを測定するための256素子のトランジスタアレイを試作した。デコーダでアドレスからひとつの MOS を選択できるようになっている。

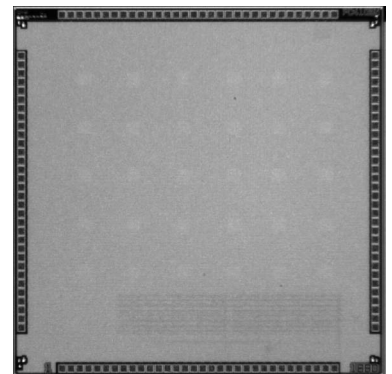
設計期間：1 人月以上、2 人月未満 **設計ツール：**Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数：10,000 以上、100,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**演算回路 (乗算器, 除算器など)

**DMA テスト回路**

広島市立大学大学院情報科学研究科 河津 翔吾, 高橋 和也, 中本 智啓

概要：本チップには、単体 MOSFET あるいは容量測定用素子からなるセルを多数行列上に配置した DMA (Device Matrix Array) と、その DMA の特性を調べるための周辺回路およびセル内に配置した単体素子などを集積してある。DMA は素子ばらつきを調べるために使用するテスト回路で、それを用いた大規模なばらつき測定用回路を別途試作、測定して、ばらつきの研究を行っている。このチップは、その研究において得られる測定データの精度を検証するために使用するものである。被測定素子を DMA の内部に置くことにより、その測定結果は各種の寄生抵抗、寄生容量の影響を受けることになる。その影響を調べて、測定データを補正するための補足データを収集する目的で設計した。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula DRC, トランジスタ数：1,000 以上、10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

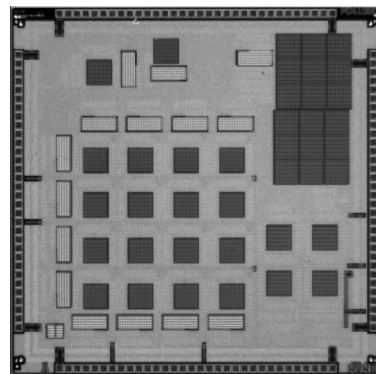


可視光通信用センサおよび信号処理回路

慶應義塾大学理工学部 近内 聡史, 松本 佳宣

概要：可視通信用により高感度、高速な受光素子を開発するため層構造の異なるフォトダイオードを試作した。標準 CMOS プロセスで利用可能な層は、P 型基板層、N ウェル層、P ウェル層、N 拡散層、P 拡散層、そしてディープ N ウェル層であり、これらを組み合わせて複数のフォトダイオード、フォトトランジスタを試作した。さらにゲイン、周波数特性の異なるいくつかのトランスインピーダンス回路、バッファ回路などを設計した。トランスインピーダンス回路に必要とされる抵抗は高抵抗の Hi-PolyR 抵抗を利用して、回路構成としてレギュレテッドカスコード構成をとり、低入力インピーダンスと広帯域、高変換ゲインの両立を図った。フォトダイオード、フォトトランジスタ単体の他、トランスインピーダンス回路との一体化したフォトトランジスタを設計した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ
チップ種別：通信 (RF 回路, ATM など)

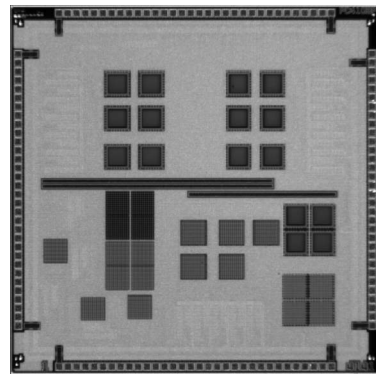


可視光 ID 用受光センサ及び信号処理回路

慶應義塾大学理工学部 木村 遙介, 松本 佳宣

概要：本研究では、受光素子を 8×8 のアレイ状にして発光源の状況に合わせて任意の受光素子を選択する事で、データを分離する集積回路の試作・評価を行った。アレイ状にすると個々の受光面積が減少して感度低下を招くため、受光素子として、フォトダイオードよりも高感度な p-well を npn トランジスタのエミッタ、Deep n-well をベース、p 型基板をコレクタとするフォトトランジスタを設計した。外部信号で行と列選択のトランジスタスイッチの ON/OFF を切り替える事によって、特定のフォトトランジスタを動作させる。具体的には Deep n-well を解放電位とすれば受光素子はフォトトランジスタとして動作する。Deep n-well を Vdd 電位とすればフォトトランジスタは非選択状態となる。さらに、専用トランスインピーダンスアンプ、選択スイッチを内蔵した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ
チップ種別：通信 (RF 回路, ATM など)

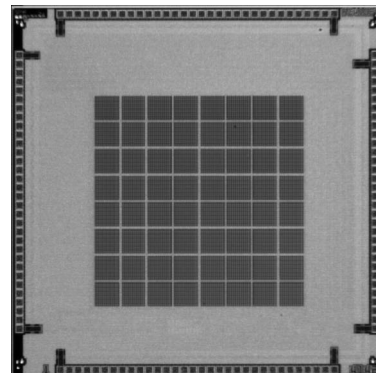


可視光通信用フォトトランジスタアレイ

慶應義塾大学理工学部 松本 佳宣

概要：本研究では、受光素子を 8×8 のアレイ状にして発光源の状況に合わせて任意の受光素子を選択する事で、データを分離する集積回路の試作・評価を行った。アレイ状にすると個々の受光面積が減少して感度低下を招くため、受光素子として、フォトダイオードよりも高感度なフォトトランジスタを標準 CMOS プロセスで製作した。さらに、可視光 ID システムの搬送周波数とフォトトランジスタの特性に合わせて、感度と応答周波数の最適化を行った専用トランスインピーダンスアンプを内蔵した。個々の受光素子は外部信号により任意に選択出来る構成として、複数の受光素子を同時に選んで、受光感度をさらに向上させる事が可能な構成とした。このフォトトランジスタアレイを専用 2 眼ボードに実装して、可視光 ID の受信実験を行った。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数：10 以上, 100 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ
チップ種別：通信 (RF 回路, ATM など)



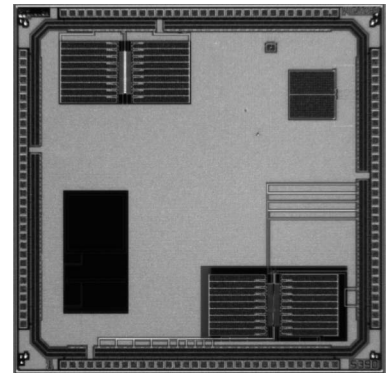
中間周波数用線形位相帯域フィルタ

豊橋技術科学大学工学研究科 久保 俊一
豊橋技術科学大学情報工学系 和田 和千

概要：中間周波数に用いられるフィルタは比帯域幅が非常に狭く、素子ばらつきによる特性劣化が大きくなりがちであった。この問題を軽減するために文献 [1] で提案した手法に注目し、その有用性を確認することが本試作の目的である。従来のフィルタ構造と遺伝的アルゴリズムによる素子値最適化を用い、実現精度を高めるために素子値の広がりを低減する設計法に従って、中心周波数 10.8MHz、3dB 帯域幅が 300kHz、20db 帯域幅が 600kHz の特性を有する帯域通過フィルタを設計している。前回の試作で問題であった、測定用の入出力バッファの駆動能力を十分なものとする事で、被測定回路（フィルタ）が十分な特性を有することが確認でき、したがって文献で提案した設計手法が有用であることも示された。

参考文献： [1] “素子値の広がりを低減した IF 用狭帯域通過フィルタの試作と評価,”久保 俊一, 和田 和千, 田所 嘉昭, 電学電子回路研資 ECT-08-34, 2008 年 3 月.

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

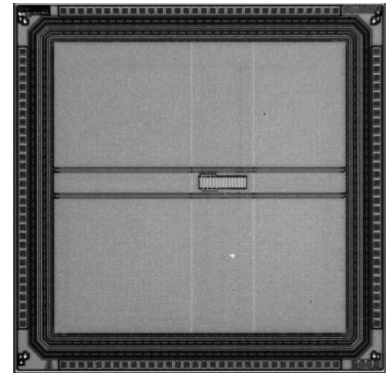


ビアプログラマブルデバイス VPEX の基本回路動作検証

立命館大学理工学研究科 中村 明博, 川原崎 正英, 藤野 毅

概要：電子ビーム (EB) 描画を用いてフォトマスク費用をなくし、少量多品種 ASIC を低コストで製造できる LSI 設計手法の研究を行っている。光リソグラフィーを比較すると、EB 描画のパターン形成速度は遅いため、少ない描画層でプログラムできる必要があり、ビア 2 層の変更だけで任意のロジックを構成できる手法を採用した。ビア層を選択したのは、描画パターン面積が少なく、高速 EB 描画手法である「キャラクタプロジェクション描画」の適用が容易なためである。提案するビアプログラマブルデバイス VPEX (Via Programmable logic using EXOR array) では、EXOR ゲートと Inverter を組み合わせた回路を基本論理素子 (LE) としている。本 LE は第 1 ビア層の変更により、AND, OR, Bubble AND などすべての 2 入力論理と、AOI21 および 2 入力 MUX の 3 入力論理をプログラムすることができる。LE 間の配線は第 3 ビア層でプログラムするが、その際に 2 つの LE を組み合わせることで D-FF を構成することもできるため、順序回路を含む任意の論理回路を VPEX で実現可能である。VPEX を用いてカウンタ、乗算器等小規模回路を搭載したテストチップを試作し、FPGA ボード上で各論理の正常動作を確認した。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**ニューテクノロジー



平成19年度第9回ローム CMOS 0.18 μ m 試作 (RO18079)

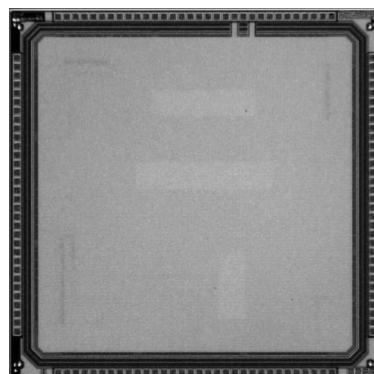
メビウス回路1

東京大学大学院工学系研究科 鄭明奎

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: 最近のプロセスの微細化に伴いバラツキがVLSIの大きな問題になっている。その対策として私たちはPVT遅延に強い自己同期式アーキテクチャを用いて回路が高信頼性で動作できるような研究を行った。その中でも私は高速動作を目標として自己同期式の論理素子レベルパイプライン (gate-level-pipelining) の新しい実現方法について研究した。提案した回路はメビウスの輪の概念を回路に適用した形であり、動作は特徴を以下に示す。1. 同じ動作をする回路がNMOSで構成された回路とPMOSで構成された回路2つある。2. NMOS回路がEvaluationの時はPMOS回路がPrechargeであり、PMOS回路がEvaluationの時はNMOS回路がPrechargeである。上の特徴により高速のパイプラインを実現することができた上、エラーの検出などの機能もあることが分かった。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



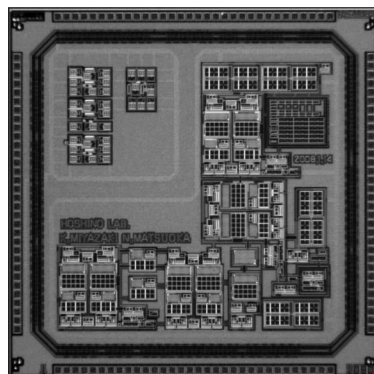
長波帯標準電波を対象とした受信専用集積回路

東京電機大学大学院理工学研究科 宮崎 康平, 星野 洋

概要: 電波時計にも利用されている日本の長波標準電波 (JJY) は、福島県から搬送波周波数 40 kHz, 佐賀県から搬送波周波数 60 kHz で送信されている。日本国内を移動すると、40 kHz と 60 kHz の強い方の電波を受信する事となり、どちらにも対応できる受信機が必要である。現在実用化されている集積回路はヘテロダイン検波の局部発信器を外部に接続して対応するものである。本集積回路は標準電波が正確である事を利用し、両方の搬送波から分周して正確な 10 kHz を作る。これを局部発信器とすればどちらの搬送波からも中間周波数 50 kHz を得る事ができ、以降の回路を単一とする事ができる。回路構成は、入力部のコンパレータで強い方の搬送波を選択し、分周回路で 10 kHz を作る。この局部発信信号と入力信号を乗算し中間周波数とし、これを検波する。本方式で、発信回路を必要としないため、受信用集積回路を小型で安定した特性とする事ができる。

参考文献: 日本標準時プロジェクト 長波受信波の周波数偏差/相対位相差, 独立行政法人情報通信研究機構。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 VCS, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Analog Artist, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** デジアナ混載



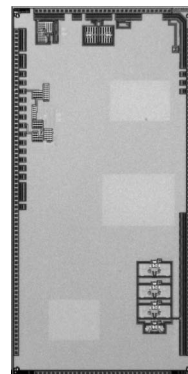
特定小電力無線送受信機用 TEG の試作

金沢大学大学院自然科学研究科 戸羽 辰夫, 狩野 孝太, 藤枝 茂

金沢大学大学院理工研究域 北川 章夫, 秋田 純一

概要: 特定小電力無線送受信機の開発に向け TEG の試作を行った。本試作は、要素回路の特性評価を目的としている。設計回路は PA (Power Amplifier), MIXER, 分周器, PGA (Programmable Gain Amplifier), オペアンプである。PA は線形性を重視した A 級増幅器とした。また、外部からの信号により利得調節が可能である。MIXER は小型化と低消費電力を重視した Single Balanced Mixer, 分周器はラッチ構成のものを組み合わせることにより分周と同時に 90 度オフセット信号を出力する。PGA は 4 つのオペアンプで構成されており外部信号により利得設定が出来るものとした。オペアンプはデルタシグマ型 AD 変換器で使用予定である。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** 通信 (RF 回路, ATM など)

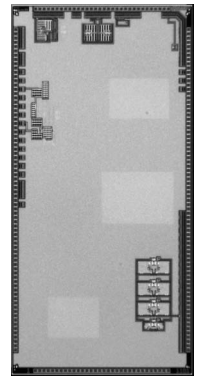


特定小電力無線送受信機用 TEG の試作

金沢大学大学院自然科学研究科 戸羽 辰夫, 狩野 孝太, 藤枝 茂
金沢大学大学院理工研究域 北川 章夫, 秋田 純一

概要: 特定小電力無線送受信機の開発に向け TEG の試作を行った。本試作は、要素回路の特性評価を目的としている。設計回路は PA (Power Amplifier), MIXER, 分周器, PGA (Programmable Gain Amplifier), オペアンプである。PA は線形性を重視した A 級増幅器とした。また、外部からの信号により利得調節が可能である。MIXER は小型化と低消費電力を重視した Single Balanced Mixer, 分周器はラッチ構成のものを組み合わせることにより分周と同時に 90 度オフセット信号を出力する。PGA は 4 つのオペアンプで構成されており外部信号により利得設定が出来るものとした。オペアンプはデルタシグマ型 AD 変換器で使用する予定である。

設計期間: 10 人月以上 **設計ツール:** Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** 通信 (RF 回路, ATM など)

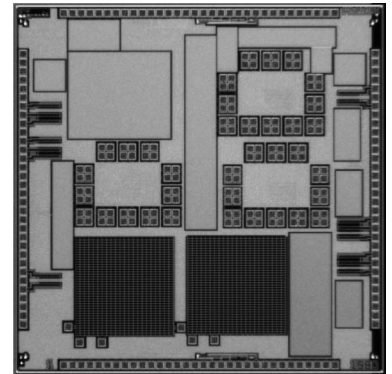


オンチップ電源回路

東京大学生産技術研究所 石田 光一, 坂井田 耕輔, 安福 正, 柳 至善, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要: パワーインテグリティ向上のためのオンチップ分散電源回路を実現に向けて重要な技術である、スイッチング方式によるオンチップ DC-DC 電源の基礎評価を行うことを目的とした TEG の試作を行った。電力効率を決定する重要な構成部品である整流回路 (MOS ダイオード), パルス幅制御用 MOS スイッチなどの素子単体の回路とその制御回路を設計した。パルス幅制御をベースとした絶縁型の降圧回路 (バックコンバータ) 用制御回路, および非絶縁型の昇圧回路 (ブーストコンバータ) 用制御回路の 2 種類をを実装した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

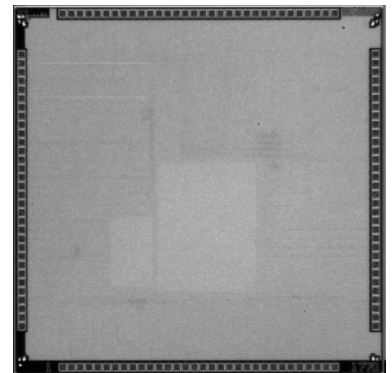


断熱的パストランジスタを用いた加算回路と断熱回路用電源

横浜国立大学大学院工学府 生田 浩康
横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は CMOS 集積回路の低消費電力化のために断熱的パストランジスタ論理回路を提案している。断熱的論理回路とは電圧変化をゆっくり増減することで消費電力を小さくできる回路である。断熱的パストランジスタ論理回路の動作実証のためにパストランジスタを用いた電源回路を有する断熱的 16bit 加算回路と、同じく 4bit の加算回路, 電源回路単体を設計した。16bit の加算回路は高速動作ができることを期待して、ラッチ回路である pal-4n の駆動力を従来設計よりも 10 倍程度に増やしており、消費エネルギーを最小にできる周波数まで動作できる。4bit の加算回路には、電源回路を付加した事の影響を見るために加算回路自体は前回のレイアウトを用い、大きな変更は加えられていない。また、断熱的動作の記憶回路として、断熱型 SRAM メモリの動作確認のための回路を設計した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

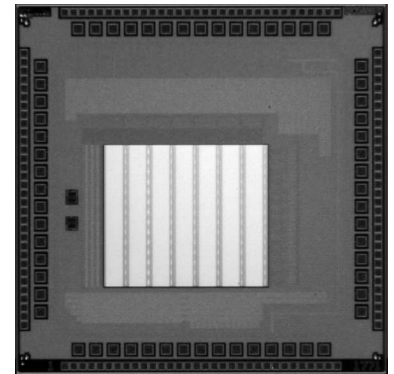


SFQ/CMOS ハイブリッドメモリ用 64kb メモリ

横浜国立大学大学院工学研究院 岡本 悠史, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。今回、SFQ/CMOS ハイブリッドメモリ用メモリを試作した。メモリセルには 3 トランジスタ DRAM を用いており、その容量は 64kb である。また、システムのインターフェイス回路である、Josephson/CMOS ハイブリッドアンプの CMOS 回路部分も作成した。回路を安定させるため、回路の周りはメタル 4 層で GND におとしている。また、クロストークを減少するため、信号線間に GND ラインを置くという対策をしている。また、入出力バッファのテスト回路も作成した。入力バッファ側にレイアウトミスがあったため、この回路は出力が確認できなかった。また、ワードアドレスデコーダのテスト回路も作成し、こちらは正常動作が確認できた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ

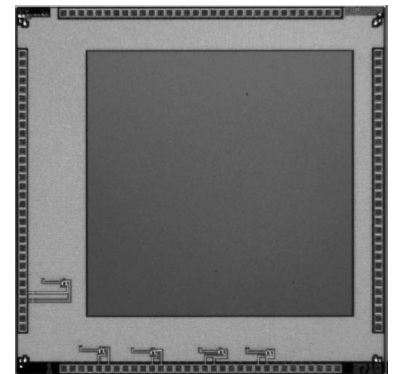


TEG

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: PET (Positron Emission Tomography) 用のガンマ線検出器や MSGC (Micro Strip Gas Chamber) を含む中性子、ガンマ線などの各種の放射線検出器への使用を目的として、動作電圧 1.8VROHM0.18 μ m にて放射線検出用信号回路の試作 (TEG) をおこなった。具体的には電荷積分型プリアンプ、オペアンプ、トランジスタ、コンパレータ、DAC (Digital Analog Converter) などをのせている。本チップは各回路の特性評価用に作成している。本チップの評価により高分解能、高解像度のピクセル型放射線検出器に必要なマルチチャンネル放射線検出信号処理回路用のめどをつける。また電荷積分型のプリアンプのノイズレベルの計測を行い、ENC がミニマムの値で 3000 電子程度であった。さらに減らすべく現在改良を行っている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

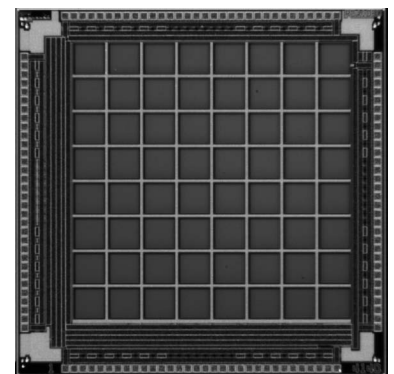


可視光通信による位置検出用フォトトランジスタアレイ

慶應義塾大学理工学部 山中 大, 松本 佳宣

概要: 3 個以上の可視光光源からそれぞれの位置情報が送信されているときに、可視光光源から光源の位置情報をイメージセンサで受信し、同時にイメージセンサ上への光源の投影位置を検出することによりイメージセンサの位置と姿勢を検出できる。この素子ではこのような受光素子の開発を目指して、受光素子とその選択回路、データ分離集積回路の試作・評価を行った。アレイ状にすると個々の受光面積が減少して感度低下を招くため、受光素子として、フォトダイオードよりも高感度なフォトトランジスタを標準 CMOS プロセスで製作した。さらに、複数の受光素子をシリアル信号で選択できるインターフェイス回路、専用トランスインピーダンスアンプを内蔵した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



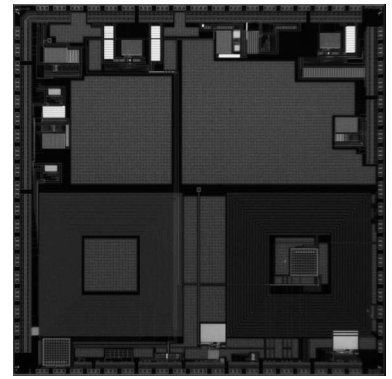
生体用途向けアナログ要素回路 TEG (TC2)

広島大学先端物質科学研究科 安部 亨

広島大学ナノデバイス・バイオ融合科学研究所 升井 義博, 佐々木 信雄, 吉田 毅,
石川 智弘

概要：体内におけるさまざまなバイタルサインを無線で継続的に計測することを目指し、初期の検討課題として温度測定を行うチップを試作した。平成19年度第7回 (RO18077) の試作に基づき、センサを構成する温度センサ、演算増幅回路、低電力逐次比較形 Analog-to-Digital Converter (ADC)、スパイラルコイルならびに送信回路をアナログ要素回路 TEG として試作、ADCの分解能を8bitから10bitに向上させた。また、無線給電の可能性を探るため、スパイラルコイルに整流回路とレギュレータを付加した。

設計期間：3人月以上, 4人月未満 **設計ツール：**Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**TEG (特性評価回路など)



平成19年度第10回ローム CMOS 0.18 μ m 試作 (RO180710)

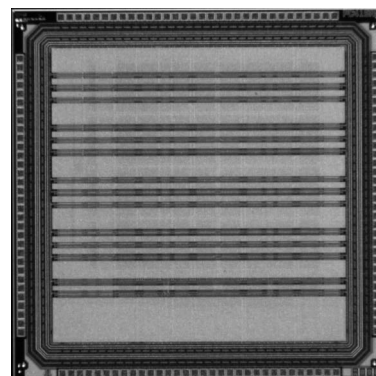
論理回路として動作するメモリの修正試作

広島市立大学大学院情報科学研究科 弘中 哲夫, 吉原 理記, 谷川 一哉, 平川 直樹,
戸口 博昭

概要: 幅広い分野で利用されているFPGA (Field Programmable Logic Device) などに代わる新たな再構成型デバイスとして当研究室ではメモリベース論理回路 (MPLD) を開発している。今回の試作では、前回試作したMPLDチップにおける修正および改良を行った。修正および改良は以下の2点である。1) ショートしていたD-FF回路の変更を行った。2) メモリ用の列デコーダの構成を改良し、メモリ機能の高速化を行った。現在、「PowerMedusa」FPGAボードによる測定を行っている最中である。

参考文献: 吉原理記, 平川直樹, 谷川一哉, 弘中哲夫, 佐藤正幸, ”再構成デバイスとしても動作するメモリ (MPLD) の一実装例”, 電子情報通信学会技術研究報告 RECONF2007-16, pp.7-12, 2007年。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** ニューテクノロジー

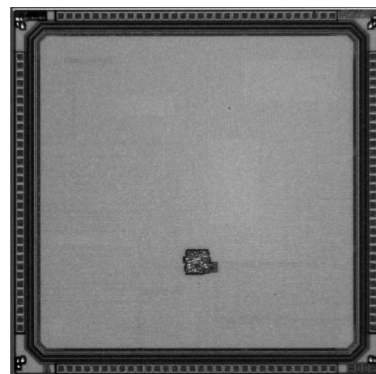


素子ばらつきに強い近接トランシーバ試作

東京大学工学系研究科 金 鎮明
東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: 一つのガラス基板上へシステムを集積するシステムオンガラスを実現のため、PMELA法を用いて周期的に決められた場所だけ移動度を高めた縮上シリコンTFTが必要である。PMELA結晶は多結晶になっているため、トランジスタが置かれる場所によって大きくトランジスタ特性が変わり、回路設計において非常に困難である。特にアナログ要素が多く含まれている通信回路はより特性ばらつきに対して影響を受けやすい。このチップでは、近接通信トランシーバを通して特性ばらつきに強く対応できるようにデジタル回路設計方式に対して考える。BPSK, ダイレクトコンバージョン通信方式であり、キャリア周波数はPMELA結晶を考慮して200MHzである。そのトランシーバの動作確認のため、通常シリコン0.18 μ mプロセスを代用して試作した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** 通信 (RF回路, ATMなど)

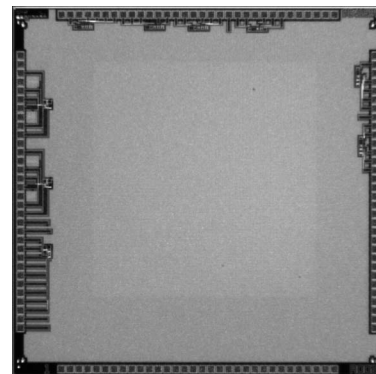


能動的基板雑音低減手法

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博
東京大学工学系研究科 ダン ゴクラン

概要: LSIの微細化・集積化の進展にともない、チップの単位面積当たりのトランジスタ数が上昇し、同じチップにデジタル回路とアナログ回路を混載することが可能となってきた。しかし、そのようなチップにはデジタル回路から発生する基板ノイズの影響が無視できなくなっている。本研究では、基板ノイズを低減するためにデジタル制御アクティブノイズキャンセラー回路について検討する。受動素子あるいはフィードバック回路を利用する手法と比べて、本研究で提案する能動的基板雑音低減手法はより安定であり、広い周波数帯で有効だと期待される。また、ノイズキャンセラー回路をデジタル制御にすることにより自律的制御に適した回路構成とする。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



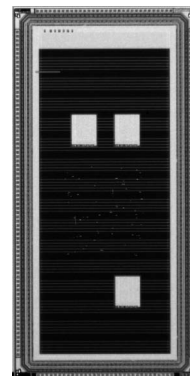
メビウス回路2

東京大学大学院工学系研究科 鄭明奎

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: 最近のプロセスの微細化に伴いバラツキがVLSIの大きな問題になっている。その対策として私たちはPVT遅延に強い自己同期式アーキテクチャを用いて回路が高信頼性で動作できるような研究を行った。その中でも私は高速動作を目標として自己同期式の論理素子レベルパイプライン (gate-level-pipelining) の新しい実現方法について研究した。提案した回路はメビウスの輪の概念を回路に適用した形であり、動作は特徴を以下に示す。1. 同じ動作をする回路がNMOSで構成された回路とPMOSで構成された回路2つある。2. NMOS回路がEvaluationの時はPMOS回路がPrechargeであり、PMOS回路がEvaluationの時はNMOS回路がPrechargeである。上の特徴により高速のパイプラインを実現することができた上、エラーの検出などの機能もあることが分かった。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** マイクロプロセッサ



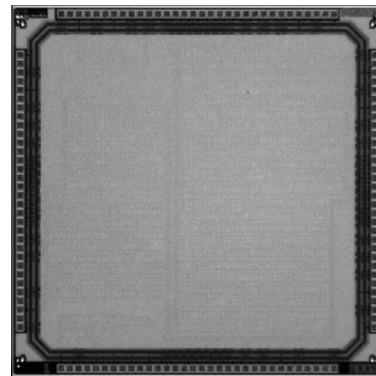
イメージセンサ TEG

東京大学工学系研究科 金 Yunkyung

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: 我々は我々はピクセルレベルで背景光除去及びカラーイメージセンサのためのピクセル TEG を試作した。二つの TEG で、ひとつはピクセルレベルで背景光除去やカラーを認識させるために各 RGB 光と背景光をそれぞれ別の蓄積する部分をひとつのピクセルに実装している TEG を試作して検討した。これは RGB フラッシュライトが入射された状態でイメージを取ることを前提にしているので、カラーフィルタによる損失や偽色などのない正確な色情報が得られる。二つ目は、一定の光の相関回路部分と電流モード抑圧回路は背景光の高感度、高選択性、および高い除去を可能にする。対数応答回路は、広いダイナミックレンジのために飽和を避けるのに使われている。フォトディテクターは画素間に平行相関ですぐに変調された光を検出できる。これは、人の目のために様々な背景と安全な光投影の有用性の両方を必要とするアプリケーションでの利点が挙げられる。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



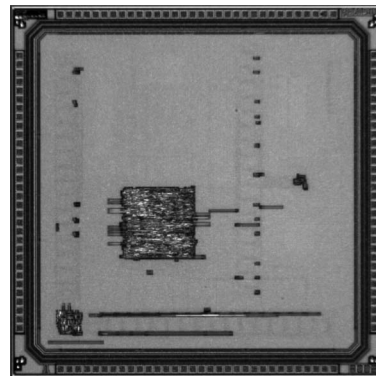
イーサネットインターフェイス試作

東京大学大学院工学系研究科 中村 大輔

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: 内部回路の信号などを HTTP 経由でモニタリングできるプラットフォームの実装、評価を行うにあたり、プラットフォーム全体の試作に先立ち、イーサネットインターフェイスの試作を行った。実際にイーサネットケーブルを駆動するための差動ドライバ、差動レシーバや波形整形のための抵抗などは外付けのものを利用しており、本チップでは TCP/IP のデータリンク層の処理を行っている。このチップはローム社提供のスタンダードセルライブラリを使用したセルベース LSI であり、6KByte の SRAM を含んでいる。実装面積はおよそ 2.07mm² である。このイーサネットインターフェイスは 10Base-T 規格に対応するものであり、送信用、受信用の信号処理回路と送信用に 2KByte、受信用に 4KByte の FIFO バッファを持っている。

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



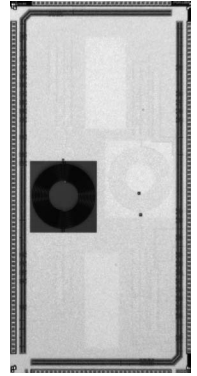
縞状シリコン TFT のためのセルライブラリおよびデジタル回路

東京大学大学院工学系研究科 猪飼 啓太

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要：一枚のガラス基板上へシステムを集積するシステムオンガラスを実現しうるデバイスとして、PMELA 法を用いて生成した縞状シリコン TFT が挙げられる。PMELA 結晶上では Si 結晶が縞状に並び、設計者はその上に TFT のチャンネル部が配置されるようにレイアウトする必要があり、我々はそのような制約を満たすような自動配置配線環境を構築した。本試作ではそのために設計したスタンダードセルライブラリ、入出力バッファ、およびそれらを用いて設計したサーデス回路・疑似ランダムパターンジェネレータなどのデジタル回路群についてその環境を用いて設計を行い、シリコンプロセスを代用してその動作確認を行った。試作された回路は全部のセル・回路について正常な動作を確認し、我々が構築した設計環境が実用可能であることを示した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路（乗算器, 除算器など）



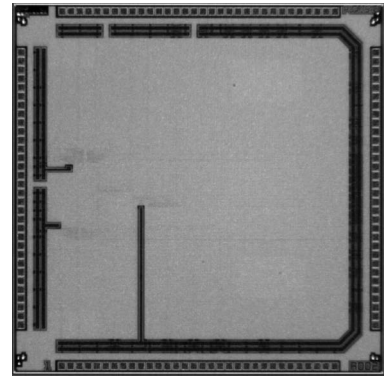
メビウス回路 3

東京大学大学院工学系研究科 鄭 明奎

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要：最近のプロセスの微細化に伴いバラツキが VLSI の大きな問題になっている。その対策として私たちは PVT 遅延に強い自己同期式アーキテクチャを用いて回路が高信頼性で動作できるような研究を行った。その中でも私は高速動作を目標として自己同期式の論理素子レベルパイプライン（gate-level-pipelining）の新しい実現方法について研究した。提案した回路はメビウスの輪の概念を回路に適用した形であり、動作は特徴を以下に示す。1. 同じ動作をする回路が NMOS で構成された回路と PMOS で構成された回路 2 つある。2. NMOS 回路が Evaluation の時は PMOS 回路が Precharge であり、PMOS 回路が Evaluation の時は NMOS 回路が Precharge である。上の特徴により高速のパイプラインを実現することができた上、エラーの検出などの機能もあることが分かった。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, トランジスタ数：10,000 以上, 100,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：マイクロプロセッサ



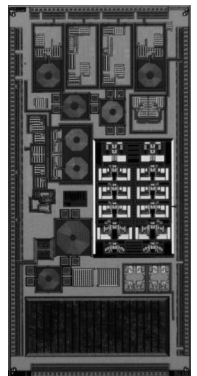
特定小電力無線送受信機の試作

金沢大学大学院自然科学研究科 戸羽 辰夫, 狩野 孝太, 藤枝 茂

金沢大学大学院理工研究域 北川 章夫, 秋田 純一

概要：特定小電力無線送受信機の試作を行った。本試作は、各要素回路をチップ内にて接続し、動作確認を目的としている。設計回路は、LNA, MIXER, 分周器, Active Band Pass Filter, PGA, デルタシグマ型 AD 変換器, FSK 復調部（デジタル）, PA, VCO, PLL である。LNA はアイソレーション重視のためカスコード構造とした。Active Band Pass Filter はバイカッド型である。AD 変換器は S/N を確保するためにデルタシグマ型とした。デジタル領域においてハートレー方式を用いてイメージ除去を行っている。VCO はクロスカップル構造を持つ PMOS 構成とした。PLL はデルタシグマ変調器を用いたフラクショナル N 型となっている。デルタシグマ変調器で PLL 内分周器の分周数を変えることにより FSK に対応している。PA は外部から利得を調節を行うことができる。また、MIXER, 分周器, PGA は以前試作したものと同様である。

設計期間：10 人月以上 設計ツール：Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ チップ種別：アナデジ混載



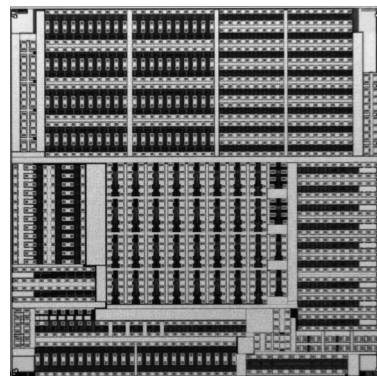
CMOS デバイスのチップ間・チップ内ばらつき解析と基板ノイズ解析 TEG

広島大学大学院先端物質科学研究科 和泉 伸也, 南 尊文, 三浦 道子

広島大学ナノデバイス・バイオ融合科学研究所 上口 光,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要: LSI 製造技術の微細化が進むにつれて製造ばらつきの問題が顕著となり、製造ばらつきを高精度に予測可能な設計環境の構築が求められている。本チップでは製造ばらつき解析と、トランジスタの基盤ノイズ解析の TEG 設計を行った。単体トランジスタから本技術における HiSIM モデルのパラメータ抽出を行った。また、差動増幅回路を用いることにより、チップ間ばらつきとチップ内ばらつきの分離を行い、HiSIM モデルを用いてチップ間、チップ内ばらつきそれぞれのモデル化を行った。その他、SRAM、リングオシレータ、アナログ比較器等の TEG を用いることで、回路におけるばらつきの影響を解析するとともに、解析したモデルの精度検証を行う事ができる。基板ノイズ解析 TEG として、pMOS と nMOS を近接させた構造の TEG を設計した。この TEG の測定より基板ノイズの影響の詳細な解析を行う事ができる。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Synopsys 社 Star-RCXT, Silvaco 社 SmartSPICE, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** TEG (特性評価回路など)

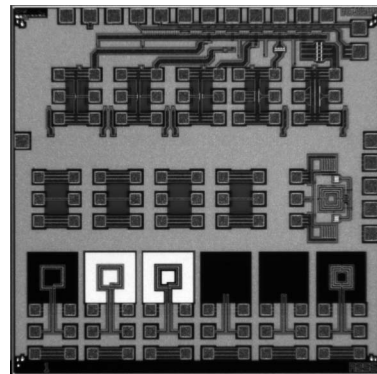


高周波用アナログデバイスの TEG 試作

中央大学大学院理工学研究科 加藤 大介, 飯島 健太, 荻野 達也, 薮田 悟史, 前橋 雄,
川端 千尋, 杉本 泰博

概要: 回路が高周波化するにつれ、高周波で MOS トランジスタから発生する雑音の影響が深刻になっていくと予想される。高周波で MOS トランジスタから発生する雑音としてはゲートノイズというものがあり、ゲートノイズはその定義式内の雑音係数 δ の大きさにより発生する雑音量が左右される。LNA に代表される低雑音を要求する回路の設計ではこの雑音係数の値を事前に知っておく必要がある。しかし、この雑音係数 δ の値はプロセスに依存する値であり、また理論的な導出が不可能である。我々の以前の研究成果より、トランジスタの W 長に対する電流密度を一定とし様々な W 長の LNA の雑音特性を測る事で、測定的に雑音係数 δ の値を求める手法を確立した。その時に、求めた δ は 90nm プロセスのものであった。そこで、今回は 0.18 μ m プロセスでの δ を求めるために、W 長を変化させた 5 パターンの LNA の TEG を試作した。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

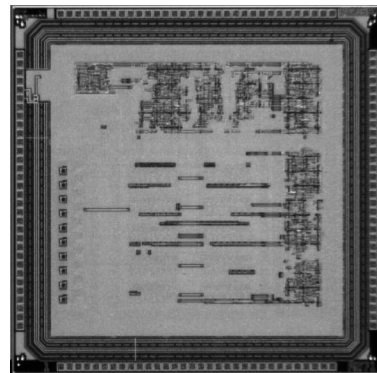


放射線検出用 ASIC の TEG

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: PET (Positron Emission Tomography) 用のガンマ線検出器や MSGC (Micro Strip Gas Chamber) を含む中性子、ガンマ線などの各種の放射線検出器への使用を目的として、動作電圧 1.8VROHM0.18 μ m にて放射線検出用信号回路の試作 (TEG) をおこなった。具体的には電荷積分型プリアンプ、オペアンプ、トランジスタ、コンパレータ、DAC (Digital Analog Converter) などをのせている。本チップは各回路の特性評価用に作成している。本チップの評価により高分解能、高解像度のピクセル型放射線検出器に必要なとされるマルチチャンネル放射線検出信号処理回路用のめどをつける。また電荷積分型のプリアンプのノイズレベルの計測を行い、ENC がミニマムの値で 3000 電子程度であった。さらに減らすべく現在改良を行っている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

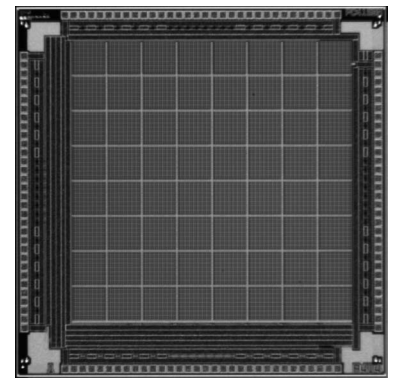


可視光 ID 用受光センサ及び信号処理回路

慶應義塾大学理工学部 木村 遙介, 松本 佳宣

概要: 本研究では、受光素子を8×8のアレイ状にして発光源の状況に合わせて任意の受光素子を選択する事で、データを分離する集積回路の試作・評価を行った。前回提出したチップにおける測定結果を踏まえて修正を行った。アレイ状にすると個々の受光面積が減少して感度低下を招くため、受光素子として、フォトダイオードよりも高感度なp-wellをpnpトランジスタのエミッタ、Deep n-wellをベース、p型基板をコレクタとするフォトトランジスタを設計した。外部信号で行と列選択のトランジスタスイッチのON/OFFを切り替える事によって、特定のフォトトランジスタを動作させる。具体的にはDeep n-wellを解放電位とすれば受光素子はフォトトランジスタとして動作する。Deep n-wellをVdd電位とすればフォトトランジスタは非選択状態となる。さらに、専用トランスインピーダンスアンプ、選択スイッチを内蔵した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

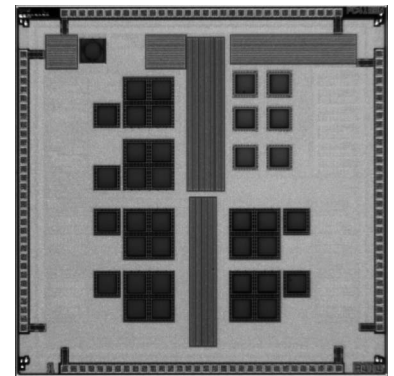


可視光通信用センサおよび信号処理回路

慶應義塾大学理工学部 近内 聡史, 松本 佳宣

概要: 可視通信用により高感度、高速な受光素子を開発するため層構造の異なるフォトダイオードを試作した。前回提出したチップの特性を改善するべく微修正を行った。標準CMOSプロセスで利用可能な層は、P型基板層、Nウェル層、Pウェル層、N拡散層、P拡散層、そしてディープNウェル層であり、これらを組み合わせて複数のフォトダイオード、フォトトランジスタを試作した。さらにゲイン、周波数特性の異なるいくつかのトランスインピーダンス回路、バッファ回路などを設計した。トランスインピーダンス回路に必要とされる抵抗は高抵抗のHi-PolyR抵抗を利用して、回路構成としてレギュレテッドカスコード構成をとり、低入力インピーダンスと広帯域、高変換ゲインの両立を図った。フォトダイオード、フォトトランジスタ単体の他、トランスインピーダンス回路との一体化したフォトトランジスタを設計した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

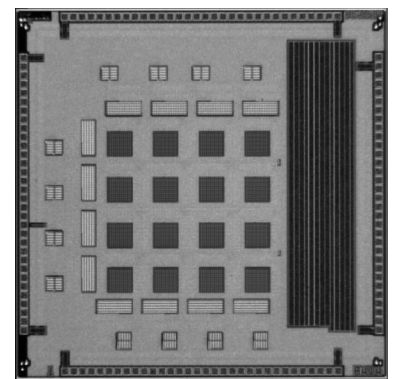


可視光通信による位置検出用フォトトランジスタアレイ

慶應義塾大学理工学部 山中 大, 松本 佳宣

概要: 3個以上の可視光光源からそれぞれの位置情報が送信されているときに、可視光光源から光源の位置情報をイメージセンサで受信し、同時にイメージセンサ上への光源の投影位置を検出することによりイメージセンサの位置と姿勢を検出できる。前回提出したチップにおける測定結果を踏まえて修正を行った。この素子ではこのような受光素子の開発を目指して、受光素子とその選択回路、データ分離集積回路の試作・評価を行った。アレイ状にすると個々の受光面積が減少して感度低下を招くため、受光素子として、フォトダイオードよりも高感度なフォトトランジスタを標準CMOSプロセスで製作した。さらに、複数の受光素子をシリアル信号で選択できるインターフェイス回路、専用トランスインピーダンスアンプを内蔵した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

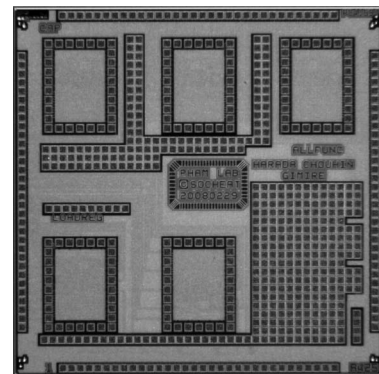


LDOの負荷過渡応答の高速化回路

電気通信大学電子工学科 HENG SOCHEAT, 範公 可

概要：シリーズレギュレータ以下「レギュレータ」は電子機器の様々なブロックに必要とされている。近年では大量の情報を処理するためにメインプロセッサやDSPは巨大化し続け、機器の消費電流は大幅に増加する。ここで、給電の役割を担うレギュレータに低消費電流、高精度、高速応答、低ノイズという新たな要求が出現しつつある。巨大化になったプロセッサやDSPは、消費電力を節約するために、複数のブロックに分割して給電が行われる方式が採用されている。不活性のブロックは内部クロックを停止して消費電流を下げて、必要に応じて動作を開始する。そのときに電源側から見ると無負荷状態から全負荷状態に瞬時的に変化するため高速の負荷過渡応答が求められる。本研究の目的は、超低消費電流の動作状態から瞬間的な負荷変動を捕らえて高速に応答できるレギュレータを実現する。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Diva, Mentor社 Calibre, トランジスタ数：100以上、1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

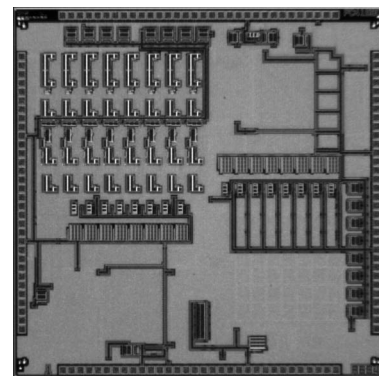


神経細胞刺激の為の信号生成回路 (W1)

慶應義塾大学理工学部 山口 昌也

概要：本チップでは、神経細胞の刺激を行うための信号生成回路を搭載した。将来的には無線で送られたデータから複数のアナログ信号を生成することを視野に入れているので、1chのデジタルデータから8chのアナログの出力を回路内で生成し、出力できるチップとなっている。生成信号は、神経細胞の刺激に対応できるように各チャンネル任意のタイミング任意の波形を生成できるようにしており、主に用いた回路はシリアルデータをパラレルデータに変換する為のデジタル回路とDAコンバータ、オペアンプなどである。また、神経信号のセンシングを行うチップも試験的に接続し搭載することにより、ワンチップで刺激の印加とセンシングを行うことができるチップを目標としている。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：1,000以上、10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載



電力線通信チップおよびオンチップ電源回路

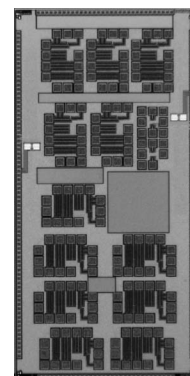
東京大学生産技術研究所 中村 安見, 坂井田 耕輔, 柵木 雄介, 安福 正, 石田 光一, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

東京大学工学系研究科 竹内 健

概要：(1) 半導体プロセスのスケールアップに伴って実装される回路面積の削減が可能なものに対して、入出力のパッドは小型化が進まない。このため、パッド数を減らしてチップの面積を削減することを目的とし、電源線に信号を重畳して通信するための送信器および受信入力キャパシタを作成した。原理実証のため、データ及びクロックは全て外部から入力できる構造とした。(2) オンチップ昇圧回路(ブーストコンバータ)の出力電圧を制御するための回路を試作した。出力電圧に応じてスイッチング周波数を切り替える制御方式を考案した。発振回路にはトランジスタ特性、電源電圧、温度ばらつきの影響を受けない方式を考案した。また、スイッチング周波数を設定するレジスタは外部よりデジタル的にプログラム可能な方式とした。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Encounter, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：1,000以上、10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ チップ種別：マイクロプロセッサ



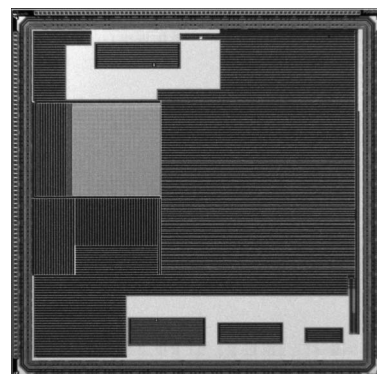
平成20年度第1回ローム CMOS 0.18 μ m 試作 (RO18081)

Digital-Pixel-Sensor を用いた実時間画像特徴抽出 VLSI

東京大学大学院工学系研究科 朱 弘博, 柴田 直

概要: 実時間画像認識システムのための全体特徴抽出 VLSI を設計した。この試作では、イメージセンサーと画像処理回路を同じチップの上に集積することにより、特徴抽出の遅延を著しく減少できた。Digital-pixel-sensor はデジタル処理回路との整合性が良いため、今回の設計ではイメージセンサー部に採用した。イメージセンサーと局所特徴抽出回路の間に効率的なブロックリードアウトアーキテクチャーを採用することによって、局所特徴抽出を行並列で処理することを可能にした。局所特徴量中の重要な情報のみを残すために、Rank-Order Filter アルゴリズムに基づいて、全体特徴抽出回路を設計した。この全体特徴抽出回路により、外部より指定した上位パーセント数以上の強いエッジだけを残す処理を、11 サイクルで実現できる。測定結果より、このチップは 60MHz の測定環境で全ての機能を安定動作することが確認できた。光蓄積時間が長いので、毎秒 60 フレームしか輝度値を出力できないが、エッジ処理は約 0.2ms で行うことができる。このスピードは 2GHz の汎用プロセッサで走るソフトと比較して 400 倍高速である。

設計期間: 7 人月以上, 8 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



A Multi-core/Multi-chip Scalable Architecture of Associative Processors

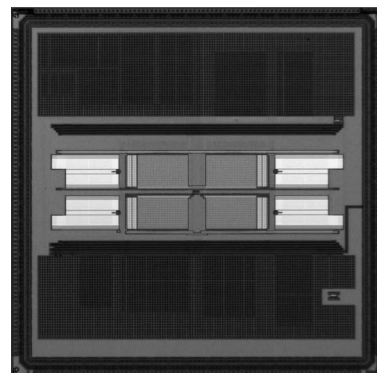
東京大学大学院新領域創成科学研究科 Bui Trong Tu

東京大学大学院工学系研究科 柴田 直

概要: In the literature, several fully-parallel single-chip architectures of associative processors were proposed employing analog and digital technologies as well as mixed-signal implementations. In order to attain high capacity, multi-chip architectures based on all-digital technology have also been introduced. Although these systems offer accuracy, they occupy large chip real estate and usually have complicated structures. On the contrary, analog-technology-based system employing time-domain winner-take-all (WTA) is introduced in this study. Based on the fully parallel single-core associative processor developed in the previous work, a multi-core/multi-chip architecture has been developed. The problem associated with inter-chip communication delay which is critical in the time-domain WTA operation has been resolved by a newly-developed winner-code-decision scheme. In addition, switched-current technology has been utilized so as to further reduce the power consumption. For the purpose of demonstration, the proof-of-concept system in this design is composed of four associative chips, namely, one master chip and three slave chips. Each chip consists of four 32-vector cores. (Each vector has 64 elements of 8-bit numbers.) As a result, a 512-vector associative system is constructed as a demonstration. Each core including a memory module and a matching-cell module occupies an area of 1760 μ m x 570 μ m. The size of matching cell is 19.7 μ m x 7 μ m. The operation of the system as well as the concept of design has been verified by measurement results of the proof-of-concept chip designed in a 0.18- μ m CMOS technology. In this design, the power consumption per matching cell is reduced to as small as 0.79 μ W. The system has the possibility of a large database capacity by employing the multi-core/multi-chip architecture. In principle, search time is independent of the number of cores as well as the number of chips.

参考文献: [1] . T. T. Bui and T. Shibata, "A Multi-core/Multi-chip Scalable Architecture of Associative Processors Employing Bell-Shaped Analog Matching Cells," pp. 1819-1822, in Proc. ICSICT 2008, Beijing, China, Oct 20-23, 2008.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys HSPICE, Synopsys NanoSim, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



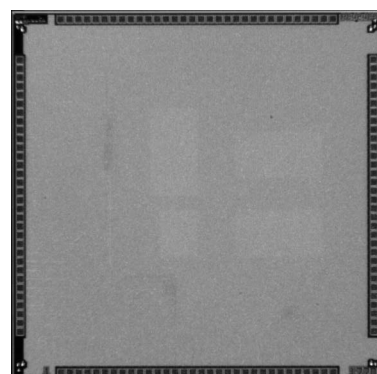
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ

横浜国立大学大学院工学府 岡本 悠史

横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。今回、SFQ/CMOS ハイブリッドメモリ用メモリを試作した。メモリセルには 3 トランジスタ SRMA を用いており、その容量は 64kb である。また、システムのインターフェイス回路である、Josephson/CMOS ハイブリッドアンプの CMOS 回路部分も作成した。これまでの設計でミスがあった、インバータの電源ラインが繋がっていない、また MIM キャパシタ容量を修正した。回路を安定させるため、回路の周りはメタル 4 層で GND におとしている。このチップではメモリ部分のみ測定を行ったところ、正常動作を確認した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ



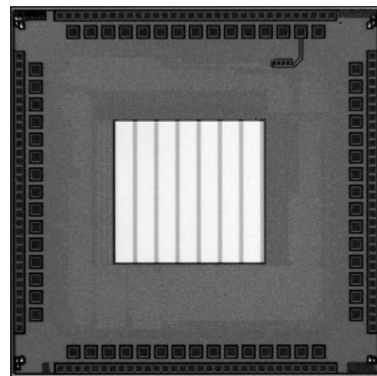
低温デバイスモデル作成用 TEG 及びメモリ要素回路

横浜国立大学大学院工学府 岡本 悠史, 陳 賢珠, 矢口 謙太

横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このシステムにおけるアナログ回路作成のためには低温における MOS トランジスタのデバイスモデルが必要となる。そのため、トランジスタの静特性、また接合容量を測定するための TEG を作成した。このような TEG は昨年にも作成したが、さらに詳しく特性を調べるため再度、作成した。また、検証用のリングオシレータも作成した。また、メモリ要素回路はデコーダやメモリセルを作成した。これらの回路において正常動作が得られている。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ

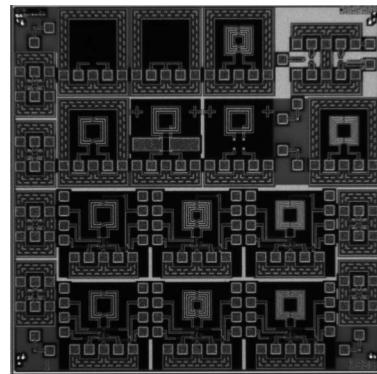


RF 回路設計のための TEG と VCO の試作

東北大学工学研究科 大宮 豊, 小谷 光司, 伊藤 隆司

概要: CMOS プロセスの微細化に伴い CMOS による高周波無線回路の実現が進んでいる。高性能な高周波アナログ回路を設計するためには採用するプロセスにおけるトランジスタ、キャパシタ、インダクタなどの特性をあらかじめ測定しておく必要がある。本チップではトランジスタの DC 特性、RF 特性を測定できる TEG やスパイラルインダクタ、MOS バラクタの TEG を試作した。また、無線通信機において必須の要素回路の一つである VCO についても基本的な特性を知るために一般的な 2.4 GHz 帯の LC-VCO を搭載しており、回路構成による違いを評価するために NMOS 型と CMOS 型の 2 種類を試作した。TEG の DC 測定や S パラメータ測定により各素子の基礎的なデータを得ることができた。また、VCO は 1.68 GHz から 2.43 GHz の周波数で発振することを確認した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

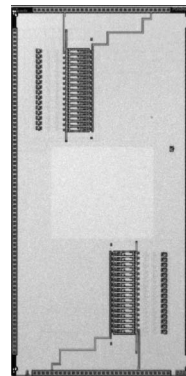


放射線検出用 ASIC の TEG

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: PET (Positron Emission Tomography) 用のガンマ線検出器や MSGC (Micro Strip Gas Chamber) を含む中性子、ガンマ線などの各種の放射線検出器への使用を目的として、動作電圧 1.8VROHM0.18 μ m にて放射線検出用信号回路の試作 (TEG) をおこなった。具体的には電荷積分型プリアンプ、オペアンプ、トランジスタ、コンパレータ、DAC (Digital Analog Converter) などをのせている。本チップは各回路の特性評価用に作成している。本チップの評価により高分解能、高解像度のピクセル型放射線検出器に必要とされるマルチチャンネル放射線検出信号処理回路用のめどをつける。また電荷積分型のプリアンプのノイズレベルの計測を行い、ENC がミニマムの値で 3000 電子程度であった。さらに減らすべく現在改良を行っている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



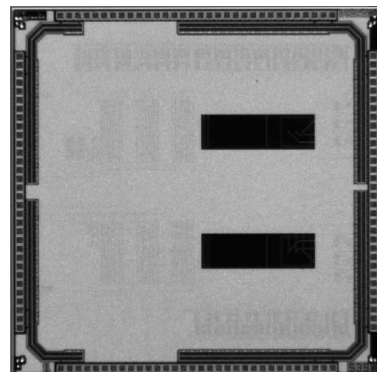
広いデジタル回路領域に対応した基板雑音の打ち消し回路

豊橋技術科学大学工学研究科 鈴木 寛人
豊橋技術科学大学情報工学系 和田 和千

概要：広いデジタル回路領域に対応できる基板雑音の打ち消し回路 [1] を試作している。試作チップ上では、電圧制御発振器 (VCO) , D フリップフロップ, 分周器により数百 MHz 程度のクロック信号を生成し、基板雑音を発生させるインバータチェーンに入力している。また、雑音を検出して打ち消しに必要な信号を生成するための増幅回路では、雑音の検出領域を2つ設けることで雑音の発生位置が変化しても雑音の低減率をほぼ最適に維持することができるようにしている。さらに、アナログ回路が置かれる領域での平均的な基板雑音を観測するために、雑音の検出領域を複数設け、緩衝回路を通して基板雑音の波形を観測する。

参考文献： [1] “広範囲に分布するデジタル回路で発生する基板雑音の打ち消し回路,” 鈴木寛人, 和田和千, 田所嘉昭, 信学論 (A) , vol. J92-A, no. 4, 2009年4月。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

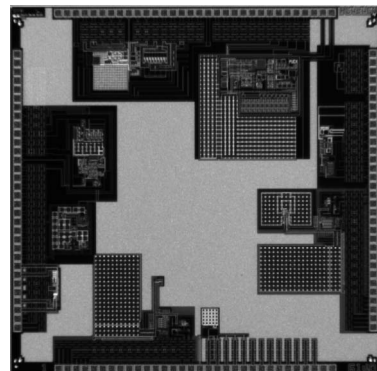


センサネットワークシステム送受信 IC の試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン

概要：センサネットワークシステムの送受信 IC の試作を行った。ここでは、300MHz の周波数帯を搬送波として用い、免許不要の微弱無線を用いている。データの伝送は BPSK 変調方式を用い、2.5kbps の伝送レートを有するシステムを想定している。また、受信システムにはダイレクトコンバージョン方式を選択し、受信システムの簡略化を図る。本 IC は想定したシステムを実現するために必要な各回路ブロックの試作であり、周波数変換回路や電圧制御発信器、信号振幅自動調整回路、分周期回路、パワーアンプ回路などを搭載している。

設計期間：4 人月以上, 5 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreXRC, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



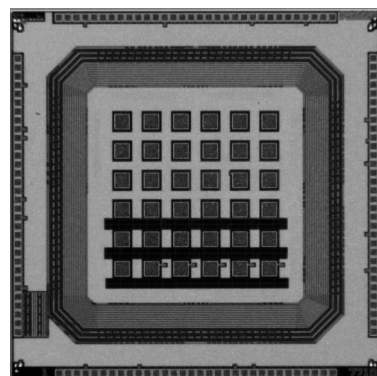
リングオシレータの低消費電力化2

東洋大学工学部 堀口 文男

概要：0.18 μ m ルールを用いた 151 段のリングオシレータを用いて、基板バイアス効果がリングオシレータに与える効果を明らかにする。75 段のみに基板バイアスを印加し、他をフローティングとした場合とすべてフローティングにした場合の消費電力の差を調べた結果、基板に 0V を印加した場合と変わらず、フローティングとしても動作は変化しないことを確認した。これにより、一部の回路の基板をフローティングとして、動作させることが可能であることが確認でき、ダイナミックに基板をコントロールし低消費電力とする可能性を示すことができた。基板バイアス印加により、10-20% の低消費電力化を実現した。さらに、HVMOS と LVMOS の比較を行い、LVMOS の高速性と低消費電力性を確認することができた。

参考文献：池田, 堀口, “基板バイアス効果を用いた低消費電力リングオシレータ”, 信学会, 2008 総合大会

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

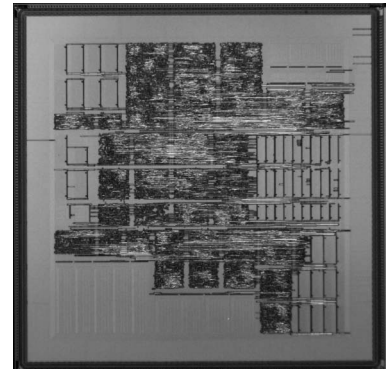


低遅延画像伝送システム向け 158 MS/s JPEG 2000 コーデック LSI

金沢大学自然科学研究科 稲田 遼一, 深山 正幸, 松田 吉雄

概要: 現在, ユビキタスネットワークの発展により画像伝送の高画質・高精細化が要求されている。また, 双方向通信では低遅延性も重要である。これらの要求を満たす画像圧縮技術として JPEG 2000 が挙げられる。本研究では, JPEG 2000 の中で処理が複雑で演算量が多い EBC (Embedded Block Coding) 部について以下の新しい処理方式およびアーキテクチャを開発した。ビットプレーン並列方式とバス並列方式によりスループットを従来の 3 \times ビットプレーン枚数倍とした。ビットプレーンの並列処理を行いながら regular mode をサポートし, 高画質化した。投機的処理によってデコード時のスループットを 32% 向上させた。EBC および BPC (Bitplane Coder) アーキテクチャを開発し, 160 MHz 動作で 158 MSample/s のスループットを実現した。新処理方式及びアーキテクチャによりコードブロック用メモリ容量を 64%, BPC 用メモリ容量を 67% 削減した。0.18 μ m プロセスで試作を行いゲート数は 100 万, チップ面積は 7.5mm 角であった。LSI テスタで評価を行い正常動作を確認した。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 Design-Compiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 7.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

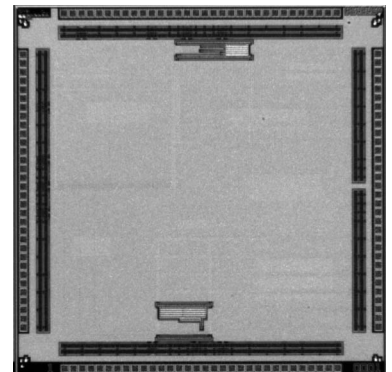


公開用 PLL

東京大学大規模集積システム設計教育研究センター 名倉 徹

概要: VDEC では各種の IP を取りそろえるための努力を重ねている。必要とされる IP の中でも PLL は需要が多いにもかかわらず設計が難しく, 各自が独自の PLL を用意するのが難しいという問題があった。今回, Phase Locked Loop (PLL) 回路について VDEC IP を公開するために本チップを試作した。Phase Locked Loop は Phase Frequency Detector (PFD), Charge Pump (CP), Voltage Controlled Oscillator (VCO), Low Pass Filter (LPF), Divider (DIV) によって構成される。今回, ノイズを減らすために Dual Rail 構成を取っている。これらの成果は将来 VDEC ホームページ上にて公開予定である。また, IP だけでなく, PLL の設計方法を解説した解説書も同時に執筆予定であり, 「VDEC EDA 環境におけるトランジスタレベル回路設計方法」の続編となる予定である。また, 設計方法だけでなく, 測定のための準備や, 測定のノウハウなども同時に解説する。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



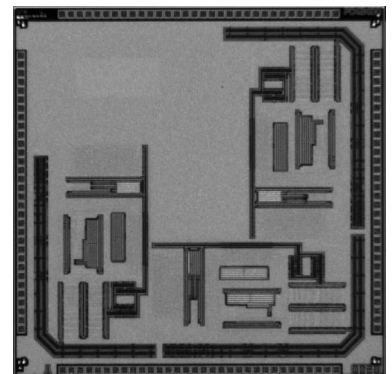
デジタル制御アクティブノイズキャンセラー

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

東京大学工学系研究科 ダン ゴクラン

概要: LSI の微細化・集積化の進展にともない, 動作周波数とチップの単位面積当たりのトランジスタ数が上昇し, デジタル回路で発生するノイズが大きくなっている。一方, 省消費電力のために LSI に使われる電源電圧がだんだん小さくなり, アナログ回路が電圧の振動に対してより敏感になっている。デジタルとアナログ回路が同じ基盤に載せてあるチップには, デジタル回路から発生する基板ノイズがアナログ回路の特性を劣化することが問題となっている。本研究では, 基板ノイズを低減するためにデジタル制御アクティブノイズキャンセラー回路について検討する。受動素子あるいはフィードバック回路を利用する手法と比べて, 本研究で提案する能動的基板雑音低減手法はより安定であり, 広い周波数帯で有効だと期待される。また, ノイズキャンセラー回路をデジタル制御にすることにより自律的制御に適した回路構成とする。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



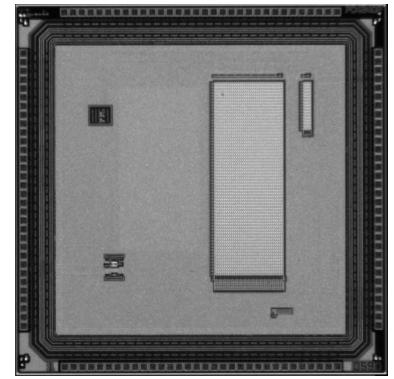
バンプ回路特性評価用 TEG

東京大学大学院工学系研究科 姜 璟熙, 柴田 直

東京大学大学院新領域創成科学研究科 吉井 一馬, Bui Trong Tu

概要: 我々の研究室では、人のような柔軟な情報処理を、最先端のVLSI技術を用いて実現することを目指している。その一つが、バンプ回路を構成要素として構築される認識システムである。このチップには、二種類のバンプ回路と、その特性を検証・評価するための回路要素、および制御回路が搭載されている。搭載されたバンプ回路の一つは、インバータバンプ回路であり、もう一つは、ギルバートセルを用いた多次元ガウシアン型電流電圧特性回路（ギルバート・ガウシアン・セル）である。インバータバンプ回路は、インバータの貫通電流特性を利用したものであり、キャパシタを用いてピークの位置を自由に調整できるようになっている。ギルバート・ガウシアン・セルは、差動対の特性を用い、ガウシアンに近似できる電流を出力させたもので、カスコード接続することで、多次元化が容易に可能である。両回路はサブスレッショルド領域で動作するため、閾値ばらつきに弱いことが予想されたが、実際の測定においてもその傾向を観察することができた。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, synopsys社 HSPICE, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

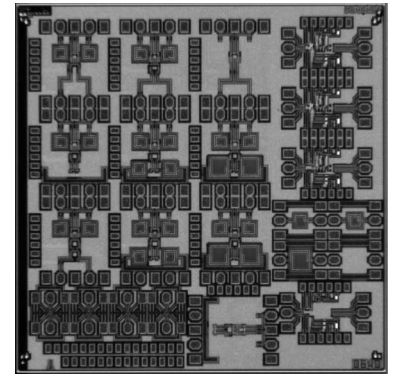


光通信送信および受信回路の設計環境評価用 TEG

京都大学大学院情報学研究科 久保木 猛, 奥村 佳弘, 土谷 亮, 小野寺 秀俊

概要: RFアナログ回路試作用に要素回路のTEGを試作した。試作したTEGはDC特性評価用トランジスタTEG, 高周波特性測定用トランジスタTEG, 出力バッファ, 光通信LDドライバ, 光通信TIA, インダクタンスTEGである。測定は全てオンウェハで行なう。トランジスタTEGはトランジスタの基本的なDC・AC特性を評価するTEGである。また、コンタクトパッドを介して信号をチップ外に出力するためのバッファについてもDC・ACともに測定できるTEGを設計した。LDドライバはCMLの差動アンプとインダクタンスによって構成されており、本プロセスでどの程度の信号伝送が行えるかを評価する。また回路構成、および、インダクタンスの形状をそれぞれ変化させたTEGと比較することで、信号伝送性能に与える影響を評価する。TIAは本プロセスでの性能を確認するために基本的な構成で設計した。インダクタンスTEGではインダクタンス単体の性能を評価するために、LDドライバTEGで使用したインダクタンスと同一のパターンを実装した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

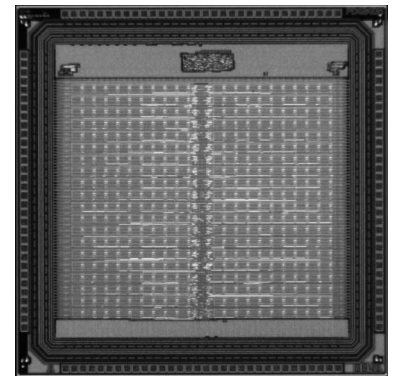


スタンダードセル動作確認及びゲート遅延ばらつき評価用 TEG

京都大学大学院情報学研究科 寺田 晴彦, 小林 和淑, 小野寺 秀俊

概要: 当研究室で開発したスタンダードセルの動作検証TEG, 及び論理ゲート遅延のチップ内ばらつきを評価するTEGを試作した。測定はパッケージを用いて行う。セル動作検証TEGは加算器とD-FFで構成したALUと、全加算器, 半加算器を単体で動作確認する回路からなる。ばらつき評価TEGは、論理段数やゲートの種類, レイアウト構造の異なるリングオシレータ (RO) のセットをアレイ状に集積した回路である。任意のROを選択しチップ内蔵のカウンタにより発振周波数を測定できる。ROの発振周波数ばらつきから、MOS特性のランダムばらつきを評価する。またnMOS, pMOSの拡散領域の大きさの異なるセルの遅延ばらつきを比較することにより、STIストレスがばらつきに与える影響を評価する。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



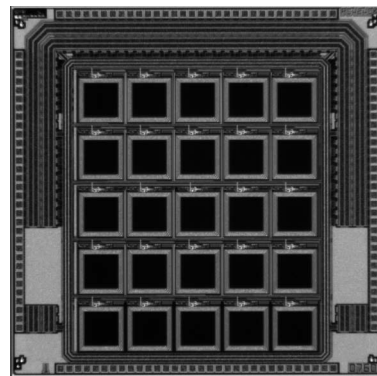
インダクタ結合インタコネクトを利用したバイオセンサ向け無線送受信回路 ver.1

広島大学大学院先端物質科学研究科 岡 治美, 岩田 穆
広島大学ナノデバイス・バイオ融合科学研究所 亀田 成司

概要：3次元集積回路技術において、スパイラルインダクタ対の磁界結合を用いた無線通信手法が注目されている [1]。本試作では、バイオセンサ向けに低転送レートで低消費電力の並列無線送受信回路を試作した。低消費電力化のために、送受信回路を同期型にして複数のデータ用受信回路の電力を1つのクロック用受信回路で制御する。また、受信回路を差動構成にすることで耐雑音特性の改善を図った。送受信回路サイズ 330um×390um、インダクタサイズ 300um×300um、通信可能距離 200um、転送速度 50Mbps (MAX500Mbps)、転送回路数 5x5ch (内クロック用送受信回路 1ch) で設計した。4.56uW/ch@100MHzの低消費電力化を達成した。

参考文献： [1] M. Sasaki and A. Iwata, "A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme", VLSI Sympo Dig. Tech. Papers, pp. 348-351, (2005)

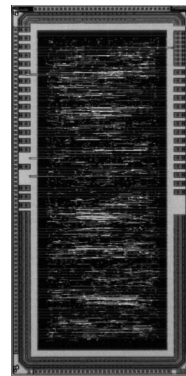
設計期間：1 人月以上, 2 人月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 CalibreRC, Cadence 社 spectre, Agilent 社 ADS, **トランジスタ数**：1,000 以上, 10,000 未満 **試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ **チップ種別**：通信 (RF 回路, ATM など)



Stream cipher engine の開発

弘前大学大学院理工学研究科 野田 一訓, 深瀬 政秋
弘前大学総合情報処理センター 佐藤 友暁

概要：近年ワイヤレスネットワークの急速な発展に伴いユビキタスネットワーク時代が到来している。至る所でネットワークが形成されることは、第三者による攻撃や侵入、盗聴や情報漏洩等の危険性の増大を引き起こす。そのため、低消費かつ信頼性の高い情報セキュリティ技術の必要性が大きな意味を持つようになった。そこで、我々はユビキタスネットワークに貢献しうるマルチメディアストリーム暗号エンジン "Stream cipher engine" の開発をおこなった。この暗号エンジンの基本原理は、RNG によって生成された擬似乱数を用いたランダムアドレッシングによる転置暗号方式である。暗号化の場合、RNG から出力された乱数と Register File のアドレスを同期させ、転置暗号化し Hidable Unit により更に転置暗号化する。同様に復号化の場合、RNG から出力された乱数と Data Cache のアドレスを同期させ、Hidable Unit による転置復号化する。入力するデータは同じ初期値且つ Stream cipher engine により暗号化されたデータを用いる。RNG による擬似乱数生成に必要な初期値は公開鍵方式を用いて相手に送信する。なお、暗号化には共通鍵方式を用いる。



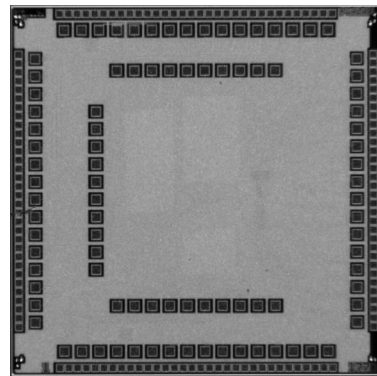
設計期間：2 人月以上, 3 人月未満 **設計ツール**：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数**：100,000 以上 **試作ラン**：ローム CMOS 0.18μm 2.5mmx5.0mm チップ **チップ種別**：演算回路 (乗算器, 除算器など)

断熱的パストランジスタ回路を用いた乗算回路

横浜国立大学大学院工学府 生田 浩康
横浜国立大学大学院工学研究院 吉川 信行

概要：我々は、CMOS 集積回路の低消費電力化のために断熱的パストランジスタ論理回路を提案している。断熱的論理回路とは電圧変化をゆっくり増減することで MOS デバイスでのエネルギー消費を低減し、またエネルギーを回収することで消費電力を格段に小さくできる回路である。本試作では、より大規模な断熱回路の動作実証を行うために、断熱的パストランジスタ論理回路の乗算回路を設計した。この回路は 4bit 入力, 8bit 出力であり、配列形の乗算回路である。外部負荷を駆動するための断熱パストランジスタ論理回路のドライバとして、MOS サイズを大きくした pal4n 断熱ラッチを用いることにより、従来より更に高いクロック周波数 (33MHz) で動作することを確認した。さらに、断熱的動作の記憶回路として断熱型 SRAM メモリの動作確認のための回路を設計した。

設計期間：1 人月以上, 2 人月未満 **設計ツール**：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数**：10,000 以上, 100,000 未満 **試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ **チップ種別**：演算回路 (乗算器, 除算器など)

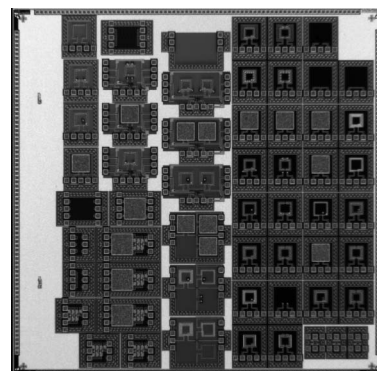


RF回路設計のためのTEGとVCO・LNAの試作

東北大学工学研究科 大宮 豊, 小谷 光司, 伊藤 隆司

概要: CMOS プロセスの微細化に伴い CMOS による高周波無線回路の実現が進んでいる。高性能な高周波アナログ回路を設計するためには採用するプロセスにおけるトランジスタやインダクタなどの特性をあらかじめ測定しておく必要がある。本チップではトランジスタの DC 特性, RF 特性を測定できる TEG やスパイラルインダクタの TEG を試作した。また, 無線通信機において必須の要素回路である VCO と LNA についても基本的な特性を知ることが目的として試作した。VCO は一般的な 2.4 GHz 帯の LC-VCO であり, LNA も 2.4 GHz 帯での動作を考えて設計した。TEG の DC 測定や S パラメータ測定により各素子の基礎的なデータを得ることができた。また, VCO と LNA についても動作を確認し, 基本的な特性を測定した。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** TEG (特性評価回路など)

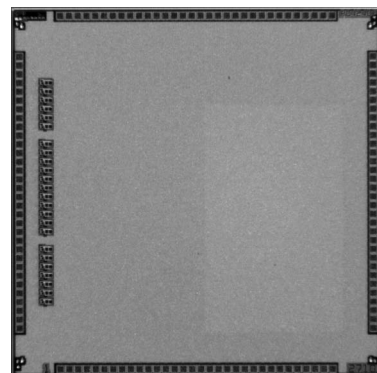


放射線検出用 ASIC の TEG

東京大学工学系研究科 島添 健次, 高橋 浩之

概要: PET (Positron Emission Tomography) 用のガンマ線検出器や MSGC (Micro Strip Gas Chamber) を含む中性子, ガンマ線などの各種の放射線検出器への使用を目的として, 動作電圧 1.8VROHM0.18 μ m にて放射線検出用信号回路の試作 (TEG) をおこなった。具体的には電荷積分型プリアンプ, 6bit/100MHz フラッシュ型 ADC, トランジスタ, ラダー, コンパレータなどをのせている。本チップは各回路の特性評価用に作成している。本チップの評価により高分解能, 高解像度のピクセル型放射線検出器に必要とされるマルチチャネル放射線検出信号処理回路用のめどをつける。またテストを行った結果, 電荷積分型のプリアンプのノイズレベルの計測を行い ENC はミニマムで 3000 電子程度であった。さらに今後, 改良を行っている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

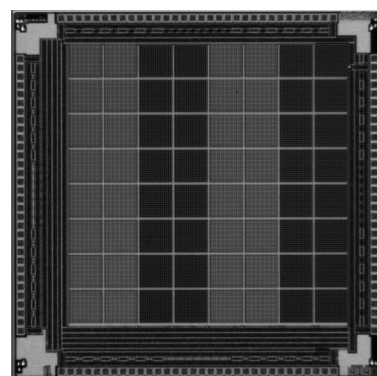


可視光 ID 用受光センサ及び信号処理回路

慶應義塾大学理工学部 木村 遙介, 松本 佳宣

概要: 本研究では, 受光素子を 8 \times 8 のアレイ状にして発光源の状況に合わせて任意の受光素子を選択する事で, データを分離する集積回路の試作・評価を行った。前回提出したチップをベースに新しいフォトダイオードを採用した。アレイ状にすると個々の受光面積が減少して感度低下を招くため, 受光素子として, フォトダイオードよりも高感度な p-well を pnp トランジスタのエミッタ, Deep n-well をベース, p 型基板をコレクタとするフォトトランジスタを設計した。外部信号で行と列選択のトランジスタスイッチの ON/OFF を切り替える事によって, 特定のフォトトランジスタを動作させる。具体的には Deep n-well を解放電位とすれば受光素子はフォトトランジスタとして動作する。Deep n-well を Vdd 電位とすればフォトトランジスタは非選択状態となる。さらに, 専用トランスインピーダンスアンプ, 選択スイッチを内蔵した。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ

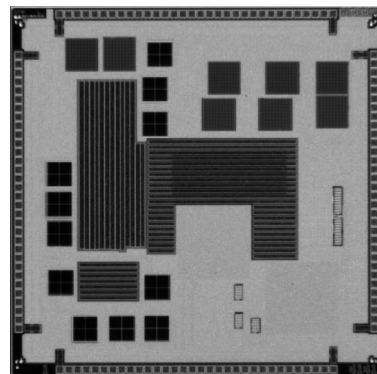


静電容量型センサ用容量検出回路

慶應義塾大学理工学部 松本 佳宣

概要：近年、研究開発が盛んに行われている静電容量型センサ用の微小容量検出回路を設計した。特に、2軸静電容量型傾斜センサ用のセンサ容量検出をワンチップで実現できるように、2つのスイッチトキャパシタ方式の容量検出器を4相クロックで駆動する構成とした。また、インバータ式発振回路と利得約50倍の非反転増幅器も併せて集積化して、外付け部品の低減を図りさらに携帯機器等での利用を考えて消費電力の低減を目指した。スイッチトキャパシタ回路には演算増幅器のオフセットの影響を除去できるAuto-Zero方式の容量-電圧変換回路を用いた。この回路は傾斜センサの他にフェムトファラッドオーダーの微小容量検出が必要な加速度センサなどの分野への応用が期待される。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数：**10以上、100未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**イメージセンサ/スマートセンサ

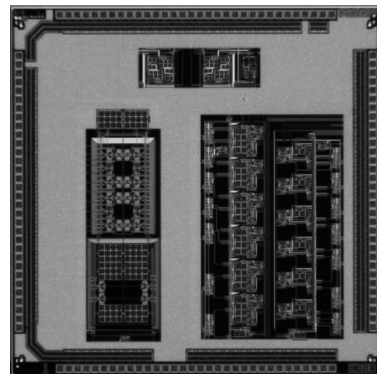


低電圧低電力受信器のためのアナログ回路

豊橋技術科学大学工学研究科 小山 靖仁, 山下 知憲, 中川 雄介
豊橋技術科学大学情報工学系 和田 和千

概要：3つの回路を、研究成果の原理を確認するために試作をした。一つは、十分な阻止域減衰量を得られるように伝送零点を追加したダイレクトサンプリングミキサである。素子ばらつきに対し感度が高い並列構成を用いずに、伝送零点を生成する構成 (ECT-08-18) をし、その動作の確認と、素子ばらつきに低感度であることを検証するための試作である。別の一つは、 $\Delta\Sigma$ ADCの素子雑音低減に有効であると考えられている利得可変積分回路を利用した構成 (ECT-07-93) の評価回路である。2次の $\Delta\Sigma$ 型ADCにおいて、積分回路の利得を可変とする構成と、比較対象として利得を固定した構成の2種類を試作している。最後の一つは、低電圧ADCの別の構成アプローチとして、信号分割手法を適用したパイプライン型アナログ・デジタル変換器 (ECT-09-003) である。信号分割手法を用いないパイプライン型アナログ・デジタル変換器も同時に集積化し、性能比較を行うことができる設計をしている。

設計期間：7人月以上、8人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



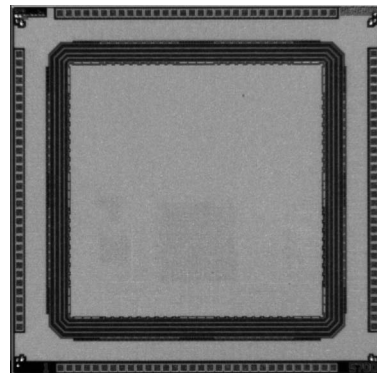
ユニバーサル発振回路 TEG

九州工業大学マイクロ化総合技術センター 浅野 将治, 中村 和之

概要：90°/180°/270度位相シフトを容易に生成できるため、クロックデータリカバリ回路等にしばしば用いられる偶数段CMOSインバータ発振回路は、回路定数を適切に設計しないと発振しないという問題が生ずる。この問題に対し、各トランジスタサイズを可変とした「ユニバーサル発振回路 TEG」を設計した。このTEGにより、様々なトランジスタサイズで構成される発振回路の動作安定性を、LSIテスターを用いて網羅的に評価することにより、この回路が発振可能である設計範囲、および最もマージンの広い最適設計条件を明らかにする。

参考文献：浅野, 中村, 他, "CMOS偶数段リング発振回路の発振条件の検討", 2008年通信学会ソサイエティ大会C-12-60, 2008年9月19日

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**10,000以上、100,000未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

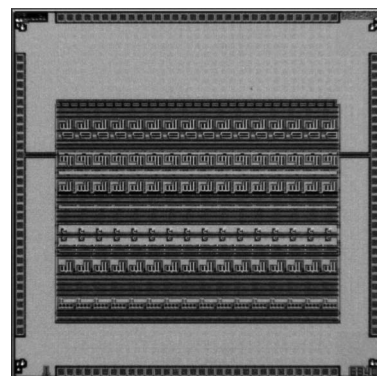


生体信号センシングおよび刺激印加のための回路 (B3)

慶應義塾大学理工学部 横山 祐介

概要: 本試作は微弱な生体信号をセンシングするための信号増幅, および同一電極に対して刺激印加を行うことを目的としたチップである. 前回の試作とは違い, 16ch 全てが信号増幅と刺激印加をできるようになっており, 最大で16ch 同時に生体信号の記録が可能である. また刺激印加時のアーチファクトを低減する目的で刺激印加直前の電極のDCを増幅して記録し, 元の倍率に戻してから刺激信号に足し合わせる回路が含まれているが, そのDC記録を1倍で行うように設計を変更した. さらに実験の内容に合わせて入出力のPADを切り替えられるようなスイッチを追加した. 出力の駆動力も前回に比べて強化したバッファを出力段に追加したことによって設計値通りの増幅率を実現させるようにした.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

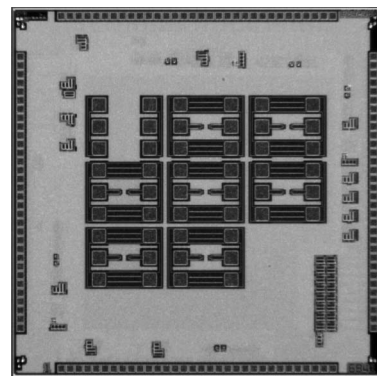


生体信号センシングおよび刺激印加回路のためのデバッグ回路+基板情報抽出用 TEG

慶應義塾大学理工学部 横山 祐介, 豊丸 弘爾

概要: 同試作日程において提出した, 「生体信号センシングおよび刺激印加のための回路」に用いた各回路のデバッグを行うために, 回路およびブロック毎に分けて以下の回路を搭載してある. チョッパ回路つき増幅器, 増幅器ブロック, ボルテージフォロア4種, 刺激印加制御回路, チョッパ回路無し増幅器, チョッパ無し増幅器ブロック, 減算器2種, 8チャンネル多重化回路, ゲイン可変増幅器ブロック. メイン chipには含まれていないチョッパ回路無しの増幅器および増幅器ブロックは比較実験を行うために搭載した. 8チャンネル多重化回路は将来的に出力をシリアルに出力するための回路である. ゲイン可変増幅器ブロックはゲインの違いによるノイズの変化を実験するためのものである. さらに基板情報抽出のために, トリプルウェルとメタル1層をGNDにしたときの効果を確認するTEGも搭載してある.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



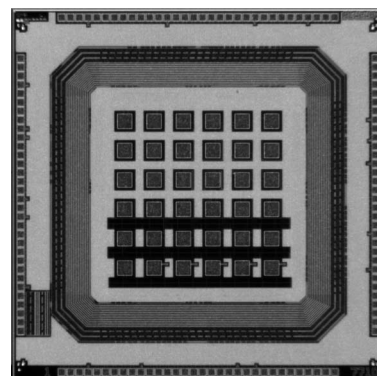
リングオッシレータの低消費電力化

東洋大学工学部 堀口 文男

概要: 0.18 μ mルールを用いた151段のリングオッシレータを用いて, 基板バイアス効果がリングオッシレータに与える効果を明らかにする. 75段のみに基板バイアスを印加し, 他をフローティングとした場合とすべてフローティングにした場合の消費電力の差を調べた結果, 基板に0Vを印加した場合と変わらず, フローティングとしても動作は変化しないことを確認した. これにより, 一部の回路の基板をフローティングとして, 動作させることが可能であることが確認でき, ダイナミックに基板をコントロールし低消費電力とする可能性を示すことができた. 基板バイアス印加により, 10-20%の低消費電力化を実現した.

参考文献: 池田, 堀口, "基板バイアス効果を用いた低消費電力リングオッシレータ", 信学会, 2008総合大会

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



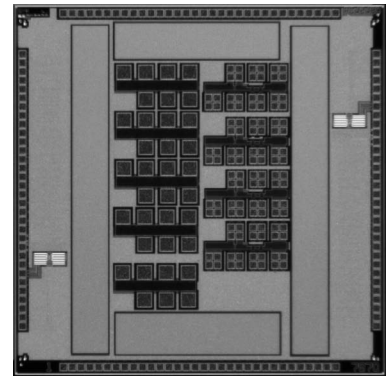
電圧制御発振回路

東京大学生産技術研究所 荒木 貴弘, 増永 直樹, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要: 本チップ試作は, 研究室に配属された新人学生の LSI 試作フローと測定技術の習得を目的として実施したものである. HSPICE によるシミュレーションと実測において, 配線の寄生容量などの影響により, どのように特性が変化するかを理解するために, リング発振回路をベースとした電圧制御発振回路を選定した. 電流モードの3段リング発振回路を設計し, HSPICE によるシミュレーションでは, 入力制御電圧 0.6V~1.8V に対して, 発振器出力周波数が 2.8GHz~4.1GHz となる結果を得た. これに対して, チップの実測においては, 入力制御電圧 0.65V~1.8V に対して, 発振器出力周波数が 2.0GHz~3.3GHz となり, シミュレーション結果に対して約 20% 発振周波数が低くなるという測定結果を得た.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



生体用途向けアナログ要素回路 TEG (TC3)

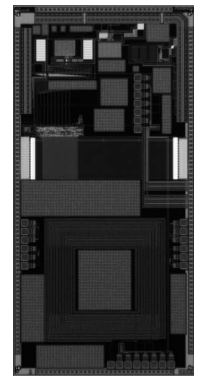
広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

広島大学大学院先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要: 体内におけるバイタルサインの無線計測を試みている中で, 最初の応用例として, 口腔内の温度計測を取り上げ, 要素回路の TEG 試作を行った. 口腔内留置のため, 小型の酸化銀電池による動作を目指し, 各要素回路の低消費電力化に留意した. p-n 接合による温度センサ, 演算増幅回路, 低電力逐次比較形 Analog-to-Digital Converter (ADC), スパイラルコイルならびに送信回路をアナログ要素回路 TEG として試作した. 外付け部品を減らすための検討内容として, チップ上にスパイラルコイルに加えて, 簡易周波数源としてリングオシレータを形成した. また, 通信による消費電力を最小限に抑えるため, チップ上に 120kbit の SRAM を配し, 一括してデータ転送を行う構成とした. 実験のため各種実装を行うことから 2ロット 40 チップの試作とした.

参考文献: T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, "A wireless chip for intra-oral temperature measurement," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



生体用途向けアナログ要素回路 TEG (TC3)

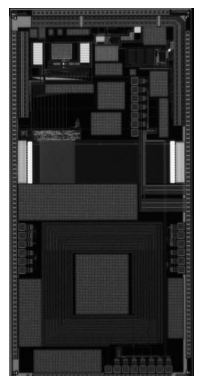
広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

広島大学大学院先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要: 体内におけるバイタルサインの無線計測を試みている中で, 最初の応用例として, 口腔内の温度計測を取り上げ, 要素回路の TEG 試作を行った. 口腔内留置のため, 小型の酸化銀電池による動作を目指し, 各要素回路の低消費電力化に留意した. p-n 接合による温度センサ, 演算増幅回路, 低電力逐次比較形 Analog-to-Digital Converter (ADC), スパイラルコイルならびに送信回路をアナログ要素回路 TEG として試作した. 外付け部品を減らすための検討内容として, チップ上にスパイラルコイルに加えて, 簡易周波数源としてリングオシレータを形成した. また, 通信による消費電力を最小限に抑えるため, チップ上に 120kbit の SRAM を配し, 一括してデータ転送を行う構成とした. 実験のため各種実装を行うことから 2ロット 40 チップの試作とした.

参考文献: T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, "A wireless chip for intra-oral temperature measurement," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



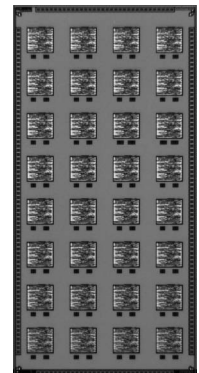
平成20年度第3回ローム CMOS 0.18 μ m 試作 (RO18083)

LSI 故障診断装置評価用 TEG-1

大阪大学情報科学研究科 御堂 義博, 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行うため, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. 主に, 電気的接続を必要とせずに短絡や断線等の電気的故障を診断可能な装置を対象としている. 配置配線ツールによりレイアウト合成された ISCAS'85 c7552 ベンチマーク回路のマクロセルが 32 個集積されている. 各マクロセルには, 種類や位置の異なる故障がそれぞれ作りこまれている. また, 電気的接続を必要としない診断装置を対象としていることから, 各マクロセルは入出力パッドには接続されていない.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)

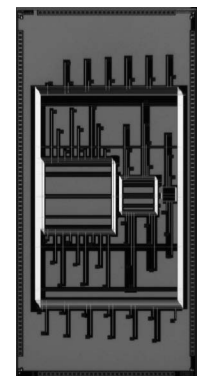


LSI 故障診断装置評価用 TEG-2

大阪大学情報科学研究科 山下 広展, 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となった LSI の故障診断を行うため, 種々の故障診断装置が提案・開発されている. 本チップは, これらの LSI 故障診断装置を評価することを目的として設計したチップの一つである. 主に, 電気的接続を必要とせずに電流経路の観測が可能な診断可能な装置を対象としている. レイアウトエディタを用いて設計し, pn 接合とそれに接続するループ配線を集積している. ループ配線の径を様々に変えた回路を複数作成し, それぞれに, 短絡等の故障を作り込んでいる. 故障により電流経路が変化するようになっており, この電流経路の変化を診断装置により検出・診断可能かどうかを評価する. また, 電気的接続を必要としない診断装置を対象としていることから, 各回路は入出力パッドには接続されていない.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Diva, Mentor 社 Calibre, **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)

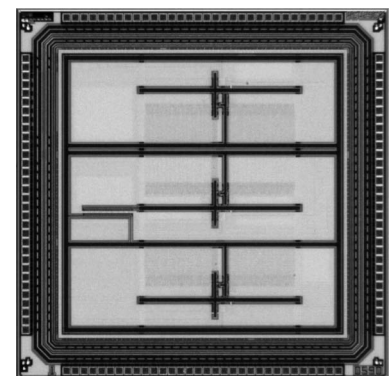


64 次元ベクトルデータ対応 S RAM テストチップ

東京大学大学院工学系研究科 馬 奕涛, 朱 弘博, 柴田 直

概要: 画像処理には多次元ベクトルデータがよく使われている. 従って, 実時間画像処理に対応する高速専用 VLSI には高速なベクトルメモリが不可欠である. 本設計では Projected Principal-Edge Distribution (PPED) 法や Averaged Principal-Edge Distribution (APED) 法などの画像特徴抽出法で導出する多次元特徴ベクトルデータに対応できる S RAM のテストチップを実装した. 試作した S RAM は 8 ビットのエレメントを 64 個以内持つベクトルデータに対応でき, エレメントごとのシリアル書き込みとパラレル読み出しが実現できる. しかも, 各タイミングで出力を確認するための SCAN レジスタも用意している. 本試作回路は主に S RAM セルアレー, 並列センスアンプ, Word-line デコーダー, 列デコーダー, 書き込みドライバ, タイミング制御回路と出力スキャンレジスタから構成されている. それに, S RAM セルは 81 組ゲートパラメータスキャンし, 並列センスアンプは 3 種類異なるタイプを試しとして導入した. 書き込み/読み出しのタイミングをタイミング制御回路の工夫によってチップ外から調整できる.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Synopsys 社 nanosim, Mentor 社 xCalibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ

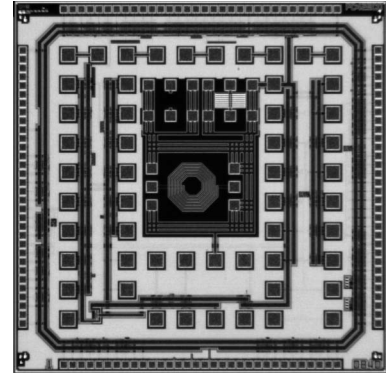


ASK 復調回路, および, その他 TEG 回路

東北大学大学院工学研究科 関川 宗久, 清山 浩司, 福島 誉史, 小柳 光正
東北大学大学院医工学研究科 田中 徹

概要: 急激な高齢化の進行に伴い, 医学的治療法の確立されていない加齢黄斑変性や網膜色素変性症が原因で失明にいたる患者が増えている. これらの患者の網膜では, 光を受容する視細胞が死滅しているが, 視細胞以外の網膜細胞は高確率で残存している. 死滅した視細胞の代わりに光電変換を行い, 残存する網膜細胞に刺激電流パルスを与えることで, 視覚の回復を図る人工網膜システムの開発が世界各国で行われている. 刺激電流パルスにはパルス幅, パルス間隔, 周期など, さまざまなパラメータがあり, 人工網膜チップの埋込後, 眼球外からデータを伝送し, それらのパラメータを調整して患者に適した刺激電流パルスを与える必要がある. 本試作では, 眼外装置に配置する変調回路から送信された ASK 変調波から人工網膜 LSI のバイアス電圧や刺激電流パルスの設定パラメータを抽出する復調回路, 受光回路や出力ドライ等の設計を行った. 試作チップを測定し ASK 復調回路の正常動作を確認した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

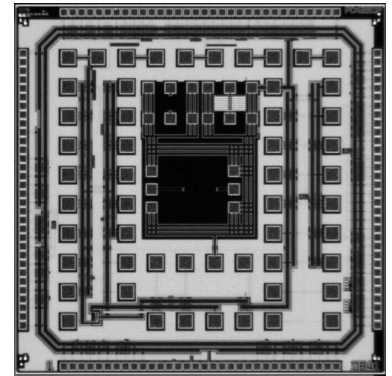


ASK 復調回路, および, その他 TEG 回路

東北大学大学院工学研究科 関川 宗久, 清山 浩司, 福島 誉史, 小柳 光正
東北大学大学院医工学研究科 田中 徹

概要: 急激な高齢化の進行に伴い, 医学的治療法の確立されていない加齢黄斑変性や網膜色素変性症が原因で失明にいたる患者が増えている. これらの患者の網膜では, 光を受容する視細胞が死滅しているが, 視細胞以外の網膜細胞は高確率で残存している. 死滅した視細胞の代わりに光電変換を行い, 残存する網膜細胞に刺激電流パルスを与えることで, 視覚の回復を図る人工網膜システムの開発が世界各国で行われている. 刺激電流パルスにはパルス幅, パルス間隔, 周期など, さまざまなパラメータがあり, 人工網膜チップの埋込後, 眼球外からデータを伝送し, それらのパラメータを調整して患者に適した刺激電流パルスを与える必要がある. 本試作では, 眼外装置に配置する変調回路から送信された ASK 変調波から人工網膜 LSI のバイアス電圧や刺激電流パルスの設定パラメータを抽出する復調回路, 受光回路や出力ドライ等の設計を行った. 試作チップを測定し ASK 復調回路の正常動作を確認した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

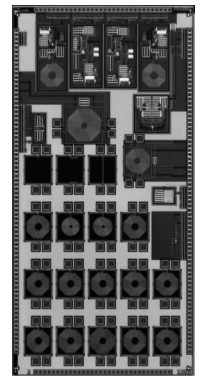


スパイラルインダクタ評価 TEG と RF 回路 TEG の試作

金沢大学大学院自然科学研究科 戸羽 辰夫, 狩野 孝太, 藤枝 茂
金沢大学大学院理工研究域 北川 章夫, 秋田 純一

概要: 主に高周波回路設計用のスパイラルインダクタ特性評価を目的とする. 試作した TEG は single-end use de-embedding パターン, 単層 8 角形スパイラルインダクタ, 配線抵抗低減を目的とした多層 8 角形スパイラルインダクタ, 円形スパイラルインダクタ, 基板渦電流損失の低減を目的としたパターングラウンドシールドを施したスパイラルインダクタである. さらにパターン幅, ギャップ幅の異なるものも試作し, それぞれ特性の違いを測定評価する. RF 回路は前回試作のレイアウトミスを修正したものと, 送受信を切り替える為の SPDT スイッチ, キャリアセンス回路である. また, 内部電源供給をするためのレギュレータも試作した.

設計期間: 10 人月以上 **設計ツール:** Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mmx5.0mm チップ **チップ種別:** 通信 (RF 回路, ATM など)

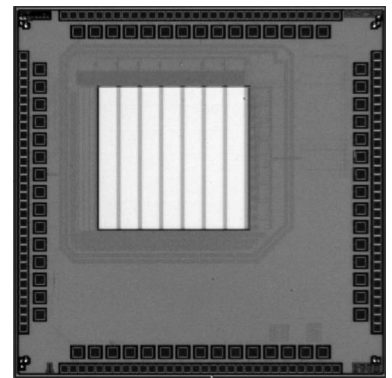


SFQ/CMOS ハイブリッドメモリ用 64kb メモリ路

横浜国立大学大学院工学府 岡本 悠史, 陳 賢珠, 矢口 謙太
横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。今回試作したチップは第 1 回に試作したハイブリッドメモリとは異なるシステム用のメモリである。容量やデコーダの構成はこれまでと同じものであるが、インターフェイス回路に用いるアンプが CMOS 差動増幅器になっていることが異なる。このメモリを測定したところ、デコーダの配線ミスにより、16 本の Word アドレスを同時に選択してしまうミスが発見された。しかし、メモリの出力を得られたことから差動増幅器は動作していると考えられる。また、入力保護回路と、Josephson/CMOS ハイブリッドアンプ用のセルフバイアス回路も試作した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ

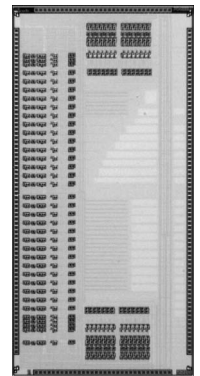


放射線検出信号回路用 TEG

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: PET (Positron Emission Tomography) 用のガンマ線検出器や MSGC (Micro Strip Gas Chamber) を含む中性子、ガンマ線などの各種の放射線検出器への使用を目的として、動作電圧 1.8VROHM0.18 μ m にて放射線検出用信号回路の試作 (TEG) をおこなった。具体的には電荷積分型プリアンプ、6bit/100MHz フラッシュ型 ADC、トランジスタ、ラダー、コンパレータなどをのせている。本チップは各回路の特性評価用に作成している。本チップの評価により高分解能、高解像度のピクセル型放射線検出器に必要とされるマルチチャネル放射線検出信号処理回路用のめどをつける。また電荷積分型のプリアンプのノイズレベルの計測を行い 3000 電子程度であった。さらに改良を行っている。

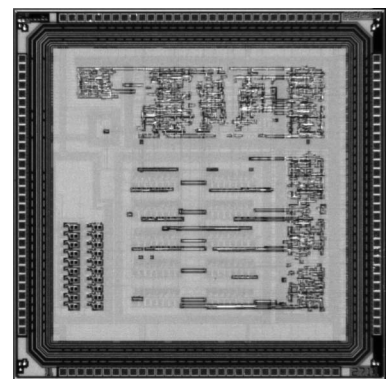
設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



● 東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要: PET (Positron Emission Tomography) 用のガンマ線検出器や MSGC (Micro Strip Gas Chamber) を含む中性子、ガンマ線などの各種の放射線検出器への使用を目的として、動作電圧 1.8VROHM0.18 μ m にて放射線検出用信号回路の試作 (TEG) をおこなった。具体的には電荷積分型プリアンプ、6bit/100MHz フラッシュ型 ADC、ゲインアンプなどをのせている。本チップは各回路の特性評価用に作成した。本チップは波形サンプリング型 ASIC 用の TEG である。本チップの評価により高分解能、高解像度のピクセル型放射線検出器に必要とされるマルチチャネル放射線検出信号処理回路用のめどをつける。またテストを行った結果、電荷積分型のプリアンプのノイズレベルの計測を行い ENC は最小で 3000 電子程度であった。さらに今後、改良を行っている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

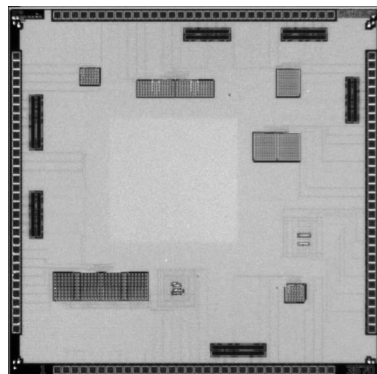


低電圧電流モード連続時間 $\Delta\Sigma$ 変調器とその要素回路

上智大学理工学部 三簾 浩一, 町田 和也, 和保 孝夫

概要: CMOS プロセスの微細化によって、電源電圧は著しく低下している。アナログ回路において、低電圧化はスイッチの実現の困難や信号振幅の劣化などの問題を招く。そこで我々は電流モード回路を用い、電源電圧 1V で動作可能な連続時間 $\Delta\Sigma$ 変調器を設計した。今回、ローム 0.18 μm プロセスを用いて、連続時間 $\Delta\Sigma$ 変調器およびその要素回路の試作を行った。HSPICE によるシミュレーションにより、1次 $\Delta\Sigma$ 変調器に関しては電源電圧 1V で信号帯域 1MHz のときに 8.4bit の有効分解能を、2次バンドパス $\Delta\Sigma$ 変調器に関しては電源電圧 1V で信号帯域 200kHz のときに 8.6bit の有効分解能をそれぞれ確認した。現在、1次 $\Delta\Sigma$ 変調器の測定が終了しており、電源電圧 1V で信号帯域 200kHz において 6.4bit の有効分解能が得られた。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数: 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



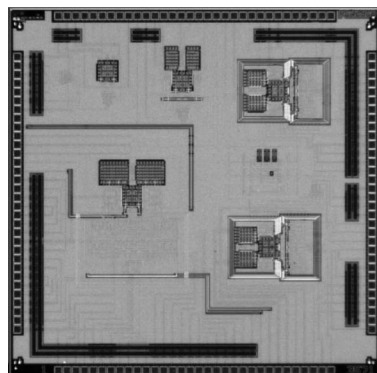
マルチビット方式アルゴリズム型アナログ/デジタル変換器

上智大学理工学部 芥川 一樹, 和保 孝夫

概要: アルゴリズム型アナログ/デジタル変換器 (ADC) は、面積を小さく構成できるという特長を持ち、システムオンチップに組み込まれる ADC として期待されている。しかし、固有の変換方式のため変換速度が遅く、高速化が課題である。我々は、アルゴリズム型 ADC の単位変換にマルチビット変換を組み合わせることで高速化を試みており、今回、ローム 0.18 μm プロセスを用いて、1.5 bit 方式と 2.5 bit 型のアルゴリズム型 ADC の試作を行った。HSPICE を用いたシミュレーションにより、電源電圧 1.8 V、分解能 8 bit で構成した場合、最大変換周波数は 1.5 bit 方式で 8.8 MHz、2.5 bit 方式で 12.8 MHz の性能を確認した。現在、要素回路の基本動作の確認を終え、詳細な性能評価を行っている。

参考文献: Kazuki Akutagawa, Kazuya Machida, Takao Waho, “3/7-Level Mixed-Mode Algorithmic Analog-to-digital Converter,” Proc. 38th IEEE International Symposium on Multiple-Valued Logic, pp. 174-179, May 2008.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数: 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

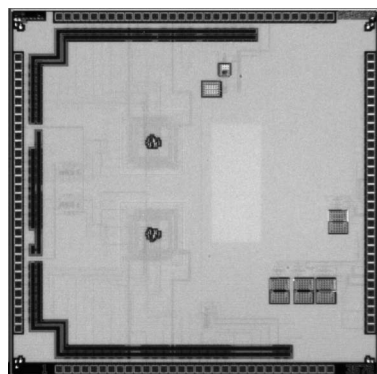


時間領域を用いた ADC とその要素回路

上智大学理工学部 町田 和也, 和保 孝夫

概要: 微細化による低電圧化はダイナミックレンジの低下を招く。この問題に対し、電圧軸ではなく時間軸で信号処理を行うアプローチがある。我々はデジタルリッチな構成が可能な TAD (Time-based ADC) に関して研究を行っており、今回、ローム 0.18 μm プロセスを用いて、TAD とその要素回路となる VCO の試作を行った。VCO には差動型 4 段リングオシレータを採用し、TAD はこの VCO に加え、カウンタ、レジスタ、デコーダを用いて構成した。Spectre を用いたシミュレーションにおいて、TAD を 1次 $\Delta\Sigma$ 変調器として動作させた場合、電源電圧 1.8 V、入力信号帯域 1.2 MHz、OSR が 42 倍の時、SNR は 62.3 dB、SNDR が 40.4 dB の性能を確認した。現在、TAD と要素回路の基本動作の確認を終え、詳細な性能評価を行っている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, トランジスタ数: 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

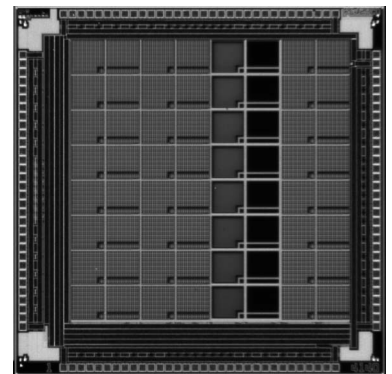


可視光 ID 用受光センサ及び信号処理回路

慶應義塾大学理工学部 木村 遙介, 松本 佳宣

概要: 本研究では, 受光素子を 8×8 のアレイ状にして発光源の状況に合わせて任意の受光素子を選択する事で, データを分離する集積回路の試作・評価を行った. 前回提出したチップの特性を改善するべく微修正を行った. アレイ状にすると個々の受光面積が減少して感度低下を招くため, 受光素子として, フォトダイオードよりも高感度な p-well を pnp トランジスタのエミッタ, Deep n-well をベース, p 型基板をコレクタとするフォトトランジスタを設計した. 外部信号で行と列選択のトランジスタスイッチの ON/OFF を切り替える事によって, 特定のフォトトランジスタを動作させる. 具体的には Deep n-well を解放電位とすれば受光素子はフォトトランジスタとして動作する. Deep n-well を Vdd 電位とすればフォトトランジスタは非選択状態となる. さらに, 専用トランスインピーダンスアンプ, 選択スイッチを内蔵した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)

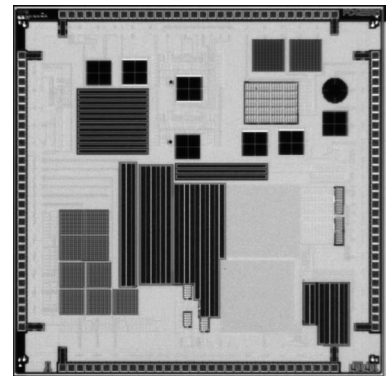


静電容量型センサ用容量検出回路

慶應義塾大学理工学部 松本 佳宣

概要: 静電容量型センサ用の微小容量検出回路を設計した. 特に, 3 軸加速度センサなどのように多軸すなわち複数の容量センサが集積化されているセンサの容量検出を一つの回路でできるように, 3つのスイッチトキャパシタ方式の容量検出器を6相クロックで駆動する構成とした. また, インバータ式発振回路と利得約50倍の非反転増幅器も併せて集積化して, 外付け部品の低減を図り, さらに携帯機器等での利用を考えて消費電力の低減を目指した. スwitchトキャパシタ回路には演算増幅器のオフセットの影響を除去できる Auto-Zero 方式の容量-電圧変換回路を用いた. この回路をフェムトファラッドオーダーの微小容量検出が必要な2軸静電容量型傾斜計と組み合わせてその評価を行った. その結果, XY 方向の傾斜の検出に成功した.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



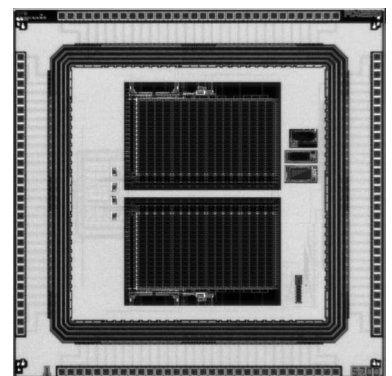
SRAM動作マージン評価TEG

九州工業大学マイクロ化総合技術センター 野田 和徳, 中村 和之

概要: 数十nm世代の最先端プロセスのSRAMにおいて, 素子微細化に伴う低電圧化, 特性ばらつき増大により, メモリセルのスタティックノイズマージン (SNM) が不足し, 正常動作不能となるという問題が指摘されている. 本チップは次の2つのTEGを混載したものである. (1) SNM算出用のトランジスタサイズ可変のユニバーサルSRAMセルインバータTEG (USCIT). (2) 2対のUSCITをメモリセルとして用い, USCITと同様のメモリセルトランジスタサイズにおけるSRAMチップ動作評価を可能としたユニバーサルSRAMTEG (USRAMT). 本TEGの評価により, USCITの動作を確認し, USCIT直接測定に基づくSRAMのSNM算出手法を確立した. さらに, LSIテスターを用いて, 様々なメモリセルトランジスタサイズに対し, SNMと実SRAM動作との相関をとることで同SNM算出手法の有効性を実証した.

参考文献: K. Nakamura, K. Noda, et al, "Static Noise Margin Evaluation Method Based on Direct Polynomial-Curve-Fitting with Universal SRAM Cell Inverter TEG Measurement," 2009 IEEE International Conference on Microelectronic Test Structures, Mar. 31, 2009.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** メモリ



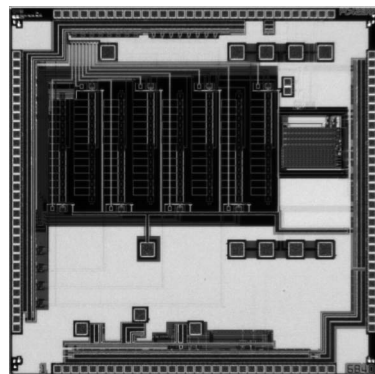
基板ノイズ対策アクティブデカップリング回路評価チップ

慶應義塾大学工学部 佐藤 大祐

概要：基板ノイズを低減させるためのアクティブデカップリング回路を評価するためのチップを設計した。設計したアクティブデカップリング回路は参考文献の回路よりも低周波側にも帯域を広げており、より広範囲の基板ノイズを抑制できると考えられる。また、基板ノイズ源として疑似乱数生成回路 LFSR とシフトレジスタ、ノイズセンサとしてソースフォロアと SFgm バッファを搭載している。さらに、デカップリングノードにおける基板コンタクトのサイズ依存性を実験的に測定するために、複数の基板コンタクトをスイッチで切り替えることによって、仮想的な基板コンタクトサイズを変化させ、基板のインピーダンスを変化させることができる基板コンタクトアレイを搭載した。

参考文献：Toshiro Tsukada, et al, "An On-Chip Active Decoupling Circuit to Suppress Crosstalk in Deep-Submicron CMOS Mixed-Signal SoCs", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 1, JANUARY 2005, pp.67-79

設計期間：3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナデジ混載

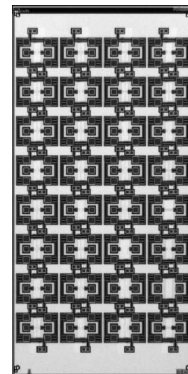


ガードリングを含めた基板モデル化のための TEG

慶應義塾大学工学部 豊丸 弘爾

概要：ガードリングを含めた Si 基板をモデル化するための評価用 TEG を試作した。設計した TEG は前回試作したものに改良を加えたものである。基板の情報を抽出するために基板コンタクトを中央に配置した。前回の TEG からの改良点としては、Signal のパッドを一回り小さくし、基板とのカップリングを抑えた。信号の引出し線を階層構造にし、左右のカップリングを抑えた。ガードリング、Well の電位を取るためのパッドを上下に配置した。基板コンタクトの形状としてはチップレベルでの基板の評価を目的としたため縦長の形状にした。TEG の内訳としては Well の種類を変えたもの、ガードリングの種類を変えたもの、基板コンタクトのサイズを変えたもの、基板コンタクト間の距離を変えたものを設計した。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**10 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別：**TEG (特性評価回路など)

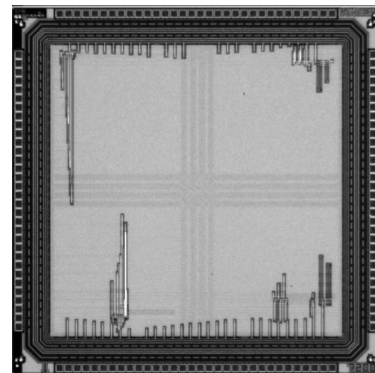


オシレータサンプリング方式乱数生成回路

大阪大学大学院情報科学研究科 天木 健彦, 橋本 昌宜, 密山 幸男, 尾上 孝雄

概要：熱雑音などのランダムな物理現象から生成される物理乱数がある。中でも各ビット同士が無相関であり、1/0 の出現確率が等しいものを真性乱数といい、セキュリティ用途に適する。本回路では、低速高速の二つのオシレータを使用する、オシレータサンプリング方式の真性乱数生成回路を実装した。本回路では低速オシレータに分周器を繋いでおり、分周による乱数品質への影響を調べることができる。また、高速オシレータを構成するインバータ一つおきに、N ウェル電位を外部から与えることが可能となっている。これにより高速オシレータのデューティ比を調節し、デューティ比が乱数品質に与える影響についても調べることができる。実測により、基板電位を外部から与えない乱数生成回路については、ランダムらしきビット列を得られることを確認した。IO まわりに不具合があり、基板電位を与えるピンと VDDO の間の抵抗を測定したところ、300 オーム程度しかなかった。そのためか、基板電位を外部から与えるように設計した乱数生成回路については動作を確認できなかった。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

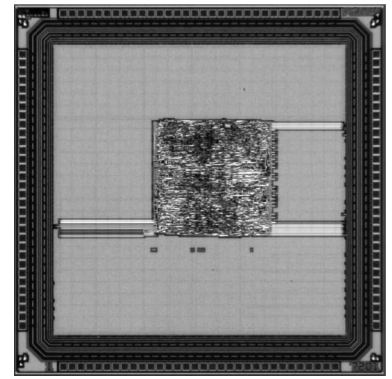


信頼性可変粗粒度再構成可能集積回路の試作

大阪大学大学院情報科学研究科 高永勲, Dawood Alnajjar, 密山 幸男, 橋本 昌宜,
尾上 孝雄

概要：アプリケーションや環境に応じて柔軟な信頼性を実現できる再構成可能集積回路の実現を目指し、その基本要素回路である"クラスタ"の試作を行った。クラスタは4つのセルで構成され、4つの動作モードにより複数の冗長構成と信頼性を実現する。クラスタ毎に適切な動作モードを設定することにより、要求される信頼性と面積オーバーヘッドのトレードオフを考慮したアプリケーションマッピングを可能とする。本試作では、クラスタの基本動作を確認するため、デバッグ用回路を組込んだALU型のクラスタを設計した。試作チップを評価したところ、論理合成結果を配置配線するところで一部配線がショートしていたことが判明し、その不具合が影響する範囲の動作が確認できなかった。次の試作では、複数クラスタで構成する再構成可能アレイを設計し、簡単なアプリケーションのマッピングを目指す。

設計期間：3人月以上, 4人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ

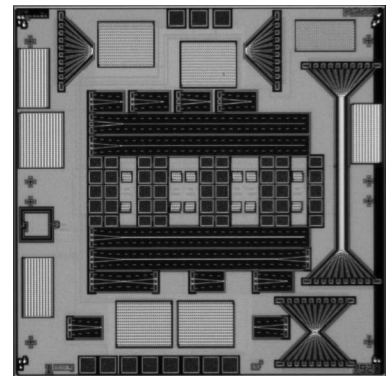


集積化アクティブマイクロ磁界プローブで用いる差動増幅回路の試作

東北大学大学院工学研究科 山口 正洋, 鳥塚 英樹, 難波 志織

概要：近年、電子機器の急速な発展に伴い、パッケージやLSIレベルにおいてEMI問題が顕在化している。その対策としてLSIの近傍磁界を測定し、ノイズ源や伝播経路を特定する必要がある。そこで、我々の研究グループでは高周波・高空間分解能の集積化マイクロ磁界プローブの開発を行っている。本試作では、ウェハプローブを用いて動作検証を行うことを目的とした差動増幅回路および差動増幅回路に接続した2ターンコイルを設計した。また、8本の信号線を並列に配置した線路、及びコプレーナ線路を設計した。追って研究室で磁性膜を集積化しその効果を検証する予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：その他



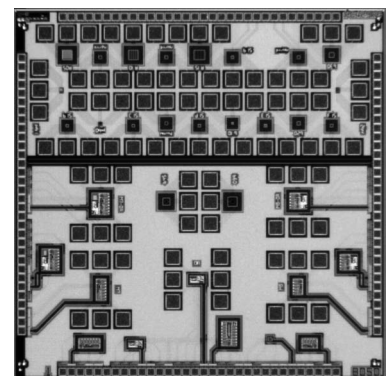
アバランシェフォトダイオード

金沢大学理工学域 飯山 宏一, 丸山 武男
金沢大学自然科学研究科 高松 英輝

概要：高速データ通信を目指して、LSIチップ間通信に光伝送を適用した光インターコネクションが検討されている。その実現のためには、LSIプロセスによるフォトダイオード作製の整合性について検討する必要がある。本チップは、微細CMOSプロセスを利用して、キャリアが横方向（基板に平行な方向）に移動する横型フォトダイオードであるが、アバランシェ増幅利得を向上させるように、電極間隔やコンタクト層上の電極幅を調整した。また、Siの光吸収係数は小さいので光はSiの奥深くまで浸透するため、Si深部で光励起されたキャリアが動作速度を制限する。そのため、Si深部で発生したキャリアを打ち消す構造をも取り入れた。現在評価中であるが、応答速度については1GHz程度の高速応答が確認できた。また、10V以下のバイアス電圧で10倍以上のアバランシェ増幅利得を得た。

参考文献：高松, 山王, 丸山, 飯山, "CMOSプロセスによるアバランシェフォトダイオード", 平成20年度電気関係学会北陸支部連合大会, D-22, 富山大学 (2008) .

設計期間：5人月以上, 6人月未満 設計ツール：Synopsys社 DesignCompiler, Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

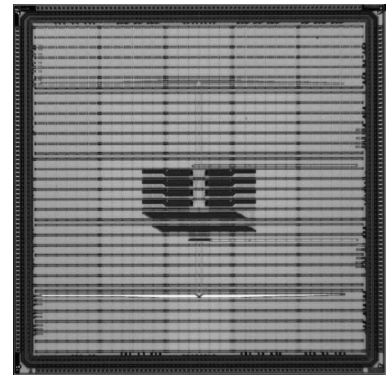


高信頼セルを用いたチップ内ばらつき、チップ間ばらつきの評価回路の試作

奈良先端科学技術大学院大学情報科学研究科 鈴木 一範, 中島 康彦

概要: 近年の CMOS 製造プロセス微細化に伴い、トランジスタのばらつきが増加する傾向にある。そこで我々は、ばらつきに強い高信頼セルを提案している。高信頼セルは伝送ゲートをベースに構成されており、種類が少ないという特徴がある。少品種と伝送ゲートを使用することによってばらつきの発生を抑える構造になっている。本チップでは、回路のばらつき評価として高信頼セルで構成された複数の演算器が埋め込まれている。同時に遅延時間を測定する回路も埋め込まれている。評価の結果、1個のチップ内であっても演算器の場所によって遅延時間の傾向が異なることが分かった。また、異なるチップ間では遅延時間の傾向が似ていることが分かった。

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Analog Design Environment, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

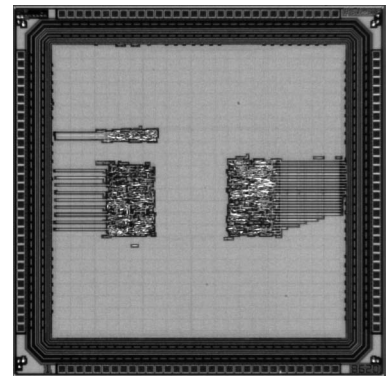


8ビットパイプラインプロセッサ

東京工業大学大学院情報理工学研究科 若杉 祐太, 佐藤 真平, 森谷 章

概要: 本チップは、東京工業大学大学院理工学研究科集積システム専攻の講義科目、次世代 VLSI 設計プロジェクト実習の一環として試作したものである。本試作では、大規模プロセッサ設計のための足掛かりとして、シンプルな 8 ビットの 4 段パイプラインプロセッサを設計した。8 ビット CPU であるが、命令セットには MIPS32 のサブセットを用いている。内部には小容量の命令メモリをもち、外部からシリアル転送による書き込みが可能である。検証用の I/O などを付加したコアと標準のコアの 2 種類を設計し、1 チップ上にレイアウトした。設計には京都大学提供版のスタンダードセルライブラリを用いた。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



生体用途向けアナログ要素回路 TEG (TC4, TC5)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

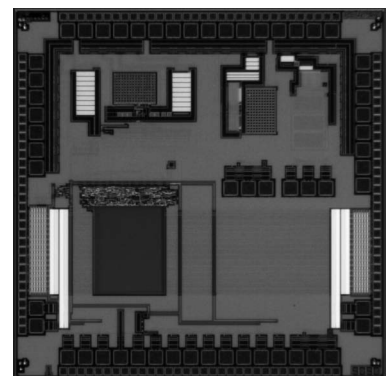
広島大学大学院先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要: 体内からの無線計測の最初の応用例として、口腔内の温度計測を目指し、要素回路の TEG 追加試作を行った。先に各要素回路の低消費電力化に留意した TEG, TC3 の試作を行ったが、口腔内留置を考えた場合、オンチップコイルでは通信距離の制約などで実用性が乏しく、コイルを外付け部品とし、オンチップコイルを廃した試作を行った。p-n 接合による温度センサ、演算増幅回路、10bit 低電力逐次比較形 Analog-to-Digital Converter (ADC)、120kbit の SRAM など、回路構成はこれまでの試作を踏襲している。実験のため各種の封止、実装を行うことから 2 回に分け各 1 ロット、計 40 チップの試作とした。

参考文献: T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, "A wireless chip for intra-oral temperature measurement," Proceedings of the 15th

Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



平成20年度第4回ローム CMOS 0.18 μ m 試作 (RO18084)

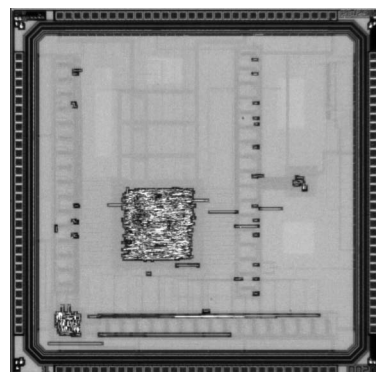
メビウス回路4

東京大学大学院工学系研究科 鄭明奎

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: 最近のプロセスの微細化に伴いバラツキがVLSIの大きな問題になっている。その対策として私たちはPVT遅延に強い自己同期式アーキテクチャを用いて回路が高信頼性で動作できるような研究を行った。その中でも私は高速動作を目標として自己同期式の論理素子レベルパイプライン (gate-level-pipelining) の新しい実現方法について研究した。提案した回路はメビウスの輪の概念を回路に適用した形であり、動作は特徴を以下に示す。1. 同じ動作をする回路がNMOSで構成された回路とPMOSで構成された回路2つある。2. NMOS回路がEvaluationの時はPMOS回路がPrechargeであり、PMOS回路がEvaluationの時はNMOS回路がPrechargeである。上の特徴により高速のパイプラインを実現することができた上、エラーの検出などの機能もあることが分かった。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



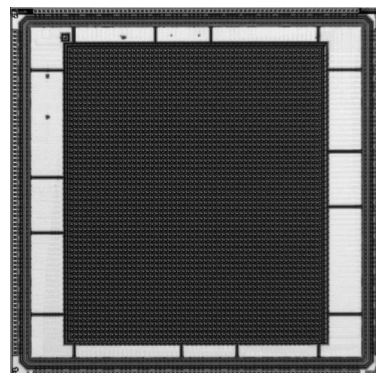
電流モード減算器不要型可変解像度エッジフィルタ

東京大学大学院新領域創成科学研究科 高橋 徳浩, 福岡 雄大

東京大学大学院工学系研究科 柴田 直

概要: 可変解像度エッジフィルタ処理は、入力画像の大きさの変化に柔軟な認識システムを構築する上で必要であるが、一般的に演算コストが高いため専用ハードウェアを作成することが望ましい。単純なピクセル間配線構造で可変解像度処理をチップ上に実装するために自己相似構造を開発し、RO35_0601の試作などでハードウェア実装をしたが、加算器と減算器の混在が開口率の低下や制御系統の複雑化をもたらす問題となっていた。そこで、減算器を用いずに可変解像度エッジフィルタ処理を実現するために構造を改良し (減算器不要型アーキテクチャ)、加算処理と相性のよいアナログ電流を用いた演算によって処理を行うチップの実装を試みてきた。この改良によって、約8%の開口率を確保しながら制御信号を単純化することに成功した。本設計では、RO18_0703の試作などで得られた部分回路の実験結果を元に、56 \times 56画素のイメージセンサを搭載したハードウェアを実装した。解像度は1/1, 1/2, 1/4の3段階が可能であり、水平、垂直、 $\pm 45^\circ$ の4方向のフィルタ処理を施すことができる。

設計期間: 8人月以上, 9人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



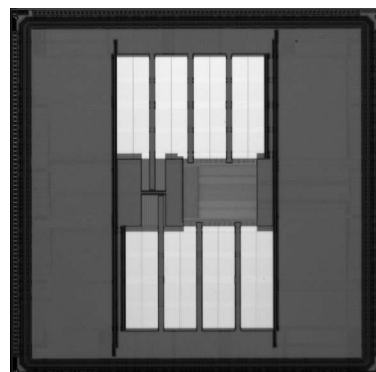
高データ利用効率動き場生成プロセッサ

東京大学大学院新領域創成科学研究科 岡野 祐太

東京大学大学院工学系研究科 柴田 直

概要: 近年、監視システムや自動車のプリクラッシュセーフティシステム、ヒューマンインターフェイスなど様々な分野に応用することができる、物体の動き認識やエゴモーション検出などの動画処理に関する研究が盛んに行われている。これらの動画処理において動き場を正確かつリアルタイムで求めることは非常に重要である。そこで本設計では高速に動き場を生成するプロセッサを開発した。このプロセッサでは、方向性エッジよりヒストグラムを生成しマッチングをとることによって動きベクトルを生成するエッジヒストグラムマッチングアルゴリズムを採用した。またハードウェアの特徴としては、前回の動きベクトル演算結果を再利用することにより回路規模を抑えつつ、なおかつ高速に演算することを可能にした。さらに2ユニットで隣接する2つの動きベクトルを並列に求めることによりデータの利用率および高速性を高めている。作成したチップの検証では、1.8V, 100MHzの動作でサイズが256 \times 256の動画像に対して、1060フレーム/秒という高速演算が可能であることを確認した。

設計期間: 8人月以上, 9人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, synopsys 社 nanosim, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



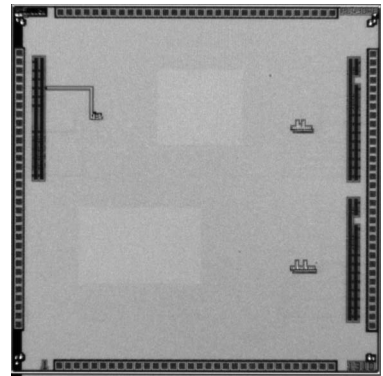
ラッチを用いたコンパレータ, $\Delta\Sigma$ AD変換器

概要: 今回の試作では、教授の指導の下、修士2名がそれぞれ別々の回路を試作した。一つ目が、入力信号と基準信号を比較し、デジタル値を出力する比較器、コンパレータ回路である。2つのラッチ回路と増幅器によりコンパレータを構成している。この回路はキャパシタとスイッチを用いることによりオフセットキャンセルを施してあり、より精度の高い比較を行うことができる。二つ目が、 $\Delta\Sigma$ 変調方式を用いたA/D変換器です。 $\Delta\Sigma$ 方式を用いることにより、量子化雑音を帯域外へと押しやることができ、高分解能のA/D変化を行うことが出来る。この回路は、1ビットという低いビット数で用い高速で動作させることにより1Vの低電圧下でも動作する $\Delta\Sigma$ AD変換器である。

参考文献: 谷口研二著, "CMOSアナログ回路入門", CQ出版社 (2005)

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:**

ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



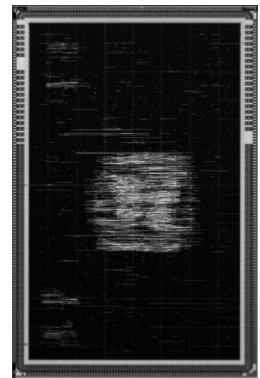
HCgorilla. 5の開発

弘前大学大学院理工学研究科 野田 一訓, 深瀬 政秋

弘前大学総合情報処理センター 佐藤 友暁

概要: アーキテクチャ HCgorilla は、我々が独自に開発してきたマルチメディアモバイルプロセッサ gorilla と大量のデータを高速に暗号・復号化する専用プロセッサ RAP (Random Addressing Processor) の技術を統合したハードウェア暗号組み込み型ユビキタスプロセッサである。HCgorilla は以下の特徴を有する。1. Java CPU の実行形式を取っており、JVM に実装されている Java バイトコードを直接実行する。2. 1つの CPU ダイの上に2つの CPU コアを実装した Multi-Core 構成である。さらに、依存関係のない複数のインスタクションを一塊として同時並列処理を実行する LIW (Long Instruction Word) 技術により最大4並列処理を行う。3. 最も処理時間のかかる演算実行段に Wave-Pipeline を施し、高速高効率に演算を行う。4. RAC (Random Addressing Cryptography) の原理を用いた SIMD モードの暗号復号処理を実行する。HCgorilla. 5 は、これらの高機能化を施した HCgorilla. 4 と Stream Cipher Engine の技術を統合したプロセッサである。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mmx7.5mmチップ **チップ種別:** マイクロプロセッサ

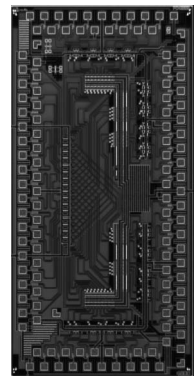


同時動作ノイズ評価回路

明星大学産学官連携推進室大塚研究室 秋山 豊, 伊藤 恒夫, 大塚 寛治

概要: ECLインターフェース入力16ビットを50 Ω で終端後2分岐して32ビットとし、ブースタ(増幅回路)を介して、ドライバにつながっている。すべて等長配線で配線されていることが、一般のチップと異なる点である。ブースタ回路の電源はペアパッドからドライバ供給電源とは別系統で供給し、PIの問題を遮断するため、オンチップキャパシタを挿入している。32ビットのドライバ供給電源は8カ所よりペアパッドで供給し、ドライバ上ではグラウンドをコモンにした配線となっている。その内の4パッドは電源・グラウンドの特性インピーダンスは69 Ω /本であり、残り4パッドはスタックトペア構造で5 Ω /本となっている。PIはチップ設計とデカップリングキャパシタ(以降デキャップと呼ぶ)の実装が重要であるはずで、69 Ω と5 Ω の違いは重要な指針が得られるはずである。評価基板は、デキャップなしモデル、表面実装デキャップモデル、基板内臓デキャップモデル、Siチップデキャップモデルの4種類をASET三次元実装インターポーザWGで作成し16ビット同時期切り替え時のPI, SIを来年度早々(2009年4月)から評価する予定である。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** TEG(特性評価回路など)

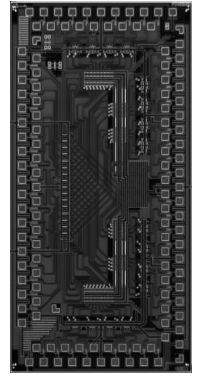


同時動作ノイズ評価回路

明星大学産学官連携推進室大塚研究室 秋山 豊, 伊藤 恒夫, 大塚 寛治

概要：ECLインターフェース入力16ビットを 50Ω で終端後2分岐して32ビットとし、ブースタ（増幅回路）を介して、ドライバにつながっている。すべて等長配線で配線されていることが、一般のチップと異なるところである。ブースタ回路の電源はペアパッドからドライバ供給電源とは別系統で供給し、PIの問題を遮断するため、オンチップキャパシタを挿入している。32ビットのドライバ供給電源は8カ所よりペアパッドで供給し、ドライバ上ではグラウンドをコモンにした配線となっている。その内の4パッドは電源・グラウンドの特性インピーダンスは 69Ω /本であり、残り4パッドはスタックトペア構造で 5Ω /本となっている。PIはチップ設計とデカップリングキャパシタ（以降デキャップと呼ぶ）の実装が重要であるはずで、 69Ω と 5Ω の違いは重要な指針が得られるはずである。評価基板は、デキャップなしモデル、表面実装デキャップモデル、基板内臓デキャップモデル、Siチップデキャップモデルの4種類をASET三次元実装インターポーザWGで作成し16ビット同時期切り替え時のPI, SIを来年度早々2009年4月）から評価する予定である。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS $0.18\mu\text{m}$ $2.5\text{mm}\times 5.0\text{mm}$ チップ チップ種別：TEG（特性評価回路など）

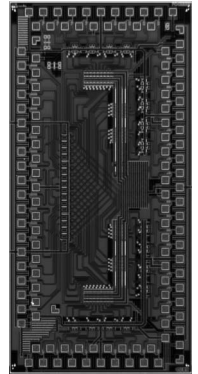


同時動作ノイズ評価回路

明星大学産学官連携推進室大塚研究室 秋山 豊, 伊藤 恒夫, 大塚 寛治

概要：ECLインターフェース入力16ビットを 50Ω で終端後2分岐して32ビットとし、ブースタ（増幅回路）を介して、ドライバにつながっている。すべて等長配線で配線されていることが、一般のチップと異なるところである。ブースタ回路の電源はペアパッドからドライバ供給電源とは別系統で供給し、PIの問題を遮断するため、オンチップキャパシタを挿入している。32ビットのドライバ供給電源は8カ所よりペアパッドで供給し、ドライバ上ではグラウンドをコモンにした配線となっている。その内の4パッドは電源・グラウンドの特性インピーダンスは 69Ω /本であり、残り4パッドはスタックトペア構造で 5Ω /本となっている。PIはチップ設計とデカップリングキャパシタ（以降デキャップと呼ぶ）の実装が重要であるはずで、 69Ω と 5Ω の違いは重要な指針が得られるはずである。評価基板は、デキャップなしモデル、表面実装デキャップモデル、基板内臓デキャップモデル、Siチップデキャップモデルの4種類をASET三次元実装インターポーザWGで作成し16ビット同時期切り替え時のPI, SIを来年度早々2009年4月）から評価する予定である。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS $0.18\mu\text{m}$ $2.5\text{mm}\times 5.0\text{mm}$ チップ チップ種別：TEG（特性評価回路など）

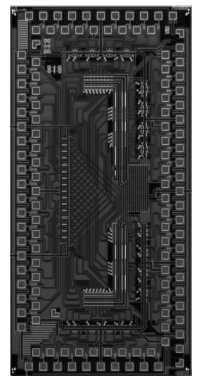


同時動作ノイズ評価回路

明星大学産学官連携推進室大塚研究室 秋山 豊, 伊藤 恒夫, 大塚 寛治

概要：ECLインターフェース入力16ビットを 50Ω で終端後2分岐して32ビットとし、ブースタ（増幅回路）を介して、ドライバにつながっている。すべて等長配線で配線されていることが、一般のチップと異なるところである。ブースタ回路の電源はペアパッドからドライバ供給電源とは別系統で供給し、PIの問題を遮断するため、オンチップキャパシタを挿入している。32ビットのドライバ供給電源は8カ所よりペアパッドで供給し、ドライバ上ではグラウンドをコモンにした配線となっている。その内の4パッドは電源・グラウンドの特性インピーダンスは 69Ω /本であり、残り4パッドはスタックトペア構造で 5Ω /本となっている。PIはチップ設計とデカップリングキャパシタ（以降デキャップと呼ぶ）の実装が重要であるはずで、 69Ω と 5Ω の違いは重要な指針が得られるはずである。評価基板は、デキャップなしモデル、表面実装デキャップモデル、基板内臓デキャップモデル、Siチップデキャップモデルの4種類をASET三次元実装インターポーザWGで作成し16ビット同時期切り替え時のPI, SIを来年度早々2009年4月）から評価する予定である。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS $0.18\mu\text{m}$ $2.5\text{mm}\times 5.0\text{mm}$ チップ チップ種別：TEG（特性評価回路など）

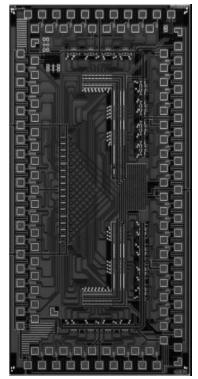


同時動作ノイズ評価回路

明星大学産学官連携推進室大塚研究室 秋山 豊, 伊藤 恒夫, 大塚 寛治

概要: ECLインターフェース入力16ビットを 50Ω で終端後2分岐して32ビットとし、ブースタ(増幅回路)を介して、ドライバにつながっている。すべて等長配線で配線されていることが、一般のチップと異なる点である。ブースタ回路の電源はペアパッドからドライバ供給電源とは別系統で供給し、PIの問題を遮断するため、オンチップキャパシタを挿入している。32ビットのドライバ供給電源は8カ所よりペアパッドで供給し、ドライバ上ではグラウンドをコモンにした配線となっている。その内の4パッドは電源・グラウンドの特性インピーダンスは 69Ω /本であり、残り4パッドはスタックトペア構造で 5Ω /本となっている。PIはチップ設計とデカップリングキャパシタ(以降デキャップと呼ぶ)の実装が重要であるはずで、 69Ω と 5Ω の違いは重要な指針が得られるはずである。評価基板は、デキャップなしモデル、表面実装デキャップモデル、基板内臓デキャップモデル、Siチップデキャップモデルの4種類をASET三次元実装インターポーザWGで作成し16ビット同時期切り替え時のPI, SIを来年度早々(2009年4月)から評価する予定である。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



RISC型CPUの作成

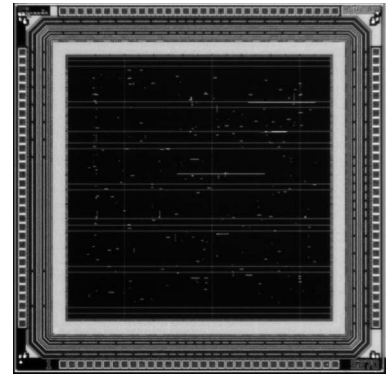
千葉大学工学部 星 匠, 松本 清紀, 平田 敏樹

千葉大学融合科学研究科 難波 一輝, 伊藤 秀男

概要: 本試作チップは、研究室内の学部4年生を対象とする回路設計実習において作成された回路である。本実習では、Verilog-HDLを用いてRISC型の独自命令を持つCPUを設計した。このCPUはCOMETIIをベースとしたCPUであり、いくつかの独自命令も追加してある。その後、論理合成ツール、配線配置ツール、検証ツールを用いる基本的なデジタル回路設計法に基づいてマスクパターンを作成した。この実習において、CPUの基本的な動作の仕組みを学ぶことと共に、各種EDAツールを用いる近年のデジタル回路設計法の基礎について学習した。また、集積回路技術に対する一般的理解を深めた。

参考文献: VDEC監修 浅田編, "デジタル集積回路の設計と試作," 培風館 (2000)

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** マイクロプロセッサ



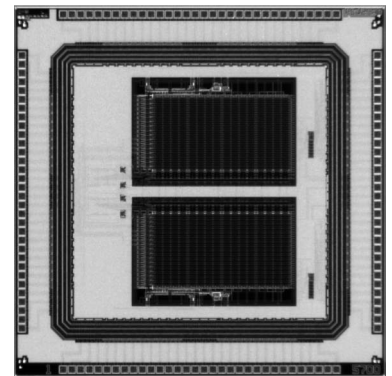
SRAM動作マージン評価TEG

九州工業大学マイクロ化総合技術センター 野田 和徳, 中村 和之

概要: 数十nm世代の最先端プロセスのSRAMにおいて、素子微細化に伴う低電圧化、特性ばらつき増大により、メモセルのスタティックノイズマージン(SNM)が不足し、正常動作不能となるという問題が指摘されている。本チップは次の2つのTEGを混載したものである。(1) SNM算出用のトランジスタサイズ可変のユニバーサルSRAMセルインバータTEG(USCIT)。(2) 2対のUSCITをメモセルとして用い、USCITと同様のメモセルトランジスタサイズにおけるSRAMチップ動作評価を可能としたユニバーサルSRAMTEG(USRAMT)。本TEGは、前試作ROI808.3に比べて、更に微小間隔でメモセルトランジスタサイズを変えることが可能となっており、本TEGを用いた網羅的な評価により、最適SRAMセルトランジスタサイズ設計のためのデータベース構築を目指す。

参考文献: K. Nakamura, K. Noda, et al, "Static Noise Margin Evaluation Method Based on Direct Polynomial-Curve-Fitting with Universal SRAM Cell Inverter TEG Measurement," 2009 IEEE International Conference on Microelectronic Test Structures, Mar. 31, 2009.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** メモリ



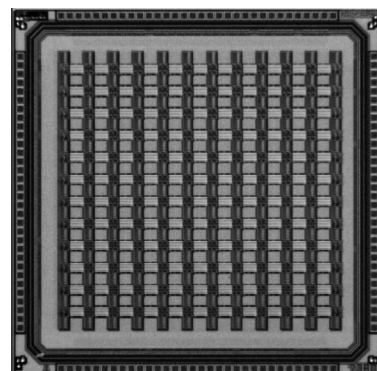
検証・デバッグ・診断指向FPGA

東京大学大規模集積システム設計教育研究センター 吉田 浩章, 藤田 昌宏
東京大学工学部 田川 貴聡

概要：近年重要となっている大規模集積回路の形式的検証・デバッグ・診断のための機能を組み込んだFPGA（Field Programmable Gate Array）を設計した。試作FPGAは汎用FPGAと同様のアーキテクチャを採用しており、そのため汎用FPGAと同様の方法で再構成および動作させることが可能である。一方で汎用FPGAとは異なり、各信号線は2線式となっており、一つは回路信号、もう片方はその信号が出力信号に影響を与えるかどうかを表す。各論理ブロックは4入力ルックアップテーブルと追加の論理回路からなり、試作FPGAは11x12個の論理ブロックを搭載する。汎用FPGAプロトタイプを用いた形式的検証実験では、ソフトウェアのみで実行した場合に比べて、提案FPGAを用いることで検証時間を7倍程度高速化できることを示した。今後、デバッグ・診断といった応用分野に対しても提案FPGAの有効性を示していく予定である。

参考文献：H. Yoshida, S. Morishita, and M. Fujita, "Hardware Accelerated Formal Verification," Proc. of International Workshop on Logic and Synthesis, pp. 247-252, June 2008.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

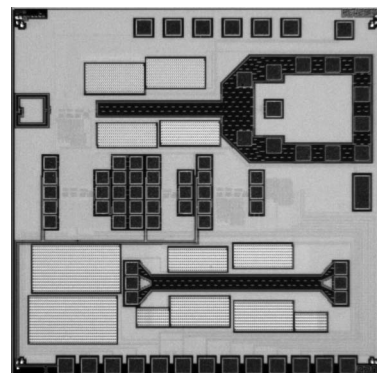


CMOS集積化アクティブ磁界プローブ

東北大学大学院工学研究科 山口 正洋, 鳥塚 英樹, 難波 志織

概要：近年、電子機器の発展に伴い、不要電磁放射によるEMC問題が顕在化している。その対策として、LSIの近傍磁界を測定し、ノイズ源や伝播経路を特定する必要がある。そこで我々の研究室では高周波・高空間分解能の集積化マイクロ磁界プローブの開発を行っている。本試作では、チップ上に高周波差動アンプ、差動シングルエンド変換バッファを搭載し、磁界検出コイルを小型化することで分解能の向上を目指した。チップと実装用プリント基板との実装には、電磁ノイズへの耐性強化、不要ループ削減のためにワイヤボンディングではなくフリップチップ実装を想定して信号取り出し用パッドを設計した。また、磁界プローブに用いる増幅回路の検証を行うため、増幅回路単体をチップ上に設計した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：その他

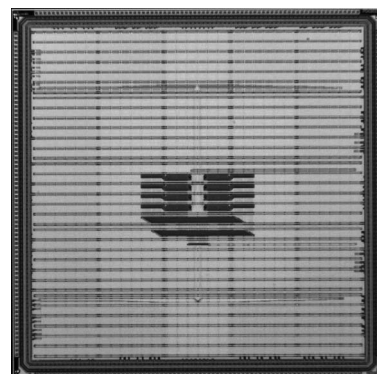


高信頼セルを用いた耐故障性の評価回路の試作

奈良先端科学技術大学院大学情報科学研究科 鈴木 一範, 中島 康彦

概要：近年のCMOS製造プロセスの微細化に伴い、トランジスタの故障率が増加する傾向にある。そこで我々は耐故障性に優れた高信頼セルを提案している。高信頼セルは伝送ゲートと2線論理をベースに構成されており、種類が少ないという特徴がある。また、高信頼セルは耐故障性に優れているだけでなく、製造ばらつきにも強いという特徴を備えている。本チップでは、高信頼セルで構成された複数の演算器を埋め込んでいる。耐故障性の評価として、意図的に配線のオープン故障を埋め込んだセルを作成し、それらを演算器内に埋め込んでいる。複数の演算器において故障箇所は全て異なっている。評価の結果、故障が埋め込まれた回路であっても正常な値を出力していることが分かった。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Analog Design Environment, Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Mentor社 Calibre, Mentor社 CalibreRC, トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：演算回路（乗算器, 除算器など）



生体用途向けアナログ要素回路 TEG (TC4, TC5)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

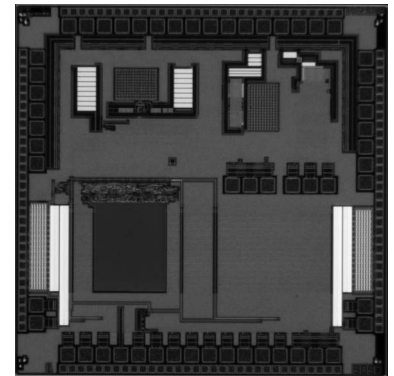
広島大学大学院先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要: 体内からの無線計測の最初の応用例として, 口腔内の温度計測を目指し, 要素回路の TEG 追加試作を行った. 先に各要素回路の低消費電力化に留意した TEG, TC3 の試作を行ったが, 口腔内留置を考えた場合, オンチップコイルでは通信距離の制約などで実用性が乏しく, コイルを外付け部品とし, オンチップコイルを廃した試作を行った. p-n 接合による温度センサ, 演算増幅回路, 10bit 低電力逐次比較形 Analog-to-Digital Converter (ADC), 120kbit の SRAM など, 回路構成はこれまでの試作を踏襲している. 実験のため各種の封止, 実装を行うことから2回に分け各1ロット, 計40チップの試作とした.

参考文献: T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, “A wireless chip for intra-oral temperature measurement,” Proceedings of the 15th

Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラ**
ン: ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



平成20年度第5回ローム CMOS 0.18 μ m 試作 (RO18085)

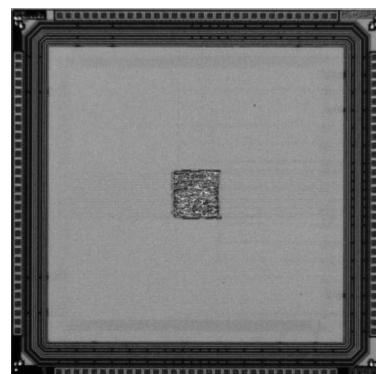
全学自由ゼミにおける LSI 試作演習

東京大学大学院工学系研究科 中村 大輔, 門馬 太平

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: 本チップは浅田・池田・名倉研究室の全学自由ゼミの一環として試作したものである。全学自由ゼミではまずFPGA (Altera社 Cycloneシリーズ) を使用した評価ボード上で Verilog-HDL を用いてデジタル回路を設計し、その動作を確認した。その後、京都大学提供の Rohm 0.18 μ m プロセス用スタンダードセルライブラリを用いて論理合成、配置配線を行うことでレイアウトを作成している。この回路はいわゆる PONG と呼ばれるビデオゲームを再現したものである。インターフェイスとしては外部のスイッチ入力を受け付けており、これによってゲームの操作を行う。出力としては RGB それぞれ1ビットずつの8色の SVGA 信号を出力する。この信号をアナログ RGB 入力を受け付けるディスプレイに入力することで画面出力を得ることが出来る。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



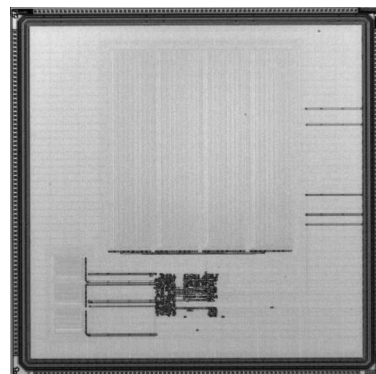
オンチップウェブサーバの試作

東京大学大学院工学系研究科 中村 大輔

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: 内部回路の信号などを HTTP 経由でモニタリングできるプラットフォームの実装、評価を行うために独自仕様の簡単なプロセッサ, 64K x 16bit の SRAM, イーサネットインターフェイス等をローム社提供のスタンダードセルライブラリを用いて設計した。このチップでは SPI インターフェイスを使用し外付けの FLASH メモリからデータをロードすることで内蔵の SRAM にソフトウェアをロードし、プログラムを実行する。このチップには、16ビットの非ハーバードアーキテクチャ CPU, initial loader, 命令・データ用 SRAM, 10Base-T イーサネットインターフェイス, RS232C インターフェイス, 8-bit の入力の Data I/O ポート (2 チャンネル), 8-bit の出力ポート (2 チャンネル) が搭載されている。実装面積はおよそ 8.44mm² である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** マイクロプロセッサ



ブロックマッチング方式 CMOS オプティカルフローセンサー

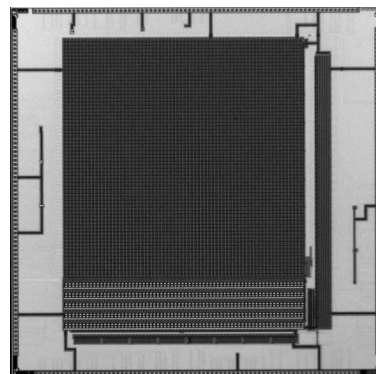
東京大学大学院新領域創成科学研究科 福岡 雄大

東京大学大学院工学系研究科 柴田 直

概要: 本研究では、ブロックマッチング法を用いた高速オプティカルフロー推定を行うアナログ回路の開発を行った。この回路では、高速演算、高拡張性を実現するための工夫を加えた。高速演算については、ブロックマッチングの計算の際のマクロブロックの類似度となる SAD (Sum of Absolute Difference) の計算を、同一命令を複数データに対して適用する SIMD 演算によってピクセル並列で行い、演算の並列度を向上させることで実現した。高拡張性を実現するために、SAD 演算を隣接ピクセル間データのみを利用による方法を考案し、配線構造を非常に簡単なものとした。更に SAD 演算回路を同一回路セルを並べた構造とすることで、回路セルの行数を増やすだけで、演算並列度や演算可能なマクロブロックのサイズを向上させることが可能である。回路シミュレーションによって、毎秒約 1300 フレームのフレームレートで正しく動作することが確認できた。また加減算や比較計算など基本的な演算を行うアナログ回路に関して、実際に測定を行い、動作することが実証された。

参考文献: [1] Yudai Fukuoka and Tadashi Shibata, "Block-Matching-Based CMOS Optical Flow Sensor Using Only-Nearest-Neighbor Computation," Proceedings of IEEE ISCAS 2009, Taipei, May 24-27, 2009

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



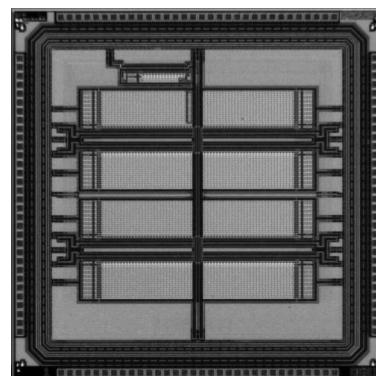
デジタル探索方式アナログ・サポートベクターマシン

東京大学大学院工学系研究科 姜 璟熙, 柴田 直

概要: 認識アルゴリズムとして、機械学習分野で広く用いられるサポートベクターマシン (support vector machine) を、アナログ回路を用いて実装した。主な回路要素は、ギルバートセルを応用したサブスレッショルド領域で動作する回路であり、そのガウシアン型電流電圧特性を用いて、ガウシアン関数をカーネル関数として用いたガウシアンカーネル (Gaussian-kernel) サポートベクターマシン・アーキテクチャを構成した。このアーキテクチャにおける最大の特徴は、オンチップ学習が可能なことである。学習結果は、デジタル制御により探索され保存されるため、簡単に再利用することができる。このチップにはその試作回路を搭載した。試作回路は小規模 (2次元12ベクトル) と大規模 (8次元238ベクトル) の2種類搭載されており、小規模回路に関しては、内部クロック16.7MHz動作時1ベクトルの認識演算を1.68usで処理できることを確認した。

参考文献: [1] Kyunghye Kang and Tadashi Shibata, "An on-Chip-Trainable Gaussian-Kernel Analog Support Vector Machine," Proceedings of the 2009 IEEE International Symposium on Circuits and Systems (ISCAS 2009), Taipei, May 24-27, 2009

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, Synopsys社 HSPICE, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



CMOS共鳴特性回路を用いた画像特徴抽出アナログ集積回路TEG

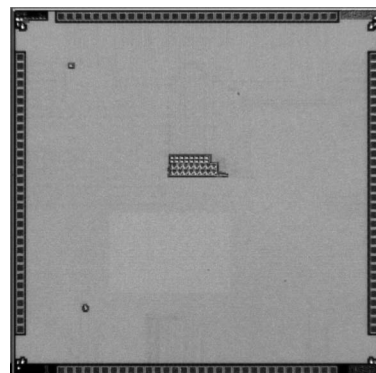
東京大学大学院新領域創成科学研究科 吉井 一馬

東京大学大学院工学系研究科 柴田 直

概要: 本設計では、CMOS共鳴特性回路を用いた画像特徴抽出回路のTEGを設計した。対象とする特徴量はエッジであり、抽出の際のフィルタ処理にCMOSインバータを基本とした共鳴特性回路を用いた。共鳴特性は、単電子トランジスタを始めとする量子効果デバイスの電流電圧特性に類似するものであり、これを特徴抽出に用いることで、CMOS回路技術の発展とともに、量子効果デバイスのシステムへの応用可能性を示すことを目的としている。共鳴回路は、サブスレッショルド領域で動作するインバータの貫通電流を利用しており、内部の電流メモリに貫通電流のピーク値が保持され、ピーク値と畳み込みの結果となる電流値との差分をエッジフィルタの処理結果とする。また、閾値処理にはフィードバックによる過渡応答を利用した閾値処理回路を設計した。本回路は、自身のダイナミクスによって自動的に閾値処理を行うことができる。なお、対応画素数は16画素であり、フォトダイオードアレイをシリアル入力のD/Aコンバータで代用している。

参考文献: [1] Kazuma Yoshii and Tadashi Shibata, "A Nano-Functional-Device-Based Image Feature Extraction Circuitry With Current-Balancing Feedback," the 10th International Conference on Ultimate Integration of Silicon (ULIS 2009)

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



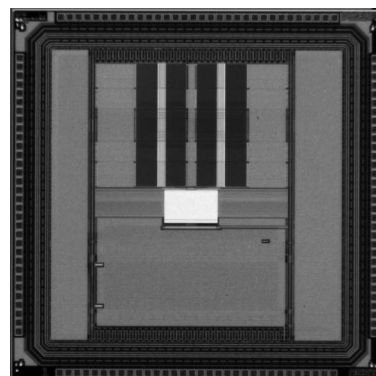
1サイクルPPEDベクトル生成回路

東京大学大学院工学系研究科 中川 琢規, 柴田 直

概要: 本設計では、Projected Principal-Edge Distribution (PPED) 法を用いたエッジベースの特徴ベクトルを実時間で生成するプロセッサを実装した。PPED法は入力画像から4方向の方向性エッジを抽出し、エッジを投影することで64次元の特徴ベクトルを生成する。方向性エッジを実時間で抽出する回路は既に実装されているため、本試作では実時間でエッジを投影し特徴ベクトルを生成することを目指している。本試作回路は主に、エッジ情報を効率的に保存するSRAM部と、保存されたエッジ情報を用い特徴ベクトルを生成する演算器部で構成されている。SRAM部ではエッジ情報を再帰的に上書き保存することでベクトル演算に必要なメモリサイズを削減し、演算器部では生成された特徴ベクトル情報を演算器内に保持させ、次のスキャン領域との差分から新たな特徴ベクトルを1サイクルでシームレスに生成する。今回試作した回路は内部クロック31MHzで動作し、VGAサイズの画像を41fpsで画像全体をスキャンできる性能を示した。本試作チップは1方向のエッジのみを投影する回路なので、PPEDベクトルを生成するためには4並列での動作を想定している。

参考文献: [1] Takuki Nakagawa and Tadashi Shibata, "A Real-Time Image Feature Vector Generator Employing Functional Cache Memory for Edge Flags," Proceedings of IEEE ISCAS 2009, Taipei, May 24-27, 2009

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

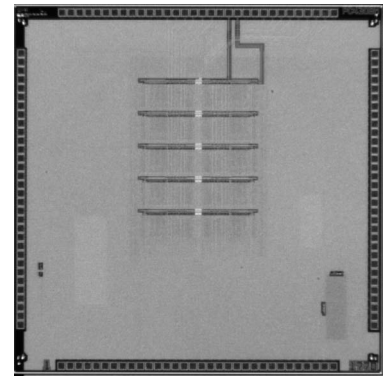


SFQ/CMOSハイブリッドメモリ用64kbメモリ

横浜国立大学大学院工学府 岡本 悠史, 矢口 謙太
横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップではこれまでの回路に対して低面積化を図っている。メモリセルには4セルを1単位とした対称構造を用いることで、36%の面積削減に成功した。また、Josephson/CMOSハイブリッドアンプ用のセルフバイアス回路も試作した。この回路は前回とは構成を変え、R-2Rラダーを用いたものになっている。メモリ部分の測定結果から、正常動作を得られた。またセルフバイアス回路の測定したところ、正常な動作が得られず、今後の試作により更なる検討が必要である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

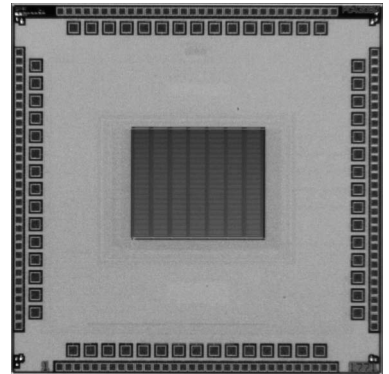


断熱的パストランジスタを用いた乗算回路

横浜国立大学大学院工学府 生田 浩康, 内山 順一
横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は、CMOS集積回路の低消費電力化のために断熱的パストランジスタ論理回路を提案している。断熱的論理回路とは電圧変化をゆっくり増減することでMOSデバイスでのエネルギー消費を低減し、またエネルギーを回収することで消費電力を格段に小さくできる回路である。本試作では、より大規模な断熱回路の動作実証を行うために、8bit断熱的パストランジスタ論理回路の乗算回路を10個並列にしたものを設計した。この乗算回路は従来のチップと同じ配列形の乗算回路であり、断熱回路を駆動するためのラインは論理回路部用とラッチ回路用の全部で6本である。外部負荷を駆動させるためのドライバであるラッチ回路は消費電力が大きく、演算そのものの消費電力を測定するために、それらの電力供給ラインは演算部とは別に分けられている。更にnMOSのしきい値電圧のばらつきを測定するための256素子のトランジスタアレイを試作した。デコードでアドレスからひとつのMOSを選択できるようになっている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

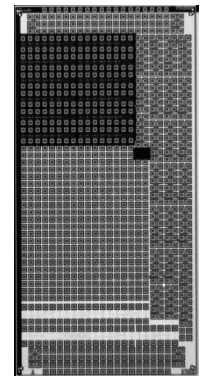


CMOS回路ばらつき解析用TEG試作

広島大学大学院先端物質科学研究科 賀谷 彰大, 和泉 伸也
広島大学ナノデバイス・バイオ融合科学研究所 上口 光,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要: CMOS LSIの小型化、高速化はトランジスタの微細化によりなされてきた。しかし、微細化テクノロジーにおいては、素子特性のばらつきにより回路が期待通りに動作しないという問題が起きており、製造ばらつきが発生しても、製造した回路が期待通りに動作するための設計技術が必要となっている。そこで本試作では、実チップ上でのばらつきの基礎データを得ることを目的とし、ばらつき解析用のTEGを多数搭載した。試作したTEGは、SPICEシミュレーションモデルHiSIMのパラメータ抽出用の単体MOSFET、ウェハ内とダイ内ばらつきの影響の分離を行う為のリングオシレータ、回路レベルでのばらつきの影響を調べるSRAMや差動増幅器となっている。本試作TEGより、従来技術における製造ばらつきの影響を解明することが出来るかと予想される。また、その結果を解析することで回路レベルでのばらつき予測、ばらつきを考慮した回路設計の指針を得ることが期待される。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Synopsys社 Star-RCXT, Silvaco社 SmartSPICE, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** TEG (特性評価回路など)

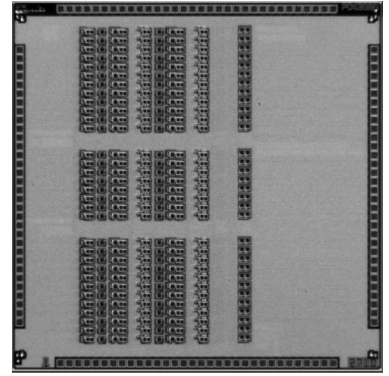


10チャンネル波形サンプリング型ASIC

東京大学工学系研究科 島添 健次, 高橋 浩之

概要: PET (Positron Emission Tomography) や MSGC (Micro Strip Gas Chamber) などのガンマ線, 中性子などの放射線検出器への使用を目的として, 検出器からの波形をプリアンプで電流信号を電圧に変換, ゲインアンプで増幅 6bit/100MHz の ADC でデジタル信号に変換可能な波形サンプリング型 ASIC の設計と試作をおこなった. 2.5mm 角にプリアンプ, ゲインアンプ, ADC のチャンネルを 10チャンネル分搭載してある. 本チップにより検出器からの波形の連続的な取得が可能となる. プリアンプは電荷積分型のプリアンプ, ゲインアンプは APD などの検出器サイドのばらつきを吸収するため, 4-10 倍程度にゲインを可変としている. クロストークを減らすため, アナログとデジタルの電源は分離してある.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

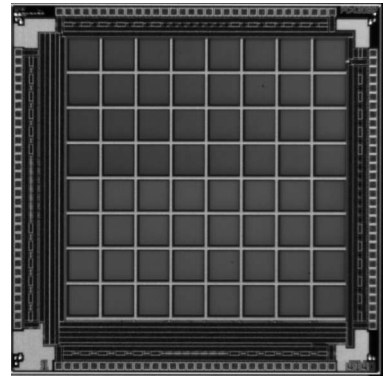


傾斜センサ用容量検出回路

慶應義塾大学理工学部 松本 佳宣

概要: 近年の最先端デジタル回路と一体化可能なセンサの実現を目指して, 1.5V 以下の低電圧で動作する静電容量型センサ用の微小容量検出回路を設計した. センサの原理に電解液の電気2重層を用いた容量検出方式を採用した液式傾斜センサを別途試作して, その容量値の変化量が 500% を超える事を確認しているが, この大きな変化量を用いる事で, 従来のアナログ回路に不可欠であった演算増幅器をインバータアンプに置き換える事が可能となった. さらにクロック発生回路, 増幅・オフセット調整回路を集積化した. この集積回路は電源電圧 1.3V での動作可能であり, 傾斜センサとしては $\pm 60^\circ$ の範囲で 12%/F.S 以下の線形アナログ出力が得られ, センサの分解能, 応答速度はそれぞれ 0.4deg, 0.7 秒であった. この回路は容量検出が必要な加速度センサなどの分野への応用も期待される.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



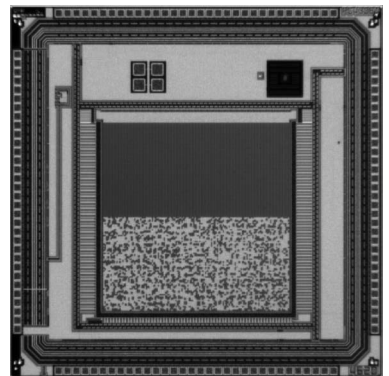
擬似的な不規則画素配置を持つ CMOS イメージセンサ

金沢大学理工学域電子情報学類 秋田 純一

概要: 通常のイメージセンサの画素は格子状などに規則的に配置されているが, 斜め線にジャギーが現れる一方で, 水平・垂直線にはジャギーが現れない, という, ジャギーの現れ方の方向依存性存在する. これに対し, 我々は画素の受光領域の配置を擬似的に不規則とすることにより, この問題を根本的に解消する手法を提案している. この擬似的な不規則画素配置は, 寸法・信号線の接続端子の位置が同一で, 受光領域 (フォトダイオード) の位置のみが異なる 4 種類の画素を用意し, その配置順序のみを乱数で決定することにより実現される. 本試作チップでは, 同一の画素構造で, 通常の格子状配置と擬似的な不規則画素配置の CMOS イメージセンサを 128 \times 64 画素ずつ設計した. 評価は現在進行中である.

参考文献: J. Akita, CMOS image sensor with pseudorandom pixel placement, IEICE Electronics Express, Vol. 5, No. 10, pp. 388-393, 2008.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



VSP 評価用チップ

三重大学工学部 中林 智之

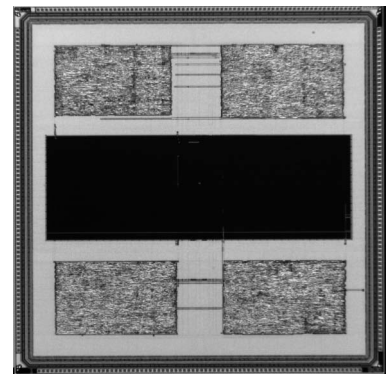
三重大学大学院工学研究科 佐々木 敬泰, 近藤 利夫, 大野 和彦

概要: 我々の提案している低電力化手法である可変段数パイプラインアーキテクチャ (VSP; Variable Stages Pipeline) の詳細な評価を行う為に, DVS (Dynamic Voltage Scaling), PSU (Pipeline Stage Unification) の既存の低電力化手法と, VSP, および VSP を高性能セミスタティック TSPC DFF という低電力 DFF を用いることで更に低電力化した VSP の4つのコアを搭載している。4つのコアはそれぞれ独立に動作させることが可能で, それぞれのコアの電力評価を行うことができる。このチップではシミュレーションでは計算量の問題上考慮することが困難である配線容量や配線遅延による影響を含めたより詳細な評価が可能で, VSP の有用性をより明確にすることが可能である。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 Astro,

Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ

チップ種別: マイクロプロセッサ



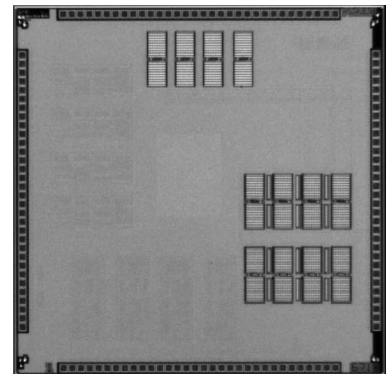
1V以下ナノワット基準電流電圧回路とチャジポンプ回路- I

福岡県産業・科学技術振興財団 黄 章財

早稲田大学大学院情報生産システム研究科 李 ナ, 井上 靖秋

概要: 近年, センサネットワークのノード装置などのような電池作動の装置の普及に伴い, アナログ回路やデジタル回路の L S I の設計要求の一つとして, サブ1V領域の超低電圧且つナノワットの超低電力での動作補償が重要となってきた。かかる超低電圧・超低電力回路に於いては, 集積回路のアナログ回路要素に適切にバイアスを加えるために, 超低電圧・超低電力で作動し出力が周囲温度に依存しない (または不感の) 基準電流源又は基準電圧源が必要とされる。本チップは, 電源電圧や温度に依存しない基準電流又は基準電圧を生成する, 特に, 電源電圧が1V以下の低電力動作においても安定した電流出力又は電圧出力を得ることができる。また, チャージポンプ回路では, トランジスタに高い耐圧 (電源電圧の2倍以上) が要求され, 本チップは, 特殊プロセスを必要としない低コストの高性能なチャージポンプ回路を実現する。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



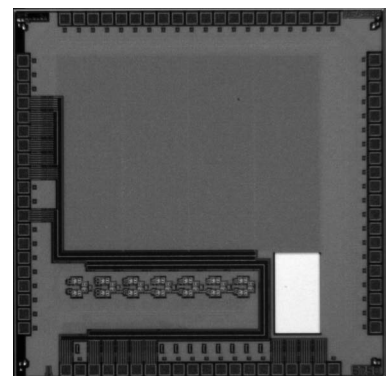
1. 5bit 冗長構成の 8bit Pipeline ADC

東京工業大学理工学研究科 吉原 慶, 浦野 達也, 松澤 昭

概要: 本試作は, 4月から研究室の一員となった新入生に, チップ試作の流れを把握してもらうべく, パイプライン A/D コンバータの設計を主に新人のみで行ったものである。設計の際は先輩の修士論文を参考にした。実際に作成した A/D コンバータの仕様は, サンプリング周波数 100MHz, 電源電圧 1.8V, 分解能 8bit として設計を行った。本 A/D コンバータは, オペアンプのオフセットに対する耐性を向上させるため, 1.5bit 冗長構成を採用しており, S/H ステージ, 1.5bit ステージが 6 段, 最終段は 2bit のフラッシュ A/D コンバータといった構成になっている。オペアンプにはゲインブースト回路を有する pmos 入力のフォールドバックカスコードアンプを用いている。また, 差動構成にしているため, コモンモードフィードバック回路をゲインブースト, オペアンプそれぞれに使用している。実際に作成した素子の占有面積は 1.44mm \times 0.61mm となった。

参考文献: [1] 宮原, "パイプライン型 A/D 変換器の高性能化と最適設計に関する研究", 東京工業大学大学院理工学研究科修士論文 (2006) .

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



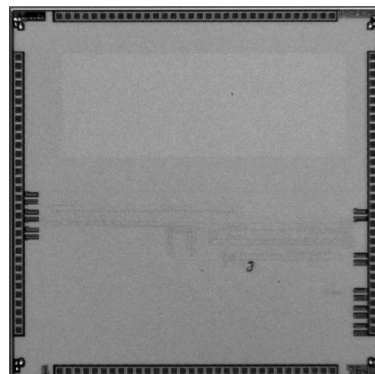
オンチップサンプリングオシロ

早稲田大学大学院情報生産システム研究科 石坂 耕助, 吉原 務

概要: システム LSI における, 高速化, 低電圧化に伴い, 電源ノイズによる回路動作への影響が問題となっている. 高速で変化する電源ノイズを, チップ外部から観測をおこなう場合, パッド容量やボンディングワイヤ等の影響を受け正確な波形の評価が困難となる. 正確な評価を行えるようにチップ内部で外部からの観測を可能とする処理を行う回路を設計・試作を行った. 本チップにはノイズ源とする多数のインバータと, そのインバータの電源電圧をサンプリングするためのサンプリングクロック発生回路と, 電圧値をホールドするためのサンプリングヘッドから構成される. サンプリングクロック発生回路とサンプリングヘッドにより高速な電源電圧波形を低速に変換し LSI 外部へと出力することが可能となる.

参考文献: M. Takamiya, M. Mizuno, K. Nagata, "A 100-GSa/s Sampling Oscilloscope Macro for Checking Signal Integrity in LSI," Technical report of IEICE, pp. 43-48, May2002

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



標準 CMOS プロセスを用いた太陽電池およびオンチップ電源回路

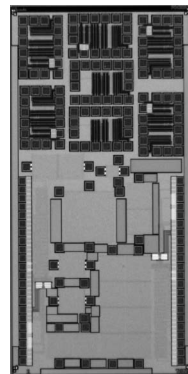
東京大学生産技術研究所 坂井田 耕輔, 安福 正, 荒木 貴弘, 石田 光一, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

東京大学工学系研究科 竹内 健

概要: (1) 太陽電池を標準 CMOS プロセスを用いてを実現した場合の, 高性能化のための指針を解明することを目的とし, 実測を通じて, オンチップ太陽電池の性能限界・出力電圧変動を調査するための評価 TEG を試作した. 設計 TEG の種類は, 構造別 (n+受け型太陽電池, p+受け型太陽電池), トランジスタ別 (1.8V トランジスタ, 3.3V トランジスタ) について比較評価が出来るよう考慮してある. (2) オンチップ昇圧回路 (ブーストコンバータ) の出力電圧を制御するための回路の改良型を試作した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



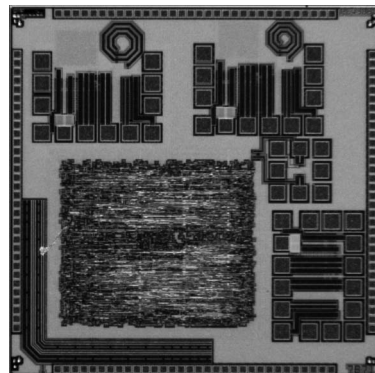
共振クロック分配回路および電力線通信チップ

東京大学生産技術研究所 坂井田 耕輔, 中村 安見, 柵木 雄介, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要: 本試作では 2 種類の回路を試作した. (1) クロック分配回路の低消費電力化を目的として, 共振クロック回路方式の適応周波数範囲を広げるため, 非共振回路, 共振回路, 共振回路に工夫を加えた回路の比較検討を行うための回路を設計した. 非共振回路に比べ, 消費電力を削減することが可能とされるが, ターゲットとする共振周波数よりも低周波数で動作させると消費電力の増大やダブルスイッチング問題を引き起こすため, これを改善する回路を共振回路に実装した. (2) 電源線に信号を重畳する電力線通信方式について, 実際に信号を重畳させて回路が正しく動作するかを調べるためにプロセッサを実装した. 極力小さい面積で実装することを目的とし, 8bit の加減算がプロセッサを設計した. またフリップフロップにより構成されるメモリも実装した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Encounter, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ

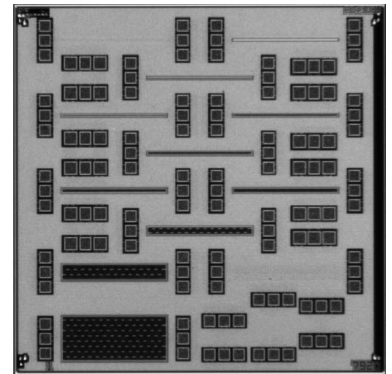


導電膜を用いたノイズ抑制体の試作と抵抗素子のばらつき検証

東北大学大学院工学研究科 山口 正洋, 室賀 翔, 鳥塚 英樹, 難波 志織

概要: 本研究グループでは, 磁性膜をチップ内に集積化し, 膜内で発生するジュール損失および強磁性共鳴損失を利用して, 電子機器や半導体集積回路の電流に起因した電磁ノイズをチップレベルで抑制する技術の開発を進めている. 本チップ試作では, 膜内のジュール損失の発生機構について別途考察した内容に関する実証実験を行うためのパターンを試作した. 線路の特性インピーダンスは抵抗分が存在するため完全には $50\ \Omega$ にできないが, 数値計算により広い周波数にわたってなるべく $50\ \Omega$ に近くなるよう設計した. また, ばらつき検証のための抵抗値測定用のパターンも作製した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS $0.18\ \mu\text{m}$ $2.5\ \text{mm}$ 角チップ **チップ種別:** その他

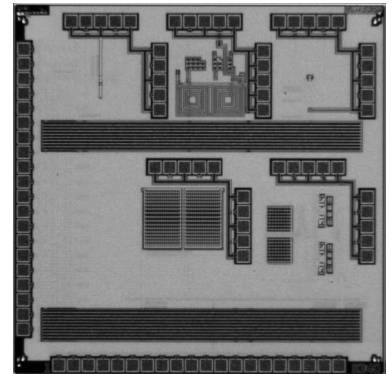


ソフトウェア無線用小面積低電力 $\Delta\Sigma$ 変調器

慶應義塾大学理工学部電子工学科 白石 圭, 志方 明, 石黒 仁揮

概要: ソフトウェア無線用アナログデジタル変換器の回路を設計し本チップに搭載した. 本試作では, 小面積 ($<300\ \mu\text{m}^2$) かつ低消費電力 ($<1\ \text{mW}$) で動作するデータ変換器の実現を目標とした. ソフトウェア無線機においては, 移動体無線通信端末の小型化と同時に, 様々な通信規格の信号帯域幅に合わせた電力消費量でデータ変換することが求められる. この要求を満たすために, 逐次比較 ADC を内部量子化器に取り込んだアーキテクチャを用いた 2 次 $\Delta\Sigma$ ADC を考案した. これにより, 量子化器部分の小面積化と低消費電力化を実現した. また, 逐次比較 ADC で使用する容量 DAC と $\Delta\Sigma$ ADC の帰還 DAC の時分割共有により, 大幅な面積削減を実現した. 一方で, 信号帯域に依存した低消費電力を実現するため, スイッチトオペアンプの技術を採用し, 積分器に含まれるオペアンプの電流を未使用時に遮断できる構成にした. これにより, 消費電力が動作速度に比例するパワースケーラビリティを実現し, アプリケーションに応じて, 効率よく消費電力量を変化させることのできる ADC を実現した. 現在, チップの評価を進めている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS $0.18\ \mu\text{m}$ $2.5\ \text{mm}$ 角チップ **チップ種別:** アナデジ混載



32 ビット MIPS 互換マルチサイクルプロセッサ

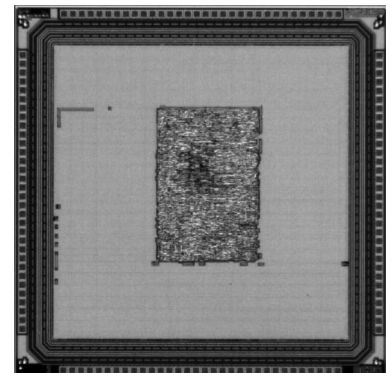
東京工業大学工学部 高前田 伸也, 森 洋介

東京工業大学情報理工学研究科 若杉 祐太

概要: MIPS32 命令セット互換のマルチサイクルプロセッサの試作を行った. このプロセッサは命令フェッチ, デコード, レジスタフェッチ, 実行, メモリリード, メモリライト, ライトバックの 7 ステージで構成される. 各ステージを進めるには 1 サイクルを要するが, 乗算命令および除算命令の場合のみ実行ステージに 32 サイクルを要する. キャッシュメモリの実装をせず, メモリアクセスは外部に用意した 1 ポートのメモリと直接行う. 本チップは当研究室で開発した Linux の動作する MIPS システムシミュレータ SimMips [1] をベースに, 計算コア命令のみに絞って設計を行い, 開発期間を大幅に短縮した. 設計には京都大学提供版のスタンダードセルライブラリを用いた. また, 専用の評価ボードを開発し, C 言語で記述されたアプリケーションの動作を確認した.

参考文献: [1] 藤枝他, SimMips: 教育・研究に有用な Linux が動く 5000 行の MIPS システムシミュレータ, コンピュータシステム・シンポジウム (ComSys2008) 論文集, pp. 143-150 (2008).

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS $0.18\ \mu\text{m}$ $2.5\ \text{mm}$ 角チップ **チップ種別:** マイクロプロセッサ

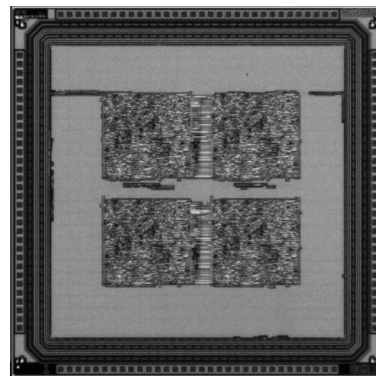


メニーコアプロセッサのためのオンチップルータの試作

東京工業大学大学院情報理工学研究科 渡邊 伸平, 若杉 祐太
慶應義塾大学大学院理工学研究科 松谷 宏紀

概要: 近年, プロセッサ・アーキテクチャは, 1つのチップ上にたくさんのコアを搭載するメニーコアの時代へと向かいつつある. メニーコアにおいては, チップ上のコア同士が通信するためにオンチップルータが必要となる. 本試作では, オンチップルータを設計し, チップ上にルータ0からルータ3の4つを配置した. 入出力ピン数の都合により, 外部にはルータ0およびルータ1の入力ポートと, ルータ3の出力のみを接続し, ルータ0およびルータ1からパケットを入力し, ルータ3から出力するという構成となっている. 設計には京都大学提供版のスタンダードセルライブラリを用いた.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ



チップ種別: マイクロプロセッサ

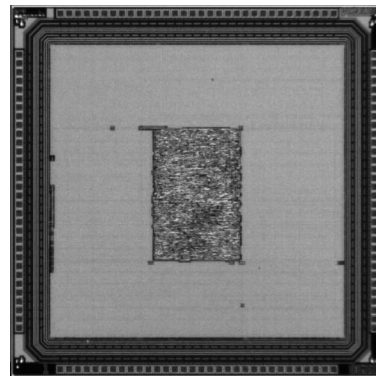
32 ビット MIPS 互換マルチサイクルプロセッサ

東京工業大学大学院情報理工学研究科 若杉 祐太
東京工業大学工学部 高前田 伸也, 森 洋介

概要: MIPS32 命令セット互換マルチサイクルプロセッサの試作を行った. 本プロセッサは, 命令フェッチ, デコード, レジスタリード, 実行, メモリリード, メモリライト, ライトバックの7ステージをもつ. 各ステージは1サイクルを要するが, 乗除算命令のみ実行ステージに32サイクルを要する. 内部にキャッシュメモリは実装せず, メモリアクセスは外部に用意した1ポートメモリと直接データの授受を行う. また, 本チップは当研究室で開発したLinuxの動作するMIPSシミュレータSimMips [1]をベースに, 計算コア命令のみに絞って設計することで開発期間の大幅な短縮に成功した. 設計には京都大学提供版のスタンダードセルライブラリを用いた. また, 専用の評価ボードを開発し, C言語で書かれたプログラムの動作を確認した.

参考文献: 藤枝他, SimMips: 教育・研究に有用なLinuxが動く5000行のMIPSシステムシミュレータ, コンピュータシステム・シンポジウム (ComSys2008) 論文集, pp. 143-150 (2008).

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ



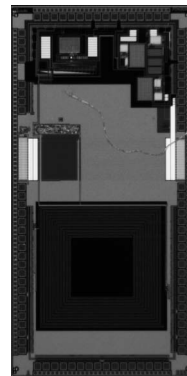
生体用途向けワイアレスセンサ試作 (TC6)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二
広島大学大学院先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要: 口腔内において, 食物の滞留時間を測定するための温度計測と非侵襲的な血糖値計測を行うことを目指したワイアレスセンサを試作した. 本試作に先立ち, 温度計測について一連の要素回路 TEG 試作を行い, 若干の外付け部品とともにチップを義歯内に封止して, 臨床的に要求される温度測定範囲 (0 $^{\circ}$ C~70 $^{\circ}$ C), 測定頻度 (温度: 8Hz~10Hz, 血糖値毎分1回) は, 充足可能と判断した. TEG 試作で検証した回路に, 外付けの酵素電極を用いた電位測定のための回路を付加, 温度と血糖値のデータをSRAMに記録した上で, 10MHzのキャリアを用いて19.2kbpsのシリアル通信を行うよう, 実装を行った. 近接時の通信を前提として, TEG 試作で一度廃したオンチップコイルを再度搭載した.

参考文献: T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, "A wireless chip for intra-oral temperature measurement," Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ



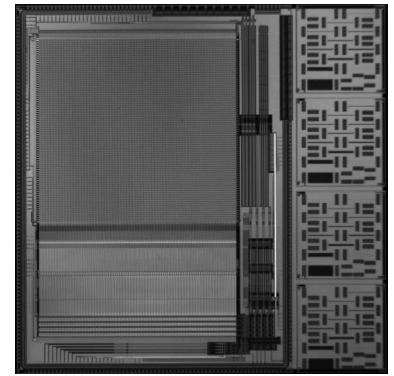
チップ種別: アナデジ混載

1Gbps×4ch 光無線 LAN 用ビジョンチップ

大阪大学大学院情報科学研究科 香川 景一郎

概要：・我々は、受光素子として、通信対象の位置を探し出す「撮像」と、高速光通信を行うための「データ受信」の二つの機能をもつイメージセンサを用いた新しい屋内用光無線 LAN システムを提案している。複数データを同時に受信できる特徴を利用し、ダウンリンクに波長多重通信を適用できる 1.25Gbps×4 センサを設計した。設計時にパッケージ、I/O セル、その他配線容量・抵抗などの寄生素子の等価回路を与え、トランジスタサイズ、バス配線幅を最適化した。また、光信号のオフセットを除去するために自動オフセットキャンセル回路、波長間クロストークを除去するアナログマトリックス回路を内蔵した。高速光信号は、LVDS (low voltage differential signaling) または CML (current mode logic) で出力する。オンチップで A/D コンバータを搭載し、画像信号をデジタルで読み出すことができる。昨年度作製したチップのバグを修正した。

設計期間：0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 7.5mx10mm チップ **チップ種別：**イメージセンサ/スマートセンサ

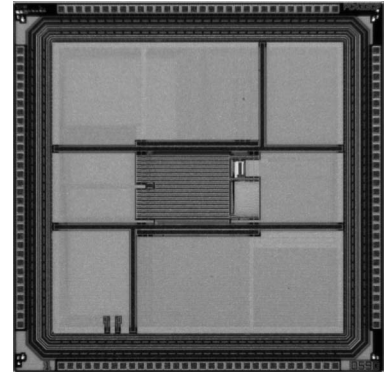


A Hamming Distance Associative Processor Employing Time-Domain Techniques

東京大学大学院新領域創成科学研究科 Bui Trong Tu

東京大学大学院工学系研究科 柴田 直

概要： Traditional CAM usually performs an exact-match operation between the input data and stored data. If no exact-match is found, then a no-match flag is asserted. But many advanced applications have required the detection of not only exact-match data but also nearest-match data. In these applications, the constraint of searching for an exact-match is relaxed to find the nearest match when there is no exact match. In order to realize this function, some advanced architectures have been developed based on the CAM technology for the minimum/nearest Hamming-distance search. Moreover, in some applications we want to search for not only the nearest-match but also an r -th nearest-match between the input data and template data. In these cases we need functions like in rank-order filters or rank-order searching circuits. In this regard, we have developed an r -th nearest-match Hamming distance associative processor using a time-domain technique. Namely, the processor uses digital circuitries for bit comparisons and delay-time technique to identify the winner. In the system, Hamming distance is represented as a delay-time signal in time domain. A step signal is delayed by ΔT when search data bit and stored data bit, i.e. template bit, are not identical. As a result, the Hamming distance is proportional to the delay time. A rank-order searching circuit developed in a previous work is utilized here to search for the r -th nearest distance based on these delay times. The delay time ΔT is programmable so as to guarantee the correct operation of the searching circuit. The proof-of-concept chip was designed and fabricated using a 0.18- μ m IP5M CMOS technology. The proposed Hamming distance associative processor consisting of 64-bit 32-words for the purpose of demonstration occupies a core area of 0.65mm \times 0.445 mm. The cell size is 7.84 μ m \times 12.4 μ m. The mechanism is preserved for extended cases where a larger number of template words are required. Due to the simple architecture of the rank-order-searching circuit, the system can be extended so that a "top- k " of nearest match results can be searched for in parallel. Operation of the system has been verified by simulation results.



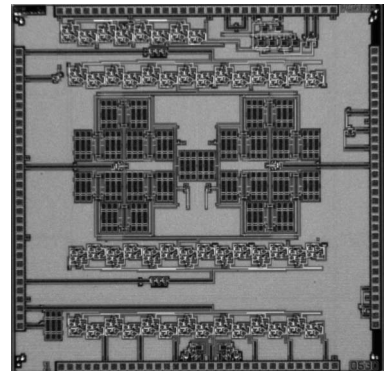
設計期間： 3 人月以上, 4 人月未満 **設計ツール：** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：** 10,000 以上, 100,000 未満 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** アナログ/デジタル信号処理プロセッサ

三角波重み付けチャージサンプリングフィルタ

早稲田大学先進理工学研究科 西島 武良, 菅 真吾, 松本 隆

早稲田大学理工学部 松山 明誉

概要： 携帯電話, 無線 LAN, GPS などの無線通信システムが実用化されているが, 現在の無線機では利用したい無線通信システム専用のハードウェアが必要である。近年, ハードウェアを変更せずにソフトウェアを変更することで様々な無線通信システムに対応できる「ソフトウェア無線機」が脚光を浴びている。ソフトウェア無線機は, ハードウェアを変更することなく, プログラムを変換することにより無線機としての特性を変更し, ひとつの無線機で複数の無線通信システムに対応することを可能とする無線機である。そのマルチモードの無線機を実現するためにはマルチモードのフィルタが必要になる。それを達成するためのフィルタとしてチャージサンプリングがある。本試作ではこのチャージサンプリングの特性を確認するため基本的なチャージサンプリングと入力に三角波関数で重み付けを行うチャージサンプリングを試作した。現在, オシロスコープなどを用いて測定中である。



参考文献： [1] A. Mirzaei, A. A. Abidi, et al., "A Second-Order Anti-aliasing Prefilter for an SDR Receiver", IEEE Custom Integrate Circuits Conference, 2005, pp. 629-632

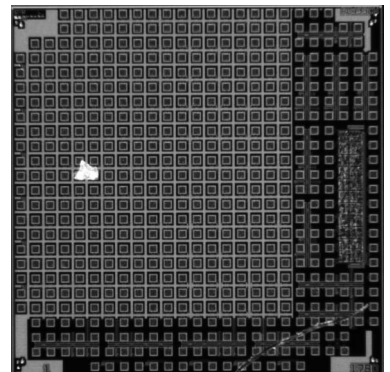
設計期間： 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数：** 100 以上, 1,000 未満 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** アナログ (PLL, A-D/DC-DC コンバータなど)

CMOS デバイスのウェハ間, ウェハ内, ダイ内ばらつき解析用 TEG 試作

広島大学大学院先端物質科学研究科 賀谷 彰大, 和泉 伸也

広島大学ナノデバイス・バイオ融合科学研究所 上口 光,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要： 半導体微細加工技術の進歩により, トランジスタの微細化が進み, 集積回路の小型化, 高速化が図られてきた。しかし, 製造プロセスの微細化が進むにつれて, 製造条件の揺らぎが顕著になっており, ばらつきに対処するための設計手法が必要となっている。そこで本試作では, 実チップ上でのばらつきの影響の解析を行うため, 単体 MOS のばらつきの影響を調べる TEG, ウェハ内とダイ内ばらつきの分離を行うための TEG, 回路レベルでのばらつきの影響を調べる TEG を多数搭載した。また, 別試作において, 本試作と同回路の TEG 設計を行っている為, ウェハ間ばらつきの影響を解析できると期待される。これらの結果より, 回路レベルでのばらつき予測, ばらつきを考慮した回路設計の指針を得ることが期待される。



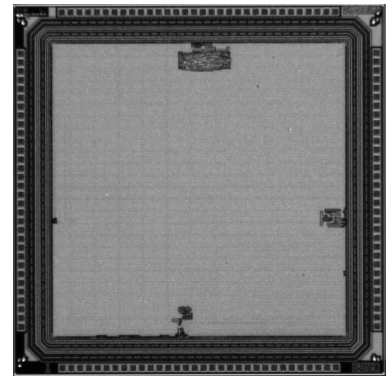
設計期間： 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Synopsys 社 Star-RCXT, Silvaco 社 SmartSPICE, **トランジスタ数：** 1,000 以上, 10,000 未満 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** TEG (特性評価回路など)

ALU 試作

首都大学東京理工学研究科 福永 力, 田中 和人, 大橋 常毅

概要：当研究室で開発されたプロセッサのASIC化を図るべくVDECのチップ試作に参加。VDECのCADシステムを導入するためのテスト及びチップの設計工程を学ぶことを目的として簡素なALU回路を試作した。このALUは基本論理演算や加減算、ビットシフトなど16の命令を持つ。回路はVerilog-HDLで記述し、設計・検証ツールとしてDesign_Compiler, Astro, Verilog-XL, Star-HSPICE, Calibreを使用した。またVDECにて提供されているCAD講習会や各種資料が大変参考になった。これらのおかげで右も左も分からない状態からのスタートであったが、何とかレイアウトデータの提出までこぎつけることができた。この場を借りてVDECの関係者の方々に感謝する次第です。今後チップの動作テストをした後に本命であるプロセッサの作成を行う予定。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路（乗算器, 除算器など）



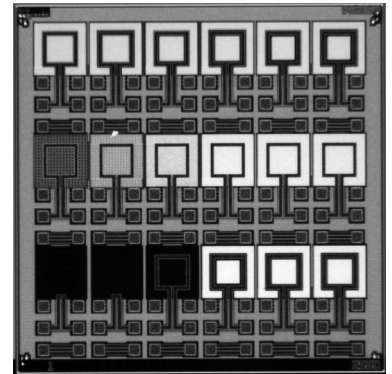
オンチップ・スパイラルインダクタ TEG 試作

中央大学大学院理工学研究科 荻野 達也

中央大学工学部 中澤 啓悟, 杉本 泰博

概要：近年、プロセスの微細化に伴い、チップ表面の平坦化を図るために配線の無い部分にダミーメタルを配置する必要が生じている。しかし、このダミーメタルによるインダクタのQ値の低下が懸念されており、ダミーメタルがインダクタに及ぼす影響を明らかにする必要があった。ダミーメタルがインダクタに及ぼす影響として、うず電流損と配線基板間容量の増加によるインダクタのQ値および自己共振周波数の低下が考えられる。そこで、サイズの異なるダミーメタルを配置したパターンや、数種類のダミーメタル禁止領域を持つスパイラルインダクタを試作し、インダクタのQ値やその他各成分の測定を行い、ダミーメタルがインダクタに及ぼす影響に関して検討を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）

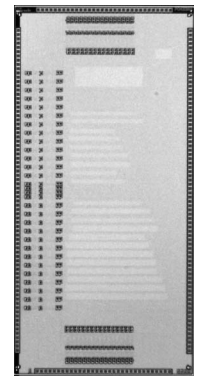


コンパレータアレイ

東京大学工学系研究科 島添 健次, 石 伯軒, 高橋 浩之

概要：本研究室では、PET（Positron Emission Tomography）やMSGC（Micro Strip, Gas Chamber）などのガンマ線、中性子などの放射線検出器への使用を目的として、放射線用の信号処理ASICの開発を行っている。ここでは従来の波高値計測用のASICとはことなり、新しい計測方式であるTOT（Time Over Threshold）方式（PWM Pulse Width Modulation方式）の信号処理回路の実現を目的として回路の一部である、コンパレータのアレイチップのTEGを作成した。TOT方式を用いることで波高値をパルス幅に変換することでより消費電力が少なく、配線数もすくないよりシンプルなシステムを構築可能となる。本技術は高分解能の放射線検出器にとって重要なコンポーネントとなる。32チャンネル分のコンパレータアレイを搭載している。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ チップ種別：TEG（特性評価回路など）



微細化に向けた連想メモリ評価チップ

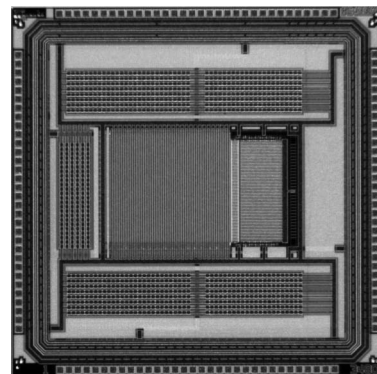
広島大学大学院先端物質科学研究科 今福 渉, アンサリ タニア, 榎原 尚吾
広島大学ナノデバイス・バイオ融合科学研究所 小出 哲士,

マウシュ ハンス・ユルゲン

広島大学工学部 川畑 明雄

概要: あいまい検索を要するようなアプリケーション (画像認識・圧縮技術など) にとって、最小距離データを検索する機能メモリは大変重要な部分である。このような機能メモリを高速・小面積・低消費電力な全並列型アナログ・デジタル連想メモリで実現するために、0.35 μm CMOS テクノロジから 0.18 μm テクノロジへ移行する際、MOS サイズのスケールアップを行うことで、高速・小面積・低消費電力な連想メモリの動作検証を行っている。この試作チップは 256-bit, 64 行のハミング距離を用い、連想メモリを用いたアプリケーションである文字認識が実現可能である。シミュレーションにより検索時間は 80 ns 以下、アナログ部分の消費電力が 30 mW 以下、面積は 1.44 mm² と 0.35 μm テクノロジと比較して 2 倍の高速化、1/5 の消費電力となった。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Silvaco 社 SmartSPICE, Synopsys 社 Star-RCXT, Synopsys 社 Hercules, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** メモリ

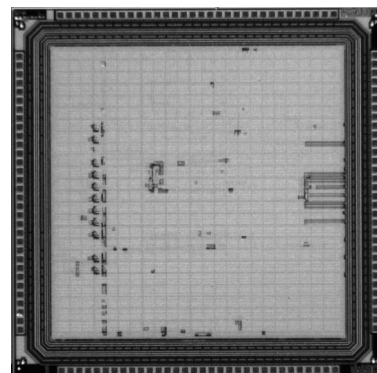


はんだ不良の検出を容易とする設計法の検証

徳島大学工学部 加藤 健二, 樽見 洋, 石川 将司, 尾形 祐紀, 小山田 裕矢, 四柳 浩之,
橋爪 正樹

概要: プリント基板上の故障で最も発生頻度の高いはんだ不良による故障に対する検査方法として、IC 内の入力保護回路を変更し、入力保護回路の電流測定による故障判定を行う検査容易化設計回路を作成した。従来の入力保護回路と検査容易化設計入力保護回路の比較をするために、各入力を単独で検査する場合の DC 特性測定用回路、12 個の入力保護回路を並列接続して検査する回路を各入力保護回路に対して設計した。また、回路内部の故障検出に与える影響調査のために、トランスミッションゲートを疑似故障として挿入した故障検査能力評価用回路を埋め込んだ。チップ間接続の検査能力評価のために、他チップの検査入力としてバウンダリスキャンによる出力を用いる検査入力印加回路を設計した。試作チップにより検査容易化入力保護回路の DC 特性、検査時間などの特性評価を行い今後の改良を行う予定である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre, Mentor 社 CalibreXRC, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

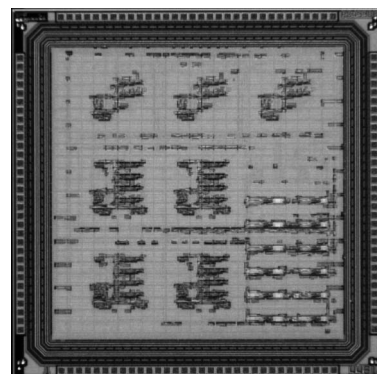


複数ネットの隣接配線を持つビアオープン故障検出のための TEG 試作

徳島大学工学部 樽見 洋, 加藤 健二, 石川 将司, 尾形 祐紀, 小山田 裕矢, 四柳 浩之,
橋爪 正樹

概要: 集積回路で発生するビアオープン故障について、断線信号線が複数ネットの隣接配線を持つ場合の各隣接線の故障動作に与える影響を解析するための回路を試作した。試作チップには、故障回路として ISCAS89 ベンチマーク回路 s208c および s420c にそれぞれにビアオープン故障を挿入した回路を合わせて 5 回路、正常回路として故障を挿入しない 2 回路を埋め込み、また隣接配線からの影響を調査する回路として、断線信号線に対してデザインルールを満たす最小配線間隔で並走する隣接配線を設計し、隣接配線長を変化させた 3 回路を埋め込んだ。試作チップの正常回路と故障回路に対して検査用パターンを入力し、正常回路の出力論理値と故障回路の出力論理値を比較することで故障検査を行い、また、隣接信号線長の違いによる断線信号線への影響調査を行う予定である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre, Mentor 社 CalibreXRC, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

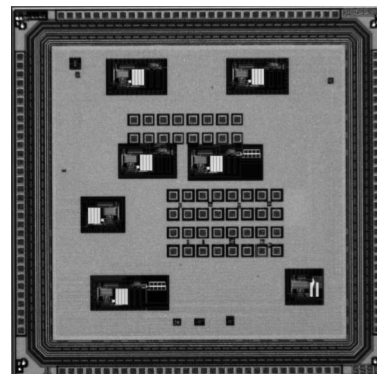


DC-DCコンバータ制御LSIの開発

富山県立大学大学院工学研究科 市川 正貴, 松田 敏弘, 岩田 栄之

概要: DC-DCコンバータの小型・軽量化・高効率化などを実現するためには, 安定制御が可能で, 汎用性のある制御回路が必要となる. 当研究室では, 従来から1.2 μm CMOSプロセスでDC-DCコンバータの制御LSIの検討を行ってきた. 今回の試作では, 基本的な回路ブロックを, より微細な0.18 μm CMOS技術を用いて実現することを目的とした. ヒステリシス制御方式用の比較器, 誤差増幅器, 基準電圧発生回路, ソフトスタート回路, AND回路を設計した. ソフトスタート回路は, DC-DCコンバータ起動時に, 出力電圧をゆっくり立ち上げて, リンギングが発生するのを防ぐ. 今後, 2つのLSIを組み合わせて, 基本的なDC-DCコンバータの評価を行う予定である.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

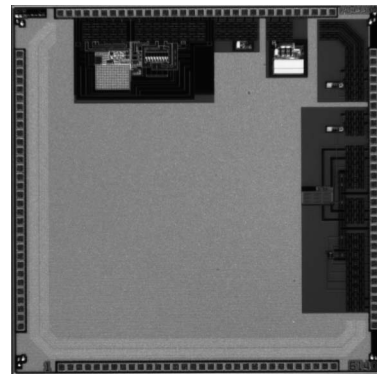


RFID用のICタグの試作

東京工業大学理工学研究科 藤井 信生, 高木 茂孝, 佐藤 隆英, ニコデムス レディアン, 吉岡 正浩

概要: 試作したICタグは送信周波数として315MHzを用い, 微弱無線局として運用される. その通信距離は1m程度を想定している. ICタグはパッシブ型であり, ICタグを駆動する電源は受信した電波から生成する構成である. 微弱無線局は法令により3mの距離における電界強度が制限されるため, 基地局から送信された電波を整流するだけではICタグの動作に十分な電力を得ることが困難である. そのため試作したICタグでは, 受信電力を蓄積し間欠的に送信回路を駆動する新たな電源回路を搭載している. 本試作ではその電源回路の動作確認を主たる目的とした. 試作したICタグは, 前述の「電源回路」の他, 受信波から内部クロックを生成する「クロック回路」, 固有の認識番号を送信する「送信回路」の3種の回路ブロックからなる. 実験による動作確認により, 提案した電源回路が受信電力を蓄積し送信回路等の電源として間欠的に動作することが確認された. 電源回路自体の消費電流は8 μA に抑えられ, その一方で負荷には通信に十分な電力を供給可能であった.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



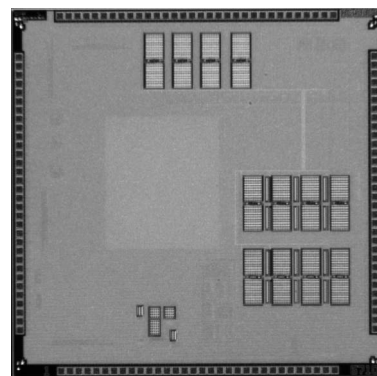
1V以下ナノワット基準電流電圧回路とチャジポンプ回路- II

福岡県産業・科学技術振興財団 黄 章財

早稲田大学大学院情報生産システム研究科 李 ナ, 井上 靖秋

概要: 近年, センサネットワークのノード装置などのような電池作動の装置の普及に伴い, アナログ回路やデジタル回路のLSIの設計要求の一つとして, サブ1V領域の超低電圧且つナノワットの超低電力での動作補償が重要となってきている. かかる超低電圧・超低電力回路に於いては, 集積回路のアナログ回路要素に適切にバイアスを加えるために, 超低電圧・超低電力で作動し出力が周囲温度に依存しない (または不感の) 基準電流源又は基準電圧源が必要とされる. 本チップは, 電源電圧や温度に依存しない基準電流又は基準電圧を生成する, 特に, 電源電圧が1V以下の低電力動作においても安定した電流出力又は電圧出力を得ることができる. また, チャージポンプ回路では, トランジスタに高い耐圧 (電源電圧の2倍以上) が要求され. 本チップは, 特殊プロセスを必要としない低コストの高性能なチャジポンプ回路を実現する.

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

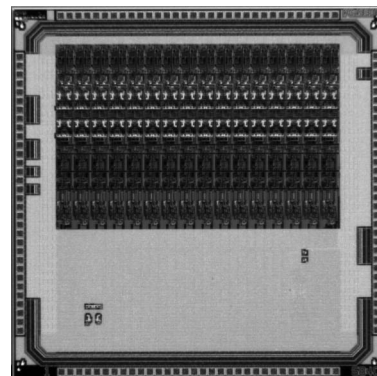


生体信号センシングおよび刺激印加のための回路 (B4)

慶應義塾大学理工学部 横山 祐介, 山口 昌也

概要: 本試作では信号が微弱で低周波数域に存在する生体信号をセンシングするための信号増幅, および同一電極に対してアーチファクトを抑えながら刺激信号を印加することのできる刺激印加制御回路を16チャンネル搭載したchipを設計した. 前回の試作との変更点はまず信号増幅を行うブロックにおいて, 全体の増幅率を20dBから80dBまで変化させることができる. またハイパスフィルタを含むことによってCMOS増幅器によるオフセットノイズを低減し, オフセットを増幅してしまうことによって後段の増幅器の入力範囲から外れてしまうことを防ぐ設計となっている. また刺激印加制御回路においてはよりアーチファクトの影響を低減するために, 信号記録フェーズと刺激印加フェーズの間にオフセットキャンセルフェーズを作り増幅器のオフセットノイズをキャンセリングできるように設計した. さらに全体の面積の縮小化のために使用するキャパシタをMIMキャパシタからMOSキャパシタに変更した.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

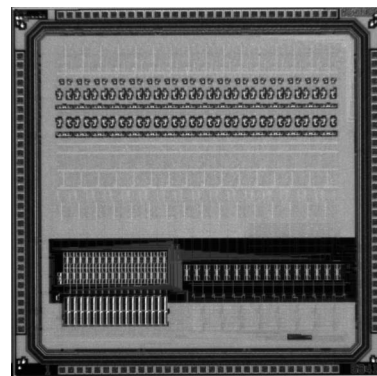


神経信号センシングシステム用チップ (W2)

慶應義塾大学理工学部 山口 昌也

概要: 以前試作を行った「神経細胞刺激の為の信号生成回路 (W1)」のバージョンアップとして設計を行ったチップである. 前回に比べて改善した点としては, 1つのデジタル入力から, 16chの出力波形を生成できるようにした点で, 出力波形は任意のタイミング, 任意の波形を生成できるようになっている. また, チップ内に大きなデカップリングキャパシタを搭載することと, ガードリングなどを用いることにより, デジタル回路で発生したノイズを低減し, より高精度な波形を生成できる回路となっている. 神経信号をセンシングする回路も搭載しており, ワンチップで神経細胞への刺激印加と信号のサンプリングを行えることと, 出力をアナログMUXを用いてまとめることにより少ない入出力でシステムを達成することを目標としている.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載

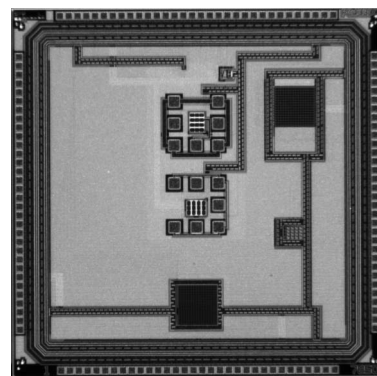


イメージセンサ基本動作確認用 TEG

富山商船高等専門学校情報工学科 塚田 章, 新田 真浩, 吉田 成朗

概要: 本チップは, 我々の研究室で初めての試作チップである. 設計は, 金沢大学秋田研究室のご指導のもと情報工学科の2人の学生が行った. 試作回路は, 16 \times 16の基本的なイメージセンサ (シフトレジスタ有りと無し) と4 \times 4の対数変換型イメージセンサである. シフトレジスタ無しの16 \times 16イメージセンサでは, 16ピンの行選択入力と16ピンの各列出力端子をもち, 撮像素子自体の基本動作確認とばらつき具合の確認を目的としている. シフトレジスタ有りの16 \times 16イメージセンサでは, シフトレジスタの基本動作確認を目的としている. また, 4 \times 4の対数変換型イメージセンサでは, リセット信号の変調による疑似対数変換回路の動作確認を目的としている. 本試作を基礎として, 将来的には錯視発生機構の数理モデルのイメージセンサ化を目指す.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

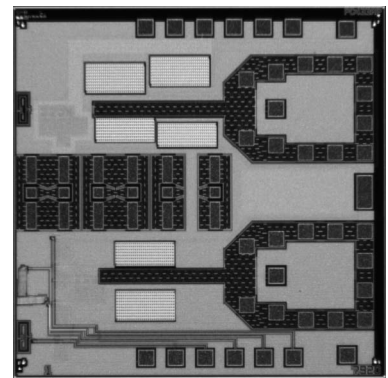


切り替え型 CMOS 集積化アクティブ磁界プローブ

東北大学大学院工学研究科 山口 正洋, 鳥塚 英樹, 難波 志織

概要: 近年, 電子機器の発展に伴い, 不要電磁放射による EMC 問題が顕在化している。その対策としては, LSI の近傍磁界を測定し, ノイズ源や伝播経路を特定する必要がある。そこで我々の研究室では高周波・高空間分解能の集積化マイクロ磁界プローブの開発を行っている。本試作では, チップ上にコイルの切り替えスイッチ, チップ上に高周波差動アンプ, 差動シングルエンド変換バッファを設計した。目標とする性能は, 利得 15 dB 以上, カットオフ周波数 1 GHz 以上である。磁界検出用として 3 つのコイルを設計した。また, コプレーナ線路の伝送特性を正確に測定するため, 校正用レイアウトを設計した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** その他

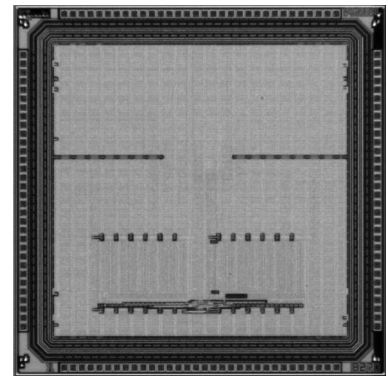


SSO ノイズ測定 TEG

福岡工業大学情報工学部 松原 裕之

概要: シグナルインテグリティ対策の一つとして SSO ノイズ (同時 I/O 出力ノイズ) が問題となっている。複数の出力 I/O が同時に状態を変えると電源システム (LSI 内部コア+I/O リング+パッケージ+PCB 基板) 内の変動電流が一定の電圧を誘導し, 電源電圧のバウンドや出力 I/O, 入力 I/O, 内部ロジックに対してジッタや信号の反転などの好ましくない過渡的現象を引き起こす。本 TEG は SSO ノイズを測定するため, 出力 I/O の同時スイッチング割合を調整可能な構成とした。TEG の 1 辺から取り出せる最大 32 本 I/O に対して, 電源 I/O (VDD, VDE, VSS) の配置, 出力 I/O の駆動能力や本数等のパラメータを振り分け, SSO ノイズに強い・弱い構成にした。東西の各辺に駆動能力が異なる最大 20 本の Aggressor (出力 I/O) を配置し, 東西の中央に 1 本の Victim (入力 I/O) を設け, Victim の遅延量を測定できる構成をとった。2009 年 2 月末の TEG 納品後, 3 月に測定用治具, 電源回路を製作し, 基本的な SSO ノイズの発生と Victim の影響波形 (3MHz の方形波) の 2 点を確認した。今後は専用プリント基板と測定プログラムを製作し, 20MHz 程度の条件で SSO ノイズの測定を行う予定である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



生体用途向けワイアレスセンサ試作 (TC7)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

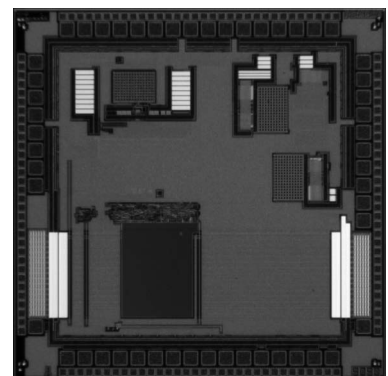
広島大学大学院先端物質科学研究所 升井 義博, 吉田 毅, 安部 亨

概要: 口腔内において, 食物の滞留時間を測定するための温度計測と非侵襲的な血糖値計測を行うことを目指したワイアレスセンサを追加試作した。温度センサと外付けの酵素電極を用いた電位測定のための回路を有し, 温度測定を秒約 8 回, グルコース濃度計測を毎分約 1 回行い, データを 10bitADC で変換した後, 120kbitSRAM に記録する。蓄積されたデータは, 10MHz のキャリアを用い, 一括して 19.2kbps のシリアル通信を行うよう, 実装を行った。チップ面積削減と実装の容易性を勘案して, 直前の試作で搭載した通信用オンチップコイルを再度廃した。実験のため各種実装を行うことから 2 ロット 40 チップの試作とした。

参考文献: T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, "A wireless chip for intra-oral temperature measurement," Proceedings of the 15th

Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



生体用途向けワイアレスセンサ試作 (TC7)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

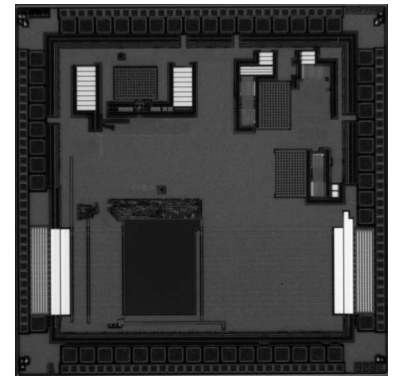
広島大学大学院先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要: 口腔内において、食物の滞留時間を測定するための温度計測と非侵襲的な血糖値計測を行うことを目指したワイアレスセンサを追加試作した。温度センサと外付けの酵素電極を用いた電位測定のための回路を有し、温度測定を秒約8回、グルコース濃度計測を毎分約1回行い、データを10bitADCに変換した後、120kbitSRAMに記録する。蓄積されたデータは、10MHzのキャリアを用い、一括して19.2kbpsのシリアル通信を行うよう、実装を行った。チップ面積削減と実装の容易性を勘案して、直前の試作で搭載した通信用オンチップコイルを再度廃した。実験のため各種実装を行うことから2ロット40チップの試作とした。

参考文献: T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, “A wireless chip for intra-oral temperature measurement,” Proceedings of the 15th

Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラ**
ン: ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載



平成20年度第7回ローム CMOS 0.18 μ m 試作 (RO18087)

超解像度画像処理用位相限定相関プロセッサ

東北大学未来科学技術共同研究センター 宮本 直人, 大見 忠弘

東北大学工学部 半澤 克彦

概要 : 超解像度処理とは、複数の低解像度画像から一枚の高解像度画像を生成する画像処理のことである。超解像度処理を行うためには、1画素よりも細かいサブピクセルレベルで画像のレジストレーションを行う必要がある。位相限定相関とは、画像の位相成分を用いて相関を取ることで、画像間の位置ずれを1/100サブピクセルの精度で求めることができるアルゴリズムである。本プロセッサは24ビット512ワードのSRAMを二個装備し、それぞれのSRAMにBMP画像を入力し、画像間の位置ずれ情報を出力する。133MHzで動作した場合、本プロセッサは512x512ピクセルの画像の位相限定相関を60msec(16fps)で求めることができる。データパスには24ビット浮動小数点演算器を搭載し、倍精度浮動小数点演算に対して60dBという低い演算誤差を達成した。

参考文献 : Naoto Miyamoto, Koji Kotani, Tadahiro Ohmi, "A 3.7x3.7mm² 310.9mW 105.2msec 512x512-Pixel Phase-Only Correlation Processor," Journal of Robotics and Mechatronics, Vol. 17, No. 4, pp.395-400, August, 2005

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数** : 100,000以上 **試作ラン** : ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別** : アナログ/デジタル信号処理プロセッサ



インダクタ結合インタコネクタを利用したバイオセンサ向け無線送受信回路 ver.2

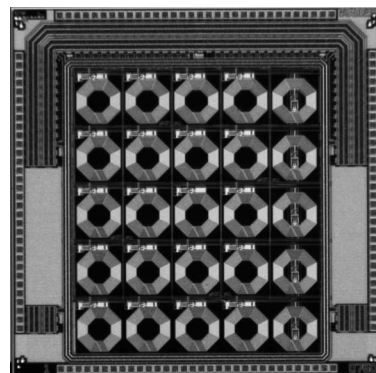
広島大学大学院先端物質科学研究科 岡 治美, 岩田 穆

広島大学ナノデバイス・バイオ融合科学研究所 亀田 成司

概要 : 3次元集積回路技術において、スパイラルインダクタ対の磁界結合を用いた無線通信手法が注目されている [1]。本試作では、バイオセンサ向けに低転送レートで低消費電力の並列無線送受信回路を試作した。低消費電力化のために、送受信回路を同期型にして複数のデータ用受信回路の電力を1つのクロック用受信回路で制御する。また、受信回路を差動構成にすることで耐雑音特性の改善を図り、送受信のタイミングを調整することでクロストークノイズ抑制の対策を行った。送受信回路サイズ330 μ m \times 390 μ m, インダクタサイズ300 μ m \times 300 μ m, 通信可能距離200 μ m, 転送速度50Mbps, 転送回路数5x5ch(内クロック用送受信回路1ch)で設計した。2.36 μ W/ch@50MHzの低消費電力化を達成した。

参考文献 : [1] M. Sasaki and A. Iwata, "A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme", VLSI Sympo Dig. Tech. Papers, pp. 348-351, (2005)

設計期間 : 1人月以上, 2人月未満 **設計ツール** : Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreRC, Cadence社 spectre, Agilent社 ADS, **トランジスタ数** : 1,000以上, 10,000未満 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別** : 通信 (RF回路, ATMなど)



スイッチトキャパシタのスイッチング周波数校正回路他

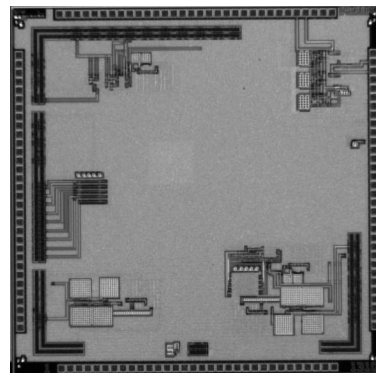
九州大学システム情報科学府 黒木 幸令, 内島 春樹, 田代 紘之

九州大学工学部 古賀 宗典, 中島 裕介

概要 : 今回の試作では、教授の指導の下、修士2名、学部生2名がそれぞれ別々の回路を試作した。一つ目が、BOST (Built-Out Self-Test) に用いる高精度電流源のための、スイッチトキャパシタ抵抗のスイッチング周波数校正回路である。この回路は、差動増幅回路とVCOを用いたフィードバック回路により周波数を校正し、カウンタ回路による記憶、PLLでの出力を行うものである。二つ目が、BOSTに組み込むテスト回路の1つとして、電圧指定電流測定を行う回路である。この回路は、中で用いたオペアンプにスイッチトキャパシタによるオフセットキャンセルを加え、精度向上を図った。三つ目が、RFIDタグの充電における整流回路である。この回路は、交流電圧を入力したときに、直流電圧を充電用コンデンサに充電するものであり、ダイオード等を用いず、全てMOSトランジスタを用いて試作している。最後に、低電圧用のサブスレシールド領域で動作するオペアンプである。この回路は入力電圧圧縮回路を用いて、入出力Rail-to-Railとなるよう設計した。

参考文献 : [1] 谷口研二著, "CMOSアナログ回路入門", CQ出版社 (2005)。

設計期間 : 1人月以上, 2人月未満 **設計ツール** : Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数** : 1,000以上, 10,000未満 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別** : アナログ (PLL, A-D/DC-DCコンバータなど)



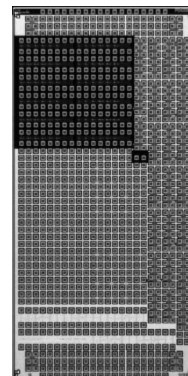
CMOS回路における製造ばらつき解析用 TEG

広島大学大学院先端物質科学研究科 賀谷 彰大, 和泉 伸也
広島大学ナノデバイス・バイオ融合科学研究所 上口 光,

マタウシュ ハンス・ユルゲン,
小出 哲士

概要: トランジスタの微細化に伴い、素子特性のばらつきが顕著になっており、製造した回路が期待通りに動作しないという問題が起きている。そこで本試作では、実チップ上でのばらつきの基礎データを得るための TEG を多数搭載した。試作した TEG は、SPICE シミュレーションモデル HiSIM のパラメータ抽出用の単体 MOS、ウェハ内とダイ内ばらつきの影響を分離する為のリングオシレータである。また、HiSIM は表面ポテンシャルに基づいたトランジスタモデルで、トランジスタの現象を複数の物理パラメータで記述しているため、リングオシレータのウェハ内とダイ内ばらつきの影響分離結果に適合するように HiSIM パラメータを変更することで、ウェハ内ばらつきとダイ内ばらつきの要因となっているパラメータの特定が行えると予想している。これらの結果より、回路レベルでのばらつき予測、ばらつきを考慮した回路設計の指針を得ることが期待される。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Synopsys 社 Star-RCXT, Silvaco 社 SmartSPICE, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



WiMAX 用ターボデコーダ

東北大学工学研究科 新井 宏明, 宮本 直人, 小谷 光司, 伊藤 隆司

概要: 高速移動体用通信規格である WiMAX がある。WiMAX は無線通信の規格であり、無線通信ではエラーが発生しやすいため、このエラーを訂正する回路 (ターボデコーダ) の作成を行った。ターボデコーダのアルゴリズムは前後の送信データをうまく使うことでパリティを作り出し、エラー訂正を繰り返すことによりエラーはエラー発生率をシャノン限界に近づけることができるとされたアルゴリズムである。また、今回の作成ではデジタル無線通信では一般的なターボデコーダのアルゴリズムを用いることでより高性能な特性 (消費電力や回路面積, スループット, 周波数など) が見込めるかどうかを検証するために行った。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

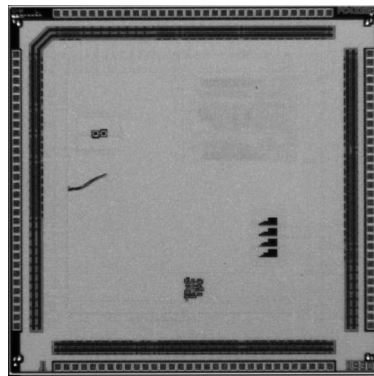


イメージセンサの出力回路・制御回路および物体追跡機能要素回路

東京理科大学工学研究科 松崎 可苗, 鋪野 敦紀, 村山 大輔, 佐藤 大樹, 長谷川 新,
加田 健志, 大高 俊徳, 浜本 隆之

概要: 本プロセスを用いた設計の環境を整えるとともに、将来の大規模なスマートイメージセンサの試作に備えて、撮像回路とその周辺回路、駆動制御およびアナログ出力回路の基本動作を確認するための検証用チップを試作した。本チップは、イメージセンサの出力信号を増幅するビデオアンプ回路、イメージセンサを駆動させディスプレイに表示するための様々な制御信号を生成する回路、サイズと構成の異なる様々なフォトダイオードと読み出し回路、高速に動物体を追跡して表示する機能を集積したイメージセンサのための様々な要素回路をそれぞれ集積している。現在、これらの回路の検証を準備しており、フォトダイオードの感度やノイズの調査や、各回路の動作確認をする予定である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Analog Artist, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



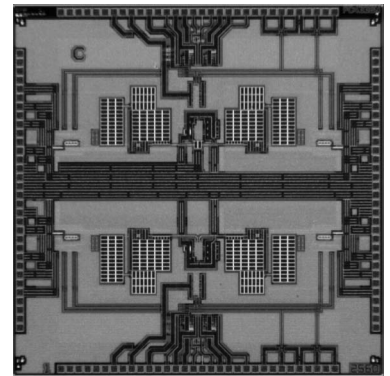
1V動作可能なパッシブ $\Sigma\Delta$ 変調器回路

中央大学大学院理工学研究科 前橋 雄

中央大学理工学部 遠藤 健太, 崔 通, 杉本 泰博

概要：プロセス微細化に伴い、LSIの電源電圧が下がってきている。アナディジ混載システムLSIの普及が進んでいる一方で、低電源電圧化により精度の良いアナログ回路を設計することは難しくなっている。アナディジ混載1チップを維持するため、アナログ回路をオペアンプを使用しないで構成する流れがある。そこで、 $\Sigma\Delta$ 変調器をオペアンプを使用しないで構成するパッシブ $\Sigma\Delta$ 変調器を、電源電圧1Vで設計する方法について検討した。1V設計の課題として、スイッチトキャパシタフィルタおよび1bit DACのフローティングスイッチ、コンパレータのオフセット電圧、フリッカノイズが挙げられる。我々はこれらの課題を解決するため、信号パスのローバイアス化、入力信号とDACリターン信号のスケールング、コンパレータへのオフセットおよびノイズキャンセル回路の組み込みを行った。

設計期間：5人月以上、6人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



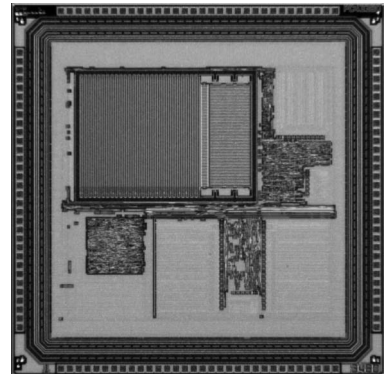
学習機能及び参照データ最適化を実現した連想メモリ

広島大学大学院先端物質科学研究科 神原 尚吾, 今福 渉, アンサリ タニア

広島大学ナノデバイス・バイオ融合科学研究所 マタウシュ ハンス・ユルゲン,
小出 哲士

概要：近年、文字認識・物体認識に代表されるパターン認識が注目されている。パターン認識を実現するアーキテクチャとして、連想メモリに着目し、学習機能を付加することで様々なアプリケーションに適用可能である。このLSIは、文字認識への応用を考慮したチップであり、認識率向上のため、連想メモリに参照データ最適化機能を付加したアーキテクチャを付加している。文字画像を入力すると、連想メモリにより、あらかじめ格納しておいた文字データベースより最も類似した文字を判断して出力する。学習機能を付加することで、書き手に合わせた最適な文字データベースを作成することができる。提案する連想メモリベース学習回路を測定・評価するため、ICチップを試作した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Synopsys社 Star-RCXT, Silvaco社 SmartSPICE, トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



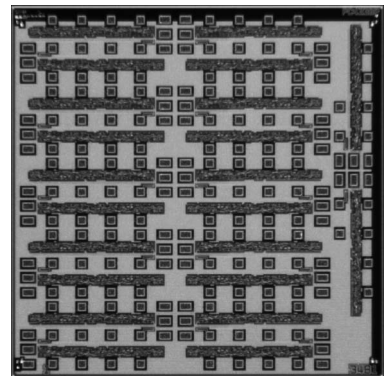
製造ばらつき解析用の段数可変リングオシレータ TEG 試作

広島大学大学院先端物質科学研究科 賀谷 彰大, アンサリ タニア

広島大学ナノデバイス・バイオ融合科学研究所 上口 光,
マタウシュ ハンス・ユルゲン,
小出 哲士

概要：プロセスの微細化に伴い、製造ばらつきが回路動作へ与える影響が顕著に表れてきている。そこで本試作では、リングオシレータのTEGを作成し、ばらつきの影響の解析を行う。リングオシレータは、段数が増加すると、ランダムな要因でばらつくダイ内ばらつきの影響が平均化されるため、ウェハ内ばらつきとダイ内ばらつきの影響を分離することができる特徴を持っている。この特徴を利用するため、試作したTEGは、制御信号により段数を変化できるように設計を行った。また、制御信号の組み合わせが異なる場合でも、リングオシレータの段数が同一になる場合が存在するため、物理的距離の違いによるばらつきの影響も解析可能となっている。その結果を解析することで、回路レベルでのばらつき予測、ばらつきを考慮した回路設計の指針を得ることが期待される。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Synopsys社 Star-RCXT, Silvaco社 SmartSPICE, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



低位相変動特性を有する分周比可変型デジタル位相同期ループ

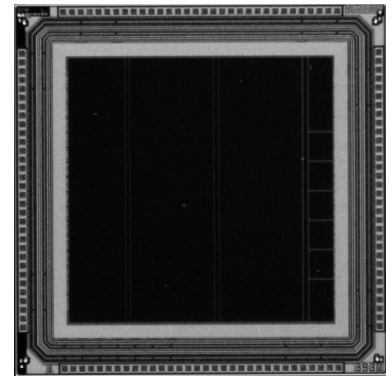
東海大学産業工学部 藤本 邦昭, 佐々木 博文

概要: 従来の分周比可変型デジタル位相同期ループでは通倍動作を行う場合、通倍比に比例して増大する出力ジッタを低減するために、分周比余り補正回路を用いて通倍出力信号の数周期のみ分周比を+1補正していた。しかし、この方式は分周比を+1補正する位置が通倍出力信号の初めの数周期に集中していたため出力信号の位相変動が大きくなるという問題があった。本試作回路では、余り補正分散回路を用い、ほぼ均等に+1補正が行われる構成としており、これにより、従来回路に比べて位相変動の少ない通倍出力信号を得る事ができる。回路動作については、シミュレーションおよびFPGAを用いた実験で既に確認しており、本試作により集積化した場合にも問題なく動作することを確認すると共に動作速度など諸特性を測定したい。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社

DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満

試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** その他



トリガー制御式イメージセンサ TEG

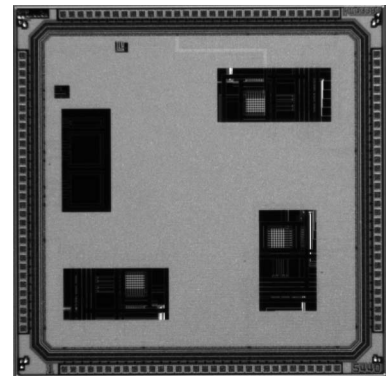
茨城大学工学部 木村 孝之

東京大学宇宙線研究所 佐々木 真人

神奈川大学ハイテクリサーチセンター 増田 正孝

概要: 本試作で製作したイメージセンサでは画素を”セル”と呼ばれる16 \times 16画素の領域に区切り、そのセル毎に外部からの制御信号によって、蓄積、ホールド、リセットが行える構造となっている。そのためイメージセンサ外部に制御信号を生成するためのトリガー装置が必要となる。このトリガー装置は、入射された光信号が目的とする事象か否かを高速で判定し、セルを制御する信号をイメージセンサに送る。このような方式を用いることで、突発的かつ多発的な自然現象に対して、即座に応答し、高スループットで画像を読み出す事を可能としている。今回の試作では主に以下の2点の改良を行った。一つはリセットトランジスタの応答速度を改善するため、ゲート電圧を外部から直接、制御できる方式とした。またトランジスタの構造を変更することにより応答速度を改善した。もう一つの改良点は寄生感度の改善である。蓄積をオフにしている時に入ってくる光信号が、蓄積ノード内に漏れ入って電荷を生成するのを防ぐため、メタル層による遮光領域を拡大した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Cadence社 Diva, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ



部分パイプライン制御に基づく256ビットLDPCデコーダ

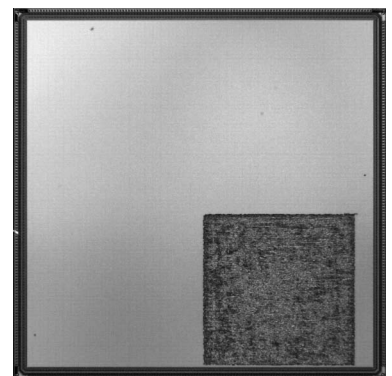
東北大学工学研究科 鬼沢 直哉, 松本 敦, 船崎 智義, 羽生 貴弘

概要: シャノンの理論限界に近い強力な誤り訂正符号として近年急速に注目を集めているLDPC符号の復号化LSIを試作する。復号化に必要な計算量から高速なLDPCデコーダへのニーズは高い。LDPCデコーダはcheckノードとvariableノードの相互結合配線網が複雑であるため、配線遅延のばらつきが非常に大きく従来の同期式では性能向上が難しい。そこで、長配線に依存した最悪遅延に依存しないアルゴリズムとして部分更新アルゴリズムを適用する。部分更新アルゴリズムは、長配線のデータ更新を待たずに、早く更新されるデータのみを用いて演算を行うことで、大幅に演算速度を向上させることができる。同期式制御によって上記アルゴリズムを実現するために、長配線のみレジスタを挿入する部分パイプライン制御を適用し、高速LDPCデコーダの実現を図る。本試作は256ビット長のデコーダを試作し、その効果を確認する予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro,

Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 7.5mm角チップ

チップ種別: 演算回路 (乗算器, 除算器など)

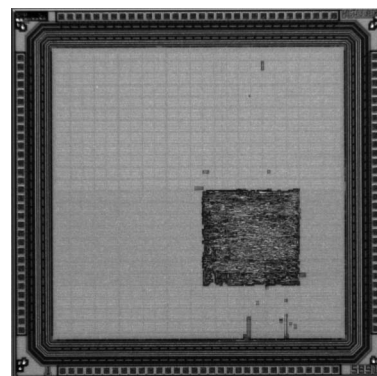


部分パイプライン制御に基づく 16 ビット LDPC デコーダ

東北大学工学研究科 鬼沢 直哉, 松本 敦, 船崎 智義, 羽生 貴弘

概要: シャノンの理論限界に近い強力な誤り訂正符号として近年急速に注目を集めている LDPC 符号の復号化 LSI を試作する。復号化に必要な計算量から高速な LDPC デコーダへのニーズは高い。LDPC デコーダは check ノードと variable ノードの相互結合配線網が複雑であるため、配線遅延のばらつきが非常に大きく従来の同期式では性能向上が難しい。そこで、長配線に依存した最悪遅延に依存しないアルゴリズムとして部分更新アルゴリズムを適用する。部分更新アルゴリズムは、長配線のデータ更新を待たずに、早く更新されるデータのみを用いて演算を行うことで、大幅に演算速度を向上させることができる。同期式制御によって上記アルゴリズムを実現するために、長配線のみレジスタを挿入する部分パイプライン制御を適用し、高速 LDPC デコーダの実現を図る。本試作は 16 ビットの短ビット長のデコーダを試作し、その効果を確認する予定である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

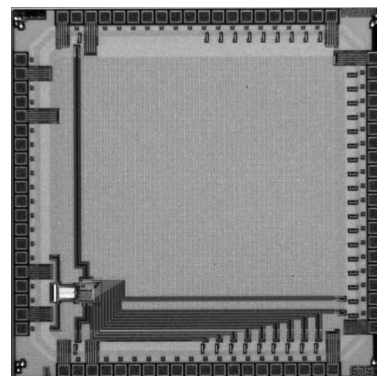


低消費電力 A/D 変換器の設計

東京工業大学理工学研究科 古谷 聡, Vo Tuan Minh, 松澤 昭

概要: 私たちは、小型生体アプリケーションの研究を行っている。現在、すでに実用化されているカプセル内視鏡などの生体アプリケーションでは、電力供給源として小型の電池を用いている。しかし、カプセルの大きさは、現在実用化されているものでも 23mm \times 9mm と、非常に小さい。そのため、内蔵できる電池は極小のものを使用する必要があり、使用できる電力に厳しい制限が存在する。私たちの研究で、想定しているアプリケーションのカプセルの大きさは、さらに小さく、8mm \times 5mm 程度である。故に、消費電力の制限はさらに厳しくなる。この制限を解決するためには、すべての回路において低消費電力化を行う必要がある。今回の設計では、アナログデータをデジタルデータに変換する A/D 変換器について、低消費電力化を試みた。消費電力を抑えるため、アンプを使用せず、キャパシタやスイッチ、コンパレータ、デジタル回路のみで実現でき、高分解能を実現できる SAR ADC を採用し、設計を行った。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



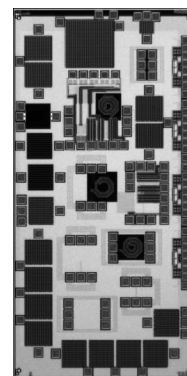
オンチップ電源回路および太陽電池

東京大学生産技術研究所 石田 光一, 荒木 貴弘, 坂井田 耕輔, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要: (1) オンチップ DC-DC 電源の基礎評価を行うことを目的とした TEG の試作を行った。パルス幅変調制御用パワースイッチは電力効率を決定する重要な構成部品であるが、寄生容量や寄生抵抗がどの程度効率に寄与するか、シミュレーションとの比較を行うための評価用スイッチのアレイを実装した。(2) 太陽電池を標準 CMOS プロセスを用いてを実現した場合、高性能化のための指針を解明することを目的とし、実測を通じて、オンチップ太陽電池の性能限界・出力電圧変動を調査するための評価 TEG を試作した。設計 TEG の種類は、構造別 (n+受け型太陽電池, p+受け型太陽電池), トランジスタ別 (1.8V トランジスタ, 3.3V トランジスタ) について比較評価が出来るよう考慮した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm \times 5.0mm チップ **チップ種別:** マイクロプロセッサ

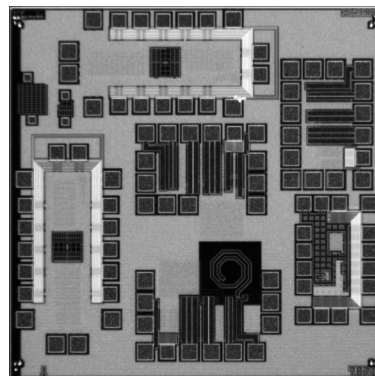


オンチップ電源および共振クロック分配回路

東京大学生産技術研究所 石田 光一, 坂井田 耕輔, 童 大亮, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要：(1) オンチップDC-DC電源の基礎評価を行うことを目的としたTEGの試作を行った。様々な制御方式を実測により検証するため、パルス幅変調制御用の制御回路とリニアレギュレータ用増幅器を試作設計した。(2) クロック分配回路の低消費電力化を目的として、共振クロック回路方式の適応周波数範囲を広げるため、非共振回路、共振回路、共振回路に工夫を加えた回路の比較検討を行うための回路を設計した。非共振回路に比べ、消費電力を削減することが可能とされるが、ターゲットとする共振周波数よりも低周波数で動作させると消費電力の増大やダブルスイッチング問題を引き起こすため、これを改善する回路を共振回路に実装した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

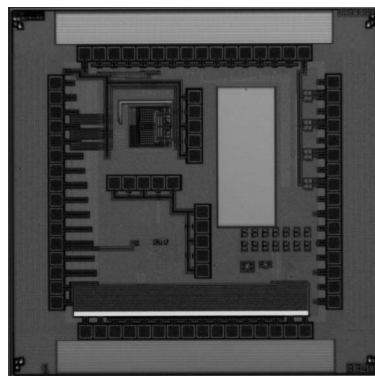


電荷転送型オープンループ増幅器を用いた高速パイプライン ADC

慶應義塾大学理工学部電子工学科 ト部 誠, 白石 圭, 石黒 仁揮

概要：高速パイプラインADCの回路を設計し搭載した。UWBやミリ波といった新たな広帯域無線通信用トランシーバのベースバンド回路、また、HDDやDVDドライブのリードチャンネルあるいは高速シリアルインターフェースへの応用を意識した小型中分解能の高速ADCである。これらのアプリケーションで用いるADCにおいて、重要な指標は消費電力と回路面積である。これらの用途での要求分解能は一般的には4~6ビット程度であるが、より高度な変復調技術の採用やデジタルリッチなトランシーバアーキテクチャの採用を可能とするため、本設計では目標分解能を8ビットとした。通常用いられるフラッシュ方式等では面積が大きくなることから、本設計ではパイプライン方式を採用し、将来的に数Gs/secを実現するために、電荷転送型オープンループ増幅器を用いたアーキテクチャを採用した。このパイプラインADCは将来的には、より微細プロセスでの実現を目標としているが、その前段階としてアイデアの検証および課題の抽出を行うために本チップを試作した。今後評価を進める予定である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数：100以上, 1,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載

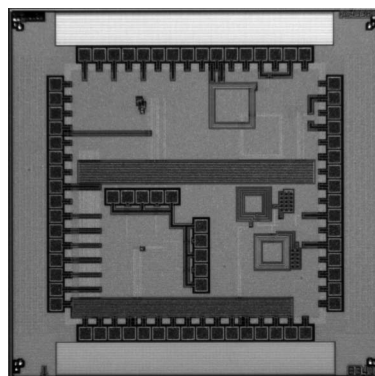


近距離無線通信用低電圧動作E級PA

慶應義塾大学理工学部電子工学科 坂井 秀男, 上埜 英樹, 三ヶ尻 悟, 石黒 仁揮

概要：本チップには、無線通信用のE級PA (Power Amplifier) を搭載した。ボタン電池さらには環境発電でも長時間動作をさせることができるよう、超低電圧 (0.5V) での高効率動作を目標とした。現在よく使用されているA級PAは、供給電圧が大きい時には正常に作動するが、供給電圧が0.5V程度の大きになると設計が非常に困難となる。そこで、スイッチング動作により電力効率を上げることができるE級アンプを採用し低電圧での動作を目指した。チップに搭載したE級PAは、1GHzの周波数帯域で最大の電力をアンテナ (50 Ω) に送り、0.5Vの供給電圧で数m程度の通信距離を実現できる設計となっている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数：10以上, 100未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

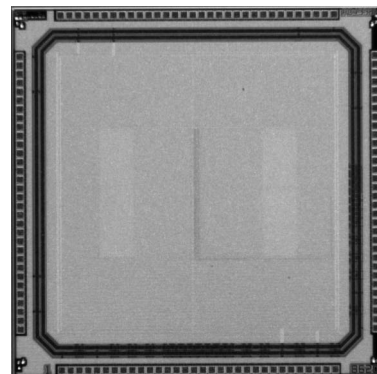


8bit簡易SRAMの設計と試作

東京工業大学情報理工学研究所 植原 昂, 藤枝 直輝, 渡邊 伸平

概要：本試作は、トランジスタレベルにてフルカスタムでのレイアウト設計を通し、CADツールや回路シミュレータに対する理解、設計・検証から試作に至るプランニング力習得を目的としている。その上で、効率的なレイアウト手法や動作検証等のノウハウの蓄積を目指す。従って研究的要素は含まず、仕様を簡素化しており、求める性能を低く抑えている。記憶素子は8bit×256エントリとする。入力は、データ線8bit、アドレス線8bit、リードイネーブル1bit、ライトイネーブル1bit、クロック1bitであり、出力はデータ線8bitである。動作周波数は1MHz程度での動作を目標とする。アドレスデコーダは行デコーダのみで実装し、列デコーダの設計を省いて簡素化している。

設計期間：3人月以上, 4人月未満 トランジスタ数：10,000以上, 100,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



生体用途向けワイアレスセンサ試作 (TC8)

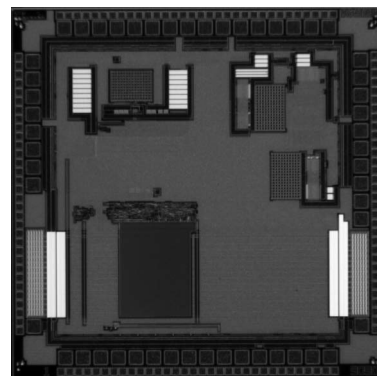
広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

広島大学大学院先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要：口腔内の温度計測と歯肉溝浸出液による非侵襲的な血糖値計測を行うことを目指したワイアレスセンサの追加試作を行った。前試作と同様、温度センサと外付けの酵素電極を用いた電位測定によるグルコースセンサを有し、温度測定を秒約8回、グルコース濃度計測を毎分約1回行い、データを10bitADCで変換した後、120kbitSRAMに記録する。蓄積されたデータは、10MHzのキャリアを用い、一括して19.2kbpsのシリアル通信を行う点も同様である。実際に歯科用レジンを用いて義歯様の封止を行って実験に供するため、任意のタイミングでの強制読み出しなど、運用面から要請のあった制御信号を追加した。実験のため各種の実装・封止を行うことから2ロット40チップの試作とした。

参考文献：T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, “A wireless chip for intra-oral temperature measurement,” Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載



生体用途向けワイアレスセンサ試作 (TC8)

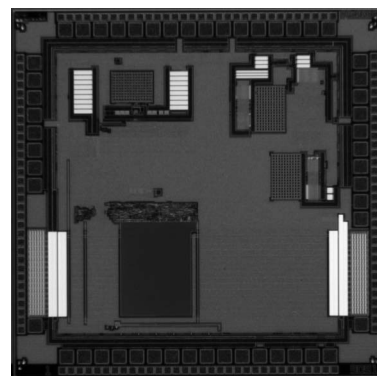
広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

広島大学大学院先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要：口腔内の温度計測と歯肉溝浸出液による非侵襲的な血糖値計測を行うことを目指したワイアレスセンサの追加試作を行った。前試作と同様、温度センサと外付けの酵素電極を用いた電位測定によるグルコースセンサを有し、温度測定を秒約8回、グルコース濃度計測を毎分約1回行い、データを10bitADCで変換した後、120kbitSRAMに記録する。蓄積されたデータは、10MHzのキャリアを用い、一括して19.2kbpsのシリアル通信を行う点も同様である。実際に歯科用レジンを用いて義歯様の封止を行って実験に供するため、任意のタイミングでの強制読み出しなど、運用面から要請のあった制御信号を追加した。実験のため各種の実装・封止を行うことから2ロット40チップの試作とした。

参考文献：T. Ishikawa, Y. Masui, K. Johguchi, T. Yoshida and Y. Murakami, “A wireless chip for intra-oral temperature measurement,” Proceedings of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2009), pp. 477-481, (2009.3)

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, SII社 SX9000, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載

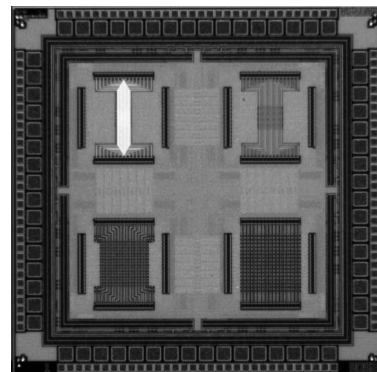


液体試料中に分散した磁気ビーズを駆動する TEG 試作 (BD1, その1)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光

概要: チップ上での免疫反応検出を目指して、液体試料中に分散した磁気ビーズを駆動する TEG を試作した。フェライトをポリスチレンでコートした磁気ビーズは生化学の実験で広く用いられている。半導体チップの表面を抗体などの機能分子であらかじめ修飾し、液体試料中に分散した磁気ビーズをチップ表面に滴下、沈降した磁気ビーズをチップ表面で駆動する際に必要となる力から、チップ表面への親和力を計測し、生化学的な検出を行うこととした。最初の試作として、上位2層のメタルで並行電極を形成、電極に流れる電流による磁場で磁気ビーズの駆動を行う TEG を作成した。(その2に続く)

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** MEMS

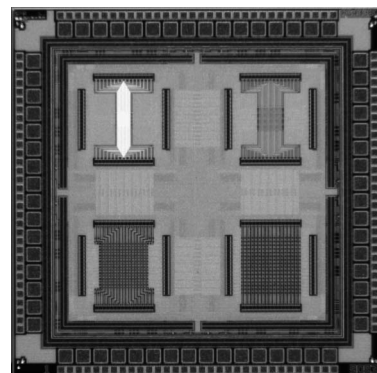


液体試料中に分散した磁気ビーズを駆動する TEG 試作 (BD1, その2)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光

概要: (その1より) 上位2層のメタルにそれぞれ16本の並行電極を形成、層間では互いに直行するように配置した。上面からは格子が切られたように見えることとなる。それぞれの電極の両端に、VDD, GND へのパストランジスタを設け、それぞれの電極に任意の方向に電流を流せるようにした。外部から入力した制御信号をシリアル-パラレル変換を介してパストランジスタに供給し、チップ上の電流分布による磁気パターンを時間的に変化させ、磁気ビーズの駆動を試みる。チップ上に液体試料を直接滴下して実験を行うため、素子へのダメージが予測され、2ロット40個の試作を行った。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** MEMS



第4章 VDEC 概要

4.1 組織概要

VDEC は平成 8 年度に発足した。当時は専任教官 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教官 2 名と事務官 1 名が増員され、さらに、全国の大学と連携を密にする目的で各大学から 2 年を単位として 2 名の教官を派遣する「流動教官制度（平成 16 年度からは国立大学法人になったことに伴い客員研究員制度となる。）」がスタートし、平成 19 年度をもって終了した。

平成 20 年度からは、協力教員制度を新たに発足させ、10 大学から協力教員を派遣いただいている。

また、産業界と協力を行うため、客員教授が 1 名おかれている。

VDEC は現在、専任教員 10 名、客員教授 1 名、事務員 2 名の定員を有しているが、他にも多くの援助を受けながら運営されている。事務は工学系研究科事務部との合同化により直接の担当を共同利用チームとし、工学系研究科事務部全体の支援を受けている。教育・研究の分野では、学内の協力教員、学外の協力研究員、さらには全国の拠点大学の教職員と学生を含む CAD ボランティア等多くの協力者の手によって支えられている。

流動教官派遣大学

年 度	派 遣 大 学
年 度	派 遣 大 学
平成 9・10 年度	東北大学, 横浜国立大学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学
平成 16 年度	大阪大学, 九州大学
平成 17 年度	名古屋大学, 大阪大学
平成 18 年度	北海道大学, 名古屋大学
平成 19 年度	北 海 道 大 学

協力教員派遣大学（平成 20 年度～）

北海道大学, 東北大学, 東京工業大学, 金沢大学, 名古屋大学, 京都大学, 大阪大学, 広島大学, 九州大学, 立命館大学

4.2 人事報告

VDEC 人事

センター長・教授 浅田 邦博
 教授 藤田 昌宏
 客員教授 福間 雅夫
 特任教授 Cheng Kwang-Ting
 (平成20年7月から12月まで)

准教授 池田 誠
 准教授 高宮 真
 特任准教授 名倉 徹
 特任准教授 小松 聡
 特任准教授 Goerschwin Fey (平成20年5月まで)

助教 鄭 若 彤 (平成20年10月まで)
 助教 佐々木 昌 浩
 助教 松本 剛 史 (平成20年4月から)
 助教 飯塚 哲 也 (平成21年4月から)

主 査 齊藤 岳 己
 専門職員 榎本 達 也 (平成21年3月まで)

協力教員 柴田 直
 (東京大学工学系研究科電気系工学専攻教授)
 高木 信 一
 (東京大学工学系研究科電気系工学専攻教授)
 藤島 実
 (東京大学工学系研究科電気系工学専攻准教授)
 三田 吉 郎
 (東京大学工学系研究科電気系工学専攻准教授)
 竹内 健
 (東京大学工学系研究科電気系工学専攻准教授)
 竹中 充
 (東京大学工学系研究科電気系工学専攻准教授)



新任のご挨拶

飯塚 哲也

本年度4月より、助教としてVDECに参加させて頂くことになりました飯塚哲也と申します。2007年3月までは東京大学工学系研究科電子工学専攻の博士課程に在籍し、浅田教授のご指導のもとVLSIの設計自動化に関する研究を行っており、主にスタンダードセルレベルのレイアウト最適化の研究に取り組んでまいりました。博士課程修了後はサインエレクトロニクス株式会社に所属し、高速シリアル通信向けのアナログIP開発等の業

務に従事しておりました。今後はこれらの経験を生かし、VDECのスタッフとして多方面から皆様のお役にたてるよう努力させて頂きたいと思っております。また同時に、設計自動化の研究の経験と企業における設計の現場での経験によって得られた新たな視点から、研究・教育活動にもよりいっそう邁進していきたいと考えている次第であります。まだまだ力不足の点が多く、これより皆様のご協力を賜ることが多々あるかと存じますが、ご指導ご助言を頂ければ誠に幸いです。今後とも何卒よろしくお願い申し上げます。

平成 20 年度大規模集積システム設計教育研究センター運営委員会委員名簿

氏名	所属
浅田 邦博	大規模集積システム設計教育研究センター長
保立 和夫	工学系研究科長
柴田 直	大学院工学系研究科 教授
坂井 修一	大学院情報理工学系研究科 教授
中野 義昭	先端科学技術研究センター 教授
荒川 泰彦	先端科学技術研究センター 教授
高木 信一	大学院工学系研究科 教授
藤島 実	大学院工学系研究科 准教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
池田 誠	大規模集積システム設計教育研究センター 准教授
高宮 真	大規模集積システム設計教育研究センター 准教授

平成 20 年度大規模集積システム設計教育研究センター全国運営協議会委員名簿

氏名	所属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授（センター長）
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
南谷 崇	東京大学先端科学技術研究センター情報物理システム 教授
柴田 直	東京大学大学院工学系研究科電気系工学専攻 教授
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授
宮永 喜一	北海道大学大学院情報科学研究科 教授
大見 忠弘	東北大学未来科学技術共同研究センター 客員教授
益 一哉	東京工業大学大学院統合研究院 教授
一色 剛	東京工業大学大学院理工学研究科 准教授
柳澤 政生	早稲田大学理工学術院 教授
松田 吉雄	金沢大学大学院自然科学研究科 教授
高木 直史	名古屋大学大学院情報科学研究科情報システム学専攻 教授
小野寺 秀俊	京都大学大学院情報学研究科通信情報システム専攻 教授
谷口 研二	大阪大学大学院工学研究科電気電子情報工学専攻 教授
岩田 穆	広島大学大学院先端物質科学研究科半導体集積科学専攻 教授
安浦 寛人	九州大学大学院システム情報科学研究院情報工学部門 教授
山内 寛紀	立命館大学理工学部電子情報デザイン科 教授
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授
黒田 忠広	慶応義塾大学理工学部電子工学科 教授
吉本 雅彦	神戸大学大学院工学研究科情報知能学専攻 教授

4.3 決算報告

1. 運営費交付金

経費	金額
物件費	210,008,000
人件費	62,212,768

2. 平成 19 年度科学研究費補助金

研究代表者	研究題目	種類	金額(千円)
池田 誠	光学近接効果を考慮した歩留まり最適レイアウト生成	基盤研究(C)	700
小松 聡	アプリケーション・環境適応型バス符号化による効率的システムLSI設計手法	若手研究(B)	1,800
藤田 昌宏	電子機器用解析技術のシステムバイオロジーへの応用	萌芽研究	1,800
西原 佑	ハードウェア/ソフトウェア協調設計に対する形式的検証とその要素技術に関する研究	特別研究員奨励費	900

3. 平成 19 年度産学連携等経費

研究代表者	研究題目	種類	金額(千円)
浅田 邦博	システムLSI設計教育のためのリテラシープラットフォームの構築	共同研究	16,000
浅田 邦博	先端LSIテスト技術	共同研究	20,000
浅田 邦博	CMOSワイヤレス・トランシーバICの設計・試作・評価とテキスト開発	共同研究	4,000
藤田 昌宏	UMLを利用したシステムLSI設計技術の研究	共同研究	4,000
藤田 昌宏	次世代SoC向けシステムレベル設計自動化技術に関する研究	共同研究	8,000
藤田 昌宏	ハードウェア記述言語のための設計検証方式の研究	共同研究	1,000
浅田 邦博	Soc耐性向上回路技術	受託研究	3,200
藤田 昌宏	形式的検証およびテスト	受託研究	34,900
高宮 真	超低消費電力の無線通信を実現するオールモスト・デジタル無線に関する研究	受託研究	15,300
高宮 真	VLSIの高信頼化に向けた電磁波ノイズ測定システムのニーズ調査	受託研究	3,900
浅田 邦博	超微細リソグラフィ・ナノ計測拠点	受託研究	20,000

4. 平成 20 年度寄附金

以下の企業・個人から寄附を頂きました。

受入件数：7件 受入額 計 37,150,000円

(株)半導体理工学研究センター, (財)電気・電子情報学術振興財団, (株)アドバンテスト

日産自動車(株), (株)富士通研究所

第5章 研究報告

5.1 全体概況

	研究室構成 人数 (名)	研究発表 (件)			著書 (冊)	特許 (件)	受賞 (件)
		研究論文	国際会議	その他			
VDEC 教員	51	4	36	28	0	4	2
協力教員	63	20	43	47	1	15	6

浅田・池田・名倉研究室構成

浅田 邦博 教授
 池田 誠 准教授
 名倉 徹 准教授
 佐々木 昌浩 助手
 飯塚 哲也 助手（2009年4月から）
 鄭 若彤 助手（2008年10月まで）
 鈴木 真一 技官
 金 允璟 博士3年
 門馬 太平 博士2年
 金 鎮明 博士1年
 Nguyen Ngoc Mai Khanh 博士1年
 曾我部 拓 修士2年（現在 東芝）
 猪飼 啓太 修士2年（現在 日本TI）
 鄭 明奎 修士2年（現在 LG）
 金 江南 修士2年（現在 Samsung）
 中村 大輔 修士2年（現在 東芝）
 大塚 泰雅 修士2年
 Sanad Bushnaq 修士2年
 Dang Ngoc Lan 修士1年
 萬代 新悟 修士1年
 Devlin Benjamin Stefan 修士1年
 齊藤 総 修士1年
 服部 慶士 学部4年（現在大学院修士課程浅田・池田研究室）
 楯村 祐太郎 学部4年（現在 ファナック）

藤田研究室

藤田 昌宏 教授
 松本 剛史 助教
 吉田 浩章 特任助教
 Bijan Marafeh Alizadeh 特任研究員
 Amir Massoud Gharehbaghi 特任研究員
 高 尚華 博士3年
 小島 慶久 博士3年
 西原 佑 博士2年
 Ratna Krishnamoorthy 博士2年
 李 蓮福 博士1年
 高 飛 修士2年
 許 金美 修士2年
 谷田 英生 修士1年
 田宮 豊 研究生
 何 凱隆 研究生
 田川 貴聡 学部4年
 原田 裕基 学部4年

高宮研究室

高宮 真 准教授
 石田 光一 助教
 劉 楽昌 特任研究員
 高橋 啓介 博士1年
 周 志偉 修士2年
 坂井田 耕輔 修士2年
 朴 哲 修士2年
 安福 正 修士2年
 柳 至善 修士2年
 荒木 貴弘 修士1年

柴田・三田研究室構成員（平成20年度）

柴田 直 教授
 三田 吉郎 准教授
 村井 徹 助教
 澤村 智紀 特任研究員
 トゥロン トゥウ ブゥイ 博士3年（現在 帰国）
 ハ オ ジ ア 博士3年（現在 就職活動中）
 ロバート グロー 博士2年
 朱 弘博 博士2年
 高橋 徳浩 博士2年
 森川 重毅 博士2年
 西山 未央 博士1年
 馬 奕濤 博士1年
 今井 義朗 修士2年（現在 NEC）
 岡野 祐太 修士2年（現在 ソニー）
 姜 璟熙 修士2年（現在 帰国 LG電子）
 金 俊亨 修士2年（現在 帰国 LG マイクロン）
 中川 琢規 修士2年（現在 キーエンス）
 福岡 雄大 修士2年（現在 パナソニック）
 吉井 一馬 修士2年（現在 ソニー）
 包 蕊寒 修士2年（10月 入学）
 金 炫秀 修士1年
 申 丞鎬 修士1年
 孫 卓力 修士1年
 プラバート・ウィーラワルダナ 修士1年
 三好 高史 修士1年
 森下 賢志 修士1年
 小森 健正 学部4年（現在 柴田・三田研 修士1年）
 山下 直也 学部4年（現在 柴田・三田研 修士1年）
 チュオン ティキム トゥオイ 研究生（現在 山形大学 修士1年）

高木・竹中研究室構成

高木 信一 教授
竹中 充 准教授
横山 正史 (特任研究員)
趙 毅 (日本学術振興会外国人特別研究員)
Sanjeewa Dissanayake 博士2年 (工学系)
星井 拓也 博士1年 (工学系)
灰本 隆志 修士2年 (新領域)
中北 要佑 修士2年 (新領域)
笹田 崇 修士2年 (工学系)
中川 翔太 修士1年 (工学系)
森井 清仁 修士1年 (工学系)
岩崎 敬志 学部4年 (工学部)
キム サンヒョン 学部4年 (工学部)

藤島研究室

藤島 実 准教授
北澤 清子 助教
オンジュ・アフメット 特任研究員

本良 瑞樹 博士2年
高野 恭弥 博士1年
ワサンタマーラー・バダラワ 博士1年
夏 莉 洋平 修士2年 (現在 住友商事(株))
萬 澤 康雄 修士2年 (現在 (株)キーエンス)
大橋 翔 修士2年 (現在 ソニー(株))
王 帆 修士2年 (現在 (株)デンソー)
林 聖雄 修士2年
足立 恵理子 修士2年
大橋 俊介 修士1年
佐藤 功一 修士1年
佐々木 正人 学部4年 (現在 藤島研 修士1年)
風間 拓志 学部4年 (現在 何研 修士1年)

竹内研究室

竹内 健 准教授
畑中 輝義 修士1年
野田 晋司 修士1年
矢島 亮児 修士1年
田中丸 周平 学部4年

5.3 研究概要

浅田・池田研究室研究室
Asada and Ikeda Laboratory
(<http://www.mos.t.u-tokyo.ac.jp>)

DCVSL 回路による自己同期システムの構築

浅田邦博, 池田 誠, 鈴木真一, 曾我部拓, 鄭 明奎, Devlin Benjamin Stefan, 齊藤 総

二線式のダイナミック回路論理素子であるDCVSLを用いて自己同期回路を構成し, その信頼性の評価や論理素子レベルパイプラインへの応用を検討した. 信頼性の評価においては電源線に雑音を重畳させることで, 自己同期, 同期のプロセッサの測定を行い, 電源雑音を遅延変動ととらえた場合に自己同期が遅延変動に強いことを示した. また, 論理素子レベルパイプラインでは同じ機能のダイナミック回路を相補的に設けることで, 交互にプリチャージとエバリュエーションを行うことで高いスループットを実現した. これを用いてFPGAのアーキテクチャの設計・試作も行った. 論理を決定するルックアップテーブルとスイッチボックスからなるブロックを並べることで実現した.

Self-synchronous system design using DCVSL

K. Asada, M. Ikeda, S. Suzuki, T. Sogabe, M. G. Jeong, B. S. Devlin, S. Saito

We designed self-timed circuits using DCVSLs, which are dual-rail logic gates composed of dynamic circuits, and evaluated the reliability of them and applications to gate-level-pipelining. To evaluate the reliability, we inserted power noise sources to the circuits as sources of delay variation, and measured impacts of them. As a result self-timed circuits proved to be more tolerant to delay variations. We also designed gate-level-pipelined logic circuits by using two equivalent circuits, one is being pre-charged, the other is evaluating the logic, complementarily, to eliminate pre-charge period for higher throughput. Using this gate-level-pipelining, we designed and fabricated the architecture for self-timed FPGA. The architecture is composed of arrayed common blocks. A common block has a LUT (look up table) which evaluates the logic and a switch box which connects some channels from horizontal and vertical directions.

自己同期型通信方式

浅田邦博, 池田 誠, 佐々木昌浩, 中村大輔,
Bushnaq Sanad Saleh

グローバルには非同期で, 局所的には同期式で通信を行うGALS (Globally Asynchronous Locally Synchronous) 方式を採用したチップ内・チップ間通信用3線3相伝送方式シリアルインターフェイスの研究を行っている. 3線3相伝送方式は自己同期伝送方式であるため, 送信データの各ビットに同期信号が内在し, CDR (Clock and Data Recovery) 回路が不要であり, 設計マージンが大きく, 高速化に適している. このような特徴を有するデータレート制御機能付き3線3相伝送システムを65nmCMOSプロセスを用いて試作・評価を行っている. また, ブラインドオーバーサンプリング技術を用いたオールデジタル回路による

Self-synchronous communication

K. Asada, M. Ikeda, M. Sasaki, D. Nakamura,
S. S. Bushnaq

We have proposed a 3-phase 3-wire serial interface circuit based on a GALS (Globally Asynchronous Locally Synchronous) method for low EMI intra- and inter-chip 3-phase 3-wire serial communication. Since this circuit utilizes a self-synchronous transmission method, transmitted data include synchronous clocks at each bit. Therefore, a CDR (Clock and Data Recovery) circuit becomes unnecessary, and this scheme is suitable for high-speed transmission due to its wide design margin. The prototype interface featuring a data rate control capability has been implemented and evaluated using 65 nm CMOS process.

データリカバリ回路を提案した。本アルゴリズムは、データレートより5倍高速なクロックを用いてデータエッジが検出出来ない場合においても確実にデータを抽出することを可能にしている。

Furthermore, we have proposed an all digital baseband data recovery circuit using a blind oversampling technique. Our algorithm uses a 5x clock to sample incoming data. If no data edge sensed, sampling occurs after five clocks from the previous sample.

ガラス基板上のシステム構築

浅田邦博, 池田 誠, 金 鎮明, 猪飼啓太

ガラス基板へのシステムの集積の実現に向けて、PMELA結晶上のTFTを用いた回路の設計環境を構築し、その環境上で無線通信回路およびデジタル回路を設計した。PMELA結晶上ではSi結晶が縞状に並ぶ、その上にTFTのチャンネル部が配置されるようにデジタル回路の自動配置配線環境を整え、トランジスタモデルのフィッティングを行い、レイアウトからのシミュレーション環境を構築した。またばらつきの大きいプロセスで無線通信を行うためばらつきに強い通信回路構造を提案し設計を行った。実際にガラス基板上にチップを作成して、アナログ回路ではVCOの動作、アンプの動作などを、またデジタル回路では分周期の動作を確認した。

System on Glass Panels

K. Asada, M. Ikeda, J. M. Kim, K. Ikai

Recent improvements in TFT processing technology have achieved to integrate a great degree of functionality on glass. It is widely expected that these integrations will contribute to the increase in functionalities of displays, which will hence lead to the realization of System-on-Glass (SOG). We have developed a design environment for a stripe-shaped PMELA process on glass, and have designed digital circuits and a variation tolerant transceiver for SOG. These circuits are fabricated in a 0.5um PMELA TFT CMOS technology, and the measurement results show that VCOs and amplifiers are successfully work, and the digital circuits using PMELA TFTs are successfully integrated on glass by using the design environment. We also proved the accuracy of the established design environment.

SoC のテスト手法

浅田邦博, 池田 誠, 名倉 徹, 鄭 若彤,
中村大輔, 楯村祐太郎

我々はSoCのテスト手法の一環として、SoCのためのオンチップモニタリングシステムとIDDQテスト向けATPGの研究を行っている。本研究ではLSIの微細化に伴い長期信頼性が低下している問題に対し、出荷時だけでなく出荷後においても動作信頼性を保証するためのプラットフォームとしてオンチップウェブサーバによるモニタリング機構を提案している。提案プラットフォームではTCP/IPネットワーク網を利用することにより、出荷後においても遠隔地からLSIの内部状態をモニタすることが可能であり、またユーザインターフェイスとしてウェブブラウザを用いるため直感的な動作が可能になる。オンチップウェブサーバシステムは16ビットの小さなCPUとネットワークインタフェース等を搭載しており、CPU上でTCP/IP、ウェブサーバプログラムが動作させることによりHTTPサーバの機能を提供する。我々はこのシステムの設計を行い、再構成可能なハードウェアを

Testing method for SoC

K. Asada, M. Ikeda, T. Nakura, R. Zheng,
D. Nakamura, Y. Tatemura

We have studied an on-chip monitoring system for reliable LSI operation and an ATPG for IDDQ testing as part of a testing method for SoC. Recently, transistors in a LSI are increasing their fragility with technology scaling. So we propose an on-chip monitoring system as a SoC platform which ensures reliable operation of LSI circuit even if in-field as well as the at the time of manufacturing. In the proposed platform, designers can monitor LSI operation after shipment from remote location by using TCP/IP network. Moreover, designers can use web browser as the user interface which offers an intuitive operation of monitoring. Our on-chip web server system contains small 16-bit CPU, network interface, and so on. A TCP/IP protocol routine and a web server program runs on the CPU, and serves as an HTTP server. We designed the system, and verified the hardware/software operation by implementing it on

用いて基板上でハードウェア、ソフトウェア共に正常動作を確認した。また、設計したシステムを0.18um CMOS プロセスを用いてセルベースLSIとして試作した。実装面積はおよそ8.44mm²であった。

IDDQ テストはCMOS 回路をテストするのに非常に有効な手法であることが知られている。電圧測定により故障検出を行うファンクショナルテストなどは異なり、一部の故障、例えばブリッジ故障などの扱いが容易である。一般にブリッジ故障を扱う場合、ゲート間のブリッジを考慮することが多く、また、ゲート内のブリッジを扱ったモデルも、トランジスタのショートのみを考えたものなど部分的に扱ったものが多い。そこで本研究では、ゲート内配線の全てのブリッジを扱うために新たな手法を提案し、SAT ソルバを用いてATPG を実装した。また、ゲート内ブリッジ向けのテストパターンが、ゲート間ブリッジの多くを検出することができることをISCAS85 およびITC99 のテストベンチを実行することで示した。

FPGA and PCB board. We also implemented the system on 0.18um CMOS process. the overhead area was about 8.44mm²

IDDQ testing is known as a very effective method to detect faults in CMOS circuits. IDDQ test can detect some faults which are hard to detect in voltage measurement such as functional test. For example, bridging fault is the fault. When we think about bridging fault, we handle inter gate bridging in many cases. And if we also consider intra gate bridge, we don't handle all possible intra gate bridge in many cases, for example handle only transistor short. So we proposed a method to generate test pattern for all possible intra gate bridge and implemented SAT-based ATPG for bridging fault (intra and inter gate bridge). Additionally, we show that the test pattern generated for intra gate bridge can cover many of the inter gate bridge by running

ISCAS85 and ITC99 test bench.

能動的基板雑音低減手法

浅田邦博, 池田 誠, 名倉 徹, Dang Ngoc Lan

LSI の微細化・集積化の進展にともない、チップの単位面積当たりのトランジスタ数が上昇し、同じチップにデジタル回路とアナログ回路を混載することが可能となってきた。しかし、そのようなチップにはデジタル回路から発生する基板ノイズの影響が無視できなくなっている。本研究では、基板ノイズを低減するためにデジタル制御アクティブノイズキャンセラー回路について検討する。受動素子あるいはフィードバック回路を利用する手法と比べて、本研究で提案する能動的基板雑音低減手法はより安定であり、広い周波数帯で有効だと期待される。また、ノイズキャンセラー回路をデジタル制御にすることにより自律的制御に適した回路構成とする。

Active Substrate Noise Canceller

K. Asada, M. Ikeda, T. Nakura, N.L. Dang

With the development in LSI technology, the number of transistors that can be integrated in one unit of area and the clock frequency is increasing rapidly while the power supply voltage is getting smaller. In devices where digital and analog circuits are placed on the same substrate, noise generated from digital circuits may become problem, degrade the performance of analog parts or even cause them to malfunction. In this research, we proposed a digital active substrate noise canceller to reduce substrate noise in such devices. Compare with some other methods that use feedback circuit or passive components, our method is expected to operate more stably and has wider effective range of frequency. Also, as the proposed circuit is digitally controlled, it is suitable for the purpose of dynamic operation control in system LSI.

ばらつきを活用した設計

浅田邦博, 池田 誠, 名倉 徹, 猪飼啓太

LSIが我々の生活に浸透するにつれ, 様々なモノにLSIが搭載されるようになってきており, あらゆるモノに固有のIDをつけて識別番号を与えるRFIDが必要となる. 本研究では通常のスタンダードCMOSプロセスを用いて, 同一のマスキレイアウトでありながら製造プロセスで生じるトランジスタ特性のランダムなばらつきを利用することによって, チップIDを生成する. ただし, 従来のようにIDの読み出しのたびに毎回トランジスタ特性のばらつきを評価・2値化してID値を出力するのではなく, 最初に決定したIDをもとにしてトランジスタの電気的特性を破壊・変化させることにより, 「安定した」IDを生成するチップID回路を実現する.

Circuit Design Utilizing Process Variability

K.Asada, M.Ikeda, T.Nakura, K.Ikai

As LSIs penetrates into our daily life, many things have LSI chips on them and RFID is the most promising candidate for giving ID number to every single thing. Our research realize chip ID generation circuit utilizing process variation, which is the source of the randomness with exactly the same layout pattern, on standard CMOS process technology. Unlike conventional scheme which evaluates the ID number at every read request, our ID generation scheme breaks and changes the transistor characteristics at the first time ID generation so as to fix and stabilize the ID number.

スマートイメージセンサに関する研究

浅田邦博, 池田 誠, 佐々木昌浩, 金 允璟,
門馬太平, ゲエンカンゴクマイ, 大塚泰雅,
金 江南, 萬代新悟, 服部慶士

微細化しつつあるプロセスにより設計されるイメージセンサの多層配線層において, 光透過光率を計算するための透過マトリックス法を提案した. その多層膜を用いてカラー再現性に関して光学シミュレーションを通じて検証している. また, MAGFETとフォトゲートを組み合わせることにより, 光学および磁界による特性によりTOF法による三次元計測等への応用を目指した検討を行っている. また, 光感度変調を目指しフォトトランジスタを用いたイメージセンサーの検討を行っている. アンテナアレイを用いたミリ波帯の透過・吸収画像の取得を目指した100-120GHzパルス生成回路の検討を行った.

Smart Image Sensors

K. Asada, M. Ikeda, M. Sasaki, Y. K. Kim,
T. Monma, N. N. M. Khanh, Y. Ohtsuka, K. N. Kim,
S. Mandai, K. Hattori

We proposed the transfer matrix for calculation of transmission rate in the multi-metal-layer above pixels. The reproducibility of the color is verified through an optical simulation with the multilayer. We have studied MAGFET with photo-gate function for optical and electro-magnetic characteristics to achieve range-finding by TOF method. We also studied sensitivity modulation using photo-transistor for smart image sensors. On the other hand, we investigated 100-120GHz pulse generator for mm-wave imaging using on-chip antenna array.

高性能三次元計測システム

浅田邦博, 池田誠, 萬代新悟

CMOSプロセスの発展により, センサ上に様々な機能を備えたスマートイメージセンサは目覚ましく発達した. 我々はこれまで高速, 高精度三次元情報取得を可能にする光切断法を用いて, 多くの三次元イメージセンサを開発してきた. そして昨年, 様々な状況に応じた三次元撮像を可能にするという目的のために, チップ上に二つのイメージャ・コアを備え, それぞれ

High-Performance 3-D Range Finding System

K. Asada, M. Ikeda, S.Mandai

Smart image sensors including processing elements on a sensor array have developed because of the development of CMOS process. We have developed 3-D smart image sensors employing light-section method to realize high accuracy and high speed 3-D capturing. Last year, to realize flexible 3-D image sensor, we have designed and fabricated multi-functional range finder

のコアを独立に動かすことで、複数のモードで動作する三次元イメージセンサを開発した。また、実時間撮像を実現するために、PCとのインターフェース、さらにカメラボードなどの開発も随時行っている。

using dual imager core on a single chip and operating them independently. Furthermore, In order to achieve real-time imaging, we also have developed PC interface and camera board.

藤田研究室

Fujita Laboratory

(<http://www.cad.t.u-tokyo.ac.jp/>)

設計の形式的検証・デバッグ支援技術に関する研究

藤田昌宏, 吉田浩章, 松本剛史, 小島慶久,
西原 佑, 許 金美, 原田裕基, 田川貴聡

システムLSI設計の大規模・複雑化に伴い、正しさの証明、もしくは不具合を発見・修正するための検証・デバッグ支援技術の重要性が高まっている。本研究では以下のテーマで検証・デバッグ支援に取り組んでいる。自動入力パターン生成においては、記号シミュレーションと従来のシミュレーションを組み合わせて設計記述を解析することにより、アサーション違反を発生させるような入力値を自動的に求める手法を提案した。SpecC記述で170行程度の規模のFIRフィルタに対し、指定した信号波形を出力するような61サイクル分の入力波形を求めることに成功した。プログラマブル配線向け検証手法では、ありうるすべての配線接続情報に対して、2点間が仕様通りにつながっており、かつ他の配線とつながっていないことを充足可能性判定問題として定式化して証明する手法を提案した。最大カット数を1とした制約の下で、本研究室で設計したVDD-FPGA (タイル数12x13, トラック数8本) のプログラマブル配線部分の検証に成功した。並列動作の同期に関するデバッグ支援では、設計記述を静的に解析することで設計が正しく同期するための条件を求める手法を提案し、この条件が同期に関する検証/デバッグに有用であることを示した。SpecCで記述された並列エレベータコントローラにより実験を行い、提案手法により出力された条件によって、設計の同期が設計者の意図通りになっているか確認することができた。

Formal verification and debugging-support of designs

Masahiro FUJITA, Horoaki YOSHIDA,
Takeshi MATSUMOTO, Yoshihisa KOJIMA,
Tasuku NISHIHARA, Jinmei XU,
Hiroki HARADA, Takaaki TAGAWA

As the system-level designs grow more large and complex, the verification and debugging-support techniques to prove the correctness or to find and fix bugs are getting more important. We are working on this topic as below: In automatic input pattern generation, we proposed the technique to automatically find input values that violates the assertions by analyzing the design description using traditional simulation and symbolic simulation. For an FIR filter design of 170 Lines in SpecC, we successfully found the input patterns of 61 cycles that produces the specified output patterns. In formal verification for on-chip programmable interconnect, we proposed the method to prove that two ports are connected as specified, and not connected to any other ports for all possible connection configurations, formulating as a boolean satisfiability problem. We have successfully verified the correctness of programmable interconnect part of our VDD-FPGA (12x13 tiles, 8 tracks) under the constraint of the maximum cut is 1. In debugging-support for synchronization of parallel execution, we proposed the technique to derive the condition on which the design properly synchronizes by static analysis, and showed this condition can be utilized for synchronization verification and debugging. Through the case study of the parallel elevator controller in SpecC, we verified that the design works as the designer's intention using the generated condition.

オンチップネットワークのトポロジ自動生成に関する研究

藤田昌宏, 吉田浩章, 松本剛史, 谷田英生

半導体プロセスの微細化に伴い, SoCの性能はよりインターコネクットの性能に影響される部分が大きくなっている. 多くのNoC (ネットワークオンチップ) のアーキテクチャが提案されているが, 自動的にアプリケーションに応じた最適なNoCを決定しその上に機能ブロックを配置することは実現されていない. そこで, アプリケーションの通信要求に応じて, 自動的に各機能ブロックを配置し, NoCトポロジを生成する手法を提案・評価した. 問題を整数線形計画法により定式化した従来手法は, 消費電力・面積の最適化を実現したが, 動作周波数に影響を与える一ホップあたりのリンク長, および, レイテンシの保証を実現していなかった. 本研究では, 各機能ブロックを配置する際に低レイテンシで通信する機能ブロック間の距離に, NoCトポロジの生成の際に接続する機能ブロック・スイッチ間距離に制約を加え, それらの性能が保証された設計の生成を実現することを目的とする. 初期的な実験結果では, 既存手法と提案手法を比較した場合, 提案手法のみ生成されるNoCの通信路一ホップの長さの最大値, および機能ブロック間の最大通信レイテンシが満たされる例が存在することが確認された.

Automatic Network-on-Chip topology synthesis

Masahiro FUJITA, Hiroaki YOSHIDA,
Takeshi MATSUMOTO, Hideo TANIDA

With wire delay becoming dominant compared to transistor delay in deep-submicron era, the performance of SoC is more affected by interconnect. Although many NoC (Network-on-Chip) architectures are proposed, automatically finding the most efficient one for a given application and mapping the function blocks onto it, is still an open issue. This study proposes a method for generating custom NoCs which meet communication link-length and latency requirements. Addition of constraints for floor-planning and interconnect architecture generation, to existing integer-linear-programming-based approach, enables link-length and latency requirement to be met in the generated NoC architecture. Initial experimental results have shown that only the proposed method can meet link-length and latency constraints.

上位設計記述を用いた製造後デバッグ支援手法

藤田昌宏, 吉田浩章, 松本剛史,
Amir Masoud GHAREHBAGHI, 李 蓮福

製造後デバッグはプロトタイプチップ実行で現れたエラーの原因を分析し探す過程である. システムの複雑さの増大により製造前の段階で全システムを完璧に検証することは不可能になってきている. したがって, 製造後デバッグは必須となりつつあると伴に大変な作業でありがちである. ここでは上位設計記述を活かした二つのデバッグ支援手法を提案している. 前者の研究は設計記述の中からエラーに影響を与えた部分だけを取り出す手法であるダイナミックプログラムスライシングの概念に基づいている. この手法では, 各々のエラーパターンに対し, チップ上でエラーが検知される出力ピンに該当する上位設計記述上の変数のスライス抽出する. それを複数のエラーパターンに対して行い, それぞれのスライスの共通部分を取り, その結果を本

Post-silicon debug support using high-level design descriptions

Masahiro FUJITA, Hiroaki YOSHIDA,
Takeshi MATSUMOTO,
Amir Masoud GHAREHBAGHI, Yeonbok Lee

Post-silicon debug is the process of finding the cause of errors in the prototype or initial implemented system. Complete verification of whole systems before implementation is becoming infeasible due to the complexity of systems.

As a result, post-silicon debug is getting mandatory while it is a painful task. We propose two debug support methods utilizing high-level design descriptions. The first method utilizes the concept of dynamic program slicing to extract parts of the design that has influenced the error. For each error pattern, we derive slices for the output variable of the high-level design description that corresponds to the output pin of the target chip where the error is observed. Then, we extract the inter-

研究で定義した評価関数により求めた正しいトレースからの距離によって順位づけする。二番目の手法では、システムの通信を担当する部分、特にSoCのオンチップバス上でのバグに注目する。まず、コントロール信号から、要求や応答などの基本的なイベントを、オンチップモニタ回路を用いて抽出し、トレースバッファに格納する。それから、予め定義されたデバッグパターンに従い、抽出されたトランザクションシーケンスを、レース・デッドロック・ライブロックなどのバグをチェックする我々のツールによって分析する。現在、ユーザー定義デバッグパターンをサポートするため手法の確定を行っている。

section of the slices for multiple error patterns, and rank the results by calculating the distance from the correct trace with our distance metric. In the second method we have focused on bugs in the communication parts of systems, specifically on-chip buses of SoCs. First, we extract the basic events such as requests and responses from control signals using an on-chip monitor circuits, and store them in a trace buffer. Then, according to predefined debug patterns we analyze the extracted transaction sequences by our software to detect potential bugs such as race, deadlock and livelock. We are extending our method to support user-defined debug patterns.

設計解析技術のシステムバイオロジーへの応用に関する研究

藤田昌宏, 吉田浩章, 松本剛史, 西原 佑,
谷田英生, 李 在浩

生物学の発展に伴い生体内の様々な働きの原理が解明され、現在では生物学的生体システムを計算機によってシミュレーションすることが可能となってきた。計算機によるシミュレーションは実物による実験や治療と比べて、安全性、コスト、観測性の面で有利であり、患者の病気に対する治療や、実際の実験では観測が難しいような反応に対する応用が提案されている。しかしながら、生体システムのシミュレーションは計算量が膨大であるため、既存のソフトウェアによるシミュレーションでは、複雑な反応経路や長いサイクルのシミュレーションは困難である。そこで、本研究テーマでは、これらの生体システムのシミュレーションをFPGAなどのリコンフィギュラブル素子を用いてハードウェア実装することにより、シミュレーションを高速化することを目的としている。昨年度までに、生態システム、モデリング手法、既存のソフトウェアシミュレーション手法の調査を完了した。今年度は、高速化の対象をGillespieによって提案された統計的シミュレーション手法として、それを行う既存ソフトウェアであるSTOCKSと、FPGAを用いたハードウェア実装との、実行速度の比較を行い、一定の成果を上げた。今後は、今回のハードウェア実装をベースに、生体システムのシミュレーションにおいて汎用的に有効なアーキテクチャを提案することが主な課題である。

Application of design analysis techniques to systems biology

Masahiro FUJITA, Hiroaki YOSHIDA,
Takeshi MATSUMOTO, Tasuku NISHIHARA,
Hideo TANIDA, Jaeho LEE

Recent rapid growth of biology has clarified various fundamental rules of bio-chemical systems, and now such systems can be simulated by computers. Such simulation is safer, consumes lower cost, and has higher observability than actual experiments, so that there are many proposals about applications to medical treatments and analyses of reactions which cannot be observed from the outside. However, since the computation amounts of those simulations are huge, it is difficult to simulate complex reaction systems or reactions which take large number of simulation cycles on software. Therefore, in this research, we are going to implement such bio-chemical simulations on hardware (with reconfigurable blocks, such as FPGA). In the last year, we have investigated bio-chemical reaction systems, modeling methods, existing software simulation methods. In this year, we targeted on Gillespie's stochastic simulation algorithm, and compared the executions of an existing software STOCKS and a hardware implementation on FPGA. We confirmed that the hardware implementation was faster than the software implementation. The main future work is to propose a hardware architecture which is generally effective for bio-chemical simulations.

データパス設計はコンピュータグラフィクスやデジタル信号処理のような多くの応用に使われている。そのような設計の増大しつつある複雑さ、要求される性能の高さ、そして、設計期間の短さのため、設計を有限時限の多項式としてモデル化し、MATLABやC言語のような抽象度の高い段階から詳細な実装設計を行うRTLへの設計を進める必要性が高まっている。この設計法では(1)乗算器のようなデータパスコンポーネントを含む設計の検証の必要性、(2)多項式計算をデータパスのアーキテクチャに依存したビット数の計算に変換すること、が必要となる。しかし、多項式で表現された仕様と有限ビット幅のアーキテクチャで実現されているRTL設計の間の等価性検証は容易ではない。そこで、本研究では、Modular Horner Expansion Diagram (M-HED) という n ビット幅の制約下における多項式の正規表現を提案し、それを用いた等価性検証を実現した。

Data-path designs are used in many applications such as computer graphics and digital signal processing. Due to rising complexity of such designs, high performance requirements and shortened time-to-market, a growing demand has emerged to design hardware at higher levels of abstraction where an algorithmic specification, e.g. MATLAB or C description, which performs a sequence of arithmetic operations, is modeled as multivariate polynomial functions of finite degree. Then it is refined to a Register Transfer Level (RTL) description by adding more and more implementation details at succeeding steps. There are two major problems to achieve functionally correct description at each step (1) a significant increase in the amount of verification efforts owing to the presence of data-path components such as multipliers and (2) carrying out polynomial computations over n -bit integers because of fixed-size data-path architectures. Hence, equivalence verification of two polynomial functions extracted from the algorithmic specification and RTL model is not possible because distinct polynomial functions with different degrees and coefficients may be computationally equivalent. In this research we introduce a modular decision diagram namely Modular Horner Expansion Diagram (M-HED) as a canonical graph-based representation which allows us to perform formal equivalence checking between the specification and implementation for multivariate polynomial functions over the ring of integers modulo 2^n , where n is word-length.

集積回路製造技術の向上に伴いプロセスが複雑になってくるにつれて、これまで無視してきた影響が無視できなくなってきた。特に配線が性能へ及ぼす影響は支配的になりつつあり、レイアウト・論理設計においては配線を考慮した設計技術が確立されている。本研究室では、近年普及が進む高位合成、特にパイプライン合成において配線を考慮する手法を提案した。また、高度化が進む組み込み機器分野において、逐次処理型プロセッサのみではその実現が困難となっている。一方で特定用途向けVLSIはその高並列性により高性能・低消費電力を実現可能であるが、設計が難しい・変更が不可能・高コスト等といった問題がある。実行中に機能を変更できる動的再構成可能ハードウェアは柔軟性と高性能・低消費電力を両立する技術として期待されている。本研究では開発の効率化および過去の開発資産の有効活用を重視し、逐次的プログラムから自動的に高効率な動的再構成可能ハードウェア向け回路を合成する技術の研究を行っている。

As the VLSI technology advances, it has been becoming essential to account for physical effects which have been ignored. The impact of interconnect on performance has been becoming dominant, hence a number of studies have already been proposed for interconnect-aware logic synthesis. We proposed a high-level synthesis method considering the interconnect effect, particularly a pipeline synthesis method. Dynamically reconfigurable processors (DRPs) can achieve high flexibility, high performance and low power simultaneously. However, designing applications for DRPs requires considerable manual effort and is hence a challenging problem. We have been developing a compiler framework for DRPs and also conducting a research on the automation of typical optimization techniques which are currently performed manually.

高宮研究室

Takamiya Laboratory

(<http://icdesign.iis.u-tokyo.ac.jp/>)

有機トランジスタを用いた大面積エレクトロニクス向けの回路技術

高宮 真, 石田光一, 桜井貴康, 染谷隆夫

10 cm角から10 m角の大きな柔らかいシートの上に、インテリジェントな電子デバイスを分散して配置することにより、人間生活を快適にサポートする大面積エレクトロニクスという新しいアプリケーションに注目している。フレキシブルで低コストの有機トランジスタは大面積エレクトロニクスに適しており、硬くて高価なシリコンMOSFETを補完するデバイスとしても有望である。しかし、シリコンMOSFETと比べると、有機トランジスタは製造技術がまだ未熟であるため、動作速度が $\mu\text{s} \sim \text{ms}$ と遅く、デバイスの寿命も数日～数ヶ月と短い。そこで、遅くて信頼度の低い有機トランジスタの欠点を補う回路技術の開発を行っている。大面積エレクトロニクスの一例として、有機トランジスタとプラスチックMEMSスイッチを集積化したフレキシブルな「無線電力伝送シート」の開発を行った。対向するコイル間の電磁誘導により無線で電力伝送を行う。

40V以上で動作する有機トランジスタやMEMSと、5V以下で動作するシリコンVLSIの間で信号の送受信を実現するために、有機トランジスタを用いた新しいレベルシフト回路を開発した。また、送電/受電コイル間の位置合わせを不要にするコイル活性化技術や、電力伝送用コイルと受電物体位置検出用コイルを共有化する有機トランジスタ/MEMSの混合回路技術を開発した。これらの回路技術はコストや信頼性が課題となる大面積エレクトロニクスを実現する上で、キー技術になると考えている。

Circuits Technologies for Large Area Electronics with Organic FETs

Makoto Takamiya, Koichi Ishida,
Takayasu Sakurai, and Takao Someya

Large area electronics is a new frontier in electronics where intelligent electronic devices are distributed on a flexible square, 10 cm to 10 m on a side, for the human interface and the comfortable daily life. Flexible and low-cost organic FETs (OFETs) are suitable for large-area electronics and have great potential as a supplement of solid and expensive silicon MOSFETs. Compared with the silicon MOSFETs, however, the operation speed of OFETs is slow ($\mu\text{s} \sim \text{ms}$) and the device lifetime of OFETs is short (days \sim months), because fabrication technologies for OFETs are not yet mature. We have developed circuits technologies to help the slow and unreliable OFETs and demonstrated a wireless power transmission sheet where plastic MEMS switches and OFETs are integrated. The circuit technologies for the wireless power transmission sheet to reduce the cost and to enhance the reliability were developed, which will be essential for future large-area electronics made with OFETs.

右脳型ソフトコンピューティング VLSI: 連想プロセッサ・システム柴田 直, トウロン トウ ブウイ, 馬 奕濤,
姜 璟熙

現在のコンピュータは四則演算の超高速処理に特化したマシンであり, 人間のように「ものを見て柔軟に判断・理解し, 即座に適切な行動をとる」といった情報処理は非常に不得手である. 入力情報に対し, 過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する. こんなアーキテクチャを持つコンピュータの基本ハードウェアを, シリコン超LSI技術で実現する研究を進めている. 論理演算を得意とする現在のマイクロプロセッサに対し, 直感・連想・推論といった処理を得意としたLSIチップを設計・試作してシステムを構成する. 単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ (ニューロンMOS, neuMOS) を導入, 膨大な template 群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ, 0.18ミクロンCMOS技術を用いた超高速デジタル連想プロセッサ等を, これまで開発した. 今後連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップ用いて構築して行く. そのために我々の思考過程を柔軟に記述できるAPROL (Association Programming Language) の開発も行う. 四則演算に代わり連想を“computing primitive”とする実時間事象認識知能システム実現を目指す研究である. 現在, 画像認識・音声認識をテーマに研究を進めている. ここで開発したVLSI回路技術は, 実用的な応用として, CDMA マッチトフィルタへの応用技術等も開発している.

Right-Brain-Computing Integrated Circuits: Associative Processing SystemsT. Shibata, Trong Tu Bui, Ma Yitao,
Kang Kyunghee

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called “Neuron MOS Transistor” (neuMOS or ν MOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that “association” is the very computing primitive, we are pursuing human-like intelligence system implementation directly in silicon integrated circuits. Currently research is in progress for robust image recognition and voice recognition processing. The state-of-the-art silicon technology has been utilized to implement such associative processors in both analog and digital CMOS VLSI chips. As a practical application of the circuit technology developed for the associative processor chips, CDMA matched filter chips have also been developed.

画像の特徴ベクトル抽出 VLSI 及びそのパターン認識への応用

柴田 直, ロバート グロー, 朱 弘博, 高橋徳浩,
森川重毅, 中川琢規, 金 炫秀, 孫 卓力, 山下直也

我々の連想プロセサアーキテクチャを画像認識に用いるには, 2次元の画像情報を特徴ベクトル, 即ち一次元の数値列で表現しなければならない. 我々はこの目的で, 主方向線分投影法 (PPED: Projected Principal-Edge Distribution) と呼ぶ新たな特徴ベクトル表現法を開発した. 2次元画像に対し, 縦・横・斜め2方向, 計4方向の線分を抽出してフィーチャーマップを作成, そのビットフラッグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する. これらをつなぎ合わせて64次元ベクトルとし, 64×64ピクセルの画像を表現する. これは, 元画像の特徴を実にうまく表現しており, 手書きによるパターンの変形, 歪みに対しほとんど影響を受けない. 従って, 単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる. 特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった. さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用, 歯学部学生にとっても高度な訓練を必要とする解剖学的特徴点抽出の困難な作業が, 専門医と同様にできることがわかった. 今後, 連想プロセッサと統合し, 一般的な知的画像認識システム構築へと発展させていく. このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり, neuMOSを用いたアナログCMOS回路技術, および最先端のデジタルCMOS回路技術の両方を用いて, 独自のアーキテクチャを持つ特徴ベクトル生成VLSIチップの開発を行っている.

A Robust Feature-Vector Generation VLSI' s and their Application to Human-Like Image Recognition

T. Shibata, Robert Grou, Zhu Hongbo,
N. Takahashi, S. Morikawa, T. Nakagawa,
Kim Hyun-soo, Sun Zhuoli, N. Yamashita

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a feature vector, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filter-ing to generate feature maps, which are reduced to a 64-dimension vector by "Projected Principal-Edge Distribution (PPED)" algorithm. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituitary gland), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

実時間動画画像処理プロセッサ

柴田 直, 岡野裕太, 福岡雄大, 吉井一馬,
申 丞鎬, プラバート・ウィーラワルダナ,
小森健正

リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾する Saliency Catcher, 及びキャッチした物体の3次元計測を瞬時に行える VLSI プロセッサの研究を行っている。Saliency Catcher については、擬似二次元処理と呼ぶ新たな手法を導入、すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため、各画素部では大きなフィルファクタが実現できた。フィルファクタとは、各ピクセルプロセッサ内でフォトダイオードが占める面積の割合で、これが大きいほど多くの画像情報が処理に取り込める。このチップは、複雑な背景の中から複数の動いている物体を、動きの大きさとともに検出できる。さらにカメラ自身がブレて背景が動いていても検出できるという特徴をもつ。実際にチップで基本性能を確認した。さらに運動物体の3次元計測をリアルタイムで行うチップも開発した。これはキャパシタ間での電荷の再配置のみを演算に使う回路であり、究極の低消費電力システム実現の可能性を秘めている。

方向性エッジベクトル表現を用いたロバストな人物像検出システム

柴田 直, 三好 高史

顔の検出は、ヒューマンインタフェースの研究において重要な課題である。従来、肌色に着目したり、ニューラルネットによる分類等さまざまな手法が開発されているが、写真の撮影条件の影響を受けたり、あるいは本当の顔を逃してしまう、いわゆる false negative の発生といった問題が多かった。本研究では、多少の false positive (顔以外のものでも似ていると顔として検出) はあっても、「本当の顔を絶対に逃さない」ことを目標とするロバストな顔検出アルゴリズムの基礎を、これまでの成果であるエッジベースのベクトル表現法 (PPED) を発展させて確立した。PPED 法による検出は、例えば壁のしみでも眺めていると人間の顔に見えてくるといった、人間の認識に非常に近い検出アルゴリズムであるが、本研究では PPED とは補完的な性質を持つ、新たな2つのベクトル表現法を開発、オリジナル PPED ベクトルと同時

Real-Time Moving Image Processing VLSI Systems

T. Shibata, Y. Okano, Y. Fukuoka, K. Yoshii,
Shin Seungho, P. Weerawardhana, T. Komori

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has also been developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

A Robust Human Figure Detection System Using Directional-Edge-Based Image Representations

T. Shibata, T. Miyoshi

Face localization and identification of individuals by facial images are important issues in the development of new generation human-computer interfaces. There have been many approaches such as skin color detection and using neural networks. They have, however, many problems such as high sensitivity to photograph exposure conditions, and existence of "false negatives". The objective in our approach is to try to minimize the number of "false negatives", even it might increase the number of "false positives". Our algorithm can detect non-face images that are very similar to faces. A preliminary research is done by extending our edge-based vector image representation method (PPED). Besides the PPED-based detection method, two other new vector representations, which are complementary to PPED, have been developed. Using the

に用いた多重照合法 (multiple clue matching) の開発により、大変ロバストな顔検出を実現した。さらに、顔画像を各部分を構成する微小画像の2次元シーケンスとして扱い、シーケンスマッチングの手法を用いて顔認証を行うシステムも構築した。これにより、照明条件の変化に強いロバストな顔認証システムが実現した。本実績をベースに、任意の環境下において様々なポーズをとる人物像をロバストに検出するシステムの研究を進めている。

multiple clue method with these three representations, a very robust performance in face detection has been achieved. We also developed a face identification system in which a face image is treated as a two dimensional sequence of partial images also represented by directional edge-based vectors, thus showing a robust identification performance under a variety of illumination conditions. Based on these achievements, a system is now under development that is capable of localizing human figures with varying poses under cluttered environments.

動画像認識システム

柴田 直, ハオ・ジア, 西山 未央, 包 蕊寒

方向性エッジ情報が、静止画の認識に重要な働きをすることを我々はこれまで様々な事例で実証してきた。本研究テーマは、動画像シーケンスから動きの情報を取り出し、これによって動作の理解を行う研究であり、これもエッジ情報を用いて行っている。人間の脳は、まず第一視覚野で様々な方向性エッジ情報が抽出し、これを用いて形状認識と動き認識を、それぞれ別々の pass way で実行している。我々もこれに習った。エッジ情報によって物体の形状を認識し、その形状を順次追いかけて行く手法でオブジェクトトラッキングシステムを開発した。追跡物体が複雑な背景の中に入っても、途中で形状や動作速度を変えても、また照明条件が変化しても正確に追跡していける。環境の中で人が移動すると環境の視覚画像もそれに応じて変化するが、その変化から自分の動きを理解するいわゆる ego motion perception も、方向性エッジ情報を用いて実現した。照明条件の変化や、明確なテクスチャの少ない環境、あるいは視野内に別の動きをする物体が存在する場合にも、ロバストな ego motion 検出ができる。さらに、画面の中で動作する人物のジェスチャーを認識するシステムも開発中である。各時刻におけるオブティカル・フローをベクトル表現し、ベクトルの時間シーケンスを隠れマルコフモデル (HMM) を用いて理解するシステムである。この目的のため、相対評価ではなく絶対評価可能な、新たな隠れマルコフモデルを考案し、その有効性を実証した。

Moving Image Recognition System

T. Shibata, Hao Jia, M. Nishiyama, Bao, Ruihan

So far we have shown directional edge information plays an essential role in a variety of still image recognition applications. In this project, we are developing moving image recognition systems also utilizing directional edge information. In the human brain, it is known that edges of various orientations are firstly extracted from retinal images and then being processed through separate pass ways for motion recognition and object shape recognition. We have followed such a biological principle. As an example, we have developed an object tracking system utilizing the edge information to represent the object appearance. Our system shows a very robust tracking performance for an object moving under variety of disturbing conditions such as changing illumination, confusing busy background, object shape transformation, changing speed, partial occlusion etc. A robust ego-motion perception algorithm has also been developed based on the edge information. In order to understand the gesture of a person from motion pictures, a vector representation of an instantaneous motion has been developed. A temporal sequence of such vectors is analyzed by Hidden Markov Models (HMMs). For this purpose, a new HMM has been developed which we call *Self-Evaluating* HMM. With this new model, it is possible for a single *Self-Evaluating* HMM to judge if an input sequence matches to the model without referring to other models. Preliminary experiments of simple gesture recognition have confirmed the effectiveness of this approach.

深掘エッチングを応用した MEMS-LSI 融合デバイス

三田吉郎, 澤村智紀, 今井義明, 金 俊亨,
森下賢志

VDEC 所有 EB 装置を利用してナノリソグラフィを行ない、武田先端知ビル等の深掘り RIE 装置でエッチングを行なって、深掘りナノサイズ構造を作製、電子デバイスサイズ（10～1 ミクロン以下）のパターン精度でかつマイクロマシンサイズ（40 ミクロン以上）の深さを持つ垂直構造を積極的に利用した電子デバイス応用を試みている。最小サイズ 370 ナノメートル、アスペクト比 1:107 のトレンチ構造を作製することができるようになった。MEMS 用サブミクロンサイズの深掘り構造は、これまでせいぜいアスペクト比 1:10 程度であったが、本研究では一桁優れた結果を出している。このエッチング技術を基礎に、シリコンの垂直面の表面から不純物拡散を行って PN 接合とした「垂直フォトダイオード」を作製、既存の平面型ダイオードに比較して 25%～80% の効率向上ならびにクロストーク軽減ができることを示した研究、蒸着するだけで三次元配線のできる「セルフカットパターニング法」とその垂直型コイルへの応用、VDEC で試作した 0.15 μm 完全空乏型 Silicon on Insulator (FDSOI) LSI を、シリコーンゴム (PDMS) やガラス基板に接着し、支持層シリコンを完全にエッチングすることで活性部分だけを任意の表面に転写する「Silicon on PDMS」デバイスなどが新たに開発された。

LSI-MEMS integrated device by deep reactive ion etching technology

Y. Mita, T. Sawamura, Y. Imai, Kim Jun Hyoung,
S. Morishita

Silicon deep nano-fabrication technology of structures having both electron-device-scale (10 μm down to less than 1 μm) lateral resolution and MEMS-scale (more than 40 μm) depth, and application to electron devices is developed. VDEC's EB writer performs lithography and Deep RIE at Takeda Building performs etching. Our top data is aspect ratio 1:107 for trenches of 370 nm. This is the record ten times deeper as compared to ordinal submicron Deep-RIE technology. Based on the technology, a couple of new-concept devices are appearing such as: (1) a "vertical photodiode" that is made by thermal diffusion on the vertical wall of Si Deep Reactive Ion Etching (DRIE) and showed from 25% to 80% of photocurrent increase and crosstalk suppression as compared to conventional planar photodiode, (2) "Self-cut patterning method" that is a three-dimensional wiring technology by a simple evaporation on profile-controlled 3-D structure with an application of vertically-winded coils, and (3) "Silicon on PDMS" devices that is made by an active-layer transferring technology using 0.15 μm Fully-Depleted Silicon on Insulator (FDSOI) LSI pasted on silicone rubber (PDMS) or glass substrate and lost-wafer etching.

Ge Metal-Insulator-Semiconductor (MIS) 界面形成技術に関する研究

高木信一, 竹中 充, 笹田 崇, 岩崎敬志

高性能Ge MISFETを実現するための最大の課題は、良好なMIS界面特性の実現である。Ge上のMIS界面形成方法として、Ge基板を直接熱酸化することにより形成したGeO₂/Ge界面の電気的特性を調べたところ、1010 cm² 台後半の良好な界面特性が得られることが明らかとなった。また、界面準位が(100), (110), (111)の面方位に対してほとんど同じであることを見出した。また、GeO₂/Ge界面形成後に、ECRプラズマ窒化することで、良好なMOS界面を維持しつつ、プロセス耐性の高いGeON/Ge MOS界面を形成可能であることを示した。

Ge Metal-Insulator-Semiconductor (MIS) interface properties

S. Takagi, M. Takenaka, H. Matsubara, T. Sasada

One of the most critical issues on realizing high performance Ge MISFETs is the formation of MIS interfaces with high quality interface properties. We have fabricated GeO₂/Ge MOS interfaces by using thermal oxidation. It is found from these capacitors that the minimum values of the interface state density are less than 1011 cm² order and that the interface state densities of the GeO₂/Ge MOS capacitors on (100), (110), (111) Ge substrates are almost same. We have also found that GeON interfaces can be fabricated by ECR plasma nitridation with the same interface properties as the GeO₂/Ge MOS.

Ge Metal-Insulator-Semiconductor (MIS) FETに関する研究

高木信一, 竹中 充, Sanjeeva Dissanayake,
中北要佑, 森井清仁

低界面準位が得られることが分かったGe直接熱酸化MOS界面を用いたMOSFETの作製にはじめて成功した。Alメタルゲートをマスクとしたセルフアラインプロセスによりフロントゲート動作を達成し、Siのユニバーサル移動度に対して3倍程度の移動度が得られることを実証することに成功した。また、高性能Ge MISFETを実現するためのもうひとつの課題は、高品位のGeチャンネル層形成、特に極薄のGe-On-Insulator (GOI) 構造の形成と新しい高移動度チャンネル構造の実現である。今回、正孔移動度として極めて高い値が期待できる(110)面をもつGOI層を、酸化濃縮法による実現することに初めて成功するとともに、バックゲートによるMOSFETの動作を実証した。これは、(110)面 Ge MOSFETの初めてのデバイス動作実証である。移動度向上率は、Siのユニバーサル移動度と比較して、約1.4倍程度であり、今後更に、結晶性や界面特性の改善を図る必要がある。

Ge Metal-Insulator-Semiconductor (MIS) FETs

S. Takagi, S. Sugahara, T. Uehara, S. Dissanayake,
S. Tanabe, Y. Nakakita, K. Morii

We have successfully fabricated Ge pMOSFET by using GeO₂/Ge MOS interface with Dit of around 10¹² cm²eV⁻¹. The front gate MOSFET exhibited around 3 × mobility of the Si universal mobility. Another critical issue on realizing high performance Ge MISFETs is the establishment of the formation technologies of high quality Ge channels, particularly, ultrathin Ge-On-Insulator (GOI) channels accompanied by the new channel structures. We have succeeded in fabricating (110) surface ultrathin GOI structures, which are expected to provide high hole mobility, by using the Ge condensation technique. We have also successfully realized the MOSFET operation of the channels under the back gate operation. This is the first demonstration of (110) surface Ge MOSFETs. The hole mobility enhancement factor is around 1.4, which can be improved by optimizing the crystal quality of the GOI layers and the MOS interface properties.

III-V 族化合物半導体 Metal-Insulator-Semiconductor (MIS) FET に関する研究

高木信一, 竹中 充, 横山正史, 星井拓也,
灰本隆志, 中川翔太, キムサンヒョン

ディープサブ100 nm 世代では, 電流駆動力の増大のためは, キャリア輸送特性を向上させ続けることが不可欠であるが, n-MOSFET は, 二軸の引っ張りひずみによる移動度向上以上の手段に欠けている。このため, 近年, 電子移動度の高い III-V 族半導体 MISFET が興味をもたれている。我々は, このデバイス実現のために, 理論解析, Si 及び SiO₂ 上への高品質 III-V 薄膜層形成, 高品質の III-V MIS 構造の形成の観点で検討を進めている。これまでに ECR プラズマ窒化により形成した InP MOS 界面において, 従来から問題が指摘されている大きなヒステリシスを完全になくすことに成功している。また ECR プラズマ酸化により, 良好な InGaAs MOS 界面を形成可能であることを見出した。

III-V compound semiconductor Metal-Insulator-Semiconductor (MIS) FET

S. Takagi, M. Takenaka, M. Yokoyama, T. Hoshii,
T. Haimoto, S. Nakagawa, S. Kim

Enhancement of carrier transport properties in MOS channels is regarded as mandatory for continuous increase in the current drive under deep sub-100 nm regime. As for n-channel MOSFETs, however, any promising technologies after bi-axial tensile strain, which can provide the mobility enhancement of twice as high as in conventional Si n-MOSFETs, are still lacking. Thus, III-V semiconductor MISFETs, expected to have higher electron mobility, has recently stirred a strong interest. We have started to examine the feasibility of III-V semiconductor MISFETs on Si platform from the both aspects of theoretical predictions, the formation of III-V films on Si and SiO₂ and MIS interface formation technologies on III-V. As for the formation of the III-V MOS interface, we have demonstrated the InP MOS interface formed by ECR plasma nitridation. It was found that the plasma nitridation can reduce the hysteresis of the C-V characteristics. We have also found that the well-performed InGaAs MOS interface can be fabricated by the ECR plasma oxidation.

藤島研究室

Fujishima Laboratory

(<http://www.rfic.t.u-tokyo.ac.jp/>)

ミリ波 CMOS 回路の最適設計手法

藤島 実, 萬澤康雄, 夏莉洋平

近年の情報の大容量化を受け、家庭やオフィスなどでも高速な無線通信が求められている。そのような高速な無線通信を実現するために、無免許で広い帯域を使用することができる60GHz帯が注目されている。しかし、そのような高い周波数になると寄生成分の影響が大きくなり、正確な設計が困難になる。我々は、電源の特性が寄生成分によって悪化してしまうことを防ぐために、これらの寄生成分を排除する方法としてゼロオーム伝送線路を提案した。また、試作したデバイスの評価手法についても検討をし、寄生成分の影響下において従来の評価手法では誤差が大きいことを確認し、それを解決するための新しい評価手法であるスルーオンリー法を提案した。今後は、これらの技術を用いてミリ波帯回路の高精度な設計を目指す。

Optimum design method for millimeter-wave CMOS circuits

Minoru Fujishima, Yasuo Manzawa and
Youhei Natsukari.

Recently, high speed wireless communication is required in both office and home. Millimeter-wave (MMW) applications have been attracted much attention for their use in ultrahigh-speed wireless communication utilizing the unlicensed 70GHz band near 60GHz. However, design of circuits at MMW frequency tends to be difficult because of large parasitic elements. To prevent the degradation of a power line caused by such parasitic elements, we proposed a new power line named "zero-ohm transmission line", and it successfully removed the influences of the parasitics. We also found that a conventional evaluation method may cause large error, and proposed "Thru-Only de-embedding", a new evaluation technique, to solve the error. These methods are expected to realize accurate design of MMW CMOS circuits.

大信号回路の自動設計手法

藤島 実, 大橋俊介, 林 聖雄

ハイビジョンや高速なデジタル家電の普及に伴い、より高速な無線通信が求められるようになると考えられている。高速な短距離無線通信としてミリ波トランシーバが注目されており、製品化されるのもそう遠くは無いと考えられている。しかし、大衆向け電化製品の製品化サイクルは短いため、効率的な設計手法が必要と考えた。そこで、我々は大信号回路である発振器や分周器における自動設計に取り組んでいる。これまでに、大信号回路の解析手法としてアドミタンスバランス法を提案し、自動設計に組み込む際の処理手順などに関する検討がなされた。今後は、提案手法の妥当性とこれを利用した設計例を示せるようになることを目指す。

Automated design of large signal circuits

Minoru Fujishima, Shunsuke Ohashi and
Seongwoong Lim,

The popularization of high-definition television and high-speed digital electric household appliances has led us to consider the needs for faster wireless communication. Recently, the millimeter-wave transceiver has been attracting attention as a mean of high-speed wireless communication and it is thought to be commercialized in the near future. Since the product cycle of the general public electric household appliances has been short, we thought that efficient design method will be necessary. Currently, we are working on automated design of large signal circuits such as oscillator and frequency divider. We have proposed an analysis method "admittance balance method" and considered how it could be implemented in automated design program. For the future work, we will consider the adequacy of the proposed method and aim to show the circuits designed by automated design.

近年、無線通信技術の進歩によって携帯電話や無線LANなどが広がりを見せ、さらに、ごく最近ではデジタル家電の増加によって通信に対する容量的要求は拡大の一途をたどっている。この解決手段としてミリ波トランシーバが注目されており、製品化も目前と思われている。しかし、予測通りの結果が得られる設計をするには精密なデバイスのモデリングが欠かせない。そこで、我々はミキサに対してSパラメータによるモデリングを試みている。これまでに、既知ミキサと未知ミキサの組み合わせによる評価方法・測定系を検討し、その妥当性を検証した。今後はこれを利用したミキサの自動設計を実現することを目指す。

Automated design and modeling of mixer

Minoru Fujishima and Sho Ohashi

Recently, the popularity of mobile phone and wireless LAN increase with the development of the wireless communication, and the demands for the capability and speed of the communication enlarge due to the expansion of digital home electronics. The millimeter-wave transceiver has been attention as a solution for these issues, and its commercialization is thought to be close at hand. However, it is necessary to design as we expect to make accurate device modeling. Thus, we put mixer in perspective of scattering parameter to make the mixer model. So far, we have proposed the valuation and measurement by the combination of known mixer and unknown mixer and verify the adequacy of it. In the future, we aim to realize the mixer by using automated design.

150GHz 無線トランシーバ

藤島 実, Wasanthamal Badalawa,
Seongwoong Lim, 佐藤功一

無線通信の動作周波数は10Gbpsのイーサネット接続されたLANとのシームレスな接続を維持するために60GHzに移りつつある。しかしながら60GHz-1394無線ネットワークを用いても、通信速度は1.6GHzまでしか達成できていない。複素変調法を用いるとさらに高速な通信速度を達成することができるかもしれないが消費電力も増加してしまう。低消費電力用の高速通信速度を可能にする手段として動作周波数を100GHz以上にする方法がある。過去10年間はこの周波数範囲での化合物半導体を用いた集積回路設計の研究が主流になっている。しかし、CMOS半導体の微細化技術の進歩により、CMOS回路をさらに高い周波数で動作させることが可能になってきている。CMOSデバイスのゲート長を短くするとさらに高い電流利得周波数 (f_t) と最大発振周波数 (f_{max}) を達成することができる。超高速無線通信の要求を満たすために、今回CMOSを用いてDバンド用の電圧制御発振器 (VCO) を試作し、チューニングレンジ4.4%、発振周波数115GHzの性能を実現した。VCOのチューニングレンジを改善するために、一般的なVCOに用いられているバラクタを取り除き、クロスカップル型MOSFETのゲート-ドレイン間容量を、電源電圧を変化させることによって可変容量を実現した。

150GHz Wireless Transceiver

Minoru Fujishima, Wasanthamal Badalawa,
Seongwoong Lim, Koichi Sato

The operating frequency of wireless communication systems is shifting to 60GHz to maintain the seamless connection with 10Gbps ethernet wired LANs. However, even in the 60GHz 1394 wireless network, the data rate is limited to 1.6Gbps. Complex modulation methods will be able to reach to a higher data rate which also increases power consumption. A possible method of achieving a high data rate with low power consumption is to shift the operating frequency to higher than 100GHz. Over the past decade, research on integrated circuit designing using compound semiconductors is dominant in the frequency range above 100GHz. The rapid development of silicon based technologies has made it possible for CMOS circuits to operate higher frequencies. The scaling down of the gate length of CMOS devices could be able to achieve the higher unit current-gain frequency (f_t) and maximum oscillation frequency (f_{max}). To satisfy consumer demands for ultrahigh-speed wireless communication, voltage controlled oscillators (VCOs) in the D-band using CMOS; a 115GHz VCO with a 4.4% tuning range is realized. To improve the tuning range of the VCO, the conventional varactors are removed and

the variation of the gate-drain capacitance in the cross-coupled MOSFETs with supply voltage is utilized.

HDMI用超小型周波数合成器

藤島 実, 王 帆

近年, HDMIという家電向け画像, 音声伝送規格が急速に普及している. 携帯用マルチメディアへの搭載も期待されているため, HDMIトランシーバの中で用いられる周波数合成器の低コスト化, 小型化及び広帯域化に対する要求が高まっている. しかし, 従来のアナログ周波数合成器では大きなキャパシタを用いるので微細化できない. そこで, 我々は微細化可能な新しい周波数合成器アーキテクチャを提案し, 出力が480MHz~1.6GHzで, 10通倍の周波数合成を実現した. 今後, 広いチューニングレンジ且つ低い雑音ノイズを持った超小型周波数合成器システムの実現を目指す.

Compact Frequency Synthesizer for HDMI

Minoru Fujishima and Fan Wang

Recently, the high-definition multimedia interface (HDMI) as a licensable compact audio/video wire-line interface has been rapidly spreading. There is an increasing requirement for a low-cost, compact frequency synthesizer with a wide tuning range for HDMI transceiver used in mobile applications. However, since the conventional frequency synthesizers require large capacitors in a loop filter, they can not be scaled down with scaling MOSFETs. Thus, we proposed a new scalable frequency synthesizer which use injection locked. we realized output frequency is 480MHz ~ 1.6GHz. The compact frequency synthesizer with a wide tuning range and low phase noise are currently studying by using the proposed architecture and technique in this research.

生体センサ用ミリ波トランシーバ

藤島 実, 足立恵理子, 高野恭弥

近年, マイクロ波帯 (10GHz, 24GHz) で生体の特性を利用した生体計測が行われており, 侵入者の監視など無線生体センサは様々な所で活用されている. しかし, 新生児の生体計測は有線センサが主流なため長時間使用することは困難であった. それを無線化にすることによって24時間モニタリングを可能にし, また, 周波数をミリ波帯 (60GHz) にすることによって高解像度化の実現を目指している. 現在は, QVCO, PA, LNA, Mixerなど個々のコンポーネントについて検討を行っている. CMOSプロセスを用いることにより小型化, 低コスト, 低消費電力の実現を目指しており, 今後は各コンポーネントを接続しシステムとする予定である.

Millimeter-wave transceiver for biomedical sensors

Minoru Fujishima, Eriko Adachi and Kyoya Takano

Recently, biomedical instrumentations using biomedical characteristics are applied for security sensors and wireless medical body sensors in microwave band (10GHz, 24GHz). However, the wired sensors are popular for newborn baby's bioinstrumentation. The 24 hour monitoring is enabled by making it wireless. And the millimeter waveband (60GHz) realizes higher resolution. Individual devices such as QVCO, PA, LNA, and Mixer are designed now. Moreover, it aims to realize small chip size, low cost, and low power consumption using CMOS process. Connected parts of QVCO and PA are scheduled to be improved in the future.

Fe-NAND フラッシュメモリの研究

フラッシュメモリをより一層大容量化する可能性を持ったFe-NANDフラッシュメモリを2008年のNVSMWで世界で初めて提案しました（産総研の酒井グループと共同）。Fe-NANDはメモリトランジスタのゲート絶縁膜を、従来のLSIでは使われていない強誘電体膜SrBiTaOと絶縁膜HfAlOの積層で構成しています。Fe-NANDでは電界によって強誘電体の結晶格子内のイオンを移動させて情報を記憶するため、数ナノメートル（格子サイズ）の極限まで微細化できることが期待されています。また、書き換え電圧を従来の20Vから6Vに大幅に低減することで低消費電力化、書き換え回数を従来の1万回から1億回に高めることで高信頼性化を実現できます。Fe-NANDの大容量・高信頼性・低消費電力の利点を生かして、データセンターのストレージへの応用を目的に研究を進めています。

Fe (Ferroelectric) -NAND Flash Memory

Takeuchi Lab. is developing a Fe-NAND flash memory with Sakai group at AIST. We proposed the world's first Fe-NAND flash memory at NVSMW in 2008. Fe-NAND is composed of ferroelectric field-effect transistors (FeFET) whose gate dielectric consists of a ferroelectric layer, SrBiTaO and a high-K dielectric layer, HfAlO.

It is difficult to scale down the conventional floating-gate (FG) NAND flash memories below 10nm due to the serious interference with neighboring cells, reduced electrons and the random telegraph noise. The charge-trap memories like MONOS have short data retention problems. Current-driven resistive switching memories such as MRAM, PRAM and RRAM are unscalable below 10 nm because of the significant IR drop of the bit-line.

On the other hand, Fe-NAND is voltage-driven and is in principle scalable below 10nm to the crystal unit-cell size because the data is stored with an electric polarization in a ferroelectric gate insulator. Fe-NAND can be programmed and erased as many as 100 million cycles with a low program voltage of 6V, whereas the conventional flash memory are programmed as low as ten thousand cycles and the program voltage is as high as 20V. Due to the voltage-driven, low-voltage and high-reliability operation, Fe-NAND is expected to replace a HDD at data centers to realize an environment-friendly IT platform.

3次元LSI回路設計の研究

LSIを小型化・高機能化・低電力化する技術として、マイクロプロセッサ・イメージセンサ・アナログ回路・DRAM・フラッシュメモリなど複数のLSIを1個のパッケージ内に積み重ね、1個のLSIとして機能させる3次元LSIの研究を行っています（生産技術研究所桜井・高宮研究室と共同）。従来の研究では各種LSIは独立して最適化されました。当研究室では異種LSI間のレ

3D-LSI Circuit Design

Takeuchi Lab. is developing circuit technologies of three dimensional LSIs where multiple LSIs such as micro processors, image sensors, analog circuits, DRAMs and flash memories are stacked in one package. With an intelligent mix and match, various circuits such as analog, digital and memory are best optimized. As a result, an ultra small form factor, multi-functional,

イヤーを超えて、領域を横断して最適化することで、低電力・高機能なLSIを実現します。3次元LSIの中でも特に、フラッシュメモリ・DRAM・フラッシュメモリコントローラーを1個のパッケージ内に3次元に集積化 (SiP: System in Package) したSSD (Solid-State Drive)の研究に力を入れています。アダプティブ制御のブーストコンバータを用いた電源回路を開発し、3次元SSDの消費電力を70%削減できることを、実際にチップを設計・試作・評価することで実証しました。研究成果は2009年2月に半導体のオリンピックと言われるISSCC (International Solid-State Circuit Conference) で発表しました。

high-speed and low power consumption solution is realized. As a demonstration of 3D-LSI, we successfully developed a 3D-SSD, Solid-State Drive, which contains flash memories, DRAMs and a flash memory controller with SiP. At ISSCC 2009, we presented a boost converter-based adaptive voltage generator for a 3D-SSD. Through the circuit design, chip fabrication and chip evaluation, we experimentally demonstrated that the power consumption of the NAND flash memory decreases by 70% by dynamically controlling the frequency and the duty cycle. We are working on this project with Sakurai and Takamiya laboratory at University of Tokyo.

SSD (Solid-State Drive) システムの研究

SSD (Solid-State Drive) System

システム分野では、パソコンの記憶媒体として注目されている、Solid-State Driveの研究を行っています。フラッシュメモリと、メモリを制御するコントローラーチップのアーキテクチャーの革新により、消費電力を半減することに成功し、2008年6月のSymposium on VLSI Circuitsで発表しました。Fe-NANDフラッシュメモリのようなデバイス技術、3次元LSIのような回路技術に加えて、メモリ制御システムのイノベーションにより、SSDメモリシステムの電力を劇的に削減し、地球環境の改善に貢献することを目指しています。

In addition to the research on the circuit design and the device, Takeuchi Lab. is working on the system especially on a low-power high-speed SSD, Solid-State Drive, system. As the capacity of NAND flash memories drastically increases, SSD that uses NAND as a mass storage of PC and an enterprise server is attracting much attention. SSD is composed of as many as 64 NAND flash memories, DRAMs and a NAND controller. By co-designing NAND flash memory and NAND controller circuits, we succeeded in best optimizing both NAND and NAND controllers. As a result, at sub-30nm generation, the SSD speed will be improved by 150% without a cost penalty or circuit noise. The research results were presented at Symposium on VLSI Circuits in 2008.

3次元メモリデバイス の研究

3D Memory Device

10年後の実用化という長期的な視野に立った研究として、従来の半導体メモリに無い新しい機能を持ったメモリの研究を行っています。強相関物質で構成する抵抗とダイオードから成る、3次元メモリにより、テラビットクラスの大容量を実現することが期待されています。

As for a long-term fundamental research, targeting a commercialization in 10 years, Takeuchi Lab. is making a research on a new functional memory device. By introducing unique materials such as multiferroic materials as memory elements, tera-bit capacity new functional memories are expected.

浅田・池田・名倉研究室 研究論文

- [1] M. Sasaki, M. Ikeda and K. Asada, "A Temperature Sensor With an Inaccuracy of $-1/+0.8^{\circ}\text{C}$ Using 90-nm 1-V CMOS for Online Thermal Monitoring of VLSI Circuits," *Semiconductor Manufacturing, IEEE Transactions*, Vol. 21, Issue 2, pp. 201-208, May. 2008.

国際会議論文

- [1] M. Ikeda, "Smart Image Sensors," University of Tokyo – INRIA – Ecole des Mines Paris – INRETS Joint Symposium on Electronics for Secure Life, Jul. 2008.
- [2] K. Asada, "Introduction to VDEC activities for design and Manufacturing in microelectronics," University of Tokyo – UC Santa Barbara Joint Workshop, Sept. 2008.
- [3] M. Ikeda, "Delay Variation Measurements on DCVSL Using Logic Tester," University of Tokyo – UC Santa Barbara Joint Workshop, Sept. 2008.
- [4] J.Kim, K.Ikai, T.Nakura, M.Ikeda, K.Asada, "Variation Tolerant Transceiver Design for System-on-Glass," in *IEEE 34th European Solid-State Circuits Conference (ESSCIRC) Fringe*, Sep. 2008.
- [5] M. Ikeda, "Self-synchronous architecture for margin aware operations against PVT variations," Shanghai Jiao Tong University – University of Tokyo Joint Symposium on Electronics, Information Technology, and Electrical Engineering, D-2, Oct. 2008.
- [6] S.Mandai, T.Monma, T.Nakura, M.Ikeda, and K.Asada, "Multi Functional Range Finder Employing a Dual Imager Core on a Single Chip", *International SoC Design Conf. (ISOCC) 2008*, pp. 89-92.
- [7] K. Ikai, J. Kim, M. Ikeda, and K. Asada, "Digital Integrated Circuit Design for System-on-Glass," *Proceedings of International SoC Design Conference*, pp. 172-175, Nov. 2008.
- [8] Y.K. Kim, M. Ikeda, and K. Asada, "Analysis on light attenuation through Multi-Metal-Layers

for CMOS image sensors on System LSIs," *International SoC Design Conference*, No. 94, Nov. 2008.

- [9] [Invited] K. Asada, "Nanotech-Net Project as an Academic-Industry Collaboration Platform," the 8th Taiwan-Japan Microelectronics Symposium 2008, 1-2, Dec. 2008.
- [10] [Invited] M. Ikeda, "Self-Synchronous Architecture for Power Optimal Operations against PVT Variations," the 8th Taiwan-Japan Microelectronics Symposium 2008, 4-6, Dec. 2008.
- [11] K. Ikai, J. Kim, M. Ikeda, and K. Asada, "Circuit Design using Stripe-Shaped TFTs on Glass" *Proceedings of IEEE Asia and South Pacific Design Automation Conference*, pp. 105-106, Jan. 2009.
- [12] S. Mandai, M. Ikeda, *ISSCC 2009 Student Forum SF-4-1*, Feb. 2009.

シンポジウム・研究会・大会等発表

- [1] [Invited] M. Ikeda, "Studies on Wide Dynamic Range Image Sensors," *IST2008-42*, pp. 21-24, Information Sensing Research Committee, The Institute of Image Information and Television Engineers (ITE), Sept. 2008.
- [2] Y.K.Kim, M. Ikeda and K. Asada, "Analysis of light transmission on multilayer interconnect for color CMOS image sensors." *IEICE Society Conference*, A-3-3, Sep. 2008.
- [3] Keita Ikai, Makoto Ikeda, Kunihiro Asada, "Digital Integrated Circuit Design for Stripe-Shaped TFT," *IEICE Society Conference*, A-3-13, Sep. 2007. (in Japanese)
- [4] J.Kim, K.Ikai, T.Nakura, M.Ikeda, K.Asada, "Digital Transceiver Circuit Design for Immune Device Parameter Variation" *IEICE Society Conference*, B-5-34, Sep. 2008. (in Japanese)
- [5] [Invited] M. Ikeda, H. Sumi "Report on ISSCC 2009 Medical Image Sensors Forum," *IST2009-11*, pp. 13-16, Information Sensing Research Committee, The Institute of Image Information and Television Engineers (ITE), Mar. 2009.
- [6] MyeongGyu Jeong, Makoto Ikeda, Kunihiro Asada, "Dynamic Circuit Design for Self-timed

- Fine-grained Pipeline Architecture", IEICE General Conference, C-12-11, Mar. 2009.
- [7] D.Nakamura, H. Yoshida, S.Komatsu, M.Sasaki, M.Ikeda and K.Asada, "Implementation and Chip Size Evaluation of an Realtime Onchip Monitoring System for Reliability of LSI," IEICE General Conference, C-12-19, Mar. 2009. (in Japanese)
- [8] S. Mandai, T. Nakura, M. Ikeda, K. Asada, ", ", IEICE General Conference, C-12-72, Mar. 2009.

藤田研究室 研究論文

- [1] M. Fujita, K. Seto, and T. Sakunkonchak, "Dependence Graph Based Verification and Synthesis of Hardware/Software Co-Designs with SAT Related Formulation," Journal on Satisfiability, Boolean Modeling and Computation, Vol. 5, pp. 57-82, June 2008.

国際会議

- [1] M. Fujita, T. Matsumoto, and H. Yoshida, "A HW/SW Co-Reuse Methodology Based on Design Refinement Templates in UML Diagrams," Prof. on Third International Conference on Software and Data Technologies, Vol. SE, pp. 240-245, Apr. 2009.
- [2] H. Yoshida, S. Morishita, and M. Fujita, "Hardware Accelerated Formal Verification," Proc. of International Workshop on Logic and Synthesis, pp. 247-252, June 2008.
- [3] H. Yoshida and M. Fujita, "Improving the Accuracy of Rule-based Equivalence Checking of System-level Design Descriptions by Identifying Potential Internal Equivalences," Proc. of IEEE International Symposium on Quality Electronic Design, Mar. 2009.
- [4] O. Sarbishei, B. Alizadeh, and M. Fujita, "Arithmetic Circuits Verification without Looking for Internal Equivalences," Proc. of IEEE International Conference on Formal Methods and Models for Codesign, pp. 97-104, June 2008.
- [5] Y. Lee, Y. Ishikawa, T. Nishihara, Y. Kojima, T. Matsumoto, H. Yoshida, H. Yomiya, and M. Fujita, "UML-based specification level design and property checking methodology of SoC," Proc. of UML-Workshop in Design Automation Conference, pp.

25-30, June 2008.

- [6] B. Alizadeh and M. Fujita, "Modular-HED: A Canonical Decision Diagram for Modular Equivalence Verification of Polynomial Functions," Proc. of 5th International Workshop on Constraints in Formal Verification, pp. 22-40, Aug. 2008.
- [7] T. Nishihara, T. Matsumoto, and M. Fujita, "Multi-Level Bounded Model Checking to Detect Bugs Beyond the Bound," Proc. of IEEE International High Level Design Validation and Test Workshop, pp. 49-55, Nov. 2008.
- [8] Y. Kojima, T. Nishihara, T. Matsumoto, and M. Fujita, "An Interactive Verification and Debugging Environment by Concrete/Symbolic Simulations for System-level Designs," Proc. of The 17th Asian Test Symposium, pp. 315-320, Nov. 2008.
- [9] Y. Kojima, T. Nishihara, T. Matsumoto, and M. Fujita, "FLEC: A Framework for System-level Debugging Support, Formal Verification and Static Analysis," Proc. of The 15th Workshop on Synthesis and System Integration of Mixed Information Technologies, pp. 341-346, March 2009.
- [10] S. Gao, T. Matsumoto, H. Yoshida, and M. Fujita, "Equivalence Checking of Loops Before and After Pipelining by Applying Symbolic Simulation and Induction," Proc. of The 15th Workshop on Synthesis and System Integration of Mixed Information Technologies, pp. 380-385, March 2009.

国内学会，研究会等

- [1] 西原佑, 松本剛史, 藤田昌宏, "プロパティ分割と限定モデル検査を利用した長い反例を持つ設計誤りの検出方法," DA シンポジウム論文集, pp. 121-126, 2008年8月.
- [2] 吉田浩章, 藤田昌宏, "内部等価点の推定によるルールベース高位検証の高精度化," 電子情報通信学会技術研究報告, Vol. 108, No. 298, pp. 109-114, 2008年11月.
- [3] 松本剛史, 李蓮福, 吉田浩章, 余宮尚志, 藤田昌宏, "反例を利用した網羅性の高いプロパティ集合生成手法," 電子情報通信学会技術研究報告, Vol. 108, No. 298, pp. 115-120, 2008年11月.
- [4] 許金美, 西原佑, 松本剛史, 藤田昌宏, "順序回路の上位設計記述における等価性指定の自動化

手法,” 電子情報通信学会技術研究報告, Vol. 108, No. 412, pp. 105-110, 2009年1月.

- [5] 高飛, 西原佑, 松本剛史, 藤田昌宏, “仕様から自動生成されたプロパティによるプロトコル変換機の形式的検証手法,” 電子情報通信学会技術研究報告, Vol. 108, No. 412, pp. 111-116, 2009年1月.
- [6] 李蓮福, 松本剛史, 藤田昌宏, “上位設計記述におけるダイナミックプログラムスライシングを用いたポストシリコンデバッグ支援手法,” 電子情報通信学会技術研究報告, Vol. 108, No. 463, pp. 31-36, 2009年3月.
- [7] 原田裕基, 西原佑, 松本剛史, 藤田昌宏, “システムレベル設計における並列動作の同期に関するデバッグ支援手法,” 電子情報通信学会技術研究報告, pp. 37-42, 2009年3月.
- [8] 田川貴聡, 吉田浩章, 藤田昌宏, “チップ内プログラマブル配線向け形式的検証手法,” 電子情報通信学会技術研究報告, Vol. 108, No. 478, pp. 95-100, 2009年3月.
- [9] 谷田英生, 吉田浩章, 松本剛史, 藤田昌宏, “リンク長及びレイテンシ制約下でのネットワークオンチップのトポロジ自動生成,” 電子情報通信学会技術研究報告, Vol. 108, No. 478, pp. 129-134, 2009年3月.

高木・竹中研究室 研究論文

- [1] M. Deura, T. Hoshii, T. Yamamoto, Y. Ikuhara, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, “Dislocation-free InGaAs on Si (111) using micro-channel selective-area metalorganic vapor phase epitaxy,” *Appl. Phys. Express.*, Vol. 2, 011101, 2009.
- [2] M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, “Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si,” *J. Crystal Growths.*, Vol. 310, pp. 4768-4771, 2008.
- [3] K. Takeda, Y. Kanema, M. Takenaka, T. Tanemura, and Y. Nakano, “Polarization-insensitive all-optical flip-flop using tensile-strained multiple quantum wells,” *IEEE Photonics Technology Letters*, Vol. 20, No. 22, pp. 1851-1853, 2008.
- [4] H. Matsubara, T. Sasada, M. Takenaka, S. Takagi, “Evidence of low interface trap density in GeO₂/Ge metal-oxide-semiconductor structures fabricated

by thermal oxidation,” *Appl. Phys. Lett.*, Vol. 93, 032104, 2008.

- [5] T. Hoshii, M. Deura, M. Sugiyama, R. Nakane, S. Sugahara, M. Takenaka, Y. Nakano, and S. Takagi, “Epitaxial lateral overgrowth of InGaAs on SiO₂ from (111) Si micro channel areas,” *Phys. Stat. Sol.*, Vol. C-5, No. 9, pp. 2733-2735, 2008.
- [6] T. Tanemura, M. Takenaka, A. Al Amin, K. Takeda, T. Shioda, M. Sugiyama, and Y. Nakano, “InP/InGaAsP integrated 1x5 optical switch using arrayed phase shifters,” *IEEE Photonics Technology Letters*, Vol. 20, No. 12, pp. 1063-1065, 2008.

国際会議論文

- [1] Y. Nakakita, R. Nakane, T. Sasada, H. Matsubara, M. Takenaka and S. Takagi, “Interface-controlled Self-Align Source/Drain Ge pMOSFETs Using Thermally-Oxidized GeO₂ Interfacial Layers,” *International Electron Devices Meeting (IEDM '08)*, 35-6, San Francisco, December 2008.
- [2] Y. Zhao, M. Takenaka and S. Takagi, “Comprehensive understanding of surface roughness and Coulomb scattering mobility in biaxially-strained Si MOSFETs,” *International Electron Devices Meeting (IEDM '08)*, 23-3, San Francisco, December 2008.
- [3] T. Sasada, Y. Nakakita, M. Takenaka and S. Takagi, “Surface orientation dependence of interface properties of GeO₂/Ge MOS structures fabricated by thermal oxidation,” *IEEE Semiconductor Interface Specialists conference (SISC '08)*, 6-4, San Diego, December 2008.
- [4] T. Haimoto, T. Hoshii, M. Takenaka and S. Takagi, “Improvement of MIS interfacial properties by direct nitridation of InP surfaces,” *IEEE Semiconductor Interface Specialists conference (SISC '08)*, P16, San Diego, December 2008.
- [5] T. Yasuda, N. Miyata, H. Ishii, T. Itatani, O. Ichikawa, N. Fukuhara, M. Hata, A. Ohtake, T. Haimoto, T. Hoshii, M. Takenaka, and S. Takagi, “Impact of cation composition and surface orientation on electrical properties of ALD-Al₂O₃/III-V interfaces,” *IEEE Semiconductor Interface Specialists conference (SISC '08)*, P7, San Diego, December 2008.
- [6] M. Takenaka, S. Tanabe, S. Dissanayake, S.

- Sugahara, and S. Takagi, "Ge Photodetector integrated with Ge-on-Insulator MOSFET by using Oxidation Condensation Technique," Annual Meeting of the *IEEE Lasers and Electro-Optics Society (LEOS'08)*, MN2, Newport Beach, November 2008.
- [7] K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, "Wavelength tunability of all-optical flip-flop using distributed bragg reflectors," Annual Meeting of the *IEEE Lasers and Electro-Optics Society (LEOS'08)*, TuF5, Newport Beach, November 2008.
- [8] S. Nakagawa, M. Yokoyama, O. Ichikawa, M. Hata, M. Tanaka, M. Takenaka, S. Takagi, "Fabrication of III-V MOS structure by using selective oxidation of InAlAs," *International Conference on Solid State Devices and Materials (SSDM'08)*, G-9-4, Tsukuba, September 2008.
- [9] K. Morii, S. Dissanayake, S. Tanabe, R. Nakane, M. Takenaka, S. Sugahara and S. Takagi, "Evaluation of Electron and Hole Mobility at Identical MOS Interfaces by using Metal Source/ Drain GOI MOSFETs," *International Conference on Solid State Devices and Materials (SSDM'08)*, B-1-4, Tsukuba, September 2008.
- [10] T. Sasada, H. Matsubara, M. Takenaka and S. Takagi, "Improvement of Interface Properties of GeO₂/Ge MOS Structures Fabricated by Thermal Oxidation," *International Conference on Solid State Devices and Materials (SSDM'08)*, A-1-3, Tsukuba, September 2008.
- [11] K. Takeda, Y. Kanema, M. Takenaka, T. Tanemura, and Y. Nakano, "Dynamic Operation of Polarization Insensitive All-Optical Flip-Flop Based on Multimode-Interference Bistable Laser Diode," *European Conference on Optical Communication (ECOC'08)*, We2.C.2, Brussels, September 2008.
- [12] M. Takenaka, "Challenge for Large Scale Integration of MMI-BLD Optical Flip-Flop," *Photonics in Switching (PS'08)*, WS2-2, Sapporo, August 2008 (Invited paper).
- [13] M. Deura, T. Hoshii, M. Sugiyama, R. Nakane, M. Takenaka, S. Sugahara, S. Takagi, and Y. Nakano, "Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si," *International Conference of MOVPE (ICMOVPE'08)*, We-B2.6, Metz, June 2008.
- [14] K. Takeda, Y. Kanema, M. Takenaka, T. Tanemura, and Y. Nakano, "Polarization insensitive operation of multimode interference bistable laser all-optical flip-flop," *Indium Phosphide and Related Materials (IPRM'08)*, WeP45, Versailles, May 2008.

シンポジウム・研究会・大会等発表

- [1] 竹中 充, 杉山正和, 中野義昭, 高木信一, 「MOVPEによる砒素気相ドーピングのGe面方位依存性」, 第56回応用物理学関係連合講演会, 1a-T-1, 筑波大学, 2009年4月.
- [2] 竹中 充, 武田浩司, 星井拓也, 杉山正和, 中野義昭, 高木信一, 「III-V nMOSFET実現に向けた埋め込み再成長n+InP S/D形成」, 第56回応用物理学関係連合講演会, 30p-T-15, 筑波大学, 2009年3月.
- [3] 竹中 充, 横山正史, 星井拓也, 出浦桃子, 灰本隆志, 金 相賢, 杉山正和, 高木信一, 「超薄膜III-V-OI MOSFET実現に向けたチャネルおよび接合形成技術」, 第56回応用物理学関係連合講演会, 1p-X-8, 筑波大学, 2009年4月.
- [4] 武田浩司, 竹中 充, 種村拓夫, 中野義昭, 「MZI双安定レーザーによる静的全光フリップ・フロップ動作の実証」, 第56回応用物理学関係連合講演会, 1p-B-12, 筑波大学, 2009年4月.
- [5] 星井拓也, 横山正史, 山田 永, 秦 雅彦, 安田哲二, 竹中 充, 高木信一, 「ECRスパッタSiO₂膜を用いたInGaAs MOSキャパシタの界面特性向上」, 第56回応用物理学関係連合講演会, 31a-S-6, 筑波大学, 2009年3月.
- [6] 森井清仁, 中根了昌, 杉山正和, 中野義昭, 竹中 充, 高木信一, 「MOVPE装置を用いたAs気相ドーピングによるGe p-n接合の電気特性」, 第56回応用物理学関係連合講演会, 1a-T-2, 筑波大学, 2009年4月.
- [7] 高木信一, 竹中 充, 「パリストイックMOSFETの駆動電流に与えるキャリアの有効質量の効果」, 第56回応用物理学関係連合講演会, 1p-V-5, 筑波大学, 2009年4月.
- [8] 中北要佑, 中根了昌, 笹田 崇, 竹中 充, 高木信一, 「熱酸化GeO₂/Ge MOS界面を用いたGe pMOSFETの移動度決定機構」, 第56回応用物理学関係連合講演会, 1p-V-14, 筑波大学, 2009年4月.
- [9] 灰本隆志, 中川翔太, 星井拓也, 竹中 充, 高木信一, 「InP表面の直接窒化によるMISFETの作製とその電気的評価」, 第56回応用物理学関係連合講演会, 1p-V-15, 筑波大学, 2009年4月.
- [10] 近藤佳幸, 出浦桃子, 竹中 充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEにおけるSi上

InAs核発生の成長条件依存性], 第56回応用物理学関係連合講演会, 2a-J-6, 筑波大学, 2009年4月.

- [11] 出浦桃子, 近藤佳幸, 星井拓也, 竹中 充, 高木信一, 中野義昭, 杉山正和, 「多段階成長を用いた微小領域選択MOVPEにおけるSi上InGaAsの面内均一化」, 第56回応用物理学関係連合講演会, 2a-J-7, 筑波大学, 2009年4月.
- [12] 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野義昭, 杉山 正和, 「Si 上InGaAs の微小領域選択MOVPEにおける横方向成長促進と均一性向上」, 化学工学会第74年会, 横浜国立大学, 2009年3月.
- [13] 竹中充, 田辺聡, S. Dissanayake, 菅原聡, 高木信一, 「酸化濃縮法を用いたGe PDとGe-on-Insulator MOSFETの集積化の検討」, 第69回応用物理学学会学術講演会, 5p-ZN-1, 中部大学, 2008年9月.
- [14] S. Dissanayake, Y. Shuto, S. Sugahara, M. Takenaka, and S. Takagi, 「Electrical Characteristics of (110)-oriented Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Method」, 第69回応用物理学学会学術講演会, 2a-E-6, 中部大学, 2008年9月.
- [15] 灰本隆志, 星井拓也, 竹中 充, 高木信一, 「InP表面の直接窒化によるMIS界面特性の改善」, 第69回応用物理学学会学術講演会, 4p-CB-15, 中部大学, 2008年9月.
- [16] 安田哲二, 宮田典幸, 石井裕之, 板谷太郎, 市川 磨, 福原 昇, 秦 雅彦, 大竹晃浩, 灰本隆志, 星井拓也, 竹中 充, 高木信一, 「InGaAs上へのAl₂O₃のALD成長による良好なMIS界面特性の実現」, 第69回応用物理学学会学術講演会, 4p-CB-16, 中部大学, 2008年9月.
- [17] 出浦桃子, 星井拓也, 山本剛久, 幾原雄一, 竹中 充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEにおけるSi上InGaAsのGa組成と結晶構造」, 第69回応用物理学学会学術講演会, 4a-CF-2, 中部大学, 2008年9月.
- [18] 武田浩司, 竹中 充, 種村拓夫, 中野義昭, 「DBR-MMI-BLD全光フリップ・フロップの波長可変特性」, 第69回応用物理学学会学術講演会, 4a-ZN-6, 中部大学, 2008年9月.
- [19] 武田浩司, 竹中充, 種村拓夫, 中野義昭, 「分布ブラッグ反射鏡を用いた全光フリップ・フロップの波長可変特性」, 電子情報通信学会PN研究会, 小樽, 2008年8月.
- [20] 出浦桃子, 星井拓也, 竹中充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEにおけるSi上InGaAsの成長機構に対するGa組成の影響」, 第

27回電子材料シンポジウム, B-5, 伊豆, 2008年7月.

竹内研究室 国際会議

- [1] Shigeki Sakai, Mitsue Takahashi, Ken Takeuchi, Qiu-Hong Li, Takeshi Horiuchi, Shouyu Wang, Kwi-Young Yun, Makoto Takamiya, and Takayasu Sakurai, "Highly Scalable Fe (Ferroelectric) -NAND Cell with MFIS (Metal-Ferroelectric-Insulator-Semiconductor) Structure for Sub-10nm Tera-Bit Capacity NAND Flash Memories," *IEEE Non-volatile Semiconductor Memory Workshop (NVSMW)*, pp. 103-104, May 2008.
- [2] Ken Takeuchi, "Novel Co-design of NAND Flash Memory and NAND Flash Controller Circuits for sub-30nm Low-Power High-Speed Solid-State Drives (SSD)," *IEEE Symp. on VLSI Circuits*, pp. 124-125, June 2008.
- [3] Ken Takeuchi, "Solid-State Drive (SSD) and Memory System Innovation," *University of Tokyo-INRIA-Ecole des Mines Paris-INRETS Joint Symposium*, pp. 111-139, July, 2008.
- [4] Ken Takeuchi, "Emerging Nanoscale Non-volatile Semiconductor Memories," *Bilateral Workshop on Nanoscale Systems*, pp. 6-9, July, 2008.
- [5] Ken Takeuchi, "Emerging 3D-Memory Device," *2008 Taiwan & Japan Semiconductor Technology Forum*, October 2008. (招待講演)
- [6] Ken Takeuchi, "Solid-State Drive (SSD) and Memory System Innovation," *Shanghai Jiao Tong University-University of Tokyo Joint Symposium on Electronics, Information Technology, and Electrical Engineering*, October 2008.
- [7] Teruyoshi Hatanaka, Ryoji Yajima, Shigeki Sakai, Mitsue Takahashi, Qiu-Hong Li, Takeshi Horiuchi, Shouyu Wang, Kwi-Young Yun, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "Highly Scalable Fe (Ferroelectric)-NAND Cell with MFIS (Metal-Ferroelectric-Insulator-Semiconductor) Structure for Sub-10 nm Tera-Bit Capacity NAND Flash Memories," *International Symposium on Secure-Life Electronics*, January 2009.
- [8] Koichi Ishida, Tadashi Yasufuku, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "A 1.8V 30nJ Adaptive Program-Voltage (20V) Generator for 3D-Integrated NAND Flash SSD," *IEEE*

International Solid-State Circuits Conference (ISSCC), pp. 238-239, February 2009.

- [9] Ken Takeuchi, "Memory System Innovation with SSD and Emerging Memories," *IEEE International Solid-State Circuits Conference (ISSCC)*, Memory Forum F-1, February 2009. (招待講演)
- [10] Ken Takeuchi, "3D LSI Design for MEMS Application," Japan-Taiwan CMOS MEMS Workshop, pp. 113-131, March 2009. (招待講演)

国内学会，研究会等

- [1] 竹内健, "SSD 動向と NAND フラッシュメモリ", 電子情報通信学会 集積回路研究会, 2008年4月. (招待講演)
- [2] 竹内健, "大容量フラッシュメモリの可能性を探る～進行するフラッシュ革命のインパクト～", 電子情報通信学会 集積回路研究会, 2008年4月.
- [3] 竹内健, "フラッシュメモリの最新技術動向-SSDへの応用", 情報処理, Vol. 49, No. 9, pp. 1090-1098, 2008.
- [4] 竹内健, "SSD がもたらすメモリシステムの革新と Post NAND フラッシュメモリの技術動向", JEITA ナノエレクトロニクス技術分科会, 2008年11月12日. (招待講演)
- [5] 竹内健, "HDDの代替を目指すフラッシュメモリの現状と課題", *Electronic Journal* 第192回 Technical Symposium・フラッシュメモリ/SSD 徹底検証, 基調講演, 2008年11月26日. (招待講演)
- [6] 竹内健, "VLSI回路設計手法とMEMSモデリング", 電気等価回路から考えるMEMS設計手法研究会, 2008年11月. (招待講演)
- [7] 竹内健, "VLSI回路設計手法とMEMSモデリング", 第7回ファインMEMSシステム化設計プラットフォーム検討委員会, 2008年12月3日 (招待講演)

- [8] 竹内健, "使い手のためのSSDのすべて", 日経エレクトロニクス メモリ・システム・シンポジウム・モバイル新時代に向けたメモリ技術総覧, 2008年12月9日. (招待講演)
- [9] 竹内健, "不揮発性機能デバイスと新アプリケーション", 新機能素子研究開発協会 新機能トランジスタ調査委員会, 2009年2月18日. (招待講演)
- [10] 石田光一, 安福正, 高宮真, 桜井貴康, 竹内健, "NAND型フラッシュ SSD向け20Vブーストコンバータの制御方式(その1) (A Control Method of 20V Boost Converter for NAND Flash SSD)", 電子情報通信学会総合大会, 2009年3月.
- [11] 安福正, 石田光一, 高宮真, 桜井貴康, 竹内健, "NAND型フラッシュ SSD向け20Vブーストコンバータの制御方式(その2) (A Control Method of 20V Boost Converter for NAND Flash SSD)", 電子情報通信学会総合大会, 2009年3月.
- [12] 畑中輝義, 酒井滋樹, 高橋光恵, 堀内健史, 竹内健, "Ferroelectric (Fe)-NAND フラッシュメモリにおけるプログラムディスタープ特性", 応用物理学関係連合講演会, 2009年3月.

紀要，その他

- [1] 竹内健, "SSDの将来像 - HDD完全代替に向けて OSによる対応が急務", 日経エレクトロニクス, pp. 67-77, 2008年4月21日号.
- [2] 竹内健, "ISSCC 2009プレビュー : NANDは超多値技術が実用域へ, DRAMは4枚積層で8Gビット", 日経エレクトロニクス, pp. 67, 2009年1月12日号.
- [3] 竹内健, "低消費電力フラッシュメモリ技術 : 3次元積層SSD (Solid-State Drive) システムと Ferroelectric (Fe)-NAND フラッシュメモリ", *Material Stage*, pp. 28-31, 2009年2月号.
- [4] 竹内健, "ISSCC2009, SSD応用を目指すには, 大容量NAND技術とともに低電力技術が必須に", 日経エレクトロニクス Tech-On, 2009年2月12日.

5.5 特許・受賞等

**浅田・池田・名倉研究室
特許**

- [1] 池田, 浅田, 鄭, "半導体集積回路", 特願 2008-319877

受賞

- [1] J. Tandon, M. Ikeda, "MAMPSoC-SAS: A Sum of Absolute Difference Acceleration Engine in a Mesh Architecture Multiprocessor System on Chip Configuration," 10th LSI IP Design Award, MeP Award.
- [2] S. Mandai, T. Monma, T. Nakura, M. Ikeda, K. Asada, "Multi Functional Range Finder Employing a Dual Imager Core on a Single Chip," 2008 International SoC Design Conference, IEEE CAS Seoul Chapter Best Paper Award, Nov. 24, 2008.

**藤田研究室
特許**

- [1] 吉田浩章, 森下賢志, 藤田昌宏, "回路検証装置, 回路検証システム及び回路検証機能付LSI," 日本出願番号: 2008-145413, 米国出願番号: 61/152349.

高宮研究室

- [1] 高宮 真, 池内 克之, 桜井 貴康, "信号伝送装置," 特願2008-274656, 2008年10月24日出願.
- [2] 高宮 真, 安福 正, 石田 光一, 竹内 健, 桜井 貴康, "集積回路装置," 特願2008-270062, 2008年10月20日出願.

**柴田・三田研究室
受賞**

- [1] 金俊亨, 久保田雅則, 肥後昭男, 三田吉郎, 応用物理学会第二回集積化MEMS研究会研究奨励賞 2008年11月

**高木・竹中研究室
受賞**

- [1] 中北 要 佑, IEEE EDS Japan Chapter Student Award, "Interface-Controlled Self-Align Source/Drain Ge PMOSFETS Using Thermally-Oxidized GeO₂ Interfacial Layers "(IEDM2008)

**藤島研究室
受賞**

- [2] 第10回LSI IPデザイン・アワード IP賞
「76GHz 7%動作周波数範囲CMOS電圧制御発振器」
石橋 浩二, 本良 瑞樹, 藤島 実
- [3] 第10回LSI IPデザイン・アワード IP賞
「パルス注入同期型周波数通倍器」
高野 恭弥, 本良 瑞樹, 藤島 実
- [4] STARC第6回共同研究賞
「極微細CMOS回路のための超高周波物理レイアウトの評価及び最適設計に関する研究」
藤島 実
- [5] A-SSCC Student Design Contest Outstanding Design Award
Ahmet Oncu, Kyoya Takano and Minoru Fujishima

**竹内研究室
特許****■米国登録特許**

- [1] Takuya Futatsuyama and Ken Takeuchi, "Semiconductor memory device and memory card", U.S.P. 7,352,625, April 1, 2008.
- [2] Hiroshi Nakamura, Ken Takeuchi, Hideko Oodaira, Kenichi Imamiya, Kazuhiro Narita, Kazuhiro Shimizu and Seiichi Aritome, "Semiconductor memory device capable of realizing a chip with high operation reliability and high yield," U.S.P. 7,359,228, April 15, 2008.
- [3] Koji Hosono, Hiroshi Nakamura, Ken Takeuchi

- and Kenichi Imamiya, "Sense amplifier circuit in non-volatile semiconductor memory comprising a boosting capacitor for boosting the potential at sense node", U.S.P. 7,379,340, May 27, 2008.
- [4] Ken Takeuchi, Tomoharu Tanaka and Noboru Shibata, "Nonvolatile semiconductor memory having plural data storage portions for a bit line connected to memory cells", U.S.P. 7,394,695, July 1, 2008.
- [5] Ken Takeuchi, "Semiconductor integrated circuit device", U.S.P. 7,411,819, August 12, 2008.
- [6] Ken Takeuchi, Takuya Futatsuyama and Koichi Kawai, "Nonvolatile memory cell having current compensated for temperature dependency and data read method thereof", U.S.P. 7,411,830, August 12, 2008.
- [7] Hiroshi Watanabe, Hiroshi Nakamura, Kazuhiro Shimizu, Seiichi Arimoto, Toshitake Yaegashi, Yuji Takeuchi, Kenichi Imamiya, Ken Takeuchi and Hideko Oodaira, "Nonvolatile semiconductor memory," U.S.P. 7,425,739, September 16, 2008.
- [8] Ken Takeuchi, "Semiconductor memory device", U.S.P. 7,426,141, September 16, 2008.
- [9] Ken Takeuchi, "Semiconductor memory device", U.S.P. 7,489,010, February 10, 2009.
- [10] Ken Takeuchi, "Nonvolatile semiconductor memory", U.S.P. 7,492,643, February 17, 2009.

■日本登録特許

- [1] Tomoharu Tanaka, Hiroshi Nakamura and Ken Takeuchi, "Non-volatile semiconductor memory device," J.P. 4,157,189, July 18, 2008.
- [2] Hiroshi Nakamura, Kenichi Imamiya and Ken Takeuchi, "Semiconductor memory device," J.P. 4,157,559, July 18, 2008.
- [3] Ken Takeuchi, "Non-volatile semiconductor memory," J.P. 4,170,604, August 15, 2008.

■ EU 登録特許

- [1] Ken Takeuchi and Tomoharu Tanaka, "Multilevel semiconductor memory device," E.P. 01,615,227, September 10, 2008.

■日本特許出願

- [1] 高宮真, 安福正, 石田光一, 竹内健, 桜井貴康, "不揮発性半導体記憶装置", 2008年10月.

6.1 VDEC 利用規程・申し込みガイド

6.1 概要

VDEC は、全国の大学・高専向けに様々な支援事業を実施している。

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会 (8-9月・3月)
4. 社会人リフレッシュ教育 (12月-1月, 学生も参加可能)
5. VLSI デザイナーフォーラム (若手の会)
6. 大型装置利用

CAD ベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC 設立以来、これまでの実績では、CAD の利用・CAD 講習会は無償、LSI 試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザには VDEC を利用する「顧客」ではなく、VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDEC の担当者 (vdec@vdec.u-tokyo.ac.jp) に必ず相談いただきたい。その他のサービスについては VDEC の裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が 51% 以上のイニシアチブを取る研究であることが必要である。

また、CAD の申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDEC のシステムは、Internet と Unix operating system の上になりたっているため、Internet の仕組みや Unix についての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

6.2 まずはじめに

VDEC からのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDEC の WEB ページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP) アドレスによって制限をかけている。

従って、VDEC を利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な (サービス開始前 1 ヶ月以上) 時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEB ページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字 2 字 + 半角数字 5 桁 (例: VD00000) からなる。

申込で特に注意する点は、VDEC の WEB にアクセスしたい研究室のマシンの IP アドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxy サーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5 のように、IP アドレスを全て「半角」の英数字で、「.」(半角カンマ) で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT (IP masquerade というプログラム名で呼ばれることもある。機能としては NAT が正しい。) で研究室内をローカルネットワークにしている場合は、NAT サーバのアドレスを入力する。よくある間違いとして、ローカルネットワークの IP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などで IP アドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古い IP が使え

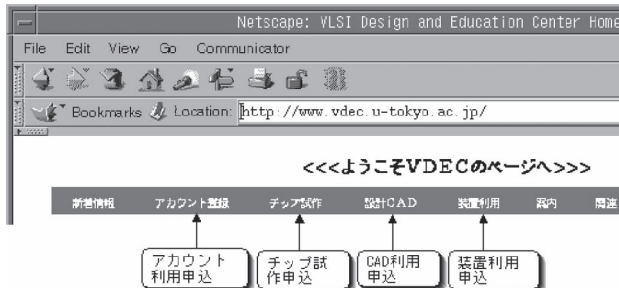


図 6.1 VDEC ホームページのインデックスフレーム

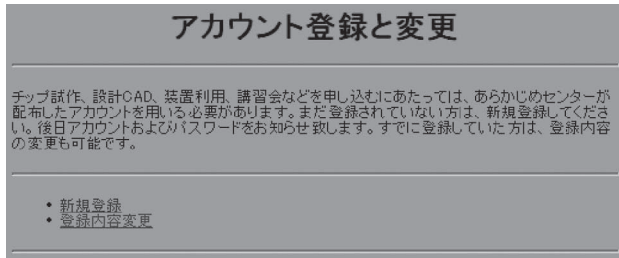


図 6.2 アカウント登録・変更ページの入口

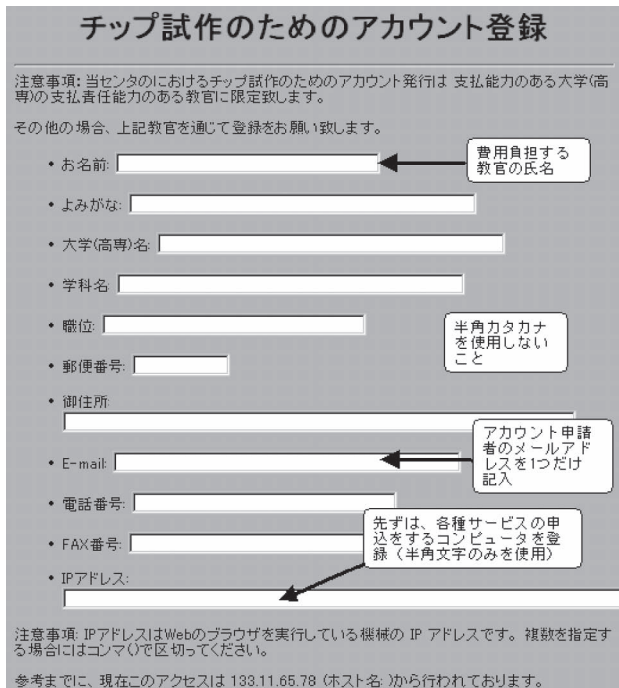


図 6.3 アカウントの新規登録の注意点

なくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じ E-Mail アドレスを入力することで上書き変更が可能である。

【登録する IP アドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCP サーバにより動的に割り当てられた IP アドレ

スやローカルアドレスなどは登録できない（しても意味が無い）

- Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

6.3 CAD ツールの共同利用

VDEC では、集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している。これらのソフトウェアは、VDEC の VLSI 試作以外のアカデミック用途 (MOSIS-VDEC を通じた試作, 教育用の演習, EB 等 VDEC の大型装置利用のためのデータ作成用, 等) の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1 つの設計作業を行うために、2 つ以上のベンダーから CAD を選べる状況 (二重化) を理想としている。LSI の設計には、CAD ソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD 申込の WEB ページに教員がアクセスする (WEB アカウントが必要である)。NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後、CAD の申請ができる。

申請時に WEB から入力する内容は以下のとおり。

- ソフトウェアライセンス数 (研究室で同時に使用するとと思われる最低数を入力)
- 用途
- メディアリクエスト (使用する Operating System を選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム (VDEC, 端的には usr1 から名前 → IP アドレスの解決ができる, 「.ac.jp」で終わるホスト名であることが条件。)

ソフトウェアの CDROM (メディア) について、VDEC の創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在では CD に書き込める ISO イメージファイルで提供している。VDEC ホームページの「ライセンスファイルの配布 > ここから」からダウンロードできるようにある。当然ながら、VDEC のユーザアカウントとパスワードが必要となるため、CAD を申請してから数週間程度の時間差が必要となる

必ずチェック

最大同時
使用者数

これも必ずチェック

どれか必ずチェック

- Cadence社設計ツール:
ライセンス数: [11]
メディアリクエスト:
[*]Cadence (Solaris, HPUX)
使用目的:
[*]研究 []講義 []トレーニング []その他
- Synopsys社設計ツール:
ライセンス数: [*]
メディアリクエスト:
[*]Synopsys Synthesis/Simulation/Verification (Solaris, HPUX, Linux, WindowsNT)
使用目的:
[*]研究 []講義 []トレーニング []その他
- 旧Avant!社設計ツール:
ライセンス数: [11]
メディアリクエスト:
[*]Synopsys Astro/Milkyway (Solaris, HPUX)
使用目的:
[*]研究 []講義 []トレーニング []その他

図 6.4 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

であろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルは WEB 経由で別途取得の上設定するか、環境変数 LM_LICENSE_FILE 等を (ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する。また、/etc/hosts ファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN 形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンの IP アドレスが引けるように設定する。

CAD ツールを実行するためには、VDEC または地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDEC または地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することにより CAD を実行することが可能である。また、ライセンスサーバの認証は、CAD ツール起動後も数分おきに行われるので、CAD ツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDEC の Web サーバと VDEC および地域拠点校に対して、ライセンス認証用の特定のポートを開ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDEC に対する大幅なアカデミックディスカウントの引き換えとして、各研究室は CAD ベンダーによる直接のサポートを受けられない。かわりに VDEC では、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用い

99CAD利用者メーリングリスト登録フォーム

先生のメールアドレス:
以下にCADを利用される方のメールアドレスを記入して下さい。複数の場合には、" "で区切るかもしくは複数回登録して下さい。

CADツールの使用者のメールアドレス (半角カタカナや全角文字を用いないこと)

現在の登録アドレスをリセットして更新するラジオボタン

追加用ラジオボタン

卒業生のアドレスは消去すること

登録

図 6.5 CAD 利用者メーリングリスト登録における注意点

ただきたい。CAD を利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser ML の注意点は以下のとおり。

1. WEB ページから、利用するメンバの E-Mail アドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送しないこと (情報漏洩の観点から)。
2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に 4月に注意。
3. メールをする前に、あらかじめ CADuser ML の過去記事検索が WEB からできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuser に送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること (必須ではないが、ネット利用のエチケットといえる)。

ライセンスは年度単位で申込みを受けつけしている。各 CAD ベンダーと VDEC との交渉がまとまる毎年 3 月末に、CADuser ML と WEB 上に、次年度の CAD 利用申込案内が出るので忘れずに申込する。4 月中は移行期間として前年度申込のライセンスも有効にしてあるが、4 月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点、熟読必須。】

1. VDEC では毎月、CAD を使用できる計算機のリスト (アクセスリストと呼ぶ) を更新している。このとき DNS の逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CAD が使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかつた場合は、最悪一ヶ月以上 CAD が使用できなく

なる。

2. 以上の理由で、VDEC から「CAD のアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.html である。ブックマークを強くお勧めする。
4. IP アドレス (ホスト名) registered という表示が出ていれば登録されている。
5. false (false (ホスト名)) FAIL という表示が出ていれば登録に失敗しているので、原因を探る。

一般的に、DNS の逆引き (ホスト名から IP アドレスを引く) に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDEC のサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

6.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEB ページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対する NDA 契約を行う。これは VDEC ホームページの「試作関係 > 試作案内 > 機密保持契約 (NDA) の文面」より、希望プロセスの NDA にサインして VDEC に郵送し、VDEC 側で手続き終了後に NDA 締結となり、設計規則やライブラリにアクセスできるようになる。設計規則は WEB 経由のアクセスならびに、WEB での公開を禁止している会社の場合は CDROM 等で送付される。NDA の対象は教員であるが、研究室の職員・学生にも同じ NDA が適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の 6 ~ 3ヶ月前、キャンセルのメ切は 1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができているくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点 (図 5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレス

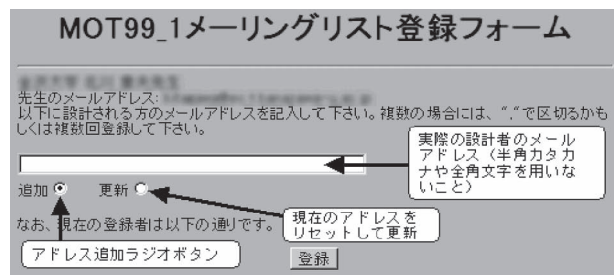


図 6.6 VLSI 試作メーリングリスト登録ページの注意点

であり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

レイアウトを設計した後、VDEC が提供する最新の Design Rule Check ファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通しておいて、提出しようとする回路が本当に動作しそである確信を持っておくことは最低限必要であろう。デザインの提出は指定された VDEC ページから行う。提出時に VDEC 側で最終 DRC を実行する。ここでエラーが出たチップは提出できない。必ず自分の環境で DRC フリーにしてからチップを提出すること。

提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC 側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどは VDEC からの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSI チップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

6.5 CAD ツール講習会

CAD ベンダーとの契約により、個々のサポートは提供しないかわりに、毎年 2 回、夏と春と CAD 講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なり CAD 利用を行うことをお勧めしている。アナウンスは CADUser メーリングリストで流れる。また、申込は、VDEC の WEB ページから行う。

6.6 社会人リフレッシュ教育

CAD ツール講習会からさらに進んだ形で、Verilog である回路を実際に設計し、レイアウト合成したり、FPGA による実験を行う「デジタルコース」、アナロ

グ回路のレイアウトやシミュレーションを体験したりする「アナログコース」, 「RF」コースならびに一線の研究者による設計事例の講演会などを企画している。12月～1月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

6.7 デザイナーフォーラム (若手の会)

毎年6月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

6.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置につ

いては、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

6.2 IP データベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている (http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html, 図 6.2.1)。本データベースの利用対象は、IP 登録に関してはVDEC ユーザに限定しているが、IP 利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IP のカタログデータの整理、公開および登録者一利用

者間の仲介と機密情報の取り扱いの監督である。

平成12年度から平成14年度の3年間、(株)半導体理工学研究センター (STARC) との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みのIPを表6.2.1に示す。

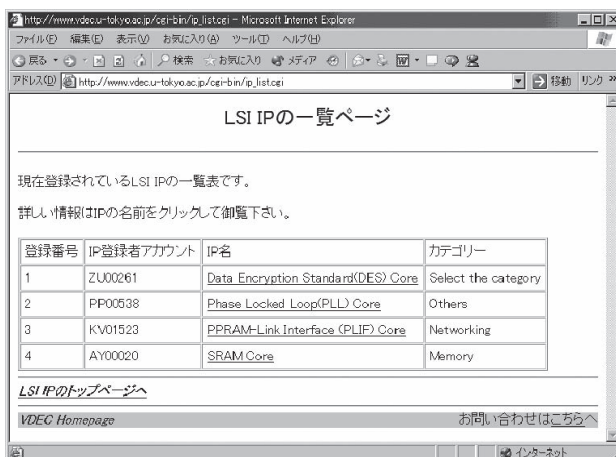
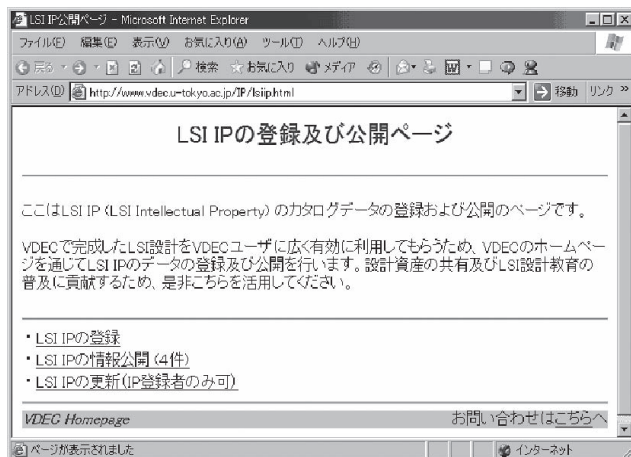


図 6.2.1 VDEC LSI IP Web データベースの例

表 6.2.1 VDEC LSI IP データベースに登録済みの IP (平成 21 年 3 月現在)

登録番号	IP 名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

STARC との IP プロジェクトをさらに発展させ、VDEC ユーザ間での IP 再利用がより容易にさせるために、Open Core Protocol (OCP) を積極的に利用し、IP ライブラリを充実させることを計画しております。VDEC では、現在、先行的に OCP を利用した IP 開発、既存 IP の OCP への対応手法の研究などを行っており、今後公開予定です。また、各ユーザの作成した IP を VDEC ホームページ上の IP 登録ページに登録することで、VDEC ユーザ間での IP 利用の促進をはかる予定です。

また、(株)ルネサステクノロジより「M32R ソフトマクロ」、「M32R-II ソフトマクロ」、「SH3-DSP コア」の提供を受けており、各大学のユーザが無償でこれらの商用プロセッサ・IP コアを利用することができ、IP コアベース設計研究を進める上で重要な部分を担っている。また、2007 年より、株式会社東芝より、「MeP 設計環境」が VDEC ユーザに対して提供されており、LSI IP デザイン・アワードにおける「東芝 MeP 賞」の創設により、IP コアベース設計研究が活発に行なわれた。

平成 20 年度
東京大学大規模集積システム設計教育研究センター年報

2009 年 8 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4階401号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)



VLSI Design and Education Center The University of Tokyo 2009

