

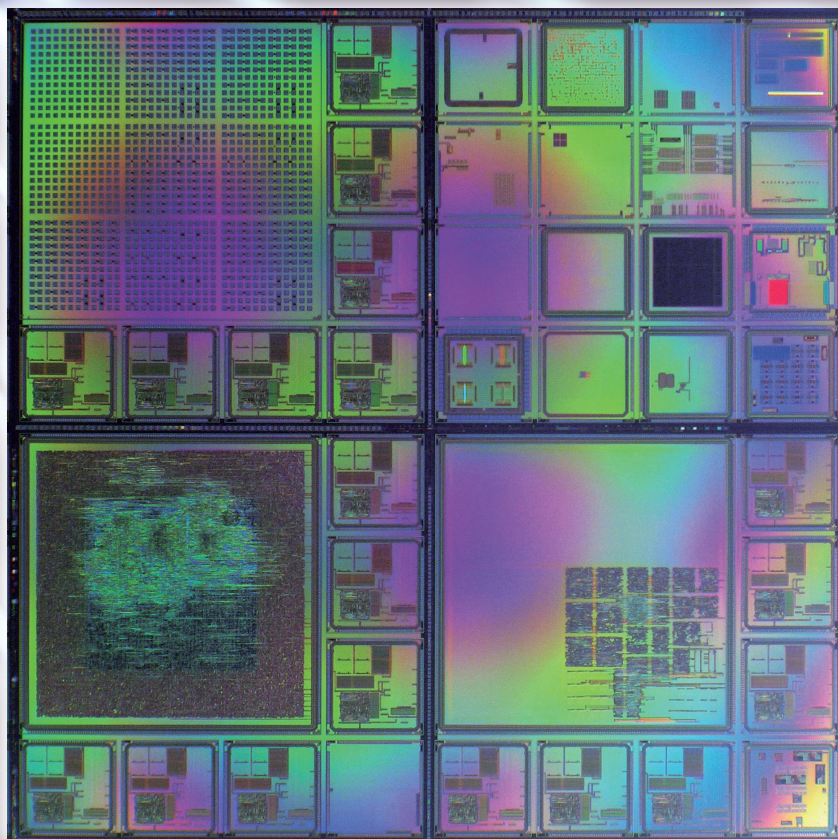
VDEC

2010

VLSI Design and Education Center, The University of Tokyo
Annual Report

平成22年度

東京大学大規模集積システム設計教育研究センター
年 報





VLSI Design and Education Center The University of Tokyo

This is the 2009 Annual Report of VDEC (VLSI Design and Education Center of University of Tokyo).

A notable trend of the VDEC chip-implementation activity in 2009 was a significant increase in the number of advanced CMOS 65 nm chip designs. The total number of chip designs, including other technologies, was also recovered compared with the previous year.

The VDEC CMOS 65 nm chip-implementation activity entered into the 2nd year. The STARC/METI (Ministry of Economy, Trade and Industry) project, which was also in the 2nd year, gave us a lot of opportunities of CMOS 65 nm chip-implementation, along with the independent VDEC activity. On behalf of all the universities in Japan, we would like to express our thanks to METI and STARC. A lot of valuable results obtained from the project will be fed back to the society through the government report and academic papers.

Based on the success of 2009 chip-implementation activity, we believe that the advanced CMOS 65 nm technology has been accepted widely in the Japanese Academia, and we have started a discussion with e-Shuttle Inc., the chip foundry of CMOS 65 nm, in order to establish the next stage of collaboration, where the turn-around-time, flexibility of chip size and the price will be improved considerably. We are expecting that it makes planning of academic researches much more sure and flexible.

As for the widely-used CMOS 0.18 μm technology of Rohm Semiconductor, we tried to add a new option, i.e. high-voltage option. This new option, targeted on so-called "More-than-Moore" axis, is intended to be used for extending the CMOS 0.18 μm technology to MEMS or special high-voltage applications. Depending on results from the test run in 2009, we will soon decide a possibility of the new option in the future VDEC services.

As for an extension toward so-called "More-Moore" axis, we are now planning to introduce a new menu of CMOS 40 nm technology, in addition to the CMOS 65 nm technology. Thus we would like to continue to provide scaled CMOS technologies for high-speed academic chip designs.

The D2T (Design to Test) research division, donated by Advantest Corporation, entered into the 3rd year. Its research area is expanded to cover design verifications, testing methods and high-speed signal measurements. In December 2009, the 3rd D2T Symposium was successfully held, inviting distinguished researchers from Japan and overseas. Here the research results obtained by Dr. Komatsu and researches in the D2T division were also reported. The University Award, "稷門賞" was presented to Advantest Corporation from our President, as recognition to the continuous contributions for education and research. We would like to appreciate the valuable support given by Advantest Corporation, again.

The 1st two-year-term of the "VDEC supports of young teachers in Japan" has successfully finished at the end of 2009. During the last two years, the supporters contributed a lot to VDEC for planning and operation of many VDEC events such as seminars and forums. Without their contributions, these VDEC events could not be so successful. In 2010 the 2nd two-year-term starts. We would like to ask new supporters for continuous collaborations with VDEC, again.

Now the economics in Japan is reported getting better. However, the role of LSI designers would be no more same as before the crisis. Potential capabilities, expected to students and researchers in LSI design field in Japan, are shifting toward application-oriented practical skills. From the beginning, the mission of VDEC is the promotion of education and research in LSI design field, by means of practical chip-design and implementations. We are now, once more, recognizing our mission and role in order to promote education of future leaders in the LSI design field in Japan. We thank you for your continuous supports and collaborations, again.

April 2010

VLSI Design and Education Center, University of Tokyo

Director

浅田 邦博

Message from Director of VDEC

Chapter 1 Activity Report of VDEC …… 2

- 1.1 Introduction of VDEC activities and activity report of FY2009
- 1.2 VDEC CAD Tools
- 1.3 VLSI Chip Fabrication
- 1.4 Seminar
- 1.5 Facilities
- 1.6 Activity plan for 2010
- 1.7 Venture companies related to VDEC
- 1.8 “Nanotechnet” : Ultra Small Lithography and Nanometric Observation Site

Chapter 2 Activity Report of “D2T Research Division” …… 20

Chapter 3 Research in VDEC …… 27

巻頭言

第 1 章 VDEC 事業の紹介と平成 21 年度事業報告 …… 39

- 1.1 VDEC の活動概況
- 1.2 CAD ソフトウェアの整備
- 1.3 平成 21 年度 VDEC 事業報告 VLSI チップ試作
- 1.4 セミナー
- 1.5 装置の整備・運用・利用公開
- 1.6 平成 22 年度の活動計画
- 1.7 VDEC 発ベンチャー
- 1.8 超微細リソグラフィー・ナノ計測拠点

第 2 章 「アドバンテスト D2T 寄附研究部門」平成 21 年度活動報告活動報告 …… 58

- 2.1 「アドバンテスト D2T 寄附研究部門」の紹介
- 2.2 「D2T シンポジウム 2009」開催報告
- 2.3 アドバンテスト株式会社の東京大学稜門賞受賞について
- 2.4 「アドバンテスト D2T 寄附研究部門」平成 21 年度研究報告
- 2.5 研究発表

第 3 章 チップ試作報告 …… 65

- 3.1 試作ラン別一覧
- 3.2 チップ種別一覧
- 3.3 各チップの詳細

第 4 章 VDEC 概要 …… 156

- 4.1 組織概要
- 4.2 人事報告
- 4.3 決算報告

第 5 章 研究報告 …… 160

- 5.1 全体概況
- 5.2 研究室構成員（平成 21 年度）
- 5.3 研究概要
- 5.4 研究発表
- 5.5 特許、受賞等

Appendix …… 189

- A. Publication list
- B. VDEC の利用規程・申し込みガイド
- C. IP データベースの整備

Chapter 1 Activity Report of VDEC

1.1 Introduction of VDEC activities and activity report of FY2009

VLSI Design and Education Center (VDEC), University of Tokyo was established in May 1996. VDEC has been operating for the following 3 major roles: “spreading the latest information on VLSI design and education,” “providing licenses of CAD tools,” and “supporting on VLSI chip fabrications for academic use.” The VDEC activity report of FY 2009 is described hereafter according to Fig. 1. 1. 1

The missions of VDEC are for advancement of researches and education on LSI design in public and private universities and colleges in Japan and send many distinguished VLSI designers into industry. After 13 years of VDEC establishment, educations on CAD software, LSI design and design flow in universities have been well established. On the other hand, advancement on nanometer CMOS technologies forces design flow and CAD software complicated. We have been continuing CAD tool seminar by the lecturers from EDA vendors for twice a year. We had held the seminar, once in VDEC and the remaining once in VDEC sub-centers previous years. From this year, we initiated distance learning based on video streaming. We expect spread of the up-to-date LSI

design methodology by using CAD tools.

We assume our LSI design flow seminars as educations on basic LSI design concepts and practical experience of LSI design with CAD tool chain. VDEC holds “LSI design education seminar”, aka VDEC Refresh Seminar, once a year from November to January time frame for this purpose. The VDEC Refresh Seminar consists of 4 courses, “Digital design course”, “Analog design course”, “RF design course”, and “Advanced LSI design case course”. We invite experienced professors among universities as lecturers for the former 3 courses to conduct LSI design education courses with practical experience. We invite professors and engineers in industry as front-line lecturers for lectures based on their LSI design experiences. We continue 0.18 μm analog design, 0.18 μm digital design, and high-voltage 0.18 μm CMOS design courses to lower barrier for designing LSIs.

In addition to the above seminars, we hold “VDEC Designer’ Forum” among young professors and students annually. This is a workshop that the participants exchange their design examples with not only success

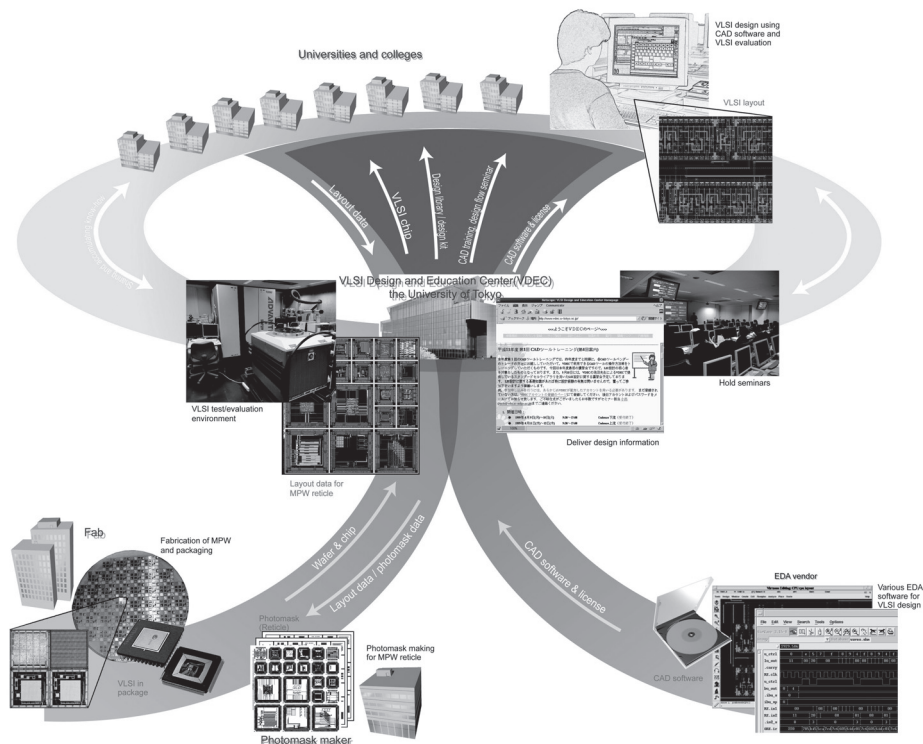


Fig. 1. 1. 1 VDEC activities

stories but also their failure stories, in addition to invited talks. We expect students and professors who will start designs to learn kinds of know-hows.

LSI designers come up against various difficulties during actual LSI design scene, even after the basic educations through various seminars and the forum. One of the biggest problem for beginners is the setup of CAD softwares. Many of them also get confused by “Esoteric messages” come out from CAD softwares, even after they successfully setup CAD tools. In such situations, VDEC mailing-lists make significant contributions. VDEC users can register to VDEC mailing-lists on CAD tools, and process dependent groups through VDEC web pages, and can ask questions and helps on their facing issues. It is not a responsibility for the registrant of such mailing-lists to give answers to questions, however, in most cases, replies are given by the experienced users of CAD tools

and experienced designers within a couple of hours to a couple of days. Moreover, emails are accumulated and are open to the VDEC users, as shown in Fig. 1. 1. 2, who have registered VDEC accounts, as the important educational assets. We expect all the VDEC users to make the full use of this mechanism to help solve problems.

We continue chip fabrication services on 1.2 μ m CMOS, 0.18 μ m CMOS and 65 nm CMOS. In addition to them we had a trial chip fabrication on high-voltage 0.18 μ m CMOS (1.8 V/7 V/44 V).

Our donated division “Design To Test (D2T)”, which was founded by donation from Advantest in Oct. 2008, focuses on enrichment of education on LSI testing and bridging between design and testing.

Fig. 1. 1. 3 shows trends of number of papers through VDEC activities. Number of papers is increasing, which

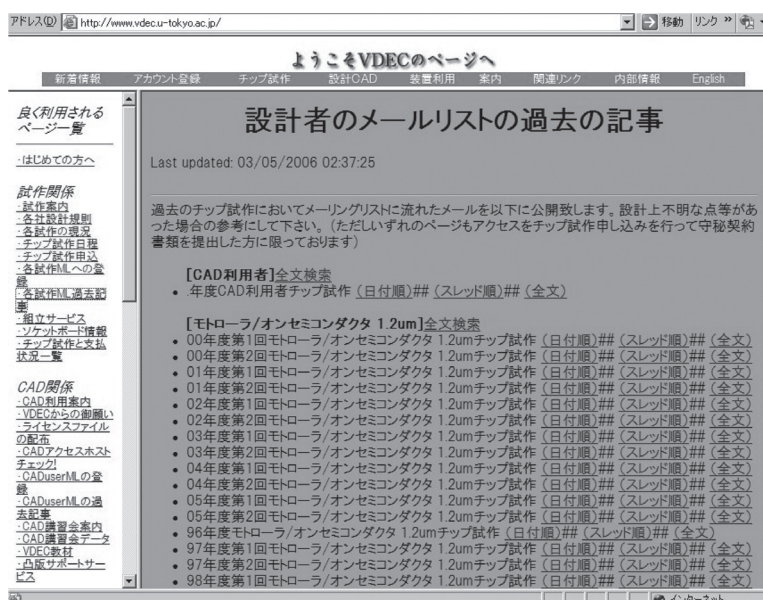


Fig. 1. 1. 2 Archives of emails of VDEC mailing-list.

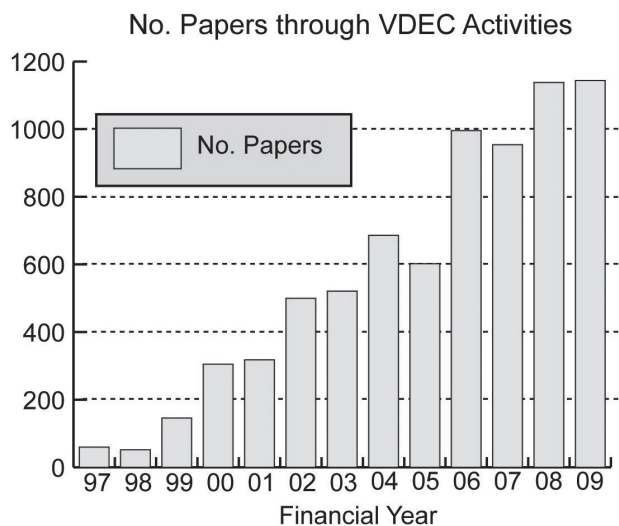


Fig. 1. 1. 3 Trends of number of papers through VDEC activities.

means researches in the field of VLSI design have been encouraged after VDEC establishment.

Fig. 1. 1. 4 shows number of papers related to CAD usage, chip fabrications and VDEC facility usages. CAD tools are widely used to write papers. CAD tools are used not only chip designs themselves but also used for preparation of chip fabrication and they contribute to verify fundamental ideas of researches. Advanced

CMOS processes are preferred for publications, and not only papers with 65 nm CMOS chips, but also with 45 nm CMOS and 32 nm CMOS are emerging in the world. We would like to prepare chip fabrication services for the advanced CMOS processes. We also encourage researchers to fully use of VDEC facilities such like LSI testers, FIB systems and EB writer for the wide spread of research purposes.

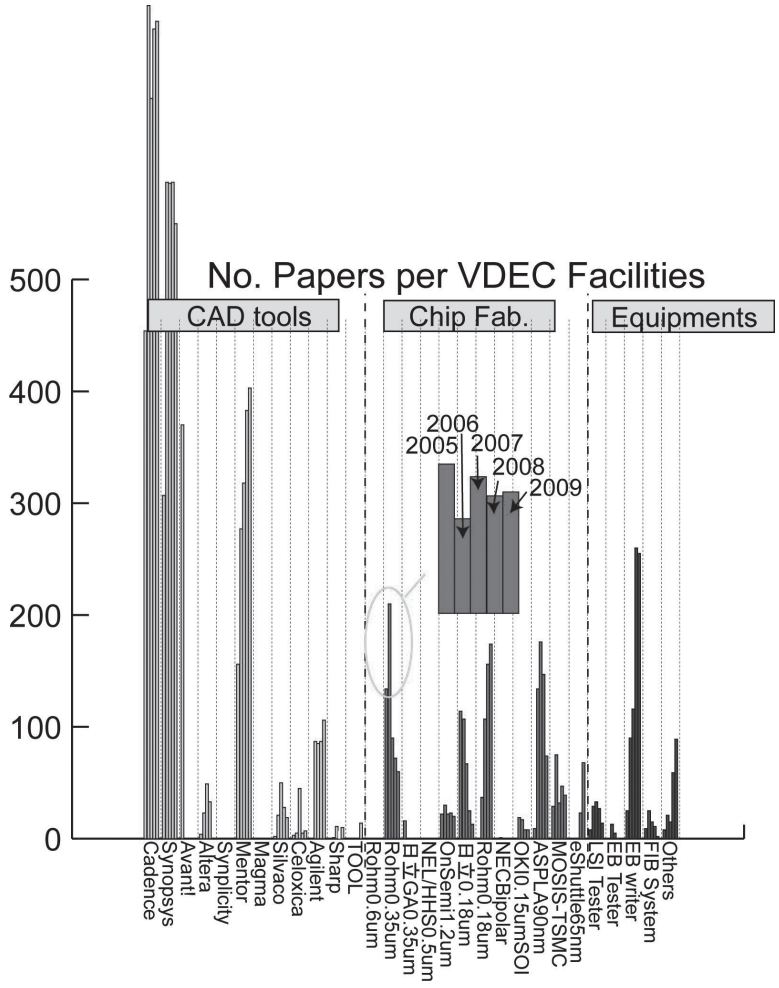


Fig. 1. 1. 4 Number of papers related to VDEC facilities.

1.2 VDEC CAD Tools

Since 1996, VDEC has provided CAD software licenses to the registered researchers in universities and colleges in Japan. The CAD tools we provided in 2009 are shown in Table 1.2.1. The researchers can use those CAD tools when their local machines, whose IP addresses are registered in advance, are authorized by one of VDEC license server located in the ten VDEC subcenters shown in Figure 1.2.1. For each CAD tool, VDEC provides 10-100 floating licenses. Those CAD tools can be utilized only for research and education activities in national universities, other public universities, private universities,

and colleges.

When one is going to use VDEC CAD tools and chip fabrication service (the details are described in Section 1-3), some faculty member of his/her research group in a university or a collage needs to do user registration. Figure 1.2.2. shows (a) The number of registrants, (b) The number of distinguished universities/colleges of the registrants, and (c) The number of registrants who applied VDEC CAD tools.

Table 1.2.1 VDEC CAD tools

Name	Function	Vendor
Cadence tool set	Verilog-HDL/VHDL entry, Simulation, Logic synthesis, Test pattern generation, Cell-based (including macros) place, route, and back-annotation, Interactive schematic and layout editor, Analog circuit simulation, Logic verification, Circuit extraction	Cadence Design Systems, Inc.
Synopsys tool set	Verilog-HDL/VHDK simulation, Logic synthesis, Test pattern generation, Cell-based (including macros) place, route, and back-annotation, Circuit simulation, Device simulation	Synopsys, Inc.
Mentor tool set	Layout verification, Design rule check	Mentor Graphics Co. Ltd.
Silvaco tool set	Fast circuit simulation	Silvaco
ADS/Golden Gate	Design and verification of high-frequency circuits	Agilent Technologies
DK4 and DK5 software package	Handel-C based design, synthesis, and verification	Agility
Bach system	BachC-based design, synthesis, and verification	Sharp
PICO Express	High-level synthesis	Synfora
LAVIS	Layout visualization platform	TOOL
mSpice	Fast circuit simulation	Fastrack

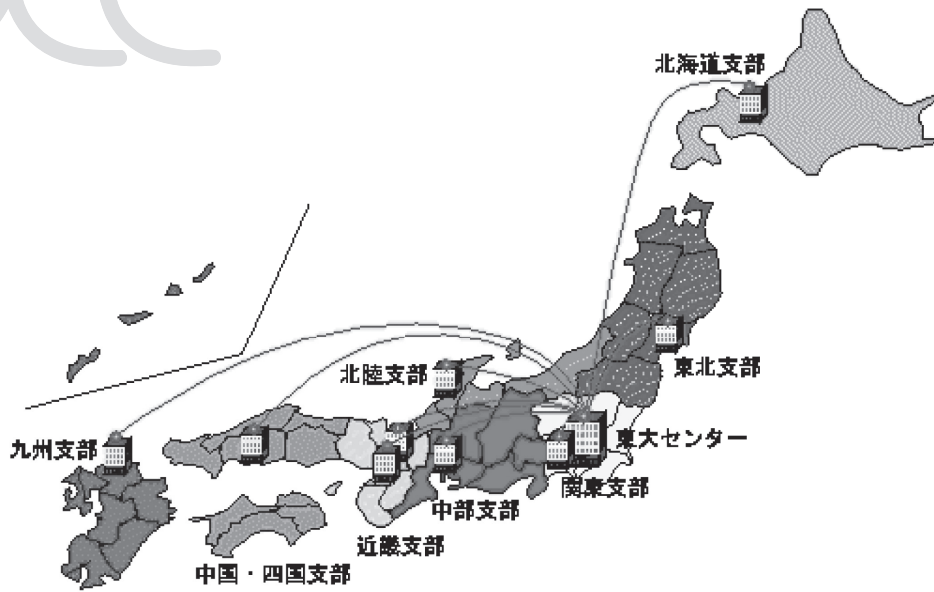
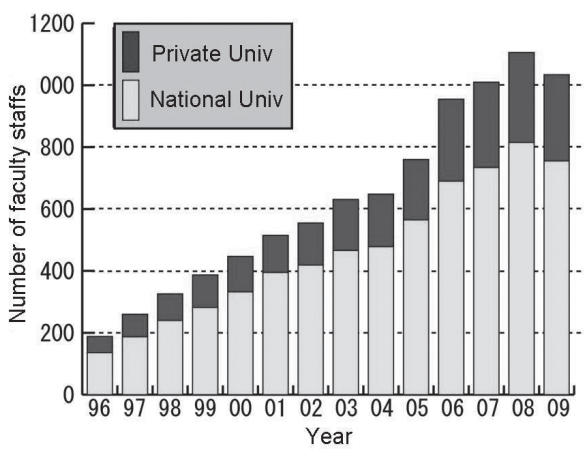
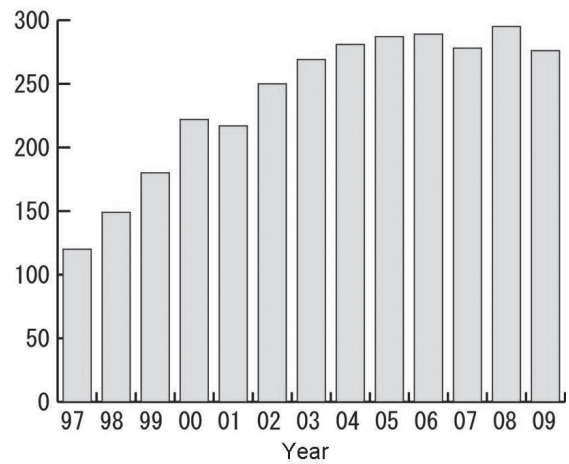


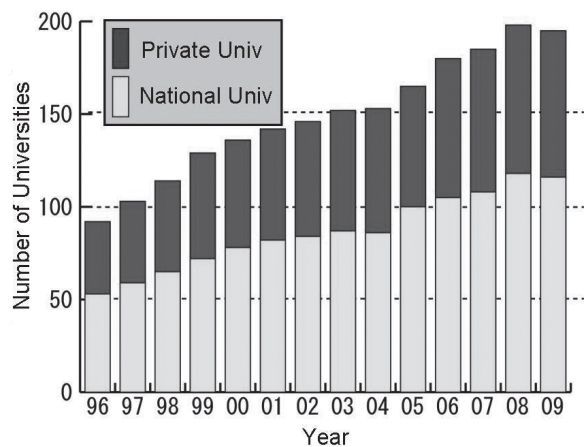
Fig. 1. 2. 1 VDEC Subcenters



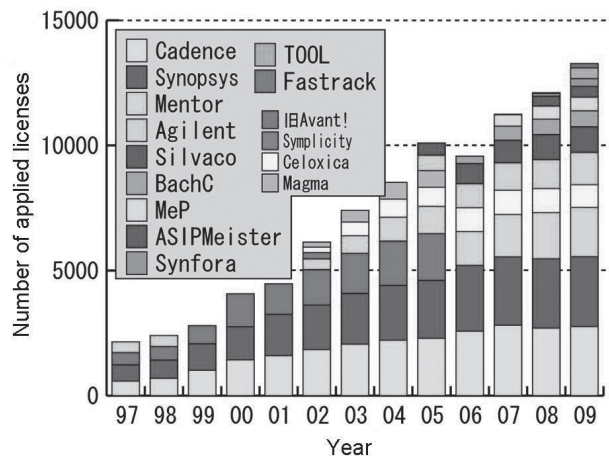
(a) The number of registrants



(c) The number of research groups applied CAD tools



(b) The number of universities/colleges of the registrants



(d) The number of applied licenses of all CAD tools

Fig. 1. 2. 2 The numbers of VDEC CAD applications

1.3 VLSI Chip Fabrication

1.3.1 Trends of VLSI Chip Fabrication Services

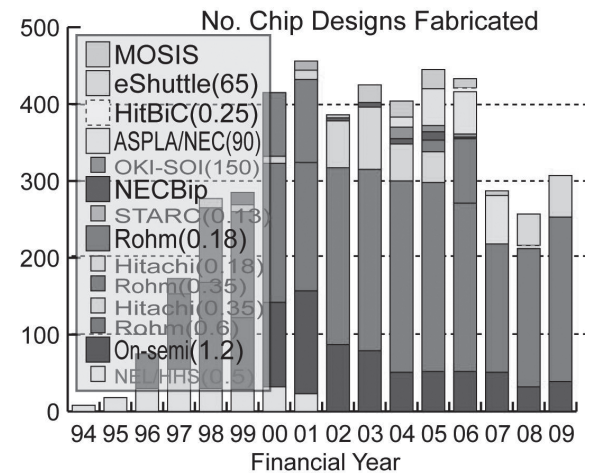
Fig. 1.3.1 shows a trend of number of designed chips for VDEC chip fabrication services, including pilot project prior to VDEC establishment.

VLSI chip fabrication is limited to $0.5\mu\text{m}$ CMOS provided by NTT Electronics during the pilot project in 1994 and 1995. VDEC chip fabrication had started in 1996 with $1.2\mu\text{m}$ CMOS provided by Motorola Japan, which is now On-Semiconductor as well as the $0.5\mu\text{m}$ CMOS. In 1997, VDEC received cooperation from Rohm and has started $0.6\mu\text{m}$ CMOS process. In 1998, VDEC started chip fabrication services of $0.35\mu\text{m}$ CMOS by Hitachi, and in 1999, VDEC started $0.35\mu\text{m}$ CMOS by Rohm. We had a test chip fabrication of $0.13\mu\text{m}$ CMOS by STARC through "IP development project" in 2001. We added $0.18\mu\text{m}$ CMOS by Hitachi into our chip fabrication menu in 2001. From 2002, we started VDEC-MOSIS chip fabrication program initiated by Prof. Iwata of Hiroshima University. Under this program, VDEC member can access to TSMC and IBM processes with lower price. We also started Bipolar chip fabrication by NEC Compound Semiconductor Devices. In 2004, we started $0.15\mu\text{m}$ SOI-CMOS chip fabrication by Oki Electric as test chip fabrications. In the same year we started 90nm CMOS chip fabrication by ASPLA/STARC. In 2006, we started $0.18\mu\text{m}$ CMOS by Rohm and $0.25\mu\text{m}$ SiGeBiCMOS by Hitachi. In 2008, we started 65nm CMOS process by eShuttle, after closure of 90nm CMOS chip fabrication in 2007.

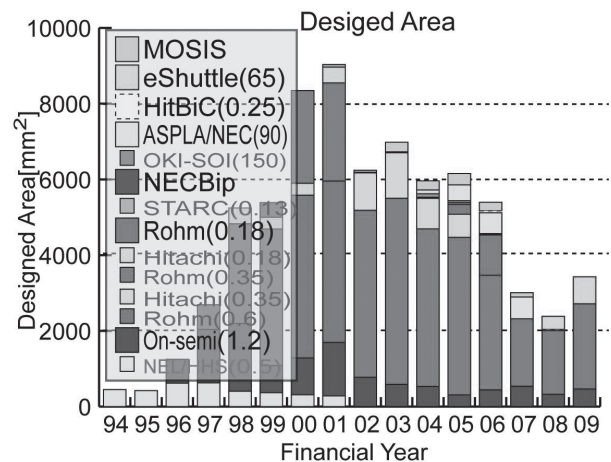
Fig. 1.3.1(a) shows trends of number of chip designed for VDEC chip fabrication. For the first 6 years until 2001, the number of designed chips shows steady increase, which means drastic improve of the effectiveness researches and education of LSI design, and we assume drastic increase of number of students related to LSI chip design and education. During few years of stable number around 400 chip designs per year, we can see transition of designs toward finer process. In 2007, we saw a large drop, which was caused by sudden process transition from $0.35\mu\text{m}$ CMOS to $0.18\mu\text{m}$ CMOS, and in 2008, we also saw another drop by process transition from 90nm CMOS to 65nm CMOS.

Fig. 1.3.1(b) shows trends of designed chip area, which shows much clear trends of drop by process

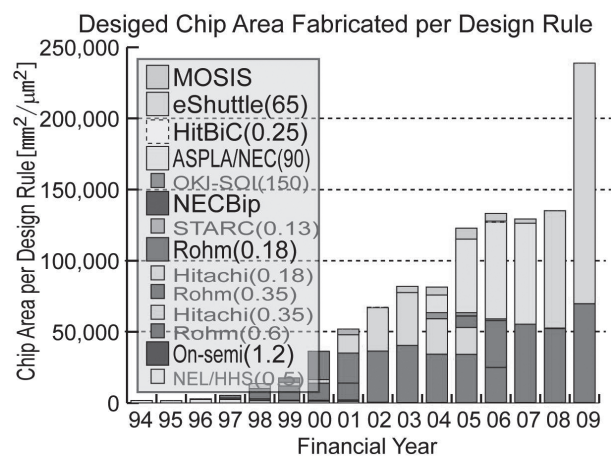
migration. On the other hand, Fig. 1.3.1(c) shows trends of designed chip area normalized by design rule, which assume to be strong relation with design efforts. Coming from the fact that the normalized chip area is still growing, we assume the major reason for decrease of



(a) Trend of number of designs fabricated.



(b) Trend of designed area.



(c) Trend of designed area normalized by design rule.

Fig. 1.3.1 Trend of number of designs and designed chip area.

number of chips and designed area is increase of design effort per chip and per unit area due to process scaling.

Fig. 1. 3. 2 shows trends number of professors and universities fabricated chip. Number of professors who have contracted NDA for process technologies to access design rules and design libraries are, 162, 193 and 49, respectively, for 1.2 μ m CMOS, 0.18 μ m CMOS and 65 nm CMOS.

1. 3. 2 Overview of chip fabrication in 2009

Table 1. 3. 1 lists chip fabrication schedule in 2009. Please refer to list in Chapter 2 for details of designers and contents of chip designed.

1. 3. 3 Libraries and design flows

VDEC have been working to prepare design libraries

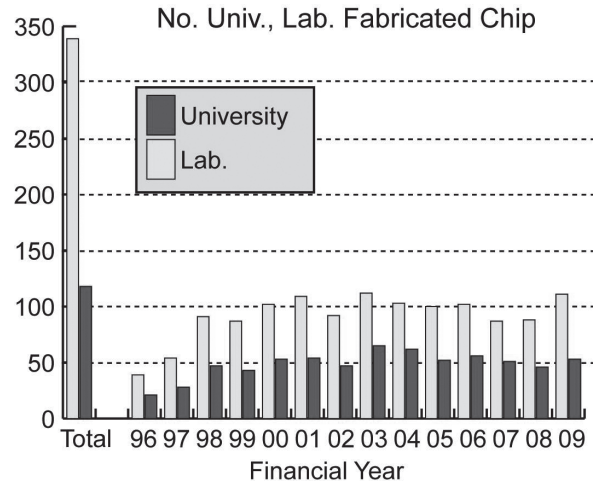


Fig. 1. 3. 2 Trend of number of processors and universities fabricated chip.

and design flows for digital design and PDKs for analog design. Table 1. 3. 2 lists libraries available now.

Table 1. 3. 1 Chip fabrication schedule in 2009

● 1.2 μ m CMOS (On-Semiconductor (Former Motorola Japan))

	Chip application deadline	Design deadline	Chip delivery
2008 #2	2009/ 1/ 7	2009/ 3/30	2009/ 7/22
2009 #1	2009/ 7/ 6	2009/10/ 5	2010/ 1/27
2009 #2	2010/ 1/12	2010/ 4/ 5	2010/ 7/12 (Schedule)

● 0.18 μ m CMOS (Rohm)

	Chip application deadline	Design deadline	Chip delivery
2008 #9	2008/12/ 1	2009/ 1/13	2009/ 5/22
2008 #10	2009/ 1/ 7	2009/ 2/16	2009/ 5/22
2009 #1	2009/ 1/13	2009/ 4/ 6	2009/ 6/29
2009 #2	2009/ 3/23	2009/ 6/22	2009/ 9/25
2009 #3	2009/ 5/25	2009/ 8/24	2009/11/25
2009 #4	2009/ 7/21	2009/10/19	2010/ 2/ 9
2009 #5	2009/10/19	2010/ 1/18	2010/ 4/16
2009 HV		2010/ 2/22	2010/ 7/16 (Schedule)
2009 #6	2010/ 1/12	2010/ 4/12	2010/ 7/26 (Schedule)

● Bipolar (NEC) 試作申込がなく, 試作を実施せず

● 65 nm CMOS (eShuttle/STARC)

	Chip application deadline	Design deadline	Chip delivery
2008 #3		2009/ 2/19	2009/ 5/ 1
2009 #1		2009/ 8/20	2009/11/25
2009 #2		2009/10/28	2010/ 2/17
2009 #3		2009/12/ 2	2010/ 3/12
2009 #4		2010/ 2/ 2	2010/ 5/25

2009#1 and 2009#2 are carried out as METI/STARC project.

● SiGeBiCMOS 0.25 μ m (日立) 試作申込がなく, 試作を実施せず

Table 1.3.2 Libraries available for VDEC chip fabrication

Technology	Name	Author	Contents
1.2 μ m CMOS (On-Semiconductor (Former Motorola Japan))	P2lib	Onodera Lab., Kyoto University	Synthesis (Synopsys)
			Simulation (VerilogXL)
			P&R (Astro)
	EXDlib	VDEC	Synthesis (Synopsys)
			Simulation (VerilogXL)
			P&R (Astro)
0.18 μ m CMOS (Rohm)	Rohm library	Rohm Library Std. Cells, IO cells, RAM (Distributed with CDROM)	Synthesis (Synopsys)
			Simulation (VerilogXL)
			P&R (LEF/DEF)
	Kyodai Library	Onodera Lab., Kyoto University	Synthesis (Synopsys)
			Simulation (VerilogXL)
			P&R (Astro)
	Todai Library	VDEC Design flow based on library pre- pared by Onodera Lab., Kyoto University	Synthesis (RTL Compiler)
			Simulation (VerilogXL)
			P&R (Encounter)
	PDK	VDEC	PDK (IC6.1)

1.4 Seminar

Seminar is indispensable for the improvement of LSI design technology. Some seminar and forums, such as technical seminar for CAD use, refreshing seminar for working people, designer's forums for young professors and students were held in 2009.

[Technological seminar for CAD use]

In a technological seminar for CAD use, VDEC invites lecturer from each tool vender, such as Cadence, Synopsys and Agilent, to hold the CAD operation course. Moreover, the course concerning the design flow in the VDEC environment was held by the VDEC staff. A technological seminar for CAD use for the beginner was held in The University of Tokyo VDEC in August and September at the year 2009. This seminar took 7 days for 2 kinds of Cadence tools, 4 days for 3 kinds of Synopsys tools, 2 days for 1 kind of Agilent tool. In addition, VDEC teachers gave lecturers on digital LSI measurement

course using VDEC SoC tester T2000, and transistor level circuit design course, and digital circuit design course under the VDEC EDA environment. Teachers and students up to 40 people attended a lecture in each course, and master the use of each tool for VLSI design flow that uses the VDEC library. Moreover, another technical seminar for CAD use for matured teachers and students was held in March by Cadence 2 kind and six days, Synopsys 2 kind and two days, Agilent 1 kind and 2 days (Table 1.4.1). The demand for these CAD technological seminars is very large, and VDEC has maintained the mechanism of a large-scale CAD technological seminar holding corresponding to this situation. So far, the seminar was held at the University of Tokyo OR other VDEC branch, however, we started to distribute the lecture using Web streaming, so that students around VDEC branch can take the seminar at the branch school.

Table 1.4.1 CAD technological seminar in summer of the year 2009

When	What	Where	attendee
2009 Aug. 3-5	Cadence IC FrontEnd	Tokyo Univ., VDEC	23
		Tohoku Univ., VDEC	3
		Kanazawa Univ., VDEC	3
		Nagoya Univ., VDEC	4
		Hiroshima Univ, VDEC	6
2009 Aug. 6	Cadenc RTL Compiler	Tokyo Univ., VDEC	10
		Nagoya Univ. VDEC	3
2009 Aug. 10-12	Cadence IC BackEnd	Tokyo Univ., VDEC	36
		Hokkaido Univ., VDEC	4
		Tohoku Univ., VDEC	2
		Kanazawa Univ., VDEC	3
		Hiroshima Univ., VDEC	7
2009 Aug. 19-20	ASIP Solutions ASIP Meister	Osaka Univ., VDEC	7
2009 Sep. 1	Synopsys Design Compiler	Tokyo Univ., VDEC	23
		Hokkaido Univ., VDEC	3
		Tohoku Univ., VDEC	2
		Kanazawa Univ., VDEC	7
		Osaka Univ., VDEC	7
		Hiroshima Univ., VDEC	13
2009 Sep. 2	VDEC SoC tester T2000	Tokyo Univ., VDEC	2
2009 Sept. 3-4	Synopsys IC Compiler	Tokyo Univ., VDEC	22
		Hokkaido Univ., VDEC	2
		Tohoku Univ., VDEC	2
		Kanazawa Univ., VDEC	6
		Hiroshima Univ., VDEC	13

2009 Sep. 7	Synopsys VCS	Tokyo Univ., VDEC	12
		Tohoku Univ., VDEC	2
2009 Sept. 8-9	Agilent GoldenGate	Tokyo Univ., VDEC	12
		Tohoku Univ., VDEC	2
		Hiroshima Univ., VDEC	10
2009 Sept. 24-25	VDEC Transistor Level Circuit Design	Tokyo Univ., VDEC	39
2009 年 Sept. 28-29	VDEC Digital Circuit Design	Tokyo Univ., VDEC	39
2009 Sep. 30	VDEC Digital Circuit Measurement	Tohoku Univ., VDEC	3
2010 March 2-3	Agilent ADS (Advanced)	Tokyo Univ., VDEC	16
		Hokkaido Univ., VDEC	1
		Tohoku Univ., VDEC	8
		Nagoya Univ., VDEC	0
		Kanazawa Univ., VDEC	5
2010 Mar. 4	Synopsys HSpice (Advanced)	Hiroshima Univ., VDEC	9
		Tokyo Univ., VDEC	33
		Tohoku Univ., VDEC	2
		Nagoya Univ., VDEC	7
		Kanazawa Univ., VDEC	7
		Osaka Univ., VDEC	17
		Hiroshima Univ., VDEC	7
		Miyazaki Univ.,	8
Nagasaki Univ.,	4		
2010 年 Mar. 5	Synopsys PowerCompiler	Tokyo Univ., VDEC	15
		Hokkaido Univ., VDEC	5
		Tohoku Univ., VDEC	8
		Nagoya Univ., VDEC	3
		Kanazawa Univ., VDEC	11
		Hiroshima Univ., VDEC	13
		Kinki Univ.	9
		Nagasaki Univ.,	4
Fukuoka Univ.,	4		
2010 年 March 10-12	Cadenc IC FrontEnd	Tokyo Univ., VDEC	22
		Hokkaido Univ., VDEC	2
		Tohoku Univ., VDEC	13
		Kanazawa Univ., VDEC	4
		Hiroshima Univ., VDEC	9
		Nagasaki Univ.,	5
2010 年 March 17-19	Cadence IC BackEnd	Tokyo Univ., VDEC	27
		Tohoku Univ., VDEC	11
		Kanazawa Univ., VDEC	3
		Hiroshima Univ., VDEC	9
		Miyazaki Univ., (臨時会場)	8
		Nagasaki Univ., (臨時会場)	4

平成 21 年度 VDEC リフレッシュ教育

VLSI 設計教育コースのご案内

<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

VDEC リフレッシュ教育では、集積回路産業に関わる職業人を対象として、VLSI 設計に関する最新の知識・技術の習得を目的とした設計教育コースを実施します。本コースでは、各種設計手法の講義に加え、実際に簡単な集積回路を設計し、シミュレーションや FPGA ボードなどによる検証までを行う VLSI 設計演習を実施します。更に、実際に最先端 VLSI を設計した設計事例を詳しく紹介するコースを設定します。教育機関に在籍する教員・学生の方の参加も可能です。国内の最高の講師陣を集めており、社員への最新の設計技術教育に、自らのデザイン・スキル・アップに最適です。

コース D HDL によるデジタル集積回路設計と演習

【日 程】平成 21 年 11 月 24 日 (火) ~ 27 日 (金) 4 日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】今井 正治 (大阪大学 教授), 越智 裕之 (京都大学 准教授), 小林 和淑 (京都工芸繊維大学 教授), 池田 誠 (東京大学 准教授)

【講義内容】
 11/24 (火): VerilogHDL の文法解説とシミュレーション演習 (越智)
 VerilogHDL による論理合成 / シミュレーションと FPGA 実装演習 1 (小林)
 11/25 (水): VerilogHDL による論理合成 / シミュレーションと FPGA 実装演習 2 (小林)
 11/26 (木): システムレベル設計手法と HDL (今井)
 LSI 配置配線設計演習 1 (池田)
 11/27 (金): LSI 配置配線設計演習 2 (池田)

コース A アナログ集積回路設計と演習

【日 程】平成 21 年 12 月 8 日 (火) ~ 10 日 (木) 3 日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】杉本 泰博 (中央大学 教授), 小野寺 秀俊 (京都大学 教授), 小谷光司 (東北大学 准教授)

【講義内容】
 12/8 (火): アナログ集積回路の特徴と役割 (杉本)
 回路設計, 回路シミュレーション 1 (小野寺)
 12/9 (水): 回路設計, 回路シミュレーション 2 (小野寺)
 レイアウト設計, 検証 (DRC,LVS) 1 (小谷)
 12/10 (木): レイアウト設計, 検証 (DRC,LVS) 2 (小谷)

コース R CMOS-RF 集積回路設計と演習

【日 程】平成 22 年 1 月 6 日 (水) ~ 8 日 (金) 3 日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】藤島 実 (広島大学 教授), 松岡 俊匡 (大阪大学 准教授)

【講義内容】
 1/6 (水): 基礎、分布定数回路 (藤島)
 1/7 (木): RF オンウェア測定 (藤島)
 RF CMOS 回路の基礎 1 (松岡)
 1/8 (金): RF CMOS 回路の基礎 2 (松岡)

コース S-A 先端アナログ設計

【日 程】平成 22 年 1 月 27 日 (水)
 【場 所】東京大学武田先端知ビル 5 階 演習ホール
 【コーディネーター】 益子 耕一郎 (エアールテック)

【講義内容】
 1/27 (水): 10:00~12:00 CMOS RF 回路と無線通信用 LSI の設計 (東京工業大学 石原 昇)
 13:00~16:00 CMOS アナログ回路設計の基礎
 ーだれでも簡単に設計できるようになるー (東京工業大学 松澤 昭)
 16:00~18:00 PLL の設計と最新 PLL 技術状況 (リネサステクノロジ 田中 聡)

【受講料】

コース D : 32,000 円
 コース A : 22,000 円
 コース R : 29,000 円
 コース S-A : 5,000 円

【定 員】

コース D : 35 名程度
 コース A : 35 名程度
 コース R : 35 名程度
 コース S-A : 150 名程度

【申込方法】

10 月下旬から申込開始を予定しております。
 申し込みは Web ページより行なってください。

【問合せ先】

担当: 名倉 徹 (VDEC), 松岡 俊匡 (大阪大学),
 藤田 智弘 (立命館大学), 小林 和淑 (京都工芸繊維大学)
 E-mail: refreshseminar@vdec.u-tokyo.ac.jp

【主 催】

東京大学大規模集積システム設計教育研究センター (VDEC)

【運営事務】

(株)セミコンダクタポータル

【協 賛】

電子情報技術産業協会 (JEITA)
 半導体理工学研究センター (STARC)
 電気学会
 電子情報通信学会
 情報処理学会
 応用物理学会
 IEEE Solid-State Circuits Society, Japan Chapter
 IEEE Solid-State Circuits Society, Kansai Chapter

*内容に関して若干変更になることがあります。最新の情報および詳細は Web ページをご参照ください。

Figure 1.4.1 Poster for the Refresh Seminar



Fig. 1.4.2 Refresh Seminar at VDEC seminar room at the University of Tokyo, VDEC.

Teachers of universities and designers in the first line of the enterprise were invited to the lecturer at "VLSI design refresh seminar" was held aiming at the latest, advanced knowledge and technical learning concerning VLSI design as a refreshing education for working people involved in the integrated circuit industry (Table 1.4.2). Though this seminar started chiefly in year 1998 under the support of Ministry of Education Technical Education Division to give practicing education of the latest VLSI design technology, it continues under many supports from many societies.

Course D: Digital integrated circuit design using VHDL (11/24-11/27), and course A: analog integrated circuit design (12/8-12/10), course R: CMOS-RF integrated circuit design (1/6-1/8), and courses S: State-of-the-art VLSI design example (1/27), of four course was held concerning VLSI design of recent year. 13 teachers from industry and universities involved in the integrated circuit research and the education were invited as the

lecturer, and they introduced a state-of-the-art VLSI design technology including the practice using a lecture concerning VLSI design and the latest CAD tool. The participant were 10, 23, 16 and 43 people for course D, A, R and S, respectively, and became 92 people in total.

[Designer's forum for young teachers and students]

VDEC LSI designer forum intended for students and young teachers has been held. The VDEC LSI designer forum has aimed to sharing information that cannot be obtained at a society and a academic society, for example, the failure case and the solution in which LSI designer has a hard time, the inside story of CAD industry, the construction method in the design milieu in the laboratory, and so on. It was held in shape to have more academic color this year in The University of Tokyo, Takeda hall from June/5 to 7. No less than 88 participants were flourishing at the gathering...

Table 1.4.2 Refresh Seminar

What	When	Attendee	Lecturer	Abstract
Course D: Digital Circuit Design using HDL	2009 Nov. 24-27 VDEC Seminar Room	10	Masaharu Imai (Osaka Uni.), Hiroyuki Ochi (Osaka Univ.), Kazutoshi Kobayashi (Kyoto Institute of Technology), Makoto Ikeda (Univ. of Tokyo)	<ul style="list-style-type: none"> • Verilog HDL grammar and simulation • Logic Synthesis, simulation and FPGA exercise using Verilog HDL • Digital integrated circuit design using HDL • LSI place and route
Course A: Analog Circuit Design	2009 Dec. 8-10 VDEC Seminar Room	23	Masahiro Sugimoto (Chuo Univ.), Hidetoshi Onodera (Kyoto Univ.), Koji Kotani (Tohoku Univ.)	<ul style="list-style-type: none"> • Analog Circuit design and simulation • Characteristics of analog integrated circuits • Layout design and verification (DRC, LVS)
Course R: RF Circuit Design	2010 Jan. 6-8 VDEC Seminar Room	16	Toshimasa Matsuoka (Osaka Univ.), Minoru Fujishima (Univ. of Tokyo)	<ul style="list-style-type: none"> • Distributed circuit • Basics of RF CMOS circuits • RF On-wafer measurement
Course S: Advanced VLSI design Examples	2010 Jan. 27 VDEC Seminar Room	43	Koichiro Mashiko (STARC), Noboru Ishibashi (Tokyo Inst. Of Tech.), Akira Matsuzawa (Tokyo Inst. Of Tech), Satoshi Tanaka (Hitachi)	<ul style="list-style-type: none"> • Advance Analog Design <ul style="list-style-type: none"> - CMOS RF circuits and wireless LSI design - CMOS analog circuit design basics – Anyone can design circuits – - Basics of PLL design

Table 1.4.3 Program of Designers Forum in 2009.

6/5	13:00-17:00	Workshop1: CAD install seminar	Toru Nakura (The Univ.of Tokyo)
6/6	10:00-12:00	Workshop2: New analog design environment of Caence	Lecturer from Cadence
	13:10-14:10	VLSI brain processor based on "mind" information syste	Tadashi Shibata (The Univ. of Tokyo)
	14:30-15:30	Sensors/Processors for Structural Health Monitoring	Shantanu Chakrabartty (Michigan State Univ.)
	15:50-16:50	Technology trend and difficulty of power gating	Kimiyoshi Usami (Shibaura Inst. of Tech.)
	17:10-18:10	Survival for Semiconductor - from anti-commons to Ga 1 apagos -	Koichiro Mashiko (ex. The Univ. of Tokyo)
	18:40-22:00	Social hour & poster session	
	22:30-23:00	[LSI test and VDEC test environment]	Satoshi Komats (The Univ. of Tokyo)
6/7	9:00-12:00	Ph.D session	
	13:00-13:30	First step for Si research — Setup everything ~ Based on start-up for Takeuchi lab. ~	Teruki Hatanaka (The Univ. of Tokyo)
	13:30-14:00	[Ultra-low-power subthreshold circuits] ~ Based on circuit design and chip fabrication	Yuji Sanada (Osaka Univ.)
	14:00-16:00	Short presentation (15min. x 8)	
	16:00-16:30	Introduction of VDECactivity	MakotoIkeda (The Univ. of Tokyo)
	16:30-17:00	Awarding ceremony and closing remark.	

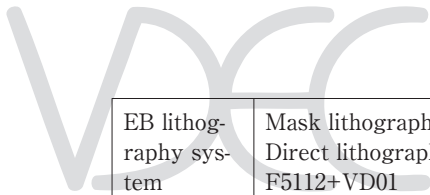
1.5 Facilities

The VDEC has provided the facilities for universities in Japan from the beginning of the VDEC foundation. Table 1.5.1 shows the available facilities of VLSI testers and some process machines, which are placed at the tester room and the super clean room of the Takeda building. In 2004, the VLSI tester (T2000) and the EB lithography machine (F5112+VD01) were donated to the VDEC by the ADVANTEST. From April 2009 to January 2010, the EB lithography machine F5112 has been used 1320 times (Mask lithography × 381, direct lithography × 939). Currently the EB lithography machine has been maintained by a fair fee from users and the support of the Nanonet of the MEXT.

The VDEC standardized the test environment tools, digital LSIs with the VDEC standard pin connections can be tested by the LSI tester provided by the VDEC and the related universities. The other LSIs can also be tested by preparing proper daughter boards. The VDEC has also promoted the technical seminar for the LSI tester. The sockets for QFP and BGA and the pitch converting board with the standard 2.54 mm pitch have been developed by the VDEC, and they can be bought through the WEB site of the VDEC. The facilities for the LSI testing can be used after attending the technical seminar. The licenses are also required to use the EB lithography and the FIB.

Table 1.5.1 Available facility list

Facility	Equipment name	Description	Status	Contact
Logic LSI test system	Mixed signal LSI tester: ITS 9000Exa	Digital: 100MHz/200MHz 320pins Analog: 4 channels.	Available	ITS9000@vdec.u-tokyo.ac.jp
	EB tester: IDS5000ZX	The chip surface voltage during operation can be measured with the LST tester. The digital circuit with 384 pins, 1GHz can be tested.	Available	IDS5000@vdec.u-tokyo.ac.jp
	LSI tester: HP8300	The digital circuit with 384 pins, 1GHz can be tested.	Available	HP8300@vdec.u-tokyo.ac.jp
	LSI tester: ADVANTEST T2000	The digital circuit with 256 pins, 512MHz can be tested. Analog test is optional.	Available	equipment@vdec.u-tokyo.ac.jp
	FIB: IDSP2X	Cutting wires of LSIs and depositing Pt wires are available to repair the LSI design errors.	Available	IDSP2X@vdec.u-tokyo.ac.jp
	Auto prober: PM-90-A	Automated prober for testing LSI wafers, which can be used with the LSI testers. The probe card for LSIs with the VDEC standard pin connections is available.	Available	equipment@vdec.u-tokyo.ac.jp
Analog/RF measurement system	Analog/RF measurement system: HP4156B, HP4284, etc	DC parameter measurement, Capacitance measurement, Network analyzer, Spectrum analyzer, etc.	Available	equipment@vdec.u-tokyo.ac.jp
	Low-noize manual prober: Cascade Microtec	6 inch wafer can be measured with six DC probes and two RF probes upto 50 GHz.		
	Low-noize, temperature controlled semi-auto prober: Süss Microtec	8inch wafer can be measured. The chip temperature range is -50 to 200°C .		
	Low-temperature prober: Nagase	5 inch wafer can be cooled down to 25 K.	Available	equipment@vdec.u-tokyo.ac.jp



EB lithography system	Mask lithography, Direct lithography: F5112+VD01	Minimum linewidth: 0.1 μ m. Lithography for 5 inch photomask (thickness: 2.3 mm) and 2-4 inch chips is available.	Available	equipment@vdec.u-tokyo.ac.jp
FIB system	FIB: SMI9800MSP	Repairment of photomask, sample etching, etc.	Available	equipment@vdec.u-tokyo.ac.jp

1.6 Activity plan for 2010

VDEC will continue activities on chip fabrication services, CAD tool support, dispatching design related information and donated division "D2T", as has been previous years.

[Design related information dispatching/Seminar]

We will continue holding the following seminars: (1) CAD tools seminars which have been continued since 1997, (2) "Refresh seminar" since 1998, (3) "Designer' Forum" since 1997. We will also continue seminars for LSI tester usage at VDEC and sub-centers, workshops on LSI testing technologies initiated by D2T.

[CAD tool support]

We will continue Cadence tools, Synopsys tools and

Mentor tools as the main stream design tools. We will continue analog RF design environment, GoldenGate, ADS and RFDE by Agilent, circuit simulator, SmartSpice by Silvaco, C-based design environment, BachC by Sharp. In addition, we continue trial of several CAD tools, such as high-level synthesis tool, PICO Express by Synfora, layout platform, Lavis by TOOL.

[Chip fabrication services]

We will continue chip fabrication services for 1.2 μm CMOS, 0.18 μm CMOS and 65 nm CMOS, by On-semiconductor, Rohm and eShuttle, respectively. We will ask packaging for the above chip fabrications to Fujitsu Integrated Micro-technology to meet the diverse needs of the assembly.

Table 1.6.1 Chip fabrication schedule

[CMOS 1.2 μm 2P2M] On-Semiconductor (Former Motorola Japan)

	Chip application deadline	Design deadline	Chip delivery
2010 #1	2010/ 7/ 5	2010/10/ 4	2011/ 1/21
2010 #2	2011/ 1/14	2011/ 4/ 4	2011/ 7/ 8

[CMOS 0.18 μm 1P5M (+MiM)] Rohm

	Chip application deadline	Design deadline	Chip delivery
2010 #1	2010/ 3/23	2010/ 7/ 5	2010/10/15
2010 #2	2010/ 5/24	2010/ 8/23	2010/12/ 3
2010 #3	2010/ 7/20	2010/10/18	2011/ 2/14
2010 #4	2010/10/ 4	2011/ 1/11	2011/ 5/ 2
2010 #5	2011/ 1/11	2011/ 3/14	2011/ 7/ 1

[CMOS 65 nm 1P12M] eShuttle

	Chip application deadline	Design deadline	Chip delivery
2010 June	2010/ 4/30	2010/ 6/ 1	2010/ 9/24
2010 Aug.	2010/ 6/28	2010/ 7/28	2010/11/19
2010 Oct.	2010/ 8/30	2010/ 9/29	2011/ 2/ 4
2010 Dec.	2010/10/25	2010/12/ 1	2011/ 4/ 1
2011 Feb.	2010/ 4/30	2011/ 2/ 2	2011/ 6/ 3

1.7 Venture companies related to VDEC

Some professors related to VDEC started venture companies. The following is a list of the venture companies related to VDEC.

[1] AIL Co., Ltd. (<http://www.ailabo.co.jp/>)

Related professor : Professor Kazuo Taki, Kobe Univ. (President-Director)

[2] Synthesis Corporation (<http://www.synthesis.co.jp/>)

Related professor : Professor Emeritus Isao Shirakawa, Osaka Univ. (Director)

Description of business : (1) Hardware/software co-design

(2) System LSI design, design services

(3) Development and sales of IPs

(4) Development of EDA tools

[3] ASIP Solutions, Inc. (<http://www.asip-solutions.com/>)

Related professor : Professor Masaharu Imai, Osaka Univ. (Representative Director and CTO)

Description of business : (1) EDA Tool

(2) Design Service and Consultation

(3) IP Development

[4] BeyondLSI, Inc., (<http://www.beyondlsi.com/jp/index.html>)

Related professor : Professor Hiroaki Kunieda, Tokyo Institute of Technology. (Representative Director)

Description of business : (1) System Development

(2) Hardware/Software Development

(3) Prototyping/testing/evaluating for specific applications

[5] Nanodesign Corporation (<http://www.nanodesign.co.jp/>)

Related professor : Professor Kazuyuki Nakamura, Kyushu Institute of Technology. (Representative Director)

[6] A-R-Tec Corp. (<http://www.a-r-tec.jp/>)

Related professor : Professor Emeritus Atsushi Iwata, Hiroshima Univ. (Representative Director)

Description of business : (1) Measurement and analysis of LSI substrate noise

(2) Design of analog-RF mixed signal LSIs

(3) Training of analog design on the JOB method

1.8 “Nanotechnet”: Ultra Small Lithography and Nanometric Observation Site

VDEC is co-operating an open-use nanotechnology platform “Ultra Small Lithography and Nanometric Observation Site” together with the Institute of Engineering Innovation of Graduate School of Engineering. The site is supported by Japanese Ministry of Education (MEXT)’s Nanotechnology Networking grant. Any researchers in Japanese Universities, Laboratories, and Companies can take full advantage of The University of Tokyo’ s cutting-edge nanotechnology apparatuses and know-hows. The accessible technology includes Lithography and Etching environment, Ultra High-Voltage Acceleration (1MV) transmission electron microscope (TEM) that is capable of visualizing upto

light materials such as Nitrogen. VDEC takes part in the lithography at Takeda Sentanchi Super Cleanroom. Through VDEC’s key apparatus F5112+VD01 donated from Advantest Corporation, VDEC is supporting post-VLSI activities such as MEMS. The machine is capable of rapidly writing patterns on arbitrary-shaped targets sizing from 1cm-square chip to 8-inch round wafers. Three years has passed since Nanotechnet project acceptance, and yearly +10% of progress is continuing, in number of users (468 subscribers in 2009) and usages (1506 exposures in 2009).

URL: <http://nanotechnet.t.u-tokyo.ac.jp/>

VDEC

Chapter 2 Activity Report of “D2T Research Division”

2. 1 Introduction of “D2T Research Division”

2.1.1 Aim of “D2T Research Division”

ADVANTEST D2T research division was established in VDEC in October 2007. It will continue for 3 years. As the name of the research division indicates, it is financially supported by ADVANTEST Corporation.

The aim of D2T research division is to promote the research and education environment of VLSI testing in all universities and colleges in Japan. “D2T” means that we consider not only design but also test. As a result of our activities, we hope to provide the experts of design and test for industry. In addition, we are exchanging researchers with other universities or research institute in both Japan and overseas. Moreover, D2T research division is in a good environment to make collaboration with industry because testing of VLSI is one of the most practical research topics in industry. Based on those activities, our final goal is to become a center of excellence of VLSI Testing in Japan

2.1.2 Members of “Advantest D2T Research Division”

Staff

Project Associate Professor

Satoshi Komatsu

Project Researcher

Mohamed Abbas

Project Researcher

Giuseppe Di Guglielmo (2010/3-)

Researcher

Yasuo Furukawa (Advantest Corporation)

Researcher

Takahiro Yamaguchi (Advantest Laboratories Ltd.)

Assistant Clerk

Makiko Okazaki

Visiting Professor

Kwng-Ting (Tim) Cheng (University of California, Santa Barbara)

Visiting Associate Professor

Subhasish Mitra (Stanford University)

2. 2. Report of “D2T Symposium 2009”

“D2T Symposium 2009” took place on Tuesday, December 11th, 2009 at Takeda Building. In the symposium, five outstanding researchers were invited to give the state-of-the-art researches in the fields of “Test” and “Verification”. In addition to the invited talks, the members of “Advantest D2T Research Division” reported their activities.

Many researchers from industry as well as professors / students attended the symposium and the number of the attendees was more than 120. We believe the symposium was very interesting and exciting one for all attendees. VDEC will continue to have the symposium in future and we hope for your joining the events.

東京大学 大規模集積システム設計教育研究センター VDEC
ULSI Design and Education Center (VDEC), The University of Tokyo

アドバンテスト D2T 寄附研究部門

D2T シンポジウム

2009
12/11 (火)
 10:00~18:00
 東京大学 武田先端知ビル 5階 武田ホール

<p>プログラム Program</p>	<p>10:00 開会の挨拶</p> <p>10:10 D2T 寄附研究部門紹介</p> <p>10:20 招待講演 (1) <i>"Test's Changing Role in the Late-Silicon Era"</i> Kwang-Ting Cheng (University of California, Santa Barbara 教授)</p> <p><i>"IFRA: Instruction Footprint Recording and Analysis for Post-Silicon Validation of Robust Systems"</i> Subhasish Mitra (Stanford University 教授)</p> <p>11:50 昼食</p> <p>13:00 招待講演 (2) <i>"Testing of 3D Integrated Circuits"</i> Krishnendu Chakrabarty (Duke University 教授)</p> <p><i>"Issues and Challenges of Analog Circuit Testing in Mixed-Signal SOC"</i> 小林 春夫 (群馬大学 教授)</p> <p>14:30 休憩</p> <p>15:00 D2T 寄附研究部門活動報告 <i>"A Characteristic Function Based Method for Identifying a Deterministic Jitter Model in a Total Jitter Distribution"</i> 山口 隆弘 (アドバンテスト研究所)</p> <p><i>"Signature-Based Testing for Adaptive Mixed-Signal Systems"</i> Mohamed Abbas (University of Tokyo)</p> <p>16:00 休憩</p> <p>16:30 招待講演 (3) <i>"Mining Test Data for Improving Chip Design, Fabrication, and Quality"</i> Shawn Blanton (Carnegie Mellon University 教授)</p> <p><i>"On Compositional Observational Equivalence Checking of Hardware"</i> Zurab Khasidashvili (Intel Haifa)</p> <p>18:00 閉会の挨拶</p> <p>18:10 懇親会</p>
--------------------------	--

**武田ホール
武田先端知ビル
5F**

参加のお申し込み
 【参加費】無料 【申し込み方法】以下のウェブサイトからの事前申込制
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2009.html>

【主催】
 東京大学大規模集積システム設計教育研究センター (VDEC)
 後援：株式会社アドバンテスト / ADVANTEST Corporation

【お問い合わせ】
 東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
 〒113-0032 東京都文京区湯谷 2-11-16 武田先端知ビル 404号室
 Tel: 03-5841-0233 FAX: 03-5841-1093
<http://www.vdec.u-tokyo.ac.jp/>
 E-Mail: komatsu@vdec.u-tokyo.ac.jp

Symposium Program

10:00	Opening Remark
10:10	Introduction of Advantest D2T Research Division
10:20	Invited Talks (1)
	<p>“Test’s Changing Role in the Late-Silicon Era” <i>Tim Cheng (University of California, Santa Barbara)</i></p> <p>“IFRA: Instruction Footprint Recording and Analysis for Post-Silicon Validation of Robust Systems” <i>Subhasish Mitra (Stanford University)</i></p>
11:50	Lunch
13:00	Invited Talks (2)
	<p>“Testing of 3D Integrated Circuits: Challenges and Emerging Solutions” <i>Krishnendu Chakrabarty (Duke University)</i></p> <p>“Issues and Challenges of Analog Circuit Testing in Mixed-Signal SOC” <i>Haruo Kobayashi (Gunma University)</i></p>
14:30	Coffee Break
15:00	Research Report of VDEC D2T Group
	<p>“A Characteristic Function Based Method for Identifying a Deterministic Jitter Model in a Total Jitter Distribution” <i>Takahiro Yamaguchi (Advantest Corporation)</i></p> <p>“Signature-Based Testing for Adaptive Mixed-Signal Systems” <i>Mohamed Abbas (University of Tokyo)</i></p>
16:00	Coffee Break
16:30	Invited Talks (3)
	<p>“Manufacturing Test of Nanometer Integrated Circuits” <i>Shawn Blanton (Carnegie Mellon University)</i></p> <p>“On Compositional Observational Equivalence Checking of Hardware” <i>Zurab Khasidashvili (Intel Haifa)</i></p>
18:00	Closing Remark
18:10	Party

2.3. Tokyo University Shokumon Award

The award ceremony for the “Tokyo University Shokumon Award” took place on Tuesday, October 6th at Sanjo Conference Hall. This award is given to individuals or corporations who have had outstanding contribution to the university. (The detail of “Shokumon Award” is described in the following URL. http://www.u-tokyo.ac.jp/res01/d04_d06_j.html (in Japanese))

This year, “Tokyo University Shokumon Award” was given to Advantest Corporation because of their continuous supports for VDEC. Their extensive supports are

composed of (1) donation of equipments (EB exposure system F5112 and SoC Test System T2000), (2) endowment of research division (D2T Research Division). Those supports have been very helpful to construct the foothold of the research of nano-technology and VLSI design, which results in the remarkable activation of our researches. The supports of Advantest are available for all VDEC users through VDEC. We encourage you to efficiently use those facilities.



The award ceremony for the “Tokyo University Shokumon Award”

2.4. Research Activity Reports of “Advantest D2T Research Division”

Testing of Digitally-Assisted Adaptive Mixed-Signal Systems

Mohamed Abbas, Satoshi Komatsu, Yasuo Furukawa, Tim Cheng

Continuing our research activity for testing the digitally-assisted analog designs, we have developed an analog ATPG for testing the digitally assisted adaptive equalizer and a methodology for testing the adaptive digitally calibrated ADC.

First; we present a Genetic Algorithm (GA) based ATPG framework for generating near-optimal test stimuli to be used for dynamic-signature-based testing for the adaptive systems that follow the digitally-assisted analog design style. One of the key advantages of this method is that no prior knowledge regarding the functional relationship between the test stimulus waveform and the target fault is required. Their relationship is automatically explored through simulation and reflected in the resulting fitness function. For each target fault, the GA reports the test stimuli which maximize the difference between the dynamic signatures of the fault-free and faulty circuits. Our framework then selects the stimulus among the stimuli generated by the GA to minimize the number of misclassified devices taking into account the effect of process variations and signal noise. We conducted experiments on an exemplar 5-tap feed-forward adaptive equalizer to examine the effectiveness of the method. The results indicate that the signature differences in response to the GA tests are significantly greater than those of the hand-crafted tests for most hard-to-detect faults.

Second; we propose a new method for testing the digitally-calibrated pipelined ADCs which utilize adaptive digital calibration engine. Instead of relying on the calibrated data, we utilize the un-calibrated digital outputs to examine the health of the ADC under test. The test stimulus is generated on-chip by using digital counter and $\Sigma \Delta$ type DAC. The method is promising in terms of test cost and test quality.

On-Chip Signal Digitalization

Mohamed Abbas, Takahiro Yamaguchi, Yasuo Furukawa, Satoshi Komatsu

Analog to digital converter is an important building block which enables the interfacing between the actual (analog) world and the digital processing environment. The demands for low-power and small area ADC have been the driving forces of developing of the level-crossing ADC. In level-crossing ADC, the signal is sampled when it crosses a threshold level and the time between two consecutive crossings is measured. This is in contrast to conventional ADCs where the signal is sampled with constant time intervals and the acquired amplitude values are approximated with digital numbers. The level crossing approach results in some interesting properties such as absence of quantization noise and possibility of arbitrary placement of quantization levels to accommodate for signal specific properties. In addition it occupies smaller area and consumes lower power consumption compared with the conventional ADC.

There are many applications for the level-crossing ADC, for examples, in signal processing field; it can be used for interfacing temperature, pressure, vibration sensors and also it can increase the lifetime of cell phones. Another important field of applications is the biomedical engineering.

Two new techniques for the level crossing ADC (LC-ADC) have been proposed. Namely clocked LC-ADC and continuous time LC-ADC. The clocked one has been design in 0.18 μ m and 65nm technologies. Two versions of the continuous LC-ADC have been designed in 65nm technology. The designs have been taped-out and some of them are under testing.

Research of an equivalent margin test

Yasuo Furukawa

The cause of the error which has no reproducibility is called a soft error. But the much is here because of lack of the margin of the device and both of the device use environment.

The power supply margin might be few, and the error without reproducibility becomes a problem in the field in low voltage CMOS device in recent years. This problem should be able to be solved by the suitable margin test and suitable design. However, an accurate margin test needs long test time. In a word, it is difficult to execute an enough margin test to mean the increase of the test cost.

We have challenged this inconsistency dissolution. There is accuracy equivalent to an exact margin test, and realization of low test cost is the target. The approach technique is shown in below.

For automatic generation of the optimal input test signal of analog circuitry, an evaluation index is required. This index is applicable also to evaluation of the margin range.

The IDDQ test technique in large leak current has been studied. The margin check range which used the technology and used correlation of leak current and V_{th} may be able to be narrowed down.

Timing Noise Analysis of Threshold Detecting Comparator

Takahiro Yamaguchi

This research developed a timing noise model of a threshold detection comparator. The propagation delay variations of the comparator is given as a function of (slew rate)⁻¹ of input waveform. The model was experimentally validated using a comparator of $t_{pd} = 700$ ps.

VLSI Test Exercise Courses for Students in EE

Department

Satoshi Komatsu, Yasuo Furukawa

As the complexity of hardware functionality continues to increase, a test of VLSI chips becomes much more important. To meet this trend, education on the test of VLSI chip with System-on-Chip (SOC) test system is essential even in the education in the universities.

In the Department of Electrical and Electronics Engineering, the University of Tokyo, several courses complementally cover whole of VLSI design and fabrication. In particular, education with physical practice is important and emphasized so that the students are educated for skillful engineer with practical experience of VLSI design, fabrication, and measurement.

We have started VLSI test exercise course for the students of EE department since 2005. The course has become one of the regular exercise courses in our curriculum. Currently, we are revising the exercise materials so that students can learn the test of VLSI much more efficiently.

2. 5. Publications

- [1] "Signature-Based Testing for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links," Mohamed Abbas, Kwang-Ting Cheng, Yasuo Furukawa, Satoshi Komatsu, and Kunihiro Asada, IEEE European Test Symposium 2009 (ETS2009), pp.107-112, 2009.
- [2] "GA-Based Test Generation for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links," Mohamed Abbas, Tim Cheng, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, IEEE East-West Design & Test International Symposium 2009 (EWDTS2009), pp,287-292, 2009.
- [3] "Signature-Based Testing for Adaptive Digitally-Calibrated Pipelined Analog-to-Digital Converters," Mohamed Abbas, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, IEEE International Conference on ASIC (ASICON 2009), pp. xxx-xxx, 2009.
- [4] "Signature-Based Testing for Digitally-Assisted Analog Systems," Satoshi Komatsu, ITC'09 Elevator Session, 2009.
- [5] "An Automatic Test Generation Framework for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links," Mohamed Abbas, Tim Cheng, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, Design, Automation & Test in Europe 2010 (DATE 2010), pp.1755-1760, 2010.

Chapter 3 Research in VDEC

Asada, Ikeda, and Nakura Laboratory

(<http://www.mos.t.u-tokyo.ac.jp>)

Current Research Projects

Monitoring and Cancelling methodology of power supply noise

K. Asada, M. Ikeda, T. Nakura, J. Kim, N.L. Dang,
Y. Tamawoki

VLSI systems are widely used not only information processing and communication, but also medical services and aerospace. The high signal integrity is required for the stable circuit operation without system errors. However, the increasing number of transistors in the VLSI due to CMOS technology scaling make on-chip current density high, and it causes noise on the power supply lines. Power supply noise causes problems such as timing violation, reduced noise margin, and oxide breakdown. Our research put power supply monitors in the chip to detect the worst delay of each monitoring location. In the other hand, we realize stable power supply voltage to cancel supply noise with active cancelling circuit systems.

Pulse-Based LSI Design and Process Monitor

K. Asada, T. Nakura, T. Iizuka, J.H. Jeong

In this study, we proposed a buffer-ring-based all-digital process variability monitor. This technique allows us to collect the data easily in wafer or package form due to its all-digital nature. The correct operation of the proposed circuit was demonstrated using test chip fabricated on 65 nm CMOS process. We also proposed a pulse-width memory. The proposed pulse width memory stores the input pulse width, which is the time-domain information, utilizing two cross-coupled buffer ring which operate differentially.

Imaging using 100GHz frequency band

K. Asada, M. Sasaki, N.N.M. Khanh

A fully on-chip 2x4 antenna array transmitter by 65nm CMOS technology is designed and fabricated for pulse beam-forming in millimeter wave (mm-wave) imaging applications. An 8 on-chip dipole element array with 117–130 GHz frequency bandwidth for pulse transmitting is integrated into a chip. Each of antennas is fed by an on-chip damping pulse generator followed by a programmable delay controlling circuit. An on-chip jitter measuring circuit with resolution less than 1ps is designed using the 65nm CMOS process. This circuit is used to adjust time interval of generating pulses of the above on-chip antenna array in order to control the transmitter's beam-forming angle toward target objects for imaging. The on-chip pulse transmitter with integrated dipole antenna operating in lower frequency is designed and fabricated in 0.18 μm CMOS process. A corresponding wide-band Gilbert cell mixer is included in this chip for detecting received signals which are radiated by the above transmitter. The measurement results show that the 0.18 μm CMOS pulse transmitter successfully radiates a wave with 12–15 GHz frequency.

Smart Image Sensors

K. Asada, M. Ikeda, M. Sasaki, Y.K. Kim,
M. Ohtsuka, X. Song

We analyzed light transmission characteristics through multi-metal-layer according to the wave length based on transfer matrix and showed good agreement with the measurement results by 65 nm CMOS test chip. We also analyzed the polarization characteristics by wire grids. We measured DC and AC characteristics of MAGFET with on-chip coil to evaluate the possibility of optical-electromagnetic demodulation. Moreover, in order to achieve sub-pixel resolution of the CMOS position sensor, a brand new idea using skew pixel arrays is proposed when the pixel pitch could not be designed smaller.

High-performance 3-D range finding systems

K. Asada, M. Ikeda, S. Mandai, K. Hattori

We designed a smart image sensor to capture 3-D range by light-section method using sheet beam and realized 3-D range-finding system using the designed smart image sensor. We embedded 1-bit ADC and row-parallel binary tree search circuit into pixel to improve the search speed, and introduced current subtract type pixel to improve response time of pixels. We designed the smart image sensor with 256x256 pixels in 0.18 μm CMOS and evaluated the equivalent sheet beam detection speed of 10k rangemap/s, and demonstrated 3-D range finding speed of 800 rangemap/s. We also studied on methods to construct 3-D mesh from the acquired 3-D information from the range-finder based on light-section method.

Self-synchronous System based on dual-rail logics

K. Asada, M. Ikeda, S. Suzuki, B.S. Devlin, S. Saito, T. Nakazato

We designed and evaluated a Self Synchronous Field Programmable Gate Array (SSFPGA) with dual-pipeline (DP) architecture to conceal pre-charge time for dynamic logic. We also implemented SSFPGA mapping with pipeline alignment optimization for the throughput optimization, and evaluated the results with benchmark circuits. Measured results for the SSFPGA architecture in 65nmCMOS show, 2.59GHz maximum throughput and 2.81 pJ/block/cycle energy consumption at 1.2V. The SSFPGA also includes synchronization interfaces with 256 bit FIFO for every input and output signal for synchronization to outside systems. The implemented SSFPGA also shows correct functionality with an automatic performance adaption to variations, temperature and noises both internally induced noise and externally injected noise.

SoC design

K. Asada, M. Ikeda, J. Tandon, T. Monma, S.S. Bushnaq

We have 3 principal topics about the SoC design. First, we propose a SoC test platform. The goal of this platform is to develop a built-in test harness that can be automatically synthesized to any digital/mixed-signal SoC. This test harness would be able to measure, temperature, power supply noise, and invoke JTAG-

like functionality. Second, we propose an embedded processor that is able to optimize the performance and the power consumption according to the application by modifying the parallelism of the SIMD execution unit dynamically. Lastly, we propose the novel modulation/demodulation scheme employing the digital baseband processing. This scheme achieves the robustness against the noise with low hardware complexity.

Fujita Laboratory

(<http://www.cad.t.u-tokyo.ac.jp/>)

Formal verification and debugging-support of designs

Masahiro FUJITA, Takeshi MATSUMOTO, Tasuku NISHIHARA, Takaaki TAGAWA

With the increase of size and complexity of system LSI design, verification technology is becoming more and more important. In this project, application of formal verification to hardware/software co-design and asynchronous circuit is researched. In the formal verification of hardware/software co-design, designs using memory-mapped I/O and interruption are efficiently verified by communication abstraction, translation of both hardware and software portions into a same abstraction level description, and sequentialization of concurrent behaviors. On the other hand, the proposed formal verification of asynchronous circuit is the first formal equivalence checking method for bundled-data implementations before and after high-level synthesis. In the proposed method, timing condition and data flow are checked separately. Timing condition is decided from delay elements in the control portion, and it is confirmed that the datapath satisfies the condition. When the datapath satisfies the condition, its data flow is compared with that of the behavioral design before high-level synthesis. We confirmed that the proposed methods could verify the practical designs.

Design support for on-chip interconnect

Masahiro FUJITA, Hiroaki YOSHIDA,
Takeshi MATSUMOTO, Jiayi ZHANG,
Hideo TANIDA, Yuki NAKAI

We have proposed two design methods to facilitate the design of on-chip interconnect. The first method is automatic interface synthesis. We focus on the synthesis of high level interfaces which facilitate communication between possibly mismatched protocols described as Finite State Machines. Complete automation of the converter synthesis process can save time and effort in both design and verification phase and reduce the risk of human error. This year we have proposed methods to realize communication among components with different width of data channel and clock frequency. In the future we will implement these features in our automatic protocol transducer synthesis tool. The second method we are proposing is automatic synthesis of Network-on-Chip architectures. Although many NoC (Network-on-Chip) architectures are proposed, automatically finding the most efficient one for a given application and mapping the function blocks onto it, is still an open issue. Therefore, we are studying automated floor-planning of function blocks and NoC topology/route generation based on application requirements. Our method is capable of handling additional constraints on one-hop link length, which enables generation of NoC architecture with lower bound of operating frequency guaranteed. This year we have proposed a way of handling latency and one-hop link length constraint as constraints in integer-linear-programming formulation of floor-planning stage, while conventional approach was handling them as terms in the objective function. The new formulation of floor-planning, yielded a NoC architecture with lower power consumption than the conventional formulation.

Debug support using high-level design descriptions

Masahiro FUJITA, Takeshi MATSUMOTO,
Tasuku NISHIHARA, Yeonbok LEE,
Hiroki HARADA, Tatsuya KURANO

The efficiency of design debugging is getting critical for shortening the time-to-market. In this research, we propose two approaches for supporting design debugging using high-level design. The first work is a method that extracts bug candidates from a high-

level design description using SMT solver. First, we obtain a DFG (data flow graph) of the target high-level design description for an execution path with a given input pattern, and then we insert a multiplexer on each edge to select the original signal or an extra primary input. Then, we convert it to an SMT problem to find whether or not the circuit can generate a correct output by using the extra input. The second work is a mapping method of an I/O sequence from chip execution to an I/O sequence of high-level design, aiming to use high-level design in post-silicon debugging. First, we propose an automatic mapping method that maps I/O sequences of a chip to those of a high-level design. To achieve it, we defined a formal definition of I/O sequence mapping. Then, on the basis of the definition, we generate an I/O sequence of high-level design by a mapping method based on executing FSMs that represent the interface specifications of target design.

Formal equivalence verification and optimization of data-path dominated designs

Masahiro FUJITA, Bijan ALIZADEH

Although polynomial expressions are frequently encountered in many applications such as computer graphics and digital signal processing (DSP) domains, there are two main problems: 1) existing verification techniques are not able to check the equivalence between two polynomials over Z_{2^n} and 2) conventional high-level synthesis techniques are not able to manipulate polynomial expressions efficiently due to the lack of suitable optimization techniques for redundancy elimination over Z_{2^n} . As the market of such applications continues to grow, improvements in formal verification as well as high-level synthesis and optimization techniques for multivariate polynomials have become really challenging. From a synthesis point of view, the designers often optimize such polynomial functions manually to achieve efficient Register-Transfer-Level (RTL) implementation. However this process can be both time consuming and error prone. As a result, proposing modular equivalence checking approach and developing high-level optimization or synthesis techniques are desirable to automate the design of custom datapaths from a behavioral description. In this research we introduce a modular decision diagram namely Modular Horner Expansion Diagram (M-HED) as a canonical graph-

based representation which allows us to perform optimization and formal equivalence checking between the specification and implementation for multivariate polynomial functions over the ring of integers modulo 2^n , where n is word-length.

High-level synthesis and optimization

Masahiro FUJITA, Hiroaki YOSHIDA,
Ratna KRISHNAMOORTHY, Jaeho LEE

As the VLSI technology advances, it has been becoming essential to account for physical effects which have been ignored. The impact of interconnect on performance has been becoming dominant, hence a number of studies have already been proposed for interconnect-aware logic synthesis. We proposed a high-level synthesis method considering the interconnect effect, particularly a pipeline synthesis method. Dynamically reconfigurable processors (DRPs) can achieve high flexibility, high performance and low power simultaneously. However, designing applications for DRPs requires considerable manual effort and is hence a challenging problem. We have been developing a compiler framework for DRPs and also conducting a research on the automation of typical optimization techniques which are currently performed manually.

ATPG for high level designs

Masahiro FUJITA, Bijan ALIZADEH

As the complexity of System-on-Chip (SOC) designs are increasing rapidly manufacturing fault testing has been attracting more attention. Although a wide variety of design for testability (DFT) techniques has been proposed in recent years, they have significant disadvantages. The first disadvantage of using full or partial scan techniques is an added area and performance overhead due to replacing flip-flops (FFs) with scan FFs (SFFs). Another disadvantage is power consumption overhead. During a scan operation the inputs of combinational logic can see many changes which increase power consumption due to producing excessive switching activity in the chip. Furthermore, although the SOC design flow is moving toward higher levels of abstraction, automatic test pattern generation (ATPG) and DFT tools are based on gate-level techniques where a detailed description of the

design is necessary. In this research we introduce a non-scan high level ATPG methodology targeted stuck-at faults at gate-level which enables us to generate high level test patterns independent of the target technology. In other words, ATPG can be performed even when the gate level model of the circuit is not available. Moreover, early generation of test patterns from the behavioral description of the circuit helps the designer to find out whether the DFT techniques are necessary or not.

Timing error recovery support for pipelined circuits and its formal verification

Masahiro FUJITA, Amir Masoud GHAREHBAGHI,
Bijan ALIZADEH

Clock period of pipelined designs are usually determined by the critical paths to avoid timing errors and guarantee reliable operations. The worst case delays of the slowest pipeline stages cause the clock frequency to be less than the average path delays. This may introduce enormous performance loss if the critical paths rarely happen, and the critical path delays are far larger than the average path delays, which is common for many pipelined circuits. In this work, we have introduced a novel timing error recovery technique that guarantees reliable operation of pipelined designs in presence of any arbitrary number of timing errors in different pipeline stages. We allow the clock frequency to be higher than the worst case; hence increasing the performance. We have demonstrated the usefulness of our technique by implementing two different pipelined circuits on FPGA boards: a pipelined arithmetic circuit and a regular string matcher using non-deterministic finite automata. Our experimental results show that we could successfully increase the clock frequency by 30 % with the timing error rate of 13 %, all of which are automatically corrected with negligible performance penalty. In addition, we have proposed a methodology based on formal correspondence checking to automatically debug and also optimize pipelined microprocessors with timing error recovery techniques. We have modeled different processors from simple pipeline to out-of-order with timing error recovery in UCLID system as a correspondence checker. Also we have successfully verified the timing error recovery feature of the processors. In addition,

we have optimized the processor implementations by removing unnecessary signals and components while the correctness of the design is guaranteed.

Verification Techniques for Dynamic Web Applications

Masahiro FUJITA, Hideo TANIDA

Web applications with technologies to implement of dynamic applications in widespread use recently, are more ubiquitous today. And the applications are substantially bigger and more complex. This places even more demands on more efficient and exhaustive verification methods for web applications. While current web application verification practices often make use of methodologies based on test cases, test-based techniques are not exhaustive and they may leave out corner-case bugs. On the other hand, formal verification techniques such as model checking for stand-alone program implementations, could not be applied for web applications, which are distributed systems with servers and clients connected through network. And conventional model-based verification techniques for web applications had several limitations, which include lack of support for dynamic applications, need for manual description of models etc. This year, we have proposed a verification technique for inter-screen transitions of dynamic web applications. The proposal is a two-phase approach. The first phase is automatic extraction of inter-screen transition models which contain behavior of dynamic HTML contents shown on web browsers and changes made to them with user inputs. And the second phase is model checking on the extracted model. We have implemented the proposed technique and performed experiments with an example on a manual and a large-scale commercial application. Experimental results show that the proposed method is a effective technique for detecting malfunction in applications and is also applicable to large-scale applications.

Takamiya Laboratory (<http://icdesign.iis.u-tokyo.ac.jp/>)

Energy Efficient Extremely Low Voltage VLSI Circuit Design

Makoto Takamiya, Takayasu Sakurai,
Toshiro Hiramoto, Ken Takeuchi and Koichi Ishida

Reducing the power consumption of every electronic device is required to mitigate the global warming. To meet the requirement, VLSI circuit design techniques including logic circuits, memory circuits, analog circuits, power management circuits, and wireless transceiver circuits operating with the 0.5-V power supply voltage are developed with 65/45 nm CMOS process to reduce the power consumption to 1/10 of the conventional VLSI's.

Design of 3-D integrated VLSI system

Makoto Takamiya, Takayasu Sakurai, and
Koichi Ishida

3-D integrated VLSI system is power efficient, because it reduces the communication distance by chip stacking. We have proposed and demonstrated several circuits including chip-to-chip wireless communication and wireless power transmission for the 3-D integrated VLSI system.

Design of Large Area Electronics with LSI' s and Emerging Devices

Makoto Takamiya, Takayasu Sakurai, Takao Someya,
and Koichi Ishida

Large area electronics is a new frontier in electronics where intelligent electronic devices are distributed on a flexible surface, 10 cm to 10 m on a side, for the human interface and the comfortable daily life. Flexible and low-cost organic FETs (OFETs) are suitable for large-area electronics and have great potential as a supplement of solid and expensive silicon MOSFETs for VLSI's. We have proposed and demonstrated several large area applications combining OFETs and VLSI' s and the relevant circuits including Braille display, a wireless power transmission sheet, a communication sheet, an EMI measurement sheet, and a User Customizable Logic Paper (UCLP).

Current Research Projects

Right-Brain-Computing Integrated Circuits: Associative Processing Systems

T. Shibata, Y. Ma, B. Ka

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called "Neuron MOS Transistor" (neuMOS or ν MOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that "association" is the very computing primitive, we are pursuing human-like intelligence system implementation directly in silicon integrated circuits. Currently research is in progress for robust image recognition and voice recognition processing. The state-of-the-art silicon technology has been utilized to implement such associative processors in both analog and digital CMOS VLSI chips. As a practical application of the circuit technology developed for the associative processor chips, CDMA matched filter chips have also been developed.

A Robust Feature-Vector Generation VLSI's and their Application to Human-Like Image Recognition

T. Shibata, R. Grou, Z. Hongbo, N. Takahashi,
S. Morikawa, D. Han, H.-S. Kim, Z. Sun,
N. Yamashita, G. Oshiyama

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a feature vector, well representing the characteristic features of the original image. In the representation,

human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by "Projected Principal-Edge Distribution (PPED)" algorithm. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituitary gland), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

Real-Time Moving Image Processing VLSI Systems

T. Shibata, P. Zhao, S. Shin, P. Weerawardhana,
T. Komori

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has also been developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

A Robust Human Figure Detection System Using Directional-Edge-Based Image Representations

T. Shibata, T. Miyoshi

Face localization and identification of individuals by facial images are important issues in the development of new generation human-computer interfaces. There have been many approaches such as skin color detection and using neural networks. They have, however, many problems such as high sensitivity to photograph exposure conditions, and existence of "false negatives". The objective in our approach is to try to minimize the number of "false negatives", even it might increase the number of "false positives". Our algorithm can detect non-face images that are very similar to faces. A preliminary research is done by extending our edge-based vector image representation method (PPED). Besides the PPED-based detection method, two other new vector representations, which are complementary to PPED, have been developed. Using the multiple clue method with these three representations, a very robust performance in face detection has been achieved. We also developed a face identification system in which a face image is treated as a two dimensional sequence of partial images also represented by directional edge-based vectors, thus showing a robust identification performance under a variety of illumination conditions. Based on these achievements, a system is now under development that is capable of localizing human figures with varying poses under cluttered environments.

Moving Image Recognition System

T. Shibata, M. Nishiyama, R. Bao, L. Beamer

So far we have shown directional edge information plays an essential role in a variety of still image recognition applications. In this project, we are developing moving image recognition systems also utilizing directional edge information. In the human brain, it is known that edges of various orientations are firstly extracted from retinal images and then being processed through separate pass ways for motion recognition and object shape recognition. We have followed such a biological principle. As an example, we have developed an object tracking system utilizing the edge information to represent the object appearance. Our system shows a very robust tracking performance

for an object moving under variety of disturbing conditions such as changing illumination, confusing busy background, object shape transformation, changing speed, partial occlusion etc. A robust ego-motion perception algorithm has also been developed based on the edge information. In order to understand the gesture of a person from motion pictures, a vector representation of an instantaneous motion has been developed. A temporal sequence of such vectors is analyzed by Hidden Markov Models (HMMs). For this purpose, a new HMM has been developed which we call Self-Evaluating HMM. With this new model, it is possible for a single Self-Evaluating HMM to judge if an input sequence matches to the model without referring to other models. Preliminary experiments of simple gesture recognition have confirmed the effectiveness of this approach.

LSI-MEMS integrated device by submicron-wide opening deep reactive ion etching technology

Y. Mita, T. Sawamura, H. Yamamoto,
Q. Wu, F. Marty (ESIEE, France)

Silicon deep nano-fabrication technology of structures having both electron-device-scale ($10\mu\text{m}$ down to less than $1\mu\text{m}$) lateral resolution and MEMS-scale (more than $40\mu\text{m}$) depth, and application to electron devices are developed. VDEC's EB writer performs lithography and Deep RIE at Takeda Building performs etching. Our recent performance provides trenches of 170nm -width and or $15\mu\text{m}$ -depth. The feature scale is ten times smaller in lateral direction while keeping DRIE-standard depth as compared to Deep-RIE standard. Based on the technology, several new-concept devices are appearing such as: (1) a "vertical photodiode" that is made by thermal diffusion on the vertical wall of Si Deep Reactive Ion Etching (DRIE) and showed from 25 % to 80 % of photocurrent increase and crosstalk suppression as compared to conventional planar photodiode, (2) "Polarization-sensitive photo-detector" that shows photocurrent dependence on polarization angle of incident light due to the submicron deep-silicon grating photodiode structure. Studies on the physical understanding and system application are underway.

LSI-MEMS integrated device by submicron-wide opening deep reactive ion etching technology

Y. Mita, T. Sawamura, J.-H. Kim, T.-N. Binh, S. Ma, M. Kubota, J.-B. Pourciel, T. Masuzawa

Narrow and deep structures such as microholes and trenches are playing key roles in modern electro and mechanical systems. In standard micro fabrication technology, patterns are composed of rectangles and vertically transferred to the depth direction, yielding long-cubic structures. However, just by thinking of lens shape, one can realize that cubic shape is not necessarily the optimum shape for all kinds of applications. Hence it can be said that the ideal micro fabrication technology must be capable of realizing surfaces having arbitral curvatures that are top-down requested by applications. The team aims at acquiring comprehensive study on such “arbitral curvature providing micro fabrication technologies” from three aspects: (1) Top-down concrete applications, (2) Enabling micro fabrication methods by cutting-edge technologies and ideas, and (3) non-destructive profiling method of such surfaces. Top-down applications include (1-1) vertically-buried microinductor, (1-2) Silicon photovoltaic polarizer for energy harvesting, and (1-3) A Curvature Controlled Flexible Silicon Micro Electrode Array to Wrap Neurons for Signal Analysis. As fabrication methods, (2-1) Micro entrant shape etching method by isotropic and anisotropic etching combination and (2-2) Digital thickness variation induced out-of-plane curvature control method are developed. To evaluate above-mentioned structures without breaking, (3) a swing-probing surface profiler that can tap vertical surface perpendicularly is under development.

Study on LSI-MEMS integrated pond-skating robot for energy-autonomous distributed microsystems

Y. Mita, S. Morishita, Y. Li, A. J. Walton

As one example of integrated MEMS that is expected to open new research and industrial application fields, the authors are trying to show a top-down application of energy-autonomous distributed microrobots. The research belongs to the “top-down” research category and through the research the team looks forward to provide the “Engineered Nature”; the team does not intend to just copy how nature works in implementation

level, but to realize with cutting-edge technologies what nature is aiming at in highly-functional level. Recent top-down activities include autonomous distributed mobile robot: “Pond Skater”, which to date had not been realized by any other microsystems group. The availability of a leading low voltage technology at the Scottish Microelectronic Centre (SMC) the University of Edinburgh that could electrically change surfaces from hydrophobic to hydrophilic proved to be crucial to achieving this goal as was the previous involvement of SMC staff in wireless technology. The major challenge is propulsion, and it is clear that directly mimicking the pond skating insect’s propulsion mechanism would be problematic. The idea that was developed was to propel the device using Electro-Wetting Of Dielectric (EWOD) to move air bubbles, which had the significant advantage that there we no moving mechanical parts, which simplified the construction and helped to minimize the weight which was important if the pondskating device was to float using surface tension. Based on the world’s first wireless pond-skating propulsion, the team is developing VLSI control circuit and integration technology for continuous skating.

Takagi-Takenaka Laboratory

(<http://www.mosfet.k.u-tokyo.ac.jp/>)

Current Research Projects

Ge Metal-Insulator-Semiconductor (MIS) interface properties

S. Takagi, M. Takenaka, Rui Zhang, T. Iwasaki

One of the most critical issues on realizing high performance Ge MISFETs is the formation of MIS interfaces with high quality interface properties. We have demonstrate that thermally oxidized GeO₂/Ge MOS interface exhibited low interface trap density. However the GeO₂ itself is chemically unstable and water soluble. To overcome the GeO₂ problems, we have performed the ECR plasma nitridation of the thermally oxidized GeO₂/Ge gate stack to form a GeON/GeO₂/Ge MOS structure. We have successfully obtained the stable and water-proof GeON/GeO₂/Ge gate stack by the nitridation of the surface of the GeO₂. We have also demonstrated for the first time that the high temperature annealing over 550°C improved the interface state density down to $5 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$.

Ge Metal-Insulator-Semiconductor (MIS) FETs

S. Takagi, M. Takenaka, S. Dissanayake, K. Morii

We have successfully fabricated high performance Ge pMOSFET by using GeO₂/Ge MOS interface with Dit of around 10¹² cm⁻²eV⁻¹ so far. We have also clarified that the GeO₂/Ge MOS interface had low interface state density even at the conduction band side. Thus we tried to demonstrate the Ge nMOSFET using the same the GeO₂/Ge gate stack. However it is difficult to form the S/D for the Ge nMOSFET using the ion implantation because of the fast diffusion of As/P in Ge. To overcome this problem, we have performed the MOVPE based gas phase doping. The small junction leakage current of the Ge nMOSFET was obtained due to the low crystal damage doping by the gas phase doping, then the electron mobility exceeded the Si universal mobility for the first time.

III-V compound semiconductor Metal-Insulator-Semiconductor (MIS) FET

S. Takagi, M. Takenaka, M. Yokoyama, T. Hoshii, S. Nakagawa, R. Iida, S. Kim, T. Kutsuki

Enhancement of carrier transport properties in MOS channels is regarded as mandatory for continuous increase in the current drive under deep sub-100 nm regime. As for n-channel MOSFETs, however, any promising technologies after bi-axial tensile strain, which can provide the mobility enhancement of twice as high as in conventional Si n-MOSFETs, are still lacking. Thus, III-V semiconductor MISFETs, expected to have higher electron mobility, has recently stirred a strong interest. We have investigated the plasma nitridation effect on the InGaAs MOS interface to obtain high quality MOS interface. We have found that the ECR plasma nitridation of the InGaAs followed by in-situ SiO₂ deposition reduced the interface state density down to around 2×10^{11} cm⁻²eV⁻¹. On the other hand, the formation of the III-V layer on Si substrate is mandatory to integrate the III-V MOSFET to the conventional Si CMOS platform. We have successfully fabricated the III-V-on-Insulator on Si using the direct wafer bonding technique. Thus, we have demonstrated the III-V nMOSFET using the III-V-OI substrate, and the 2 times higher electron mobility than Si was obtained.

CMOS photonics

S. Takagi, M. Takenaka, K. Kuroda, D. Yoshihara

High mobility materials such as Ge/III-Vs have also superior optical properties, as compared with Si. We have investigated CMOS photonics technologies through the heterogeneous integration of Ge/III-Vs to the Si platform to demonstrate the ultra-high performance photonic-electronic integrated circuits. We have successfully demonstrated the ultra-small photonic devices such arrayed waveguide gratings (AWGs) using the III-V-on-Insulator on Si substrate fabricated by the direct wafer bonding of SiO₂/Si and InGaAsP/InP wafers.

Takeuchi Laboratory
(<http://www.lsi.t.u-tokyo.ac.jp/>)

■ Fe (Ferroelectric) -NAND Flash Memory

Takeuchi Lab. is developing a Fe-NAND flash memory. We proposed the world's first Fe-NAND flash memory at NVSMW (Non-volatile Semiconductor Memory Workshop) in 2008. The Fe-NAND flash memory is composed of ferroelectric field-effect transistors (FeFET) whose gate dielectric consists of a ferroelectric layer, SrBiTaO and a high-K dielectric layer, HfAlO.

It is difficult to scale down the conventional floating-gate (FG) NAND flash memories below 10nm due to the serious interference with neighboring cells, reduced electrons and the random telegraph noise. The charge-trap memories like MONOS have short data retention problems. Current-driven resistive switching memories such as MRAM, PRAM and RRAM are unscalable below 10nm because of the significant IR drop of the bit-line.

On the other hand, the Fe-NAND flash memory is voltage-driven and is in principle scalable below 10nm to the crystal unit-cell size because the data is stored with an electric polarization in a ferroelectric gate insulator. The Fe-NAND flash memory can be programmed and erased as many as 100 million cycles with a low program voltage of 6V, whereas the conventional flash memory are programmed as low as ten thousand cycles and the program voltage is as high

as 20V. Due to the voltage-driven, low-voltage and high-reliability operation, the Fe-NAND flash memory is expected to replace a HDD at data centers to realize an environment-friendly IT platform.

This research is carried out as a part of the revolutionary energy-saving technology development project supported by New Energy and Industrial Technology Development Organization (NEDO). We are working on this project with Sakai-group at AIST.

■ 3D-LSI Circuit Design

Takeuchi Lab. is developing circuit technologies of three dimensional LSIs where multiple LSIs such as micro processors, image sensors, analog circuits, DRAMs and flash memories are stacked in one package. With an intelligent mix and match, various circuits such as analog, digital and memory are best optimized. As a result, an ultra small form factor, multi-functional, high-speed and low power consumption solution is realized. As a demonstration of 3D-LSI, we successfully developed a 3D-SSD, Solid-State Drive, which contains flash memories, DRAMs and a flash memory controller with SiP. At ISSCC 2009, we presented a boost converter-based adaptive voltage generator for a 3D-SSD. Through the circuit design, chip fabrication and chip evaluation, we experimentally demonstrated that the power consumption of the NAND flash memory decreases by 70 % by dynamically controlling the frequency and the duty cycle.

■ Dependable Wireless SSD (Solid-State Drive) System

In addition to the research on the circuit design and the device, Takeuchi Lab. is working on the system especially on a low-power high-speed SSD, Solid-State Drive, system. As the capacity of NAND flash memories drastically increases, SSD that uses NAND as a mass storage of PC and an enterprise server is attracting a lot of attention.

This project develops wireless Solid-State Drives (SSD) containing tera-byte capacity NAND flash memories and their host system with 1mm distance 10-50Gbps ultra high-speed wireless communication

and power transmission capabilities. The proposed wireless SSDs are dependable against various error factors such as the data retention and the endurance failure of the flash memory cells, 2) human errors such as the water contact and the unexpected power outage, 3) the contact wear-out failure of the interface and 4) the ESD failure. This research is carried out as a part of the fundamental technologies for dependable VLSI system project of Core Research of Evolutional Science & Technology (CREST) supported by Japan Science and Technology Agency (JST). We are working on this project with Kuroda and Ishikuro laboratories at Keio University.

■ Fe (Ferroelectric) -SRAM

Takeuchi Lab. is developing an ultra-low voltage operation such as 0.5V operation SRAM to decrease the power consumption of CPUs. We invented a new type of SRAM which is composed of six ferroelectric transistors. In the proposed ferroelectric transistors, the ferroelectric layer, SrBiTaO, is inserted between the metal gate and the high-K dielectric layer, HfAlO. The proposed SRAM successfully decreases the power consumption by 32 % without a circuit area and a process cost overhead. The proposed technology will be able to ultimately scale down the planer MOS transistor technologies below 10nm. The research results were highly appreciated at IEDM (International Electron Device Meeting) 2009. We are working on this project with Sakai-group at AIST.

■ Extremely Low Power Random Access Memory

To decrease the power consumption of various electronics equipments such as mobile handsets, home electric appliances, servers and network routers, the objective of this project is decreasing the power consumption of random access memories in CPUs by one-tenth. We successfully developed memory driving circuits which decrease the operation voltage of high-density DRAMs from 1V to 0.5V. With our technologies, the performance of the DRAM improves by 300 % with the same circuit area and costs. By using our technologies, the operation voltage of CPUs also decreases from 1V to 0.5V. As a result, the power

consumption of CPUs decreases by 75% .

This research is carried out as a part of Extremely Low Power project (Green-IT project) supported by New Energy and Industrial Technology Development Organization (NEDO). We are working on this project with the Semiconductor Technology Academic Research Center (STARC) and its affiliated companies such as Fujitsu Microelectronics, NEC Electronics, Panasonic, Renesas Technology, Sharp, Sony, Toshiba, Fujitsu and Hitachi. We are also working with Sakurai, Hiramoto and Takamiya laboratories at University of Tokyo and Yoshimoto and Kawaguchi laboratories at Kobe University.

■ 3D Memory Device

As for a long-term fundamental research, targeting a commercialization in 10 years, Takeuchi Lab. is making a research on a new functional memory device. By introducing unique materials such as multiferroic materials as memory elements, tera-bit capacity new functional memories are expected.



VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター (VDEC) の2009年度活動報告をお送りします。

2009年度のVDECチップ試作事業での大きな特徴は、CMOS 65 nm技術を用いたチップ試作数が大きな伸びを示したことです。またその他を含むチップ試作数全体でも前年度を上回り、回復傾向を示してきました。

前年度に引き続きCMOS 65 nmのチップ試作事業は順調な拡大を示しており、2年度目を迎えたSTARCの経済産業省技術開発受託事業を通じた65 nmチップ試作事業と合わせ、多数の大学の方々に65 nmチップ試作機会を提供することができました。あらためて経済産業省、STARC並びに(株)イーシャトルの関係の方々に深く感謝いたします。これらの試作評価で得られた多くの貴重な研究成果は、政府にフィードバックされるとともに広く社会に寄与するものと期待しています。

VDECではCMOS 65 nmチップ試作技術が日本の大学に定着しつつあるとの認識のもとに、(株)イーシャトルとの協力関係を一段とすすみ、新年度からはより利用しやすい環境を構築すべく関係者と検討を進めています。チップ試作期間の短縮、1/4区画・1/2区画等の小さな区画での確実な試作日程の提供など、前年度までに比較して利用者の方々の研究教育計画に即応できるシステムを構築していきたいと考えています。

また広く定着していますCMOS 0.18 μ mにつきましても(株)ロームの協力を得て「高耐压オプション拡張版」のテストランを実施しました。これはMEMSや特殊な高出力駆動を必要とする応用への拡張を意図したもので、いわゆる“More-than-Moore”軸への展開の試みです。今後、試作評価結果をみながらより広範囲の応用への利用機会を提供していきたいと考えています。

一方、“More-Moore”軸である先端チップ試作では、65 nmに加えCMOS 40 nm技術での試作を関係者と検討中です。より微細な先端技術での試作の機会を利用者の皆様に提供していきたいと考えています。

(株)アドバンテストからの寄付研究部門 (D2T: Design-to-Test) は3年目を迎え、設計検証、テスト技術の研究とともに、高速信号計測の研究へと拡大をしてきています。特任研究員とアドバンテストからの研究員、同部門の小松聡准教授らによる研究教育活動の成果とともに、昨年12月には内外の著名な研究者をお招きして第3回D2T講演会を開催し多くの参加をいただきました。また、これまでの同社からの長年の研究教育への貢献を顕彰し、東京大学総長より「稷門賞」が授与されました。VDECを代表し改めて感謝申し上げます。

昨年度でVDEC協力教員制度の第一期(任期2年)を終了しました。協力教員の方々の献身的ご協力によりVDECデザイナーズフォーラムや各種セミナーでは多数の方々の参加を得てご好評をいただきました。新年度からも協力研究員の方々には引き続きご協力をお願い申し上げます。

現在、日本を取り巻く経済状況は部分的に回復の兆しが見えてきたと聞いています。しかし技術の歴史上、LSI技術に期待される社会的役割は、決して従前のものに戻る状況にはないと理解されます。それに従い学生、研究者に期待される役割もより応用・実践側にシフトしていると考えられます。VDECが目指すものはその設立より「実践的チップ設計・試作を通じた学生教育と研究者育成」であり、責任はより重いものになってきていると自覚し、引き続き優れた人材を育成するための手段を提供する所存です。皆様からの引き続きのご支援ご支持をお願い申し上げます。

2010年4月

(全国共同利用施設)

東京大学大規模集積システム設計教育研究センター

センター長

浅田 邦博

第1章 VDEC 事業の紹介と平成21年度事業報告

1.1 VDEC の活動概況

東京大学大規模集積システム設計教育研究センター (VDEC) は、平成8年の発足以来『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を3つの柱として、円滑な運営を目指した事業を展開した。図 1.1.1 に示す VDEC の活動内容に基づき、以下に平成21年度の概要を報告する。

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。VDEC の発足より13年経過し、各大学における CAD ソフトウェアの利用技術教育や LSI 設計・設計フローに関する教育の充実が図られている。その一方で、先端の LSI 設計技術およびそれに対応する CAD ソフトウェアは一層複雑化し続けている。そのため、CAD ツールの導入に際しては、CAD ベンダーから講師を招いてのセミナーの開催を継続している。従来、年2回開催のうち1回は VDEC で、残り1回は各地の拠点校にて実施してきたが、参加者の利便を図るために平成21年度より東京での開催と同時に映像配信による拠点校での遠隔受講を試行している。VDEC としては各ユーザ研究室内で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって最新

の CAD 利用技術が全国的に広がることを期待している (1.3 章参照)。

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを年1回(12月~1月)開催している。このコースは“デジタル設計コース”、“アナログ設計コース”、“RF 設計コース”、“最先端設計事例コース”の4コースからなっている。前3者は演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。最先端設計事例コースは講義主体のコースであるが、大学および企業から第一線の講師を招き、設計経験をもとにした講演を行っている。加えて各プロセスに特化した設計フローに関するセミナーを大学における設計者に向けて実施している。平成21年度においては0.18 μ m アナログ設計、0.18 μ m デジタル設計および0.18 μ m 高耐圧設計に関して実施をし、LSI 設計に対する障壁を下げる取組を続けている。

これらセミナーに加えて VDEC では年1回、若手教官と学生を中心とした VDEC デザイナー・フォーラムを開催している。これはワークショップ形式の会合であ

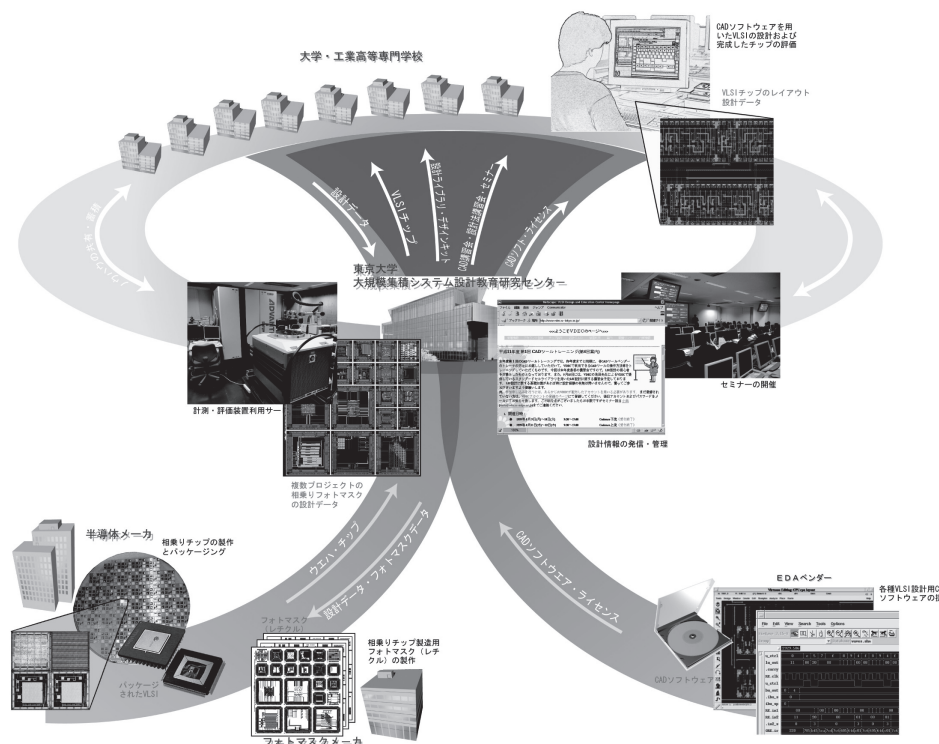


図 1.1.1 VDEC の活動内容

り、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する「難解なエラーメッセージ」でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザか

らの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図1.1.2)。

VLSIチップ試作支援に関しては、従来のオンセミ1.2 μ m CMOSおよびローム0.18 μ m CMOS、eShuttle65nm CMOS試作に加え、新たにローム0.18 μ m高耐圧CMOS(1.8V/7V/44V)の試行を行った。

平成19年10月に設置されたアドバンテスト社から寄付部門「Design To Test (D2T)」では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められている。これまでの活動を振り返ると、VDEC発足以来の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している。図1.1.3にVDECを利用した研究成果の指標として、VDECに関係する発表文献数の推移

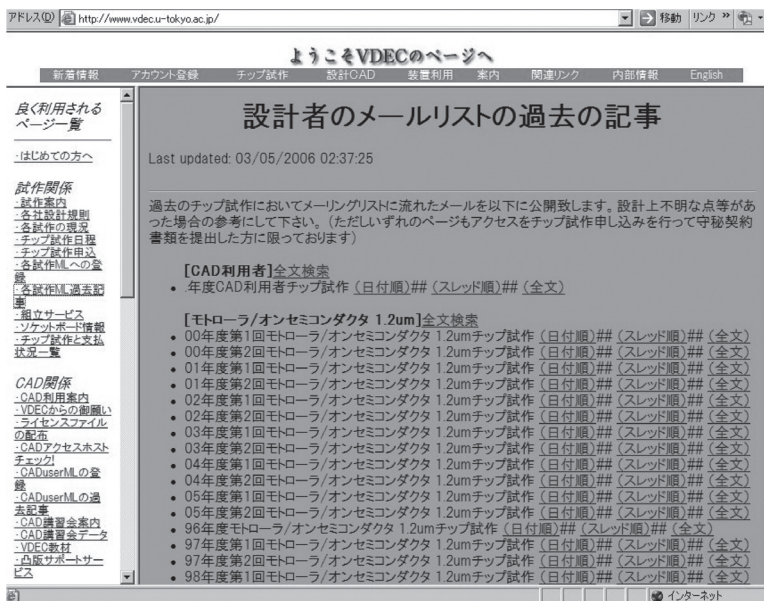


図 1.1.2 VDEC メールリストの過去記事

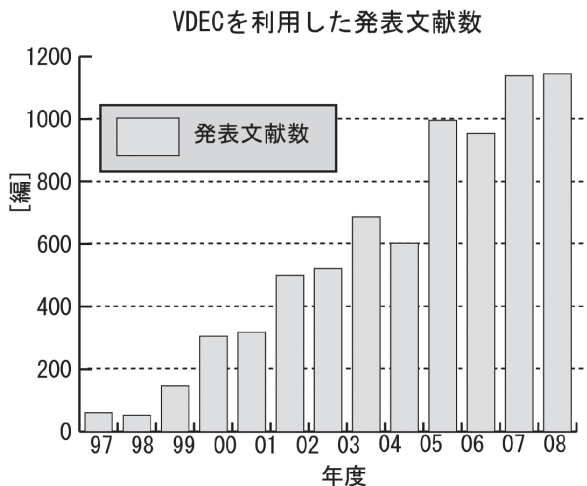


図 1.1.3 VDEC を利用した発表文献数の推移

を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC 発足以来、集積回路に関する研究が活性化されていることが確認できる。

図 1.1.4 に VDEC に関する発表文献の VDEC ファシリティー利用状況を示す。論文執筆にあたり CAD ソフトウェアが幅広く利用されていることが確認できる。CAD ソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。ま

た、研究論文には最先端のプロセステクノロジが好んで利用される傾向にあり世界的には 65 nm CMOS から 45 nm CMOS, 32 nm CMOS による設計事例報告が増加しており、VDEC においても最先端プロセステクノロジメニューの充実をはかっていきたい。そのほかのファシリティーとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

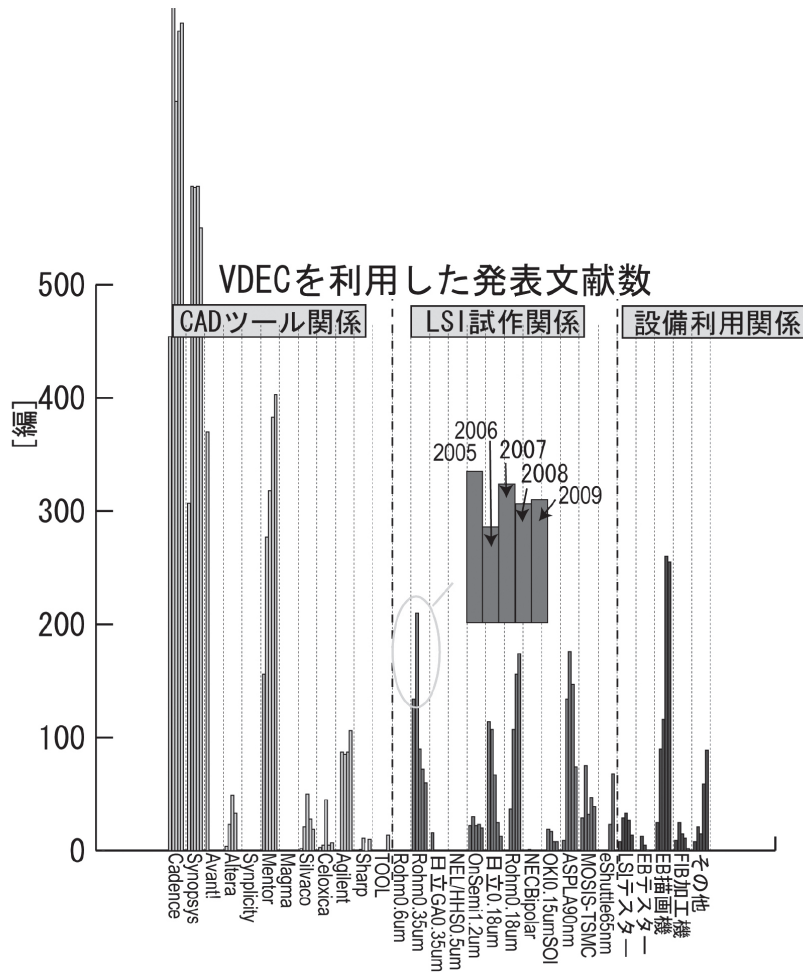


図 1.1.4 VDEC ファシリティー利用状況

1.2 CAD ソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成21年度は表1.2.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2.1に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセン

スとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている(a)全国教官数および(b)その所属する大学数および(c)CADの利用申請があった研究室(教官)数の推移は図1.2.2の通りである。

表 1.2.1 導入されたCADシステム

名称	用途	メーカー
Cadence社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco社設計ツール	高速回路シミュレーション、	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Agilent Technologies
DK4/DK5ソフトウェアパッケージ	Handel-C言語でのシステム設計、合成、検証	Celoxica/Agility
Bach	BachC言語での設計	Sharp
PICO Express	高位合成	Synfora
LAVIS	レイアウト表示プラットフォーム	TOOL
mSpice	高速回路シミュレーション	Fastrack

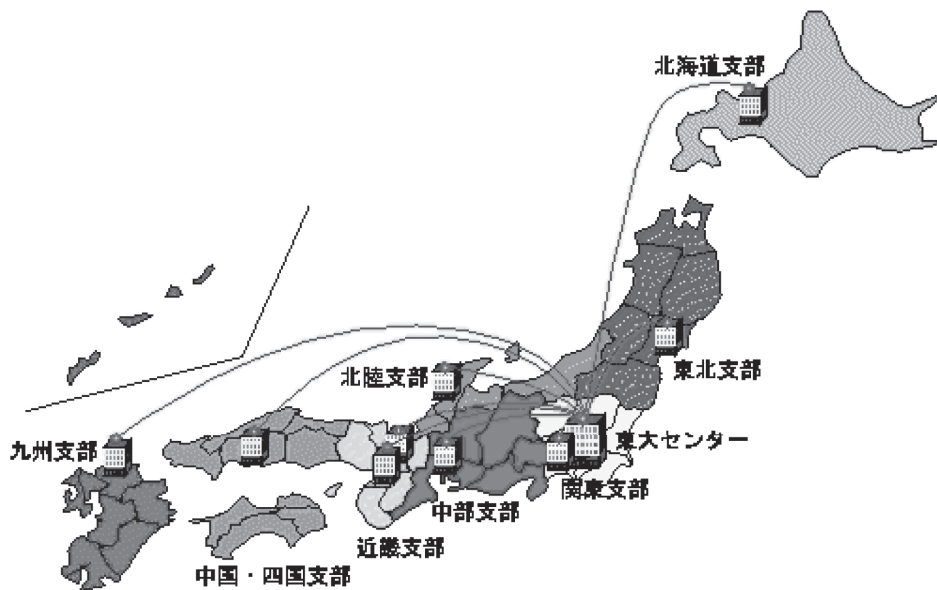
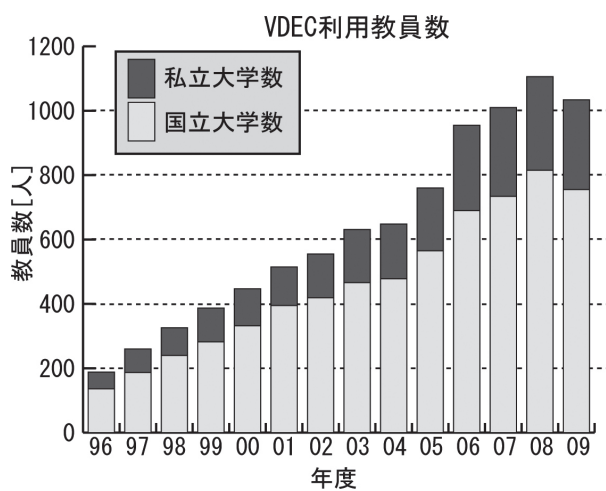
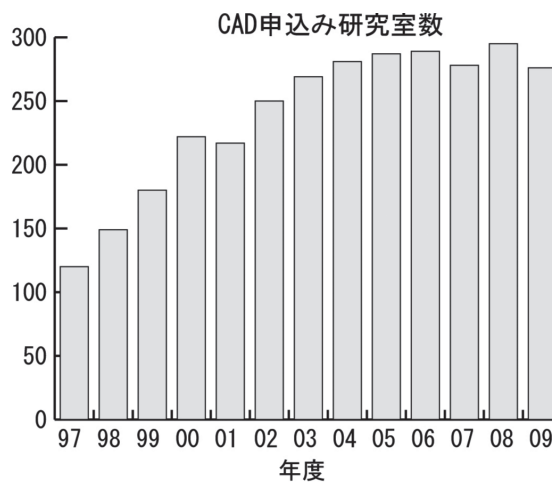


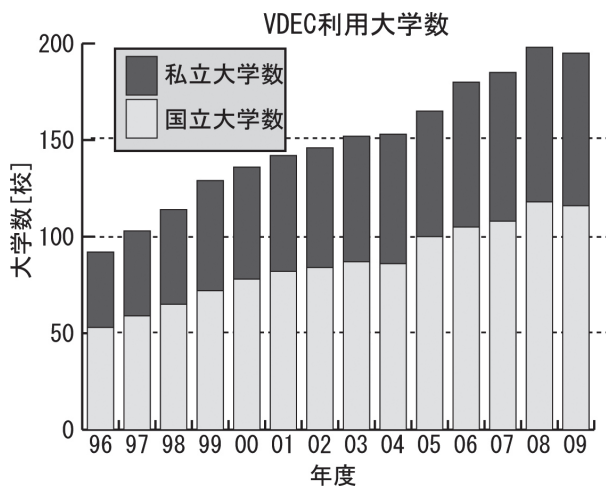
図 1.2.1 全国地域拠点校



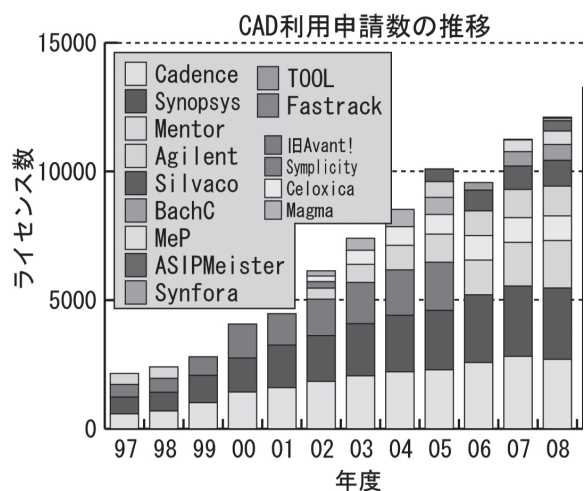
(a) 利用登録教官数



(c) CAD 申し込み研究室数



(b) 利用登録大学・高専数



(d) CAD 申し込み数

図 1.2.2 ユーザ登録数および CAD 申込数の推移

1.3 平成 21 年度 VDEC 事業報告 VLSI チップ試作

1.3.1 VLSI チップ試作の推移

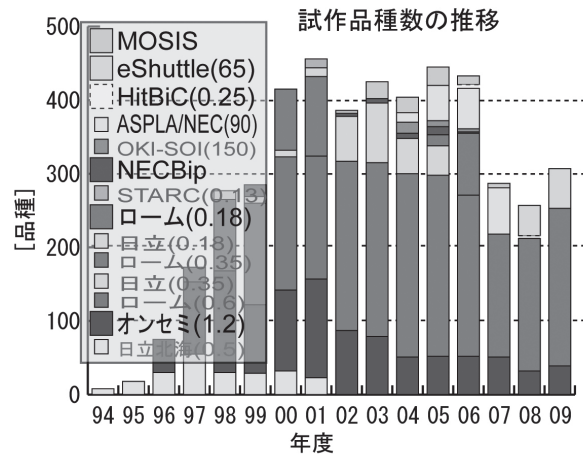
図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSI チップ試作は、平成 6, 7 年度(1994, 1995 年度)のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS 0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続)1社であったが、平成 8 年度(1996 年度)の VDEC 発足後、日本モトローラ社の CMOS 1.2 μm (平成 11 年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成 9 年度からはローム社の CMOS 0.6 μm が加わった。さらに平成 10 年度には日立製作所の CMOS 0.35 μm 、平成 11 年度にはローム社 0.35 μm がそれぞれ加わった。また、IP 開発プロジェクトの一環として STARC 0.13 μm の試作を行った。平成 13 年度から、日立製作所の CMOS 0.18 μm のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。これは、TSMC、IBM といった海外のファブを MOSIS を経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。平成 16 年からテスト試作として沖電気 CMOS SOI 0.15 μm プロセスおよび ASPLA 90 nm(現在は STARC において継続)プロセスの試作を開始し、90 nm 試作については平成 17 年度より通常の試作として公募の形で運用を行っている。さらに平成 18 年度からはローム社 0.18 μm の試作を開始し、日立製作所 0.25 μm SiGeBi CMOS のテスト試作を実施した。平成 19 年度で終了した 90 nm CMOS の後継の先端プロセスの検討を平成 19 年度から開始し、平成 20 年度に eShuttle 社の 65 nm CMOS による試作を開始した。

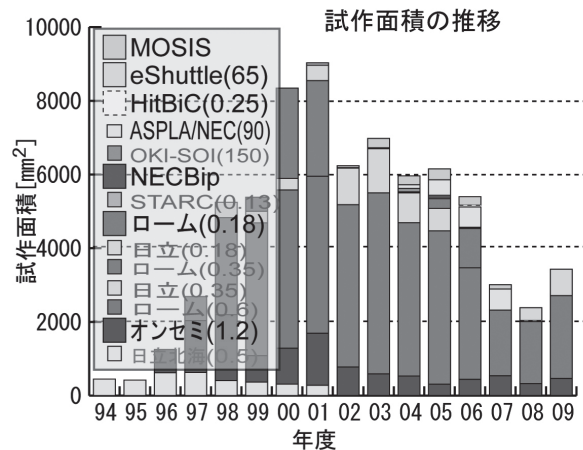
図 1.3.1(a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成 14 年度に減少しているが、これは ROHM 社の 0.6 μm プロセスを終了したことによる現象が考えられる。またそれ以降ほぼ 400 品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成 18 年度に 0.35 μm が終了し、平成 19 年度以降 0.18 μm への移行したことにより、試作数が 130 品種程度減少し、さら

に平成 19 年度に ASPLA 90 nm CMOS 試作が終了し、eShuttle 65 nm CMOS への移行に伴う試作数の減少がみられる。

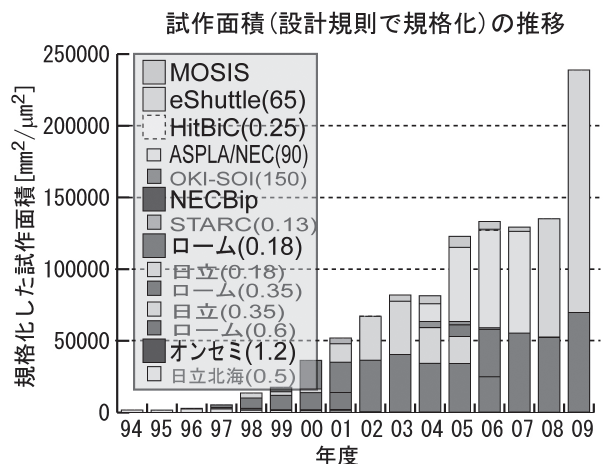
この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1 チップ試作数・面積推移

重なり、試作面積が大幅に減少する結果となっている。図 1.3.1(b)に設計されたチップ面積を示す。一方設計量の指標として、図 1.3.1(c)に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

1.3.2 平成 21 年度チップ試作概況

平成 21 年度は、表 1.3.1 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 2 章のチップ試作報告を参照されたい。

1.3.3 ライブラリ・設計フロー整備状況

VDEC におけるチップ試作(主にデジタル LSI 試作)では、設計ライブラリの整備が重要である。VDEC では、VDEC 提供 CAD ソフトウェア中のライブラリ生成

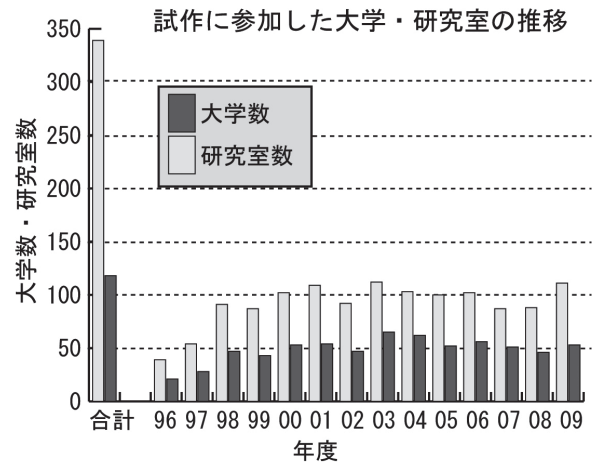


図 1.3.2 VDEC チップ試作参加教員数・大学数の推移とその累計

ツールを利用して、平成 8 年度から順次ライブラリ整備事業を行ってきている。平成 21 年度はこれに加え、従来ほとんどサポートしてこなかったアナログ設計向けの

表 1.3.1 平成 21 年度チップ試作日程

●CMOS 1.2 μm (オンセミコンダクタ：旧日本モトローラ)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 20 年度第 2 回	2008/10/ 1	2009/ 1/ 7	2009/ 3/30	2009/ 7/22
平成 21 年度第 1 回	2009/ 4/ 6	2009/ 7/ 6	2009/10/ 5	2010/ 1/27
平成 21 年度第 2 回	2009/10/ 5	2010/ 1/12	2010/ 4/ 5	2010/ 7/12 (予定)

●CMOS 0.18 μm (ローム)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 20 年度第 9 回	2008/ 8/11	2008/12/ 1	2009/ 1/13	2009/ 5/22
平成 20 年度第 10 回	2008/ 9/ 8	2009/ 1/ 7	2009/ 2/16	2009/ 5/22
平成 21 年度第 1 回	2008/ 1/ 7	2009/ 1/13	2009/ 4/ 6	2009/ 6/29
平成 21 年度第 2 回	2009/ 1/ 7	2009/ 3/23	2009/ 6/22	2009/ 9/25
平成 21 年度第 3 回	2009/ 3/10	2009/ 5/25	2009/ 8/24	2009/11/25
平成 21 年度第 4 回	2009/ 5/ 6	2009/ 7/21	2009/10/19	2010/ 2/ 9
平成 21 年度第 5 回	2009/ 7/ 7	2009/10/19	2010/ 1/18	2010/4/19 (予定)
平成 21 年度高耐圧			2010/ 2/22	2010/7/16 (予定)
平成 21 年度第 6 回	2009/ 9/ 8	2010/ 1/12	2010/ 4/12	2010/7/26 (予定)

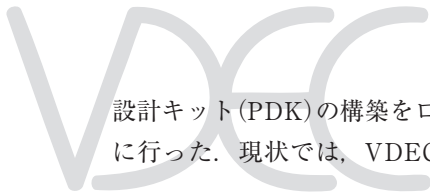
●Bipolar (NEC) 試作申込がなく、試作を実施せず

●CMOS 65 nm (eShuttle/STARC)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 20 年度第 3 回			2009/ 2/19	2009/ 5/ 1
平成 21 年度第 1 回			2009/ 8/20	2009/11/25
平成 21 年度第 2 回			2009/10/28	2010/ 2/17
平成 21 年度第 3 回			2009/12/ 2	2010/ 3/12
平成 21 年度第 4 回			2010/ 2/ 2	2010/6/11 (予定)

第1回、第2回は経済産業省/STARCの国プロ試作として実施。

●SiGeBiCMOS 0.25 μm (日立) 試作申込がなく、試作を実施せず



設計キット(PDK)の構築をローム 0.18 μ m CMOS 向けに行った。現状では、VDECにおける各プロセスの試

作において、利用可能なライブラリは表 1.3.2 に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況	
MOT(On Semi) 1.2 μ m	P2lib	京都大学小野寺研究室	・ Synopsys 用論理合成ライブラリ		
			・ VerilogXL 用シミュレーションライブラリ		
			・ Astro 用配置配線ライブラリ		
	EXDlib	東京大学 VDEC	・ Synopsys 用論理合成ライブラリ		
			・ VerilogXL 用シミュレーションライブラリ		
			・ Astro 用配置配線ライブラリ		
ローム 0.18 μ m	ローム提供ライブラリ	ローム提供 スタンダードセル, IOセル, RAM (セルはすべてブラックボックス) (CDROMにて配布)	・ Synopsys 用論理合成ライブラリ		
			・ Synopsys 用論理合成ライブラリ		
			・ VerilogXL 用シミュレーションライブラリ		
			・ 配置配線用 LEF/DEF ファイル		
	京大ライブラリ	京都大学小野寺研究室	・ Synopsys 用論理合成ライブラリ		
			・ VerilogXL 用シミュレーションライブラリ		
			・ Astro 用配置配線ライブラリ		
	東大ライブラリ	ライブラリ情報は京都大学小野寺研究室, 東大 VDEC にてフロー構築	・ Cadence RTL Compiler 用論理合成ライブラリ		
			・ VerilogXL 用シミュレーションライブラリ		
			・ Cadence Encounter 用配置配線ライブラリ		
	PDK		東京大学 VDEC	IC6.1 向け PDK	

1.4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 21 年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

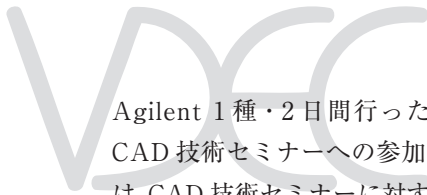
【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している。平成 21 年度は、8 月と 9 月

に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 3 種・7 日間、Synopsys ツールを 3 種・4 日間、Agilent のツールを 1 種・2 日間に加え、VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC EDA 環境におけるデジタル設計手法講習会・VDEC SoC テスタ T2000 講習会・VDEC 環境におけるデジタル LSI 測定講習会を VDEC 教員が講師となり開催した。各コースに 40 名までの教官・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 2 種・6 日間、Synopsys 2 種・2 日間、

表 1.4.1 平成 21 年度夏の CAD 技術セミナー開催状況

開催時期	講習項目	開催場所	参加人数
2009 年 8 月 3 日(月)-5 日(水)	Cadence IC Front End 講習会	東京大学 VDEC	23
		東北大学 VDEC	3
		金沢大学 VDEC	3
		名古屋大学 VDEC	4
		広島大学 VDEC	6
2009 年 8 月 6 日(木)	Cadence RTL Compiler 講習会	東京大学 VDEC	10
		名古屋大学 VDEC	3
2009 年 8 月 10 日(月)-12 日(水)	Cadence IC Back End 講習会	東京大学 VDEC	36
		北海道大学 VDEC	4
		東北大学 VDEC	2
		金沢大学 VDEC	3
		広島大学 VDEC	7
2009 年 8 月 19 日(水)-20 日(木)	エイシップ・ソリューションズ ASIP Meister 講習会	大阪大学	7
2009 年 9 月 1 日(火)	Synopsys Design Compiler 講習会	東京大学 VDEC	23
		北海道大学 VDEC	3
		東北大学 VDEC	2
		金沢大学 VDEC	7
		大阪大学 VDEC	7
		広島大学 VDEC	13
2009 年 9 月 2 日(水)	VDEC SoC テスタ T2000 講習会	東京大学 VDEC	2
2009 年 9 月 3 日(木)-4 日(金)	Synopsys IC Compiler 講習会	東京大学 VDEC	22
		北海道大学 VDEC	2
		東北大学 VDEC	2
		金沢大学 VDEC	6
		広島大学 VDEC	13
2009 年 9 月 7 日(月)	Synopsys VCS 講習会	東京大学 VDEC	12
		東北大学 VDEC	2
2009 年 9 月 8 日(火)-9 日(水)年	Agilent Golden Gate 講習会	東京大学 VDEC	12
		東北大学 VDEC	2
		広島大学 VDEC	10
2009 年 9 月 24 日(木), 25 日(金)	VDEC 環境におけるトランジスタレベル設計講習会	東京大学 VDEC	39
2009 年 9 月 28 日(月)-29 日(火)	VDEC EDA 環境におけるデジタル設計手法講習会	東京大学 VDEC	39
2009 年 9 月 30 日(水)	VDEC 環境におけるデジタル LSI 測定講習会	東北大学 VDEC	3



Agilent 1種・2日間行った(表1.4.1, 1.4.2)。これらCAD技術セミナーへの参加要望は非常に大きく、これはCAD技術セミナーに対する需要が依然として大きなことを表しており、VDECはこの状況に対応し、大規模なCAD技術セミナー開催の仕組みの整備を行ってきた。従来、東大もしくはVDEC拠点校での開催であったが、今年度からは東大で開催し、それをVDEC拠点校へストーリーミング配信を行い、各拠点校でもCAD講習会の受講が可能となっている。

【社会人のためのリフレッシュセミナー】

平成21年度12月～1月には平成20年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育

としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表1.4.3)。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミ

表 1.4.2 平成21年度春のCAD技術セミナー開催状況

開催時期	講習項目	開催場所	参加人数
2010年3月2日(火)-3日(水) 10:00-17:00	Agilent ADS (Advancedコース) 講習会	東京大学VDEC	16
		北海道大学VDEC	1
		東北大学VDEC	8
		名古屋大学VDEC	0
		金沢大学VDEC	5
		広島大学VDEC	9
2010年3月4日(木) 10:00-17:00	Synopsys HSpice (Advancedコース) 講習会	東京大学VDEC	33
		東北大学VDEC	2
		名古屋大学VDEC	7
		金沢大学VDEC	7
		大阪大学VDEC	17
		広島大学VDEC	7
		宮崎大学(臨時会場)	8
長崎大学(臨時会場)	4		
2010年3月5日(金) 10:00-17:00	Synopsys Power Compiler 講習会	東京大学VDEC	15
		北海道大学VDEC	5
		東北大学VDEC	8
		名古屋大学VDEC	3
		金沢大学VDEC	11
		広島大学VDEC	13
		近畿大学理工学部(臨時会場)	9
		長崎大学(臨時会場)	4
福岡大学(臨時会場)	4		
2010年3月10日(水)-12日(金) 10:00-17:00	Cadence IC FrontEnd 講習会	東京大学VDEC	22
		北海道大学VDEC	2
		東北大学VDEC	13
		金沢大学VDEC	4
		広島大学VDEC	9
		長崎大学(臨時会場)	5
2010年3月17日(水)-19日(金) 10:00-17:00	Cadence IC BackEnd 講習会	東京大学VDEC	27
		東北大学VDEC	11
		金沢大学VDEC	3
		広島大学VDEC	9
		宮崎大学(臨時会場)	8
		長崎大学(臨時会場)	4

平成 21 年度 VDEC リフレッシュ教育

VLSI 設計教育コースのご案内

<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

VDEC リフレッシュ教育では、集積回路産業に関わる職業人を対象として、VLSI 設計に関する最新の知識・技術の習得を目的とした設計教育コースを実施します。本コースでは、各種設計手法の講義に加え、実際に簡単な集積回路を設計し、シミュレーションや FPGA ボードなどによる検証までを行う VLSI 設計演習を実施します。更に、実際に最先端 VLSI を設計した設計事例を詳しく紹介するコースを設定します。教育機関に在籍する教員・学生の方の参加も可能です。国内の最高の講師陣を集めており、社員への最新の設計技術教育に、自らのデザイン・スキルアップに最適です。

コース D HDL によるデジタル集積回路設計と演習

【日 程】平成 21 年 11 月 24 日 (火) ~ 27 日 (金) 4 日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】今井 正治 (大阪大学 教授), 越智 裕之 (京都大学 准教授), 小林 和彦 (京大工芸繊維大学 教授), 池田 健 (東京大学 准教授)

【講義内容】
 11/24 (火): VerilogHDL の文法解説とシミュレーション演習 (越智)
 VerilogHDL による論理合成 / シミュレーションと FPGA 実装演習 1 (小林)
 11/25 (水): VerilogHDL による論理合成 / シミュレーションと FPGA 実装演習 2 (小林)
 11/26 (木): システムレベル設計手法と HDL (今井)
 LSI 配置配線設計演習 1 (池田)
 11/27 (金): LSI 配置配線設計演習 2 (池田)

コース A アナログ集積回路設計と演習

【日 程】平成 21 年 12 月 8 日 (火) ~ 10 日 (木) 3 日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】杉本 泰博 (中央大学 教授), 小野 秀俊 (京都大学 教授), 小谷光司 (東北大学 准教授)

【講義内容】
 12/8 (火): アナログ集積回路の特徴と役割 (杉本)
 回路設計, 回路シミュレーション 1 (小野)
 12/9 (水): 回路設計, 回路シミュレーション 2 (小野)
 レイアウト設計, 検証 (DRC/LVS) 1 (小谷)
 12/10 (木): レイアウト設計, 検証 (DRC/LVS) 2 (小谷)

コース R CMOS-RF 集積回路設計と演習

【日 程】平成 22 年 1 月 6 日 (水) ~ 8 日 (金) 3 日間
 【場 所】東京大学武田先端知ビル 演習室
 【講 師】藤島 実 (広島大学 教授), 松岡 俊匡 (大阪大学 准教授)

【講義内容】
 1/6 (水): 基礎、分布定数回路 (藤島)
 1/7 (木): RF オンウェーブ測定 (藤島)
 RF CMOS 回路の基礎 1 (松岡)
 1/8 (金): RF CMOS 回路の基礎 2 (松岡)

コース S-A 先端アナログ設計

【日 程】平成 22 年 1 月 27 日 (水)
 【場 所】東京大学武田先端知ビル 5 階武田ホール
 【コーディネーター】 益子 耕一郎 (エイアールテック)

【講義内容】
 1/27 (水): 10:00~12:00 CMOS RF 回路と無線通信用 LSI の設計 (東京工業大学 石原 昇)
 13:00~16:00 CMOS アナログ回路設計の基礎
 一だれもが簡単に設計できるようになる—(東京工業大学 松澤 昭)
 16:00~18:00 PLL の設計と最新 PLL 技術状況 (ルネサステクノロジ 田中 聡)

【受講料】

コース D: 32,000 円
 コース A: 22,000 円
 コース R: 29,000 円
 コース S-A: 5,000 円

【定 員】

コース D: 35 名程度
 コース A: 35 名程度
 コース R: 35 名程度
 コース S-A: 150 名程度

【申込方法】

10 月下旬から申込開始を予定しております。
 申し込みは Web ページより行なってください。

【問合せ先】

担当: 名倉 徹 (VDEC), 松岡 俊匡 (大阪大学),
 藤田 智弘 (立命館大学), 小林和彦 (京大工芸繊維大学)
 E-mail: refreshseminar@vdec.u-tokyo.ac.jp

【主 催】

東京大学大規模集積システム設計教育研究センター (VDEC)

【運営事務】

(株)セミコンダクタポータル

【協 賛】

電子情報技術産業協会 (JEITA)
 半導体理工学研究所 (STAR)
 電気学会
 電子情報通信学会
 情報処理学会
 応用物理学会
 IEEE Solid-State Circuits Society, Japan Chapter
 IEEE Solid-State Circuits Society, Kansai Chapter

*内容に関して若干変更になることがあります。最新の情報および詳細は Web ページをご参照ください。



図 1.4.1 平成 21 年度リフレッシュ教育ポスター



図 1.4.2 平成 20 年度リフレッシュ教育会場風景 (東大 VDEC セミナー室)

ナーとなった。

本年度は VLSI 設計に関する 4つのコース(コース D :HDL によるデジタル集積回路設計と演習(11/24 ~ 11/27 実施), コース A :アナログ集積回路設計と演習(12/8 ~ 12/10 実施)

コース R :CMOS-RF 集積回路設計と演習(1/6 ~ 1/8 実施), コース S :最先端 VLSI 設計実例(1/27)を開催し, 講師として大学・企業の集積回路研究・教育に携わる教官や研究者 13 名を招聘し, VLSI 設計に関する講義や最新の CAD ツールを使用した実習をはじめ, 最先端の VLSI 設計技術の紹介を行った。参加者はコース D, A, R, S はそれぞれ 10 名, 23 名, 16 名, 43 名あり, 延べ 92 名となった。

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象とした VDEC LSI デザイナーフォーラム(VDEC LSI Designers Forum)を開催している。VDEC LSI デザイナーフォーラムは, LSI 設計者が, 互いの研究成果だけではなく, チップ設計で苦労した点, 失敗事例と解決策, CAD 業界の裏話, 研究室に於ける設計環境の構築法など, 通常の研究会や学会などでは得ることのできない情報を共有し, 大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今年からはよりアカデミック色を強めた形で 6/5, 6, 7 日にかけて東大武田ホールで開催された。88 人の参加者が集まる盛況であった。

表 1.4.3 リフレッシュセミナー開催状況

講習項目	開催日	参加人数	講師	講習概要
コース D : HDL によるデジタル集積回路設計と演習	平成 21 年 11 月 24-27 日 先端知 1F セミナー室	10	今井 正治 (大阪大学), 越智 裕之 (広島市立大学), 小林 和淑 (京都大学), 池田 誠 (東京大学)	<ul style="list-style-type: none"> • VerilogHDL の文法解説とシミュレーション演習 • VerilogHDL による論理合成 / シミュレーションと FPGA 実装演習 • ハードウェア記述言語 (HDL) による, デジタル集積回路設計 • LSI 配置配線設計演習
コース A : アナログ集積回路設計と演習	平成 21 年 12 月 8-10 日 先端知 1F セミナー室	23	杉本 泰博 (中央大学), 小野寺秀俊 (京都大学), 小谷 光司 (東北大学)	<ul style="list-style-type: none"> • 回路設計, 回路シミュレーション • アナログ集積回路の特徴と役割 • レイアウト設計, 検証 (DRC, LVS)
コース R : CMOS-RF 集積回路設計と演習	平成 21 年 1 月 6-8 日 先端知 1F セミナー室	16	松岡 俊匡 (大阪大学), 藤島 実 (東京大学)	<ul style="list-style-type: none"> • 基礎, 分布定数回路 • RF CMOS 回路の基礎 • RF オンウェハ測定 • RF オンウェハ測定実習
コース S : 最先端 VLSI 設計実例	平成 21 年 1 月 27 日 先端知 1F セミナー室	43	益子耕一郎 (STARC), 石原 昇 (東京工業大), 松澤 昭 (東京工業大学), 田中 聡 (日立製作所)	<ul style="list-style-type: none"> • 先端アナログ設計 <ul style="list-style-type: none"> - CMOS RF 回路と無線通信用 LSI の設計 - CMOS アナログ回路設計の基礎 — だれでも簡単に設計できるようになる — - PLL 設計の基礎

表 1.4.4 平成 20 年度デザイナーズフォーラムプログラム

6/5	13:00-17:00	Workshop1: CAD インストール講習会	名倉 徹 (東京大学准教授)
6/6	10:00-12:00	Workshop2: Cadence のアナログ設計新環境について	Cadence 講師
	13:10-14:10	心の情報処理に学ぶVLSIブレイン・プロセッサ	柴田 直 (東京大学教授)
	14:30-15:30	Sensors/Processors for Structural Health Monitoring	Shantanu Chakrabartty (Professor, Michigan State Univ.)
	15:50-16:50	パワーゲーティング設計の技術動向と課題	宇佐美公良 (芝浦工業大学教授)
	17:10-18:10	半導体の生きる道—アンチコモنزからガラパゴスまで—	益子耕一郎 (元東大VDEC客員教授)
	18:40-22:00	懇親会 & ポスターセッション	
	22:30-23:00	画講演 「LSIのテストとVDECのテスト環境」	小松 聡 (東京大学准教授)
6/7	9:00-12:00	Ph.D 企画セッション	
	13:00-13:30	SIの研究を始める第一歩 —設計環境の構築 ～竹内研究室の立ち上げに携わって～	畑中輝義 (東京大学)
	13:30-14:00	「超低電力サブスレッショルド回路の研究」 ～これまでの回路設計・チップ試作事例を通して	更田裕司 (大阪大学)
	14:00-16:00	学生発表・ショート講演	池田 誠 (東京大学 准教授)
	16:00-16:30	VDECの活動紹介	池田 誠 (東京大学准教授)
	16:30-17:00	表彰式, 閉会挨拶	

1.5 装置の整備・運用・利用公開

VDECでは、発足以来導入されてきた装置を維持管理するとともに、全国大学教員に対し公開している(一部装置は、試験公開中)。表1.5.1に装置の一覧と利用公開の状況を示す。装置は、VLSI用大型テスターと、その他若干のプロセス装置とに大別できる。VDEC発足以来、東京大学工学部各号館へ分散配置されてきたが、平成16年度末までに「武田先端知ビル」内の1階実験室ならびに地下スーパークリーンルームに装置の移設が完了し、これまで以上に有機的な連携をもって利用することができるようになった。また、平成16年度に株式会社アドバンテストより最新鋭のテスター(T2000)と電子線描画装置(F5112+VD01)とが寄附された。電子線描画装置の平成21年4月~22年1月の利用実績は、合計1320回の描画(うちマスク381枚、直接描画939回)であり、直接描画の割合が高まった。3年前よりEB描画装置は全国公開の準備が整い、同時に必要経費の一部を競争的資金等から負担いただく仕組みが整備された。さらに一昨年度より文部科学省「ナノテクネットワーク」に参加したことで、より多くのユーザーに対する支援体制を整備している。

平成9年度より各種治具の標準化に取り組んだ結果、VDECが推奨する標準ピン配置に基づき試作したデジタルLSIは、治具をその都度作製することなく、VDEC

および拠点校のLSIテスターにより評価が行える体制が整っている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドーターボードを1種類準備することで、全国の各大学におけるLSIテスターに対応可能な体制が整っている。今後、LSIテスト法およびLSIテスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作したLSIの特性・性能評価が容易に行える環境の整備に努めたい。試作チップの評価に関しては、発足当初よりQFPやBGAパッケージを実装できるソケットの頒布およびソケットのピンを標準2.54mmピッチに変換する変換ボードを開発してきた。WEB経由の申し込みにより購入することができる。電子線描画装置、集束イオンビーム加工装置は、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を考案し、試験運用を行っている。

公開されている装置に関しては、セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としている。必要に応じ、VDECの職員などが対応することで、利用を認める場合もあるので、個別に相談いただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSIテストシステム	ミックスシグナルLSIテスター: ITS9000Exa	100 MHz/200 MHz 320ピンのデジタルピンおよび4チャンネルのアナログピンを有している。VDECにおいて標準ピン配置で試作したチップを測定するための治具を揃えている	公開中	ITS9000@vdec.u-tokyo.ac.jp
	EBテスター: IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	IDS5000@vdec.u-tokyo.ac.jp
	LSIテスター: HP8300	384ピン、1GHzまでのデジタル回路のテストを行える。	公開中	HP8300@vdec.u-tokyo.ac.jp
	LSIテスター: ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	equipment@vdec.u-tokyo.ac.jp
	回路修正用FIB: IDSP2X	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	オートプローバ: PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	equipment@vdec.u-tokyo.ac.jp

アナログ・RF測定システム	アナログ・RF測定装置一式: HP4156B, HP4284, etc	DCパラメータ測定, 容量測定, ネットワークアナライザ, スペクトラムアナライザ等の測定装置	希望に応じ利用可能. 但しVDECの業務による利用を優先とする	equipment@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ: Cascade社	マニュアルにて6インチまでのウエハ上のチップの測定が可能. 測定には, 通常のプローブ針(6本まで)のほか, 50GHzまでの測定が可能な高周波プローブを2本備える		
	低雑音・温度制御機構付きセミオートプローバ: Süss Microtec社	8インチまでのウエハ上のチップの測定が可能. ウエハ温度を-50℃から200℃まで制御可能. プローブカードによる測定. GPIBを介した制御を行うことで半自動測定も可能		
	極低温プローバ: 長瀬産業株式会社	5インチウエハを25Kまで冷やした測定が可能	要相談	equipment@vdec.u-tokyo.ac.jp
電子線描画システム	マスク描画・ウエハ直描装置: F5112+VD01	半導体製造用2.3mm厚4.5インチマスクの描画およびエッチング, 2.4インチ並びに不定形ウエハへの直接描画が可能. 性能保障描画寸法0.1μm.	公開中	equipment@vdec.u-tokyo.ac.jp
汎用FIBシステム	FIB装置: SMI9800MSP	ガラスマスクの欠陥修正の他, 断面観測のための加工等が可能	試験的に公開中	equipment@vdec.u-tokyo.ac.jp

1.6 平成 22 年度の活動計画

平成 22 年度においても、従来の設計情報発信、CAD ツール提供、チップ支援、寄付部門「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、平成 9 年度より継続している CAD ツール利用法に関する技術セミナー、平成 10 年度から継続している社会人向けの「リフレッシュセミナー」、平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行なうことを予定している。試作チップ数の増加にとともに、チップ動作検証に対する要望が増大していくものと予想されるが、LSI テスト技術および、VDEC および拠点校に設置されている LSI テスター利用法のセミナーも継続して開催するとともに、寄付部門「D2T」主導によるテスト技術に関するワークショップ開催、遠隔地からのテスト利用に関する試みなどを推進する。

【CAD ツール提供】

上流設計(Cadence, Synopsys)、中流設計(Synopsys (旧 Avant!), Cadence)、下流設計(Cadence)の各基本ツールを、平成 22 年度もサポートしていく。これに加え平成 14 年度から導入した設計検証(Mentor: Caribra, ModelSim, Handel-C 等)、平成 16 年度から導入したアナログ RF 設計ツール(Agilent: GoldenGate, ADS, RFDE)を継続してサポートするとともに、回路シミュレーションツール(Silvaco)ツールの試験導入を延長しユーザの利用状況により継続の検討を行い、平成 17 年度より提供を受けている Sharp 社 C ベース設計ツール(BachC)を継続してサポートする。平成 20 年度より提供を開始している Synfora 社高位合成ツール(PICO Express)、TOOL 社レイアウト表示プラットフォーム(Lavis)に関しても利用状況に基づき継続の検討を行う。

表 1.6.1 VDEC チップ試作スケジュール (平成 22 年度)

【CMOS 1.2 μ m 2P2M】 オン・セミコンダクタ (旧日本モトローラ)

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 21 年度第 2 回	2009/10/ 5	2010/ 1/12	2010/ 4/ 5	2010/ 7/ 5
平成 22 年度第 1 回	2010/ 4/ 5	2010/ 7/ 5	2010/10/ 4	2011/ 1/21
平成 22 年度第 2 回	2010/10/ 4	2011/ 1/14	2011/ 4/ 4	2011/ 7/ 8

【CMOS 0.18 μ m 1P5M (+MiM)] ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 21 年度第 5 回	2009/ 7/ 7	2009/10/19	2010/ 1/18	2010/ 4/19
平成 21 年度高耐圧			2010/ 2/22	2010/ 7/16
平成 21 年度第 6 回	2009/ 9/ 8	2010/ 1/12	2010/ 4/12	2010/ 7/26
平成 22 年度第 1 回	2010/ 1/12	2010/ 3/23	2010/ 7/5	2010/10/15
平成 22 年度第 2 回	2010/ 3/ 8	2010/ 5/24	2010/ 8/23	2010/12/ 3
平成 22 年度第 3 回	2010/ 5/ 6	2010/ 7/20	2010/10/18	2011/ 2/14
平成 22 年度第 4 回 (高耐圧の予定)	2010/ 7/ 1	2010/10/ 4	2011/ 1/11	2011/ 5/ 2
平成 22 年度第 5 回	2010/ 9/ 6	2011/ 1/11	2011/ 3/14	2011/ 7/ 1

【CMOS 65 nm 1P12M】 eShuttle 株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 22 年 2 月			2010/ 2/ 2	2010/ 4/19
平成 22 年 6 月		2010/ 4/30	2010/ 6/ 1	2010/ 9/24
平成 22 年 8 月		2010/ 6/28	2010/ 7/28	2010/11/19
平成 22 年 10 月		2010/ 8/30	2010/ 9/29	2011/ 2/ 4
平成 22 年 12 月		2010/10/25	2010/12/ 1	2011/ 4/ 1
平成 23 年 2 月		2010/ 4/30	2011/ 2/ 2	2011/ 6/ 3

【チップ試作支援】

平成 22 年度は、平成 21 年度から引き続きオン・セミコンダクター、ローム株式会社、eShuttle の 5 種類のプロセスで計 11 回の試作を実施する予定である(すでに一

部の試作は進行中である)。チップの組み立ては全て富士通インテグレートッドマイクロテクノロジー社に委託することで多様な組み立てのニーズに応じられるようにしていきたい。

VDEC での設計 / 試作経験, 人材育成が有効には機能した事例といたしまして, VDEC と関連があった(ある)教員が起業したベンチャー企業のリスト(順不同)を以下に示します.

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生 : 神戸大学 瀧 和男 教授 (同社, 代表取締役社長)

事業内容 : (1) Hyper LSI Design
(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング
(3) オリジナルライブラリ / IP の販売
(4) チップ受託開発

[2] 株式会社シンセシス (<http://www.synthesis.co.jp/>)

代表の先生 : 大阪大学 白川 功 名誉教授 (同社, 取締役)

事業内容 : (1) システム LSI 開発・設計受託
(2) IP 開発及び販売
(3) システムソリューション提供 / 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<http://www.asip-solutions.com/>)

代表の先生 : 大阪大学 今井 正治 教授 (同社, 代表取締役 CTO)

事業内容 : (1) EDA ツールの提供
(2) 設計サービスとソリューション提供
(3) 自社 IP の開発

[4] 株式会社ビヨンド・エルエスアイ (<http://www.beyondlsi.com/jp/index.html>)

代表の先生 : 東京工業大学 國枝 博昭 教授 (同社, 代表取締役)

事業内容 : (1) バイオメトリクス応用製品のための開発, カスタム設計, 共同開発, コンサルティング
(2) LSI の設計・開発, 関連製品の販売

[5] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生 : 九州工業大学 中村 和之 教授 (同社, 代表取締役)

事業内容 : (1) アナログ LSI 設計用 CAD ツールの開発
(2) メモリ LSI 自動設計ツールの開発

[6] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

代表の先生 : 広島大学 岩田 穆 名誉教授 (同社, 代表取締役)

事業内容 : (1) アナログ・RF 回路混載 SoC 設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

[7] 有限会社 石島電子技研 (<http://www.ops.dti.ne.jp/~ishijima/rd/>)

事業内容 : (1) ハードウェア開発
(2) ソフトウェア開発
(3) システム・コンサルティング

1.8 超微細リソグラフィー・ナノ計測拠点

VDECでは、工学部総合研究機構と共同で、文部科学省ナノテクノロジーネットワークを受託し、「超微細リソグラフィー・ナノ計測拠点」を運営している。微細リソグラフィー、エッチング等の微細加工、軽元素までの観察が可能な超高压電子顕微鏡を始めとする解析装置をまとめ、学内外、特に外部企業に公開するというプロジェクトである。VDECはこのうち、武田先端知ビル地下スーパークリーンルームにおけるリソグラフィー部門を担当している。株式会社アドバンテスト社製の

量産向け高速電子線描画装置を改造して、1 cm角から8インチ丸までの任意形状にまで描画できるようにしたF5112+VD01を核に、武田先端知スーパークリーンルームでの活動を支援している。プロジェクトは3年目が終了し、年率10%を超える伸びで学内外共に利用実績を順調に伸ばしている。昨年度のスーパークリーンルーム登録者は468名、電子線描画回数は1506回を記録した。

URL: <http://nanotechnet.t.u-tokyo.ac.jp/>

第2章 「アドバンテスト D2T 寄付研究部門」平成21年度活動報告

2.1 「アドバンテスト D2T 寄付研究部門」の紹介

2.1.1 アドバンテスト D2T 寄附研究部門 設立趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテスト D2T 寄附研究部門」が2007年10月1日付でVDEC内に設立されました。「アドバンテスト D2T 寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく“Design to Test (D2T)”の理念のもと、下図に示すような国内の大学・高専における「テスト研究・教育」の拠点として、「テストCOE (Center of Excellence)」を目標として活動を行っています。

2.1.2 アドバンテスト D2T 寄附研究部門 構成員

スタッフ

特任准教授	小松 聡
特任研究員	Mohamed Abbas
特任研究員	Giuseppe Di Guglielmo (2010年3月～)
共同研究員	古川 靖夫(株式会社アドバンテスト)
共同研究員	山口 隆弘 (株式会社アドバンテスト研究所)
事務補佐員	岡崎 真紀子
非常勤客員教授	Kwng-Ting(Tim) Cheng(University of California, Santa Barbara)
非常勤客員准教授	Subhasish Mitra (Stanford University)

2.2 「D2T シンポジウム 2009」開催報告

2009年12月11日(火)に「D2T シンポジウム 2009」を開催致しました。

「アドバンテスト D2T 寄附研究部門」が東京大学大規模集積システム設計教育研究センター内に設立され、約2年が経過し、その2年間の研究成果の報告ならびにLSIのテスト分野で活躍されている著名な研究者の招待講演を企画し、大学の教員・学生のみならず企業の方々にも興味深い講演会となりました。

本シンポジウムでは、D2T 寄附研究部門の研究成果

報告のみではなく、国内／海外、大学／産業界からの6件の招待講演を行った。招待講演者の方々は、いずれも、LSIのテスト、検証の分野での第一人者であり、大学・企業から120名を超える方々の参加により、大変盛況でした。

VDEC では、今後も継続的にLSIのテストに関連したシンポジウム、講演会を予定しておりますので、是非ともご参加ください。

東京大学 大規模集積システム設計教育研究センター
VLSI Design and Education Center (VDEC), The University of Tokyo

アドバンテスト D2T 寄附研究部門

D2T シンポジウム

2009
12/11 (火)
10:00~18:00
東京大学 武田先端知ビル 5階 武田ホール

プログラム
Program

10:00 開会の挨拶

10:10 D2T 寄附研究部門紹介

10:20 招待講演 (1)
"Test's Changing Role in the Late-Silicon Era"
Kwang-Ting Cheng (University of California, Santa Barbara 教授)

"IFRA: Instruction Footprint Recording and Analysis for Post-Silicon Validation of Robust Systems"
Subhashish Mitra (Stanford University 教授)

11:50 昼食

13:00 招待講演 (2)
"Testing of 3D Integrated Circuits"
Krishnendu Chakrabarty (Duke University 教授)

"Issues and Challenges of Analog Circuit Testing in Mixed-Signal SOC"
小林 春夫 (群馬大学 教授)

14:30 休憩

15:00 D2T 寄附研究部門活動報告
"A Characteristic Function Based Method for Identifying a Deterministic Jitter Model in a Total Jitter Distribution"
山口 隆弘 (アドバンテスト研究所)

"Signature-Based Testing for Adaptive Mixed-Signal Systems"
Mohamed Abbas (University of Tokyo)

16:00 休憩

16:30 招待講演 (3)
"Mining Test Data for Improving Chip Design, Fabrication, and Quality"
Shawn Blanton (Carnegie Mellon University 教授)

On Compositional Observational Equivalence Checking of Hardware
Zurab Khasidashvili (Intel Haifa)

18:00 開会の挨拶

18:10 懇親会



武田ホール
武田先端知ビル
5F

参加のお申し込み
 【参加費】無料 【申し込み方法】以下のウェブサイトからの事前申込制
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2009.html>

【主催】
 東京大学大規模集積システム設計教育研究センター (VDEC)
 後援：株式会社アドバンテスト / ADVANTEST Corporation

【お問い合わせ】
 東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
 〒113-0032 東京都文京区弥生 2-11-16 武田先端知ビル 404号室
 Tel: 03-5841-0233 FAX: 03-5841-1093
<http://www.vdec.u-tokyo.ac.jp/>
 E-Mail: komatsu@vdec.u-tokyo.ac.jp

シンポジウムプログラム / Symposium Program

10:00	開会の挨拶
10:10	アドバンテスト D2T 寄付研究部門紹介
10:20	招待講演 (1) / Invited Talks (1)
	<p>“Test's Changing Role in the Late-Silicon Era” <i>Tim Cheng (University of California, Santa Barbara)</i></p> <p>“IFRA: Instruction Footprint Recording and Analysis for Post-Silicon Validation of Robust Systems” <i>Subhasish Mitra (Stanford University)</i></p>
11:50	昼食 / Lunch
13:00	招待講演 (2) / Invited Talks (2)
	<p>“Testing of 3D Integrated Circuits: Challenges and Emerging Solutions” <i>Krishnendu Chakrabarty (Duke University)</i></p> <p>“Issues and Challenges of Analog Circuit Testing in Mixed-Signal SOC” <i>Haruo Kobayashi (Gunma University)</i></p>
14:30	休憩 / Coffee Break
15:00	D2T 研究報告 / Research Report of VDEC D2T Group
	<p>“A Characteristic Function Based Method for Identifying a Deterministic Jitter Model in a Total Jitter Distribution” <i>Takahiro Yamaguchi (Advantest Corporation)</i></p> <p>“Signature-Based Testing for Adaptive Mixed-Signal Systems” <i>Mohamed Abbas (University of Tokyo)</i></p>
16:00	休憩 / Coffee Break
16:30	招待講演 (3) / Invited Talks (3)
	<p>“Manufacturing Test of Nanometer Integrated Circuits” <i>Shawn Blanton (Carnegie Mellon University)</i></p> <p>“On Compositional Observational Equivalence Checking of Hardware” <i>Zurab Khasidashvili (Intel Haifa)</i></p>
18:00	閉会の挨拶
18:10	懇親会 / Banquet

2.3 アドバンテスト株式会社の東京大学稷門賞受賞について

2009年10月6日(火)に東京大学稷門賞(しょくもんしょう)が東京大学から株式会社アドバンテストに対して贈呈されました(稷門賞の詳細については、http://www.u-tokyo.ac.jp/res01/d04_06_j.html)。アドバンテストのVDECに対する大型装置(EB露光システムF5112, SoC テスタ T2000)の寄付と、それに引き続く寄付講座による本学への継続的な支援が、VDEC/武田

先端知ビルを中心としたナノテクノロジー・VLSI研究の共同利用拠点整備と大学・部局を超えた共同利用によって本学の研究成果・プレゼンスの向上に多大な貢献をしたことが高く評価されたものです。これらのアドバンテストからのサポートはVDECを通じて、全国のVDECユーザの皆様も利用可能ですので、是非ともご利用下さい。



写真：東京大学稷門賞授賞式の様子（左：株式会社アドバンテスト代表取締役兼執行役員社長松野晴夫氏，右：東京大学総長 濱田純一）

2.4 「アドバンテスト D2T 寄付研究部門」平成 21 年度研究報告

デジタル・アシスト・アナログシステムのテスト手法

Mohamed Abbas, 小松 聡, 古川 靖夫,

Tim Cheng

前年度に引き続き、デジタル・アシスト・アナログシステムのテスト手法の研究を継続している。今年度は、主に、アダプティブ・イコライザ向けのアナログ ATPG 手法を提案およびデジタル回路で補正を行う AD コンバータのテスト手法についての検討を行った。

これまでに、デジタル・アシスト・アナログシステムのテスト手法として、ダイナミック・シグネチャベースのテスト手法を提案しているが、その手法に適用可能な最適テスト・ステミュラスを自動生成するためのフレームワークを提案した。提案手法の利点は、テスト・ステミュラスと対象とする故障との間の機能的な関係についての情報が不要であることである。両者の関係は、ビヘイビアレベルでのシミュレーションとそれから得られる適応関数によって自動的に探索され、それぞれの故障に対して、故障の有無によるダイナミック・シグネチャの差が最大になるようなテスト・ステミュラスを得ることが可能である。提案フレームワークは、遺伝的アルゴリズムによって生成されたテストステミュラスの中から、プロセスばらつき・ノイズなどの影響によるテスト誤判定が最小となるようなものを選択する。実験結果によって、5 タップのフィード・フォワード型アダプティブ・イコライザのテストにおいて、手動によって生成したテスト・ステミュラスと比較して、より効率的に検出困難な故障を検出可能であることを示した。

また、デジタル回路で補正を行うパイプライン AD コンバータのテストについて、補正前のデジタル出力値をテストのための評価対象とする手法を提案し、コスト、テスト品質の点で有効であることを示した。

オンチップ・デジタイザ技術

Mohamed Abbas, 山口 隆弘, 古川 靖夫,

小松 聡

AD コンバータは、デジタル演算処理ブロックと外界との間でのデータ転送を実現するために必要不可欠な回路ブロックである。また、低消費電力かつ小面積の ADC を実現するために、レベル・クロッシング ADC が要求される曲面が増えてきている。一定間隔でアナログ信号がサンプルされる従来の ADC に対して、レベル・クロッシング ADC では、アナログ信号がある閾値レベルと交差した時間が計測される。レベル・クロッシング ADC は、電圧値の量子化ノイズを除去でき、また、従来の ADC よりも小さな面積と低消費電力な回路を構成できるという利点があるため、様々なアプリケーションに応用することが期待できる。

本研究では、クロック同期型と連続時間方の2種類のレベル・クロッシング ADC を設計し、評価を行った。前者については、CMOS 0.18 μm および CMOS 65 nm テクノロジーにおいて設計・試作を行い、後者については、CMOS 65 nm テクノロジーにおいて設計を行った。いずれも、現在評価中である。

等価マージンテストの研究

古川 靖夫

再現性のないエラーの原因はソフトエラーといわれることがある。しかし、その多くはデバイスのマージン不足とデバイス使用環境の双方が原因である。

近年の低電圧CMOSデバイスでは電源マージンが少ないこともあり、再現性のないエラーがフィールドで問題になっている。この問題は適切なマージンテストと適切な設計により解決することができるはずである。ところが、正確なマージンテストは長いテスト時間を必要とする。すなわち、テストコストの増大を意味するため、十分なマージンテストを実施することは難しい。

我々はこの矛盾解消にチャレンジしている。正確なマージンテストと同等な精度があり、かつ低テストコストの実現が目的である。そのアプローチ手法を以下に示す。

アナログ回路の最適入力試験信号の自動生成のためには評価指標が必要である。この指標をマージン範囲の評価にも適用できる。

大リーク電流におけるIDDQ試験手法を研究してきた。その技術を利用し、リーク電流と V_{th} の相関を利用したマージン確認範囲の絞り込みを行える可能性がある。

シキイ値検出コンパレータの雑音特性についての研究

山口 隆弘

本研究は、シキイ値検出コンパレータの伝搬遅延時間とタイミング雑音について研究した。ランプ波入力にたいする応答波形からシキイ値検出コンパレータの伝搬遅延時間を導出した。振幅雑音により誘起されるタイミング雑音の特性を解析した。さらに、シキイ値検出コンパレータをもちいた実験により、伝搬遅延時間とタイミング雑音についての提案モデルを検証した。

電気電子工学科におけるVLSIテスト演習コース

小松 聡, 古川 靖夫

近年、微細プロセスによるハードウェアの複雑さが増加し続けており、それに伴い、VLSIチップのテストがより重要になっている。そのため、System-on-Chip (SoC) テストシステムによるVLSIチップのテスト教育の重要性も増加している。

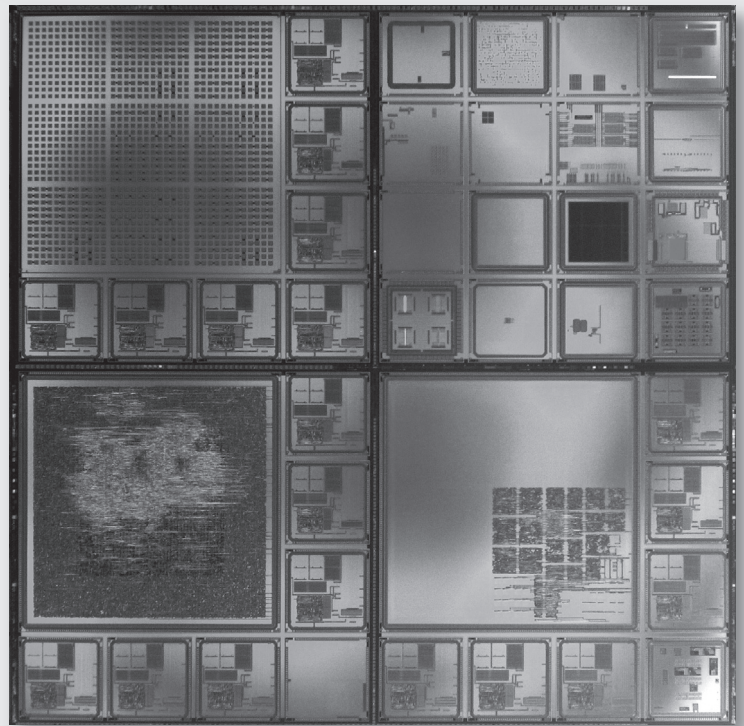
東京大学の電気電子工学科では、そのカリキュラムにより、VLSI設計教育が実用的かつ網羅的に行なわれているが、特に、学生がVLSI設計、製作と測定を実験・演習において実際に経験することで、より効率的に教育を行なっている。

我々は、2005年度から電気電子工学科の学生に対してVLSIテスト演習コースを始めた。現在、この演習は、電気電子工学科のカリキュラムの中の正規の演習コースのうちの1つになっており、今年度は9名の学部学生が受講した。また、演習マテリアルの改訂により、より効率的にVLSIのテストについての教育を行える環境を整えている。

**国際会議・国際シンポジウム・
国際ワークショップ**

- [1] “Signature-Based Testing for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links,” Mohamed Abbas, Kwang-Ting Cheng, Yasuo Furukawa, Satoshi Komatsu, and Kunihiro Asada, IEEE European Test Symposium 2009 (ETS2009), pp.107-112, 2009.
- [2] “GA-Based Test Generation for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links,” Mohamed Abbas, Tim Cheng, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, IEEE East-West Design & Test International Symposium 2009 (EWDTS2009), pp.287-292, 2009.
- [3] “Signature-Based Testing for Adaptive Digitally-Calibrated Pipelined Analog-to-Digital Converters,” Mohamed Abbas, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, IEEE International Conference on ASIC (ASICON 2009), pp.xxx-xxx, 2009.
- [4] “Signature-Based Testing for Digitally-Assisted Analog Systems,” Satoshi Komatsu, ITC’09 Elevator Session, 2009.
- [5] “An Automatic Test Generation Framework for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links,” Mohamed Abbas, Tim Cheng, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, Design, Automation & Test in Europe 2010 (DATE 2010), pp.1755-1760, 2010.

第3章 チップ試作結果報告



3. 1 試作ラン別一覧

平成20年度第3回 e-Shuttle CMOS 65nm 試作 (ES65083)

題名	大学名	研究者	掲載頁
A Charge-Domain Auto- and Cross-Correlation Based IR-UWB Receiver with Power- and Area-efficient PLL for 62.5ps Step Data Synchronization	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	劉 楽昌, 桜井 貴康 高宮 真	81
容量結合通信を用いた非接触コネクタ回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	増永 直樹, 朴 哲, 池内 克之, 桜井 貴康 高宮 真	81
非接触メモリカードのための4PAM誘導結合送受信機	慶應義塾大学電子工学科	川井 秀介, 石黒 仁揮, 黒田 忠弘	81

平成21年度第1回 e-Shuttle CMOS 65nm 試作 (ES65091)

題名	大学名	研究者	掲載頁
LUT 単位で自己同期動作を行う FPGA	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	Devlin Benjamin 池田 誠, 浅田 邦博, 名倉 徹	82
ミリ波 CMOS 送信器用要素回路とデバイスのモデリング	広島大学先端物質科学研究科	藤島 実	82
低電力リコンフィギャラブルアレイ SMA-1	慶應義塾大学理工学部	斎藤 貴樹, 池淵 大輔, 木村 優之, 安田 好宏, 鎌田 雅大, 天野 英晴	82
A Global Directional-Edge-Feature Extraction VLSI Processor	東京大学工学系研究科	朱 弘博, 柴田 直	82
FFの遅延故障評価及び基板電圧制御付き遅延ばらつき評価 TEG	京都市立大学大学院情報科学研究科 京都工芸繊維大学工芸科学研究科電子システム工学専攻	砂川 洋輝, Mahfuzul A.K.M., 三木 崇史, 西澤 真一, 小野寺 秀俊 小林 和淑	83
ゲート絶縁膜信頼性評価回路 I	京都大学情報科学研究科 京都工芸繊維大学工芸科学研究科	松本 高士, 牧野 紘明, 小野寺 秀俊 小林 和淑	83
同期/非同期ハイブリッドアーキテクチャに基づく低消費電力リコンフィギャラブル VLSI	東北大学大学院情報科学研究科 東北大学工学部	石原 翔太, 小松 与志也, 夏 微帆, 張山 昌論, 亀山 充隆 土屋 亮人	83
低電源電圧領域におけるチップ内遅延ばらつき測定	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	安福 正, 桜井 貴康 高宮 真	83
移相制御可能な低位雑音 VCO	広島大学大学院先端物質科学研究科	佐々木 守	84
トランジスタモデル HiSIM を用いた製造ばらつきモデリングと回路シミュレーション手法の実証	広島大学ナノデバイス・バイオ融合科学研究所 広島大学 HiSIM 研究センター 広島大学院先端物質科学研究科 広島大学工学部第二類	Mattausch Hans Juergen, 小出 哲士 上口 光 賀谷 彰大 川畑 勇樹	84
粒度可変論理セルを用いたリコンフィギャラブル IP の設計	熊本大学大学院自然科学研究科	末吉 敏則, 飯田 全広, 久我 守弘, 尼崎 太樹, 井上 万輝, 古賀 正敏, 岡本 康裕, 用正 博紀	84
音声帯域用 LP Δ Σ ADC の試作	広島大学先端物質科学研究科	吉田 毅, 升井 義博, 小池 直希, 山本 健介	84
誘導結合インタフェースを用いたレベル変換回路	慶應義塾大学理工学部	新津 葵一, 高津 慶太, 石黒 仁揮, 黒田 忠広	85
スケーラブルアナログ・デジタル混載回路アーキテクチャの検討	東京工業大学統合研究院	益 一哉, 石原 昇, 佐藤 高史, 天川 修平	85
低消費電力 20 相出力発振回路	神戸大学工学研究科	李 赫鍾, 和泉 慎太郎, 竹内 隆, 川口 博, 吉本 雅彦	85
乳がん早期発見システムのための CMOS 等価時間サンプリング回路	広島大学ナノデバイス・バイオ融合科学研究所	外谷 昭洋, ハフィツ モヒューディン, モハマド, 佐々木 信雄, 吉川 公麿	85
サブスレショルド電流を駆動源とする生体センシング向け極低電圧動作 Rail-to-Rail アナログ増幅器の試作研究	山形大学大学院理工学研究科	原田 知親	86
ソフトエラー耐性評価回路	大阪大学情報科学研究科 大阪大学工学研究科	更田 裕司, 原田 涼, 橋本 昌宜, 尾上 孝雄 密山 幸男	86
オンチップコイルアレーを用いた EMI 測定チップ	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	増永 直樹, 石田 光一, 桜井 貴康 高宮 真	86

ソフトウェア検証用 LSI	京都大学情報学研究所 京都工芸繊維大学工学科学研究科	古田 潤, 小野寺 秀俊 小林 和淑	86
---------------	-------------------------------	-----------------------	----

平成 21 年度第 2 回 e-Shuttle CMOS 65nm 試作 (ES65092)

題 名	大 学 名	研 究 者	掲載頁
pulse beam forming transmitter with on-chip dipole antenna	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	Nguyen Ngoc Mai KHANH 佐々木 昌浩, 浅田 邦博	87
リング型バッファチェーンを用いたプロセスモニタ回路	東京大学大規模集積システム設計教育研究センター 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 池田 誠, 浅田 邦博 程 在鉉	87
ミリ波 CMOS 受信器用要素回路とデバイスのモデリング	広島大学先端物質科学研究科	藤島 実	87
センシングデータ転送を目的とした高性能・低消費エネルギーシリアル通信 LSI	東北大学原子分子材料科学高等研究機構	室山 真徳, 江刺 正喜	87
微細化・低電源電圧化に向けた A/D 変換器の開発	大阪大学工学研究科	王 軍, Ham Hyun-ju, 松岡 俊匡, 谷口 研二	88
データと制御信号の重畳に基づく低電力多値リコンフィギュラブル VLSI	東北大学情報科学研究科	亀山 充隆, 岡田 信彬, 石川 彰隆	88
断熱的バストランジスタ加算回路およびばらつき測定回路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	内山 順一 吉川 信行	88
スケーラビリティと信頼性検証のためのタイムドメイン連想メモリ	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科 広島大学工学部第二類	Mattausch Hans Juergen, 小出 哲士 Tania Ansari, 今福 渉, 川畑 明雄 安田 雅浩	88
1.2V、200MHz、7 次ローパスフィルタの試作	中央大学大学院理工学研究科	石井 壮太, 下山 佑介, 杉本 泰博	89
Hot Swap 機構を備えた耐故障再構成アーキテクチャ	京都大学大学院情報学研究所 立命館大学総合理工学研究機構	ラコシ エンドレ ゴルタン, 廣本 正之, 越智 裕之 中村 行宏	89
適応型テストのための低タイミングインパクト特性推定回路	京都大学大学院情報学研究所 東京工業大学統合研究院	佐藤 高史, 小崎 忠道 上園 巧, 高橋 知之	89
高解像度バイオイメージセンサの試作	奈良先端科学技術大学院大学物質創成科学研究科	太田 淳, 徳田 崇, 笹川 清隆, 野田 俊彦, 穴戸 三四郎	89
無線通信用バイプライン型 ADC の試作	広島大学先端物質科学研究科	吉田 毅, 升井 義博, 小池 直希, 山本 健介	90
High-Speed Clocked Comparator and Clocked Level-Crossing ADC	University of Tokyo VLSI Design and Education Center	Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada	90
オペアンプレス・キャパシタレス Δ - Σ 型 ADC	神戸大学工学研究科	小西 恵大, 李 赫鍾, 和泉 慎太郎, 竹内 隆, 川口 博, 吉本 雅彦	90
実時間動画認識応用 SIFT 特徴量抽出プロセッサコア	神戸大学工学研究科	野口 紘希, 水野 孝祐, 上農 哲也, 何 光霽, 三浦 和夫, 藤永 剛史, 川口 博, 吉本 雅彦	90
次世代知能ロボット制御のための混合整数 2 次計画問題 (MIQP) ソルバプロセッサ	神戸大学工学研究科	野口 紘希, 谷 純一, 嶋井 優介, 川口 博, 吉本 雅彦	91
ミックスドシグナル SoC のためのオンチップモニタシステム	神戸大学大学院工学研究科 大学院工学研究科大学院工学研究科	橋田 拓志, 荒賀 佑樹 永田 真	91
低消費電力マルチレート LDPC 復号 LSI	早稲田大学理工学術院情報生産システム研究科	後藤 敏, ベン ショウ, チョウ ユウシン, チン ショウ	91
低電力 Δ Σ AD 変換器における精度補正回路および雑音抑圧回路	広島大学	岩田 穆, 藤川 信次, 前田 智明, 村坂 佳隆, 大本 貴史	91
三次元チップ積層向け 10GHz 高速クロック分配回路	広島大学	汐崎 充, 岩田 穆	92

平成 21 年度第 3 回 e-Shuttle CMOS 65nm 試作 (ES65093)

題 名	大 学 名	研 究 者	掲載頁
FF の遅延故障評価, 遅延ばらつき評価及び遅延ばらつき自己補償 TEG	京都大学大学院情報学研究所	Bishnu Das, 砂川 洋輝, Mahfuzul A.K.M, 三木 崇史, 西澤 真一, 釜江 典裕, 北島 和彦, 小野寺 秀俊	93
ゲート絶縁膜信頼性評価回路 II	京都大学情報学研究所 京都工芸繊維大学工学科学研究科	松本 高士, 牧野 紘明, 伊東 恭佑, 釜江 典裕, 小野寺 秀俊 小林 和淑	93
回路特性経時的変動の効果的取得回路	京都大学大学院情報学研究所 東京工業大学統合研究院	佐藤 高史, 小崎 忠道 上園 巧, 高橋 知之	93

Continuous-Time Level-Crossing Analog-To-Digital Converter.	VLSI Design and Education Center, University of Tokyo Advantest Corporation	Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada Takahiro Yamaguchi, Yasuo Furukawa	93
---	---	--	----

平成20年度第2回オンセミコンダクター CMOS 1.2um 試作 (MOT082)

題名	大学名	研究者	掲載頁
CVSL基本論理回路群とCMOS基本論理回路群の設計試作	静岡理科大学電気電子工学科 電気電子情報工学科	波多野 裕 神尾 翔, 吉山 拓毅	94
チップ内伝送線路特性測定モデルの試作	秋田大学工学資源学部	柳澤 良介, 萱野 良樹, 井上 浩	94
FG-MOSを用いた高性能アナログ回路と多値論理回路	佐賀大学大学院工学系研究科 佐賀大学理工学部	清水 暁生, 野邊 勇樹, 西 晃司 深井 澄夫	94
樹状構造をもつ放熱システムの機能検証用の発熱体	金沢大学工学部	秋田 純一, 山崎 光悦	95
演算増幅器設計コンテスト応募に向けた試作	豊橋技術科学大学情報工学専攻 豊橋技術科学大学情報工学系	中田 光俊, 中川 雄介, 瀬川 健太郎 和田 和千	95
演算増幅器の試作	東京工業大学理工学研究科 東京工業大学グローバルエッジ研究院	高木 茂孝 ニコデムス レティアン	95
FM放送受信機構成用低雑音増幅回路と自動利得調整回路の構成	東京工業大学理工学研究科 東京工業大学グローバルエッジ研究院	高木 茂孝 ニコデムス レティアン	96
study of MOSFET	明治大学理工学部	高窪 かをり	96
H型ゲート電極MOSFETの特性とサブスレショルド動作時の回路動作検証	山形大学大学院理工学研究科	原田 知親	96
C/V変換回路・A/D変換回路	兵庫県立大学大学院工学研究科	園田 晃司, 藤田 孝之, 前中 一介	97
最大値・最小値8bitデジタルラッチ回路	兵庫県立大学大学院工学研究科	園田 晃司, 藤田 孝之, 前中 一介	97
全差動離散時間 Δt 変調器の開発	兵庫県立大学工学研究科	齊藤 光俊, 藤田 孝之, 前中 一介	97
超低消費電力断熱的ダイナミックCMOS論理回路の試作	群馬大学大学院工学研究科	白石 洋一, 憑 歎	98

平成21年度第1回オンセミコンダクター CMOS 1.2um 試作 (MOT091)

題名	大学名	研究者	掲載頁
CVSL基本論理回路群、CMOS基本論理回路群及びSEE検出回路などの設計試作	静岡理科大学電気電子工学科 電気電子情報工学科	波多野 裕 鈴木 淳史	99
CVSL基本論理回路群、CMOS基本論理回路群及びSEE検出回路などの設計試作	静岡理科大学電気電子工学科 電気電子情報工学科	波多野 裕 藤田 大貴, 馬淵 英恵, 加藤 喬斐 徒, 鈴木 淳史	99
Λ 形負性抵抗素子を用いた多値メモリの試作	日本大学理工学部	佐々木 芳樹, 佐伯 勝敏, 関根 好文	99
アナログ汎用素子評価用TEGとニューロンモデルの試作	日本大学理工学部	佐々木 芳樹, 佐伯 勝敏, 関根 好文	100
電圧制御発振器のための基本回路の試作	秋田大学工学資源学部	萱野 良樹, 小林 吾生, 柳澤 良介, 井上 浩	100
演算増幅器設計試作を通じたLSI設計教育とFG-MOSを用いた高機能LSI	佐賀大学大学院工学系研究科 佐賀大学理工学部 有明工業高等専門学校電子情報工学科	清水 暁生, 野邊 勇樹, 西 晃司 安元 周平, 山下 裕人, 沖田 光聡, 和田 侑也, 深井 澄夫 野口 卓朗, 雪田 雅史, 石川 洋平	100
演算増幅器設計コンテスト応募に向けた試作	豊橋技術科学大学情報工学専攻 豊橋技術科学大学情報工学課程 豊橋技術科学大学情報工学系	瀬川 健太郎 石岡 和也, 松岡 那樹 和田 和千	101
演算増幅器の試作	東京工業大学理工学研究科 東京工業大学グローバルエッジ研究院	高木 茂孝 ニコデムス レティアン	101
FM放送受信機構成のための要素回路の試作	東京工業大学理工学研究科 東京工業大学グローバルエッジ研究院	高木 茂孝 ニコデムス レティアン	101
study of MOSFET	明治大学理工学部	高窪 かをり	102
無線センサネットワーク端末の電源制御回路	財団法人 福岡県産業・科学技術振興財団 早稲田大学情報生産システム研究科	黄 章財 井上 靖秋	102
人体モニタリングシステム用アナログIC	兵庫県立大学工学部 兵庫県立大学大学院工学研究科	田中 伸哉 園田 晃司, 藤田 孝之, 前中 一介	102
Digital filterの開発方式の確立	兵庫県立大学工学研究科	齊藤 光俊, 藤田 孝之, 前中 一介	103

平成21年度第1回ローム CMOS 0.18um 試作 (RO18091)

題名	大学名	研究者	掲載頁
ブロックマッチング方式 CMOS オプティカルフローセンサー	東京大学工学系研究科	小森 健正, 柴田 直	104
A Digital-Pixel-Sensor-Based Global Feature Extraction Processor	東京大学工学系研究科	朱 弘博, 柴田 直	104
二分木階層マルチチップ K-means アーキテクチャ機能確認用試作チップ	東京大学工学系研究科	馬 奕涛, 柴田 直	104
SRAM 回路の基礎検討チップ	東京大学工学系研究科	申 丞鎬, 柴田 直	105
CMOS 共鳴特性回路を用いた画像特徴抽出アナログ集積回路	東京大学工学系研究科	吉井 一馬, プラバート ウィーラ ワルダナ, 柴田 直	105
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学工学部	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	105
高信頼性を実現するタイムドメイン連想メモリ	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科 広島大学工学部第二類	Mattausch Hans Juergen, 小出 哲士 Tania Ansari, 今福 渉, 川畑 明 雄 安田 雅浩	106
Above CMOS インダクタ技術のための VCO・LNA の試作	東北大学工学研究科	大宮 豊, 小谷 光司, 伊藤 隆司	106
アニマルウォッチセンサ向け高速起動発振回路用 TEG	東京大学工学系研究科 精密機械工学専攻	中村 公亮, 増田 誉, 須賀 唯知	106
宇宙線観測用信号処理 LSI の TEG	茨城大学工学部 東京大学宇宙線研究所	木村 孝之 佐々木 真人, 増田 正孝	107
神経信号測定および刺激印加のための回路(B5)	慶應義塾大学理工学部	岩田 貴之, 山口 昌也, 中野 誠彦	107
CMOS 集積化アクティブ磁界プローブ	東北大学大学院工学研究科	山口 正洋, 難波 志織, 小館 航	107
口腔内モニタリングのためのワイヤレスバイオセンサ	広島大学ナノデバイス・バイオ融合科学研究所 広島大学先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	108
オンチップ免疫反応検出のため磁気ビーズ駆動	広島大学ナノデバイス・バイオ融合科学研究所 広島大学ナノデバイス・バイオ融合科学研究所	石川 智弘, 金子 文恵 上口 光	108

平成21年度第2回ローム CMOS 0.18um 試作 (RO18092)

題名	大学名	研究者	掲載頁
擬似的に不規則な画素配置を持つ CMOS イメージセンサ	金沢大学工学部	秋田 純一	109
時間差増幅器を用いたニモード時間差デジタル変換器	東京大学工学系研究科	萬代 新悟	109
デジタルアクティブ基板ノイズキャンセラー	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	ダン ゴクラン 名倉 徹, 池田 誠, 浅田 邦博	109
スリープ回路の寄生容量を用いた電源雑音キャンセル回路	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	金 鎮明 名倉 徹, 池田 誠, 浅田 邦博	110
電源ノイズ検出用ピークホールド回路の試作	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター (VDEC)	玉置 裕基 名倉 徹, 池田 誠, 浅田 邦博	110
スキューを用いた一次元高精度ポジションセンサー	東京大学工学系	宋 暁旭	110
二線式スタティック CMOS を用いた縦列ゲート	東京大学工学部 東京大学大規模集積システム設計教育研究センター (VDEC)	中里 輝希 池田 誠	111
on-chip dipole antenna array for mm-wave pulse transmitter	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	Nguyen Ngoc Mai KHANH 佐々木 昌浩, 浅田 邦博	111
On-chip antenna array in mm-wave regime	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	Nguyen Ngoc Mai KHANH 佐々木 昌浩, 浅田 邦博	111
チップ内メタマテリアル特性評価チップ	京都大学情報学研究科	土谷 亮	112
MOSFET の弱反転領域を利用したアナログ回路	中央大学大学院理工学研究科	築山 修治, 市川 章夫, 大藤 雅之, 土井 誠, 森井 允紀	112
非接触データ転送回路	広島大学大学院先端物質科学研究科	佐々木 守	112
消費電力実測のための断熱的バストラジスタ加算回路	横浜国立大学大学院工学研究科 横浜国立大学大学院工学研究科	内山 順一 吉川 信行	113

SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学工学部	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	113
WiMAX ターボデコーダ	東北大学工学研究科 東北大学未来科学技術総合研究センター	新井 宏明, 小谷 光司, 伊藤 隆司 宮本 直人	113
高周波用アナログデバイスの TEG 試作	中央大学大学院理工学研究科	加藤 大介, 荻野 達也, 中澤 啓悟, 高橋 将史, 杉本 泰博	114
Preamp-Shaper-Discriminator	東京大学工学部	島添 健次	114
可視光通信センサおよび信号処理回路	慶應義塾大学理工学部	近内 聡史, 松本 松本	114
多チャンネル皮膚脳波検出システムチップ	東京大学情報理工学系研究科 広島大学先端物質科学研究科	鈴木 隆文 吉田 毅, 升井 義博, 安部 亨, 末石 勝也	115
しきい値電圧依存性の小さい CMOS 基準電流発生回路の設計	富山県立大学大学院工学研究科	田中 智章, 松田 敏弘, 岩田 栄之	115
偶数段リングオシレータ TEG	九州工業大学マイクロ化総合技術センター	小原 祐輔, 中村 和之	115
Study of MOSFET	明治大学理工学部	高窪 かをり	116
神経信号測定および刺激印加のための回路	慶應義塾大学理工学部	岩田 貴之, 山口 昌也, 中野 誠彦	116
可視光通信センサ	慶應義塾大学大学院システムデザイン・マネジメント研究科	森谷 英一郎, 春山 真一郎	116
サブスレシヨルドで動作する極低電圧駆動アナログ回路とオンチップ電源回路	山形大学大学院理工学研究科	佐山 裕紀, 高橋 良輔, 原田 知親	117
生体モニタリングシステム用デジタル回路レイアウト合成検証	兵庫県立大学大学院工学研究科 兵庫県立大学工学部	園田 晃司, 藤田 孝之, 前中 一介 石井 雅敏, 田中 伸哉	117
0.18um インバータチェーン TEG (1)	東洋大学	堀口 文男	117
電圧制御発振回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	飯田 智士, 高橋 亮, 島本 潤吉, 平田 貴士, 安福 正, 石田 光一, 桜井 貴康 高宮 真	118
口腔内モニタリングのためのワイヤレスバイオセンサ(2)	広島大学ナノデバイス・バイオ融合科学研究所 広島大学先端物質科学研究科 広島大学広島大学 先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅 安部 亨	118
オンチップ免疫反応検出のため磁気ビーズ駆動(2)	広島大学ナノデバイス・バイオ融合科学研究所	石川 智弘, 上口 光, 金子 文恵	118
アナログ回路設計手法検証用 TEG	東北大学電気通信研究所	稲津 賢治, 小西 貴之, 樹井 昇一	119

平成 21 年度第 3 回ローム CMOS 0.18um 試作 (RO18093)

題 名	大 学 名	研 究 者	掲載頁
ライブラリ検証用ならびにソフトエラー測定用 LSI	京都工芸繊維大学工芸科学研究科 京都大学情報学研究科	小林 和淑 古田 潤, 小野寺 秀俊	120
データ圧縮による高速読み出しを実現する超高速三次元形状計測イメージセンサ	東京大学工学系研究科	萬代 新悟	120
スキューを用いた一次元高精度ポジションセンサー	東京大学工学系 東京大学 VDEC	宋 晞旭 佐々木 昌浩	120
リコンフィギュラブルメモリ回路			121
容量結合を用いた通信実験 TEG	金沢大学自然科学研究科 金沢大学理工研究域	戸羽 辰夫 秋田 純一, 北川 章夫	121
誘導結合を用いた通信実験 TEG	金沢大学自然科学研究科 金沢大学理工研究域	戸羽 辰夫 秋田 純一, 北川 章夫	121
特定小電力無線通信送受信機用 TEG の試作	金沢大学自然科学研究科 金沢大学理工研究域	戸羽 辰夫 秋田 純一, 北川 章夫	122
特定小電力無線通信送受信機用 TEG の試作	金沢大学自然科学研究科 金沢大学理工研究域	戸羽 辰夫 秋田 純一, 北川 章夫	122
断熱的回路の構造による比較を行うための 3 種類の乗算器	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	内山 順一 吉川 信行	122
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学工学部	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	123
Above CMOS インダクタのモデリング用インダクタ	東北大学工学研究科	杉本 篤生, 大宮 豊, 小谷 光司, 伊藤 隆司	123
LTE ターボデコーダ	東北大学工学研究科 東北大学未来科学技術共同研究センター	新井 宏明, 小谷 光司, 伊藤 隆司 宮本 直人	123
高機能イメージセンサの検証用 TEG	東京理科大学工学研究科	大高 俊徳, 菅井 男也, 平賀 匠, 浜本 隆之	124

ダミーメタル入り伝送線路の伝搬損失の評価	東京工業大学理工学研究科	平野 拓一, 小野 雄也	124
オンチップ・スパイラルインダクタ TEG 試作	中央大学大学院理工学研究科	荻野 達也, 中澤 啓悟, 江川 遼介, 杉本 泰博	124
改良型 Preamp-Shaper-Discriminator	東京大学工学部	島添 健次	125
電流モード連続時間バンドパス $\Delta\Sigma$ 変調器とその要素回路	上智大学理工学部	渡辺 貴士, 和保 孝夫	125
2009年度産研共同研究回路試作チップ	電気通信大学先進理工学部	範 公可, heng Socheat, 張品, Ghimire Jagat Jyoti	125
Clocked Level-Crossing Analog-to-Digital Converter.	University of TokyoVLSI Design and Education Center Advantest Corporation	Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada Takahiro Yamaguchi, Yasuo Furukawa	126
2つの低電圧 ADC(信号分割構成パイプライン型と弱反転領域使用の逐次比較型)	豊橋技術科学大学情報工学専攻 豊橋技術科学大学情報工学系	中川 雄介, 瀬川 健太郎 和田 和千	126
非同同期回路によるオートマトン	東京工業大学情報理工学研究科計算工学専攻	廣田 健	126
神経信号測定および刺激印加のための回路	慶應義塾大学理工学部	岩田 貴之, 山口 昌也, 中野 誠彦	127
可視光通信用センサ	慶應義塾大学大学院システムデザイン・マネジメント研究科	森谷 英一郎, 春山 真一郎	127
0.18 μ m インバータチェーン TEG (2)	東洋大学総合情報学部	堀口 文男	127
0.18 μ m 論理回路 TEG (3)	東洋大学総合情報学部	堀口 文男	128
磁性膜によるノイズ抑制効果を評価するためのオンチップ伝送線路	東北大学大学院工学研究科	山口 正洋, 室賀 翔, 難波 志織	128
低雑音増幅器を用いたオンチップ集積化磁界プローブ	東北大学大学院工学研究科	山口 正洋, 難波 志織	128
可変構造型プロセッサの試作	九州大学システム LSI 研究センター	石原 亨, Zang Chengjie	129
アバランシェフォトダイオード	金沢大学理工研究域 金沢大学大学院自然科学研究科	飯山 宏一, 丸山 武男 高松 英輝	129
MOSFET パラメータ基板効果評価 TEG	東京理科大学大学院理工学研究科	榎田 洋太郎, 真鍋 貴俊, 間瀬 泰明	129
SRAM TEG 回路と昇圧電源回路	東京大学電気系工学専攻 東京大学生産技術研究所	畑中 輝義, 矢島 亮児, 田中丸 周平, 本田 健太郎, 竹内 健 宮地 幸祐	130
ウェイクアップ型無線通信システムのデジタル回路	東京大学先端科学技術研究センター	瀧口 貴啓, 石田 繁巳, 猿渡 俊介, 南 正輝, 森川 博之	130
Fractional-N PLL 設計 TEG Ver1	東北大学電気通信研究所	Lee Jun Gyu, Xu Zule, Wang Ge, 樹井 昇一	130

平成21年度第4回ローム CMOS 0.18 μ m 試作 (RO18094)

題名	大学名	研究者	掲載頁
ゲートドフリップフロップを多ビット統合した低電力レジスタ回路の試作	九州大学システム情報科学府 九州大学システム LSI 研究センター	奥平 拓見 石原 亨	131
二線式スタティック CMOS を用いた自己同期回路	東京大学工学部 東京大学大規模集積システム設計教育研究センター (VDEC)	中里 輝希 池田 誠	131
LSI 故障診断装置評価用 TEG-1	大阪大学大学院情報科学研究科	野津 孝行, 御堂 義博, 三浦 克介, 中前 幸治	131
LSI 故障診断装置評価用 TEG-2	大阪大学大学院情報科学研究科	池田 哲志, 御堂 義博, 三浦 克介, 中前 幸治	132
デルタ・シグマ変調器, 計測アンプ, 演算増幅器, 温度センサー回路の試作	宮崎大学大学院工学研究科 宮崎大学工学部	宮内 亮一, 西村 和将, 田中 誠 坂本 亮太, 末崎 将成, 外山 貴子, 田村 宏樹, 淡野 公一	132
CMOS パンプ回路を用いた電流モード動きフィールド生成回路	東京大学工学系研究科	ブラバート ウィーラワルダナ, 柴田 直	132
容量結合通信向け要素回路 1	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康 高宮 真	133
容量結合通信向け要素回路 2	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康 高宮 真	133
多倍長浮動小数点演算アクセラレータ HP-DSFP の実装	広島市立大学大学院情報科学研究科情報工学専攻	川本 智之, 谷川 一哉, 弘中 哲夫	133
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学工学部	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	134

タイムドメイン連想メモリの高速・低消費電力化のためのテストチップ	広島大学ナノデバイス・バイオ融合科学研究所 広島大学先端物質科学研究科 広島大学工学部第二類	Mattausch Hans Juergen, 小出哲士 Tania Ansari, 今福 渉, 川畑 明雄 安田 雅浩	134
信頼性検証のためのタイムドメイン連想メモリのテストチップ	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科 広島大学工学部第二類	Mattausch Hans Juergen, 小出哲士 Tania Ansari, 今福 渉, 川畑 明雄 安田 雅浩	134
高機能イメージセンサの検証用 T E G	東京理科大学工学研究科	菅井 男也, 浜本 隆之	135
高機能イメージセンサの検証用 T E G	東京理科大学工学研究科	大高 俊徳, 浜本 隆之	135
低周波数で動作する無線通信向け整流回路	広島大学大学院先端物質科学研究科	大森 美郷, 亀田 成司, 岩田 穆	135
ダミーメタル入り伝送線路および RF 回路基本素子の特性評価	東京工業大学理工学研究科	平野 拓一, 小野 雄也	136
並列処理用プロセッサの試作	首都大学東京数理情報科学専攻	大橋 常毅, 田中 和人, 福永 力	136
高抵抗シリコン基板を用いたオンチップ・スパイラルインダクタ TEG 試作	中央大学大学院理工学研究科	荻野 達也, 中澤 啓悟, 江川 遼介, 杉本 泰博	136
集積化磁気センサの低電圧駆動確認用 TEG	茨城大学工学部	木村 孝之	137
連続時間方式 $\Delta \Sigma$ ADC とその要素回路	上智大学理工学部	安達 美志, 室塚 真毅, 和保 孝夫	137
低電圧非同同期型 Δ 変調器、電流モード非同同期型 $\Delta \Sigma$ 変調器とその要素回路	上智大学理工学部	小田 遼介, 栗林 和輝, 和保 孝夫	137
高速フラッシュ型アナログ・デジタル変換器とその要素回路	上智大学理工学研究科	能登 弘, 西上 義人	138
実時間動領域抽出向けアフィン動きモデル推定プロセッサ	金沢大学自然科学研究科	深山 正幸, 小松 弘季, 東郷 康二, 松田 吉雄	138
可視光 ID 用受光センサ及び信号処理回路	慶應義塾大学理工学部	中田 啓道, 松本 松本	138
グリッチによる消費電力の増大を抑制する乗算器	神戸大学大学院工学研究科 神戸大学工学部	小暮 武, 藤岡 達也, 沼 昌宏 零 讓	139
電氣的検査容易化 CMOS イメージセンサの検証	徳島大学工学部	五百倉 裕一, 加藤 健二, 樽見 洋, 四柳 浩之, 橋爪 正樹	139
Clocked Level-Crossing Analog-to-Digital Converter (Modified)	University of Tokyo VLSI Design and Education Center Advantest Corporation	Mohamed Abbas, Satoshi Komatsu, Kunihito Asada Takahiro Yamaguchi, Yasuo Furukawa	139
微小遅延故障検出のための遅延測定回路	千葉大学大学院融合科学研究科	田辺 融, 加藤 健太郎, 伊藤 秀男	140
ローム 0.18 μ m 試作	豊橋技術科学大学情報工学専攻	中田 光俊, 中川 雄介	140
センサ用 CV 変換回路	富山県立大学工学部	濱野 寛之, 松田 敏弘, 岩田 栄之	140
LSI 設計演習 256bit SRAM	九州工業大学マイクロ化総合技術センター	平川 豊, 三村 法寛, 山之口 誠将, 中村 和之	141
可変段数バイプラインプロセッサ評価用チップ	三重大学大学院工学研究科	中林 智之, 佐々木 敬泰, 大野 和彦, 近藤 利夫	141
可変段数バイプラインプロセッサ評価用チップ	三重大学大学院工学研究科	中林 智之, 佐々木 敬泰, 大野 和彦, 近藤 利夫	141
低電圧超低電力アナログ回路	財団法人 福岡県産業・科学技術振興財団 早稲田大学情報生産システム研究科	黄 章財 井上 靖秋	142
ピャプログラムブルデバイス(VPLD) V P E X の配線遅延評価チップ	立命館大学理工学部 立命館大学理工学研究科	北森 達也, 藤野 毅 浅川 俊介	142
高速電圧波形記録回路+ノイズ検出用 ADC+BMI 用 LSI の DC-DC コンバータ+BMI 用 LSI の FM 変調器用発振器 慶應義塾大学理工学部 中野 誠彦, 大塚 浩平, 小田中 温, 中村 真之, 三谷 勇貴	慶應義塾大学理工学部	中野 誠彦, 大塚 浩平, 小田中 温, 中村 真之, 三谷 勇貴	142
可視光通信センサ	慶應義塾大学大学院システムデザイン・マネジメント研究科	森谷 英一郎, 春山 真一郎	143
Charge pump system with hybrid decoupling scheme	早稲田大学大学院情報生産システム研究科	黄 孟枢	143
可変構造型マルチコアプロセッサの試作	九州大学システム LSI 研究センター	石原 亨, Zang Chengjie	143
S i 集積回路プロセスによる単電子デバイス・回路の検討	静岡大学電子工学研究所	猪川 洋	144
PN 符号生成回路付 SSO ノイズ測定 TEG	福岡工業大学情報工学部	松原 裕之	144
直列均等分圧回路 TEG およびアナログ乗算器 TEG	東京理科大学大学院理工学研究科	榎田 洋太郎, 真鍋 貴俊, 間瀬 泰明	144
量子コンピュータのエミュレータ実現に向けた特性評価回路	琉球大学工学部	西 広海, 津嘉山 力, 金城 光永	145
高速動的光再構成型プロセッサチップ	静岡大学工学部	渡邊 実	145

口腔内モニタリングのためのワイヤレスバイオセンサ(3)	広島大学ナノデバイス・バイオ融合科学研究所 広島大学先端物質科学研究科	石川 智弘, 上口 光, 村上 裕二 升井 義博, 吉田 毅, 安部 亨	145
オンチップ免疫反応検出のため磁気ビーズ駆動(3)	広島大学ナノデバイス・バイオ融合科学研究所 広島大学ナノデバイス・バイオ融合科学研究所	石川 智弘 上口 光, 金子 文恵	146
ウェアラブル型無線通信システムのアナログ回路	東京大学先端科学技術研究センター	瀧口 貴啓, 石田 繁巳, 猿渡 俊介, 南 正輝, 森川 博之	146
Fraction-N PLL 設計 TEG Ver2	東北大学電気通信研究所	Lee Jun Gyu, Xu Zule, Wang Ge, 樹井 昇一	146
アナログ回路設計手法検証用 TEG-Ver2	東北大学電気通信研究所	稲津 賢治, 小西 貴之, 樹井 昇一	147

平成21年度第5回ローム CMOS 0.18um 試作 (RO18095)

題 名	大 学 名	研 究 者	掲載頁
高抵抗基板でのタイムドメイン連想メモリのテストチップ	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科 広島大学工学部第二類	Mattausch Hans Juergen, 小出 哲士 Tania Ansari, 今福 涉, 川畑 明雄 安田 雅浩	148
多チャンネル脳波検出システムチップ	広島大学先端物質科学研究科	吉田 毅, 升井 義博, 安部 亨, 末石 勝也	148
LSI 設計教育ならびにソフトウェア検証用 LSI	京都工芸繊維大学工学科学研究科 京都工芸繊維大学工学科学部	小林 和淑 久保田 勤人	148
wider-band mm-wave mixer with on-chip antenna	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	Nguyen Ngoc Mai KHANH 佐々木 昌浩, 浅田 邦博	149
極低消費電力無線用パルス生成回路	広島大学先端物質科学研究科	藤島 実	149
インパルス方式UWB レーダ用要素回路の試作	山梨大学医学工学総合研究部	佐藤 隆英	149
パッシブ型無線温度センサ	金沢大学自然科学研究科 金沢大学理工研究域	崔 冀, 駒村 優作, 船山 剛史 秋田 純一, 北川 章夫	150
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学工学部	岡本 悠史, 矢口 謙太, 吉川 信行	150
SFQ/CMOS ハイブリッドメモリ用各種 CMOS 増幅器	横浜国立大学工学部 横浜国立大学工学研究院	陳 賢珠 吉川 信行	150
2bit/step 変換方式の逐次近似型アナログ/デジタル変換器	上智大学理工学部	杉山 直紀, 草野 恵一, 能登 弘, 和保 孝夫	151
SFQ/CMOS ハイブリッドメモリ用 64kb メモリ	横浜国立大学工学部	岡本 悠史, 矢口 謙太, 吉川 信行	151
断熱的回路の消費電力測定のための乗算回路	横浜国立大学大学院工学部 横浜国立大学大学院工学研究院	内山 順一 吉川 信行	151
静電容量型センサ用容量検出回路	慶應義塾大学理工学部	堀下 祐輔, 松本 佳宣	152
study of MOSFET	明治大学理工学部	高窪 かをり	152
物理複製不可能なデバイス (PUF:Physically Unclonable Function) の基本特性評価用チップ	立命館大学理工学部	古橋 康太, 藤野 毅	152
ドミノ RSL 方式を用いた Simplified-DES(SDES)暗号回路の DPA 耐性評価チップ	立命館大学理工学部 立命館大学理工学研究科	岩井 克彦, 藤野 毅 小島 憲司, 浅川 俊介	153
TEG による基本特性評価	長野高専電気電子工学科	秋山 正弘	153
Finite Impulse Response Filter の開発	兵庫県立大学工学研究科	齊藤 光俊, 藤田 孝之, 前中 一介	153
4-bit multiplier with 2-phase power clock driven charge-recovery logic	早稲田大学情報生産システム研究科	張 藝蒙	154
イメージセンサ基本動作確認用チップ	富山高専専門学校地域イノベーションセンター 富山高専専門学校専攻科 富山高専専門学校情報工学科	塚田 章 新田 真浩 長田 春風	154
ボード間非接触データ伝送のためのシングルエンド形誘導結合送受信回路1	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康 高宮 真	154
ボード間非接触データ伝送のためのシングルエンド形誘導結合送受信回路2	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康 高宮 真	155
MOSFET パラメータ基板バイアス効果評価 TEG	東京理科大学大学院理工学研究科	榎田 洋太郎, 真鍋 貴俊, 間瀬 泰明	155



ウェイクアップ型無線通信システムのアナログ回路	東京大学先端科学技術研究センター	瀧口 貴啓, 石田 繁巳, 猿渡 俊 介, 南 正輝, 森川 博之	155
-------------------------	------------------	--------------------------------------	-----

3. 2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
RO18091	オンチップ免疫反応検出のため磁気ビーズ駆動	石川 智弘, 金子 文恵, 上口 光	108
RO18092	オンチップ免疫反応検出のため磁気ビーズ駆動(2)	石川 智弘, 上口 光, 金子 文恵	118
RO18094	オンチップ免疫反応検出のため磁気ビーズ駆動(3)	石川 智弘, 上口 光, 金子 文恵	146

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
ES65083	A Charge-Domain Auto- and Cross-Correlation Based IR-UWB Receiver with Power- and Area-efficient PLL for 62.5ps Step Data Synchronization	劉 楽昌, 桜井 貴康, 高宮 真	81
ES65083	容量結合通信を用いた非接触コネクタ回路	増永 直樹, 朴 哲, 池内 克之, 桜井 貴康, 高宮 真	81
ES65091	FFの遅延故障評価及び基板電圧制御付き遅延ばらつき評価TEG	砂川 洋輝, Mahfuzul A.K.M, 三木 崇史, 西澤 真一, 小野 寺 秀俊, 小林 和淑	83
ES65091	ゲート絶縁膜信頼性評価回路 I	松本 高士, 牧野 紘明, 小野寺 秀俊, 小林 和淑	83
ES65091	低電源電圧領域におけるチップ内遅延ばらつきの測定	安福 正, 桜井 貴康, 高宮 真	83
ES65091	トランジスタモデルHiSIMを用いた製造ばらつきのモデリングと回路シミュレーション手法の実証	Mattausch Hans Juergen, 小出 哲士, 上口 光, 賀谷 彰大, 川畑 勇樹	84
ES65091	粒度可変論理セルを用いたリコンフィギャラブルIPの設計	末吉 敏則, 飯田 全広, 久我 守弘, 尼崎 太樹, 井上 万輝, 古賀 正紘, 岡本 康裕, 用正 博紀	84
ES65091	スケーラブルアナログ・デジタル混載回路アーキテクチャの検討	益 一哉, 石原 昇, 佐藤 高史, 天川 修平	85
ES65091	ソフトエラー耐性評価回路	更田 裕司, 原田 涼, 橋本 昌宜, 尾上 孝雄, 密山 幸男	86
ES65091	オンチップコイルアレーを用いたEMI測定チップ	増永 直樹, 石田 光一, 桜井 貴康, 高宮 真	86
ES65091	ソフトエラー検証用LSI	古田 潤, 小野寺 秀俊, 小林 和淑	86
ES65092	適応型テストのための低タイミングインパクト特性推定回路	佐藤 高史, 小崎 忠道, 上蘭 巧, 高橋 知之	89
ES65093	FFの遅延故障評価, 遅延ばらつき評価及び遅延ばらつき自己補償TEG	Bishnu Das, 砂川 洋輝, Mahfuzul A.K.M, 三木 崇史, 西澤 真一, 釜江 典裕, 北島 和彦, 小野寺 秀俊	93
ES65093	ゲート絶縁膜信頼性評価回路 II	松本 高士, 牧野 紘明, 伊東 恭佑, 釜江 典裕, 小野寺 秀俊, 小林 和淑	93
ES65093	回路特性経時的変動の効果的取得回路	佐藤 高史, 小崎 忠道, 上蘭 巧, 高橋 知之	93
MOT082	C V S L 基本論理回路群とCMOS基本論理回路群の設計試作	波多野 裕, 神尾 翔, 吉山 拓毅	94
MOT082	H型ゲート電極MOSFETの特性とサブスレショルド動作時の回路動作検証	原田 知親	96
MOT082	超低消費電力断熱的ダイナミックCMOS論理回路の試作	白石 洋一, 憑 敏	98
MOT091	C V S L 基本論理回路群, CMOS基本論理回路群及びSEE検出回路などの設計試作	波多野 裕, 鈴木 淳史	99
MOT091	C V S L 基本論理回路群, CMOS基本論理回路群及びSEE検出回路などの設計試作	波多野 裕, 藤田 大貴, 馬淵 英恵, 加藤 喬斐徒, 鈴木 淳史	99
MOT091	アナログ汎用素子評価用TEGとニューロンモデルの試作	佐々木 芳樹, 佐伯 勝敏, 関根 好文	100
RO18091	アニマルウォッチセンサ向け高速起動発振回路用TEG	中村 公亮, 増田 誉, 須賀 唯知	106
RO18092	チップ内メタマテリアル特性評価チップ	土谷 亮	112
RO18092	高周波用アナログデバイスのTEG試作	加藤 大介, 荻野 達也, 中澤 啓悟, 高橋 将史, 杉本 泰博	114
RO18092	0.18umインバータチェーンTEG (1)	堀口 文男	117
RO18092	電圧制御発振回路	飯田 智士, 高橋 亮, 島本 潤吉, 平田 貴士, 安福 正, 石田 光一, 桜井 貴康, 高宮 真	118
RO18092	アナログ回路設計手法検証用TEG	稲津 賢治, 小西 貴之, 樹井 昇一	119
RO18093	ライブラリ検証用ならびにソフトエラー測定用LSI	小林 和淑, 古田 潤, 小野寺 秀俊	120
RO18093	ダミーメタル入り伝送線路の伝搬損失の評価	平野 拓一, 小野 雄也	124
RO18093	オンチップ・スパイラルインダクタTEG試作	荻野 達也, 中澤 啓悟, 江川 遼介, 杉本 泰博	124
RO18093	0.18umインバータチェーンTEG (2)	堀口 文男	127
RO18093	アバランシェフォトダイオード	飯山 宏一, 丸山 武男, 高松 英輝	129
RO18093	MOSFETパラメータ基板効果評価TEG	榎田 洋太郎, 真鍋 貴俊, 間瀬 泰明	129
RO18093	SRAM TEG回路と昇圧電源回路	畑中 輝義, 矢島 亮児, 田中丸 周平, 本田 健太郎, 竹内 健, 宮地 幸祐	130

RO18094	ゲートドフリップフロップを多ビット統合した低電力レジスタ回路の試作	奥平 拓見, 石原 亨	131
RO18094	LSI故障診断装置評価用TEG-1	野津 孝行, 御堂 義博, 三浦 克介, 中前 幸治	131
RO18094	LSI故障診断装置評価用TEG-2	池田 哲志, 御堂 義博, 三浦 克介, 中前 幸治	132
RO18094	デルタ・シグマ変調器, 計測アンプ, 演算増幅器, 温度センサー回路の試作	宮内 亮一, 西村 和将, 田中 誠, 坂本 亮太, 木崎 将成, 外山 貴子, 田村 宏樹, 淡野 公一	132
RO18094	容量結合通信向け要素回路1	佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康, 高宮 真	133
RO18094	容量結合通信向け要素回路2	佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康, 高宮 真	133
RO18094	ダミーメタル入り伝送線路およびRF回路基本素子の特性評価	平野 拓一, 小野 雄也	136
RO18094	高抵抗シリコン基板を用いたオンチップ・スパイラルインダクタTEG試作	荻野 達也, 中澤 啓悟, 江川 遼介, 杉本 泰博	136
RO18094	集積化磁気センサの低電圧駆動確認用TEG	木村 孝之	137
RO18094	電氣的検査容易化CMOSイメージセンサの検証	五百倉 裕一, 加藤 健二, 樽見 洋, 四柳 浩之, 橋爪 正樹	139
RO18094	S1集積回路プロセスによる単電子デバイス・回路の検討	猪川 洋	144
RO18094	PN符号生成回路付SSO ノイズ測定TEG	松原 裕之	144
RO18094	直列均等分圧回路TEGおよびアナログ乗算器TEG	煤田 洋太郎, 真鍋 貴俊, 間瀬 泰明	144
RO18094	量子コンピュータのエミュレータ実現に向けた特性評価回路	西 広海, 津嘉山 力, 金城 光永	145
RO18094	アナログ回路設計手法検証用TEG-Ver2	稲津 賢治, 小西 貴之, 梶井 昇一	147
RO18095	LSI設計教育ならびにソフトエラー検証用LSI	小林 和淑, 久保田 勤人	148
RO18095	TEGによる基本特性評価	秋山 正弘	153
RO18095	ボード間非接触データ伝送のためのシングルエンド形誘導結合送受信回路1	佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康, 高宮 真	154
RO18095	ボード間非接触データ伝送のためのシングルエンド形誘導結合送受信回路2	佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康, 高宮 真	155
RO18095	MOSFETパラメータ基板バイアス効果評価TEG	煤田 洋太郎, 真鍋 貴俊, 間瀬 泰明	155

アナデジ混載

ラン名	タイトル	研究者	掲載頁
ES65092	リング型バッファチェーンを用いたプロセスモニタ回路	飯塚 哲也, 名倉 徹, 池田 誠, 浅田 邦博, 程 在茲	87
ES65092	微細化・低電源電圧化に向けたA/D変換器の開発	王 軍, Ham Hyun-ju, 松岡 俊匡, 谷口 研二	88
ES65092	ミックストシグナルSoCのためのオンチップモニタシステム	橋田 拓志, 荒賀 佑樹, 永田 真	91
ES65092	低電力 $\Delta\Sigma$ 変換器における精度補正回路および雑音抑圧回路	岩田 穆, 藤川 信次, 前田 智明, 村坂 佳隆, 大本 貴史	91
RO18092	デジタルアクティブ基板ノイズキャンセラー	ダン ゴクラン, 名倉 徹, 池田 誠, 浅田 邦博	109
RO18092	スリープ回路の寄生容量を用いた電源雑音キャンセル回路	金 鎮明, 名倉 徹, 池田 誠, 浅田 邦博	110
RO18092	多チャンネル皮質脳波検出システムチップ	鈴木 隆文, 吉田 毅, 升井 義博, 安部 亨, 末石 勝也	115
RO18093	神経信号測定および刺激印加のための回路	岩田 貴之, 山口 昌也, 中野 誠彦	127
RO18094	センサ用CV変換回路	濱野 寛之, 松田 敏弘, 岩田 栄之	140
RO18095	多チャンネル脳波検出システムチップ	吉田 毅, 升井 義博, 安部 亨, 末石 勝也	148
RO18095	パッシブ型無線温度センサ	崔 冀, 駒村 優作, 飴山 剛史, 秋田 純一, 北川 章夫	150

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
ES65091	同期/非同期ハイブリッドアーキテクチャに基づく低消費電力リコンフィギュラブルVLSI	石原 翔太, 小松 与志也, 夏 徹帆, 張山 昌論, 亀山 充隆, 土屋 亮人	83
ES65092	pulse beam forming transmitter with on-chip dipole antenna	Nguyen Ngoc Mai KHANH, 佐々木 昌浩, 浅田 邦博	87
ES65092	センシングデータ転送を目的とした高性能・低消費エネルギーシリアル通信LSI	室山 真徳, 江刺 正喜	87
ES65092	データと制御信号の重畳に基づく低電力多値リコンフィギュラブルVLSI	亀山 充隆, 岡田 信彬, 石川 彰隆	88
ES65092	実時間動画認識応用SIFT特徴量抽出プロセッサコア	野口 紘希, 水野 孝祐, 上農 哲也, 何 光霽, 三浦 和夫, 藤永 剛史, 川口 博, 吉本 雅彦	90
ES65092	低消費電力マルチレートLDPC復号LSI	後藤 敏, ベン ショウ, チョウ ユウシン, チン ショウ	91
MOT082	FG-MOSを用いた高性能アナログ回路と多値論理回路	清水 暁生, 野邊 勇樹, 西 晃司, 深井 澄夫	94
MOT082	最大値・最小値8bitデジタルラッチ回路	園田 晃司, 藤田 孝之, 前中 一介	97

MOT091	演算増幅器設計試作を通じたLSI設計教育とFG-MOSを用いた高機能LSI	清水 暁生, 野邊 勇樹, 西 晃司, 安元 周平, 山下 裕人, 沖田 光聡, 和田 侑也, 深井 澄夫, 野口 卓朗, 雪田 雅史, 石川 洋平	100
MOT091	Digital filterの開発方式の確立	齊藤 光俊, 藤田 孝之, 前中 一介	103
RO18091	二分木階層マルチチップK-meansアーキテクチャ機能確認用試作チップ	馬 奕清, 柴田 直	104
RO18091	CMOS 共鳴特性回路を用いた画像特徴抽出アナログ集積回路	吉井 一馬, ブラバート ウィーラワルダナ, 柴田 直	105
RO18091	宇宙線観測用信号処理LSIのTEG	木村 孝之, 佐々木 真人, 増田 正孝	107
RO18092	on-chip dipole antenna array for mm-wave pulse transmitter	Nguyen Ngoc Mai KHANH, 佐々木 昌浩, 浅田 邦博	111
RO18092	On-chip antenna array in mm-wave regime	Nguyen Ngoc Mai KHANH, 佐々木 昌浩, 浅田 邦博	111
RO18092	WiMAXターボデコーダ	新井 宏明, 小谷 光司, 伊藤 隆司, 宮本 直人	113
RO18092	Preamp-Shaper-Discriminator	島添 健次	114
RO18092	生体モニタリングシステム用デジタル回路レイアウト合成検証	園田 晃司, 藤田 孝之, 前中 一介, 石井 雅敏, 田中 伸哉	117
RO18093	リコンフィギュラブルメモリ回路		121
RO18093	LTEターボデコーダ	新井 宏明, 小谷 光司, 伊藤 隆司, 宮本 直人	123
RO18093	改良型Preamp-Shaper-Discriminator	島添 健次	125
RO18093	ウェイクアップ型無線通信システムのデジタル回路	瀧口 貴尊, 石田 繁巳, 猿渡 俊介, 南 正輝, 森川 博之	130
RO18094	高機能イメージセンサの検証用TEG	大高 俊徳, 浜本 隆之	135
RO18094	高速フラッシュ型アナログ・デジタル変換器とその要素回路	能登 弘, 西上 義人	138
RO18094	実時間動領域抽出向けアフィン動きモデル推定プロセッサ	深山 正幸, 小松 弘季, 東郷 康二, 松田 吉雄	138
RO18094	高速電圧波形記録回路+ノイズ検出用ADC+BMI用LSIのDC-DCコンバータ+BMI用LSIのFM変調器用発振器 慶應義塾大学工学部 中野 誠彦, 大塚 浩平, 小田中 温, 中村 真之, 三谷 勇貴	中野 誠彦, 大塚 浩平, 小田中 温, 中村 真之, 三谷 勇貴	142
RO18095	wider-band mm-wave mixer with on-chip antenna	Nguyen Ngoc Mai KHANH, 佐々木 昌浩, 浅田 邦博	149

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
ES65091	音声帯域用LP $\Delta\Sigma$ ADCの試作	吉田 毅, 升井 義博, 小池 直希, 山本 健介	84
ES65091	低消費電力20相出力発振回路	李 赫鍾, 和泉 慎太郎, 竹内 隆, 川口 博, 吉本 雅彦	85
ES65091	乳がん早期発見システムのためのCMOS等価時間サンプリング回路	外谷 昭洋, ハフィツ モヒュディン モハマド, 佐々木 信雄, 吉川 公彦	85
ES65091	サブスレショルド電流を駆動源とする生体センシング向け極低電圧動作Rail-to-Rail アナログ増幅器の試作研究	原田 知親	86
ES65092	1.2V、200MHz、7次ローパスフィルタの試作	石井 壮太, 下山 佑介, 杉本 泰博	89
ES65092	無線通信用パイプライン型ADCの試作	吉田 毅, 升井 義博, 小池 直希, 山本 健介	90
ES65092	High-Speed Clocked Comparator and Clocked Level-Crossing ADC	Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada	90
ES65092	オペアンプレス・キャパシタレス Δ - Σ 型ADC	小西 恵大, 李 赫鍾, 和泉 慎太郎, 竹内 隆, 川口 博, 吉本 雅彦	90
ES65093	Continuous-Time Level-Crossing Analog-To-Digital Converter.	Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada, Takahiro Yamaguchi, Yasuo Furukawa	93
MOT082	チップ内伝送線特性測定モデルの試作	柳澤 良介, 萱野 良樹, 井上 浩	94
MOT082	演算増幅器設計コンテスト応募に向けた試作	中田 光俊, 中川 雄介, 瀬川 健太郎, 和田 和千	95
MOT082	演算増幅器の試作	高木 茂孝, ニコデムス レディアン	95
MOT082	FM放送受信機構成用低雑音増幅回路と自動利得調整回路の構成	高木 茂孝, ニコデムス レディアン	96
MOT082	C/V変換回路・A/D変換回路	園田 晃司, 藤田 孝之, 前中 一介	97
MOT082	全差動離散時間 $\Delta\Sigma$ 変調器の開発	齊藤 光俊, 藤田 孝之, 前中 一介	97
MOT091	電圧制御発振器のための基本回路の試作	萱野 良樹, 小林 吾生, 柳澤 良介, 井上 浩	100
MOT091	演算増幅器設計コンテスト応募に向けた試作	瀬川 健太郎, 石岡 和也, 松岡 那樹, 和田 和千	101
MOT091	演算増幅器の試作	高木 茂孝, ニコデムス レディアン	101
MOT091	FM放送受信機構成のための要素回路の試作	高木 茂孝, ニコデムス レディアン	101
MOT091	無線センサネットワーク端末の電源制御回路	黄 章財, 井上 靖秋	102
MOT091	人体モニタリングシステム用アナログIC	田中 伸哉, 園田 晃司, 藤田 孝之, 前中 一介	102
RO18091	神経信号測定および刺激印加のための回路(B5)	岩田 貴之, 山口 昌也, 中野 誠彦	107
RO18092	時間差増幅器を用いたニモード時間差デジタル変換器	萬代 新悟	109
RO18092	電源ノイズ検出用ピークホールド回路の試作	玉置 裕基, 名倉 徹, 池田 誠, 浅田 邦博	110

RO18092	MOSFETの弱反転領域を利用したアナログ回路	築山 修治, 市川 章夫, 大藤 雅之, 土井 誠, 森井 允紀	112
RO18092	しきい値電圧依存性の小さいCMOS基準電流発生回路の設計	田中 智章, 松田 敏弘, 岩田 栄之	115
RO18092	偶数段リングオシレータTEG	小原 祐輔, 中村 和之	115
RO18092	神経信号測定および刺激印加のための回路	岩田 貴之, 山口 昌也, 中野 誠彦	116
RO18092	サブスレショルドで動作する極低電圧駆動アナログ回路とオンチップ電源回路	佐山 裕紀, 高橋 良輔, 原田 知親	117
RO18093	電流モード連続時間バンドパス $\Delta\Sigma$ 変調器とその要素回路	渡辺 貴士, 和保 孝夫	125
RO18093	2009年度産研研究室研究回路試作チップ	範 公可, heng Socheat, 張 品, Ghimire Jagat Jyoti	125
RO18093	Clocked Level-Crossing Analog-to-Digital Converter.	Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada, Takahiro Yamaguchi, Yasuo Furukawa	126
RO18093	2つの低電圧ADC(信号分割構成パイプライン型と弱反転領域使用の逐次比較型)	中川 雄介, 瀬川 健太郎, 和田 和千	126
RO18094	低周波数で動作する無線通信向け整流回路	大森 美郷, 亀田 成司, 岩田 穆	135
RO18094	連続時間方式 $\Delta\Sigma$ 型ADCとその要素回路	安達 美志, 室塚 真毅, 和保 孝夫	137
RO18094	低電圧非同期型 Δ 変調器、電流モード非同期型 $\Delta\Sigma$ 変調器とその要素回路	小田 遼介, 栗林 和輝, 和保 孝夫	137
RO18094	Clocked Level-Crossing Analog-to-Digital Converter (Modified)	Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada, Takahiro Yamaguchi, Yasuo Furukawa	139
RO18094	ローム0.18 μ m試作	中田 光俊, 中川 雄介	140
RO18094	低電圧超低電力アナログ回路	黄 章財, 井上 靖秋	142
RO18094	Charge pump system with hybrid decoupling scheme	黄 孟枢	143
RO18095	インパルス方式UWBレーダ用要素回路の試作	佐藤 隆英	149
RO18095	2bit/step変換方式の逐次近似型アナログ/デジタル変換器	杉山 直紀, 草野 恵一, 能登 弘, 和保 孝夫	151

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
ES65091	A Global Directional-Edge-Feature Extraction VLSI Processor	朱 弘博, 柴田 直	82
ES65092	高解像度バイオイメージセンサの試作	太田 淳, 徳田 崇, 笹川 清隆, 野田 俊彦, 穴戸 三四郎	89
RO18091	ブロックマッチング方式CMOSオプティカルフローセンサー	小森 健正, 柴田 直	104
RO18091	A Digital-Pixel-Sensor-Based Global Feature Extraction Processor	朱 弘博, 柴田 直	104
RO18091	口腔内モニタリングのためのワイヤレスバイオセンサ	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	108
RO18092	擬似的に不規則な画素配置を持つCMOSイメージセンサ	秋田 純一	109
RO18092	スキューを用いた一次元高精度ポジションセンサー	宋 晞旭	110
RO18092	可視光通信用センサ	森谷 英一郎, 春山 真一郎	116
RO18092	口腔内モニタリングのためのワイヤレスバイオセンサ(2)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	118
RO18093	データ圧縮による高速読み出しを実現する超高速三次元形状計測イメージセンサ	萬代 新悟	120
RO18093	スキューを用いた一次元高精度ポジションセンサー	宋 晞旭, 佐々木 昌浩	120
RO18093	高機能イメージセンサの検証用TEG	大高 俊徳, 菅井 男也, 平賀 匠, 浜本 隆之	124
RO18093	可視光通信用センサ	森谷 英一郎, 春山 真一郎	127
RO18094	CMOSパンプ回路を用いた電流モード動きフィールド生成回路	プラバート ウィーラワルダナ, 柴田 直	132
RO18094	高機能イメージセンサの検証用TEG	菅井 男也, 浜本 隆之	135
RO18094	可視光通信用センサ	森谷 英一郎, 春山 真一郎	143
RO18094	口腔内モニタリングのためのワイヤレスバイオセンサ(3)	石川 智弘, 上口 光, 村上 裕二, 升井 義博, 吉田 毅, 安部 亨	145
RO18095	イメージセンサ基本動作確認用チップ	塚田 章, 新田 真浩, 長田 春風	154

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
ES65091	誘導結合インタフェースを用いたレベル変換回路	新津 葵一, 高津 慶太, 石黒 仁揮, 黒田 忠広	85

マイクロプロセッサ

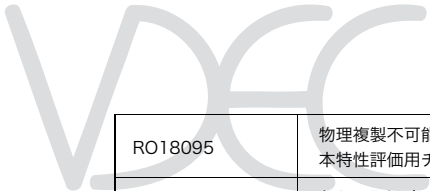
ラン名	タイトル	研究者	掲載頁
ES65092	Hot Swap機構を備えた耐故障再構成アーキテクチャ	ラコシ エンドレ ソルタン, 廣本 正之, 越智 裕之, 中村 行宏	89
ES65092	次世代知能ロボット制御のための混合整数2次計画問題 (MIQP) ソルバープロセッサ	野口 紘希, 谷 純一, 嶋井 優介, 川口 博, 吉本 雅彦	91
MOT091	study of MOSFET	高窪 かをり	102
RO18093	非同期式回路によるオートマトン	廣田 健	126
RO18093	可変構造型プロセッサの試作	石原 亨, Zang Chengjie	129
RO18094	二線式スタティックCMOSを用いた自己同期回路	中里 輝希, 池田 誠	131
RO18094	多倍長浮動小数点演算アクセラレータHP-DSFP の実装	川本 智之, 谷川 一哉, 弘中 哲夫	133
RO18094	並列処理用プロセッサの試作	大橋 常毅, 田中 和人, 福永 力	136
RO18094	可変段数パイプラインプロセッサ評価用チップ	中林 智之, 佐々木 敬泰, 大野 和彦, 近藤 利夫	141
RO18094	可変段数パイプラインプロセッサ評価用チップ	中林 智之, 佐々木 敬泰, 大野 和彦, 近藤 利夫	141
RO18094	可変構造型マルチコアプロセッサの試作	石原 亨, Zang Chengjie	143
RO18094	高速動的光再構成型プロセッサチップ	渡邊 実	145

メモリ

ラン名	タイトル	研究者	掲載頁
ES65092	スケラビリティと信頼性検証のためのタイムドメイン連想メモリ	Mattausch Hans Juergen, 小出 哲士, Tania Ansari, 今福 涉, 川畑 明雄, 安田 雅浩	88
MOT091	Λ形負性抵抗素子を用いた多値メモリの試作	佐々木 芳樹, 佐伯 勝敏, 関根 好文	99
RO18091	SRAM回路の基礎検討チップ	申 丞鎬, 柴田 直	105
RO18091	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	105
RO18091	高信頼性を実現するタイムドメイン連想メモリ	Mattausch Hans Juergen, 小出 哲士, Tania Ansari, 今福 涉, 川畑 明雄, 安田 雅浩	106
RO18092	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	113
RO18093	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	123
RO18094	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行	134
RO18094	タイムドメイン連想メモリの高速・低消費電力化のためのテストチップ	Mattausch Hans Juergen, 小出 哲士, Tania Ansari, 今福 涉, 川畑 明雄, 安田 雅浩	134
RO18094	信頼性検証のためのタイムドメイン連想メモリのテストチップ	Mattausch Hans Juergen, 小出 哲士, Tania Ansari, 今福 涉, 川畑 明雄, 安田 雅浩	134
RO18094	LSI設計演習 256bit SRAM	平川 豊, 三村 法寛, 山之口 誠将, 中村 和之	141
RO18095	高抵抗基板でのタイムドメイン連想メモリのテストチップ	Mattausch Hans Juergen, 小出 哲士, Tania Ansari, 今福 涉, 川畑 明雄, 安田 雅浩	148
RO18095	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 矢口 謙太, 吉川 信行	150
RO18095	SFQ/CMOSハイブリッドメモリ用各種CMOS増幅器	陳 賢珠, 吉川 信行	150
RO18095	SFQ/CMOSハイブリッドメモリ用64kbメモリ	岡本 悠史, 矢口 謙太, 吉川 信行	151

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
ES65092	断熱的パストランジスタ加算回路およびばらつき測定回路	内山 順一, 吉川 信行	88
RO18092	二線式スタティックCMOSを用いた縦列ゲート	中里 輝希, 池田 誠	111
RO18092	消費電力実測のための断熱的パストランジスタ加算回路	内山 順一, 吉川 信行	113
RO18092	Study of MOSFET	高窪 かをり	116
RO18093	断熱的回路の構造による比較を行うための3種類の乗算器	内山 順一, 吉川 信行	122
RO18093	0.18um論理回路TEG (3)	堀口 文男	128
RO18094	グリッチによる消費電力の増大を抑制する乗算器	小暮 武, 藤岡 達也, 沼 昌宏, 栗 譲	139
RO18094	ピアプログラマブルデバイス(VPLD) VPEXの配線遅延評価チップ	北森 達也, 藤野 毅, 浅川 俊介	142
RO18095	断熱的回路の消費電力測定のための乗算回路	内山 順一, 吉川 信行	151
RO18095	静電容量型センサ用容量検出回路	堀下 祐輔, 松本 佳宣	152



RO18095	物理複製不可能なデバイス (PUF:Physically Unclonable Function) の基本特性評価用チップ	古橋 康太, 藤野 毅	152
RO18095	ドミノRSL方式を用いたSimplified-DES(SDES)暗号回路のDPA耐性評価チップ	岩井 克彦, 藤野 毅, 小島 憲司, 浅川 俊介	153
RO18095	4-bit multiplier with 2-phase power clock driven charge-recovery logic	張 藝蒙	154

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
ES65083	非接触メモ리카ードのための4PAM誘導結合送受信機	川井 秀介, 石黒 仁揮, 黒田 忠弘	81
ES65091	ミリ波CMOS送信器用要素回路とデバイスのモデリング	藤島 実	82
ES65091	移相制御可能な低位相雑音VCO	佐々木 守	84
ES65092	ミリ波CMOS受信器用要素回路とデバイスのモデリング	藤島 実	87
ES65092	三次元チップ積層向け10GHz高速クロック分配回路	汐崎 充, 岩田 穆	92
RO18091	Above CMOSインダクタ技術のためのVCO・LNAの試作	大宮 豊, 小谷 光司, 伊藤 隆司	106
RO18092	非接触データ転送回路	佐々木 守	112
RO18092	可視光通信用センサおよび信号処理回路	近内 聡史, 松本 松本	114
RO18093	容量結合を用いた通信実験TEG	戸羽 辰夫, 秋田 純一, 北川 章夫	121
RO18093	誘導結合を用いた通信実験TEG	戸羽 辰夫, 秋田 純一, 北川 章夫	121
RO18093	特定小電力無線通信送受信機用TEGの試作	戸羽 辰夫, 秋田 純一, 北川 章夫	122
RO18093	特定小電力無線通信送受信機用TEGの試作	戸羽 辰夫, 秋田 純一, 北川 章夫	122
RO18093	Above CMOSインダクタのモデリング用インダクタ	杉本 篤生, 大宮 豊, 小谷 光司, 伊藤 隆司	123
RO18093	Fractiona-N PLL設計TEG Ver1	Lee Jun Gyu, Xu Zule, Wang Ge, 榎井 昇一	130
RO18094	可視光ID用受光センサ及び信号処理回路	中田 啓道, 松本 松本	138
RO18094	ウェイクアップ型無線通信システムのアナログ回路	瀧口 貴啓, 石田 繁巳, 猿渡 俊介, 南 正輝, 森川 博之	146
RO18094	Fractiona-N PLL設計TEG Ver2	Lee Jun Gyu, Xu Zule, Wang Ge, 榎井 昇一	146
RO18095	極低消費電力無線用ハルス生成回路	藤島 実	149
RO18095	ウェイクアップ型無線通信システムのアナログ回路	瀧口 貴啓, 石田 繁巳, 猿渡 俊介, 南 正輝, 森川 博之	155

その他

ラン名	タイトル	研究者	掲載頁
ES65091	LUT単位で自己同期動作を行うFPGA	Devlin Benjamin, 池田 誠, 浅田 邦博, 名倉 徹	82
ES65091	低電力リコンフィギャラブルアレイSMA-1	斎藤 貴樹, 池淵 大輔, 木村 優之, 安田 好宏, 鎌田 雅大, 天野 英晴	82
MOT082	樹状構造をもつ放熱システムの機能検証用の発熱体	秋田 純一, 山崎 光悦	95
MOT082	study of MOSFET	高窪 かをり	96
RO18091	CMOS集積化アクティブ磁界プローブ	山口 正洋, 難波 志織, 小館 航	107
RO18093	磁性膜によるノイズ抑制効果を評価するためのオンチップ伝送線路	山口 正洋, 室賀 翔, 難波 志織	128
RO18093	低雑音増幅器を用いたオンチップ集積化磁界プローブ	山口 正洋, 難波 志織	128
RO18094	微小遅延故障検出のための遅延測定回路	田辺 融, 加藤 健太郎, 伊藤 秀男	140
RO18095	study of MOSFET	高窪 かをり	152
RO18095	Finite Impulse Response Filterの開発	齊藤 光俊, 藤田 孝之, 前中 一介	153

3. 3 各チップの詳細

平成20年度第3回e-Shuttle CMOS 65nm 試作 (ES65083)

A Charge-Domain Auto- and Cross-Correlation Based IR-UWB Receiver with Power- and Area-efficient PLL for 62.5ps Step Data Synchronization

東京大学生産技術研究所 劉 楽昌, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：A 100Mb/s, 1.71mW DC-960MHz band impulse radio ultra-wideband (IR-UWB) receiver is developed in 1.2V 65nm CMOS. A novel auto- and cross-correlation based synchronization scheme is proposed to achieve 62.5ps step data synchronization with a 2-GHz 8-phase PLL clock generator. The developed UWB receiver with the proposed power- and area-efficient PLL achieves the low energy consumption of 17.1pJ/bit.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：1,000以上, 10,000未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：TEG (特性評価回路など)

容量結合通信を用いた非接触コネクタ回路

東京大学生産技術研究所 増永 直樹, 朴 哲, 池内 克之, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：LSI テスタ内部で、プローバ部分とテスタ本体とを接続する超多ピンコネクタを実現するため、容量結合通信を用いた非接触コネクタの回路を二種類試作した。一つ目の試作回路は低速通信時の消費電力を抑えることを目的とした最適設計を行っている。もう一方は、通信速度の向上を目指して回路の最適化を行ったものである。一つ目の試作回路では、通信速度15Mbpsのときの消費電力は30 μ Wであった。最高通信速度は1Gbpsまで達することが確認できた。もう一方の高速通信を目指した回路の最高通信速度は2.6Gbpsに達することが実測により確認できた。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, AssuraRCX, トランジスタ数：1,000以上, 10,000未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：TEG (特性評価回路など)

非接触メモリカードのための4PAM誘導結合送受信機

慶應義塾大学電子工学科 川井 秀介, 石黒 仁揮, 黒田 忠弘

概要：誘導結合通信がマイクロメータの通信距離において高速かつ低電力な通信を実現している。さらに、近年その通信距離がミリメートルレンジまで拡張されている。本試作においては、非接触メモリカードのための、4PAM誘導結合送受信機を試作検証した。インダクタチャネルの帯域制限のもとでデータレートを向上するために、4値の振幅変調を用いた。コイルをオフチップに構成することでSiチップ内の回路面積は非常に小さくすることができた。誘導結合通信をメモリカードのインタフェースに用いることで、高信頼性、防水性が達成できる。さらに誘導結合通信はESD保護回路を必要としないので、低電力な通信が可能である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, トランジスタ数：1,000以上, 10,000未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：通信 (RF回路, ATMなど)

LUT 単位で自己同期動作を行う FPGA

東京大学工学系研究科 Devlin Benjamin

東京大学大規模集積システム設計教育研究センター 池田 誠, 浅田 邦博, 名倉 徹

概要 : Recent advances in VLSI have continued to shrink the feature size of transistors to a point where the amount of variability is becoming a large problem in current state of the art system designs. This is an increasing problem which while in the past could be ignored is now a huge factor in many design processes. These variations effect many parameters. We introduce a Self Synchronous Field Programmable Gate Array (SSFPGA) which is robust to these variations, with dual-pipeline (DP) architecture to conceal pre-charge time for dynamic logic. A Self Synchronous LUT (SSLUT) consists of a four input divided decoder tree realization with 16 bit SRAM for programming. A Self Synchronous switch box (SSSB) consists of Self Synchronous Multiplexers (SSMUX) to route signals, with 16 bits SRAM. SSMUXs are used to select inputs from the surrounding 4 channels to connect to the SSLUT. Outputs then connect to one of the 3 nearest SSSBs. A 38x38 (1444) block SSFPGA is designed and fabricated using 65nm CMOS. Measured results for the SSFPGA architecture show at 1.2V 2.59GHz maximum throughput. The SSFPGA also includes synchronization interfaces with 256 bit FIFO for every input and output signal for synchronization to outside systems. Simulation results show 2.156pJ/block/cycle at 1.2V. The implemented SSFPGA also shows correct functionality with an automatic performance adaption to physical properties and variations. We also find that using the proposed pipeline alignment techniques we can perform at maximum throughput in various benchmarks on the SSFPGA architecture. We demonstrate up to 56.1 times throughput improvement with our pipeline alignment techniques. The pipeline alignment is carried out within the number of unused logic elements in the array and pipeline buffers in the switching matrix, on the SSFPGA.

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数** : 100,000以上 **試作ラン** : e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ **チップ種別** : その他

ミリ波 CMOS 送信器用要素回路とデバイスのモデリング

広島大学先端物質科学研究所 藤島 実

概要 : 100GHz 超のミリ波の帯域を用いた無線機を実現するための基礎データを取得することを目的とした。具体的には、100GHz 以上の領域での MOSFET や伝送線路などのデバイスの特性を見極めるためのデバイス TEG と電圧制御発振器 (VCO) や増幅器などのコア回路の特性を把握するための TEG を試作した。現状では、100GHz 以上の領域でのデバイスモデルの精度が不明確である上、100GHz 以上の領域では正確なデバイス特性評価やモデリングは困難である。そのため、いくつかの評価手法を比較検討できるデバイス TEG を試作することにより、100GHz 以上の領域でのデバイスの特性を精度良く把握することを考えた。設計した VCO や増幅器は、現状の設計環境を用いて、いずれも 100GHz~150GHz で動作するようにしたものである。VCO : 数種類のトポロジーを用いて VCO の設計試作を行い、動作周波数の測定結果はそれぞれ、120-125GHz, 124-139GHz, 110-116GHz であった。出力パワーは -7dBm 程度である。PA : 3 段のソース接地による PA を試作し 110GHz 付近において 10dB 程度のゲインを確保し、また出力パワーは 5dBm 弱とシミュレーションに近い結果を得た。伝送線路 : 構造の異なる 4 種類の伝送線路について特性の比較を行った。それによって設計に用いる伝送線路の構造を決定した。

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数** : 10以上, 100未満 **試作ラン** : e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ **チップ種別** : 通信 (RF 回路, ATM など)

低電力リコンフィギャラブルアレイ SMA-1

慶應義塾大学理工学部 斎藤 貴樹, 池淵 大輔, 木村 優之, 安田 好宏, 鎌田 雅大, 天野 英晴

概要 : 64 個の PE (Processing Element) から成る組み合わせ回路で構成された大規模な粗粒度のアレイ上に演算アルゴリズムのデータバスを設ける。このアレイにデータを供給する小規模なマイクロコントローラは、データメモリに対して柔軟にアクセスし、データバスの入力にデータを供給し、結果を回収する。マイクロコントローラのデータ配送とバランスする遅延まで PE アレイの電源電圧を下げることで、データバスで消費する電力を削減できる。また、クロックツリーの範囲をマイクロコントローラに限定することで待機電力も削減する。実チップは 210MHz で動作し、DCT 演算時に 64MOPS/mW の世界でトップクラスの低電力処理を実現した。

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数** : 100,000以上 **試作ラン** : e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ **チップ種別** : その他

A Global Directional-Edge-Feature Extraction VLSI Processor

東京大学工学系研究科 朱 弘博, 柴田 直

概要 : 本 VLSI プロセッサは、CMOS イメージセンサー部、局部画像処理回路部、並びに全体画像処理回路部の三つのブロックで構成される。イメージセンサーで画像を取得、局部画像処理回路で各ピクセル位置においてフィルタリングのカーネル演算を全画素に対して行う。この処理は列並列で行う。最後にカーネル演算処理の結果を二次元に配置したデジタルメモリアレイに記憶させ、全画素並列演算処理により、「グローバル閾値演算」、「累積エッジマップ生成」、「重要なエッジ画像の差分演算」等の機能を実現する。試作チップの測定評価を行い、すべての機能の動作を確認した。20MHz 動作で 1 フレームの処理時間が 1ms 以下に抑えられ、本提案で工夫した高速度且つ低遅延の目標を達成した。フォトダイオードの光蓄積時間を 24ms として、毎秒 40 フレームの動作条件での消費電力は 13mW であり、汎用プロセッサと比較して十分小さな値となった。このプロセッサにより知的画像処理の遅延を大幅に削減し、実時間応答認識システムへの応用が十分に期待できる。

参考文献 : Hongbo Zhu, Tadashi Shibata, "A Real-Time Image recognition System Using a Global Directional-Edge-Feature Extraction VLSI Processor," in Proceeding of the 35th European Solid-State Circuit Conference (ESSCIRC2009), pp. 248-251, Sep. 14-18, 2009

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数** : 100,000以上 **試作ラン** : e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ **チップ種別** : イメージセンサ/スマートセンサ

FFの遅延故障評価及び基板電圧制御付き遅延ばらつき評価TEG

京都大学大学院情報学研究科 砂川 洋輝, Mahfuzul A. K. M, 三木 崇史, 西澤 真一, 小野寺 秀俊
京都工芸繊維大学工学科学研究科電子システム工学専攻 小林 和淑

概要：本チップは、FFの遅延故障評価回路および特性ばらつき評価回路から構成されている。FFの遅延故障評価TEGは電圧制御発信回路（VCO）とDUTとなるFFをアレイ状に集積した回路である。その分周可能周波数のばらつきから、FFの遅延故障を評価する。遅延ばらつき評価TEGは論理段数やゲート種類、レイアウト構造、および配線層の種類や配線負荷の異なるリングオシレータ（RO）のセットをアレイ状に集積した回路である。リングオシレータの周波数ばらつきから、MOS特性や配線のばらつきを評価する。またn, pの各基板電圧を電源電圧と独立に制御でき、ばらつきの基板電圧依存性の評価も可能である。

設計期間：5人月以上, 6人月未満 設計ツール：Synopsys社 IC Compiler, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ チップ種別：TEG（特性評価回路など）

ゲート絶縁膜信頼性評価回路 I

京都大学情報学研究科 松本 高士, 牧野 紘明, 小野寺 秀俊
京都工芸繊維大学工学科学研究科 小林 和淑

概要：本試作では、2種類の回路を設計した。（1）トランジスタのゲート絶縁膜劣化モード全般を評価する回路である。大規模アレイ状に配置されたトランジスタに対して、NBTI, TDDB, RTS, HCIとして知られる劣化モードを測定し、劣化モデルを作成するための回路である。（2）NBTIの劣化、回復を高速かつ高分解能に測定する回路である。NBTIの測定においては測定遅延、測定手法によって得られる劣化データが異なるという問題がある。原因の1つは測定時の劣化回復現象であるが、本回路ではこの回復現象の影響を抑えるため、測定遅延を数百ナノ秒まで早め、かつ高分解能測定を維持して劣化測定を可能とする手法を提案した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ チップ種別：TEG（特性評価回路など）

同期/非同期ハイブリッドアーキテクチャに基づく低消費電力リコンフィギャラブルVLSI

東北大学大学院情報科学研究科 石原 翔太, 小松 与志也, 夏 微帆, 張山 昌論, 亀山 充隆
東北大学工学部 土屋 亮人

概要：近年、FPGAに代表されるリコンフィギャラブルLSIへの期待が高まっている。実際の製品へFPGAを組み込む際の1つの大きな問題は消費電力である。特に、FPGAではレジスタ数が膨大となるためクロック消費電力が大きという問題がある。その問題を解決するために、本試作では、プログラマブルな論理演算回路（ロジックブロック）が複数接続された部分回路ごとに、同期式回路または非同期式回路としてプログラマブルに切り替えて使用できるハイブリッドアーキテクチャを試作した。それにより、同期式回路がシンプルで高スループット領域で低消費電力であるという利点と、非同期式回路が低スループット領域で低消費電力であるという利点を共に享受できる。8x8個のロジックブロックから構成される部分回路を2個実装し、実チップで動作確認した。その結果、同期式FPGAの940MHz相当の高い動作性能を確認した。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

低電源電圧領域におけるチップ内遅延ばらつきの測定

東京大学生産技術研究所 安福 正, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要：ロジック回路を低電源電圧で動作させた際に最も深刻な問題となると考えられるチップ内相対遅延ばらつきを測定するためのTEGの試作を行った。テスト対象（DUT）の遅延時間を測定できる回路を提案し、これを1つのチップ上に多数個並べることによりチップ内遅延ばらつき測定回路を実現した。DUTの遅延ばらつきはゲート種、段数、ゲート幅、レイアウト手法に依存すると考えられるため、これらの影響を調べることができるよう種々のDUTを搭載した。これを評価することによりDUTごとのチップ内遅延時間分布が求まるので、この結果を利用してロジック回路におけるタイミング設計の課題について検討を行った。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Encounter, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ チップ種別：TEG（特性評価回路など）

移相制御可能な低位相雑音VCO

広島大学大学院先端物質科学研究科 佐々木 守

概要：移相制御可能な低位相雑音VCOおよび広帯域分周器を開発した。差動伝送線路に挿入したインダクタによる遅延器を単位ブロックとして、リング状に結合する。このインダクタに等しく磁気結合する下層の配線層を利用した別のインダクタを形成し、並列にバラクタを結合して遅延量をチューニングする。単位ブロックには、NMOSFETによる差動対を構成し、“Distributed Amplifier”による進行波発振器を実現した。位相分割数は32分割(5bit)である。発振周波数(中心周波数24GHz)は、先に説明したバラクタで制御され、プロセス、電源、温度等の影響をPLLで除去する。一つの単位ブロックの出力をスイッチで選び、次段回路に接続することで、プログラマブルに移相制御できる。完全平衡回路構成を採用している。(1)完全平衡回路により、電源から供給される電流中のミリ波帯信号成分を十分小さくすることができ、bond wireによる電源供給やオンチップ・パスキンの容量値を緩和できる。(2)周波数と共に大きくなるチップ内の寄生容量間結合や基板間結合によるブロック間漏れ信号の影響を小さくできるためである。

設計期間：2人月以上、3人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, Cadence社 Assura, **トランジスタ数：**10以上、100未満 **試作ラン：**e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別：**通信(RF回路, ATMなど)

トランジスタモデルHiSIMを用いた製造ばらつきのモデリングと回路シミュレーション手法の実証

広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen, 小出 哲士

広島大学HiSIM研究センター 上口 光

広島大学院先端物質科学研究科 賀谷 彰大

広島大学工学部第二類 川畑 勇樹

概要：製造技術の微細化に伴い、製造ばらつきの問題が顕著になってきている。ばらつきは特に、SRAMやロジック回路などの低電圧動作を阻む要因に、またアナログ回路の誤作動の原因になる。大規模・低電圧回路システムアーキテクチャを実現する上で、設計時にこの特性ばらつきをいかに正確に見積り、マージンを確保するか課題となる。そこで、本研究ではこの特性ばらつきを克服するために、次世代トランジスタモデルHiSIMを用いてばらつきを事前に予測し、LSIの歩留まり向上と、最適な設計マージンを設定することによってLSI製造コストを下げることを目標とする。本試作ではウェハ間、チップ間のばらつきと、チップ内のばらつきとを切り分けて解析を行う。解析結果により、回路設計時に製造ばらつきを予測した回路シミュレーションが可能となり、設計マージンを適切に考慮し、高性能化ならびに低消費電力化を目指したLSI設計が可能になると見込んでいる。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**e-Shuttle CMOS 65nm 4.2mmx2.1mmチップ **チップ種別：**TEG(特性評価回路など)

粒度可変論理セルを用いたリコンフィギャラブルIPの設計

熊本大学大学院自然科学研究科 末吉 敏則, 飯田 全広, 久我 守弘, 尼崎 太樹, 井上 万輝, 古賀 正紘, 岡本 康裕, 用正 博紀

概要：本試作の目的は粒度可変論理セルを用いたリコンフィギャラブルロジックIPの性能をチップ試作により実証することである。本試作で開発したリコンフィギャラブルロジックIPは基本セルHC(Hybrid Cell)、HCを機能拡張したBLE(Basic Logic Element)およびBLEを4個クラスタしたVGLC(Variable Grain Logic Cell)である。IPの遅延検証用に、各IPを用いたリングオシレータ回路を設計した。このリングオシレータ回路の発振周波数をオシロスコープを用いて測定し、その値より各IPの遅延値を算出する。測定した結果、各IPの遅延値はHC:166ps, BLE:184ps, VGLC:264psとなった。また、本チップではVGLC1個を用いた機能検証を行った。HDLより実装回路を設計し、自身で開発したツールを用いてコンフィギュレーションビットストリームまでを生成した。本検証ではAND回路を実装し、その動作を確認した。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Encounter, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数：**100,000以上 **試作ラン：**e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別：**TEG(特性評価回路など)

音声帯域用LP Δ Σ ADCの試作

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 小池 直希, 山本 健介

概要：本試作では音声帯域用LP Δ Σ ADCの設計を行った。近年デバイスの微細化が進み回路の電源電圧が低下している。電源電圧の低下は信号振幅の劣化をまねき、高精度ADCの実現を困難にする。そこでADCの精度を改善するため量子化誤差フィードバック(EF)方式を検討し試作を行った。従来のナイキスト型ADCでは発生した量子化誤差を捨ててしまうがEF方式では量子化誤差をADCの入力部にフィードバックする。量子化誤差を捨てるのではなく情報として利用することでADCの高精度化が可能となる。試作チップでは音声帯域への応用を想定し、一般的なLP Δ Σ ADCにEF方式を適用した。EF方式を適用したLP Δ Σ ADCは電源電圧1Vにおいて98dB以上のSNRをシミュレーションで達成している。

設計期間：2人月以上、3人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, AssuraQRC, **トランジスタ数：**10,000以上、100,000未満 **試作ラン：**e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別：**アナログ(PLL, A-D/DC-DCコンバータなど)

誘導結合インタフェースを用いたレベル変換回路

慶應義塾大学理工学部 新津 葵一, 高津 慶太, 石黒 仁揮, 黒田 忠広

概要: 誘導結合インタフェースは, LSI チップ上に搭載したインダクタ間の誘導結合を用いた非接触インタフェースであり, これまでに三次元システム集積や非接触テストなどへの応用に向けた開発が多く報告されている. 誘導結合インタフェースの利点のひとつとして, 受信電圧が送信電流の微分値によって与えられる点があげられる. このことにより, 送信側の電源電圧に関わらず, 大きな受信電圧を得ることが可能となり, 90nm CMOS プロセスで製造したプロセッサと 65nm CMOS プロセスで製造したメモリといった異種プロセスで製造されたチップ間の通信への応用が報告されている [1]. 本試作では, この特性を活かしてチップ内の通信への応用を試み, 誘導結合を用いたレベル変換回路の開発を行った. 従来のレベルシフト回路よりもより高いダイナミックレンジを達成することが可能である. 65nm CMOS にてテストチップの試作・評価を行ったところ, レベル変換動作が確認できた.

参考文献: [1] K. Niitsu, Y. Shimazaki, Y. Sugimori, Y. Kohama, K. Kasuga, I. Nonomura, M. Saen, S. Komatsu, K. Osada, N. Irie, T. Hattori, A. Hasegawa, and T. Kuroda, "An Inductive-Coupling Link for 3D Integration of a 90nm CMOS Processor and a 65nm CMOS SRAM," IEEE International Solid-State Circuits Conference, Dig. of Tech. Papers, pp. 480-481, Feb., 2009.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** ニューテクノロジー

スケーラブルアナログ・デジタル混載回路アーキテクチャの検討

東京工業大学統合研究院 益 一哉, 石原 昇, 佐藤 高史, 天川 修平

概要: デジタル回路ベースのスケーラブルRF回路, およびデジタル回路の特性バラツキ評価回路を試作評価し, 回路アーキテクチャの有効性確認, 65nm以細の設計で不可欠であるばらつきデータの収集, および回路ブロック間の干渉に関するデータ収集を行った. RF回路はCMOSインバータをベースとした低雑音増幅回路(LNA), 電圧制御発振回路(VCO), パワーアンプ(PA)およびRF信号生成回路を試作した. また, ばらつきを考慮したデジタル回路のタイミング解析において遅延変動を決定するパラメータとなっているトランジスタのしきい値やチャネル長等の物理的な特性パラメータを電氣的に取得する手法を新たに考案し評価回路の試作により有効性を確認した.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mmx2.1mmチップ **チップ種別:** TEG (特性評価回路など)

低消費電力20相出力発振回路

神戸大学工学研究科 李 赫鍾, 和泉 慎太郎, 竹内 隆, 川口 博, 吉本 雅彦

概要: 本試作は電力オーバーヘッドのない位相補間素子(Transfer gate phase coupler, TGPC)を導入することによりオシレータを低消費電力化し, また, そのオシレータからI/Q信号を含む多位相を生成することを目的とした. MPOSCは4つの5段のリングオシレータとその間のnMOSにリングオシレータ間の位相情報を入力するTGPCで構成される. 位相補間素子は位相で反転せず, リングオシレータ間を少し遅延させることによって位相を作り出すことによってI/Q信号を含む偶数の発振出力を得ることができる. また, それはグラウンドに電荷を流さず4つのリングオシレータ間でやり取りを行うことにより低消費電力なMPOSCの実現が可能となる. テストチップは65nmプロセスを用いて, I/Q信号を含む20位相の生成ができる. その時の最大DNLは±0.1DNL以下であり, 最小I/Q DNLは0.019°であった. また, 消費電力は1.85GHzで405.8uWであった.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** アナログ(PLL, A-D/DC-DCコンバータなど)

乳がん早期発見システムのためのCMOS等価時間サンプリング回路

広島大学ナノデバイス・バイオ融合科学研究所 外谷 昭洋, ハフィツ モヒュディン モハマド, 佐々木 信雄, 吉川 公磨

概要: 本研究の目的は, 3-10 GHz ウルトラワイドバンド信号を用いた, ポータブルな乳がん早期発見システムの構築である. この手法は, 乳房と腫瘍の間の誘電率差からくる反射率の違いを検出する. 共焦点画像処理と組み合わせると, 乳房の誘電率分布を画像として再構成できる. 入射波形はガウシアンモノサイクルパルスを用いる. 乳房内で反射した波形をデジタル信号に変換するため, 等価時間サンプリングによるアナログ/デジタル変換回路, また, これを可能にする低ジッタPLLの開発を行う. 前回試作では, PLLのRMSジッタ=8psだった. 今回, ループ帯域の最適化, チャージポンプの不感帯の解消など改善を行った結果, シミュレーションで制御電圧のリップルを1/10に低減し, 位相雑音-114dBc/Hz@100kHzを達成した. 位相雑音特性の測定結果はシミュレーションとよく一致する.

参考文献: N. Sasaki, K. Kimoto, W. Moriyama, and T. Kikkawa, "A Single-Chip Ultra-Wideband Receiver with Silicon Integrated Antennas for Inter-Chip Wireless Interconnection," IEEE Journal of Solid-State Circuits, Vol. 44, No. 2, February 2009, pp. 382-393.

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mmx2.1mmチップ **チップ種別:** アナログ(PLL, A-D/DC-DCコンバータなど)

サブスレシヨルド電流を駆動源とする生体センシング向け極低電圧動作 Rail-to-Rail アナログ増幅器の試作研究

山形大学大学院理工学研究科 原田 知親

概要：本試作では、今後も進む低電圧化を視野にいれ、0.5V以下でも動作可能なLSIを実現するために、構成するMOSFETすべてサブスレシヨルド電流を利用して動作させ、太陽電池やコイン電池1個などで生成される、限られた低い電源電圧または電力で数年駆動可能な、長寿命・安定動作・コンパクト化を達成した生体センシング向け極低電圧駆動アナログ増幅回路と安定なサブスレシヨルド動作を得ることが可能なオンチップ電圧供給回路を実現し、その有効性を示すことを目的とする。特に今後微細化が進むにつれて、サブスレシヨルド電流を逆に駆動源として利用する技術を確認することで、環境にやさしい省電力なLSI技術を、試作を通じて目指す。

参考文献： [1] 原田, 高橋, 佐山, 森, "0.5V以下の電源で駆動する弱反転動作アナログ回路", 2010年電子情報通信学会総合大会シンポジウム講演, AS-1-3, 2010年3月

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数：**100以上, 1,000未満 **試作ラン：**e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

ソフトウェア耐性評価回路

大阪大学情報科学研究科 更田 裕司, 原田 涼, 橋本 昌宜, 尾上 孝雄

大阪大学工学研究科 密山 幸男

概要：本試作では、サブスレシヨルドSRAMの中性子線に対するソフトウェア耐性を測定し、実用的なエラー耐性を有するかどうかを明らかにすることを目的とした。また、低電圧組み合わせ回路に発生するSET (single event transients) パルスのパルス幅やMET (multiple event transients) 確率を取得することも目的とした。本目的の実現のため、0.3Vでも動作する256kb 10T SRAM [1], electrical maskingを利用したSETパルス幅測定回路 (ISQED2010発表予定), ならびに新たなMET測定回路をチップ上に搭載した。大阪大学核物理センターにおいて実施した中性子照射実験では、SRAM [1]を1.0Vから0.3Vの電源電圧で動作させ、ソフトウェア率の変化を測定した。また、複数ビット反転の電源電圧依存性も評価した。SETパルス幅測定については測定回路の動作は確認できたが、ターゲット回路の製造ばらつきによりSETのパルス幅の分布は得られなかった。また、METの測定においては、MET発生割合の電源電圧依存性や基板バイアス依存性を測定した。

参考文献： [1] H. Fuketa, M. Hashimoto, Y. Mitsuyama, T. Onoye, "Alpha-Particle-Induced Soft Errors and Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM", Proc. IRPS (2010) .

設計期間：1人月以上, 2人月未満 **設計ツール：**Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数：**100,000以上 **試作ラン：**e-Shuttle CMOS 65nm 4.2mmx2.1mmチップ **チップ種別：**TEG (特性評価回路など)

オンチップコイルアレーを用いたEMI測定チップ

東京大学生産技術研究所 増永 直樹, 石田 光一, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：電磁波ノイズ (EMI) 問題に対処する第一歩として、LSIを用いた新しいEMI測定技術を提案するため、EMI測定チップの実現可能性を実証することを目的としたチップを試作した。EMI測定チップでは、EMI検出用のオンチップループアンテナと、測定回路が2次元アレー状に配置されている。測定回路に周波数選択が可能な機能を搭載し、EMIの発生源について位置と周波数の両方が特定できるものである。これが実現可能であることを実証するために、「EMI発生源回路 (DUT) とコイルの距離, DUTの種類, アンプのゲイン, 周波数をダウンコンバートするミキサ回路の有無」のパラメータを変化させたTEGを搭載し検証を行った。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**e-Shuttle CMOS 65nm 4.2mmx2.1mmチップ **チップ種別：**TEG (特性評価回路など)

ソフトウェア検証用LSI

京都大学情報学研究科 古田 潤, 小野寺 秀俊

京都工芸繊維大学工学科学研究科 小林 和淑

概要：試作回路に中性子ビームを照射することでソフトウェア率の評価を行う。中性子照射は、大阪大学核物理センターにて行なうことを予定している。本チップでは2.1mmx4.2mmのコア領域を3分割し、3つの回路を実装した。回路1は回路レベルの低減手法を実測する回路で、既存の2重化FFとソフトウェア耐性、動作可能電圧範囲を改良した提案回路を試作し、ソフトウェア率の比較を行う。ソフトウェア率の測定回路にはSingle Event Transientによるエラー率も評価可能となるように改良を加えたシフトレジスタを用いる。回路2は駆動力、ファンアウト、拡散領域の異なる5種類のインバータチェーンで生じるSETパルス幅の測定を行い、クロックツリー、組み合わせ回路で生じるSETによるエラー率を評価する。回路3は、レイアウトレベルの低減手法を測定する回路であり、well-tapの配置間隔の異なるシフトレジスタを試作し、FFでのMulti Cell Upsets, Single Event Upsetによるエラー率の測定、比較を行う。

参考文献： [1] Furuta, Kobayashi, Onodera, "65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting Soft Errors on the C-element", VLSI Circuit Symposium 2010 (to be appeared) .

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 IC Compiler, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数：**100,000以上 **試作ラン：**e-Shuttle CMOS 65nm 4.2mmx2.1mmチップ **チップ種別：**TEG (特性評価回路など)

平成21年度第2回e-Shuttle CMOS 65nm 試作 (ES65092)

pulse beam forming transmitter with on-chip dipole antenna

東京大学工学系研究科 Nguyen Ngoc Mai KHANH

東京大学大規模集積システム設計教育研究センター 佐々木 昌浩, 浅田 邦博

概要: This on-chip antenna array transmitter is designed for pulse beam forming in millimeter wave (mm-wave) imaging applications. An 8 on-chip dipole element array is integrated and operated with 117GHz - 130GHz frequency bandwidth. Moreover, each of antennas is fed by an on-chip damping pulse generator. The timed delay monitoring and controlling circuit for the whole array system is also fabricated. A peak-to-peak pulse voltage is about 1.66V with 9.13ps mono cycle pulse duration in HSPICE simulation. Second, an on-chip jitter measuring circuit is another function of this project. Due to the 65nm CMOS process technology, we are planning a less-than-1ps timed delay circuit and an integrated jitter measuring circuit. This circuit is not only used for monitoring and controlling timed delays of the above array antenna system but also can be applied in another digitally circuit applications. Also, this circuit is used to adjust time delays of generating pulses of the above on-chip antenna array in order to control the angle of the transmitter's beam former toward to corresponding imaging objects. On-chip jitter circuit measurements are done by using T2000 tester, Advantest in VDEC. In this chip, we proposed a new on-chip dipole antenna whose special geometry is a meandering one working in a wide-band mm-wave regime. This design is a combination of patch antenna and dipole antenna in order to exploit both advantages of two antenna types and also to satisfy the layout design rules. An 8 element dipole array with timed delay monitor & control circuit, a single meandering dipole antenna, a single pulse generator with this antenna and an on-chip jitter measuring circuit are integrated in this chip for mm-wave pulse transmitter system.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mmx2.1mmチップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

リング型バッファチェーンを用いたプロセスモニタ回路

東京大学大規模集積システム設計教育研究センター 飯塚 哲也, 名倉 徹, 池田 誠, 浅田 邦博

東京大学工学系研究科 程 在鉉

概要: 近年の極微細プロセスにおいてプロセスばらつきが回路の特性に及ぼす影響は著しく大きくなっている。本研究では、リング型のバッファチェーンを使用し、小面積かつ簡易な計測手法でPMOS/NMOSトランジスタの特性ばらつきをモニタする回路を提案する。このバッファチェーンにパルスを入力すると、理想的にはパルスはリングの中を回転し続けるが、バッファのRise・Fallの特性の違いによりパルスは消失しバッファ出力は1または0に固定される。このような特性を利用し、パルスが消失するまでのパルスの回転数および回転の速度を計測することにより、トランジスタ特性およびP/Nトランジスタ間の特性の差をモニタすることができる。提案回路の動作をシミュレーション上で確認し、チップ試作を行った。試作されたチップの動作をAdvantest社 LSI テスタ T2000を使用して検証し、想定した通りの動作をしていることを確認した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** アナデジ混載

ミリ波 CMOS 受信器用要素回路とデバイスのモデリング

広島大学先端物質科学研究科 藤島 実

概要: 10Gbps級無線レシーバ実現のためVCOやLNAなどの要素回路をDバンドにおいて実現することを目標とした。また、試作に用いたデバイスも単体TEGとして同一チップに搭載した。VCO: NMOSによる差動型トポロジーを用いてD-band (110-170GHz) 用VCOの設計試作を行った。動作周波数の測定結果はそれぞれ、109-111.3GHz, 142.2-143.8GHzであった。外部から直接変調が行えるように設計しておりASK変調ができることについても検討確認した。また、PMOSによるトポロジーについても検討を行ない79GHzで発振することを確認した。このとき1MHzオフセットにおける位相雑音は-83.4dBc/Hzであった。LNA: 1段のカスケードMOSFETによるLNAを試作した。新しくモデリングした独自モデルによる伝送線路およびMOS-FETにより実測に近い特性が得られた。De-embedding: D-bandでデバイスを評価するのに有効なDe-embedding手法を検討するために、伝送線路TEGの測定結果にOpen-Short法, Thru-Only法, TRL法の3種類のDe-embedding手法を適用し、伝送線路の特性の比較を行った。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mmx2.1mmチップ **チップ種別:** 通信 (RF回路, ATMなど)

センシングデータ転送を目的とした高性能・低消費エネルギーシリアル通信LSI

東北大学原子分子材料科学高等研究機構 室山 真徳, 江刺 正喜

概要: 10Gbps級無線レシーバ実現のためVCOやLNAなどの要素回路をDバンドにおいて実現することを目標とした。また、試作に用いたデバイスも単体TEGとして同一チップに搭載した。VCO: NMOSによる差動型トポロジーを用いてD-band (110-170GHz) 用VCOの設計試作を行った。動作周波数の測定結果はそれぞれ、109-111.3GHz, 142.2-143.8GHzであった。外部から直接変調が行えるように設計しておりASK変調ができることについても検討確認した。また、PMOSによるトポロジーについても検討を行ない79GHzで発振することを確認した。このとき1MHzオフセットにおける位相雑音は-83.4dBc/Hzであった。LNA: 1段のカスケードMOSFETによるLNAを試作した。新しくモデリングした独自モデルによる伝送線路およびMOS-FETにより実測に近い特性が得られた。De-embedding: D-bandでデバイスを評価するのに有効なDe-embedding手法を検討するために、伝送線路TEGの測定結果にOpen-Short法, Thru-Only法, TRL法の3種類のDe-embedding手法を適用し、伝送線路の特性の比較を行った。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Apollo, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, , **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

微細化・低電源電圧化に向けた A/D 変換器の開発

大阪大学工学研究科 王 軍, Ham Hyun-ju, 松岡 俊匡, 谷口 研二

概要：(1) 低電圧 A/D 変換器の応用に向けた 0.5V 電源電圧動作 CMOS インバータをベースとする積分回路を設計した。過去に 0.18 μ m CMOS プロセスでの設計と比べ、65nm プロセスを使うことによりクロック・ブースト・スイッチの個数が削減でき、小面積化且つ高性能化が実現できた。(2) プロセスの微細化と低消費電力化によって、信号振幅の制約、雑音、素子特性ばらつきの影響がさらに大きくなっている。これらの課題を克服するために、生物の感覚器の信号検出原理に範を求め、雑音や素子ばらつきの統計的な性質を利用した新規 A/D 変換回路を設計した。本方式は、ADC の DC ミスマッチレベル以下の信号検出を可能とし、微細化に伴う素子特性ばらつきに対する耐性も有している。

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数：10,000 以上, 100,000 未満 試作ラン：e-Shuttle CMOS 65nm 4.2mm \times 2.1mm チップ チップ種別：アナデジ混載

データと制御信号の重畳に基づく低電力多値リコンフィギャラブル VLSI

東北大学情報科学研究科 亀山 充隆, 岡田 信彬, 石川 彰隆

概要：近年 FPGA に代表されるリコンフィギャラブル VLSI が注目されているが、ロジックブロックやそれらを接続する相互配線網が複雑になる問題がある。この問題を解決するため多値電流モード回路に基づく細粒度ビットシリアルリコンフィギャラブル VLSI が提案されている。今回は、演算部と制御部のどちらにも再構成可能なハードウェアリソースの割合を増加させたアーキテクチャを考案し、そのプロトタイプセルを試作した。多値電流モード回路では 2 値 3 変数関数と全加算器が同一の回路で実現できることに着目して、論理演算機能と全加算機能を同一の回路構成を用いて実現できる構成とすることでロジックブロックの稼働率を向上させている。また、多値リコンフィギャラブル VLSI の低電力化を実現するため、データと電流源制御信号の重畳に基づく電流源の動的制御を可能とする構成を試作した。有効データが到来する場合は電流源を ON にし、無効データが到来しているセルでは電流源をカットオフすることが可能となる。これにより、相互配線網の複雑さを軽減すると共に信号間のスキューを削減することができる。

設計期間：4 人月以上, 5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, トランジスタ数：100,000 以上 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

断熱的パストランジスタ加算回路およびばらつき測定回路

横浜国立大学大学院工学府 内山 順一

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は、CMOS 集積回路の低消費電力化のために、断熱的パストランジスタ回路について研究している。65nm という微細プロセスでは、リーク電流の増大や素子の特性ばらつきの増大などが考えられるため、これらの効果が断熱的回路の動作に与える影響を検討する必要がある。本チップには、32 ビットのリップルキャリア型加算回路が、消費電力の測定を行うため、並列に 60 個載っている。この回路は基板バイアス電圧をかけられるようになっており、しきい値電圧を最適に制御することにより、消費電力を最小にする。また、MOSFET のしきい値電圧ばらつきの大きさを見積もる必要があるため、256 個の NMOS のアレイが載っている。この回路は、4 ビットデコーダを用いて、256 個から 1 個の MOS を選択して測定できるようになっている。テストによる測定は行っていない。測定により、加算器の正常動作の確認が取れたので、今後はさらに詳細な測定を行い、消費電力を実測する。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数：10,000 以上, 100,000 未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：演算回路（乗算器、除算器など）

スケーラビリティと信頼性検証のためのタイムドメイン連想メモリ

広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen, 小出 哲士

広島大学大学院先端物質科学研究科 Tania Ansari, 今福 渉, 川畑 明雄

広島大学工学部第二類 安田 雅浩

概要：我々の研究室では、ある参照データ群の中から最も類似するデータパターンを検索する連想メモリの研究を行っている。本試作では、これまで設計された中で最大のビット長を持つタイムドメイン連想メモリを 65nm プロセスを用いて設計し、同条件の 180nm プロセスを用いた試作と比較することで微細テクノロジーにおけるばらつきの検索信頼性への影響を明らかにし、連想メモリのスケーラビリティと検索信頼性の評価を行うことを目的としており、今後の微細化に対応する連想メモリを設計する上で非常に重要な試作である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, トランジスタ数：100,000 以上 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：メモリ

1.2V, 200MHz, 7次ローパスフィルタの試作

中央大学大学院理工学研究科 石井 壮太, 下山 佑介, 杉本 泰博

概要: 近年, プロセス微細化に伴い, LSIの電源電圧が下がってきている. また, トランジスタの出力抵抗も低下するため, 低電源電圧下において高精度のアナログ回路を設計することは困難となっている. そこで, 我々はこのような状況下においても高精度のアナログ回路を実現できる回路技術について検討した. 今回, 検討した回路技術を用いて, 電源電圧1.2V, 遮断周波数200MHzの7次ローパスフィルタの設計を行った. OTAの設計においては, 電圧-電流変換をトランジスタで行うのではなく, 抵抗入力と正帰還補償を用いて行うことで, 高精度な変換を実現した. また, 出力抵抗の増大には, オペアンプを用いずに, 正帰還補償を応用する方法を取った. このような方法で高精度なアナログ回路の実現を行っている.

参考文献: A 60-mW 200-MHz Continuous-Time Seventh-Order Linear Phase Filter With On-Chip Automatic Tuning System, Jose Silva-Martinez, IEEE J. Solid-State Circuits, vol. 38, pp.216-225 (2003-2)

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

Hot Swap 機構を備えた耐故障再構成アーキテクチャ

京都大学大学院情報学研究科 ラコシ エンドレ ソルトン, 廣本 正之, 越智 裕之

立命館大学総合理工学研究機構 中村 行宏

概要: 本チップは, システムの動作を止めることなく演算器のテストや交換が可能な粗粒度再構成可能デバイスであり, 特性が劣化した演算器を予防的に排除することによって高い信頼性を維持しようというものである. 本チップ内には12個の16ビット演算器からなるクラスタが6個縦列接続されており, クラスタ内のデータパスの切り替えにより, 使用中の演算器とスペア (待機系) 演算器とを Hot Swap することが可能である. この他本チップ内には入出力のデータや演算器のテストパターンを保持する SRAM マクロ, ならびに PLL マクロが使われている.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Mentor ModelSim, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ **チップ種別:** マイクロプロセッサ

適応型テストのための低タイミングインパクト特性推定回路

京都大学大学院情報学研究科 佐藤 高史, 小崎 忠道

東京工業大学統合研究院 上園 巧, 高橋 知之

概要: チップ毎に異なるデバイス特性のばらつきに応じて適応的にテストパスを変更する適応型テスト手法について, その実現性を実測に基づいて評価するためのチップである. タイミング余裕のある複数のパスに対して, 遅延セルとフリップフロップからなるテスト機構を組み込むことで, 本来の回路の動作に与える影響を小さく抑えつつプロセス特性 (しきい値) を推定する回路を作成している. 提案する回路を, 人手をほとんど介することなく, 半自動で適用できるような設計フローを作成し, 実際に適用しつつ設計を行った. また, 提案回路の精度を確認できる, ばらつきデータ測定回路を同時に搭載している. ばらつきデータ測定回路による測定結果を基準として, プロセス特性の推定回路の精度を評価できる.

参考文献: M. Shintani, T. Uezono, T. Takahashi, H. Ueyama, T. Sato, K. Hatayama, T. Aikyo and K. Masu, "An adaptive test for parametric faults based on statistical timing informaton", IEEE Asian Test Symposium (ATS), pp.155-160, September, 2009.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** TEG (特性評価回路など)

高解像度バイオイメージセンサの試作

奈良先端科学技術大学院大学物質創成科学研究科 太田 淳, 徳田 崇, 笹川 清隆, 野田 俊彦, 宍戸 三四郎

概要: 生体内埋植してセンシングやイメージングを行うデバイス技術は, テイラーメイド医療を実現するための重要と考えられる. 本試作では, 生体埋め込み型バイオイメージングを目的とした65nmプロセスを用いたイメージセンサの設計を行った. 微細プロセスの配線層は, 可視光の波長に対して十分に小さな構造をとることができる. 本チップでは, この特徴を用いて偏光光学素子を設計し, モノリシックな偏光イメージセンサの試作をおこなった. 微細プロセスで作製された素子では駆動電圧に対してしきい値電圧の割合が大きくなる. 本センサでは, このような制限を回避するためパルス幅変調型の画素回路およびイメージセンサの試作を行った.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

無線通信用パイプライン型 ADC の試作

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 小池 直希, 山本 健介

概要: 第4世代移動通信システム (4G), Long Term Evolution (LTE), 次世代 Wireless LAN 等, 次世代の無線アプリケーションを実現するため高帯域かつ高精度な ADC が求められている。従来この領域はパイプライン型 ADC がカバーし, 盛んに研究が行われてきた。一般的なパイプライン型 ADC は最初に量子化器がアナログ入力をデジタルデータに変換する。その時発生する量子化誤差を増幅し, 別の量子化器で再び AD 変換する。量子化誤差の増幅と AD 変換を繰り返すことで量子化誤差を小さくし変換精度を上げることができる。しかしその方式上, 変換精度を上げるために量子化器, 増幅器, DAC 等の回路ブロックを増やす必要があり, 面積, 消費電力の増大を避けることができない。そこで本試作では量子化誤差の処理を工夫することで従来型パイプラインよりも少ないステージ数で高精度化を可能とする方式の検討を行い試作を行った。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, AssuraQRC, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

High-Speed Clocked Comparator and Clocked Level-Crossing ADC

University of Tokyo VLSI Design and Education Center Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada

概要: The design contains two projects. The first is a clocked comparator for high-speed on-chip signal digitization (more than 7 GBPS). The Chip also contains a conventional clocked comparator to be compared with the proposed one. For the sake of evaluation, the necessary clock generation and signal conditioning circuitries are also contained in the chip. The initial measurement results show the speed superiority of the proposed design over the conventional comparator. The second project is a clocked level-crossing ADC which consumes less power and occupies smaller area than the conventional regular time-sampling ADC. In level-crossing ADC, the signal is sampled when it crosses a threshold level and the time between two consecutive crossings is measured. In this project, the test signal- pseudo random binary sequence- and sampling clock signals are generated on-chip. The period of both the test and the clock signals can be controlled to examine the performance limit of the design. A second version of the level crossing ADC without the test and clock signal is also added. The chip has been designed using 65nm technology.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

オペアンプレス・キャパシタレス Δ - Σ 型 ADC

神戸大学工学研究科 小西 恵大, 李 赫鍾, 和泉 慎太郎, 竹内 隆, 川口 博, 吉本 雅彦

概要: 本設計ではオペアンプといったアナログ要素を排除することで, 低電圧・低消費電力な ADC を実現することを目的とする。本研究では電圧領域から時間領域にデータを変換し, 演算を時間領域にて行う。アナログ信号を Voltage Controlled Delay Unit (VCDU) に入力することにより, 連続時間アナログ電圧信号を離散時間のパルス信号の位相遅延に変換する。この遅延情報はリングオシレータに伝達され, アナログ信号処理を行う。また既発表の VCDU を発展させ, リセット機構追加型 VCDU 回路を提案する。リセットを追加することにより高調波ノイズの発生を抑えられる。A/D 変換器の変換精度向上のための高次化を図るために, Phase Detector (PD) と Gated Ring Oscillator (GRO) 回路を用いて 3 次の MASH 型 $\Delta\Sigma$ 回路を構成した。PD 及び GRO により高次化のための時間遅延値の加減算を実現する。回路はほぼロジック回路で構成され, 大部分にスタセルを利用することができる。微細化プロセスと親和性の高いスケールメリットを享受できる ADC を提案する。

参考文献: Taillefer C. S.; Roberts G. W., "Delta-sigma A/D conversion via time-mode signal processing," IEEE Transactions on Circuits and Systems Part I: Regular Papers archive Volume 56, pp. 1908-1920, September 2009.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 Design Compiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

実時間動画像認識応用 SIFT 特徴量抽出プロセッサコア

神戸大学工学研究科 野口 紘希, 水野 孝祐, 上農 哲也, 何 光霽, 三浦 和夫, 藤永 剛史, 川口 博, 吉本 雅彦

概要: 本設計では HDTV 解像度の動画像に対して, 実時間, 低消費電力で, SIFT (Scale Invariant Feature Transform) 特徴量抽出 [1] を実行可能なプロセッサを実現することを目的とする。SIFT を用いたアプリケーションは多様化しており, SIFT 特徴量抽出プロセッサに要求される性能としては, 高速, 高精度, 低消費電力と様々である。動画像認識アプリケーションからの多様な要求に応えるために, 本設計では VLSI 向き SIFT アルゴリズム, 3 ステージ ROI (Region of Interest) パイプラインアーキテクチャ, SIFT 特徴量抽出に特化した専用演算回路の実装をおこなった。提案プロセッサは従来プロセッサに比べて大幅に消費電力を削減でき, さらに高解像度の動画像に対する処理も行うことができる。そのため, モバイルアプリケーションや次世代ロボットなど幅広い分野での応用が期待される。

参考文献: [1] D. Lowe, "Distinctive image features from scale-invariant keypoints," in International Journal of Computer Vision, vol. 20, 2003, pp. 91-110.

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 Design Compiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

次世代知能ロボット制御のための混合整数2次計画問題 (MIQP) ソルバプロセッサ

神戸大学工学研究科 野口 紘希, 谷 純一, 嶋井 優介, 川口 博, 吉本 雅彦

概要: 本試作では, 高度なロボット動作生成への応用に必要となる, 高速処理性能と低消費電力性をあわせもつ MIQP ソルバプロセッサの設計・試作を行なった. 新しいロボット制御手法のひとつとして, ハイブリッドシステム制御がある. ハイブリッドシステム制御を用いることで, 高度なロボット動作生成が可能となることが期待されている. しかし, ハイブリッドシステム制御を行なうためには, 数学問題である MIQP 問題をリアルタイムで解くことが重要である. 特に, バッテリーで駆動するロボットにおいては, 低消費電力性と高速処理性能を併せ持つ MIQP ソルバが必須である. 我々は, MIQP ソルバを専用ハードウェアにて実装し, 低電力かつ高性能な MIQP ソルバプロセッサを実現することを目的とする. 設計したプロセッサは, 論理ゲート数が 1.36M ゲートで, SRAM 容量は 1.6M ビットである. また, 100MHz 動作時の消費電力は 464mW である. 過去に, 我々は MIQP ソルバを FPGA にて実装済みであるが, その FPGA 実装と比較した場合, 本試作のプロセッサでは 97.0% の必要周波数削減を達成した.

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2mm 角チップ **チップ種別:** マイクロプロセッサ

ミックストシグナル SoC のためのオンチップモニタシステム

神戸大学大学院工学研究科 橋田 拓志, 荒賀 佑樹

大学院工学研究科大学院工学研究科 永田 真

概要: 本チップは, オンチップモニタを用いたミックストシグナル SoC のテスト支援のための要素回路の設計と評価を目的としている. オンチップモニタ・コアのアナログ部分は 3.3V 系の I/O デバイス, デジタル部分 (マイクロコントローラやメモリ) は 1.2V 系のコアデバイスにより構成した. 前年度までの試作検証からの技術進歩として, オンチップモニタの搭載コストを低減するため, とくにアナログ信号発生部をレジスタ制御構造とし, SoC 上のマイクロプロセッサとの動作親和性の確保を実現した. テストチップの納品を受けて基本評価を進めている.

参考文献: An On-Chip Multi-Channel Waveform Monitor for Diagnosis of Systems-on-Chip Integration, K. Noguchi, M. Nagata, IEEE Trans. VLSI Systems, Vol. 15, No. 10, pp. 1101-1110, Oct. 2007.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 Apollo, Synopsys 社 Astro, Cadence 社 Virtuoso, SII 社 SX9000, Synopsys 社 Star-HSPICE, Synopsys 社 PowerMill, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ **チップ種別:** アナデジ混載

低消費電力マルチレート LDPC 復号 LSI

早稲田大学理工学術院情報生産システム研究科 後藤 敏, ベン ショウ, チョウ ユウシン, チン ショウ

概要: IEEE802.16e と 802.11n のすべての LDPC 符号化率と符号長を対応する復号器の試作を行う. LDPC 復号器の電力消費を低減する最も有効な手段は誤り率を保証したもので, LDPC 復号での繰り返し回数を減らすこと, 即ち, ET (Early Termination) である. これをマルチレートで実現するには従来のシングルレートとは異なる新しいパリティチェック手法の導入が必要である. また従来提案されているマルチレート対応の ET 手法は誤符号率 (BER) の低減が困難で, 平均繰り返し回数が多いため, 我々は新しい ET 手法を提案した. 今回の試作では, 提案した新たな ET 手法を利用するため, マルチレート LDPC 復号器の高消費電力問題と BER 性能を大幅に改善する.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 IC Compiler, Cadence 社 Virtuoso, Synopsys 社 IC Compiler, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

低電力 $\Delta \Sigma$ AD 変換器における精度補正回路および雑音抑圧回路

広島大学 岩田 穆, 藤川 信次, 前田 智明, 村坂 佳隆, 大本 貴史

概要: 連続時間 (CT) 型 $\Delta \Sigma$ ADC, 量子化器 TEG, 発振器 (時定数検出用), 遷移制御雑音源 (TCNS), 雑音検出器 (ND) が搭載されている. ADC はアクティブ RC 型の積分器のみを用いたタイプに加え, より低消費電力化が狙える gm-C 型の積分器を併用したタイプが搭載されている. 基板雑音測定にアナデジ混載テストを使用.

設計期間: 10 人月以上 **設計ツール:** Synopsys 社 Star-HSPICE, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10,000 以上 100,000 未満 **試作ラン:** e-Shuttle CMOS 65nm 4.2mmx2.1mm チップ **チップ種別:** アナデジ混載

三次元チップ積層向け10GHz高速クロック分配回路

広島大学 汐崎 充, 岩田 穆

概要：10GHz以上の高周波クロック分配回路を設計・評価し、高周波発振性能と、発振信号のジッタ、スキューへの電源、基板雑音、放射雑音の影響を評価する。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Caliber, Agilent社 ADS トランジスタ数：1,000以上10,000未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：通信 (RF回路, ATMなど)

平成21年度第3回e-Shuttle CMOS 65nm 試作 (ES65093)

FFの遅延故障評価、遅延ばらつき評価及び遅延ばらつき自己補償TEG

京都大学大学院情報学研究科 Bishnu Das, 砂川 洋輝, Mahfuzul A. K. M, 三木 崇史, 西澤 真一, 釜江 典裕, 北島 和彦,
小野寺 秀俊

概要：本チップは、FFの遅延故障評価回路、遅延ばらつき評価回路2種および遅延ばらつき自己補償回路の4種から構成されている。FFの遅延故障評価TEGは電圧制御発信回路（VCO）とDUTとなるFFをアレイ状に集積した回路である。その分周可能周波数のばらつきから、FFの遅延故障を評価する。遅延ばらつき評価TEGは論理段数やゲート種類やレイアウト構造の異なるリングオシレータ（RO）のセットをアレイ状に集積した回路である。リングオシレータの周波数ばらつきから、MOS特性のばらつきを評価する。また拡散の形状を変えたROを比較することで、STIストレスのばらつきの評価が可能である。

設計期間：5人月以上、6人月未満 設計ツール：Synopsys社IC Compiler, Cadence社Virtuoso, Synopsys社Star-HSPICE, Mentor社Calibre, トランジスタ数：100,000以上 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：TEG（特性評価回路など）

ゲート絶縁膜信頼性評価回路II

京都大学情報学研究科 松本 高士, 牧野 紘明, 伊東 恭佑, 釜江 典裕, 小野寺 秀俊
京都工芸繊維大学工学科学研究所 小林 和淑

概要：本試作では、2種類の回路を設計した。（1）トランジスタのゲート絶縁膜劣化モード全般を評価する回路である。大規模アレイ状に配置された様々なレイアウト形状のトランジスタに対して、NBTI, TDDB, RTS, HCIとして知られる劣化モードを測定し、劣化モデルを作成するための回路である。（2）RTSノイズ（ランダムテレグラフシグナルノイズ）を測定するための回路である。RTSノイズによる回路特性変動を評価するための回路を設計した。また、トランジスタアレイでのRTS評価も合わせて行い、ノイズモデルの作成をおこなう。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Mentor社Calibre, トランジスタ数：10,000以上、100,000未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：TEG（特性評価回路など）

回路特性経時的変動の効果的取得回路

京都大学大学院情報学研究科 佐藤 高史, 小崎 忠道
東京工業大学統合研究院 上園 巧, 高橋 知之

概要：本チップでは、回路特性の変動を効率的、効果的に取得する回路を作成している。負バイアス温度不安定性等、回路特性の経時変化を含む特性変動の測定を行う際には、デバイスに劣化ストレスをかける状態、デバイスを劣化ストレスから完全に開放して回復する状態、およびデバイス特性の測定状態、を継続的に繰り返す必要がある。これら各状態間の遷移に時間がかかると、デバイスが意図していなかった状態を取ることとなり、精度の良い測定が困難となる。チップ内にこれらの状態を切り替える回路を設けることで状態遷移を高速に行うことにより、特性の精度の良い評価を実現している。また、多数のデバイスに対してこれらの状態を規則的、連続的に繰り返す制御を容易化して、特性評価に要する時間を短縮する回路を作成している。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社DesignCompiler, Cadence社Virtuoso, Synopsys社Star-HSPICE, Mentor社Calibre, Mentor社CalibreRC, トランジスタ数：10,000以上、100,000未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：TEG（特性評価回路など）

Continuous-Time Level-Crossing Analog-To-Digital Converter.

VLSI Design and Education Center, University of Tokyo Mohamed Abbas, Satoshi Komatsu, Kunihiro Asada
Advantest Corporation Takahiro Yamaguchi, Yasuo Furukawa

概要：The Chip contains two projects. The first project is a continuous-time comparator with delay-dispersion compensation capability. The comparator which has this capability is crucial for the level-crossing ADC applications. The second project is a continuous-time level-crossing ADC with fine-resolution time-to-digital conversion (TDC) unit. In level-crossing ADC, the signal is sampled when it crosses a threshold level and the time between two consecutive crossings is measured. The level-crossing ADC consumes less power and occupies smaller area than the conventional regular time-sampling ADC. The design is to be used for on-chip signal digitization. The resolution of the TDC unit is intended to be about 15 pico-seconds. The projects have been implemented designed using 65nm technology.

設計期間：1人月以上、2人月未満 設計ツール：Cadence社Virtuoso, Synopsys社Star-HSPICE, Mentor社Calibre, トランジスタ数：100以上、1,000未満 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）

平成20年度第2回オンセミコンダクター CMOS 1.2 μ m 試作 (MOT082)

CVSL基本論理回路群とCMOS基本論理回路群の設計試作

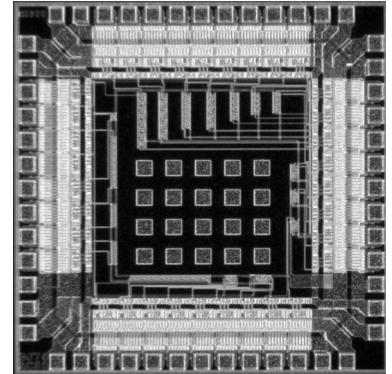
静岡理科大学電気電子工学科 波多野 裕

電気電子情報工学科 神尾 翔, 吉山 拓毅

概要: 20年度第1回試作チップまでの実測結果を踏まえて、カスケード電圧スイッチ論理 (CVSL) 回路の基本回路群とCMOS基本回路群を設計した。設計した回路はスタティック形CVSL EXOR回路, スタティック形CVSL半加算回路, スタティック形CVSL EXORチェーン回路, スタティック形CVSL NANDチェーン回路, スタティック形CVSL NORチェーン回路, クロック形CVSL EXOR回路, クロック形CVSL NAND回路, クロック形CVSL NOR回路, クロック形CVSL EXORチェーン回路, クロック形CVSL NANDチェーン回路, クロック形CVSL NORチェーン回路, CMOS EXORチェーン回路, CMOS NANDチェーン回路, CMOS NORチェーン回路, 複合CMOS EXOR回路, 複合CMOS EXORチェーン回路である。7月23日に入荷したチップを直ちに実測して全ての回路の機能動作の確認に成功した。

参考文献: [1] H. Hatano, "Single event effects on CVSL and CMOS exclusive-OR (EX-OR) circuits", Proc. of the 10th European Conference on Radiation Effects on Components and Systems, Bruges, 2009.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, トランジスタ数: 1,000以上, 10,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** TEG (特性評価回路など)



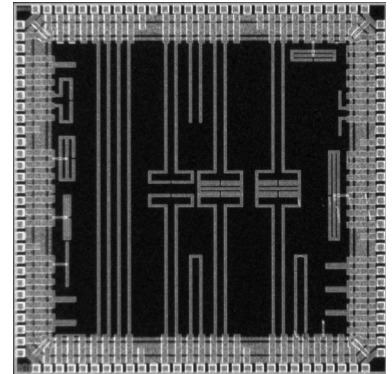
チップ内伝送線路特性測定モデルの試作

秋田大学工学資源学部 柳澤 良介, 萱野 良樹, 井上 浩

概要: 高密度に配線されたIC内部の伝送線路の高周波伝送特性, 配線間の電磁結合などの基礎特性を計測することは, シグナル・インテグリティの確保, チップ内電磁ノイズおよび信号ノイズの問題を解決した配線設計など, すなわちEMC設計を可能にするための基礎的特性として大切である。本試作では, 伝送線路中に電磁結合構造を含む新しい信号伝送系の開発を目指し, コプレーナストリップ線路のTEGを試作した [1]。また, チップ内共振回路を含む線路の特性を詳細に検討するためのTEG試作も行った。新しい伝送線路系としての基礎実験を行うことが可能となった。

参考文献: 柳澤良介, 萱野良樹, 井上浩, "ICチップ内F-SIR周期構造線路の試作 (その2)", 電子情報通信学会技術研究報告, vol. 109, no. 241, EMCJ2009-76, pp. 187-192, Oct. 2009.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Cadence社 Diva, トランジスタ数: 10未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



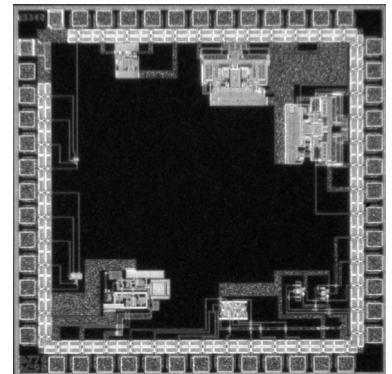
FG-MOSを用いた高性能アナログ回路と多値論理回路

佐賀大学大学院工学系研究科 清水 暁生, 野邊 勇樹, 西 晃司

佐賀大学理工学部 深井 澄夫

概要: 本試作では, FG-MOS (Floating-Gate MOS) を用いて, 高性能なアナログ回路と多値論理回路の実現を目的としている。(アナログ回路) アナログ回路の重要な要素回路の一つであるカレントミラー回路の設計を行った。本回路はFG-MOSとトランスインピーダンスアンプによる負帰還回路を用いることで, カスコードカレントミラー回路よりも高精度で広出力電圧範囲のカレントミラー回路を実現している。特性比較のために, 低電圧カスコードカレントミラー回路の設計も同時に行った。(多値論理回路) 可変閾値特性を持つFG-MOSを用いることによって, 標準CMOSプロセスで容易に多値論理回路を構成することができる。本試作では, 多値論理回路の基本回路である多値インバータを設計した。また, 多値インバータの応用回路として多値SRAM Cellの設計も行った。(TEG) FG-MOSにおけるフローティングゲートサイズの影響を調査するために, フローティングゲートサイズの異なるFG-MOSを作成した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, トランジスタ数: 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

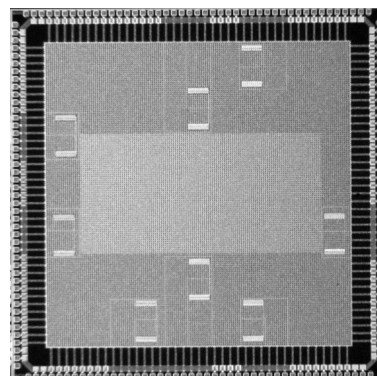


樹状構造をもつ放熱システムの機能検証用の発熱体

金沢大学工学部 秋田 純一, 山崎 光悦

概要: 樹木の根の形状のように、生物の形状に基づく形状の放熱シートを用いることで、放熱効率を高めることができることが期待でき、そのような放熱シートの形状の研究を行っている。本試作チップでは、実際に用いられるLSIにおいて、そのような放熱シートによる放熱効率を検証するために、仮想的なマイクロプロセッサを想定し、チップ上の複数箇所に、演算器からの発熱を模擬するために、集中的に熱を発生する発熱体として拡散抵抗として配置した。各抵抗には、個別に流す電流を設定することができ、種々の動作・発熱状態を模擬し、放熱特性の評価を行うことができるように設計されている。現在、本試作チップを用いて、放熱シートの評価を行っている。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula DRC, **トランジスタ数:** 10 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 7.3mm 角 **チップ種別:** その他



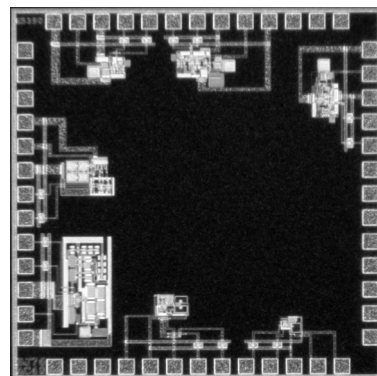
演算増幅器設計コンテスト応募に向けた試作

豊橋技術科学大学情報工学専攻 中田 光俊, 中川 雄介, 瀬川 健太郎

豊橋技術科学大学情報工学系 和田 和千

概要: 本研究室学生3名が演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>) に参加するため、各自が設計した演算増幅器を試作している。回路構成は差動対とソース接地増幅回路の2段構成を基本として、各学生が目指す特性に特化するよう回路構成に変更を加え、工夫を凝らしている。理論計算に始まり、シミュレーションによる動作検証、そしてレイアウト能力を養うことも目的としている。また、前年度の測定結果を踏まえ、出力段を付加する等、経験に基づく回路設計にも取り組んでいる。コンテストにおいて、試作した回路のうち二つの回路が、同コンテスト試作の部において敢闘賞、奨励賞を獲得した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



演算増幅器の試作

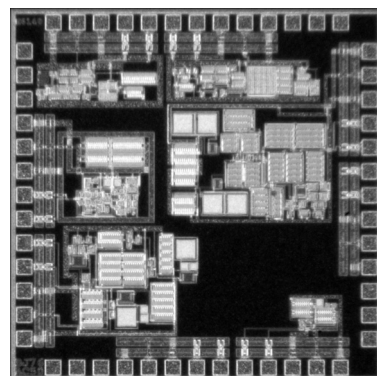
東京工業大学理工学研究科 高木 茂孝

東京工業大学グローバルエッジ研究院 ニコテムス レティアン

概要: 本試作は回路設計およびレイアウト、評価を含む集積回路設計の基礎教育を目的としており、平成 21 年演算増幅器設計コンテストの集積化実現部門 [1] に応募用の演算増幅器を試作している。合計 6 個の演算増幅器が同一チップ上に集積化されている。初段増幅回路には基本的な差動増幅回路やフォールドドカスコード差動増幅回路が用いられており、2 段目は基本的なソース接地増幅回路や AB 級ソース接地増幅回路、バイアス回路を工夫した AB 級ソース接地増幅回、AB 級ソースフォロワが用いられている。いずれも電源電圧が 5.0V の 2 段構成演算増幅器である。さらに、特性を改善するためにコモンセントロイド配置を採用するなど、レイアウトも工夫している。

参考文献: [1] 演算増幅器設計コンテスト <http://www.ec.ss.titech.ac.jp>

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



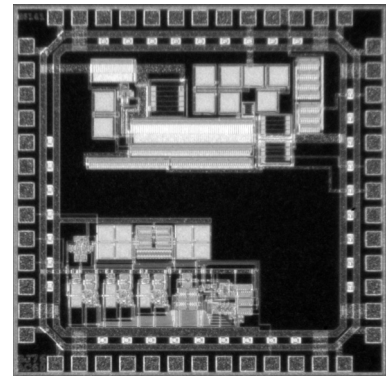
FM 放送受信機構成用低雑音増幅回路と自動利得調整回路の構成

東京工業大学理工学研究所 高木 茂孝

東京工業大学グローバルエッジ研究院 ニコテムス レディアン

概要：FM 受信機の構成で必要となる低雑音増幅回路と自動利得調整回路を試作している。低雑音増幅回路は、1 段目を負帰還型増幅回路、2 段目を差動増幅回路とした 2 段構成となっている。また、入力信号を差動信号に変換して出力している。さらに、測定を容易にするためにソースフォロワを出力に付加している。利得が約 10 倍、雑音指数が約 3dB となるように設計されている。自動利得調整回路は、基本的には、差動増幅回路と負荷となるダイオード接続された MOS トランジスタから構成されている。差動増幅回路のテール電流を変えることにより電圧利得を調整している。入力振幅が 1mV から 100mV のときに出力が 200mV 一定となるように設計されている。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Cadence 社 Diva, **トランジスタ数：**100 以上、1,000 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

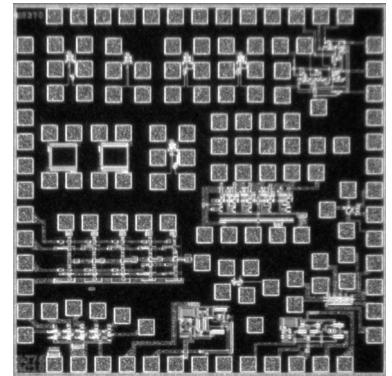


study of MOSFET

明治大学理工学部 高窪 かをり

概要：主に弱反転領域の MOSFET に関する研究を行うため、少ないトランジスタ数の回路が多い。試作した回路は次のようなものがある。MOSFET アレイ・ソース接地回路 (n 型・p 型)・ソースフォロワ回路 (n 型・p 型) 弱反転領域で動作するオペアンプ・レイル・トゥー・レイル入出力オペアンプ・減算回路 (n 型・p 型) 低リーク MOSFET スイッチ・低リーク MOSFET スイッチを用いたサンプルアンドホールド回路・通常の単体 nMOS スイッチを用いたサンプルアンドホールド回路・低リーク MOSFET スイッチを用いたスイッチトキャパシタ回路・通常の単体 nMOS スイッチを用いたスイッチトキャパシタ回路・低リーク MOSFET スイッチを用いたクロックブースタ回路・通常の単体 nMOS スイッチを用いたクロックブースタ回路・電圧検出器のコア回路・電圧検出器・弱反転領域で動作するカレントミラー回路 (n 型・p 型) 弱反転動作の MOSFET による 2 段積み構成の微小電源電圧駆動 P T A T 電圧発生回路 (n 型・p 型) 弱反転動作の MOSFET による 2 段積み構成の微小電源電圧駆動 P T A T 電圧発生回路 (n 型・p 型) を 5 段縦積みにした回路

設計期間：10 人月以上 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数：**10 以上、100 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別：**その他

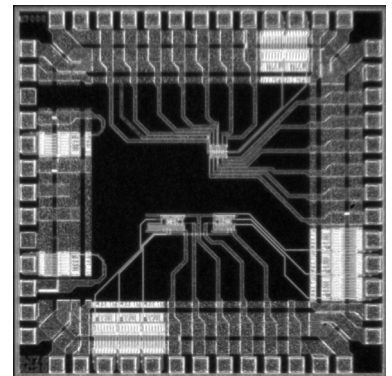


H 型ゲート電極 MOSFET の特性とサブスレショルド動作時の回路動作検証

山形大学大学院理工学研究所 原田 知親

概要：ガス圧力や真空度の測定などに用いられている圧力センサは、圧力差で生じる機械的ひずみを電気信号に変えるピエゾ効果を利用しており、様々な材料を用いて実現されている。しかし、センサ部は抵抗や容量などの受動素子で構成されており、センサの S/N 比向上のために信号処理回路をセンサ後段に入れる必要がある。しかし、センサ検出と信号処理を同一回路で行なえる方法として、集積回路の基本構成素子であるトランジスタで構成することで、センサ全体のコンパクト化が期待できる。本研究では、センサ検出と信号処理を同一回路で行えるひずみ検出素子の実現に向けた基礎研究として、H 型ゲート形状の MOSFET と、サブスレショルド動作時の回路特性について評価を行った。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, **トランジスタ数：**10 以上、100 未満 **試作ラン：**オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別：**TEG (特性評価回路など)



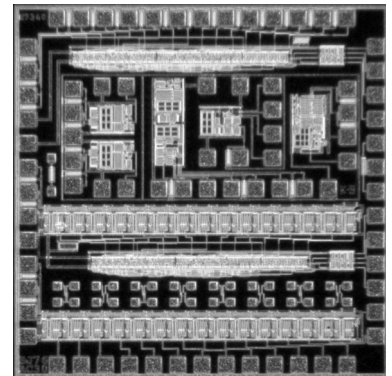
C/V変換回路・A/D変換回路

兵庫県立大学大学院工学研究科 園田 晃司, 藤田 孝之, 前中 一介

概要: 静電容量型センサの出力検出回路としてC/V変換回路, またアナログ値をデジタルデータへ変換する回路としてA/D変換回路を設計した. C/V変換回路は外部素子によるリファレンス・検出容量の差動容量を検出する方式で, 容量差の検出と出力のリセットを外部入力クロックに同期して繰り返す動作をするよう設計した. A/D変換回路は4bitのフラッシュ型で抵抗ラダー, コンパレータ, エンコーダからなり, 外部入力によるクロック周波数を1MHzとして動作するよう設計した. C/V変換回路は, リファレンス容量を20pF, クロック周波数を5kHzとしたとき, 検出感度は0.53V/pFで直線性1.3%の評価結果となり設計値と十分に合う. A/D変換回路は, 出力に発振が観測され評価にはいたらなかったがレイアウトの修正により改善可能であると考えられる.

参考文献: 谷口研二, "LSI設計者のためのCMOSアナログ回路入門", CQ出版, 2005

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Diva, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



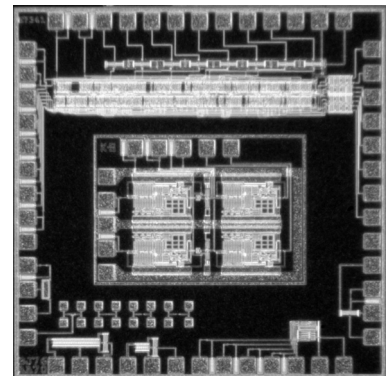
最大値・最小値8bitデジタルラッチ回路

兵庫県立大学大学院工学研究科 園田 晃司, 藤田 孝之, 前中 一介

概要: 先行のラン (mot08_1st) において, サンプルホールド回路を応用した最大値最小値保持回路を設計した. この回路は外付けキャパシタが必要となるなど回路規模の縮小に課題があったため, 本ランにおいて外付けキャパシタを必要としないデジタル回路による最大値最小値保持回路を設計した. 8bit入力値の最大値・最小値をそれぞれ8bitでデジタルラッチにより保持・出力する回路をverilog-HDLにより設計した. クロック同期動作で, クロックの立ち上がりに入力値・保持値の比較と結果に応じた出力の更新を行う動作を繰り返す仕様とした. また, 任意のタイミングで出力値のリセットを可能とするリセット機能を設計した. クロック周波数 \sim 1MHzにおいて設計仕様通りの動作を確認した.

参考文献: VDEC監修 浅田邦博編, "デジタル集積回路の設計と試作", 培風館, 2000

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Cadence社 Diva, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



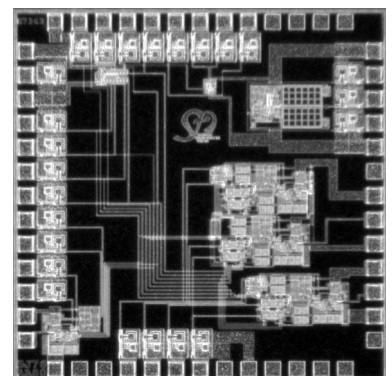
全差動離散時間 $\Delta\Sigma$ 変調器の開発

兵庫県立大学工学研究科 齊藤 光俊, 藤田 孝之, 前中 一介

概要: 従来型のナイキストレートA/D変換器は, 精密で高いノイズ除去能力を有するアナログ部品を必要とし, 高い精度と変換速度を両立するのは困難であった. 対照的に, オーバーサンプリング変換器は, シンプルで高いノイズ裕度を持つアナログ部品を用いて実装可能であり, 高い周波数でサンプリングすることにより, アナログ・アンチエイリアシング・フィルターにおける急峻なカットオフの必要性をなくしている. 近年注目されているデルタ・シグマ ($\Delta\Sigma$) 型A/D変換器では, オーバーサンプリングとノイズシェイピングを用いることにより高い分解能を実現でき, 従来型と比較すれば高速変換が可能である. 今回のランでは, 5 [KHz] ベースバンド帯域幅センサ信号処理のためのA/D変換器を, 離散時間 $\Delta\Sigma$ 型を用いて設計する. ノイズシェイピングは, 1bit量子化器を通したフィードバックループを持つスイッチド・キャパシター・ロウパスフィルター積分器を用いて実現する. 量子化器にはラッチドコンパレータを用いる.

参考文献: 和保孝夫, 安田彰, " $\Delta\Sigma$ 型アナログ/デジタル変換器入門", 丸善株式会社, 2007

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Diva, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



超低消費電力断熱的ダイナミック CMOS 論理回路の試作

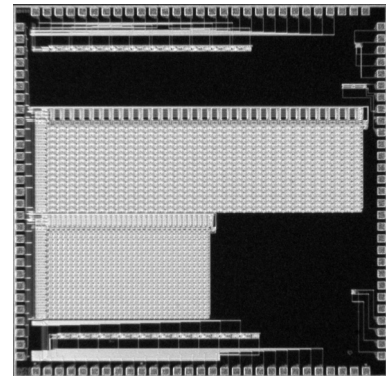
群馬大学大学院工学研究科 白石 洋一, 憑 敏

概要: 我々は、人間の運動状態での詳細な生体情報（脈拍を含む脈波信号等）の取出しと、個人伝達をリアルタイムで行うシステムの開発を行っている。指尖光センサーが感知した情報のうち、信号分離手法により生体情報（脈波信号）のみを取出し、情報の判断結果を音声に変換してリアルタイムで本人に伝達する「携帯型体調把握支援システム」である。本システムの超小型化を図るために、前回試作において電源回路を外付けにした超低消費電力断熱的ダイナミック CMOS 論理回路による TEG 回路を試作した。今回は、コルピッツ発振回路をもとにした正弦波電源生成回路をチップ内蔵として、さらにインバータ回路、アナログスイッチ回路、リングオシレータ回路、オペアンプ回路を試作した。これまでに、今回新たにチップに内蔵した正弦波電源生成回路の正常動作を確認した。今後は、この電源回路を各試作回路に接続して、実際の消費電力削減効果を定量的に評価する予定である。

参考文献: [1] 憑, 白石, ” 超低消費電力断熱的ダイナミック CMOS 論理回路の試作”, p. 127, 2009年 VDEC 年報 (2009)

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Tanner 社 L-Edit, Tanner 社 L-Edit, Tanner 社 L-Edit, トランジスタ

数: 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** TEG (特性評価回路など)



平成21年度第1回オンセミコンダクター CMOS 1.2 μ m 試作 (MOT091)

CVSL基本論理回路群, CMOS基本論理回路群及びSEE検出回路などの設計試作

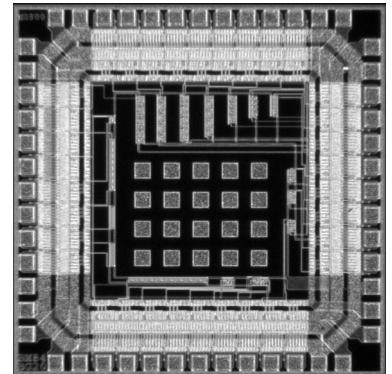
静岡理科大学電気電子工学科 波多野 裕

電気電子情報工学科 鈴木 淳史

概要：20年度第2回試作チップまでの実測結果を踏まえて、カスケード電圧スイッチ論理 (CVSL) 回路の基本回路群, CMOS基本回路群, 検出回路などを2チップに分けて設計した。設計した回路はスタティック形CVSL EXOR回路, スタティック形CVSL半加算回路, スタティック形CVSL EXORチェーン回路, スタティック形CVSL NANDチェーン回路, スタティック形CVSL NORチェーン回路, クロック形CVSL EXORチェーン回路, クロック形CVSL NANDチェーン回路, クロック形CVSL NORチェーン回路, CMOS EXORチェーン回路, CMOS NANDチェーン回路, CMOS NORチェーン回路, 複合CMOS EXOR回路, 複合CMOS EXORチェーン回路, 4種類のSEE検出用SR-FF回路, クロック形CVSL半加算器, クロック形CVSL全加算器, CMOS順序回路などである。1月28日に入荷したチップを直ちに実測して全ての回路の機能動作の確認に成功した。

参考文献：[1] H. Hatano, "Single event effects on static and clocked cascade voltage switch logic circuits", IEEE Trans. Nuclear Science, vol. 56, no. 4, pp. 1987-1991, 2009.

設計期間：1人月以上, 2人月未満 設計ツール：Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG (特性評価回路など)



CVSL基本論理回路群, CMOS基本論理回路群及びSEE検出回路などの設計試作

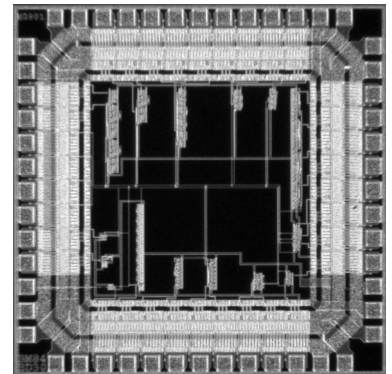
静岡理科大学電気電子工学科 波多野 裕

電気電子情報工学科 藤田 大貴, 馬淵 英憲, 加藤 喬斐徒, 鈴木 淳史

概要：20年度第2回試作チップまでの実測結果を踏まえて、カスケード電圧スイッチ論理 (CVSL) 回路の基本回路群, CMOS基本回路群, 検出回路などを2チップに分けて設計した。設計した回路はスタティック形CVSL EXOR回路, スタティック形CVSL半加算回路, スタティック形CVSL EXORチェーン回路, スタティック形CVSL NANDチェーン回路, スタティック形CVSL NORチェーン回路, クロック形CVSL EXORチェーン回路, クロック形CVSL NANDチェーン回路, クロック形CVSL NORチェーン回路, CMOS EXORチェーン回路, CMOS NANDチェーン回路, CMOS NORチェーン回路, 複合CMOS EXOR回路, 複合CMOS EXORチェーン回路, 4種類のSEE検出用SR-FF回路, クロック形CVSL半加算器, クロック形CVSL全加算器, CMOS順序回路などである。1月28日に入荷したチップを直ちに実測して全ての回路の機能動作の確認に成功した。

参考文献：[1] H. Hatano, "A single event effect analysis on C2VSL circuits with gated feedback", European Conference on Radiation Effects on Components and Systems, 2010.

設計期間：1人月以上, 2人月未満 設計ツール：Mychip Station, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, トランジスタ数：1,000以上, 10,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：TEG (特性評価回路など)

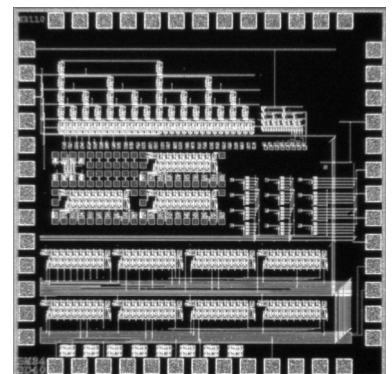


Λ 形負性抵抗素子を用いた多値メモリの試作

日本大学理工学部 佐々木 芳樹, 佐伯 勝敏, 関根 好文

概要：本チップは、多値SRAM, 多安定回路, 汎用素子評価用TEGの3種類からなる。多値SRAMは、 Λ 形負性抵抗素子を並列接続した構成を基本ドライバ部として用い、基本ドライバ部を動作させるためのバイアス部, 及び安定生成のための負荷電流源を接続し多安定回路を構築し、多安定回路に対しN型MOSFETをスイッチとして接続することでSRAMとしての動作を行わせる。スイッチの開閉はセレクトタにより選択的に行われ、選択されたN型MOSFETに接続されたデータラインにより読み書きを行う。このSRAMとセレクトタの2つにより多値論理SRAMとしての動作を検証する。多安定回路はセレクトタを用いずに構成された単体のSRAM回路であり、プローバーにより測定を行う。本回路はN型MOSFETスイッチを介さずに電圧をノードに与えることが出来るよう設計されており、直接電圧を与えることで多値SRAMの静特性の評価を行うことが出来る。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：メモリ

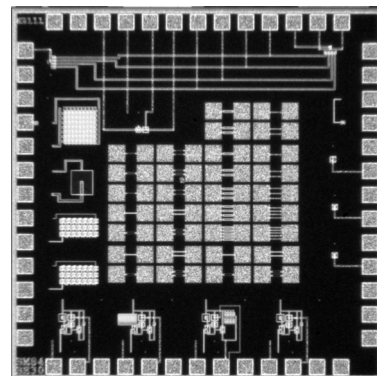


アナログ汎用素子評価用 TEG とニューロンモデルの試作

日本大学理工学部 佐々木 芳樹, 佐伯 勝敏, 関根 好文

概要: 本チップは、シート抵抗評価用 TEG, 配線容量評価用 TEG, ダイオード評価用 TEG などの汎用素子評価用 TEG, 及び浮遊ゲート MOSFET 評価用 TEG, 細胞体モデル評価用 TEG あわせて計 5 種類の TEG により構成されている。汎用素子評価用 TEG は、LSI を設計する際に考慮する必要がある寄生素子の影響を評価するための TEG であり、1 つの汎用素子に対して単体パターン, 及び並列接続パターンを用意した。また、各パターンも 3 つずつ用意し、素子ばらつきに対しても検討を行うことが出来る。ダイオードを除いて全てプローバーにより測定を行う。浮遊ゲート MOSFET 評価用 TEG と細胞体モデル評価用 TEG は、ニューラルネットワークを構築する際多く用いられる多入力可能な MOS である浮遊ゲート MOSFET の静特性の測定、及び生体の発火現象によく似た波形を再現することが出来るパルス形ハードウェアニューロンモデルの動作評価を行う。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** TEG (特性評価回路など)

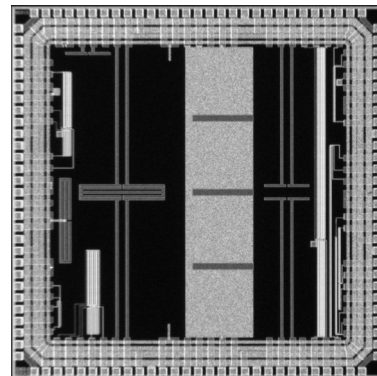


電圧制御発振器のための基本回路の試作

秋田大学工学資源学部 萱野 良樹, 小林 吾生, 柳澤 良介, 井上 浩

概要: 移動体通信や衛星通信などの無線通信を構成するシステムの小型化・高性能化の要求に伴い、IC チップ内に広帯域周波数発振の可能な電圧制御発振器 (VCO) の実現は、信号完全性、電磁干渉妨害などいわゆる EMC 診断および UWB 通信への応用に非常に有用である。本試作では、電圧制御発振器の高周波・広帯域動作実現のための基本回路を試作し、回路構成の違いによる発振周波数の比較を行った。試作した IC は VCO 全体を構成するテスト回路と個別ブロックに含まれる基本回路、MOS, 抵抗、容量の特性評価回路で構成した。また、回路を構成する MOS の特性の発振動作周波数への影響を測定した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Cadence 社 Diva, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm 角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



演算増幅器設計試作を通じた LSI 設計教育と FG-MOS を用いた高機能 LSI

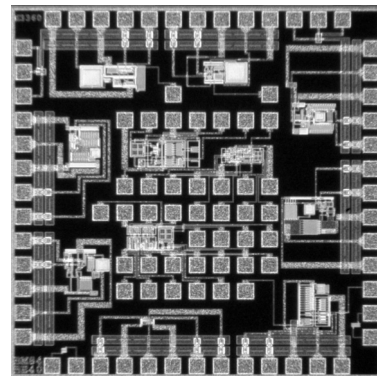
佐賀大学大学院工学系研究科 清水 暁生, 野邊 勇樹, 西 晃司

佐賀大学理工学部 安元 周平, 山下 裕人, 沖田 光聡, 和田 侑也, 深井 澄夫

有明工業高等専門学校電子情報工学科 野口 卓朗, 雪田 雅史, 石川 洋平

概要: 本試作では、①演算増幅器設計試作を通じた LSI 設計教育と②FG-MOS を用いた高機能 LSI の実現を目的としている。①アナログ集積回路の基本ブロックである演算増幅器の設計を行い、総合的な LSI 設計技術及び検証技術を習得することを目的としている。今回は教育的効果を配慮し、基本的な 2 段構成の演算増幅器を設計した。また、演算増幅器設計コンテスト (東京工業大学 アナログ回路グループ主催) の「試作の部」への参加を視野に入れて、演算増幅器設計コンテスト用のピン配置に合わせて設計を行った。②アナログ回路の重要な要素回路の一つであるカレントミラー回路の設計を行った。本回路は FG-MOS とトランスインピーダンスアンプによる負帰還回路を用いることで、カスコードカレントミラー回路よりも高精度で広出力電圧範囲のカレントミラー回路を実現している。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ

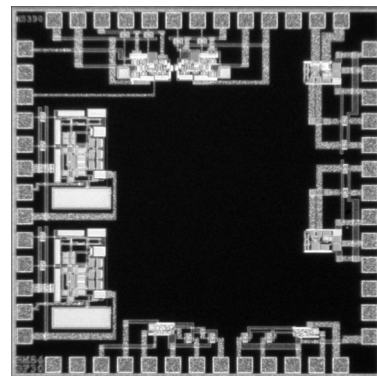


演算増幅器設計コンテスト応募に向けた試作

豊橋技術科学大学情報工学専攻 瀬川 健太郎
豊橋技術科学大学情報工学課程 石岡 和也, 松岡 那樹
豊橋技術科学大学情報工学系 和田 和千

概要：本研究室学生3名が、演算増幅器設計コンテスト (<http://www.ec.ss.titech.ac.jp/opamp>)に参加するため、各自が設計した演算増幅器を試作したものである。利得帯域幅積や同相除去比に着目し、その特性に特化した演算増幅器を設計するため、論理計算を行い、シミュレーションによる動作検証を行った。またレイアウト能力を養うことも目的としている。回路構成は、差動増幅器とソース接地増幅回路の2段の構成を基本に、差動利得を増加させるため、差動対に流す電流をできるだけ大きく設計したり、利得帯域幅を広くする工夫を行った。また、2度目の演算増幅器試作となる学生は、前年度の測定結果から試作した演算増幅器の不具合を検証し、今年度の回路試作に取り組んでいる。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



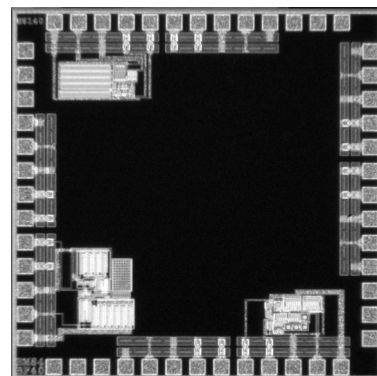
演算増幅器の試作

東京工業大学理工学研究科 高木 茂孝
東京工業大学グローバルエッジ研究院 ニコテムス レディアン

概要：本試作は、アナログ集積回路設計の初学者が回路を設計し、自ら設計した回路をレイアウトし、さらに実験などにより評価することにより、アナログ集積回路設計の基礎力を確立することを目的としている。また、設計課題として与えた回路は、平成22年演算増幅器設計コンテストの試作の部 [1] に応募するための演算増幅器である。本試作には、合計3個の演算増幅器が同一チップ上に集積化されている。コンテスト用であるため、電源電圧はいずれも5.0Vとなっている。また、アナログ集積回路を学び始めたばかりの修士1年生と学部4年生が設計を行っているため、いずれの演算増幅器も差動増幅回路とソース接地増幅回路の組み合わせという基本の構成になっており、MOSトランジスタのサイズのみが異なる。

参考文献：[1] 演算増幅器設計コンテスト <http://www.ec.ss.titech.ac.jp>

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

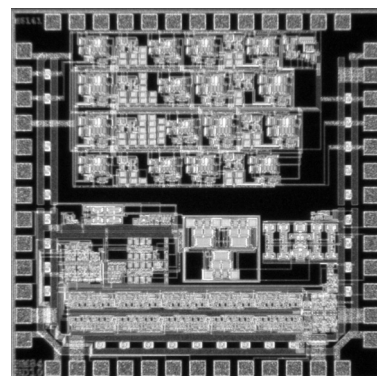


FM放送受信機構成のための要素回路の試作

東京工業大学理工学研究科 高木 茂孝
東京工業大学グローバルエッジ研究院 ニコテムス レディアン

概要：FM放送用受信機を構成するために必要となるFM復調回路と平衡型帯域通過フィルタを試作している。いずれも電源電圧は3.0Vであり、FM復調回路としてPLLを用いている。PLLはチャージポンプ、リングオシレータ、分周回路から構成されており、75MHzから90MHzの周波数にロックし、100kHz刻みでロックする周波数を変えることができるように設計されている。また、平衡型帯域通過フィルタはOperational Transconductance Amplifier (OTA) と呼ばれる伝達コンダクタンスが可変の電圧制御電圧源を用いた2次帯域通過フィルタを4個縦続接続して実現している。中心周波数を1MHz、帯域幅をとっている。OTAには、伝達コンダクタンスを可変にしても、バイアスが変化しない工夫を行っている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, トランジスタ数：100以上, 1,000未満 試作ラン：オンセミ CMOS 1.2 μ m 2.3mm角 チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

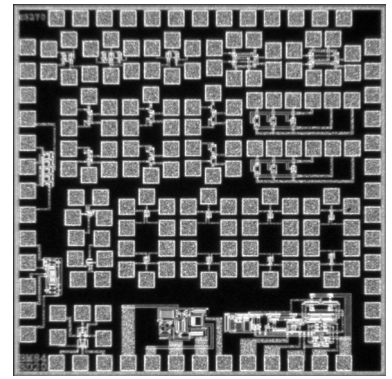


study of MOSFET

明治大学工学部 高窪 かをり

概要: 主に弱反転領域のMOSFETに関する研究を行うため、少ないトランジスタ数の回路が多い。試作した回路は次のようなものがある。MOSFETアレイ・ソース接地回路 (n型・p型)・ソースフォロワ回路 (n型・p型) 弱反転領域で動作するオペアンプ・レイル・トゥー・レイル入出力オペアンプ・減算回路 (n型・p型) 低リークMOSFETスイッチ・低リークMOSFETスイッチを用いたサンプルアンドホールド回路・通常の単体nMOSスイッチを用いたサンプルアンドホールド回路・低リークMOSFETスイッチを用いたスイッチトキャパシタ回路・通常の単体nMOSスイッチを用いたスイッチトキャパシタ回路・低リークMOSFETスイッチを用いたクロックブースタ回路・通常の単体nMOSスイッチを用いたクロックブースタ回路・電圧検出器のコア回路・電圧検出器・弱反転領域で動作するカレントミラー回路 (n型・p型) 弱反転動作のMOSFETによる2段積み構成の微小電源電圧駆動PTAT電圧発生回路 (n型・p型) 弱反転動作のMOSFETによる2段積み構成の微小電源電圧駆動PTAT電圧発生回路 (n型・p型) を5段縦積みにした回路

設計期間: 0.1 人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 10未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** マイクロプロセッサ



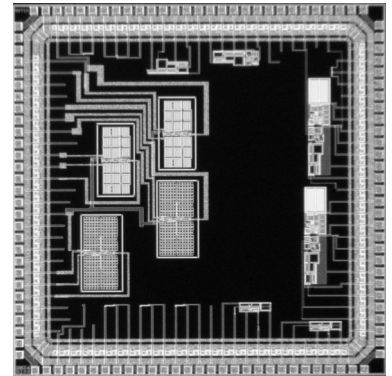
無線センサネットワーク端末の電源制御回路

財団法人 福岡県産業・科学技術振興財団 黄章財

早稲田大学情報生産システム研究科 井上 靖秋

概要: 無線センサネットワーク端末としては、建造物や橋梁の安全度診断への応用が現在日本で注目されている。従来のセンサネットワーク端末は、消費電力が大きいため、電池の使用寿命が数日しかもたないという問題があり、この問題を解決するのがセンサネットワーク端末の大きな課題になっている。本チップは、タイマーによる定期的な診断に加えて、何らかのイベントを生じたときに端末の電源を即時ONにして、つまり端末を必要な時にタイマーに間欠動作させて、消費電力を大幅に低減させる。さらに、本チップは実測して、基本的な動作が確認される。また、超低消費電力を実現する。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** オンセミ CMOS 1.2 μ m 4.8mm角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



人体モニタリングシステム用アナログIC

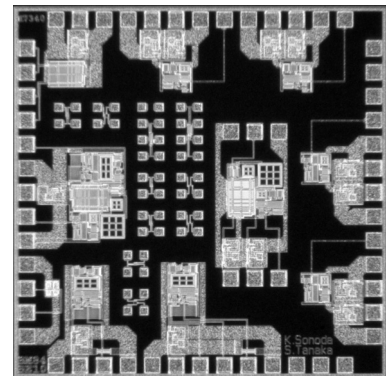
兵庫県立大学工学部 田中 伸哉

兵庫県立大学大学院工学研究科 園田 晃司, 藤田 孝之, 前中 一介

概要: スイッチトキャパシタフィルタの構成要素であるオペアンプ、オシレータ、ノンオーバーラッピングクロック発生回路、スイッチトキャパシタアンプを設計した。本研究室では生体モニタリングシステムに関する研究をしており、人間の脈拍を検出し、増幅するためには数 Hz のカットオフ周波数をもったフィルタ回路が必要となる。フィルタ回路として RC を用いた場合、数 Hz のカットオフ周波数を得るためには RC の占有面積が非常に大きくなるため、スイッチトキャパシタフィルタを設計した。スイッチトキャパシタフィルタの構成要素であるオペアンプ、オシレータ、ノンオーバーラッピングクロック発生回路、スイッチトキャパシタアンプの設計・評価はできたがスイッチトキャパシタフィルタは完成には至らなかった。今後、このチップを十分評価し生体モニタリングシステムに必要な仕様のスイッチトキャパシタフィルタなどの回路を製作する。

参考文献: 黒田 忠広, "アナログ CMOS 集積回路の設計 応用編", 丸善株式会社, 2003

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Virtuoso, Cadence社 Diva, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm角 **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



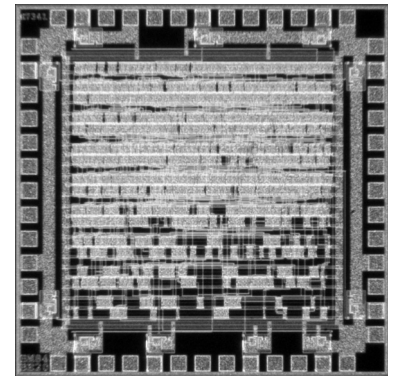
Digital filterの開発方式の確立

兵庫県立大学工学研究科 齊藤 光俊, 藤田 孝之, 前中 一介

概要: $\Delta\Sigma$ 変調器が出力する PDM 信号を, 二進荷重デジタル信号に変換するために FIR (Finite Impulse Response) filter を開発した. Digital filter の開発は今回が初であるため, ツールの操作習得等, 開発方式の確立が主目的である. そのため, 本ランに先立ち FPGA で開発し, 動作検証を行っている. FPGA とは architecture が異なるため, 検証の役割を担えるとは考えていないが, 相異点を検討することにより, なんらかの役割を見出せる可能性は残されている. FIR filter の仕様は, カットオフ周波数は 1KHz (タップ数は 101), サンプリング周波数は 200KHz, 分解能は 10bit である. しかし, P&R を行った結果, 2.3mm 角のチップサイズを大幅に超えていたため (約 4 倍の大きさ), タップ数を 45 まで削減し, 2.3mm 角になんとか収まるように作成した. そのため, filter としての機能は期待できない.

参考文献: 岩田利王, "実践デジタル・フィルタ設計入門", CQ 出版, 2004

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Diva, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** オンセミ CMOS 1.2 μ m 2.3mm 角 **チップ種別:** アナログ/デジタル信号処理プロセッサ



平成21年度第1回ローム CMOS 0.18 μ m 試作 (RO18091)

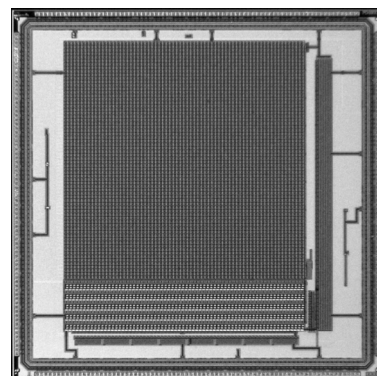
ブロックマッチング方式 CMOS オプティカルフローセンサー

東京大学工学系研究科 小森 健正, 柴田 直

概要: 本研究では、ブロックマッチング法を用いた高速オプティカルフロー推定を行うアナログ回路の開発を行った。この回路では、高速演算、高拡張性を実現するための工夫を加えた。高速演算については、ブロックマッチングの計算の際のマクロブロックの類似度となる SAD (Sum of Absolute Difference) の計算を、同一命令を複数データに対して適用する SIMD 演算によってピクセル並列で行い、演算の並列度を向上させることで実現した。高拡張性を実現するために、SAD 演算を隣接ピクセル間データのみを利用による方法を考案し、配線構造を非常に簡単なものとした。更に SAD 演算回路を同一回路セルを並べた構造とすることで、回路セルの行数を増やすだけで、演算並列度や演算可能なマクロブロックのサイズを向上させることが可能である。回路シミュレーションによって、毎秒約 1300 フレームのフレームレートで正しく動作することが確認できた。このチップは昨年度試作したチップの不具合を修正したものであり、実際に動作することが既に確認されている。

参考文献: [1] Yudai Fukuoka and Tadashi Shibata, "Block-Matching-Based CMOS Optical Flow Sensor Using Only-Nearest-Neighbor Computation," Proceedings of IEEE ISCAS 2009, Taipei, May 24-27, 2009

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



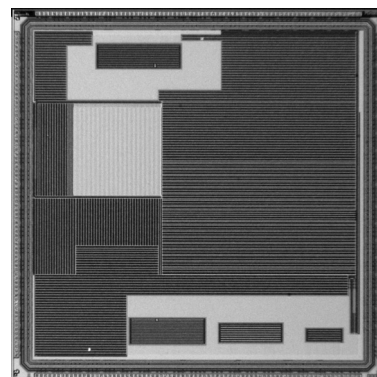
A Digital-Pixel-Sensor-Based Global Feature Extraction Processor

東京大学工学系研究科 朱 弘博, 柴田 直

概要: デモシステムの構築ため、以前設計した実時間画像認識システムのための全体特徴抽出 VLSI を再度試作した。この試作では、イメージセンサと画像処理回路を同じチップの上に集積することにより、特徴抽出の遅延を著しく減少できた。Digital-pixel-sensor はデジタル処理回路との整合性が良いため、今回の設計ではイメージセンサ部に採用した。イメージセンサと局所特徴抽出回路の間に効率的なブロックリードアウトアーキテクチャを採用することによって、局所特徴抽出を行並列で処理することを可能にした。局所特徴量中の重要な情報のみを残すために、Rank-Order Filter アルゴリズムに基づいて、全体特徴抽出回路を設計した。この全体特徴抽出回路により、外部より指定した上位パーセント数以上の強いエッジだけを残す処理を、11 サイクルで実現できる。測定結果より、このチップは 60MHz の測定環境で全ての機能を安定動作することが確認できた。光蓄積時間が長い場合、毎秒 60 フレームしか輝度値を出力できないが、エッジ処理は約 0.2ms で行うことができる。このスピードは 2GHz の汎用プロセッサで走るソフトと比較して 400 倍高速である。

参考文献: Hongbo Zhu and Tadashi Shibata, "A Digital-Pixel-Sensor-Based Global Feature Extraction VLSI for Real-Time Object Recognition," Japanese Journal of Applied Physics. vol. 48 no. 4, pp. 04C080-1-7, 2009.

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



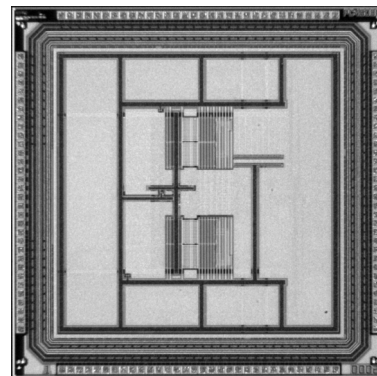
二分木階層マルチチップ K-means アーキテクチャ機能確認用試作チップ

東京大学工学系研究科 馬 奕涛, 柴田 直

概要: K-means クラスタリング手法は探索的なデータ分析に非常に有効であるため、意思決定や、画像セグメンテーション、物体認識などのたくさんの応用領域で活躍している。本試作では視覚学習処理を目標として、XGA 規格画像から抽出された数万のベクトルデータに対する実時間 K-means 応答を実現するためのマルチチップ K-means アーキテクチャを提案し、機能確認のためのテストチップを作成した。チップ間データ伝送遅延を吸収するため、プロセッサ内では 2 種類のクロック信号で駆動する方式とした。マルチチップシステムは二分木階層構造を導入し、簡単な外部制御により自由に規模を調整できる。本チップは、ベクトル格納用の SRAM バンク、サンプルベクトルの所属グループを記録する GroupID レジスタやサンプルベクトル選択的に通過させるマスクなどを含む制御回路、重心ベクトルを計算するための CSA と DIVIDER、演算タイミング調整用遅延回路 DELAY、そしてサンプルベクトルと重心ベクトルの距離演算を行う PE の 5 つのモジュールから構成されている。

参考文献: [1] Yitao Ma and Tadashi Shibata, "A Binary-Tree Hierarchical Multi-Chip Architecture for Real-Time Large-Scale Learning Processor Systems," the 2009 International Conference on Solid State Devices and Materials (SSDM2009), Sendai, Japan, October, 2009, P-5-3, pp454-455

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

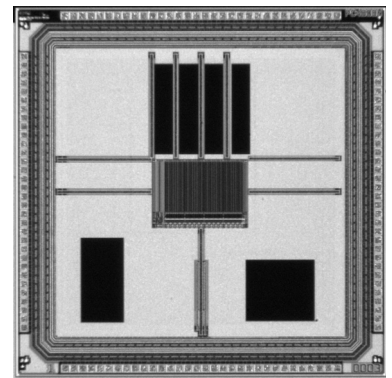


SRAM回路の基礎検討チップ

東京大学工学系研究科 申丞鎬, 柴田直

概要: 実時間の画像処理には多次元ベクトルの実時間処理が要求される。多次元ベクトルを高速で処理するためには画像処理専用VLSIの開発が必要であり、かつこの専用VLSIの中には高速なベクトルメモリが不可欠である。本設計ではProjected Principal-Edge Distribution (PPED) 法やAveraged Principal-Edge Distribution (APED) 法などの画像特徴抽出法やエッジヒストグラムマッチング法による動き場生成で導出する多次元特徴ベクトルデータに対応できるSRAMのテストチップを実装した。今回試作した回路はローム社により提供されたスタンダードSRAM回路と書き込み/読み出しのタイミングを制御するタイミング制御回路に構成されている。この回路におけるSRAMの基礎検討を行うことで、今後の研究におけるスタンダードSRAM使用について検討することができる。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ



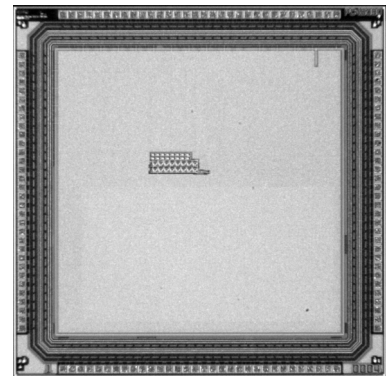
CMOS共鳴特性回路を用いた画像特徴抽出アナログ集積回路

東京大学工学系研究科 吉井一馬, プラバートウィーラワルダナ, 柴田直

概要: 本チップは共鳴特性を持つCMOSバンプ回路を用いて画像の特徴抽出を行うことの出来るアナログVLSIである。システムの前段では、サブスレッショルド領域で動作するバンプ回路を用いてエッジフィルタ処理結果を電流値として出力する。そして、その結果を閾値と比較することによりエッジを生成する。回路の精度を上げるためにバンプ回路の製造ばらつきに対しロバストになるような工夫を加えてある。また、画像の特徴抽出において重要なパラメタである閾値を自動生成する回路を搭載した。実際このチップは過去に一度設計したものであるが、入出力回路に問題があったために動作を確認できなかった。今回のチップは入出力バッファに修正を加えたものである。

参考文献: Kazuma Yoshii and Tadashi Shibata, "A Nano-Functional-Device-Based Image Feature Extraction Circuitry With Current-Balancing Feedback," the 10th International Conference on Ultimate Integration of Silicon

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

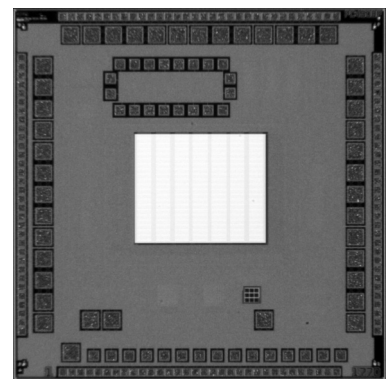


SFQ/CMOSハイブリッドメモリ用64kbメモリ

横浜国立大学工学部 岡本悠史, 陳賢珠, 矢口謙太, 吉川信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップではこれまでのメモリに対して、多ビットのアドレスをジョセフソンチップ側から選択できるように、パッドの配置を変更した。また、Josephson/CMOSハイブリッドアンプ用のセルフバイアス回路も試作した。この回路は前回とは構成を変え、極低温化でも動作するように、抵抗部分に拡散層のゲートレイヤを用いた。メモリ部分については測定により正常動作を確認した。またセルフバイアス回路も、特定条件下において正常動作を確認し有用性を示した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ



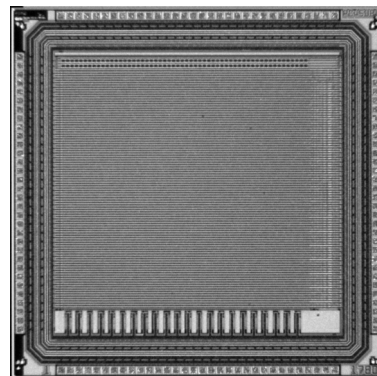
高信頼性を実現するタイムドメイン連想メモリ

広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen,
小出 哲士

広島大学大学院先端物質科学研究科 Tania Ansari, 今福 渉, 川畑 明雄
広島大学工学部第二類 安田 雅浩

概要：我々の研究室では、パターン認識を実現するIPコアとして全並列型デジタル・アナログ混載連想メモリの研究を行ってきた。しかしながら、近年のトランジスタの微細化に伴い、素子ばらつきが顕著になるといった問題や、電源電圧低下によるアナログダイナミックレンジの減少によって、デジタル・アナログ混載の検索信頼性が低下する問題がこれまでの試作で分かってきた。そこで、距離をアナログ信号で表現するこれまでの連想メモリに対して、距離を時間領域に変換し最類似検索を行う連想メモリの開発を行っている。これにより、アナログ回路を用いた連想メモリでは難しかった低電圧動作も可能となっている。本試作では、信頼性評価のためのテストチップという位置づけで設計を行った。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ

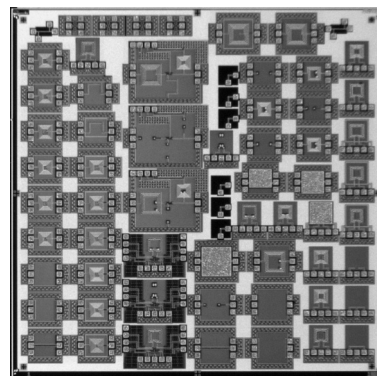


Above CMOS インダクタ技術のための VCO・LNA の試作

東北大学工学研究科 大宮 豊, 小谷 光司, 伊藤 隆司

概要：ダイシングされたチップごとにプロセスを加えてインダクタを形成し、チップ製造後にインダクタンスを調整することでRF回路の特性を所望の値に近づける Above CMOS インダクタ技術を検証することを目的とした。本チップでは Above CMOS インダクタ技術によってインダクタンスが変化することを確認するためのスパイラルインダクタ TEG を試作した。また、回路特性の調整を行う RF 回路として VCO と LNA を試作した。VCO は一般的な 2.4 GHz 帯の LC-VCO であり、LNA も動作周波数を 2.4 GHz 帯とした。チップ製造後にプロセスを追加することによって、インダクタ TEG のインダクタンスを変化させることができた。また、VCO と LNA に Above CMOS インダクタ技術を適用して VCO の発振周波数や LNA のマッチング特性をチップ製造後に調整できることを確認した。

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10以上，100未満 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：通信（RF回路，ATMなど）

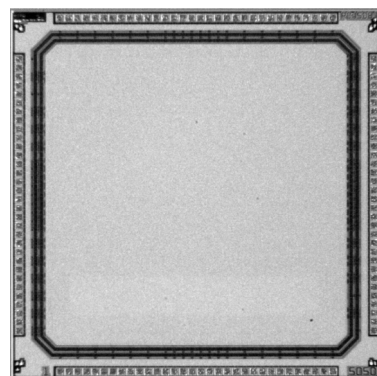


アニマルウォッチセンサ向け高速起動発振回路用 TEG

東京大学工学系研究科 精密機械工学専攻 中村 公亮, 増田 誉, 須賀 唯知

概要：安心・安全な社会実現のために、近年、家畜の健康管理や病態変化のモニタリングシステムの必要性が高まっている。特に鶏等の小動物に取り付ける無線センサは、小型軽量でかつ電池交換が不要であることが必要である。間欠動作を繰り返す無線センサにおいて、水晶発振回路の数ミリ秒の起動時間は、電池寿命を低下させる原因の1つである。この水晶発振回路の発振成長過程における無駄時間を削減する高速起動水晶発振回路を考案した。本方式は、起動時の水晶振動子の変位振幅を大きくすることで、起動時間を短縮する。本試作では、原理検証のための発振回路、制御回路の試作を行った。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：10未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）



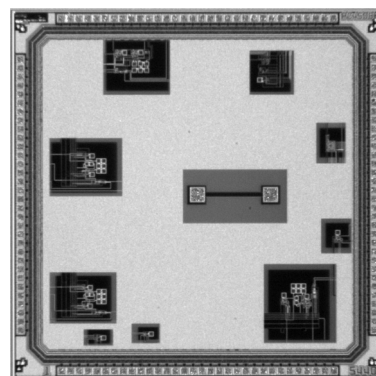
宇宙線観測用信号処理 LSI の TEG

茨城大学工学部 木村 孝之

東京大学宇宙線研究所 佐々木 真人, 増田 正孝

概要: 宇宙線が飛来した時に生じるチェレンコフ光や大気蛍光による信号と夜光等のノイズを高速で弁別できる信号処理 LSI の TEG を設計した。本試作では信号処理を行うアナログ回路 (3 種類), OP アンプ TEG (4 種類), 制御用デジタル回路 (1 種類) を設計した。信号処理用のアナログ回路は IV 変換回路, 時定数調整用フィルター回路及び比較回路からなる。制御用デジタル回路はシフトレジスタとデコーダからなり, 外部からのデジタル信号によって 8 チャンネルの閾値基準電圧を選択することができる。本試作では, アナログ回路の応答時間を短くするための回路的な工夫を施した。この結果, 応答時間は約 25ns 短くなり 37ns (入力信号が 1.6×10^7 電子の場合) となった。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

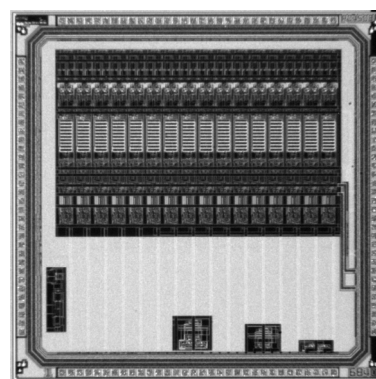


神経信号測定および刺激印加のための回路 (B5)

慶應義塾大学理工学部 岩田 貴之, 山口 昌也, 中野 誠彦

概要: 本回路では微小な神経信号を測定するための低ノイズ増幅回路と入力された刺激信号を最適化して出力する刺激印加回路を設計した。増幅率を選択することができる回路を 16 個並列に搭載することにより, 多点の電位を同時に測定することを可能とした。また, 増幅段を構成するアンプのトランジスタサイズを大きくすることにより, より低ノイズでの増幅を実現した。刺激印加回路では, あらかじめサンプリングした電極の電圧を刺激信号に足して出力することで, 同一電極に対してアーチファクトを抑えながら刺激信号を印加することが可能である。信号記録フェーズと刺激印加フェーズの間にオフセットキャンセルフェーズを作り増幅器のオフセットを低減できるように設計することにより, よりアーチファクトの影響を少なくした。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

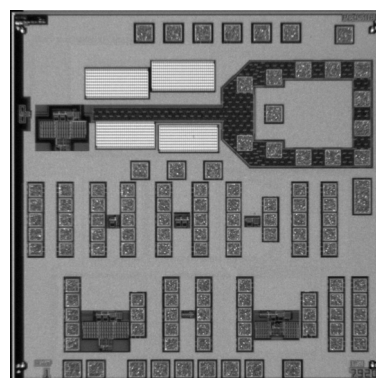


CMOS 集積化アクティブ磁界プローブ

東北大学大学院工学研究科 山口 正洋, 難波 志織, 小館 航

概要: 近年, 電子機器の発展に伴い, 不要電磁放射による EMC 問題が顕在化している。その対策として, LSI の近傍磁界を測定し, ノイズ源や伝播経路を特定する必要がある。そこで我々の研究室では高周波・高空間分解能の集積化マイクロ磁界プローブの開発を行っている。本試作では, 磁界検出コイルを小形化し, その近傍に差動増幅器, 差動シングルエンド変換バッファを搭載することで分解能の向上を目指した。チップと実装用プリント基板との実装には, 電磁ノイズへの耐性強化, 不要ループ削減のためにワイヤボンディングではなくフリップチップ実装を想定して信号取り出し用パッドを設計した。また, 磁界プローブに用いる増幅回路の動作確認を行うため, 個々の回路素子を設計した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** その他



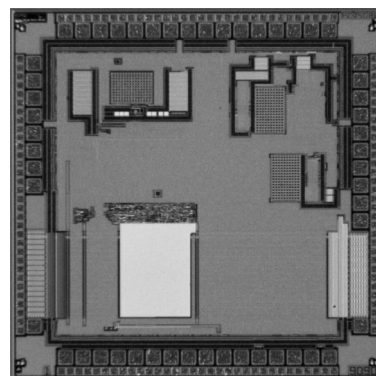
口腔内モニタリングのためのワイヤレスバイオセンサ

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

広島大学先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要: 口腔内の温度と血糖値を連続的にモニタリングするためのワイヤレスチップを試作した。本チップはp-n接合による温度センサと酵素を併用した電位測定による血糖値センサを有し、計測用オペアンプ、10bitのADコンバータ、120kbitのSRAMと10MHzのキャリアによるシリアル無線通信により、計測を行う。チップは歯科用樹脂に封止され、硬口蓋に留置して使用されるため、実装の体積に制約があり、電源の容量が限られるため、低消費電力化を優先した設計を行った。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ



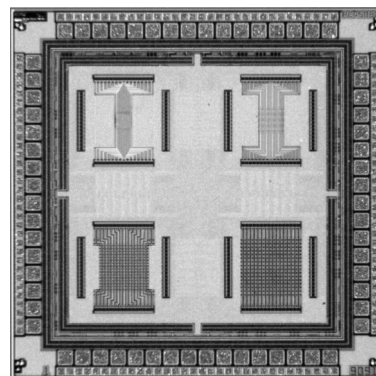
オンチップ免疫反応検出のため磁気ビーズ駆動

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 金子 文恵

広島大学ナノデバイス・バイオ融合科学研究所 上口 光

概要: チップ上だけで完結する疾病や有害物質の検出を目指して、免疫反応を検出するチップの試作を行った。実際の手法としては、フェライトの芯がポリスチレンで覆われた構造を持つ直径3ミクロン程度の磁気微粒子を水溶液に分散し、チップ上に直接滴下、チップ上の電流でこれを動かすことができるか否かを通じて、チップ表面への付着力、ひいては免疫反応の有無を検出する。本試作では、最上部二層の配線層を用いて、互いに直行する並行パターンを形成、流れる電流を制御することで、チップ上での磁気微粒子の駆動を試み、チップ上で水中の磁気微粒子を動かすことに成功した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** MEMS



平成21年度第2回ローム CMOS 0.18 μ m 試作 (RO18092)

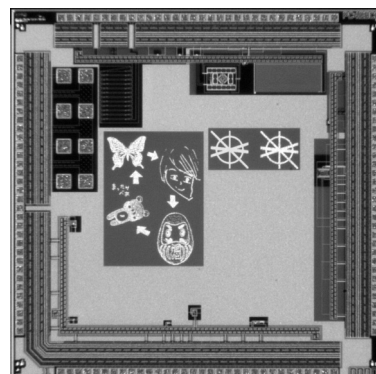
擬似的に不規則な画素配置を持つ CMOS イメージセンサ

金沢大学工学部 秋田 純一

概要：通常の CMOS イメージセンサは、格子状に配置された画素をもつが、特に傾きが水平に近い斜め線では、いわゆるジャギーが生じ、またそのジャギーの現れ方が斜め線の傾きによって異なるため、画像の精彩さを損なう要因となる。本試作チップでは、我々が提案している、画素配置を擬似的に不規則とすることでジャギーの影響を低減する手法に基づき、擬似的に不規則な画素配置をもつ、128 \times 64画素の CMOS イメージセンサと、比較対象として128 \times 64画素の通常の正方格子状画素配置を持つ CMOS イメージセンサを 3Tr 型 APS の同一画素回路を用いて試作した。フォトダイオード構造の検討不足のために、十分な光感度を得ることはできなかったが、画像の取得、及び基本的なジャギー低減効果を確認することができた。

参考文献：秋田純一・前田唯，擬似的な不規則画素配置を持つ CMOS イメージセンサの試作と基礎的評価，映像情報メディア学会誌，Vol. 64, No. 3, pp. 413-415, 2010. 3.

設計期間：0.1 人月以上，0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**10,000 以上，100,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**イメージセンサ/スマートセンサ



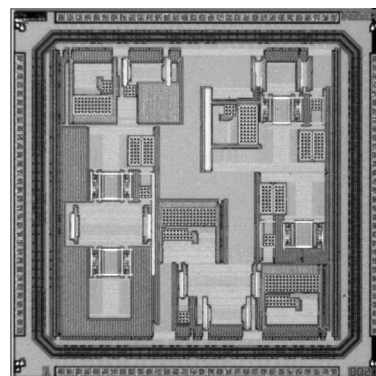
時間差増幅器を用いたニモード時間差デジタル変換器

東京大学工学系研究科 萬代 新悟

概要：現在 CMOS の微細化に伴う電源電圧の低下により、電圧方向の解像度を保つことが非常に困難になってきている。そこで、様々な時間差デジタル変換器 (TDC) が提案されている。TDC はインバータチェーンと D-FF からなり、スタート信号がどこまで伝搬したかによって時間差を求める。回路の高速化により小さい時間差、位相差をデジタル化することが出来る反面、ディレイ素子以上の分解能をもつことは出来ない。そこでサブゲートディレイを実現する方法として時間差増幅 (TDA) を用いる方法が提案されており、回路規模は小さいながらも高解像度の TDC が実現可能である。本チップでは、TDA と TDC を組み合わせ、さらに増幅率の異なる TDA を二つ用いることにより、ニモードで動作する TDC を実装した。TDC はリングオシレータとカウンターを用いることにより、小面積で広い入力レンジを備えている。このニモードで動作する TDC を用いれば、求められる入力レンジ、時間解像度などから動作モードを選択することが出来る。

参考文献：T. Nakura, S. Mandai, M. Ikeda, and K. Asada, "Time Difference Amplifier using Closed-Loop Gain Control," VLSI Symp., 2009.

設計期間：1 人月以上，2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreXRC, **トランジスタ数：**1,000 以上，10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



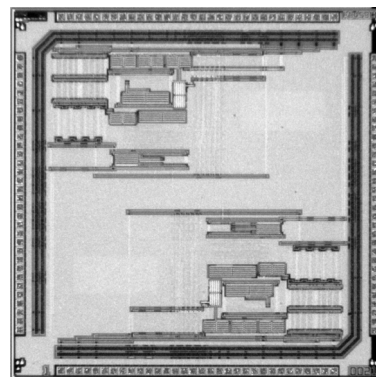
デジタルアクティブ基板ノイズキャンセラー

東京大学工学系研究科 ダン ゴ克蘭

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要：LSI の微細化・集積化の進展にともない、チップの単位面積当たりのトランジスタ数が上昇し、同じチップにデジタル回路とアナログ回路を混載することが可能となってきた。しかし、そのようなチップにはデジタル回路で発生するノイズが共通の基板を通じてアナログパーツに伝搬し、回路の特性を劣化することがある。今回のチップ試作では研究しているデジタルアクティブ基板ノイズキャンセラーを実現した。試作した基板ノイズキャンセラーはノイズと逆位相の電流を基板に注入して、基板ノイズを低減する。この手法はノイズをアクティブ的に低減するのでガードリングより高い周波数で有効であると期待する。また、キャンセラー回路をデジタル制御にすることにより自律的制御に適した回路構成とする。

設計期間：2 人月以上，3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**1,000 以上，10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナデジ混載



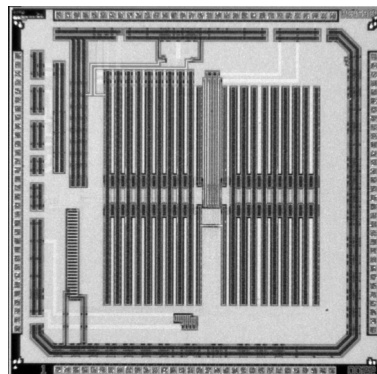
スリープ回路の寄生容量を用いた電源雑音キャンセル回路

東京大学工学系研究科 金 鎮明

東京大学大規模集積システム設計教育研究センター 名倉 徹, 池田 誠, 浅田 邦博

概要: デジタルシステムの消費電力を減らすために幅広く使われているパワーゲーティングやマルチ VDD は実行時に大きいラッシュ電流が発生する。ラッシュ電流はパッケージ/ワイヤーボンディングの寄生インダクタンスとチップ内の寄生容量を共振させ 40–200MHz の周波数帯域を持つ電源共振雑音を引き起こし、回路性能低下する。本研究ではその電源共振雑音を既存の MOS ディキャップの代わりに回路内で休んでいるスリープ回路の寄生容量を用いて電源共振雑音を抑える能動的電源雑音キャンセル手法を提案して、その動作を確認した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



電源ノイズ検出用ピークホールド回路の試作

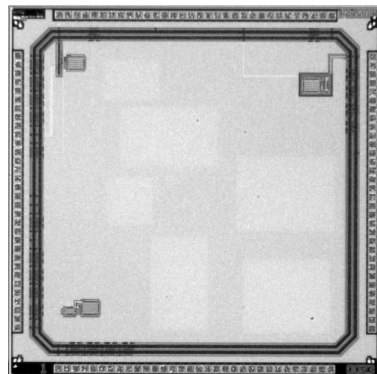
東京大学工学系研究科 玉置 裕基

東京大学大規模集積システム設計教育研究センター (VDEC) 名倉 徹, 池田 誠, 浅田 邦博

概要: 近年, VLSI は微細化に伴うトランジスタ数の増加により電流密度が高くなり電源ラインのノイズがチップ内で局所的に生じるようになってきている。電源ノイズはデジタル回路の遅延やチップの発熱を引き起こし、それによる誤動作が問題となる。チップ内の電源ノイズばらつきを調べるためのモニタ回路として、電源電圧変動の最大値を検出するピークホールド回路を試作設計した。この回路は差動アンプ、電流源、キャパシタによって構成される [参考文献]。入力電圧感度を高くするために左右非対称のアンプを用いたタイプと電源電圧をそのまま入力できるように高耐圧トランジスタを用いたタイプの2つを加えた3つのピークホールド回路を設計した。

参考文献: Hwang-Cherng Chow and Zhi-Hau Hor, "A High Performance Peak Detector Sample and Hold Circuit for Detecting Power Supply Noise," 2008. APCCAS 2008. IEEE Asia Pacific Conference on.

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



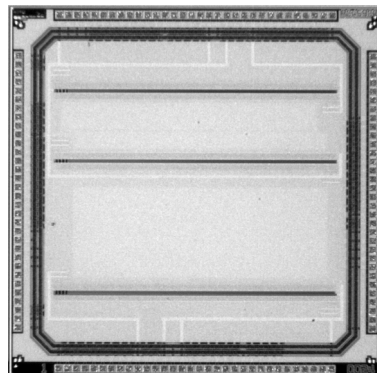
スキューを用いた一次元高精度ポジションセンサー

東京大学工学系 宋 曉旭

概要: 一次元 CMOS ポジションセンサーの高精度の実現を目指しています。ピクセルアレイ PSD (Position Sensitive Detector) の空間解像度はピクセルのピッチにより決定されるので、ピッチを小さければ小さいほど精度は高いことが分かりますが、従って製造工程に許容される最小ピクセルピッチの限界があります。本研究は最小ピッチ (6 μ m) 限定される空間解像度の製約を乗り越えるために新たなスキューを用いたサブピクセルレベルのポジションセンサーを提案しました。つまり一つのピクセル (6x24 μ m) を4四つのピクセル (6x6 μ m) に分けて、一行ずつ1.5 μ m のスキューをしました。一行の320ピクセル、二行でスキューの320x2ピクセルと四行でスキューの320x4ピクセルを2.5mmx2.5mm のチップに載せました。しかし、このチップは内部の配線を繋がないために、動きませんでした。

参考文献: [1] 金江南, 名倉, 池田, 浅田, "Skew Pixel Array of Optical Position Sensor for High Accuracy", 2009

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



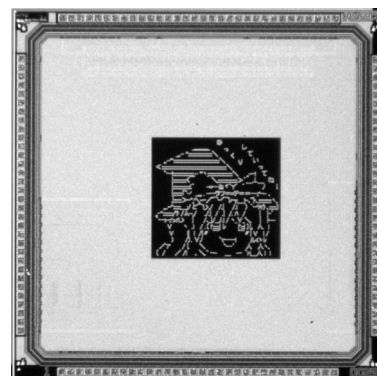
二線式スタティック CMOS を用いた縦列ゲート

東京大学工学部 中里 輝希

東京大学大規模集積システム設計教育研究センター (VDEC) 池田 誠

概要: 集積回路の微細化や高速化が進むにつれ、デジタル回路に関しても設計通りの性能を保証することが困難になり、誤動作による信頼性が低下する問題が生じているが、クロック信号に同期した動作を行わない回路は、遅延変動によって誤動作を起こさないという特徴がある。本研究室で提案されている自己同期回路は終了検出・エラー検出が可能な回路であり、これまでは二線式の DCVSL を用いてこれを実現してきた。しかしながら DCVSL はダイナミック回路であるため一定以上の電源電圧を必要とする。そこで DCVSL と論理的に同等な回路をスタティック回路で構成することを試みた。今回のチップでは二線式スタティック CMOS と DCVSL、そして通常の CMOS による NAND 及び XOR ゲートを縦に 20 段繋げた回路を作り、アドバンテスト社の T2000 を用いて各ゲートの電源電圧-遅延時間の関係を調べた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



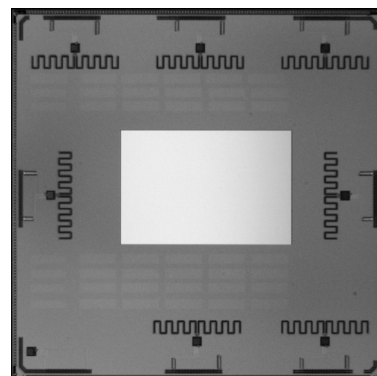
on-chip dipole antenna array for mm-wave pulse transmitter

東京大学工学系研究科 Nguyen Ngoc Mai KHANH

東京大学大規模集積システム設計教育研究センター 佐々木 昌浩, 浅田 邦博

概要: Our planning project is for a fully on-chip pulse beam forming transmitter system with on-chip antenna array. The proposed on-chip pulse generator has no resistor which usually occupies significant chip area and power consumption. This design is not only aimed to digitally adjust timed delays of transmitting pulses but also intended to implement on-chip dipole antenna array for making beam forming for on-chip wide-band antenna array of pulse radar in mm-wave regime. A 11GHz - 15GHz fully integrated pulse generator using 0.18 μ m CMOS process for on-chip array antenna imaging application is designed in this chip. It includes an on-chip wideband meandering dipole antenna, a pulse generator, a timed delay line and a 5-bit digitally programmable timed delay circuit. Dipole antenna is suitable for integrating with pulse transmitter circuit due to its substantial advantages compared with loop or patch antennas. Moreover, the pulse generation circuit requires a specific and well-matching wide-band dipole antenna, not normal dipole one which usually operates under sinusoid signal or narrow bandwidth response. The dipole is constructed with meandering shape and made by using top metal of the Rohm 0.18 μ m CMOS process. The large bandwidth (BW = 25.33 GHz), from 6.6GHz to 31.93GHz, of this integrated meandering dipole antenna is well applicable for pulse generation circuit. The received pulse signal is measured with 404 μ V - 410 μ V (peak - peak). The measured FFT result of this pulse's frequency response is from 11GHz - 15GHz. However, because of the 3mm distance between the horn antenna and the chip and of using 15GHz - 20GHz standard horn antenna for the measurement with 11GHz - 15GHz frequency range, radiation signal in this measurement is loss significantly and the received Vp-p is quite small compared with its simulation result. This result allows us to make a fully integrated CMOS on-chip pulse forming transmitter with on-chip antenna array for indoor and low cost imaging radar application.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 7.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



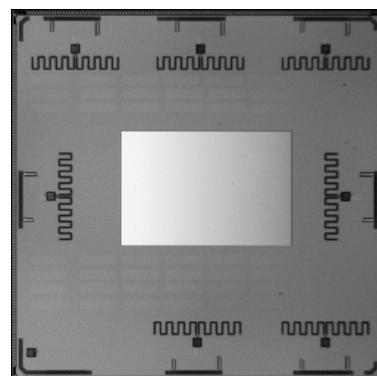
On-chip antenna array in mm-wave regime

東京大学工学系研究科 Nguyen Ngoc Mai KHANH

東京大学大規模集積システム設計教育研究センター 佐々木 昌浩, 浅田 邦博

概要: This chip is designed to implement on-chip dipole antenna array for making beam forming for on-chip wide-band antenna array of pulse radar in mm-wave regime. A 3 on-chip dipole antenna array is added into this chip with separated power lines and clock inputs in order to possibly adjust the output voltage as well as time delay of pulse outputs. An on-chip wide-band dipole antenna array with 6 elements (of 2 chips) is used for steering the beam towards to imaging objects. Moreover, these 6 pulse generators as well as 6 digitally programmable delay circuits are operated with 6 different power supply lines so that pulse amplitudes and pulse time delays can be adjusted for beam formability's requirements. Due to the high dielectric constant and conductivity of Si layers and design layout rules, on-chip antenna element implementation has to be considered carefully on the top metal. Dipole antenna is suitable for integrating with pulse transmitter circuit due to its substantial advantages compared with loop or patch antennas. Moreover, the pulse generation circuit requires a specific and well-matching wide-band dipole antenna, not normal dipole one which usually operates under sinusoid signal or narrow bandwidth response. The dipole is constructed with meandering shape and made by using top metal of the Rohm 0.18 μ m CMOS process. The large bandwidth (BW = 25.33 GHz), from 6.6GHz to 31.93GHz, of this integrated meandering dipole antenna is well applicable for pulse generation circuit. The delay resolution can be 3ps in case of input vector $D [4:0] = 5.15$. This result is suitable for constructing a pulse beam forming antenna array for our imaging radar application which requires at least 6-7ps in case of using 6 antenna elements.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 7.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



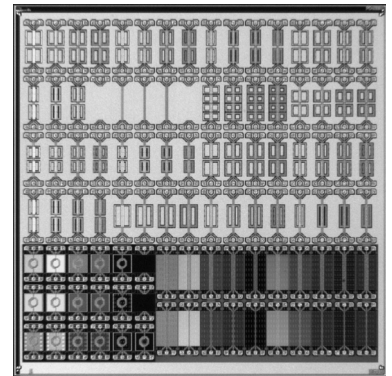
チップ内メタマテリアル特性評価チップ

京都大学情報学研究科 土谷 亮

概要：本チップは、チップ内に Split-Ring Resonator (SRR) によるメタマテリアル (左手系物質) を実現できるかどうかを実証するための特性評価用チップである。マイクロ波の領域で SRR によるメタマテリアルが盛んに議論されている。チップ内ではこれまでにキャパシタンスとインダクタンスを用いた左手系伝送線路は議論されてきたが、SRR によるメタマテリアルについてはあまり議論されていない。本チップでは提案する多層配線を利用した SRR を伝送線路の周辺に配置し、SRR の共振周波数を CMOS ミリ波のターゲットである 30-70GHz 程度まで低くできるかどうかを評価した。SRR の形状、使用層数などを変化させ、その周波数特性をベクトルネットワークアナライザによって 50GHz まで評価し、共振周波数が 30-50GHz まで下がっていることを確認した。設計時には Agilent Momentum によって特性予測を行なったが、実測結果と電磁界解析の結果では共振周波数に誤差があることが分かった。これは電磁界解析では考慮していなかった CMP ダミーフィルによって寄生容量が増えたためだと推察される。電磁界解析モデル化の精度向上については現在検討中である。

参考文献：Tsuchiya, Onodera, "On-Chip Metamaterial Transmission-Line Based on Stacked Split-Ring Resonator for Millimeter-Wave LSIs", Asia-Pacific Microwave Conference 2009 (2009/12)

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**10 未満 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別：**TEG (特性評価回路など)

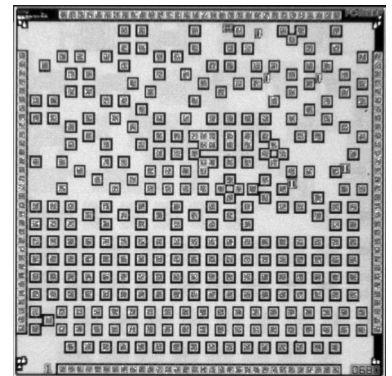


MOSFET の弱反転領域を利用したアナログ回路

中央大学大学院理工学研究科 築山 修治, 市川 章夫, 大藤 雅之, 土井 誠, 森井 允紀

概要：本研究では、MOSFET の弱反転領域を利用した三種類のアナログ回路を試作した。一つ目は、電源端子入力型 CMOS インバータを用いた電圧検出器である。これにより、出力電圧の立ち上がり電圧である動作点電圧およびその動作点電圧の温度依存性の低減が、設計値通り作成できることを確認した。二つ目は、弱反転領域の電流特性が指数関数で変化することを利用した温度センサである。これにより、温度に比例する PTAT (Proportional To Absolute Temperature) 電圧を、線形的に感度良く生成できることを検証した。三つ目は、温度上昇によるリーク電流の増加を、温度に比例する PTAT 電圧を利用することにより削減するスイッチである。これにより、従来のリーク電流削減回路との比較を行った。残りの面積には、弱反転領域で動作する様々な形状比の MOSFET を試作し、新たに導出した弱反転領域における電流式の精度検証に利用した。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

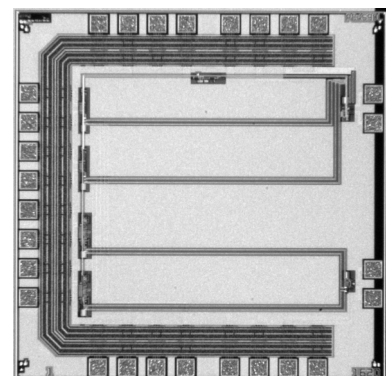


非接触データ転送回路

広島大学大学院先端物質科学研究科 佐々木 守

概要：磁気結合を利用した非接触データ転送回路である。1 チャンネルにデータとクロックを多重化して転送する。ただし、PLL 等によるクロック再生は必要ないので、引き込み時間等によるオーバーヘッドはなく、スリープ状態から直ちに 1Gbps を超える高速通信を開始できる。また、再生に必要なクロック周波数成分を転送データに保持する 8bit-10bit 符号化等も必要ない。外部インタフェースは LVDS 準拠であり、FPGA ボード等に直接接続できる。チップ内部に 1.8V で動作するバンドギャップリファレンス回路があり、非接触データ転送回路および LVDS 送受信回路ともバイアス調整等は不要である。LVDS 送受信回路およびバンドギャップリファレンス回路はレイアウトを含めて、公開予定なので、使用を希望する人はご連絡ください。

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数：**10 以上, 100 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**通信 (RF 回路, ATM など)



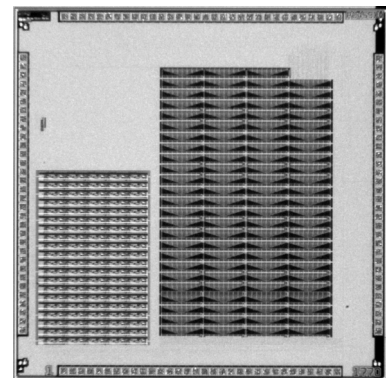
消費電力実測のための断熱的パストランジスタ加算回路

横浜国立大学大学院工学府 内山 順一

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は CMOS 集積回路の低消費電力化のために断熱的パストランジスタ論理回路を提案している。断熱的論理回路とは電圧変化をゆっくりと行うことで消費電力を小さくできる回路である。本チップには、断熱的論理回路の消費電力を実測するための大規模な回路として 32 ビット加算回路が 100 個並列に載っている。この加算回路はリップルキャリー型で、4bit 計算ごとに断熱的ラッチ回路を挟む構成となっている。同機能の回路での消費電力の比較を行うため、Static CMOS 回路のリップルキャリー加算器が 100 個載っている。また、提案する断熱的論理回路には、6 相の台形波のクロックが必要となる。そのクロックを作るための回路の一部として 6 相の矩形波を生成する回路が載っている。DFF を 6 個つないだ形でデューティ比 1:3, 3:1 の 6 相の矩形波が出力される回路である。この回路の設計には、京都大学スタンダードセルライブラリを用いた。テストによる測定はしていない。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**演算回路 (乗算器, 除算器など)

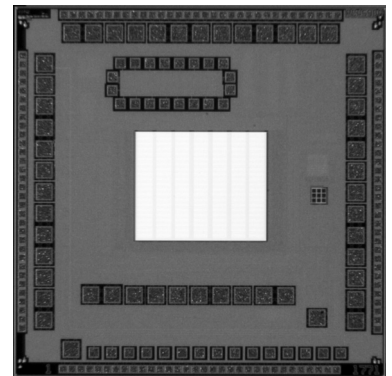


SFQ/CMOS ハイブリッドメモリ用 64kb メモリ

横浜国立大学工学部 岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し, かつ低消費電力が可能なメモリシステムを提案している。このチップではこれまでのメモリに対して、増幅器の特性ばらつきによる動作範囲の変動に対応するため、バイアスラインを増幅器ごとに入力できるようにパッドの配置を変更した。また、Josephson/CMOS ハイブリッドアンプ用のセルフバイアス回路も試作した。このチップではシステムとしての動作を確認するため、前回動作が確認されたセルフバイアス回路にアンプを取り付けた。メモリ部分については測定により正常動作を確認した。またセルフバイアス回路については特定条件下において動作を確認したが、アンプとの接続方法については今後考察が必要である。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**メモリ



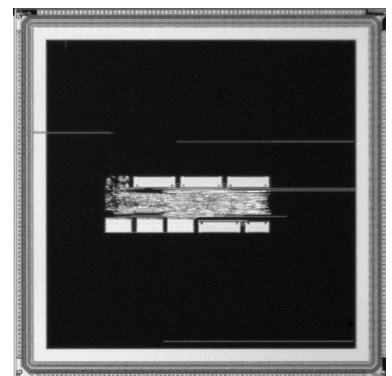
WiMAX ターボデコーダ

東北大学工学研究科 新井 宏明, 小谷 光司, 伊藤 隆司

東北大学未来科学技術総合研究センター 宮本 直人

概要：本試作では WiMAX 用のターボデコーダの試作を行った。このターボデコーダでは Max Log MAP を用いた復号を行いそれをエンジンのターボチャージャのように何度も繰り返し演算を行うことによって復号処理を行っている。この処理を行うことによって WiMAX のような無線通信を行ったときに正しいデータを復号することができて、スムーズに通信を行うことができる。また、WiMAX では高速な通信技術であるため、復号処理も高速で行う必要がある。そこで、本試作では、より効率的な WiMAX デコーダを作成するために、回路面積の縮小化ならびに、消費電力の削減、高速な処理の実現をねらって本試作を行った。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



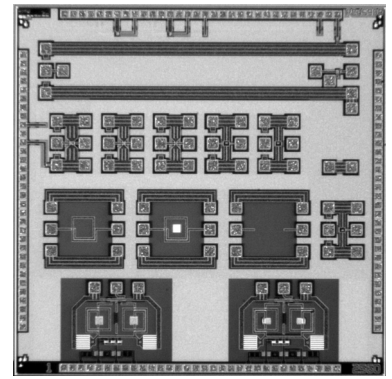
高周波用アナログデバイスの TEG 試作

中央大学大学院理工学研究科 加藤 大介, 荻野 達也, 中澤 啓悟, 高橋 将史, 杉本 泰博

概要: 低ノイズ設計が求められる LNA において, NF を最小にするノイズマッチングを取る必要がある。しかし, GHz 帯で MOS トランジスタから発生する雑音が正確にシミュレータに組み込まれていないため, シミュレータを用いたノイズマッチングの設計の実現が困難である。このため, LNA のノイズマッチングを実現する設計式を導き, それを実現する設計手法を確立する必要があると考えた。そのためにトランジスタ単体の LNA と, インピーダンスの調整を考慮した入力側のトランジスタにインダクタを追加した LNA のそれぞれの場合における設計式を導いた。この2つの設計式の妥当性を評価するためその2つのパターンの LNA の TEG を試作した。試作したチップを評価した結果, 導いた2つの設計式から考えられる「NF の最小値が MOS のソースにつくインダクタに依存しない」という事を実測からも確認する事が出来, 解析結果の妥当性を確認できた。

参考文献: CMOS Low Noise Amplifier Design Optimization Technique, Trung-Kien Nguyen, Chung-Hwan Kim, Gook-Ju Ihm, Moon-Su Yang, and Sang-Gug Lee, IEEE International Midwest Symposium on Circuits and Systems 2004

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

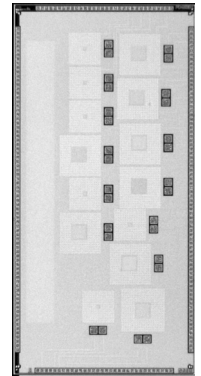


Preamp-Shaper-Discriminator

東京大学工学部 島添 健次

概要: PET (Positron Emission Tomography) や MSGC (Micro Strip Gas Counter) を含む放射線計測においてはマルチチャネルの同時の読み出しシステムは重要である。特に高分解能を目指すシステムにおいてはマルチピクセルの検出器からの並列信号読み出しが必須であり, ASIC の開発が重要である。本チップは従来の波高値の計測型システムではなく時間ベースのエネルギー計測システムに利用可能なチップとして試作した。本チップによりデジタル出力のマルチチャネルシステムが構築可能であるとおもわれる。またデジタル出力を行なうことにより ASIC を検出器近傍に配置することで電送ラインでの劣化を低減することが可能となる。チップ構成は電荷積分型のプリアンプ, 高速の波形整形アンプ, マルチレベルのコンパレータを搭載した構成としている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



試作ラン: ローム CMOS 0.18 μ m

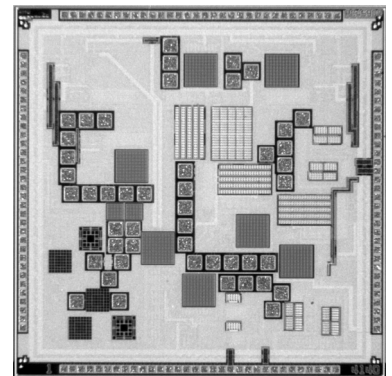
可視光通信用センサおよび信号処理回路

慶應義塾大学理工学部 近内 聡史, 松本 松本

概要: 可視通信用により高感度, 高速な受光素子を開発するため層構造の異なるフォトダイオードを試作した。標準 CMOS プロセスで利用可能な層は, P 型基板層, N ウェル層, P ウェル層, N 拡散層, P 拡散層, そしてディープ N ウェル層であり, これらを組み合わせて複数のフォトダイオード, フォトトランジスタ, アバランシェフォトダイオードを試作した。さらにゲイン, 周波数特性の異なるいくつかのトランスインピーダンス回路, バッファ回路などを設計した。トランスインピーダンス回路に必要とされる抵抗は高抵抗の Hi-PolyR 抵抗を利用して, 回路構成としてレギュレイトッドカスコード構成をとり, 低入力インピーダンスと広帯域, 高変換ゲインの両立を図った。フォトダイオード, フォトトランジスタ単体の他, トランスインピーダンス回路との一体化したフォトトランジスタを設計した。

参考文献: 近内聡史, 松本佳宣, "0.18 μ m CMOS プロセスを用いた可視光通信用アバランシェフォトダイオードに関する研究", 電気学会フィジカルセンサ研究会, PHS-09-19, pp.17-20, (2009.7.23)。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



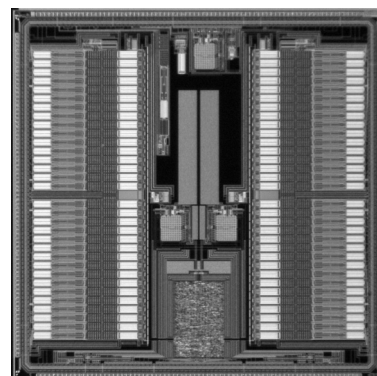
多チャンネル皮質脳波検出システムチップ

東京大学情報理工学系研究科 鈴木 隆文

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 安部 亨, 末石 勝也

概要: 近年, 脊椎損傷などで体の運動機能を失った人の生活の質を向上させるため, 考えるだけで義手や義足などを操作できるブレイン・マシン・インタフェースの実現が要望されている。本研究では, 装着者の行動を制約しない小型のブレイン・マシン・インタフェースを実現するために, 多チャンネル皮質脳波検出システムチップの試作を行った。搭載回路は, 多チャンネル低雑音増幅回路, 12bitAD変換器, システム制御回路である。設計した低雑音増幅回路は, 数 μV ~1mV程度の微小な振幅と信号帯域~100Hz程度の非常に低い周波数の神経信号を検出するために, 弱反転領域で動作するMOSFETを用いたフィードバック構成で実現した。また12bitAD変換器は32kSpsで動作した。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μm 5.0mm角チップ **チップ種別:** アナログ混載

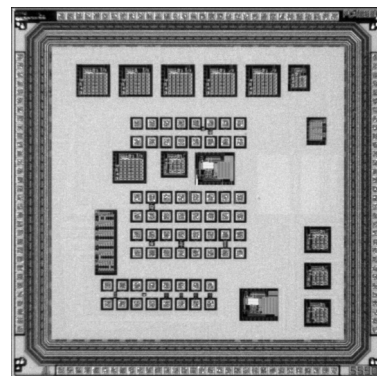


しきい値電圧依存性の小さいCMOS基準電流発生回路の設計

富山県立大学大学院工学研究科 田中 智章, 松田 敏弘, 岩田 栄之

概要: アナログ回路において重要な基準電流発生回路は, 電源電圧, 温度やプロセスパラメータの変動に依存しない一定の電流を生成できる高精度なものが必要とされている。とくに, しきい値電圧の変動はアナログ回路の特性を大きく左右し, 製造後の補償が難しいため, しきい値電圧のばらつきに対して影響の受けない回路技術が求められている。当研究室で開発したCMOS基準電圧発生回路を応用し, しきい値電圧変動による影響の小さい基準電流発生回路を設計した。本チップには, 基準電圧発生回路, 単体MOSFETを搭載した。また, 基準電圧発生部のトランジスタのW/L比が調整可能なMOSFETを配置し, 本基準電流発生回路に最適なトランジスタのサイズを決定できるようにした。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



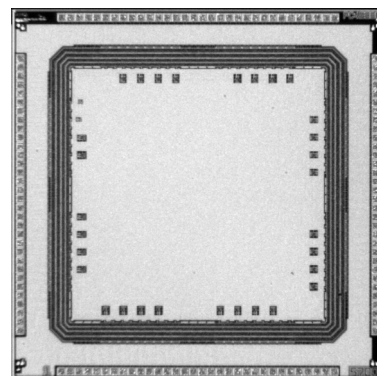
偶数段リングオシレータ TEG

九州工業大学マイクロ化総合技術センター 小原 祐輔, 中村 和之

概要: 90°/180°/270度位相シフトを容易に生成できるため, クロックデータリカバリ回路等に用いられる偶数段リングオシレータ回路の最適設計手法について検討した。このオシレータ回路とSRAMメモリセル回路との類似性から, SRAMで定義されるスタティックノイズマージン値をオシレータ回路に適用し, 動作マージン解析が可能であることがわかった。この動作マージン解析手法を用いることにより, 偶数段リングオシレータ回路において, 発振を保証するための偶数段インバータ部に対するラッチの最適挿入位置を明らかにした。モンテカルロシミュレーションによれば, この最適設計手法を用いて設計した偶数段リングオシレータは, プロセス, 電圧, 温度ばらつきに対して十分耐性があることがわかった。本試作チップは, 上記の検討結果を実チップにて実証するためのTEGである。チップはテストにより評価中である。

参考文献: Y. Kohara, K. Nakamura, et al, "An Optimal Design Method for CMOS Even-Stage Ring Oscillators Containing Plural Latches", SSDM 2009, pp. 460-461

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



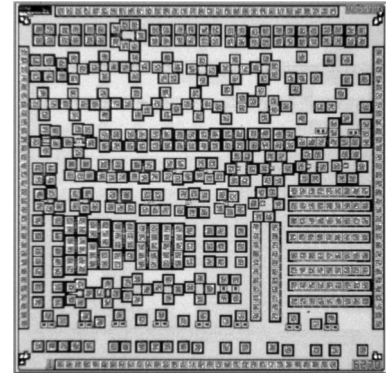
Study of MOSFET

明治大学工学部 高窪 かをり

概要：卒業研究用のコア回路の試作を行った。主に弱反転領域のMOSFETに関する研究を行うため、少ないトランジスタ数の回路が多い。試作した回路は次のようなものがある。
nMOSFETアレイ・pMOSFETアレイレール・トゥー・レール入出力オペアンプ・減算回路低リークMOSFETスイッチ・低リークMOSFETスイッチを用いたサンプルアンドホールド回路・通常の単体nMOSスイッチを用いたサンプルアンドホールド回路・低リークMOSFETスイッチを用いたスイッチトキャパシタ回路・通常の単体nMOSスイッチを用いたスイッチトキャパシタ回路・低リークMOSFETスイッチを用いたクロックブースタ回路・通常の単体nMOSスイッチを用いたクロックブースタ回路・電圧検出器のコア回路・電圧検出器・弱反転領域で動作するカレントミラー回路（n型）・弱反転領域で動作するカレントミラー回路（p型）

参考文献：K. Takakubo et al, "Analysis and modeling of leakage current for four-terminal MOSFET", IEICE Trans. Fundamentals, vol. E92-A, no. 2, pp. 421-429

設計期間：10人月以上 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数：**100以上, 1,000未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**演算回路（乗算器, 除算器など）

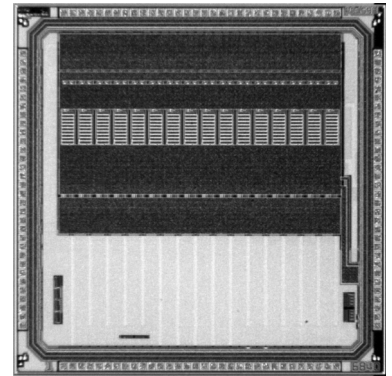


神経信号測定および刺激印加のための回路

慶應義塾大学工学部 岩田 貴之, 山口 昌也, 中野 誠彦

概要：本試作では信号が微弱で低周波数域に存在する生体信号をセンシングするための信号増幅, および同一電極に対してアーチファクトを抑えながら刺激信号を印加することのできる刺激印加制御回路を16チャンネル搭載したchipを設計した。前回の試作に比べてチップ内の電源線を太くすることで, 配線抵抗を各チャンネルの実効的な電源電圧の低下を抑え, 動作ばらつきを抑えるとともに動作の安定化を実現した。また, 発振回路, バイアス回路, バッファをチップ内に搭載することにより, 測定系を含めたシステムの簡単化を目指した。さらに, 増幅動作を不安定にしているMOSキャパシタをMIMキャパシタに変更することによりさらなる動作の安定化を行った。

設計期間：3人月以上, 4人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**1,000以上, 10,000未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

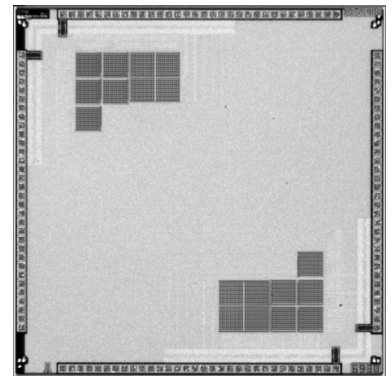


可視光通信用センサ

慶應義塾大学大学院システムデザイン・マネジメント研究科 森谷 英一郎,
春山 真一郎

概要：LED照明などを利活用した可視光通信で, 動画などのコンテンツを高速・高感度で受信できることを目的とした受光素子を開発するため, 層構造の異なるフォトダイオードアレイを試作した。標準CMOSプロセスではp基板 (Psub), Pwell, Nwell, DeepNwell, n拡散 (Ndiff), p拡散 (Pdiff) の各層が使用できるため, これらを組み合わせることによって複数のフォトダイオードを2 \times 2のアレイ状に設計した。また, 周辺回路としてトランスインピーダンスアンプ, 信号選択用のスイッチング回路などを組み込んでチップの一体化を目指した。作成したチップは評価ボードに実装して, 周波数特性の評価実験を行った。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, **トランジスタ数：**10以上, 100未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**イメージセンサ/スマートセンサ



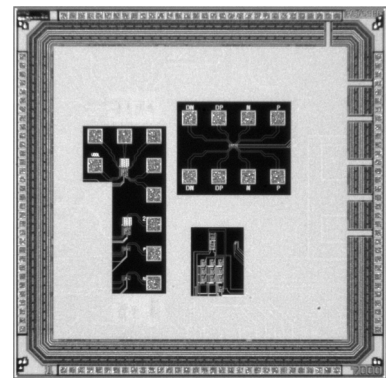
サブスレシールドで動作する極低電圧駆動アナログ回路とオンチップ電源回路

山形大学大学院理工学研究所 佐山 裕紀, 高橋 良輔, 原田 知親

概要: バッテリー駆動などの限られた電力駆動を前提とした機器に組み込む場合においては, さらなる低消費電力化が必要である. 微細化に伴って電源電圧は低下しているものの, MOSFETのしきい値電圧は, ゲート電圧 off時のリーク電流から 0.3~0.4V 程度が限界であるため, 0.5V 以下の電源電圧下では, 回路動作の大半がしきい値以下の領域, すなわち弱反転領域で動作することになる. 特に, アナログ回路においては, 強反転領域での動作を前提に設計されているため, 微細化による電源電圧の低下により, 動作レンジの縮小が問題となる. そこで本研究では, これらを踏まえ, 弱反転領域を用いた微小電流により, 0.5V 以下の極低電源電圧で入出力 Rail-to-Rail 動作が可能な, 差動増幅回路を設計・評価を行った. そして, サブスレシールド領域で回路を安定に動作させるためのオンチップ電源回路について設計し評価を行なった.

参考文献: [1] 高橋, 原田, 奥山, 松下, "広入出力範囲を有する極低電圧駆動 2 段増幅回路", 集積回路研究会技術研究報告, ICD2009-85, pp. 49-54, 2009 年 12 月

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



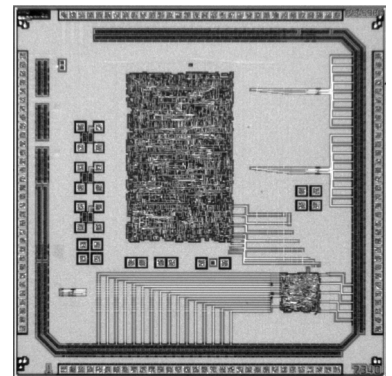
生体モニタリングシステム用デジタル回路レイアウト合成検証

兵庫県立大学大学院工学研究科 園田 晃司, 藤田 孝之, 前中 一介

兵庫県立大学工学部 石井 雅敏, 田中 伸哉

概要: 生体モニタリングシステム用データ演算処理回路として, CPU, アドレスデコーダ, I/O, SRAM を設計した. また, 1.8V で動作するオペアンプを設計した. 本研究室では, Rohm 0.18 μ m プロセスの利用は本ランが初となるため, verilog-HDL ソースコードのスタセルを用いたレイアウト合成を主な検討項目として試作した. CPU は CPU6502 (8bit) コンパチのフリー IP (verilog-HDL ソースコード) を利用した. また, 周辺回路としてアドレスデコーダ, I/O, SRAM を verilog-HDL で設計した. CPU6502 については, リセット後のアドレス参照先が誤っており正常動作しないことが判明したが, ソースコードの修正により動作可能であると考えられる. 今後, モニタリングシステムに必要な仕様の詳細を決定し, 仕様にあったデータ演算処理回路を作製する予定である.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

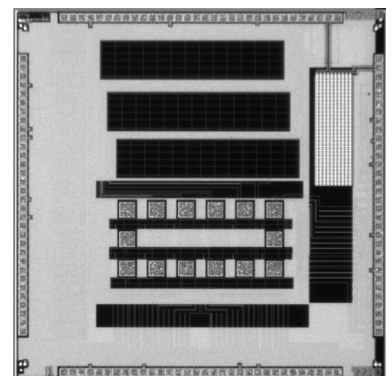


0.18 μ m インバータチェーン TEG (1)

東洋大学 堀口 文男

概要: 0.18 μ m ルールを用いた TEG である. 通常のインバータチェーンの基板をフローティングとするもので, この電圧を外部的, 内部的に変化させたときの特性変化を調べる. また, 太陽電池の特性を評価するため, 電極タイプ, 面積を変えたもの数種類を TEG として入れている. これらの評価により, 高性能, 低消費電力のインバータの設計指針とオンチップ太陽電池の設計指針を得ることが目的である. 今回のチップは, 外部からの基板電位印加状態と, フローティング状態での動作について調査を行う. また, 太陽電池については, 基板を N 型, P 型にした場合にどうなるかの比較検討を行う. また, 同時に差動増幅器や, フリップフロップ, 単体トランジスタの基本特性が測定できるものとなっている. 動作を確認し, 基本的な特性の確認を行っている.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



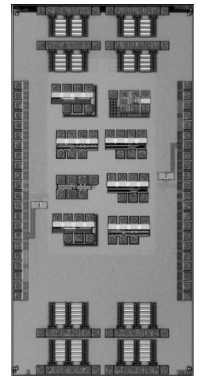
電圧制御発振回路

東京大学生産技術研究所 飯田 智士, 高橋 亮, 島本 潤吉, 平田 貴士, 安福 正,
石田 光一, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：研究室に配属された新人学生の LSI 設計フローと測定技術の習得を目的として、3段のインバータリングをベースとした電圧制御発振回路を設計・試作した。SPICE によるシミュレーションと実測とを比較し、配線の寄生容量等の影響によりどのように特性が変化するかを理解する。シミュレーションでは、入力制御電圧 0.64V~1.8V に対して、発振器出力周波数が 2.26GHz~4.71GHz となる結果を得た。これに対して、チップ実測においては、入力制御電圧 0.57V~1.8V に対して、発振器出力周波数が 1.04GHz~4.07GHz となり、シミュレーション結果に対して最高周波数が約 14% 低くなるという結果を得た。この他にトランジスタ単体スイッチなどの要素回路も試作した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ チップ種別：TEG (特性評価回路など)



口腔内モニタリングのためのワイヤレスバイオセンサ (2)

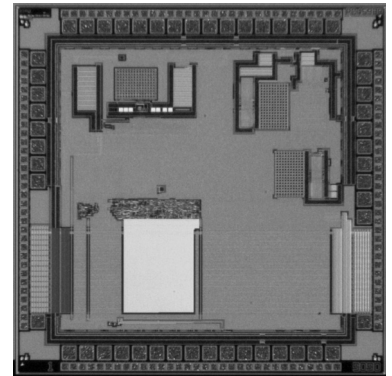
広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

広島大学先端物質科学研究科 升井 義博, 吉田 毅

広島大学広島大学 先端物質科学研究科 安部 亨

概要：口腔内の温度と血糖値を連続的にモニタリングするためのワイヤレスチップを試作した。本チップは p-n 接合による温度センサと酵素を併用した電位測定による血糖値センサを有し、計測用オペアンプ、10bit の AD コンバータ、120kbit の SRAM と 10MHz のキャリアによるシリアル無線通信により、計測を行う。チップは歯科用樹脂に封止され、硬口蓋に留置して使用されるため、実装の体積に制約があり、電源の容量が限られるため、低消費電力化を優先した設計を行った。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数：100,000 以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ

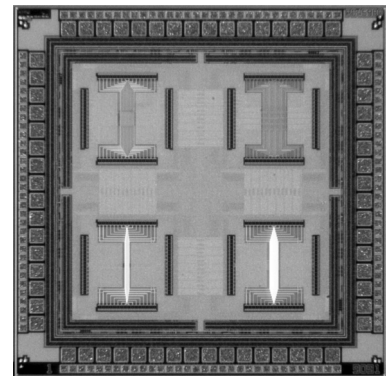


オンチップ免疫反応検出のため磁気ビーズ駆動 (2)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 金子 文恵

概要：チップ上だけで完結する疾病や有害物質の検出を目指して、免疫反応を検出するチップの試作を行った。実際の手法としては、フェライトの芯がポリスチレンで覆われた構造を持つ直径 3 ミクロン程度の磁気微粒子を水溶液に分散し、チップ上に直接滴下、チップ上の電流でこれを動かすことができるか否かを通じて、チップ表面への付着力、ひいては免疫反応の有無を検出する。本試作では、最上部二層の配線層を用いて、互いに直行する並行パターンを形成、流れる電流を制御することで、チップ上での磁気微粒子の駆動を試み、チップ上で水中の磁気微粒子を動かすことに成功した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数：1,000 以上, 10,000 未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：MEMS



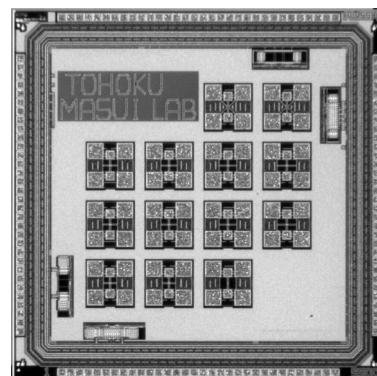
アナログ回路設計手法検証用 TEG

東北大学電気通信研究所 稲津 賢治, 小西 貴之, 榊井 昇一

概要: 東北大学榊井研究室では, gm/Id Lookup Table 法を用いたアナログ回路自動最適化手法の研究を, OTA (Operational Transconductance Amplifier) を題材として進めている. 本 TEG は, 上記手法において設計の基準となる 3 種類の Lookup Table の正当性を検証するための NMOS, PMOS トランジスタ特性 (DC, 高周波) 評価 TEG ブロック, および, 設計最適化手法を検証するための 2 種類の OTA ブロックを含んでいる. 今回設計された OTA では, 特に低電圧対応 Common-Mode Feedback 回路を新たに開発した. 詳細は, T. Konishi, K. Inazu, S. Masui, "A Continuous-Time Common-Mode Feedback Circuit for High-Gain, Wide-Output-Range Fully-Differential OTAs," 2009 International Conference on Solid State Devices and Materials, pp. 930-931 をご参照いただきたい.

参考文献: 小西, 榊井, "gm/Id 法を用いた高速・高利得 OTA の最適化設計", pp. 43-48, 2009 年電子情報通信学会集積回路研究会 ICD2009-83

設計期間: 8 人月以上, 9 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

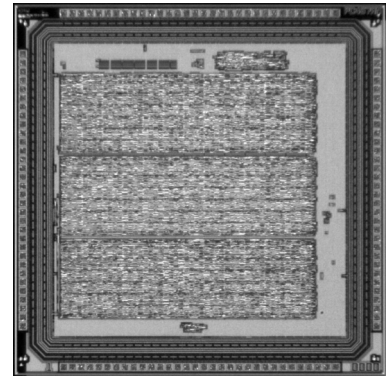


ライブラリ検証用ならびにソフトエラー測定用 LSI

京都工芸繊維大学工芸科学研究科 小林 和淑
京都大学情報学研究科 古田 潤, 小野寺 秀俊

概要: 京大版ライブラリの検証ならびに、ソフトエラー測定を目的とした LSI の設計, 試作を行なった。今回は、未検証であった双方向 IO バッファを組み込み、その正常動作を確認することが主な試作目的である。ALU, 加算器, 累算器などを Verilog HDL で記述し, 論理合成, 自動配置配線を行なうことによりレイアウトを完成させた。また, 一部にソフトエラー測定用の TEG も含んでいる。ソフトエラー検証用回路は, ポリ抵抗による遅延素子と, ソースドレイン間抵抗による遅延素子のエラー率の相違を測定することを目的としている。現在のところ, その動作は未検証であるが, 今後検証を進めて動作確認を行ないたい。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

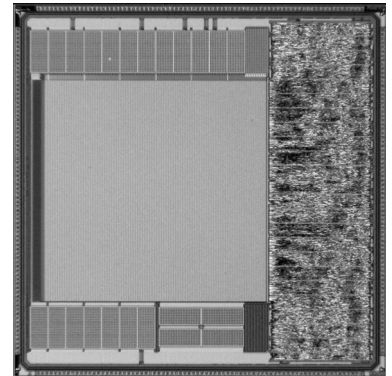
**データ圧縮による高速読み出しを実現する超高速三次元形状計測イメージセンサ**

東京大学工学系研究科 萬代 新悟

概要: 光切断法に基づく三次元形状計測システムは, 光の照射と簡易な距離計算により, 高精度そして高速な三次元形状計測を可能にする。そして高速三次元情報取得技術は様々なアプリケーションに用いることが出来る。セキュリティやミサイル追尾, 衝突テスト, 落下テストなどには数百から数千の撮像速度が求められる。以前のチップでシート光を用いた光切断法による三次元形状計測イメージセンサのための行並列走査とアドレスエンコーディングを提案しており, 本チップでも, デジタルピクセル回路の二値化を高速に行う電流型蓄積方式, 物体で反射した光によって露光したピクセルを高速に走査そしてそのピクセルのアドレスをエンコードする行並列二分木探索回路と高速アドレスエンコーダ, そしてマスク回路を実装している。さらに, 前回の撮像速度を律速している原因の一つである読み出し時間を短縮するために, あらたなデータ圧縮手法を用いている。データ圧縮は一つのシート光単位で行うため膨大なメモリを必要とせず, 効率よく圧縮が可能である。

参考文献: S. Mandai, M. Ikeda, and K. Asada, "A 256 × 256 14k Range Maps/s 3-D Range-Finding Image Sensor Using Row-Parallel Embedded Binary Search Tree and Address Encoder," ISSCC, 2010.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

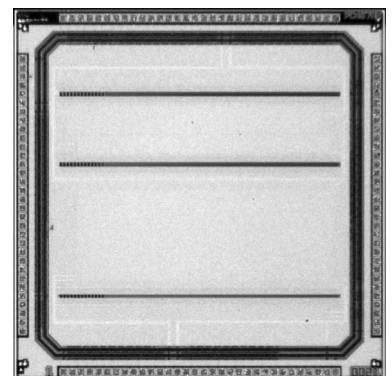
**スキューを用いた一次元高精度ポジションセンサー**

東京大学工学系 宋 暁旭
東京大学 VDEC 佐々木 昌浩

概要: 一次元 CMOS ポジションセンサーの高精度の実現を目指しています。ピクセルアレイ PSD (Position Sensitive Detector) の空間解像度はピクセルのピッチにより決定されるので, ピッチを小さければ小さいほど精度は高いことが分かりますが, 従って製造工程に許容される最小ピクセルピッチの限界があります。本研究は最小ピッチ (6 μ m) 限定される空間解像度の製約を乗り越えるために新たなスキューを用いたサブピクセルレベルのポジションセンサーを提案しました。つまり一つのピクセル (6x24 μ m) を 4 四つのピクセル (6x6 μ m) に分けて, 一行ずつ 1.5 μ m のスキューをしました。一行の 320 ピクセル, 二行でスキューの 320x2 ピクセルと四行でスキューの 320x4 ピクセルを 2.5mmx2.5mm のチップに載せました。今はこのチップの測定中です。チップの基本機能を実現した上で, スキューの有効性を検証するために, 光源のマスクを設計しています。

参考文献: [1] 金江南, 名倉, 池田, 浅田, "Skew Pixel Array of Optical Position Sensor for High Accuracy", 2009

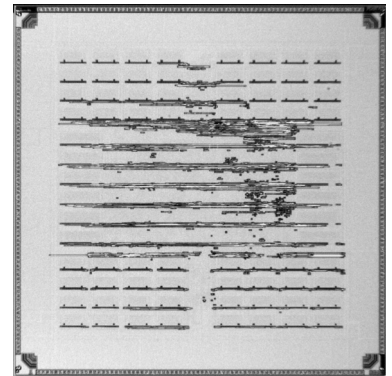
設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



リコンフィギュラブルメモリ回路

概要：画像処理システムには、高いプログラマビリティの汎用プロセッサから、高性能な専用ASICなどさまざまなプロセッサが用いられる。通常の画像処理システムでは、汎用マイクロプロセッサを用いたソフトウェア処理により実現されている為、その処理能力の不足や高い消費電力が問題となっている。また、演算回路とメモリ間で高速かつ大容量データの転送が必要とされ、画像処理の高速化が大きな問題となっている。通常のメモリを用いて画像処理を実行する場合、画像処理で多用される行列やベクトルのデータが1つのメモリ内に全て格納されず、断片化するケースが生じる。このような場合、プロセッサはメインメモリもしくは必要とするデータを格納する近傍のメモリへアクセスする必要性が生じ、画像処理の高速化を妨げる要因となる。我々は、画像処理システムの高機能化、広域バンド化、小型化、配線長の短縮を目的として三次元積層型画像処理システムに関する研究を行っている。本試作では回路構成を動的に変更可能なリコンフィギュラブルメモリ回路の設計を行った。設計を行ったチップは三次元積層構造を有するリコンフィギュラブル画像処理回路を二次元で動作検証を行うものである。

設計期間：3人月以上、4人月未満 **設計ツール：**Synopsys社 DesignCompiler, Cadence社 Encounter, Mentor社 Calibre, **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



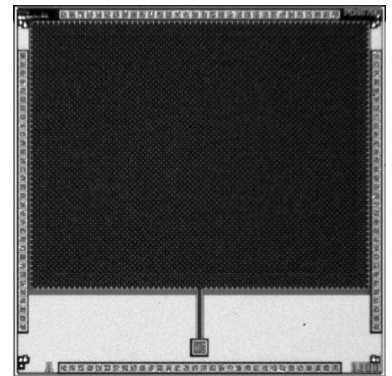
容量結合を用いた通信実験 TEG

金沢大学自然科学研究科 戸羽 辰夫

金沢大学理工研究域 秋田 純一, 北川 章夫

概要：キャパシティブカップリングによる電力とデータの非接触通信実験 TEG の試作を行った。試作した TEG は、金属平板（約1800 μ m \times 2300 μ m, Metal5使用）である。2つのチップを対向させて並行平板を形成し、容量結合を用いた通信の可能性の評価を行う。評価は、PCB基板上にチップを実装して行う。PCB基板とチップは、ワイヤーボンディングにて接続をする。ネットワークアナライザによる解析を実施し、通信帯域および損失について評価を行った。本実験結果に基づき、アクティブ型容量結合通信回路の設計を実施する予定である。

設計期間：10人月以上 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**10未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**通信 (RF回路, ATMなど)



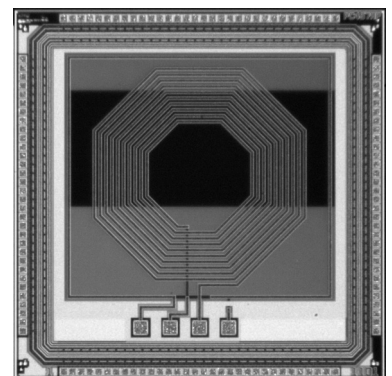
誘導結合を用いた通信実験 TEG

金沢大学自然科学研究科 戸羽 辰夫

金沢大学理工研究域 秋田 純一, 北川 章夫

概要：インダクタカップリングによる電力とデータの非接触通信実験 TEG の試作を行った。試作した TEG は、スパイラルインダクタ（外径約1500 μ m, 内径約700 μ m, 巻数=9）である。2つのチップを対向させ、誘導結合を用いた通信の可能性の評価を行う。評価は、PCB基板上にチップを実装して行う。PCB基板とチップは、ワイヤーボンディングにて接続をする。ネットワークアナライザによる解析を実施し、通信帯域および損失について評価を行った。本実験結果に基づき、マルチスタンダード/多チャネル対応可能なアクティブ型誘導結合通信回路の設計を行う。

設計期間：10人月以上 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**10未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**通信 (RF回路, ATMなど)



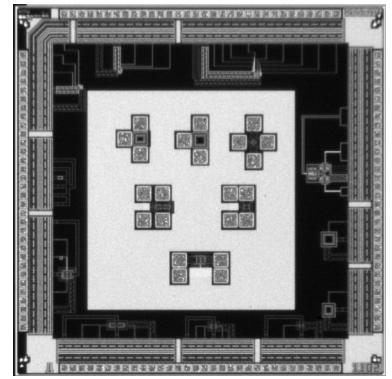
特定小電力無線通信送受信機用 TEG の試作

金沢大学自然科学研究科 戸羽 辰夫

金沢大学理工研究域 秋田 純一, 北川 章夫

概要: 特定小電力無線通信送受信機の開発に向けた TEG の試作を行った。本試作は、要素回路の特性評価を目的としている。試作回路は、チャージポンプ、分周器、NAND である。また、LNA (low noise amplifier), PA (power amplifier) で使用するトランジスタ単体 TEG も載せてある。チャージポンプは、PLL に使用する。NAND は、PLL における位相比較器に使用する。分周器は、ラッチ構成のものを組み合わせることにより 2 分周と同時に 90 度オフセットした信号 (I 信号, Q 信号) を出力する。動作を確認し、現在評価中である。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



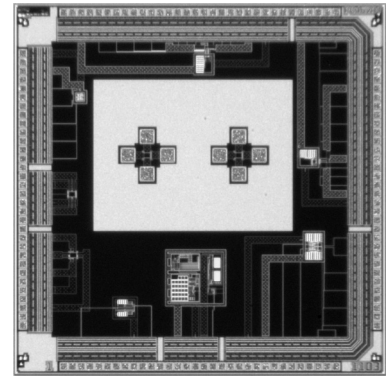
特定小電力無線通信送受信機用 TEG の試作

金沢大学自然科学研究科 戸羽 辰夫

金沢大学理工研究域 秋田 純一, 北川 章夫

概要: 特定小電力無線通信送受信機の開発に向けた TEG の試作を行った。本試作は、要素回路の特性評価を目的としている。試作回路は、LNA 用バイアス回路、オペアンプ、コモンモードフィードバック用回路である。オペアンプ、コモンモードフィードバック回路は、中間周波数領域において PGA (programmable gain amplifier), DSM - ADC (delta-sigma modulating analog-to-digital converter) の SCF (switched capacitor filter) で使用する。動作を確認し、現在評価中である。

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



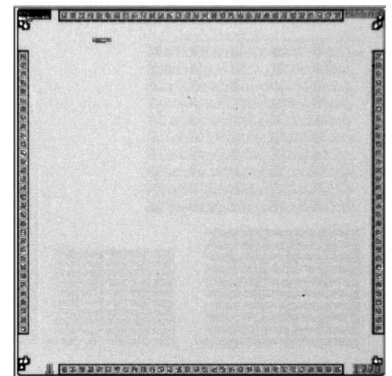
断熱的回路の構造による比較を行うための 3 種類の乗算器

横浜国立大学大学院工学府 内山 順一

横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は CMOS 集積回路の低消費電力化のために断熱的パストラジスタ論理回路を提案している。断熱的論理回路とは電圧変化をゆっくりと行うことで消費電力を小さくできる回路である。本チップには、構造が少しずつ異なる 3 種類の断熱的 4 ビット乗算器を、消費電力の大きさを測定するため、それぞれ 60 個ずつ並列に載せている。この乗算器は配列乗算型のアルゴリズムで計算を行う。各乗算器については正常動作の確認を取れたが、一部の配線がショートしているミスが判明したため、全体の消費電力を測定することができなかった。また、提案する断熱的論理回路を駆動するための回路の一部として 6 相の矩形波を生成する回路が載っている。DFP を 6 個つないだ形でデューティ比 1:3, 3:1 の 6 相の矩形波が出力される回路である。この回路の設計には、京都大学スタンダードセルライブラリを用いた。テストによる測定はしていない。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

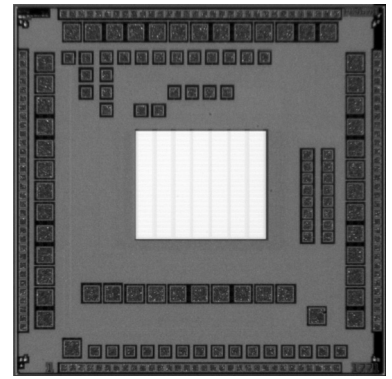


SFQ/CMOSハイブリッドメモリ用64kbメモリ

横浜国立大学工学部 岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップでは、メモリシステムの更なる測定のため、前回試作のメモリと同じものを配置した。また、メモリシステム中の増幅器の特性ばらつきによる動作範囲の変動を解決するため、新たな構造の差動増幅器を試作した。増幅器のレベルシフト部分にはシングルエンド構造を、差動増幅部分にはセルフバイアス差動増幅型を用いた。増幅器については測定により、これまでの増幅器に比べ大幅に広い動作マージンを確認した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

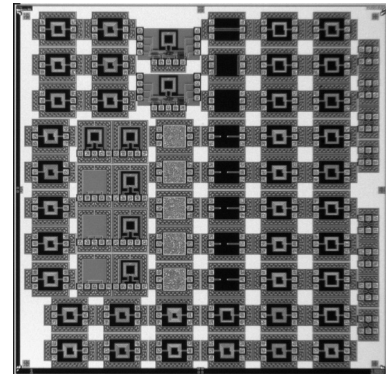


Above CMOSインダクタのモデリング用インダクタ

東北大学工学研究科 杉本 篤生, 大宮 豊, 小谷 光司, 伊藤 隆司

概要: チップ製造後にプロセスを加えることでインダクタンスを調整し、RF回路の最適化を図る Above CMOS インダクタ技術にはインダクタモデルが不可欠である。そこで本チップではインダクタのモデリングを行うことを目的とし、線幅や巻き数などの形状を少しずつ変化させたインダクタを多数試作した。このインダクタは数GHzで動作させることを前提に設計してある。また、Above CMOS インダクタ形成用のパターン及びVCOとLNAも試作した。試作したインダクタの測定結果より、インダクタの形状と特性との関係を確認することができた。この関係を基に様々な形状のインダクタに適用可能なモデルを検討中である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



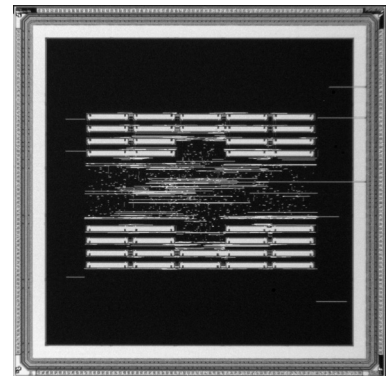
LTEターボデコーダ

東北大学工学研究科 新井 宏明, 小谷 光司, 伊藤 隆司

東北大学未来科学技術共同研究センター 宮本 直人

概要: 本試作ではLTE用のターボデコーダの試作を行った。このターボデコーダではMax Log MAPを用いた復号を行いそれをエンジンのターボチャージャのように何度も繰り返し演算を行うことによって復号処理を行っている。この処理を行うことによってLTEのような無線通信を行ったときに正しいデータを復号することができ、スムーズに通信を行うことができる。また、LTEでは100Mbpsという高速な通信技術であるため、復号処理も高速で行う必要がある。そこで、本試作では、より効率的なLTEデコーダを作成するために、回路面積の縮小化ならびに、消費電力の削減、高速な処理の実現をねらって本試作を行った。

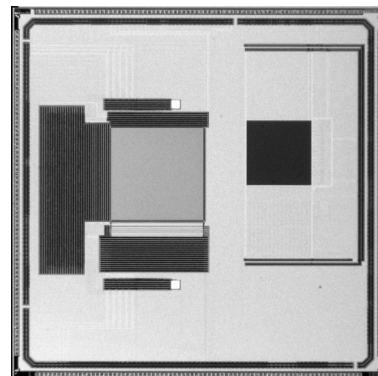
設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



高機能イメージセンサの検証用TEG

東京理科大学工学研究科 大高 俊徳, 菅井 男也, 平賀 匠, 浜本 隆之

概要: 今回は2つの高機能イメージセンサの試作を実施した。1つ目のセンサは、フォトダイオードとその読み出し回路、縦64x横64画素のフォトダイオードで光電変換したアナログ出力値をデジタル出力値に変換するA/D変換回路、デジタル出力値の格納用メモリ回路とデコーダ回路から構成される。この回路構成によって、得られる特性を確認することをねらいとした。もう一方のセンサは、128x128画素のフォトダイオードアレイとアナログ信号処理回路、デジタル制御回路から構成される高速動体追跡用スマートイメージセンサである。NWELL-PSUB構成で、3T型電圧読み出しAPSをフォトダイオードとして実装する。主機能である部分領域読み出しを可能にする為に、カラム振り分け回路がカラム毎に実装される。デジタル制御回路は1.8V電源電圧で動作し、アナログ回路に対しタイミングパルスを供給する（どちらもテストによる測定は無）。

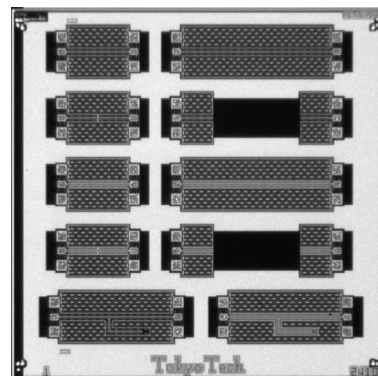


設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

ダミーメタル入り伝送線路の伝搬損失の評価

東京工業大学理工学研究科 平野 拓一, 小野 雄也

概要: ミリ波60GHz帯伝送線路の伝搬損失の測定を行うことが目的である。ダミーメタル無しの伝送線路、ダミーメタル入り伝送線路の伝搬特性の比較を行うためのTEGを作成した。試作したTEGは、(1)ダミーメタル無しThru (2)ダミーメタル無しLine (3)ダミーメタル無しReflect (4)ダミーメタル無しShort (5)ダミーメタル無しスタブ (6)ダミーメタル有りThru (7)ダミーメタル有りLine (8)ダミーメタル有りReflect (9)ダミーメタル有りShort (10)ダミーメタル有りスタブの10素子である。TRL (Thru-Reflect-Line) 校正, TL (Thru-Line) 校正およびOS (Open-Short) 校正による3つのディエンベディング方法により伝送線路の伝搬損失を抽出した。また、電磁界シミュレータの解析値の実験値との比較を行って妥当性の検証を行い、今後の素子設計のための基礎検討を行う。



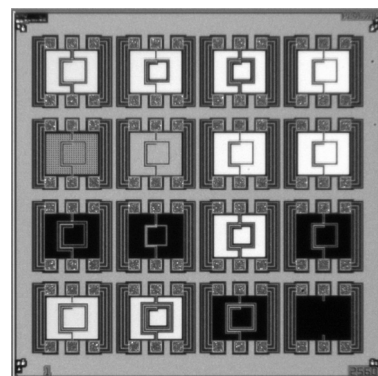
参考文献: 小野雄也, 平野拓一, 岡田健一, 広川二郎, 安藤真, “ダミーメタル入り伝送線路の伝搬定数の固有値解析,” 電子情報通信学会総合大会, C-2-59, 2010年3月16日。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

オンチップ・スパイラルインダクタTEG試作

中央大学大学院理工学研究科 荻野 達也, 中澤 啓悟, 江川 遼介, 杉本 泰博

概要: 近年、配線層の多層化に伴い、ダミーメタルの配置が必要となる。しかし、このダミーメタルによるインダクタのQ値の低下が懸念されており、ダミーメタルがインダクタに及ぼす影響を明らかにする必要がある。ダミーメタルがインダクタに及ぼす影響として、うず電流損と配線基板間容量の増加によるインダクタのQ値および自己共振周波数の低下が考えられる。そこで、大きさの異なるダミーメタルを配置したパターンや、数種類のダミーメタル禁止領域を持つスパイラルインダクタを試作した。インダクタのQ値やその他各成分の測定を行い、ダミーメタルがインダクタに及ぼす影響に関して検討を行った。ダミーメタルを置かないインダクタに比べて2 μ m, 6 μ m, 12 μ mのダミーメタルを置いたインダクタのQ値の減衰率はそれぞれ2.9%, 11.6%, 20.6%となった。また本チップで試作したインダクタに関してはダミーメタル禁止領域を設けることでダミーメタルをまったく置かないインダクタと同等のQ値が確認できた。



参考文献: ”The Influence of Dummy Fills on an On-chip Spiral Inductor and their Optimized Placement Scheme” Tatsuya Ogino, Yasuhiro Sugimoto, APMC 2008

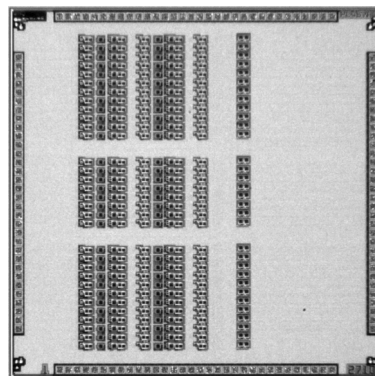
設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

改良型 Preamp-Shaper-Discriminator

東京大学工学部 島添 健次

概要：PET (Positron Emission Tomography) や MSGC (Micro Strip Gas Counter) を含む放射線計測においてはマルチチャンネルの同時の読み出しシステムは重要である。特に高分解能を目指すシステムにおいてはマルチピクセルの検出器からの並列信号読み出しが必須であり、ASIC の開発が重要である。本チップは従来の波高値の計測型システムではなく時間ベースのエネルギー計測システムに利用可能なチップとして試作した。本チップによりデジタル出力のマルチチャンネルシステムが構築可能であるとおもわれる。またデジタル出力を行なうことにより ASIC を検出器近傍に配置することで電送ラインでの劣化を低減することが可能となる。チップ構成は電荷積分型のプリアンプ、高速の波形整形アンプ、マルチレベルのコンパレータを搭載した構成としている。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

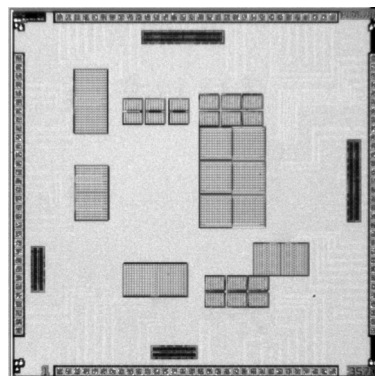


電流モード連続時間バンドパス $\Delta\Sigma$ 変調器とその要素回路

上智大学理工学部 渡辺 貴士, 和保 孝夫

概要：連続時間 $\Delta\Sigma$ 型アナログ/デジタル変換器 (ADC) は、低消費電力・小面積・中速動作・低分解能という特徴を持ち、次世代モバイル通信機器に組み込まれる ADC として期待されている。消費電力を小さくするために、我々は電流モード回路を用いて連続時間 $\Delta\Sigma$ 変調器を設計した。今回、ローム 0.18 μ m プロセスを用いて、2 次連続時間バンドパス $\Delta\Sigma$ 変調器およびその要素回路の試作を行った。今回設計した 2 次連続時間バンドパス $\Delta\Sigma$ 変調器では、電源電圧 1.8 V, 中心周波数 10 MHz および信号帯域 200 kHz のとき、61.6dB のピーク SNDR (有効分解能 9.9bit) であることを HSPICE シミュレーションにより確認した。現在、要素回路の基本動作の確認を終え、詳細な性能評価を行っている。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

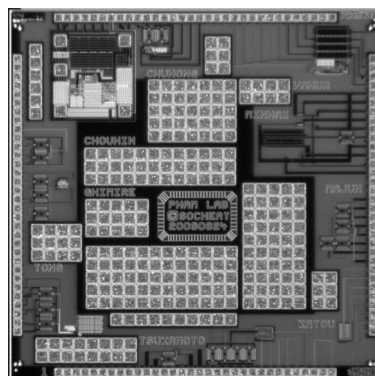


2009 年度 研究回路試作チップ

電気通信大学先進理工学部 範 公可, heng Socheat, 張 品, Ghimire Jagat Jyoti

概要：このチップに含まれる回路は、2009 年度 研究回路試作メンバーの提案回路である。設計は手計算をベースとして STAR-HSPICE によりシミュレーションを行い、その結果と比較するために cadence layout を用いてレイアウトを設計し、その試作と検証を行った。試作をした回路は、電源回路、プログラム可能な可変差動利得 CMOSOTA、入力電圧及び負荷変動に適応する高効率かつシンプルな DC-DC コンバータ、高速負荷過渡応答かつ小面積の LDO、インバータベースの 4 象限乗算回路、(チャンネル長 0.5 μ m, 0.35 μ m, 0.18 μ m) NMOS トランジスタ, PMOS トランジスタ, 高速な Rail-to-Rail CMOS バッファ回路, ワイドスイング及び低ゲインエラーの電圧バッファ回路などである。例えば電源回路では、突入電流を抑制する回路を設計している。また、静電気による絶縁破壊を防ぐため、回路の入力には ESD 保護回路を付加している。検証の結果、電源回路、バッファ回路、乗算回路、NMOS, PMOS (0.35 μ m まで) はシミュレーションに近い動作をすることが確認できた。

設計期間：10 人月以上 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



Clocked Level-Crossing Analog-to-Digital Converter.

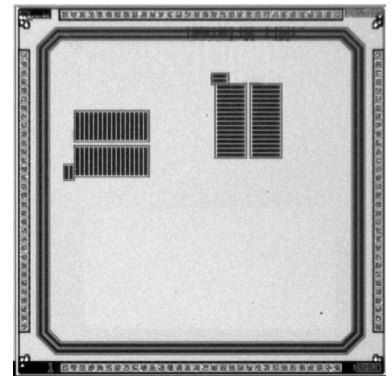
University of Tokyo VLSI Design and Education Center

Mohamed Abbas,
Satoshi Komatsu,
Kunihiro Asada

Advantest Corporation Takahiro Yamaguchi, Yasuo Furukawa

概要：The design is to be used for on-chip signal digitization. Using the design, the on-chip high frequency signal can be accurately reported off-chip in digital format by using the concepts of the level crossing ADC, which consumes less power and occupies smaller area than the conventional regular time-sampling ADC. In level-crossing ADC, the signal is sampled when it crosses a threshold level and the time between two consecutive crossings is measured. In this design, and for the evaluation of the idea, the test signal, reference signal and sampling clock are fed from off-chip while the circuit's digital outputs are driven and processed off-chip to reconstruct the original signal. The design comprises both analog and digital parts. The analog part contains the comparator circuit and the digital part is a circuit to detect the level-crossing timing. The design has been implemented using Rohm 0.18μm technology.

設計期間：1 人月以上, 2 人月未満 **設計ツール**：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数**：100 以上, 1,000 未満 **試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ **チップ種別**：アナログ (PLL, A-D/DC-DC コンバータなど)

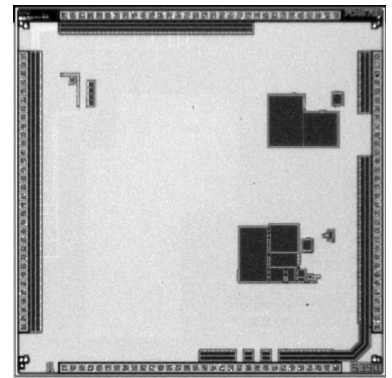


2つの低電圧 ADC (信号分割構成パイプライン型と弱反転領域使用の逐次比較型)

豊橋技術科学大学情報工学専攻 中川 雄介, 瀬川 健太郎
豊橋技術科学大学情報工学系 和田 和千

概要：本チップは2つの異なる目的を持った回路を実装している。一つ目の回路は、信号分割手法を適用した、微細プロセス向け高精度・低消費電力なパイプライン型アナログ・デジタル変換器 (電子回路研究会 ECT-09-096) の動作検証のための試作を行った。この ADC は、前置増幅を行い、増幅した信号を時間域で分割して扱うことにより、低電源電圧でも大振幅の信号を処理できる。本試作では基本ブロック1段のみを集積化している。二つ目の回路は、電源電圧 0.8V、分解能 10bit の逐次比較型アナログ・デジタル変換器の動作確認のための試作である。演算増幅器や比較器といったアナログ部はすべての MOS-FET を弱反転領域で動作させることで低電源電圧化を図り、またデジタル部にて分周を行わせることで休止期間を設け低消費電力化を図っている。測定の結果、電源電圧 0.8V にて 5kHz の標準化周波数で動作し、消費電力は 3.6μW であった。また、電源電圧 0.5V でも低速ながら動作を確認した。

設計期間：1 人月以上, 2 人月未満 **設計ツール**：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, **トランジスタ数**：1,000 以上, 10,000 未満 **試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ **チップ種別**：アナログ (PLL, A-D/DC-DC コンバータなど)

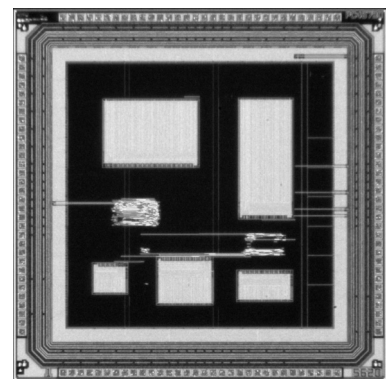


非同同期式回路によるオートマトン

東京工業大学情報理工学研究科計算工学専攻 廣田 健

概要：本チップは非同同期式回路で設計を行ったオートマトンである。本チップの特徴は、チップ内部の SRAM 上にオートマトンを展開し、現在の状態を表すアドレスに、入力をオフセットとして加算することにより次状態を決定する点である。このため外部メモリを使用する場合に比べ、高速な処理が実現できる。欠点として、必要となるメモリ量が増えてしまう点があげられる。アドレス計算を単純な加算で行う場合、無駄なメモリのエントリが多くなってしまふ。この問題を解決するために、本チップはメモリ量を減らす3つのアドレス計算方法を用いて設計をした。全てのタイプに専用のメモリを割り当てる面積がなかったため、ひとつのメモリを共有する設計とした。オートマトン以外に、メモリの動作を確認するため、メモリ単体のブロック、及び、組合せ回路のみで、加算、減算、ビット演算を行う単純な ALU を実装した。

設計期間：2 人月以上, 3 人月未満 **設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数**：10,000 以上, 100,000 未満 **試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ **チップ種別**：マイクロプロセッサ

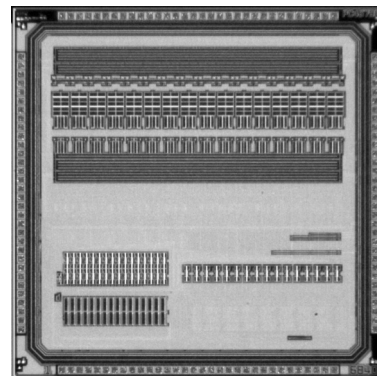


神経信号測定および刺激印加のための回路

慶應義塾大学理工学部 岩田 貴之, 山口 昌也, 中野 誠彦

概要: 以前試作を行った「神経細胞刺激のための信号生成回路 (W2)」のバージョンアップとして設計を行ったチップである。本チップでは従来外部より入力していた信号記録・刺激印加のモード切替信号をチップ内部で作り出せるようにしたことで、外部入力を減らして測定系の単純化を目指した。また 1ch のデジタル信号から 16ch の刺激波形を生成するブロックにおいて、後段のアンプの入力範囲を越えないよう、DAC 出力部におけるアンプの増幅率を従来の 1/5 倍にした。同ブロック最終段のアンプの増幅率を従来の 5 倍にしたため、合計の増幅率に変化は無い。神経信号センシングブロックに関しては全体の増幅率可変範囲を従来より高めの 34dB~84dB に変更し、より微小な信号の増幅に適した設計にした。同ブロックの出力は前作チップと同様にアナログ MUX を用いてシリアル化を行っているが、アンプ単体のデバッグ目的のために MUX を通さない出力も測定できるようにした。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

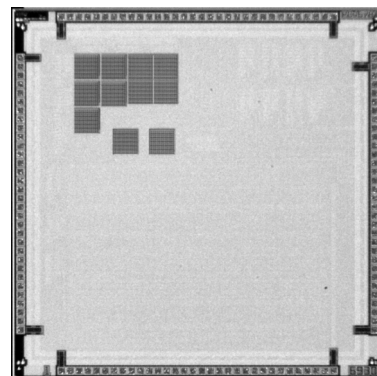


可視光通信用センサ

慶應義塾大学大学院システムデザイン・マネジメント研究科 森谷 英一郎, 春山 真一郎

概要: LED 照明などを利活用した可視光通信で、動画などのコンテンツを高速・高感度で受信できることを目的とした受光素子を開発するため、層構造の異なるフォトダイオードアレイと、ストリップ状のフォトダイオードを試作した。標準 CMOS プロセスで p 基板 (Psub), Pwell, Nwell, DeepNwell, n 拡散 (Ndiff), p 拡散 (Pdiff) の各層を組み合わせることによって、フォトダイオードアレイは 2x2 を設計した。また、ストリップ状のフォトダイオードはも使用する層を組みかえることによって複数の種類を設計した。周辺回路としてトランスインピーダンスアンプ、信号選択用のスイッチング回路などを組み込んでチップの一体化を目指した。作成したチップは評価ボードに実装して、周波数特性の基本的な評価実験を行った。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, **トランジスタ数:** 10 以上, 100 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

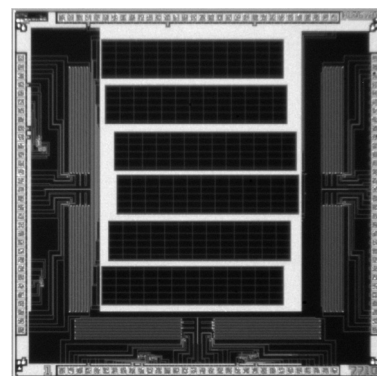


0.18 μ m インバータチェーン TEG (2)

東洋大学総合情報学部 堀口 文男

概要: 0.18 μ m ルールを用いた TEG である。通常のインバータチェーンの基板をフローティングとするもので、この電圧を外部的、内部的に変化させたときの特性変化を調べる。また、太陽電池の特性を評価するため、電極タイプ、面積を変えたもの数種類を TEG として入れている。これらの評価により、高性能、低消費電力のインバータの設計指針とオンチップ太陽電池の設計指針を得ることが目的である。今回のチップは、外部からの基板電位印加状態と、フローティング状態での動作について調査を行う。さらに、内部的な基板電圧制御をおこなうためのカップリング容量を付加したリングオシレータを設計している。また、太陽電池については、受光面積を大きくしたものを設計し、供給電力の測定とともにリングオシレータへの電力供給を行う。また、同時に差動増幅器や、フリップフロップ、単体トランジスタの基本特性が測定できるものとなっている。動作を確認し、基本的な特性の確認を行っている。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

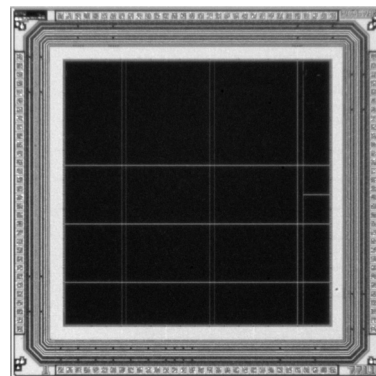


0.18 μm 論理回路 TEG (3)

東洋大学総合情報学部 堀口 文男

概要：0.18 μm ルールを用いた論理回路 TEG である。論理合成を行い、ロジックからレイアウトまでの実際の製作過程の確認のため、Synopsys 社の Astro を用いて、roulette の動作を実現するための論理回路を検討した。Verilog データよりシミュレーションを行い、論理合成をデザインコンパイラにより行う論理合成後の目つとリストよりシミュレーションを行い、セルの遅延を確認している。論理より、テストベンチの作成、シミュレーションの実行、ローム社提供のライブラリである標準 I/O、標準の論理回路ブロックを使って、論理合成、検証、フロアプラン、電源リング、メッシュ作成、配置、クロックツリー合成、配線、レイアウトを行っている。このうち、LVS、DRC を行い、検証作業を行っている。この回路の動作を確認し、基本的な特性の確認を行っている。

設計期間：0.5 人月以上、1 人月未満 **設計ツール**：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数**：100 以上, 1,000 未満 **試作ラン**：ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別**：演算回路 (乗算器, 除算器など)



磁性膜によるノイズ抑制効果を評価するためのオンチップ伝送線路

東北大学大学院工学研究科 山口 正洋, 室賀 翔, 難波 志織

概要：電磁ノイズ抑制体は現在広く電子機器に用いられており、その次世代技術として強磁性薄膜を用いた電磁ノイズ抑制体が提案されている。本チップ試作では、配線上に微小寸法の磁性薄膜を置いた場合のノイズ抑制効果を測定するために、信号線幅が 0.6 μm から 4.2 μm のマイクロストリップ線路およびコプレーナ線路を設計した。信号線の特性インピーダンスは、チップ上に磁性膜を集積した場合に 50 Ω となるように設計した。また、GHz 帯における浮遊容量等の除去を目的とした de-embedding を行うため、開放器 (オープン)、短絡器 (ショート) および整合負荷 (ロード) の 3 つの標準反射器も設計した。

設計期間：0.5 人月以上、1 人月未満 **設計ツール**：Cadence 社 Virtuoso, Cadence 社 Dracula DRC, **トランジスタ数**：10 未満 **試作ラン**：ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別**：その他

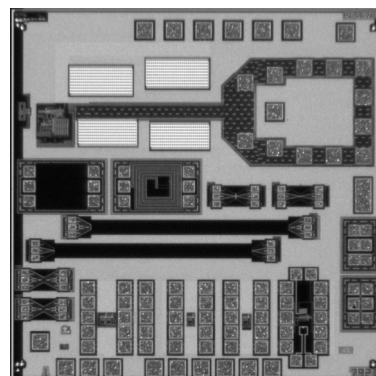


低雑音増幅器を用いたオンチップ集積化磁界プローブ

東北大学大学院工学研究科 山口 正洋, 難波 志織

概要：近年、電子機器の発展に伴い、不要電磁放射による EMC 問題が顕在化している。その対策として、LSI の近傍磁界を測定し、ノイズ源や伝播経路を特定する必要がある。そこで我々の研究室では高周波・高空間分解能の集積化マイクロ磁界プローブの開発を行っている。本試作では、磁界検出コイルを小形化し、その近傍に低雑音増幅器、差動シングルエンド変換バッファを搭載することで空間分解能の向上を目指した。チップと実装用プリント基板との実装には、電磁ノイズへの耐性強化、不要ループ削減のためにワイヤボンディングではなくフリップチップ実装を想定して信号取り出し用パッドを設計した。さらに、今後磁界プローブに用いる回路の動作確認を行うため、差動増幅器、切り替えスイッチをチップ上に設計した。

設計期間：1 人月以上、2 人月未満 **設計ツール**：Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, **トランジスタ数**：10 以上, 100 未満 **試作ラン**：ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別**：その他

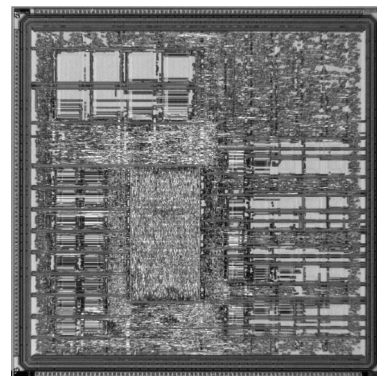


可変構造型プロセッサの試作

九州大学システムLSI研究センター 石原 亨, Zang Chengjie

概要: 東芝社製の Media embedded Processor (MeP) をベースにいくつかの動的な可変構造を持つマイクロプロセッサを試作した。プロセッサは8KBの4ウェイセットアソシアティブ命令キャッシュと8KBの命令用SRAM及び16KBのデータ用SRAMを搭載する。命令キャッシュは使用するウェイトを動的に変更することができる。CPUコアには2種類のPEコアが搭載されそれぞれ1.8Vと1.0Vのライブラリで設計されている。プログラムはI/O命令を使って使用するPEコアとキャッシュウェイトを選択することができる。使用しないPEコアとキャッシュは不活性化することにより消費電力を削減する。アプリケーションの実行状況に応じて稼働させるPEコアとキャッシュウェイトを動的に変更することにより通常の4ウェイセットアソシアティブと比較して消費電力を最大50%削減できることをポストレイアウトシミュレーションにより確認した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreXRC, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** マイクロプロセッサ



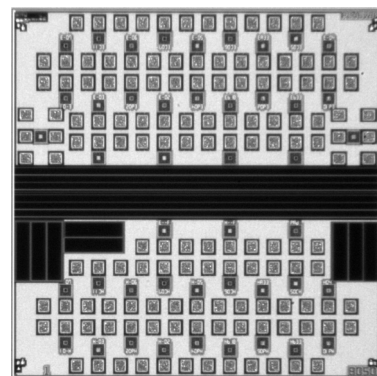
アバランシェフォトダイオード

金沢大学理工研究域 飯山 宏一, 丸山 武男
金沢大学大学院自然科学研究科 高松 英輝

概要: 高速データ通信を目指して、LSIチップ間通信に光伝送を適用した光インターコネクションが検討されている。その実現のためには、LSIプロセスによるフォトダイオード作製の整合性について検討する必要がある。本チップは微細CMOSプロセスを利用したアバランシェフォトダイオードであるが、CMOSプロセスでは電極は基板表面にのみ形成されるので、基板深部で光励起されたキャリアが動作速度を制限する。そのため、基板深部で発生したキャリアを打ち消す構造も取り入れた。アバランシェ増幅利得の向上と帯域拡大を同時達成するため、ウェル構造および電極構造・配置の最適化を行った。その結果、10V以下のバイアス電圧で100倍以上のアバランシェ増幅利得、最大帯域3.8GHz、最大の利得帯域幅積500GHzを得た。

参考文献: K. Iiyama, H. Takamatsu and T. Maruyama: "Silicon Lateral Avalanche Photodiodes Fabricated by Standard 0.18 μ m CMOS Process", 35th European Conference on Optical Communication (ECOC 2009), P2.06, Wien, Austria (2009).

設計期間: 3人月以上, 4人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Virtuoso, Cadence社 Dracula DRC, Cadence社 Diva, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

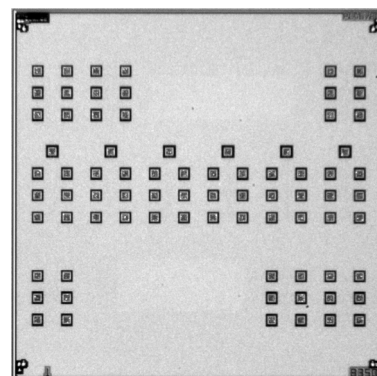


MOSFETパラメータ基板効果評価TEG

東京理科大学大学院理工学研究科 榎田 洋太郎, 真鍋 貴俊, 間瀬 泰明

概要: 直列均等分圧回路では直列接続された複数個のトランジスタが同一の動作をすることにより、一のトランジスタの場合と比べてトランジスタ数倍の電圧を出力することができる。しかし、バックゲートをグラウンドに接続した場合、Si MOSFETでは各電極の対バックゲート電圧が異なるため、ドレイン電流および各電極間容量が変調され、分圧動作のバランスが崩れると予想される。本TEGは、Si MOSFETパラメータの基板バイアス依存性を測定することを目的として作製した。その測定結果を用いて、基板バイアス効果によるMOSFETパラメータの変調が有る場合の直列均等分圧動作への影響を予測するとともに、均等分圧動作を行うために必要な設計法を明らかにする計画である。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

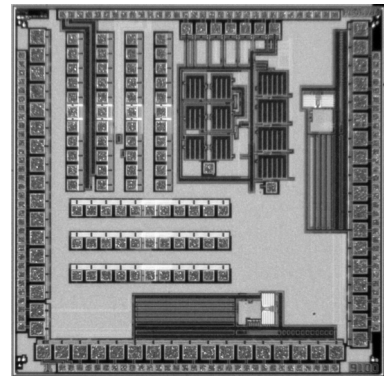


SRAM TEG 回路と昇圧電源回路

東京大学電気系工学専攻 畑中輝義, 矢島亮児, 田中丸周平, 本田健太郎, 竹内健
東京大学生産技術研究所 宮地幸祐

概要: 本チップ試作は研究室学生がVDEC環境においてLSI試作フローを習得する目的で実施したものである。SRAMセルの動作、安定性の測定と解析が可能なSRAMセルTEGと低電圧動作メモリ用の高速昇圧電源回路を設計した。SRAM TEGはセルの読み出し・書き込みマージン以外にセル内トランジスタのI-V特性も直接測定できる構成になっている。電源回路は低電圧動作メモリのワード線昇圧アプリケーションを想定している。メインの昇圧電源回路の出力低下を補う電源として昇圧速度を重視したチャージポンプ回路となっている。並列に並べたキャパシタに電荷を充電し、それを直列につなぎ替えることで昇圧の高速化を図っている。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

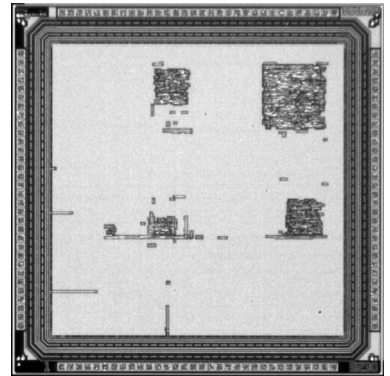


ウェイクアップ型無線通信システムのデジタル回路

東京大学先端科学技術研究センター 瀧口貴啓, 石田繁巳, 猿渡俊介, 南正輝,
森川博之

概要: 我々は受信待機電力を大幅に削減できる新しい無線通信システムの研究を行っている。このシステムでは受信待機に特化した「ウェイクアップモジュール」と呼ぶ非常に低消費電力なモジュールを用いることで、データ通信を行うモジュールは通信を行う時のみ電源を入れることができる。本チップは、ウェイクアップモジュールのデジタル回路部分を設計したものである。デジタル回路は主にIDマッチング回路、IDを保存するシフトレジスタ、ビット同期回路から構成されている。IDマッチング回路は動作テスト用の短いID (16 bit) に対応したもの、1つのID (128 bit) しか比較できないもの、5個のIDを比較できるもの、新しく提案したブルームフィルタを用いたものの4種類を搭載している。ブルームフィルタを用いると複数のIDを1つのビット列で表現することができ、IDマッチングも論理積のみで行えるので、低消費電力に実装できことを本チップで検証する予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

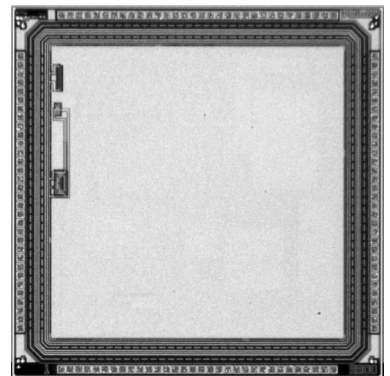


Fractional-N PLL設計 TEG Ver1

東北大学電気通信研究所 Lee Jun Gyu, Xu Zule, Wang Ge, 梶井昇一

概要: 東北大学梶井研究室では、300MHz帯・400MHz帯の両バンドを利用した近距離通信システム向けに、高い周波数分解能 (1kHz以下) と、高速 Settling (5 μ sec以下) が実現可能で、かつ、1年間の電池寿命を実現するための低消費電力 CMOS Fractional-N PLL (Phase Locked Loop) の設計、および、その設計手法の研究を行っている。今回の Fractional-N PLL設計 TEG Ver1では、Phase Frequency Detector, Charge Pump回路, LC VCO (Voltage Controlled Oscillator, インダクタンスは外付け), Half Divider, Programmable Prescaler, Output Driverといった、Loop Filterを除いたPLLを構成する基礎的な回路ブロックに加え、プロセス変動に対してアナログ回路特性を補正するためのDAC (Digital to Analog Converter) ブロックを搭載した。Fractional-N PLLを実現する上で必要な Sigma Delta Modulatorは、TEG Ver2で搭載する。

設計期間: 8人月以上, 9人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



平成21年度第4回ローム CMOS 0.18 μ m 試作 (RO18094)

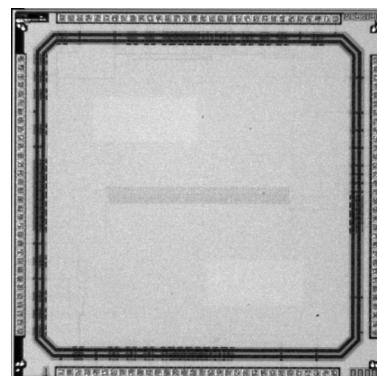
ゲートドリップフロップを多ビット統合した低電力レジスタ回路の試作

九州大学システム情報科学府 奥平 拓見

九州大学システム LSI 研究センター 石原 亨

概要：従来のクロックゲーティングはレジスタ回路の1ビットでもデータの書き込みが発生するとそのすべてのビットにクロックを供給するため電力の無駄が多い。この問題を解決するためにデータが更新されるときのみクロックを供給するゲートドリップフロップ (GFF) が提案されているが、GFFは1ビット毎にクロックを停止する回路が内蔵されているため電力や面積的なオーバーヘッドが大きい。そこで、クロックを停止する回路を複数ビットで共有することにより1ビット当たりの電力と面積のオーバーヘッドを低減する。ただし、統合したビットのうち1ビットでもデータの更新が必要な場合はすべてのビットにクロックを供給する必要があるため、電力削減効果はデータの更新頻度に依存する。マイクロプロセッサ中のレジスタ回路におけるデータ更新頻度情報に基づいてシミュレーション実験を行った結果、4ビットのGFFを統合した場合、統合しない場合と比較して最大40%の電力削減を確認した。試作のチップは通常のレジスタ回路、1ビットのGFFを用いたレジスタ回路、および多ビット統合したレジスタ回路を搭載した。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**1,000以上、10,000未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)



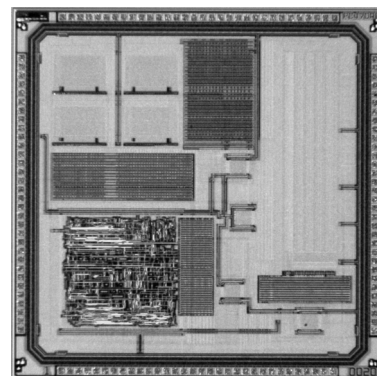
二線式スタティック CMOS を用いた自己同期回路

東京大学工学部 中里 輝希

東京大学大規模集積システム設計教育研究センター (VDEC) 池田 誠

概要：集積回路の微細化や高速化が進むにつれ、デジタル回路に関しても設計通りの性能を保証することが困難になり、誤動作による信頼性が低下する問題が生じているが、クロック信号に同期した動作を行わない回路は、遅延変動によって誤動作を起こさないという特徴がある。本研究室で提案されている自己同期回路は終了検出・エラー検出が可能な回路であり、これまでは二線式のDCVSLを用いてこれを実現してきた。しかしながらDCVSLはダイナミック回路であるため一定以上の電源電圧を必要とする。そこでDCVSLと論理的に同等な回路をスタティック回路で構成することを試みた。今回のチップはかつて当研究室で設計されたDCVSLを用いた自己同期回路のネットリストを用い、それに使用されているDCVSLのスタンダードセルを二線式スタティックCMOSのものに置き換えて配置配線を行うことで設計した。現段階では測定は終了していない。

設計期間：1人月以上、2人月未満 **設計ツール：**Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**マイクロプロセッサ

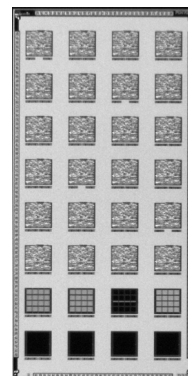


LSI 故障診断装置評価用 TEG-1

大阪大学大学院情報科学研究科 野津 孝行, 御堂 義博, 三浦 克介, 中前 幸治

概要：微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となったLSIの故障診断を行うため, 種々の故障診断装置が提案・開発されている。本チップは, これらのLSI故障診断装置を評価することを目的として設計したチップの一つである。主に, レーザ励起テラヘルツ波顕微鏡による故障個所の絞り込み性能の評価を行うための回路ブロックと, 顕微鏡の像生成機構理解のための回路ブロックとからなる。前者の目的のためには, 配置配線ツールによりレイアウト合成されたISCAS'85 c7552ベンチマーク回路のマクロセル24個が集積されている。これらのマクロセルには, それぞれ, 異なる個所に断線故障が作り込まれている。後者の目的のためには, 前者と同じc7552回路から電源配線など特定の構造のみを抽出したマクロセルが8個集積されている。レーザ励起テラヘルツ波顕微鏡は電気的接続を必要とせずに故障絞り込みが可能であり, 各マクロセルは入出力パッドには接続されていない。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別：**TEG (特性評価回路など)

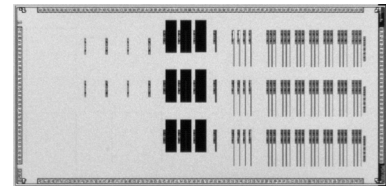


LSI故障診断装置評価用 TEG-2

大阪大学大学院情報科学研究科 池田 哲志, 御堂 義博, 三浦 克介, 中前 幸治

概要: 微細化, 大規模化, 多ピン化, フリップチップ実装等により困難となったLSIの故障診断を行うため, 種々の故障診断装置が提案・開発されている. 本チップは, これらのLSI故障診断装置を評価することを目的として設計したチップの一つである. 主に, レーザ励起テラヘルツ波顕微鏡による故障解析の為に解析容易化設計 (DFA: design for analysis) 検討用 TEG (test element group), 走査レーザ SQUID 顕微鏡のシミュレーション精度評価の為に TEG からなる. 前者の目的の為に, pn 接合部の面積および配置, それに繋がる金属配線の長さ等を種々に変えた TEG を多数集積している. 後者の目的の為に, レーザ誘起電流のうち, 基板を流れる電流, 電源配線を流れる電流, 信号配線を流れる電流をそれぞれ分離して計測可能なように, 配線の構造が工夫された TEG が8個集積されている. レーザ励起テラヘルツ波顕微鏡および走査レーザ SQUID 顕微鏡は, 共に電気的接続を必要とせず計測が可能であり, 各 TEG は入出力パッドには接続されていない.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** TEG (特性評価回路など)



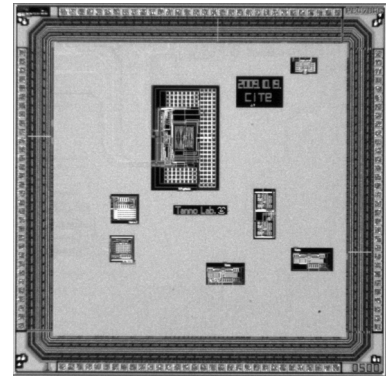
デルタ・シグマ変調器, 計測アンプ, 演算増幅器, 温度センサー回路の試作

宮崎大学大学院工学研究科 宮内 亮一, 西村 和将, 田中 誠

宮崎大学工学部 坂本 亮太, 末崎 将成, 外山 貴子, 田村 宏樹, 淡野 公一

概要: 本試作では, 1次デルタ・シグマ変調器, 計測アンプ2種, 演算増幅器2種, 温度センサー回路3種を試作した. デルタ・シグマ変調器は, 生体信号用のAD変換器として用いるための変調器として用いるための基礎検討として試作したもので, 変調器内の積分器に用いる演算増幅器には, 提案する1/fノイズの低減化手法を用いている. この手法によるフロアノイズの低減効果について評価する予定である. 計測アンプおよび演算増幅器は, 生体信号の計測および増幅を目的として試作したもので, 1/fノイズの低減化手法を用いたものと考慮しないものを, それぞれ2種ずつ作りこんでいる. これらについても, ノイズ低減効果について評価する予定である. また, 広い測定範囲と高い感度をあわせ持つ温度センサー回路とダイオード単体で測定可能な温度センサー回路の2種類を試作した. これらの特性評価を行う予定である.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



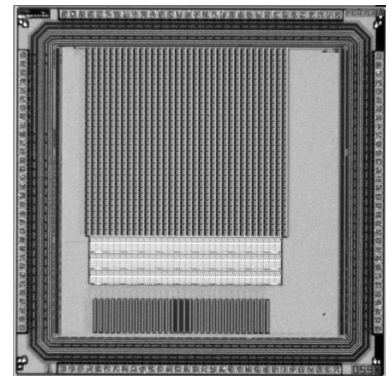
CMOS バンプ回路を用いた電流モード動きフィールド生成回路

東京大学工学系研究科 プラバート ウィーラワルダナ, 柴田 直

概要: その高い計算コストのため, 従来リアルタイムで生成することが難しいといわれたブロックマッチング法を用いたオプティカル・フロー検出に関し, その専用アナログLSIを設計した. ブロックマッチングの際フレームスキップ法を用いることで速度変化に強いオプティカル・フロー検出を実現した. 本チップでは弱反転領域で動作するバンプ回路を用いて行並列に画像強度の差分絶対値に指数関数的に比例する電流を生成し, それを電流メモリーに保存して足し合わせることで, すぐ隣のブロックとの比較を並列処理で行う. 用いられる電流-電圧特性がラプラス分布に似ているため, 低い画像強度の領域の絶対差分値が増幅され, システムの感度が向上した. また, アパーチャ問題を防ぐために特別なロジック回路を導入することで生成されるオプティカル・フローの精度の向上をはかった. 提案するシステムは340 [KHz] のクロック周波数を用いて34x31サイズのフレームを秒速10416枚で処理することが可能であることをHSPICEシミュレーションによって示した.

参考文献: Prabhath Weerawardhana and Tadashi Shibata "A Current-mode Motion Field Generator Employing CMOS Bump Circuits", IEICE Technical Report, Vol. 109, No. 405, pp109-114

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサー/スマートセンサ

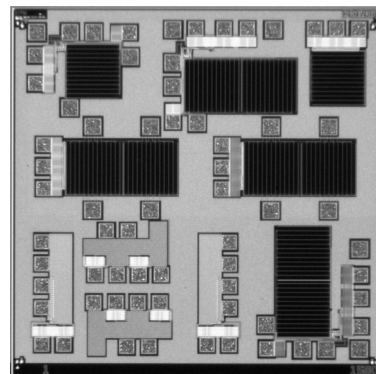


容量結合通信向け要素回路 1

東京大学生産技術研究所 佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要: 容量結合通信を用いた非接触型コネクタは, 従来方式である接触型のコネクタと比べて機械構造が単純であることから, コネクタの実装密度を高めて多ピン化することが期待できる. LSI テスタ内部で, プローバ部分とテスタ本体とを接続する超多ピンコネクタを実現するため, 容量結合通信を用いた非接触コネクタ向け回路のフロントエンド部について要素回路を設計した. 本要素回路では実装するフレキシブル基板のレイアウトにあわせてチップを設計し, 多ピンコネクタの実装部の特性を含め正確に評価できるように工夫した.

設計期間: 2 月以上, 3 月未満 設計ツール: Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: TEG (特性評価回路など)

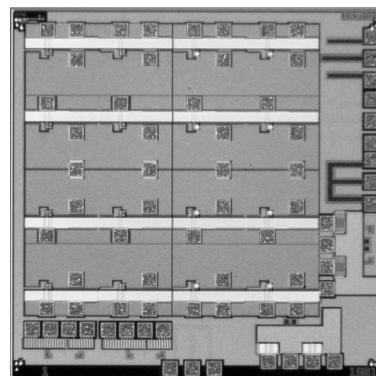


容量結合通信向け要素回路 2

東京大学生産技術研究所 佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要: 容量結合通信を用いた非接触型コネクタは, 従来方式である接触型のコネクタと比べて機械構造が単純であることから, コネクタの実装密度を高めて多ピン化することが期待できる. LSI テスタ内部で, プローバ部分とテスタ本体とを接続する超多ピンコネクタを実現するため, 容量結合通信を用いた非接触コネクタ向け回路のフロントエンド部について要素回路を設計した. 本要素回路では実装するフレキシブル基板のレイアウトにあわせてチップを設計し, 多ピンコネクタの実装部の特性を含め正確に評価できるように工夫した.

設計期間: 2 月以上, 3 月未満 設計ツール: Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, トランジスタ数: 1,000 以上, 10,000 未満 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: TEG (特性評価回路など)

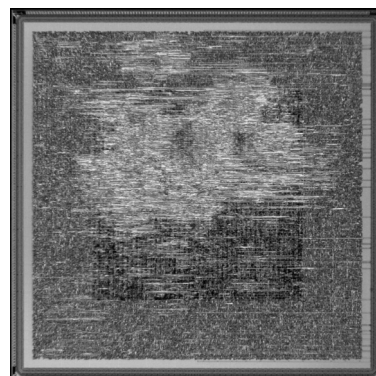


多倍長浮動小数点演算アクセラレータ HP-DSFP の実装

広島市立大学大学院情報科学研究科情報工学専攻 川本 智之, 谷川 一哉, 弘中 哲夫

概要: 科学技術計算分野では多倍長浮動小数点演算を必要とするアプリケーションとしてループ積分や CG 法がある. 本研究ではそれらのアプリケーションで使用される多倍長浮動小数点演算の高速化を実現する HP-DSFP アーキテクチャを提案する. HP-DSFP では, 一般的な手法では困難な多倍長浮動小数点演算器を多数搭載することで, 高性能化を実現する事を目標とした. そこで, 演算器には小面積で面積あたりの性能を高めることができるディジットシリアル演算方式を採用した. 本研究では, HP-DSFP の詳細な評価を行うために Rohm 0.18 μ m CMOS テクノロジを利用し, 7.5mm 角チップへ実装した. 実装した HP-DSFP プロセッサは, 8 倍精度浮動小数点演算を行う FPU を 48 個搭載しており, 動作周波数は 133MHz であった.

設計期間: 4 月以上, 5 月未満 設計ツール: Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys JupiterXT, Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数: 100,000 以上 試作ラン: ローム CMOS 0.18 μ m 7.5mm 角チップ チップ種別: マイクロプロセッサ

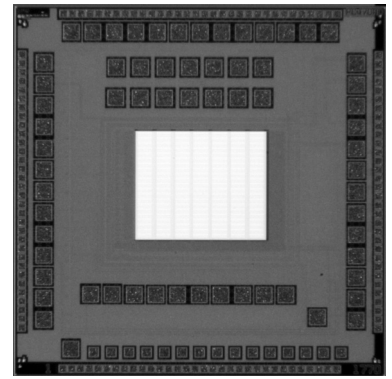


SFQ/CMOSハイブリッドメモリ用64kbメモリ

横浜国立大学工学部 岡本 悠史, 陳 賢珠, 矢口 謙太, 吉川 信行

概要:我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップでは、メモリシステムのパッド位置とアドレス選択方式について変更を施した。パッド位置の変更は、メモリシステム測定をより容易に行うために実施した。またアドレス選択方式変更は、アドレス選択を意図しない場面においても、0番地への選択がなされてしまう問題を取り除く事を目的としている。この変更により、読み出し時のメモリ出力のグリッジ抑制が期待できる。今後測定によりメモリの動作実証を行う。

設計期間:1人月以上, 2人月未満 **設計ツール:**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:**10,000以上, 100,000未満 **試作ラン:**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:**メモリ



タイムドメイン連想メモリの高速・低消費電力化のためのテストチップ

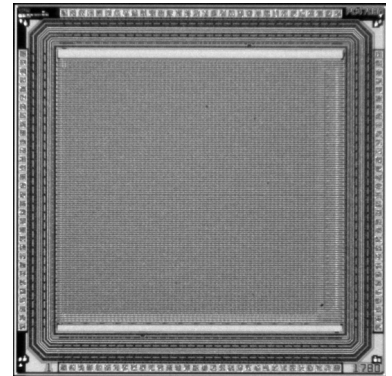
広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen,
小出 哲士

広島大学先端物質科学研究科 Tania Ansari, 今福 涉, 川畑 明雄

広島大学工学部第二類 安田 雅浩

概要:これまで我々の研究室では、文字認識・画像圧縮などのパターンマッチングを必要とするアプリケーションのIPコアとして期待される連想メモリの研究を行ってきた。本試作では、RO1809_1の試作で得た経験を踏まえて、リングオシレータベースタイムドメイン連想メモリの低消費電力化ならびに高速化を図った。距離の差を時間差に変換する回路にリングオシレータを用いており、ハミング距離1の差を時間領域上で大きくとることで、ばらつきに対するマージンが広くとれ、高信頼検索が可能となる。さらに、信頼性を向上させるためにリングオシレータベースを生かし、分周器を用いた超高信頼性連想メモリの実現を目指した。

設計期間:1人月以上, 2人月未満 **設計ツール:**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:**100,000以上 **試作ラン:**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:**メモリ



信頼性検証のためのタイムドメイン連想メモリのテストチップ

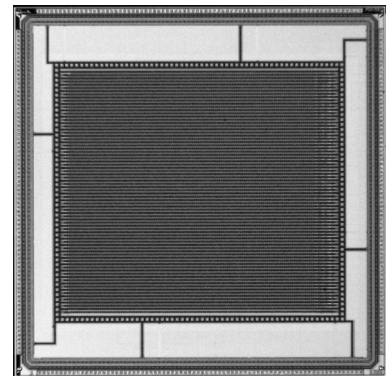
広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen,
小出 哲士

広島大学大学院先端物質科学研究科 Tania Ansari, 今福 涉, 川畑 明雄

広島大学工学部第二類 安田 雅浩

概要:本研究室では、ある参照データ群の中から最も類似するデータパターンを検索する連想メモリの研究を行ってきた。これまで、本研究室で提案してきたデジタル・アナログ混載型連想メモリの検索信頼性を向上させる様々なアプローチを提案してきたが、本試作では、時間領域を用いて最小距離を検索するタイムドメイン連想メモリの信頼性評価を目的とした。本試作の連想メモリは、これまで設計された中で最大のビット長を持ち、データ長と検索信頼性との関係を明確にすることで、今後の研究において大変有意義な試作となる。

設計期間:1人月以上, 2人月未満 **設計ツール:**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:**100,000以上 **試作ラン:**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:**メモリ

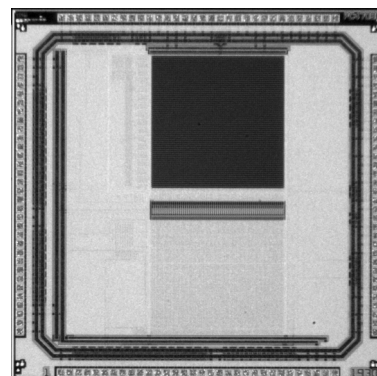


高機能イメージセンサの検証用TEG

東京理科大学工学研究科 菅井 男也, 浜本 隆之

概要：イメージセンサの撮像パラメータを制御することで、品質のよい画像を取得する方式について検討している。その方式を実証するために、将来実施する予定の大規模な高機能イメージセンサの試作に備えて、イメージセンサの中心的な回路のうち、撮像回路とその周辺回路の基本動作を確認するための検証用チップを試作した。本チップは、縦64x横64画素のフォトダイオードとそれぞれで取得した情報を読み出し回路、フォトダイオードで光電変換したアナログ出力値をデジタル出力値に変換するA/D変換回路、デジタル出力値の格納用メモリ回路とデコーダ回路から構成される。これらの回路の評価から、フォトダイオードの感度の調査や、A/D変換回路の動作確認などを行った（テストによる評価は無）。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数：10,000以上、100,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ

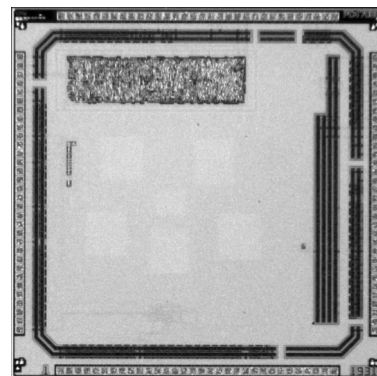


高機能イメージセンサの検証用TEG

東京理科大学工学研究科 大高 俊徳, 浜本 隆之

概要：今後の高機能イメージセンサに使用する、4つの機能ブロックの試作を行った。本チップは、細かなアナログ回路制御タイミングを発生するデジタル回路、3T APS アンプの閾値ばらつきを除去する為の相関二重サンプリングとシングルエンド型スイッチトキャパシタアンプ等を含むアナログ信号処理回路、電圧出力型の単体3T APS回路、そして電流コンパレータ回路から構成される。デジタル回路は1.8V用スタンダードセルを、自動配置配線ツールを用い実装を行った。現在実機での評価環境構築中であるが、今後はフォトダイオード感度特性と、アンプ線形性やオフセット特性等を調べる予定である。（テストによる評価は無）。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, トランジスタ数：100,000以上 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



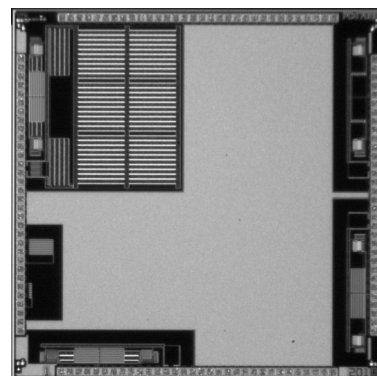
低周波数で動作する無線通信向け整流回路

広島大学大学院先端物質科学研究科 大森 美郷, 亀田 成司, 岩田 穆

概要：数MHzの低周波数で動作可能なRF-IDシステムを模した無線給電データ回収システムにおける、受信側の外部給電型電源回路の整流回路を試作した。一般的なダイオードブリッジ型の全波整流器では、整流用ダイオードの閾値電圧により入出力間の電力変換効率が悪化していた。そこで、全波倍圧整流回路の構成に閾値キャンセル回路[1]を組み込むことで、ダイオード接続した整流用トランジスタの閾値電圧を下げ、電力変換効率の改善を図った。文献[1]ではUHF帯の長距離無線通信用に全波4倍圧整流回路が提案されている。これを数MHz帯の近距離無線通信用にMOSのサイズや回路定数等を変更し構成を単純化した。チップを4区画に分け、出力容量を含んだ回路を1種、出力容量を含まず回路定数を変更したものを3種用意し、ピーク値1V以上の交流入力電圧に対して1.8~2.2Vの安定した直流出力電圧が得られるよう設計した。

参考文献：[1] H. Nakamoto, et al. "A Passive UHF RF Identification CMOS Tag IC Using Ferroelectric RAM in 0.35- μ m Technology", IEEE JSSC, VOL. 42, No. 1, pp. 101-110, (2007)

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 CalibreXRC, トランジスタ数：10以上、100未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



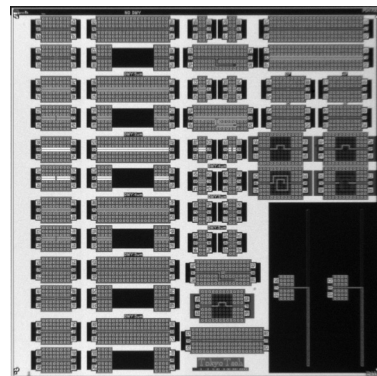
ダミーメタル入り伝送線路およびRF回路基本素子の特性評価

東京工業大学理工学研究科 平野 拓一, 小野 雄也

概要: ダミーメタル入り伝送線路のダミーメタルのサイズおよび位置依存性を評価するためのTEGを作成した。また、スタブ、線路間クロストーク評価用TEG、スパイラルインダクタ(半周および1.5周), FET-TEG(フィンガー数2および4), オンチップダイポールアンテナも作成した。試作TEGはダミーメタル無しのThru, Reflect, Line, Short, また5 μm 角のダミー配置を3パターン変化させた伝送線路評価用TEG, 2 μm 角および4 μm 角のダミーメタル入り伝送線路評価用TEGも作成した。TRL(Thru-Reflect-Line)校正, TL(Thru-Line)校正およびOS(Open-Short)校正による3つのディエンベディング方法により伝送線路の伝搬損失を抽出して評価を行う。また、電磁界シミュレータの解析値の実験値との比較を行って妥当性の検証を行い、今後の素子設計のための基礎検討を行う。

参考文献: 小野雄也, 平野拓一, 岡田健一, 広川二郎, 安藤真, “ダミーメタル入り伝送線路の伝搬定数の固有値解析,” 電子情報通信学会総合大会, C-2-59, 2010年3月16日。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μm 5.0mm角チップ **チップ種別:** TEG(特性評価回路など)

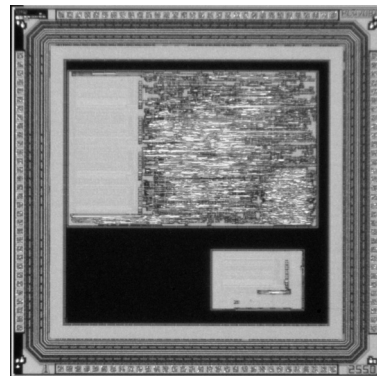


並列処理用プロセッサの試作

首都大学東京数理情報科学専攻 大橋 常毅, 田中 和人, 福永 力

概要: 4本のシリアルリンクを持ち、これを繋げる事でプロセッサネットワークを構成し並列処理を行うことができるプロセッサの試作。もともとFPGA上で実現していたが、高速化を目指しASIC化を行った。インストラクションセットはINMOS社TransputerT425と互換であるが、内部の構造は独自のものとなっている。並列プログラミング言語Occamで記述し、INMOS社Occam2Toolsetでコンパイルしたプログラムが実行可能。Transputer同様、任意の数のプロセスを単一プロセッサ上でOSの介入無しに実行させることもできる。プロセスの切り替えはハードウェアで行うので非常に高速に切り替えられる。チップは2月に届き、現在基本動作確認を行っているところである。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** マイクロプロセッサ



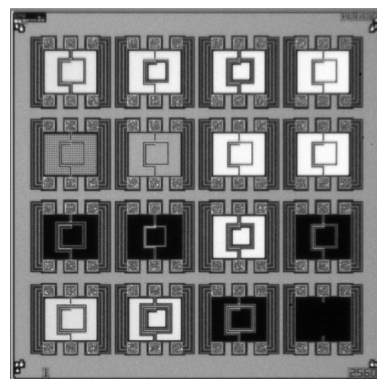
高抵抗シリコン基板を用いたオンチップ・スパイラルインダクタ TEG 試作

中央大学大学院理工学研究科 荻野 達也, 中澤 啓悟, 江川 遼介, 杉本 泰博

概要: 高周波回路設計においてQ値の高いオンチップ・スパイラルインダクタは必要不可欠である。しかし、抵抗率の低いシリコン基板中をうず電流が流れることによりQ値が減少することが考えられる。したがってオンチップ・スパイラルインダクタに対するシリコン基板の影響を明らかにする必要があった。そこで今回は高抵抗シリコン基板であることを利用して第3回のランで試作したスパイラルインダクタとインダクタの大きさ, 形, ダミーメタルの配置方法等, シリコン基板の抵抗率以外は同条件であるスパイラルインダクタを試作した。高抵抗シリコン基板におけるQ値, または他の成分の測定を行い, シリコン基板がスパイラルインダクタに及ぼす影響に関して検討を行った。しかし, 測定したインダクタにおけるQ値とシリコン基板の抵抗値を示すRsiは第3回と変わらない結果となった。よってインダクタの各成分の抽出方法等を見直して再度第3回試作チップと本チップの比較検討を行う必要がある。

参考文献: The Influence of Dummy Fills on an On-chip Spiral Inductor and their Optimized Placement Scheme Tatsuya Ogino, Yasuhiro Sugimoto, APMC 2008

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** TEG(特性評価回路など)

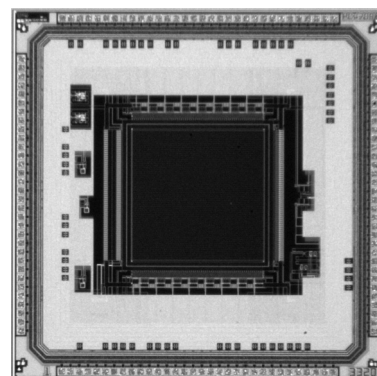


集積化磁気センサの低電圧駆動確認用 TEG

茨城大学工学部 木村 孝之

概要：磁気センサを製作するには、一般的に移動度の高い InSb や GaAs などの材料が用いられる。一方、Si はこれらの物質に比べて移動度が低いため、磁気センサを構成する場合は感度が低くなり使用が難しい。本試作では、これまで試作してきた MOS-FET の反転層を用いた 2次元集積化ホールセンサを 1.8V の電源で実現するための TEG 回路を作製した。設計したセンサは $W/L=1$ であった。また、読み出し回路は CMOS イメージセンサに用いられるような 2段ソースフォロアであり、アンプを画素内に採り入れているためノイズには強いという特質がある。さらに、電源の低下により、トランジスタサイズを $0.18\mu\text{m}$ にすることができたため、1画素のサイズはこれまでの $1/25$ の $10\mu\text{m}$ 角とすることができた。なお、画素アレイは 64×64 個を配置することができた。ホール効果を用いた磁気センサでは 2つの電極から出力される電圧を読み出して引き算をする必要がある。これらの信号は本試作では 16×2 チャンネルとなり、これらを同時に読み出すようにした。現在、特性測定の前準備を行っているが、以前試作した TEG と同程度の積感度 ($4.7\text{mV}/(1\text{mA}\cdot 1\text{kG})$) が得られている。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数：**1,000 以上、10,000 未満 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

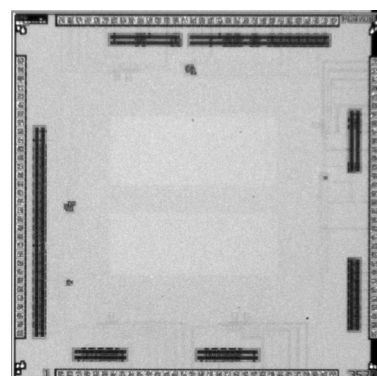


連続時間方式 $\Delta\Sigma$ 型 ADC とその要素回路

上智大学理工学部 安達 美志, 室塚 真毅, 和保 孝夫

概要：次世代モバイル通信機器向けの広帯域・低消費電力 ADC に適したアーキテクチャとして、連続時間方式の $\Delta\Sigma$ 型 ADC が注目されている。しかし、本方式の広帯域化はクロック・ジッタによる性能劣化や消費電力の増加などの問題を招く。そこで我々は連続時間方式 $\Delta\Sigma$ 型 ADC の性能評価を行う目的で 1, 2 次 $\Delta\Sigma$ 型 ADC とその要素回路を設計した。また、クロック・ジッタの影響を測定する目的で 1, 2 次 $\Delta\Sigma$ 変調器の試作も行った。spectre を用いたシミュレーションにおいて、1 次 $\Delta\Sigma$ 変調器では有効分解能 7.6bit, ジッタ耐性 $0.8\%T_s$, 2 次 $\Delta\Sigma$ 変調器では有効分解能 9.8bit, ジッタ耐性 $0.1\%T_s$ の性能を確認した。デジタルフィルタとして 2, 3 次 CIC フィルタを設計、想定のスAMPLING 周波数での動作をシミュレーションで確認した。現在、 $\Delta\Sigma$ 変調器の基本動作の確認を終え、詳細な性能評価を行っている。

設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数：**1,000 以上、10,000 未満 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

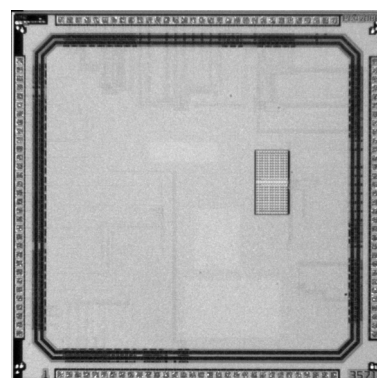


低電圧非同期型 Δ 変調器, 電流モード非同期式 $\Delta\Sigma$ 変調器とその要素回路

上智大学理工学部 小田 遼介, 栗林 和輝, 和保 孝夫

概要：我々は低電圧非同期型 Δ 変調器及び電流モード非同期式 $\Delta\Sigma$ 変調器の試作を行った。前者については、ポータブル生体電位測定機器では、高速サンプリングによる消費電力やクロックによるノイズの問題があり、これを解決する目的で今回クロックを用いない非同期型 A/D 変換器に注目し、電源電圧 1V で設計を行った。HSPICE によるシミュレーションでは、1.5bit の Δ 変調が確認できている。後者は、半導体の微細化に伴う電源電圧の低下からアナログ回路設計はより一層困難となっていることから、回路構成がシンプルな非同期式 $\Delta\Sigma$ 変調器を用いた A/D 変換器に注目し、低電圧動作を目指し設計を行った。HSPICE によるシミュレーションでは 88ps でのサンプリングを想定し、入力信号帯域 1MHz において 9.4bit の有効分解能を確認できている。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**100 以上、1,000 未満 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

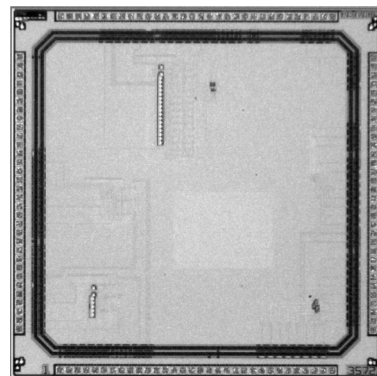


高速フラッシュ型アナログ・デジタル変換器とその要素回路

上智大学理工学研究科 能登 弘, 西上 義人

概要: 次世代光/無線通信技術において、分解能が4~7bitと比較的低いが、変換速度が約1GS/s以上である高速アナログ・デジタル変換器(ADC)が求められている。本試作ではCMOS0.18 μ mテクノロジーを用いて、4bit高速フラッシュ型ADCおよびその要素回路の試作を行った。フラッシュADCは平均化構造を伴った3段構成のダイナミック型コンパレータとパイプライン型エンコーダ部分からなる。今回設計した4bit高速フラッシュ型ADCでは、電源電圧1.8V、入力周波数600MHz、サンプリング周波数2GS/sにおいて、3.8bitの有効分解能であることをHSPICEシミュレーションにて確認した。また、要素回路として、コンパレータ、クロックジェネレーター及びエンコーダーを搭載し、個々の動作確認、性能評価ができるようにした。現在、要素回路の基本動作の確認を終え、詳細な性能評価を行っている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Cadence社 Dracula DRC, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数:** 10未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



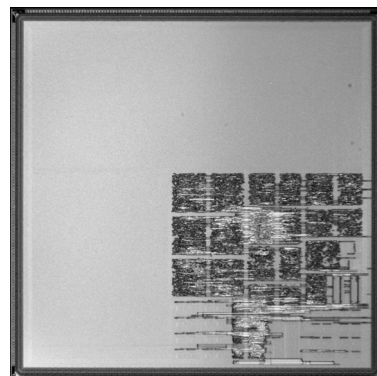
実時間動領域抽出向けアフィン動きモデル推定プロセッサ

金沢大学自然科学研究科 深山 正幸, 小松 弘季, 東郷 康二, 松田 吉雄

概要: 画像認識の基礎技術にアフィン動きモデル推定を用いた動領域抽出がある。本研究では、VGA30fpsでアフィン動きモデル推定を行うVLSIプロセッサを開発する。従来のアルゴリズムでは、精度を向上させるため、増分推定、多重解像度推定、重み計算を行っている。重み計算は演算量削減のため多重解像度推定の後に1回だけである。提案するアルゴリズムでは、動きモデルの増分推定の度に重み計算を行う。そして増分推定では毎回最新の重みを用いる。これによりフレーム数が2枚に減少し、収束が早くなるため繰り返し回数を削減できる。シミュレーションの結果、繰り返し回数を1/8としても精度劣化は見られなかった。Rohm0.18 μ mの5層メタルで実装した結果、論理ゲート数は約60万ゲート、コア面積は4.0mm \times 4.0mmとなった。本プロセッサは動作周波数120MHzでVGA240fps、15MHzでVGA30fpsのアフィン動きモデル推定が可能である。

参考文献: 東郷康二, 小松弘季, 深山正幸, 松田吉雄, "実時間動領域抽出向けアフィン動きモデル推定VLSIプロセッサ", 電子情報通信学会2010年総合大会予稿集(2010)。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 7.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



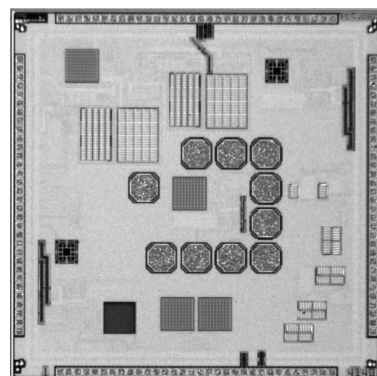
可視光ID用受光センサ及び信号処理回路

慶應義塾大学理工学部 中田 啓道, 松本 松本

概要: 本研究では、受光素子を8 \times 8のアレイ状にして発光源の状況に合わせて任意の受光素子を選択する事で、データを分離する集積回路の試作・評価を行った。アレイ状にすると個々の受光面積が減少して感度低下を招くため、受光素子として、フォトダイオードよりも高感度なフォトトランジスタを標準CMOSプロセスで製作した。さらに、可視光IDシステムの搬送周波数とフォトトランジスタの特性に合わせて、感度と応答周波数の最適化を行った専用トランスインピーダンスアンプを内蔵した。個々の受光素子は外部信号により任意に選択出来る構成として、複数の受光素子を同時に選んで、受光感度をさらに向上させる事が可能な構成とした。このフォトトランジスタアレイを専用2眼ボードに実装して可視光IDの受信実験を行った。

参考文献: 中田 啓道, 松本 佳宣, "可視光ID用送受信システムの通信距離評価", 第26回センサ・マイクロマシンと応用システムシンポジウム講演集, P-3-6, pp. 289-292, (2009.10)。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信(RF回路, ATMなど)

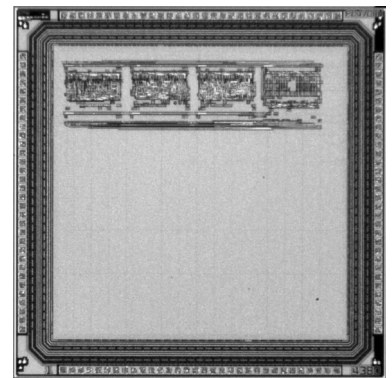


グリッチによる消費電力の増大を抑制する乗算器

神戸大学大学院工学研究科 小暮 武, 藤岡 達也, 沼 昌宏
神戸大学工学部 粟 謙

概要: 試作したチップは、不要な信号遷移であるグリッチによる消費電力の増大を抑制することを目的とし、パス・トランジスタ論理とCMOS論理を組み合わせたハイブリッドCMOS論理構成の4-2加算器によって構成した16 bit×16 bit乗算器を実装している。基本要素である4-2加算器を、多段接続でオン抵抗が上昇するパス・トランジスタ論理により構成することでRCフィルタの効果によってグリッチを削減し、駆動力の高いCMOS論理を組み合わせた構成とすることで、動作速度の低下を抑制する。乗算器の演算部のみの消費電力を測定するため、周辺回路と電源電圧線を分ける構造とした。また、比較対象として搭載したCMOS論理構成の配列型、4-2加算木型乗算器、および提案乗算器の3回路について、電源電圧線を独立させることで消費電力測定の精度向上を図った。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

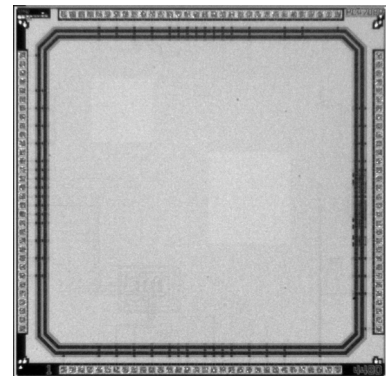


電氣的検査容易化CMOSイメージセンサの検証

徳島大学工学部 五百倉 裕一, 加藤 健二, 樽見 洋, 四柳 浩之, 橋爪 正樹

概要: 光源装置を使わずCMOSイメージセンサの検査を行う電氣的検査法のための検査容易化CMOSイメージセンサICを試作した。従来の画素回路では製造ばらつきが故障検査に悪影響を及ぼすため、検査時に製造ばらつきの影響を低減するための検査容易化設計を画素回路に適用した。試作ICには製造上のばらつきによる出力への影響を画素毎に調べるために16個の画素にCDS回路, AMP回路を接続した電氣的検査容易化CMOSイメージセンサを挿入した。また、部分回路の動作特性評価のため、CDS回路TEG, AMP回路TEG, 画素回路TEG, およびCDS回路とAMP回路を画素回路1つに接続したTEGを作成した。今後、試作チップにおける各回路の動作確認および検査容易性評価を行う予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Cadence社 Diva, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



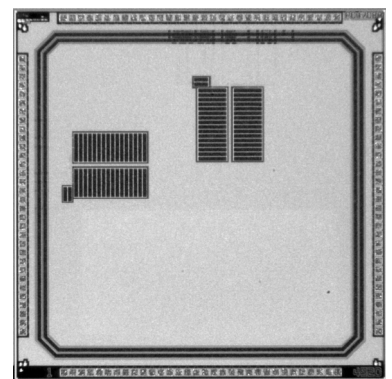
Clocked Level-Crossing Analog-to-Digital Converter (Modified)

University of TokyoVLSI Design and Education Center Mohamed Abbas,
Satoshi Komatsu,
Kunihiro Asada

Advantest Corporation Takahiro Yamaguchi, Yasuo Furukawa

概要: The design is to be used for on-chip signal digitization. Using the design, the on-chip high frequency signal can be accurately reported off-chip in digital format by using the concepts of the level crossing ADC, which consumes less power and occupies smaller area than the conventional regular time-sampling ADC. In level-crossing ADC, the signal is sampled when it crosses a threshold level and the time between two consecutive crossings is measured. In this design, and for the evaluation of the idea, the test signal, reference signal and sampling clock are feed from off-chip while the circuit's digital outputs are driven and processed off-chip to reconstruct the original signal. The design comprises both analog and digital parts. The analog part contains the comparator circuit and the digital part is a circuit to detect the level-crossing timing. The design has been implemented using Rohm 0.18 μ m technology.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



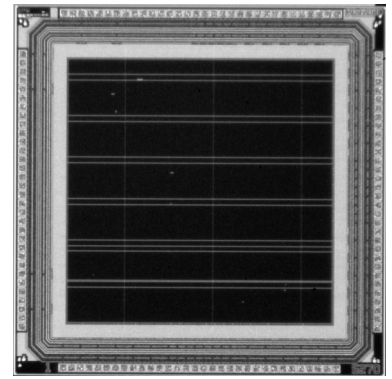
微小遅延故障検出のための遅延測定回路

千葉大学大学院融合科学研究科 田辺 融, 加藤 健太郎, 伊藤 秀男

概要: 本試作では当研究室提案の微小遅延故障検出を目的とした組み込み遅延測定回路の実装を行った。具体的に、ISCAS ベンチマーク回路 S27 に対し、以下の2手法をそれぞれ適用した2回路を試作した。(1) 差分を用いた遅延測定回路: 本手法は XOR 回路を利用した測定容易化回路と組み込みの遅延測定回路により実測した2信号経路の差分を取ることでパスの遅延量を測定する。この手法では、冗長配線を含むパスの遅延とその冗長配線そのものの遅延の測定が可能であり、この2測定値の差分を取る。これにより、従来問題であった冗長配線の遅延による測定精度の低下を軽減している。(2) スキャンとシグネチャレジスタを用いた遅延測定回路: 本手法はシグネチャレジスタを用いた組み込み遅延測定法である。本手法は可変クロックを用いた遅延測定法であり、その応答解析をシグネチャレジスタにより行っている。これによりスキャンと可変クロックを用いた従来遅延測定法と比較して測定時間と測定に要するデータ量を削減している。

参考文献: 田辺, H. M. Zahidul, 加藤, 難波, 伊藤, "差分による VLSI 回路の遅延測定," 信学技報, FIIS09, No. 254 (2009)

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 Astro, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** その他

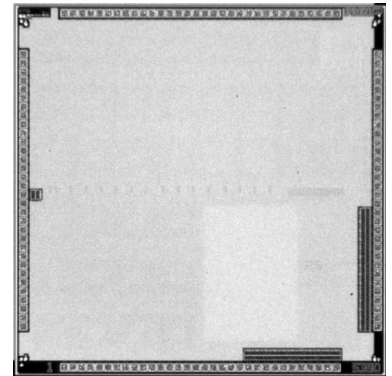


ローム 0.18 μ m 試作

豊橋技術科学大学情報工学専攻 中田 光俊, 中川 雄介

概要: 本チップは2つの異なる目的を持った回路を実装している。一つ目の回路は、高速な信号伝送を行うため、集中定数素子を用いて近似的に実現した分布線路を入出力部に有する分布型構成の増幅回路の増幅部を試作している。分布線路の間にトランジスタを並列に配置した構成となっている。比較のため、分布線路を使用しない同サイズのトランジスタも集積化している。また、使用したインダクタの特性を調査するため、設計と同じ層で作成した一つのインダクタが集積化されている。二つ目の回路は、信号分割手法と O. Stroeble らの Dynamic Range Doubling 手法を用いたパイプライン型 ADC の制御クロックを生成する回路を試作している。提案する ADC は4つの互いに重ならないクロックで動作するため、ゲート遅延と NAND 素子を用いて生成したクロックが互いに重ならないようにしている。ADC が 10MS/s の変換周波数で動作することができるよう、素子サイズを調整している。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

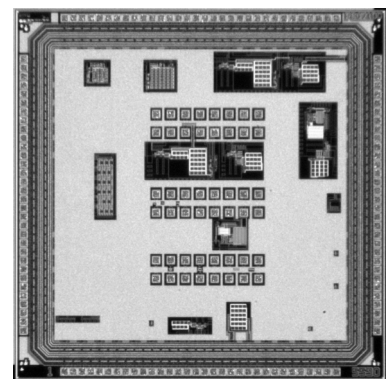


センサ用 CV 変換回路

富山県立大学工学部 濱野 寛之, 松田 敏弘, 岩田 栄之

概要: 民生分野へのロボットの普及が期待されており、とくに、ロボットの触覚については、低価格で汎用性の高い把持力センサシステムの開発が求められている。本研究では、圧力を静電容量の変化として検出する静電容量型センサのための LSI の開発を目指している。ロボット等に用いる把持力センサのための容量-電圧 (CV) 変換回路を設計・試作した。インバータ、スイッチ、演算増幅器を用いて CV 変換回路を構成し LSI として集積化した。シミュレーションでは、センサ容量が圧力によって 5pF 変化する場合、CV 変換回路の出力は、 ± 1.1 V の変化を示し、RC ローパスフィルタの出力としても ± 0.8 V 変化幅を確保することができた。人間が感知できる 30 ms の応答速度を十分満足することが確認できた。今後は、試作した LSI の実測を行い、各ブロックごとの測定と CV 変換回路としての動作確認を行う予定である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, , **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

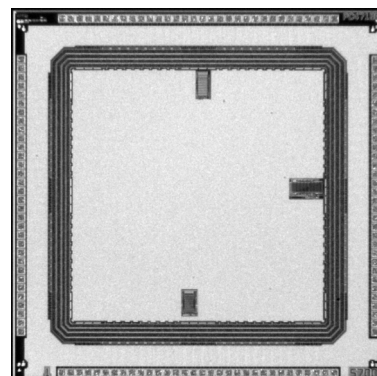


LSI設計演習 256bit SRAM

九州工業大学マイクロ化総合技術センター 平川 豊, 三村 法寛, 山之内 誠将,
中村 和之

概要: 研究室への新入4年生に対し, アナログLSI設計・評価手法演習のため, 256ビットスタティックRAM (SRAM) を設計・試作した. SRAMのメモリセル, およびデコード, センスアンプ等の周辺回路について, 自らSPICEによる回路動作のシミュレーション検証を行い, かつ, レイアウト設計を行うことにより, アナログLSI回路におけるカスタム設計手法を体得することを目的とする. さらに, 試作完了したチップをLSIテスターにより動作評価することにより, タイミング/マージン評価等, アナログLSIにおいて一般的な評価手法も同時に習得する.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

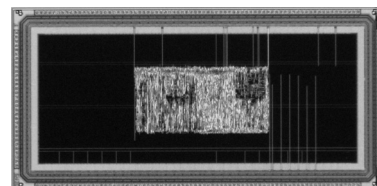


可変段数パイプラインプロセッサ評価用チップ

三重大学大学院工学研究科 中林 智之, 佐々木 敬泰, 大野 和彦, 近藤 利夫

概要: MIPS R3000 命令セット互換可変段数パイプラインプロセッサであるVSP (Variable Stages Pipeline) の試作を行った. VSPはプロセッサにかかる負荷に応じてパイプライン段数を動的に変化させることで高性能と低消費電力の両立を目指す手法である. 今回試作したチップでは, 外部からの信号線によりパイプラインの段数を変化させることができる. また, 単純にパイプライン段数を減少させると多大なグリッチが発生してしまうため, VSPではLDS-cellという特殊なグリッチキャンセラーが組み込まれている. そこで, LDS-cellの効果を確認するためにLDS-cellを組み込まないチップも同時に試作を行った. 設計には京都大学版スタンダードセルライブラリを用いた.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** マイクロプロセッサ

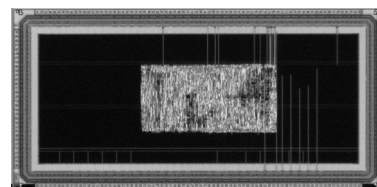


可変段数パイプラインプロセッサ評価用チップ

三重大学大学院工学研究科 中林 智之, 佐々木 敬泰, 大野 和彦, 近藤 利夫

概要: MIPS R3000 命令セット互換可変段数パイプラインプロセッサであるVSP (Variable Stages Pipeline) との比較評価用チップとしてPSU (Pipeline Stage Unification) の試作を行った. VSPと同様にプロセッサにかかる負荷に応じてパイプライン段数を動的に変化させる高性能と低消費電力の両立を目指す手法であるが, グリッチキャンセラーであるLDS-cellは組み込まれていない. 今回試作したチップでは, 外部からの信号線によりパイプラインの段数を変化させることができる. LDS-cellの効果を確認するためにLDS-cellを組み込まない本チップも同時に試作を行った. 設計には京都大学版スタンダードセルライブラリを用いた.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100,000以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** マイクロプロセッサ



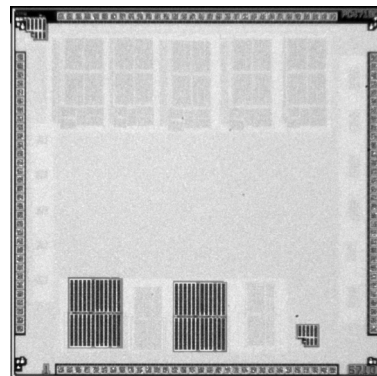
低電圧超低電力アナログ回路

財団法人 福岡県産業・科学技術振興財団 黄章財

早稲田大学情報生産システム研究科 井上 靖秋

概要：近年、センサネットワークのノード装置などのような電池作動の装置の普及に伴い、アナログ回路やデジタル回路のLSIの設計要求の一つとして、サブ1V領域の超低電圧且つナノワットの超低電力での動作補償が重要となってきている。本チップは、電源電圧や温度に依存しない基準電流又は基準電圧を生成する、特に、電源電圧が1V以下の低電力動作においても安定した電流出力又は電圧出力を得ることができる。また、チャージポンプ回路では、トランジスタに高い耐圧（電源電圧の2倍以上）が要求され、本チップは、特殊プロセスを必要としない低コストの高性能なチャージポンプ回路を実現する。さらに0.7V高効率CMOS整流回路を実現する。

設計期間：6 月以上、7 月未満 **設計ツール：**Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



ビアプログラマブルデバイス (VPLD) VPEXの配線遅延評価チップ

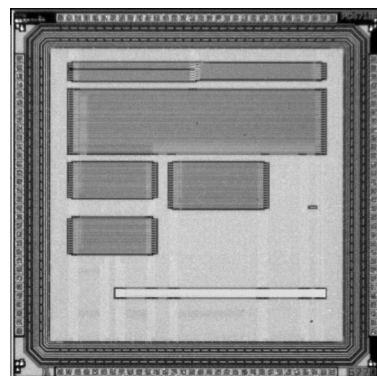
立命館大学工学部 北森 達也, 藤野 毅

立命館大学工学研究科 浅川 俊介

概要：LSIの微細化の進歩により、マスクコストが高騰しており、少中量生産ASICの製造が経済的に困難になっている。これを解決する手段として、トランジスタの製造・配線工程のマスクを共用化し、ピアマスク変更のみで論理を変更する事ができるVPLDが注目されている。本研究では、複合ゲート型EXOR論理ゲートとインバータ2つより構成される基本論理素子を用いたVPLDであるVPEXを検討した。VPEXでは、ビアのみで配線を変更する為、配線・ビアの両方を変更できるASICと比較すると、寄生容量・抵抗の影響によって、配線遅延が大きくなると予測される。本評価チップでは、この影響を定量的に評価する為、通常のASIC用スタンダードセル及びVPEXの基本論理素子を用いてリングオシレータを試作し、発信周波数の比較を行った。また、VPEXにおいては、近接素子間を接続するノーマル配線と、離れた素子間を接続するブリッジワイヤ (BW) 配線が存在するが、このBWを変化させたリングオシレータを作成することによりBW配線長の最適化を行った。

参考文献：西本・北森・國生・山田・藤野・吉川, "ビアプログラマブルデバイスVPEXの配線遅延評価", 信学技報, vol. 109, no. 462, VLD2009-109, pp. 61-66

設計期間：3 月以上、4 月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数：**10,000 以上, 100,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**演算回路 (乗算器, 除算器など)



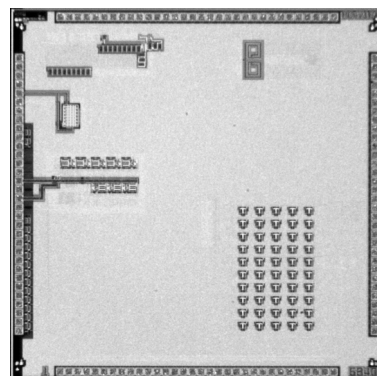
高速電圧波形記録回路+ノイズ検出用ADC+BMI用LSIのDC-DCコンバータ+BMI用LSIのFM変調器用発振器 慶應義塾大学工学部 中野 誠彦, 大塚 浩平, 小田中 温, 中村 真之, 三谷 勇貴

慶應義塾大学工学部 中野 誠彦, 大塚 浩平, 小田中 温, 中村 真之, 三谷 勇貴

概要：本試作は4つのブロックに分けて回路を実装した。1つ目のブロックではGHz帯のアナログ信号をオフチップに取り出すための電圧波形記録回路を搭載した。2つ目のブロックはそれをデ8bitおよび10bitのデジタル出力にしたものである。3つ目のブロックはMOSトランジスタの閾値以下である小電圧を1.8Vまで昇圧する回路である。4つ目のブロックは、BMIの無線出力のための周波数変調に向けて1GHzで発振する電圧制御発振器を搭載した。

参考文献：M. Takamiya and M. Mizuno, "A sampling oscilloscope macro toward feedback physical design methodology," Symposium on VLSI Circuits 2004 Digest of Technical Papers, pp. 240-243, June 2004.

設計期間：3 月以上、4 月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

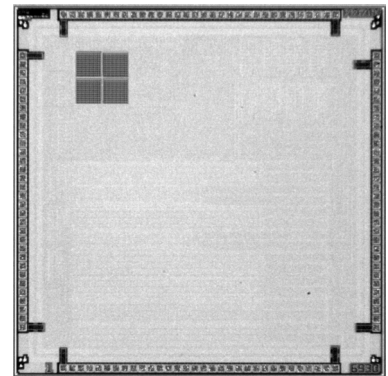


可視光通信用センサ

慶應義塾大学大学院システムデザイン・マネジメント研究科 森谷 英一郎,
春山 真一郎

概要：LED照明などを活用した可視光通信で、動画などのコンテンツを高速・高感度で受信できることを目的とした受光素子を開発するため、層構造の異なるフォトダイオードアレイと、ストリップ状のフォトダイオードを試作した。標準CMOSプロセスでp基板(Psub)、Pwell、Nwell、DeepNwell、n拡散(Ndiff)、p拡散(Pdiff)の各層を組み合わせることによって、フォトダイオードアレイは2×2を設計した。また、ストリップ状のフォトダイオードはも使用する層を組みかえることによってサイズと構造の異なる複数の種類を設計した。周辺回路としてトランスインピーダンスアンプ、信号選択用のスイッチング回路、シフトレジスタ回路などを組み込んでチップの一体化を目指した。作成したチップは評価ボードに実装して、周波数特性の基本的な評価実験を行った。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, **トランジスタ数：**10以上、100未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**イメージセンサ/スマートセンサ



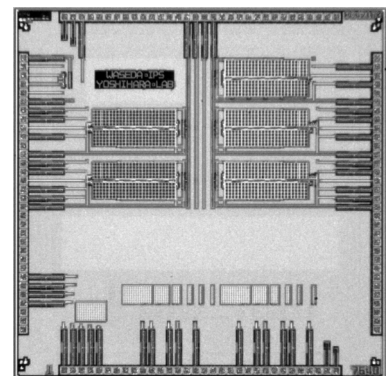
Charge pump system with hybrid decoupling scheme

早稲田大学大学院情報生産システム研究科 黄 孟彬

概要：In recent years, with the technology scaling, the supply voltage has drop to around 1V to achieve low power consumption requirement. Since not all the blocks in the system can work properly at such a low level, a voltage higher than the supply might be required. In such situation, a charge pump system is to be used. However, conventional charge pumps cause too much output noise which is a significant threat to the system performance, especial when the supply is very low. To overcome this problem, noise suppression technique must be implemented in the charge pump system. In this chip, a charge pump system using hybrid decoupling scheme is designed. The charge pump circuit is based on four phase Dickson charge pump, and the body effect cancellation scheme is implemented to increase the efficiency for low voltage operation. Beside the conventional decoupling, active decoupling technique is used to suppress noise in the low frequency band, and a low voltage high drivability operational amplifier with large bandwidth is design to realize the function. Since the decoupling effect is proportional to the capacitance size, conventional decoupling method takes large amount of area and deteriorate the set up speed. However, With the hybrid decoupling scheme, the output noise of the charge pump is able to be suppressed effectively without enlarging the capacitance size, and the set up time for the charge pump is not influenced. Five sets of charge pump system with different parameters are implemented on the chip to compare the performance. The charge pumps have 8 stages. The voltage supply is 1V and the output voltage is 8.4V without regulation while 7V with regulation. And the measurement result for decoupling effect shows good consistency with the theory.

参考文献：Jie Gu, Harjani R., Kim C. H., "Design and Implementation of Active Decoupling Capacitor Circuits for Power Supply Regulation in Digital ICs", vol. 17, pp. 292-301, Very Large Scale Integration (VLSI) Systems, IEEE Transactions on (2009)

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100以上、1,000未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

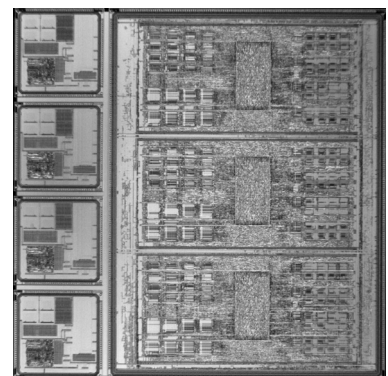


可変構造型マルチコアプロセッサの試作

九州大学システムLSI研究センター 石原 亨, Zang Chengjie

概要：東芝社製のMedia embedded Processor (MeP)をベースにいくつかの動的に変換構造を持つマイクロプロセッサのマルチコア版を試作した。トランジスタ数は1千万トランジスタを超える。プロセッサは8KBの4ウェイセットアソシアティブ命令キャッシュと8KBの命令用SRAM及び16KBのデータ用SRAMを搭載する。命令キャッシュは使用するウェイを動的に変更することができる。CPUコアには2種類のPEコアが搭載されそれぞれ1.8Vと1.0Vのライブラリで設計されている。プログラマはI/O命令を使って使用するPEコアとキャッシュウェイを選択することができる。使用しないPEコアとキャッシュは不活性化することにより消費電力を削減する。アプリケーションの実行状況に応じて稼働させるPEコアとキャッシュウェイを動的に変更することにより通常の4ウェイセットアソシアティブと比較して消費電力を最大50%削減できることをポストレイアウトシミュレーションにより確認した。

設計期間：2人月以上、3人月未満 **設計ツール：**Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, Mentor社 CalibreRC, **トランジスタ数：**100,000以上 **試作ラン：**ローム CMOS 0.18 μ m 7.5mx10mmチップ **チップ種別：**マイクロプロセッサ



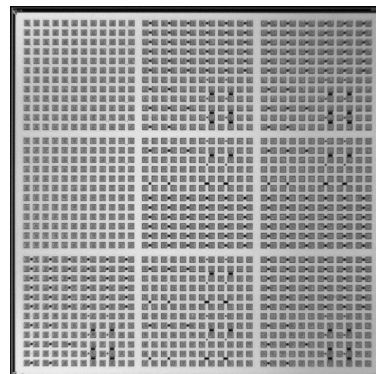
Si 集積回路プロセスによる単電子デバイス・回路の検討

静岡大学電子工学研究所 猪川 洋

概要：標準的な Si 集積回路プロセスで単電子デバイスを作製するために、厚いゲート絶縁膜領域、チャンネルイオン注入領域、ソース/ドレイン拡散層領域、シリサイド無し領域等のレイアウトに工夫を行って、ゲート誘起トンネルバリアを有する単電子デバイスを設計した。本試作を通して、a) 標準的な Si 集積回路プロセスを用いた、ゲート誘起トンネルバリアを有する単電子デバイス構成法の確立、b) 得られたデバイスを用いた単電子転送回路のシミュレーション手法の確立と回路構成法の検討、c) 単電子転送を利用した超低消費電力回路の基本動作確認、d) 高感度な光検出器への適用可能性の検討、等を目指す。

参考文献：H. Inokawa, Y. Takahashi "Simultaneous-sweep method for evaluation of single-electron transistors with barriers induced by gate electric field" Jpn. J. Appl. Phys. Vol. 43 No. 8B pp. L1048 -L1050 AUG 15 2004.

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, **トランジスタ数：**100 以上, 1,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 7.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

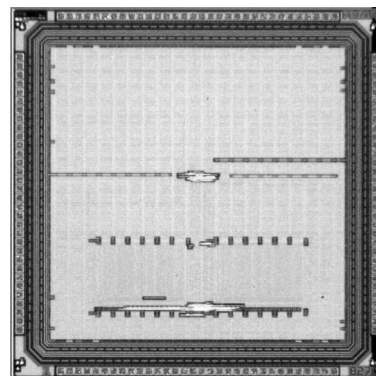


PN 符号生成回路付 SSO ノイズ測定 TEG

福岡工業大学情報工学部 松原 裕之

概要：本 TEG は前回 (平成 20 年度第 6 回ローム CMOS 0.18 μ m) の試作で仕様通り動作した「SSO ノイズ測定 TEG」に 15 ビットの PN (Pseudo Noise) 符号生成回路を追加したものである。近年、シグナルインテグリティ対策の一つとして SSO ノイズ (同時 I/O 出力ノイズ) が問題となっている。複数の出力 I/O (Aggressor) が同時に状態を変えると、挟まれた入力 I/O (Victim) や内部ロジックに対してジッタや信号の反転などの好ましくない過渡的現象を引き起こす。本 TEG は SSO ノイズによる Victim の遅延量を測定するため、出力 I/O の同時スイッチング割合を調整可能な構成とした。TEG の 1 辺から取り出せる最大 32 本 I/O に対して、電源 I/O (VDD, VDE, VSS) の配置, 出力 I/O の駆動能力や本数等のパラメータを振り分けた。今回の TEG では 15 ビットの PN 符号生成回路を追加し、SSO ノイズのパターンを PN 符号に選択可能とした。2010 年 2 月の TEG 納品後、専用プリント基板上に載せ、20MHz の動作クロックで 1) SSO ノイズの発生, 2) Victim の影響波形 (10MHz), 3) 15 ビットの PN 符号の同時スイッチングとその Victim の影響波形 (10MHz) の 3 点を確認した。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**1,000 以上, 10,000 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

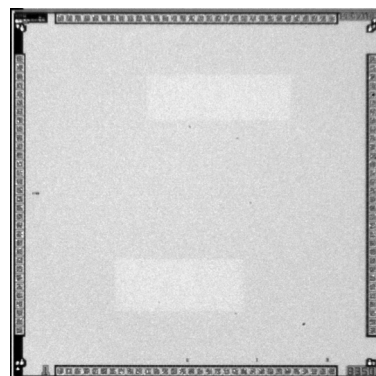


直列均等分圧回路 TEG およびアナログ乗算器 TEG

東京理科大学大学院理工学研究科 榎田 洋太郎, 真鍋 貴俊, 間瀬 泰明

概要：直列均等分圧回路では直列接続された複数のトランジスタが同一の動作をすることにより、一のトランジスタの場合と比べてトランジスタ数倍の電圧を出力することができる。しかし、バックゲートをグラウンドに接続した場合、Si MOSFET では各電極の対バックゲート電圧が異なるため、ドレイン電流および各電極間容量が変調され、分圧動作のバランスが崩れると予想される。本 TEG は、このバランスの崩れを定量的に評価することおよびその補正を行うことを目的とし、2 個の FET を直列接続したものを搭載している。一方、アナログ乗算器のフィードフォワード補償による線形性向上について検討を行っており、今回はフィードフォワード補償を行うためのもととなるクオドリテールセル乗算器を搭載した。

設計期間：0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, **トランジスタ数：**10 以上, 100 未満 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

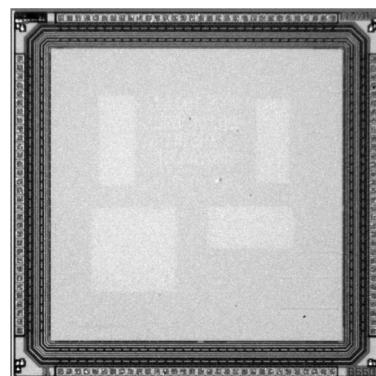


量子コンピュータのエミュレータ実現に向けた特性評価回路

琉球大学工学部 西 広海, 津嘉山 力, 金城 光永

概要: 微細加工技術の向上と共に量子コンピュータのハードウェア実現が期待されるが、大規模量子ビットの集積例とそれに基づいた量子コンピュータの実現例は少ない。そこで、量子コンピュータのソフトウェア（量子計算アルゴリズム）開発および検証のために、ある程度十分な規模を持つ量子コンピュータのエミュレータ開発を研究目標としている。エミュレータ開発のためには、量子状態を表現するためにアナログ情報を取り扱う必要があるが、現在までに2値情報に情報を圧縮したエミュレータ開発例しかなく、動作確認できる量子計算アルゴリズムは限られている。そのため、2値より多い情報を扱うことが出来る新たなエミュレータ開発が必要である。本チップでは、そのエミュレータの一部要素の特性評価のため、関連する構成要素の回路設計を行い、その動作検証を目的としている。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Dracula DRC, Mentor 社 Calibre RC, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



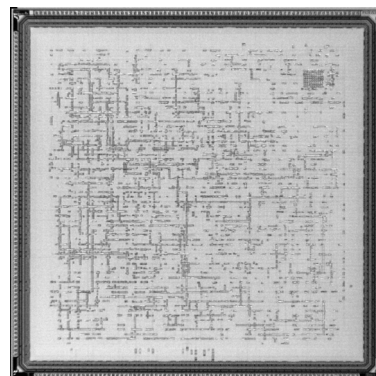
トランジスタ数: 100 以上, 1,000 未

高速動的光再構成型プロセッサチップ

静岡大学工学部 渡邊 実

概要: ホログラムメモリ技術を MIMD (Multiple Instruction/ Multiple Data) 構造のマイクロプロセッサアレイに組み合わせ、プロセッサアレイ上のアーキテクチャを瞬時、かつ動的に変えながら、最も適したアーキテクチャ上で超並列処理を進めることができる次世代の高速動的光再構成型プロセッサの開発を進めている。ホログラムメモリと高速動的光再構成型プロセッサチップとの間は大規模な光配線によって結合されることから、ホログラムメモリからはプロセッサのアーキテクチャや命令を制限無く、かつ間断なく並列的に供給することが可能であり、MIMD タイプのプロセッサアレイによる制約の少ない並列計算が可能になる。本開発では最終的に 16 \times 16 程度の MIMD プロセッサアレイの開発を目指しているが、この度の試作ではその第一歩として、光により高速な動的再構成が可能な粗粒度の再構成型プロセッサ1つを実装したチップを試作した。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** マイクロプロセッサ



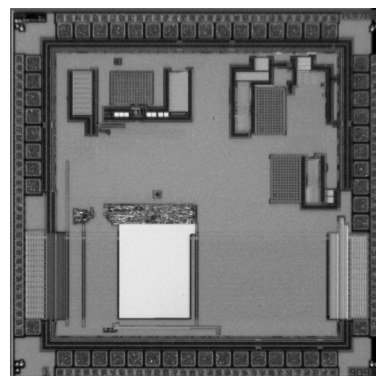
口腔内モニタリングのためのワイヤレスバイオセンサ (3)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘, 上口 光, 村上 裕二

広島大学先端物質科学研究科 升井 義博, 吉田 毅, 安部 亨

概要: 口腔内の温度と血糖値を連続的にモニタリングするためのワイヤレスチップを試作した。本チップは p-n 接合による温度センサと酵素を併用した電位測定による血糖値センサを有し、計測用オペアンプ、10bit の AD コンバータ、120kbit の SRAM と 10MHz のキャリアによるシリアル無線通信により、計測を行う。チップは歯科用樹脂に封止され、硬口蓋に留置して使用されるため、実装の体積に制約があり、電源の容量が限られるため、低消費電力化を優先した設計を行った。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



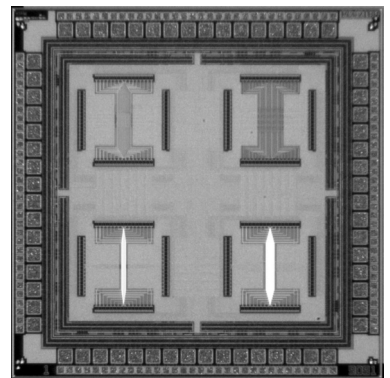
オンチップ免疫反応検出のため磁気ビーズ駆動 (3)

広島大学ナノデバイス・バイオ融合科学研究所 石川 智弘

広島大学ナノデバイス・バイオ融合科学研究所 上口 光, 金子 文恵

概要：チップ上だけで完結する疾病や有害物質の検出を目指して、免疫反応を検出するチップの試作を行った。実際の手法としては、フェライトの芯がポリスチレンで覆われた構造を持つ直径3ミクロン程度の磁気微粒子を水溶液に分散し、チップ上に直接滴下、チップ上の電流でこれを動かすことができるか否かを通じて、チップ表面への付着力、ひいては免疫反応の有無を検出する。本試作では、最上部二層の配線層を用いて、互いに直行する並行パターンを形成、流れる電流を制御することで、チップ上での磁気微粒子の駆動を試み、チップ上で水中の磁気微粒子を動かすことに成功した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：MEMS

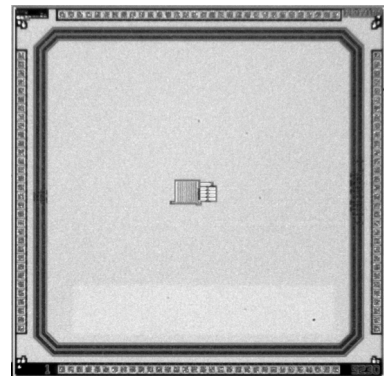


ウェイクアップ型無線通信システムのアナログ回路

東京大学先端科学技術研究センター 瀧口 貴啓, 石田 繁巳, 猿渡 俊介, 南 正輝,
森川 博之

概要：我々は受信待機電力を大幅に削減できる新しい無線通信システムの研究を行っている。このシステムでは受信待機に特化した「ウェイクアップモジュール」と呼ぶ非常に低消費電力なモジュールを用いることで、データ通信を行うモジュールは通信を行う時のみ電源を入れることができる。本チップは、ウェイクアップモジュールのアナログ回路部分の一部を設計したものである。本チップは主に電波検出回路、電圧変換回路、電源制御回路から構成されている。電波検出回路は通信開始のトリガーとなるパケットを検出する回路で、倍電圧全波整流回路を用いている。電圧変換回路は電波検出回路の出力をCMOSレベルに変換する回路で、カレントミラー増幅回路3段で構成されている。電源制御回路は通信開始トリガーを受信した際に後段のデジタル回路の電源を制御する回路で、RS-FFとパワーゲーティング用のNMOSトランジスタから構成される。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula LPE, Cadence社 Dracula DRC, Mentor社 Calibre, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

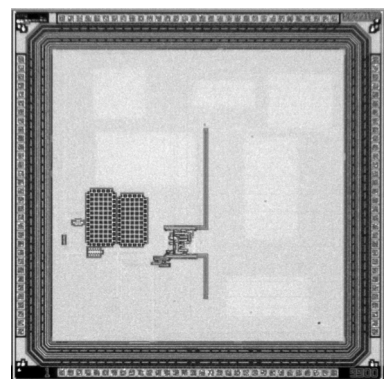


Fractiona-N PLL設計 TEG Ver2

東北大学電気通信研究所 Lee Jun Gyu, Xu Zule, Wang Ge, 梶井 昇一

概要：東北大学梶井研究室では、300MHz帯・400MHz帯の両バンドを利用した近距離通信システム向けに、高い周波数分解能 (1kHz以下) と、高速 Settling (5 μ sec以下) が実現可能で、かつ、1年間の電池寿命を実現するための低消費電力 CMOS Fractional-N PLL (Phase Locked Loop) の設計、および、その設計手法の研究を行っている。今回の Fractional-N PLL設計 TEG Ver2では、Phase Frequency Detector, Charge Pump回路, LC VCO (Voltage Controlled Oscillator, インダクタンスは外付け), Half Divider, Programmable Prescaler, Sigma Delta Modulator, Loop Filter, Output Driverといった、Fractional-N PLLを構成する基礎的な回路ブロックに加え、プロセス変動に対してアナログ回路特性を補正するためのDAC (Digital to Analog Converter) ブロック、ならびに、水晶振動子の動作確認を行うための Xtal I/O TEG ブロックを搭載した。

設計期間：10人月以上 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Analog Artist, Mentor社 Calibre, トランジスタ数：1,000以上, 10,000未満 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



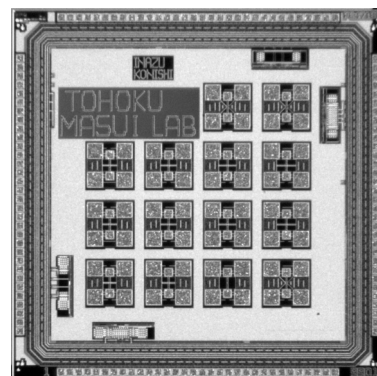
アナログ回路設計手法検証用 TEG-Ver2

東北大学電気通信研究所 稲津 賢治, 小西 貴之, 榎井 昇一

概要: 東北大学榎井研究室では, gm/Id Lookup Table 法を用いたアナログ回路自動最適化手法の研究を, OTA (Operational Transconductance Amplifier) を題材として進めている. 本 TEG は, 上記手法において設計の基準となる 3 種類の Lookup Table の正当性を検証するための NMOS, PMOS トランジスタ特性 (DC, 高周波) 評価 TEG ブロック, および, 設計最適化手法を検証するための 2 種類の OTA ブロックを含んでいる. OTA では, 特に低電圧対応 Common-Mode Feedback 回路を搭載したことが特徴となっている. 今回の Ver2 設計では, Ver1 設計における I/O 設計の不備を克服するため, I/O ブロックの影響をモニターする TEG を追加した.

参考文献: 小西, 榎井, "gm/Id 法を用いた高速・高利得 OTA の最適化設計", pp. 43-48, 2009 年電子情報通信学会集積回路研究会 ICD2009-83

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



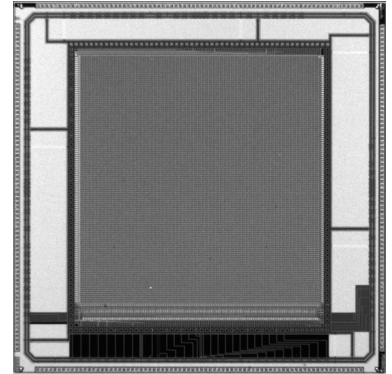
高抵抗基板でのタイムドメイン連想メモリのテストチップ

広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen,
小出 哲士

広島大学大学院先端物質科学研究科 Tania Ansari, 今福 渉, 川畑 明雄
広島大学工学部第二類 安田 雅浩

概要: 本研究室では、あらかじめ保存しておいた参照データ群の中から検索データに最も類似するパターンを検索する連想メモリの研究を行っている。本試作は、高抵抗基板での試作におけるタイムドメイン連想メモリの検索信頼性への影響を明らかにすることを目的とした。本試作では、128参照データ、1参照データあたり512ビット長のタイムドメイン連想メモリを設計した。試作チップを測定・評価することで、素子ばらつきから生じる周波数ばらつきのビット長依存性・高抵抗基板の影響などが解析可能である。

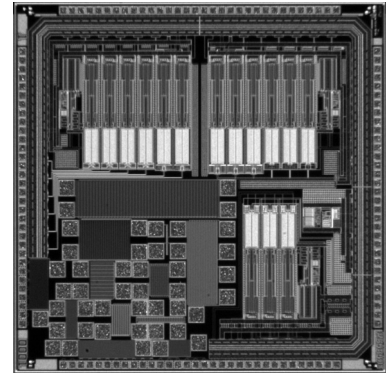
設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** メモリ

**多チャンネル脳波検出システムチップ**

広島大学先端物質科学研究科 吉田 毅, 升井 義博, 安部 亨, 末石 勝也

概要: 近年、脊椎損傷などで体の運動機能を失った人の生活の質を向上させるため、考えるだけで義手や義足などを操作できるブレイン・マシン・インタフェースの実現が要望されている。本研究では、装着者の行動を制約しない小型のブレイン・マシン・インタフェースを実現するために、多チャンネル脳波検出システムチップの試作を行った。システムの検出対象は数 μ V~1mV程度の微小な振幅と信号帯域0.1Hz~100Hz程度の非常に低い周波数の神経信号である。そのためシステムの増幅回路は、微小な神経信号がMOSFETの1/f雑音や熱雑音に埋もれない低雑音特性と0.1Hz程度の非常に低いHPF特性を持つ増幅回路が必要となる。設計した低雑音増幅回路は、0.1HzのHPF特性を弱反転領域で動作するMOSFETを用いることで実現した。増幅回路の入力換算雑音は1.14 μ V/root-Hzである。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 100 以上, 1,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

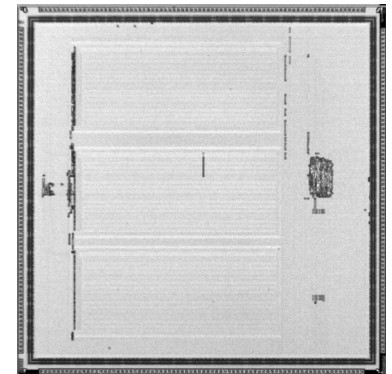
**LSI 設計教育ならびにソフトエラー検証用 LSI**

京都工芸繊維大学工学科学研究科 小林 和淑

京都工芸繊維大学工学科学部 久保田 勤人

概要: 京大版ライブラリはこれまで、Astro を配置配線ツールとして利用していた。Synopsys 社が開発の中心を Astro から IC Compiler に移したことから、ICCompiler に対応したフロー開発のために試作を行なった。その検証のための LSI 試作である。整数演算の ALU、浮動小数点数による乗算器を Verilog-HDL で記述し、論理合成、自動配置配線を行なった。本 LSI には、DUT ボードの不良を用意に発見するための IO 直結モードも設け、DUT ボードの動作検証にも利用することができる。また今回は 3.3V トランジスタの利用が不可能であったこともあり、東大名倉先生作の 1.8V トランジスタのみの IO バッファを利用した。さらに、ROHM 社提供 512kbit SRAM を 3 個搭載し、次年度に予定している中性子ビームによるソフトエラー測定に用いる予定である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 IC Compiler, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** TEG (特性評価回路など)



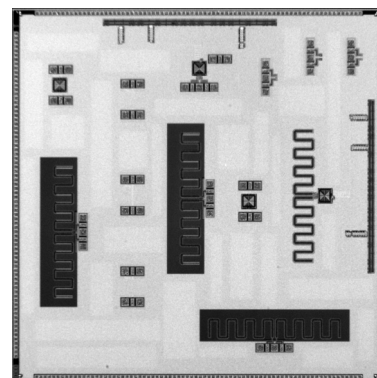
wider-band mm-wave mixer with on-chip antenna

東京大学工学系研究科 Nguyen Ngoc Mai KHANH

東京大学大規模集積システム設計教育研究センター 佐々木 昌浩, 浅田 邦博

概要 : The chip is aimed to implement a wide-band mixer with an on-chip antenna for receiving mm-wave pulses generated by another transmitter chip. The target is for detecting mm-wave pulse radiated from another pulse transmitter chip in the same CMOS technology process. The mixer is operated as Gilbert mixer standard structure but with some modifications. Local oscillator (LO) inputs and RF inputs are connected together. Here, a 1 KHz switch (SW) is added to the LO paths in order to make a comparison between 2 cases: with/without LO inputs for mixing. An on-chip dipole antenna is added to RF inputs of this mixer for reducing loss power as well as impedance miss-matching. This antenna is the same with the meandering dipole antenna of the corresponding transmitter. This integrated dipole antenna is the same with the one of the corresponding transmitter's antenna. The operating frequency range of this mixer is about 18 GHz - 22GHz. Moreover, it is designed for operating in wideband signal. The outputs will be DC signals only for checking incoming pulses radiated from transmitter. In case of inverting SW, the output signal (the green signal) turns out to be minus while in cases of normal SW, the output value is positive. From this result, the detection of incoming pulse signal is determined. In this simulation, a 6mV (p-p) pulse input is applied to both inputs, RFs and LOs. Two on-chip perpendicular dipole antennas are connected to RF and LO inputs of the mixer in order to form an X vs. Y plane for scanning radiated pulses. Moreover, several integrated transformers and dipoles are added in this chip for measuring. Especially, transformers are designed in layout carefully with specific GND mesh in metal 1 and poly layers in order to avoid eddy's current from the above.

設計期間 : 0.5 人月以上, 1 人月未満 **設計ツール** : Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 CalibreRC, **トランジスタ数** : 10 以上, 100 未満 **試作ラン** : ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別** : アナログ/デジタル信号処理プロセッサ

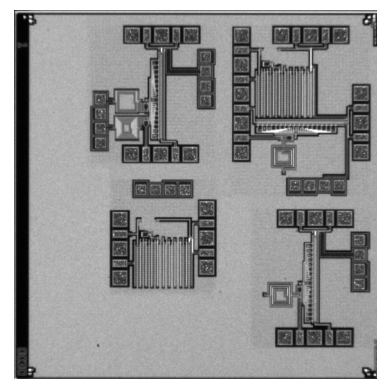


極低消費電力無線用パルス生成回路

広島大学先端物質科学研究科 藤島 実

概要 : パルス通信を採用した超広帯域通信 (UWB) を用いるセンサ向け極低電力無線通信回路の研究を行っている。極低消費電力のための時間間隔の長いパルス列を生成するために、インバータ列を用いた UWB 帯パルスジェネレータを用いている。パルス列生成回路においては各段のインバータの動作電流を調整することにより、パルス波形を調整し、規格で定められたスペクトラムマスク内にスペクトルが取まるようにした。また、プロセス・電源・温度による周波数ばらつきを抑えるために、インバータの遅延時間を制御するためのディレイロックアップ回路を搭載している。ばらつきを考慮したコーナーシミュレーションを実施した結果、帯域内では-41.3dBm/MHz 以下、帯域外では-71.3dBm/MHz のスペクトル内に生成されるパルスが取まることを確認した。

設計期間 : 2 人月以上, 3 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 CalibreRC, **トランジスタ数** : 100 以上, 1,000 未満 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : 通信 (RF 回路, ATM など)

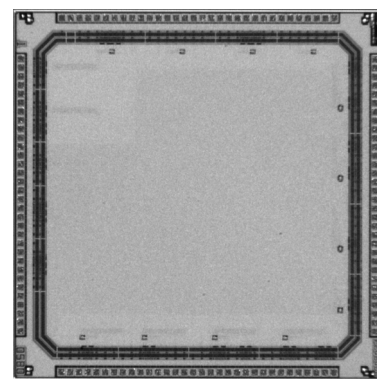


インパルス方式UWBレーダ用要素回路の試作

山梨大学医学工学総合研究部 佐藤 隆英

概要 : インパルス方式 UWB レーダは比較的簡単な構成で実現可能な UWB レーダとして様々な用途に広く用いられている。本試作では、インパルス方式 UWB レーダの主要な構成要素であるインパルス生成回路の試作を行っている。パルス生成原理の異なるインパルス生成回路を複数種類試作し、測定による特性の比較を可能としている。生成するインパルス波形を変更可とすることによりレーダに適したインパルス波形の検討も可能となるように構成している。パルス生成回路の他、パルス生成回路を構成する回路ブロックの TEG も同チップ上に配置し、個々のブロックの特性も評価可能としている。現時点でチップ納品が完了していないため、納品され次第測定を行う予定である。

設計期間 : 0.5 人月以上, 1 人月未満 **設計ツール** : Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Cadence 社 Analog Artist, Mentor 社 Calibre, **トランジスタ数** : 100 以上, 1,000 未満 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)



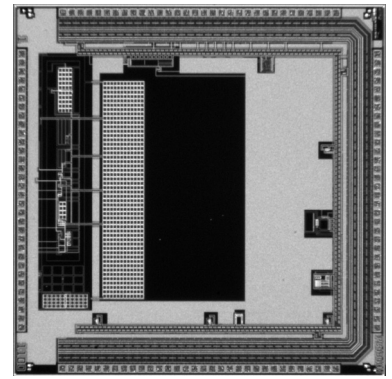
パッシブ型無線温度センサ

金沢大学自然科学研究科 崔 冀, 駒村 優作, 飴山 剛史

金沢大学理工研究域 秋田 純一, 北川 章夫

概要: 人体の体温の変化をモニタリングすることによって排泄を感知するためのパッシブ型無線温度センサを開発することを目的とする。人間の排泄による温度の微小変化をセンシングし、それに応じた信号を無線受信機に送り、最後に受信端末で抽出した時系列の温度変化パターンに基づいて排泄であるかどうかを判断する。このため高い温度分解能がキーポイントとなる。排尿か排便か見分けるには少なくとも 0.1°C の温度分解能が必要とされている。ここでは新しい温度センシング手法を提案し分解能が高くしかも誤差の少ない温度センサを可能にする。具体的にはリングオシレータの発振周波数の温度依存性を利用し、温度の変化に応じて回路に与えるバイアス電流と電圧両方のパラメータを変動させることによってより高い温度感度を実現する、またシンプルな補正回路を用いて線形性を改善する。バッテリーを使用しないパッシブ型センサなので回路設計の低消費電力化を徹底的に行う必要があるため、全ての回路を電力消費が微少な遮断領域で動作させることによって全体の消費電力を抑えている。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナデジ混載

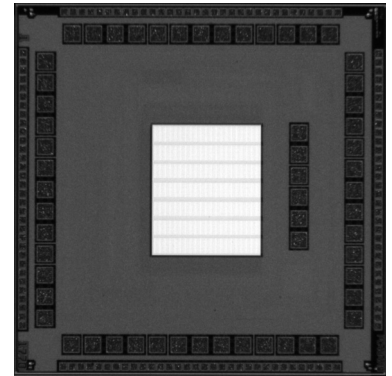


SFQ/CMOSハイブリッドメモリ用64kbメモリ

横浜国立大学工学部 岡本 悠史, 矢口 謙太, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップでは、これまでのメモリに対して、最大8ビットのデータをジョセフソンチップ側から印加できるよう、パッド配置と配線を変更した。また、入力からデコードまでに増幅器をはさまないアドレス線・リードライト線に遅延素子を挿入し、全ての入力を同時に行えるようにした。更に、増幅器にはPC467ALR1771 (R09_3) で良好な動作が確認されたセルフバイアス型を用いたため、安定動作が期待できるとともに、増幅器用のバイアスラインを大幅に削減する事が出来た。チップが到着し次第、測定により動作実証を行う。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 10,000以上, 100,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** メモリ



SFQ/CMOSハイブリッドメモリ用各種CMOS増幅器

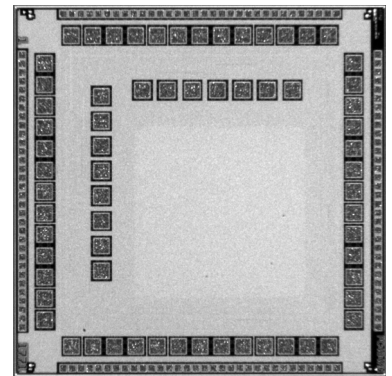
横浜国立大学工学部 陳 賢珠

横浜国立大学工学研究院 吉川 信行

概要: 我々は、超伝導回路システムの実現に向け、超伝導LSIとCMOSメモリを組み合わせる研究を行っている。両者の信号伝達にはインターフェースとしてCMOS差動増幅器が用いられる。今回は、差動増幅器の同一チップ上での性能を比較するため、これまでに設計した4種類の差動増幅器を載せた。今回載せた差動増幅器は大きく分けるとCascode Current Mirror CMOS型とSource Follower CMOS型に分けられる。差動増幅器は各4個ずつ配置し、チップ内ばらつきも検証できるようにしてある。また、差動増幅器の出力バッファの改良も併せて行った。これまでの差動増幅器の測定では、安定した動作領域が確認できていない、その原因の一つとして、出力バッファのパラメータの最適化が不十分であったと考えられるためである。チップが到着し次第それぞれの差動増幅器の測定を行い、性能の比較を行う。

参考文献: Design of Analog CMOS Integrated Circuits, pp. 631-653, 2001 McGraw-Hill

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** メモリ

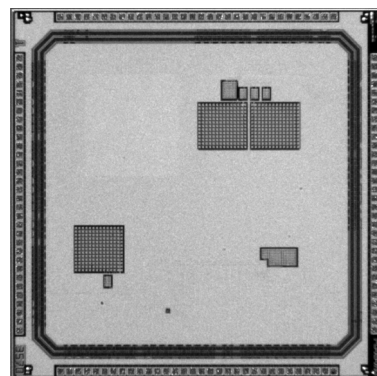


2bit/step 変換方式の逐次近似型アナログ/デジタル変換器

上智大学理工学部 杉山 直紀, 草野 恵一, 能登 弘, 和保 孝夫

概要: 逐次比較型アナログ/デジタル変換器 (SA ADC) は入力されたアナログ信号をデジタル信号へ低消費電力で変換できるという特徴を持つため、幅広い用途がある。特にバッテリーで駆動する装置内で用いられる ADC として有効である。この SA ADC において分解能を高めようとすると、デジタル信号の各 bit の重み付けを行っている容量アレイの総容量が大きくなり消費電力も大きくなる。この解決策として、マルチビット変換 (2bit/step 変換) を導入することで、容量アレイにおけるスイッチ回数を減らし、その消費電力を低減することを試みた。今回は 2bit/step 変換の SAADC を試作するとともに、その比較対象として、同様の手法を用いた従来方式の変換 (1bit/step 変換) を行う SA ADC の試作も行った。さらにその要素回路であるラッチ付きコンパレータや各コンパレータの閾値間隔の調節を行うための回路を個別に試作した。また、クロックの HIGH 電圧と LOW 電圧を変化させた場合の再生時間と回復時間の変化を評価できるラッチ付きコンパレータの試作も行った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 IC Compiler, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

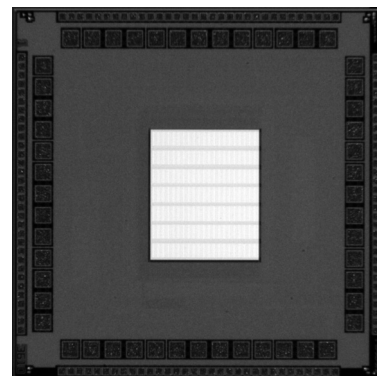


SFQ/CMOS ハイブリッドメモリ用 64kb メモリ

横浜国立大学工学部 岡本 悠史, 矢口 謙太, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップでは、これまでのメモリに対して、最大 4 ビットのアドレスをジョセフソンチップ側から印加できるよう、パッド配置と配線を変更した。また、入力からデコードまでに増幅器をはさまないデータ線・リードライト線に遅延素子を挿入し、全ての入力を同時に行えるようにした。更に、増幅器には PC467ALR1771 (R09_3) で良好な動作が確認されたセルフバイアス型を用いたため、安定動作が期待できるとともに、増幅器用のバイアスラインを大幅に削減する事が出来た。チップが到着し次第、測定により動作実証を行う。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ



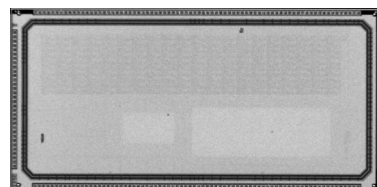
断熱的回路の消費電力測定のための乗算回路

横浜国立大学大学院工学部 内山 順一

横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は CMOS 集積回路の低消費電力化のために断熱的パストラジスタ論理回路を提案している。断熱的論理回路とは電圧変化をゆっくりと行うことで消費電力を小さくできる回路である。本チップには、断熱的 4 ビット乗算器を、消費電力の大きさを測定するため、200 個並列に載せている。この乗算器は配列乗算型のアルゴリズムで計算を行う。出力部には高速動作を確認するため、駆動力の大きいラッチ回路を、電源ラインを別にして載せてある。また、提案する断熱的論理回路を駆動するためには、6 相の台形型のクロックが必要になる。そのクロックを作るための回路の一部として 6 相の矩形波のクロックを生成する回路が載っている。DFF を 6 個つないだ形でデューティ比 1:3, 3:1 の 6 相の矩形波が出力される回路である。この回路の設計には、京都大学スタンダードセルライブラリを用いた。なお、テストによる測定は行っていない。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 100,000 以上 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

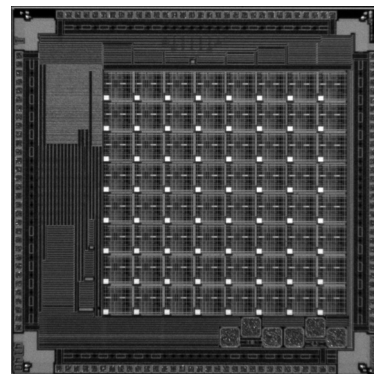


静電容量型センサ用容量検出回路

慶應義塾大学理工学部 堀下 祐輔, 松本 佳宣

概要: 近年の最先端デジタル回路と一体化可能なセンサの実現を目指して、1.5V以下の低電圧で動作する静電容量型センサ用の微小容量検出回路を設計した。特に、傾斜計や加速度センサなどのように多軸すなわち複数の容量センサが集積化されているセンサの容量検出を一つの回路でできるように、複数の容量検出器を多相クロックで駆動する構成とした。また、インバータ式発振回路と利得約50倍の非反転増幅器も併せて集積化して従来のアナログ回路に不可欠であった演算増幅器をインバータアンプに置き換える事が可能となった。さらにクロック発生回路、増幅・オフセット調整回路を集積化して、外付け部品の低減を図り、さらに携帯機器等での利用を考えて消費電力の低減を目指した。この集積回路は電源電圧1.3Vでの動作可能であり、線形アナログ出力が得られ、微小容量検出が必要な加速度センサなどの分野への応用も期待される。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Analog Artist, Mentor社 Calibre, **トランジスタ数:** 10以上, 100未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路(乗算器, 除算器など)

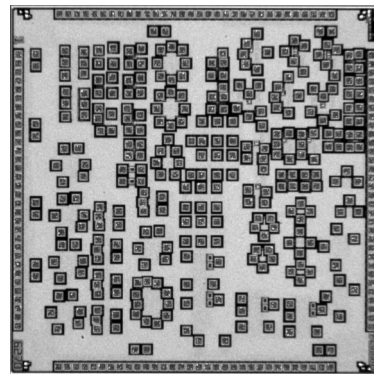


study of MOSFET

明治大学理工学部 高窪 かをり

概要: 卒業研究用のコア回路の試作を行った。主に弱反転領域のMOSFETに関する研究を行うため、少ないトランジスタ数の回路が多い。卒業研究用のコア回路の試作を行った。主に弱反転領域のMOSFETに関する研究を行うため、少ないトランジスタ数の回路が多い。試作した回路は次のようなものがある。MOSFETアレイソース接地回路・ソースフォロワ回路弱反転領域で動作するオペアンプ・レイル・トゥー・レイル入出力オペアンプ・減算回路低リークMOSFETスイッチ・サンプルアンドホールド回路・スイッチトキャパシタ回路・クロックブースタ回路電圧検出器のコア回路・電圧検出器・弱反転領域で動作するカレントミラー回路弱反転動作のMOSFETによる2段積み構成の微小電源電圧駆動PTAT電圧発生回路

設計期間: 10人月以上 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Cadence社 Dracula LVS, Cadence社 Dracula DRC, Mentor社 Calibre, **トランジスタ数:** 100以上, 1,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** その他

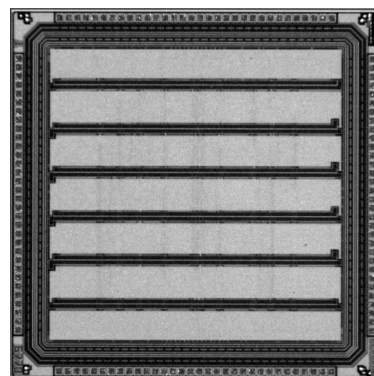


物理複製不可能なデバイス (PUF: Physically Unclonable Function) の基本特性評価用チップ

立命館大学理工学部 古橋 康太, 藤野 毅

概要: ICカードのように、LSIを利用して金銭情報や個人情報を保管するシステムが広く普及しており、信頼性・安全性保証の重要性が非常に高まっている。このようなLSIが偽装・複製され悪用される危険性を防止するために、PUFとよばれる複製防止技術が注目されている。PUFは、人工的に制御することが困難な製造時に生じるトランジスタ性能のばらつきを用いてデバイス固有のIDを生成する。本研究ではセレクトチェーンを用いたアービターPUFという回路をターゲットとした。この回路は、2つの等価な経路の信号伝播時間が製造時のトランジスタの性能ばらつきによって差が生じることを利用する回路であり、多段のセレクトチェーンによって経路を変更し、その経路の伝搬遅延時間差を、アービター回路を用いて検出する。本試作チップには、セレクトの段数や接続方式を変えた数種類のセレクトチェーン回路を搭載した。本試作チップを用いて、各回路で生成されるIDの分布特性を検証していくとともに、温度や電源電圧を変更したときの生成されるIDの再現性データを検証し、現在開発中のばらつきを考慮したSPICEシミュレーションの比較を実施する予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 Star-HSPICE, Mentor社 Calibre, **トランジスタ数:** 1,000以上, 10,000未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路(乗算器, 除算器など)

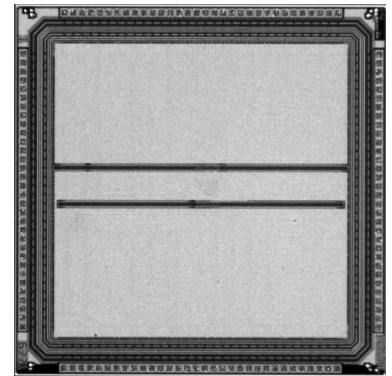


ドミノ RSL 方式を用いた Simplified-DES (SDES) 暗号回路の DPA 耐性評価チップ

立命館大学理工学部 岩井 克彦, 藤野 毅
立命館大学理工学研究科 小島 憲司, 浅川 俊介

概要: 個人情報を保管する IC カード等で使用されている暗号技術では, 数学的には安全なアルゴリズムが使用されているが, 暗号処理を行うときに発生する消費電力や電磁波等の情報から, 秘密鍵を解析される危険性がある. このような 2 次的な情報を用いて暗号を解析する手法 (サイドチャネルアタック) の中で, 暗号回路動作時の消費電力を測定し, 統計処理の差分から秘密鍵を推定する電力差分析 (DPA: Differential Power Analysis) は, オシロスコープと PC があれば容易かつ低コストで解析可能であり, もっとも危険性の高い攻撃といわれている. 乱数を用いて正論理と負論理を切り替え, 演算内容と消費電力の相関をなくすことで, DPA 攻撃を無効化できるドミノ RSL 回路の技術開発を行っており, SPICE シミュレーションでは有効性を確認できている. 今回実際に試作チップを用いて DPA 耐性を確認するために, ドミノ RSL 方式回路と通常のスタンダードセルを用いた回路を用いて, 簡易暗号回路である SDES 暗号回路を設計した. 試作したチップは, サイドチャネル攻撃用標準評価ボード SASEBO-R 改造ボードを用いて DPA 耐性を検証する予定である.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

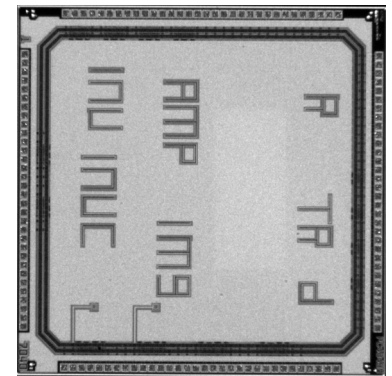


TEG による基本特性評価

長野高専電気電子工学科 秋山 正弘

概要: ローム社でのチップ作製が初めてであったことから, その特性をチェックするために TEG を用いて基本特性評価を行う. TEG にはトランジスタ (NMOS, PMOS), フォトダイオード (PD), 抵抗, ダイオード, インバータの基本素子がある. また, イメージセンサ用 1 画素 (3 トランジスタ型 APS), エミッタ接地増幅回路も配置されている. 次回は, 今回の試作チップの結果を参考にして, イメージセンサ (1 画素), 演算増幅器の試作. また, 今回製作できなかったウェルを用いた PD や, 拡散抵抗, コンデンサ, コイル, その他の論理素子も試作予定である. イメージセンサに用いられる基本素子である. パルス発生部, 画素のアレイ化, ノイズキャンセル回路, 等の製作も合わせて行いたいと考えている.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Diva, Cadence 社 Analog Artist, Mentor 社 Calibre, Mentor 社 CalibreXRC, **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

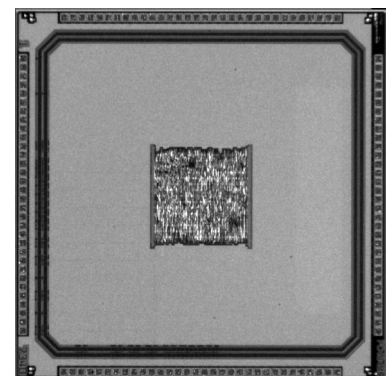


Finite Impulse Response Filter の開発

兵庫県立大学工学研究科 齊藤 光俊, 藤田 孝之, 前中 一介

概要: $\Delta\Sigma$ 変調器が出力する PDM 信号を, 二進加重デジタル信号に変換するために FIR (Finite Impulse Response) filter を開発した. FIR filter を選定した理由は, 非再帰形を用いることで必ず安定となり, 正確な直線位相特性を有するためである. FIR filter はタップ数を長くすると急峻な減衰特性が得られる. しかしその反面, タップ数が長い場合は回路規模が大きくなり, 減衰量も大きくなる. 試行錯誤の結果, タップ数は 101 とした. その結果, 回路規模 (面積) は 750 μ m 角となった. FIR filter の仕様は, カットオフ周波数は 1KHz, サンプリング周波数は 200KHz, 分解能は 10bit である. シミュレーションによる検証では, 遅延による影響が散見されるものの, filter としての機能は果たしている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10,000 以上, 100,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** その他



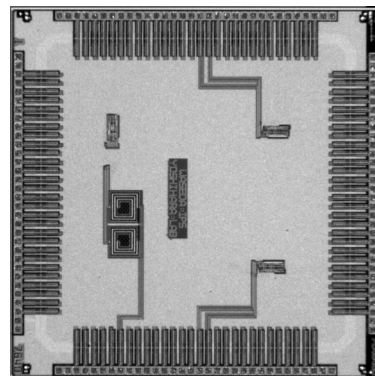
4-bit multiplier with 2-phase power clock driven charge-recovery logic

早稲田大学情報生産システム研究科 張 藝蒙

概要 : In this paper, a circuit structure called Pulse Boost Logic (PBL) is proposed, which is a novel two-phase high-speed charge recovery logic. PBL is a fully AC power supply circuit which is driven by 2-phase non-overlap clock and the operation frequency can be upto Gigahertz level. PBL can be cataloged into boost logic family; the operation of PBL can be divided into two stages: evaluation stage and boost stage: evaluation stage and boost stage. Two-phase, almost-non-overlap clock signals clk and clk_b are used for power supply, and the voltage swing is from 0 to V_{dd} . In evaluation stage, clk is in the low half cycle while clk_b is in the high half cycle, so in the evaluation network, power supply (clk_b) is in a range of $V_{dd}/2$ to V_{dd} , which is larger than threshold voltage of nMOS, so that the logic value of output can be evaluated in the nMOS Pull Up Network (PUN) and Pull Down Network (PDN). In the meanwhile, since clk_b is in high half cycle, the pass gates are on, the evaluated logic values are able to get through to the boost logic. Due to the threshold voltage loss, the logic value evaluated in the first stage is much lower than V_{dd} . In the boost stage, clk goes into low high half cycle, and clk_b goes into low half cycle. And in this stage, logic values '1' and '0' are boosted to clk and clk_b , respectively. Since the voltages of clk and clk_b are in the peak values, the output values can be recognized as logic '1' or '0' by other PBL gates. Therefore, the output signal has half cycle latency. Because voltage of power supply is larger than other boost logics, evaluation tree of PBL has more gate overdrive. Since the larger gate overdrive is, the more complexity circuits can be designed with, PBL can realize the same function of circuits with fewer gates. To demonstrate the performance of PBL structure, a 4-bit pipeline multiplier is designed and taped out to VDEC. The chip RO1809_5 is expected to demonstrate that energy dissipation performance of PBL is promoted greatly comparing with conventional static CMOS.

参考文献 : V. S. Sathe, J.-Y. Chueh, and M. C. Papaefthymiou, "Energy-efficient ghz-class charge-recovery logic," Solid-State Circuits, IEEE Journal of, vol. 42, no. 1, pp. 38-47, Jan. 2007.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数** : 1,000 以上, 10,000 未満 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : 演算回路 (乗算器, 除算器など)



イメージセンサ基本動作確認用チップ

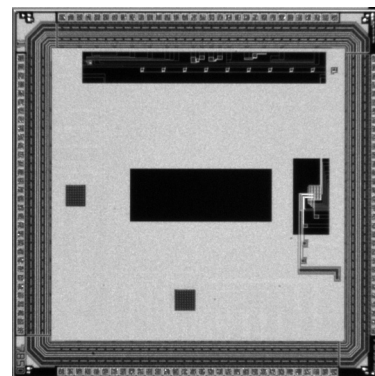
富山高等専門学校地域イノベーションセンター 塚田 章

富山高等専門学校専攻科 新田 真浩

富山高等専門学校情報工学科 長田 春風

概要 : 本試作は, 基本的なイメージセンサの設計を行い, LSI 設計技術と動作確認等の検証技術を習得することを目的としている. 試作回路は, 8 \times 8 の基本的なイメージセンサ (シフトレジスタ有り無し), 単体の対数変換型イメージセンサ, 16 \times 16 抵抗回路網, その他基本的な抵抗, コンデンサ数種である. 前回も同様の試作を行ったが, 動作確認に至らず, 今回はさらに基本的な回路構成とした. 8 \times 8 のイメージセンサでは, 行選択用の 8 入力, 各列からの 8 出力とし, 入出力をコンピュータで処理する予定である. さらに, シフトレジスタで行選択, 各列からの 8 出力を確認する. 16 \times 16 抵抗回路網は, 網膜に見られる側抑制回路を模擬するための基本回路である. 抵抗値は外部入力のゲート電圧で可変とし, 各種抵抗値における電圧の広がり具合を確認したい. これらの回路の検証を通して当初の目的を達成したい. また, この試作は金沢大学秋田研究室の協力を得て行われたものである.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Virtuoso, Cadence 社 Dracula LVS, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数** : 1,000 以上, 10,000 未満 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : イメージセンサ/スマートセンサ



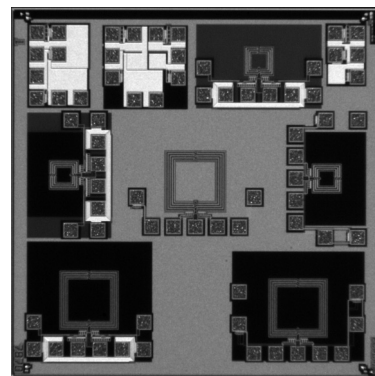
ボード間非接触データ伝送のためのシングルエンド形誘導結合送受信回路 1

東京大学生産技術研究所 佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要 : プリント基板間の通信は, 非接触にすることで配線の抵抗や容量を除去し, 通信の高速化が期待できる. 非接触通信として誘導結合による方式が提案されているが, これまでは差動回路を必要とするので, パッド面積増加や実装密度低下の問題があった. そこで本試作ではシングルエンド形誘導結合送受信回路を設計した. 先行研究ではデータの立ち上がりの際にパルスを 2 回発生させていたが, 本回路では上向きのパルスと下向きのパルスの両方を使うことでそれを 1 回に抑え, データレートの向上を図るとともに低消費電力化を目指した.

設計期間 : 2 人月以上, 3 人月未満 **設計ツール** : Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数** : 1,000 以上, 10,000 未満 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : TEG (特性評価回路など)

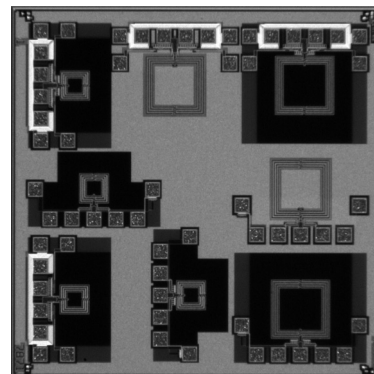


ボード間非接触データ伝送のためのシングルエンド形誘導結合送受信回路2

東京大学生産技術研究所 佐々木 正人, 陳 柏宏, 池内 克之, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要: プリント基板間の通信は、非接触にすることで配線の抵抗や容量を除去し、通信の高速化が期待できる。非接触通信として誘導結合による方式が提案されているが、これまでは差動回路を必要とするので、パッド面積増加や実装密度低下の問題があった。そこで本試作ではシングルエンド形誘導結合送受信回路を設計した。先行研究ではデータの立ち上がりの際にパルスを送信させていたが、本回路では上向きのパルスと下向きのパルスの両方を使うことでそれを1回に抑え、データレートの向上を図るとともに低消費電力化を目指した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Star-HSPICE, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

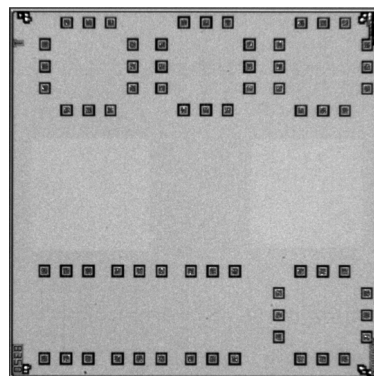


MOSFET パラメータ基板バイアス効果評価 TEG

東京理科大学大学院理工学研究科 榎田 洋太郎, 真鍋 貴俊, 間瀬 泰明

概要: 直列均等分圧回路では直列接続された複数のトランジスタが同一の動作をすることにより、一のトランジスタの場合と比べてトランジスタ数倍の電圧を出力することができる。しかし、バックゲートをグラウンドに接続した場合、Si MOSFET では各電極の対バックゲート電圧が異なるため、ドレイン電流および各電極間容量が変調され、分圧動作のバランスが崩れると予想される。本 TEG は、Si MOSFET パラメータの基板バイアス依存性を測定することを目的として作製した。その測定結果を用いて、基板バイアス効果による MOSFET パラメータの変調が有る場合の直列均等分圧動作への影響を予測するとともに、均等分圧動作を行うために必要な設計法を明らかにする計画である。なお、本 TEG は、バックゲート端子を DC 端子から S パラメータ測定可能な RF 端子に変更している点が、RO1809_3 試作で作製した同名の TEG と異なる。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, **トランジスタ数:** 10 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

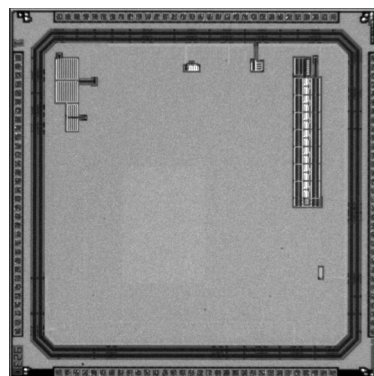


ウェイクアップ型無線通信システムのアナログ回路

東京大学先端科学技術研究センター 瀧口 貴啓, 石田 繁巳, 猿渡 俊介, 南 正輝,
森川 博之

概要: 我々は受信待機電力を大幅に削減できる新しい無線通信システムの研究を行っている。このシステムでは受信待機に特化した「ウェイクアップモジュール」と呼ぶ非常に低消費電力なモジュールを用いることで、データ通信を行うモジュールは通信を行う時のみ電源を入れることができる。本チップは、ウェイクアップモジュールのアナログ回路部分の設計したものである。本チップは主に電波検出回路、電圧変換回路、電源制御回路、復調回路、クロック生成回路から構成されている。電波検出回路は通信開始のトリガを検出する回路で、3種類の回路を搭載している。電圧変換回路は電圧を CMOS レベルに変換する回路で、カレントミラー増幅回路で構成されている。電源制御回路は後段の回路電源を制御する回路で、RS-FF と NMOS トランジスタから構成される。復調回路は信号増幅をした後に包絡線検波で復調をし、最後に波形整形を行う。クロック生成回路はリングオシレータを用いている。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 Star-HSPICE, Cadence 社 Dracula LVS, Cadence 社 Dracula LPE, Cadence 社 Dracula DRC, Mentor 社 Calibre, **トランジスタ数:** 1,000 以上, 10,000 未満 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



第4章 VDEC 概要

4.1 組織概要

VDEC は平成 8 年度に発足した。当時は専任教官 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教官 2 名と事務官 1 名が増員され、さらに、全国の大学と連携を密にする目的で各大学から 2 年を単位として 2 名の教官を派遣する「流動教官制度（平成 16 年度からは国立大学法人になったことに伴い客員研究員制度となる。）」がスタートし、平成 19 年度をもって終了した。

平成 20 年度からは、協力教員制度を新たに発足させ、10 大学から協力教員を派遣いただいている。

また、産業界と協力をを行うため、客員教授が 1 名おかれている。

VDEC は現在、専任教員 9 名、客員教授 1 名、事務員 2 名の定員を有しているが、他にも多くの援助を受けながら運営されている。事務は工学系研究科事務部との合同化により直接の担当を共同利用チームとし、工学系研究科事務部全体の支援を受けている。教育・研究の分野では、学内の協力教員、学外の協力研究員、さらには全国の拠点大学の教職員と学生を含む CAD ボランティア等多くの協力者の手によって支えられている。

流動教官派遣大学

年 度	派 遣 大 学
平成 9・10 年度	東北大学, 横浜国立大学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学
平成 16 年度	大阪大学, 九州大学
平成 17 年度	名古屋大学, 大阪大学
平成 18 年度	北海道大学, 名古屋大学
平成 19 年度	北 海 道 大 学

協力教員派遣大学（平成 20 年度～）

北海道大学, 東北大学, 東京工業大学, 金沢大学, 名古屋大学, 京都大学, 大阪大学, 広島大学, 九州大学, 立命館大学

4.2 人事報告

VDEC 人事

センター長・教授 浅田 邦博
教授 藤田 昌宏
客員教授 福間 雅夫
准教授 池田 誠
准教授 高宮 真
特任准教授 名倉 徹
特任准教授 小松 聡
助教 佐々木 昌浩
助教 松本 剛史
助教 飯塚 哲也 (平成 21 年 4 月から)

主査 齊藤 岳己
専門職員 小俣 圭助 (平成 21 年 4 月から)
協力教員 柴田 直
(東京大学工学系研究科電気系工学専攻教授)
高木 信一
(東京大学工学系研究科電気系工学専攻教授)
三田 吉郎
(東京大学工学系研究科電気系工学専攻准教授)
竹内 健
(東京大学工学系研究科電気系工学専攻准教授)
竹中 充
(東京大学工学系研究科電気系工学専攻准教授)



平成 21 年度大規模集積システム設計教育研究センター運営委員会委員名簿簿

氏名	所属
浅田 邦博	大規模集積システム設計教育研究センター長
保立 和夫	工学系研究科長
柴田 直	大学院工学系研究科 教授
坂井 修一	大学院情報理工学系研究科 教授
中野 義昭	先端科学技術研究センター 教授
荒川 泰彦	先端科学技術研究センター 教授
高木 信一	大学院工学系研究科 教授
藤島 実	大学院工学系研究科 准教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
池田 誠	大規模集積システム設計教育研究センター 准教授
高宮 真	大規模集積システム設計教育研究センター 准教授

平成 21 年度大規模集積システム設計教育研究センター全国運営協議会委員名簿

氏名	所属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授 (センター長)
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
南谷 崇	東京大学先端科学技術研究センター情報物理システム 教授
柴田 直	東京大学大学院工学系研究科電気系工学専攻 教授
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授
宮永 喜一	北海道大学大学院情報科学研究科 教授
大見 忠弘	東北大学未来科学技術共同研究センター 客員教授
一色 剛	東京工業大学大学院理工学研究科 准教授
益 一哉	東京工業大学統合研究院 教授
柳澤 政生	早稲田大学理工学術院 教授
松田 吉雄	金沢大学工学部電気電子システム工学科 教授
高木 直史	名古屋大学大学院情報科学研究科情報システム学専攻 教授
小野寺 秀俊	京都大学大学院情報学研究科通信情報システム専攻 教授
谷口 研二	大阪大学大学院工学研究科電気電子情報工学専攻 教授
Mattausch Hans Juergen	広島大学ナノデバイス・バイオ融合科学研究所集積システム学科 教授
安浦 寛人	九州大学大学院システム情報科学研究院情報知能工学部門 教授
山内 寛紀	立命館大学理工学部電子情報デザイン科 教授
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授
黒田 忠広	慶応義塾大学理工学部電子工学科 教授
吉本 雅彦	神戸大学大学院工学研究科情報知能学専攻 教授

4.3 決算報告

1. 運営費交付金

経費	金額
物件費	207,610,000
人件費	62,212,768

2. 平成21年度科学研究費補助金

研究代表者	研究題目	種類	金額(千円)
西原 佑	ハードウェア／ソフトウェア協調設計に対する形式的検証とその要素技術に関する研究	特別研究員奨励費	900

3. 平成21年度産学連携等経費

研究代表者	研究題目	種類	金額(千円)
浅田 邦博	LSI設計教育基盤としてのiPAD2.0の研究開発	共同研究	15,000
浅田 邦博	LSI設計教育基盤としてのiPAD2.0の研究開発	共同研究	13,000
浅田 邦博	オンチップ雑音低減化技術	共同研究	3,000
浅田 邦博	CMOSワイヤレス・トランシーバICの設計・試作・評価とテキスト開発	共同研究	4,000
浅田 邦博	先端LSIテスト技術	共同研究	20,000
浅田 邦博	磁界プローブの設計・評価の研究	共同研究	1,200
藤田 昌宏	システムLSI設計技術の研究開発	共同研究	7,000
藤田 昌宏	システムLSI設計技術の研究開発(継続テーマ)	共同研究	2,000
藤田 昌宏	次世代SoC向けシステムレベル設計自動化技術に関する研究	共同研究	6,500
藤田 昌宏	システムLSI設計技術の研究開発	共同研究	2,000
飯塚 哲也	高速信号通信に関する研究	共同研究	3,000
浅田 邦博	先端集積回路の評価・解析技術高度化の研究	受託研究	6,000
高宮 真	サブミリワット無線データ通信及び給電技術	受託研究	200
高宮 真	サブミリワット無線データ通信及び給電技術	受託研究	500

4. 平成21年度寄附金

以下の企業・個人から寄附を頂きました。

受入件数：5件 受入額 計9,500,000円

(株)半導体理工学研究センター、日産自動車(株)、(株)富士通研究所

第5章 研究報告

5.1 全体概況

	研究室構成 人数（名）	研究発表（件）			著書（冊）	特許（件）	受賞（件）
		研究論文	国際会議	その他			
VDEC 教員	46	17	46	34	0	4	6
協力教員	54	19	55	62	1	17	4

5.2 研究室構成員 (平成21年度)

浅田・池田・名倉研究室構成

浅田 邦博 教授
池田 誠 准教授
名倉 徹 准教授
佐々木 昌浩 助手
飯塚 哲也 助手
鈴木 真一 技官
金 允璟 博士3年(現在 Samsung)
門馬 太平 博士3年
金 鎮明 博士2年
Nguyen Ngoc Mai Khanh 博士2年
Sanad Bushnaq 博士1年
萬代 新悟 修士2年(現在博士1年)
Devlin Benjamin Stefan 修士2年(現在博士1年)
大塚 泰雅 修士2年(現在 JR 西日本)
Dang Ngoc Lan 修士2年(現在 アドバンテスト)
齊藤 総 修士2年
服部 慶士 修士1年
程 在鉉 修士1年
玉置 裕基 修士1年
宋 暁旭 修士1年
中里 輝希 学部4年(現在浅田・池田・名倉研究室修士1年)

藤田研究室

藤田 昌宏 教授
松本 剛史 助教
吉田 浩章 特任助教
Bijan Alizadeh 特任研究員
Amir Massoud Gharehbaghi 特任研究員
小島 慶久 博士3年
西原 佑 博士3年
Ratna Krishnamoorthy 博士3年
李 蓮福 博士2年
張 嘉懿 博士1年
谷田 英生 修士2年
李 在浩 修士2年
田川 貴聡 修士1年
原田 裕基 修士1年
蔵野 達也 学部4年
中井 勇氣 学部4年

高宮研究室

高宮 真 准教授
石田 光一 助教

劉 樂昌 特任研究員
高橋 啓介 博士2年
安福 正 博士1年
荒木 貴弘 修士2年
平田 貴士 修士1年
島本 潤吉 修士1年
鄭 雲飛 研究生

柴田・三田研究室構成員

柴田 直 教授
三田 吉郎 准教授
澤村 智紀 研究員
ロバート グロー 博士3年
朱 弘博 博士3年(現在 日立)
高橋 徳浩 博士3年(現在 特許庁)
森川 重毅 博士2年
西山 未央 博士2年
馬 奕濤 博士2年
包 蕊寒 博士1年(10月入学)
趙 普社 博士1年(10月入学)
韓 丹丹 博士1年(10月入学)
金 炫秀 修士2年(現在 柴田・三田研 博士1年)
申 丞鎬 修士2年(現在 帰国)
孫 卓力 修士2年(現在 キーエンス)
プラバート・ウィーラワルダナ 修士2年(現在 柴田・三田研 研究生)
三好 高史 修士1年(現在 ファナック)
森下 賢志 修士2年(現在 柴田・三田研 博士1年)
小森 健正 修士1年
山下 直也 修士1年
山本 広隆 修士1年
夏 文軍 修士1年(10月入学)
ルーク・ビーマ 修士1年(10月入学)
押山 元 学部4年生
チャン・ナム・ビン 学部4年生(現在 柴田・三田研 修士1年)
李 賀 学部4年生
王 哲也 研究生(現在 柴田・三田研 博士1年)
伍 仟 研究生(現在 柴田・三田研 修士1年)

高木・竹中研究室構成

高木 信一 教授
竹中 充 准教授



横山正史 (特任研究員)
趙毅 (日本學術振興会外国人特別研究員)
Sanjewa Dissanayake 博士3年(工学系)
星井拓也 博士2年(工学系)
Rui Zhang 博士1年(工学系)
中川翔太 修士2年(工学系)
森井清仁 修士2年(工学系)
富山健太郎 修士2年(工学系)
岩崎敬志 修士1年(工学系)
キムサンヒョン 修士1年(工学系)
黒田浩一 修士1年(工学系)
飯田亮 修士1年(工学系)
Sunghoon Lee 修士1年(工学系)

Junkyo Suh 修士1年(工学系)
杳木知宏 学部4年(工学部)
吉原大貴 学部4年(工学部)

竹内研究室

竹内健 准教授
宮地幸祐 特任研究員
畑中輝義 修士2年
野田晋司 修士2年
矢島亮児 修士2年
田中丸周平 修士1年
洪慶麟 修士1年
本田健太郎 学部4年

5.3 研究概要

浅田・池田・名倉研究室

Asada, Ikeda, and Nakura Laboratory
(<http://www.mos.t.u-tokyo.ac.jp>)

電源雑音測定・低減手法

浅田邦博, 池田 誠, 名倉 徹, 金 鎮明,
Dang Ngoc Lan, 玉置裕基

大規模集積回路は情報処理や通信のみならず医療、航空宇宙など様々な分野において広く使われている。これにより回路動作信頼性は必須の課題であり、安定した誤動作のないシステムの構築が強く求められている。しかし、VLSIは微細化に伴うトランジスタ数の増加により電流密度が高くなり、電源ラインに雑音を引き起こす原因となる。電源雑音は回路遅延増加、雑音余裕低下、ゲート劣化などを引き起こす。本研究では電源モニタをチップ内に配置して、各ロケーションにおける遅延の最悪値を検出する電源モニタシステムを構築する。また、発生した電源雑音を能動的に低減するための電源雑音低減回路構成を実現し、安定的な電源実現を目標とする。

パルスを利用した設計・プロセスモニター

浅田邦博, 名倉徹, 飯塚哲也, 程在鉉

本研究では、リング型のバッファチェーンを使用して、小面積かつ簡易な計測手法でPMOS/NMOSトランジスタの特性ばらつきをモニタする回路を提案し、65 nm CMOSプロセスを用いた試作チップにより動作の確認を行った。さらに、時間方向の情報であるパルス幅を記憶するためのパルス幅メモリに関する検討を行った。本回路ではクロスカップルした2つのリング型のバッファチェーンを差動動作させることによりプロセスばらつきによらずパルス幅を記憶できる構成となっている。

100GHz帯を用いたイメージングに関する研究

浅田邦博, 佐々木昌浩, ゲエンカンゴクマイ

本年度は、ミリ波イメージングを目的としたパルスビームフォーミング機能を有する2×4オンチップアンテナアレイとその送信回路の設計・実装を65nm CMOSプロセスを用いて行った。パルス波送信回路として送信周波数が117-130GHzとなる8素子のダイポールアレイを実装した。オンチップアンテナは可変

遅延計測制御回路およびダンピング・パルス発生回路によりドライブされている。また、遅延制御精度1ps以下の遅延回路及びジッタ計測回路を実装した。この回路は、イメージ取得時のビームフォーム角度調整のための遅延量制御に用いられる。ミリ波送信回路のコンセプトを確認するため、マイクロ波オンチップダイポールアンテナを実装したパルス波送信回路、及びワイドバンド送信波形に対応したギルバートセルミキサーを用いた受信回路を0.18 μm CMOSプロセスにより実装した。測定により送信回路は12-15GHzの周波数成分を含むパルスを放射していることを確認し、提案回路の有効性を示した。

スマートイメージセンサ

浅田邦博, 池田誠, 佐々木昌浩, 金允璟, 大塚泰雅,
宋曉旭

多層配線層における光透過特性の波長依存性に関して透過マトリックスを用いることで理論的に検討するとともに、65 nm CMOSチップにおいて、実測により理論的な透過特性と合致することを示した。また、配線グリッドを用いた偏光特性に関する波長依存性の解析を行った。磁界を用いた検波素子としてのオンチップコイル付MAGFETの特性に関して、直流および交流特性を測定することで、光-磁界同期検波の可能性の検討を行った。高精度ポジションセンサを目指して最小ピクセルピッチの製約を乗り越えるための新たなスキューを用いたサブピクセルレベルのポジションセンサの有効性を検証した。

高性能三次元計測システム

浅田邦博, 池田誠, 萬代新悟, 服部慶士

シート光を用いたアクティブ方式の三次元形状計測イメージセンサの試作および三次元計測システムの構築を行った。高速化のため、ピクセル中に1 bit ADCおよび二進木型列並列探索回路を設け、電流差分型のピクセル回路によりピクセルの光応答速度の高速化を図っている。0.18 μm CMOSプロセスにより256×256ピクセルのスマートイメージセンサを実装し、10k rangemap/s以上に相当するシート光検出速度を実現するとともに、800rangemap/sを超える速度における三次元計測を実現した。また、光切断法を用いたレンジファインダーにより得られた三次元情報から高

二線式論理を用いた自己同期システムの実現

浅田邦博, 池田 誠, 鈴木真一, B.S.Devlin,
齊藤 総, 中里輝希

自己同期型FPGA (SSFPGA) を設計・試作し性能評価を行った。SSFPGAではCLBレベルでのパイプライン化とダイナミック回路におけるプリチャージ時間を隠しスループットを向上させるために、2相パイプライン構成を用いている。SSFPGAの設計試作と合わせてパイプライン整合を行うマッピングプログラムを作成することでベンチマーク回路により性能の評価を行った。65 nmCMOSにより実現したSSFPGAをロジックテスターで実測により、1.2Vの電源電圧において2.59 GHzのスループットおよび2.81 pJ/block/cycleのエネルギー消費を確認した。このSSFPGAには、256 bit FIFOを搭載した同期-自己同期インターフェースを設けることで、SSFPGAと低速かつクロックに同期した外部回路とのデータの入出力を可能とし、実際のデータによりSSFPGAの機能の確認を行った。SSFPGAはプロセスばらつき、内部雑音および外部から注入された電源電圧変動に適応的に動作速度を変化させながら正常に機能することを確認した。

SoC 設計

浅田邦博, 池田 誠, J.Tandon, 門馬太平,
S.S. Bushnaq

我々は、SoC設計に関しては主に3つのテーマで研究を行っています。まず、我々はSoC向けテストプラットフォームを提案しています。この研究では、温度や電源ノイズの測定が可能で、あらゆるSoCと統合可能なプラットフォームの構築を目指しています。また、我々は新しい組み込み向けプロセッサを研究しています。この研究では、SIMD型演算器の並列性を動的に変化させる事により、速度や消費電力をアプリケーションによって最適化することを目指しています。最後に、我々はデジタルベースバンド処理を用いた新しい変調/復調方式を提案しています。この方式では、単純なハードウェアで良好なノイズ耐性を実現しています。

設計の形式的検証に関する研究

藤田昌宏, 松本剛史, 西原 佑, 田川貴聡

システムLSI設計の大規模化・複雑化に伴い、設計の正しさを証明するための検証技術の重要性が高まっている。本研究では、ハードウェア/ソフトウェア協調設計や非同期式回路に対して形式的検証技術を適用する技術に取り組んでいる。ハードウェア/ソフトウェア協調設計に対する検証においては、メモリマップI/Oや割り込みにより通信を行っている設計に対して、通信の抽象化、記述変換による設計抽象度の統一、並列動作の順序化により、従来の形式的検証技術を効率的に適用する手法を提案した。特に順序化においては、従来手法を割り込みによる通信に対応できるように拡張し、半順序簡約による手法に対して数倍の効率化が実現できること確認した。非同期式回路に対する検証においては、高位合成前後の東データ方式の非同期式回路に対する初めての等価性検証手法を提案した。提案手法では、回路が満たすべきタイミング制約とデータフローを別々に検証する。タイミング制約については、制御回路内の遅延素子により決定されるタイミング制約をデータパス回路が満たすかどうかを判定する。データフローについては、タイミング制約が満たされているという前提のもと、各制御信号により実現されるデータパス回路のデータフローと高位合成前の動作記述のデータフローとを比較する。小さな例題に対して、提案手法により正しく等価性検証が行えることを確認することができた。

オンチップインターコネクト設計支援に関する研究

藤田昌宏, 吉田浩章, 松本剛史, 張 嘉懿, 谷田英生,
中井勇氣

本研究ではSoCの機能ブロック間を接続するオンチップインターコネクトの設計を支援する二分野を研究対象としている。そのうち一つは、インタフェース回路の自動合成である。本研究では、有限状態機械の形式に抽象化して表現された互換性のないプロトコル同士の変換器の自動合成を目的としている。プロトコル変換器の自動合成技術は、変換器の設計・検証時間の短縮化を実現し、ヒューマンエラーに起因する設計不具合のリスク低減を実現する。今年度は、変換対象プロトコルの通信路ビット幅や動作周波数が違う場合にも対応可能な合成手法を提案した。今後は、これら

のアルゴリズムを我々のプロトコル変換器自動合成ツールへ実装する予定である。もう一つの研究対象分野は、NoC（ネットワークオンチップ）のアーキテクチャ自動合成である。多くのNoCアーキテクチャが提案されているが、アプリケーションに応じた最適なNoCの自動生成は実現されていない。そこで、本研究ではアプリケーションの通信要求に応じて自動的に各機能ブロックを配置し、NoCトポロジ・経路を生成する手法を提案している。この提案手法では、動作周波数に影響を与える一ホップあたりのリンク長に関する制約を扱うことを可能としている。今年度は、通信路のレイテンシと一ホップあたりのリンク長に関する要求を整数線形計画法に基づく機能ブロック配置決定手法において、従来手法は評価関数の項として扱っていたのに対して、制約条件として扱う定式化を提案した。提案した定式化は、従来手法に対して低い消費電力のNoCアーキテクチャを合成することが確認された。

上位設計記述を用いたデバッグ支援手法

藤田昌宏, 松本剛史, 西原 佑, 李 蓮福, 原田裕基, 蔵野達也

近年、設計デバッグの効率はtime-to-marketを短縮するため決定的となっている。本研究では、上位設計を用いた、二つのデバッグ支援のための手法を提案する。まずはSMTソルバーを用いて上位設計記述中のバグの位置を特定する手法を提案した上位設計からバグの候補を抽出する手法がある。すなわち、対象の上位設計からある入力パターンによる実行パスにおけるDFG（Data Flow Graph）を求め、各エッジにおいて、その部分が正しい場合と、誤った場合を表す二つの選択を持つMultiplexerを挿入する。それから、正しい入出力パターンを制約条件にしたSMT問題に変換し、SMTソルバーでmultiplexerの値の割り当てを求める。もう一つの研究では、製造後デバッグに上位設計を用いるためにチップの入出力シーケンスを上位設計の入出力シーケンスにマッピングする手法を提案する。

まず、入出力シーケンス間のマッピングにおける形式的な定義を提案した。それから、インタフェースの仕様を表すFSMの実行によってマッピングを行い、上位設計における入出力シーケンスを生成する。

データパス設計に対する形式的検証および最適化手法

藤田昌宏, Bijan ALIZADEH

コンピュータグラフィクスやデジタル信号処理では多項式表現による処理の表現が使われるが、次の2つ

の問題が存在する。1) 2つの多項式の等価性検証が既存手法ではできない、2) 多項式の冗長性を除く最適化手法がないため効率的に多項式から回路を合成することができない。多項式表現の応用分野の多様化に伴い、これらの問題の解決が求められている。現在、最適化されたRTL設計を生成するために、人手によって多項式の最適化が行われており、設計時間と設計誤りの増加の要因となっている。そのため、多項式表現からの回路合成手法と形式的検証手法が必要となっている。本研究では、Modular Horner Expansion Diagram (M-HED) と呼ばれる決定グラフを用いて、ビット幅を考慮した多項式の最適化手法と形式的検証手法を実現した。

高位合成および高位設計最適化

藤田昌宏, 吉田浩章, Ratna KRISHNAMOORTHY, 李在浩

集積回路製造技術の向上に伴いプロセスが複雑になってくるにつれて、これまで無視してきた影響が無視できなくなっている。特に配線が性能へ及ぼす影響は支配的になりつつあり、レイアウト・論理設計においては配線を考慮した設計技術が確立されている。本研究室では、近年普及が進む高位合成、特にパイプライン合成において配線を考慮する手法を提案した。また、高度化が進む組み込み機器分野において、逐次処理型プロセッサのみではその実現が困難となっている。一方で特定用途向けVLSIはその高並列性により高性能・低消費電力を実現可能であるが、設計が難しい・変更が不可能・高コスト等といった問題がある。実行中に機能を変更できる動的再構成可能ハードウェアは柔軟性と高性能・低消費電力を両立する技術として期待されている。本研究では開発の効率化および過去の開発資産の有効活用を重視し、逐次的プログラムから自動的に高効率な動的再構成可能ハードウェア向け回路を合成する技術の研究を行っている。

高位設計に対する ATPG 手法

藤田昌宏, Bijan ALIZADEH

SoCが急速に複雑化するに連れて、製造故障のテスト手法が注目を集めている。近年、多くのテスト容易化手法が提案されているが、それらには、スキャンFF挿入による回路面積増加と性能低下、テスト時の消費電力増加などの深刻な問題がある。さらに、SoC設計に抽象度の高い上位設計が導入され効率化が図られている一方で、ほとんどの自動テストパターン生成手法（ATPG）やテスト容易化手法はゲートレベル回路

に基づいている。本研究では、ゲートレベルの縮退故障を対象としたATPGをスキャンFFを用いず、かつ、上位設計上で行う手法を提案した。提案手法によって、ゲートレベル回路を生成する前の段階でもATPGを行うことが可能になっている。

パイプライン回路に対するタイミングエラー回復とその形式的検証

藤田昌宏, Amir Masoud GHAREHBAGHI,
Bijan ALIZADEH

通常のパイプライン回路におけるクロック周期は、タイミングエラーを起こさない正常な動作を保証するために、クリティカルパスの遅延によって決定されている。しかし、このような最長遅延によって決定されるクロック周期は、平均遅延での動作に比べて非常に遅くなる。そのため、クリティカルパス遅延が平均遅延に比べて非常に大きく、また、活性化される確率が非常に低い場合には、大きな性能低下を引き起こしてしまう。本研究では、異なるパイプラインステージで複数のタイミングエラーが発生した場合も、正常な動作を行うことが保証されたタイミングエラー回復技術を提案した。これにより、回路のクロックより速くすることができる。文字列を比較する回路をFPGA上に実装して行った実験により、提案手法を適用することにより、クロックを30%高速にした場合にも処理速度を維持したまま正常に動作することが確認できた。加えて、本研究ではタイミングエラー回復を適用する前後の回路の等価性を形式的に検証する手法を提案した。様々なタイプのプロセッサに対してモデルを生成し、提案手法によってタイミングエラー回復を導入する前後のプロセッサの等価性を検証することができた。

動的ウェブアプリケーションの検証に関する研究

藤田昌宏, 谷田英生

近年、ウェブブラウザ内で動作するウェブアプリケーションは、動的なアプリケーションの実装を可能とするAjaxなどの技術が普及すると共に、急速にその適用分野を拡大した。また、それと共に実装されるアプリケーションの規模・複雑度も増大し、効率の良く網羅的な検証手法の確立が待ち望まれている。現在、ウェブアプリケーションの開発においてはテストケースを用いた検証が行われることが多いが、テストによる検証手法は網羅的でなく、コーナーケースのバグを残してしまう可能性がある。一方、従来のスタンドアロンプログラムの実装に対するモデル検査などの形式

的検証手法は、ネットワークを介して動作する分散システムであるウェブアプリケーションに適用することは不可能であった。また、従来のウェブアプリケーションのモデルを用いた検証手法は、動的なウェブアプリケーションの挙動をモデルに表現できない、モデルを手手で記述して与えなければならない、などの問題点が存在した。今年度は、動的ウェブアプリケーションの画面間遷移に対する網羅的検証手法を提案した。提案手法は、動的ウェブアプリケーションのブラウザ内での表示内容とそのユーザ入力に伴う遷移関係を表す画面間遷移モデル自動抽出手法と、画面間遷移モデルに基づくモデル検査手法から構成される。さらに、提案手法をツールとして実装して、小規模な解説書上の例題および実運用に供されている大規模な動的ウェブアプリケーションに適用して評価を行った。実験結果からは、提案手法がウェブアプリケーションの不具合発見に有効であること、及び大規模なアプリケーションにも適用可能であることが示されている。

高宮研究室

Takamiya Laboratory
(<http://icdesign.iis.u-tokyo.ac.jp/>)

エネルギー効率に優れた

極低電圧動作 LSI 回路設計技術

高宮 真, 桜井貴康, 平本俊郎, 竹内 健, 石田光一
地球温暖化対策が求められている一方で、各種情報機器による消費電力が爆発的に増加しているため、あらゆる電子機器の低電力化が必要であり、この要求に応える半導体回路・システム技術を研究開発している。主として65/45 nmレベルの標準CMOSプロセス技術により、世界に先駆けて将来の基本技術である電源電圧0.5V動作LSI回路技術を実用レベルで開発し、LSIの消費電力を従来の1/10にすることを目標とし、ロジック、メモリ、アナログ、電源、無線/チップ間ワイヤレスの回路・システム技術に関して半導体メーカーと共同研究を実施している。研究開発された技術は、センサネットや常時モニター機器などにも応用され、これらが照明や空調など家庭やオフィス、工場、物流などのエネルギー管理をより広範に行うことによっても社会のグリーン化に貢献することが期待される。

三次元 VLSI システム向けの設計技術

高宮 真, 桜井貴康, 石田光一

VLSIを低消費電力化するためには、トランジスタを高集積化し、トランジスタ間の通信エネルギーを低減することが肝要である。そこで三次元的にチップを積層してトランジスタ密度を上げる三次元VLSI積層システムが有望である。そこで、我々は三次元積層チップ間の無線通信技術・無線給電技術向けのLSI回路技術の開発を世界に先駆けて行っている。最近では、積層チップ間の無線通信技術の応用例として、12インチの半導体ウエハの一括非接触テスト向けの容量結合トランシーバ回路技術を世界で初めて実証した。

LSIと異種デバイスを融合させた

大面積エレクトロニクスへの設計技術

高宮 真, 桜井貴康, 染谷隆夫, 石田光一

LSIは情報の処理や記憶は非常に得意であるがサイズが小さいため、ヒューマンインタフェース用の素子には向いていない。そこで、フレキシブルな数10cm角のプラスチックフィルム上に作成した低コストの有機トランジスタやMEMSスイッチと、LSIを組み合わせた「点字ディスプレイ」、「無線電力伝送シート」、「通信シート」、「EMI測定シート」、「User Customizable Logic Paper (UCLP)」等の大面積エレクトロニクスのアプリケーション提案とこれに必要な回路技術の開発を行っている。

柴田・三田研究室

(2009年度)

(<http://www.if.t.u-tokyo.ac.jp>)

右脳型ソフトコンピューティング VLSI:

連想プロセッサ・システム

柴田 直, 馬 奕壽, 夏 文軍

現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを、シリコン超LSI技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し、直感・連想・推論といった処理を得意としたLSIチッ

プを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ(ニューロンMOS, neuMOS)を導入、膨大なtemplate群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ、0.18ミクロンCMOS技術を用いた超高速デジタル連想プロセッサ等を、これまで開発した。今後連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップ用いて構築して行く。そのために我々の思考過程を柔軟に記述できるAPROL (Association Programming Language)の開発も行う。四則演算に代わり連想を“computing primitive”とする実時間事象認識知能システム実現を目指す研究である。現在、画像認識・音声認識をテーマに研究を進めている。ここで開発したVLSI回路技術は、実用的な応用として、CDMA マッチトフィルタへの応用技術等も開発している。

画像の特徴ベクトル抽出 VLSI 及び

そのパターン認識への応用

柴田 直, ロバート グロー, 朱 弘博, 高橋徳浩, 森川重毅, 韓 丹丹, 金 炫秀, 孫 卓力, 山下直也, 押山 元

我々の連想プロセッサアーキテクチャを画像認識に用いるには、2次元の画像情報を特徴ベクトル、即ち一次元の数値列で表現しなければならない。我々はこの目的で、主方向線分投影法 (PPED: Projected Principal-Edge Distribution) と呼ぶ新たな特徴ベクトル表現法を開発した。2次元画像に対し、縦・横・斜め2方向、計4方向の線分を抽出してフィーチャーマップを作成、そのビットフラグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する。これらをつなぎ合わせて64次元ベクトルとし、64×64ピクセルの画像を表現する。これは、元画像の特徴を実にうまく表現しており、手書きによるパターンの変形、歪みに対しほとんど影響を受けない。従って、単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる。特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった。さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用、歯学部学生にとっても高度な訓練を必要とする解剖学的特徴点抽出の困難な作業が、専門医と同様にできることがわかった。今後、連想プロセッサと統合し、一般的な知的画像認識システム構築へと発展させていく。このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり、neuMOSを用いたアナログCMOS回路技術、および最先端のディジタ

ル CMOS 回路技術の両方を用いて、独自のアーキテクチャを持つ特徴ベクトル生成 VLSI チップの開発を行っている。

実時間動画画像処理プロセッサ

柴田 直, 趙 普社, 申 丞鎬,

ブラバート・ウィーラワルダナ, 小森健正

リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾する Saliency Catcher, 及びキャッチした物体の3次元計測を瞬時に行える VLSI プロセッサの研究を行っている。Saliency Catcher については、擬似二次元処理と呼ぶ新たな手法を導入、すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため、各画素部では大きなフィルファクタが実現できた。フィルファクタとは、各ピクセルプロセッサ内でフォトダイオードが占める面積の割合で、これが大きいほど多くの画像情報が処理に取り込める。このチップは、複雑な背景の中から複数の動いている物体を、動きの大きさとともに検出できる。さらにカメラ自身がブレて背景が動いていても検出できるという特徴をもつ。実際にチップで基本性能を確認した。さらに運動物体の3次元計測をリアルタイムで行うチップも開発した。これはキャパシタ間での電荷の再配置のみを演算に使う回路であり、究極の低消費電力システム実現の可能性を秘めている。

方向性エッジベクトル表現を用いたロバストな人物像検出システム

柴田 直, 三好高史

顔の検出は、ヒューマンインタフェースの研究において重要な課題である。従来、肌色に着目したり、ニューラルネットによる分類等さまざまな手法が開発されているが、写真の撮影条件の影響を受けたり、あるいは本当の顔を逃してしまう、いわゆる false negative の発生といった問題が多かった。本研究では、多少の false positive (顔以外のものでも似ていると顔として検出) はあっても、「本当の顔を絶対に逃さない」ことを目標とするロバストな顔検出アルゴリズムの基礎を、これまでの成果であるエッジベースのベクトル表現法 (PPED) を発展させて確立した。PPED 法による検出は、例えば壁のしみでも眺めていると人間の顔に見えてくるといった、人間の認識に非常に近い検出アルゴリズムであるが、本研究では PPED とは補完的な性質を持つ、新たな2つのベクトル表現法を開発、オリジナル PPED ベクトルと同時に用いた多重照合法

(multiple cluematching) の開発により、大変ロバストな顔検出を実現した。さらに、顔画像を各部分を構成する微小画像の2次元シーケンスとして扱い、シーケンスマッチングの手法を用いて顔認証を行うシステムも構築した。これにより、照明条件の変化に強いロバストな顔認証システムが実現した。本実績をベースに、任意の環境下において様々なポーズをとる人物像をロバストに検出するシステムの研究を進めている。

動画画像認識システム

柴田 直, 西山未央, 包 蕊寒, ルーク・ビーマ

方向性エッジ情報が、静止画の認識に重要な働きをすることを我々はこれまで様々な事例で実証してきた。本研究テーマは、動画画像シーケンスから動きの情報を取り出し、これによって動作の理解を行う研究であり、これもエッジ情報を用いて行っている。人間の脳は、まず第一視覚野で様々な方向性エッジ情報が抽出し、これを用いて形状認識と動き認識を、それぞれ別々の pass way で実行している。我々もこれに習った。エッジ情報によって物体の形状を認識し、その形状を順次追いかけて行く手法でオブジェクトトラッキングシステムを開発した。追跡物体が複雑な背景の中に入っても、途中で形状や動作速度を変えても、また照明条件が変化しても正確に追跡していける。環境の中で人が移動すると環境の視覚画像もそれに応じて変化するが、その変化から自分の動きを理解するいわゆる ego motion perception も、方向性エッジ情報を用いて実現した。照明条件の変化や、明確なテクスチャの少ない環境、あるいは視野内に別の動きをする物体が存在する場合にも、ロバストな ego motion 検出ができる。さらに、画面の中で動作する人物のジェスチャーを認識するシステムも開発中である。各時刻におけるオプティカル・フローをベクトル表現し、ベクトルの時間シーケンスを隠れマルコフモデル (HMM) を用いて理解するシステムである。この目的のため、相対評価ではなく絶対評価可能な、新たな隠れマルコフモデルを考案し、その有効性を実証した。

サブミクロン開口の深掘りエッチングを応用した MEMS-LSI 融合デバイス

三田吉郎, 澤村智紀, 山本広隆, 伍 任,
フレデリック・マーティー (仏電子技術高等学院)

東京大学武田先端知ビルスーパークリーンルームの VDEC 所有 EB 装置を利用してリソグラフィを行ない、DRIE 装置でエッチングを行なって、深掘りナノサイズ構造すなわち、電子デバイスサイズ (1ミクロン以下)

のパターン幅でかつマイクロマシンサイズ（40ミクロン以上）の深さを持つ垂直深掘り構造を作製し、機械的な深掘り構造に起因した物理効果によって量的・質的な向上がもたらされる新世代の電気機械デバイスを研究している。深掘り加工技術としては最小サイズ170ナノメートル、深さ15ミクロンのトレンチ構造を作製することができるようになった。MEMS用サブミクロンサイズの深掘り構造は、これまでせいぜいアスペクト比1:10程度であったが、本研究ではそれより一桁優れた結果を出している。このエッチング技術を基礎に、シリコンの垂直面の表面から不純物拡散を行ってPN接合とした「垂直フォトダイオード」を作製、既存の平面型ダイオードに比較して25%~80%の効率向上ならびにクロストーク軽減ができることを示した研究を進めているが、開口幅を光の波長よりも狭くした細長いスリット構造を並べることで、直線偏光に対して感度のある電子デバイスが作製できることが示されたので、その原理ならびに応用LSIシステムについて研究を進めている。

マイクロ構造の自由な断面形状制御法とそれを活用する電気機械システム

三田吉郎, 澤村智紀, 金 俊亨, チャンナムビン, 馬 少駿 (東大杉山研), 久保田雅則 (杉山研), ジャン=ベルナル・プーシエル (仏計測自動制御技術研究所), 増沢隆久 (東大名誉教授)

シリコン深掘り微細加工技術は絶え間ない進歩をつづけており、それに伴い微小電気機械 (MEMS) に関する新しい応用分野が広がりを見せている。現在主流となっている微細加工技術によって実現可能なマイクロ構造は、平面方向に矩形パターンを組み合わせるそのまま深さ方向に転写する作製プロセスで決定される直方体構造である。しかしながら、例えばレンズの形状を考えるとわかるように、直方体が形状として最適でない機械素子は多数存在するので、理想的なマイクロ加工技術というものは本来、電子機械素子の性能からトップダウン要請される任意曲面を自在に実現できなくてはならない。本研究はこのような、「任意形状の曲面を実現するマイクロ加工技術」に関する総合的知見を得るための試みであり、(1) 具体的なトップダウンアプリケーション、(2) 最先端技術とアイデアによる作製テクノロジー、さらに (3) マイクロ三次元構造の非破壊評価技術という三正面からのアプローチを行っている。具体的なトップダウンアプリケーションとして、(1-1) 集積回路チップの垂直方向に埋め込んだインダクタや、(1-2) 発電機能付きシリコン偏光薄膜素子、(1-3) 非破壊神経系の動作電位分布を

測定するためのやわらかい電極アレイを、加工技術としては (2-1) 深掘りエッチングの特性を生かしたえぐれ構造作製法ならびに (2-2) 部分的に薄層化することで曲率の制御を可能とした曲面生成法、測定技術としては (3) 断面に対して直交して探針を当てられる新型スイング式垂直表面プロファイリングシステムの研究を行っている。

集積化水上走行ロボットを通じた

エネルギー自立型分散マイクロシステム

三田吉郎, 森下賢志, イファン・リ (英エジンバラ大), アントニー・ウォルトン (英エジンバラ大)

新しい応用分野を拓くものと近年期待が高まっている集積化MEMS (微小電気機械システム) のトップダウンアプリケーションとして、環境からエネルギーを取得して自立移動できる、完全自走型のマイクロシステムの研究を行っている。「Engineered Nature」すなわち、動物の実装をデッドコピーするのではなく動物に見られる機能を抽出してそれを工学的に最適な形で実現することを通じて工学の発展に寄与することを指導原理としている。大きさ1cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。1cm角サイズという小さなマイクロロボットとして知られているものは、安宅 (東大) らによるマイクロ繊毛 (1992)、Ebefords (KTH) らによるマイクロ尺取虫、三木 (東大) らによるマイクロヘリコプターなどがあるが、電源供給用に電線が必要であるとか、ミリワット級のエネルギーを投入しなくてはならないといった問題のため完全自立というには程遠かった。

既存研究の最大の課題である電力消費を抑えて自立移動するための動力原理として、筆者らはエレクトロウエットイング (EWOD) 現象に注目している。むきだしの絶縁電極に電荷を注入して表面エネルギーを変調することで、表面の濡れ性を制御する、19世紀半ばから知られている原理で、2000年代になってマイクロ化学システムの液滴移動原理として再発見されたものである。濡れ性制御に必要なエネルギーが $1 \mu\text{m}/\text{cm}^2$ と非常に小さいため、世界初の自立移動マイクロロボットの駆動原理として好都合であると考えている。現在までに、磁気誘導によって電力を伝送して自走 (一掻き) するロボットのデモンストレーションに成功している。

初めてSiユニバーサル移動度を1.4倍程度上回るGe nMOSFET動作を得た。

Ge Metal-Insulator-Semiconductor (MIS) 界面形成技術に関する研究

高木信一, 竹中 充, Rui Zhang, 岩崎敬志

高性能Ge MISFETを実現するための最大の課題は、良好なMIS界面特性の実現である。我々はこれまでにGe上のMIS界面形成方法として、Ge基板を高温熱酸化することにより形成したGeO₂/Ge界面が極めて良好なMOS特性を示すことを明らかにしてきた。しかし、GeO₂はSiO₂と比較して化学的に不安定であり、水溶性であるなどの問題がある。そこで我々は、熱酸化により形成したGeO₂/Ge構造を超高真空化でプラズマ窒化することで、GeON/GeO₂/Geゲートスタック構造を作製した。表層部分を窒化してGeONを形成することで、GeO₂と比較して水に溶けずより高温でも安定なゲートスタックを実現することに成功した。また熱的安定性が高まったことにより、従来GeO₂/Ge MOS界面が劣化してしまう550度以上の高温アニールでGeON/GeO₂/Ge MOS界面が改善することを世界で初めて実証し、 $5 \times 10^{10} \text{cm}^2 \text{eV}^{-1}$ 程度の界面準位を得た。

Ge Metal-Insulator-Semiconductor (MIS) FETに関する研究

高木信一, 竹中 充, Sanjeeva Dissanayake, 森井清仁

我々はこれまでに低界面準位が得られるGeO₂/Ge MOS界面を利用した高性能Ge pMOSFETの実証に成功してきた。GeO₂/Ge MOS界面は、他のGe MOS界面と比較して、伝導体側の界面準位も極めて低いことが我々の研究により明らかになったことから、同じゲートスタック構造を利用したGe nMOSFETの作製を試みた。従来、Ge nMOSFETの作製においては、イオン注入後のAsやPなどのn型ドーパントが極めて高速に拡散する問題が知られており、良好なS/Dを形成することが困難であった。そこで、今回我々はMOVPEシステムにおけるTBAsを利用した気相拡散によりS/Dを形成し、GeO₂/Ge nMOSFETの作製を行った。気相拡散により結晶欠陥の少ないS/Dを形成することで、オフリーク電流が極めて小さいGe nMOSFETの動作実証に成功した。ドレイン電流においてもオン・オフ比が105程度の高い値が得られており、良好なGeO₂/Ge MOS界面により、世界で

III-V 族化合物半導体 Metal-Insulator-Semiconductor (MIS) FET に関する研究

高木信一, 竹中 充, 横山正史, 星井拓也, 中川翔太, 飯田 亮, キムサンヒョン, 杓木知宏

スケーリング則によらないCMOSの性能向上のため高い電子移動度をもつIII-V族化合物半導体n-MOSFETの研究が盛んになりつつある。我々は良好なMOS界面を形成するため、InGaAsのプラズマ窒化の研究を進めてきた。高真空化でECR窒素プラズマでInGaAs表面を窒化後、そのままSiO₂を堆積したMOS界面において、450度程度のアニール処理によって、界面準位が $2 \times 10^{11} \text{cm}^2 \text{eV}^{-1}$ 程度まで低減することを見出した。一方、III-V MOSFETを既存のCMOSプロセスに導入するためには、Si基板上に良好なIII-V層を形成する必要がある。我々はこれまでに基板直接貼り合わせを用いてIII-V-on-Insulator構造をSi基板上に実現することに成功した。作製したIII-V-OI基板上に実際にnMOSFETを作製して、Siユニバーサル移動度を2倍程度上回る性能を実証することに成功した。

CMOS photonics に関する研究

高木信一, 竹中 充, 黒田浩一, 吉原大貴

高移動度材料であるGe/III-V族半導体は、光通信波長帯域付近にバンドギャップを持つことから、Siよりも優れた光学特性を持つ。我々はSi基板上にGe/III-V族半導体をヘテロジニアス集積化することで、Siよりも優れたGe/III-V CMOSトランジスタとフォトニクスを集積化するCMOS photonicsの研究を進めている。これまでに熱酸化Si基板とInGaAsP/InP基板を直接接合することで、強い光閉じ込めを実現可能なIII-V-on-Insulator構造をSi基板上に実現した。これにより従来のIII-V photonicsでは実現しえなかった、超小型バンド導波路やアレイ導波路グレーティングなどの動作実証を得ることに成功した。

Fe-NAND フラッシュメモリ

フラッシュメモリをより一層大容量化する可能性を持ったFe-NANDフラッシュメモリを2008年のNVSMW (Non-volatile Semiconductor Memory Workshop) で世界で初めて提案しました(産総研の酒井グループと共同)。Fe-NANDフラッシュメモリはメモリトランジスタのゲート絶縁膜を、従来のLSIでは使われていない強誘電体膜SrBiTaOと絶縁膜HfAlOの積層で構成しています。Fe-NANDフラッシュメモリでは電界によって強誘電体の結晶格子内のイオンを移動させて情報を記憶するため、数ナノメートル(格子サイズ)の極限まで微細化できることが期待されています。また、書き換え電圧を従来の20Vから6Vに大幅に低減することで低消費電力化、書き換え回数を従来の1万回から1億回に高めることで高信頼性化を実現できます。Fe-NANDフラッシュメモリの大容量・高信頼性・低消費電力の利点を生かして、データセンターストレージへの応用を目的に研究を進めています。本研究はNEDO省エネルギー革新技術開発事業「強誘電体フラッシュメモリ基盤技術の研究開発」として行っています。

3次元LSI回路設計

LSIを小型化・高機能化・低電力化する技術として、マイクロプロセッサ・イメージセンサ・アナログ回路・DRAM・フラッシュメモリなど複数のLSIを1個のパッケージ内に積み重ね、1個のLSIとして機能させる3次元LSIの研究を行っています。従来の研究では各種LSIは独立して最適化されました。当研究室では異種LSI間のレイヤーを超えて、領域を横断して最適化することで、低電力・高機能なLSIを実現します。3次元LSIの中でも特に、フラッシュメモリ・DRAM・フラッシュメモリコントローラを1個のパッケージ内に3次元に集積化(SiP: System in Package)したSSD (Solid-State Drive)の研究に力を入れています。アダプティブ制御のブーストコンバータを用いた電源回路を開発し、3次元SSDの消費電力を70%削減できることを、実際にチップを設計・試作・評価することで実証しました。研究成果は2009年に半導体のオリムピックと言われるISSCC (International Solid-State Circuit

ディペンダブルワイヤレス SSD (Solid-State Drive) システム

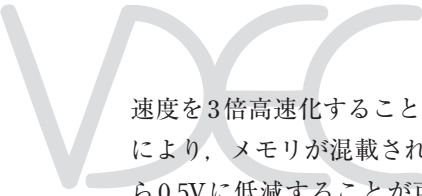
システム分野では、パソコンの記憶媒体として注目されている、Solid-State Driveの研究を行っています(慶應大学黒田研究室・石黒研究室と共同)。テラバイト容量のフラッシュメモリを搭載し、書き換え回数やデータ保持時間の増加など使用に伴うメモリの信頼性の劣化、接触不良、動作中の電源遮断や水への接触等の人的エラー、人体との接触による静電気破壊(ESD)など、各種エラー要因に対してディペンダブルな、1mmの通信距離で10-50Gbpsの超高速無線通信・給電機能を持ったワイヤレスソリッド・ステート・ドライブ(SSD)を開発しています。本研究はJST戦略的創造推進事業(CREST)「ディペンダブルワイヤレスソリッド・ステート・ドライブ(SSD)」として行っています。

強誘電体SRAM

CPUの消費電力を下げることを目的として、0.5Vといった極低電圧で動作するSRAMを研究しています(産総研の酒井グループと共同)。SRAMを構成する6個のMOSトランジスタを強誘電体トランジスタ(MOSトランジスタのゲート部に強誘電体を挟んだトランジスタ)で置き換えることでSRAMの動作時電力を従来比で32%削減することに成功しました。この技術は平面(プレーナ)構造のMOSトランジスタを極限まで延命する手段になると考えています。研究成果は2009年のIEDM (International Electron Device Meeting) で発表しました。

極低電力ランダムアクセスメモリ

地球温暖化対策のために、情報端末、家電製品、サーバ、ルータをはじめ、あらゆる電子機器の低電力化が必要となっています。この要求に応えるため、本研究ではCPUに搭載されるランダムアクセスメモリの消費電力を、回路技術を駆使することで従来の1/10にすることを目標としています。ランダムアクセスメモリで最も高集積化が可能なDRAMの電源電圧を従来の1Vから0.5Vに低減する、メモリ駆動回路を開発しました。従来と同じ回路面積(コスト)で、メモリの



速度を3倍高速化することに成功しました。提案回路により、メモリが混載されるCPUの電源電圧を1Vから0.5Vに低減することが可能になり、CPUの電力が1/4に削減されます。本研究はNEDOグリーンITプロジェクト「極低電力回路・システム技術開発」として、半導体理工学研究センター（STARC）支援企業の富士通マイクロエレクトロニクス、NECエレクトロニクス、パナソニック、ルネサステクノロジ、シャープ、ソニー、東芝、富士通、日立製作所及び、東京大学桜井・高宮研究室、平本研究室、神戸大学吉本・川口研究室、と共同で行っています。

3次元メモリデバイス

10年後の実用化という長期的な視野に立った研究として、従来の半導体メモリに無い新しい機能を持ったメモリの研究を行っています。強相関物質で構成する抵抗とダイオードから成る、3次元メモリにより、テラビットクラスの大容量を実現することが期待されています。

5.4 研究発表

浅田・池田・名倉研究室 研究論文

- [1] S. Mandai, T. Nakura, M. Ikeda, and K. Asada, "Dual Imager Core Chip with 24.8 rangemap/s 3-D and 58 fps 2-D Simultaneous Capture Capability", IEICE Trans. on Electronics, Vol.E92-C, No.6, pp.798-805, June 2009.
- [2] T. Nakura, S. Mandai, M. Ikeda, and K. Asada, "Time Difference Amplifier with Robust Gain Using Closed-Loop Control," IEICE Trans. on Electronics, Vol.E93-C No.3, pp.303-308, March 2010.
- [3] Y.K. Kim, M. Ikeda, and K. Asada, "Analysis on light transmission through Multi-Metal-Layers for CMOS image sensors," ITE Journal of Image Information and Television Engineers, Vol.64, No.3, pp.419-422, March 2010 (in Japanese).
- [6] T. Nakura, Y. Tatemura, G. Fey, M. Ikeda, S. Komatsu, and K. Asada, "SAT-Based ATPG Testing of Inter- and Intra-Gate Bridging Faults," IEEE European Conference On Circuit Theory and Design (ECCTD), pp.643-647, Sep. 2009.
- [7] B. Devlin, M.G. Jeong, T. Nakura, M. Ikeda, and K. Asada, "647 MHz, 0.642pJ/block/cycle 65nm self synchronous FPGA," IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 156-159, Sep. 2009.
- [8] S. Bushnaq, T. Nakura, M. Ikeda, and K. Asada, "All Digital Wireless Transceiver Using Modified BPSK and 2/3 Sub-sampling Technique". IEEE Application Specific Integrated Circuits Conference ASICON, pp 469-472, Oct. 2009. (Best student paper award)
- [9] M. Abbas, Y. Furukawa, S. Komatsu, and K. Asada, "Signature-based testing for adaptive digitally-calibrated pipelined analog-to-digital converters," IEEE Application Specific Integrated Circuits Conference ASICON, pp 597-600, Oct. 2009.

国際会議論文

- [1] S. Bushnaq, T. Nakura, M. Ikeda, and K. Asada, "All Digital Baseband 50 Mbps Data Recovery Using 5x Oversampling With 0.9 Data Unit Interval Clock Jitter Tolerance," IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), pp 206-209, April, 2009.
- [2] K. Asada, T. Sogabe, T. Nakura, and M. Ikeda, "Measurement of Power Supply Noise Tolerance of Self-Timed Processor," IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), pp 128-131, April, 2009.
- [3] M. Abbas, K-T. Cheng, Y. Furukawa, S. Komatsu, and K. Asada, "Signature-Based Testing for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links, " IEEE European Test Symposium, pp. 107-112, May 2009.
- [4] T. Nakura, S. Mandai, M. Ikeda, and K. Asada, "Time Difference Amplifier Using Closed-Loop Gain Control." JSAP/IEEE Symposium on VLSI Circuits, sess.20-2, pp.208-209, June 2009.
- [5] S. Mandai, T.Nakura, M. Ikeda, and K. Asada, "Ultra High Speed 3-D Image Sensor", International Image Sensor Workshop (IISW), June 2009.
- [10] T. Nakura, M. Ikeda, and K. Asada, "Ring Oscillator Based Random Number Generator Utilizing Wake-Up Time Uncertainty," IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.121-124, Nov. 2009.
- [11] T. Iizuka, D. Nakamura, H. Yoshida, S. Komatsu, M. Sasaki, M. Ikeda, and K. Asada, "An SoC Platform with On-Chip Web Interface for In-Field Monitoring," International SoC Design Conference (ISOCC), pp.208-211,Nov. 2009.
- [12] S. Mandai, T. Nakura, M. Ikeda, and K. Asada, "Cascaded Time Difference Amplifier using Differential Logic Delay Cell", in Proceedings of International SoC Design Conference (ISOCC), pp.194-197, Nov. 2009.
- [13] B. Devlin, T. Nakura, M. Ikeda, and K. Asada, "Throughput optimization by pipeline alignment of a Self Synchronous FPGA, " IEEE International Conference on Field-Programmable Technology (ICFPT), pp. 312-315, Dec. 2009.
- [14] S. Mandai, T. Nakura, M. Ikeda, and K. Asada, "Cascaded Time Difference Amplifier using Differential Logic Delay Cell," in Proceedings of IEEE Asia and South Pacific Design Automation

- Conference (ASP-DAC), pp.355-356, Jan. 2010.
- [15] S. Mandai, M. Ikeda, and K. Asada, "A 256 × 256 14k Range Maps/s 3-D Range-Finding Image Sensor Using Row-Parallel Embedded Binary Search Tree and Address Encoder," IEEE International Solid-State Circuits Conference (ISSCC), Dig. Of Tech. Papers, pp.404-405, Feb. 2010.
- [16] [Invited] M. Ikeda, "3D range image capture technologies," IEEE International Solid-State Circuits Conference (ISSCC), High speed image sensor technologies Forum, Feb. 2010.
- [17] M. Abbas, S. Komatsu, K. Asada, K-T. Cheng, Y. Furukawa, "An Automatic Tet Generation Framework for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links," Design, Automation & Test in Europe, March 2010.
- Difference Amplifier," IEICE Society Conference 2009, Sep. 2009. (in Japanese).
- [2] 萬代, 名倉, 池田, 浅田, "差動遅延素子を用いたカスケード型時間増幅器", 電子情報通信学会総合大会, C-12-16, 2010年3月
S.Mandai, T.Nakura, M.Ikeda, K.Asada, "Cascaded Time Difference Amplifier using Differential Logic Delay Cell," IEICE General Conference 2010, to be presented, Mar. 2010. (in Japanese).
- [3] 程, 飯塚, 名倉, 池田, 浅田, "インバータチェーンを用いたパルス幅メモリ," 電子情報通信学会総合大会, C-12-39, 2010年3月
J.H. Jeong, T. Iizuka, T. Nakura, M. Ikeda and K. Asada, "A Pulse Width Memory Using Inverter Chain," IEICE General Conference, C-12-39, Mar.2010.
- [4] Ngoc Lan Dang · T. Nakura · M. Ikeda · K. Asada, "Digital Substrate Noise Canceling Method using Active Guard Ring," C-12-67, March, 2010.

国内研究会

- [1] 名倉, 萬代, 池田, 浅田, "フィードバック制御を用いた時間差増幅回路," 電子情報通信学会研究報告集積回路研究会, ICD2009-46, pp.69-74, 2009年10月.
- [2] 萬代, 名倉, 池田, 浅田, "多機能デュアル・イメージャ・コア・チップ", LSIとシステムのワークショップ, 2009年5月.
S.Mandai, T.Nakura, M.Ikeda, K.Asada, "Multi Functional Dual Imager Core Chip," LSI and Systems Workshop, May 2009. (in Japanese).
- [3] 萬代, 池田, 浅田, "行並列二分木探索回路による高速3次元距離計測イメージセンサ," 映像情報メディア学会技術研究報告, 2010年3月.
S.Mandai, M.Ikeda, K.Asada, "3-D Range-Finding Image Sensor Using Row-Parallel Embedded Binary Search Tree and Address Encoder," ITE Technical Report, to be presented, Mar. 2010. (in Japanese).
- [4] [Invited] 池田, "高速三次元形状取得手法," 映像情報メディア学会技術研究報告, 2010年3月.

国内大会

- [1] 萬代, 名倉, 池田, 浅田, "時間差増幅器を用いた高解像度時間差デジタル変換," 電子情報通信学会ソサイエティ大会, C-12-33, 2009年9月.
S.Mandai, T.Nakura, M.Ikeda, K.Asada, "High Resolution Time to Digital Converter using Time

藤田研究室 研究論文

- [1] O. Sarbishei, M. Tabandeh, B. Alizadeh, and M. Fujita, "A Formal Approach for Debugging Arithmetic Circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.28, No.5, pp.742-754, May 2009.
- [2] T. Nishihara, T. Matsumoto, and M. Fujita, "Word-Level Equivalence Checking in Bit-Level Accuracy with Identical Datapath," IEICE Trans. on Information and Systems, Vol.E92-D, No.5, pp.972-984, May 2009.
- [3] B. Alizadeh and M. Fujita, "A Unified Framework for Equivalence Verification of Datapath Oriented Applications," IEICE Trans. on Information and Systems, Vol.E92-D, No.5, pp.985-994, May 2009.
- [4] S. Gao, H. Yoshida, K. Seto, S. Komatsu, and M. Fujita, "Interconnect-aware pipeline synthesis for array based architectures," IEICE Trans. on Fundamentals, Vol.E92-A, No.6, pp.1464-1475, June 2009.
- [5] Anmol Mathur, Masahiro Fujita, Edmund M. Clarke, and Pascal Urard, "Functional Equivalence Verification Tools in High-Level Synthesis Flows," IEEE Design & Test of Computers, Vo.26, No.4, pp.88-95, July 2009.
- [6] T. Matsumoto, T. Nishihara, and M. Fujita,

“Performance Estimation with Automatic False-Path Detection for System-Level Designs,” *IPSI Transactions on System LSI Design Methodology*, Vol.3, pp.69-80, Feb. 2010.

国際会議論文

- [1] B. Alizadeh and M. Fujita, “Modularity in Word-level Decision Diagrams,” *Reed Muller Workshop*, pp.33-41, May 2009.
- [2] O. Sarbishei, B. Alizadeh, and M. Fujita, “A Debug Methodology for Arithmetic Circuits Based on Horner Expansion Diagram,” *Proc. of 6th International Workshop on Constraints in Formal Verification*, pp.30-45, June 2009.
- [3] T. Matsumoto, T. Nishihara, Y. Kojima, and M. Fujita, “Equivalence Checking of High-Level Designs Based on Symbolic Simulation,” *Proc. of 2009 International Conference on Communications, Circuits and Systems, San Jose, USA*, pp.1129-1133, July 2009.
- [4] H. Yoshida and M. Fujita, “Rule-based Equivalence Checking of System-level Design Descriptions,” *Proc. of International Conference on Communications, Circuits and Systems*, pp.1139-1143, San Jose, USA, July 2009.
- [5] O. Sarbishei, M. Tabandeh, B. Alizadeh, and M. Fujita, “High-level Optimization of Integer Multipliers over a Finite Bit-Width with Verification Capabilities,” *Proc. of 7th International Conference on Formal Methods and Models for Codesign*, pp.56-65, July 2009.
- [6] O. Sarbishei, B. Alizadeh, and M. Fujita, “Polynomial Datapath Optimization using Partitioning and Compensation Heuristics,” *Proc. of the 46th Annual Design Automation Conference*, pp.931-936, July 2009.
- [7] Masahiro Fujita, “Verification and debugging of hardware designs utilizing C-based high-level design descriptions,” *Intel DTS Symposium*, Haifa, Israel, September 2009.
- [8] A.M. Gharehbaghi and M. Fujita, “Transaction-Based Debugging of System-on-Chips with Patterns,” *Proc. of 27th IEEE International Conference on Computer Design*, pp.186-192, Oct. 2009.
- [9] A.M. Gharehbaghi and M. Fujita, “On-Chip Transaction Level Debug Support for System-on-Chips,” *Proc. of International SoC Design Conference*, pp.124-127, Nov. 2009.
- [10] B. Alizadeh and M. Fujita, “Modular Arithmetic Decision Procedure with Auto-correction Mechanism,” *Proc. of International High Level Design, Validation and Test Workshop*, pp.138-145, Nov. 2009.
- [11] B. Alizadeh and M. Fujita, “Improved Heuristics for Finite Word-Length Polynomial Datapath Optimization,” *Proc. of International Conference on Computer-Aided Design*, pp.169-174, Nov. 2009.
- [12] Y. Lee, T. Nishihara, T. Matsumoto, and M. Fujita, “A Post-Silicon Debug Support Using High-level Design Description,” *Proc. of The 18th Asian Test Symposium*, pp.141-147, Nov. 2009.
- [13] H. Yoshida, S. Morishita, and M. Fujita, “Demonstration of Hardware Accelerated Formal Verification,” *Proc. of International Conference on Field-Programmable Technology*, pp.380-383, Dec. 2009.
- [14] B. Alizadeh and M. Fujita, “Optimization of Modular Multiplication on FPGA using Don’t Care Conditions,” *Proc. of International Conference on Field-Programmable Technology*, pp.399-402, Dec. 2009.
- [15] Masahiro Fujita, “Techniques assuring logical correctness of hardware design,” *23rd International Conference on VLSI Design*, Bangalore, India, January 2010.
- [16] B. Alizadeh and M. Fujita, “Guided Gate-level ATPG for Sequential Circuits using a High-level Test Generation Approach,” *Proc. of 15th Asia and South Pacific Design Automation Conference*, pp.425-430, Jan. 2010.
- [17] A.M. Gharehbaghi, B. Alizadeh, and M. Fujita, “Aggressive Overclocking Support using a Novel Timing Error Recovery Technique on FPGAs,” *Proc. of Eighteenth ACM/SIGDA International Symposium on Field-Programmable Gate Arrays*, page 288, Feb. 2010.
- [18] B. Alizadeh, A. M. Gharehbaghi, and M. Fujita, “Pipelined Microprocessors Optimization and Debugging,” *Proc. of 6th International Symposium on Applied Reconfigurable Computing*, pp.435-444, March 2010.
- [19] Masahiro Fujita, Hideo Tanida, Fei Gao, Tasuku Nishihara, Takeshi Matsumoto, “Synthesis and Formal Verification of On-Chip Protocol

国内学会，研究会等

- [1] 西原佑, 松本剛史, 藤田昌宏, “HW/SW協調設計の形式的検証における同期点の抽出による効率的な状態削減手法,” DAシンポジウム2009論文集, pp.49-54, 2009年8月.
- [2] 藤田昌宏, “C言語ベース設計に対する高位設計検証技術,” DAシンポジウム2009論文集, pp.199-204, 2009年8月.
- [3] 山下茂, 吉田浩章, 藤田昌宏, “Increasing Yield Using Partially-Programmable Circuits,” 電子情報通信学会技術研究報告, Vol.109, No.315, pp.125-130, 2009年12月.
- [4] 吉田浩章, 藤田昌宏, “設計固有セルライブラリの自動生成手法,” 電子情報通信学会技術研究報告, Vol.109, No.315, pp.179-184, 2009年12月.
- [5] 谷田英生, Mukul R. Prasad, Sreeranga P. Rajan, 藤田昌宏, “動的ウェブアプリケーションのクライアントを使用した網羅的検証手法,” 第6回ディペンダブルシステムシンポジウム DSS2009論文集, pp.82-93, 2009年12月.
- [6] Ratna Krishnamoorthy, Keshavan Varadarajan, Mythri Alle, Ranjani Narayan, Masahiro Fujita, S K Nandy, “Reducing Scheduling Overheads in Dynamically Reconfigurable Processors,” 電子情報通信学会技術研究報告, Vol.109, No.395, pp.7-12, 2010年1月.
- [7] Y. Lee, T. Nishihara, T. Matsumoto, and M. Fujita, “A Method of Reproducing Input/Output Error Trace on High-level Design for Hardware Debug Support,” 電子情報通信学会技術研究報告, Vol. 109, No. 416, pp. 30-35, 2010年2月.
- [8] 原田裕基, 西原佑, 松本剛史, 藤田昌宏, “ワードレベル論理式の充足可能性判定問題を利用したシステムレベル設計デバッグ支援手法,” 情報処理学会創立50周年記念(第72回)全国大会, pp.1-459-1-460, 2010年3月.
- [9] 田川貴聡, 松本剛史, 藤田昌宏, “動作合成された東データ方式による非同期式回路とその動作仕様に対する等価性検証手法,” 情報処理学会創立50周年記念(第72回)全国大会, pp.1-153-1-154, 2010年3月.
- [10] 谷田英生, Mukul R. Prasad, Sreeranga P. Rajan, 藤田昌宏, “動的ウェブアプリケーションの操作に

対する画面間遷移の網羅的検証,” 情報処理学会創立50周年記念(第72回)全国大会, pp.1-459-1-460, 2010年3月.

- [11] 52. 吉田浩章, 藤田昌宏, “潜在的多様性を考慮したプログラマブルハードウェアの高位合成手法,” 電子情報通信学会技術研究報告, Vol.109, No.462, pp.67-72, 那覇, 2010年3月.

高宮研究室 研究論文

- [1] Y. Nakamura, M. Takamiya, and T. Sakurai, “An On-Chip Noise Canceller with High Voltage Supply Lines for Nanosecond-Range Power Supply Noise,” IEICE Transaction on Electronics, E92-C, No.4, pp.468-472, April 2009.
- [2] T. Sekitani, K. Zaitzu, Y. Noguchi, K. Ishibe, M. Takamiya, T. Sakurai, and T. Someya, “Printed Nonvolatile Memory for a Sheet-Type Communication System”, IEEE Transactions on Electron Devices, Vol. 56, No. 5, pp. 1027 - 1035, May 2009.
- [3] L. Liu, Y. Miyamoto, Z. Zhou, K. Sakaida, J. Ryu, K. Ishida, M. Takamiya, and T. Sakurai, “A 100Mbps, 4.1pJ/bit Threshold Detection-Based Impulse Radio UWB Transceiver in 90nm CMOS.” IEICE Transaction on Electronics, E92-C, No.6, pp.769-776, June 2009.
- [4] G.-S.Kim, M. Takamiya, and T. Sakurai, “A 25-mV-Sensitivity 2-Gb/s Optimum-Logic-Threshold Capacitive-Coupling Receiver for Wireless Wafer Probing Systems,” IEEE Transactions on Circuits and Systems—II: Express Briefs, Vol. 56, No.9, pp. 709 - 713, Sep 2009.
- [5] L. Liu, M. Takamiya, T. Sekitani, Y. Noguchi, S. Nakano, K. Zaitzu, T. Kuroda, T. Someya, and T. Sakurai, “A 107-pJ/bit 100-kb/s 0.18-um Capacitive-Coupling Transceiver With Data Edge Signaling and DC Power-Free Pulse Detector for Printable Communication Sheet,” IEEE Transactions on Circuits and Systems—I: Regular Papers, Vol. 56, No. 11, pp. 2511 - 2518, Nov 2009.
- [6] K. Ishida, N. Masunaga, Z. Zhou, T. Yasufuku, T. Sekitani, U. Zschieschang, H. Klauk, M. Takamiya, T. Someya, and T. Sakurai, “Stretchable EMI Measurement Sheet With 8 X 8 Coil Array, 2 V Organic CMOS Decoder, and 0.18 um Silicon CMOS LSIs for Electric and Magnetic Field

Detection,” IEEE Journal of Solid-State Circuits, Vol. 45, No. 1, pp. 249-259, Jan 2010.

- [7] T. Yasufuku, K. Ishida, S. Miyamoto, H. Nakai, M. Takamiya, and T. Sakurai, “Inductor and TSV Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories.” IEICE Transaction on Electronics, E93-C, No.3, pp.317-323, March 2010.
- [8] T. Yasufuku, T. Niiyama, Z. Piao, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai, “Difficulty of Power Supply Voltage Scaling in Large Scale Subthreshold Logic Circuits.” IEICE Transaction on Electronics, E93-C, No.3, pp.332-339, March 2010.

国際会議論文

- [1] L. Liu, T. Sakurai, and M. Takamiya, “A 1.28mW 100Mb/s Impulse UWB Receiver with Charge-Domain Correlator and Embedded Sliding Scheme for Data Synchronization,” IEEE Symposium on VLSI Circuits, Kyoto, pp. 146-147, June 2009.
- [2] N. Masunaga, K. Ishida, Z. Zhou, T. Yasufuku, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, “A Flexible EMI Measurement Sheet to Measure Electric and Magnetic Fields Separately with Distributed Antennas and LSI’s,” IEEE International Symposium on Electromagnetic Compatibility, Austin, USA, pp. 156-160, Aug 2009.
- [3] T. Yasufuku, K. Ishida, S. Miyamoto, H. Nakai, M. Takamiya, T. Sakurai, and K. Takeuchi, “Inductor Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories.” International Symposium on Low Power Electronics and Design (ISLPED), San Francisco, USA, pp. 87-91, Aug 2009.
- [4] K. Ikeuchi, K. Sakaida, K. Ishida, T. Sakurai, and M. Takamiya, “Switched Resonant Clocking (SRC) Scheme Enabling Dynamic Frequency Scaling and Low-Speed Test.” IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp. 33-36, Sep 2009.
- [5] T. Yasufuku, K. Ishida, S. Miyamoto, H. Nakai, M. Takamiya, T. Sakurai, and K. Takeuchi, “Effect of Resistance of TSV’s on Performance of Boost Converter for Low Power 3D SSD with NAND Flash Memories.” IEEE International Conference

on 3D System Integration (3D IC), San Francisco, USA, Sep 2009.

- [6] G.-S. Kim, M. Takamiya, and T. Sakurai, “A Capacitive Coupling Interface with High Sensitivity for Wireless Wafer Testing.” IEEE International Conference on 3D System Integration (3D IC), San Francisco, USA, Sep 2009.
- [7] T. Someya, T. Sekitani, M. Takamiya, T. Sakurai, U. Zschieschang, and H. Klauk, “Printed Organic Transistors: Toward Ambient Electronics,” IEEE International Electron Devices Meeting (IEDM), Baltimore, USA, pp. 9-14, Dec 2009. (Plenary talk)
- [8] T. Sekitani, T. Yokota, U. Zschieschang, H. Klauk, S. Bauer, K. Takeuchi, M. Takamiya, T. Sakurai, and T. Someya, “Organic Nonvolatile Memory Transistors for Flexible Sensor Arrays,” Science, Vol. 326, pp. 1516 - 1519, Dec 2009.
- [9] K. Ishida, N. Masunaga, R. Takahashi, T. Sekitani, S. Shino, U. Zschieschang, H. Klauk, M. Takamiya, T. Someya, and T. Sakurai, “User Customizable Logic Paper (UCLP) with Organic Sea-of-Transmission-Gates (SOTG) Architecture and Ink-Jet Printed Interconnects,” IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 138-139, Feb 2010.
- [10] M. Daito, Y. Nakata, S. Sasaki, H. Gomyo, H. Kusamitsu, Y. Komoto, K. Iizuka, K. Ikeuchi, G. Kim, M. Takamiya, and T. Sakurai, “Capacitively Coupled Non-Contact Probing Circuits for Membrane-Based Wafer-Level Simultaneous Testing,” IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 144-145, Feb 2010.

シンポジウム・研究会・大会等発表

- [1] 安福正, 石田光一, 宮本晋示, 中井弘人, 高宮真, 桜井貴康, 竹内健, “三次元SSDの低電力化技術とSSD向けプログラム電圧(20V)生成回路,” 電子情報通信学会, 信学技報, ICD2009-10, pp. 47-52, 松島, 2009年4月. (Invited)
- [2] 安福正, 石田光一, 宮本晋示, 中井弘人, 高宮真, 桜井貴康, 竹内健, “三次元積層NAND型フラッシュSSD向けプログラム電圧(20V)生成回路,” 電子情報通信学会, LSIとシステムのワークショップ, ポスターセッション学生部門27, pp. 262-264, 北九州, 2009年5月. (ICD優秀発表賞

を受賞)

- [3] 増永直樹, 石田光一, 周志偉, 安福正, 関谷毅, Zschieschang Ute, Klauk Hagen, 高宮真, 染谷隆夫, 桜井貴康, “8×8のコイルアレーと2V有機CMOSデコーダとEMI検出用LSIで構成された伸縮可能なEMI測定シートの提案と動作実証,” 電子情報通信学会, LSIとシステムのワークショップ, ポスターセッション学生部門28, pp. 265-267, 北九州, 2009年5月. (IEEE SSSC Kansai Chapter Awardを受賞).
- [4] 高宮真, “粉末型エレクトロニクスと大面積エレクトロニクスによるGreen by IT,” 電子情報通信学会, LSIとシステムのワークショップ, イブニングパネル「エネルギーと環境のためにLSIができること」, パネリスト, pp. 129, 北九州, 2009年5月.
- [5] L. Liu, T. Sakurai, and M. Takamiya, “A 100Mbps, 1.28mW Impulse Radio UWB Receiver with Charge-Domain Sampling Correlator in 0.18 μ m CMOS.” 電子情報通信学会, 信学技報, ICD2009-14, pp.7-11, 東京, 2009年7月.
- [6] 高宮 真, “プリンタブルエレクトロニクスの新応用と展開,” 電子ジャーナル, 第212回 Technical Symposium「プリンタブルエレクトロニクス」, 東京, 2009年7月.
- [7] 高宮 真, 関谷 毅, 染谷隆夫, 桜井貴康, “ワイヤレス電力伝送・通信シート,” 日本磁気学会会報「まぐね」, Vol. 4, No. 9, pp.435-440, 2009年9月.
- [8] 高宮 真, “有機トランジスタを用いた大面積エレクトロニクス向けの設計技術,” 電子情報技術産業協会フレキシブルデバイス技術分科会, 東京, 2009年9月.
- [9] 石田光一, 増永直樹, 周 志偉, 安福 正, 関谷 毅, ツィーシャング ウテ, クラーク ハーゲン, 高宮 真, 染谷隆夫, 桜井貴康, “2V有機CMOSとシリコンCMOSを用いたEMI測定用風呂敷の原理検証,” 電子情報通信学会, 信学技報, ICD2009-33, pp. 1-6, 東京, 2009年10月.
- [10] 安福正, 石田光一, 宮本晋示, 中井弘人, 高宮真, 桜井貴康, 竹内健, “三次元SSD用20Vブーストコンバータ向けのインダクタ設計,” 電子情報通信学会, 信学技報, ICD2009-103, pp. 151-156, 浜松, 2009年12月.
- [11] 居村岳広, 岡部浩之, 小柳拓也, 加藤昌樹, Teck Chuan Beh, 大手昌也, 島本潤吉, 高宮 真, 堀 洋一, “kHz ~ MHz ~ GHzにおける磁界共振結合によるワイヤレス電力伝送用アンテナの

提案,” 電子情報通信学会総合大会, BS-9-5, 仙台, 2010年3月.

- [12] 島本潤吉, 居村岳広, 堀 洋一, 桜井貴康, 高宮 真, “磁気共鳴を用いたプリント基板上のコイル間の無線電力伝送の実測,” 電子情報通信学会総合大会, C-12-22, 仙台, 2010年3月.
- [13] 佐々木正人, 池内克之, 大東陸夫, 高宮 真, 桜井貴康, “シングルエンド形L結合を用いたボード間非接触データ伝送,” 電子情報通信学会総合大会, C-12-23, 仙台, 2010年3月.
- [14] 飯田智士, 安福 正, 平入孝二, 高田英裕, 野村昌弘, 高宮 真, 桜井貴康, “各種CMOSゲート・チェーンの最低可動電圧(VDDmin)のモンテカルロ法によるシミュレーション,” 電子情報通信学会総合大会, C-12-62, 仙台, 2010年3月.
- [15] 石田光一, 増永直樹, 高橋 亮, 関谷 毅, 高宮 真, 染谷隆夫, 桜井貴康, “有機CMOS向けSea-of Transmission-Gates (SOTG)アーキテクチャ,” 電子情報通信学会総合大会, C-12-71, 仙台, 2010年3月.

柴田・三田研究室 学会誌

- [1] Yoshio Mita, Y. Li, M. Kubota, S. Morishita, W. Parkes, L.I. Haworth, B.W. Flynn, J.G. Terry, T-B. Tang, A.D. Ruthven, S. Smith and A.J. Walton, “Demonstration of a wireless driven MEMS pond skater that uses EWOD technology,” Journal of Solid-State Electronics, Vol. 53 pp. 798-802, 2009.
- [2] Hongbo Zhu and Tadashi Shibata, “A Digital-Pixel-Sensor-Based Global Feature Extraction Processor for Real-Time Object Recognition,” Japanese Journal of Applied Physics, VOL. 48, NO. 4, pp. 04C080-1-7, 2009.
- [3] Norihiro Takahashi, Kazuhide Fujita, and Tadashi Shibata, “A Pixel-Parallel Self-Similitude Processing for Multiple-Resolution Edge-Filtering Analog Image Sensors,” IEEE Transactions on Circuits and Systems—I : Regular Papers, VOL. 56, NO.11, pp.2384-2392, 2009.
- [4] Tadashi Shibata, “Computing based on the physics of nano devices—A beyond-CMOS approach to human-like intelligent systems,” Solid-State Electronics, VOL. 53, pp. 1227-1241, 2009.
- [5] Jia Hao, and Tadashi Shibata, “An Ego-Motion Detection System Employing Directional-Edge-Based Motion Field,” IEICE Trans. Inf. & Syst.,

国際学会プロシーディング

- [1] Yudai Fukuoka and Tadashi Shibata, "Block-Matching-Based CMOS Optical Flow Sensor Using Only-Nearest-Neighbor Computation," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp. 1485-1488, Taipei, Taiwan, May 24-27, 2009.
- [2] Kyunghee Kang and Tadashi Shibata, "An on-Chip-Trainable Gaussian-Kernel Analog Support Vector Machine," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp. 2661-2664, Taipei, Taiwan, May 24-27, 2009.
- [3] Kazuhide Fujita, Kiyoto Ito and Tadashi Shibata, "A Single-Motion-Vector/Cycle-Generation Optical Flow Processor Employing Directional-Edge Histogram Matching," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp. 3022-3025, Taipei, Taiwan, May 24-27, 2009.
- [4] Takuki Nakagawa and Tadashi Shibata, "A Real-Time Image Feature Vector Generator Employing Functional Cache Memory for Edge Flags," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp. 3026-3029, Taipei, Taiwan, May 24-27, 2009.
- [5] Satoshi Morishita, JunHyong Kim, Frederic Marty, Yifan Li, Anthony J. Walton, and Yoshio Mita, "A Three-Dimensional Silicon Shadowmask for Patterning On Trenches with Vertical Walls," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '09), June 21-25, Denver, USA, pp. 1608-1611, 2009.
- [6] Jun-Hyoung Kim, Masanori Kubota, Akio Higo, Hideki Abe, Yoshitaka Oka, and Yoshio Mita, "A Curvature Controlled Flexible Silicon Micro Electrode Array to Wrap Neurons for Signal Analysis," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '09), June 21-25, Denver, USA, pp. 1810-1813, 2009.
- [7] K. Takahashi, I. W. Jung, A. Higo, Y. Mita, H. Fujita, H. Toshiyoshi, and O. Solgaard, "A CMOS Compatible Low Temperature Process for Photonic Crystal MEMS Scanner," IEEE/LEOS International Conference On Optical MEMS and Their Applications (OMEMS 2009), pp. 77-78 2009.
- [8] Norihiro Takahashi and Tadashi Shibata, "A Non-Subtraction Configuration of Self-Similitude Architecture for Multiple-Resolution Edge-Filtering CMOS Image Sensor," Proceedings of the 19th International Conference on Artificial Neural Networks (ICANN 2009), vol. 1, pp. 391-400, Limassol, Cyprus, September 14-17, 2009.
- [9] Tadashi Shibata, "Bio-Inspired Devices, Circuits and Systems," Proceeding of the 35th European Solid-State Circuits Conference (ESSCIRC 2009), pp. 8-15, Athens, Greece, 14-18 September, 2009.
- [10] Hongbo Zhu and Tadashi Shibata, "A Real-Time Image Recognition System Using a Global Directional-Edge-Feature Extraction VLSI Processor," Proceeding of the 35th European Solid-State Circuits Conference (ESSCIRC 2009), pp. 248-251, Athens, Greece, 14-18 September, 2009.
- [11] Yoshio Mita, Jean-Bernard Pourciel, Masanori Kubota, Akio Higo, Shaojun Ma, Satoshi Morishita, Masakazu Sugiyama, and Takahisa Masuzawa, "An Active Swing Probing Method for High Aspect Ratio Deep Hole Profiler," 20th Workshop on Micromachining, Micromechanics and Microsystems, (MME 2009), September 20-22, Toulouse, France D12 (2009.09).
- [12] Norihiro Takahashi and Tadashi Shibata, "Current-Mode Multiple-Resolution Edge-Filtering CMOS Image Sensor Employing Self-Similitude Processing," in Extended Abstracts of the 2009 International Conference on Solid State Devices and Materials (SSDM 2009), pp. 1066-1067, Sendai, Japan, October 7-9, 2009.
- [13] Yitao Ma and Tadashi Shibata, "A Binary-Tree Hierarchical Multiple-Chip Architecture for Real-Time Large-Scale Learning Processor Systems," Proceeding of the 2009 International Conference on Solid State Devices and Materials (SSDM2009), P-5-3, pp. 454-455, Sendai, Japan, October, 2009.
- [14] Tadashi Shibata, "Bio Inspired Architectures in the Nanoscale Integration Era," ECS Transactions, Volume 25, Issue 7, 216th ECS Meeting, October 4 - October 9, 2009, Vienna, Austria, "ULSI Process

Integration 6"Editor (s): C. Claeys, H. Iwai, M. Tao, S. Deleonibus, J. Murota, pp. 49-64.

- [15] Jia Hao and Tadashi Shibata, "Digit-Writing Hand Gesture Recognition by Hand-Held Camera Motion Analysis," Proceedings of the IEEE International Conference on Signal Processing and Communication Systems2009 (ICSPCS 2009), Omaha Nebraska, USA, September 28-30, 2009.
- [16] Ruihan Bao and Tadashi Shibata, "A Gesture Perception Algorithm Using Compact One-Dimensional Representation of Spatio-Temporal Motion-Field Patches," Proceedings of The IEEE International Conference on Signal Processing and Communication Systems 2009 (ICSPCS 2009), Omaha Nebraska, USA, September 28-30, 2009.
- [17] Robert Grou-Szabo and Tadashi Shibata, "Blind Motion-Blur Parameter Estimation Using Edge Detectors," Proceedings of The IEEE International Conference on Signal Processing and Communication Systems 2009 (ICSPCS 2009), Omaha Nebraska, USA, September 28-30, 2009.
- [18] Robert Grou-Szabo and Tadashi Shibata, "Random-Valued Impulse Noise Detector for Switching Median Filters Using Edge Detectors," Proceedings of The IEEE International Conference on Signal Processing and Communication Systems 2009 (ICSPCS 2009), Omaha Nebraska, USA, September 28-30, 2009.
- [19] Mio Nishiyama and Tadashi Shibata, "Normalized Scoring of Hidden Markov Models by On-Line Learning and Its Application to Gesture-Sequence Perception," Proceedings of the IEEE International Conference on Image Processing (ICIP), pp.3565-3568, Cairo, November, 7-11, 2009.
- [20] Yuta Okano and Tadashi Shibata, "High-Frame-Rate Dense Motion Vector Field Generation Processor With Simplified Best-Match Searching Circuitries," in The Proceedings of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 205-208, Taipei, Taiwan, November 16-18, 2009.
- [21] Masanori Kubota, Yoshio Mita, Masakazu Sugiyama, and Yoshiaki Nakano, "A bulk micromachined vertical nano-gap Pirani wide-range pressure test structure for MEMS-integration," 23rd IEEE International Conference on Microelectronic Test Structures (ICMTS), 22-25 March,

Hiroshima, Japan, pp. 14-17, 2010.

- [22] Yoshio Mita, Jean-Bernard Pourciel, Masanori Kubota, Agnes Tixier-Mita, Satoshi Morishita, and Takahisa Masuzawa, "A Balanced-SeeSaw MEMS Swing Probe for Vertical Profilometry of Deep Micro Structures," 23rd IEEE International Conference on Microelectronic Test Structures (ICMTS), 22-25 March, Hiroshima, Japan, pp. 58-63, 2010.

その他研究会

- [1] 三田吉郎, 「高機能MEMS三次元構造形成のためのプロセス技術(招待講演)」, 応用物理学学会秋季全国大会, 2009年9月
- [2] Yoshio Mita, Jean-Bernard Pourciel, Masanori Kubota, Shaojun Ma, Akio Higo, Agnès Tixier-Mita, Satoshi Morishita, Masakazu Sugiyama, et Takahisa Masuzawa, "La Méthode "Swing-Probing" Pour la Profilométrie de Microtrous Très Profonds (in French)", Journée Francophone de la Recherche (フランス語による科学シンポジウム), 14 Novembre 2009, Maison Franco-Japonaise, Tokyo, Japon (2009.11).
- [3] 柴田直, 「[招待論文]心の情報処理に学ぶ新たなVLSIシステムアーキテクチャ」電子情報通信学会技術研究報告(信学技報IEICE Technical Report), Vol. 109, No. 336, ICD2009-95(2009-12), 2009年12月
- [4] 三好高史, 柴田直, 「ブロックサイズ可変エッジヒストグラムを用いた物体検出ハードウェアアルゴリズム」, 電子情報通信学会技術研究報告(信学技報), Vol. 109, No.334, PRMU2009-151, pp. 71-76, 2009年12月
- [5] 申丞鎬, 柴田直, 「方向性エッジヒストグラムマッチングVLSIプロセッサを用いた実時間3次元動きフィールド生成システム」, 電子情報通信学会技術研究報告(信学技報), Vol. 109, No.334, PRMU2009-151, pp. 83-88, 2009年12月
- [6] プラバート ウィーラワルダナ, 柴田直, 「CMOSバンプ回路を用いた電流モード動きフィールド生成回路」電子情報通信学会技術研究報告(信学技報IEICE Technical Report), Vol. 109, No.405, ICD2009-113(2010-01), 2010年1月

高木・竹中研究室 研究論文

- [1] T. Haimoto, T. Hoshii, S. Nakagawa, M. Takenaka, and S. Takagi, "Fabrication and characterization of MIS structures by direct nitridation of InP surfaces," *Appl. Phys. Lett.*, Vol. 96, 012107, 2010.
- [2] M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, S. Takagi, "Thin body III-V-semiconductor-on-insulator MOSFETs on Si fabricated using direct wafer bonding," *Appl. Phys. Express.*, Vol. 2, 124501, 2009.
- [3] M. Takenaka, M. Yokoyama, M. Sugiyama, Y. Nakano, and S. Takagi, "InGaAsP photonic wire based ultrasmall arrayed waveguide grating multiplexer on Si wafer," *Appl. Phys. Express.*, Vol. 2, 122201, 2009.
- [4] H. Ishii, N. Miyata, Y. Urabe, T. Itatani, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Deura, M. Sugiyama, M. Takenaka, and S. Takagi, "High electron mobility metal-insulator-semiconductor field-effect transistors fabricated on (111)-oriented InGaAs channels," *Appl. Phys. Express.*, Vol. 2, 121101, 2009.
- [5] T. Sasada, Y. Nakakita, M. Takenaka, and S. Takagi, "Surface orientation dependence of interface properties of GeO₂/Ge metal-oxide-semiconductor structures fabricated by thermal oxidation," *J. Appl. Phys.*, vol. 106, 073716, 2009.
- [6] S. Takagi, M. Sugiyama, T. Yasuda and M. Takenaka, "Ge/III-V Channel Engineering for future CMOS," *ECS Trans.* vol. 19, no. 5, pp. 9-20, 2009.
- [7] Y. Zhao, M. Takenaka, and S. Takagi, "On surface roughness scattering-limited mobilities on electrons and holes in biaxially tensile-strained Si MOSFETs," *IEEE Electron Dev.*, vol. 30, no. 9, pp. 967 - 969, 2009.
- [8] K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, "Experimental Study on Wavelength Tunability of All-Optical Flip-Flop Based on Multimode Interference Bistable Laser Diode," *IEEE Photonics Journal*, vol. 1, no. 1, pp. 40 - 47, 2009.
- [9] Y. Zhao, M. Takenaka, and S. Takagi, "Comprehensive understanding of coulomb scattering mobility in biaxially strained-Si pMOS-

FETs," *IEEE Trans. Electron Devices*, vol. 56, no. 5, pp. 1152 - 1156, 2009.

- [10] A. Al Amin, K. Nishimura, K. Shimizu, M. Takenaka, T. Tanemura, H. Onaka, T. Hatta, A. Kasukawa, S. Tsuji, Y. Kondo, Y. Urino, H. Uetsuka, and Y. Nakano, "Development of an optical burst switching node testbed and demonstration of multi bitrate optical burst forwarding," *IEEE/OSA J. Light. Tech.*, Vol. 27, No. 16, pp. 3466-3475, 2009.

国際会議論文

- [1] M. Takenaka, M. Yokoyama, M. Sugiyama, Y. Nakano, and S. Takagi, "Ultrasmall arrayed waveguide grating multiplexer using InP-based photonic wire waveguide on Si wafer for III-V CMOS photonics," *Optical Fiber Communication Conference (OFC 10)*, OThS5, San Diego, March 2010.
- [2] K. Takeda, M. Takenaka, T. Tanemura, M. Zaitso, and Y. Nakano, "Single-chip all-optical packet processor based on all-optical flip-flop monolithically integrated with MZI-SOA switch," *Optical Fiber Communication Conference (OFC 10)*, OThS2, San Diego, March 2010.
- [3] M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, Y. Urabe, H. Ishii, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi, "Novel low damage and low temperature direct wafer bonding processes using buried oxide protection layers for fabricating III-V-on-insulator on Si structures," *2nd International IEEE Workshop on Low Temperature Bonding for 3D Integration*, ?, ? 2010.
- [4] K. Morii, T. Iwasaki, R. Nakane, M. Takenaka, and S. Takagi, "High performance GeO₂/Ge nMOSFETs with source/drain junctions formed by gas phase doping," *International Electron Devices Meeting (IEDM 09)*, 29.3, Baltimore, December 2009.
- [5] T. Yasuda, N. Miyata, Y. Urabe, H. Ishii, T. Itatani, H. Yamada, N. Fukuhara, M. Hata, A. Ohtake, M. Yokoyama, T. Hoshii, M. Takenaka, and Shinichi Takagi, "Relationship between interface structures and electrical properties in the High-k/III-V system," *MRS Fall Meeting*, A8-7, Boston, December 2009 (*invited paper*).
- [6] T. Hoshii, M. Yokoyama, H. Yamada, M. Hata, T.

- Yasuda, M. Takenaka, and S. Takagi, "Impact of Nitridation on Interface State Density of InGaAs MOS Capacitors using SiO₂ Deposited by Electron Cyclotron Resonance Plasma Sputtering," *IEEE Semiconductor Interface Specialists conference (SISC'09)*, 5-3, Arlington, December 2009.
- [7] T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, "Impact of plasma nitridation of thermally-grown GeO₂/Ge MIS structures on the GeO₂ film and interface properties," *IEEE Semiconductor Interface Specialists conference (SISC'09)*, P-30, Arlington, December 2009.
- [8] T. Yasuda, H. Ishii, Y. Urabe, T. Itatani, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Yokoyama, M. Takenaka, S. Takagi, "Susceptibility of InGaAs MISFETs to thermal processes in the device fabrication," *IEEE Semiconductor Interface Specialists conference (SISC'09)*, P-14, Arlington, December 2009.
- [9] K. Takeda, M. Takenaka, T. Tanemura, M. Zaitu, and Y. Nakano, "Wide wavelength operation of all-optical flip-flop using Mach-Zehnder interferometer bistable laser diode," Annual Meeting of the *IEEE Lasers and Electro-Optics Society (LEOS'09)*, WV5, Belek-Antalya, Turkey, October 2009.
- [10] M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "In situ monitoring of the initial nucleation for the formation of uniform InGaAs micro-discs on Si," *Euro-CVD*, 2524, Vienna, October 2009.
- [11] M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Twin-free InGaAs thin layer on Si by multi-step micro-channel selective-area MOVPE," *OMVPE Workshop*, Lake Geneva, August 2009.
- [12] Y. Kondo, M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama, "Initial growth of InAs on P-terminated Si (111) surface to promote uniform lateral growth of InGaAs micro-discs on patterned Si," *OMVPE Workshop*, Lake Geneva, August 2009.
- [13] S. Dissanayake, S. Sugahara, M. Takenaka, and S. Takagi, "High Performance (110)-oriented GOI pMOSFETs Fabricated by Ge Condensation Technique," *International Conference on Solid State Devices and Materials (SSDM'09)*, A-1-4, Sendai, October 2009.
- [14] K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, "All-optical flip-flop based on Mach-Zehnder interferometer bistable laser Diode," *European Conference on Optical Communication (ECOC'09)*, 1.2.5, Wien, September 2009.
- [15] K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, "Design and fabrication of Mach-Zehnder interferometer bistable laser diode all-optical flip-flop," *Photonics in Switching (PS'09)*, WeI2-4, Pisa, September 2009.
- [16] S.H. Kim, S. Nakagawa, T. Haimoto, R. Nakane, M. Takenaka, and S. Takagi, "Metal source/drain inversion-mode InP MOSFETs," *Device Research Conference (DRC'09)*, III-31, State College, June 2009.
- [17] M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi, "High Mobility metal S/D III-V-On-Insulator MOSFETs on a Si substrate using direct wafer bonding," *VLSI Symposium.*, 12B-3, Kyoto, June 2009.
- [18] Y. Zhao, H. Matsumoto, T. Sato, S. Koyama, M. Takenaka and S. Takagi, "Comprehensive understanding of surface roughness limited mobility in unstrained- and strained-Si MOSFETs by novel characterization scheme of Si/SiO₂ interface roughness," *VLSI Symposium.*, 2A-3, Kyoto, June 2009.
- [19] M. Takenaka, M. Sugiyama, Y. Nakano, and S. Takagi, "Gas phase doping of arsenic into germanium by using MOVPE system for source/drain formation of high performance Ge nMOSFETs," *E-MRS Spring Meeting*, 14.4, Strasbourg, June 2009.
- [20] M. Takenaka, K. Takeda, T. Hoshii, T. Tanemura, M. Sugiyama, Y. Nakano, and S. Takagi, "Source/drain formation by using epitaxial regrowth of n-InP for III-V nMOSFETs," *Indium Phosphide and Related Materials (IPRM'09)*, TuA1-5, Newport beach, May 2009.
- [21] M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Uniform InGaAs micro-discs on Si by micro-channel selective-area MOVPE," *Indium Phosphide and Related Materials (IPRM'09)*, MA2-2, Newport beach, May 2009.
- [22] S. Takagi, M. Sugiyama, T. Yasuda, and M. Takenaka, "Ge/III-V channel engineering for future CMOS," *1st International Symposium on*

Graphene and Emerging Materials for Post-CMOS Applications, 215 th Meeting of The Electrochemical Society, San Francisco, May 2009 (invited).

- [23] S. Takagi, N. Taoka, and M. Takenaka, "Interfacial control and electrical properties of Ge MOS structures," *10th International Symposium on Silicon Nitride, Silicon Dioxide, and Alternate Emerging Dielectrics, 215 th Meeting of The Electrochemical Society*, pp. 67-85, San Francisco, May 2009 (invited).

シンポジウム・研究会・大会等発表

- [1] 森井清仁, 竹中 充, 高木信一, 「気相拡散により形成されたソース・ドレイン接合をもつ高性能GeO₂/Ge nMOSFET」, 電気学会グリーンITにおける化合物半導体電子デバイス調査専門委員会, 東京工業大学, 2010年3月26日(招待講演).
- [2] 竹中充, 横山正史, 杉山正和, 中野義昭, 高木信一, 「III-V CMOS photonics技術を用いた超小型InP系AWGの作製」, 第57回応用物理学関係連合講演会, 17a-N-8, 東海大学, 2009年3月.
- [3] 高木信一, 杉山正和, 竹中 充, 「Siプラットフォーム上のIII-V/GeチャンネルMOSトランジスタ技術」, 第57回応用物理学関係連合講演会, 19p-TK-3, 東海大学, 2009年3月.
- [4] 横山正史, 山田永, 安田哲二, 高木秀樹, 卜部友二, 石井裕之, 宮田典幸, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一, 「極薄膜III-V-OI MOSFETにおける電子移動度の向上」, 第57回応用物理学関係連合講演会, 18a-B-11, 東海大学, 2009年3月.
- [5] 星井拓也, 横山正史, 山田永, 秦雅彦, 安田哲二, 竹中充, 高木信一, 「ECRプラズマ界面窒化によるALD-Al₂O₃/InGaAs MOSキャパシタの界面特性向上」, 第57回応用物理学関係連合講演会, 20a-P16-11, 東海大学, 2009年3月.
- [6] 森井清仁, 岩崎敬志, 中根了昌, 竹中充, 高木信一, 「気相拡散によるソース・ドレイン接合を用いた高性能GeO₂/Ge nMOSFET」, 第57回応用物理学関係連合講演会, 18p-B-6, 東海大学, 2009年3月.
- [7] 富山健太郎, Sanjeewa Dissanayake, 竹中 充, 高木信一, 「酸化濃縮法により作製したSGOI中の圧縮ひずみと酸化前基板構造の関係」, 第57回応用物理学関係連合講演会, 17p-TJ-11, 東海大学, 2009年3月.
- [8] 趙毅, 竹中充, 高木信一, 「二軸引張りひずみSi MOS電子・正孔反転層における界面電荷・基板

不純物によるクーロン散乱に与える影響の統一的な物理機構」, 第57回応用物理学関係連合講演会, 18a-B-4, 東海大学, 2009年3月.

- [9] 趙毅, 松本弘昭, 佐藤岳志, 小山晋, 竹中充, 高木信一, 「高精度TEMと新しいデータ分析方法によるMOS界面ラフネス移動度及びその引張り歪みの影響の定量評価」, 第57回応用物理学関係連合講演会, 18a-B-3, 東海大学, 2009年3月.
- [10] 卜部友二, 高木秀樹, 宮田典幸, 安田哲二, 山田永, 福原 昇, 秦 雅彦, 横山正史, 竹中 充, 高木信一, 「Si基板上に貼り合わせたInGaAsチャネルMISFETの実現」, 第57回応用物理学関係連合講演会, 18a-B-10, 東海大学, 2009年3月.
- [11] 石井裕之, 卜部友二, 板谷太郎, 宮田典幸, 安田哲二, 山田 永, 福原 昇, 秦 雅彦, 横山正史, 竹中 充, 高木信一, 「InGaAs (111)A面上への高品質MIS界面形成と高電子移動度の実現」, 第57回応用物理学関係連合講演会, 20a-P16-12, 東海大学, 2009年3月.
- [12] 武田浩司, 竹中充, 種村拓夫, 財津優, 中野義昭, 「干渉型全光フリップ・フロップと全光パケットスイッチングへの応用」, 第57回応用物理学関係連合講演会, 18a-N-1, 東海大学, 2009年3月.
- [13] 財津優, 武田浩司, 竹中充, 種村拓夫, 中野義昭, 「MZI双安定レーザ型全光フリップ・フロップの光クロック動作」, 第57回応用物理学関係連合講演会, 18a-N-2, 東海大学, 2009年3月.
- [14] 出浦桃子, 近藤佳幸, 竹中充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEを用いたSi上InGaAs多段階成長の時間発展」, 第57回応用物理学関係連合講演会, 19a-TW-9, 東海大学, 2009年3月.
- [15] 近藤佳幸, 出浦桃子, 竹中充, 高木信一, 中野義昭, 杉山正和, 「選択MOVPEによるSi上InGaAs成長の成長領域狭窄化による横方向成長促進」, 第57回応用物理学関係連合講演会, 19a-TW-8, 東海大学, 2009年3月.
- [16] 寺田雄紀, 霜垣幸浩, 竹中 充, 高木信一, 中野義昭, 杉山正和, 「MOVPEin situ AIPパッシベーション層の膜厚最適化によるGaAs MOSの界面準位低減」, 第57回応用物理学関係連合講演会, 19a-TK-4, 東海大学, 2009年3月.
- [17] 竹中 充, 森井清仁, 高木信一, 「MOVPEを用いた気相ドーピングによる高品質Ge n+/p接合の形成およびGe nMOSFETへの応用」, 電気学会シリコンナノデバイス集積化技術調査専門委員会, 早稲田大学, 2010年3月5日(招待講演).
- [18] 竹中充, 横山正史, 種村拓夫, 杉山正和, 中野

義昭, 高木信一, 「III-V CMOS photonics実現に向けたInP系フォトニックワイヤーの作製」, 第70回応用物理学会学術講演会, 9a-ZN-9, 富山大学, 2009年9月.

- [19] 竹中 充, 横山正史, 杉山正和, 中野義昭, 高木信一, 「直接基板接合によるSi基板上III-V CMOSトランジスタ」, 第70回応用物理学会学術講演会, 9p-TE-3, 富山大学, 2009年9月.
- [20] 金相賢, 中川翔太, 灰本隆志, 中根了昌, 竹中充, 高木信一, 「メタルソース・ドレインを用いたInP MOSFETの作製と電気特性」, 第70回応用物理学会学術講演会, 10p-TH-19, 富山大学, 2009年9月.
- [21] 横山正史, 安田哲二, 山田永, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一, 「基板貼り合わせによるSi基板上メタルS/D III-V-OI n-MOSFETの移動度向上とp-MOSFET動作」, 第70回応用物理学会学術講演会, 11p-TH-6, 富山大学, 2009年9月.
- [22] 星井拓也, 横山正史, 山田永, 秦雅彦, 安田哲二, 竹中充, 高木信一, 「界面窒化によるECRスパッタSiO₂/InGaAs MOSキャパシタの界面特性向上」, 第70回応用物理学会学術講演会, 11a-TE-4, 富山大学, 2009年9月.
- [23] 中川翔太, 横山正史, 山田永, 秦雅彦, 竹中充, 高木信一, 「InAlAs酸化界面制御層を用いたInP MOS界面特性の向上」, 第70回応用物理学会学術講演会, 11a-TE-5, 富山大学, 2009年9月.
- [24] S. Dissanayake, 富山健太郎, 周藤悠介, 菅原聡, 竹中 充, 高木信一, 「超薄膜(110)面GOI p型MOSFETの電気的特性」, 第70回応用物理学会学術講演会, 11p-TH-3, 富山大学, 2009年9月.
- [25] 寺田雄紀, 出浦桃子, 霜垣幸浩, 竹中充, 高木信一, 中野義昭, 杉山正和, 「MOVPEにおけるin situ AIPパッシベーションによるGaAs表面準位抑制」, 第70回応用物理学会学術講演会, 9a-ZN-7, 富山大学, 2009年9月.
- [26] 武田浩司, 竹中充, 種村拓夫, 財津優, 中野義昭, 「MZI双安定レーザーを用いた全光フリップ・フロップの動的動作実証」, 第70回応用物理学会学術講演会, ???, 富山大学, 2009年9月.
- [27] 安田哲二, 卜部友二, 石井裕之, 宮田典幸, 板谷太郎, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一, 「InP/InGaAs埋め込みチャンネルを持つMIS構造の界面特性」, 第70回応用物理学会学術講演会, 11a-TE-3, 富山大学, 2009年9月.
- [28] 卜部友二, 宮田典幸, 安田哲二, 石井裕之, 板谷太郎, 山田永, 秦雅彦, 竹中充, 高木信一, 「硫

化アンモニウム溶液処理したIII-V表面上のMIS界面評価」, 第70回応用物理学会学術講演会, 11a-TE-2, 富山大学, 2009年9月.

- [29] 石井裕之, 卜部友二, 板谷太郎, 安田哲二, 宮田典幸, 山田永, 福原昇, 秦雅彦, 横山正史, 竹中充, 高木信一, 「硫化アンモニウム溶液処理によるInGaAs n-MISFETの特性改善」, 第70回応用物理学会学術講演会, 11p-TH-5, 富山大学, 2009年9月.
- [30] 安田哲二, 高木秀樹, 横山正史, 石井裕之, 卜部友二, 山田永, 秦雅彦, 竹中充, 高木信一, 「ALD Al₂O₃を埋め込み層としたIII-V-On-Insulator構造の形成とバックゲートMISFET特性」, 第70回応用物理学会学術講演会, 11p-TH-4, 富山大学, 2009年9月.
- [31] 近藤佳幸, 出浦桃子, 竹中充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEにおける表面P終端SiからのInAs均一核発生」, 第70回応用物理学会学術講演会, 11p-C-4, 富山大学, 2009年9月.
- [32] 出浦桃子, 近藤佳幸, 竹中充, 高木信一, 中野義昭, 杉山正和, 「微小領域選択MOVPEによるSi上InGaAs結晶最表部における双晶消滅層の形成と評価」, 第70回応用物理学会学術講演会, 11p-C-5, 富山大学, 2009年9月.

竹内研究室 研究論文

- [1] Ken Takeuchi, "Novel Co-design of NAND Flash Memory and NAND Flash Controller Circuits for sub-30nm Low-Power High-Speed Solid-State Drives (SSD)," *IEEE J. of Solid-State Circuits*, vol. 44, no. 4, pp. 1227-1234, April 2009.
- [2] Shouyu Wang, Mitue Takahashi, Qiu-Hong Li, Ken Takeuchi and Shigeki Sakai, "Operational method of a ferroelectric (Fe)-NAND flash memory array," *Semiconductor Science and Technology*, 105029, 24, October 2009.
- [3] Tsuyoshi Sekitani, Tomoyuki Yokota, Ute Zschieschang, Hagen Klauk, Siegfried Bauer, Ken Takeuchi, Makoto Takamiya, Takayasu Sakurai and Takao Someya, "Organic Nonvolatile Memory Transistors for Flexible Sensor Arrays," *Science*, vol. 326, no. 5959, pp. 1516-1519, December 2009.
- [4] Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "Inductor and TSV Design of 20-V Boost Converter for Low Power 3D

Solid State Drive with NAND Flash Memories,” *IEICE Transactions on Electronics*, E93-C, no.3, pp. 317-323, March 2010.

国際会議

- [1] Shuhei Tanakamaru and Ken Takeuchi, “A 60pJ, 3-Clock Rising Time, V_{TH} Loss Compensated Word-line Booster Circuit for 0.5V Power Supply Embedded/Discrete DRAMs”, *IEEE International Memory Workshop*, pp.1-2, May 2009.
- [2] Teruyoshi Hatanaka, Ryoji Yajima, Takeshi Horiuchi, Shouyu Wang, Xizhen Zhang, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, “Ferroelectric (Fe)-NAND Flash Memory with Non-volatile Page Buffer for Data Center Application Enterprise Solid-State Drives (SSD),” *IEEE Symp. on VLSI Circuits*, pp.78-79, June 2009.
- [3] Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, “Inductor Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories,” *IEEE International Symposium on Low Power Electronics and Design (ISLPED)*, pp.87-91, August 2009.
- [4] Teruyoshi Hatanaka, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, “A Zero V_{TH} Memory Cell Ferroelectric-NAND Flash Memory with 32 % Read Disturb, 24 % Program Disturb, 10 % Data Retention Improvement for Enterprise SSD,” *IEEE European Solid-State Device Research Conference (ESSDERC)*, pp.225-228, September 2009.
- [5] Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, “Effect of Resistance of TSVs on Performance of Boost Converter for Low Power 3D SSD with NAND Flash Memories,” *IEEE International Conference on 3D System Integration (3D IC)*, September 2009.
- [6] Ryoji Yajima, Teruyoshi Hatanaka, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, “A Negative Word-line Voltage Step-Down Erase Pulse Scheme with $\Delta V_{TH}=1/6 \Delta V_{ERASE}$ for Enterprise SSD Application Ferroelectric (Fe)-NAND Flash Memories,” pp.1196-1197, *International Conference on Solid State Devices and Materials (SSDM)*, October 2009.
- [7] Shinji Noda, Teruyoshi Hatanaka, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, “A 1.2V Operation 2.43 Times Higher Power Efficiency Adaptive Charge Pump Circuit with Optimized VTH at Each Pump Stage for Ferroelectric (Fe)-NAND Flash Memories,” pp.162-163, *International Conference on Solid State Devices and Materials (SSDM)*, October 2009.
- [8] Mitsue Takahashi, Shouyu Wang, Ken Takeuchi and Shigeki Sakai, “Fe-NAND Flash-memory Application of Ferroelectric Gate FETs”, F10-6, *MRS (Materials Research Society) Fall Meeting*, December 2009.
- [9] Shuhei Tanakamaru, Teruyoshi Hatanaka, Ryoji Yajima, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, “A 0.5V Operation, 32 % Lower Active Power, 42 % Lower Leakage Current, Ferroelectric 6T-SRAM with V_{TH} Self-Adjusting Function for 60 % Larger Static Noise Margin,” *IEEE International Electron Devices Meeting (IEDM)*, December 2009.
- [10] Ken Takeuchi, “Solid State Drive (SSD) and Memory Subsystem Innovation,” CMOS Emerging Technologies, September 2009. (招待講演)

国内学会、研究会等

- [1] 安福正, 石田光一, 高宮真, 桜井貴康, 竹内健, “三次元SSDの低電力化技術とSSD向けプログラム電圧(20V)生成回路”, 電子情報通信学会集積回路研究会, 信学技報, vol. 109, no. 2, ICD2009-10, pp. 47-52, 2009年4月(招待講演).
- [2] 安福正, 石田光一, 宮本晋示, 中井弘人, 高宮真, 桜井貴康, 竹内健, “三次元積層NAND型フラッシュSSD向けプログラム電圧(20V)生成回路”, システムLSIワークショップ, ポスターセッション学生部門27, pp. 262-264, 2009年5月.
- [3] 畑中輝義, “LSIの研究を始める第一歩 -設計環境の構築”, VDECデザイナーズフォーラム, 2009年6月. (招待講演)
- [4] 田中丸周平, 竹内健, “0.5V動作DRAM用60pJ, 立ち上がり時間3クロック, しきい値電圧ロス補償ワード線昇圧回路”, 電子情報通信学会集積回路研究会, 信学技報, vol.109, no.134, ICD2009-19, pp.33-38, 2009年7月.
- [5] 矢島亮児, 畑中輝義, 高橋光恵, 酒井滋樹, 竹内健, “データセンター用SSD向け不揮発性ページバッファを搭載したFe-NANDフラッシュメモ

り”, 電子情報通信学会集積回路研究会, 信学技報, vol.109, no.134, ICD2009-20, pp.39-44, 2009年7月.

- [6] 竹内健, “新世代ストレージ SSD を使いこなすための基礎と応用”, 日経エレクトロニクス セミナー, 2009年7月. (招待講演)
- [7] 野田晋司, 矢島亮児, 畑中輝義, 高橋光恵, 酒井滋樹, 竹内健, “データセンター用 SSD 向け不揮発性ページバッファを搭載した Fe-NAND フラッシュメモリ (1)”, 電子情報通信学会 ソサイエティ大会, 2009年9月.
- [8] 矢島亮児, 畑中輝義, 高橋光恵, 酒井滋樹, 竹内健, “データセンター用 SSD 向け不揮発性ページバッファを搭載した Fe-NAND フラッシュメモリ (2)”, 電子情報通信学会 ソサイエティ大会, 2009年9月.
- [9] 竹内健, “Ferroelectric-gate FET for Flash Memory & SRAM application,” ITRS ロードマップ委員会日本支部 Emerging Research Devices and Emerging Research Materials Meeting, 2009年11月 (招待講演)
- [10] 竹内健, “グリーン IT を目指した低電力 3 次元積層 SSD 技術”, Electronic Journal 第 224 回 Technical Symposium・フラッシュメモリ/SSD 徹底検証, pp.-, 2009年11月26日. (基調講演・招待講演)
- [11] 安福正, 石田光一, 高宮真, 桜井貴康, 竹内健, “3次元 SSD 用 20V ブーストコンバータ向けのインダクタ設計 (Inductor Design of 20-V Boost Converter for Low Power 3D Solid State Drive)”, 電子情報通信学会集積回路研究会, 信学技報, vol. 109, no. 336, ICD2009-103, pp.151-156, 2009年12月.
- [12] 竹内健, “システム化する NAND フラッシュメモリ”, 産業技術総合研究所 エレクトロニクスフォーラム, 2009年12月15日. (招待講演)
- [13] 中川隆, 横田知之, 関谷毅, 竹内健, Ute Zschieschang, Hagen Klauk, 柴谷隆夫, “自己組織化単分子膜を用いた有機不揮発性メモリの作製と閾値制御”, 信学技報, vol. 109, no. 359, OME2009-67, pp. 7-11, 2010年1月.
- [14] 田中丸周平, 畑中輝義, 矢島亮児, 高橋光恵, 酒井滋樹, 竹内健, “0.5V 動作, しきい値電圧自己調整機能による 60% スタティック・ノイズ・マージン増加, 32% アクティブ電力削減, 42% リーク電流削減の強誘電体 6T-SRAM”, 電子情報通信学会 SDM 研究会・応物シリコンテクノロジー分科会 ULSI デバイス委員会共催 IEDM 特集講演会, 信学技報, vol., no., SDM2010-, pp.-, 2010年1月.
- [15] 竹内健, “データセンター向け高信頼・低電力強誘電体 NAND フラッシュメモリ技術”, 技術情報協会, 2010年2月. (招待講演)
- [16] 竹内健, “新材料・デバイス・回路・システムを総動員して LSI の微細化限界に挑む”, 広島大学エレクトロニクスセミナー, 2010年3月. (招待講演)
- [17] 竹内健, “SSD の使いこなし方”, 日経エレクトロニクス セミナー, 2010年3月. (招待講演)
- [18] 畑中輝義, 高橋光恵, 酒井滋樹, 竹内健, “Zero VTH Ferroelectric (Fe)-NAND Flash Memory Cell によるリードディスタープ特性, プログラムディスタープ特性, およびデータ保持特性の改善”, 応用物理学関係連合講演会, 17p-B-3, 2010年3月.
- [19] 田中丸周平, 畑中輝義, 矢島亮児, 高橋光恵, 酒井滋樹, 竹内健, “0.5V 動作強誘電体 6T-SRAM”, 応用物理学関係連合講演会, 17p-B-6, 2010年3月.
- [20] 野田晋司, 畑中輝義, 高橋光恵, 酒井滋樹, 竹内健, “Ferroelectric-NAND フラッシュメモリ向け 1.2V 動作アダプティブチャージポンプ”, 応用物理学関係連合講演会, 17p-B-5, 2010年3月.
- [21] 矢島亮児, 畑中輝義, 高橋光恵, 酒井滋樹, 竹内健, “Fe (Ferroelectric)-NAND フラッシュメモリの負電圧ステップダウン消去法”, 応用物理学関係連合講演会, 17p-B-4, 2010年3月.
- [22] 竹内健, “低電力 SSD/強誘電体メモリ技術”, 応用物理学学会シリコンテクノロジー分科会 シリコンテクノロジー研究委員会「シリコンプラットフォームテクノロジー」, 2010年3月. (招待講演).

紀要, その他

- [1] 竹内健, “2020年の半導体未来像, そこに向けた課題と克服策”, 半導体技術年鑑 2010, 2009年11月30日.
- [2] 竹内健, “ISSCC2010, DRAM と NAND フラッシュ分野, 一見「地味」でも実用的な重要技術が数多く登場”, 日経エレクトロニクス Tech-On, 2010年2月12日.

著書

- [1] Ken Takeuchi, “SSD 2010”, Nikkei BP, October 2009.

5.5 特許, 受賞等

浅田・池田・名倉研究室 特許

- [1] 池田, 浅田, 鄭, “半導体集積回路”, PCT/JP2009/070601
- [2] 飯塚, 程, 名倉, 池田, 浅田, “電流特性検出回路およびウェル電圧調整回路”, 特願2010-023335
- [3] 浅田, 池田, 名倉, 金, 石橋, 高田, “半導体集積回路装置”, 特願2010-009694

受賞

- [1] S. Bushnaq, T. Nakura, M. Ikeda, and K. Asada, “All Digital Wireless Transceiver Using Modified BPSK and 2/3 Sub-sampling Technique”. IEEE Application Specific Integrated Circuits Conference ASICON, Best student paper award.

藤田研究室 受賞

- [1] 西原佑, “プロパティ分割と限定モデル検査を利用した長い反例を持つ設計誤りの検出手法 (DAシンポジウム2008),” 情報処理学会システムLSI設計技術研究会平成21年度優秀論文賞.
- [2] 西原佑, “プロパティ分割と限定モデル検査を利用した長い反例を持つ設計誤りの検出手法 (DAシンポジウム2008),” 情報処理学会システムLSI設計技術研究会2008年度最優秀発表学生賞.
- [3] 西原佑, “プロパティ分割と限定モデル検査を利用した長い反例を持つ設計誤りの検出手法 (DAシンポジウム2008),” 情報処理学会山下記念研究賞.

高宮研究室 特許

- [1] 題目 : 集積回路装置
発明者 : 竹内健, 安福正, 石田光一, 高宮真, 桜井貴康
国際公開出願 2009年4月17日

受賞

- [1] ICD優秀ポスター賞(学生部門)
安福正, 石田光一, 宮本晋示, 中井弘人, 高宮真, 桜井貴康, 竹内健, “三次元積層NAND型フラッシュSSD向けプログラム電圧(20V)生成回路,” 電子情報通信学会, LSIとシステムのワークショップ2009
- [2] SSCS Kansai Chapter Award
増永直樹, 石田光一, 周志偉, 安福正, 関谷毅, Zscheschang Ute, Klauk Hagen, 高宮真, 染谷隆夫, 桜井貴康, “8×8のコイルアレーと2V有機CMOSデコーダとEMI検出用LSIで構成された伸縮可能なEMI測定シートの提案と動作実証,” 電子情報通信学会, LSIとシステムのワークショップ, ポスターセッション学生部門28, pp. 265-267, 北九州, 2009年5月.

高木・竹中研究室 受賞

- [1] 森井清仁, IEEE EDS Japan Chapter Student Award, “High Performance GeO₂/Ge nMOS-FETs with Source/Drain Junctions Formed by Gas Phase Doping” (IEDM2009)
- [2] 池田圭司, 山下良美, 原田真臣, 山本豊二, 中払周, 平下紀夫, 守山佳彦, 手塚勉, 田岡紀之, 渡辺一世, 広瀬信光, 杉山直治, 高木信一, 2009 SSDM Paper Award, “High Mobility sub-60nm Gate Length Germanium-On-Insulator Channel pMOSFETs with Metal Source/Drain and TaN MIPS Gate” (SSDM 2008, p. 32-33)

竹内研究室 特許

■米国登録特許

- [1] Hiroshi Maejima, Katsuaki Isobe, Takumi Abe, Ken Takeuchi, “NAND type flash memory”, U.S.P. 7,518,922, April 14, 2009.
- [2] Hiroshi Nakamura, Kenichi Imamiya and Ken Takeuchi, “Semiconductor memory device having a plurality of chips and capability of outputting a busy signal”, U.S.P. 7, 522, 442, August 21, 2009.
- [3] Hiroshi Nakamura, Kenichi Imamiya and Ken

Takeuchi, "Semiconductor memory device having a plurality of chips and capability of outputting a busy signal", U.S.P. 7,542,323, June 2, 2009.

- [4] Koji Hosono, Hiroshi Nakamura, Ken Takeuchi and Kenichi Imamiya, "Sense amplifier circuit in non-volatile semiconductor memory comprising a boosting capacitor for boosting the potential at sense node", U.S.P. 7,567,463, July 28, 2009.
- [5] Hiroshi Nakamura, Kenichi Imamiya and Ken Takeuchi, "Semiconductor memory device having a plurality of chips and capability of outputting a busy signal", U.S.P. 7,596,042, September 29, 2009.
- [6] Kazushige Kanda, Kenichi Imamiya, Hiroshi Nakamura, Ken Takeuchi and Tamio Ikehashi, "Semiconductor device, nonvolatile memory, system including a plurality of semiconductor memories, electric card including semiconductor device or nonvolatile semiconductor memory, and electric device with which this electric card can be used", U.S.P. 7,633,826, December 15, 2009.
- [7] Koji Hosono, Hiroshi Nakamura, Ken Takeuchi and Kenichi Imamiya, "Non-volatile semiconductor memory", U.S.P. 7,639,544, December 29, 2009.
- [8] Hiroshi Nakamura, Kenichi Imamiya and Ken Takeuchi, "Semiconductor memory device having a plurality of chips and capability of outputting a busy signal", U.S.P. 7,663,967, February 16, 2010.

■日本登録特許

- [1] Ken Takeuchi and Tomoharu Tanaka, "Non-volatile semiconductor memory device," J.P. 4,302,117, May 1, 2009.
- [2] Ken Takeuchi and Tomoharu Tanaka, "Non-volatile semiconductor memory device," J.P. 4,302,118, May 1, 2009.
- [3] Kazushige Kanda, Kenichi Imamiya, Hiroshi Nakamura, Ken Takeuchi and Tamio Ikehashi,

"Semiconductor device and nonvolatile semiconductor memory device," J.P. 4,351,819, July 31, 2009.

- [4] Ken Takeuchi and Tomoharu Tanaka, "Non-volatile semiconductor memory device," J.P. 4,364,207, August 28, 2009.
- [5] Ken Takeuchi, Hiroshi Nakamura and Tomoharu Tanaka, "Voltage bias circuit," J.P. 4,398,986, October 30, 2009.
- [6] Tamio Ikehashi, Ken Takeuchi and Toshihiko Himeno, "Non-volatile semiconductor memory and test method", J.P. 4,413,406, November 27, 2004.
- [7] Takuya Futatsuyama and Ken Takeuchi, "Semiconductor memory device and memory card", J.P. 4,417,813, December 4, 2009.
- [8] Ken Takeuchi, "Non-volatile semiconductor memory device," J.P. 4,427,361, December 18, 2009.

■台湾登録特許

- [1] Ken Takeuchi and Koichi Kawai, "Semiconductor integrated circuit device", T.P. I309041, April 21, 2009.

受賞

- [1] 安福正, 石田光一, 宮本晋示, 中井弘人, 高宮真, 桜井貴康, 竹内健, 「三次元積層NAND型フラッシュ SSD向けプログラム電圧(20V)生成回路」, 電子情報通信学会, LSIとシステムのワークショップ, 2009年5月: 電子情報通信学会集積回路研究会(ICD)優秀発表賞
- [2] 田中丸周平, 「A 0.5V Operation, 32% Lower Active Power, 42% Lower Leakage Current, Ferroelectric 6T-SRAM with VTH Self-Adjusting Function for 60% Larger Static Noise Margin」: IEEE EDS Japan Chapter Student Award, 2010年1月

Appendix

A. Publication list

1. 研究論文

- [1] Xiang R., Wu T., Einarsson E., Suzuki Y., Murakami Y., Shiomi J., and Maruyama S., "High-Precision Selective Deposition of Catalyst for Facile Localized Growth of Single-Walled Carbon Nanotubes," *J. Am. Chem. Soc.* 131, 2009, pp.10344-10345.
- [2] Nishimura T., Miwa J., Suzuki Y., and Kasagi N., "Label-free Continuous Cell Sorter with Specifically Adhesive Oblique Micro-grooves," *J. Micromech. Microeng.*, Vol. 19, No. 12, 125002, 2009, 10pp.
- [3] T. Yasufuku, T. Niiyama, Z. Piao, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai, "Difficulty of Power Supply Voltage Scaling in Large Scale Subthreshold Logic Circuits," *IEICE Transaction on Electronics*, E93-C, No. 3, pp.332-339, March 2010.
- [4] T. Yasufuku, K. Ishida, S. Miyamoto, H. Nakai, M. Takamiya, and T. Sakurai, "Inductor and TSV Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories," *IEICE Transaction on Electronics*, E93-C, No. 3, pp.317-323, March 2010.
- [5] K. Ishida, N. Masunaga, Z. Zhou, T. Yasufuku, T. Sekitani, U. Zschieschang, H. Klauk, M. Takamiya, T. Someya, and T. Sakurai, "Stretchable EMI Measurement Sheet With 8 X 8 Coil Array, 2 V Organic CMOS Decoder, and 0.18 um Silicon CMOS LSIs for Electric and Magnetic Field Detection," *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 1, pp.249-259, Jan. 2010.
- [6] L. Liu, M. Takamiya, T. Sekitani, Y. Noguchi, S. Nakano, K. Zaitzu, T. Kuroda, T. Someya, and T. Sakurai, "A 107-pJ/bit 100-kb/s 0.18-um Capacitive-Coupling Transceiver With Data Edge Signaling and DC Power-Free Pulse Detector for Printable Communication Sheet," *IEEE Transactions on Circuits and Systems-I Regular Papers*, Vol. 56, No. 11, pp.2511-2518, Nov. 2009.
- [7] L. Liu, Y. Miyamoto, Z. Zhou, K. Sakaida, J. Ryu, K. Ishida, M. Takamiya, and T. Sakurai, "A 100Mbps, 4.1pJ/bit Threshold Detection-Based Impulse Radio UWB Transceiver in 90nm CMOS," *IEICE Transaction on Electronics*, E92-C, No. 6, pp.769-776, June 2009.
- [8] S. Mandai, T. Nakura, M. Ikeda, and K. Asada, "Dual Imager Core Chip with 24.8 rangemap/s 3-D and 58 fps 2-D Simultaneous Capture Capability", *IEICE Trans. on Electronics*, Vol. E92-C, No. 6, pp.798-805, June 2009.
- [9] T. Nakura, S. Mandai, M. Ikeda, and K. Asada, "Time Difference Amplifier with Robust Gain Using Closed-Loop Control," *IEICE Trans. on Electronics*, Vol. E93-C No. 3, pp.303-308, March 2010.
- [10] Y. K. Kim, M. Ikeda, and K. Asada, "Analysis on light transmission through Multi-Metal-Layers for CMOS image sensors," *ITE Journal of Image Information and Television Engineers*, Vol. 64, No. 3, pp.419-422, March 2010 (in Japanese).
- [11] 中田尚, 片岡晶人, 中島康彦 "VLIW型命令キューを持つスーパースカラプロセッサの命令スケジューリング機構", *情報処理学会論文誌コンピュータシステム*, ACS26, Vol. 2, No. 2, pp.48-62, Jul. (2009)
- [12] Hiroshi Hatano, "Single event effects on static and clocked cascade voltage switch logic circuits", *IEEE Trans. Nuclear Science*, vol. 56, No. 4, pp.1987-1991, 2009.
- [13] Mamoru Sasaki, "A High-Frequency Clock Distribution Network Using Inductively Loaded Standing-Wave Oscillators", pp.2800-2807, *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 44, NO. 10, OCTOBER 2009
- [14] R. K. Pokharel, H. Kanaya, K. Yoshida, "Design and evaluation of a -117 dBc/Hz phase noise voltage-controlled oscillator using on-chip CPW resonator for 5 GHz-band WLAN", *Microwave and Optical Technology Letters*, Vol. 52, pp.757-763 (2010)

- [15] N. Kanda, K. Konishi, M. Kuwata-Gonokami, "Light-induced terahertz optical activity", *Optics Letters*, 34 (19), 3000-3002 (2009)
- [16] H. Myoren, Y. Yoshizawa, T. Taino, and S. Takada, "SFQ Multiplexed Signal Processing Circuits for Superconducting Tunnel Junction Photon Detector Arrays," pp.413-416, *IEEE Trans. Appl. Supercond.*, (2009).
- [17] 飯田宗央, 柳原悠一, 浜本隆之, "テクスチャ平坦領域の判定誤りを考慮した距離計測イメージセンサ", *電子情報通信学会論文誌, D, Vol. J92-D, No. 10*, pp.1760-1762 (2009)
- [18] S. Ruan, K. Namba and H. Ito, "Construction of Soft-Error-Tolerant FF with Wide Error Pulse Detecting Capability," *IEICE Trans. Inf. & Syst.*, Vol. E92-D, No. 8, pp.1534-1541, Aug., 2009.
- [19] 田中, "低消費電力のための弱反転動作形CMOSトランスコンダクタンス増幅器の設計とCNNへの応用", pp.1-60, 宮崎大学博士学位論文(2010).
- [20] H. J. Mattausch, N. Sadachika, A. Yumisaki, S. Izumi, A. Kaya, W. Imafuku, K. Johguchi, T. Koide and M. M. Mattausch, "Correlating microscopic and macroscopic variation with surface-potential compact model," *IEEE Electron Device Letters*, pp.873-875, 2009.
- [21] K. Okazaki, K. Awane, N. Nagaoka, T. Sugahara, T. Koide, and H. J. Mattausch, "Low-Power silicon-area-efficient image segmentation based on a pixel-block scanning architecture", *Japanese Journal of Applied Physics (JJAP)*, Vol. 48, No. 04C078, 2009
- [22] Furuta, Kobayashi, Onodera, "An Area/Delay Efficient Dual-Modular Flip-Flop with Higher SEU/SET Immunity", pp.340-346, *IEICE Transactions on Electronics*, vol. E93-C, no. 3 (2010/03)
- [23] Sunagawa, Terada, Tsuchiya, Kobayashi, Onodera, "Effect of Regularity-Enhanced Layout on Variability and Circuit Performance of Standard Cells", pp.130-139, *IPSJ Transactions on System LSI Design Methodology*, vol Vol. 3 (2010/02)
- [24] Takayuki Fukuoka, Tsuchiya, Onodera, "Statistical Gate Delay Model for Multiple Input Switching", pp.3070-3078, *IEICE Transactions on Fundamentals*, vol E92-A, no. 12 (2009/12)
- [25] S. Dissanayake, K. Tomiyama, S. Sugahara, M. Takenaka, and S. Takagi, "High performance ultrathin (110)-oriented Ge-on-Insulator pMOS-FETs fabricated by Ge condensation technique," *Appl. Phys. Express.*, Vol. 3, 041302, 2010.
- [26] M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, S. Takagi, "Thin body III-V-semiconductor-on-insulator MOSFETs on Si fabricated using direct wafer bonding," *Appl. Phys. Express.*, Vol. 2, 124501, 2009.
- [27] S. Takagi, M. Sugiyama, T. Yasuda and M. Takenaka, "Ge/III-V Channel Engineering for future CMOS," *ECS Trans.* vol. 19, no. 5, pp.9-20, 2009.
- [28] Y. Zhao, M. Takenaka, and S. Takagi, "On surface roughness scattering-limited mobilities on electrons and holes in biaxially tensile-strained Si MOSFETs," *IEEE Electron Dev.*, vol. 30, no. 9, pp.967-969, 2009.
- [29] K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, "Experimental Study on Wavelength Tunability of All-Optical Flip-Flop Based on Multimode Interference Bistable Laser Diode," *IEEE Photonics Journal*, vol. 1, no. 1, pp.40-47, 2009.
- [30] Y. Zhao, M. Takenaka, and S. Takagi, "Comprehensive understanding of coulomb scattering mobility in biaxially strained-Si pMOS-FETs," *IEEE Trans. Electron Devices*, vol. 56, no. 5, pp.1152-1156, 2009.
- [31] M. Deura, T. Hoshii, T. Yamamoto, Y. Ikuhara, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Dislocation-free InGaAs on Si(111) using micro-channel selective-area metalorganic vapor phase epitaxy," *Appl. Phys. Express.*, Vol. 2, 011101, 2009.
- [32] R. Xiang, T. Wu, E. Einarsson, Y. Suzuki, Y. Murakami, J. Shiomi, S. Maruyama "High-Precision Selective Deposition of Catalyst for Facile Localized Growth of Single Walled Carbon Nanotubes" *J. Am. Chem. Soc.*, 131, (2009) pp.10344-10345.
- [33] R. Xiang, E. Einarsson, H. Okabe, S. Chiashi, J. Shiomi, S. Maruyama "Patterned Growth of High-quality Single-walled Carbon Nanotubes from Dip-coated Catalyst" *Jpn. J. Appl. Phys.*, 49, (2010) pp.02BA03.1-3.
- [34] Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Michitaka Kameyama,

- "Implementation of a Partially Reconfigurable Multi-Context FPGA Based on Asynchronous Architecture", *IEICE Transactions on Electronics*, Vol. E92-C No. 4, pp.539-549, 2009.
- [35] T. Sato, H. Ueyama, N. Nakayama, and K. Masu, "Accurate array-based measurement for subthreshold-current of MOS transistors", *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 11, pp.2977-2986, November, 2009.
- [36] S. Hagiwara, T. Sato, and K. Masu, "Analytical estimation of path-delay variation for multi-threshold CMOS circuits", *IEICE Transactions of Fundamentals on Electronics, Communications and Computer Sciences*, Vol. E92-A, No. 4, pp.1031-1038, April, 2009.
- [37] T. Uezono, T. Sato, and K. Masu, "One-shot voltage-measurement circuit utilizing process variation", *IEICE Transactions of Fundamentals on Electronics, Communications and Computer Sciences*, Vol. E92-A, No. 4, pp.1024-1030, April, 2009.
- [38] K. Yamanaga, T. Sato, and K. Masu, "2-port modeling technique for surface-mount passive components", *IEICE Transactions of Fundamentals on Electronics, Communications and Computer Sciences*, Vol. E92-A, No. 4, pp.976-982, April, 2009.
- [39] T. Uezono, K. Masu, and T. Sato, "A time-slicing ring oscillator for capturing time-dependent delay degradation and power supply voltage fluctuation", *IEICE Transactions on Electronics*, Vol. E93-C, No. 3, accepted, March, 2010.
- [40] K. Yamanaga, S. Amakawa, K. Masu, and T. Sato, "A universal equivalent circuit model for ceramic capacitors", *IEICE Transactions of Fundamentals on Electronics, Communications and Computer Sciences*, Vol. E9X-A, No. 4, accepted, April, 2010.
- [41] H. Sugano, H. Ochi, Y. Nakamura, and R. Miyamoto, "Hardware Accelerator for Run-Time Learning Adopted in Object Recognition with Cascade Particle Filter", *IEICE Trans. on Fundamentals*, Vol. E92-A, No. 11, pp.2801-2808 (2009)
- [42] Hiroyuki Tanaka, Kouhei Ohnishi, Hiroaki Nishi, Toshikazu Kawai, Yasuhide Morikawa, Soji Ozawa and Toshiharu Furukawa, "Implementation of Bilateral Control System Based on Acceleration Control Using FPGA for Multi-DOF Haptic Endoscopic Surgery Robot," *IEEE Trans. on Industrial Electronics*, Vol. 56, No. 3, pp.618-627, March, 2009.
- [43] 明石 大, 西 宏章, "トラフィック局所性を利用した拡張パトリシアツリーの提案と評価," *電子情報通信学会論文誌「通信の未来を担う学生論文特集」特集号*, *電子情報通信学会論文誌 B* Vol. J93-B No. 2 pp.242-250, Feb. 2010
- [44] 立川 智一, 西 宏章, "環境センサを利用した在室人数推定手法," *日本建築学会環境系論文集*, 第75巻, 第650号, 2010年4月採録決定
- [45] T. Kihara, H.-J. Park, I. Takobe, F. Yamashita, T. Matsuoka, and K. Taniguchi, "A 0.5 V Area-Efficient Transformer Folded-Cascode CMOS Low-Noise Amplifier," *IEICE Trans. Electron*, Vol. E92-C, No. 4, pp.564-575, Apr. 2009.
- [46] F. Yamashita, T. Matsuoka, T. Kihara, I. Takobe, H.-J. Park, and K. Taniguchi, "Analytical design of a 0.5V 5GHz CMOS LC-VCO," *IEICE Electronics Express*, Vol. 6, No. 14, pp.1025-1031, July 2009.
- [47] T. Kihara, T. Matsuoka, and K. Taniguchi, "A Transformer Noise-Canceling Ultra-Wideband CMOS Low-Noise Amplifier," *IEICE Trans. Electron*, Vol. E93-C, No. 2, pp.187-199, Feb. 2010.
- [48] T. Matsuoka, J. Wang, T. Kihara, H. Ham, and K. Taniguchi, "Low-Voltage Wireless Analog CMOS Circuits toward 0.5 V Operation," *IEICE Trans. Fundamentals*, Vol. E93-A, No. 2, pp.356-366, Feb. 2010.
- [49] 安江一紘, 王軍, 松岡俊匡, 谷口研二, "超低電圧動作デジタルCMOS回路の特性補償に関する検討," *電子情報通信学会論文誌C*, Vol. J93-C, pp.75-77, Feb. 2010.
- [50] Takashi Nakai, Sho Nishiyama, Masakai Shuzo, Jean-Jacques Delaunay, Ichiro Yamada, "Micro-Fabricated Semi-Packed Column for Gaschromatography by Using Functionalized Parylene as a Stationary Phase," *Journal of Micromechanics and Microengineering*, vol. 19, no. 6, pp.065032, 2009.
- [51] 中井 隆志, 高田 修司, 大川 潤, 酒造 正樹, 塩見 淳一郎, ドロネー ジャンジャック, 丸山 茂夫, 山田 一郎, "単層カーボンナノチューブを固定相に用いたマイクロガスクロマトグラフィカラム," *ナノ学会会報*, vol. 8, no. 1, pp.39-43, 2009.
- [52] Ryosuke Tsuji, Koichi Endo, Masaki Shuzo,

- Ichiro Yamada, Jean-Jacques Delaunay, "Hydrogen Detection with Subwavelength Palladium Hole Arrays," *Journal of Micro/Nanolithography, MEMS, and MOEMS*, vol. 8, no. 2, pp.021140, 2009.
- [53] Etsuo Maeda, Sho Mikuriya, Koichi Endo, Ichiro Yamada, Atsushi Suda, and Jean-Jacques Delaunay, "Optical hydrogen detection with periodic subwavelength palladium hole arrays," *APPLIED PHYSICS LETTERS*, Vol. 95,
- [54] 河合章生, 柏竜太, 守屋雅隆, 小林忠行, 水柿義直, "ニオブ集積回路における平行線路間の相互インダクタンス評価," *電子情報通信学会和文論文誌 C*, vol. J92-C, no. 9, pp.523-530, September, 2009
- [55] Y. Mizugaki, R. Kashiwa, A. Kawai, M. Moriya, K. Usami, and T. Kobayashi, "Magnetic Isolation Enhanced by a Superconducting Loop in Josephson Integrated Circuits," *Japanese Journal of Applied Physics*, vol. 48, no. 7, pp.073001-1-5, July, 2009
- [56] T. Enami, S. Ninomiya, and M. Hashimoto, "Statistical Timing Analysis Considering Spatially and Temporally Correlated Dynamic Power Supply Noise," *IEEE Trans. on Computer-aided Design of Integrated Circuits and Systems*, Vol. 28, No. 4, pp.541-553 (Apr. 2009).
- [57] Y. Ogasahara, M. Hashimoto, T. Onoye, "All Digital Ring-Oscillator Based Macro for Sensing Dynamic Supply Noise Waveform", vol. 44, no. 6, pp.1745-1755, *IEEE Journal of Solid-State Circuits* (2009).
- [58] K. Shinkai, M. Hashimoto, and T. Onoye, "Prediction of Self-Heating in Short Intra-Block Wires," *IEICE Transactions on Fundamentals*, Vol. E93-A, No. 3, pp.583-594, Mar. 2010.
- [59] K. Ohhata, K. Uchino, Y. Shimizu, K. Oyama, K. Yamashita, "Design of a 770-MHz, 70-mW, 8-bit Subranging ADC Using Reference Voltage Precharging Architecture," *IEEE Journal of Solid-State Circuits*, pp.2881-2890, vol. 44, no. 11, Nov. 2009.
- [60] Y. Mita, Y. Li, M. Kubota, S. Morishita, W. Parkes, L.I. Haworth, B.W. Flynn, J.G. Terry, T.-B. Tang, A.D. Ruthven, S. Smith and A.J. Walton, "Demonstration of a wireless driven MEMS pond skater that uses EWOD technology", *Journal of Solid-State Electronics*, Vol. 53 pp.798-802 (2009.05.29) doi 10.1016/j.sse.2009.02.020
- [61] Tadayoshi Enomoto and Nobuaki Kobayashi, "Low Dynamic Power and Low Leakage Power Techniques for CMOS Square-Root Circuit", *IEICE Tran. on Electronics*, vol. E92-C, no. 4, pp.409-416, April 2009.
- [62] N. Toyoda, T. Hirota, K. Nagato, H. Tani, Y. Sakane, M. Nakao, T. Hamaguchi, I. Yamada, "Planarization of bit-patterned surface using gas cluster ion beams", *IEEE Trans. Magn.* 45 (2009) 3503-3506.
- [63] K. Nagato, S. Sugimoto, T. Hamaguchi, M. Nakao, "Iterative roller imprint of multilayered nanostructures", *Microelectron. Eng.* 87 (2010) 1543-1545.
- [64] M. Furubayashi, K. Nagato, H. Moritani, T. Hamaguchi, M. Nakao, "Field emission properties of discretely synthesized tungsten oxide nanowires", *Microelectron. Eng.* 87 (2010) 1594-1596.
- [65] S. Hattori, K. Nagato, T. Hamaguchi, M. Nakao, "Rapid injection molding of high-aspect-ratio nanostructures", *Microelectron. Eng.* 87 (2010) 1546-1549.
- [66] K. Nagato, H. Hoshino, H. Naito, T. Hirota, H. Tani, Y. Sakane, N. Toyoda, I. Yamada, M. Nakao, T. Hamaguchi, "Planarization of nonmagnetic films on bit patterned substrates by gas cluster ion beams", *IEEE Trans. Magn.*, in press.
- [67] Cheng-Yao Lo, Johanna Kiiitola-Keinnen, Olli-Heikki Huttunen, Jarno Petj, Jukka Hast, Arto Maaninen, Harri Kopola, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Micro Roll-to-Roll Patterning Process and Its Application on Flexible Display," *Jpn. J. Appl. Phys.* 48 (2009) 06FC04.
- [68] 大平康隆, 藤田博之, 年吉 洋, "MEMS技術による画像描画用光スキャナの小型化" *日本機械学会誌* 2009.7, vol. 112, No. 1088, pp.34-37.
- [69] Yuheon Yi, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A micromachined voltage controlled oscillator using the pull-in mechanism of electrostatic actuation," *IEICE Electronics Express*, vol. 6, No. 17, (2009), pp.1266-1271.
- [70] Kazuhiro Takahashi, Makoto Mita, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Switched-Layer Design for SOI Bulk Micromachined XYZ Stage

- Using Stiction Bar for Interlayer Electrical Connection," *IEEE J. Microelectromech. Syst.*, vol. 18, no. 4, 2009, pp.818-827.
- [71] Y. Ohira, A. Chekhovskiy, T. Yamanoi, T. Endo, H. Fujita, and H. Toshiyoshi, "Hybrid MEMS optical scanner for volumetric 3-D displays," *Journal of SID*, vol. 17, no. 5, 2009, pp.419-422.
- [72] K. Grenier, D. Dubuc, P.-E. Poleni, M. Kumemura, H. Toshiyoshi, H. Fujii, and H. Fujita, "Integrated broadband microwave and microfluidic sensor dedicated to bioengineering," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 12, part.2, 2009, pp.3246-53.
- [73] David Dubuc, Katia Grenier, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Plastic-based microfabrication of artificial dielectric for miniaturized microwave integrated circuits," *Metamaterials*, vol. 3, no. 3-4, 2009, pp.165-173.
- [74] Cheng-Yao Lo, Johanna Hiitola-Keinnen, Olli-Heikki Huttunen, Jarno Petj, Jukka Hast, Arto Maaninen, Harri Kopola, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Novel roll-to-roll lift-off patterned active-matrix display on flexible polymer substrate," *Microelectronic Engineering*, vol. 86, no. 4-6, 2009, pp.979-983.
- [75] Daisuke Yamane, Winston Sun, Harunobu Seita, Shigeo Kasawaki, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "An SOI bulk-micromachined dual SPDT RF-MEMS switch by layer-wise separation design of waveguide and switching mechanism," *IEICE Electronics Express*, vol. 7, No. 2, 2010, pp.80-85.
- [76] 佐々木拓也, 上田啓貴, 三浦英生 "ピエゾ抵抗ひずみセンサを用いたフリップチップ実装構造内局所2軸残留応力分布の測定" *エレクトロニクス実装学会誌* Vol. 12 No. 7, NOV. 2009, pp.623-628.
- [77] 中田尚, 片岡晶人, 中島康彦, "VLIW型命令キューを持つスーパースカラプロセッサの命令スケジューリング機構", *情報処理学会論文誌コンピューティングシステム*, ACS26, Vol. 2, No. 2, pp.48-62, Jul. (2009)
- [78] R. Nakane, T. Harada, K. Sugiura, S. Sugahara, and M. Tanaka, "Spin-dependent transport of spin MOSFETs with ferromagnetic MnAs source and drain contacts Spin injection and transport in a Si MOS channel", submitted to *Jpn. J. Appl. Phys.*; cond-mat arXiv1002.0057
- [79] Yusuke Shuto, Ryosho Nakane, Wenhong Wang, Hiroaki Sukegawa, Shuu'ichirou Yamamoto, Masaaki Tanaka, Koichiro Inomata, and Satoshi Sugahara, "A new spin-functional MOSFET based on magnetic tunnel junction technology pseudo-spin-MOSFET", *Applied Physics Express*, 3, 013003/1-3 (2010).
- [80] K. Komatsu, S. Sannomiya, M. Iwata, H. Terada, S. Kameda, K. Tsubouchi, "Interacting Self-Timed Pipelines and Elementary Coupling Control Modules," *IEICE TRANSACTIONS on Fundamentals*, Vol. E92-A, No. 7, pp.1642-1651, 2009.
- [81] Hiroaki Onoe, Akihito Nakai, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Temperature-Controlled Transfer And Self-Wiring for Multi-Color Light-Emitting Diode Arrays," *Journal of Micromechanics and Microengineering*, Vol. 19, pp.1-9, 2009.
- [82] Tetsuo Kan, Naoko Tsujiuchi, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Planar Near-Infrared Surface Plasmon Resonance Sensor with Si Prism And Grating Coupler," *Sensors and Actuators B Chemical*, Vol. 144, pp.295-300, 2009.
- [83] Atsushi Takei, Kiyoshi Matsumoto, and Isao Shimoyama, "Capillary Torque Caused by A Liquid Droplet Sandwiched between Two Plates," *Langmuir*, Vol. 26, No. 4, pp.2497-2504, 2010.
- [84] Wimol SAN-UM, M. Tachibana, "A fault Signature Characterization Based Analog Circuit Testing Scheme and the Extension of IEEE 1149.4 Standard," *IEICE Trans. Inf. & SysT.*, Vol. E93-D, No. 1, JAN.(2010).
- [85] Mitsuya Fukazawa, Masanori Kurimoto, Rei Akiyama, Hidehiro Takata, Makoto Nagata, "Experimental Evaluation of Dynamic Power Supply Noise and Logical Failures in Microprocessor Operations," *IEICE Transactions on Electronics*, Vol. E92-C, No. 4, pp.475-482, Apr. 2009.
- [86] Tetsuro Matsuno, Daisuke Kosaka, Makoto Nagata, "Modeling of Power Noise Generation in Standard-Cell Based CMOS Digital Circuits," *IEICE Transactions on Fundamentals*, Vol. E93-A, No. 2, pp.440-447, Feb 2010.

- [87] Tadayuki Matsumura, Tohru Ishihara, and Hiroto Yasuura, "An Optimization Technique for Low-Energy Embedded Memory Systems," *IPSI Transactions on System LSI Design Methodology*, Vol. 2, pp.239-249, Aug. 2009.
- [88] 上野, 廣瀬, 浅井, 雨宮, "サブスレッショルド MOSFET を用いた PTAT 電流生成のための微小フローティング電圧源回路," *映像情報メディア学会誌*, vol. 63, no. 12, pp.1877-1880, 2009
- [89] 次田, 廣瀬, 上野, 浅井, 雨宮, "低電圧 CMOS デジタル回路のプロセスバラツキ補正技術," *映像情報メディア学会誌*, vol. 63, no. 11, pp.1667-1670, 2009
- [90] Ueno, Hirose, Asai, and Amemiya, "Low-voltage process-compensated VCO with on-chip process monitoring and body-biasing circuit techniques," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer*, vol. E92-A, pp.3079-3081, 2009.
- [91] Ueno, Hirose, Asai, and Amemiya, "A 300-nW, 15-ppm/°C, 20-ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 7, pp.2047-2054, 2009.
- [92] Jun Yao, Kosuke Ogata, Hajime Shimada, Shinobu Miwa, Hiroshi Nakashima, and Shinji Tomita, "An Instruction Scheduler for Dynamic ALU Cascading Adoption," *情報処理学会論文誌, コンピューティングシステム*, Vol. 2, No. 2, pp.30-47, 2009年7月.
- [93] D. Atuti, T. Morie, and K. Aihara, "A Current-Sampling-Mode CMOS Arbitrary Chaos Generator Circuit Using Pulse Modulation Approach," *IEICE Trans. Fundamentals*, Vol. E92-A, No. 5, pp.1308-1315, May, 2009.
- [94] H. Tanaka, T. Morie, and K. Aihara, "A CMOS Spiking Neural Network Circuit with Symmetric/Asymmetric STDP Function," *IEICE Trans. Fundamentals*, Vol. E92-A, No. 7, pp.1690-1698, July, 2009.
- [95] M. Nakajima, M. Watanabe, "A four-context optically differential reconfigurable gate array," *IEEE/OSA Journal of Lightwave Technology*, Vol. 27, No. 20, pp.4460-4470, Oct., 2009.
- [96] M. Nakajima, M. Watanabe, "Optical buffering technique under space radiation environment," *Optics Letters*, Vol. 34, Issue 23, pp.3719-3721, Dec., 2009.
- [97] Ayato Tagawa, Hiroki Minami, Masahiro Mitani, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Hideki Tamura, Yumiko Hatanaka, Yasuyuki Ishikawa, Sadao Shiosaka, Jun Ohta, "Multimodal Complementary Metal-Oxide-Semiconductor Sensor device for Imaging of Fluorescence and Electrical Potential in Deep Brain of Mouse", *Jpn. J. Appl. Phys*, 49, 01AG02 (2010)
- [98] Kyosuke Minakawa, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Microfluid Ejection Device Based on Complementary Metal-Oxide-Semiconductor Technology as an Artificial Synapse", *Jpn. J. Appl. Phys*, 49, 01AG03 (2010)
- [99] Kyosuke Minakawa, Hirofumi Yamada, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Microchamber Device Equipped with Complementary Metal Oxide Semiconductor Optical Polarization Analyzer Chip for Micro Total Analysis System", *Jpn. J. Appl. Phys*, 48, 04C192 (2009)
- [100] Takashi Tokuda, Hirofumi Yamada, Kiyotaka Sasagawa, and Jun Ohta, "Polarization-Analyzing CMOS Image Sensor with Monolithically Embedded Polarizer for Microchemistry Systems", *IEEE Transactions on Biomedical Circuits and Systems* 3, pp.259-266, (2009)
- [101] T. Tokuda, S. Sato, H. Yamada, K. Sasagawa, J. Ohta, "Polarization-analyzing CMOS photosensor with monolithically embedded wire grid polarizer", *Electron. Lett.* 45, pp.228-230 (2009)
- [102] 徳田 崇, 山田 博文, 笹川 清隆, 太田 淳, "標準 CMOS プロセスを用いた MicroTAS 向け偏光検出イメージセンサ", *電気学会 E 部門論文誌* 129 (2009)
- [103] Ayato Tagawa, Asako Higuchi, Tetsuya Sugiyama, Kiyotaka Sasagawa, Takashi Tokuda, Hideki Tamura, Yumiko Hatanaka, Yasuyuki Ishikawa, Sadao Shiosaka, Jun Ohta, "Development of Complementary Metal Oxide Semiconductor Imaging Devices for Detecting Green Fluorescent Protein in the Deep Brain of a Freely Moving Mouse", 48, 04C195 (2009)
- [104] Sanshiro Shishido, Keiichiro Kagawa, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "A Low-Voltage Complementary Metal Oxide

- Semiconductor Image Sensor Using Pulse-Width-Modulation Scheme for Biomedical Applications", JJAP 48, 04C193 (2009)
- [105] 香川 景一郎, 能勢 悠吾, 安達 雄大, 谷 邦之, 和田 淳, 谷田 純, 布下 正宏, 太田 淳, "アクティブ・パッシブ方式画素読出しの併用によるCMOSイメージセンサのダイナミックレンジ拡大手法の提案と原理実証", 映像情報メディア学会誌 63, pp.135-147(2009)
- [106] "Novel Front-End Pulse Processing Scheme for PET System Based on Pulse Width Modulation and Pulse Train Method," K.Shimazoe et.al. IEEE TRANSACTION ON NUCLEAR SCIENCE VOL. 57, NO. 2 APRIL 2010
- [107] R. M. T. Damayanthi, N. Iyomoto, H. Takahashi, M. Ohno, Y. Minamigawa, and K. Nishimura, "Development of a Transition Edge Sensor Gamma Ray Microcalorimeter with an Epoxy Coupled Bulk Lead Absorber", AIP CONFERENCE PROCEEDINGS 1185, 207-210, (2009)
- [108] 川名, 吉澤, "高精度予測型スイッチト・キャパシタ増幅回路における同相入力電圧の影響に関する検討", vol. 129, no. 8, pp.1471-1475, 2009年電気学会論文誌C
- [109] K. Shioki, N. Okada, T. Ishihara, T. Hirose, N. Kuroki, M. Numa, "An error diagnosis technique based on location sets to rectify subcircuits," IEICE Trans. on Fundamentals, vol. E92-A, no. 12, pp.3136-3142, Dec. 2009.
- [110] M. Deura, Y. Kondo, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama, "Twin-free InGaAs thin layer on Si by multi-step growth using micro-channel selective-area MOVPE," J. Cryst. Growth, vol. 312, pp.1353-1358, April 2010.
- [111] Yoshiyuki Kondo, Momoko Deura, Yuki Terada, Takuya Hoshii, Mitsuru Takenaka, Shinichi Takagi, Yoshiaki Nakano, Masakazu Sugiyama, "Initial growth of InAs on P-terminated Si (111) surfaces to promote uniform lateral growth of InGaAs micro-discs on patterned Si" Journal of Crystal Growth 312 (2010) 1348-1352
- [112] Takashi Sato, Hiroyuki Ueyama, Noriaki Nakayama, and Kazuya Masu, "Accurate array-based measurement for subthreshold-current of MOS transistors", IEEE Journal of Solid-State Circuits, vol. 44, no. 11, pp.2977-2986, November, 2009.
- [113] Takeshi Ito, Kenichi Okada, and Kazuya Masu, "Characterization of On-Chip Multiport Inductors for Small-Area RF Circuits," IEEE Transactions on Circuits and Systems I, vol. 56, no. 8, pp.1590-1597, Aug. 2009.
- [114] Kazuya Masu, Noboru Ishihara, Noriaki Nakayama, Takashi Sato, Shuhei Amakawa, "Physical design challenges to nano-CMOS circuits", IEICE Electronics Express (ELEX), vol. 6 no. 11 (2009), pp.703-720.
- [115] Shiho Hagiwara, Takashi Sato, and Kazuya Masu, "Analytical Estimation of Path-Delay Variation for Multi-Threshold CMOS Circuits", IEICE Transactions on Fundamentals of Electronics, vol. E92-A, no. 4, pp.1031-1038, April 2009.
- [116] Takumi Uezono, Takashi Sato, and Kazuya Masu, "One-Shot Voltage-Measurement Circuit Utilizing Process Variation", IEICE Transactions on Fundamentals of Electronics, vol. E92-A, no. 4, pp.1024-1030, April 2009.
- [117] K. Eguchi, I.Oota, S. Terada, and T. Inoue, "A design method of switched-capacitor power converters by employing a ring-type power converter," International Journal of Innovative Computing, Information and Control, vol. 5, no. 10, pp.2927-2938, (2009).
- [118] Masaya Yamaguchi, Akiyoshi Shimada, Keiichi Torimitsu and Nobuhiko Nakano,"Multi-channel bio sensing and stimulation LSI chip using 0.18 μ m complementary metal-oxide-semiconductor process", JJAP 2010 (accepted for publication)
- [119] 菅原健, 本間尚文, 佐藤証, 青木孝文, "ハッシュ関数 Whirlpool の高スケーラブル回路アーキテクチャ," 情報処理学会論文誌, Vol. 50, No. 11, pp.2618-2632, November 2009.
- [120] A. Satoh, T. Sugawara, N. Homma, and T. Aoki, "High-Performance Hardware Architectures for Galois Counter Mode," IEEE Transactions on Computers, Vol. 58, No. 7, pp.917-930, July 2009.
- [121] T. Onomi, T. Kondo, and K. Nakajima, "Implementation of High-Speed Single Flux-Quantum Up/Down Counter for the Neural Computation Using Stochastic Logic", vol. 19, no. 3, pp.626-629, IEEE Transactions on Applied Superconductivity (2009)
- [122] K. Maezawa, T. Sakamoto, K. Kasahara, M.

- Mori, "Possibility of Terahertz Amplification by Active Transmission Lines Loaded with Resonant Tunneling Diode Pairs," *Jpn. J. Appl. Phys.* 48 (2009) 124503.
- [123] K. Maezawa, N. Kamegai, S. Kishimoto, T. Mizutani, and K. Akamats, "Improved Bias Stability of the Resonant Tunneling Diode Pair Oscillators Integrated on an AlN Ceramic Substrate," *Jpn. J. Appl. Phys.* 48 (2009) 04C084.
- [124] A. Ohchi, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "Floorplan-aware high-level synthesis for generalized distributed-register architectures," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E92-A, no. 12, pp.3169-3179, Dec. 2009.
- [125] R. Nara, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "A Scan-Based Attack Based on Discriminators for AES Cryptosystems," *IEICE Trans. Fundamentals*, vol. E92-A, no. 12, pp.3229-3237, Dec. 2009.
- [126] Xiaonan Shi, Shingo Yoshizawa, Yoshikazu Miyana, "Approaching Performance and Implementation Capacity of Quasi-Cyclic Low Density Parity Check Codes with IEEE802.11n Based MIMO-OFDM System," *RISP Journal of Signal Processing*, Vol. 13 No. 5, pp.423-431, Sep. 2009.
- [127] 久慈, "アナログ集積回路の故障診断", pp.541-547, *日本信頼性学会誌*(2009.10)
- [128] S. Matsunaga, K. Hiyama, A. Matsumoto, S. Ikeda, H. Hasegawa, K. Miura, J. Hayakawa, T. Endo, H. Ohno and T. Hanyu, "Standby-Power-Free Compact Ternary Content-Addressable Memory Cell Chip Using Magnetic Tunnel Junction Devices", *Applied Physics Express (APEX)*, vol. 2, no. 2, pp.023004-1 ~ 023004-3, 2009
- [129] N. Onizawa, T. Hanyu and V.Gaudet, "High-Throughput Bit-Serial LDPC Decoder LSI Based on Multiple-Valued Asynchronous Interleaving", *J92-C-2*, pp.867-874, *IEICE Trans. Electron.*(2009)
- [130] 鈴木, 夏井, 羽生, "TMR ロジックに基づくルックアップテーブル回路とその瞬時復帰可能FPGAへの応用", *J92-C-7*, pp.233-240, *電子情報通信学会論文誌C* (2009)
- [131] N. Onizawa, T. Hanyu and V. Gaudet, "Design of High-Throughput Fully-Parallel LDPC Decoders Based on Wire Partitioning", *IEEE Trans. on VLSI Systems*, Vol. 18, No. 3, pp.482-489, (2009)
- [132] 廣崎, 松本, 羽生, "TMR デバイスを用いたしきい値変動補償を有する電流モード多値回路の構成", *電子情報通信学会論文誌D*, Vol. J93-D, No. 1, pp.10-19 (2010)
- [133] S. Matsunaga, M. Natsui, K. Hiyama, T. Endoh, H. Ohno and T. Hanyu, "Fine-Grained Power-Gating Scheme of a Metal/Oxide/Semiconductor and Magnetic-Tunnel-Junction-Hybrid Bit-Serial Ternary Content-Addressable Memory", *Japanese Journal of Applied Physics (JJAP)*, Vol. 49 (2010)
- [134] Y. Okamoto, H. Jin, K. Yaguchi, Y. Yamanashi, and N. Yoshikawa, "Access Time Measurement of 64-kb Josephson-CMOS Hybrid Memories using SFQ Time-to-Digital Converter," *IEICE Electron. Express*, vol. 7, 2010, pp.320-325.
- [135] H. Park, Y. Yamanashi, N. Yoshikawa, M. Tanaka and A. Fujimaki, "Design of fast digit-serial adders using SFQ logic circuits," *IEICE Electron. Express*, vol. 6, 2009, pp.1408-1413.
- [136] H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Ito, A. Fujimaki, N. Takagi, K. Takagi, S. Nagasawa, "Design and Implementation of SFQ Half-Precision Floating-Point Adders", *IEEE Trans. Appl. Superconductivity*, vol. 19, 2009, pp.634-639.
- [137] Yasuo Arai and Toshinobu Miyoshi, "Silicon-on-insulator technology enables next-generation radiation image sensors," 5 August 2009, *SPIE Newsroom*.
- [138] Y. Ohira, A. Chekhovskiy, T. Yamanoi, T. Endo, H. Fujita, and H. Toshiyoshi, "Hybrid MEMS optical scanner for volumetric 3-D displays," pp.419-422, *Journal of SID*, 2009, 05, Vol. 17, No. 5
- [139] Hideyuki F. Arata and Hiroyuki Fujita, "Minuturized thermocontrol devices enable analysis of biomolecular behavior on their timescales, second to millisecond," pp.363-370, *Integrative Biology*, 2009, 06, Vol. 1, No. 5-6
- [140] 大平康隆, 藤田博之, 年吉 洋, "MEMS技術による画像描画用光スキャナの小型化," pp.34-37, *日本機械学会誌*, 2009, 07, Vol. 112, No. 1088
- [141] Kazuhiro Takahashi, Makoto Mita, Hiroyuki

- Fujita and Hiroshi Toshiyoshi, "Switched-Layer Design for SOI Bulk Micromachined XYZ Stage Using Stiction Bar for Interlayer Electrical Connection," pp.818-827, IEEE Journal of Microelectromechanical Systems, 2009, 08, Vol. 18, No. 14
- [142] Yuheon Yi, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A micromachined voltage controlled oscillator using the pull-in mechanism of electrostatic actuation," pp.1266-1271, IEICE Electronics Express, 2009, 09, Vol. 6, No. 17
- [143] L. Jalabert, C. Bottier, M. Kumemura and H. Fujita, "Embedded vertical nanosheets of SiO₂ in PDMS using an alternative nanopatterning process", pp.3055-3058, The Journal of Vacuum Science and Technology B, 2009, 11, Vol. 27, No. 6
- [144] L. Jalabert, M. Kumemura, C. Bottier, H. Fujita, "Nanoscale surface engineering of PDMS by embedding vertical SiO₂ nanosheets," doi:10.1016/j.mee.2009.11.138, Microelectronic Engineering, 2009, 11,
- [145] D. Dubuc, K. Grenier, H. Toshiyoshi, H. Fujita, "Plastic-based microfabrication of artificial dielectric for miniaturized microwave integrated circuits," pp.165-173, Metamaterials, 2009, 11, Vol. 3
- [146] S. Hage-Ali, N. Tiercelin, P. Coquet, R. Sauleau, H. Fujita, V. Preobrazhensky, P. Pernod, "A Millimeter-Wave Microstrip Antenna Array on Ultra Flexible Micromachined Polydimethylsiloxane (PDMS) Polymer," pp.1306-1309, IEEE Antennas and Wireless Propagation letters, 2009, 12, vol. 8
- [147] K. Grenier, D. Dubuc, P-E. Poleni, M. Kumemura, H. Toshiyoshi, T. Fujii, H. Fujita, "Integrated Broadband Microwave and Microfluidic Sensor dedicated to Bioengineering," pp.3246-3253, IEEE Trans. on Microwave Theory and Techniques, 2009, 12, Vol. 57, No. 12
- [148] Hideyuki F. Arata, Frederic Gillot, Dominique Collarda, Hiroyuki Fujita, "Millisecond analysis of double stranded DNA with fluorescent intercalator by micro-thermocontrol-device," pp.963-966, Talanta, 2009, 05, Vol. 79, Issue 3
- [149] H. J. Mattausch, N. Sadachika, A. Yumisaki, S. Izumi, A. Kaya, W. Imafuku, K. Johguchi, T. Koide and M. M. Mattausch, "Correlating microscopic and macroscopic variation with surface-potential compact model," IEEE Electron Device Letters, pp.873-875, 2009.
- [150] K. Okazaki, K. Awane, N. Nagaoka, T. Sugahara, T. Koide, and H. J. Mattausch, "Low-Power silicon-area-efficient image segmentation based on a pixel-block scanning architecture," Japanese Journal of Applied Physics (JJAP), Vol. 48, No. 04C078, 2009.
- [151] 菅野, 須山, 鈴木 "MIMO-OFDMにおける PAPR 抑圧技術による電力付加効率の改善", 電気情報通信学会
- [152] M. Saito, Y. Sugimori, Y. Kohara, Y. Yoshida, N. Miura, H. Ishikuro, T. Sakurai, T. Kuroda, "2 Gb/s 15 pJ/b/chip Inductive-Coupling Programmable Bus for NAND Flash Memory Stacking," IEEE Journal of Solid-State Circuits, Vol. 45, No. 1, pp.134-141, Jan. 2010.
- [153] G.-S. Kim, M. Takamiya, and T. Sakurai, "A 25-mV-Sensitivity 2-Gb/s Optimum-Logic-Threshold Capacitive-Coupling Receiver for Wireless Wafer Probing Systems," IEEE Transactions on Circuits and Systems-II Express Briefs, Vol. 56, No. 9, pp.709-713, Sep. 2009.
- [154] Sanghoon Hwang, Hyunsik Im, Minkyu Song, Koichi Ishida, Toshiro Hiramoto, and Takayasu Sakurai, "Velocity Saturation Effects in a Short Channel Si-MOSFET and its Small Signal Characteristics," Journal of the Korean Physical Society, Vol. 55, No. 2, pp.581-584, Aug. 2009.
- [155] T. Sekitani, K. Zaitzu, Y. Noguchi, K. Ishibe, M. Takamiya, T. Sakurai, and T. Someya, "Printed Nonvolatile Memory for a Sheet-Type Communication System", IEEE Transactions on Electron Devices, Vol. 56, No. 5, pp.1027-1035, May 2009.
- [156] Y. Nakamura, M. Takamiya, and T. Sakurai, "An On-Chip Noise Canceller with High Voltage Supply Lines for Nanosecond-Range Power Supply Noise," IEICE Transaction on Electronics, E92-C, No. 4, pp.468-472, April 2009.
- [157] K. Kasuga, Y. Yuan, N. Miura and T. Kuroda, "Electromagnetic Interference and Susceptibility in Inductive-Coupling Link," JSAP Solid State Devices and Materials (SSDM), Dig. Tech.Papers, pp.62-63, Oct. 2009.

- [158] Hongbo Zhu and Tadashi Shibata, "A Digital-Pixel-Sensor-Based Global Feature Extraction Processor for Real-Time Object Recognition," Japanese Journal of Applied Physics, VOL. 48, NO. 4, pp.04C080-1-7, 2009.
- [159] Norihiro Takahashi, Kazuhide Fujita, and Tadashi Shibata, "A pixel-parallel self-similitude processing for multiple-resolution edge-filtering analog image sensors," IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, VOL. 56, NO. 11, PP. 2384-2392, 2009.
- [160] Tadashi Shibata, "Computing based on the physics of nano devices-A beyond-CMOS approach to human-like intelligent systems," Solid-State Electronics 53, pp.1227-1241, 2009
- [161] 清水 亮, 佐伯勝敏, 関根好文, "時系列パターンを保持可能なSTDPを有するパルス形ハードウェアニューラルネットワーク", 電気学会論文誌C, Vol. 129, No. 7, pp.1198-1204, 2009.7.
- [162] N. Sasaki, K. Kimoto, W. Moriyama, and T. Kikkawa, "A Single-Chip Ultra-Wideband Receiver with Silicon Integrated Antennas for Inter-Chip Wireless Interconnection," IEEE Journal of Solid-State Circuits, Vol. 44, No. 2, February 2009, pp.382-393.
- [163] M. Kamiyanagi, F. Iga, S. Ikeda, K. Miura, J. Hayakawa, H. Hasegawa, T. Hanyu, H. Ohno, T. Endoh; "Transient characteristic of fabricated Magnetic Tunnel Junction (MTJ) programmed with CMOS circuit", IEICE Transactions on Electronics, Vol. E93-C, No. 5, In Press
- [164] 室山, 卷幡, 松崎, 山田, 山口, 中山, 野々村, 田中, 江刺, "割込み型触覚センサシステムのためのLSI設計," IEEJ Trans. SM, Vol. 129, No. 12, pp.450-460, (2009)
- [165] 関直臣, Lei Zhao, 小島悠, 池淵大輔, 長谷川揚平, 大久保直昭, 武田清大, 香嶋俊裕, 白井利明, 宇佐美公良, 砂田徹也, 金井遵, 並木美太郎, 近藤正章, 中村宏, 天野英晴, "MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価", 電子情報通信学会技術研究報告, 2010
- [166] 西村隆, 平井啓一郎, 齊藤貴樹, 中村拓郎, 堤聡, 長谷川揚平, 天野英晴, "動的リコンフィギュラブルデバイスにおける電力分析と低電力化手法の検討", pp.1763-1771, 2009年電子情報通信学会論文誌
- [167] Lei Zhao, Xu Hui, Naomi Seki, Yoshiki Saito, Yohei Hasegawa, Kimiyoshi Usami, Hideharu Amano, "Cache Controller Design with Run-Time Power Gating", pp.127-132, 2008年情報処理学会研究報告 計算機アーキテクチャ研究会報告
- [168] 枚田 優人, 松谷 宏紀, 鯉渕 道紘, 天野 英晴, "パイプラインステージ統合による省電力・可変パイプラインルータに関する研究," 2009年ACS論文誌 Vol. 2 No. 3
- [169] 谷川一哉, 梅田賢一, 弘中哲夫, "ビットシリアル演算を導入した再構成型プロセッサにおける再構成部の性能評価," 電子情報通信学会論文誌 D Vol. J92-D No. 12 pp.2089-2104, 2009.
- [170] 木村 遥介, 松本 佳宣, "標準CMOSプロセスによる可視光ID用フォトダリントン", 電気学会論文誌 E, 129巻12号, pp.473-474(2009).
- [171] Zhangcai Huang, Atsushi Kurokawa, Masanori Hashimoto, Takashi Sato, Minglu Jiang, Yasuaki Inoue, "Modeling the Overshooting Effect for CMOS Inverter Delay Analysis in Nanometer Technologies," IEEE Trans. on CAD of Integrated Circuits and Systems Vol. 29, No. 2, pp.250-260 Feb. 2010.
- [172] Zhangcai Huang, Minglu Jiang, and Yasuaki Inoue, "A Highly Linear and Wide Input Range Four-quadrant CMOS Analog Multiplier Using Active Feedback," IEICE Transactions on Electronics, vol.E92-C, no. 6, pp.806-814, Jun. 2009.
- [173] Minglu Jiang, Zhangcai Huang, Atsushi Kurokawa, Shuai Fang and Yasuaki Inoue, "Accurate Method for Calculating the Effective Capacitance with RC Loads Based on the Thevenin Model," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E92-A, No. 10, pp.2531-2539, Oct. 2009.
- [174] 木村, 横山, 増澤, "2次元集積化磁気センサのフレームレート向上に関する研究", pp.416-418, 映像情報メディア学会誌(2010).
- [175] Arifin Tamsir Putra, Akio Nishida, Shiro Kamohara, Takaaki Tsunomura, and Toshiro Hiramoto, "Consideration of Random Dopant Fluctuation Models for Accurate Prediction of Threshold Voltage Variation of Metal-Oxide-Semiconductor Field-Effect Transistors in 45nm Technology and Beyond", Japanese Journal of Applied Physics, Vol. 48, No. 4, 044502, April,

- 2009.
- [176] YeonJoo Jeong, Kousuke Miyaji, Takuya Saraya, and Toshiro Hiramoto, "Silicon nanowire n-type metal-oxide-semiconductor field-effect-transistors and single-electron transistors at room temperature under uniaxial tensile strain", *Journal of Applied Physics*, Vol. 105, No. 8, April, 2009.
- [177] Arifin Tamsir Putra, Takaaki Tsunomura, Akio Nishida, Shiro Kamohara, Kiyoshi Takeuchi, and Toshiro Hiramoto, "Impact of Oxide Thickness Fluctuation and Local Gate Depletion on Threshold Voltage Variation in Metal-Oxide-Semiconductor Field-Effect-Transistors", *Japanese Journal of Applied Physics*, Vol. 48, No. 6, 064504, June, 2009.
- [178] Jiezhong Chen, Takura Saraya, and Toshiro Hiramoto, "Experimental Investigations of Electron Mobility in Silicon Nanowire nMOS-FETs on (110) Silicon-on-Insulator", *IEEE Electron Devices Letters*, vol. 30, No. 11, pp.1203-1205, November, 2009.
- [179] Y. Shuto, R. Nakane, W. H. Wang, H. Sukegawa, S. Yamamoto, M. Tanaka, K. Inomata, and S. Sugahara, "A New Spin-Functional Metal-Oxide-Semiconductor Field-Effect Transistor Based on Magnetic Tunnel Junction Technology Pseudo-Spin-MOSFET", *Appl. Phys. Express*, Vol. 3, No. 1, pp.013003/1-3 (2009).
- [180] Koji Kotani, Atsushi Sasaki, and Takashi Ito, "High-Efficiency Differential-Drive CMOS Rectifier for UHF RFIDs," *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 11, pp.3011-3018, November 2009.
- [181] T. Ishikawa, T. Kunimasa, N. Sasaki, Y. Murakami, T. Yoshida and K. Tsuga, "A simple wireless intra-oral thermometry", *The Institute of Electrical Engineers of Japan Trans. Sensors and Micromachines*, pp.6-10, Vol. 130(2010)
- [182] T. Shioda, Y. Tomita, M. Sugiyama, Y. Shimogaki, and Y. Nakano, "Selective Area Metal-Organic Vapor Phase Epitaxy of Nitride Semiconductors for Multi-Color Emission," *IEEE J. Selected Topics in Quantum Electronics*, 15, 1053-1065 (2009).
- [183] T. Shioda, M. Sugiyama, Y. Shimogaki, and Y. Nakano, "Selective area metal-organic vapor phase epitaxy of InN, GaN and InGaN covering whole composition range," *J. Crystal Growth*, 311, 2809-2812 (2009).
- [184] Y. Tomita, T. Shioda, M. Sugiyama, Y. Shimogaki, and Y. Nakano, "Role of vapor-phase diffusion in selective-area MOVPE of InGaN/GaN MQWs," *J. Crystal Growth*, 311, 2813-2816 (2009).
- [185] Y. Wang, H. Song, M. Sugiyama, Y. Nakano, and Y. Shimogaki, "Kinetic Analysis of InAsP by Metalorganic Vapor Phase Epitaxy Selective Area Growth Technique", *Jpn. J. Appl. Phys.*, 48, 041102 (2009).

2. 国際会議

- [1] Miki D., Suzuki Y., and Kasagi N., "Effect of Nonlinear External Circuit on Electrostatic Force of Micro Electret Generator," 15th Int. Conf. Solid-state Sensors, Actuators, and Microsystems (Transducers' 09), Denver, 2009.6.21-25, pp.636-639.
- [2] Wu T., Suzuki Y., and Kasagi N., "Design and Microfabrication of High Performance Super-Lyophobic Surfaces," 13th Int. Conf. Miniaturized Systems for Chemistry and Life Sciences (MicroTAS 2009), Jeju, Nov. 1-5, 2009, pp.773-775.
- [3] Inokuchi H., Suzuki Y., and Kasagi N., "Micro Magnetic Cell Sorting System with a Function of Continuous Labeling and Separation," 13th Int. Conf. Miniaturized Systems for Chemistry and Life Sciences (MicroTAS 2009), Jeju, Nov. 1-5, 2009, pp.1877-1879.
- [4] Kirikae D., Suzuki Y., and Kasagi N., "Emission Spectral Control Using Metal-coated Silicon Microcavity for Thermophotovoltaic," The 9th International Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2009), Washington DC, USA, Dec. 1-4, 2009, pp.161-164.
- [5] Miki D., Honzumi M., Suzuki Y., and Kasagi N., "MEMS Electret Generator with Electrostatic Levitation," The 9th International Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2009), Washington DC, USA, Dec. 1-4, 2009, pp.169-172.

- [6] Miki D., Honzumi M., Suzuki Y., and Kasagi N., "Large-Amplitude MEMS Electret Generator with Nonlinear Spring," Proc. 23rd IEEE Int. Conf. MEMS, Hong Kong, China, January 24-28, 2010, pp.176-179.
- [7] Honzumi M., Ueno A., Hagiwara K., Suzuki Y., Tajima T., and Kasagi N., "Soft-X-Ray-Charged Vertical Electrets and Its Application to Electrostatic Transducers," Proc. 23rd IEEE Int. Conf. MEMS, Hong Kong, China, January 24-28, 2010, pp.635-638.
- [8] Wu T., Suzuki Y., Kasagi N., and Kashiwagi K., "Oil Droplet Manipulation Using Liquid Dielectrophoresis on Electret with Superlyophobic Surfaces," Proc. 23rd IEEE Int. Conf. MEMS, Hong Kong, China, January 24-28, 2010, pp.1055-1058.
- [9] Kirikae D., Suzuki Y., and Kasagi N., "Selective-emitter-enhanced Micro Thermophotovoltaic Power Generation System," Proc. 23rd IEEE Int. Conf. MEMS, Hong Kong, China, January 24-28, 2010, pp.1195-1198.
- [10] K. Ishida, N. Masunaga, R. Takahashi, T. Sekitani, S. Shino, U. Zschieschang, H. Klauk, M. Takamiya, T. Someya, and T. Sakurai, "User Customizable Logic Paper (UCLP) with Organic Sea-of Transmission-Gates (SOTG) Architecture and Ink-Jet Printed Interconnects," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp.138-139, Feb. 2010.
- [11] T. Yasufuku, K. Ishida, S. Miyamoto, H. Nakai, M. Takamiya, T. Sakurai, and K. Takeuchi, "Effect of Resistance of TSV's on Performance of Boost Converter for Low Power 3D SSD with NAND Flash Memories," IEEE International Conference on 3D System Integration (3D IC), San Francisco, USA, Sep. 2009.
- [12] T. Yasufuku, K. Ishida, S. Miyamoto, H. Nakai, M. Takamiya, T. Sakurai, and K. Takeuchi, "Inductor Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories," International Symposium on Low Power Electronics and Design (ISLPED), San Francisco, USA, pp.87-91, Aug. 2009.
- [13] L. Liu, T. Sakurai, and M. Takamiya, "A 1.28mW 100Mb/s Impulse UWB Receiver with Charge-Domain Correlator and Embedded Sliding Scheme for Data Synchronization," IEEE Symposium on VLSI Circuits, Kyoto, pp.146-147, June 2009.
- [14] Kenya Jin'no, Yoshihiko Horio, Ryosuke Domaie, Kazuyuki Aihara, "Novel multi-hysteresis VCCS multi-scroll chaotic oscillators," pp.134-137, IEEE NDES (2009)
- [15] Kenya Jin'no, Yoshihiko Horio, Ryosuke Domaie, Kazuyuki Aihara, "A multi-hysteresis VCCS and its application to multi-scroll chaotic oscillators," pp.2850-2853, IEEE ISCAS (2009)
- [16] Toru Sai, Yasuhiro Sugimoto, "A Method for Realizing a Fast Response Time for the Output Current Change of a MOS Current-mode Buck DC-DC Converter Which Utilizes a Quadratic and Vin-Dependent Compensation Slope," IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.337-340, November 2009.
- [17] Toru Sai, Yasuhiro Sugimoto, "A 14-bit MOS DAC with Current Sources free from Power-Line Voltage Drop and with Output Circuits free from Code-dependent Variable Time Constant," IEEE European Conference on Circuit Theory and Design (ECCTD), pp.49-52, August 2009.
- [18] Toru Sai, Yasuhiro Sugimoto, "Design of a 1-V Operational Passive Sigma-Delta Modulator," IEEE European Conference on Circuit Theory and Design (ECCTD), pp.751-754, August 2009
- [19] Kim, S. H., Yamamoto, T., Fourmy, D., and Fujii, T. "Trapping escherichia coli cells in electroactive microwell array", Proceedings of the 5th international Conference on Microtechnologies in Medicine and Biology (MMB2009), Quebec, Canada (2009), pp.122-123.
- [20] Kim, S. H., Yamamoto, T., Rondelez, Y., Fourmy, D., and Fujii, T. "Electro-active microwell array for trapping and lysing single", Proceedings of MicroTAS 2009 conference, Jeju, Korea, Vol. 2 (2009), pp.1811-1813
- [21] Kim, S. H., Yoshizawa, S., Takeuchi, S., Fourmy, D., and Fujii, T. "Protein synthesis from single DNA molecules trapped in microchambers", Watching Biomolecules in Action (WBMA'09), Osaka, Japan, (2009), pp.108-109.
- [22] S. Bushnaq, T. Nakura, M. Ikeda, and K. Asada, "All Digital Baseband 50 Mbps Data Recovery Using 5x Oversampling With 0.9

- Data Unit Interval Clock Jitter Tolerance," IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), p.206-209, April, 2009.
- [23] K. Asada, T. Sogabe, T. Nakura, and M. Ikeda, "Measurement of Power Supply Noise Tolerance of Self-Timed Processor," IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), p.128-131, April, 2009.
- [24] T. Nakura, S. Mandai, M. Ikeda, and K. Asada, "Time Difference Amplifier Using Closed-Loop Gain Control," JSAP/IEEE Symposium on VLSI Circuits, sess.20-2, pp.208-209, June 2009.
- [25] S. Mandai, T. Nakura, M. Ikeda, and K. Asada, "Ultra High Speed 3-D Image Sensor", International Image Sensor Workshop (IISW), June 2009.
- [26] B. Devlin, M.G. Jeong, T. Nakura, M. Ikeda, and K. Asada, "647 MHz, 0.642pJ/block/cycle 65nm self synchronous FPGA," IEEE European Solid-State Circuits Conference (ESSCIRC), pp.156-159, Sep. 2009.
- [27] T. Nakura, M. Ikeda, and K. Asada, "Ring Oscillator Based Random Number Generator Utilizing Wake-Up Time Uncertainty," IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.121-124, Nov. 2009.
- [28] T. Iizuka, D. Nakamura, H. Yoshida, S. Komatsu, M. Sasaki, M. Ikeda, and K. Asada, "An SoC Platform with On-Chip Web Interface for In-Field Monitoring," International SoC Design Conference (ISOCC), pp.208-211, Nov. 2009.
- [29] S. Mandai, T. Nakura, M. Ikeda, and K. Asada, "Cascaded Time Difference Amplifier using Differential Logic Delay Cell", in Proceedings of International SoC Design Conference (ISOCC), pp.194-197, Nov. 2009.
- [30] B. Devlin, T. Nakura, M. Ikeda, and K. Asada, "Throughput optimization by pipeline alignment of a Self Synchronous FPGA," IEEE International Conference on Field-Programmable Technology (ICFPT), pp.312-315, Dec. 2009.
- [31] S. Mandai, T. Nakura, M. Ikeda, and K. Asada, "Cascaded Time Difference Amplifier using Differential Logic Delay Cell," in Proceedings of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC), pp.355-356, Jan. 2010.
- [32] S. Bushnaq, T. Nakura, M. Ikeda, and K. Asada, "All Digital Wireless Transceiver Using Modified BPSK and 2/3 Sub-sampling Technique". IEEE Application Specific Integrated Circuits Conference ASICON, p.469-472, Oct. 2009.
- [33] S. Mandai, M. Ikeda, and K. Asada, "A 256 × 256 14k Range Maps/s 3-D Range-Finding Image Sensor Using Row-Parallel Embedded Binary Search Tree and Address Encoder," IEEE International Solid-State Circuits Conference (ISSCC), Dig. Of Tech. Papers, pp.404-405, Feb. 2010.
- [34] Kazuhiro Yoshimura, Takashi Nakada, Yasuhiko Nakashima, Toshiaki Kitamura "An Energy Efficient SMT Processor with Heterogeneous Instruction Set Architectures", IASTED Int'l Conf. on Parallel and Distributed Computing and Networks, (2010)
- [35] Munehisa Agari, Takashi Nakada, Yasuhiko Nakashima "A Linear Array VLIW Processor for Image Processing", IEEE Symposium on Low-Power and High-Speed Chips 2009 (poster), p.153, Apr. (2009)
- [36] Hiroshi Hatano, "Single event effects on CVSL and CMOS exclusive-OR (EX-OR) circuits", Proc. of 10th European Conference on Radiation Effects on Components and Systems, PBI, pp.1-5, 2009.
- [37] I. Sakagami, W. Xiaolong, K. Takahashi and S. Okamura, "Re-considerations on a two-way Wilkinson power divider with different loads and power ratio," Proc. 2009 IEEE Inter. Conf. on Antennas, Propagation and Systems, 101, Dec. 2009..
- [38] Takahiro MATSUMOTO, Yu SUWAKI, Shinya MATSUFUJI, "Experimental Evaluation of Parallel Transmission Using Optical ZCZ-CDMA System," Proc. of the Fourth International Workshop on Signal Design and Its Applications in Communications (IWSDA09), pp.118-121 (2009).
- [39] Takahiro MATSUMOTO, Yu SUWAKI, Shinya MATSUFUJI, "Indoor Experiment of BER Performance of Optical CDMA System Using Optical ZCZ Code," Proc. of the



12th International Conference on Advanced Communication Technology (ICACT2010), pp.890-893 (2010).

- [40] Takahiro MATSUMOTO, Shinya MATSUFUJI, "Compact Bank of Matched Filters for Optical ZCZ Codes Using Fast Algorithm for M-sequence Type Hadamard Matrix, " Proc. of the 2010 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP'10), (2010).
- [41] N. Kanda, K. Konishi, M. Kuwata-Gonokami, "Active Control of Terahertz Optical Activity by Photo-Excitation of Metal Chiral Gratings", CLEO/IQEC 2009 The Conference on Lasers and Electro-Optics and the International Quantum Electronics Conference, Baltimore, USA (4, June 2009)
- [42] M. Kuwata-Gonokami, "Optical activity in metal and dielectric planar chiral gratings", SPIE Optics+Photonics 2009, San Diego, (5, Aug. 2009) (invited)
- [43] N. Kanda, K. Konishi, M. Kuwata-Gonokami, "Dynamics of Light-induced Three-dimensional Chirality", International Symposium on Quantum Nanophotonics and Nanoelectronics Komaba research campus, The Univ. of Tokyo, (19, Nov., 2009) (poster)
- [44] H. Myoren, S. Iino, T. Taino, "On-Chip SFQ Flux-Locked Loop Circuits for Digital DROS Sensors", O7, Superconducting SFQ VLSI Workshop (2009).
- [45] Y. Suzukawa, T. Taino, H. Myoren, "Propagation Property of Sub-Micron-Wide Superconducting Microstrip Lines for SFQ Circuits", P2, Superconducting SFQ VLSI Workshop (2009).
- [46] H. Myoren, Y. Suzukawa, M. Miyamoto, T. Taino, "Interconnect Wires for SFQ VLSIs", pp.36-37, Superconducting SFQ VLSI Workshop Proceedings, (2010).
- [47] H. Myoren, H. Yamamoto, N. Kashiwazaki, Y. Matsui, T. Taino, G.P.Pepe, "Optical Interface for SFQ LSI using NbN/NiCu Parallel Nanowire Photo Switches", EUCAS2009 (2009).
- [48] A. Kitagawa, K. Nakayama "Phase Change Nonvolatile SRAM and Register", pp.33-36, The 21th Symposium on Phase Change Optical Information Sotrage PCOS 2009
- [49] Toshinori Otaka, Takumi Hiraga and Takayuki Hamamoto, "Current-mode Frame Subtraction Circuit for On-sensor Object Tracking", Proc. of IEEE International Symposium On Intelligent Signal Processing and Communication Systems, WA2-C-2, 4pages (2009)
- [50] Hiroki Sato, Sho Ogura, Tadaaki Hosaka, Akira Kubota, Ryutaro Oi, Kazuya Kodama and Takayuki Hamamoto, "Arbitrary Viewpoint Image Synthesis for Real-time Processing System Using Multiple Image Sensors", Proc. of Int. conf. on Virtual Reality Continuum and its Applications in Industry, pp.233-238 (2009)
- [51] "Signature-Based Testing for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links," Mohamed Abbas, Kwang-Ting Cheng, Yasuo Furukawa, Satoshi Komatsu, and Kunihiro Asada, IEEE European Test Symposium 2009 (ETS2009), pp.107-112, 2009.
- [52] "GA-Based Test Generation for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links," Mohamed Abbas, Tim Cheng, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, IEEE East-West Design & Test International Symposium 2009 (EWDTS2009), pp.287-292, 2009.
- [53] "Signature-Based Testing for Adaptive Digitally-Calibrated Pipelined Analog-to-Digital Converters," Mohamed Abbas, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, IEEE International Conference on ASIC (ASICON 2009), 2009.
- [54] "An Automatic Test Generation Framework for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links," Mohamed Abbas, Tim Cheng, Yasuo Furukawa, Satoshi Komatsu and Kunihiro Asada, Design, Automation & Test in Europe 2010 (DATE 2010), pp.1755-1760, 2010.
- [55] K. Katoh, T. Tanabe, H.M. Zahidul, K. Namba and H. Ito, "A Delay Measurement Technique Using Signature Registers," Proc. 18th Asian Test Symp., pp.161-166, Nov., 2009.
- [56] Koji Takeda, Mitsuru Takenaka, Takuo Tanemura, Masaru Zaitzu, and Yoshiaki Nakano, "Single-Chip All-Optical Packet Processor Based on All-Optical Flip-Flop Monolithically Integrated with MZI-SOA Switch," 2010 Optical Fiber Communication

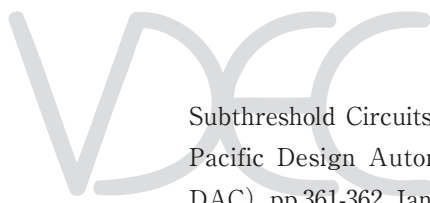
- Conference and Exposition (2010OFC), OThS2, San Diego, CA, USA, March 2010.
- [57] Koji Takeda, Mitsuru Takenaka, Takuo Tanemura, Masaru Zaitzu, and Yoshiaki Nakano, "Wide Wavelength Operation of All-Optical Flip-Flop Using Mach-Zehnder Interferometer Bistable Laser Diode", The 22nd Annual Meeting of the IEEE Photonics Society, Paper WV5, Belek-Antalya, Turkey, Oct. 7, 2009.
- [58] Koji Takeda, Mitsuru Takenaka, Takuo Tanemura, and Yoshiaki Nakano, "All-Optical Flip-Flop Based on Mach-Zehnder Interferometer Bistable Laser Diode," ECOC2009, Austria
- [59] Takumi Okuhira and Tohru Ishihara, "Unification of Multiple Gated Flip-Flops for Saving the Power Consumption of Register Circuits", 2010 International Conference on Embedded Systems and Intelligent Technology, Vol. 1, pp.115, Feb. 2010.
- [60] Koh Johguchi, Akihiro Kaya, Shinya Izumi, Hans J 将 砥 gen Mattausch, Tetsushi Koide, Norio Sadachika,. ね Within-Die/Wafer Variation Analysis of Basic CMOS Cirtuits Based on Surface-Potential-Model HiSIM2,. ノ Proc. 2009 International Conference on Solid State Devices and Materials (SSDM2009), Oct. 2009.
- [61] W. Imafuku, S. Sakakibara, A. Kawabata, T. Ansari, H. J. Mattausch and T. Koide, . ね Associative-memory-based prototype LSI with recognition and on-line learning capability and its application to handwritten characters,. ノ submitted to 2009 International Symposium on Intelligent Signal Processing And Communication Systems (ISPACS2009) to appear on Dec. 2009 (accepted on Sep. 16 2009).
- [62] A. Eguchi, K. Kishida, T. Kambe, M. Saituji, "An Application Specific Circuits Design for a LVCSR System," The proceeding of ECCTD09.
- [63] A.Eguchi, J.Hashimoto, M.Saituji, A.Yamada, T.Kambe; "A Hardware Design for the First Pass of A Large Vocabulary Continuous Speech Recognition System," The proceeding of 15th SASIMI, pp.230-235,2009.
- [64] K. Inoue, H. Noori, F. Mehdipour, T. Hanada, and K. Murakami, "ALU-Array based Reconfigurable Accelerator for Energy Efficient Executions," International SOC Design Conference (ISOCC'09), Nov. 2009
- [65] Y.Maeda, J.Akita, A CMOS Image Sensor with Pseudorandom Pixel Placement for Clear Imaging, Proceedings of 2009 International Symposium on Intelligent Signal Processing and Communication Systems (ISPCACS200), in CD-ROM, TP1-C-5, 2009.12.
- [66] Takiguchi, Saruwatari, Morito, Ishida, Minami, and M. Morikawa, "A Novel Wireless Wake-up Mechanism for Energy-efficient Ubiquitous Networks", In Proceedings of the 1st International Workshop on Green Communications (GreenComm'09) (2009).
- [67] Islam, Tsuchiya, Kobayashi, Onodera, "Process-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variability", TAU Workshop 2010 (2010/03)
- [68] Tsuchiya, Onodera, "On-Chip Metamaterial Transmission-Line Based on Stacked Split-Ring Resonator for Millimeter-Wave LSIs", Asia-Pacific Microwave Conference 2009 (2009/12)
- [69] Tsuchiya, Onodera, "Effect of Dummy Fills on Characteristics of Passive Devices in CMOS Millimeter-Wave Circuits", pp.296-299, Proceedings 2009 8th IEEE International Conference on ASIC (2009/10)
- [70] Onodera, Terada, "Characterization of WID Delay Variability Using RO-array Test Structures", pp.658-661, Proceedings 2009 8th IEEE International Conference on ASIC (2009/10)
- [71] Zhang, Zhang, Tsuchiya, Hashimoto, Cheng, "On-Chip High Performance Signaling using Passive Compensation", pp.182-187, Proceedings of IEEE International Conference on Computer Design (2009/10)
- [72] Onodera, Terada, "Characterization of WID Delay Variability Using RO-array Test Structures", pp.15-19, 3rd IEEE International Workshop on Design for Manufacturability & Yield (2009/07)
- [73] Onodera, "Dependable VLSI Platform Using Robust Fabrics", International Workshop on Emerging Circuits and Systems (2009/07)
- [74] Tsuchiya, Onodera, "Effect of Underlayer Dummy Fills on On-Chip Transmission Line",

- [75] Tsuyoshi Iwagaki and Mineo Kaneko, "A pseudo-boolean technique for generating compact transition tests with all-output-propagation properties," Proc. IEEE International Symposium on Electronic Design, Test and Applications (DELTA 2010), pp.293-296, Jan. 2010.
- [76] M. Yamashita, C. Otani, S. Kim, H. Murakami, M. Tonouchi, T. Matsumoto, Y. Midoh, K. Miura, K. Nakamae and K. Nikawa, . ㊦ Development of an LTEM prototype system for LSI failure analysis,. ㊧ in Proc. 34rd International Conference on Infrared, Millimeter and Terahertz Waves (IRMMWTHz), Seoul, Korea, T2D01.0155 (26.27 Sep. 2009).
- [77] K. Nikawa, M. Yamashita, C. Otani, M. Tonouchi, H. Murakami, S. Kim, K. Nakamae, K. Miura, Y. Midoh, T. Matsumoto, Y. Aoki, T. Nagaishi, S. Inoue, and T. Sakai, . ㊦ Novel electrical failure analysis tools for LSI chips non-bias and non-signal-application,. ㊧ in Proc. Japan-Taiwan Microelectronics International Symposium, Tokyo, Japan (Oct. 2009).
- [78] M. Yamashita, C. Otani, S. Kim, H. Murakami, M. Tonouchi, T. Matsumoto, Y. Midoh, K. Miura, K. Nakamae, and K. Nikawa, . ㊦ Laser terahertz emission microscope for inspecting interconnect defects in semiconductor devices,. ㊧ in Proc. 20th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF2009), Arcachon, France (5.9 Oct. 2009).
- [79] M. Yamashita, C. Otani, S. Kim, H. Murakami, M. Tonouchi, T. Matsumoto, Y. Midoh, K. Miura, K. Nakamae, and K. Nikawa, . ㊦ Development of an LTEM prototype system for LSI failure analysis,. ㊧ in Extended Abstracts of 2nd International Workshop on Terahertz Technology (TeraTech 09), Osaka, Japan, pp.261.262 (30 Nov.. 3 Dec. 2009) .
- [80] Y. Midoh, T. Terasaka, and K. Nakamae, . ㊦ Evaluation of maskless electron-beam direct writing with double character projection apertures,. ㊧ in Proc. SPIE Alternative Lithographic Technologies II, San Jose, USA, vol. 7637, 7637-12 (21.25 Feb. 2010).
- [81] K. Takeda, M. Takenaka, T. Tanemura, M. Zaitzu, and Y. Nakano, "Single-chip all-optical packet processor based on all-optical flip-flop monolithically integrated with MZI-SOA switch," Optical Fiber Communication Conference (OFC. ㊦10), OThS2, San Diego, March 2010.
- [82] M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, Y. Urabe, H. Ishii, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi, " Novel low damage and low temperature direct wafer bonding processes using buried oxide protection layers for fabricating III-V-on-insulator on Si structures," 2nd International IEEE Workshop on Low Temperature Bonding for 3D Integration, 2010.
- [83] K. Morii, T. Iwasaki, R. Nakane, M. Takenaka, and S. Takagi, "High performance GeO₂/Ge nMOSFETs with source/drain junctions formed by gas phase doping," International Electron Devices Meeting (IEDM. ㊦09), 29.3, Baltimore, December 2009.
- [84] K. Takeda, M. Takenaka, T. Tanemura, M. Zaitzu, and Y. Nakano, "Wide wavelength operation of all-optical flip-flop using Mach-Zehnder interferometer bistable laser diode," Annual Meeting of the IEEE Lasers and Electro-Optics Society (LEOS. ㊦09), WV5, Belek-Antalya, Turkey, October 2009.
- [85] M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "In situ monitoring of the initial nucleation for the formation of uniform InGaAs micro-discs on Si," Euro-CVD, 2524, Vienna, October 2009.
- [86] M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Twin-free InGaAs thin layer on Si by multi-step micro-channel selective-area MOVPE," OMVPE Workshop, Lake Geneva, August 2009.
- [87] Y. Kondo, M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama, " Initial growth of InAs on P-terminated Si(111) surface to promote uniform lateral growth of InGaAs micro-discs on patterned Si," OMVPE Workshop, Lake Geneva, August 2009.
- [88] S. Dissanayake, S. Sugahara, M. Takenaka, and S. Takagi, "High Performance (110)-oriented GOI pMOSFETs Fabricated by

- Ge Condensation Technique," International Conference on Solid State Devices and Materials (SSDM. ㄨ09), A-1-4, Sendai, October 2009.
- [89] K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, . ㄨ All-optical flip-flop based on Mach-Zehnder interferometer bistable laser Diode,. ㄨ European Conference on Optical Communication (ECOC. ㄨ09), 1.2.5, Wien, September 2009.
- [90] K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, . ㄨ Design and fabrication of Mach-Zehnder interferometer bistable laser diode all-optical flip-flop,. ㄨ Photonics in Switching (PS. ㄨ09), WeI2-4, Pisa, September 2009.
- [91] S.H. Kim, S. Nakagawa, T. Haimoto, R. Nakane, M. Takenaka, and S. Takagi, " Metal source/drain inversion-mode InP MOSFETs," Device Research Conference (DRC. ㄨ09), III-31, State College, June 2009.
- [92] M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi, "High Mobility metal S/D III-V-On-Insulator MOSFETs on a Si substrate using direct wafer bonding," VLSI Symposium., 12B-3, Kyoto, June 2009.
- [93] Y. Zhao, H. Matsumoto, T. Sato, S. Koyama, M. Takenaka and S. Takagi, "Comprehensive understanding of surface roughness limited mobility in unstrained- and strained-Si MOSFETs by novel characterization scheme of Si/SiO₂ interface roughness," VLSI Symposium., 2A-3, Kyoto, June 2009.
- [94] M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama, "Uniform InGaAs micro-discs on Si by micro-channel selective-area MOVPE," Indium Phosphide and Related Materials (IPRM. ㄨ09), MA2-2, Newport beach, May 2009.
- [95] S. Takagi, M. Sugiyama, T. Yasuda, and M. Takenaka, "Ge/III-V channel engineering for future CMOS," 1st International Symposium on Graphene and Emerging Materials for Post-CMOS Applications, 215 th Meeting of The Electrochemical Society, San Francisco, May 2009 (invited).
- [96] S. Takagi, N. Taoka, and M. Takenaka, "Interfacial control and electrical properties of Ge MOS structures," 10th International Symposium on Silicon Nitride, Silicon Dioxide, and Alternate Emerging Dielectrics, 215 th Meeting of The Electrochemical Society, pp.67-85, San Francisco, May 2009 (invited).
- [97] S. Aikawa, R. Xiang, E. Einarsson, J. Shiomi, E. Nishikawa, S. Maruyama "Patterned Growth of SWNTs for Facile Fabrication of Field Effect Transistor Device" The 6th Korea-Japan Symposium on Carbon Nanotube (Ginowan, Okinawa), Poster.
- [98] S. Aikawa, R. Xiang, E. Einarsson, J. Shiomi, E. Nishikawa, S. Maruyama "Precisely Localized As-grown Single-Walled Carbon Nanotubes for Facile Fabrication of a Field Effect Transistor Device" NT09 Tenth International Conference on the Science and Application of Nanotubes (Beijing, China), Poster.
- [99] Nobuaki Okada, Michitaka Kameyama, "Multiple-Valued Reconfigurable VLSI Processor Based on Superposition of Data and Control Signals", in Proc. IEEE International Symposium on Multiple-Valued Logic (ISMVL), pp.54-59, 2009.
- [100] Nobuaki Okada, Michitaka Kameyama, "Design of a Fine-Grain Reconfigurable VLSI Based on Logic-In-Control Architecture", in Proc International SoC Design Conference (ISOCC), pp.278-281, 2009.
- [101] Shota Ishihara, Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama, "An Asynchronous Field-Programmable VLSI Using LEDR/4-Phase-Dual-Rail Protocol Converters", in Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA), pp.145-150, 2009.
- [102] Shota Ishihara, Zhengfan Xia, Masanori Hariyama, Michitaka Kameyama, "Architecture of a Low-Power FPGA Based on Self-Adaptive Voltage Control", in Proc. International SoC Design Conference (ISOCC), pp.274-277, 2009.
- [103] Shota Ishihara, Noriaki Idobata, Masanori Hariyama, Michitaka Kameyama, "A Fine-Grain SIMD Architecture Based on Flexible Ferroelectric-Capacitor Logic", in Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms

- (ERSA), pp.271-274, 2009.
- [104] . ね Trench width dependence of photoluminescence intensity from individual suspended carbon nanotubes. ノ, S. Moritsubo, T. Murai, T. Shimada, Y. Murakami, S. Chiashi, S. Maruyama, Y. K. Kato, March Meeting of the American Physical Society, Portland, Oregon (March 2010).
- [105] . ね Growth and photoluminescence of carbon nanotubes laying on silicon substrates. ノ, P. Loptien, S. Moritsubo, T. Murai, Y. K. Kato, Spring Meeting of the German Physical Society, Regensburg, Germany (March 2010).
- [106] Shimai, Tani, Noguchi, Kawaguchi, Yoshimoto, . . ね FPGA implementation of mixed integer quadratic programming solver for mobile robot control,. ノ Proc. of ICFPT (IEEE), pp.447-450, Dec. 2009
- [107] M. Shintani, T. Uezono, T. Takahashi, H. Ueyama, T. Sato, K. Hatayama, and T. A. K. Masu, "An adaptive test for parametric faults based on statistical timing information", IEEE Asian Test Symposium (ATS), pp.155-160, September, 2009.
- [108] T. Takahashi, T. Uezono, M. Shintani, K. Masu, and T. Sato, "On-die parameter extraction from path-delay measurements", IEEE Asian solid-state circuit conference (ASSCC), pp.101-104, November, 2009.
- [109] K. Yamanaga, S. Amakawa, T. Sato, and K. Masu, "Two-dimensional moment method for analyzing current distribution of a ceramic capacitor", International Symposium on Electromagnetic Compatibility (EMC Kyoto), pp.575-578, July, 2009.
- [110] S. Hagiwara, K. Yamanaga, R. Takahashi, K. Masu, H. Ochi, and T. Sato, "Linear time calculation of state-dependent power distribution network capacitance", International Symposium on Quality Electrical Design (ISQED), accepted, March, 2010.
- [111] T. Date, S. Hagiwara, K. Masu, and T. Sato, "Robust importance sampling for efficient SRAM yield analysis", International Symposium on Quality Electrical Design (ISQED), accepted, March, 2010.
- [112] Z.E. Rakosi, M. Hiromoto, H. Ochi, Y. Nakamura, "Hot-Swapping Architecture Extension for Mitigation of Permanent Functional Unit Faults", FPL2009, pp.578-581 (2009)
- [113] K. Hattori, H. Tsutsui, H. Ochi, Y. Nakamura, "A High-Throughput Pipelined Architecture for JPEG XR Encoding", ESTIMedia2009, pp.9-17 (2009)
- [114] Yoshinao Matsushiba, Hiroaki Nishi, Lightweight Data Duplication for Fault Tolerant Structural Health Monitoring System, 8th IFAC International Conference on Fieldbuses & Networks in Industrial & Embedded Systems FET May 20-22,2009, Hanyang University, Ansan Republic of Korea, pp.255-258
- [115] Akihiro Oda, Tomohisa Nakabe, Hiroaki Nishi, Quality of Connectivity Guarantee of ZigBee based Wireless Mobile Sensor Network, The 7th IEEE International Conference on Industrial Informatics, pp.452-p457, June, 2009
- [116] Gouki Mine, Toshihiko Handa, Tomokazu Tachikawa, Yuji Watanabe, Jun-ichi Ichimura, Hiroaki Nishi, Evaluation of Cooperative Demand Control on Micro grid, IEEE IECON 2009, Porto, Portugal, 2009 pp.3629634, Nov. 2009.
- [117] Airi Akimura., Hiroaki Nishi, Multi-Context-Aware Cache Accelerating Processing on Network. . Processors for Future Internet Traffic, The 12th International Conference on Advanced CommunicationTechnology (ICACT) Phoenix Park, Gangwon-Do, Republic of Korea, Feb. 2010.
- [118] Akihiro Oda, Hiroaki Nishi, Link State Aware Routing for Multiple Mobile Robots in Wireless SensorNetwork, 9th IASTED International Conference on Parallel and Distributed Computing and Networks (PDCN 2010), Innsbruck, Austria, February 16-18,2010
- [119] Yoshinao Matsushiba, Hiroaki Nishi, Effective Data Sharing System for Fault Tolerant Structural HealthMonitoring System, The 11th International Workshop on Advanced Motion Control, Nagaoka, Japan, March 21-24 2010.
- [120] J. Wang, T. Matsuoka, and K. Taniguchi, "A 0.5 V Feedforward Delta-Sigma Modulator with Inverter-Based Integrator," the 35th European Solid-State Circuits Conference, Sep. 14-18, 2009, Athens, pp.328-331.


- [121] Daisuke Ikebuchi, Naomi Seki, Yu Kojima, Masahiro Kamata, Lei Zhao, Hideharu Amano, Toshiaki Shirai, Satoshi Koyama, Tatsunori Hashida, Yusuke Umahashi, Hiroki Masuda, Kimiyoshi Usami, Seidai Takeda, Hiroshi Nakamura, Mitaro Namiki and Masaaki Kondo Geyser-1 A CPU with Fine-grain Power Gating, COOL Chips XII, poster 20 (2009.04)
- [122] Takashi Nakai, Jun Okawa, Shuji Takada, Masaki Shuzo, Junichiro Shiomi, Jean-Jacques Delaunay, Shigeo Maruyama, Ichiro Yamada, . ㊦ Carbon Nanotube Stationary Phase in a Microfabricated Column for High-Performance Gas Chromatography,. ㊦ AIP Conference Proceedings, vol. 1137, pp.249-252, 2009.
- [123] Etsuo Maeda, Sho Mikuriya, Masaki Shuzo, Ichiro Yamada, Jean-Jacques Delaunay, . ㊦ Palladium Sub-wavelength Hole Arrays for Hydrogen Sensing,. ㊦ META'10, International Conference on Metamaterials, Photonic Crystals and Plasmonics, Cairo, Egypt, February 22-25, 2010.
- [124] Takashi Nakai, Shuji Takada, Sho Nishiyama, Masaki Shuzo, Jean-Jacques Delaunay, Ichiro Yamada, ㊦ morphous Parylene Stationary Phase for Microfabricated Gas Chromatography Column, The 13th International Conference on Miniaturized Systems for Chemistry and Life Sciences (AS 2009), Jeju, Korea, November 1-5, 2009.
- [125] Y. Mizugaki, M. Moriya, and T. Kobayashi, "Design and Evaluation of Stripline Inductances in Superconducting Multilayer Integrated Circuits," Superconducting SFQ VLSI Workshop (SSV 2010), Yokohama, Japan, January 13, 2010.
- [126] T. Tanaka, J. Saito, T. Kobayashi, M. Moriya, Y. Mizugaki, and M. Maezawa, "Design and Operation of the Voltage Multiplier Cell with a Stacked-SQUID," Superconducting SFQ VLSI Workshop (SSV 2010), Yokohama, Japan, January 13, 2010.
- [127] Y. Mizugaki, A. Kawai, R. Kashiwa, M. Moriya, and Tadayuki Kobayashi, "Mutual Coupling between Two Superconducting Strip Lines Horizontally-Placed in Niobium Integrated Chips," 9th European Conference on Applied Superconductivity (EUCAS 2009), Dresden, Germany, September 13-17, 2009.
- [128] Y. Mizugaki, A. Kawai, R. Kashiwa, M. Moriya, and T. Kobayashi, "Analytical Calculation for Inductance of Superconducting Stripline," International Superconductive Electronics Conference 2009 (ISEC 2009), Fukuoka, Japan, June 16-19, 2009.
- [129] J. Saito, R. Kashiwa, A. Kawai, T. Tanaka, M. Moriya, T. Kobayashi, Y. Mizugaki, and M. Maezawa, "Design and Operation of 2n-fold Variable SFQ Pulse Number Multiplier," International Superconductive Electronics Conference 2009 (ISEC 2009), Fukuoka, Japan, June 16-19, 2009.
- [130] T. Tanaka, T. Kobayashi, M. Moriya, Y. Mizugaki, and M. Maezawa, "Stacked-SQUID-based Voltage Multiplier Cell Generating Twofold or Fourfold Voltage," International Superconductive Electronics Conference 2009 (ISEC 2009), Fukuoka, Japan, June 16-19, 2009.
- [131] Y. Mizugaki, A. Kawai, R. Kashiwa, M. Moriya, and T. Kobayashi, "Mutual Inductance between Two Strip Lines Sandwiched by Two Ground Planes," Superconducting SFQ VLSI Workshop (SSV 2009), Fukuoka, Japan, June 15-17, 2009.
- [132] Y. Mizugaki, R. Kashiwa, A. Kawai, M. Moriya, and T. Kobayashi, "Magnetic isolation enhanced by the Meissner effect of a superconducting loop in multi-layered Nb integrated circuits," Superconducting SFQ VLSI Workshop (SSV 2009), Fukuoka, Japan, June 15-17, 2009.
- [133] T. Enami, S. Ninomiya, K. Shinkai, S. Abe, and M. Hashimoto, "Statistical Timing Analysis Considering Clock Jitter and Skew due to Power Supply Noise and Process Variation," in Proc. ACM/IEEE International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU) (Mar. 2010, to appear).
- [134] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Adaptive Performance Compensation with In-Situ Timing Error Prediction for Subthreshold Circuits," In Proc. IEEE Custom Integrated Circuits Conference, pp.215-218, Sep. 2009.
- [135] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Adaptive Performance Control with Embedded Timing Error Predictive Sensors for



Subthreshold Circuits," In Proc. Asia and South Pacific Design Automation Conference (ASP-DAC), pp.361-362, Jan. 2010.

- [136] Ryo Harada, Yukio Mitsuyama, Masanori Hashimoto, and Takao Onoye, "Measurement Circuits for Acquiring SET Pulse Width Distribution with Sub-FOI-inverter-delay Resolution," International Symposium on Quality Electronic Design, (to be appeared), March 2010.
- [137] Hiroaki Konoura, Yukio Mitsuyama, Masanori Hashimoto, and Takao Onoye, "Comparative study on delay degrading estimation due to NBTI with circuit / instance / transistor-level stress probability consideration," ISQED, Mar. 2010. to be appeared
- [138] S. Ninomiya, M. Hashimoto, "Enhancement of Grid-Based Spatially-Correlated Variability Modeling for Improving Ssta Accuracy", pp.337-340, Proc. IEEE International SOC Conference (2009).
- [139] K. Hamamoto, M. Hashimoto, Y. Mitsuyama, T. Onoye, "Tuning-Friendly Body Bias Clustering for Compensating Random Variability in Subthreshold Circuits", pp.51-56, Proc. IEEE/ACM International Symposium on Low Power Electronics and Design (2009).
- [140] S. Abe, K. Shinkai, M. Hashimoto, and T. Onoye, > "Clock Skew Reduction by Self-Compensating Manufacturing Variability with On-chip Sensors," > In Proceedings of International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), Mar. 2010.
- [141] O. Hirota, K. Ohhata, M. Honda, S. Akutsu, Y. Doi, K. Harasawa, K. Yamashita, "Experiments of 10 Gbit/sec quantum stream cipher applicable to optical Ethernet and optical satellite link," SPIE 09, 7465-08, Aug. 2009.
- [142] Satoshi Morishita, JunHyong Kim, Frederic Marty, Yifan Li, Anthony J. Walton, and Yoshio Mita, "A Three-Dimensional Silicon Shadowmask for Patterning On Trenches with Vertical Walls", The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '09), June 21-25, Denver, USA, pp.1608-1611 (2009.06)
- [143] Jun-Hyoung Kim, Masanori Kubota, Akio Higo, Hideki Abe, Yoshitaka Oka, and Yoshio Mita, "A Curvature Controlled Flexible Silicon Micro Electrode Array to Wrap Neurons for Signal Analysis", The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '09), June 21-25, Denver, USA, pp.1810-1813 (2009.06).
- [144] Yoshio Mita, Jean-Bernard Pourciel, Masanori Kubota, Akio Higo, Shaojun Ma, Satoshi Morishita, Masakazu Sugiyama, and Takahisa Masuzawa, "An Active Swing Probing Method for High Aspect Ratio Deep Hole Profiler", 20th Workshop on Micromachining, Micromechanics and Microsystems, (MME 2009), September 20-22, Toulouse, France D12 (2009.09).
- [145] Yoshio Mita, Jean-Bernard Pourciel, Masanori Kubota, Agnes Tixier-Mita, Satoshi Morishita, and Takahisa Masuzawa, "A Balanced-SeeSaw MEMS Swing Probe for Vertical Profilometry of Deep Micro Structures", 23rd IEEE International Conference on Microelectronic Test Structures (ICMETS), 22-25 March, Hiroshima, Japan, pp.58-63 (2010.03)
- [146] Yoshio Mita, Jean-Bernard Pourciel, Masanori Kubota, Shaojun Ma, Akio Higo, Agnes Tixier-Mita, Satoshi Morishita, Masakazu Sugiyama, et Takahisa Masuzawa, "La Methode "Swing-Probing" Pour la Profilometrie de Microtrous Tres Profonds", Journee Francophone de la Recherche (ユ・鬢鴉晃譚砲茲靚奮悒鸞鴉權猷E , 14 Novembre 2009, Maison Franco-Japonaise, Tokyo, Japon (2009.11).
- [147] Konishi, Inazu, and Masui, "A Continuous-Time Common-Mode Feedback Circuit for High-Gain Wide-Output-Range Fully Differential OTAs," SSDM, pp.930-931, 2009
- [148] Yuheon Yi, Hiroyuki Fujita and Hiroshi Toshiyoshi, "The dynamic model of electrostatic torsion mirror with pullin consideration for multiphysics behavior anticipation," in Proc. EuroSimE, Delft, The Netherlands, April 27-29, 2009.
- [149] H. Toshiyoshi, "Optical MEMS for Information Technology," in Proc. 15th Int. Conf. on Solid-State Sensors, Actuators & Microsystems (Transducers 2009), Denver, Colorado, USA, June 21-25, 2009, pp.2198-2201 (Invited).
- [150] S. Maruyama, K. Takahashi, H. Fujita and H.

- Toshiyoshi, "A MEMS Digital Mirror Array Integrated with High-Voltage Level-Shifter," in Proc. 15th Int. Conf. on Solid-State Sensors, Actuators & Microsystems (Transducers 2009), Denver, Colorado, USA, June 21-25, 2009, pp.2314-2317.
- [151] A. Higo, K. Takahashi, H. Fujita, Y. Nakano, and H. Toshiyoshi, "A Novel Parylene/Al/Parylene Sandwich Procetion Mask for HF Vapor Release for Micro Electro Mechanical Systems," in Proc. 15th Int. Conf. on Solid-State Sensors, Actuators & Microsystems (Transducers 2009), Denver, Colorado, USA, June 21-25, 2009, pp.196-199.
- [152] T. Takahashi, S. Maruyama, M. Mita, H. Fujita, and H. Toshiyoshi, "A Mixed-signal Analysis Tool for MOEMS based on Circuit Simulator," in Proc. IEEE Optical MEMS and Nanophotonics 2009, Clearwater Beach, Florida, USA, 17-20 August 2009, ThB1.
- [153] K. Takahashi, I. W. Jung, A. Higo, Y. Mita, H. Fujita, H. Toshiyoshi, and O. Solgaard, "A CMOS Compatible Low Temperature Process for Photonic Crystal MEMS Scanner," in Proc. IEEE Optical MEMS and Nanophotonics 2009, Clearwater Beach, Florida, USA, 17-20 August 2009, WB4.
- [154] B.Charlot, K.Yamashita, W.Sun, H.Fujita and H.Toshiyoshi, "Si H Bistable nanowire For Memory applications," in Proc. 20th Workshop on Micromachining, Micromechanics and Microsystems (MME09), Toulouse, France, September 20-22, 2009, session D04 (ID 175).
- [155] Daisuke Yamane, Kiyotaka Yamashita, Harunobu Seita, Hiroshi Toshiyoshi, and Shigeo Kawasaki, "A Prototype of Ku-Band Small-Sized LTCC Phase Shifter with RF-MEMS Switches," in Proc. 2009 Thailand-Japan MicroWave (TJMW2009), King Mongkut's University of Technology North Bangkok Bangkok, Thailand, August 20-21, 2009, FR7-5.
- [156] D. Yamane, K. Yamashita, H. Seita, H. Fujita, H. Toshiyoshi, S. Kawasaki, "A Dual-SPDT RF-MEMS Switch on a Small-Sized LTCC Phase Shifter for Ku-band operation," in Proc. 2009 Asia-Pacific Microwave Conference (APMC 2009), Suntec Singapore International Convention & Exhibition Centre, Singapore, Dec. 7-10, 2009, TU3P-29 (#1719).
- [157] D. Dubuc, K. Grenier, H. Fujita, and H. Toshiyoshi, "Micro-fabricated tunable artificial dielectric for reconfigurable microwave circuits," in Proc. 39th European Microwave Conference (EuMC), Rome, Italy, Sept. 20-Oct. 1, 2009, pp.520-523.
- [158] K. Grenier, D. Dubuc, M. Kumemura, H. Toshiyoshi, and H. Fujita, "Contact-less radio-frequencies biosensor for biological parameters analysis," in Proc. 2nd Int. Conf. on Biomedical Electronics and Devices (BIODEVICES 2009), Porto, Portugal, Jan. 14-17, 2009, pp.398-401.
- [159] K. Grenier, D. Dubuc, P.-E. Poleni, M. Kumemura, H. Toshiyoshi, H. Fujii, and H. Toshiyoshi, "New broadband and contact-less RF/microfluidic sensor dedicated to bioengineering," in Proc. IEEE MTT-S Int. Microwave Symp. (MTT), June 7-12, 2009, Boston, USA, pp.1329-1332.
- [160] B. Charlot, K. Yamashita, W. Sun, H. Fujita, and H. Toshiyoshi, "Field emission displacement gauge for microelectromechanical resonators," in Proc. 2009 Symp. on Design, Test Integration & Packaging of MEMS/MOEMS, April 1-3, 2009, Rome, Italy, p.7.
- [161] S. Maruyama, M. Mita, K. Takahashi, T. Takahashi, H. Fujita, and H. Toshiyoshi, "A Mixed-Signal Equivalent Circuit Model for MEMS Digital Mirror," in Proc. 16th Int. Display Workshop (IDW'09), Dec. 9-11, 2009, World Convention Center Summit, Phoenix Seagaia Resort, Miyazaki, Japan, session MEMS5-4.
- [162] D. Yamane, W. Sun, H. Fujita, H. Toshiyoshi, S. Kawasaki, "Development of a Dual-SPDT RF-MEMS Switch for Ku-band" in Proc. IEEE 2010 Radio and Wireless Symposium (RWS2010), New Orleans, LA, USA, Jan. 10-14, 2010, paper ID WE1A-5.
- [163] Kazuhiro Yoshimura, Takashi Nakada, Yasuhiko Nakashima, Toshiaki Kitamura "An Energy Efficient SMT Processor with Heterogeneous Instruction Set Architectures", IASTED Int'l Conf. on Parallel and Distributed Computing and Networks (PDCN2010), pp.201-209, Feb. (2010)
- [164] Munehisa Agari, Takashi Nakada, Yasuhiko Nakashima "A Linear Array VLIW Processor



for Image Processing", IEEE Symposium on Low-Power and High-Speed Chips 2009 (poster), p.153, Apr. (2009)

- [165] Y. Shuto, R. Nakane, H. Sukegawa, S. Yamamoto, M. Tanaka, K. Inomata, and S. Sugahara, "Fabrication and characterization of pseudo-spin-MOSFETs", International Symposium on Silicon Nanodevices in 2030 Prospects by world's leading scientists, Tokyo Institute of Technology, Ookayama, Tokyo, October 13-14, 2009.
- [166] M. Fukase, R. Murakami and T. Sato, "Design and Chip Implementation of an Instruction Scheduling Free Ubiquitous Processor," Proc. of ASP-DAC, pp.375-376 (2010).
- [167] M. Fukase and T. Sato, "Performance Evaluation of an Emerging Stream Cipher Engine," Proc. of APSIPA ASC 2009, (2009).
- [168] M. Fukase, H. Uchiumi, T. Ishihara, Y. Osumi, and T. Sato, "Cipher and Media Possibility of a Ubiquitous Processor," Proc. of ISCIT 2009 (2009).
- [169] M. Fukase and T. Sato, "A Waved Multifunctional Unit on Account of Multimedia Mobile Computing," Proc. of WMSCI 2009, Vol. III, pp.86-89, (2009).
- [170] M. Fukase, Y. Ohsumi, and T. Sato, "Exploring the Optimum Buffer Size of an Emerging Stream Cipher Engine," A Proc. of ECTI-CON 2009, pp.607-610, (2009).
- [171] M. Fukase, A. Yokoyama, and T.Sato, "A Ubiquitous Processor Embedded with Progressive Cipher Pipelines, " Proc. of GLSVLSI'09, pp.381-384, (2009)
- [172] T. Matsuda, T. Maezawa, H. Iwata and T. Ohzone, "A Test Structure for Spectrum Analysis of Hot-Carrier-Induced Photoemission from Scaled MOSFETs under DC and AC Operations," Proc. IEEE Int. Conf. on Microelectronic Test Structures, pp.71- 74, 2009.
- [173] Y. Kayano and H. Inoue, "Transmission and Coupling Characteristics of Transmission Lines in IC Chip",in Proc. Int. Symp. EMC, pp.591-594, Jul. 2009.
- [174] N.kitamura, N.Umakoshi, K.Okazaki, M.Terai, "IR Drop-Driven Algorithm for Standard Cell Placement Considering Timing Windows", pp.29-34, SASIMI2009 (2009).
- [175] Hideki Togashi, Tao Yu, Fumio Horiguchi, "High Speed Low Power CMOS Inverter using Substrate Bias Control", 7th International Symposium on Bioscience and Nanotechnology, Toyo University, p.53 (2009)
- [176] K.Takagi, Y.Ito, M.Tanaka, N. Takagi, "A Method for Layout-Driven Skewed Clock Tree Synthesis for SFQ Circuits," Superconducting SFQ VLSI Workshop (2009).
- [177] S.Takeshima, K.Takagi, M.Tanaka, N.Takagi, "Automated Routing Method for Multi-Layered SFQ Circuits," Superconducting SFQ VLSI Workshop (2009).
- [178] M.Sato, M.Tanaka, K.Takagi, N.Takagi, "Verification Method of Pipeline Processing Behavior of SFQ Circuits," Superconducting SFQ VLSI Workshop (2009).
- [179] Masayuki Miyama, Yoshiki Yunbe, Kouji Togo, Yoshio Matsuda, "A VLSI Architecture for VGA 30 fps Video Segmentation with Affine Motion Model Estimation", Proceeding of International Symposium on Integrated Circuit 2009(2009).
- [180] Kentaro Noda, Yasushi Hashimoto, Yusuke Tanaka, and Isao Shimoyama, "Mems on Robot Applications," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), Colorado, USA, 21-25 June, 2009.
- [181] Tetsuo Kan, Kiyoshi Matsumoto, and Isao Shimoyama, "Nano-Pillar Structure for Sensitivity Enhancement of SPR Sensor," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), T4C.002, Colorado, USA, 21-25 June, 2009.
- [182] Yasushi Hashimoto, Akihito Nakai, Kiyoshi Matsumoto, and Isao Shimoyama, "Single Pulse Proximal Distance Sensor With Thermoacoustic Transmitter," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), T3P.076, Colorado, USA, 21-25 June, 2009.
- [183] Koki Katoh, Yasumasa Ichikawa, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Material Discrimination By Heat Flow Sensing," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), Colorado,

- USA, 21-25 June, 2009.
- [184] Satoshi Komatsu, Nguyen Binh-Khiem, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Peristaltic Micropump Fabricated by Depositing Parylene Directly on Liquid," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), T4F.007, Colorado, USA, 21-25 June, 2009.
- [185] Akira Suzuki, Hidetoshi Takahashi, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Material Discrimination by Heat Flow Sensing," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), Colorado, USA, 21-25 June, 2009.
- [186] K. Suzuki, A. Takei, E. Iwase, K. Matsumoto, and I. Shimoyama, "Self-Aligned Opposite Mirrors for Tilting Field of View Driven by Electrowetting," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), Colorado, USA, 21-25 June, 2009.
- [187] Atsushi Hashimoto, Yusuke Takei, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Adhesion Force Measurement between Silicon And Carbon Nanotubes Synthesized by Chemical Vapor Deposition," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), Colorado, USA, 21-25 June, 2009.
- [188] Ryoh Miyamoto, Nguyen Binh-Khiem, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Ellipsoidal Micro Lens Fabricated by Depositing Parylene Directly on Liquid," The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers2009), T3P.122, Colorado, USA, 21-25 June, 2009.
- [189] Kenta Kuwana, Yun Jung Heo, Kiyoshi Matsumoto, and Isao Shimoyama, "Measurement Method of Cell-surface Receptor Concentration Using Antibody Conjugated Piezoresistive Cantilever," The 13th International Conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS2009), 4B2-2, Jeju, Korea, 1-5 November, 2009.
- [190] Nguyen Binh-Khiem, Kiyoshi Matsumoto, and Isao Shimoyama, "Measurement of Elastic Tension of Parylene Films Deposited on Liquid," The 23rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS2010), WP60, Hong Kong SAR, China, 24-28 January, 2010.
- [191] Hidetoshi Takahashi, Kiyoshi Matsumoto, and Isao Shimoyama, "Measurement of Differential Pressure on A Butterfly Wing," The 23rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS2010), 3B.1, Hong Kong SAR, China, 24-28 January, 2010.
- [192] Koki Katoh, Yasumasa Ichikawa, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Thermal-Based Skin Moisture Device With Contact Pressure Sensor," The 23rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS2010), 10B.5, Hong Kong SAR, China, 24-28 January, 2010.
- [193] Akira Hasegawa, Akihito Nakai, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Measurement of The Impact Stress in A Golf Club Head," The 23rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS2010), WP69, Hong Kong SAR, China, 24-28 January, 2010.
- [194] Uijin Jung, Kenta Kuwana, Hidetoshi Takahashi, Tetsuo Kan, Yusuke Takei, Kentaro Noda, Eiji Iwase, Kiyoshi Matsumoto and Isao Shimoyama, "PHOTO-RESPONSE COMPENSATED PIEZORESISTIVE CANTILEVER FOR USE IN FLUORESCENCE MICROSCOPY," The 23rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS2010), TP68, Hong Kong SAR, China, 24-28 January, 2010.
- [195] Minh Dung Nguyen, Akira Inaba, Akira Suzuki, Hidetoshi Takahashi, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Sound Direction Sensor with An Acoustic Channel," The 23rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS2010), TP85, Hong Kong SAR, China, 24-28 January, 2010.
- [196] Yuichiro Aoyama, Nguyen Binh-Khiem, Kentaro Noda, Yusuke Takei, Tetsuo Kan, Eiji Iwase,

- Kiyoshi Matsumoto, and Isao Shimoyama, "Triaxial Force Measurement Cantilever by Sidewall-Doping with Rapid Thermal Diffusion," The 23rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS2010), MP76, Hong Kong SAR, China, 24-28 January, 2010.
- [197] Asuto Koyama, Tetsuo Kan, Eiji Iwase, Kiyoshi Matsumoto, and Isao Shimoyama, "Force Sensor Based on Metal Nanoparticle," The 23rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS2010), MP28, Hong Kong SAR, China, 24-28 January, 2010.
- [198] "A Reference CMOS Circuit Structure for Evaluation of Dynamic Voltage Variation in Power Delivery Networks," Tetsuro Matsuno, Daisuke Kosaka, Makoto Nagata, Extended Abstracts of the 2009 International Conference on Solid State Devices and Materials (SSDM 2009), #D-7-1, pp.1068-1069, Sep. 2009.
- [199] "An On-Chip Continuous Time Power Supply Noise Monitoring Technique," Yoji Bando, Satoshi Takaya, Makoto Nagata, IEEE Asian Solid-State Circuits Conference 2009 (A-SSCC), #3-4, pp.97-100, Nov. 2009.
- [200] "Evaluation of Environmental Noise Susceptibility of RF Circuits Using Direct Power Injection," Naoya Azuma, Yu Usami, Makoto Nagata, Proceedings of 2009 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT2009), #TH-IF-11, pp.80-83, Nov. 2009.
- [201] "On-Chip In-situ Measurements of V_{th} and AC Gain of Differential Pair Transistors," Yoji Bando, Satoshi Takaya, Toru Ohkawa, Toshiharu Takaramoto, Toshio Yamada, Masaaki Souda, Shigetaka Kumashiro, Makoto Nagata, IEEE Intl. Conference on Micro Test Structures 2010 (ICMTS), #10.4, pp.232-235, Mar. 2010.
- [202] "On-Chip Waveform Capturing Functionality Partitioned for 3D Realization," Yuuki Araga, Yoji Bando, Takushi Hashida, Makoto Nagata, Design, Automation and Test in Europe 2009 (DATE), Friday Workshop on 3D Integration, Apr. 2009.
- [203] Osaki, Hirose, Matsumoto, Kuroki, Numa, "Variation Tolerant Subthreshold Adder Design for Ultra-low Power LSIs," The 35th European Solid-State Circuits Conference, Athens, Greece, Fringe P31, Sep. 2009.
- [204] Matsumoto, Hirose, Osaki, Kuroki, Numa, "Switching-voltage detection and compensation circuits for ultra-low-voltage CMOS inverters," 52nd. IEEE International Midwest Symposium on Circuits and Systems, pp.483-486, Aug. 2009.
- [205] Osaki, Hirose, Matsumoto, Kuroki, Numa, "Delay-compensation techniques for ultra-low-power subthreshold CMOS digital LSIs," 52nd. IEEE International Midwest Symposium on Circuits and Systems, pp.503-506, Aug. 2009.
- [206] Tsugita, Ueno, Hirose, Asai, and Amemiya, "On-chip PVT compensation techniques for low-voltage CMOS digital LSIs," 2009 International Symposium on Circuits and Systems, Taipei, Taiwan (May 24-27, 2009).
- [207] Y. Kawashima, D. Atuti, K. Nakada, M. Okada and T. Morie, Coarse Image Region Segmentation Using Region- and Boundary-based Coupled MRF Models and Their PWM VLSI Implementation, Proc. Int. Joint Conf. on Neural Networks (IJCNN 2009), pp.1559-1565, Atlanta, USA, June 14-19, 2009.
- [208] D. Seto, M. Watanabe, "MEMS dynamic optically reconfigurable gate array usable under a space radiation environment," International Workshop on Applied Reconfigurable Computing, Lecture Notes in Computer Science, March, 2010
- [209] S. Kubota, M. Watanabe, "A lens-less imaging holographic memory writer system for a programmable optically reconfigurable gate array," International Conference on EMERGING TRENDS IN ELECTRONIC AND PHOTONIC DEVICES & SYSTEMS, pp.115-118, Dec., 2009.
- [210] R. Moriwaki, M. Watanabe, "An optical configuration acceleration method using negative logic implementation," International Conference on EMERGING TRENDS IN ELECTRONIC AND PHOTONIC DEVICES & SYSTEMS, pp.565-568, Dec., 2009.
- [211] M. Nakajima, M. Watanabe, "36-context dynamic optically reconfigurable gate array," IEEE International Symposium on System Integration, pp.19-23, Tokyo, Japan, Dec., 2009.
- [212] D. Seto, M. Watanabe, " MEMS inversion/non-

- inversion dynamic optically reconfigurable gate array," IEEE International Symposium on System Integration, pp.24-29, Dec., 2009.
- [213] Y. Ueno, M. Watanabe, "Fiber remote configuration for an optically reconfigurable gate array," International SoC Design Conference, Nov., 2009.
- [214] M. Nakajima, M. Watanabe, "A 36-context optically reconfigurable gate array," International SoC Design Conference, Nov., 2009.
- [215] H. Morita, M. Watanabe, "MEMS Optically Differential Reconfigurable Gate Array," IEEE International Conference on Electron Devices and Solid-State Circuits, Nov., 2009.
- [216] D. Seto, M. Watanabe, "Fault tolerance analysis of MEMS holographic memory for DORGAs," International Symposium on Micro-NanoMechatronics and Human Science, pp.33-37, Nov., 2009.
- [217] A. Ogiwara, Y. Ochi, M. Miyake, M. Watanabe, T. Mabuchi, F. Kobayashi, "Formation of volume holographic memory using liquid-crystal composites for optically reconfigurable gate array," 15th MICROOPTICS CONFERENCE, pp.194-195, Oct., 2009.
- [218] M. Nakajima, M. Watanabe, "A 13.75 ns holographic reconfiguration of an optically differential reconfigurable gate array," International Conference on Intelligent Information Hiding and Multimedia Signal Processing, pp.852- 855, Sep., 2009.
- [219] H. Morita, M. Watanabe, "MEMS Optically Reconfigurable Gate Array," International conference on Field-Programmable Logic and its Applications, pp.511- 515, Aug., 2009.
- [220] S. Kubota, M. Watanabe, "A multi-context programmable optically reconfigurable gate array without a beam splitter," IEEE International Midwest Symposium on Circuits & Systems, pp.971-974, Aug., 2009.
- [221] T. Mabuchi, K. Miyashiro, M. Watanabe, A. Ogiwara, "Fault tolerance of a dynamic optically reconfigurable gate array with a one-time writable volume holographic memory," IEEE International Midwest Symposium on Circuits & Systems, pp.917-920, Aug., 2009.
- [222] M. Nakajima, M. Watanabe, "A sixteen-context dynamic optically reconfigurable gate array," NASA/ESA Conference on Adaptive Hardware and Systems, pp.120-125, July, 2009.
- [223] T. Mabuchi, K. Miyashiro, M. Watanabe, A. Ogiwara, "Defect tolerance of an optically reconfigurable gate array with a one-time writable volume holographic memory," NASA/ESA Conference on Adaptive Hardware and Systems, pp.106-111, July, 2009.
- [224] H. Morita, M. Watanabe, "Alignment compensation method for an optically reconfigurable gate array," International Conference on engineering of reconfigurable systems and algorithms, pp.332-333, July, 2009.
- [225] T. Mabuchi, K. Miyashiro, M. Watanabe, A. Ogiwara, "Optically reconfigurable gate array with a one-time writable holographic memory," International Conference on engineering of reconfigurable systems and algorithms, pp.307-308, July, 2009.
- [226] S. Kubota, M. Watanabe, "A multi-context programmable optically reconfigurable gate array," International Conference on engineering of reconfigurable systems and algorithms, pp.305-306, July, 2009.
- [227] S. Kato, M. Watanabe, "Inversion/non-inversion implementation for an 11,424 gate-count dynamic optically reconfigurable gate array VLSI," International Symposium on Systems, Architectures, Modeling and Simulation, Lecture Notes in Computer Science, Vol. 5657, pp.139-148, July, 2009.
- [228] S. Kubota, M. Watanabe, "A programmable dynamic optically reconfigurable gate array," IEEE Northeast Workshop on Circuits and Systems, pp.323-326, June, 2009.
- [229] M. Nakajima, M. Watanabe, "A sixteen-context optically reconfigurable gate array," IEEE International Conference on Application-specific Systems, Architectures and Processors, pp.227-230, July, 2009.
- [230] M. Nakajima, M. Watanabe, "Fast reconfiguration experiments of an optically differential reconfigurable gate array with 9 configuration contexts," IEEE International Symposium on Circuits and Systems, pp.2013-2016, May, 2009.
- [231] S. Kubota, M. Watanabe, "A nine-context programmable optically reconfigurable gate array with semiconductor lasers," IEEE/ACM

Great Lake Symposium on Very Large Scale Integrated circuits, pp.269-273, May, 2009.

- [232] D. Seto, M. Watanabe, "Dynamic optically reconfigurable gate array with high defect tolerance," IEEE Symposium on Low-Power and High-Speed Chips, p.171, April, 2009.
- [233] S. Kato, M. Watanabe, "Power reduction effect of an inversion/non-inversion dynamic optically reconfigurable gate array," IEEE Symposium on Low-Power and High-Speed Chips, p.172, April, 2009.
- [234] Kyousuke Watanabe, Akira Yasuda, Hajime Ohtani, etc., "A novel beam-forming loud-speaker system using digitally driven speaker system," Audio Engineering Society 127st Convention, Arreys, No. 7950, Oct, 2009.
- [235] Hirotaka Tsuchiya, Naoto Shinkawa, Ashida Hirotaka, "A Boost Class-D Amplifier," IEEJ AVLSIWS2009, pp.11-15, Nov., 2009.
- [236] S. Shishido, Y.Oguro, T.Noda, K.Sasagawa, T.Tokuda, J.Ohta, "CMOS image sensor for recording of intrinsic-optical-signal of the brain", International SoC Design Conference 2009 (2009)
- [237] Ayato Tagawa, Hiroki Minami, Masahiro Mitani, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Development of a Multimodal CMOS Sensor for Brain Function Imaging in the Deep Brain of Mice", The 1st NTCU-NAIST Workshop on Molecular/Nano Science 2009 (2009)
- [238] Ayato Tagawa, "Development of CMOS image sensors for Imaging of Neural Activities in a Mouse Deep Brain", HOPE MEETING 2009 (2009)
- [239] Kyosuke Minakawa, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "A CMOS-Based Chemical Stimulator with Microfluid Ejection Function Toward an Artificial Synaptic Device", IEEE Biomedical Circuits and Systems Conference (2009)
- [240] K. Sasagawa, M. Mitani, T. Noda, T. Tokuda, S. Shiosaka, J. Ohta, "Light Guide Array Structure for Spatial Resolution Improvement of Implantable Image Sensor", SSDM 2009 (2009)
- [241] A. Tagawa, H. Minami, M. Mitani, T. Noda, K. Sasagawa, T. Tokuda, H. Tamura, Y. Hatanaka, Y. Ishikawa, S. Shiosaka, J. Ohta, "A Multimodal CMOS Sensor Device with an On-Chip Mounted LED and Electrodes for Imaging of Fluorescence and Electrical Potential in a Mouse Deep Brain", SSDM 2009 (2009)
- [242] T. Tokuda, Y. Takeuchi, T. Noda, K. Sasagawa, J. Ohta, "CMOS-Based Flexible Multi-Site Retinal Stimulator Toward Retinal Prosthesis Technology", CICC 2009 (2009)
- [243] Takashi Tokuda, CMOS-based implantable bio-electronics- retinal prosthesis and in vivo brain imaging -, Biotronics2009 (2009)
- [244] Takashi Tokuda, Yoichi Takeuchi, Toshihiko Noda, Kiyotaka Sasagawa, Kentaro Nishida, Yoshiyuki Kitaguchi, Takashi Fujikado, Yasuo Tano, Jun Ohta, "Light-Controlled Retinal Stimulation on Rabbit Using CMOS-Based Flexible Multi-Chip Stimulator", EMBC 2009, T200 (2009)
- [245] Jun Ohta, Ayato Tagawa, Hiroki Minami, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yumiko Hatanaka, Hatanaka, Yasuyuki Hatanaka, Hideki Tamura, Sadao Shiosaka, "A Multimodal Sensing Device for Fluorescence Imaging and Electrical Potential Measurement of Neural Activities in a Mouse Deep Brain", EMBC 2009, T119 (2009)
- [246] Jun Ohta, Takashi Tokuda, Kohei Hiyama, Shigeki Sawamura, Kiyotaka, Sasagawa, Kentaro Nishida, Yoshiyuki Kitaguchi, Motohiro Kamei, Takashi Fujikado, Yasuo Tano, "Retinal stimulator embedded with light-sensing function in distributed microchip architecture for subretinal implantation", International Image Sensor Workshop 2009 (2009)
- [247] Takashi Tokuda, Hirofumi Yamada, Hiroya Shimohata, Kiyotaka, Sasagawa, Jun Ohta, "Polarization-analyzing CMOS image sensor with embedded wire-grid polarizers", International Image Sensor Workshop 2009 (2009)
- [248] T. Tokuda, H.Yamada, K. Sasagawa, J. Ohta, "Polarization-Analyzing Image Sensor Based on Standard CMOS Technology", Transducers 2009, M3p.077 (2009)
- [249] Takashi Tokuda, Hirofumi Yamada, Kiyotaka Sasagawa, Jun Ohta, "Polarization-Analyzing CMOS Image Sensor Using Monolithically Embedded Polarizer for Microchemistry

- Systems ", ISCAS 2009 (2009)
- [250] J Ohta, T. Tokuda, K. Hiyama, S. Sawamura, K. Sasagawa, Y. Kitaguchi, K. Nishida, M. Kamei, T. Fujikado, Y. Tano, "An Optically Addressable Retinal Stimulator in Distributed Microchip Architecture", ARVO 2009 (2009)
- [251] Mengshu HUANG, Leona OKAMURA, Yuzhe WANG, Tsutomu YOSHIHARA, "A 1.5V four phase switched polarity charge pump", pp.688-692, Communications, Circuits and Systems, 2009. ICCAS 2009. International Conference on (2009)
- [252] OKAMURA Leona, MORISHITA Fukashi, ARIMOTO Kazutami, Yoshihara Tsutomu, "High efficiency Autonomous Controlled Cascaded LDOs for Green Battery System", The 8th International Conference on ASIC, Oct., 2009
- [253] A New Dynamic Time Over Threshold Method, K. Shimazoe, Nuclear Science Symposium Conference Record (NSS/MIC), 2009 IEEE, 1916-1918
- [254] M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama In Situ monitoring of the initial nucleation for the formation of uniform InGaAs micro-discs on Si, ECS Trans., vol. 25, no. 8, pp.521-524, November 2009.
- [255] M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama Uniform InGaAs Micro-Discs on Si by Micro-Channel Selective-Area MOVPE, 21st IEEE LEOS IPRM, MA2.2, May 2009.
- [256] M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama Twin-free InGaAs thin layer on Si by multi-step micro-channel selective-area MOVPE, 14th US-OMVPE, August 2009.
- [257] M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama In Situ monitoring of the initial nucleation for the formation of uniform InGaAs micro-discs on Si, EuroCVD-17, F3-04290, October 2009.
- [258] M. Kubota, T. Okada, Y. Mita, M. Sugiyama, and Y. Nakano, "A bulk micromachined vertical nano-gap Pirani wide-range pressure test structure for packaged MEMS performance monitoring", IEEE ICMTS 2010, Hiroshima, Japan, Mar. 2010.
- [259] Initial growth of InAs on P-terminated Si (111) surface to promote uniform lateral growth of InGaAs micro-discs on patterned Si Yoshiyuki Kondo, Momoko Deura, Takuya Hoshii, Mitsuru Takenaka, Shinichi Takagi, Yoshiaki Nakano, Masakazu Sugiyama 14th U.S. Biennial Workshop on Organometallic Vapor Phase Epitaxy 2009年 8月 講演番号なし (Abstract book p.13)
- [260] Takayuki Sekiguchi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "An 8.9mW 25Gb/s Inductorless 1 : 4 DEMUX in 90nm CMOS", International SoC Design Conference 2009, pp.404-407, Busan, Korea, Nov 24, 2009.
- [261] Tomoyuki Takahashi, Takumi Uezono, Michihiro Shintani, Kazuya Masu, and Takashi Sato, "On-die parameter extraction from path-delay measurements", 2009 IEEE Asian Solid-State Circuits Conference, pp.101-104, Taipei, Taiwan, Nov 17, 2009.
- [262] Tomoya Nakajima, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "A Scalable Wideband Low-Noise Amplifier Consisting of CMOS Inverter Circuits for Multistandard RF Receivers", 3rd International Conference on Signals, Circuits & Systems (SCS), CE2-04, Djerba, Tunisia, Nov 6, 2009.
- [263] Kazuo Nakano, Shuhei Amakawa, Noboru Ishihara and Kazuya Masu, "RF Signal Generator Based on Time-to-Analog Converter in 0.18um CMOS," International Conference on Solid State Devices and Materials (SSDM), pp.466-467, Sendai, October 8, 2009.
- [264] Takao Oshita, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "Design of On-Chip High Speed Interconnect on CMOS 180nm Technology", International Conference on Solid State Devices and Materials (SSDM), pp.64-65, Sendai, October 7, 2009.
- [265] Yuka Kobayashi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "A low-phase-noise injection-locked differential ring-VCO with half-integral subharmonic locking in 0.18 um CMOS," European Solid-State Circuits Conference (ESSCIRC), pp.440-443, Athens, Greece, September 17, 2009.
- [266] Tomoaki Maekawa, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu, "Design of CMOS

inverter-based output buffers adapting the Cherry-Hooper broadbanding technique", The 19th European Conference on Circuit Theory and Design (ECCTD2009), pp.511-514, Antalya, Turkey, August 25, 2009.

- [267] S. Amakawa, K. Yamanaga, H. Ito, T. Sato, N. Ishihara, and K. Masu, "S-parameter-based modal decomposition of multiconductor transmission lines and its application to de-embedding," International Conference on Microelectronic Test Structures (ICMTS), pp.177-180, Oxnard, California, April 1, 2009.
- [268] M.Oota, S.Terada, K.Eguchi, and I.Oota, Development of switched-capacitor bi-directional DC-AC converter for inductive and capacitive loads, "The 2009 IEEE International Symposium on Industrial Electronics (ISIE'09), pp.1618-1623, (2009).
- [269] M. Yamaguchi T. Iwata A. Shimada, N. Kasai, K. Torimitsu, N. Nakano, "A design of CMOS LSI for multisite stimulation and the measurement with microelectrode array", Neuroscience 2009
- [270] Masaya Yamaguchi, Akiyoshi Shimada, Keiichi Torimitsu and Nobuhiko Nakano, "Multi-channel bio sensing and stimulation LSI chip using 0.18 μm CMOS process", SSDM 2009
- [271] Nobuhiko Nakano, Masaya Yamaguchi, Akiyoshi Shimada, Keiichi Torimitsu, "Multisite stimulation and sensing by custom LSI chip using CMOS technology and microelectrode array", YUCOMAT 2009
- [272] R. Kuribayashi, H. Yotsuyanagi, M. Hashizume, "Test Generation for Open Faults Considering the Effects of Adjacent Lines", 10th IEEE Workshop on RTL and High Level Testing, pp.61-66, (2009)
- [273] Y. Baba, A. Miyamoto, N. Homma, T. Aoki, "Multiple-Valued Constant-Power Adder for Cryptographic Processor," The 39th International Symposium on Multiple Valued Logic (ISMVL2009), pp.239-244, May 2009.
- [274] K.Kasahara, T.Ohe, M.Mori, K.Maezawa, "RF small signal characterization of active transmission lines loaded by InGaAs/AlAs resonant tunneling diodes," International Conference on Solid State Devices and Materials (SSDM2009), Sendai, Japan, Oct. 7-9 (2009).
- [275] K.Maezawa, T.Ohe, K.Kasahara, M.Mori, "A third harmonic oscillator using coupled RTD pair oscillators," Topical Workshop on Heterostructure Microelectronics (TWHM2009), Nagano, Japan, Aug. 26-28 (2009).
- [276] T.Okumura, S.Tsutsumi, M.Nirmal, H.Kaike, A.Fujimaki, K.Maezawa, "Fabrication of HEMT-Implanted Superconductor Circuit with Broadband Interconnects," 2nd Superconducting SFQ VLSI Workshop (SSV 2009), Fukuoka, Japan, Jun. 15-17 (2009).
- [277] K.Maezawa, "Fluidic self-assembly for heterogeneous integration," Japan-Germany Joint Research Workshop on NW-CMOS, Sophia University, Tokyo, Aug. 31 (2009).
- [278] Sung-Wook Jun, Keita Yasutomi, Shinya Itoh, Shoji Kawahito, "Linearized Settling Error Calibration For A Pipeline A/D Converter Using Non-Slewing Amplifiers", Inter-Academia2009, vol. 3, no. 4, pp.204-206 (2009).
- [279] R. Nara, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "Scan-Based Attack against Elliptic Curve Cryptosystems, " IEEE ASP-DAC 2010, pp.407-412, Jan. 2010.
- [280] R. Nara, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "Scan-Based Attack against Elliptic Curve Cryptosystems, " IEEE ASP-DAC 2010, Poster session, Jan. 2010.
- [281] A.M. Gharehbaghi and M. Fujita, "On-Chip Transaction Level Debug Support for System-on-Chips," Proc. of International SoC Design Conference, pp.124-127, Nov. 2009.
- [282] B. Alizadeh and M. Fujita, "Guided Gate-level ATPG for Sequential Circuits using a High-level Test Generation Approach," Proc. of 15th Asia and South Pacific Design Automation Conference, pp.425-430, Jan. 2010.
- [283] Naoki Takayama, Kouta Matsushita, Shogo Ito, Ning Li, Kenichi Okada, and Akira Matsuzawa, "A 60GHz Direct-Conversion Transmitter in 65nm CMOS Technology", IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), pp.363-364, Taipei, Taiwan, Jan. 2010.
- [284] Daisuke Imanishi, JeeYoung Hong, Kenichi Okada, and Akira Matsuzawa, "A 2-6 GHz Fully Integrated Tunable CMOS Power Amplifier for Multi-Standard Transmitters", IEEE/ACM Asia

- South Pacific Design Automation Conference (ASP-DAC), pp.351-352, Taipei, Taiwan, Jan. 2010.
- [285] K. Matsushita, N. Takayama, N. Li, S. Ito, K. Okada, and A. Matsuzawa, "CMOS Device Modeling for Millimeter-Wave Power Amplifiers," *Radio-Frequency Integration Technology*, pp.68-71, Singapore, Singapore, Dec. 2009.
- [286] Naoki Takayama, Kota Matsushita, Shogo Ito, Ning Li, Keigo Bunsen, Kenichi Okada, and Akira Matsuzawa, "A Multi-Line De-Embedding Technique for mm-Wave CMOS Circuits," *IEEE Asia-Pacific Microwave Conference (APMC)*, Singapore, Singapore, Dec. 2009.
- [287] Masaya Miyahara and Akira Matsuzawa, "A Low-Offset Latched Comparator Using Zero-Static Power Dynamic Offset Cancellation Technique," *A-SSCC*, 9-1, pp.233-236, Taiwan, Taipei, Nov. 2009.
- [288] Yusuke Asada, Kei Yoshihara, Tatsuya Urano, Masaya Miyahara, and Akira Matsuzawa, "A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC," *A-SSCC*, 5-3, pp.141-144, Taiwan, Taipei, Nov. 2009.
- [289] Daisuke Imanishi, Kenichi Okada, and Akira Matsuzawa, "A 0.9-3.0 GHz Fully Integrated Tunable CMOS Power Amplifier for Multi-Band Transmitters," *A-SSCC*, 10-1, pp.253-256, Taiwan, Taipei, Nov. 2009.
- [290] T. M. Vo, Y. Kuramochi, M. Miyahara, T. Kurashina and A. Matsuzawa, "A 10-bit, 290fJ/conv. steps, 0.13mm², Zero-Static Power, Self-Timed Capacitance to Digital Converter," *SSDM 2009*, Sendai, Oct. 2009.
- [291] Kenichi Okada, You Nomiya, Rui Murakami, and Akira Matsuzawa, "A 0.114-mW Dual-Conduction Class-C CMOS VCO with 0.2-V Power Supply," *IEEE Symposium on VLSI Circuits*, pp.228-229, Kyoto, June 2009.
- [292] Jaeseong Kim, Shingo Yoshizawa, Yoshikazu Miyanaga, "Design of Variable Wordlength Viterbi Decoder in BICM-OFDM Systems," *IEEE International Symposium on Communications and Information Technologies (ISCIT)*, pp.849-852, Sep. 2009.
- [293] Shingo Yoshizawa, Yoshikazu Miyanaga, "VLSI Implementation of a 4x4 MIMO-OFDM Transceiver with an 80-MHz Channel Bandwidth," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.1743-1746, May 2009.
- [294] Mohd Shamian Zainal, Shingo Yoshizawa, Yoshikazu Miyanaga, "Evaluation of Sub-threshold Digital Circuits for Wireless Communication Systems," *Asia-Pacific Signal and Information Processing Association 2009 Annual Summit and Conference (APSIPA ASC 2009)*, pp.712-715, Oct. 2009.
- [295] N. Onizawa and T. Hanyu, "Robust Multiple-Valued Current-Mode Circuit Components Based on Adaptive Reference-Voltage Control", pp.36-41, *Proc. 39th IEEE International Symposium on Multiple-Valued Logic (2009)*
- [296] T. Matsuura, H. Shirahama, M. Natsui and T. Hanyu, "Timing-Variation-Aware Multiple-Valued Current-Mode Circuit for a Low-Power Pipelined System", pp.60-65, *Proc. 39th IEEE International Symposium on Multiple-Valued Logic (2009)*
- [297] Y. Ohtake, N. Onizawa and T. Hanyu, "High-Performance Asynchronous Intra-Chip Communication Link Based on a Multiple-Valued Current-Mode Single-Track Scheme", pp.1000-1003, *Proc. 2009 IEEE International Symposium on Circuits and Systems (2009)*
- [298] D. Suzuki, M. Natsui, S. Ikeda, H. Hasegawa, K. Miura, J. Hayakawa, T. Endoh, H. Ohno and T. Hanyu, "Fabrication of a Nonvolatile Lookup-Table Circuit Chip Using Magneto/Semiconductor-Hybrid Structure for an Immediate-Power-Up Field Programmable Gate Array", pp.80-81, *IEEE 2009 Symposia on VLSI Circuits, Dig. Tech. Papers (2009)*
- [299] S. Matsunaga, A. Matsumoto, M. Natsui, T. Endoh, H. Ohno, and T. Hanyu, "Fine-Grain Power-Gating Scheme of a CMOS/MTJ-Hybrid Bit-Serial Ternary Content-Addressable Memory," *International Conference on Solid State Devices and Materials (SSDM)*, K-6-6, pp.1382-1383, (2009)
- [300] "Reduction techniques of the back gate effect in the SOI Pixel Detector", R. Ichimiya et al., *Proceedings of Topical Workshop on Electronics for Particle Physics (TWEPP-09)*, Sep. 2009, CERN-2009-006, pp.68-71.

- [301] "New Techniques in SOI Pixel Detector", Y. Arai, 2009 IEEE Nuclear Science Symposium and Medical Imaging Conference, Oct., 2009, Conference Record, N22-2, pp.1161-1164.
- [302] M. Kumemura, S. Yoshizawa, D. Collard, and H. Fujita, Droplet formation and fusion for enzyme activity measurement by Liquid Dielectrophoresis, The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (IEEE Transducers 2009), 2009/06/21-25
- [303] L.Jalabert, T. Ishida, S. Volz, B. Rousset, E. Scheid, H. Fujita, MEMS in TEM Thermal Characterization Of Sub-20nm Nano Junction, The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (IEEE Transducers 2009), 2009/06/21-25
- [304] O. Ducloux, J.W. Park, M. Hammon, and H. Fujita, MEMS Resonators Actuated By TbCo/FeCo Nanostructured Magneto Strictive Multilayers In Liquid Environment, The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (IEEE Transducers 2009), 2009/6/23
- [305] E. Sarajlic, C. Yamahata, M. Cordero, L. Jalabert and H. Fujita, Single Mask 3-Phase Electrostatic Rotary Stepper Micromotor, The 15th International Conference on Solid-State Sensors, Actuators and Microsystems (IEEE Transducers 2009), 2009/06/21-25
- [306] L. Jalabert, C. Bottier, M. Kumemura, H.Fujita, Embedded SiO₂ nanosheets in PDMS using an alternative nanopatterning process, EIPBN 2009, 2009/06/21-25
- [307] Tadashi Ishida, Kuniyuki Kakushima and Hiroyuki Fujita, In-situ TEM observation and electrical measurement of gold nanocontact during tensile test using MEMS opposing tips, 22nd International Vacuum Nanoelectronics Conferenc, 2009/7/21
- [308] L. Jalabert, M. Kumemura, C.Bottier, H. Fujita, Nanoscale surface engineering of PDMS by embedding vertical SiO₂ nanosheets., Int. Conference on Micro and Nano Engineering (MNE 2009) in Ghent (Belgium), 2009/09/28-10/01
- [309] Y.Li, Y.Tomizawa, T.Akiba, G.Hashiguchi, K.Miyake, Y.Ando, M.Sugiyama, H.Fujita, Wear and Friction Characteristics of a Pencil Type Microprobe for SPM Lithography, World Tribology Congress 2009, 2009/9/8
- [310] K.D. Park, N. Takama, T. Fujii, H. Fujita and B.J. Kim, Fabrication of Zigzag-Shaped Nanochannels with Shadow Evaporation of Photoresist Pattern for Study of DNA Molecule Behavior in the Curved Confinement, 13th Int Conf. on Miniaturized Systems for Chemistry and Life Sciences, MicroTas 09, 2009/11/1
- [311] L. Jalabert, M. Kumemura, C.Bottier, H. Fujita, Toward nanoscale functional PDMS by embedding vertical Au/SiO₂/Au nanosheets for wettability enhancement., 22nd International Microprocesses and Nanotechnology Conference (IMNC09), 2009/11/16-19
- [312] L. Jalabert, T. Sato, M.Kumemura, D. Bolsee, C. Hermans, A. BenMoussa, H.Fujita, Embedding Vertical Nanosheets Of Metals Into PDMS With A Reusable Template Engineering, IEEE MEMS 2010, 2010/01/24-28
- [313] K. Grenier, D. Dubuc, P-E. Poleni, M. Kumemura, T. Fujii, H. Toshiyoshi, H. Fujita, Resonant based microwave biosensor for biological cells discrimination, IEEE Radio and Wireless Symposium 2010, 2010/1/13
- [314] D. Dubuc, K. Grenier, H. Fujita, H. Toshiyoshi, Micro-Fabricated Tunable Artificial Dielectric for Reconfigurable Microwave Circuits, IEEE European Microwave Week 2009, 2009/9/30
- [315] Koh Johguchi, Akihiro Kaya, Shinya Izumi, Hans Jrgen Mattausch, Tetsushi Koide, Norio Sadachika,"Within-Die/Wafer Variation Analysis of Basic CMOS Cirtuits Based on Surface-Potential-Model HiSIM2," Proc. 2009 International Conference on Solid State Devices and Materials (SSDM2009), Oct. 2009.
- [316] W. Imafuku, S. Sakakibara, A. Kawabata, T. Ansari, H. J. Mattausch and T. Koide, "Associative-memory-based prototype LSI with recognition and on-line learning capability and its application to handwritten characters," submitted to 2009 International Symposium on Intelligent Signal Processing And Communication Systems (ISPACS2009) to appear on Dec. 2009 (accepted on Sep. 16 2009).
- [317] Makoto Suzuki, Takuya Saraya, Ken Shimizu,


- Takayasu Sakurai, and Toshiro Hiramoto, "Simultaneously improvement of Write and Static Noise Margins in SRAM by Post-Fabrication Self-Convergence Technique," Design, Automation and Test in Europe (DATE), International Congress Centre in Dresden, Dresden, Germany, Workshop "The Fruits of Variability Research in Europe", Mar. 2010.
- [318] M. Daito, Y. Nakata, S. Sasaki, H. Gomyo, H. Kusamitsu, Y. Komoto, K. Iizuka, K. Ikeuchi, G. Kim, M. Takamiya, and T. Sakurai, "Capacitively Coupled Non-Contact Probing Circuits for Membrane-Based Wafer-Level Simultaneous Testing," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp.144-145, Feb. 2010.
- [319] T. Sekitani, T. Yokota, U. Zschieschang, H. Klauk, S. Bauer, K. Takeuchi, M. Takamiya, T. Sakurai, and T. Someya, "Organic Nonvolatile Memory Transistors for Flexible Sensor Arrays," Science, Vol. 326, pp.1516-1519, Dec. 2009.
- [320] Makoto Suzuki, Takuya Saraya, Ken Shimizu, Takayasu Sakurai, and Toshiro Hiramoto, "Improvement of Static Noise Margin in SRAM by Post-Fabrication Self-Convergence Technique," International Semiconductor Device Research Symposium (ISDRS), University of Maryland, College Park, MD, USA, TP7-03, Dec. 2009.
- [321] G.-S. Kim, M. Takamiya, and T. Sakurai, "A Capacitive Coupling Interface with High Sensitivity for Wireless Wafer Testing," IEEE International Conference on 3D System Integration (3D IC), San Francisco, USA, Sep. 2009.
- [322] K. Ikeuchi, K. Sakaida, K. Ishida, T. Sakurai, and M. Takamiya, "Switched Resonant Clocking (SRC) Scheme Enabling Dynamic Frequency Scaling and Low-Speed Test," IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp.33-36, Sep. 2009.
- [323] N. Masunaga, K. Ishida, Z. Zhou, T. Yasufuku, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, "A Flexible EMI Measurement Sheet to Measure Electric and Magnetic Fields Separately with Distributed Antennas and LSI's," IEEE International Symposium on Electromagnetic Compatibility, Austin, USA, pp.156-160, Aug. 2009.
- [324] Makoto Suzuki, Takuya Saraya, Ken Shimizu, Takayasu Sakurai, and Toshiro Hiramoto, "Post-Fabrication Self-Convergence Scheme for Suppressing Variability in SRAM Cells and Logic Transistors," Symposium on VLSI Technology, Rihga Royal Hotel Kyoto, pp.148-149, June 2009.
- [325] T. Sakurai, "(Invited)Next-Generation Power-Aware Integrated Circuit Design," International Meeting for Future of Electron Devices Kansai (IMFEDK), Kansai University Centenary Memorial Hall, Osaka, K-3, pp.18-21, May 2009.
- [326] N. Miura, K. Kasuga, M. Saito, and T. Kuroda, "An 8Tb/s 1pJ/b 0.8mm²/Tb/s QDR Inductive-Coupling Interface Between 65nm CMOS and 0.1um DRAM," IEEE International Solid-State Circuits Conference (ISSCC'10), Dig. Tech. Papers, pp.440-441, Feb. 2010.
- [327] M. Saito, N. Miura, and T. Kuroda, "A 2Gb/s 1.8pJ/b/chip Inductive-Coupling Through-Chip Bus for 128-Die Nand-Flash Memory Stacking," IEEE International Solid-State Circuits Conference (ISSCC'10), Dig. Tech. Papers, pp.440-441, Feb. 2010.
- [328] S. Kawai, H. Ishikuro, and T. Kuroda, "A 2.5Gb/s/ch Inductive-Coupling Transceiver for Non-Contact Memory Card," IEEE International Solid-State Circuits Conference (ISSCC'10), Dig. Tech. Papers, pp.264-265, Feb. 2010.
- [329] M. Saito, K. Kasuga, T. Takeya, N. Miura, and T. Kuroda, "An Extended XY Coil for Noise Reduction in Inductive-coupling Link," IEEE Asian Solid-State Circuits Conference (A-SSCC'09), Proceedings, pp.305-308, Nov. 2009.
- [330] K. Kasuga, M. Saito, T. Takeya, N. Miura, H. Ishikuro and T. Kuroda, "A Wafer Test Method of Inductive-Coupling Link," IEEE Asian solid state circuit conference (A-SSCC'09), pp.301-304, Nov. 2009.
- [331] K. Niitsu, V. Kulkarni, K. Shinmo, H. Ishikuro and T. Kuroda, "A 14GHz AC-Coupled Clock Distribution Using Single LC-VCO and Distributed Phase Interpolators," International Conference on Solid State Devices and Materials, pp.82-83, Oct. 2009.

- [332] M. Saito, Y. Sugimori, Y. Kohama, Y. Yoshida, N. Miura, H. Ishikuro, and T. Kuroda, "47% Power Reduction and 91% Area Reduction in Inductive-Coupling Programmable Bus for NAND Flash Memory Stacking," IEEE Custom Integrated Circuits Conference (CICC'09), Dig. Tech. Papers, pp.449-452, Sep. 2009.
- [333] Y. Kohama, Y. Sugimori, S. Saito, Y. Hasegawa, T. Sano, K. Kasuga, Y. Yoshida, K. Niitsu, N. Miura, H. Amano, and T. Kuroda, "A Scalable 3D Processor by Homogeneous Chip Stacking with Inductive-Coupling Link," IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp.94-95, Jun. 2009.
- [334] Y. Yuan, N. Miura, S. Imai, H. Ochi and T. Kuroda, "Digital Rosetta Stone A Sealed Permanent Memory with Inductive-Coupling Power and Data Link," IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp.26-27, Jun. 2009.
- [335] S. Kawai, H. Ishikuro and T. Kuroda, "A 4.7 Gb/s Inductive Coupling Interposer with Dual Mode Modem," IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp.92-93, Jun. 2009.
- [336] Yudai Fukuoka and Tadashi Shibata, "Block-Matching-Based CMOS Optical Flow Sensor Using Only-Nearest-Neighbor Computation," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp.1485-1488, Taipei, Taiwan, May 24-27, 2009
- [337] Kyunghee kang and Tadashi Shibata, "An on-Chip-Trainable Gaussian-Kernel Analog Support Vector Machine," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp.2661-2664, Taipei, Taiwan, May 24-27, 2009.
- [338] Yuta Okano and Tadashi Shibata, "High-frame-rate dense motion vector field generation processor with simplified best-match searching circuitries," in The Proceedings of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.205-208, Taipei, Taiwan, November 16-18, 2009
- [339] Kazuhide Fujita, Kiyoto Ito and Tadashi Shibata, "A Single-Motion-Vector/Cycle-Generation Optical Flow Processor Employing Directional-Edge Histogram Matching," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp.3022-3025, Taipei, Taiwan, May 24-27, 2009
- [340] Takuki Nakagawa and Tadashi Shibata, "A Real-Time Image Feature Vector Generator Employing Functional Cache Memory for Edge Flags," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp.3026-3029, Taipei, Taiwan, May 24-27, 2009
- [341] Norihiro Takahashi and Tadashi Shibata, "A Non-subtraction Configuration of Self-similitude Architecture for Multiple-Resolution Edge-Filtering CMOS Image Sensor," Proceedings of the 19th International Conference on Artificial Neural Networks (ICANN 2009), vol. 1, pp.391-400, Limassol, Cyprus, September 14-17, 2009
- [342] Yitao Ma and Tadashi Shibata, "A Binary-Tree Hierarchical Multiple-Chip Architecture for Real-Time Large-Scale Learning Processor Systems," in Proceeding of the 2009 international Conference on Solid State Devices and Materials (SSDM2009), P-5-3, pp.454-455., Sendai, Japan, October, 2009.
- [343] Tadashi Shibata, "Bio-Inspired Devices, Circuits and Systems", in the Proceeding of the 35th European Solid-State Circuits Conference (ESSCIRC 2009), pp.8-15, Athens, Greece, 14-18 September, 2009
- [344] Hongbo Zhu and Tadashi Shibata, "A Real-Time Image Recognition System Using a Global Directional-Edge-Feature Extraction VLSI Processor", in the Proceeding of the 35th European Solid-State Circuits Conference (ESSCIRC 2009), pp.248-251, Athens, Greece, 14-18 September, 2009.
- [345] Norihiro Takahashi and Tadashi Shibata, "Current-Mode Multiple-Resolution Edge-Filtering CMOS Image Sensor Employing Self-Similitude Processing," in Extended Abstracts of the 2009 International Conference on Solid State Devices and Materials (SSDM 2009), pp.1066-1067, Sendai, Japan, October 7-9, 2009.
- [346] Tadashi Shibata, "Bio Inspired Architecture in the Nanoscale Integration Era," ECS Transactions, Volume 25, Issue 7, 216th ECS

- Meeting, October 4-October 9, 2009, Vienna, Austria, "ULSI Process Integration 6" Editor (s) C. Claeys, H. Iwai, M. Tao, S. Deleonibus, J. Murota, pp.49-64
- [347] Katsutoshi Saeki, Ryo Shimizu, Yoshifumi Sekine, "A PULSE-TYPE HARDWARE NEURON MODEL WITH STDP FOR BRAIN-LIKE INFORMATION PROCESSING SYSTEM", Proceedings of the Fourth International Association of Science and Technology for Development (IASTED) International Conference on Computational Intelligence, 657-058, pp.176-181, Honolulu, Hawaii, USA, August, 2009.
- [348] Ken Saito, Katsutoshi Saeki, Yoshifumi Sekine, "Synchronization of Coupled Pulse-Type Hardware Neuron Models for CPG Model", Proceedings of International Joint Conference on Neural Networks, pp.2748-2755, Atlanta, Georgia, USA, June, 2009.
- [349] M. Hafiz, N. Sasaki, and T. Kikkawa, "A Novel CMOS 800 Mb/s BPSK Detector for IR-UWB Communication," 2009 Int. Conf. on Solid State Devices and Materials, Sendai, Japan, Oct. 7-9, 2009, pp.66-67.
- [350] A. Azhari, K. Kimoto, N. Sasaki and T. Kikkawa, "A 3.5-4.5 GHz CMOS UWB Receiver Frontend LNA with On-chip Integrated Antenna for Inter-chip Communication," 2009 Int. Conf. on Solid State Devices and Materials, Sendai, Japan, Oct. 7-9, 2009, pp.68-69.
- [351] A. Toya, N. Sasaki, S. Kubota and T. Kikkawa, "31.25 p.Differential Equivalent Time Sampling Circuit Using 65 nm CMOS Technology," 2009 Int. Conf. on Solid State Devices and Materials, Sendai, Japan, Oct. 7-9, 2009, pp.456-457.
- [352] N. Sasaki and T. Kikkawa, "Bit Error Rate Measurement of IR-UWB CMOS Transmitter and Receiver," 2009 Asia-Pacific Microwave Conference, Singapore, Dec. 7-10, 2009, pp.249-252.
- [353] Masashi Kamiyanagi, Tetsuo Endoh, "The Stable Circuit Operation of Current Controlled MCML against Fluctuation of Supplied Voltage", The 2009 International Meeting for future f Electron Devices, Kansai, SC-7, 120-121, Osaka, May 14-15, 2009.
- [354] Masashi Kamiyanagi, Fumitaka Iga, Shoji Ikeda, Katsuya Miura, Jun Hayakawa, Haruhiro Hasegawa, Takahiro Hanyu, Hideo Ohno, Tetsuo Endoh, "Transient characteristic of fabricated Magnetic Tunnel Junction (MTJ) programmed with CMOS circuit", 2009 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, 1A.3, Pusan, Korea, June 24-26 2009.
- [355] A.Shimizu, Y.Nobe, Y.Ishikawa and S.Fukai, "A neuron MOS current mirror with a transimpedance amplifier", ITC-CSCC, A-02-0315, pp.334-337, 2009.
- [356] Kenta Inakagata, Hirokazu Morishita, Yasunori Osana, Naoyuki Fujita, Hideharu Amano, "Modularizing Flux Limiter Functions for a Computational Fluid Dynamics Accelerator on FPGAs", International Conference on Field Programmable Logic and Applications, 2009
- [357] Daisuke Ikebuchi, Naomi Seki, Yu Kojima, Masahiro Kamata, Lei Zhao, Hideharu Amano, Toshiaki Shirai, Satoshi Koyama, Tatsunori Hashida, Yusuke Umahashi, Hiroki Masuda, Kimiyoshi Usami, Seidai Takeda, Hiroshi Nakamura, Mitaro Namiki, Masaaki Kondo, "Geysers-1 A CPU with Fine-grain Power Gating", IEEE Symposium on Low-Power and High-Speed Chips, COOLChips XII, 2009-4
- [358] D.Ikebuchi, N.Seki, Y.Kojima, M.Kamata, L.Zhao, H.Amano, T.Shirai, S.Koyama, T.Hashida, Y.Umahashi, H.Masuda, K.Usami, S.Takeda, H.Nakamura, M.Nam\
- [359] iki, M.Kondo, "Geysers-1 A MIPS R3000 CPU core with Fine Grain Runtime Power Gating", IEEE Asian Solid-State Circuits Conference, 2009-11
- [360] D. Ikebuchi, N. Seki, Y. Kojima, M. Kamata, L. Zhao, H. Amano, T. Shirai, S. Koyama, T. Hashida, Y. Umahashi, H. Masuda, K. Usami, S. Takeda, H. Nakamura, M. Nam\
- [361] iki, M.Kondo, "Geysers-1 A MIPS R3000 CPU core with fine-grained run-time Power Gating", 5th Asia and South Pacific Design Automation Conference, 2010-1
- [362] Lei Zhao, Xu Hui, Naomi Seki, Yoshiki Saito, Yohei Hasegawa, Hideharu Amano, Kimiyoshi Usami, "A Run-Time Power Gating Sleep Control Scheme on Cache Controller", pp.134, 2007年 in Proceedings of IEEE Symposium on

- [363] Y. Saito, T. Shirai, T. Nakamura, T. Nishimura, Y. Hasegawa, S. Tsutsumi, T. Kashima, M. Nakata, S. Takeda, K. Usami, H. Amano, "Leakage Power Reduction for Coarse Grained Dynamically Reconfigurable Processor Array with Fine Grained Power Gating Technique", pp.329-332, 2008 年 in Proceedings of IEEE International Conference on Field Programmable Technology
- [364] Yoshihiro Yasuda, Yoshiki Saito, Kyudong Kim, Tunbunheng Vasutan, Hideharu Amano, "Design and Evaluation of Prototype SMA A Massive ARray of Low-Energy Reconfigurable Processor", pp.159, 2009 年 in Proceedings of IEEE Symposium on Low-Power and High-Speed Chips
- [365] Toru Sano, Yoshiki Saito, Hideharu Amano, "Configuration with Self-Configured Datapath A High Speed Configuration MEthod for Dynamically Reconfigurable Processors", pp.112-118, in Proceedings of the 2009 WORLDCOMP International Conference on Engineering of Reconfigurable Systems and Algorithms
- [366] Yoshiki Saito, Toru Sano, Masaru Kato, Vasutan Tunbunheng, Yoshihiro Yasuda, Hideharu Amano, "A Real Chip Evaluation of MuCCRA-3 A Low Power Dynamically Reconfigurable Processor Array", pp.283-286, 2009 年 in Proceedings of the 2009 WORLDCOMP International Conference on Engineering of Reconfigurable Systems and Algorithms
- [367] Toru Sano, Yoshiki Saito, Masaru Kato, Hideharu Amano, "Fine Grain Partial Reconfiguration for Energy Saving in Dynamically Reconfigurable Processors", pp.530-533, 2009 年 in Proceedings of IEEE 19th International Conference on Field Programmable Logic and Applications
- [368] Masaru Kato, Toru Sano, Toshihiro Yasuda, Yoshiki Saito, Hideharu Amano, "A Study on Interconnection Networks of the Dynaically Reconfigurable Processor Array MuCCRA", pp.415-418, 2009 年 in Proceedings of IEEE International Conference on Filed Programmable Technolog
- [369] Kei'ichiro Hirai, Masaru Kato, Yoshiki Saito Hideharu Amano, "Leakage Power Reduction for Coarse Grained Dynamically Reconfigurable Processor Array Using Dual Vt Cells", pp.104-111, 2009 年 in Proceedings of IEEE International Conference on Filed Programmable Technolog
- [370] Masayuki Kimura, Yoshiki Saito, Toru Sano, Masaru Kato, Vasutan Tunbunheng, Yoshihiro Yasuda, Hideharu Amano, "Low Power Image Processing using MuCCRA-3 A Dynamically Reconfigurable Processor Array", pp.364-367, 2009 年 in Proceedings of IEEE International Conference on Filed Programmable Technology
- [371] Lei Zhao, Xu Hui, Naomi Seki, Yoshiki Saito Yohei Hasegawa, Kimiyoshi Usami, Hideharu Amano, "Cache Controller Design on Ultra Low Leakage Embedded Processors", pp.171-182, 2009 年 in Proceedings of International Conference on Architecture of Computing System
- [372] Yoshiki Saito, Toru Sano, Masaru Kato, Vasutan Tunbunheng, Yoshihiro Yasuda, Masayuki Kimura, Hideharu Amano, "MuCCRA-3 A Low Power Dynamically Reconfigurable Processor Array", pp.18-21, 2010 年 in Proceedings of 15th Asia and South Pacific Design Automation Conference
- [373] L. Zhao, D. Ikebuchi, Y. Saito, M. Kamata, N. Seki, Y. Kojima, H. Amano, S. Koyama, T. Hashida, Y. Umahashi, D. Masuda, K. Usami, T. Sunata, K. Kimura, M. Namiki, S. Takedam N. Nakamura, M. Kondo, "Geysler-1 and Geysler-2 MIPS R3000 CPU Chip with Fine Grained RuntimePower Gating", 2010 年 in Proceedings of IEEE Symposium on Low-Power and High-Speed Chips
- [374] Yuto Hirata, Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano, "Low-Power Variable-Pipeline Router using Pipeline-Stage Integration", 2009 年 COOL Chips XII
- [375] Yu Kojima, Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano "A Low-Power Fault-Tolerant NoC using Error Correction and Detection Codes". the 9th IASTED International Conference on Parallel and Distributed Computing and Networks (PDCN'10), Feb 2010.

- [376] Kazuya Tanigawa, Ken'ichi Umeda, Tetsuo Hironaka, "Comparison of Bit Serial Computation with Bit Parallel Computation for Reconfigurable Processor", In Proceedings of the 6th International Workshop on Applied Reconfigurable Computing (ARC 2010), pages 388-393, March, 2010.
- [377] T. Yoneda, M Imai, H. Saito, A. Matsumoto "Achieving degradation tolerance in a hardware accelerator with parallel functional units", Proc. of Third Workshop on Dependable and Secure Nanocomputing (WDSN 2009), pp.28-33 (2009).
- [378] A.M Asrulnizam, Othman Sidek and Y. Matsumoto "Linearity and heat resisting improvement low-voltage fluidbased inclination sensor by using silica coating process", Proc. of IEEE Sensors Conference 2009, pp.168-172, October 25-28 2009.
- [379] S. konnai and Y. Matsumoto, "Development of CMOS Integrated Optical Receiver with Low Voltage Avalanche Photodiode for Visible Light Communication", Proc. of the 12th International Symposium on Microwave and Optical Technology (ISMOT-2009), pp.1255-1258, December 16-19 2009.
- [380] Y. Matsumoto, "Visible light identification system using high sensitive integrated CMOS photo-transistor array", Proc. of the 12th International Symposium on Microwave and Optical Technology (ISMOT-2009), pp.688-691, December 16-19 2009.
- [381] T. Suzuki, "Development of flexible neural probes and their applications to neuroprostheses", 2nd UK-Japan Workshop on the Brain-Machine Interface (2010)
- [382] T. Suzuki, et al., "Study on brain adaptation using rat-machine fusion systems and multi functional neural electrodes", Proc. of the 3rd International Symposium on Mobiligence, pp.238-241 (2009)
- [383] H. Toda, et al., "Simultaneous recording of visual cortical response by a mesh electrode array and an intracortical microelectrode", Neuroscience2009 (2009)
- [384] T. Suzuki, et al., "Flexible Parylene electrode array for simultaneous recording of ECoG and intracortical signals", Neuroscience2009 (2009)
- [385] H. Watanabe, et al., "3D multi-channel recordings in the sensory cortex of anesthetized rats with combination of parylene ECoG electrode arrays and multi-electrode probes", Neuroscience2009 (2009)
- [386] N. Kotake, et al., "Preliminary development of parylene flexible sensor for glutamate detection", Neuroscience2009 (2009)
- [387] O. Fukayama, et al., "Analyzing transition in correlation between neural signals and locomotion through vehicular BMI RatCar", Neuroscience2009 (2009)
- [388] Zhangcai Huang, Yubo Guo, and Yasuaki Inoue, "A 5.26-nW 0.8-V CMOS Current and Voltage Reference Circuit Without Resistors," 第22回 回路とシステム軽井沢ワークショップ プログラム, 2009年4月.
- [389] M. Yamaguchi, S. Muroga, Y. Endo, M. Suzuki, T. Inagaki and Y. Mitsuzuka, "Ferromagnetic Thin Film Noise Suppressor Integrated to On-Chip Transmission Lines," IEEE TRANSACTIONS ON MAGNETICS (2010)
- [390] S. Muroga, Y. Endo, M. Suzuki, T. Inagaki, Y. Mitsuzuka and M. Yamaguchi, "Evaluation of Ferromagnetic Thin Film Noise Suppressor Applied to On-Chip Transmission Lines," 2009 International Conference on Solid State Devices and Materials (SSDM 2009), F-3-3L (2009)
- [391] M. Yamaguchi, S. Muroga, Y. Endo, M. Suzuki, T. Inagaki and Y. Mitsuzuka, "Ferromagnetic Thin Film Noise Suppressor Integrated to On-Chip Transmission Lines," IEEE International Magnetics Conference 2010, EG-07 (2010)
- [392] W. Kodate, S. Namba, M. Yamaguchi, "Design and Evaluation of LNA for On-Chip RF Integrated Magnetic Probe," Proc. 6th Workshop of Yeungnam University, Tohoku University and University of Electronic Science and Technology of China, P24 (2009)
- [393] S. Dhungana, S. Kobayashi, M. Yamaguchi, "MSL Based Analysis of LCD Panel for a Better Understanding of the Source Bus Line Signal," Proc. 6th Workshop of Yeungnam University, Tohoku University and University of Electronic Science and Technology of China, P25 (2009)
- [394] Toshiro Hiramoto, "Measurements of Mobility and Strain Effects in Silicon Nanowire Transistors", International Nanotechnology



Conference on Communication and Cooperation,
University of California, Los Angeles, CA, USA,
May, 2009.

- [395] Ryota Suzuki, Yeon-Joo Jeong, Takuya Saraya, and Toshiro Hiramoto, "Automatic Characteristics Control of Single-Electron Transistors in Collaboration with CMOS Digital Circuits", Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, pp.157-158, June 14, 2009.
- [396] Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto, "High Hole Mobility in Multiple Silicon Nanowire Gate-All-Around pMOSFETs on (110) SOI", Symposium on VLSI Technology, Rihga Royal Hotel Kyoto, pp.90-91, June 16, 2009.
- [397] A. T. Putra, T. Tsunomura, A. Nishida, S. Kamohara, K. Takeuchi, S. Inaba, K. Terada, and T. Hiramoto, "A New Methodology for Evaluating VT Variability Considering Dopant Depth Profile", Symposium on VLSI Technology, Rihga Royal Hotel Kyoto, pp.116-117, June 16, 2009.
- [398] Makoto Suzuki, Takuya Saraya, Ken Shimizu, Takayasu Sakurai, and Toshiro Hiramoto, "Post-Fabrication Self-Convergence Scheme for Suppressing Variability in SRAM Cells and Logic Transistors", Symposium on VLSI Technology, Rihga Royal Hotel Kyoto, pp.148-149, June 16, 2009.
- [399] Ken Shimizu, Takuya Saraya and Toshiro Hiramoto, "Superior <110>-Directed Mobility to <100>-Directed Mobility in Ultrathin Body (110) nMOSFETs", IEEE International SOI Conference, Crowne Plaza Hotel, Foster City, CA, USA, October 9, 2009.
- [400] Toshiro Hiramoto (Invited), "RT-SET and Variability Issue in SRAM and Logic Transistor", TND Technical Forum, Korea, Lotte Hotel World, Seoul, Korea, November 2, 2009.
- [401] Toshiro Hiramoto, "Characteristic Control of Silicon Single-Electron Transistors Operating at Room Temperature", 9th Japan-Sweden QNANO Workshop, Institute of Industrial Science, University of Tokyo, November 14, 2009.
- [402] Ken Shimizu, Takuya Saraya, and Toshiro Hiramoto, "Direction Dependence of Si (110) Hole Mobility at Strong Quantum Confinement", International Symposium on Quantum Nanophotonic and Nanoelectronics (ISQNN), Institute of Industrial Science, University of Tokyo, p.79, November 19, 2009.
- [403] Toshiro Hiramoto and Jiezhi Chen, "Transport in Gate-All-Around Silicon Nanowire Transistors", 3rd Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications, Stanford University, CA, USA, December 4, 2009.
- [404] Ken Shimizu, Takuya Saraya, and Toshiro Hiramoto, "Physical Understandings of Si (110) Hole Mobility in Ultra-Thin Body pFETs by <110> and <111> Uniaxial Compressive Strain", International Electron Devices Meeting (IEDM), Baltimore, MD, USA, pp.473-476, December 8, 2009.
- [405] Jiezhi Chen, Takuya Saraya, Toshiro Hiramoto, "Experimental Study on Uniaxially Stressed Gate-All-Around Silicon Nanowires n-MOSFETs on (110) Silicon-On-Insulator", International Semiconductor Device Research Symposium (ISDRS), WP5-06, University of Maryland, College Park, MD, USA, December 9, 2009.
- [406] Makoto Suzuki, Takuya Saraya, Ken Shimizu, Takayasu Sakurai, and Toshiro Hiramoto, "Improvement of Static Noise Margin in SRAM by Post-Fabrication Self-Convergence Technique", International Semiconductor Device Research Symposium (ISDRS), TP7-03, University of Maryland, College Park, MD, USA, December 10, 2009.
- [407] Toshiro Hiramoto (Keynote), "Variability research accomplishments and future directions-a Japanese perspective", Workshop "The Fruits of Variability Research in Europe", Design, Automation & Test in Europe (DATE), International Congress Centre in Dresden, Dresden, Germany, March 12, 2010.
- [408] Makoto Suzuki, Takuya Saraya, Ken Shimizu, Takayasu Sakurai, and Toshiro Hiramoto, "Simultaneously improvement of Write and Static Noise Margins in SRAM by Post-Fabrication Self-Convergence Technique", Workshop "The Fruits of Variability Research in Europe", Design, Automation & Test in

Europe (DATE), International Congress Centre in Dresden, Dresden, Germany, March 12, 2010.

- [409] Koji Kotani, Yohei Koshimoto, and Takashi Ito, "Bitline-Capacitance-Insensitive Readout Circuit Using Capacitive-Feedback Charge-Integration Scheme for Low-Voltage FeRAM," Extended Abstracts, 2009 International Conference on Solid State Devices and Materials (SSDM2009), C-1-6, pp.70-71, Sendai, October 7-9, 2009.
- [410] Koji Kotani and Takashi Ito, "High Efficiency CMOS Rectifier Circuits for UHF RFIDs Using Self-V_{th} Cancellation Techniques (Invited)," Proceedings 2009 8th IEEE International Conference on ASIC, pp.549-552, Changsha, China, October 20-23, 2009.
- [411] Hiroaki Arai, Naoto Miyamoto, Koji Kotani, Hisanori Fujisawa and Takashi Ito, "A WiMAX Turbo Decoder with Tailbiting BIP Architecture", Proc. Tech. Papers A-SSCC, pp.153-156, 2009.
- [412] Hiroaki Arai, Naoto Miyamoto, Koji Kotani, Hisanori Fujisawa and Takashi Ito, "A WiMAX Turbo Decoder with Tailbiting BIP Architecture", 15th Asia and South Pacific Design Automation Conference ASP-DAC 2010, pp.371-372, 2010.
- [413] Naoto Miyamoto, Katsuhiko Hanzawa and Tadahiro Ohmi, "An ASIC Implementation of Phase Correlation Based on Run-Time Reconfiguration Technique", pp.308-311, International Conference on Field-Programmable Technology 2009 FPT2009, December 2009
- [414] Naoto Miyamoto and Tadahiro Ohmi, "Temporal Circuit Partitioning for a 90nm CMOS Multi-Context FPGA and its Delay Measurement", 15th Asia and South Pacific Design Automation Conference ASP-DAC 2010, pp.373-374, 2010.
- [415] Yutaka Omiya, Koji Kotani, and Takashi Ito, "Above-CMOS Inductor for Rapid Prototyping of Mixed-Signal SoCs," Extended Abstracts, 2009 International Conference on Solid State Devices and Materials (SSDM2009) I-5-1L, pp.924-925, Sendai, October 7-9, 2009

3. 国内学会, 研究会等

- [1] 切替 大善, 鈴木 雄二, 笠木 伸英, 「金属被膜シリコンマイクロキャパシティのふく射スペクトルに対する表面粗さの影響」, 第46回日本伝熱シンポジウム, 京都, 2009年6月2日-4日, pp.75-76.
- [2] 枝元 真人・鈴木 雄二・笠木 伸英, 「環境振動発電に用いるMEMSエレクトレット発電器の開発」, 第14回動力エネルギー技術シンポジウム, つくば, 2009年6月29日-30日, pp.159-160.
- [3] 橋本 真伊知, 鈴木 雄二, 笠木 伸英「壁面修飾流路を用いたラベルフリー細胞分離メカニズムに関する研究」, 第1回マイクロ・ナノ工学シンポジウム講演論文集(CD-ROM), 東京, 2009年10月15日-16日, pp.103-104.
- [4] 三木 大吾, 鈴木 雄二, 笠木 伸英「非線形外部回路を有するマイクロエレクトレット発電器における静電減衰力に関する研究」, 第26回「センサ・マイクロマシンと応用システムシンポジウム」, 東京, 2009年10月15日-16日, pp.609-612.
- [5] 石田光一, 増永直樹, 高橋 亮, 関谷 毅, 高宮 真, 染谷隆夫, 桜井貴康, "有機CMOS向けSea-of Transmission-Gates (SOTG)アーキテクチャ," 電子情報通信学会総合大会, C-12-71, 仙台, 2010年3月.
- [6] 島本潤吉, 居村岳広, 堀 洋一, 桜井貴康, 高宮 真, "磁気共鳴を用いたプリント基板上のコイル間の無線電力伝送の実測," 電子情報通信学会総合大会, C-12-22, 仙台, 2010年3月.
- [7] 居村岳広, 岡部浩之, 小柳拓也, 加藤昌樹, Teck Chuan Beh, 大手昌也, 島本潤吉, 高宮 真, 堀 洋一, "kHz~MHz~GHzにおける磁界共振結合によるワイヤレス電力伝送用アンテナの提案," 電子情報通信学会総合大会, BS-9-5, 仙台, 2010年3月.
- [8] 安福 正, 石田光一, 宮本晋示, 中井弘人, 高宮 真, 桜井貴康, 竹内 健,
- [9] 石田光一, 増永直樹, 周 志偉, 安福 正, 関谷 毅, ツィーシャング ウテ, クラーク ハーゲン, 高宮 真, 染谷隆夫, 桜井貴康, "2V有機CMOSとシリコンCMOSを用いたEMI測定用風呂敷の原理検証," 電子情報通信学会, 信学技報, ICD2009-33, pp.1-6, 東京, 2009年10月.
- [10] 高宮 真, "有機トランジスタを用いた大面積エレクトロニクス向けの設計技術," 電子情報技術産業協会 フレキシブルデバイス技術分科会, 東京, 2009年9月.

- [11] 高宮 真, "プリンタブルエレクトロニクス
の新応用と展開," 電子ジャーナル, 第212回
Technical Symposium「プリンタブルエレクトロ
ニクス」, 東京, 2009年7月.
- [12] L. Liu, T. Sakurai, and M. Takamiya, "A
100Mbps, 1.28mW Impulse Radio UWB
Receiver with Charge-Domain Sampling
Correlator in 0.18um CMOS," 電子情報通信学
会, 信学技報, ICD2009-14, pp.7-11, 東京, 2009
年7月.
- [13] 高宮 真, "粉末型エレクトロニクスと大面積エ
レクトロニクスによるGreen by IT," 電子情報通信
学会, LSIとシステムのワークショップ, イブニ
ングパネル「エネルギーと環境のためにLSIがで
きること」, パネリスト, pp.129, 北九州, 2009年
5月.
- [14] 安福 正, 石田光一, 宮本晋示, 中井弘人, 高宮
真, 桜井貴康, 竹内 健, "三次元積層NAND型
フラッシュSSD向けプログラム電圧(20V)生成
回路," 電子情報通信学会, LSIとシステムのワー
クショップ, ポスターセッション 学生部門27,
pp.262-264, 北九州, 2009年5月. (ICD優秀発表
賞を受賞)
- [15] 安福 正, 石田光一, 宮本晋示, 中井弘人, 高宮 真,
桜井貴康, 竹内 健, "三次元SSDの低電力化技術
とSSD向けプログラム電圧(20V)生成回路," 電
子情報通信学会, 信学技報, ICD2009-10, pp.47-
52, 松島, 2009年4月. (Invited)
- [16] 井福, 厚地, 森江, 堀尾, 合原, "しきい値処理
により結合されたカオス力学系のパルス変調方
式CMOS回路実現," 電子情報通信学会技術報告,
NLP2009-151 (2009)
- [17] 椿, 関川, 堀尾, "可変能動インダクタを用いた
強制カオス発生回路—強制外部入力に対する検
討—," 電子情報通信学会技術報告, NLP2009-
148 (2009)
- [18] 椿, 堀尾, 関川, "可変能動インダクタを用いた
強制カオス発生回路," A-2-9, 電子情報通信学
会基礎・境界ソサイエティ大会講演論文集 (2009)
- [19] 濱中, 古田, 牧野, 小林, 小野寺, "基板バイポー
ラ効果によるSEUとMCUの発生機構の検討",
pp.25-30, VLD2009-103, 電子情報通信学会技術研
究報告 VLSI設計技術(2010).
- [20] 名倉, 萬代, 池田, 浅田, "フィードバック制御
を用いた時間差増幅回路," 電子情報通信学会
研究報告集積回路研究会, ICD2009-46, pp.69-74,
2009年10月.
- [21] 萬代, 名倉, 池田, 浅田, "多機能デュアル・イ
メージャ・コア・チップ", LSIとシステムのワー
クショップ, 2009年5月.
- [22] 萬代, 池田, 浅田, "行並列二分木探索回路によ
る高速3次元距離計測イメージセンサ," 映像情報
メディア学会技術研究報告, 2010年3月.
- [23] 萬代, 名倉, 池田, 浅田, "時間差増幅器を用い
た高解像度時間差デジタル変換," 電子情報通
信学会ソサイエティ大会, C-12-33, 2009年9月.
- [24] 萬代, 名倉, 池田, 浅田, "差動遅延素子を用い
たカスケード型時間増幅器", 電子情報通信学会
総合大会, C-12-16, 2010年3月
- [25] 程, 飯塚, 名倉, 池田, 浅田, "インバータチェー
ンを用いたパルス幅メモリ," 電子情報通信学会
総合大会, C-12-39, 2010年3月
- [26] Ngoc Lan Dang · T. Nakura · M. Ikeda · K.
Asada, "Digital Substrate Noise Canceling
Method using Active Guard Ring.", C-12-67,
March, 2010.
- [27] 中田尚, 中島康彦 "線形アレイ VLIW プロセッサ
における適応性検討", 情報処理学会研究報告,
Vol. 2009-ARC-186, No. 10, HOKKE-17, pp.1-9,
Nov. (2009)
- [28] 上利宗久, 中田尚, 中島康彦 "線形アレイ型
VLIW プロセッサの面積効率評価", 平成21年
度情報処理学会関西支部大会講演論文集, A-03,
Sep. (2009)
- [29] 大賀健司, 中田尚, 嶋田創, 山下茂, 中島康彦 "
二線式論理を用いた面積効率の良い高信頼演算
器", 平成21年度情報処理学会関西支部大会講演
論文集, A-07, Sep. (2009)
- [30] 中田尚, 上利宗久, 中島康彦 "画像処理向け線形
アレイ VLIW プロセッサ", 先進的計算基盤シ
ステムシンポジウムSACSIS2009論文集, pp.293-
300, May. (2009)
- [31] 吉村和浩, 市来亮人, 中田尚, 中島康彦 "異種命
令混在実行プロセッサOROCHIの開発", 電子情
報通信学会LSIとシステムのワークショップ2009
(poster), May. (2009)
- [32] 甲良, 安藤, "命令発行キューの遅延時間評価",
pp.1-10, 研究報告アーキテクチャ研究会 (2009).
- [33] 若杉, 佐藤, 植原, 藤枝, 渡邊, 高前田, 森, 吉瀬 :
極めて低コストで効率的なVDECチップ試作・
検証システムの開発と応用, 情報処理学会研究
報告2009-ARC-183, pp.1-8 (2009)
- [34] 若杉, 藤枝, 吉瀬 :アーキテクチャ研究をサポー
トする低コストで効率的なVDECチップ試作・
検証システムの開発と応用, 先進的計算基盤シ
ステムシンポジウムSACSIS2009論文集, pp.134-

- 135 (2009).
- [35] 上野, 堀田, 中司, "空間分割多重無線のための可変VCOに用いる位相補間回路の振幅特性の向上",10-1A-10,第62回電気関係学会九州支部連合大会(2009).
- [36] 重春, 美濃, 中司, "生体信号センサの信号処理のためのノッチ/LPFスイッチトキャパシタ型フィルタ",10-1P-03,第62回電気関係学会九州支部連合大会(2009).
- [37] 大石, 堀田, 中司, "空間分割多重無線のための可変VCOに用いる位相補間回路の線形性の向上",10-1P-08,第62回電気関係学会九州支部連合大会(2009).
- [38] 冨田, 中司, "携帯型センシング機器用超低消費電力 $\Delta\Sigma$ 変調器の設計",10-1P-09,第62回電気関係学会九州支部連合大会(2009).
- [39] 松尾, 松田, 中司, "生体信号センサ信号処理のためのスイッチトキャパシタ型フィルタ",10-1P-16,第62回電気関係学会九州支部連合大会(2009).
- [40] 大石, 入江, 浦, 小林, 中司, "可変VCOのための位相補間回路の検討",11,第22回電子情報通信学会シリコンアナログRF研究会(2010).
- [41] 外園, 中司, "生体信号用 $\Delta\Sigma$ 型ADCのための0.5V動作OPアンプの設計",3-008,平成22年電気学会全国大会(2010).
- [42] 洲脇優, 松元隆博, 松藤信哉, "光ZCZ-CDMA方式の並列伝送実験,"第11回IEEE広島支部学生シンポジウム予稿集,(c)通信,C-06,pp.190-191(2009).
- [43] 中林智之, 佐々木敬泰, 大野和彦, 近藤利夫, "VSPプロセッサ用パイプラインレジスタ(LDS-cell)の低電力化手法の提案と評価",情報処理学会研究会, No. 2009-ARC-184,(2009).
- [44] 神田夏輝, 小西邦昭, 五神真 "人工キラル格子の光励起による三次元キラリティの発現" ナノ量子情報エレクトロニクス公開シンポジウム, p-46 (2009)
- [45] 五神真 "カイラルナノ格子による光制御", 第112回微小光学研究会「みらい微小光学」, 2009年
- [46] 小西邦昭 "微細構造による巨大旋光性" 日本物理学会2009年秋季大会, 27pYF-6(2009, 招待)
- [47] 五神真 "時空間モルフォロジーの制御による能動メゾ光学" CREST「新機能創成に向けた光・光量子科学技術」研究領域第2回公開シンポジウム 光・光量子科学技術の新展開(2009)
- [48] 五神真 "2次元キラル格子によるテラヘルツ偏光制御" 応用物理学会 THz電磁波技術研究会企画「テラヘルツ光科学の新展開」18p-M-5,(2010, 招待)
- [49] 神田夏樹, 小西邦昭, 五神真 "人工キラル格子における光励起三次元キラリティの過渡光学応答" 日本物理学会2009年秋季大会, 26pXB-8(2009)
- [50] 明連広昭, 王元勇, 照井晃介, 田井野徹, "広いダイナミックレンジを持つデジタルDROSの設計", 2010年電子情報通信学会総合大会(2010).
- [51] 明連広昭, 鈴木謙司, 田井野徹, "誘導結合窒素プラズマによる超伝導トンネル接合の作製", 20a-P15-5, 第57回応用物理学関係連合講演会(2010).
- [52] 佐藤大樹, 小倉翔, 保坂忠明, 久保田彰, 大井隆太郎, 児玉和也, 浜本隆之, "多眼CMOSイメージセンサによるリアルタイム任意視点画像合成", 第3回新画像システム・情報フォトンクス研究討論会講演予稿集, pp.26-27(2009)
- [53] 川島慶弘, 中山賢一, 浜本隆之, 児玉和也, "ピクセルマッチングによる高速動きベクトル検出イメージセンサの高精度化", 映像情報メディア学会技術報告, vol. 33, no. 23, pp.29-32(2009)
- [54] 伊藤 光保, 高田 佳明, 浜本 隆之, "ぼけ量と視差の情報を用いた距離推定と2眼カメラによるシステム構築", Image Media Processing Symposium (IMPS09), I2-18, 2pages(2009)
- [55] 佐藤 大樹, 保坂 忠明, 浜本 隆之, 久保田 彰, 大井隆太郎, 児玉 和也, "多眼カメラによるオクルージョンを考慮した距離推定と任意視点画像合成", Image Media Processing Symposium (IMPS09), I2-21, 2pages(2009)
- [56] 清藤 規久, 浜本 隆之, 佐々木 朋詩, 白井 稔人, 坂井 正善, "変調光を用いたアクティブセンシングによる高精度物体検出システムの構築", Image Media Processing Symposium (IMPS09), I6-06, 2pages(2009)
- [57] 平賀匠, 大高俊徳, 浜本 隆之, "読み出し領域可変型イメージセンサとそのフォーカス制御による高速動物体追跡", 映像情報メディア学会技術報告, vol. 33, no. 56, pp.13-16(2009)
- [58] 中島, 難波, 伊藤, "耐ソフトエラー性を有するRSフリップフロップ," 信学技報, FIIS, 2010年3月.
- [59] 田辺, 湊, 加藤, 難波, 伊藤, "差分による遅延測定法の実行時間と面積の削減," 信学技報, DC, 2010年2月.
- [60] 菅澤, 難波, 伊藤, "ソフトエラー検出機能を有するBILBOレジスタ," 信学技報, DC2009-37, 2009年12月.
- [61] 坂田, 難波, 伊藤, "ラッチ内2重ノード反転ソ

- フトエラーの耐性設計," 信学技報, FIIS, 2009年10月.
- [62] 田辺, H.M. Zahidul, 加藤, 難波, 伊藤, "差分によるVLSI回路の遅延測定," 信学技報, FIIS, 2009年6月.
- [63] 加藤, 田辺, H.M. Zahidul, 難波, 伊藤, "シグネチャレジスタを用いた遅延測定法—その2," FTC, 2009年7月.
- [64] 加藤, 田辺, H.M. Zahidul, 難波, 伊藤, "シグネチャレジスタを用いた遅延測定法," 信学技報, FIIS, 2009年6月.
- [65] M. Zaitzu, K. Takeda, M. Takenaka, T. Tanemura, and Y. Nakano, "All-Optical Flip-Flop Operations with Clock Signals Using MZI Bistable Laser Diodes," Y. Nakano, "All-Optical Flip-Flop Operations with Clock Signals Using MZI Bistable Laser Diodes,"
- [66] 武田浩司, 竹中 充, 種村拓夫, 財津 優, 中野義昭, 干渉型全光フリップ・フロップと全光パケットスイッチングへの応用
- [67] K. Takeda, M. Takenaka, T. Tanemura, M. Zaitzu, and Y. Nakano, Demonstration of Dynamic All-Optical Flip-Flop Based on Mach-Zehnder Interferometer Bistable Laser Diode
- [68] 吉開秀昭, 佐々木伸一, "屋内電力線異相間通信時における漏電遮断器の影響", 電子情報通信学会通信方式研究会, 信学技報 vol. 109 No. 116, CS2009-24, pp.65-70 (2009年7月)
- [69] 岡部知玄, 佐々木伸一, 古川裕一郎, "プリント配線板電源層からの放射雑音低減方法の検討～IC搭載基板における評価～", 第62回電気関係学会九州支部連合大会, 11-2P-02(2009年9月)
- [70] 古川裕一郎, 佐々木伸一, 岡部知玄, "プリント配線板メッシュ電源層からの放射雑音低減法の測定評価", 第62回電気関係学会九州支部連合大会, 11-2P-03(2009年9月)
- [71] 吉開秀昭・佐々木伸一, "平衡伝送路における遠端クロストーク低減手法", 第62回電気関係学会九州支部連合大会, 11-2P-04(2009年9月)
- [72] 高倉一旨, 佐々木伸一, 岡部知玄, "プリント配線盤基板電源層における放射雑音低減方法の検討～基板形状による影響～", 2009年度電子情報通信学会九州支部学生会講演会・講演論文集, B-26(2009年9月)
- [73] 加藤卓, 佐々木伸一, 野辺勇樹, "スルーレート可変回路によるクロストークの低減", 2009年度電子情報通信学会九州支部学生会講演会・講演論文集, C-21(2009年9月)
- [74] 寺島一彰, 佐々木伸一, 吉開秀昭, "整合分岐アダプタの多分岐屋内電力線への適応評価", 2009年度電子情報通信学会九州支部学生会講演会・講演論文集, B-19(2009年9月)
- [75] 古賀圭嗣, 佐々木伸一, 吉開秀昭, "一点分岐整合アダプタを用いた屋内電力線データ通信実験", 2009年度電子情報通信学会九州支部学生会講演会・講演論文集, B-18(2009年9月)
- [76] 高倉一旨, 佐々木伸一, 岡部知玄, "プリント配線板電源層からの放射雑音低減 電源層形状", 電子情報通信学会環境電磁工学研究会, 信学技報 vol. 109 No. 370, EMCJ2009-113, pp.87-91 (2010年1月)
- [77] 奥平 拓見, 石原 亨, 井上 弘士, "ゲートドフリップフロップの多ビット統合によるレジスタ回路の低消費電力化", 情報処理学会DAシンポジウム, pp.25-30, Aug. 2009.
- [78] 今福 渉, アンサリ タニア, 川畑明雄, マタウシュ ハンス ユルゲン, 小出哲士, "連想メモリベース自動学習LSIアーキテクチャと手書き文字認識への適用", 信学技報, vol. 109, no. 199, pp.91-96, (2009.9).
- [79] 賀谷 彰大, 上口 光, マタウシュ ハンス ユルゲン, 小出 哲士, "リングオシレータを用いた製造ばらつきの解析", 信学技報, vol. 109, no. 199, pp.71-76, (2009.9).
- [80] 川畑明雄, 今福渉, アンサリ タニア, マタウシュ ハンス ユルゲン, 小出哲士, "画像圧縮コードブックを最適にする連想メモリベース自動学習の研究," The 11th IEEE Hiroshima Student Symposium
- [81] 川畑明雄, 今福渉, アンサリ タニア, マタウシュ ハンス ユルゲン, 小出哲士, "連想メモリベース適応学習LSIの応用とその評価," 信学技報, vol. 109, no. 336, pp.89-94. Dec. 2009.
- [82] 小原貴文, 中脇竜一, 長田安弘, 神戸尚志, "Jackal言語によるシステムLSI設計及び検証環境の構築," 電子情報通信学会VLSI設計技術研究会 2009/9.
- [83] 谷本浩一, 上津寛和, 神戸尚志, "リアルタイム処理が可能な粒子抽出回路の設計," 第53回システム制御情報学会研究発表講演会, 2009/5.
- [84] 瀧口, 石田, 猿渡, 南, 森川, "ブルームフィルタを用いたウェイクアップ型無線通信システムの消費電力評価", RCS2009-254, 電子情報通信学会無線通信システム研究会 (2010).
- [85] Islam, 土谷, 小林, 小野寺, "遅延モニタ回路によるプロセス変動量の推定", pp.127-132, DAシン

- ポジウム 2009 (2009/08)
- [86] 砂川, 土谷, 小林, 小野寺, "チップ内ばらつきが順序セルの動作特性に与える影響", pp.85-90, DA シンポジウム 2009 (2009/08)
- [87] 古田, 小林, 小野寺, "高いSEU/SET耐性を持つ省面積・低遅延二重化フリップフロップ", pp.456-461, 第22回回路とシステム軽井沢ワークショップ (2009/04)
- [88] 砂川, 土谷, 小野寺, "ランダムばらつきがD-FFのタイミング制約に与える影響", pp.C-12-61, 電子情報通信学会総合大会 (2010/03)
- [89] 牧野, 松本, 小林, 小野寺, "Subthreshold Leak電流によるNBTI劣化, 回復の測定", pp.C-12-68, 電子情報通信学会総合大会 (2010/03)
- [90] DAS, ONODERA, "Accurate Individual Gate Delay Measurement to Study Within-die Variations", pp.C-12-60, 電子情報通信学会総合大会 (2010/03)
- [91] 奥村, 中村, 岸根, 土谷, 小野寺, "相互結合インダクタを用いたTIA帯域向上手法", pp.157-161, 電子情報通信学会技術報告書 (2009/12)
- [92] 牧野, 小林, 小野寺, "NBTI周波数依存性測定回路の検討", no C-12-30, pp.94, 2009年電子情報通信学会ソサイエティ大会 (2009/09)
- [93] 土谷, 小野寺, "ダミーフィルによる伝送損失増加の解析的評価手法" 第22回 シリコンアナログRF研究会 (2010/03)
- [94] 宮脇, 土谷, 小野寺, "Transformer peakingにおける解析的設計手法", 第22回シリコンアナログRF研究会 (2010/03)
- [95] 久保木, 大友, 土谷, 岸根, 小野寺, "複合インダクタを用いたLDドライバの設計", 第22回シリコンアナログRF研究会 (2010/03)
- [96] 土谷, 小野寺, "Split-Ring Resonator を用いたチップ内メタ物質の構成に関する検討", 第21回シリコンアナログRF研究会 (2009/11)
- [97] 土谷, 小野寺, "ダミーフィルを考慮した伝送線路およびスパイラルインダクタの設計", 第21回シリコンアナログRF研究会 (2009/11)
- [98] 土谷, 小野寺, "ダミーフィルがコプレーナ線路の特性に与える影響の位置依存性", 第20回シリコンアナログRF研究会 (2009/07)
- [99] Tsuyoshi Iwagaki and Mineo Kaneko, "A heuristic approach to detecting transition faults at all circuit outputs," Proc. IEICE Society Conference, p.54, Sep. 2009.
- [100] 寺坂豪泰, 御堂義博, 中前幸治, "二段キャラクタープロジェクトンマスクレス電子ビーム直接描画方式の検討", 第29回LSI テスティングシンポジウム会議録, pp.49.54 (11.13 Nov. 2009).
- [101] 三浦克介, 中前幸治, 二川清, "電流密度分布シミュレーションを用いた走査レーザSQUID 顕微鏡によるVLSI 診断法の検討", 第29回LSI テスティングシンポジウム, pp.239. 244 (11.13Nov. 2009).
- [102] 三浦克介, 中前幸治, "VLSI 詳細故障診断のためのレイアウト情報抽出ソフトウェアの開発", 第29回LSI テスティングシンポジウム会議録(11.13 Nov. 2009).
- [103] 山下将嗣, 大谷知行, 金鮮美, 村上博成, 斗内政吉, 御堂義博, 三浦克介, 中前幸治, 二川清, "レーザーテラヘルツエミッション顕微鏡によるLSI-TEG 観察II", 第29回LSI テスティングシンポジウム会議録, pp.343.348 (11.13 Nov. 2009).
- [104] 山下将嗣, 大谷知行, 松本徹, 金鮮美, 村上博成, 斗内政吉, 御堂義博, 三浦克介, 中前幸治, 二川清, "LSI 故障解析用レーザーテラヘルツエミッション顕微鏡プロトタイプ機の開発", エクストリームフォトニクスシンポジウム. 光で繋ぐ理研の基礎科学. , pp.127.128 (20 May 2009).
- [105] 山下将嗣, 大谷知行, 金鮮美, 村上博成, 斗内政吉, 松本徹, 御堂義博, 三浦克介, 中前幸治, 二川清, "LSI 故障解析用LTEM プロトタイプ装置の開発", 第70回応用物理学会学術講演会(秋季大会), 9p-M-14 (8.11 Sep. 2009).
- [106] 三浦克介, 二川清, 中前幸治, "走査レーザSQUID 顕微鏡によるシミュレーションを活用したVLSI 故障絞り込み法", 電子情報通信学会総合大会, C-12-66 (16.19 Mar. 2010).
- [107] 御堂義博, 山下将嗣, 松本徹, 斗内政吉, 二川清, 中前幸治, "LTEM によるLSI 故障解析のためのTHz 波シミュレーション (II) ", 第57回応用物理学会関係連合講演会, 19p-L-9 (17.20 Mar.2010).
- [108] 松本徹, 山下将嗣, 大谷知行, 金鮮美, 村上博成, 斗内政吉, 御堂義博, 三浦克介, 中前幸治, 二川清, "レーザーテラヘルツエミッション顕微鏡のLSI 故障解析への応用", 第57回応用物理学会関係連合講演会, 18p-M-8 (17.20 Mar. 2010).
- [109] 森井清仁, 竹中 充, 高木信一, 「気相拡散により形成されたソース・ドレイン接合をもつ高性能GeO₂/Ge nMOSFET」, 電気学会グリーンITにおける化合物半導体電子デバイス調査専門委員会, 東京工業大学, 2010年3月26日(招待講演).
- [110] 森井 清仁, 岩崎 敬志, 中根 了昌, 竹中 充, 高木 信一, 「気相拡散によるソース・ドレイン接合

を用いた高性能GeO₂/Ge nMOSFET], 第57回応用物理学関係連合講演会, 18p-B-6, 東海大学, 2010年3月.

- [111] 趙毅, 竹中充, 高木信一, 「二軸引張りひずみSi MOS電子・正孔反転層における界面電荷・基板不純物によるクーロン散乱に与える影響の統一的な物理機構」, 第57回応用物理学関係連合講演会, 18a-B-4, 東海大学, 2010年3月.
- [112] 趙毅, 松本弘昭, 佐藤岳志, 小山晋, 竹中充, 高木信一, 「高精度TEMと新しいデータ分析方法によるMOS界面ラフネス移動度及びその引張り歪みの影響の定量評価」, 第57回応用物理学関係連合講演会, 18a-B-3, 東海大学, 2010年3月.
- [113] 武田浩司, 竹中充, 種村拓夫, 財津優, 中野義昭, 「干渉型全光フリップ・フロップと全光パケットスイッチングへの応用」, 第57回応用物理学関係連合講演会, 18a-N-1, 東海大学, 2010年3月.
- [114] 財津優, 武田浩司, 竹中充, 種村拓夫, 中野義昭, 「MZI 双安定レーザー型全光フリップ・フロップの光クロック動作」, 第57回応用物理学関係連合講演会, 18a-N-2, 東海大学, 2010年3月.
- [115] 出浦 桃子, 近藤 佳幸, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, 「微小領域選択MOVPE を用いたSi 上InGaAs 多段階成長の時間発展」, 第57回応用物理学関係連合講演会, 19a-TW-9, 東海大学, 2010年3月.
- [116] 近藤 佳幸, 出浦 桃子, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, 「選択MOVPE によるSi 上InGaAs 成長の成長領域狭窄化による横方向成長促進」, 第57回応用物理学関係連合講演会, 19a-TW-8, 東海大学, 2010年3月.
- [117] 竹中 充, 横山正史, 杉山正和, 中野義昭, 高木信一, 「直接基板接合によるSi基板上III-V CMOSトランジスタ」, 第70回応用物理学学会学術講演会, 9p-TE-3, 富山大学, 2009年9月.
- [118] 金相賢, 中川翔太, 灰本隆志, 中根了昌, 竹中充, 高木信一, 「メタルソース・ドレインを用いたInP MOSFETの作製と電気特性」, 第70回応用物理学学会学術講演会, 10p-TH-19, 富山大学, 2009年9月.
- [119] 横山正史, 安田哲二, 山田永, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一, 「基板貼り合わせによるSi基板上メタルS/D III-V-OI n-MOSFETの移動度向上とp-MOSFET動作」, 第70回応用物理学学会学術講演会, 11p-TH-6, 富山大学, 2009年9月.
- [120] S. Dissanayake, 富山健太郎, 周藤悠介, 菅原聡, 竹中 充, 高木信一, 「超薄膜(110)面GOI p

型MOSFETの電気的特性」, 第70回応用物理学学会学術講演会, 11p-TH-3, 富山大学, 2009年9月.

- [121] 武田浩司, 竹中充, 種村拓夫, 財津優, 中野義昭, 「MZI 双安定レーザーを用いた全光フリップ・フロップの動的動作実証」, 第70回応用物理学学会学術講演会, ——, 富山大学, 2009年9月.
- [122] 近藤 佳幸, 出浦 桃子, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, 「微小領域選択MOVPE における表面P 終端Si からのInAs 均一核発生」, 第70回応用物理学学会学術講演会, 11p-C-4, 富山大学, 2009年9月.
- [123] 出浦 桃子, 近藤 佳幸, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和, 「微小領域選択MOVPE によるSi 上InGaAs 結晶最表面における双晶消滅層の形成と評価」, 第70回応用物理学学会学術講演会, 11p-C-5, 富山大学, 2009年9月.
- [124] 相川 慎也, 項 榮, エリック エイナルソン, 千足昇平, 塩見 淳一郎, 西川 英一, 丸山 茂夫: "単層カーボンナノチューブのパターン成長法を用いた薄膜トランジスタの作製と特性評価" 2010年春季 第57回応用物理学関係連合講演会(東海大学, 神奈川), 口頭.
- [125] 相川 慎也, 項 榮, エリック エイナルソン, 千足昇平, 塩見 淳一郎, 西川 英一, 丸山 茂夫: "単層カーボンナノチューブのパターン成長法による薄膜トランジスタの作製" 第38回フラーレン・ナノチューブ総合シンポジウム(名城大学, 愛知), ポスター.
- [126] R. Xiang, S. Aikawa, E. Einarsson, J. Shiomi, S. Maruyama: "High Precision Site-selective Growth of SWNTs and its Applications" 第37回フラーレン・ナノチューブ総合シンポジウム(つくば国際会議場, 茨城), ポスター.
- [127] 相川 慎也, 項 榮, エリック エイナルソン, 塩見淳一郎, 西川 英一, 丸山 茂夫: "As-grownの単層カーボンナノチューブを用いた容易な電界効果トランジスタの作製とその特性" 第37回フラーレン・ナノチューブ総合シンポジウム(つくば国際会議場, 茨城), ポスター.
- [128] 石原翔太, 夏徴帆, 張山昌論, 亀山充隆, "自律適応電源電圧制御に基づく低消費電力FPGAの構成", 電子情報通信学会技術研究報告(信学技報), vol. 109, no. 395, pp.95-99, 2010.
- [129] 石原翔太, 小松与志也, 張山昌論, 亀山充隆, "LED/R4相2線プロトコルコンバータを用いた非同期FPGAの構成", 電子情報通信学会技術研究報告(信学技報), vol. 109, no. 198, pp.103-108, 2009.

- [130] 石川彰隆, 岡田信彬, 亀山充隆, "データ・電流源制御信号のビットシリアル転送に基づく多値VLSIの構成", 電気関係学会東北支部連合大会, 1D12, p.112, 2009
- [131] 石原翔太, 井戸端紀彰, 小松与志也, 張山昌論, 亀山充隆, "低消費電力非同期フィールドプログラマブルVLSIの開発", LSIとシステムのワークショップ, pp.280-282, 2009.
- [132] 「単一カーボンナノチューブFET構造を用いた光電流測定」村井智昭, 森坪繁, 嶋田行志, 村上陽一, 丸山茂夫, 加藤雄一郎, 第70回応用物理学学会学術講演会, 富山(2009年9月).
- [133] 「様々な幅の溝に架橋させたカーボンナノチューブからのフォトルミネッセンス」森坪繁, 村井智昭, 嶋田行志, 村上陽一, 丸山茂夫, 加藤雄一郎, 第70回応用物理学学会学術講演会, 富山(2009年9月).
- [134] Y. K. Kato, "Spin manipulation without magnetic fields in strained semiconductors", 特定領域研究「スピン流の創出と制御」第2回若手研究交流会(2009年12月)
- [135] 加藤雄一郎, 「カーボンナノチューブにおける電流誘起スピンの検出に向けて」特定領域研究「スピン流の創出と制御」研究会(2009年8月)
- [136] 原島慧, 加藤雄一郎, 「単一のカーボンナノチューブにおける電子スピンの光検出に向けた測定系の立ち上げ」特定領域研究「スピン流の創出と制御」研究会(2009年8月)
- [137] 堀内義文, 村井智昭, 杉山正和, 丸山茂夫, 加藤雄一郎, 「電子スピンの光注入・検出に向けた窒化ガリウム上カーボンナノチューブデバイス」特定領域研究「スピン流の創出と制御」研究会(2009年8月)
- [138] 伊達, 萩原, 益, 佐藤, "重点的サンプリングにおける平均値移動量の決定手法とそのSRAM歩留り解析への適用", 情報処理学会第142回システムLSI設計技術研究会, pp.1-6, 2009年12月.
- [139] 今川, 廣本, 高, D. Alnajjar, 密山, 越智, 佐藤, "柔軟な信頼性を実現する再構成可能デバイスのための配置配線ツール", DA シンポジウム, pp.55-59, 2009年8月.
- [140] 高橋, 上蘭, 越智, 益, 佐藤, "パス遅延測定によるチップ特性の推定手法", DA シンポジウム, pp.133-138, 2009年8月.
- [141] T. Sato, "Bridging the gap between laboratory measurement and simulation model (invited)", International Workshop on Emerging Circuits and Systems (IWECS), July, 2009.
- [142] 伊達, 萩原, 上蘭, 佐藤, "SRAM回路の構造的対称性を考慮した2段階学習型重点的サンプリング", 信学技報, pp.37-42, 2009年5月.
- [143] 牧野友昭, 辻良繁, 川島英之, 鯉渕道敏, 西宏章, サービス指向型ルータにおける高速なデータ書き込み機構の提案, 並列/分散/協調処理に関する『仙台』サマー・ワークショップ(SWoPP 仙台2009), CPSY2009-23, 信学技報 Vol. 109, No. 168, pp.79-84, Aug. 2009.
- [144] 永富 泰次(慶應大), 石田 慎一(慶應大), 原島 真悟(慶應大), 鯉渕 道敏(NII), 川島 英之(筑波大), 西 宏章(慶應大), パケットストリームの正規表現処理を可能とするネットワークプロセッサ, 並列/分散/協調処理に関する『仙台』サマー・ワークショップ(SWoPP 仙台2009), 2009-ARC-184, 情処研報 Vol. 2009 No. 21, Aug. 2009.
- [145] 明村愛里, 西宏章, 時間的局所性の傾向を利用したネットワークプロセッサ・アーキテクチャ情報処理学会創立50周年記念全国大会, 東京大学, March. 2010.
- [146] 原島 真悟, 石田 慎一, 西 宏章, サービス指向型ルータのためのパケット単位の文字列探索情報処理学会創立50周年記念全国大会, 東京大学, March. 2010
- [147] 小川, 井瀬, "回路シミュレーションによるESD解析の研究", 平成21年度計測自動制御学会, 第147回教育工学研究会・シンポジウム(2009)
- [148] ファテメレザイファル, 松岡成居, 熊田亜紀子, 日高邦彦, "2"沿面放電電位分布測定用マイクロセンサの開発", "2009年放電学会年次大会講演論文集, A-2-6, pp.1-2, 2009-11-14
- [149] 安江一紘, 王軍, 松岡俊匡, 谷口研二, "超低電圧動作デジタルCMOS回路の特性補償に関する検討", 電子情報通信学会 LSIとシステムのワークショップ, 2009年5月
- [150] 鶴山元規, 松岡俊匡, 谷口研二, "DEMを用いたDCOの動作シミュレーション", VDECデザイナーズフォーラム2009, 2009年6月
- [151] 王 軍, 松岡俊匡, 谷口研二, "A 0.5-V CMOS Inverter-Based Opamp and Its Application to Delta-Sigma AD Modulator", VDECデザイナーズフォーラム2009, 2009年6月
- [152] Jun Wang, Toshimasa Matsuoka, Kenji Taniguchi, "A 0.5 V Feedforward Delta-Sigma Modulator with CMOS Inverter-Based Integrator," 電子情報通信学会集積回路研究会, 2009年10月
- [153] Jun Wang, Toshimasa Matsuoka, Kenji

Taniguchi, "Process Variation Compensation Technique for 0.5-V Body-Input Comparator," 電子情報通信学会集積回路研究会, 2009年12月

- [154] 木村 一樹, 砂田 徹也, 長井 智英, 関 直臣, 近藤 正章, 天野 英晴, 宇佐美 公良, 中村 宏, 並木 美太郎: 省電力MIPSプロセッサコア評価のための計算機システムのFPGAによる試作, 情報処理学会「システムソフトウェアとオペレーティング・システム」第111回研究報告, Vol. 2009-OS-111, No. 34, pp.1-8 (2009.04.24)
- [155] 砂田徹也, 木村一樹, 長井智英, 近藤正章, 天野英晴, 宇佐美公良, 中村 宏, 並木美太郎: 省電力MIPS プロセッサを実現するFPGA におけるOS の開発と評価, SWoPP2009 並列/分散/協調処理に関する『仙台』サマー・ワークショップ, 情報処理学会「システムソフトウェアとオペレーティング・システム」第112回研究会, Vol. 2009-OS-112, No. 14, pp.1-8 (2009.08.06)
- [156] 砂田徹也, 木村一樹, 近藤正章, 天野英晴, 宇佐美公良, 中村 宏, 並木美太郎: 省電力を目的としたOS による細粒度パワーゲーティング制御方式の研究, 情報処理学会第72回全国大会, 5L-5 (2010.03.11)
- [157] 高田 修司, 中井 隆志, 酒造 正樹, 塩見 淳一郎, ドロネー ジャンジャック, 丸山 茂夫, 山田 一郎, “カーボンナノチューブを固定相に用いたマイクロガスクロマトグラフィカラム, Microfabricated Column with Carbon Nanotubes Stationary Phase for Gas Chromatography,” ナノ学会第7回大会, 東京大学武田先端知ビル, 文京区, May 9-11, 2009.
- [158] 高田 修司, 中井 隆志, トウラキットセーリー ティーラボン, 塩見 淳一郎, 丸山 茂夫, 高木 秀樹, 酒造 正樹, ドロネー ジャンジャック, 山田 一郎, “単層カーボンナノチューブ膜を用いたマイクロガス濃縮器, Micro Gas Preconcentrator Made of a Film of Single-Walled Carbon Nanotubes,” 第26回「センサ・マイクロマシンと応用システム」シンポジウム, タワーホール船堀, 江戸川区, October 15-16, 2009.
- [159] 中井 隆志, 酒造 正樹, Jean-Jacques Delaunay, 山田 一郎, “マイクロピラーを有するガスクロマトグラフィカラムの分離性能に関する実験評価と数値解析, Experimental and Numerical Studies on Separation Efficiency in Micro Gas Chromatography Columns with Micropillars,” COMSOLカンファレンス東京2009, UDXカンファレンススペース, 千代田区, December 4, 2009.
- [160] 高田 修司, 中井 隆志, 藤田 航, トウラキットセーリー ティーラボン, 塩見 淳一郎, 丸山 茂夫, 高木 秀樹, 酒造 正樹, ドロネー ジャンジャック, 山田 一郎, “ガス濃縮への応用に向けた単層カーボンナノチューブの吸着能力の評価, Evaluation of Adsorption Capacity of Single-Walled Carbon Nanotubes for Use in Gas Preconcentrators,” 2010年春季 第57回 応用物理学関係連合講演会, 東海大学, 平塚市, March 17-20, 2010.
- [161] 三栗谷 祥, 前田 悦男, 長藤 圭介, 酒造 正樹, 山田 一郎, ドロネー ジャンジャック, “赤外領域におけるサブ波長周期構造を用いた水素センサ, Optical Hydrogen Detection Using Subwavelength Periodic Structure in Infrared Region,” 2010年春季 第57回 応用物理学関係連合講演会, 東海大学, 平塚市, March 17-20, 2010.
- [162] 斎藤 淳, 田中文之, 守屋雅隆, 小林忠行, 水柿 義直, 前澤正明, “DA変換器応用を目指したパルス数可変増倍回路の設計と動作検証,” 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2009-24, 2010年1月20日
- [163] 天木 健彦, 橋本 昌宜, 密山 幸男, 尾上 孝雄, “マルコフモデルによるオシレータサンプリング方式真性乱数生成器の乱数品質解析,” 第22回回路とシステム軽井沢ワークショップ, pp.474-479, April 2009.
- [164] 新開 健一, 橋本 昌宜, > “広範囲な製造・環境ばらつきに対応したゲート遅延モデル,” > DAシンポジウム2009, pp.73-78, Aug. 2009.
- [165] 谷口, 中條, 山下, 大島, “非対称エンファシスVCSELドライバを用いた10 Gb/s伝送実験”, C-12-51, 電子情報通信学会ソサイエティ大会, 2009年9月
- [166] 大野, 山下, 大島, “磁界相殺構造を有する低クロストークインダクタの一提案”, C-12-8, 電子情報通信学会総合大会, 2010年3月
- [167] 大島, “超高速AD変換器における入力信号帯域に関する一考察”, 電子情報通信学会シリコンRF研究会, 2010年3月
- [168] 谷口, 中條, 山下, 大島, “非対称エンファシスVCSELドライバにおけるジッタの消光比依存性”, C-12-58, 電子情報通信学会総合大会, 2010年3月
- [169] 三田吉郎, 「高機能MEMS三次元構造形成のためのプロセス技術(招待講演)」, 応用物理学学会秋季全国大会(2009.9)
- [170] 榎本忠儀, 小林伸彰, 「読み出し・書き込みマー

- ジンを拡大するSRAMワード線ドライバ」, 信学ソ大会講演論文集, 電子情報通信学会C-12-3, 2009年9月15日.
- [171] 廣田智一, 豊田紀章, 山田公, 長藤圭介, 濱口哲也, 中尾政之, 谷弘詞, 坂根康夫, 「ガスクラスタライオンビームによるパターン間への埋め込み構造形成」第56回応用物理学関係連合講演会, 筑波大学, 2009.3.30~4.2 講演予稿集p.746.
- [172] 服部俊太郎, 長藤圭介, 濱口哲也, 中尾政之, 「射出成形を用いた高アスペクト比ナノ構造の転写」第70回応用物理学学会学術講演会, 富山大学, 2009.9.8~11. 講演予稿集9a-D-4, p.642
- [173] 廣田智一, 豊田紀章, 山田公, 長藤圭介, 濱口哲也, 中尾政之, 谷弘詞, 坂根康夫, 「ガスクラスタライオンビームによるドット状パターンの平坦化」第70回応用物理学学会学術講演会, 富山大学, 2009.9.8~11. 講演予稿集8a-L-32, p.659
- [174] 古林昌樹, 長藤圭介, 森谷紘己, 濱口哲也, 中尾政之, 「酸化タンゲステンナノワイヤの電界放出特性に及ぼす分散状態の影響」2009年度秋季大会精密工学会, 神戸大学, 2009.9.10~12.
- [175] 長藤圭介, 服部俊太郎, 中尾政之, 「熱アシスト射出成形による高アスペクト比ナノ構造の高速転写」第1回マイクロ・ナノ工学シンポジウム(日本機械学会マイクロ・ナノ工学専門会議主催), タワーホール船堀(東京都江戸川区), 2009.10.15~16
- [176] 光田健洋, 長藤圭介, 服部俊太郎, 濱口哲也, 中尾政之, 「熱アシスト射出成形を用いた高アスペクト比ナノ構造の転写」精密工学会春季大会, 精密工学会春季大会, 2010年3月16日~18日, 埼玉大学
- [177] 下田誠, 長藤圭介, 濱口哲也, 中尾政之, 「ナノインプリントリソグラフィにおける二酸化チタンを用いた残膜除去法の開発」精密工学会春季大会, 2010年3月16日~18日, 埼玉大学
- [178] 長藤圭介, 服部俊太郎, 光田健洋, 濱口哲也, 中尾政之, 「熱アシスト射出成形による高アスペクト比ナノ構造の転写」2010年春季第57回応用物理学関係連合講演会, 2010年3月17日~20日, 東海大学
- [179] 長藤圭介, 杉本俊太郎, 濱口哲也, 中尾政之, 「繰返しローラインプリントを用いた積層ナノ構造の製造」2010年春季第57回応用物理学関係連合講演会, 2010年3月17日~20日, 東海大学
- [180] 長藤圭介, 中尾政之, 「量子コンピュータを目指すアトムチップと微細加工」, 次世代リソグラフィ(NGL)ワークショップ, 2009.7.9-10, 日本科学未来館(東京)予稿集:40-41
- [181] 長藤圭介, 杉本俊太郎, 服部俊太郎, 濱口哲也, 中尾政之, 「先進ナノインプリントの挑戦~積層構造, 射出成形, ローラナノインプリント~」, 次世代リソグラフィ(NGL)ワークショップ, 2009.7.9-10, 日本科学未来館(東京)予稿集:50-51
- [182] 内田行紀, 山口賢一, "部分スキャンBISTのためのテストプラン生成法の検討", 平成21年電気関係学会関西支部連合大会(2009).
- [183] 高井繁吉, 高橋弥平, 村田絵理, 山口賢一, "回路上での重み付きランダムパターンの検討と実現", 平成21年電気関係学会関西支部連合大会(2009).
- [184] 村田絵理, 山口賢一, "データパス-コントローラ混在回路に対するテスト容易化設計法の検討", 電子情報通信学会関西支部学生会 第15回学生会研究発表会(2010).
- [185] 高井繁吉, 村田絵理, 山口賢一, "低コストでの重み付きランダムパターンの検討と実現", 電子情報通信学会関西支部学生会 第15回学生会研究発表会(2010).
- [186] 阪堂史哉, 村田絵理, 高井繁吉, 山口賢一, "スイッチング確率を用いた最大消費電力評価ツールの作成", 電子情報通信学会関西支部学生会 第15回学生会研究発表会(2010).
- [187] 丸石知史, 山口賢一, "応答解析器の実装によるノンスキャンBISTのエイリアシング解析", 電子情報通信学会関西支部学生会 第15回学生会研究発表会(2010).
- [188] 内田行紀, 山口賢一, "部分スキャンBISTのためのテスト容易化設計法の検討", 平成22年電子情報通信学会2010総合大会(2010).
- [189] 村田絵理, 山口賢一, "レジスタ転送レベルテスト容易化設計の線形計画法による解法", 平成22年電子情報通信学会2010総合大会(2010).
- [190] 張銳, 山根大輔, 藤田博之, 年吉 洋, 「RF-MEMS技術による可変メタマテリアル導波路の設計と試作」, 電気学会E部門総合研究会(マイクロマシン・センサシステム研究会), 2009年7月23日~24日, 東京工科大学, MSS-09-3, pp.13-17.
- [191] Kazuhiro Takahashi, Makoto Mita, Satoshi Maruyama, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Multi-user CMOS-MEMS Processes for SOI Bulkmicromachined Actuators," 応用物理学会 集積化MEMSシンポジウム(電気学会第26回「センサ・マイクロマシンと応用システム」シンポジウム併設), 平成21年10月16日, タワー

ホール船堀, B-6.

- [192] S. Maruyama, M. Mita, H. Fujita, and H. Toshiyoshi, "Mixed-Signal Analysis for integrated MEMS by Electrical circuit Simulator Qucs," 応用物理学会 集積化MEMSシンポジウム(電気学会 第26回「センサ・マイクロマシンと応用システム」シンポジウム併設), 平成21年10月15日~16日, タワーホール船堀.
- [193] Kazuhiro Takahashi, Makoto Mita, Hiroyuki Fujita, Hiroshi Toshiyoshi, "Monolithically Integrated Electrostatic XYZ-Stage Using Stiction Bar Inter-layer Electrical Connection," 電気学会センサ・マイクロマシン部門主催 第26回「センサ・マイクロマシンと応用システム」シンポジウム, 平成21年10月15日~16日, タワーホール船堀.
- [194] W. Sun, D. Yamane, Y. Yi, H. Toshiyoshi, H. Fujita, K. Yamashita, "A Loaded-Line Phase Shifter Using MEMS Switches," 電気学会センサ・マイクロマシン部門主催 第26回「センサ・マイクロマシンと応用システム」シンポジウム, 平成21年10月15日~16日, タワーホール船堀.
- [195] M. Nakada, A. Higo, H. Fujita, H. Toshiyoshi, K. Takahashi, "Silicon Blazed Gratings by Skewed Deep-RIE Technique," 電気学会センサ・マイクロマシン部門主催 第26回「センサ・マイクロマシンと応用システム」シンポジウム, 平成21年10月15日~16日, タワーホール船堀.
- [196] A. Higo, T. Lee, M. Nakada, H. Fujita, H. Toshiyoshi and Y. Nakano, "An Aluminum/Parylene Flexible Thin Film Surface Plasmon Enhanced Color Filter with Sub-wavelength Structures," 電気学会センサ・マイクロマシン部門主催 第26回「センサ・マイクロマシンと応用システム」シンポジウム, 平成21年10月15日~16日, タワーホール船堀.
- [197] 山下清隆, SUN Winston, CHARLOT Benoit, 藤田博之, 年吉 洋, 「MEMS/NEMS技術の真空ナノエレクトロニクス応用」(日本学術振興会・真空ナノエレクトロニクス第158委員会) 第77回研究会, 2009(平成21)年4月20日, 筑波大学東京キャンパス.
- [198] 年吉 洋, 「MEMS技術の微小光学応用」ニューセラミックス懇話会(第186回研究会)・センシング技術応用研究会(第166回研究会), 2009(平成21)年5月8日, 大阪市中央公会堂.
- [199] 丸山智史, 三田 信, 藤田博之, 年吉 洋, 「運動方程式の等価回路による静電マイクロアクチュエータと回路の連成解析」日本機械学会マイクロナノ工学専門会議・電気等価回路から考えるMEMS設計手法研究会 第2回研究会, 2009(平成21)年5月15日, 東京大学本郷キャンパス.
- [200] Hiroshi Toshiyoshi, "Optical MEMS --From Fiber Telecommunication to Image Display--" in Proc. 3rd Nano and Microsystem Technology Conference (NMC), July 8, 2009, Internal Seminar at National Chung Hsing University, Taiwan, R.O.C.
- [201] Hiroshi Toshiyoshi, "Optical MEMS --From Fiber Telecommunication to Image Display--" in Proc. 3rd Nano and Microsystem Technology Conference (NMC), July 9-10, 2009, Taiwan National Chiao Tung University, Taiwan, R.O.C.(Invited)
- [202] 丸山智史, 三田 信, 藤田博之, 年吉 洋, 「電気回路シミュレータQucsを用いたMEMSアクチュエータの連成解析手法」第1回集積化MEMS技術研究ワークショップ, 2009年7月14日, 東工大すずかけホール.
- [203] 年吉 洋, 「印刷MEMS技術によるカラーピクセルアレイ」電子情報通信学会・集積光デバイスと応用技術時限研究専門委員会 第2回研究会, 東工大 大岡山キャンパス, 2009年10月16日(招待講演).
- [204] H. Toshiyoshi, "Colors in Optical MEMS," in Proc. 3rd KAIST Institute International Symposium, Sep. 24, 2009, Korea Advanced Institute of Science and Technology (KAIST), Daejeon, Korea.(Invited)
- [205] H. Toshiyoshi, "Design and Fabrication Technologies for Integrated MEMS," in Proc. 9th Japan-Taiwan Microelectronics International Symposium, Takeda Hall, VLSI Design and Education Center (VDEC), University of Tokyo, Oct. 28-29, 2009.
- [206] 年吉 洋, 「MEMSセンサ・アクチュエータのための設計製作支援技術」マイクロウェブ展2009(MWE09)ワークショップ18・高機能ロボットを実現するための無線技術とその最新動向, パシフィコ横浜, 2009年11月27日.
- [207] 年吉 洋, 「集積化CMOS-MEMS統合設計・製作」セミコンジャパン2009応用物理学会企画基調講演(集積化MEMS技術の現状と今後の展開), 2009年12月3日, 幕張メッセ.
- [208] 原田翔次, 赤峰悠介, 吉村正義, 松永裕介,

- "SER評価のための論理回路におけるパルスの伝搬解析", 電子情報通信学会技術研究報告, DC2009-9, Vol. 109, No. 11, pp.49-54, Apr. 2009.
- [209] 小津和 大昌, 吉村 正義, 松永 裕介, "セルベース設計に適したSER評価のためのパルス発生確率解析手法", 電子情報通信学会技術研究報告, DC2009-9, Vol. 109, No. 11, pp.43-48, Apr. 2009.
- [210] 上利宗久, 中田尚, 中島康彦 "線形アレイ型 VLIW プロセッサの面積効率評価", 平成21年度情報処理学会関西支部大会講演論文集, A-03, Sep. (2009)
- [211] 大賀健司, 中田尚, 嶋田創, 山下茂, 中島康彦 "二線式論理を用いた面積効率の良い高信頼演算器", 平成21年度情報処理学会関西支部大会講演論文集, A-07, Sep. (2009)
- [212] 吉村和浩, 市来亮人, 中田尚, 中島康彦 "異種命令混在実行プロセッサOROCHIの開発", 電子情報通信学会LSIとシステムのワークショップ2009 (poster), May. (2009)
- [213] 中根 了昌, 國谷瞬, 佐藤彰一, 菅原聡, 田中雅明, "シリコンMOS 反転層へのスピン注入と検出", 特定領域研究「スピン流の創出と制御」平成21年度第1回研究会, 北海道大学, 2009年8月9日-11日
- [214] 國谷瞬, 中根了昌, 佐藤彰一, 菅原聡, 田中雅明, "Fe電極を用いたスピンMOSFETにおけるスピン依存伝導特性", 2009年秋季第70回応用物理学学会学術講演会, 富山大学, 2009年9月8日-11日.
- [215] 市川 正貴, 松田 敏弘, 岩田 栄之, 高柳 毅, 増谷 康弘, "ヒステリシス制御方式DC-DCコンバータ用LSIの開発", "平成21年度電気関係学会北陸支部連合大会, 2009.
- [216] 田中 智章, 押山 弘樹, 松田 敏弘, 岩田 栄之, "しきい値電圧依存性の小さいCMOS基準電流発生回路の設計", 平成21年度電気関係学会北陸支部連合大会, 2009.
- [217] 柳澤 萱野, 井上, "ICチップ内F-SIR周期構造線路の試作(その2)", 電子情報通信学会技術報告, vol. 109, no. 241, EMCJ2009-76, pp.187-192, Oct. 2009.
- [218] 小野, 飯塚, 赤木, 船津, 一木, "透明フッ素ポリマーを用いた1分子蛍光イメージングデバイスの作製", 19p-ZD-14, 第57回応用物理学関係連合講演会
- [219] 伊藤, 東原, "段間ソースフォロワバッファを用いた増幅作用を持つ多段ポリフェーズ・フィルタ", 電子情報通信学会総合全国大会, C-12-8, (2010)
- [220] 佐藤, 田中, 高木, 高木, "パイプライン動作を考慮した単一磁束量子回路のための論理設計検証手法" 電子情報通信学会SCE研究会, SCE2009-17 (2009).
- [221] 川島, 高木, "オペランドの和を用いた並列乗算器の消費エネルギー評価", "電子情報通信学会VLD/DC研究会, VLD2009-66, DC2009-53 (2009).
- [222] 川島, 中村, 高木, 高木直史, "セル遅延モデルを用いた算術演算回路の信号遷移回数見積もり手法", "電子情報通信学会VLD研究会, VLD2009-124 (2009).
- [223] 田村, 深山, 松田, "輝度変化にロバストなオプティカルフローアルゴリズムのFPGA実装検討", 平成21年度電気関係学会北陸支部連合大会(2009).
- [224] 北方伸明, 深山正幸, 松田吉雄, "フルHD対応超解像VLSIプロセッサのアーキテクチャ検討", 平成21年度電気関係学会北陸支部連合大会(2009).
- [225] 東郷康二, 小松弘季, 深山正幸, 松田吉雄, "実時間動領域抽出向けアフィン動きモデル推定VLSIプロセッサ", 電子情報通信学会2010年総合大会予稿集(2010).
- [226] 森井, 高窪, 高窪, "電源端子入力型CMOSインバータを用いた電圧検出器の温度依存性について", 電子回路研究会, ECT-10-11, pp.57-62, Jan. 2010
- [227] 土井, 高窪, 高窪, "PTAT電圧発生回路を用いたCMOSデジタル回路のリーク電流の削減", 電子回路研究会, ECT-10-17, pp.7-12, Jan. 2010
- [228] 市川, 高窪, 高窪, "弱反転領域動作MOSFETにおけるMOSダイオードの表面ポテンシャルを考慮した4端子モデルの一考察", 電子回路研究会, ECT-10-20, pp.23-28, Jan.2010
- [229] 大藤, 高窪, 高窪, "MOSFETの弱反転領域を利用した温度センサ回路", pp.29-34, 平成22年度電気学会電子回路研究会, ECT-10-21 (2010)
- [230] 下垣, 榎田, 田久, 中川, "可視光通信用速度補償回路の設計と解析", 信学技報, CS2009-89 (2010).
- [231] 真鍋, 榎田, 田久, "直列均等分圧回路における基板バイアス効果の補正", 信学技報, CAS2009-136 (2010).
- [232] 間測, 榎田, 田久, "フィードフォワード誤差補償を用いたCMOSアナログ乗算器の線形性向上", 信学技報, CAS2009-138 (2010).
- [233] 田中, 下垣, 榎田, 田久, "残留キャリア引き抜きによる可視光通信用LED 高速駆動の検討", 2010年信学総大, A-1-6 (2010).

- [234] 高橋英俊, 松本潔, 下山勲, "MEMSセンサを用いた昆虫型羽ばたき翼における差圧計測," 日本機械学会2009年度年次大会, J0202-1-6, 岩手, 13-16 September, 2009.
- [235] 中井亮仁, 田中悠輔, 橋本康史, 松本潔, 下山勲, "超小型MEMS 3軸触覚センサチップ," 第27回日本ロボット学会学術講演会, 3E2-08, 神奈川, 15-17 September, 2009.
- [236] 青山雄一郎, 大澤一治, 高橋英俊, 岩瀬英治, 松本潔, 下山勲, "昆虫型羽ばたき機を用いた翼面圧力の計測," 第27回日本ロボット学会学術講演会, 1M3-07, 神奈川, 15-17 September, 2009.
- [237] 稲葉亮, ゲンミンジュン, 高橋英俊, 岩瀬英治, 松本潔, 下山勲, "単一センサによる音源定位のためのキリギリス規範音響センサ," 第27回日本ロボット学会学術講演会, 2I1-03, 神奈川, 15-17 September, 2009.
- [238] "電源線を用いた135Mbps双方向チップ間通信技術," 橋田拓志, 永田真, 電子情報通信学会技術報告 ICD2009-36, 15-18, 2009.10.
- [239] "CMOSデジタルLSIにおける電源雑音評価のためのリファレンス回路", 松野哲郎, 小坂大輔, 永田真, 電子情報通信学会技術報告 ICD2009-66, 19-22, 2009.11.
- [240] "(招待講演)電源雑音とプロセッサ動作エラーのオンチップ評価技術", 深澤光弥, 永田真, 電子情報通信学会技術報告 ICD2009-77, 7-12, 2009.12.
- [241] "チップ間電源線通信を用いたオンチップモニタの搭載容易化手法", 橋田拓志, 永田真, LSIとシステムのワークショップ2009予稿集, pp.185-187 2009.5.
- [242] "ばらつきを含めたオンチップモニタ回路の性能評価", 坂東要志, 高谷聡, 永田真, LSIとシステムのワークショップ2009予稿集, pp.188-190 2009.5.
- [243] "オンチップモニタの搭載技術", 橋田拓志, 永田真, STARCフォーラム/シンポジウム 2009, 2009.08.
- [244] "CMOSアナログ回路における基板ノイズ応答の解析", 高谷聡, 坂東要志, 永田真, 電子情報通信学会技術報告 ICD2009-81, 31-34, 2009.12.
- [245] "CMOS-RF回路における基板結合の評価と解析", 東直矢, 永田真, 電子情報通信学会技術報告 ICD2009-83, 39-42, 2009.12.
- [246] 山田 翔太, 國生 雄一, 西本 智広, 吉田 直之, 堀 遼平, 松本 直樹, 北森 達也, 藤野 毅(立命館大), 吉川 雅弥(名城大), "ピアプログラマブルデバイスVPEXのロジックアレイブロックと配線アーキテクチャの検討", 信学技報, vol. 109, no. 462, VLD2009-107, pp.49-54, 2010年3月11日.
- [247] 堀 遼平, 國生 雄一, 西本 智広, 山田 翔太, 吉田 直之, 藤野 毅(立命館大), 吉川 雅弥(名城大), "ピアプログラマブルデバイスに最適な基本論理ゲートアーキテクチャの検討", 信学技報, vol. 109, no. 462, VLD2009-108, pp.55-60, 2010年3月11日.
- [248] 西本 智広, 北森 達也, 國生 雄一, 山田 翔太, 藤野 毅(立命館大), 吉川 雅弥(名城大), "ピアプログラマブルデバイスVPEXの配線遅延評価", 信学技報, vol. 109, no. 462, VLD2009-109, pp.61-66, 2010年3月11日.
- [249] 次田, 上野, 廣瀬, 浅井, 雨宮, "低電圧CMOSデジタル集積回路のためのPVTバラツキ補償技術," LSIとシステムのワークショップ2009, (北九州), 2009年5月
- [250] 辻川, 廣瀬, 大崎, 松本, 黒木, 沼, "インダクタの逆流電流検出回路を用いた高効率同期整流型DC-DCコンバータ," LSIとシステムのワークショップ2009, pp.203-205, (北九州), 2009年5月.
- [251] 松本, 廣瀬, 鬼頭, 大崎, 黒木, 沼, "MOSFETのキャリア移動度温度特性を利用した基準電流源回路," LSIとシステムのワークショップ2009, pp.200-202, (北九州), 2009年5月.
- [252] 大崎, 廣瀬, 松本, 辻川, 黒木, 沼, "サブスレッショルド・デジタル回路における遅延時間制御の一設計手法," LSIとシステムのワークショップ2009, pp.197-199, (北九州), 2009年5月.
- [253] 辻川, 廣瀬, 大崎, 松本, 黒木, 沼, "逆流電流遮断による同期整流型DC-DCコンバータの電力変換効率改善," VDECデザイナーズフォーラム 2009, P-13, (東京), 2009年6月.
- [254] 松本, 廣瀬, 鬼頭, 大崎, 黒木, 沼, "PVTバラツキ特性を改善したサブスレッショルド電流源," VDECデザイナーズフォーラム 2009, P-14, (東京), 2009年6月.
- [255] 上野, 廣瀬, 浅井, 雨宮, "極低消費電力LSIのためのCMOS参照電流源回路," 電気学会-電子回路研究会, (宮崎), 2009年10月.
- [256] 大崎, 廣瀬, 松本, 黒木, 沼, "極低電力サブスレッショルド・デジタル回路のオンチップ遅延バラツキ補正技術," 電子情報通信学会 集積回路研究会, (東京), 2009年10月.
- [257] 永山, 廣瀬, 大崎, 黒木, 沼, "低電圧サブスレッショルドLSIに向けたリニア・レギュレータ回路," 電子情報通信学会総合大会, (仙台), 2010年3月

- [258] 辻川, 廣瀬, 大崎, 黒木, 沼, "デューティ制御回路を用いたスイッチトキャパシタ型DC-DCコンバータ," 電子情報通信学会総合大会, (仙台), 2010年3月
- [259] 大崎, 廣瀬, 松本, 黒木, 沼, "サブスレッショルドCMOSデジタル回路の遅延バラツキ補正アーキテクチャの評価," 電子情報通信学会総合大会, (仙台), 2010年3月
- [260] 椿, 廣瀬, 大崎, 黒木, 沼, "適応バイアス技術を用いた極低消費電流コンパレータ," 電子情報通信学会総合大会, (仙台), 2010年3月.
- [261] 松本, 廣瀬, 大崎, 黒木, 沼, "Source-Coupled Logic回路を用いたサブスレッショルドSRAMセルの検討," 電子情報通信学会総合大会, (仙台), 2010年3月.
- [262] 磯野, 廣瀬, 大崎, 松本, 黒木, 沼, "PVTバラツキ耐性を有する基準クロック発振回路," 電子情報通信学会総合大会, (仙台), 2010年3月.
- [263] 廣瀬, "超低電力サブスレッショルドCMOS回路に向けた電流源回路," 電子情報通信学会総合大会, (仙台), 2010年3月.
- [264] 塩田, 北村, "異種命令セット同時実行プロセッサの設計と評価", Vol. 009-ARC-184, No. 28, 情処研究報告(2009)
- [265] 元安, 山下, 北村, "論理設計検証テストプログラム生成ツールの開発と評価方式", Vol. 2009-ARC-184, No. 29, 情処研究報告(2009)
- [266] 井福一毅, 厚地泰輔, 森江隆, 堀尾喜彦, 合原一幸, しきい値処理により結合されたカオス力学系のパルス変調方式CMOS回路実現, 電子情報通信学会 非線形問題研究会, NLP2009-154, Vol. 109, No. 366, pp.65-70, 2010年1月22日.
- [267] 金永宰, 財津賢一郎, 森江隆, 画像の不完全エッジを補完する主観的輪郭生成のためのAD融合回路方式画素並列型異方性拡散LSI, LSIとシステムのワークショップ, 講演資料集およびポスター資料集, pp.268-270, 2009年5月19日.
- [268] 松坂建治, 森江 隆, 大局的画像領域分割のための領域ベース結合MRFモデルを実現するCMOS回路, 電気学会 電子・情報・システム部門大会, pp.90-91, 2009年9月4日.
- [269] 財津賢一郎, 金 永宰, 栗谷康隆, 森江 隆, 画素並列型異方性拡散LSIを用いたリアルタイム画像処理システムによる主観的輪郭生成, 日本神経回路学会 第19回全国大会 (JNNS2009), #O4-2, pp.136-137, 2009年9月26日.
- [270] 財津賢一郎, 金 永宰, 栗谷康隆, 森江 隆, 画素並列型異方性拡散LSIとそれを用いてエッジ補完を行う画像処理システム, 映像情報メディア学会技術報告 情報センシング研究会 (IST2009-94), Vol. 33, No. 56, pp.17-20, 2009年12月10日.
- [271] 廣瀬貴規, 藤本邦昭, 矢原充敏, 佐々木博文, "デジタルPLLに応用する多相クロックVCOの設計試作", 電子情報通信学会九州支部学生会講演会
- [272] 安田 彰, "(招待) ミックストシグナルSoCにおける回路構成とビヘイビアモデル," 電子情報通信学会 回路とシステム(軽井沢)ワークショップ 2009, pp.280-284, Apr. 2009.
- [273] 小林 琢磨, 野田 俊彦, 笹川 清隆, 徳田 崇, 畠中由美子, 田村 英紀, 石川 保幸, 塩坂 貞夫, 太田 淳, "バイオメディカルフォトリックLSIによる培養神経細胞のオンチップ電位イメージング", 第57回応用物理学関係連合講演会, 17p-ZD-6(2010)
- [274] 佐川 祐樹, 富松 慎吾, 村上 歩, 竹内 陽一, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "CMOSチップ搭載フレキシブル人工視覚デバイスの同時多点刺激対応と脳刺激・計測デバイスへの展開", 第57回応用物理学関係連合講演会(2010)
- [275] 南 裕樹, 田川 礼人, 三谷 昌弘, 野田 俊彦, 笹川 清隆, 徳田 隆, 太田 淳, "自由行動マウス脳深部蛍光観察用CMOSイメージセンサの開発-デバイスの実装方法とin vivo蛍光測定系の開発", 映像情報メディア学会 (2009)
- [276] 南 裕樹, 田川 礼人, 三谷 昌弘, 笹川 清隆, 徳田 隆, 畠中 由美子, 田村 英紀, 塩坂 貞夫, 太田 淳, "マウス脳深部蛍光観察用CMOSイメージセンサの開発", STARCフォーラム/シンポジウム 2009 (2009)
- [277] 三谷 昌弘, 田川 礼人, 南裕 裕樹, 種子田 浩志, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "ライトガイドアレイ搭載in vivo脳機能イメージセンサ", 第8回関西学生研究論文講演会 (2010)
- [278] 小黒 康裕, 宍戸 三四郎, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "光計測法による脳神経活動計測のためのCMOSイメージセンサの開発", 第8回関西学生研究論文講演会 (2010)
- [279] 中島 新, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "In vitro神経活動イメージングのための平面多点電極アレイ一体型CMOSイメージセンサの開発", 第57回応用物理学関係連合講演会 (2010)
- [280] 宍戸 三四郎, 小黒 康裕, 笹川 清隆, 徳田 崇, 太田 淳, "脳機能イメージングのためのマルチファンクショナルCMOSイメージセンサの開発", 情報センシング研究会 (2009)
- [281] 皆川 亨介, 太田 淳, "人工シナプス実現に向けた薬剤吐出CMOSデバイスの開発", STARC

フォーラム/シンポジウム2009 (2009)

- [282] 種子田 浩志, 水田 裕樹, 三谷 昌弘, 南 裕樹, 田川 礼人, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "in vivo脳神経CMOSイメージセンサにおけるフィルタ性能の改善とライトガイドアレイ構造による高解像度化", 第57回応用物理学関係連合講演会 (2010)
- [283] 富松 慎吾, 佐川 祐樹, 村上 歩, 竹内 陽一, 野田 俊彦, 笹川 清隆, 徳田 崇, 西田 健太郎, 不二門 尚, 田野 保雄, 太田 淳, "ウサギ動物実験による同時多点刺激対応人工視覚デバイスの機能実証", 第57回応用物理学関係連合講演会 (2010)
- [284] 桑山 将和, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "in vivo脳神経イメージングデバイスのワイヤレス化の検討", 第57回応用物理学関係連合講演会 (2010)
- [285] 藤岡 侑司, 下島 弘也, 野田 俊彦, 笹川 清隆, 徳田 崇, 寺尾 公維, 堤 健, 垣内 喜代三, 太田 淳, "偏光分析CMOSイメージセンサを用いたインライン不斉計測システムの開発" 電気学会全国大会 (2010)
- [286] 村上 歩, 佐川 祐樹, 富松 慎吾, 竹内 陽一, 野田 俊彦, 笹川 清隆, 徳田 崇, 西田 健太郎, 不二門 尚, 田野 保雄, 太田 淳, "スマート電極型人工視覚デバイスの動物実験による機能実証", 電気学会全国大会 (2010)
- [287] 水田 裕樹, 南 裕樹, 野田 俊彦, 笹川 清隆, 徳田 崇, 畠中 由美子, 田村 英紀, 塩坂 貞夫, 石川 保幸, 太田 淳, "脳内埋め込み型CMOSイメージセンサを用いたin vivo脳機能イメージングシステムの開発", 電気学会全国大会 (2010)
- [288] 小黒 康裕, 宍戸 三四郎, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "光学的脳神経活動計測用CMOSイメージセンサの試作", 情報センシング研究会 (2009)
- [289] 藤原 正英, 笹川 清隆, 徳田 崇, 太田 淳, "電界イメージングの高感度化に向けたCMOSイメージセンサの設計", Optic & Photonics Japan 2009 (2009)
- [290] 藤原 正英, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "CMOSイメージセンサによる高感度電界イメージング" IPG秋合宿 (2009)
- [291] 宍戸 三四郎, 小黒 康裕, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, 塩坂 貞夫, 加藤 天美, "光計測法を用いた脳機能活動のためのCMOSイメージセンサの研究" 映像情報メディア学会 年次大会 (2009)
- [292] 野田 俊彦, 田川 礼人, 南 裕樹, 三谷 昌弘, 笹川 清隆, 徳田 崇, 田村 英紀, 畠中 由美子, 石川 保幸, 塩坂 貞夫, 太田 淳, "in vivo脳計測用マルチモーダルCMOSイメージセンサの開発", 映像情報メディア学会 年次大会 (2009)
- [293] 徳田 崇, 竹内 陽一, 野田 俊彦, 笹川 清隆, 西田 健太郎, 北口 義之, 不二門 尚, 田野 保雄, 太田 淳, "受光機能搭載CMOSマルチチップ人工視覚デバイスによるウサギ網膜刺激", 第24回生体・生理工学シンポジウム (2009)
- [294] 皆川 亨介, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "人工シナプスに向けたCMOSチップ駆動型流体吐出マイクロデバイスの開発", 応用物理学会 (2009)
- [295] 田川 礼人, 南 裕樹, 三谷 昌弘, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, マウス脳深部神経活動の蛍光・電位デュアルイメージング用CMOSセンサの開発, 応用物理学会 (2009)
- [296] 下島 弘也, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "不斉度計測のための偏光分析CMOSイメージセンサの高精度化", 応用物理学会 (2009)
- [297] 掛田 哲宏, 竹内 陽一, 笹川 清隆, 徳田 崇, 太田 淳, "分散型人工視覚デバイス用CMOS刺激チップの高電圧化", 応用物理学会 (2009)
- [298] 太田 淳, 徳田 崇, 笹川 清隆, 竹内 陽一, 西田 健太郎, 北口 善之, 瓶井 資弘, 不二門 尚, 田野 保雄, "網膜下埋込み方式のための光制御機能を内蔵した分散型人工視覚デバイス", 情報センシング (2009)
- [299] 徳田 崇, 山田 博文, 下島 弘也, 笹川 清隆, 太田 淳, "埋め込みワイヤグリッド構造を利用した偏光計測CMOSイメージセンサ", 情報センシング (2009)
- [300] 笹川 清隆, 田川 礼人, 南 裕樹, 野田 俊彦, 徳田 崇, 畠中 由美子, 田村 英紀, 塩坂 貞夫, 太田 淳, "CMOSイメージセンサを用いた生体in-vivoイメージングの高コントラスト化", 情報センシング研究会 (2009)
- [301] 徳田 崇, "CMOS技術による新しい埋め込み型バイオメディカルデバイス", M & BE研究会 (2009)
- [302] 宍戸 三四郎, 小黒 康裕, 笹川 清隆, 徳田 崇, 塩坂 貞夫, 加藤 天美, 太田 淳, "脳神経活動の光計測用CMOSイメージセンサ", システムLSIワークショップ, pp.304-305 (2009)
- [303] 加藤 小野田, 田中, "アナログニューラルネットワーク回路を利用したダクト内アクティブノイズコントロール", pp.29-33, 信学技報, SP2009-11 (2009)

- [304] 小暮 武, 藤岡達也, 雫 譲, 廣瀬哲也, 黒木修隆, 沼 昌宏, "ハイブリッド型CMOS 論理構成の4-2加算器による乗算器のグリッチ削減," 情報処理学会研究報告, vol. 2009-SLDM-142, no. 20, 2009年12月.
- [305] 塩木講輔, 渡辺浩介, 岡田匠史, 石原俊郎, 廣瀬哲也, 黒木修隆, 沼 昌宏, "回路構造を考慮した修正箇所候補抽出に基づく論理診断手法," 情報処理学会研究報告, vol. 2009-SLDM-142, no. 33, 2009年12月.
- [306] 塩木講輔, 岡田匠史, 渡辺浩介, 廣瀬哲也, 黒木修隆, 沼 昌宏, "素子のクラスタリングを用いた論理診断手法," 情報処理学会 DA シンポジウム2009, pp.37-42, 2009年8月.
- [307] 渡辺浩介, 塩木講輔, 岡田匠史, 廣瀬哲也, 黒木修隆, 沼 昌宏, "信号線欠落に対応した論理診断における変更箇所数削減," 情報処理学会 DA シンポジウム2009, pp.43-48, 2009年8月.
- [308] 出浦 桃子, 近藤 佳幸, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和 : 多段階成長を用いた微小領域選択MOVPEにおけるSi上InGaAsマイクロ ディスク形状の面内均一化向上, 第28回電子材料シンポジウム, E-2, 2009年7月.
- [309] 出浦 桃子, 近藤 佳幸, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和 : 微小領域選択MOVPEによるSi上InGaAs結晶最表部における双晶消滅層の形成と評価, 第70回応用物理学学会学術講演会, 11p-C-5, 2009年9月.
- [310] 出浦 桃子, 近藤 佳幸, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和 : 微小領域選択MOVPEにおけるSi上InGaAsの原子構造と光学特性解析, 第41回化学工学会秋季大会, A105, 2009年9月.
- [311] 出浦 桃子, 近藤 佳幸, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和 : 微小領域選択MOVPEを用いたSi上InGaAs多段階成長の時間発展, 第57回応用物理学 関係連合講演会, 19a-TW-9, 2010年3月.
- [312] "微小領域選択MOVPEにおけるSi上InAs初期核発生の成長条件依存性" 近藤 佳幸, 出浦 桃子, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和 第28回 電子材料シンポジウム 2009年 7月 E-4
- [313] "微小領域選択MOVPEにおける表面P終端SiからのInAs 均一核発生" 近藤 佳幸, 出浦 桃子, 寺田雄紀, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和 第70回応用物理学学会学術講演会 2009年 9月 11p-C-4
- [314] "MOVPE微小領域選択成長におけるSi上InAs核発生の成長条件依存性" 近藤 佳幸, 出浦 桃子, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和 化学工学会第41回秋季大会 2009年 9月 A120
- [315] "選択MOVPEによるSi上InGaAs成長の成長領域狭窄化による横方向成長促進" 近藤 佳幸, 出浦 桃子, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和 第57回応用物理学関係連合講演会 2010年 3月 19a-TW-8
- [316] 石原 昇, 水落 裕, 益 一哉, "アナログCMOS 集積回路と MEMS の融合", 電子情報通信学会 ソサイエティ大会, CT-1-3, 2009年9月17日 (於 新潟大学).
- [317] 益 一哉, "総論 : MEMSとLSIの融合", 電子情報通信学会 ソサイエティ大会, CT-1-1, 2009年9月17日 (於 新潟大学).
- [318] 前川 智明, 天川 修平, 石原 昇, 益 一哉, "キャパシティブプリエンファシス技術を導入したオンチップRC伝送回路と伝送線路回路の比較", 電子情報通信学会 ソサイエティ大会, C-12-53, 2009年9月18日 (於 新潟大学).
- [319] 関口貴之, 天川修平, 石原昇, 益 一哉, "高速オンチップシリアル伝送用4 1 MUX 回路の検討", 電子情報通信学会 ソサイエティ大会, C-12-52, 2009年9月18日 (於 新潟大学).
- [320] 白根 篤史, 中野 和雄, 水落 裕, 天川 修平, 石原 昇, 益 一哉, "スケーラブル広帯域RF QPSK変調回路の検討", 電子情報通信学会 ソサイエティ大会, C-12-23, 2009年9月16日 (於 新潟大学).
- [321] 中野 和雄, 天川 修平, 石原 昇, 益 一哉, "Time To Analog Converterを用いたスケーラブルCMOS RF信号発生回路の検討", 電子情報通信学会 ソサイエティ大会, C-12-22, 2009年9月16日 (於 新潟大学).
- [322] 大鶴 基格, 佐渡島 進, 天川 修平, 石原 昇, 益 一哉, "CMOSインバータ型広帯域可変利得増幅器の評価", 電子情報通信学会 ソサイエティ大会, C-12-17, 2009年9月15日, (於 新潟大学).
- [323] 中島 智也, 天川 修平, 石原 昇, 益 一哉, "CMOSインバータ回路をベースとしたインダクタレス広帯域RF CMOS低雑音増幅回路", 電子情報通信学会 ソサイエティ大会, C-12-16, 2009年9月15日 (於 新潟大学).
- [324] 石原 昇, 水落 裕, 天川 修平, 益 一哉, "RF CMOS 集積回路と MEMS 回路の融合", 電気学会センサ・マイクロマシン部門主催 第26回「センサ・マイクロマシンと応用システム」シンポジウム, C2-2, 2009年9月15日 (於 タワーホール船堀).

- [325] 藤原 琢, 石原 昇, 天川 修平, 田迫 裕貴, 野村 聡, 小西 敏文, 町田 克之, 益 一哉, "pHセンサ用ISFET特性のモデリング", 2009年(平成21年)秋季第70回応用物理学会学術講演会, 8p-TB-3, 2009年9月8日, 富山.
- [326] 中島智也, 天川修平, 石原昇, 益一哉, "CMOSインバータ回路をベースとしたスケーラブル広帯域低雑音増幅回路", STARCフォーラム/シンポジウム, p.56, 2009年8月25日, (於 新横浜)
- [327] 中島智也, 佐渡島進, 天川修平, 石原昇, 益一哉, "インダクタレススケーラブル広帯域CMOS増幅回路", 電子情報通信学会 シリコンアナログRF研究会, p. 4, 2009年7月23日(於 東京工業大学)
- [328] 関口貴之, 峰山亜希子, 鈴木俊秀, 伊藤浩之, 天川修平, 石原昇, 益一哉, "90nmプロセスによる20Gb/s Near-Rail-to-Rail ロジック動作1/4 DEMUX", 電子情報通信学会 シリコンアナログRF研究会, p. 6, 2009年7月23日(於 東京工業大学)
- [329] 伊達貴徳, 萩原 汐, 上藪 巧, 佐藤高史, 益一哉, "SRAM回路の構造的対称性を考慮した2段階学習型重点的サンプリング", VLSI設計技術研究会 システム設計及び一般, 信学技報, vol. 109, no. 34, VLD2009-5, pp.37-42, 2009年5月(於 北九州国際会議場)
- [330] 前川智明, 伊藤浩之, 天川修平, 石原 昇, 益一哉, 「オンチップネットワークへの利用を目指した低電力パルス伝送線路回路」2009年(平成21年)LSIとシステムのワークショップ2009, pp.306-307, (平成 21年5月19日発表, 北九州国際会議場), 講演番号42
- [331] 中島智也, 伊藤浩之, 天川修平, 石原 昇, 益一哉 インダクタレスRF CMOS低雑音増幅回路の検討 2009年(平成21年)LSIとシステムのワークショップ2009, pp.309-311, (平成21年5月19日発表, 北九州国際会議場), 講演番号43
- [332] 関口貴之, 天川修平, 石原昇, 益一哉, 「オンチップコプレーナ-ストリップ差動伝送線路の最適化設計」, LSIとシステムのワークショップ2009, pp.312-314, (平成 21年5月19日発表, 北九州国際会議場)
- [333] 大下隆生, 天川修平, 石原 昇, 益 一哉, "広帯域・低位相雑音・差動型リングVCOの設計", 第22回回路とシステム軽井沢ワークショップ, pp.96-100, Apr 20, 2009
- [334] 白根篤史, 天川修平, 石原 昇, 益 一哉, "デジタルベーススケーラブルQPSK RF変調回路", 電子情報通信学会 2010年総合大会, 講演番号C-12-2, 2010年3月16日(於 東北大学)
- [335] 中野和雄, 白根篤史, 天川修平, 石原 昇, 益一哉, "インジェクションロックを用いたCMOS QPSK RF信号発生回路の検討", 電子情報通信学会 2010年総合大会, 講演番号C-12-3, 2010年3月16日(於 東北大学)
- [336] Othman Mousa, 天川修平, 石原 昇, 益 一哉, "Wide-Band, Linear Low Noise Amplifier Design", 電子情報通信学会 2010年総合大会, 講演番号C-12-12, 2010年3月16日(於 東北大学)
- [337] 李 尚曄, 天川修平, 石原 昇, 益 一哉, "2.8-11GHz広帯域差動リング型電圧制御発振器", 電子情報通信学会 2010年総合大会, 講演番号C-12-17, 2010年3月16日(於 東北大学)
- [338] 大鶴基格, 中島智也, 天川修平, 石原 昇, 益一哉, "CMOSインバータ型高利得広帯域RF可変増幅回路の検討", 電子情報通信学会 2010年総合大会, 講演番号C-12-13, 2010年3月16日(於 東北大学)
- [339] 鈴木成人, 関口貴之, 天川修平, 石原 昇, 益一哉, "クロックドインバータ型 D-FFによるMUX/DEMUXの研究", 電子情報通信学会 2010年総合大会, 講演番号C-12-158 2010年3月19日(於 東北大学)
- [340] 高木辰則, 前川智明, 天川修平, 石原 昇, 益一哉, "オンチップRC配線と伝送線路による高速デジタル信号伝送特性の比較", 電子情報通信学会 2010年総合大会, 講演番号C-12-59, 2010年3月19日(於 東北大学)
- [341] 藤原 琢, 石原 昇, 天川修平(東工大), 山内 悠, 田邊裕貴, 野村 聡(堀場製作所), 小西敏文, 町田克之(NTT-AT), 益 一哉, "ISFETを用いたワイヤレスpHセンサモジュール", 電子情報通信学会 2010年総合大会, 講演番号A-1-42, 2010年3月19日(於 東北大学)
- [342] 平井智應, 平湯宗人, 江口啓, 寺田晋也, 大田一郎, "フィボナッチ形スイッチトキャパシタを用いたDC-DCコンバータに関する研究," 平成21年度第8回電子情報系高専フォーラム, no.B-18, pp.143-146, (2009).
- [343] 才塚優俊, 大田真菜美, 寺田晋也, 大田一郎, "バッテリー延命回路のドライバに関する研究," 平成21年度第8回電子情報系高専フォーラム, no.B-17, pp.139-142, (2009).
- [344] 松野新太郎, 大田真菜美, 寺田晋也, 大田一郎, "バッテリー延命用パルス発生回路の開発に関する研究," 平成21年度第8回電子情報系高専フォーラム, no.B-16, pp.135-138, (2009).

- [345] 黒田茜, 寺田晋也, 江口啓, 大田一郎, “スイッチトキャパシタを用いたEL用電子点灯回路の開発,” 平成21年度第8回電子情報系高専フォーラム, no.B-15, pp.131-134, (2009).
- [346] 平川晋也, 寺田晋也, 江口啓, 大田一郎, “デジタル選択方式スイッチトキャパシタを用いたAC-DCコンバータに関する研究,” 平成21年度第8回電子情報系高専フォーラム, no.B-14, pp.127-130, (2009).
- [347] 藤本太郎, 寺田晋也, 江口啓, 大田一郎, “スイッチトキャパシタDC-ACコンバータの理想解析に関する研究,” 平成21年度第8回電子情報系高専フォーラム, no.B-13, pp.123-126, (2009).
- [348] 梶田了輔, 寺田晋也, 江口啓, 大田一郎, “新しいデジタル選択方式スイッチトキャパシタDC-ACコンバータ,” 第62回電気関係学会九州支部連合大会, no. 10-2A-03, (2009).
- [349] 平湯宗人, 寺田晋也, 江口啓, 大田一郎, “フィボナッチ形スイッチトキャパシタ(SC)降圧コンバータ,” 第62回電気関係学会九州支部連合大会, no. 10-2A-02, (2009).
- [350] 大田真菜美, 寺田晋也, 江口啓, 大田一郎, “誘導性や容量性負荷に対して高効率を維持できるスイッチトキャパシタDC-ACコンバータ,” 第22回回路とシステム軽井沢ワークショップ, pp.349-354, (2009).
- [351] 大田真菜美, 寺田晋也, 江口啓, 大田一郎, “負荷の位相角が変化しても高効率を維持できるスイッチトキャパシタ電源,” 第23回熊本県産学官技術交流会, no. 313, (2009).
- [352] 山田, 吉田, 四柳, 橋爪, “断線部形状のIC内完全断線配線の信号伝搬に与える影響,” 電気関係学会四国支部連合大会講演論文集, p.130, (2009)
- [353] 真鍋, 山田, 吉田, 四柳, 橋爪, “完全断線配線の同一層配線信号から受ける影響,” 電気関係学会四国支部連合大会講演論文集, p.131, (2009)
- [354] 樽見, 四柳, 橋爪, “縮退故障用テストパターンを用いたビアオープンの検査可能性評価,” 電気関係学会四国支部連合大会講演論文集, p.132, (2009)
- [355] 栗林, 四柳, 橋爪, “隣接線の並走距離を考慮した断線故障検査用テスト生成,” 電気関係学会四国支部連合大会講演論文集, p.133, (2009)
- [356] 中野, 四柳, 橋爪, “局所的なIRドロップを考慮する複数スキャンチェーン構成法,” 電気関係学会四国支部連合大会講演論文集, p.134, (2009)
- [357] 馬場祐一, 宮本篤志, 本間尚文, 青木孝文, 佐藤証, “RSA暗号プロセッサジェネレータの設計と評価,” 第8回 情報科学技術フォーラム (FIT2009), No. RC-003, pp.129-136, September 2009.
- [358] 前澤, “共鳴トンネル素子を生かす新しい集積化技術”, 第43回ナノ・スピン工学研究会(2009).
- [359] 柴田真吾, 笠原康司, 松田憲治, 森雅之, 前澤宏一, “高性能広帯域デジタル超音波センサのためのGaAs基板上MEMSマイクロフォンの作製”, 電子情報通信学会ソサイエティ大会 (2009).
- [360] 堤早希, 奥村崇之, 赤池宏之, 藤巻朗, 前澤宏一, “HEMT埋め込み超伝導回路作製プロセスの評価,” 秋季第70回応用物理学学会学術講演会(2009).
- [361] 浅野, 瀬戸, 丸泉, “ハードウェア合成用Cベース設計記述向けタスクレベルパイプライン化手法”, 2010年3月 研究報告 - システムLSI設計技術(SLDM)
- [362] 川人祥二, “パイプラインAD変換器のデジタルアシスト技術”, 第22回 回路とシステム軽井沢ワークショップ, Ba1-3-2, (2009).
- [363] 園田, 田中, 樋口, 藤田, 前中, “多層集積化MEMSのためのハイブリッドウエハに関する研究”, 電気学会交通・電気鉄道/フィジカルセンサ合同研究会, PHS-01-010(2010).
- [364] 大智輝, 戸川望, 柳澤政生, 大附辰夫, “一般化レジスタ分散アーキテクチャを対象としたフロアプラン指向高位合成手法”, 信学 第22回回路とシステム軽井沢ワークショップ, pp.438-443, 2009.
- [365] 長島諒侑, 戸川望, 柳澤政生, 大附辰夫, “IEEE802.11nに対応した高効率列処理演算器による高スループットイレギュラーLDPC復号器の実装と評価”, pp.51-56, 信学技報, VLD2009-38, 2009
- [366] 奈良竜太, 戸川望, 柳澤政生, 大附辰夫, “楕円曲線暗号に対するスキャンベース攻撃,” 情処学 DA シンポジウム2009, vol. 2009, no. 7, pp.109-114, Aug. 2009.
- [367] 橋本識弘, 戸川望, 柳澤政生, 大附辰夫, “部分マッチングを考慮しMISO構造に対応した専用演算器合成手法”, 信学技報, VLD2009-83, pp.89-94, 2010.
- [368] 平, 荻原, “ターボTCM復号器の動作レベル設計”, pp.685-690, 第32回情報理論とその応用シンポジウム予稿集(2009)
- [369] 平, 荻原, “ターボTCM復号器の動作レベル設計-パイプライン処理回路の自動合成及びRTL設計時との比較”, pp.331-335, 電子情報通信学会情報通信基礎サブソサイエティ合同研究会(2010)

- [370] Y. Lee, T. Nishihara, T. Matsumoto, and M. Fujita, "A Method of Reproducing Input/Output Error Trace on High-level Design for Hardware Debug Support," 電子情報通信学会技術研究報告, Vol. 109, No. 416, pp.30-35, 2010年2月.
- [371] Ning Li, Kota Matsushita, Naoki Takayama, Shogo Ito, Kenichi Okada, and Akira Matsuzawa, "Evaluation of a Multi-Line De-embedding Technique up to 110 GHz for Millimeter-Wave CMOS Circuit Design," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, Vol. E93-A, No. 2, pp.431-439, Feb. 2010.
- [372] Daehwa Paik, Yusuke Asada, Masaya Miyahara, and Akira Matsuzawa, "An 8-Bit 600-MSps Flash ADC Using Interpolating and Background Self-Calibrating Techniques," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E93-A, No. 2, pp.402-414, Feb. 2010.
- [373] Dong Ta Ngoc Huy, Masaya Miyahara, and Akira Matsuzawa, "Thermal Noise Effects Caused by Settling Time Optimization in Switched-Capacitor Circuits", Electronics Society Technical Committee on Integrated Circuits and Devices, IEICE, ICD2009-33-ICD2009-62, pp.81-86, Oct. 2009.
- [374] 池内博一, 吉澤真吾, 宮永喜一, "4x4 MIMO-OFDM受信機における動的再構成可能なMMSE検出器のLSI設計," 電子情報通信学会 SIS研究会, SIS2009-14, pp.79-84, June 2009
- [375] 金 在成, 吉澤真吾, 宮永喜一, "eラーニングと連携した遠隔操作FPGA設計教育システムの構築," FIT2009 第8回情報科学技術フォーラム, Vol. 3, pp.588-589, Sep. 2009
- [376] 鬼沢, 羽生, V. Gaudet, "MTJ・CMOSハイブリッド回路に基づく低電力・高信頼LSI技術", pp.354-356, LSIとシステムのワークショップ2009講演論文集(2009)
- [377] 夏井, 羽生, "MTJ・CMOSハイブリッド回路に基づく低電力・高信頼LSI技術", pp.351-353, LSIとシステムのワークショップ2009講演論文集(2009)
- [378] 鬼沢, 松本, 羽生, 米田, "高信頼オンチップ非同期データ転送技術に関する一検討," 電子情報通信学会技術研究報告, DC2009-18(SWoPP2009), vol. 109, no. 169, pp.1-6 (2009)
- [379] 船崎, 鬼沢, 松本, 羽生, "非同期式ネットワークオンチップに基づくLSI設計環境の構築", 平成21年度電気関係学会東北支部連合大会講演論文集, 1D06, p.106, (2009)
- [380] 有光, 夏井, 羽生, "二次元LUTを用いた電流モード多値回路向け高速・高精度動作検証手法の一考察," 平成21年度電気関係東北支部連合大会講演論文集, 1D05, p.105, (2009)
- [381] 松本, 船崎, 鬼沢, 羽生, "非同期式ネットワークオンチップの回路レベル検証環境の構築," 第8回情報科学技術フォーラム(FIT)講演論文集, C-036, (2009)
- [382] 松本, 鬼沢, 羽生, "多値1色2線符号に基づく非同期データ転送方式とその応用," 多値論理研究ノート 第32巻, 2号, pp.1-1~1-5, (2009)
- [383] 白濱, 有光, 羽生, "電流モード多値回路に基づく高信頼乗算器の構成", 多値論理研究ノート 第32巻, 2号, pp.2-1~2-6(2009)
- [384] 有光, 夏井, 羽生, "適応的電流源制御に基づく低電力多値電流モード回路とそのパイプラインシステムへの応用," 電子情報通信学会「多値論理とその応用」第二種研究会技術研究報告, Vol. MVL10-2, pp.5-10, (2009)
- [385] 夏井, 羽生, "ポストプロセスばらつき補償形回路アーキテクチャの一検討," 電子情報通信学会「多値論理とその応用」第二種研究会技術研究報告, Vol.MVL10-2, pp.43-46, (2009)
- [386] 松永, 羽生, "MTJ素子を用いた高密度不揮発性2値CAMの構成," 2010年度電子情報通信学会総合大会(信学総大), C-12-37, p.114, (2010)
- [387] 鬼沢, 羽生, "Stochastic演算に基づく完全並列型LDPCデコーダの構成," 2010年度電子情報通信学会総合大会(信学総大),A-1-44, p. 44, (2010)
- [388] 鈴木, 羽生, "不揮発性ルックアップテーブル回路とその高機能化," 2010年度電子情報通信学会総合大会(信学総大), C-12-70, p. 147, (2010)
- [389] 金子, 牟田, 赤岩, "直交多項式に基づく適応ブレイクストータにおけるマルチキャリア信号に対する歪み補償パラメータの最適化速度の改善", 電子情報通信学会 無線通信システム研究会, RCS2008-212, 2009-3.
- [390] 山下清隆, SUN Winston, CHARLOT Benoit, 藤田博之, 年吉 洋, MEMS/NEMS技術の真空ナノエレクトロニクス応用, 日本学術振興会・真空ナノエレクトロニクス第158委員会 第77回研究会, 2009/4/20
- [391] 朴 鉉昱, N. Pereira Rodrigues, O. Ducloux, B. Charlot, 藤井輝夫, 藤田博之, 細胞の活動計測を目指すカルシウムイオン選択性トランジスタ

- アレイ, 第19回化学とマイクロ・ナノシステム研究会(19thCHEMINAS), 2009/5/29
- [392] W. Sun, K. Yamashita, D. Yamane, Y. Yi, H. Toshiyoshi, and H. Fujita, A Loaded-Line Phase Shifter Using Mems Switches, The 26th Sensor Symposium on Sensors, Micromachines and Applied Systems, 2009/10/15
- [393] Kazuhiro Takahashi, Makoto Mita, Hiroyuki Fujita and Hiroshi Toshiyoshi, Monolithically Integrated Electrostatic XYZ-stage using Stiction Bar for Inter-Layer Electrical Connection, The 26th Sensor Symposium on Sensors, Micromachines and Applied Systems, 2009/10/16
- [394] Kazuhiro Takahashi, Makoto Mita, Satoshi Maruyama, Hiroyuki Fujita and Hiroshi Toshiyoshi, Multi-user CMOS-MEMS Processes for SOI Bulkmicromachined Actuators, The 26th Sensor Symposium on Sensors, Micromachines and Applied Systems, 2009/10/16
- [395] M. Nakada, A. Higo, H.Fujita, H. Toshiyoshi, K. Takahashi, Silicon Blazed Grating by Skewed Deep-RIE Technique, The 26th Sensor Symposium on Sensors, Micromachines and Applied Systems, 2009/10/15
- [396] 石田忠, 藤田博之, シリコン対向探針間におけるTEM中シリコンナノ構造の自己整列, 第26回「センサ・マイクロマシンと応用システム」シンポジウム, 2009/10/16
- [397] 今福 渉, アンサリ タニア, 川畑明雄, マタウシュ ハンス ユルゲン, 小出哲士, “連想メモリベース自動学習LSIアーキテクチャと手書き文字認識への適用”, 信学技報, vol. 109, no. 199, pp.91-96, (2009.9).
- [398] 賀谷 彰大, 上口 光, マタウシュ ハンス ユルゲン, 小出 哲士, “リングオシレータを用いた製造ばらつきの解析”, 信学技報, vol. 109, no. 199, pp.71-76, (2009.9).
- [399] 川畑明雄, 今福渉, アンサリ タニア, マタウシュ ハンス ユルゲン, 小出哲士, “画像圧縮コードブックを最適にする連想メモリベース自動学習の研究”, The 11th IEEE Hiroshima Student Symposium
- [400] 川畑明雄, 今福渉, アンサリ タニア, マタウシュ ハンス ユルゲン, 小出哲士, “連想メモリベース適応学習LSIの応用とその評価”, 信学技報, vol. 109, no. 336, pp.89-94. Dec. 2009.
- [401] 高橋伸嘉, 富岡洋一, 小平行秀, 高橋篤司, “入力ベクトルの適切な選択によるピーク電力高速見積り手法”, DAシンポジウム2009論文集, Vol. 2009, No. 7, pp.13-18, 2009.
- [402] 高橋伸嘉, 富岡洋一, 小平行秀, 高橋篤司, “入力ベクトルと回路の内部状態を考慮したピーク電力高速見積り手法”, 電子情報通信学会技術報告書(VLD2009-115), Vol. 109, No. 462, pp.97-102, 2010.
- [403] 右近祐太, 井上雅文, 高橋篤司, 谷口研二, “エラー検出回復方式における加算器の性能評価”, 電子情報通信学会技術報告書(VLD2009-121), Vol. 109, No. 462, pp.133-138, 2010.
- [404] 原, 戸川, 柳澤, 大附, 外村, “ビットレベル処理を考慮したセクタ帰着型重み付き加算器”, vol. 109, no. 34, VLD2009-2, pp.7-12, VLD研究会
- [405] 飯田智士, 安福 正, 平入孝二, 高田英裕, 野村昌弘, 高宮 真, 桜井貴康, “各種CMOSゲートチェーンの最低可動電圧(VDDmin)のモンテカルロ法によるシミュレーション”, 電子情報通信学会総合大会, C-12-62, 仙台, 2010年3月.
- [406] 佐々木正人, 池内克之, 大東睦夫, 高宮 真, 桜井貴康, “シングルエンド形L結合を用いたボード間非接触データ伝送”, 電子情報通信学会総合大会, C-12-23, 仙台, 2010年3月.
- [407] 鈴木誠, 更屋拓哉, 清水健, 桜井貴康, 平本俊郎, “SRAMにおける読み/書き込みマージン一括自己修復手法”, 2010年春季第57回応用物理学術講演会, 東海大学湘南キャンパス, 2010年3月.
- [408] 桜井貴康, “シリコンLSIの課題と要求されるイノベーション”, 第3回シリコンフォトにクス技術フォーラム 講演概要集, リーガロイヤルホテル東京, 2010年3月.
- [409] 桜井貴康, “アンビエント・デバイスと新しいエレクトロニクスの将来像”, 第18回科学技術交流フォーラム, 東京大学 山上会館 2階大会議室, pp.1-22, 2010年1月.
- [410] 桜井貴康, “組込みハードウェアの今後と研究ビジョン”, 情報処理学会セミナー 2009, 化学会館, No. 5, pp.171-20, 2009年9月.
- [411] 桜井貴康 “グリーン化の切り札: 極低電力回路・システム技術”, STARCフォーラムシンポジウム2009, 新横浜国際ホテル, pp.59-73, 2009年8月.
- [412] 鈴木誠, 更屋拓哉, 清水健, 桜井貴康, 平本俊郎, “SRAMおよびロジックトランジスタにおける特性ばらつき一括自己修復手法”, 応用物理学会シリコンテクノロジー分科会研究集会, 東京大学武田先端知ビル, pp.32-35, 2009年7月.

- [413] 桜井貴康, "設計から見たトランジスタのばらつきと極低電圧ロジック," 日経セミナー, ベルサークル神保町, pp.67-87, 2009年7月.
- [414] 増永直樹, 石田光一, 周志偉, 安福正, 関谷毅, Zscheschang Ute, Klauk Hagen, 高宮真, 染谷隆夫, 桜井貴康, "8×8のコイルアレーと2V有機CMOSデコーダとEMI検出用LSIで構成された伸縮可能なEMI測定シートの提案と動作実証," 電子情報通信学会, LSIとシステムのワークショップ, ポスターセッション 学生部門28, pp.265-267, 北九州, 2009年5月. (IEEE SSSC Kansai Chapter Awardを受賞)
- [415] プラバート, 柴田, "CMOSパンプ回路を用いた電流モード動きフィールド生成回路", 電子情報通信学会技術研究報告, Vol. 109, No. 405, ICD2009-113(2010-01).
- [416] 柴田直, 「(招待論文)心の情報処理に学ぶ新たなVLSIシステムアーキテクチャ」電子情報通信学会技術研究報告, Vol. 109, No. 336, ICD2009-95(2009-12), 2009年12月
- [417] Mohiuddin Hafiz, 吉川 公磨 "A Novel CMOS BPSK Detection Scheme for UWB Impulse-Radio Communication" 第22回 回路とシステム軽井沢ワークショップ アブストラクト集 p.a-6. 2009年4月20-21日軽井沢.
- [418] 畠山 大輝, 米谷 玲皇, 永瀬 雅夫, 割澤 伸一, 石原直 "AFM振動励起法による単層グラフェンの振動特性評価", 2010年春季 第57回応用物理学関係連合講演会, 2010/03
- [419] M. Kamiyanagi, T. Endoh, "Control Theory of CC-MCML Inverter for Stable Operation under Fluctuation of Supplied Voltage", 2009 Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers, Japan, 2A03., Sendai, Japan, August 20-21 2009.
- [420] 野邊勇樹, 西晃司, 清水暁生, 深井澄夫, "多出力ニューロンMOSカレントミラーの設計", 電気関係学会九州支部連合会(第62回連合大会)講演論文, 10-1A-08, 2009.
- [421] 西晃司, 野邊勇樹, 清水暁生, 深井澄夫, "FG-MOSを用いた4値SRAMの動作検証", 電気関係学会九州支部連合会(第62回連合大会)講演論文, 10-1P-12, 2009.
- [422] 安元周平, 野邊勇樹, 清水暁生, 深井澄夫, "多出力ニューロンMOSカレントミラー回路に用いるトランスインピーダンスアンプの提案", 電子情報通信学会九州支部学生会講演会・講演論文集, C-22, 2009.
- [423] 山下祐人, 野邊勇樹, 清水暁生, 深井澄夫, "ニューロンMOSカレントミラーの回路面積の検討", 電子情報通信学会九州支部学生会講演会・講演論文集, C-23, 2009.
- [424] 沖田光聡, 西晃司, 清水暁生, 深井澄夫, "FGMOSを用いた4値シフトレジスタ", 電子情報通信学会九州支部学生会講演会・講演論文集, C-24, 2009.
- [425] 和田侑也, 西晃司, 清水暁生, 深井澄夫, "多値論理システムに用いるFG-MOSインバータ面積の検討", 電子情報通信学会九州支部学生会講演会・講演論文集, C-25, 2009.
- [426] 野邊勇樹, 清水暁生, 石川洋平, 深井澄夫, "多出力ニューロンMOSカレントミラーに関する研究", 電気学会電子回路研究会, ECT-09-087, 2009.
- [427] 西晃司, 清水暁生, 石川洋平, 深井澄夫, "FG-MOSを用いた4値SRAMに関する研究", 電気学会電子回路研究会, ECT-09-095, 2009.
- [428] 大塚 「多機能高密度三次元集積化技術開発 明星大学共同実施先成果報告」 pp.1-22 ASET研究成果報告
- [429] 横山隆哲, 森下博和, 長名保範, 藤田直行, 天野英晴, "FPGAによるUPACSサブルーチンの高速化", リコンフィギャラブル研究会, 2009
- [430] 田舎片健太, 森下博和, 長名保範, 藤田直行, 天野英晴, "CFD専用計算機FLOPS-2Dへ向けたUPACS制限関数群モジュール化の検討", リコンフィギャラブル研究会, 2009
- [431] 森下博和, 田舎片健太, 長名保範, 藤田直行, 天野英晴, "マルチFPGAシステムFLOPS-2Dに向けたパイプライン構築手法の検討", リコンフィギャラブルシステム研究会, 2009-12
- [432] 池淵 大輔, 関 直臣, 小島 悠, 釜田 雅大, Lei Zhao, 天野 英晴, "細粒度パワーゲーティングを適用した汎用マイクロプロセッサGeysler-1", 情報処理学会研究報告 2009-ARC-179, 2010-1
- [433] 齊藤 貴樹, 白井 利明, 中村 拓郎, 西村 隆, 長谷川 揚平, 堤 聡, 香嶋 俊裕, 中田 光貴, 武田 清大, 宇佐見 公良, 天野 英晴, "パワーゲーティングを適用した動的リコンフィギャラブルプロセッサの設計と評価", pp.55-60, 2008年電子通信学会信学技報
- [434] 齊藤 貴樹, 加東 勝, 齊藤 正太郎, 佐野 徹, 平井 啓一郎, 西村 隆, 中村 拓郎, 堤 聡, 長谷川 揚平, 天野 英晴, "動的リコンフィギャラブルプロセッサMuCCRA-2 β の実機評価", pp.69-74 2008年電子通信学会信学技報

- [435] 西村 隆, 齊藤 貴樹, 平井 啓一郎, 中村 拓郎, 長谷川 揚平, 堤 聡, 天野 英晴, "動的リコフィギャラブルプロセッサにおける電力分析と低電力化手法の検討", 2008年先進的計算基盤システムシンポジウム会報
- [436] 安田 好宏, 齊藤 貴樹, 佐野 徹, 加東 勝, 天野 英晴, "動的リコフィギャラブルプロセッサ MuCCRA-3 の実機評価", pp.7-12, 2009年電子通信学会信学技報
- [437] 天野 英晴, 齊藤 貴樹, 池淵 大輔, 佐野 徹, 加東 勝, 安田 好宏, 木村 優之, "65nm プロセスを用いたチップ設計, 設計例", 2009年バルテノン研究会会報
- [438] 天野 英晴, 平井 啓一郎, 佐野 徹, 加東 勝, 齊藤 貴樹, "Dual-Vth セルの利用による動的リコフィギャラブルプロセッサのリーク電力削減の評価", pp.43-48, 2009年電子通信学会信学技報
- [439] 馬橋 雄祐, 佐野 徹, 小山 慧, 齊藤 貴樹, 天野 英晴, 宇佐見 公良, "動的リコフィギャラブルプロセッサにおける2電源電圧の動的な割り当てによる電力削減機構の実装", pp.101-106, 2010年電子通信学会信学技報
- [440] 小島 悠, 松谷 宏紀, 鯉淵 道紘, 天野 英晴, エラー訂正・検出符号を用いたNetwork-on-Chipの低消費電力化. 電子情報通信学会技術研究報告. 2009-8
- [441] 小田裕太郎, 谷川一哉, 弘中哲夫, 佐藤正幸, 石黒隆 "再構成デバイスMPLD用CADツール環境の構築" 第11回 IEEE 広島支部 学生シンポジウム 論文集, d-59, pp.431-434, 2009.
- [442] 梅田 賢一, 西永 康弘, 谷川 一哉, 弘中 哲夫, "再構成によるデータ転送オーバーヘッドを削減した再構成型プロセッサDS-HIEの性能評価," pp.491-492, 平成21年度 電気・情報関連学会中国支部第60回連合大会 Oct. 17, 2009
- [443] 川本 智之, 伴 大雅, 吉岡 佑記, 谷川 一哉, 弘中 哲夫, "CG法計算用再構成プロセッサHP-DSFPに用いる演算ユニットの構成検討," pp.487-488, 平成21年度 電気・情報関連学会中国支部第60回連合大会 Oct. 17, 2009
- [444] 小田裕太郎, 谷川一哉, 弘中哲夫, 佐藤正幸, 石黒隆 "再構成デバイスMPLDアーキテクチャにおけるマッピングアルゴリズムの検討と実装" pp.10-11, 平成21年度 電気・情報関連学会中国支部第60回連合大会 Oct. 17, 2009
- [445] 浅枝昌則, 戸口博昭, 谷川一哉, 弘中哲夫, 佐藤正幸, 石黒隆, "再構成デバイスMPLDにおける基本構成ユニットの構成手法の検討" pp.499-500, 平成21年度 電気・情報関連学会中国支部第60回連合大会 Oct. 17, 2009.
- [446] 弘中哲夫, 戸口博昭, 小田裕太郎, 浅枝昌則, 谷川一哉, 佐藤正幸, 石黒隆, "細粒度再構成デバイスMPLDの研究開発," 若手研究者支援のための産学協同GCOE国内シンポジウム ダイジェスト集, pp.24-30, 2009年9月30日.
- [447] 梅田 賢一, 西永 康弘, 谷川 一哉, 弘中 哲夫, "再構成型プロセッサDS-HIEにおける入出力データ転送機構の検討," 信学技報, vol. 109, no. 198, RECONF2009-29, pp.61-66, 2009年9月.
- [448] 戸口 博昭, 浅枝 昌則, 小田裕太郎, 谷川 一哉, 弘中 哲夫, 佐藤 正幸, 石黒 隆, "再構成デバイスMPLDの高密度実装に適した構成手法" 信学技報, vol. 109, no. 198, RECONF2009-35, pp.97-102, 2009年9月.
- [449] 吉岡 佑記, 川本 智之, 伴 大雅, 谷川 一哉, 弘中 哲夫, "高精度浮動小数点演算用リコフィギャラブルアクセラレータに用いる数学関数の実装手法に関する検討," 信学技報, vol. 109, no. 198, RECONF2009-28, pp.119-124, 2009年9月.
- [450] 浅枝昌則, 平川直樹, 戸口博昭, 小田裕太郎, 谷川一哉, 弘中哲夫, 佐藤正幸, 石黒隆, "柔軟な部分再構成を実現するメモリベースPLDアーキテクチャの検討," 先進的計算基盤システムシンポジウム SACSIS 2009, pp.140-141, 2009年.
- [451] 梅田 賢一, 西永 康弘, 谷川 一哉, 弘中 哲夫, "画像処理アプリケーションを用いた再構成型プロセッサHy-DiSCの性能評価," 先進的計算基盤システムシンポジウム SACSIS 2009, pp.138-139, 2009年.
- [452] 吉岡 佑記, 川本 智之, 伴 大雅, 谷川 一哉, 弘中 哲夫, "ディジットシリアル演算によるレイトレイシング用交差判定器の設計と評価," 先進的計算基盤システムシンポジウム SACSIS 2009, pp.159-160, 2009年.
- [453] 梅田 賢一, 内田 琢郎, 谷川 一哉, 弘中 哲夫, "MePの拡張機能を用いた再構成型プロセッサHy-DiSCの性能評価," 信学技報, vol. 109, no. 26, RECONF2009-1, pp.1-6, 2009年5月.
- [454] 近内聡史, 松本佳宣, "0.18mmCMOSプロセスを用いた可視光通信用アバランシェフォトダイオードに関する研究", 電気学会フィジカルセンサ研究会, PHS-09-19, pp.17-20, (2009.7.23).
- [455] 山崎 他, "流路構造を備えた神経再生型電極の開発～軸索再生の評価と電極配置の検討～", 第24回生体・生理工学シンポジウム (2009)
- [456] H. Sawahata, et al., "Mesh-formed ECoG elec-

trode arrays applied to recording visual cortical activities in hooded rats", 第32回日本神経科学大会 (2009)

- [457] H. Watanabe, et al., "Multi-channel Recording of the Electrocorticogram in Anesthetized Rats with Parylene Electrode arrays", 第32回日本神経科学大会 (2009)
- [458] 小竹 他, "Parylene を用いた柔軟型グルタミン酸センサの試作", 電気学会研究会資料(医用・生体工学研究会) (2009)
- [459] 室賀翔, 遠藤恭, 鈴木充, 稲垣孝嘉, 三東芳央, 山口正洋, "半導体素子レベル低ノイズ化を目的としたオンチップ伝送線路における磁性薄膜電磁ノイズ抑制体の基礎特性評価", 電子情報通信学会技術研究報告. EMCJ, 環境電磁工学, Vol. 109(185), pp.7-12 (2009)
- [460] 室賀翔, 遠藤恭, 鈴木充, 稲垣孝嘉, 三東芳央, 山口正洋, "2.5 mm角チップ上に集積化した磁性薄膜電磁ノイズ抑制体の評価", 平成21年度電気関係学会東北支部連合大会, 1H06, (2009)
- [461] 室賀翔, 遠藤恭, 鈴木充, 稲垣孝嘉, 三東芳央, 山口正洋, "オンチップ伝送線路上の磁性薄膜によるGHz帯のノイズ抑制効果", 平成21年度スピニクス特別研究会, 09-5-19 (2009)
- [462] 稲垣孝嘉, 難波志織, 遠藤 恭, 山口正洋, "Al/NiFe多層膜からなるコプレーナ伝送線路における表皮効果抑制", 平成21年度スピニクス特別研究会, 09-5-18 (2009)
- [463] 稲垣孝嘉, 三東芳央, 遠藤 恭, 難波志織, 山口正洋, "リフトオフ法によるAl/NiFe多層構造コプレーナ線路の試作と特性評価", 電気学会マグネティックス研究会, MAG-09-221 (2009)
- [464] S. Dhungana, S. Kobayashi, M. Yamaguchi, "MSL Based Analysis of LCD Panel for a Better Understanding of the Source Bus Line Signal." 電子情報通信学会2010年総合大会, B-4-22 (2010)
- [465] S. Namba, W. Kodate, H. Torizuka, M. Yamaguchi, S. Kawahito, "Performance of RF Amplifier Designed for Integrated Magnetic Probe," 平成21年度電気関係学会東北支部連合大会, 2A20 (2009)
- [466] 難波志織, 小館 航, 山口正洋, 川人祥二, 石原 昇, "低雑音増幅器を用いたオンチップ集積化磁界プローブの設計及び試作", 電子情報通信学会環境電磁工学研究会 (2010)
- [467] 鳥塚英樹, ドウンガナサンディープ, 山口正洋, 菅原 健, 本間尚文, 青木孝文, 佐藤 証, "磁性薄膜を用いた暗号LSIのサイドチャンネルアタック抑制法とその効果検証", マグネティックス研究会, MAG-09-81 (2009)
- [468] 鳥塚英樹, ドウンガナサンディープ, 山口正洋, 菅原 健, 本間尚文, 青木孝文, 佐藤 証, "RFマイクロ磁界プローブによる暗号LSIへの差分電磁波解析とその抑制法", 第33回日本磁気学会学術講演会, 14pF-11 (2009)
- [469] 鄭然周, 更屋拓哉, 平本俊郎, 「シリコンナノワイヤpMOSFET及び室温動作単正孔トランジスタにおける一軸歪みの効果」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1a-V-2, 2009年4月1日.
- [470] 陳杰智, 更屋拓哉, 平本俊郎, 「[110]および[100]方向(110)シリコンナノワイヤGAA MOSトランジスタにおける電子移動度評価」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1a-V-10, 2009年4月1日.
- [471] 陳杰智, 更屋拓哉, 平本俊郎, 「シリコンナノワイヤGAA MOSトランジスタにおける電子移動度の温度依存性評価」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1a-V-11, 2009年4月1日.
- [472] 清水健, 更屋拓哉, 平本俊郎, 「Si(110)面正孔移動度における方向依存性の起源 -極薄SOIを用いた実験的考察-」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1p-V-1, 2009年4月1日.
- [473] 清水健, 平本俊郎, 「一軸性圧縮応力による(110)面極薄SOI pMOSFETの移動度向上」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1p-V-2, 2009年4月1日.
- [474] 菅野貴仁, 更屋拓哉, 鈴木龍太, 平本俊郎, 「SOQ基板上に作製したMOSトランジスタの移動度評価」, 2009年春季第56回応用物理学学術講演会, 筑波大学, 1p-V-12, 2009年4月1日.
- [475] 平本俊郎, 陳杰智, 鄭然周, 更屋拓哉, 「シリコンナノワイヤトランジスタにおける移動度とひずみ効果」, 2009年春季第56回応用物理学学術講演会シンポジウム「ナノCMOSへの新展開-高機能化・高性能化を図る新材料・新構造技術」, 筑波大学, 1p-X-5, 2009年4月1日.
- [476] 鈴木龍太, 鄭然周, 更屋拓哉, 平本俊郎, 「CMOSデジタル回路との連携による単電子トランジスタの自動的特性制御の検討」, ナノ, 量子, IT融合によるイノベーションの創出公開シンポジウム, 東京大学理学部小柴ホール, pp.29-30, 2009年4月22日.
- [477] 平本俊郎, 「LSI低電圧化に向けたCMOSの特性バラツキの克服」, 日経マイクロデバイスセミ

- ナー「0.5V駆動LSIへの挑戦～LSI低電圧化の技術シナリオ～」, ベルサール神保町(東京), pp.23-41, 2009年7月7日.
- [478] 陳杰智, 更屋拓哉, 平本俊郎, 「(110)SOI基板上に作製したGAAシリコンナノワイヤの移動度評価」, 電気学会電子デバイス委員会「"More Moore, More than Moore"における化合物半導体電子デバイス」専門調査委員会, 法政大学マイクロ・ナノテクノロジー研究センタ(東京), 2009年7月15日.
- [479] 陳杰智, 更屋拓哉, 平本俊郎, 「(110)SOI基板上に作製したGAAシリコンナノワイヤの移動度評価」, 電子情報通信学会シリコンデバイス・材料研究会・集積回路研究会合同研究会, 東京工業大学大岡山キャンパス, SDM2009-105, ICD2009-21, 2009年7月16日.
- [480] 鈴木誠, 更屋拓哉, 清水健, 桜井貴康, 平本俊郎, 「SRAMおよびロジックトランジスタにおける特性ばらつき一括自己修復手法」, 応用物理学会シリコンテクノロジー分科会研究集会, 東京大学武田先端知ビル, pp.32-35, 2009年7月21日.
- [481] 鈴木誠, 更屋拓哉, 清水健, 平本俊郎, 「ロジックトランジスタにおける特性ばらつき一括自己修復手法」, 第70回応用物理学会学術講演会, 富山大学(富山), 8a-TE-7, 2009年9月8日.
- [482] 鈴木誠, 更屋拓哉, 清水健, 平本俊郎, 「SRAMにおける特性ばらつき一括自己修復手法」, 第70回応用物理学会学術講演会, 富山大学(富山), 8a-TE-8, 2009年9月8日.
- [483] 平本俊郎, 西田彰男, 竹内潔, 「微細トランジスタにおける特性ばらつきの現状と将来展望」, 第70回応用物理学会学術講演会シリコンテクノロジー分科会企画シンポジウム「シリコンテクノロジーの挑戦—材料・プロセス・デバイスの新展開」, 富山大学(富山), 8p-TE-2, 2009年9月8日.
- [484] 清水健, 更屋拓哉, 平本俊郎, 「(110)面薄膜SOI nMOSFETにおける電子移動度の方向依存性」, 第70回応用物理学会学術講演会, 富山大学(富山), 9a-TA-2, 2009年9月9日.
- [485] 平本俊郎, 「CMOSプラットフォームを利用したERD技術」, 第70回応用物理学会学術講演会シンポジウム「エマージングメモリデバイスとCMOSの機能融合による新しいコンピュータアーキテクチャの基礎」, 富山大学(富山), 9p-TA-3, 2009年9月9日.
- [486] 平本俊郎, アリフィン タムシル プトラ, 角村貴昭, 西田彰男, 蒲原史朗, 竹内潔, 稲葉聡, 寺田和夫, 「微細MOSトランジスタにおける不純物の深さ方向分布を考慮した特性ばらつきの新正規化手法」, 第70回応用物理学会学術講演会シンポジウム「シリコンナノエレクトロニクスの新展開—CMOSデバイス高性能化・特性ばらつき抑制技術の最前線—」, 富山大学(富山), 10p-TE-6, 2009年9月10日.
- [487] 陳杰智, 更屋拓哉, 平本俊郎, 「(110)シリコンナノワイヤGAA MOSトランジスタにおける正孔移動度」, 第70回応用物理学会学術講演会, 富山大学(富山), 11a-TH-11, 2009年9月11日.
- [488] 平本俊郎, 竹内潔, 西田彰男, 「微細MOSトランジスタの特性ばらつきの研究」, 電子情報通信学会ソサイエティ大会, 新潟大学(新潟), C-11-1, 2009年9月16日.
- [489] 平本俊郎, 「CMOS技術のイノベーション」, 日経マイクロデバイスシンポジウム「半導体技術革新, 次の10年を見渡す」, 東京大学武田先端知ビル, pp.1-21, 2009年10月9日.
- [490] 鈴木誠, 平本俊郎, 「SRAMにおける特性ばらつきの製造後一括自己修復手法」, 科学研究費補助金特定領域研究「シリコンナノエレクトロニクスの新展開—ポストスケーリングテクノロジー—」第4回成果報告会, 秋葉原コンベンションホール(東京), 2010年1月20日.
- [491] 平本俊郎, 「ナノMOSFETの揺らぎとデバイスインテグリティ」, 科学研究費補助金特定領域研究「シリコンナノエレクトロニクスの新展開—ポストスケーリングテクノロジー—」第4回成果報告会, 秋葉原コンベンションホール(東京), 2010年1月20日.
- [492] 鈴木誠, 更屋拓哉, 清水健, 桜井貴康, 平本俊郎, 「SRAMにおける読み/書き込みマージン一括自己修復手法」, 2010年春季第57回応用物理学学術講演会, 東海大学湘南キャンパス, 2010年3月.
- [493] 清水 健, 更屋 拓哉, 平本 俊郎, 「歪みによる(110)面極薄SOI MOSFET正孔移動度向上の物理的起源」, 2010年春季第57回応用物理学学術講演会, 東海大学湘南キャンパス, 2010年3月.
- [494] 平本俊郎, 「シリコンナノワイヤpFETにおける正孔移動度」, 2010年春季第57回応用物理学学術講演会シンポジウム「2020～30年代のナノエレクトロニクスデバイスの本命を考える」, 東海大学湘南キャンパス, 2010年3月19日.
- [495] 新井宏明・宮本直人・小谷光司・藤澤久典・伊藤隆司, "Tailbiting BIPを用いたWiMAXターボデコーダ", 電子情報通信学会技術研究報告 信学技報 Vol. 109 No. 317, CPM2009-136, p.13-18, 2009.
- [496] 大宮豊, 小谷光司, 伊藤隆司, "Above CMOSイ

ンダクタによるチップ毎パラメータ調整, "LSIとシステムのワークショップ2009, 講演資料集およびポスター資料集, pp.321-323, 2009

- [497] 大宮豊, 小谷光司, 伊藤隆司, "Above CMOS インダクタによるRF集積回路のプロトタイピング," STARCフォーラム/シンポジウム2009, 2009
- [498] 杉本篤生, 小谷光司, 伊藤隆司, "RFID向けパッチアンテナ一体型インピーダンスマッチング回路", LSIとシステムのワークショップ2009, 講演資料集およびポスター資料集, pp.318-320, 2009
- [499] T. Ishikawa, K. Johguchi, Y. Masui, T. Yoshida, T. Abe and Y. Murakami, "Wireless CMOS Chip for Intra-Oral Monitoring", 第26回「センサ・マイクロマシンと応用システム」シンポジウム, 2009年10月15日~16日, 東京(江東区), Oct. 2009

4. 著書

- [1] 黒田和男, 山本和久, 栗村 直/編「レーザーディスプレイ」(オプトロニクス社, 2010年2月8日刊行), 第4章投射技術 4.3.1 MEMS, pp.216-230(年吉 洋)
- [2] 式田光宏, 佐藤一雄, 田中浩 監修「マイクロ・ナノデバイスのエッチング技術」(シーエムシー出版, 2009年10月, ISBN- 978-4-7813-0167-9), 第6章 SiO₂犠牲層エッチング(年吉 洋) t0708.gif
- [3] 桜井貴康, "ロジック回路 設計から見たトランジスタのバラつきと極低電圧ロジック," 半導体技術年間2010 デバイス/プロセス編, 日経BP社, pp.87-94, 2010年11月.
- [4] 桜井貴康, 甲斐康司, 藤島実, "2020年の将来像 2020年の半導体-アプリケーション多様化への挑戦," 半導体技術年間2010 デバイス/プロセス編, 日経BP社, pp.11-20, 2010年11月.
- [5] Katsutoshi Saeki, Ryo Shimizu, Yoshifumi Sekine, "Pulse-Type Hardware Neural Network with Two Time Windows in STDP", M. Kppen et al. (Eds.) ICONIP 2008, Part II, LNCS 5507, pp.877-884, Springer-Verlag Berlin Heidelberg, 2009.

5. 特許等

- [1] 坂上岩太, "信号分配器の設計方法及び設計プログラム", 特願2010-053092
- [2] 中司, 長谷部, "パイプライン型アナログデジタル変換装置", 特願2009-192937(2009).

- [3] 中司, 都甲, "半導体型味センサ装置", 特願2009-200396(2009).
- [4] 丸山 茂夫, 項 栄 : "2次元的にパターン化されたカーボンナノチューブの製造方法, 及び2次元的にパターン化されたカーボンナノチューブ" 特願2009-46686
- [5] 原, 戸川, 柳澤, 大附, 外村, "重み付き加算演算器および加算演算方法", 特許2009-107362
- [6] 長谷川, 鈴木, "網状生体電極アレイ, 特願2009-178454 (2009)

6. その他

- [1] 高宮 真, 関谷 毅, 染谷隆夫, 桜井貴康, "ワイヤレス電力伝送・通信シート," 日本磁気学会会報「まぐね」, Vol. 4, No. 9, pp.435-440, 2009年9月.
- [2] 岸田和也, 神戸尚志;"メモリアクセス高速化のための回路自動生成の一手法," 情報処理学会 関西支部支部大会, 2009/9.
- [3] 小原貴文, 神戸尚志;"オブジェクト指向によるシステムLSI設計の考察," 情報処理学会 関西支部 支部大会, 2009/9.
- [4] 二川清, 山下将嗣, 大谷知行, 斗内政吉, 村上博成, 金鮮美, 中前幸治, 三浦克介, 御堂義博, 松本徹, 青木芳充, 井上彰二, 永石竜起, 酒井哲哉, "LSI故障解析の新技术, レーザSQUID法とレーザテラヘルツ法の複合的利用 : 外部電力・外部信号不用な電氣的解析法," クリーンテクノロジー, 日本工業出版, no. 12 (Dec. 2009).
- [5] Sho Nishiyama, Takashi Nakai, Masaki Shuzo, Jean-Jacques Delaunay, Ichiro Yamada, "Effect of Micropillars of Semi-Packed Micro Gas Chromatography Columns on Separation Efficiency," IEEE SENSORS 2009 Conference, Christchurch, New Zealand, October 25-28, 2009.
- [6] Muneki Nakada, Chongho Chong, Atsushi Morosawa, Keiji Isamoto, Takuya Suzuki, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "Optical coherence tomography by all-optical MEMS fiber endoscope," IEICE Electronics Express, vol. 7, no. 6, 2010, pp.428-433.
- [7] On-Chip Power Supply Noise Measurements, Makoto Nagata, 2009 VLSI Circuits Short Course, 2009.6.
- [8] Seiichiro Yamaguchi, Yuriko Ishitobi, Tohru Ishihara, and Hiroto Yasuura, "Single-Cycle-Accessible Two-Level Caches and Compilation Technique for Energy Reducion",

IPJSJ Transactions on System LSI Design
Methodology, Vol. 2, pp.189-199, Aug. 2009.

- [9] Yuji Kunitake, Kazuhiro Mima, Toshinori Sato, and Hiroto Yasuura, "Enhancements of a Circuit-Level Timing Speculation Technique and Their Evaluations Using a Co-simulation Environment", IEICE Transactions on Electronics, Vol. E92-C, No. 4, pp.483-491, Apr. 2009.
- [10] 前澤, "共鳴トンネルダイオードを生かす新しい集積化技術", 応用物理 Vol. 79, 3月号, p.239-242 (2010).
- [11] 桜井貴康, "電機業界活性化へ 新需要の創造のカギ 課題解決するハード供給を," 日刊工業新聞, 2009年12月.
- [12] 桜井貴康, 黒田忠広, 道関隆国, "CMOS LSI低電力回路技術の先駆的開発と実用化," 電子情報通信学会誌, Vol. 92, N0.7, pp.506-507, 2009年7月.
- [13] 桜井貴康, "日本と台湾両方から資本受け入れへ 半導体大手エルピーダが打ち出す新・資本戦略," 財界 春季特大号, 5/12, pp.52-53, 2009年5月.
- [14] 枚田 優人, 松谷 宏紀, 鯉淵 道紘, 天野 英晴, パイプラインステージ統合による省電力・可変パイプラインルータに関する研究, 2009年SACSIS 2009
- [15] T. Ishikawa, K. Johguchi and F. Kaneko, "Actuation of Magnetic Beads on a CMOS chip for Biological Application", International Conference on Solid State Devices and Materials (SSDM 2009), Sendai, Miyagi, Oct. 2009, (2009)

B.1 概要

VDEC は、全国の大学・高専向けに様々な支援事業を実施している。

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会 (8-9月・3月)
4. 社会人リフレッシュ教育
(12月-1月, 学生も参加可能)
5. VLSI デザイナーフォーラム (若手の会)
6. 大型装置利用

CAD ベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC 設立以来、これまでの実績では、CAD の利用・CAD 講習会は無償、LSI 試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザには VDEC を利用する「顧客」ではなく、VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDEC の担当者 (vdec@vdec.u-tokyo.ac.jp) に必ず相談いただきたい。その他のサービスについては VDEC の裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が 51% 以上のイニシアチブを取る研究であることが必要である。

また、CAD の申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDEC のシステムは、Internet と Unix operating system の上になりたっているため、Internet の仕組みや

Unix についての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切りわけながら対処することが勧められる。

B.2 まずはじめに

VDEC からのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDEC の WEB ページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP) アドレスによって制限をかけている。

従って、VDEC を利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な (サービス開始前 1 ヶ月以上) 時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEB ページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字 2 字 + 半角数字 5 桁 (例: VD00000) からなる。

申込で特に注意する点は、VDEC の WEB にアクセスしたい研究室のマシンの IP アドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxy サーバのアドレス登録は禁止する。入力の際は、133.11.58.4, 133.11.58.5 のように、IP アドレスを全て「半角」の英数字で、「.」(半角カンマ) で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT (IP masquerade というプログラム名で呼ばれることもある。機能としては NAT が正しい。) で研究室をローカルネットワークにしている場合は、NAT サーバのアドレスを入力する。よくある間違いとして、ローカルネットワークの IP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などで IP アドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古い IP が使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じ E-Mail アドレスを入力することで上書き変更が可能である。

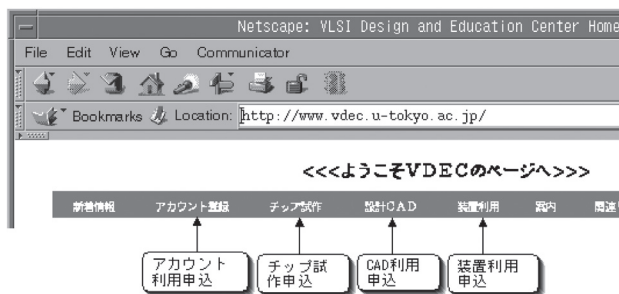


図 B.1 VDEC ホームページのインデックスフレーム

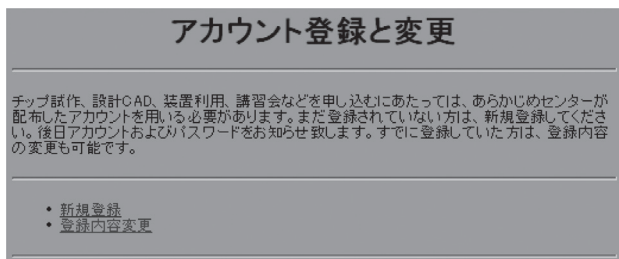


図 B.2 アカウント登録・変更ページの入口

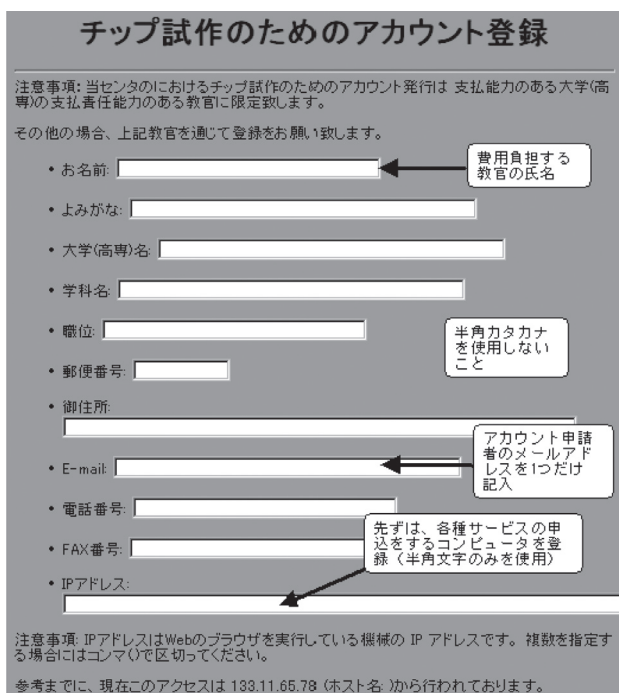


図 B.3 アカウントの新規登録の注意点

【登録する IP アドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残っ

てしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

B.3 CAD ツールの共同利用

VDEC では、集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している。これらのソフトウェアは、VDEC の VLSI 試作以外のアカデミック用途（MOSIS-VDEC を通じた試作，教育用の演習，EB 等 VDEC の大型装置利用のためのデータ作成用，等）の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1 つの設計作業を行うために、2 つ以上のベンダーから CAD を選べる状況（二重化）を理想としている。LSI の設計には、CAD ソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD 申込の WEB ページに教員がアクセスする（WEB アカウントが必要である）。NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後、CAD の申請ができる。

- 申請時に WEB から入力する内容は以下のとおり。
- ソフトウェアライセンス数（研究室で同時に使用するとと思われる最低数を入力）
- 用途
- メディアリクエスト（使用する Operating System を選んでチェックする）。
- 利用する研究室所有ワークステーションのホストネーム（VDEC、端的には usr1 から名前→IP アドレスの解決ができる、「.ac.jp」で終わるホスト名であることが条件。）

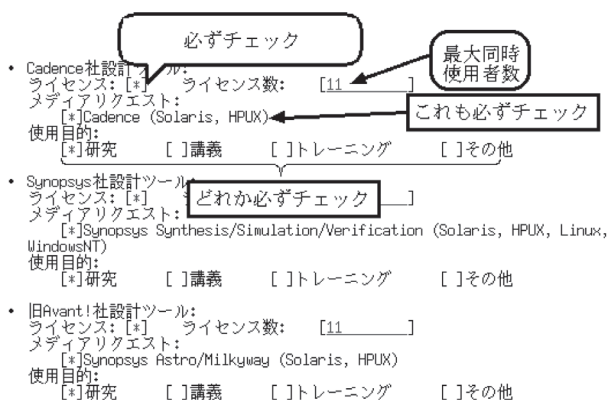


図 B.4 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

ソフトウェアのCDROM（メディア）について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を（ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを空ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを利用している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバーのE-Mailアドレ

スを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送しないこと（情報漏洩の観点から）。

2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること（必須ではないが、ネット利用のエチケットといえる）。

ライセンスは年度単位で申込みを受けつけしている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意いただきたい。

【毎月注意を払うべき点。熟読必須。】

1. VDECでは毎月、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかつた場合は、最悪一ヶ月以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録さ

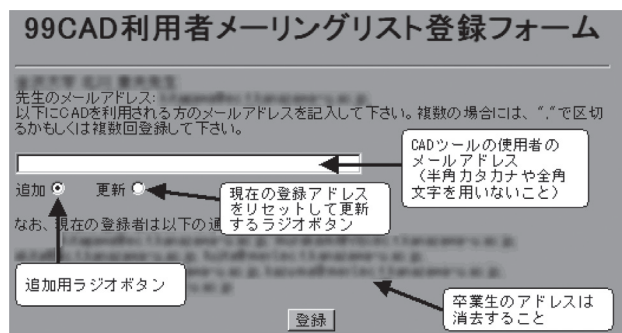


図 B.5 CAD 利用者メーリングリスト登録における注意点

- れていることを確認しなければならない。
- 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマークを強くお勧めする。
 - IPアドレス（ホスト名）registered という表示が出ていれば登録されている。
 - false（false（ホスト名）） FAIL という表示が出ていれば登録に失敗しているの、原因を探る。

一般的に、DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

B.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行う。これはVDECホームページの「試作関係>試作案内>機密保持契約（NDA）の文面」より、希望プロセスのNDAにサインしてVDECに郵送し、VDEC側で手続き終了後にNDA締結となり、設計規則やライブラリにアクセスできるようになる。設計規則はWEB経由のアクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の6～3ヶ月前、キャンセルのメ切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくらの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点（図5.8）

希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる

チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

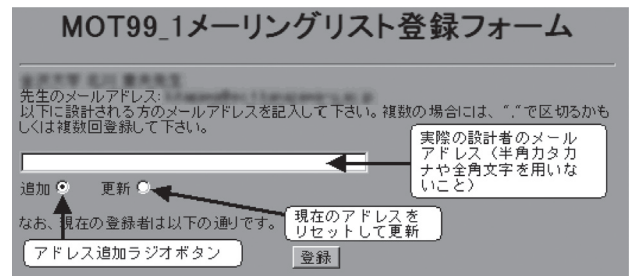


図 B.6 VLSI 試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDECが提供する最新のDesign Rule Checkファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認するLayout Vs Schematic (LVS) チェックを通しておいて、提出しようとする回路が本当に動作しそである確信を持つておくことは最低限必要であろう。デザインの提出は指定されたVDECページから行う。提出時にVDEC側で最終DRCを実行する。ここでエラーが出たチップは提出できない。必ず自分の環境でDRCフリーにしてからチップを提出すること。

提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側でさらにデザインルールをチェックしている。この際本来出てはいけなエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

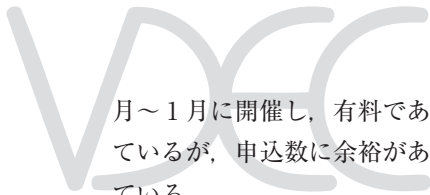
デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

B.5 CAD ツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスはCADUserメーリングリストで流れる。また、申込は、VDECのWEBページから行う。

B.6 社会人リフレッシュ教育

CADツール講習会からさらに進んだ形で、Verilogである回路を実際に設計し、レイアウト合成したり、FPGAによる実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、RFコースならびに一線の研究者による設計事例の講演会などを企画している。12



月～1月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

B.7 デザイナーフォーラム（若手の会）

毎年6月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

B.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置につ

いては、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。

利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能

数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

C. IP データベースの整備

IP データベースの整備

設計資産の再利用のために、VDEC では Web 上でのデータベースの構築および公開を行っている (http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html, 図 C.1)。本データベースの利用対象は、IP 登録に関しては VDEC ユーザに限定しているが、IP 利用に関しては任意対象となっている。本データベースに関しての VDEC の役割は、IP のカタログデータの整理、公開および登録者-利用者間の仲介と機密情報の取り扱いの監督である。

平成 12 年度から平成 14 年度の 3 年間、(株)半導体理

工学研究センター (STARC) との共同研究として IP プロジェクトを行ってきたが、その最終成果として IP 開発グループの各参加者へ完成 IP の登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みの IP を表 C.1 に示す。

また、(株)ルネサステクノロジより「M32R ソフトマクロ」, 「M32R-II ソフトマクロ」, 「SH3-DSP コア」の提供を受けており、各大学のユーザが無償でこれらの商用プロセッサ・IP コアを利用することができ、IP コアベース設計研究を進める上で重要な部分を担っている。

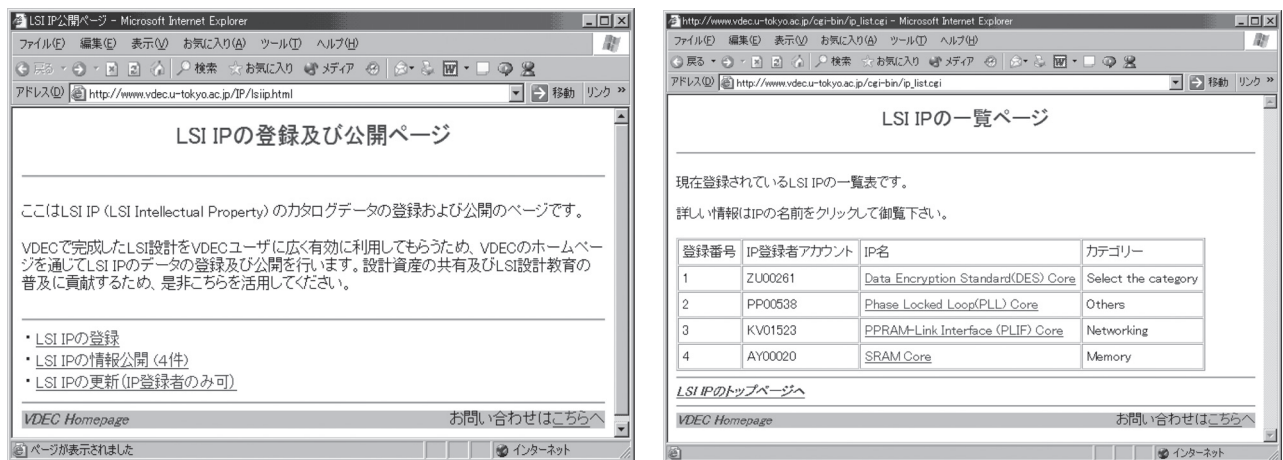


図 C.1 VDEC LSI IP Web データベースの例

表 C.1 VDEC LSI IP データベースに登録済みの IP (平成 22 年 3 月現在)

登録番号	IP 名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

平成 21 年度
東京大学大規模集積システム設計教育研究センター年報

2010 年 8 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒 113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4 階 401 号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)



VLSI Design and Education Center, The University of Tokyo
Annual Report 2010

