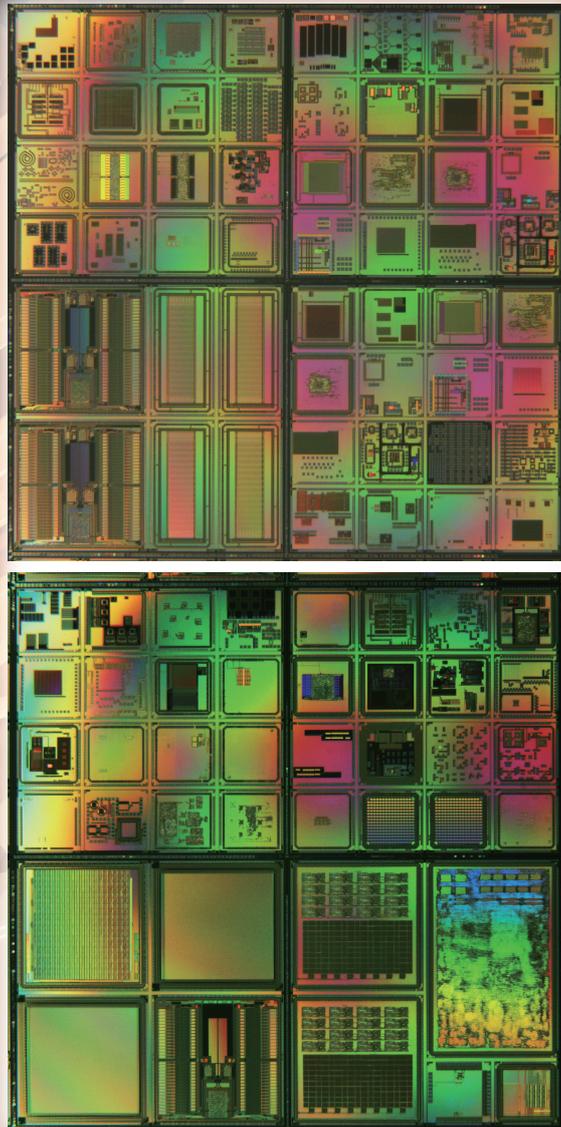


平成25年度

VDEC

2013
VLSI Design and Education Center, The University of Tokyo
Annual Report

東京大学 大規模集積システム設計教育研究センター 年報





VLSI Design and Education Center The University of Tokyo

This is the 2012 Annual Report of VDEC (VLSI Design and Education Center, University of Tokyo).

The year 2012 was the start of a new phase of VDEC in several aspects. First, based on an internal rule established after the privatization of the national universities, all the divisions in the University of Tokyo have to pass evaluations to continue their activities. In 2012, we received support letters from many people including VDEC users, submitted them with records of VDEC activities to a committee for the evaluation. And we received an approval for continuing VDEC activities from our President last February. We appreciate these supports for VDEC and recognize expectation to VDEC, again.

Next, we experienced changes in the chip fabrication activities. Since VDEC was established in 1996 for promoting advanced LSI design in Japan, VDEC LSI chips have been mainly fabricated by domestic semiconductor factories. However, due to restructuring of Japanese semiconductor industry, domestic shuttles for 40 nm and 65 nm CMOS announced quit of their services, and it became difficult for VDEC to continue the chip fabrication in these technologies. The 40 nm technology was already closed and the 65 nm will be also closed after the last service in the next summer. It is regretful for VDEC that these Japanese semiconductor companies decided not to develop their own LSI technologies beyond 40 nm. Consequently, chip fabrication services left in the menu of VDEC were the 0.8 μ m CMOS (On Semiconductor) mainly for educational purposes and the 0.18 μ m CMOS (Rohm) for a wide range of general applications, and we decided to newly establish a design environment for the 28 nm FDSOI/CMOS (ST Microelectronics), after discussing many times with Semiconductor Technology Academic Research Center (STARC). This year we are carrying out a test run for this purpose under the support of STARC, and are planning to open this fabrication menu for all the academic users next year. We would like to express our sincere thanks to STARC for this support.

On the other hand, we have been evaluating a new SOI/CMOS (Phenitec Semiconductor) for MEMS applications for several years. And we have officially announced that it is available for VDEC users. In this fabrication users can receive a large area of chips for MEMS post-processing. The post-processing will be done using either users' own lab-facilities or VDEC clean room facilities. As a common framework for providing VDEC clean room facilities to general users, "Nano-Tech Platform Project" has already started under a support of the Ministry of Education (MEXT). Also, several VDEC facilities in the clean room are renewed and apparatuses for advanced measurements are newly introduced using 2012 supplementary budget from MEXT.

As a regular event of the D2T (Design-to-Test) research division, donated by Advantest Corporation, the 7th symposium was successfully held on December 11th 2012, inviting distinguished lecturers on advanced LSI test technologies from oversea and domestic countries. We are scheduling the 8th symposium in October this year, too. We would like to express our sincere thanks to Advantest Corporation for the continuous support.

Though the semiconductor technology in Japan is now at a turning point, there is no doubt that it remains to be the pivot technology in future society. We will continue to make our best effort for the original mission of VDEC, "promotion of education and research in LSI design field by means of practical chip-design and implementations." We thank you for your continuous supports and collaborations, again.

June 2013

VLSI Design and Education Center, University of Tokyo

Director **Kunihiro Asada**

A handwritten signature in black ink, appearing to read "Kunihiro Asada".

Message from Director of VDEC

Chapter 1 Activity Report of VDEC 2

- 1.1 Introduction of VDEC activities and activity report of FY2012 2
- 1.2 VDEC CAD Tools 5
- 1.3 VLSI Chip Fabrication 7
- 1.4 Seminar 10
- 1.5 Facilities 14
- 1.6 Activity plan for 2013 15
- 1.7 Venture companies related to VDEC 16
- 1.8 "Nanotechnet": Ultra Small Lithography and Nanometric Observation Site 17

Chapter 2 Activity Report of "D2T Research Division" 18

Chapter 3 Research in VDEC 24

巻頭言

第 1 章 VDEC 事業の紹介と平成 24 年度事業報告 36

- 1.1 VDEC の活動概況 36
- 1.2 CAD ソフトウェアの整備 39
- 1.3 VLSI チップ試作 41
- 1.4 セミナー 44
- 1.5 装置の整備・運用・利用公開 49
- 1.6 平成 25 年度の活動計画 51
- 1.7 VDEC 発ベンチャー 52
- 1.8 超微細リソグラフィー・ナノ計測拠点 53

第 2 章 「アドバンテスト D2T 寄附研究部門」平成 24 年度活動報告 54

- 2.1 「アドバンテスト D2T 寄附研究部門」の紹介 54
- 2.2 「第 7 回 D2T シンポジウム」開催報告 55
- 2.3 「アドバンテスト D2T 寄附研究部門」平成 24 年度研究報告 57
- 2.4 研究発表 58

第 3 章 チップ試作結果報告 59

- 3.1 試作ラン別一覧 60
- 3.2 チップ種別一覧 68
- 3.3 各チップの詳細 74

第 4 章 VDEC 概要 142

- 4.1 組織概要 142
- 4.2 人事報告 143
- 4.3 決算報告 146

第 5 章 研究報告 147

- 5.1 全体概況 147
- 5.2 研究室構成員 (平成 24 年度) 148
- 5.3 研究概要 150
- 5.4 研究発表 159
- 5.5 特許、受賞等 173

Appendix 174

- A. Publication list 174
- B. VDEC の利用規程・申し込みガイド 238
- C. IP データベースの整備 243

Chapter 1 Activity Report of VDEC

1.1 Introduction of VDEC activities and activity report of FY2012

VLSI Design and Education Center (VDEC), University of Tokyo was established in May 1996. VDEC has been operating for the following 3 major roles: “spreading the latest information on VLSI design and education,” “providing licenses of CAD tools,” and “supporting on VLSI chip fabrications for academic use.” The VDEC activity report of FY 2012 is described hereafter according to Fig. 1.1.1.

The missions of VDEC are for advancement of researches and education on LSI design in public and private universities and colleges in Japan and send many distinguished VLSI designers into industry. After 16 years of VDEC establishment, educations on CAD software, LSI design and design flow in universities have been well established. On the other hand, advancement on nanometer CMOS technologies forces design flow and CAD software complicated. We have been continuing CAD tool seminar by the lecturers from EDA vendors for twice a year. We hold the seminar in VDEC and provide distance

learning through video streaming. We expect spread of the up-to-date LSI design methodology by using CAD tools.

We assume our LSI design flow seminars as educations on basic LSI design concepts and practical experience of LSI design with CAD tool chain. VDEC holds “LSI design education seminar”, aka VDEC Refresh Seminar, once a year from November to January time frame for this purpose. As for the VDEC Refresh Seminar, this year we continued “Analog design course” and “RF design course”, and initiated “MEMS design course”. We invite experienced professors among universities as lecturers for the courses to conduct LSI design education courses with practical experience. We also hold “Transistor level design flow in VDEC” and “Digital design flow in VDEC EDA environment” for designers in universities.

In addition to the above seminars, we hold “VDEC Designer’ Forum” among young professors and students annually. This is a workshop that the participants

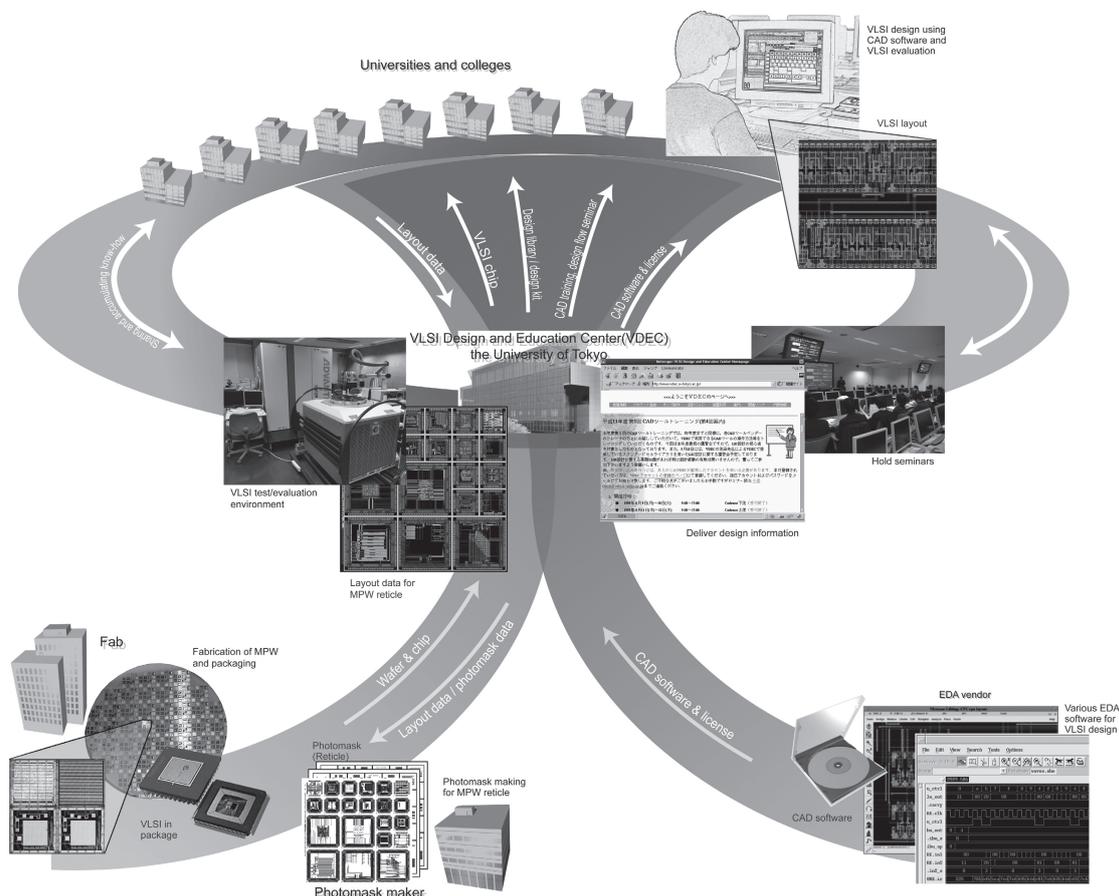


Fig. 1.1.1 VDEC activities

exchange their design examples with not only success stories but also their failure stories, in addition to invited talks. We expect students and professors who will start designs to learn kinds of know-hows. We have initiated "IEEE SSCS Japan Chapter VDEC Design Award" this year, and final examination and awarding have carried out during the "VDEC Designer' Forum". Mr. Totsukawa of Hiroshima University is awarded as the 1st "IEEE SSCS Japan Chapter VDEC Design Award" winner, and Ms. Izawa of Keio Univ., Mr. Mahfuzul of Kyoto Univ., Mr. Sasaki of Hiroshima Univ., Mr. Devlin of Univ. of Tokyo and Mr. Iwama of NAIST have received "VDEC Design Award."

LSI designers come up against various difficulties during actual LSI design scene, even after the basic educations through various seminars and the forum. One of the biggest problem for beginners is the setup of CAD softwares. Many of them also get confused by "Esoteric messages" come out from CAD softwares, even after they successfully setup CAD tools. In such situations, VDEC mailing-lists make significant contributions. VDEC users can register to VDEC mailing-lists on CAD tools, and process dependent groups through VDEC web pages, and can ask questions and helps on their facing issues. It is not a responsibility for the registrant of such mailing-lists to give answers to questions, however, in most cases, replies are given by the experienced users of CAD tools and experienced designers within a couple of hours to a couple of days. Moreover, emails are accumulated and are open to the VDEC users, as shown in Fig. 1.1.2, who have registered VDEC accounts, as the important educational assets. We expect all the VDEC users to make the full use of this mechanism to help solve problems.

We continue chip fabrication services on 0.18 μm CMOS, 65 nm CMOS and 40 nm CMOS. Part of 65 nm CMOS and all the 40 nm CMOS chip fabrications have been carried out through METI-STARC project. Unfortunately, due to foundry decision, 1.2 μm CMOS fabrication program came to the end after September 2011 and we initiated 0.8 μm CMOS chip fabrication test run by on-semi Sanyo Semiconductor.

Our donated division "Design To Test(D2T)", which was founded by donation from Advantest in Oct. 2008, focuses on enrichment of education on LSI testing and bridging between design and testing.

Fig. 1.1.3 shows trends of number of papers through VDEC activities. Number of papers is increasing, which means researches in the field of VLSI design have been encouraged after VDEC establishment.

Fig. 1.1.4 shows number of papers related to CAD usage, chip fabrications and VDEC facility usages. CAD tools are widely used to write papers. CAD tools are used not only chip designs themselves but also used for preparation of chip fabrication and they contribute to verify fundamental ideas of researches. Advanced CMOS processes are preferred for publications, and not only papers with 65 nm CMOS chips, but also with 45 nm CMOS, 32 nm CMOS and 22 nm CMOS are emerging in the world. We would like to prepare chip fabrication services for the advanced CMOS processes. In addition, we would like to setup chip fabrication services related to CMOS/MEMS to fulfill the researches for "More than Moore". We also encourage researchers to fully use of VDEC facilities such like LSI testers, FIB systems and EB writer for the wide spread of research purposes.

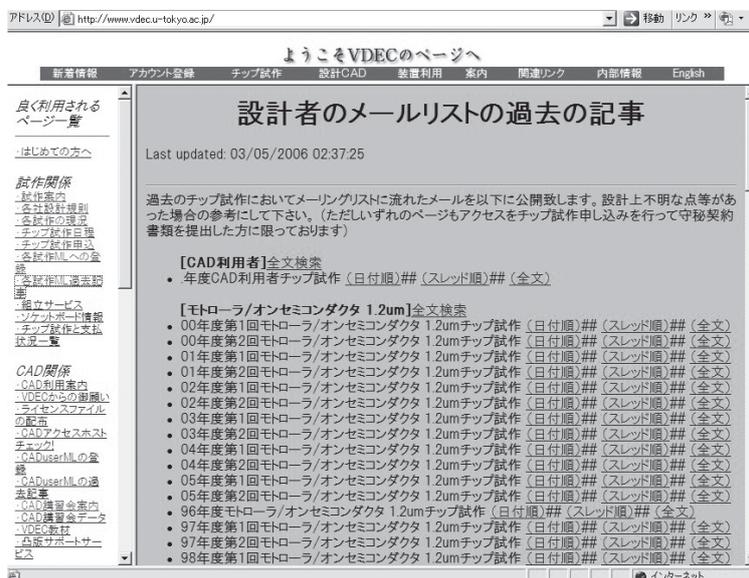


Fig. 1.1.2 Archives of emails of VDEC mailing-list.

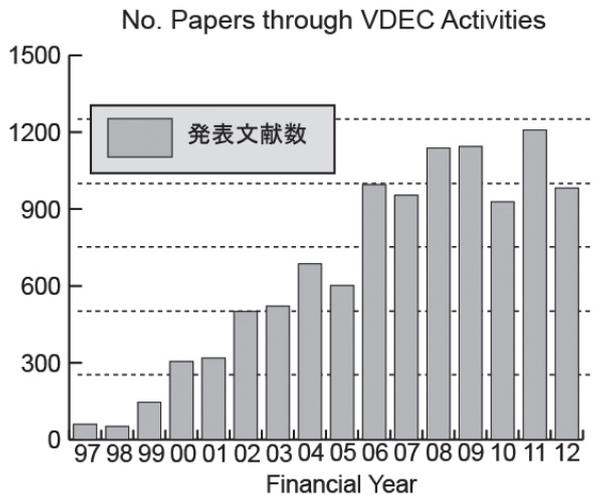


Fig. 1. 1. 3 Trends of number of papers through VDEC activities.

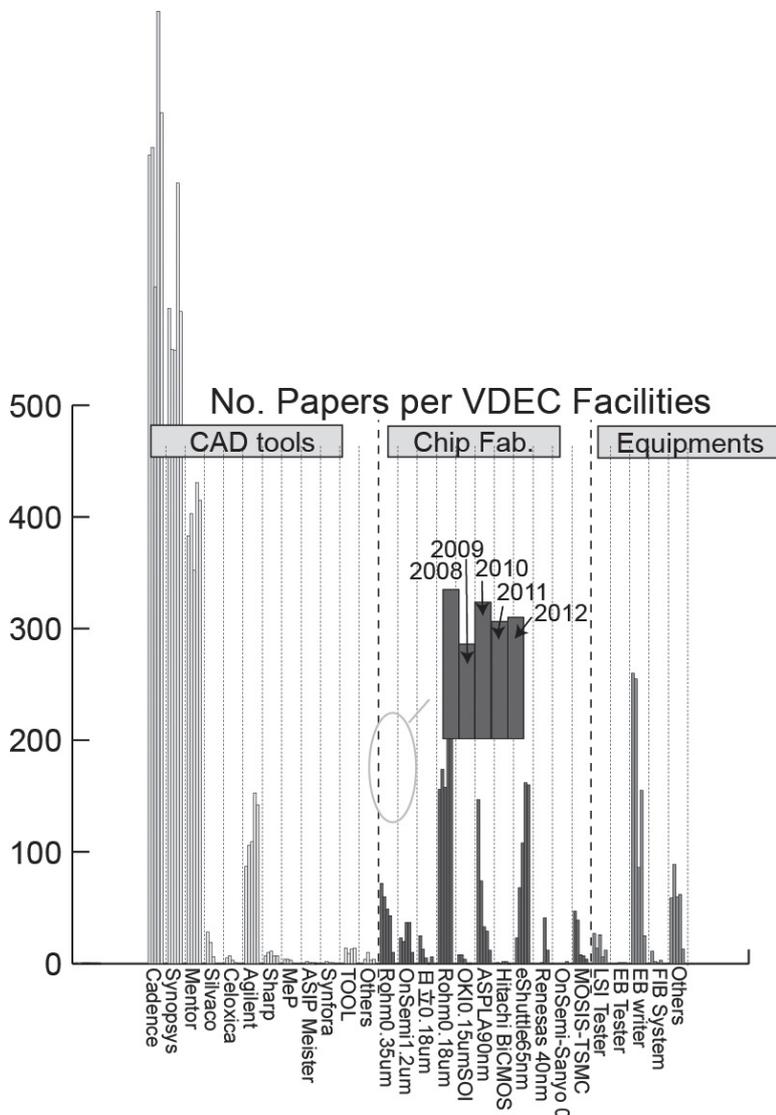


Fig. 1. 1. 4 Number of papers related to VDEC facilities.

1.2 VDEC CAD Tools

Since 1996, VDEC has provided CAD software licenses to the registered researchers in universities and colleges in Japan. The CAD tools we provided in 2009 are shown in Table 1.2.1. The researchers can use those CAD tools when their local machines, whose IP addresses are registered in advance, are authorized by one of VDEC license server located in the ten VDEC subcenters shown in Figure 1.2.1. For each CAD tool, VDEC provides 10-100 floating licenses. Those CAD tools can be utilized only for research and education activities in national universities, other public universities, private universities,

and colleges.

When one is going to use VDEC CAD tools and chip fabrication service (the details are described in Section 1-3), some faculty member of his/her research group in a university or a collage needs to do user registration. Figure 1.2.2 shows (a) the number of registrants, (b) the number of distinguished universities/colleges of the registrants, and (c) the number of registrants who applied VDEC CAD tools.

Table 1.2.1 VDEC CAD tools

Name	Function	Vendor
Cadence tool set	Verilog-HDL/VHDL entry, Simulation, Logic synthesis, Test pattern generation, Cell-based (including macros) place, route, and back-annotation, Interactive schematic and layout editor, Analog circuit simulation, Logic verification, Circuit extraction	Cadence Design Systems, Inc.
Synopsys tool set	Verilog-HDL/VHDK simulation, Logic synthesis, Test pattern generation, Cell-based (including macros) place, route, and back-annotation, Circuit simulation, Device simulation	Synopsys, Inc.
Mentor tool set	Layout verification, Design rule check	Mentor Graphics Co. Ltd.
Silvaco tool set	Fast circuit simulation	Silvaco
ADS/Golden Gate	Design and verification of high-frequency circuits	Agilent Technologies
Bach system	BachC-based design, synthesis, and verification	Sharp
LAVIS	Layout visualization platform	TOOL
Laker, Verdi	Layout editor and debugger	Springsoft Inc.

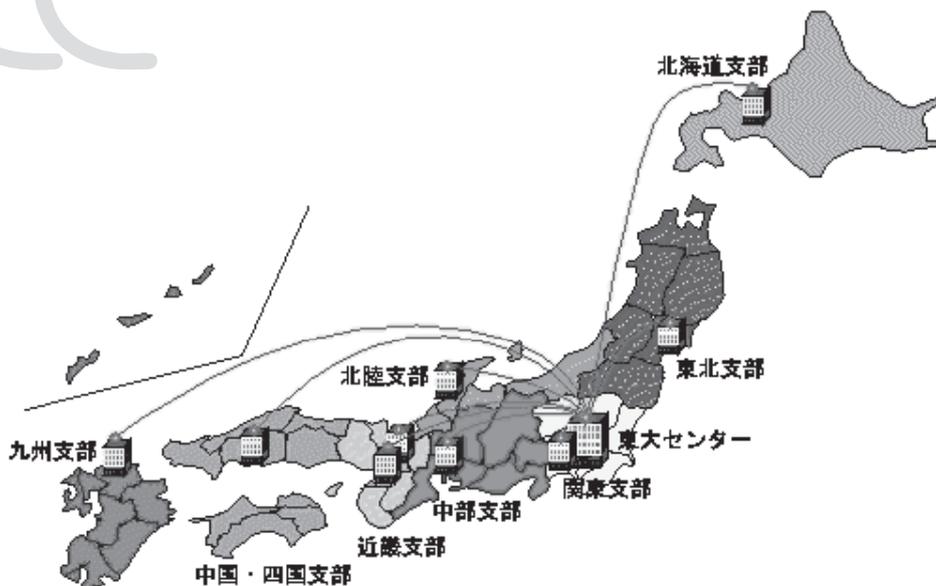
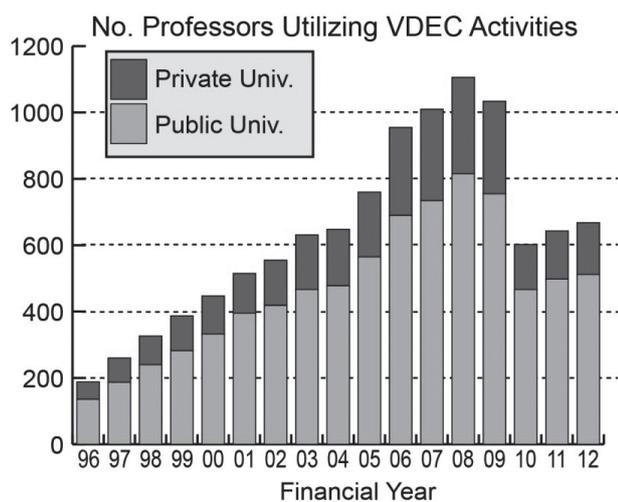
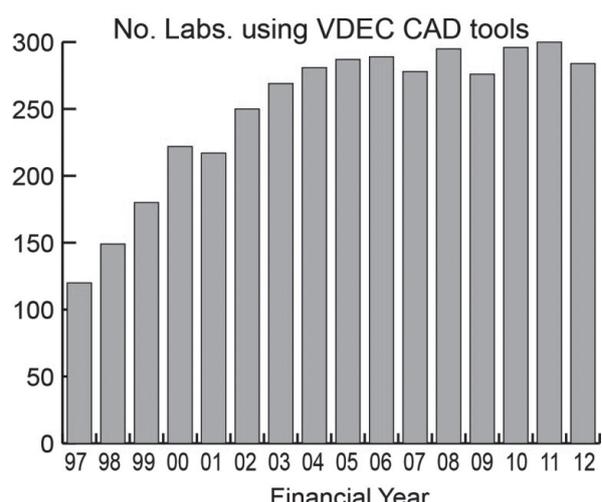


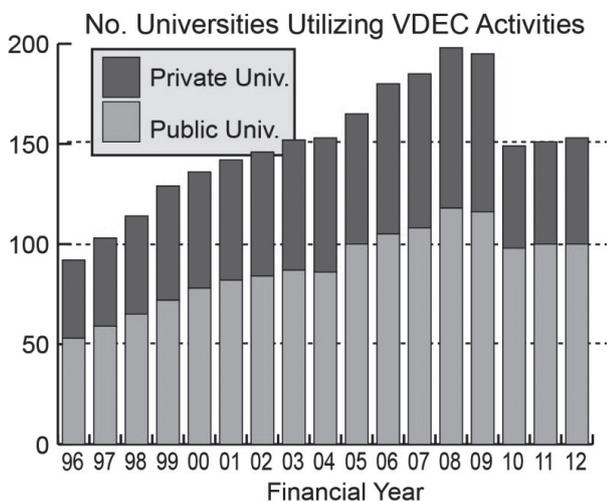
Fig. 1. 2. 1 VDEC Subcenters



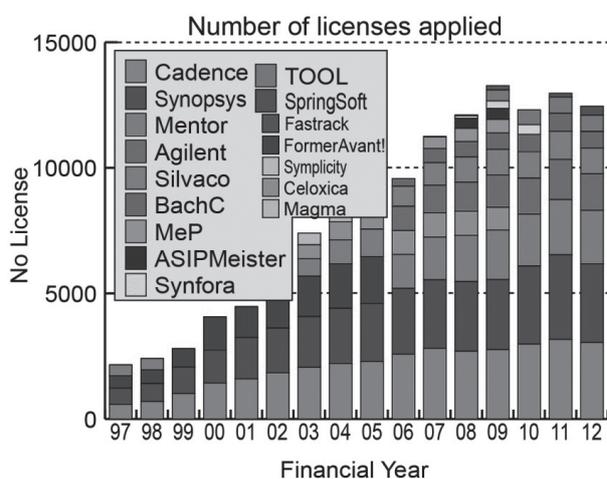
(a) The number of registrants



(c) The number of research group applied CAD tools



(b) The number of universities colleges of the registrants



(d) The number of applied licenses of all CAD tools

Fig. 1. 2. 2 The numbers of VDEC CAD Applications

1.3 VLSI Chip Fabrication

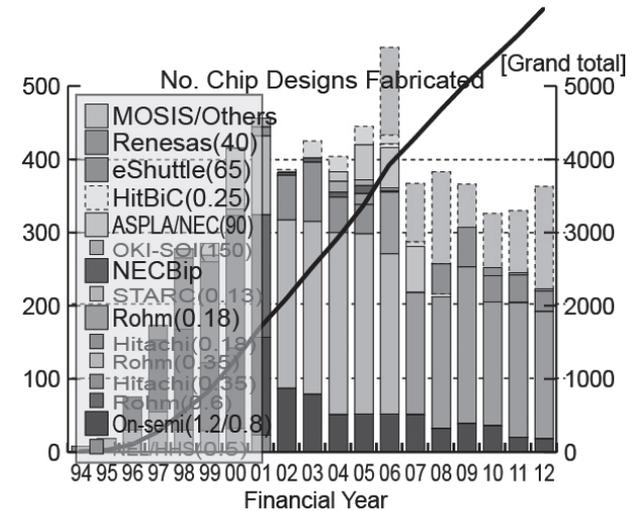
1.3.1 Trends of VLSI Chip Fabrication Services

Fig. 1.3.1 shows a trend of number of designed chips for VDEC chip fabrication services, including pilot project prior to VDEC establishment.

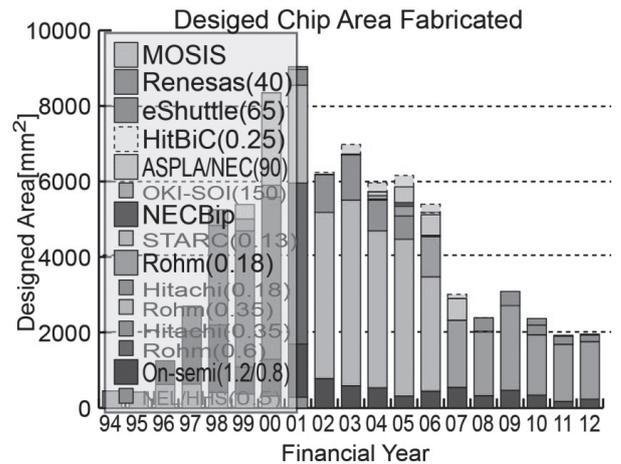
VLSI chip fabrication is limited to $0.5\mu\text{m}$ CMOS provided by NTT Electronics during the pilot project in 1994 and 1995. VDEC chip fabrication had started in 1996 with $1.2\mu\text{m}$ CMOS provided by Motorola Japan, which is now On-Semiconductor as well as the $0.5\mu\text{m}$ CMOS. In 1997, VDEC received cooperation from Rohm and has started $0.6\mu\text{m}$ CMOS process. In 1998, VDEC started chip fabrication services of $0.35\mu\text{m}$ CMOS by Hitachi, and in 1999, VDEC started $0.35\mu\text{m}$ CMOS by Rohm. We had a test chip fabrication of $0.13\mu\text{m}$ CMOS by STARC through "IP development project" in 2001. We added $0.18\mu\text{m}$ CMOS by Hitachi into our chip fabrication menu in 2001. From 2002, we started VDEC-MOSIS chip fabrication program initiated by Prof. Iwata of Hiroshima University. Under this program, VDEC member can access to TSMC and IBM processes with lower price. We also started Bipolar chip fabrication by NEC Compound Semiconductor Devices. In 2004, we started $0.15\mu\text{m}$ SOI-CMOS chip fabrication by Oki Electric as test chip fabrications. In the same year we started 90 nm CMOS chip fabrication by ASPLA/STARC. In 2006, we started $0.18\mu\text{m}$ CMOS by Rohm and $0.25\mu\text{m}$ SiGeBiCMOS by Hitachi. In 2008, we started 65 nm CMOS process by eShuttle, after closure of 90 nm CMOS chip fabrication in 2007. In 2010, we started 40 nm CMOS process by Renesas Electronics through "Next Generation Semiconductor Circuits&Architecture" project between METI and STAR, and continue this year as well. On the other hand, $1.2\mu\text{m}$ CMOS chip fabrication program came to end by the September 2011. 40 nm CMOS by Renesas Electronics and 65 nm by eShuttle also come to end by Oct. 2012 and Aug. 2013, respectively. We started CMOS $0.8\mu\text{m}$ in Oct. 2012 by On-semiconductor-Sanyo as a test chip fabrication and will open it as the regular chip fabrication menu. We start FD-SOI 28 nm CMOS by ST-Microelectronics through CMP, France, as the advanced CMOS process in 2013.

Fig. 1.3.1(a) shows trends of number of chip designed for VDEC chip fabrication. For the first 6 years until 2001,

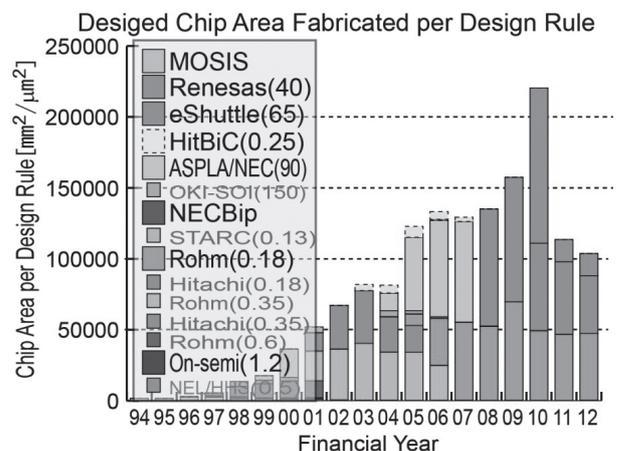
the number of designed chips shows steady increase, which means drastic improve of the effectiveness researches and education of LSI design, and we assume drastic increase of number of students related to LSI chip



(a) Trend of number of designs fabricated.



(b) Trend of designed area.



(c) Trend of designed area normalized by design rule.

Fig. 1.3.1 Trend of number of designs and designed chip area.

design and education. During few years of stable number around 400 chip designs per year, we can see transition of designs toward finer process. In 2007, we saw a large drop, which was caused by sudden process transition from $0.35\mu\text{m}$ CMOS to $0.18\mu\text{m}$ CMOS, and in 2008, we also saw another drop by process transition from 90 nm CMOS to 65 nm CMOS.

Fig. 1.3.1(b) shows trends of designed chip area, which shows much clear trends of drop by process migration. On the other hand, Fig. 1.3.1(c) shows trends of designed chip area normalized by design rule, which assume to be strong relation with design efforts. Coming from the fact that the normalized chip area is still growing, we assume the major reason for decrease of number of chips and designed area is increase of design effort per chip and per unit area due to process scaling.

Fig. 1.3.2 shows trends number of professors and universities fabricated chip. Number of professors who have contracted NDA for process technologies to access design rules and design libraries are, 240, 72, and 19, respectively, for $0.18\mu\text{m}$ CMOS, 65 nm CMOS and 40 nm CMOS.

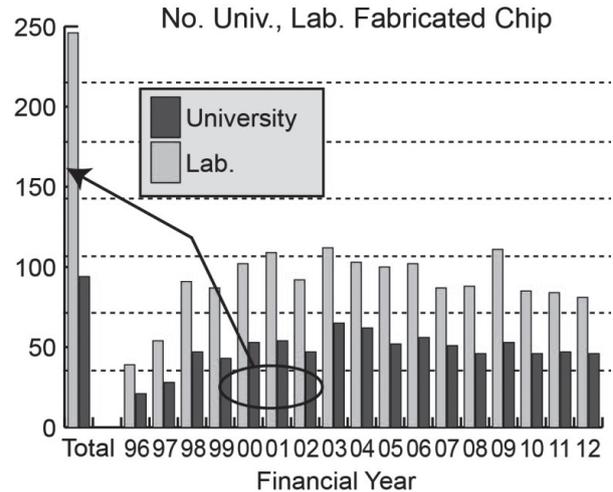


Fig. 1.3.2 Trend of number of processors and universities fabricated chip.

1.3.2 Overview of chip fabrication in 2012

Table 1.3.1 lists chip fabrication schedule in 2011. Please refer to list in Chapter 2 for details of designers and contents of chip designed.

Table 1.3.1 Chip fabrication schedule in 2012

● 0.8 μm CMOS (On-Semiconductor -Sanyo)

	Chip application deadline	Design deadline	Chip delivery
2012		2012/10/15	2013/ 1/29

● 0.18 μm CMOS (Rohm)

	Chip application deadline	Design deadline	Chip delivery
2012#5	2011/11/21	2012/ 2/13	2012/ 6/ 5
2013#1	2012/ 3/ 5	2012/ 5/28	2012/ 9/ 6
2013#2	2012/ 5/ 1	2012/ 7/23	2012/11/ 9
2013#3	2012/ 6/18	2012/ 9/10	2012/12/18
2013#4	2012/ 8/27	2012/11/19	2013/ 2/27
2013#5	2012/11/19	2013/ 2/12	2013/ 6/ 3 (Schedule)

● 65 nm CMOS (eShuttle/STARC)

	Chip application deadline	Design deadline	Chip delivery
2012 April	2012/ 2/15	2012/ 3/28	2012/ 8/ 1
2012 Aug.		2012/ 7/25	2012/11/24
2012 Oct.	2012/ 8/22	2012/10/ 3	2013/ 1/22
2012 Dec.	2012/10/17	2012/11/28	2013/ 4/13

2011 Sep. is carried out as METI/STARC project.

● 40 nm CMOS (Renesas Electronics)

	Chip application deadline	Design deadline	Chip delivery
2012 Oct.		2012/ 9/24	2012/12/26

This chip fabrication is carried out as METI/STARC project.

1.3.3 Libraries and design flows

and design flows for digital design and PDKs for analog design. Table 1.3.2 lists libraries available now.

VDEC have been working to prepare design libraries

Table 1.3.2 Libraries available for VDEC chip fabrication

Technology	Name	Author	Contents
0.18 μ m CMOS (Rohm)	Rohm library	Rohm Library Std. Cells, IO cells, RAM (Distributed with CDROM)	Synthesis (Synopsys)
			Simulation (VerilogXL)
			P&R (LEF/DEF)
	Kyodai Library	Onodera Lab., Kyoto University	Synthesis (Synopsys)
			Simulation (VerilogXL)
			P&R (Astro)
	Todai Library	VDEC Design flow based on library prepared by Onodera Lab., Kyoto University	Synthesis (RTL Compiler)
			Simulation (VerilogXL)
			P&R (Encounter)
	PDK	VDEC	PDK (IC6.1)

1.4 Seminar

Seminar is indispensable for the improvement of LSI design technology. Some seminar and forums, such as technical seminar for CAD use, refreshing seminar for working people, designer's forums for young professors and students were held in 2011.

[Technological seminar for CAD use]

In a technological seminar for CAD use, VDEC invites lecturer from each tool vender, such as Cadence, Synopsys and Agilent, to hold the CAD operation course. Moreover, the course concerning the design flow in the VDEC environment was held by the VDEC staff. A technological seminar for CAD use for the beginner was held in The University of Tokyo VDEC in August and September at the year 2012. This seminar took 5 days for 4 kinds of Cadence tools, 5 days for 4 kinds of Synopsys tools, 1 days for 1 kind of Agilent tool. In addition, VDEC

teachers gave lecturers on transistor level circuit design course, and digital circuit design course under the VDEC EDA environment. Teachers and students up to 40 people attended a lecture in each course, and master the use of each tool for VLSI design flow that uses the VDEC library. Moreover, another technical seminar for CAD use for matured teachers and students was held in March by Cadence 5 kind and 5 days, Synopsys 4 kind and 4 days, Agilent 1 kind and 1 days (Table 1.4.1). The demand for these CAD technological seminars is very large, and VDEC has maintained the mechanism of a large-scale CAD technological seminar holding corresponding to this situation. So far, the seminar was held at the University of Tokyo OR other VDEC branch, however, we started to distribute the lecture using Web streaming, so that students around VDEC branch can take the seminar at the branch school.

Table. 1.4.1 CAD technological seminar in summer of the year 2012

When	What	Where	#attendee
2012/8/2	Synopsys Raphael Seminar	Univ. of Tokyo	5
2012/8/2	Synopsys Raphael Seminar	Tohoku Univ.	2
2012/8/2	Synopsys Raphael Seminar	Hiroshima Univ.	1
2012/8/6-7	Cadence SoC Encounter Seminar	Univ. of Tokyo	10
2012/8/6-7	Cadence SoC Encounter Seminar	Tohoku Univ.	3
2012/8/6-7	Cadence SoC Encounter Seminar	Kanazawa Univ.	1
2012/8/6-7	Cadence SoC Encounter Seminar	Hiroshima Univ.	1
2012/8/8	Cadence LowPower Flow FrontEnd Seminar	Univ. of Tokyo	10
2012/8/8	Cadence LowPower Flow FrontEnd Seminar	Tohoku Univ.	4
2012/8/8	Cadence LowPower Flow FrontEnd Seminar	Hiroshima Univ.	2
2012/8/8	Cadence LowPower Flow FrontEnd Seminar	Kinki Univ.	7
2012/8/9	Cadence LowPower Flow BackEnd Seminar	Univ. of Tokyo	11
2012/8/9	Cadence LowPower Flow BackEnd Seminar	Tohoku Univ.	4
2012/8/9	Cadence LowPower Flow BackEnd Seminar	Hiroshima Univ.	2
2012/8/22	VDEC T2000 Seminar	Univ. of Tokyo	3
2012/8/23	Synopsys DesignCompiler Seminar	Univ. of Tokyo	17
2012/8/23	Synopsys DesignCompiler Seminar	Osaka Univ.	10
2012/8/23	Synopsys DesignCompiler Seminar	Hiroshima Univ.	1
2012/8/23	Synopsys DesignCompiler Seminar	Kinki Univ.	10
2012/8/23	Synopsys PowerCompiler Seminar	Univ. of Tokyo	14
2012/8/23	Synopsys PowerCompiler Seminar	Osaka Univ.	8
2012/8/23	Synopsys PowerCompiler Seminar	Hiroshima Univ.	1
2012/8/23	Synopsys PowerCompiler Seminar	Kinki Univ.	9
2012/9/3	Synopsys VCS+co-Sim Seminar	Univ. of Tokyo	7
2012/9/3	Synopsys VCS+co-Sim Seminar	Osaka Univ.	3

2012/9/3	Synopsys VCS+co-Sim Seminar	Hiroshima Univ.	1
2012/9/3	Synopsys VCS+co-Sim Seminar	Kinki Univ.	9
2012/9/4-5	Transistor Level Design in VDEC EDA Environment	Univ. of Tokyo	19
2012/9/6-7	Digital Design in VDEC EDA Environment	Univ. of Tokyo	17
2012/9/19	Cadence CtoS Seminar	Univ. of Tokyo	8
2012/9/19	Cadence CtoS Seminar	Tohoku Univ.	1
2012/9/19	Cadence CtoS Seminar	Hiroshima Univ.	1
2012/9/21	Agilent GoldenGate Seminar	Univ. of Tokyo	6

2013/03/06	Cadence Spectre Basic Seminar	Univ. of Tokyo	12
2013/03/06	Cadence Spectre Basic Seminar	Tohoku Univ.	2
2013/03/06	Cadence Spectre Basic Seminar	Hokkaido Univ.	7
2013/03/06	Cadence Spectre Basic Seminar	Miyazaki Univ.	11
2013/03/07	Cadence Spectre-RF/APS-RF Seminar	Univ. of Tokyo	9
2013/03/07	Cadence Spectre-RF/APS-RF Seminar	Tohoku Univ.	3
2013/03/08	Agilent EMPro Seminar	Univ. of Tokyo	10
2013/03/08	Agilent EMPro Seminar	Kanazawa Univ.	1
2013/03/11	Cadence Virtuoso Workshop F/E Seminar	Univ. of Tokyo	14
2013/03/11	Cadence Virtuoso Workshop F/E Seminar	Tohoku Univ.	2
2013/03/11	Cadence Virtuoso Workshop F/E Seminar	Hokkaido Univ.	6
2013/03/11	Cadence Virtuoso Workshop F/E Seminar	Hiroshima Univ.	5
2013/03/11	Cadence Virtuoso Workshop F/E Seminar	Miyazaki Univ.	5
2013/03/12	Cadence Virtuoso Workshop B/E Seminar	Univ. of Tokyo	15
2013/03/12	Cadence Virtuoso Workshop B/E Seminar	Tohoku Univ.	3
2013/03/12	Cadence Virtuoso Workshop B/E Seminar	Hokkaido Univ.	6
2013/03/12	Cadence Virtuoso Workshop B/E Seminar	Hiroshima Univ.	5
2013/03/13	Synopsys HSPICE Basic Course Seminar	Univ. of Tokyo	20
2013/03/13	Synopsys HSPICE Basic Course Seminar	Tohoku Univ.	5
2013/03/13	Synopsys HSPICE Basic Course Seminar	Kanazawa Univ.	2
2013/03/13	Synopsys HSPICE Basic Course Seminar	Hokkaido Univ.	5
2013/03/13	Synopsys HSPICE Basic Course Seminar	Osaka Univ.	6
2013/03/13	Synopsys HSPICE Basic Course Seminar	Hiroshima Univ.	7
2013/03/14	Synopsys HSPICE Advanced Course Seminar	Univ. of Tokyo	23
2013/03/14	Synopsys HSPICE Advanced Course Seminar	Tohoku Univ.	2
2013/03/14	Synopsys HSPICE Advanced Course Seminar	Kanazawa Univ.	1
2013/03/14	Synopsys HSPICE Advanced Course Seminar	Hokkaido Univ.	4
2013/03/14	Synopsys HSPICE Advanced Course Seminar	Osaka Univ.	4
2013/03/14	Synopsys HSPICE Advanced Course Seminar	Hiroshima Univ.	2
2013/03/15	Synopsys Sentaurus Basic Seminar	Univ. of Tokyo	5
2013/03/15	Synopsys Sentaurus Basic Seminar	Tohoku Univ.	8
2013/03/15	Synopsys Sentaurus Basic Seminar	Osaka Univ.	4
2013/03/15	Synopsys Sentaurus Basic Seminar	Hiroshima Univ.	8
2013/03/18	Synopsys NanoTime (XA) Seminar	Univ. of Tokyo	4
2013/03/18	Synopsys NanoTime (XA) Seminar	Tohoku Univ.	1
2013/03/18	Synopsys NanoTime (XA) Seminar	Kanazawa Univ.	1
2013/03/19	Cadence AMS DesignerSeminar	Univ. of Tokyo	10
2013/03/19	Cadence AMS DesignerSeminar	Kanazawa Univ.	1
2013/03/25	CTS Tester Seminar	Univ. of Tokyo	7

[Refresh Seminar for Working People]

Teachers of universities and designers in the first line of the enterprise were invited to the lecturer at “VLSI design refresh seminar” was held aiming at the latest, advanced knowledge and technical learning concerning VLSI design as a refreshing education for working people involved in the integrated circuit industry (Table 1. 4. 2). Though this seminar started chiefly in year 1998 under the support of Ministry of Education Technical Education Division to give practicing education of the latest VLSI design technology, it continues under many supports

from many societies.

Course R: CMOS-RF integrated circuit design (12/25-12/27) , Course A: analog integrated circuit design (1/15-1/17) , in addition, newly-started Course M: MEMS design (1/7-1/8) , of three courses were held concerning VLSI design of recent year. 7 teachers from industry and universities involved in the integrated circuit research and the education were invited as the lecturer, and they introduced a state-of-the-art VLSI design technology including the practice using a lecture concerning VLSI design and the latest CAD tool. The participants were 7, 20 and 7 people for course R, A and M, respectively.



Fig. 1. 4. 1 Refresh Seminar at VDEC seminar room at the University of Tokyo, VDEC.

Table 1. 4. 2 Refresh Seminar

Course A: Analog Circuit Design (3 days)	Analog Circuit Design and simulation Integrated Circuits Verification (LVS, DRC)
	Masahiro Sugimoto (Chuo Univ.), Hidetoshi Onodera (Kyoto Univ.), Koji Kotani (Tohoku Univ.)
Course R: RF Circuit Design (3 days)	Distributed Circuits Basics of RF CMOS Circuits
	Toshimasa Matsuoka (Osaka Univ.), Minoru Fujishima (Hiroshima Univ.)
Course M: MEMS Design (2 days)	MEMS Basic 1: Fabrication Process MEMS Basic 2: Operation Principle Structural Design Layout Design
	Yoshio Mita (Univ. of Tokyo)

[Designer's forum for young teachers and students]

VDEC LSI designer forum intended for students and young teachers has been held. The VDEC LSI designer forum has aimed to sharing information that cannot be obtained at a society and a academic society, for example, the failure case and the solution in which LSI designer

has a hard time, the inside story of CAD industry, the construction method in the design milieu in the laboratory, and so on. This year, we had a collaborative consecutive meeting with STARC Next Generation Circuit Architecture Report Meeting, in The University of Tokyo, Takeda hall from August/26 to 27. No less than 50 participants were flourishing at the gathering.

Table 1. 4. 3 Program of Designers Forum in 2012.

8/26 (Sun) VDEC Designers'Forum

12:00-12:30	Reception
12:30-12:40	Welcome Speech
12:40-13:40	Prenaly Talk (Toru Furuyama)
14:00-17:30	VDEC Design Award Presentaion
18:30-18:45	VDEC Design Award Ceremoney
19:00	Ph.D Session, Banquet

8/27 (Mon.) Next Generation Circuit Architecture, Report Meeting

09:30-12:00	Report 1
13:10-17:30	Report 2
17:40-19:20	Meeting in Howaie

1.5 Facilities

The VDEC has provided the big facilities for universities in Japan from the beginning of the VDEC foundation (1996). Big facilities refer to those which are impossible to acquire and or maintain by an individual research unit. Table 1.5.1 shows the available facilities of VLSI testers and some process machines, which are placed at the tester room and the super clean room of the Takeda building. In 2004, the VLSI tester (T2000) and the EB lithography machine (F5112+VD01) were donated

to the VDEC by the ADVANTEST. From April 2012 to March 2013, the EB lithography machine F5112 has been used 1,882 times (157 exposures per month). In the year 2012, VDEC joined MEXT (Ministry of Education)'s Nanotechnology platform to enforce its multi-use capability. (For Nanotechnology Platform refer section 1.8). The facilities for the LSI testing can be used after attending the technical seminar. The licenses are also required to use the EB lithography and the FIB.

Table 1.5.1 Available facility list

Facility	Equipment name	Description	Status	Contact
Logic LSI test System	EB tester: IDS10000	The chip surface voltage during operation can be measured with the LST tester. The digital circuit with 384 pins, 1GHz can be tested.	Available	equipment@vdec.u-tokyo.ac.jp
	LSI tester: HP8300	The digital circuit with 384 pins, 1GHz can be tested.	Available	HP83000@vdec.u-tokyo.ac.jp
	LSI tester: ADVANTEST T2000	The digital circuit with 256 pins, 512MHz can be tested. Analog test is optional.	Available	equipment@vdec.u-tokyo.ac.jp
	FIB: IDSP2X	Cutting wires of LSIs and depositing Pt wires are available to repair the LSI design errors.	Available	IDSP2X@vdec.u-tokyo.ac.jp
	Auto prober: PM-90-A	Automated prober for testing LSI wafers, which can be used with the LSI testers. The probe card for LSIs with the VDEC standard pin connections is available.	Available	equipment@vdec.u-tokyo.ac.jp
Analog/RF measurement system	Analog/RF measurement system: HP4156B, HP4284, etc	DC parameter measurement, Capacitance measurement, Network analyzer, Spectrum analyzer, etc.	Available	equipment@vdec.u-tokyo.ac.jp
	Low-noise manual prober: Cascade Microtec	6 inch wafer can be measured with six DC probes and two RF probes upto 50 GHz.		
	Low-noise, temperature controlled semi-auto prober: Süss Microtec	8inch wafer can be measured. The chip temperature range is -50 to 200 °C .		
	Low-temperature prober: Nagase	5 inch wafer can be cooled down to 25 K.	Available	equipment@vdec.u-tokyo.ac.jp
EB lithography system	Mask lithography, Direct lithography: F5112+VD01	Minimum linewidth: 50nm. Lithography for 5 inch photomask (thickness: 2.3 mm), 2-8 inch wafers, and chips is possible.	Available	equipment@vdec.u-tokyo.ac.jp
FIB system	FIB: SII XVision200TB	Repairment of photomask, sample etching, etc. (Through Nanotech. Platform and LCNet)	Available	equipment@vdec.u-tokyo.ac.jp

1.6 Activity plan for 2013

VDEC will continue activities on chip fabrication services, CAD tool support, dispatching design related information and donated division "D2T", as has been previous years.

[Design related information dispatching/Seminar]

We will continue holding the following seminars: (1) CAD tools seminars which have been continued since 1997, (2) "Refresh seminar" since 1998, (3) "Designer' Forum" since 1997. We will also continue seminars for LSI tester usage at VDEC and sub-centers, workshops on LSI testing technologies initiated by D2T.

[CAD tool support]

We will continue Cadence tools, Synopsys tools and Mentor tools as the main stream design tools. We will

continue analog RF design environment, GoldenGate and ADS by Agilent, C-based design environment, BachC by Sharp. In addition, we continue trial of Lavis by TOOL. We will dis-continue circuit simulator, SmartSpice by Silvaco, due to less number of usage.

[Chip fabrication services]

We will continue chip fabrication services for 0.18 μ m CMOS by Rohm, and will have the final chip fabrication for 65 nm CMOS by eShuttle. We will establish 0.8 μ m CMOS by On-semiconductor-Sanyo as the regular service. We also initiate FD-SOI 28 nm CMOS by ST Microelectronics as a trial. We will ask packaging for the above chip fabrications to J-Device to meet the diverse needs of the assembly. We initiate 0.8 μ m CMOS by On-Semiconductor.

Table 1.6.1 Chip fabrication schedule

[CMOS 1.2 μ m 2P2M] On-Semiconductor (Former Motorola Japan)

	Chip application deadline	Design deadline	Chip delivery
2013#1	2013/ 6/ 3	2013/ 8/26	2013/12/ 2
2013#2	2012/ 1/10	2014/ 3/24	2014/ 6/30

[CMOS 0.18 μ m 1P5M (+MiM)] Rohm

	Chip application deadline	Design deadline	Chip delivery
2013#1	2013/ 1/ 8	2013/ 2/12	2013/ 6/ 3
2013#2	2013/ 3/25	2013/ 6/17	2013/10/ 7
2013#3	2013/ 5/ 1	2013/ 7/24	2013/11/13
2013#4	2013/ 6/19	2013/ 9/11	2013/12/25
2013#5	2013/ 7/29	2013/10/21	2014/ 2/17

[CMOS 65 nm 1P12M] eShuttle

	Chip application deadline	Design deadline	Chip delivery
2013 Aug.	2013/ 6/12	2013/ 7/24	2013/11/30

[FD-SOI CMOS 28 nm 1P10M] ST Microelectronics

As a chip-fabrication project by STARC.

1.7 Venture companies related to VDEC

Some professors related to VDEC started venture companies. The following is a list of the venture companies related to VDEC.

[1] AIL Co.,Ltd. (<http://www.ailabo.co.jp/>)

Related professor : Professor Kazuo Taki, Kobe Univ. (President-Director)

[2] Synthesis Corporation (<http://www.synthesis.co.jp/>)

Related professor : Professor Emeritus Isao Shirakawa, Osaka Univ. (Director)

Description of business : (1) Hardware/software co-design
(2) System LSI design, design services
(3) Development and sales of IPs
(4) Development of EDA tools

[3] ASIP Solutions, Inc. (<http://www.asip-solutions.com/>)

Related professor : Professor Masaharu Imai, Osaka Univ. (Representative Director and CTO)

Description of business : (1) EDA Tool
(2) Design Service and Consultation
(3) IP Development

[4] Nanodesign Corporation (<http://www.nanodesign.co.jp/>)

Related professor : Professor Kazuyuki Nakamura, Kyushu Institute of Technology. (Representative Director)

[5] A-R-Tec Corp. (<http://www.a-r-tec.jp/>)

Related professor : Professor Emeritus Atsushi Iwata, Hiroshima Univ. (Representative Director)

Description of business : (1) Measurement and analysis of LSI substrate noise
(2) Design of analog-RF mixed signal LSIs
(3) Training of analog design on the JOB method

1.8 “Nanotechnet”: Ultra Small Lithography and Nanometric Observation Site

VDEC is operating an open-use nanotechnology platform “Ultra Small Lithography and Nanometric Observation Site” together with the Institute of Engineering Innovation of Graduate School of Engineering. The site is supported by Japanese Ministry of Education (MEXT)’s Nanotechnology Platform grant. Any researchers in Japanese Universities, Laboratories, and Companies can take full advantage of The University of Tokyo’s cutting-edge nanotechnology apparatuses and know-hows. The accessible technology includes Lithography and Etching environment, Ultra High-Voltage Acceleration (1MV) transmission electron microscope (TEM) that is capable of visualizing upto light materials such as Nitrogen. VDEC takes part in

the lithography at Takeda Sentanchi Super Cleanroom. Through VDEC’s key apparatus F5112+VD01 donated from Advantest Corporation, VDEC is supporting post-VLSI activities such as MEMS. The machine is capable of rapidly writing patterns on arbitrary-shaped targets sizing from 1cm-square chip to 8-inch round wafers. One year has passed since Nanotechplat project acceptance, and yearly +10% of progress is continuing, in number of users. Over forty research teams in Japan used the machine, with exposures count of 1,882. “Open ratio”, which is the number of days in which users outside the University of Tokyo came, divided by machine open days, was 99%.

<http://nanotechnet.t.u-tokyo.ac.jp/>

Chapter 2 Activity Report of “D2T Research Division”

2. 1 Introduction of “D2T Research Division”

2. 1. 1 Aim of “D2T Research Division”

ADVANTEST D2T research division was established in VDEC in October 2007. It continued for 3 years. As the name of the research division indicates, it is financially supported by ADVANTEST Corporation. Through the kindness of ADVANTEST Corporation, the research division was renewed and the second phase of D2T research division started from October 2010.

The aim of D2T research division is to promote the research and education environment of VLSI testing in all universities and colleges in Japan. “D2T” means that we consider not only design but also test. As the results of our activities, we hope to provide the experts of design and test for industry. In addition, we are exchanging researchers with other universities or research institute in both Japan and overseas. Moreover, D2T research division is in a good environment to make collaboration with industry because testing of VLSI is one of the most practical research topics in industry. Based on those activities, our final goal is to become a center of excellence of VLSI Testing in Japan.

The first phase of D2T activities had finished in September 2012, and the second phase started at October 2010 through the courtesy of Advantest Corporation. This year was the middle of the second three years, so we have actively conducted researches, educations, and symposium in the area of design and test.

2. 1. 2 Members of “Advantest D2T Research Division”

Staff

Project Associate Professor	Satoshi Komatsu
Project Researcher	Rimon Ikeno
Project Researcher	James Tandon
Researcher	Takahiro Yamaguchi (Advantest Laboratories Ltd.)
Researcher	Masahiro Ishida (Advantest Corporation)
Researcher	Takashi Maruyama (e-Shuttle Inc.)
Assistant Clerk	Makiko Okazaki

2. 2. Report of “D2T Symposium”

“The 7th VDEC D2T Symposium” took place on December 11, 2012 at Takeda Building. In the symposium, five outstanding researchers were invited to give the state-of-the-art researches in the field of variation-aware tests, system-level tests, on-chip measurement techniques, and portable ATE. In addition to the invited talks, the members of “Advantest D2T Research Division” reported their activities. In the panel session

titled “Post-Silicon Validation and Test in Huge Variance Era”, a variety of topics was actively discussed among panelists and audiences.

More than 100 researchers from industry as well as professors / students attended the symposium. We believe the symposium was very interesting and exciting one for all attendees. VDEC will continue to have the symposium in future and we hope for your joining the events.

2012
12/11 (火)
10:00~18:00
東京大学 武田先端知ビル 5階 武田ホール

東京大学 大規模集積システム設計教育研究センター VDEC
VLSI Design and Education Center (VDEC), The University of Tokyo

**第7回 アドバンテスト D2T 寄附研究部門
D2T シンポジウム**

<p>プログラム Program</p> <p>10:00 開会の挨拶</p> <p>10:10 セッション1</p> <p>12:00 昼食</p> <p>13:20 セッション2</p> <p>15:00 休憩</p> <p>15:30 セッション3</p> <p>16:30 パネルディスカッション</p> <p>17:50 閉会</p> <p>18:00 懇親会</p>	<p><i>“Test Time Reduction By Exploring Spatial and Test-Item Correlations Using Statistical Regression Techniques”</i> Kwang-Ting (Tim) Cheng (University of California, Santa Barbara) <i>“Power Integrity Control of ATE for Emulating Customer's Power Supply Characteristic”</i> 石田 雅裕 (株式会社アドバンテスト) <i>“Portable/Desktop Testing Solution for Engineering with Cloud”</i> 木村 学 (Cloud Testing Service 株式会社) <i>“New Capability Enables System Level Functional Test and Automated Test Program Generation on ATE”</i> 北川 悟 (株式会社アドバンテスト)</p> <p><i>“Nanoscale Circuit Structures for Measurement and Test”</i> Jacob A. Abraham (University of Texas at Austin) <i>“Time-Mode Signal Processing and its Impact on Analog/Mixed-Signal/RF Testing”</i> Gordon Roberts (McGill University)</p> <p><i>“Testing & Debugging On-Chip Jitter without High-Frequency Pins or a Reference Clock”</i> 山口 隆弘 (株式会社アドバンテスト研究所) <i>“A CMOS Flash TDC with 0.84-1.3 ps Resolution Using Standard Cells”</i> James Tandon (東京大学)</p> <p><i>“Post-Silicon Validation and Test in Huge Variance Era”</i></p>
---	--

参加のお申し込み
【参加費】 無料 【申し込み方法】 以下のウェブサイトからの事前申込制
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2012-2.html>

【主催】
東京大学大規模集積システム設計教育研究センター (VDEC)
後援：株式会社アドバンテスト
協賛：(社)電子情報通信学会、(社)情報処理学会、(社)電子情報技術産業協会
IEEE SSSC Japan Chapter、LSIテスト学会

【お問い合わせ】
東京大学大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
〒113-0032 東京都文京区弥生 2-11-16 武田先端知ビル 404号室
Tel: 03-5841-0233 FAX: 03-5841-1093 <http://www.vdec.u-tokyo.ac.jp/> E-Mail: komatsu@vdec.u-tokyo.ac.jp

**武田ホール
武田先端知ビル
5F**

Symposium Program

10:00	Opening Remark Kunihiro Asada (Director of VDEC, Univ. of Tokyo)
10:10	Session 1
	<p>“Test Time Reduction By Exploring Spatial and Test-Item Correlations Using Statistical Regression Techniques” <i>Kwang-Ting (Tim) Cheng (University California, Santa Barbara)</i></p> <p>“Power Integrity Control of ATE for Emulating Customer’s Power Supply Characteristic” <i>Masahiro Ishida (Advantest)</i></p> <p>“New Capability Enables System Level Functional Test and Automated Test Program Generation on ATE” <i>Satoru Kitagawa (Advantest)</i></p> <p>“Portable/Desktop Testing Solution for engineering with Cloud” <i>Manabu Kimura (Cloud Testing Service)</i></p>
12:00	Lunch
13:20	Session 2
	<p>“Nanoscale circuit structures for measurement and test” <i>Jacob A. Abraham (University of Texas at Austin)</i></p> <p>“Time-Mode Signal Processing and Its Impact On Analog/Mixed-Signal/RF Testing” <i>Gordon Roberts (McGill University)</i></p>
15:00	Coffee Break
15:30	Session 3
	<p>“Testing&Debugging On-Chip Jitter without a Reference Clock or High-Frequency Pins” <i>Takahiro Yamaguchi (Advantest Laboratories)</i></p> <p>“A CMOS Flash TDC with 0.84-1.3 ps Resolution Using Standard Cells” <i>James Tandon (University of Tokyo)</i></p>
16:30	Panel Discussion “Post-Silicon Validation and Test in Huge Variance Era”
	<p>Moderator: Takahiro Yamaguchi (Advantest Laboratories) Panelists: Kwang-Ting(Tim) Cheng (University of California, Santa Barbara) Jacob A. Abraham (University of Texas at Austin) Gordon Roberts (McGill University)</p>
17:50	Closing Remark
18:00	Reception

2.3. Research Activity Reports of “Advantest D2T Research Division”

On-chip Digitizer/On-chip Spectrum Analyzer

Takahiro Yamaguchi, James Tandon, Satoshi Komatsu, Kunihiro Asada

A new threshold voltage variation monitor circuit is introduced which utilizes a stochastic comparator group. It occupies minimal area and performs digital measurement while requiring a DC input stimulus voltage. Previous methods have required the measurement of variation in the ring oscillator frequency. Our method circumvents the need for AC measurements, and accelerates the accumulation of data by incorporating stochastic properties into the circuit

Dynamic Control Technique of Power Integrity

Toru Nakura, Masahiro Ishida, Toshiyuki Kikkawa, Satoshi Komatsu, Kunihiro Asada

While the specified power supply voltage becomes lower due to increased miniaturization of the semiconductor process, the power supply current consumed by a device increases because of the higher number of transistors integrated within a single chip. This causes the increased power supply noise, and the power integrity of the device under test and under practical operating conditions becomes a more serious concern.

In this research, we proposed a method for dynamically controlling impedance characteristics of on-chip power supply nodes in a semiconductor device. The proposed method can reduce on-chip power supply noise due to operating conditions of the device by connecting series resonance circuits to the power supply node to be controlled in parallel with operating circuit cores and power supply networks, and controlling the resonance frequencies of the resonance circuits according to operating conditions such as an operating frequency, a power supply voltage, and an operating temperature of the device. The principle of the proposed method was validated by circuit simulations using SPICE. A TEG circuit design for an experimental validation was completed.

Structural Test Technique for Analog Circuits

Satoshi Komatsu

In this research, we propose an effective test method for system LSIs by introducing structural test approaches used in digital testing for analog circuit tests. Both digital circuits and analog circuits are often integrated into a system LSI, so the final target of the research is to test analog circuits by using digital circuits using structural test manner. This year, we have investigated and analyzed observability and controllability of such system LSIs to achieve the effective test generation.

Design Methodology Based on Character Projection (CP) Elements

Takashi Maruyama, Rimon Ikeno, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, Kunihiro Asada

Character Projection (CP) Electron Beam Direct Writing (EBDW) is a promising solution for high-speed and low-cost lithography in the 14 nm technology nodes and beyond. For the practical CP use in the industry, the biggest concern is the limitation of the CP element variations by the limited stencil area. VDEC has conducted a joint research with e-Shuttle Inc. on the efficient design strategies of CP stencils and semiconductor chips in our three target areas; logic cell, memory macro, and interconnect.

This year, based on our past results of the design strategy concepts in each target area, we developed pilot design flows utilizing commercial EDA tools and the conventional cell libraries, and confirmed the feasibility of those strategies. As for logic cell layout, we developed a layout design flow with the cell clusters considering the logic parallelism extracted from the input netlist. For memory-macro stencil design, we improved the estimation accuracy of the CP resource requirement, and established an area-efficient method of the practical stencil design under the stencil area constraint. For interconnect design, we introduced regular structures into the metal and the VIA layers to reduce the required CP element variations, and developed stencil and chip design flows, respectively.



Our experimental results proved the feasibility of our design strategies in achieving the enough throughput for the practical CP use.

2. 4. Publications

- [1] Masahiro Ishida, Toru Nakura, Toshiyuki Kikkawa, Takashi Kusaka, Sotoshi Komatsu and Kunihiro Asada, "Power Integrity Control of ATE for Emulating Power Supply Fluctuation on Customer Environment," IEEE International Test Conference, November 2012.
- [2] T. J. Yamaguchi, K. Asada, K. Niitsu, M. Abbas, S. Komatsu, H. Kobayashi, J. A. Moreira, "A New Procedure for Measuring High-Accuracy Probability Density Functions," 2012 IEEE Asian Test Symposium, pp.185-190, November 2012.
- [3] Rimon Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection using Character Sets Based on One-dimensional VIA Arrays with Area-efficient Stencil Design," 18th Asia and South Pacific Design Automation Conference (ASP-DAC 2013), 3C-2, pp.255-260, Jan. 23rd, 2013.
- [4] Takashi Maruyama, Hiroshi Takita, Rimon Ikeno, Morimi Osawa, Yoshinori Kojima, Shinji Sugatani, Hiromi Hoshino, Toshio Hino, Masaru Ito, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "Practical proof of CP element based design for 14 nm node and beyond," SPIE2013 Advanced Lithography, 8680-75 (2013)
- [5] Rimon Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "A structured routing architecture and its design methodology suitable for high-throughput electron beam direct writing with character projection method, ACM International Symposium on Physical Design (ISPD 2013), March 26th, 2013.
- [6] Rimon Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "Interconnect Design and Character Extraction Method for Throughput Enhancement and Stencil Area Reduction of VIA Layer Exposure for Electron Beam Direct Writing with Character Projection Technique," Design Automation Symposium 2012, IPSJ Symposium Series Vol.2012, No.5, 5B-2, pp.187-192, Aug. 30th, 2012.

Chapter 3 Research in VDEC

Asada, Ikeda, Nakura, and Iizuka Laboratory

(<http://www.mos.t.u-tokyo.ac.jp>)

Current Research Projects

Rectifier for RF Energy Harvesting

K. Asada, T. Nakura, T. Iizuka, and H. Matsui

We have proposed a rectifier composed by threshold voltage controlled MOS transistor with substrate bias effect in order to realize battery-less maintenance free wireless sensor network with RF Energy Harvesting. Wireless sensor network can be located easily because it does not have cumbersome cables. It can not only replace traditional wired network but also can provide new communications infrastructure and instrumentation control application, which is difficult to handle with wired network. It collects much information of real world but it also means that it has to send those information with radio waves frequently. In addition to that, energy cannot be continuously supplied because it does not have an electric line. These lead to the issue of draining a power source. There are a lot of nodes in the wireless sensor network so it takes a lot of cost to replace the battery of sensor nodes. Energy Harvesting, technique of gathering ambient faint energy, can be one solution of this problem. For example, it uses energy of indoor light, vibration of cars, temperature difference of between electronic products and air, and so on. By applying Energy Harvesting to sensors, battery-less maintenance free wireless sensor network can be realized. Among many kinds of Energy Harvesting, we have focused RF Energy Harvesting, which gathers radio waves of television and wireless communication for energy source. Radio Waves are AC voltage so they have to be converted into DC voltage in order to operate the electronic circuit of wireless sensors. A rectifier does this operation but the input lower limit of a rectifier is determined by threshold voltage of MOS transistor and this makes RF energy harvesting inefficient. We have improved this rectifier's weakness by controlling threshold voltage of MOS transistors with substrate bias effect and verified the proposed rec-

tifier is effective.

Time Domain PLL and TDC Designs

K. Asada, T. Nakura, T. Iizuka, T. Kikkawa, T. Someya, N. Tohge

In this research, we create an automatic flow of the Phase-Locked Loop (PLL) design which contains netlist generation, automatic layout and evaluation of the performance by post layout simulations. In order to realize this flow, we employed a Pulse Width controlled PLL (PWPLL) which consists only of standard cells, and thus can be designed by commercially-utilized place and route tools. A prototype was fabricated with a 65 nm CMOS process and we measured and verified its performance. In addition, we are working for utilizing time-domain information. We proposed a Time Difference Hold-and-Replication (TDHR) circuit which holds an input time interval between the two signals and replicates it in arbitrary times. In the TDHR circuit, dual pulse ring oscillator is employed to hold the time interval without any time deterioration due to mismatches. The proposed circuit is implemented in a 65 nm standard CMOS process only with digital standard cells. The fabricated circuit consumes 0.51mW while occupies $40 \mu\text{m} \times 60 \mu\text{m}$ area. The measurement results show realization of 0.1-1.2ns time interval holding-and-replicating within 50 ps error. Moreover, the TDHR circuit applied for a Time-to-Digital Converter (TDC) improves its resolution 8 times as fine. Also, we are engaged in a volume production PLL Test. Transfer function of the PLL is obtained by phase-modulated reference signal and its response on the output signal. In our proposal, phase modulation of the reference signal is carried out by Digitally-Controlled Variable Delay (DCVD) implemented on the same die of the PLL under Test. Moreover, phase difference between the reference and the output signals of the PLL is converted into digital signals by the TDC which is also implemented on the same die. Owing to the DCVD and the TDC, all input and output signals for Test are digital and thus we are able to utilize digital Automatic Test Equipment for PLL Test.

Radiation Detector Utilizing Semiconductor

Photodiode Based on Standard CMOS Technology

K. Asada, T. Nakura, T. Iizuka, and T. Kubota

Scintillation detectors and semiconductor detectors have received widespread attention since they can specify the nuclide of radiation and estimate the arrival angle. However, traditional detectors have two disadvantages. One is that they can not be carried easily, the other is that they do not have enough spatial resolution of radiation position. In this research, we propose the detector using the cube scintillator, SPAD (Single Photon Avalanche Diode) array image sensors, multi-coated materials, and pinholes. Distributions of the detected photons on the SPAD array are simulated in advance, and that distributions are compared with the actual detection results to estimate the trajectory of an electron emitting light. Simulation results verified that the proposed detector realizes a higher spatial resolution than that of the conventional detectors.

LSI Magnetic Emission Monitoring using Micro-Magnetic Probe

K. Asada, T. Iizuka, N.N. Mai Khanh, N. Wang, Y. Nakamura

In recent years, side channel attack has been developed to expose the secret data in encryption LSI. In this research, a micro magnetic probe using on-chip coil with amplifier is implemented and applied to the accurate measurement of the magnetic field from the LSI. The low noise amplifier with on-chip coil for magnetic field detection was implemented and fabricated as a magnetic probe in 0.18 μm CMOS process. The magnetic probe was tested and verified with high-precision scanning system and a fine magnetic field map emitted from LSI was successfully constructed. We also implemented the LSI surface magnetic field modeling method based on the one dimensional current wire model. This method models the magnetic field using the wire layout patterns and the current values estimated by SPICE simulation. We also propose a circuit state estimation method using the data of magnetic field measured by magnetic probe. In the proposed scheme, we applied least squares method in order to realize an accurate estimation results.

CMOS Imaging Sensing in THz band

K. Asada, T. Iizuka, N.N. Mai-Khanh, and P. Kanjanavirojkul

The target of this research is to implement on-chip sub-millimeter wave transmitter for short-range imaging and radar application. On-chip antennas for both transmitter and receiver for sub-millimeter wave to Terahertz region are required. Recent literatures focus on generating continuous wave oscillator, normally based on push-push technique. As opposed to those continuous wave generators, we have proposed a direct sub-millimeter wave pulse burst generator circuit to realize a wide-band pulse with frequency even higher than F_{max} . The proposed circuit utilized very sharp current pulse through CMOS inverter during transition period as a fundamental signal. A burst pulse train can be realized by combining the supply pulse from many inverters and using delay lines to delay trigger signal to each inverter. Delaying and combining the impulse generate a burst-pulse train. Then high frequency harmonics can be extracted by superpositioning the pulse train. Simulation result shows the output frequency of 200 GHz from the 4th harmonic of the fundamental impulse train.

Moreover, on-chip receiver is integrated with a wide-band antenna. The passive mixer for direct power and envelope detecting is a non-coherent receiver scheme while the TDS uses coherent receiving structure with a controllability of input clock's timing and delay. These circuits were fabricated on 65 nm SOI CMOS process.

VLSI Reliability Improvement in nano-meter process technologies

K. Asada, T. Nakura, T. Iizuka, K. Ngari, and K. Mori

In the recent high-speed and low-voltage technologies, a time-domain processing becomes more and more attractive due to the limited voltage-domain resolution. In this study, we compare the time-domain circuit architectures and the conventional voltage-domain architectures in terms of their SNR and dynamic range performances to verify the effectiveness of the time-domain architectures, especially in the scaled nano-meter process technologies. We simulated the signal jitter caused by the transistor thermal and flicker noise using a simple inverter chain and demonstrated its impact to the time-domain resolution. On the other

hand of a steady performance improvement of the VLSI, the aging effect on a smaller feature size transistor is becoming a critical issue. To accurately estimate the impact of the aging on the circuit reliability, a simulation technique of NBTI degradation under the actual operating condition is essential. Thus, we also propose a circuit simulation method for NBTI degradation in this study. By use of circuit elements to express the physical phenomenon of NBTI degradation, the proposed scheme has achieved the estimation of NBTI degradation simultaneously with the circuit simulation. In addition, the proposed method can realize accelerated degradation test by tuning the parameters of the circuit elements.

Design methodology for high-speed electron beam direct writing using stencil masks

K. Asada, M. Ikeda, T. Iizuka, and R. Ikeno

Electron Beam Direct Writing (EBDW) is expected as a low-cost solution for the high-resolution lithography in the advanced semiconductor technologies, but it has a drawback of the low exposure throughput because EBDW basically exposes only one layout figure in each EB shot. We have been studying character projection (CP) method as a high-throughput EBDW technique toward its practical use. We introduced regular structures into the metal layers and the VIA layers to increase the number of the figures exposed at once, along with design methodologies of the circuit layout and the stencil masks. We also investigated the cell-cluster exposure technique for the high-speed CP exposure of the standard cells, and demonstrated a netlist-based cell-cluster design flow utilizing a conventional standard cell library and a commercial EDA tool.

Supply Noise Monitoring and Reduction Method

K. Asada, M. Ikeda, T. Nakura, T. Iizuka, and S. Saito

As the scaling of LSI progresses, power consumption is increasing. So, the system for low power consumption such as Dynamic Voltage Scaling (DVS) and Clock Gating are widely used. However, resonant supply noise caused by the LC resonance of the bonding wire inductance and circuit capacitance happens when it changes the voltage by the DVS or sudden ON/OFF of the clock by the clock gating. This noise causes signal integrity problems of LSIs. With that, we proposed

the resonant supply noise cancellation method, named active charge sharing. This method cancels the noise by actively injecting some amount of charge into the power line from a decap charged by 3.3 [V] or drawing out the power line charge into the decap charged by 0 [V]. Simulation results shows that the amount of resonant supply noise and settling time has improved by 95 % compared with 4n[F] passive decap. Moreover, this method does not dependent on the LR values of a bonding wire. For the proof of availability of the proposal method, we fabricated a prototype chip in 0.18 um CMOS process. However, big wiring resistance has stuck by the mistake of the layout and a switch, thus we could not observe the cancellation of the resonant supply noise. However, we can improve a settling time. This result shows a possibility that the proposal method is effective by correcting the layout.

Self-Synchronous System Realization

M. Ikeda, K. Asada, B. Devlin and A. Ito

Reliability of integrated circuits against not only operating conditions but also aging effects are becoming more important as voltage supply and feature size decreases, complexity increases, and variation becomes more dominant. We have shown that self-synchronous systems can provide more robust and higher performance operation when compared to synchronous, having the advantage that the operation follows the operating conditions including process, voltage, and temperature variations and aging drifts, while synchronous systems suffer from timing errors whenever the operating conditions change and aging occurs. We have proposed a self-synchronous FPGA (SSFPGA) with uniform self-synchronous logic blocks, using delay-insensitive operation for high performance at low voltage operation, including autonomous power gating and error detection to achieve optimal minimum energy operation. We have fabricated the SSFPGA in both 65 nm and 40 nm showing correct operation. We also propose a self-synchronous RSA crypto-engine with fabrications in 40 nm to show the performance, voltage scalability, and robustness advantages of such architecture. Random logic synthesis is also investigated, with a flow developed that allows for circuits in Verilog RTL to be automatically optimized and synthesized into self-synchronous logic. Circuits can then be placed and routed by standard flows.

3D-range finding by Triangulation

M. Ikeda, X. Hu, H. Yabe, and T. Matsushima

3-D surface shape acquisition based on pattern projection such as structured light and light section has wide range of applications because it can achieve high resolution without complicating the post-processing stage where the 3-D shape is calculated. However, these methods have a common problem that it has to distinguish the projected signal light from the external light in order to calculate the 3-D shape correctly, and are susceptible to interfering light. We explore the possibility of exploiting frequency domain information of the signal light by equipping the image sensor with image sensors with modulated light detectors. In 3-D image acquisition with light-section method, an image sensor can suppress the background illumination by the use of modulated light and correlation technique. However, a sensor needs correlation circuits and pixel size becomes very large if we put correlation circuits in each pixel. Therefore, we study an image sensor which has correlation circuits in the outside of pixel array. The sensor searches the region which light is projected on in each scan. So, it doesn't need many correlation circuits and obtains high resolution due to small pixels. We also study an image sensor with in-pixel correlation circuit based on in-pixel pulse-frequency modulator and up-down counter for the use in high-performance structured light systems. This sensor is also capable of extracting the phase information for the use in multi-level structured light codification to reduce the number of shots per range map and improve the acquisition speed. By placing this correlation circuits inside pixels to extract the necessary information and discards unnecessary information we can reduce the information exported by image sensor. The theoretical limitation on these correlation image sensors are also investigated and confirmed via simulation.

Near field communication system

M. Ikeda, S. Bushnaq, and K. Miyazaki

We have studied range extension of inductive coupling communication using multi-stage resonance. In this research multi-stage resonance is used to extend the communication range of a short-range wireless transceiver. We experimentally evaluate the effectiveness of range extension by inserting 2 additional reso-

nance coils in between the original transmitter and receiver coils to form a multi-stage resonance system. From measurement, total communication distance could be extended by 42 % compared to that achieved by single-resonance setup. Comparing with the state-of-the-art inductive coupling communication systems, this result shows 10 times higher (range/diameter) ratio. We have also studied wide-band spectrum capture systems for white-space searching for such like cognitive radio, which uses white space for the communication by detecting available channels. The conventional spectrum capture systems for the cognitive radios have limited band-width, taking time to detect white space in wide-range. We introduced wide-band receiver for the wide-band spectrum capture systems.

Circuit design for CMOS-MEMS

M. Ikeda and K. Kodama

In this research, to realize high speed and high accuracy control of PWM MEMS, we proposed a real-time capacitance measurement circuit utilizing control of capacitor's charges and estimated by chip implementation, and we proposed a small area and high accuracy feed-back control utilizing MEMS filter characteristic and estimated by simulation result. Measurement result of the real-time capacitance measurement circuit shows that our proposed method is proper to a PWM MEMS actuator. Simulation result of the proposed shows that our proposed feed-back control improved 75 % of statically determinate time.

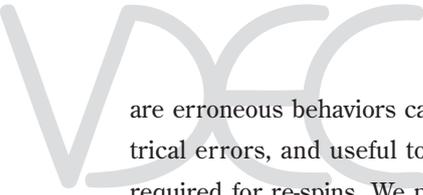
Fujita Laboratory

(<http://www.cad.t.u-tokyo.ac.jp/>)

Post-Silicon Validation Techniques

Masahiro FUJITA, Takeshi MATSUMOTO,
Amir Masoud GHAREHBAGHI, Satoshi JO

Due to increase of the size of VLSI, it has become very hard to detect all design bugs in design phases before fabrication, which increases the number of bugs that escape verification processes before fabrication and are firstly detected by running a chip after fabrication. In addition, a risk of electrical errors is increasing as fabrication processes shrink. Post-silicon validation techniques are to validate VLSI chips if there



are erroneous behaviors caused by such bugs or electrical errors, and useful to avoid the additional costs required for re-spins. We propose an efficient method to derive logic functions for programmable circuits inside designs, which are inserted to improve a chance of validation. While this problem is formulated as QBF problem in conventional works, we formulate it as 2-step SAT problem based on Counter-Example Guided Abstraction Refinement methodology. Through experiments, we show that our proposed method can work for more programmable circuits, compared to the conventional. In this research, we propose a patchable hardware that enables post-silicon engineering change in an energy-efficient way. This year, we have developed a design automation tool to design patchable hardware.

Post-silicon Debugging of Designs at Transaction Level

Masahiro FUJITA, Amir Masoud GHAREHBAGHI

Modern System-on-Chips (SoCs) are becoming more complex as their number of cores increases. As a result, pre-silicon verification methods cannot guarantee implementation of a bug free system. Hence, some bugs may escape to prototype or even final system. In this research, we introduce a post-silicon debug method that employs transactions among cores in a SoC. Our method is based on monitoring the communication behavior of the cores (i.e. transactions that are sent/received) and using them to backtrack from the current state of the system to the previous states to find the cause of errors. Backtracking is performed in the transaction-level model of the system, assuming that the design of the system has started from that level. First, we extract a transaction-level state machine of the system. Then, we employ the chip transaction trace to find the execution path on the extracted state machine. By using formal methods, we check the design properties on the extracted path to find the bugs as well as the constraints that caused the error. To show the effectiveness of our method, we have selected a distributed deadlock detection and resolution algorithm as our case study. We have implemented it at transaction-level on top of a network-on-chip (NoC). We show that using our method, we can successfully backtrack at transaction-level as well as finding constraints on the internal variables that has led to the error.

Interconnect Synthesis

Masahiro FUJITA, Jiayi ZHANG

The emerging many-core system-on-chip design requires high performance, high reliable interconnect system. Network-on-Chip (NoC) is one of the candidates which may meet this requirement best. By deploying the NoC, the next generation of the interconnect structure, system designer can reduce the design effort significantly. However, to design a NoC which is able to be compatible to the protocols of existing IPs, to efficiently utilize the bandwidth and to be reliable is still a challenge. We would like to ease the design challenge by developing a tool which will automate the design process. This tool uses the protocols of desired IPs and the specification of data flows among these IPs as input information. It is able to automatically output the optimal interconnect with mesh network-on-chip as back bone and insert protocol converters for the mismatched IP pairs.

Verification Techniques for Dynamic Web Applications

Masahiro FUJITA, Hideo TANIDA

Web applications with technologies to implement of dynamic applications in widespread use recently, are more ubiquitous today. And the applications are substantially bigger and more complex. This places even more demands on more efficient and exhaustive verification methods for web applications. While current web application verification practices often make use of methodologies based on test cases, test-based techniques are not exhaustive and they may leave out corner-case bugs. On the other hand, formal verification techniques such as model checking for stand-alone program implementations, could not be applied for web applications, which are distributed systems with servers and clients connected through network. And conventional model-based verification techniques for web applications had several limitations, which include lack of support for dynamic applications, need for manual description of models etc. This year, we have extended a verification technique for inter-screen transitions of dynamic web applications. Our extended method provides input data during generation of inter-screen transition models of web applications, while the previous method does not take it into account. As a result,

we succeeded in generating models which have higher coverage.

Verification and Debugging of Processor

Architectures

Masahiro FUJITA, Amir Masoud GHAREHBAGHI,
Takeshi MATSUMOTO, Guo CHENG, Satoshi JO

Processor architectures are becoming more complicated by adopting various functionalities for higher performance and more reliability, such as pipelining, speculative execution, and error recovery. To ensure the correctness of complicated processor architectures, verification and debugging of processor architectures are a key issue. In this work, we have proposed a method for debugging and automatic rectification of bugs in microarchitecture of processors. The proposed method first identifies bug locations in circuits, and then, finds out a set of input patterns for which an erroneous signal needs to be changed (i.e. inverted), in order to make the entire behavior of a circuit under debugging correct. As a result, we can get a corrected logic function for the erroneous signal. We confirmed that our proposed method successfully rectifies a control circuit in an out-of-order pipelined processor with an error recovery functionality. Also, when the control circuit is implemented by programmable circuits, rectification can be achieved by re-programming those programmable circuits without changing place and route.

Low Latency Computing using FPGAs

Masahiro FUJITA, Takeshi MATSUMOTO,
Hideo TANIDA, Naoki TAGUCHI

For applications which require very low latency operations, application-specific hardware implementations can achieve lower latency than software implementations running on general purpose processors. This is because, in application-specific hardware, we can utilize customized memory systems and arithmetic circuit modules for a target application, and those modules and memories can run in parallel. In this research, for a line-handler in stock trading systems as an example, we implemented it on FPGA in order to achieve lower latency. A line-handler is used in high frequency trading such as algorithmic trading. It accepts buy/sell orders from clients and sends them to a stock exchange after formatting them to a specified format by the stock

exchange. By executing with our FPGA system, behaviors of the line-handler can be completed several micro seconds, while a software implementation spends more than 20 micro seconds for the same behavior. For further lower latency, we have a plan to implement TCP communication processing as customized hardware as well as the line-handler.

Hardware Acceleration of Statistical Model Checking

Masahiro FUJITA, Takeshi MATSUMOTO,
Kosuke OSHIMA

For very large and complicated systems including cyber physical systems, it is difficult to formally verify them by traditional model checking techniques. For such systems, it is important to estimate the behaviors in a statistical sense. Statistical model checking is a method to check that a probability of performing a desired behavior is higher (or lower) than a specified value. Generally, a large number of simulation and property checking is required for statistical model checking, both of which should be accelerated. In this work, we propose a hardware implementation of property checkers for BLTL (Bounded Linear Temporal Logic) formulas. Extending a conventional method for LTL formulas, which generates an automaton for a given LTL formula, our method generates a finite state machine from a given BLTL formula. By implementing BLTL property checkers and Tsunami simulation on an FPGA, the execution of statistical model checking of Tsunami simulation results is 40 times faster than a software implementation.

we applied statistical model checking to Tsunami simulation. As a result, for a given input waveform, we showed that the wave height at the highest point is not higher than a specified height with a given probabilities. Currently, we are considering to accelerate the process of statistical model checking by implementing a part of the process as hardware.

Design Debugging using Formal Methods

Masahiro FUJITA, Takeshi MATSUMOTO,
Jaesung LEE, Shohei ONO, Kosuke OSHIMA

In hardware designs, a considerable time is spent for design debugging. Therefore, automated design debugging techniques are essential to improve design efficiency. In this work, we propose two debugging meth-

ods for hardware designs. One is a method to derive a correct circuit by replacing some gates in a circuit with Look-Up Tables (LUTs) and finding a logic function implemented by LUTs when a specification and a circuit under debugging is equivalent. However, correction may not be feasible, depending on how LUTs are inserted. In the case, we add an input of LUT and connect it with a selected signal which satisfies some requirement condition. The other method we propose is to utilize UNSAT cores in debugging. An UNSAT core is a subset of a SAT problem which is never satisfied by any variable assignment. By analyzing UNSAT cores generated from a SAT instance representing a circuit verification problem, we know which portions in the circuit are bug candidates. Through the experiments, a bug can be located within less than 1% of logic gates in a design example made in industry.

Takamiya Laboratory

(<http://icdesign.iis.u-tokyo.ac.jp/>)

Energy Efficient Extremely Low Voltage VLSI Circuit Design

Makoto Takamiya, Takayasu Sakurai,
Toshiro Hiramoto, Ken Takeuchi and Koichi Ishida

Reducing the power consumption of every electronic device is required to mitigate the global warming. To meet the requirement, VLSI circuit design techniques including logic circuits, memory circuits, analog circuits, power management circuits, and wireless transceiver circuits operating with the 0.5-V power supply voltage are developed with 65/45 nm CMOS process to reduce the power consumption to 1/10 of the conventional VLSI's.

Design of 3-D integrated VLSI system

Makoto Takamiya, Takayasu Sakurai, and Koichi Ishida

3-D integrated VLSI system is power efficient, because it reduces the communication distance by chip stacking. We have proposed and demonstrated several circuits including chip-to-chip wireless communication and wireless power transmission for the 3-D integrated VLSI system.

Design of Large Area Electronics with LSI's and Emerging Devices

Makoto Takamiya, Takayasu Sakurai, Takao Someya,
and Koichi Ishida

Large area electronics is a new frontier in electronics where intelligent electronic devices are distributed on a flexible surface, 10 cm to 10 m on a side, for the human interface and the comfortable daily life. Flexible and low-cost organic FETs (OFETs) are suitable for large-area electronics and have great potential as a supplement of solid and expensive silicon MOSFETs for VLSI's. We have proposed and demonstrated several large area applications combining OFETs and VLSI's and the relevant circuits including Braille display, a wireless power transmission sheet, a communication sheet, an EMI measurement sheet, and a User Customizable Logic Paper (UCLP).

Shibata and Mita Laboratory

(<http://www.if.t.u-tokyo.ac.jp>)

Current Research Projects

Right-Brain-Computing Integrated Circuits: Associative Processing Systems

T. Shibata, R. Zhang, B. Ka, H. Maruyama

Digital computers are dedicated machines for vary fast execution of numerical calculations. However, their performance is extremely poor in such tasks like seeing, recognizing, and taking immediate actions, which are effortless tasks in our daily life. This research aims at building intelligent VLSI systems based on the psychological model of a brain. In our system past experience is stored as template vectors in non-volatile vast memories and the maximum-likelihood event to the current event is recalled in real time by a fully parallel processing. The key ingredient of the system is a new functional device called "Neuron MOS Transistor" (neuMOS or ν MOS) which mimics the action of a nerve cell neuron at a single transistor level. Based on such architecture that "association" is the very computing primitive, we are pursuing human-like intelligence system implementation directly in silicon integrated circuits. Currently research is in progress for robust image recognition and voice recognition processing. The state-of-the-art silicon technology has been utilized

to implement such associative processors in both analog and digital CMOS VLSI chips. As a practical application of the circuit technology developed for the associative processor chips, CDMA matched filter chips have also been developed.

A Robust Feature-Vector Generation VLSI's and their Application to Human-Like Image Recognition

T. Shibata, S. Morikawa, D. Han, N. Yamashita,
L. Sun, K. Fukuda, M. Wada

Since image data are massive in quantity, an effective dimensionality reduction technique is quite essential in recognition problems. The maximum-likelihood search VLSI chips we are developing accept image data in the form of a vector. Therefore we need to generate a feature vector, well representing the characteristic features of the original image. In the representation, human perception of similarity among images must be preserved in the vector space. A robust image representation technique for recognition has been developed based on a hardware intensive algorithm. An input image either in a binary or grayscale format is subjected to adaptive spatial filtering to generate feature maps, which are reduced to a 64-dimension vector by "Projected Principal-Edge Distribution (PPED)" algorithm. The representation has been applied to handwriting pattern recognition and the cephalometric landmark identification (the clinical practice in orthodontics in dentistry), to investigate the performance. Interestingly, in hand written pattern recognition, it is shown the separation of handwritten overlapping patterns has been successfully carried out based on the representation, although it is a difficult problem in artificial intelligence. Using a simple template matching technique, identification of Sella (pituitary gland), Nasion, and Orbitale has been successfully carried out. Since the vector formation processing is computationally very expensive, dedicated VLSI chips have been developed both in digital CMOS technology and analog CMOS technology.

Real-Time Moving Image Processing VLSI Systems

T. Shibata, P. Zhao, K. Tsuchiya,

Aiming at real time processing of moving images, a saliency catcher chip that detects objects in motion in non-stationary complicated background sceneries has

been developed. Due to the new quasi-two dimensional processing algorithm we have developed, the chip contains the processing circuit only at the peripheries of the photo sensor array. As a result, a very large fill factor has been obtained in each pixel processor. Furthermore, a VLSI system that extracts three-dimensional information from the object of interest has also been developed. Since charge redistribution among multiple capacitors are utilized for computation, it enables us to build very low-power systems. In these two VLSI systems, neuron MOS technology has been utilized in realizing flexible hardware processing.

Moving Image Recognition System

T. Shibata, M. Nishiyama, R. Bao

So far we have shown directional edge information plays an essential role in a variety of still image recognition applications. In this project, we are developing moving image recognition systems also utilizing directional edge information. In the human brain, it is known that edges of various orientations are firstly extracted from retinal images and then being processed through separate pass ways for motion recognition and object shape recognition. We have followed such a biological principle. As an example, we have developed an object tracking system utilizing the edge information to represent the object appearance. Our system shows a very robust tracking performance for an object moving under variety of disturbing conditions such as changing illumination, confusing busy background, object shape transformation, changing speed, partial occlusion etc. A robust ego-motion perception algorithm has also been developed based on the edge information. In order to understand the gesture of a person from motion pictures, a vector representation of an instantaneous motion has been developed. A temporal sequence of such vectors is analyzed by Hidden Markov Models (HMMs). For this purpose, a new HMM has been developed which we call *Self-Evaluating* HMM. With this new model, it is possible for a single *Self-Evaluating* HMM to judge if an input sequence matches to the model without referring to other models. Preliminary experiments of simple gesture recognition have confirmed the effectiveness of this approach.

LSI-MEMS integrated device by submicron-wide opening deep reactive ion etching technology

Y. Mita, T. Sawamura, K. Hosaka,
F. Marty (ESIEE, France)

Silicon deep nano-fabrication technology of structures having both electron-device-scale (10 μm down to less than 1 μm) lateral resolution and MEMS-scale (more than 40 μm) depth, and application to electron devices are developed. VDEC's EB writer performs lithography and Deep RIE at Takeda Building performs etching. Our recent performance provides trenches of 170nm-width and or 15 μm -depth. The feature scale is ten times smaller in lateral direction while keeping DRIE-standard depth as compared to Deep-RIE standard. Based on the technology, several new-concept devices are appearing such as: (1) a "vertical photodiode" that is made by thermal diffusion on the vertical wall of Si Deep Reactive Ion Etching (DRIE) and showed from 25 % to 80 % of photocurrent increase and crosstalk suppression as compared to conventional planar photodiode, (2) "Polarization-sensitive photo-detector" that shows photocurrent dependence on polarization angle of incident light due to the submicron deep-silicon grating photodiode structure. Studies on the physical understanding and system application are underway.

LSI-MEMS integrated device by submicron-wide opening deep reactive ion etching technology

Y. Mita, T.N. Binh, T. Sawamura, I. Mori, A. Hirakawa,
M. Kubota

Narrow and deep structures such as microholes and trenches are playing key roles in modern electro and mechanical systems. In standard micro fabrication technology, patterns are composed of rectangles and vertically transferred to the depth direction, yielding long-cubic structures. However, just by thinking of lens shape, one can realize that cubic shape is not necessarily the optimum shape for all kinds of applications. Hence it can be said that the ideal micro fabrication technology must be capable of realizing surfaces having arbitral curvatures that are top-down requested by applications. The team aims at acquiring comprehensive study on such "arbitral curvature providing micro fabrication technologies" from three aspects: (1) Top-down concrete applications, (2) Enabling micro

fabrication methods by cutting-edge technologies and ideas, and (3) non-destructive profiling method of such surfaces. Top-down applications published in FY 2012 include (1-4) in-plane bent thin reflective mirror having perfect parabolic shape, and (2-3) Brand-new "MEMS-powered" VLSI circuit in combination with real VLSI CMOS circuit fabricated by new foundry system of VDEC via Phenitec Semiconductor co. such as "High-voltage" handling MEMS-powered circuit out of 5V standard CMOS technology.

Study on LSI-MEMS integrated pond-skating robot for energy-autonomous distributed microsystems

Y. Mita, S. Morishita, I.Mori, Y. Li,
A.J. Walton (Univ. of Edinburgh)

As one example of integrated MEMS that is expected to open new research and industrial application fields, the authors are trying to show a top-down application of energy-autonomous distributed microrobots. The research belongs to the "top-down" research category and through the research the team looks forward to provide the "Engineered Nature"; the team does not intend to just copy how nature works in implementation level, but to realize with cutting-edge technologies what nature is aiming at in highly-functional level. Recent top-down activities include autonomous distributed mobile robot: "Pond Skater", which to date had not been realized by any other microsystems group. The availability of a leading low voltage technology at the Scottish Microelectronic Centre (SMC) the University of Edinburgh that could electrically change surfaces from hydrophobic to hydrophilic proved to be crucial to achieving this goal as was the previous involvement of SMC staff in wireless technology. The major challenge is propulsion, and it is clear that directly mimicking the pond skating insect's propulsion mechanism would be problematic. The idea that was developed was to propel the device using Electro-Wetting Of Dielectric (EWOD) to move air bubbles, which had the significant advantage that there we no moving mechanical parts, which simplified the construction and helped to minimize the weight which was important if the pondskating device was to float using surface tension. Based on the world's first wireless pond-skating propulsion, the team is developing VLSI control circuit and integration technology for continuous skating. In 2012, fabrication techniques such as 3-dimensional shadow mask and

spin-out applications such as EWOD droplet operation in a deep trench, and Mr. Morishita got his Ph.D by this research.

Smart Blocks II project – Development of UV patternable polyimide microactuator

Y. Mita, J. Malapert (FEMTO-ST), M. Ataka, H. Fujita

In a framework of French national research project (ANR) “Smart BlocksII”, Dr. Julien Malapert stayed in Mita Lab., to develop a brand-new thermal microactuator array and control circuit. The principle of microactuator is thermal bimorph actuator developed by Ataka et. al; however the process required O₂ plasma ashing for patterning with hardmask, yielding 6 process steps per layer. To improve process efficiency, the team adopted new material that is photo-sensitive polyimide for structure, thus was successful in reducing process step into half of original one. A microactuator array was successfully demonstrated with maximum displacement amplitude of 15 μm and cut-off frequency of 10 Hz.

An LSI probing system with CMOS-MEMS

Y. Mita, K. Hosaka, Y.-T. Chen (ITRI), and M. Kubota

With Taiwan Industrial Technology Research Institute (ITRI), the team is developing a “MEMS” probe card for electron device testing such as VLSI. The originality is to integrate CMOS preprocessing circuit to provide high functionality. In the year 2012, the first year, a free-standing MEMS probe tip array fabrication process that includes “all-dry releasing” is established. The team is now evaluating Electro-Optical device that ITRI is developing.

Design and Development of Micro-Latch Mechanism for Low-Power and Long-Life MEMS Memory

Y. Mita, K. Komeda, M. Kubota, A. Tixier-Mita

A low-power and long-life MEMS memory having data retention time over 1,000 years, write power under pico-Joule, and zero power for data retention. One of the application scenarios is cumulative hazard (such as total exposure to radioactivity and or chemicals) memory. The proposed multi-level memory stores the information in terms of mechanical energy stored in the MEMS spring that may yield low-power writing

energy and stable data retention. Mr. Komeda started learning MEMS process from 2012/9/4, and before the end of February 2013 he became capable on fabricating such micro latch mechanism in one night. The fabricated device was evaluated by Nanotechnology Platform's open facility (MSA-500 vibrometer), and operation under 25V was confirmed.

Takagi-Takenaka Laboratory

(<http://www.mosfet.k.u-tokyo.ac.jp/>)

Current Research Projects

Ge Metal-Oxide-Semiconductor (MOS) FETs

S. Takagi, M. Takenaka, Rui Zhang, J. Rin, Po-Chin Huang

We have conducted the research on high-performance Ge MOSFETs. We have investigated ECR plasma oxidation after depositing Al₂O₃ on Ge by the ALD to form high-quality Ge MOS interface. The high-quality Ge MOS interface with EOT of 0.98 nm has been successfully demonstrated by using HfO₂ deposition after the ECR post plasma oxidation. Thus, the high-performance Ge nMOSFETs and pMOSFETs with EOT of 0.98 nm have also been demonstrated. We have also shown that the low-temperature plasma oxidation can reduce the surface roughness of GeO₂/Ge MOS interface, resulting in an increase in the high-Ns mobility. We have also investigated Ge condensation to form Ge-on-Insulator wafers. It is found that the over oxidation after forming GOI layer can improve hole mobility of the GOI layer.

III-V compound semiconductor Metal-Oxide-Semiconductor (MOS) FET

S. Takagi, M. Takenaka, N. Taoka, M. Yokoyama, S.H. Kim, Chih-Yu Chang

We have conducted the research on high-performance III-V MOSFETs. We have successfully demonstrated Ni-InGaAs metal S/D self-aligned InGaAs MOSFETs on the III-V-OI wafer fabricated by the direct wafer bonding. The well-behaved transistor operation has been obtained even scaling the gate length down to 55 nm. We have also demonstrated that Ni-GaSb alloy can be formed by direct reaction of Ni and GaSb and can work well as a metal S/D. The Ni-GaSb metal S/D



self-aligned GaSb pMOSFET have been demonstrated for the first time.

Tunnel FET

S. Takagi, M. Takenaka, M. Kim, M. Noguchi

For low-power application, tunnel FET, which can exhibit steep subthreshold slope have been investigated. We have developed Zn diffusion from Spin-on-Glass (SOG) for forming high-quality junction, and successfully demonstrated lateral InGaAs TFET exhibiting a subthreshold slope of approximately 60 mV/dec.

Si CMOS photonics

S. Takagi, M. Takenaka, Y. Kim, J. Han, J. Kang

High-sensitivity Ge photodetectors (PDs) has been investigated. It is found that GeO₂ surface passivation formed by plasma post-oxidation can reduce the surface leakage current of MSM Ge photodetectors by one order of magnitude. We have also investigated SiGe optical modulators. We have numerically shown that lateral PIN-junction SiGe optical modulator exhibits more than 3 times higher modulation efficiency than Si. SiGe MOS interfaces for modulator application have

also been investigated. We have found that plasma post-nitridation can improve interface traps density of the SiGe MOS interface by one order of magnitude.

III-V CMOS photonics

S. Takagi, M. Takenaka, Y. Chen, Y. Ikku,
M. Kuramochi

High-performance electronic-photonic integrated circuits using III-V-OI wafer have been investigated. An InGaAsP photonic-wire optical switch driven by current injection has been demonstrated for the first time. The InGaAsP optical switch exhibited 1/10 time drive current as compared with Si owing to the large free-carrier effect in InGaAsP.

Graphene CMOS photonics

S. Takagi, M. Takenaka, T. Kayouda

Graphene-based photonic devices have been investigated. For realizing Graphene optical modulators, we have investigated graphene-gate-metal MOS capacitors, revealing that the chemical potential in graphene can be modulated up to 0.5 eV. Thus, we can show the feasibility of the graphene optical modulators.



VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター (VDEC) の2012年度活動報告をお送りします。

2012年度はVDECにとっていくつかの面で節目の年となりました。まず東京大学内のことですが、国立大学の法人化後、すべての部局は存続の是非を問う“学内評価”を受けることになりました。2012年度はVDECもこの評価を受けるべく、VDECユーザをふくむ多くの方々から支援のレターを頂きました。これらの支援のレターや助言とともにVDECの活動の記録を学内の審査委員会に提出し、本年2月に総長からの活動継続の判定を受け取りました。これは多くの方々のVDECへの支援と期待の賜であると感謝しています。

次にVDECチップ試作事業の面でも大きな節目の年となりました。VDECは“我が国のLSI設計技術の高度”を目的に1996年に発足したのですが、チップ試作では主に国内の半導体製造会社に製造委託を行ってきました。しかし半導体産業界の再編の結果、40 nmや65 nm CMOSの国内シャトルサービスが活動を停止し、VDECのチップ試作の継続が困難となりました。40 nmはすでに終了し、65 nmも本年夏の試作を持って終了となる予定です。半導体業界が我が国独自の技術として40 nmから先の技術開発を諦めたことは、VDECにとっても残念な状況です。このような経緯からVDECのチップ試作メニューは、教育用の確立された0.8 μm CMOS (オンセミコンダクタ)、広い応用範囲をもつ0.18 μm CMOS (ローム)を残すだけとなり、最先端チップ試作の道が閉ざされる結果となりました。VDECとしてはこの状況を打開するため半導体理工学研究センター (STARC) と議論を繰り返し、28 nm FDSOI/CMOS (STマイクロエレクトロニクス) を利用した設計環境を確立することといたしました。今年度は設計技術環境を整えるためにSTARCからの支援をもとにテストランを行っており、次年度からは一般の大学ユーザに対して試作の機会を提供していきたいと計画しているところです。改めてSTARCならびに半導体産業界からの支援に対し御礼申し上げる次第です。

一方、すでにVDECではMEMSをターゲットとしたSOI/CMOS (フェニテック) の試作を検討してきましたが、本年より正式に一般からの応募を受け付けることとしました。これは大面積のチップを提供するものですが、MEMSのためのポストプロセスには各ユーザのラボやVDECのクリーンルーム施設等を用いるものです。VDECのクリーンルーム施設を一般に公開する仕組みとして、文科省の支援を受けた“ナノテクプラットフォーム”事業をすでに開始しています。これに関連し2012年度補正予算により、一部のクリーンルーム設備や、先端計測装置の更新が措置されつつあります。

(株)アドバンテストからの寄付研究部門 (D2T: Design-to-Test) では、昨年12月11日に第7回の定例シンポジウムを開催しました。“LSIの先端テスト技術”に関する内外からの講師を招き、大変多くの方々の参加を得て盛大に開催することができました。また本年10月には第8回の定例シンポジウムを開催予定です。(株)アドバンテストからの継続的支援に対し心から感謝申し上げます。

我が国の半導体技術は重大な転換点に立っていますが、半導体技術が未来社会の基盤技術であることには疑いありません。VDECは設立理念に基づき「実践的チップ設計・試作を通じた学生教育と研究者育成」に今後ともたゆまず努力する所存です。引き続き皆様からのご支援ご支持をお願い申し上げます。

2013年6月

(全国共同利用施設)

東京大学大規模集積システム設計教育研究センター

センター長 浅田 邦博

浅田邦博

1.1 VDEC の活動概況

東京大学大規模集積システム設計教育研究センター (VDEC) は、平成8年の発足以来『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を3つの柱として、円滑な運営を目指した事業を展開した。図 1.1.1 に示す VDEC の活動内容に基づき、以下に平成24年度の概要を報告する。

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。VDEC の発足より16年経過し、各大学における CAD ソフトウェアの利用技術教育や LSI 設計・設計フローに関する教育の充実が図られている。その一方で、先端の LSI 設計技術およびそれに対応する CAD ソフトウェアは一層複雑化し続けている。そのため、CAD ツールの導入に際しては、CAD ベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために平成21年度より東京での開催と同時に映像配信による拠点

校での遠隔受講としている。VDEC としては各ユーザ研究室内で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって最新の CAD 利用技術が全国的に広がることを期待している(1.3章参照)。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを年1回(12月~1月)開催している。このコースは、参加者からの要望の多い“アナログ設計コース”、“RF 設計コース”の2コースに加え平成24年から“MEMS 設計コース”の実施を行った。いずれも演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関す

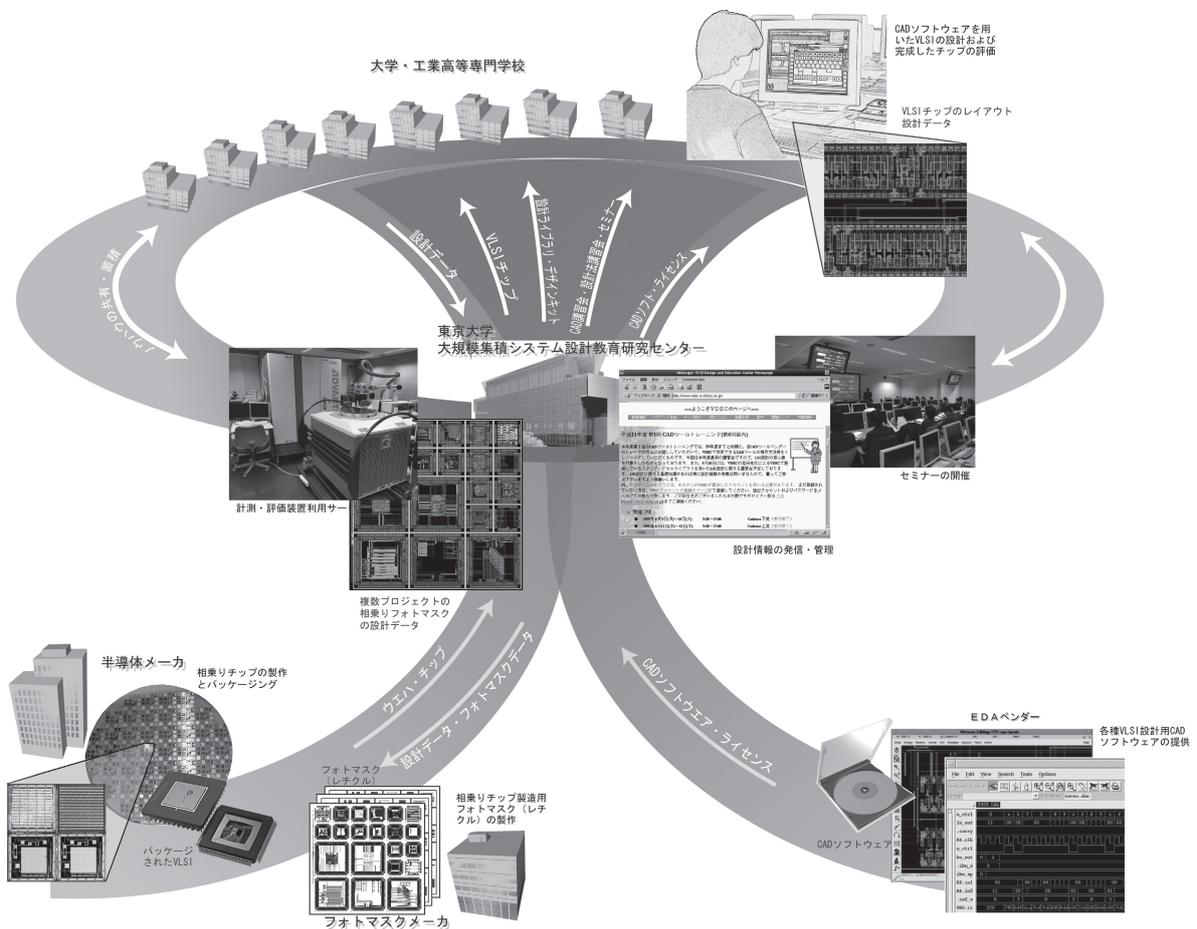


図 1.1.1 VDEC の活動内容

るセミナー” VDEC 環境におけるトランジスタレベル設計講習会”, “VDEC EDA 環境におけるデジタル設計手法講習会”を大学における設計者に向けて実施している。

これらセミナーに加えて VDEC では年 1 回, 若手教官と学生を中心とした VDEC デザイナー・フォーラムを開催している。これはワークショップ形式の会合であり, 企業・大学からの招待講演に交えて, 参加者が設計事例を持ち寄ってその成功談, 失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。特に平成 23 年度から, VDEC 活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰を VDEC デザイナー・フォーラムの場で行っており, 平成 24 年は, 優秀賞 1 件(広島大学十河君), 優秀賞 5 件(慶応大学伊澤さん, 京都大学イスマル君, 広島大学佐々木君, 東京大学 Devlin 君, 奈良先端科学技術大学岩間君)に授与している。

このようなセミナー, フォーラムを通じた教育システムにより LSI 設計の基本的項目を学習できるようになっているが, それでも実際の LSI 設計の場面では, さまざまな困難に直面することが多い。初心者にとっては CAD ソフトウェアのセットアップは最大の問題である。セットアップの後も CAD ソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するのが VDEC メールグループである。VDEC ユーザは VDEC のホームページから CAD メールグループや試作技術対応のユーザグループに登録することができ, そこに直面する疑問点を投稿し, 助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが, ほとんどの場合, 数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また, 今まで蓄積されて

きたメールグループの情報が VDEC の WEB 上で認証された VDEC ユーザへ公開され, 教育上の資産として残していく仕組みになっている。ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図 1.1.2)。

VLSI チップ試作支援に関しては, ローム 0.18 μ m CMOS, eShuttle 65 nm CMOS 試作に加え, 経済産業省-STARC によるプロジェクトの一環として, 40 nm CMOS 試作を行った。工場移管に伴い 2011 年 9 月の試作をもって終了することになったオンセミ 1.2 μ m CMOS の後継として, オンセミ-三洋半導体 0.8 μ m CMOS 試作のテストランを実施した。

平成 20 年 10 月に設置されたアドバンテスト社から寄付部門「Design To Test (D2T)」では, LSI のテストに関する教育の充実とともに, 設計とテストの架け橋を目指した研究が進められている。これまでの活動を振り返ると, VDEC 発足以来の活動の中で LSI 設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している。図 1.1.3 に VDEC を利用した研究成果の指標として, VDEC に関係する発表件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり, VDEC 発足以来, 集積回路に関する研究が活性化されていることが確認できる。

図 1.1.4 に VDEC に関係する発表文献の VDEC ファシリティー利用状況を示す。論文執筆にあたり CAD ソフトウェアが幅広く利用されていることが確認できる。CAD ソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため, 研究の基本アイデアを実証するツールとしての貢献度も大きい。また, 研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり世界的には 32 nm CMOS, 22 nm CMOS による設計事例報告が増加しており, VDEC においても最先端プロセステクノロジーメニューの充実をは

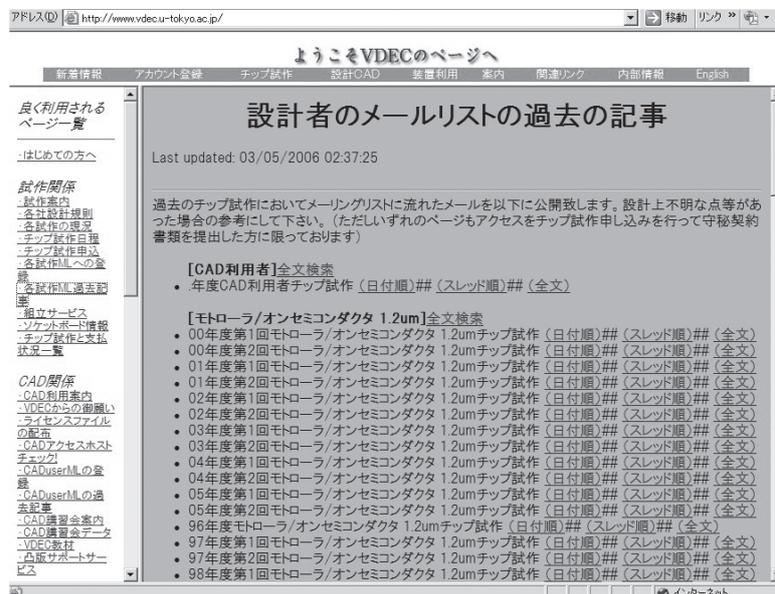
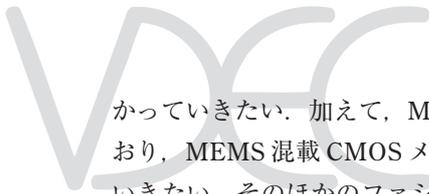


図 1.1.2 VDEC メールリストの過去記事



かっていきたい。加えて、More than Moore が叫ばれており、MEMS 混載 CMOS メニューなどの充実を図っていききたい。そのほかのファシリティーとして、LSI テス

ターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

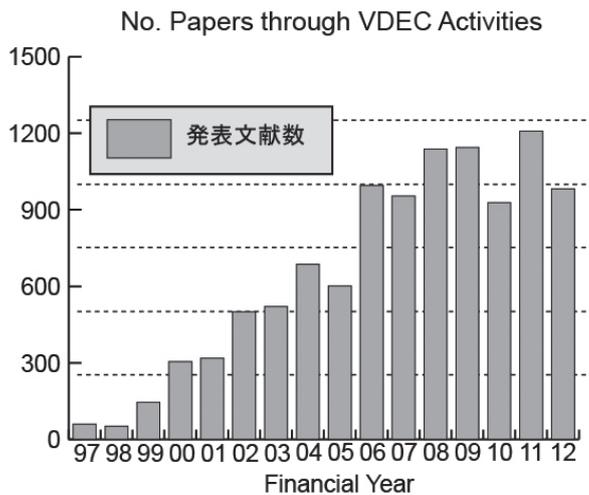


図 1.1.3 VDEC を利用した発表文献数の推移

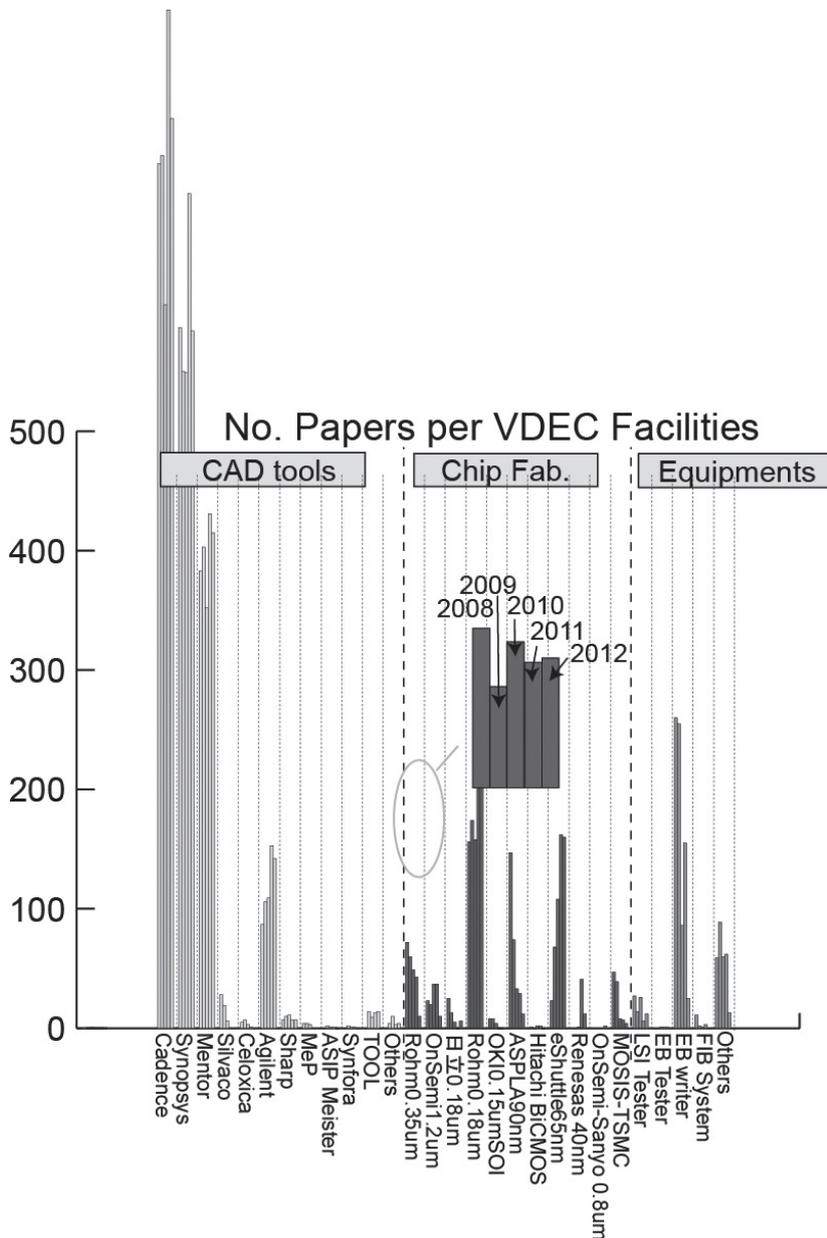


図 1.1.4 VDEC ファシリティー利用状況

1.2 CAD ソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成21年度は表1.2.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2.1に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンスとなっ

ており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている(a)全国教官数および(b)その所属する大学数および(c)CADの利用申請があった研究室(教官)数の推移は図1.2.2の通りである。

表 1.2.1 導入されたCADシステム

名称	用途	メーカー
Cadence社設計システム	VerilogHDL/VHDLベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys社設計システム	VerilogHDL/VHDLシミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco社設計ツール	高速回路シミュレーション、	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Agilent Technologies
Bach	BachC言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL
Laker, Verdi	レイアウトエディタ、デバッガ	Springsoft Inc.

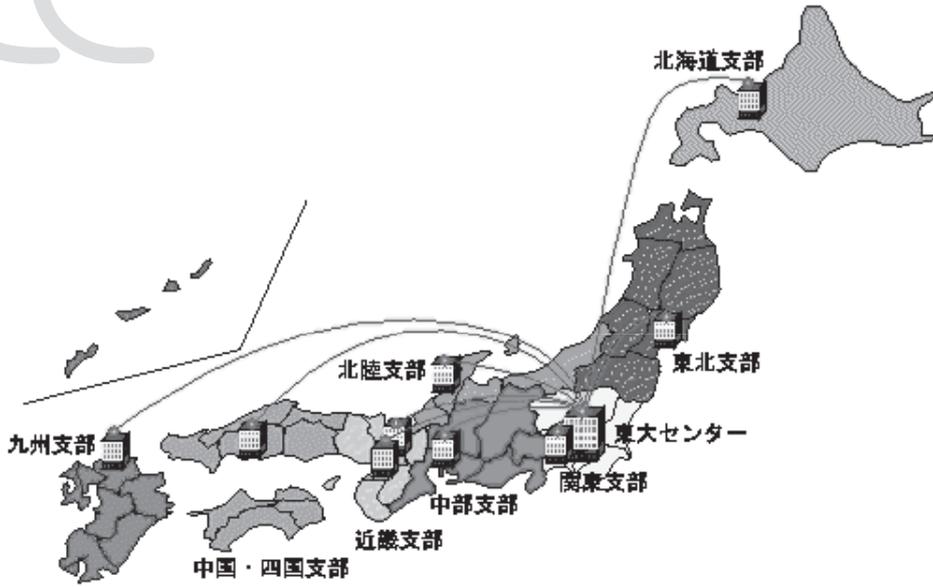
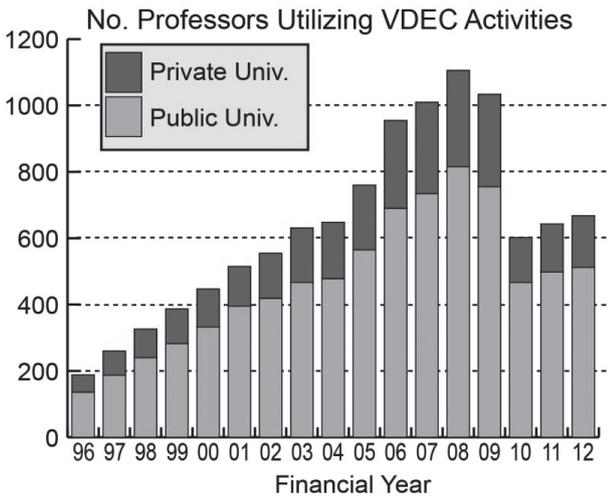
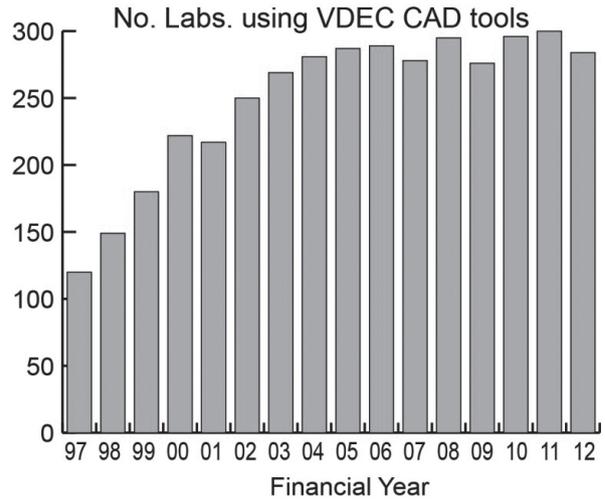


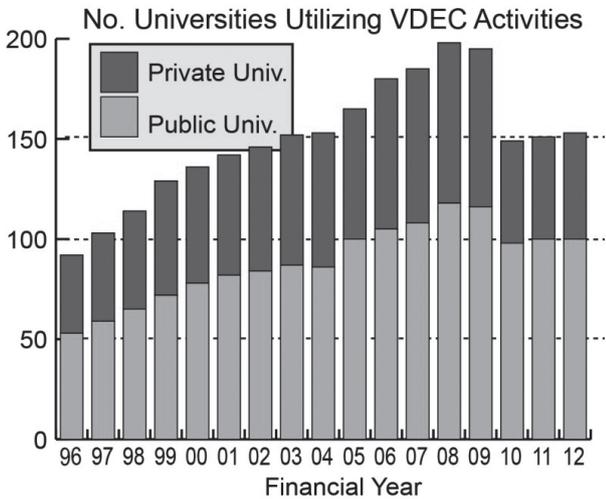
図 1.2.1 全国地域拠点校



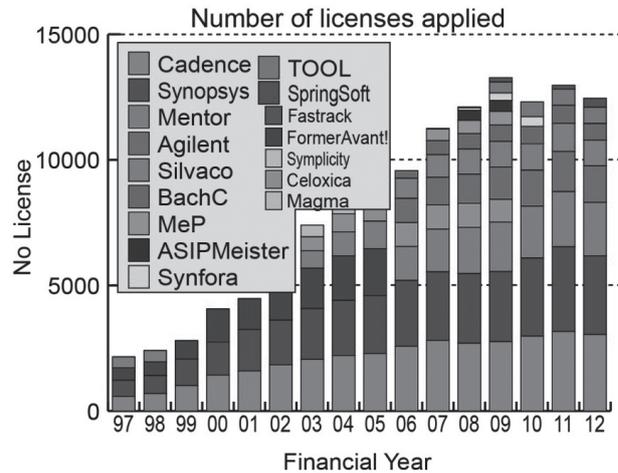
(a) 利用登録教官数



(c) CAD 申し込み研究室数



(b) 利用登録大学・高専数



(d) CAD 申し込み数

図 1.2.2 ユーザ登録数およびCAD申込数の推移

1.3 VLSI チップ試作

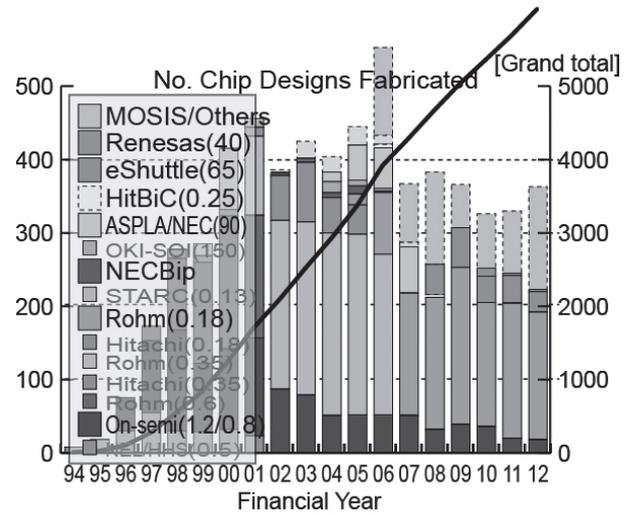
1.3.1 VLSI チップ試作の推移

図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

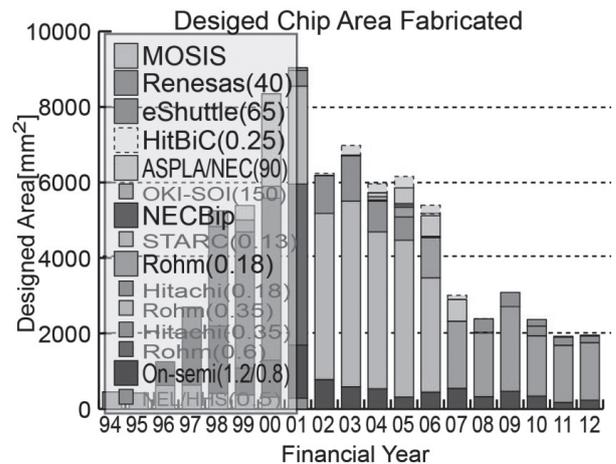
VLSI チップ試作は、平成 6、7 年度(1994、1995 年度)のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS 0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続)1 社であったが、平成 8 年度(1996 年度)の VDEC 発足後、日本モトローラ社の CMOS 1.2 μm (平成 11 年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成 9 年度からはローム社の CMOS 0.6 μm が加わった。さらに平成 10 年度には日立製作所の CMOS 0.35 μm 、平成 11 年度にはローム社 0.35 μm がそれぞれ加わった。また、IP 開発プロジェクトの一環として STARC 0.13 μm の試作を行った。平成 13 年度から、日立製作所の CMOS 0.18 μm のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。これは、TSMC、IBM といった海外のファブを MOSIS を経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。平成 16 年からテスト試作として沖電気 CMOS SOI 0.15 μm プロセスおよび ASPLA 90 nm(現在は STARC において継続)プロセスの試作を開始し、90 nm 試作については平成 17 年度より通常の試作として公募の形で運用を行っている。さらに平成 18 年度からはローム社 0.18 μm の試作を開始し、日立製作所 0.25 μm SiGeBi CMOS のテスト試作を実施した。平成 19 年度で終了した 90 nm CMOS の後継の先端プロセスの検討を平成 19 年度から開始し、平成 20 年度に eShuttle 社の 65 nm CMOS による試作を開始した。さらに経済産業省-STARC のプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の 40 nm CMOS による試作も開始した。一方で平成 23 年 9 月試作をもって CMOS 1.2 μm を終了することとなったほか、平成 24 年度をもってルネサスエレクトロニクス社の 40 nm CMOS 試作が終了、平成 25 年 8 月シャトルをもって eShuttle 社の 65 nm CMOS 試作が終了することとなっている。CMOS 1.2 μm の後継として、オンセミー三洋半導体製造社の協力により平成 24 年 10 月に CMOS 0.8 μm のテスト試作を実施し、平成 25 年度から定常試作とすることになっている。最先端試作としては、平成 25 年度からフラン

ス CMP を介して ST マイクロ社 FD-SOI 28 nm CMOS 試作を開始することとなっている。

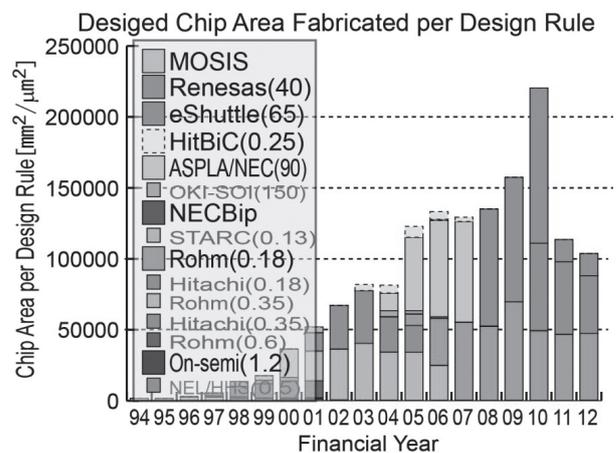
図 1.3.1(a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表し



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1 チップ試作数・面積推移

ているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成14年度に減少しているが、これはROHM社の0.6μmプロセスを終了したことによる現象が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に0.35μmが終了し、平成19年度以降0.18μmへの移行したことにより、試作数が130品種程度減少し、さらに平成19年度にASPLA 90nm CMOS試作が終了し、eShuttle 65nm CMOSへの移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図1.3.1(b)に設計されたチップ面積を示す。一方設計量の指標として、図1.3.1(c)に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図1.3.2にこれまでに試作に参加した教員数、

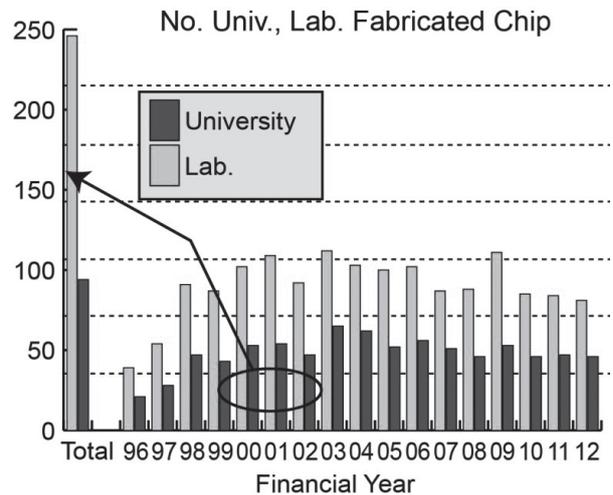


図 1.3.2 VDEC チップ試作参加教員数・大学数の推移とその累計

大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ロームの0.18μmプロセスが240名、eShuttle 65nmが72名、ルネサス40nmが19名となっている。

1.3.2 平成24年度チップ試作概況

平成24年度は、表1.3.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第2章の

表 1.3.1 平成24年度チップ試作日程

● CMOS 0.8 μm (オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
平成24年度		2012/10/15	2013/ 1/29

● CMOS 0.18 μm (ローム)

	試作申込締切	設計締切	納品・試作完了
平成23年度第5回	2011/11/21	2012/ 2/13	2012/ 6/ 5
平成24年度第1回	2012/ 3/ 5	2012/ 5/28	2012/ 9/ 6
平成24年度第2回	2012/ 5/ 1	2012/ 7/23	2012/11/ 9
平成24年度第3回	2012/ 6/18	2012/ 9/10	2012/12/18
平成24年度第4回	2012/ 8/27	2012/11/19	2013/ 2/27
平成24年度第5回	2012/11/19	2013/ 2/12	2013/ 6/ 3 (予定)

● CMOS 65 nm (eShuttle/STARC)

	試作申込締切	設計締切	納品・試作完了
平成24年4月シャトル	2012/ 2/15	2012/ 3/28	2012/ 8/ 1
平成24年8月シャトル		2012/ 7/25	2012/11/24
平成24年10月シャトル	2012/ 8/22	2012/10/ 3	2013/ 1/22
平成24年12月シャトル	2012/10/17	2012/11/28	2013/ 4/13

8月シャトルは経済産業省/STARCの国プロ試作として実施。

● CMOS 40nm (Renesas/STARC)

	試作申込締切	設計締切	納品・試作完了
平成23年10月シャトル		2012/ 9/24	2012/12/26

チップ試作報告を参照されたい。

1.3.3 ライブラリ・設計フロー整備状況

VDEC におけるチップ試作(主にデジタル LSI 試作)では、設計ライブラリの整備が重要である。VDEC では、VDEC 提供 CAD ソフトウェア中のライブラリ生成ツ

ルを利用して、平成 8 年度から順次ライブラリ整備事業を行ってきた。平成 21 年度にはアナログ設計向けの設計キット(PDK)の構築をローム 0.18 μm CMOS 向けに行った。現状では、VDEC における各プロセスの試作において、利用可能なライブラリは表 1.3.2 に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
ローム 0.18μm	ローム提供ライ ブラリ	ローム提供 スタンダードセル、IO セル、RAM (セルはす べてブラックボックス) (CDROM にて配布)	・ Synopsys 用論理合成ライブラリ	
			・ VerilogXL 用シミュレーションライブラリ	
			・ 配置配線用 LEF/DEF ファイル	
	京大ライブラリ	京都大学小野寺研究室	・ Synopsys 用論理合成ライブラリ	
			・ VerilogXL 用シミュレーションライブラリ	
			・ Astro 用配置配線ライブラリ	
	東大ライブラリ	ライブラリ情報は京都 大学小野寺研究室、東大 VDEC にてフロー構築	・ Cadence RTL Compiler 用論理合成ライブラリ	
			・ VerilogXL 用シミュレーションライブラリ	
			・ Cadence Encounter 用配置配線ライブラリ	
	PDK		東京大学 VDEC	IC6.1 向け PDK

1.4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 24 年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している。平成 24 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 4 種・5 日間、Synopsys ツールを 4 種・5 日間、Agilent のツールを 1 種・2 日

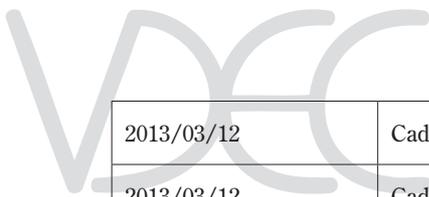
間、に加え、VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC 環境におけるデジタル LSI 測定講習会を VDEC 教員が講師となり開催した。各コースに 40 名までの教員・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 5 種・5 日間、Synopsys 4 種・4 日間、Agilent 1 種・1 日間行った(表 1.4.1)。これら CAD 技術セミナーへの参加要望は非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。従来、東大もしくは VDEC 拠点校での開催であったが、今年度からは東大で開催し、それを VDEC 拠点校へストリーミング配信を行い、各拠点校でも CAD 講習会の受講が可能となっている。

表 1.4.1 平成 23 年度 CAD 技術セミナー開催状況

開催時期	講習項目	開催場所	参加人数
2012/8/2	Synopsys Raphael 講習会	東京大学	5
2012/8/2	Synopsys Raphael 講習会	東北大学	2
2012/8/2	Synopsys Raphael 講習会	広島大学	1
2012/8/6-7	Cadence SoC Encounter 講習会	東京大学	10
2012/8/6-7	Cadence SoC Encounter 講習会	東北大学	3
2012/8/6-7	Cadence SoC Encounter 講習会	金沢大学	1
2012/8/6-7	Cadence SoC Encounter 講習会	広島大学	1
2012/8/8	Cadence LowPower Flow FrontEnd 講習会	東京大学	10
2012/8/8	Cadence LowPower Flow FrontEnd 講習会	東北大学	4
2012/8/8	Cadence LowPower Flow FrontEnd 講習会	広島大学	2
2012/8/8	Cadence LowPower Flow FrontEnd 講習会	近畿大学	7
2012/8/9	Cadence LowPower Flow BackEnd 講習会	東京大学	11
2012/8/9	Cadence LowPower Flow BackEnd 講習会	東北大学	4
2012/8/9	Cadence LowPower Flow BackEnd 講習会	広島大学	2
2012/8/22	VDEC T2000 講習会	東京大学	3
2012/8/23	Synopsys DesignCompiler 講習会	東京大学	17

2012/8/23	Synopsys DesignCompiler 講習会	大阪大学	10
2012/8/23	Synopsys DesignCompiler 講習会	広島大学	1
2012/8/23	Synopsys DesignCompiler 講習会	近畿大学	10
2012/8/23	Synopsys PowerCompiler 講習会	東京大学	14
2012/8/23	Synopsys PowerCompiler 講習会	大阪大学	8
2012/8/23	Synopsys PowerCompiler 講習会	広島大学	1
2012/8/23	Synopsys PowerCompiler 講習会	近畿大学	9
2012/9/3	Synopsys VCS+co-Sim 講習会	東京大学	7
2012/9/3	Synopsys VCS+co-Sim 講習会	大阪大学	3
2012/9/3	Synopsys VCS+co-Sim 講習会	広島大学	1
2012/9/3	Synopsys VCS+co-Sim 講習会	近畿大学	9
2012/9/4-5	VDEC 環境におけるトランジスタレベル設計講習会	東京大学	19
2012/9/6-7	VDEC EDA 環境におけるデジタル設計講習会	東京大学	17
2012/9/19	Cadence CtoS 講習会	東京大学	8
2012/9/19	Cadence CtoS 講習会	東北大学	1
2012/9/19	Cadence CtoS 講習会	広島大学	1
2012/9/21	Agilent GoldenGate 講習会	東京大学	6

2013/03/06	Cadence Spectre 基礎講習会	東京大学	12
2013/03/06	Cadence Spectre 基礎講習会	東北大学	2
2013/03/06	Cadence Spectre 基礎講習会	北海道大学	7
2013/03/06	Cadence Spectre 基礎講習会	宮崎大学	11
2013/03/07	Cadence Spectre-RF/APS-RF 講習会	東京大学	9
2013/03/07	Cadence Spectre-RF/APS-RF 講習会	東北大学	3
2013/03/08	Agilent EMPro 講習会	東京大学	10
2013/03/08	Agilent EMPro 講習会	金沢大学	1
2013/03/11	Cadence Virtuoso Workshop F/E 講習会	東京大学	14
2013/03/11	Cadence Virtuoso Workshop F/E 講習会	東北大学	2
2013/03/11	Cadence Virtuoso Workshop F/E 講習会	北海道大学	6
2013/03/11	Cadence Virtuoso Workshop F/E 講習会	広島大学	5
2013/03/11	Cadence Virtuoso Workshop F/E 講習会	宮崎大学	5



2013/03/12	Cadence Virtuoso Workshop B/E 講習会	東京大学	15
2013/03/12	Cadence Virtuoso Workshop B/E 講習会	東北大学	3
2013/03/12	Cadence Virtuoso Workshop B/E 講習会	北海道大学	6
2013/03/12	Cadence Virtuoso Workshop B/E 講習会	広島大学	5
2013/03/13	Synopsys HSPICE ベーシックコース 講習会	東京大学	20
2013/03/13	Synopsys HSPICE ベーシックコース 講習会	東北大学	5
2013/03/13	Synopsys HSPICE ベーシックコース 講習会	金沢大学	2
2013/03/13	Synopsys HSPICE ベーシックコース 講習会	北海道大学	5
2013/03/13	Synopsys HSPICE ベーシックコース 講習会	大阪大学	6
2013/03/13	Synopsys HSPICE ベーシックコース 講習会	広島大学	7
2013/03/14	Synopsys HSPICE アドバンストコース 講習会	東京大学	23
2013/03/14	Synopsys HSPICE アドバンストコース 講習会	東北大学	2
2013/03/14	Synopsys HSPICE アドバンストコース 講習会	金沢大学	1
2013/03/14	Synopsys HSPICE アドバンストコース 講習会	北海道大学	4
2013/03/14	Synopsys HSPICE アドバンストコース 講習会	大阪大学	4
2013/03/14	Synopsys HSPICE アドバンストコース 講習会	広島大学	2
2013/03/15	Synopsys Sentaurus Basic 講習会	東京大学	5
2013/03/15	Synopsys Sentaurus Basic 講習会	東北大学	8
2013/03/15	Synopsys Sentaurus Basic 講習会	大阪大学	4
2013/03/15	Synopsys Sentaurus Basic 講習会	広島大学	8
2013/03/18	Synopsys NanoTime(XA) 講習会	東京大学	4
2013/03/18	Synopsys NanoTime(XA) 講習会	東北大学	1
2013/03/18	Synopsys NanoTime(XA) 講習会	金沢大学	1
2013/03/19	Cadence AMS Designer 講習会	東京大学	10
2013/03/19	Cadence AMS Designer 講習会	金沢大学	1
2013/03/25	CTS テスタ 講習会	東京大学	7

【社会人のためのリフレッシュセミナー】

平成 24 年度 12 月、1 月には、平成 23 年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育として VLSI 設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI 設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表 1.4.2)。

このセミナーは主に社会人を対象として、演習を伴う最新の VLSI 設計技術の実践的教育を行うもので、平成 10 年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システム LSI 開発支援センター (VSAC)、

半導体理工学研究センター (STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。

本年度は VLSI 設計に関する 2 つのコース、コース R: CMOS-RF 集積回路設計と演習(12/25 ~ 12/27 実施)、コース A: アナログ集積回路設計と演習(1/15 ~ 1/17 実施)に加え、新規にコース M: MEMS 設計と演習(1/7-1/8)を開催した。講師として大学・企業の集積回路研究・教育に携わる教官や研究者 7 名を招聘し、VLSI 設計に関する講義や最新の CAD ツールを使用した実習をはじめ、最先端の VLSI 設計技術の紹介を行った。参加者はコース R、A、M それぞれ 7 名、20 名、7 名であった。



図 1.4.1 リフレッシュ教育会場風景 (東大 VDEC セミナー室)

表 1.4.2 リフレッシュセミナー開催状況

<p>コース A: アナログ集積回路設計と演習 (3日間)</p>	<p>回路設計, 回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証 (DRC, LVS)</p> <p>杉本泰博 (中央大学), 小野寺秀俊 (京都大学), 小谷光司 (東北大学)</p>
<p>コース R: CMOS-RF集積回路設計と演習 (3日間)</p>	<p>基礎, 分布定数回路 RF CMOS回路の基礎 RF オンウェハ測定</p> <p>松岡俊匡 (大阪大学), 藤島実 (東京大学)</p>
<p>コース M: MEMS設計と演習 (2日間)</p>	<p>MEMSの基礎1: 作製法 MEMSの基礎2: 動作原理 機構設計 レイアウト設計</p> <p>三田吉郎 (東京大学)</p>

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSIデザイナーフォーラム(VDEC LSI Designers Forum)を開催している。VDEC LSIデザイナーフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、CAD業界の裏話、研究室

に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今年は、STARCの「STARC/次世代半導体技術回路構成実用化支援事業成果報告会」との連続開催とするべく、8月に東大武田ホールで開催された。50人の参加者が集まる盛況であった。

表 1.4.3 平成24年度デザイナーズフォーラムプログラム

8/26 (日) VDECデザイナーズフォーラム

12:00-12:30	会場受付
12:30-12:40	開会の挨拶
12:40-13:40	VDEC基調講演 (VDEC客員教授 古山透氏)
14:00-17:30	VDECデザインアワード発表会
	(休憩)
18:30-18:45	VDECデザインアワード表彰式
19:00	Ph.D.企画セッション&親睦会&ポスターセッション

8/27 (月) 次世代回路構成実用化支援事業成果報告会

09:30-12:00	次世代回路構成実用化支援事業成果報告会1
	(昼食)
13:10-17:30	次世代回路構成実用化支援事業成果報告会2
17:40-19:20	交流会 (武田ホール :ホワイエ)

1.5 装置の整備・運用・利用公開

VDEC では、大型装置公開すなわち、1 研究室では取得・維持管理が困難な装置を VDEC で代表して管理し、ユーザーは無償または廉価に利用するというスキームを、「CAD」「LSI マルチチップ」「テスト」となる 4 本柱の一つとして継続的に運用している。表 1.5.1 に装置の一覧と利用公開の状況を示す。装置は VLSI 用大型テスターと、その他若干のプロセス装置とに大別でき、テスターは武田先端知ビル 1F、プロセス装置は武田地下クリーンルームにある。平成 16 年度に株式会社アドバンテストより最新鋭のテスター (T2000) と電子線描画装置 (F5112+VD01) とが寄附された。電子線描画装置の平成 24 年 4 月～25 年 3 月の利用実績は、合計 1,882 枚 (月平均 157 枚) の描画であった。平成 24 年度より文部科学省「ナノテクノロジー・プラットフォーム」に参

加したことで、さらに多くのユーザーに対する支援体制を整備することができた。(ナノテクノロジー・プラットフォームについては 1.8 節を参照いただきたい。) 集束イオンビーム加工装置は、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を考案し、試験運用を行っている。

公開されている装置に関しては、セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としている。必要に応じ、VDEC の職員などが対応することで、利用を認める場合もあるので、個別に相談いただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジック LSI テストシステム	EB テスター : IDS10000	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常 LSI テスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384 ピン、1 GHz までのデジタル回路のテストを行える。	公開中	equipment@vdec.u-tokyo.ac.jp
	LSI テスター : HP8300	384 ピン、1 GHz までのデジタル回路のテストを行える。	公開中	HP83000@vdec.u-tokyo.ac.jp
	LSI テスター : ADVANTEST T2000	256 ピン、512 MHz までのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	equipment@vdec.u-tokyo.ac.jp
	回路修正用 FIB: IDSP2X	LSI パターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	オートプローバ: PM-90-A	ウエハ上での LSI の動作検証を行うためのオートプローバ。上述の LSI テスターとドッキングして使用することが可能で、VDEC において標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ 利用可能	equipment@vdec.u-tokyo.ac.jp
アナログ・RF 測定システム	アナログ・RF 測定装置一式: HP4156B, HP4284, etc	DC パラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ 利用可能。 但し VDEC の業務による利用を優先とする	equipment@vdec.u-tokyo.ac.jp
	低雑音マニュアルプローバ: Cascade 社	マニュアルにて 6 インチまでのウエハ上のチップの測定が可能。測定には、通常のプロープ針 (6 本まで) のほか、50 GHz までの測定が可能な高周波プロープを 2 本備える		
	低雑音・温度制御機構付きセミオートプローバ: Süss Microtec 社	8 インチまでのウエハ上のチップの測定が可能。ウエハ温度を -50℃ から 200℃ まで制御可能。プローブカードによる測定。GPIO を介した制御を行うことで半自動測定も可能		
	極低温プローバ : 長瀬産業株式会社	5 インチウエハを 25 K まで冷やした測定が可能	要相談	equipment@vdec.u-tokyo.ac.jp



電子線描画システム	マスク描画・ウエハ直描装置: F5112+VD01	半導体製造用2.3 mm厚5インチマスクの描画およびエッチング, 2-8インチ並びに不定形ウエハへの直接描画が可能. 参考描画寸法50 nm L/S.	公開中	equipment@vdec.u-tokyo.ac.jp
汎用FIBシステム	FIB装置 : SII XVision 200TB	ガラスマスクの欠陥修正の他, 断面観測のための加工等が可能. ナノテクノロジー・プラットフォームにて利用可能.	公開中	equipment@vdec.u-tokyo.ac.jp

1.6 平成 25 年度の活動計画

平成 25 年度においても、従来の設計情報発信、CAD ツール提供、チップ支援、寄付部門「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、平成 9 年度より継続している CAD ツール利用法に関する技術セミナー、平成 10 年度から継続している社会人向けの「リフレッシュセミナー」、平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。試作チップ数の増加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSI テスト技術および、VDEC および拠点校に設置されている LSI テスター利用法のセミナーも継続して開催するとともに、寄付部門「D2T」主導によるテスト技術に関するワークショップ開催、遠隔地からのテスト利用に関する試みなどを推進する。

【CAD ツール提供】

上流設計(Cadence, Synopsys)、中流設計(Synopsys (旧 Avant!), Cadence)、下流設計(Cadence)の各基本

ツールを、平成 25 年度もサポートしていく。これに加え平成 14 年度から導入した設計検証(Mentor: Caribra, ModelSim, Handel-C 等)、平成 16 年度から導入したアナログ RF 設計ツール(Agilent: GoldenGate, ADS)を継続してサポートするとともに、平成 17 年度より提供を受けている Sharp 社 C ベース設計ツール(BachC)を継続してサポートする。平成 20 年度より提供を開始している TOOL 社レイアウト表示プラットフォーム(Lavis)に関しても利用状況に基づき継続を行う。なお、利用頻度低下に伴い回路シミュレーションツール(Silvaco)ツールのサポートは継続しないこととなった。

【チップ試作支援】

平成 25 年度は、平成 24 年度から引き続きローム株式会社のプロセスを継続する予定である(すでに一部の試作は進行中である)ほか、eShuttle 65 nm CMOS 最終回シャトルの実施、オンセミ - 三洋半導体 0.8 μ m CMOS の定常試作化のほか、ST マイクロ FD-SOI 28nm CMOS の試作を実施する。チップの組み立てはジェイデバイス社への委託を中心として、多様な組立に応じられる仕組みの構築を目指す。

表 1.6.1 VDEC チップ試作スケジュール (平成 25 年度)

【CMOS 0.8 μ m 2P2M】 オン・セミコンダクタ

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 25 年度第 1 回	2013/ 3/11	2013/ 6/ 3	2013/ 8/26	2013/12/ 2
平成 25 年度第 2 回	2013/10/ 7	2012/ 1/10	2014/ 3/24	2014/ 6/30

【CMOS 0.18 μ m 1P5M (+MiM)】 ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 24 年度第 5 回	2013/ 1/ 1	2013/ 1/ 8	2013/ 2/12	2013/ 6/ 3
平成 25 年度第 1 回	2013/ 3/ 1	2013/ 3/25	2013/ 6/17	2013/10/ 7
平成 25 年度第 2 回	2013/ 2/ 6	2013/ 5/ 1	2013/ 7/24	2013/11/13
平成 25 年度第 3 回	2013/ 3/27	2013/ 6/19	2013/ 9/11	2013/12/25
平成 25 年度第 4 回	2013/ 5/ 6	2013/ 7/29	2013/10/21	2014/ 2/17
平成 25 年度第 5 回	2013/ 8/12	2013/11/ 4	2014/ 1/27	2014/ 5/19

【CMOS 65 nm 1P12M】 eShuttle 株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 25 年 8 月シャトル	2013/ 2/ 6	2013/ 6/12	2013/ 7/24	2013/11/30

【FD-SOI CMOS 28 nm 1P10M】 ST マイクロ社

STARC プロジェクト試作として実施。

VDEC での設計 / 試作経験, 人材育成が有効には機能 教員が起業したベンチャー企業のリスト(順不同)を以下
した事例といたしまして, VDEC と関連があった(ある) に示します.

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生: 神戸大学 瀧 和男 教授 (同社, 代表取締役社長)

事業内容: (1) Hyper LSI Design
(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング
(3) オリジナルライブラリ / IP の販売
(4) チップ受託開発

[2] 株式会社シンセシス (<http://www.synthesis.co.jp/>)

代表の先生: 大阪大学 白川 功 名誉教授 (同社, 取締役)

事業内容: (1) システム LSI 開発・設計受託
(2) IP 開発及び販売
(3) システムソリューション提供 / 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<http://www.asip-solutions.com/>)

代表の先生: 大阪大学 今井 正治 教授 (同社, 代表取締役 CTO)

事業内容: (1) EDA ツールの提供
(2) 設計サービスとソリューション提供
(3) 自社 IP の開発

[4] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生: 九州工業大学 中村 和之 教授 (同社, 代表取締役)

事業内容: (1) アナログ LSI 設計用 CAD ツールの開発
(2) メモリ LSI 自動設計ツールの開発

[5] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

代表の先生: 広島大学 岩田 穆 名誉教授 (同社, 代表取締役)

事業内容: (1) アナログ・RF 回路混載 SoC 設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

[6] 有限会社 石島電子技研 (<http://www.ops.dti.ne.jp/~ishijima/rd/>)

事業内容: (1) ハードウェア開発
(2) ソフトウェア開発
(3) システム・コンサルティング

1.8 超微細リソグラフィー・ナノ計測拠点

VDEC では、武田先端知ビルスーパークリーンルームを工学部総合研究機構と共同で運用し、オープンな拠点として全国の学・産・官に広く公開している。H23 年で終了したナノテクノロジーネットワーク事業に引き続き、東京大学を代表して H24 年度より開始された文部科学省ナノテクノロジープラットフォームの微細加工実施機関となって、「超微細リソグラフィー・ナノ計測拠点」を運営している。一研究室では取得維持が困難な装置群を、組織的に維持管理し、学内外、特に学外の企業に公開するというプロジェクトである。H24 年度からは、「微細構造解析」「微細加工」「分子・物質合成」のプラットフォームごとの受託となったため、工学部総合研究機構が受託した微細構造解析拠点とは組織としては分かれたが、機能としては継続的に、これまでと変わらぬ便利さで利用できる。VDEC の微細加工拠点は、株式会社アドバンテスト社製の量産向け高速電子線描画装置を改造して、1 cm 角から 8 インチ丸までの任意形状にまで描画できるようにした F5112+VD01 を核に、武田先端知

スーパークリーンルームでの活動を支援している。また、VLSI ファウンドリ活動の日本代表という立ち位置を最大限利用し、「フェニテックセミコンダクター」プロジェクトとの協業により、VLSI を VDEC で試作し、ナノテクプラットで後加工するという新たな「More-Than-Moore」系の研究支援スキームを開始した。実績は極めて好調で、提出され、審理機関(プラットフォームコーディネーター)に受理された「利用報告書」は 152 件で、国内 16 拠点のうちでも 1, 2 番の優秀な成績であった。内外共に利用者を順調に伸ばしている。電子線描画装置 F5112+VD01 であり、ナノプラット支援開始日 2012 年 7 月 2 日(月)～3 月 29 日(金)の間に、月平均 93.3 研究グループ(総数 840 グループ)が、157.6 回(1419 回)描画を行った。外部共用率は 99%、すなわち、利用可能な日には必ず誰かが利用をしていたという結果であった。

<http://nanotechnet.t.u-tokyo.ac.jp/>

VDEC

第2章 「アドバンテスト D2T 寄付研究部門」 平成24年度活動報告

2.1 「アドバンテスト D2T 寄付研究部門」の紹介

2.1.1 アドバンテスト D2T 寄付研究部門 設立趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテスト D2T 寄付研究部門」が2007年10月にVDEC内に設立されました。「アドバンテスト D2T 寄付研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく“Design to Test(D2T)”の理念のもと、下図に示すような国内の大学・高専における「テスト研究・教育」の拠点として、「テストCOE (Center of Excellence)」を目標として活動を行っています。

D2T 寄付研究部門は当初予定していた3年間のプロジェクトを2010年9月に完了しましたが、株式会社アドバンテストのご厚意によって、さらに3年間の活動を継続することになりました。今年度は、その3年間の後半の開始にあたり、個々の研究、あるいは教育、シンポジウムについてもより充実した活動を行ってまいりました。今後も、設計とテストの融合された分野での研究活動を行うとともに、シンポジウム等を通じた活動も行っていく予定です。

2.1.2 アドバンテスト D2T 寄付研究部門 構成員

スタッフ

特任准教授	小松 聡
特任研究員	池野 理門
特任研究員	James Tandon
共同研究員	山口 隆弘 (株式会社アドバンテスト研究所)
共同研究員	石田 雅裕 (株式会社アドバンテスト)
共同研究員	丸山 隆司 (株式会社イー・シャトル)
事務補佐員	岡崎 真紀子

2.2 「第7回 D2T シンポジウム」開催報告

2012年12月11日(火)に「第7回 D2T シンポジウム」を開催致しました。

「アドバンテスト D2T 寄附研究部門」が東京大学大規模集積システム設計教育研究センター内に設立され、約5年が経過し、その間の研究成果の報告ならびにLSIのテスト分野で活躍されている著名な研究者の招待講演を企画し、大学の教員・学生のみならず企業の方々にも興味深い講演会となりました。招待講演者の方々は、いずれも、それぞれの分野での第一人者であり、大学・企業から100名を超える方々の参加により、大変盛況でした。

特に今回は、“Post-Silicon Validation and Test in

Huge Variance Era”と題したパネルディスカッションを行いました。非常にアクティブな議論が繰り広げられました。微細化されたプロセステクノロジーにおいては、設計のみならずテストにおいてもばらつきが重要な要素となっており、パネリストの方々のそれぞれのポジションからの提言に加えて、聴講者からも活発な意見が出されました。

VDECでは、今後も継続的にLSIのテストに関連したシンポジウム、講演会を予定しておりますので、是非ともご参加ください。

2012
12/11 (火)
10:00~18:00
東京大学 武田先端知ビル 5階 武田ホール

東京大学 大規模集積システム設計教育研究センター VDEC
VLSI Design and Education Center (VDEC), The University of Tokyo

**第7回 アドバンテスト D2T 寄附研究部門
D2T シンポジウム**

10:00	開会の挨拶
10:10	セッション1
<p><i>“Test Time Reduction By Exploring Spatial and Test-Item Correlations Using Statistical Regression Techniques”</i> Kwang-Ting (Tim) Cheng (University of California, Santa Barbara) <i>“Power Integrity Control of ATE for Emulating Customer's Power Supply Characteristic”</i> 石田 雅裕 (株式会社アドバンテスト) <i>“Portable/Desktop Testing Solution for Engineering with Cloud”</i> 木村 学 (Cloud Testing Service 株式会社) <i>“New Capability Enables System Level Functional Test and Automated Test Program Generation on ATE”</i> 北川 悟 (株式会社アドバンテスト)</p>	
12:00	昼食
13:20	セッション2
<p><i>“Nanoscale Circuit Structures for Measurement and Test”</i> Jacob A. Abraham (University of Texas at Austin) <i>“Time-Mode Signal Processing and its Impact on Analog/Mixed-Signal/RF Testing”</i> Gordon Roberts (McGill University)</p>	
15:00	休憩
15:30	セッション3
<p><i>“Testing & Debugging On-Chip Jitter without High-Frequency Pins or a Reference Clock”</i> 山口 隆弘 (株式会社アドバンテスト研究所) <i>“A CMOS Flash TDC with 0.84-1.3 ps Resolution Using Standard Cells”</i> James Tandon (東京大学)</p>	
16:30	パネルディスカッション
<p><i>“Post-Silicon Validation and Test in Huge Variance Era”</i></p>	
17:50	閉会
18:00	懇親会

参加のお申し込み
【参加費】 無料 【申し込み方法】 以下のウェブサイトからの事前申込制
<http://www.vdec.u-tokyo.ac.jp/d2t/D2tsymposium2012-2.html>

【主催】
東京大学大規模集積システム設計教育研究センター (VDEC)
後援: 株式会社アドバンテスト
協賛: (社)電子情報通信学会、(社)情報処理学会、(社)電子情報技術産業協会
IEEE SSCS Japan Chapter、LSIテスト学会

【お問い合わせ先】
東京大学大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
〒113-0032 東京都文京区弥生 2-11-16 武田先端知ビル404号室
Tel: 03-5841-0233 FAX: 03-5841-1093 <http://www.vdec.u-tokyo.ac.jp/> E-Mail: komatsu@vdec.u-tokyo.ac.jp

**武田ホール
武田先端知ビル
5F**

シンポジウムプログラム / Symposium Program

10:00	開会の挨拶 東京大学大規模集積システム設計教育研究センター長 浅田邦博
10:10	Session 1
	<p>“Test Time Reduction By Exploring Spatial and Test-Item Correlations Using Statistical Regression Techniques” <i>Kwang-Ting (Tim) Cheng (University California, Santa Barbara)</i></p> <p>“Power Integrity Control of ATE for Emulating Customer’s Power Supply Characteristic” <i>Masahiro Ishida (Advantest)</i></p> <p>“New Capability Enables System Level Functional Test and Automated Test Program Generation on ATE” <i>Satoru Kitagawa (Advantest)</i></p> <p>“Portable/Desktop Testing Solution for engineering with Cloud” <i>Manabu Kimura (Cloud Testing Service)</i></p>
12:00	昼食 / Lunch
13:20	Session 2
	<p>“Nanoscale circuit structures for measurement and test” <i>Jacob A. Abraham (University of Texas at Austin)</i></p> <p>“Time-Mode Signal Processing and Its Impact On Analog/Mixed-Signal/RF Testing” <i>Gordon Roberts (McGill University)</i></p>
15:00	休憩 / Coffee Break
15:30	Session 3
	<p>“Testing&Debugging On-Chip Jitter without a Reference Clock or High-Frequency Pins” <i>Takahiro Yamaguchi (Advantest Laboratories)</i></p> <p>“A CMOS Flash TDC with 0.84-1.3 ps Resolution Using Standard Cells” <i>James Tandon (University of Tokyo)</i></p>
16:30	Panel Discussion “Post-Silicon Validation and Test in Huge Variance Era”
	<p>Moderator: Takahiro Yamaguchi (Advantest Laboratories) Panelists: Kwang-Ting(Tim) Cheng (University of California, Santa Barbara) Jacob A. Abraham (University of Texas at Austin) Gordon Roberts (McGill University)</p>
17:50	閉会の挨拶
18:00	懇親会 / Reception

2.3 「アドバンテスト D2T 寄付研究部門」 平成 24 年度研究報告

連続時間量子化法のタイミング雑音測定への応用

山口隆弘, James Tandon, 小松 聡, 浅田邦博

MOSトランジスタのシキイ値電圧ばらつきをモニターする新しい回路を導入した。回路はコンパレータ・グループを利用し、シキイ値電圧ばらつきを確率的に測定する。集積回路は最小面積を占める。その測定は、直流電圧をコンパレータ・グループに印加し、デジタル的におこなう。従来法は、リング発振器の発信周波数のばらつきを測定する。一方、提案回路は交流測定を必要とせず、確率的特性をデジタル値として加速的に収集する。

電源電圧の動的制御技術の研究

名倉 徹, 石田雅裕, 吉川俊之, 小松 聡, 浅田邦博

半導体プロセスの微細化により電源電圧が低下する一方で、高集積化により半導体デバイスの電源電流は増加傾向にある。このため、相対的にデバイス電源の電圧誤差・ノイズが増大し、デバイス試験時／実動作時の電源品質（パワーインテグリティ）が重要となっている。

本研究では、半導体デバイスのオンチップ電源ノードのインピーダンス特性を動的に制御する電源インピーダンス制御技術を提案した。提案手法は、インピーダンスを制御したい電源ノードに直列共振回路をコア回路および電源ネットワークと並列に接続し、半導体デバイスの動作周波数や電源電圧、動作温度などの動作状態に応じて直列共振回路の共振周波数を動的に切り替えることにより、動作状態に依存して生じる電源ノイズを低減できる。SPICEをもちいた回路シミュレーションにより、提案手法の原理を確認した。プロトタイプ回路をもちいた実証実験のため、TEG回路を設計した。

アナログ回路向け構造試験手法の研究

小松 聡

本研究では、アナログ回路のテストにデジタル回路のテストに用いられるストラクチャルテストのアイ

ディアを導入することで、システムLSIのテストを効率化することを目指す。システムLSIにはデジタル回路とアナログ回路の両者が搭載されていることを活かし、デジタル回路を用いてアナログ回路のストラクチャルテスト手法を提案し、自動テスト入力生成等のテスト容易化手法の確立を目的とする。

今年度は、デジタル回路とアナログ回路の両者が搭載されている回路における可制御性と可観測性についての検討を行い、テスト生成のための基礎的な検討を行った。

キャラクタプロジェクション (CP) エlementベースの設計手法

丸山隆司, 池野理門, 飯塚哲也, 小松 聡, 池田 誠, 浅田邦博

14nmテクノロジーノード以降の半導体量産リソグラフィの候補として、キャラクタプロジェクション (Character Projection; CP) 方式電子線露光技術が注目されている。CP方式の実用化に際しては、ある限られた面積を持つステンシル上に集積可能なCPエレメント数の制約が、最大の課題と考えられている。VDECでは、イー・シャトル社と共同で、CPエレメントの効率的な構成方法およびそのための回路レイアウトの設計手法の研究を、ロジックセル、メモリマクロ、配線のそれぞれに関して行っている。

今年度は、過年度までに確立してきた基本コンセプトに基づき、既存のセル・ライブラリと商用設計ツールを利用した設計フローの構築と実証実験を行った。ロジックセルでは、回路ネットリスト中の信号伝播の並列性を利用したセル・クラスタ生成手法とレイアウト設計フローを開発した。メモリマクロに関しては、CPエレメント数見積りの精度を向上するとともに、省リソース化を実現し、面積制約を満たすステンシル設計の目処が立った。配線設計においては、規則的な配線実装とビア配置によってキャラクタ種を限定する、ステンシルおよび回路レイアウトの設計手法を実現した。これらの手法について、露光速度向上効果等の評価実験を行った結果、実用レベルの露光回数が達成可能であることが示された。

国際会議・国際シンポジウム・ 国際ワークショップ

- [1] Masahiro Ishida, Toru Nakura, Toshiyuki Kikkawa, Takashi Kusaka, Sotoshi Komatsu and Kunihiro Asada, "Power Integrity Control of ATE for Emulating Power Supply Fluctuation on Customer Environment," IEEE International Test Conference, November 2012.
- [2] T. J. Yamaguchi, K. Asada, K. Niitsu, M. Abbas, S. Komatsu, H. Kobayashi, J. A. Moreira, "A New Procedure for Measuring High-Accuracy Probability Density Functions," 2012 IEEE Asian Test Symposium, pp.185-190, November 2012.
- [3] Rimono Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection using Character Sets Based on One-dimensional VIA Arrays with Area-efficient Stencil Design," 18th Asia and South Pacific Design Automation Conference (ASP-DAC 2013), 3C-2, pp.255-260, Jan. 23rd, 2013.
- [4] Takashi Maruyama, Hiroshi Takita, Rimono Ikeno, Morimi Osawa, Yoshinori Kojima, Shinji Sugatani, Hiromi Hoshino, Toshio Hino, Masaru Ito, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "Practical proof of CP element based design for 14 nm node and beyond," SPIE2013 Advanced Lithography, 8680-75 (2013)
- [5] Rimono Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro

Asada, "A structured routing architecture and its design methodology suitable for high-throughput electron beam direct writing with character projection method, ACM International Symposium on Physical Design (ISPD 2013), March 26th, 2013.

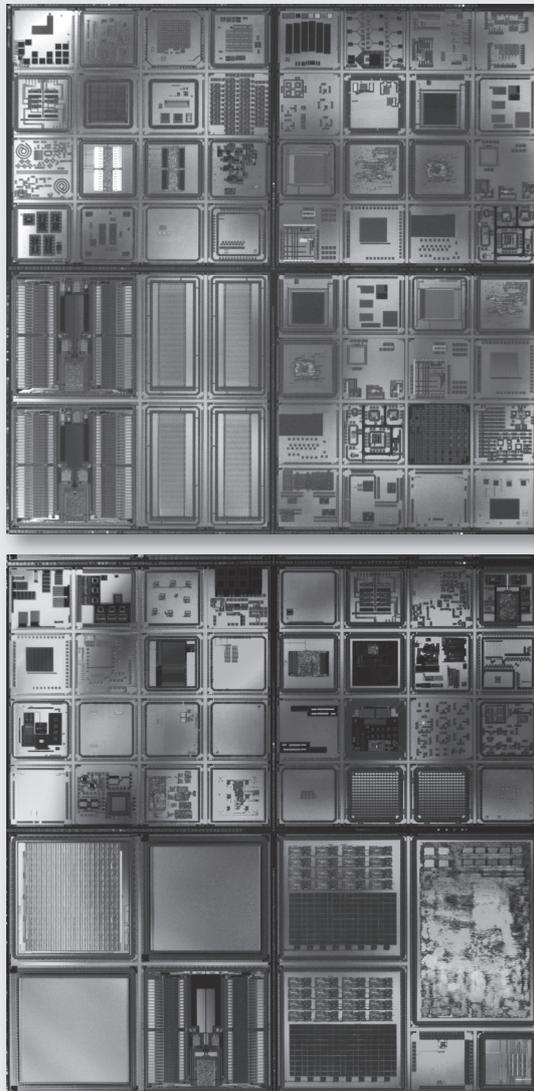
国内研究会

- [1] 池野理門, 丸山隆司, 飯塚哲也, 小松聡, 池田誠, 浅田邦博, 「キャラクタプロジェクトンによる電子ビーム直描技術におけるビア層のスループロット向上とステンシル面積削減のための配線設計およびキャラクタ抽出」, DAシンポジウム2012論文集, 情報処理学会シンポジウムシリーズ Vol.2012, No.5, 5B-2, pp.187-192, 2012年8月30日.

特許等

- [1] 石田雅裕, 日下崇, 名倉徹, 小松聡, 吉川俊之, 浅田邦博, 「電源装置, それを用いた試験装置, 電源電圧の制御方法」, 2012年10月3日出願 (出願番号2012-221619).
- [2] 石田雅裕, 名倉徹, 小松聡, 浅田邦博, 「試験装置および試験条件の取得方法」, 2012年10月3日出願 (出願番号2012-221620).
- [3] ロジックセルのCPクラスタ方法【出願番号】2012-006589 (2012/01/16)
- [4] ロジックセルのCP変換方法【出願番号】2012-006588 (2012/01/16)
- [5] 構造化配線/VIA構成方法【出願番号】2013-011506 (2013/01/24)

第3章 チップ試作結果報告



3. 1 試作ラン別一覧

平成24年度ルネサスエレクトロニクス CMOS 40nm 試作 (経産省-STARC プロジェクト) (RE4012)

題 名	大 学 名	研 究 者	掲載頁
3-gram に対応できる実時間 6 万語連続音声認識のための HMM(GMM+Viterbi) プロセッサ	神戸大学システム情報学研究所	何 光震, 宮本 優貴, 和泉 慎太郎, 川口 博, 吉本 雅彦	74
1024 ビット自己同期型 RSA エンジン	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	Devlin Benjamin 池田 誠	74

平成24年2月 e-Shuttle CMOS 65nm 試作 (ES65116)

題 名	大 学 名	研 究 者	掲載頁
Stochastic Comparator Group as Process Monitor, Time-to-Digital Converter, and Analog-to-Digital Converter	VLSI Design and Education Center, University of Tokyo Advantest Laboratories	James Tandon, Satoshi Komatsu, Kunihiro Asada Takahiro Yamaguchi	75
10MHz-6.6GHz マルチバンド LC-PLL	東京工業大学大学院理工学研究科	岡田 健一	75
信頼性可変粒度複合型再構成デバイス	大阪大学情報科学研究科 高知工科大学システム工学群	Alnajjar Dawood, 郡浦 宏明, 橋本 昌宜, 尾上 孝雄 密山 幸男	75

平成24年3月 e-Shuttle CMOS 65nm 試作 (ES65121)

題 名	大 学 名	研 究 者	掲載頁
A Self Synchronous FPGA with Leakage Control for 270mV Sub-threshold Operation	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	デブリン ベンジャミン 池田 誠, 浅田 邦博	76
高速ロックを実現する完全デジタル型クロック・データ・リカバリ回路	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	飯塚 哲也 浅田 邦博	76
MOS FET および配線の信頼性評価用 TEG	大阪大学情報科学研究科 弘前大学理工学研究科	三浦 克介, 中前 幸治 黒川 敦	76
Stochastic Comparator Group with 3GHz PRBS test fixture and Transmission Line Clock Delay Lines.	VLSI Design and Education Center, University of Tokyo Advantest Laboratories	James Tandon, Satoshi Komatsu, Kunihiro Asada Takahiro Yamaguchi	77
信頼性可変粒度複合型再構成デバイス	大阪大学情報科学研究科 高知工科大学システム工学群 奈良先端科学技術大学院大学情報科学研究科 京都工芸繊維大学工芸科学研究科 京都大学情報学研究科	Alnajjar Dawood, 郡浦 宏明, 橋本 昌宜, 尾上 孝雄 密山 幸男 嶋田 創 小林 和淑 小野寺 秀俊	77

平成24年10月 e-Shuttle CMOS 65nm 試作 (ES65124)

題 名	大 学 名	研 究 者	掲載頁
閾値近傍までの DVFS を実現するセルベース回路構成技術の開発	京都大学情報学研究科	小野寺 秀俊, 石原 亨, 西澤 真一, Islam A.K.M. Mahfuzul, 釜江 典裕, 近藤 正大, 修 斉	78
フリップ・フロップおよび離散コサイン変換回路の最小動作電圧分布測定回路	京都大学大学院情報学研究科	川島 潤也, 藤田 隆史, 筒井 弘, 越智 裕之, 佐藤 高史	78
トランジスタ特性の時間変化測定回路	京都大学大学院情報学研究科	粟野 皓光, 清水 裕史, 李志, 筒井 弘, 越智 裕之, 佐藤 高史	78
超低電力 RF 要素回路	東京工業大学ソリューション研究機構 東京工業大学精密工学研究所	益 一哉, 石原 昇 伊藤 浩之	79
自己性能補償機構を持つ組み込みプロセッサ	大阪大学情報科学研究科	橋本 昌宜, 樋口 裕磨, 上野 美保, 尾上 孝雄	79

平成24年7月 e-Shuttle CMOS 65nm 試作 (経産省-STARC プロジェクト) (ES65127)

題 名	大 学 名	研 究 者	掲載頁
ソフトサーモメタコードを用いたパルス幅制御型 DLL	東京大学大規模集積システム設計教育研究センター	名倉 徹, 浅田 邦博	80

完全デジタル時間差記憶再生回路とそれを用いた Time-to-Digital Converter	東京大学工学部電気電子工学科 東京大学工学系研究科電気系工学専攻	染谷 晃基 飯塚 哲也	80
3次元形状取得を効率化するための CMOS イメージセンサチップ	東京大学工学系研究科 東京大学東京大学大規模集積システム設計 教育研究センター	矢部 紘貴 池田 誠	80
NBTI・RTN に強靱な回路設計手法の提案	京都大学情報学研究所	松本 高士, 三木 淳司, 小野寺 秀俊	80
DVFS を対象としたセルベース設計技術の開発および評価用 TEG	京都大学情報学研究所	Islam A.K.M Mahfuzul, 西澤 真一, 釜江 典裕, 近藤 正大, 西村 彰平, 石原 亨, 小野寺 秀俊	81
ユークリッド距離・マンハッタン距離を高速かつ小面積に実現するデジタル並列型連想メモリの開発	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	マタウシュ ハンス ユルゲン 佐々木 静龍, 赤澤 智信, 安 豊偉	81
パッケージ間高速通信用送受信回路		小菅 敦丈, 田口 眞男, 黒田 忠広	81
低電力 RF CMOS 回路の追求	東京工業大学ソリューション研究機構 東京工業大学精密工学研究所	益 一哉, 石原 昇 伊藤 浩之	81
テスト容易化回路	名古屋大学大学院工学研究科 群馬大学大学院工学研究科	新津 葵一 大澤 優介, 針谷 尚裕, 平林 大樹, 小林 春夫	82
実時間画像認識のための局所特徴量抽出エンジン	神戸大学システム情報学研究所	水野 孝祐, 高木 健太, 和泉 慎太郎, 川口 博, 吉本 雅彦	82
低ジッタ周波数制御型省面積 TDC	神戸大学システム情報学研究所	小西 恵大, 奥野 圭祐, 和泉 慎太郎, 吉本 雅彦, 川口 博	82
UWB レーダー用超高速サンプリング回路	広島大学先端物質科学研究科 広島大学ナノデバイス・バイオ融合科学研究所	十河 健太, 王 密田 アズハリ アフリーン, 吉川 公麿	82
HEVC/H.265 向けの高性能 FME 動き予測 LSI	早稲田大学情報生産システム研究科	後藤 敏, 周 大江, 何 剛	83

平成24年度オンセミコンダクター—三洋 CMOS 0.8um テスト試作 (OS0812)

題 名	大 学 名	研 究 者	掲載頁
演算増幅器等の試作	宮崎大学大学院工学研究科 宮崎大学工学部	上村 通誉 外山 貴子, 下山 正家, 春山 沙和, 淡野 公一	84
パルス形ハードウェアニューロンモデルの試作	日本大学理工学部電子情報工学科	石川 敏揮, 関根 好文	84
MEMS マイクロロボット歩行動作制御のための振動パターンを生成するパルス形ハードウェアニューラルネットワーク	日本大学理工学部	高浜 詩帆, 関根 好文, 内木場 文男, 齊藤 健	84
パルス形ハードウェアニューラルネットワークの素子特性測定用 TEG	日本大学理工学部	谷田 純一, 高浜 詩帆, 関根 好文, 内木場 文男, 齊藤 健	85
差動伝送信号線路と位相同期ループ回路の試作	秋田大学工学資源学部	保原 秀康, 楊 眺帆, 萱野 良樹, 井上 浩	85
電圧制御発振器	東海大学産業工学部	藤本 邦昭, 原田 裕二郎	85
アナログ回路および素子評価 TEG の試作	電気通信大学電気通信学部	蓬田 拓夢	86
リングオシレータ TEG	東京大学大規模集積システム設計教育研究センター	小松 聡	86
デジタル制御発信器(DCO)テスト回路	呉工業高等専門学校電気情報工学分野	外谷 昭洋	86
3次元積層ソリッド・ステート・ドライブの書き込み電圧生成回路向けオンチップインダクタ	中央大学理工学部 東京大学大学院工学系研究科	上口 光, 竹内 健 畑中 輝義	87

平成23年度第5回ローム CMOS 0.18um 試作 (RO18115)

題 名	大 学 名	研 究 者	掲載頁
ソフトサーモメタコードを用いたパルス幅制御型 DLL	東京大学大規模集積システム設計教育研究センター	名倉 徹, 浅田 邦博	88
MEMS 混載 LSI の制御に適した容量測定回路	東京大学工学系研究科 東京大学東京大学大規模集積システム設計教育研究センター	児玉 和俊 池田 誠	88
CMOS イメージセンサのための非線形 Single-slope ADC	東京大学工学系研究科 東京大学東京大学大規模集積システム設計教育研究センター	矢部 紘貴 池田 誠	88
Self-Adaptive Quasi-Gaussian Circuits for Analog On-Chip-Trainable Multi-Class Classifiers	東京大学工学部	夏 文軍, 柴田 直	89
宇宙用 CVSL 回路及び NAND ゲート NOR ゲート速度性能解析用実験回路の設計試作	静岡理工科大学理工学部	波多野 裕, 犬塚 健也, 工藤 寛人	89

スペクトラムセンサ TEG	金沢大学自然科学研究科 金沢大学理工研究域	水井 彩香 北川 章夫	89
高効率な電源回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	篠塚 康人, 石田 光一, 桜井 貴康 高宮 真	90
SFQ/CMOS ハイブリッドメモリ用 64-kb メモリ	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	桑原 啓太 吉川 信行	90
高周波数特性測定用アンプと 6 相駆動断熱的インバータ	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	石垣 敬之, 陳 賢珠 吉川 信行	90
デジタル補正技術を用いた小型計装アンプ	豊橋技術科学大学工学部	秋田 一平	91
16bit マイコンの試作:大学院創造工房セミナーでのチップ試作実習	会津大学大学院コンピュータ理工学研究科	古谷 拓之, 北道 淳司	91
可視光通信用光受信回路	慶應義塾大学理工学部	藤代 瞬也, 松本 佳宣	91
離散 $\Delta\Sigma$ ADC	法政大学工学研究科	北原 義大, 清水 祐希, 西勝 聡	92
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科 明治大学理工学部	魚住 和史, 熊谷 知也, 小林 優太, 高橋 康仁, 林 拓哉 伊藤 遼, 石原 貴大, 小林 直弘	92
遅延時間ばらつきからデバイス固有情報を出力する TEG チップ	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	浅川 俊介 汐崎 充 藤野 毅	92
遅延時間ばらつきからデバイス固有情報を出力する TEG チップ	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	浅川 俊介 汐崎 充 藤野 毅	93
電力解析攻撃対策を有する Dual-Rail RSL メモリ方式を利用した AES 暗号回路	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	橋本 祐樹, 浅川 俊介 汐崎 充 藤野 毅	93
ピアプログラマブルなアナログフロントエンド回路 VPA	立命館大学理工学部 立命館大学理工学研究科 立命館大学総合理工学研究機構	上田 佳祐, 菅谷 周平, 藤野 毅 堀 達平 汐崎 充	93
0.18 μ m CMOS プロセスを用いたマルチモード生体信号増幅回路	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	安田 陽平, 大野 隆一, 中村 拓也 中野 誠彦	94
(1)Self-cascode MOSFETs with a Self-biased Body Effect for Ultra-low-power Voltage Reference Generator;(2)A Nano-power Switched-capacitor Voltage Reference using MOS Body effect in Application for Subthreshold LSI; (3)A Low Power Dissipation Real Time Counter for Sensor Network Application	早稲田大学情報生産システム研究科	張 浩, 張 藝蒙, 吉原 務	94
高調光・高効率 LED 制御回路	早稲田大学情報生産システム研究科	陳 民傑, 吉原 務	94
液中オンチップ微粒子操作用非接触給電・低消費電力集積回路	大阪大学大学院工学研究科	岸和田 泰, 上田 瞬, 宮脇 祐介, 松岡 俊匡	95
光伝送用高速光検出器および光ディスク用分割光検出器	金沢大学自然科学研究科電子情報科学専攻 金沢大学理工研究域電子情報学系	霜鳥 敏之 丸山 武男, 飯山 宏一	95
MOSFET パラメータ評価 TEG	東京理科大学大学院理工学研究科	岸 俊樹, 藤岡 翔太, 榎田 洋太郎	95
CMOS プロセスを用いた残留キャリア引き抜き回路の試作	東京理科大学大学院理工学研究科	岸 俊樹, 藤岡 翔太, 榎田 洋太郎	96
PLL 要素回路(位相比較器, 電圧制御型発振回路)搭載 TEG	大阪工業大学大学院工学研究科 金沢大学大学院自然科学研究科	水野 順貴, 酒見 謙一, 吉村 勉 松田 吉雄	96
パワーインテグリティ評価チップ 1	芝浦工業大学工学部	市村 航, 小林 遼太, 久保 元樹	96
TDC と DCO の試作	会津大学大学院コンピュータ理工学研究科 会津大学コンピュータ理工学部	伊藤 秀将, 東原 恒夫 田村 渉	97

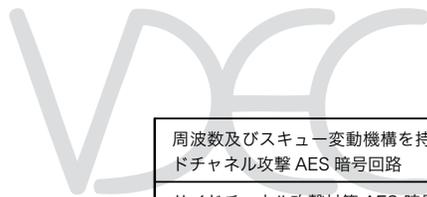
平成24年度第1回ローム CMOS 0.18 μ m 試作 (RO18121)

題 名	大 学 名	研 究 者	掲載頁
高精度バイオテレメトリーチップ	東北大学未来科学技術共同研究センター	宮本 直人	98
オフチップデキャップ評価用のコア回路	東京大学大規模集積システム設計教育研究センター	名倉 徹, 浅田 邦博	98
DVS における電源共振ノイズ低減のためのアクティブチャージシェアリング回路	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	齊藤 総, 飯塚 哲也 名倉 徹, 浅田 邦博	98
A Fully Parallel Analog VLSI Processor for Implementing SVDD Algorithm	東京大学工学系研究科	張 任遠, 柴田 直	99
高効率な電源回路と超低電圧発振回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	篠塚 康人, アン ミンヨン, 桜井 貴康 高宮 真	99

磁気共鳴によるボード間無線電力伝送回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	井口 俊太, 石田 光一, 桜井 貴康 高宮 真	99
高効率な電源回路と超低電圧発振回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	篠塚 康人, アン ミンヨン, 桜井 貴康 高宮 真	100
SFQ/CMOS ハイブリッドメモリ用 64-kb メモリ	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	桑原 啓太 吉川 信行	100
高感度 CMOS 差動増幅器と 4 相断熱的回路と 6 相駆動断熱的回路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	石垣 敬之, 陳 賢珠 吉川 信行	100
インピーダンス計測回路	豊橋技術科学大学工学部	二川 雅登, 秋田 一平	101
シーン理解システムに向けた分割撮像原理に基づく CMOS イメージセンサの実証実験用チップ	東京理科大学工学研究科	大高 俊徳, 山崎 智裕, 浜本 隆之	101
コルピツ発振器による VCO の試作	中央大学大学院理工学部	高橋 俊市, 金子 成悟, 杉本 泰博, 坂東 和馬	101
SLID	電気通信大学情報理工学研究科 電気通信大学電気通信学部	Le Duc Hung 蓬田 拓夢	102
デジタル回路および素子評価 TEG の試作	電気通信大学情報理工学研究科 電気通信大学電気通信学部	Hoang Van Phuc 蓬田 拓夢	102
アナログ回路用ライブラリおよび素子評価 TEG の試作 (1)	高知工科大学工学部システム工学群 高知工科大学大学院基盤工学専攻	橘 昌良, 坂東 拓弥, 渡邊 勇磨 西面 尚彰	102
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科 明治大学理工学部	魚住 和史, 小林 優太, 林 拓哉, 藤塚 純一, 石原 貴大 藤井 達矢, 安田 信孝	103
遅延時間差検出型アービターPUF 回路	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	菅谷 周平, 谷口 雅人, 浅川 俊介 汐崎 充 藤野 毅	103
漏洩電磁波を用いたサイドチャンネル攻撃のリーク要因調査用 TEG チップ	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	浅川 俊介 汐崎 充 藤野 毅	103
ワンチップ動作マイクロシステム用オンチップ太陽電池の設計	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	菊地 大樹, 中山 涉 中野 誠彦	104
精度低下検出可能な浮動小数点演算器	広島市立大学大学院情報科学研究科	安仁屋 宗石, 北村 俊明	104
トリプルウェルを用いた on-chip 太陽電池の集積化 1	東洋大学総合情報学部	堀口 文男	104
MOSFET パラメータ基板バイアス効果評価 TEG	東京理科大学大学院理工学研究科	岸 俊樹, 榎田 洋太郎	105
CMOS プロセスを用いたモニター付き直列均等分圧型残留キャリア引き抜き回路の試作	東京理科大学大学院理工学研究科	岸 俊樹, 榎田 洋太郎	105
高機能ネットワークオンチップルータ	東京工業大学大学院情報理工学研究科	高前田 (山崎) 伸也, 五十嵐 俊哉, 藤枝 直輝, 吉瀬 謙二	105
32 ビット MIPS バイブラインプロセッサ	東京工業大学大学院情報理工学研究科 東京工業大学工学部	高前田 (山崎) 伸也, 藤枝 直輝, 吉瀬 謙二 浅野 悠	106
分岐予測切替つき 32 ビット MIPS バイブラインプロセッサ	東京工業大学大学院情報理工学研究科	永塚 智之, 藤枝 直輝, 吉瀬 謙二	106
SRAM 回路 TEG	金沢大学大学院自然科学研究科	岡田 尚也, 深山 正幸, 松田 吉雄	106
3 次元積層ソリッド・ステート・ドライブ向け電源回路	中央大学理工学部 東京大学大学院工学系研究科	宮地 幸祐, 上口 光, 竹内 健 畑中 輝義	107
パワーインテグリティ評価チップ 1	芝浦工業大学工学部	市村 航, 小林 遼太, 久保 元樹	107
パワーインテグリティ評価チップ 2	芝浦工業大学工学部	市村 航, 小林 遼太, 久保 元樹	107
パワーインテグリティ評価チップ 3	芝浦工業大学工学部	市村 航, 小林 遼太, 久保 元樹	108
パワーインテグリティ評価チップ 4	芝浦工業大学工学部	市村 航, 小林 遼太, 久保 元樹	108
TDC と DCO の試作	会津大学大学院コンピュータ理工学研究科	伊藤 秀将, 東原 恒夫	108

平成 24 年度第 2 回ローム CMOS 0.18um 試作 (RO18122)

題 名	大 学 名	研 究 者	掲載頁
擬似的不規則画素配置を持つイメージセンサ	金沢大学理工学域	秋田 純一, 五十嵐 覚	109
フィードバックによる MEMS の PWM 制御に向けた実時間容量測定回路	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	児玉 和俊 池田 誠	109
注目領域画素並列検波処理による 3 次元形状取得向けイメージセンサ	東京大学工学部 東京大学大規模集積システム設計教育研究センター	松島 多佳彦 池田 誠	109



周波数及びスキュー変動機構を持つ内蔵発振器を用いた耐サイドチャンネル攻撃 AES 暗号回路	名城大学理工学部情報工学科	浅井 稔也, 吉川 雅弥	110
サイドチャンネル攻撃対策 AES 暗号回路に対するハードウェアロイの実装	名城大学大学院理工学研究科情報工学専攻 名城大学理工学部情報工学科	佐藤 隆亮 吉川 雅弥	110
降圧型 DC-DC コンバータ	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	柳原 裕貴, 吉岡 和顕, 森 雄章, 篠塚 康人, 高橋 亮, 更田 裕司, 桜井 貴康 高宮 真	110
磁気共鳴による無線電力伝送用回路向け位相検知回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	井口 俊太, 桜井 貴康 高宮 真	111
SFQ/CMOS ハイブリッドメモリ用 64-kb メモリ	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	桑原 啓太 吉川 信行	111
高感度 CMOS 差動増幅器と 6 相駆動断熱的回路と Static CMOS 回路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	石垣 敬之, 陳 賢珠 吉川 信行	111
ユークリッド距離・マンハッタン距離を高速かつ小面積に実現するデジタル並列型連想メモリの開発	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	マウシュ ハンス ユルゲン 佐々木 静龍, 赤澤 智信	112
小型弛張型発振器及び無線通信回路 TEG	豊橋技術科学大学大学院工学研究科 豊橋技術科学大学工学部	山根 駿也 秋田 一平	112
太陽電池アシストによる高効率 CMOS 整流回路の研究	東北大学大学院工学研究科	小谷 光司	112
高周波用アナログデバイスの TEG と低雑音増幅器 LNA 及びコルピッツ発振器による VCO の試作	中央大学大学院理工学部	高橋 俊市, 金子 成悟, 猪股 昇, 薬師寺 祐介, 杉本 泰博	113
集積化照度センサの設計・評価	慶應義塾大学理工学部	田村 圭太郎, 松本 佳宣	113
集積化カラーセンサの設計・評価	慶應義塾大学理工学部	平野 貴久, 松本 佳宣	113
遅延故障検出用テスト容易化回路および IC 間断線検査用回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院ソシオテクノサイエンス研究部	小西 朝陽, 榎本 浩之, 二宮 孝暢 四柳 浩之, 橋爪 正樹	114
アナログ回路ライブラリおよび素子評価 TEG の試作 (2)	高知工科大学工学部システム工学群 高知工科大学大学院基盤工学専攻	橋 昌良, 坂東 拓弥, 渡邊 勇磨 西面 尚彰	114
CMOS 基準電流および基準電圧発生回路	富山県立大学大学院工学研究科情報システム工学専攻 富山県立大学工学部情報システム工学科	朝野 風太 松田 敏弘, 岩田 栄之	114
LSI チップ内の温度分布の解析	富山県立大学大学院工学研究科情報システム工学専攻 富山県立大学工学部情報システム工学科	花井 大輝 松田 敏弘, 岩田 栄之	115
完全デジタル SRAM 動作測定回路	九州工業大学情報工学部	斎藤 貴彦, 後藤 弘明, 中村 和之	115
各種 SRAM 評価用 TEG	九州工業大学情報工学部	西山 智史, 山本 裕允, 伊見 仁, 中村 和之	115
ゲート酸化膜破壊評価回路	東京大学生産技術研究所	更田 裕司, 桜井 貴康	116
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科 明治大学理工学部	林 拓哉, 藤塚 純一, 小林 優太, 伊藤 遼, 石原 貴大 高野 真大, 安田 信孝, 林 鐘煥	116
多チャンネル皮膚脳波信号計測チップ	大阪大学生命機能研究科 広島大学先端物質科学研究科	鈴木 隆文, 安藤 博士 吉田 毅	116
電力解析攻撃対策を有する Dual-Rail RSL メモリ方式を利用した AES 暗号回路	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	浅川 俊介 汐崎 充 藤野 毅	117
2 線 R S L メモリ方式を用いた電力解析攻撃対策 AES 暗号回路の改良	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	柴谷 恵, 岩井 克彦, 浅川 俊介 汐崎 充 藤野 毅	117
0.18 μ m CMOS を用いたバッチクランプ測定システム, 及び単チップで動作するマイクロシステムのための電源回路	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	大野 隆一, 菊地 大樹, 大林 不器, 中山 涉, 安田 陽平 中野 誠彦	117
擬似ホール効果を利用した MOSFET 型応力検出センサ	山形大学大学院理工学研究科 山形大学工学部電気電子工学科	梅津 哲也, 原田 知親 竹内 宏介	118
高速処理を目指したスマートセンサアレイ	長野高専電気電子工学科	秋山 正弘	118
MINIMAX サンプリング AD 変換器	大阪大学情報科学研究科 神戸大学工学研究科	Homjakovs Igers, 橋本 昌宜, 尾上 孝雄 廣瀬 哲也	118
超低電力身体モニタリングシステムのための R-R 間隔検出デジタル回路の試作	兵庫県立大学院工学研究科 兵庫県立大学工学部 兵庫県立大学大学院工学研究科	田中 智也 松本 裕貴 新居 学, 神田 健介, 藤田 孝之, 前中 一介	119

トリプルウェルを用いた on-chip 太陽電池の集積化2	東洋大学総合情報学部	堀口 文男	119
オンチップ近傍磁界プローブ	東北大学大学院工学研究科	山口 正洋, 室賀 翔, 重田 洋二郎	119
CMOS プロセスを用いた E 級電力増幅回路の試作	東京理科大学大学院理工学研究科	藤岡 翔太, 結城 崇匡, 榎田 洋太郎	120
連続血糖値測定用ホールセンサ	豊橋技術科学大学電気・電子情報工学系	村上 裕二	120

平成24年度第3回ローム CMOS 0.18um 試作 (RO18123)

題 名	大 学 名	研 究 者	掲載頁
単電子トランジスタの電流測定のための微小電流測定回路	東京大学生産技術研究所	鈴木 龍太, 平本 俊郎	121
DBSCAN プロセッサ TEG	東京大学工学系研究科 東京大学 VDEC	島田 淳史, 柴田 直 朱 弘博	121
DBSCAN プロセッサ	東京大学工学系研究科 東京大学 VDEC	島田 淳史, 柴田 直 朱 弘博	121
宇宙用 CVSL 回路及び NAND ゲート NOR ゲート速度性能解析用実験回路の設計試作	静岡理工科大学理工学部	波多野 裕, 白井 哉秀, 木内 恭介, 石切山 真二	122
ラジカルセンサ/ReRAM 多値記録回路/オーバサンプリング DAC	金沢大学医薬保健研究域 金沢大学自然科学研究科 金沢大学理工研究域	中山 和也 河合 一樹 蟹屋敷 祐介, 北川 章夫	122
動的タイミングエラー検出回路の試作	早稲田大学高等研究所 早稲田大学理工学術院	史 又華 戸川 望, 柳澤 政生	122
位相検知回路、整流回路、及び、電源ノイズ評価回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	井口 俊太, 柳原 裕貴, 吉岡 和顕, 桜井 貴康 高宮 真	123
SFQ/CMOS ハイブリッドメモリ用 64-kb メモリ	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	桑原 啓太 吉川 信行	123
低温動作 CMOS 差動増幅器と 6 相リングカウンタと断熱的可逆演算器	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	石垣 敬之, 陳 賢珠, 井上 孔佑 吉川 信行	123
蓄積時間制御可能なイメージセンサの検証用チップ	東京理科大学工学研究科	宮本 佳昭, 浜本 隆之	124
スイッチトキャパシタ回路網による画像処理チップの開発1	大阪大学臨床医工学融合研究教育センター	亀田 成司	124
スイッチトキャパシタ回路網による画像処理チップの開発2	大阪大学臨床医工学融合研究教育センター	亀田 成司	124
介在細胞集団を有する CPG モデルおよび細胞体モデルの試作	日本大学理工学部	建部 達弥, 奥山 敦司, 小久保 智彬, 和田 生久真, 佐伯 勝敏, 関根 好文	125
低暗電流型フォトダイオードの特性評価用 TEG	茨城大学工学部	木村 孝之	125
学部 4 年生設計試作トレーニング	慶應義塾大学理工学部	黒田 忠広	125
アナログ回路用ライブラリおよび素子評価 TEG の試作 (3)	高知工科大学工学部システム工学群 高知工科大学大学院基盤工学専攻	橋 昌良, 坂東 拓弥, 渡邊 勇磨 西面 尚彰	126
DFT の電力評価および遅延測定評価	九州工業大学大学院情報工学研究院	佐藤 康夫, 梶原 誠司	126
$\Delta \Sigma$ Time to Digital Converter および LC Digital Controlled Oscillator の試作	法政大学工学研究科	嘉藤 貴博, 大関 寛之	126
LSI チップ内の温度分布および実使用状態での信頼性の解析	富山県立大学大学院工学研究科情報システム工学専攻 富山県立大学工学部情報システム工学科	市橋 和也, 花井 大輝 松田 敏弘, 岩田 栄之	127
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科 明治大学理工学部	林 拓哉, 高橋 康仁, 小林 優太, 伊藤 遼, 栗山 翔太郎 高野 真大	127
多チャンネル皮膚脳波信号計測チップ	大阪大学生命機能研究科 広島大学大学院先端物質科学研究科	鈴木 隆文, 安藤 博士 吉田 毅	127
超多チャンネル皮膚脳波信号計測のためのデジタル制御回路 TEG	大阪大学生命機能研究科	鈴木 隆文, 安藤 博士	128
電力解析攻撃対策のための乗算マスクと Dual-Rail RSL メモリ方式を利用した AES 暗号回路	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	鵜飼 慎太郎, 橋本 祐樹, 浅川 俊介 Hoang Anh-Tuan, 汐崎 充 藤野 毅	128
ヒアプログラマブルストラクチャード ASIC アーキテクチャ VPEX3 による DES 暗号回路実装	立命館大学理工学研究科 立命館大学理工学部	堀 遼平, 大谷 拓, 浅川 俊介 藤野 毅	128
0.18 μ m CMOS を用いたパッチクランプ測定システムの改良, 及び単チップで動作するマイクロシステムのための電源回路	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	大野 隆一, 菊地 大樹, 大林 不器, 中山 渉, 安田 陽平 中野 誠彦, 小野 東輝	129
人体活動モニタリングシステムの低消費電力化にむけた加速度情報処理用 ASIC	兵庫県立大学工学部 兵庫県立大学大学院工学研究科 兵庫県立大学[独]科学技術振興機構	松本 裕貴 田中 智也, 園田 晃司 藤田 孝之, 神田 健介, 前中 一介	129



しきい値補正型 CMOS 整流回路	北海道大学大学院情報科学研究科	池辺 将之	129
液中オンチップ微粒子操作用非接触給電・低消費電力集積回路	大阪大学大学院工学研究科	岸和田 泰, 崔 冀, 岩崎 紘介, 松岡 俊匡	130
高信頼演算器アレイ型アクセラレータ	奈良先端科学技術大学院大学情報科学研究科	齊藤 光俊, 姚 駿, 中島 康彦	130
MOSFET パラメータ基板バイアス効果評価 TEG	東京理科大学大学院理工学研究科	岸 俊樹, 榎田 洋太郎	130
コンプリメンタリ型電力増幅器の試作	東京理科大学理工学部 東京理科大学大学院理工学研究科	染谷 和 藤岡 翔太, 結城 崇匡, 榎田 洋太郎	131
Verilog HDL を用いた万能量子論理ゲートの小規模エミュレータ試作	琉球大学理工学研究科電気電子工学専攻 琉球大学工学部	十川 雄一郎 金城 光永, 島袋 勝彦	131
偏光光再構成型ゲートアレイ	静岡大学工学部	森脇 烈, 渡邊 実	131
パワーインテグリティ評価チップ 1	芝浦工業大学工学部	市村 航, 小林 遼太, 久保 元樹	132
パワーインテグリティ評価チップ 2	芝浦工業大学工学部	市村 航, 小林 遼太, 久保 元樹	132
CMOS アナログ回路設計評価のためのオペアンプ試作	自然科学研究機構分子科学研究所装置開発室 自然科学研究機構分子科学研究所	内山 功一, 吉田 久史, 豊田 朋範 宇理須 恒雄	132

平成24年度第4回ローム CMOS 0.18um 試作 (RO18124)

題 名	大 学 名	研 究 者	掲載頁
フォトダイオード・検波回路 TEG	東京大学工学部 東京大学大規模集積システム設計教育研究センター	松島 多佳彦 池田 誠	133
排他的論理和を利用した動き検出プロセッサ	立命館大学大学院理工学研究科	崔 英鮮, 山下 茂	133
磁気共鳴によるボード間無線電力伝送回路	東京大学生産技術研究所 東京大学大規模集積システム設計教育研究センター	森 雄章, 更田 裕司, 桜井 貴康 高宮 真	133
ユビキタスプロセッサ HCGorilla.8	弘前大学大学院理工学研究科電子情報工学コース	深瀬 政秋, 成田 一貴, 三村 直道, 高木 竜哉, 宮森 博也, 黒川 敦, 今井 雅	134
センサノード応用低雑音アンプ・電源回路・A/D変換器 TEG	豊橋技術科学大学院工学研究科 豊橋技術科学大学工学部	浅井 翔地, ハイビ ヒシャム, 岡澤 貴之 秋田 一平	134
コルピツク発振器による VCO の試作	中央大学大学院理工学部	高橋 俊市, 金子 成悟, 杉本 泰博	134
高速・高精度を実現する AD 変換回路のための要素ブロックの試作	中央大学大学院理工学部	小川 尚人, 大谷 浩平, 落合 洋夫, 桐生 健人, 杉本 泰博, 坂東 和馬	135
低電圧信号処理回路	慶應義塾大学理工学部	川村 恭平, 松本 佳宣	135
IC の遅延故障検出および電気検査のための容易化回路と Open-TEG 内蔵回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院ソシオテクノサイエンス研究部	西條 慎吾, 末永 翔平, 二宮 孝暢, 池地 大輔, 日下 敬雄, 小西 朝陽, 榎本 浩之 四柳 浩之, 橋爪 正樹	135
浮動小数点演算器	高知工科大学工学部システム工学群 高知工科大学工学研究科基盤工学専攻	橘 昌良 矢野 達彦	136
超低消費電力非同同期回路向けセルライブラリの構築	弘前大学理工学研究科	今井 雅	136
ゲート酸化膜破壊評価回路	東京大学生産技術研究所	更田 裕司, 桜井 貴康	136
一時故障・永久故障に強靱な多重化バイブラインプロセッサ	奈良先端科学技術大学院大学情報科学研究科 京都工芸繊維大学電子システム工学専攻	姚 駿, Yuttakonkit Yuttakon, 中島 康彦 岡田 翔伍, 増田 政基, 小林 和淑	137
CMOS 通信回路の試作	明治大学理工学研究科 明治大学理工学部	林 拓哉, 小林 直弘, 栗山 翔太郎, 魚住 和史, 熊谷 知也, 石原 貴大 衛藤 玄海, 金 帝淵	137
CMOS 超高周波通信回路実現のための試作	明治大学理工学研究科 明治大学理工学部	伊藤 遼 高野 真大	137
2線 R S L メモリ方式 AES 暗号回路の電磁波解析攻撃リークの評価回路	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	柴谷 恵, 浅川 俊介 汐崎 充 藤野 毅	138
0.18 μm CMOS プロセスを用いたマルチモード生体信号増幅回路及びオンチップ太陽電池用昇圧回路	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	安田 陽平, 菊地 大樹, 野村 一樹 小野 東輝, 田中 誠一, 坪井 俊樹, 中野 誠彦	138
トリプルウェルを用いた on-chip 太陽電池の集積化 3	東洋大学総合情報学部	堀口 文男	138

トリプルウェルを用いた on-chip 太陽電池の集積化 4	東洋大学総合情報学部	堀口 文男	139
磁性薄膜によるイントラデカップリング性能評価のためのオンチップコイル	東北大学大学院工学研究科	山口 正洋, 室賀 翔, 重田 洋二郎	139
磁性薄膜による伝導ノイズ抑制効果評価のための模擬配線群	東北大学大学院工学研究科	山口 正洋, 室賀 翔, 重田 洋二郎	139
レジスタ共有型回路と Huddle-based Distributed Register (HDR) アーキテクチャ回路	早稲田大学基幹理工学部 早稲田大学大学院基幹理工学研究科	戸川 望 阿部 晋矢	140
包絡線パルス密度変調に用いる D 級電力増幅回路の試作	東京理科大学理工学部	飯倉 祥晴, 染谷 和, 樺田 洋太郎	140
MOSFET パラメータ基板バイアス効果評価 TEG	東京理科大学大学院理工学研究科	岸 俊樹, 樺田 洋太郎	140
連続血糖値測定用ホールセンサアレイ	豊橋技術科学大学電気・電子情報工学系	村上 裕二	141

3. 2 チップ種別一覧

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
ES65121	MOS FETおよび配線の信頼性評価用TEG	三浦 克介, 中前 幸治, 黒川 敦	76
ES65124	閾値近傍までのDVFSを実現するセルベース回路構成技術の開発	小野寺 秀俊, 石原 亨, 西澤 真一, Islam A.K.M. Mahfuzul, 釜江 典裕, 近藤 正大, 修 斉	78
ES65124	フリップ・フロップおよび離散コサイン変換回路の最小動作電圧分布測定回路	川島 潤也, 藤田 隆史, 筒井 弘, 越智 裕之, 佐藤 高史	78
ES65124	トランジスタ特性の時間変化測定回路	栗野 皓光, 清水 裕史, 李志, 筒井 弘, 越智 裕之, 佐藤 高史	78
ES65127	NBTI・RTNIに強靱な回路設計手法の提案	松本 高士, 三木 淳司, 小野寺 秀俊	80
ES65127	DVFSを対象としたセルベース設計技術の開発および評価用TEG	Islam A.K.M Mahfuzul, 西澤 真一, 釜江 典裕, 近藤 正大, 西村 彰平, 石原 亨, 小野寺 秀俊	81
OS0812	演算増幅器等の試作	上村 通誉, 外山 貴子, 下山 正家, 春山 沙和, 淡野 公一	84
OS0812	パルス形ハードウェアニューラルネットワークの素子特性測定用TEG	谷田 純一, 高浜 詩帆, 関根 好文, 内木場 文男, 齊藤 健	85
OS0812	リングオシレータTEG	小松 聡	86
RO18115	宇宙用CVSL回路及びNANDゲートNORゲート速度性能解析用実験回路の設計試作	波多野 裕, 犬塚 健也, 工藤 寛人	89
RO18115	スペクトラムセンサTEG	水井 彩香, 北川 章夫	89
RO18115	高効率な電源回路	篠塚 康人, 石田 光一, 桜井 貴康, 高宮 真	90
RO18115	遅延時間ばらつきからデバイス固有情報を出力するTEGチップ	浅川 俊介, 汐崎 充, 藤野 毅	92
RO18115	遅延時間ばらつきからデバイス固有情報を出力するTEGチップ	浅川 俊介, 汐崎 充, 藤野 毅	93
RO18115	MOSFETパラメータ評価TEG	岸 俊樹, 藤岡 翔太, 榎田 洋太郎	95
RO18115	PLL要素回路(位相比較器, 電圧制御型発振回路)搭載TEG	水野 順貴, 酒見 謙一, 吉村 勉, 松田 吉雄	96
RO18121	高効率な電源回路と超低電圧発振回路	篠塚 康人, アン ミンヨン, 桜井 貴康, 高宮 真	99
RO18121	磁気共鳴によるボード間無線電力伝送用回路	井口 俊太, 石田 光一, 桜井 貴康, 高宮 真	99
RO18121	高効率な電源回路と超低電圧発振回路	篠塚 康人, アン ミンヨン, 桜井 貴康, 高宮 真	100
RO18121	遅延時間差検出型アービター-PUF回路	菅谷 周平, 谷口 雅人, 浅川 俊介, 汐崎 充, 藤野 毅	103
RO18121	漏洩電磁波を用いたサイドチャネル攻撃のリーク要因調査用TEGチップ	浅川 俊介, 汐崎 充, 藤野 毅	103
RO18121	トリプルウェルを用いたon-chip太陽電池の集積化1	堀口 文男	104
RO18121	MOSFETパラメータ基板バイアス効果評価TEG	岸 俊樹, 榎田 洋太郎	105
RO18122	降圧型DC-DCコンバータ	柳原 裕貴, 吉岡 和顕, 森 雄章, 篠塚 康人, 高橋 亮, 更田 裕司, 桜井 貴康, 高宮 真	110
RO18122	磁気共鳴による無線電力伝送用回路向け位相検知回路	井口 俊太, 桜井 貴康, 高宮 真	111
RO18122	太陽電池アシストによる高効率CMOS整流回路の研究	小谷 光司	112
RO18122	遅延故障検出用テスト容易化回路およびIC間断線検査用回路の試作	小西 朝陽, 榎本 浩之, 二宮 孝暢, 四柳 浩之, 橋爪 正樹	114
RO18122	LSIチップ内の温度分布の解析	花井 大輝, 松田 敏弘, 岩田 栄之	115
RO18122	完全デジタルSRAM動作測定回路	斎藤 貴彦, 後藤 弘明, 中村 和之	115
RO18122	各種SRAM評価用TEG	西山 智史, 山本 裕允, 伊見 仁, 中村 和之	115
RO18122	ゲート酸化膜破壊評価回路	更田 裕司, 桜井 貴康	116
RO18122	電力解析攻撃対策を有するDual-Rail RSL メモリ方式を利用したAES暗号回路	浅川 俊介, 汐崎 充, 藤野 毅	117
RO18122	トリプルウェルを用いたon-chip太陽電池の集積化2	堀口 文男	119
RO18122	オンチップ近傍磁界プローブ	山口 正洋, 室賀 翔, 重田 洋二郎	119
RO18122	連続血糖値測定用ホールセンサ	村上 裕二	120
RO18123	宇宙用CVSL回路及びNANDゲートNORゲート速度性能解析用実験回路の設計試作	波多野 裕, 白井 哉秀, 木内 恭介, 石切山 真二	122
RO18123	動的タイミングエラー検出回路の試作	史 又華, 戸川 望, 柳澤 政生	122
RO18123	位相検知回路、整流回路、及び、電源ノイズ評価回路	井口 俊太, 柳原 裕貴, 吉岡 和顕, 桜井 貴康, 高宮 真	123
RO18123	低暗電流型フォトダイオードの特性評価用TEG	木村 孝之	125
RO18123	DFTの電力評価および遅延測定評価	佐藤 康夫, 梶原 誠司	126
RO18123	LSIチップ内の温度分布および実使用状態での信頼性の解析	市橋 和也, 花井 大輝, 松田 敏弘, 岩田 栄之	127
RO18123	超多チャネル皮膚脳波信号計測のためのデジタル制御回路TEG	鈴木 隆文, 安藤 博士	128
RO18123	MOSFETパラメータ基板バイアス効果評価TEG	岸 俊樹, 榎田 洋太郎	130

RO18123	Verilog HDLを用いた万量子論ゲートの小規模エミュレータ試作	十川 雄一郎, 金城 光永, 島袋 勝彦	131
RO18123	CMOSアナログ回路設計評価のためのオペアンプ試作	内山 功一, 吉田 久史, 豊田 朋範, 宇理須 恒雄	132
RO18124	フォトダイオード・検波回路TEG	松島 多佳彦, 池田 誠	133
RO18124	磁気共鳴によるボード間無線電力伝送用回路	森 雄章, 更田 裕司, 桜井 貴康, 高宮 真	133
RO18124	ICの遅延故障検出および電気検査のための容易化回路とOpenTEG内蔵回路の試作	西條 慎吾, 末永 翔平, 二宮 孝暢, 池地 大輔, 日下 敬雄, 小西 朝陽, 榎本 浩之, 四柳 浩之, 橋爪 正樹	135
RO18124	超低消費電力非同期式回路向けセルライブラリの構築	今井 雅	136
RO18124	ゲート酸化膜破壊評価回路	更田 裕司, 桜井 貴康	136
RO18124	トリプルウェルを用いたon-chip太陽電池の集積化3	堀口 文男	138
RO18124	トリプルウェルを用いたon-chip太陽電池の集積化4	堀口 文男	139
RO18124	磁性薄膜によるイントラデカップリング性能評価のためのオンチップコイル	山口 正洋, 室賀 翔, 重田 洋二郎	139
RO18124	磁性薄膜による伝導ノイズ抑制効果評価のための模擬配線群	山口 正洋, 室賀 翔, 重田 洋二郎	139
RO18124	MOSFETパラメータ基板バイアス効果評価TEG	岸 俊樹, 榎田 洋太郎	140
RO18124	連続血糖値測定用ホールセンサアレイ	村上 裕二	141

アナデジ混載

ラン名	タイトル	研究者	掲載頁
ES65127	テスト容易化回路	新津 葵一, 大澤 優介, 針谷 尚裕, 平林 大樹, 小林 春夫	82
ES65127	低ジッタ周波数制御型省面積TDC	小西 恵大, 奥野 圭祐, 和泉 慎太郎, 吉本 雅彦, 川口 博	82
ES65127	UWBレーダ用超高速サンプリング回路	十河 健太, 王 密田, アズハリ アフリン, 吉川 公麿	82
OS0812	デジタル制御発信器(DCO)テスト回路	外谷 昭洋	86
RO18115	デジタル補正技術を用いた小型計装アンプ	秋田 一平	91
RO18115	ピアプログラマブルなアナログフロントエンド回路VPA	上田 佳祐, 菅谷 周平, 藤野 毅, 堀 遼平, 汐崎 充	93
RO18122	多チャンネル皮質脳波信号計測チップ	鈴木 隆文, 安藤 博士, 吉田 毅	116
RO18123	単電子トランジスタの電流測定のための微小電流測定回路	鈴木 龍太, 平本 俊郎	121
RO18123	ラジカルセンサ/ReRAM多値記録回路/オーバサンプリングDAC	中山 和也, 河合 一樹, 蟹屋敷 祐介, 北川 章夫	122
RO18123	多チャンネル皮質脳波信号計測チップ	鈴木 隆文, 安藤 博士, 吉田 毅	127
RO18123	しきい値補正型CMOS整流回路	池辺 将之	129
RO18124	センサノード応用低雑音アンプ・電源回路・A/D変換器TEG	浅井 翔地, ハイビ ヒシヤム, 岡澤 貴之, 秋田 一平	134

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
ES65121	信頼性可変粒度複合型再構成デバイス	Alnajjar Dawood, 郡浦 宏明, 橋本 昌宜, 尾上 孝雄, 密山 幸男, 嶋田 創, 小林 和淑, 小野寺 秀俊	77
ES65127	実時間画像認識のための局所特徴量抽出エンジン	水野 孝祐, 高木 健太, 和泉 慎太郎, 川口 博, 吉本 雅彦	82
OS0812	MEMSマイクロロボット歩行動作制御のための振動パターンを生成するパルス形ハードウェアニューラルネットワーク	高浜 詩帆, 関根 好文, 内木場 文男, 齊藤 健	84
RE4012	1024ビット自己同期型RSAエンジン	Devlin Benjamin, 池田 誠	74
RO18115	ソフトサーモメタコードを用いたパルス幅制御型DLL	名倉 徹, 浅田 邦博	88
RO18115	低電圧CMOSアナログ回路の試作	魚住 和史, 熊谷 知也, 小林 優太, 高橋 康仁, 林 拓哉, 伊藤 遼, 石原 貴大, 小林 直弘	92
RO18115	パワーインテグリティ評価チップ1	市村 航, 小林 遼太, 久保 元樹	96
RO18121	高精度バイオテレメトリーチップ	宮本 直人	98
RO18121	A Fully Parallel Analog VLSI Processor for Implementing SVDD Algorithm	張 任遠, 柴田 直	99
RO18121	低電圧CMOSアナログ回路の試作	魚住 和史, 小林 優太, 林 拓哉, 藤塚 純一, 石原 貴大, 藤井 達矢, 安田 信孝	103
RO18121	パワーインテグリティ評価チップ1	市村 航, 小林 遼太, 久保 元樹	107
RO18121	パワーインテグリティ評価チップ2	市村 航, 小林 遼太, 久保 元樹	107
RO18121	パワーインテグリティ評価チップ3	市村 航, 小林 遼太, 久保 元樹	108
RO18121	パワーインテグリティ評価チップ4	市村 航, 小林 遼太, 久保 元樹	108
RO18122	低電圧CMOSアナログ回路の試作	林 拓哉, 藤塚 純一, 小林 優太, 伊藤 遼, 石原 貴大, 高野 真大, 安田 信孝, 林 鐘煥	116

RO18122	MINIMAXサンプリングAD変換器	Homjakovs Igors, 橋本 昌宜, 尾上 孝雄, 廣瀬 哲也	118
RO18122	超低電力身体モニタリングシステムのためのR-R間隔検出デジタル回路の試作	田中 智也, 松本 裕貴, 新居 学, 神田 健介, 藤田 孝之, 前中 一介	119
RO18123	スイッチトキャパシタ回路網による画像処理チップの開発1	亀田 成司	124
RO18123	スイッチトキャパシタ回路網による画像処理チップの開発2	亀田 成司	124
RO18123	低電圧CMOSアナログ回路の試作	林 拓哉, 高橋 康仁, 小林 優太, 伊藤 遼, 栗山 翔太郎, 高野 真大	127
RO18123	人体活動モニタリングシステムの低消費電力化にむけた加速度情報処理用ASIC	松本 裕貴, 田中 智也, 園田 晃司, 藤田 孝之, 神田 健介, 前中 一介	129
RO18123	パワーインテグリティ評価チップ1	市村 航, 小林 遼太, 久保 元樹	132
RO18123	パワーインテグリティ評価チップ2	市村 航, 小林 遼太, 久保 元樹	132
RO18124	CMOS通信回路の試作	林 拓哉, 小林 直弘, 栗山 翔太郎, 魚住 和史, 熊谷 知也, 石原 貴大, 衛藤 玄海, 金 帝淵	137
RO18124	レジスタ共有型回路とHuddle-based Distributed Register (HDR) アーキテクチャ回路	戸川 望, 阿部 晋矢	140

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
ES65116	Stochastic Comparator Group as Process Monitor, Time-to-Digital Converter, and Analog-to-Digital Converter	James Tandon, Satoshi Komatsu, Kunihiro Asada, Takahiro Yamaguchi	75
ES65116	10MHz-6.6GHzマルチバンドLC-PLL	岡田 健一	75
ES65121	Stochastic Comparator Group with 3GHz PRBS test fixture and Transmission Line Clock Delay Lines.	James Tandon, Satoshi Komatsu, Kunihiro Asada, Takahiro Yamaguchi	77
ES65127	ソフトサーモメタコードを用いたパルス幅制御型DLL	名倉 徹, 浅田 邦博	80
ES65127	完全デジタル時間差記憶再生回路とそれを用いたTime-to-Digital Converter	染谷 晃基, 飯塚 哲也	80
OS0812	パルス形ハードウェアニューロンモデルの試作	石川 敏揮, 関根 好文	84
OS0812	差動伝送信号線路と位相同期ループ回路の試作	保原 秀康, 楊 曉帆, 萱野 良樹, 井上 浩	85
OS0812	電圧制御発振器	藤本 邦昭, 原田 裕二郎	85
OS0812	アナログ回路および素子評価TEGの試作	蓬田 拓夢	86
RO18115	MEMS混載LSIの制御に適した容量測定回路	児玉 和俊, 池田 誠	88
RO18115	CMOSイメージセンサのための非線形Single-slope ADC	矢部 紘貴, 池田 誠	88
RO18115	離散 $\Delta\Sigma$ ADC	北原 義大, 清水 祐希, 西勝 聡	92
RO18115	0.18 μ mCMOSプロセスを用いたマルチモード生体信号増幅回路	安田 陽平, 大野 隆一, 中村 拓也, 中野 誠彦	94
RO18115	(1)Self-cascode MOSFETs with a Self-biased Body Effect for Ultra-low-power Voltage Reference Generator;(2)A Nano-power Switched-capacitor Voltage Reference using MOS Body effect in Application for Subthreshold LSI;(3)A Low Power Dissipation Real Time Counter for Sensor Network Application	張 浩, 張 藝蒙, 吉原 務	94
RO18115	高調光・高効率LED制御回路	陳 民傑, 吉原 務	94
RO18115	TDCとDCOの試作	伊藤 秀将, 東原 恒夫, 田村 涉	97
RO18121	インピーダンス計測回路	二川 雅登, 秋田 一平	101
RO18121	コルピッツ発振器によるVCOの試作	高橋 俊市, 金子 成悟, 杉本 泰博, 坂東 和馬	101
RO18121	アナログ回路用ライブラリおよび素子評価TEGの試作(1)	橋 昌良, 坂東 拓弥, 渡邊 勇磨, 西面 尚彰	102
RO18121	ワンチップ動作マイクロシステム用オンチップ太陽電池の設計	菊地 大樹, 中山 涉, 中野 誠彦	104
RO18121	3次元積層ソリッド・ステート・ドライブ向け電源回路	宮地 幸祐, 上口 光, 竹内 健, 畑中 輝義	107
RO18121	TDCとDCOの試作	伊藤 秀将, 東原 恒夫	108
RO18122	フィードバックによるMEMSのPWM制御に向けた実時間容量測定回路	児玉 和俊, 池田 誠	109
RO18122	小型弛張型発振器及び無線通信回路TEG	山根 駿也, 秋田 一平	112
RO18122	アナログ回路用ライブラリおよび素子評価TEGの試作(2)	橋 昌良, 坂東 拓弥, 渡邊 勇磨, 西面 尚彰	114
RO18122	CMOS基準電流および基準電圧発生回路	朝野 風太, 松田 敏弘, 岩田 栄之	114
RO18122	0.18 μ mCMOSを用いたパッチクランプ測定システム,及び単チップで動作するマイクロシステムのための電源回路	大野 隆一, 菊地 大樹, 大林 不器, 中山 涉, 安田 陽平, 中野 誠彦	117
RO18123	介在細胞集団を有するCPGモデルおよび細胞体モデルの試作	建部 達弥, 奥山 敦司, 小久保 智彬, 和田 生久真, 佐伯 勝敏, 関根 好文	125
RO18123	アナログ回路用ライブラリおよび素子評価TEGの試作(3)	橋 昌良, 坂東 拓弥, 渡邊 勇磨, 西面 尚彰	126

RO18123	$\Delta \Sigma$ Time to Digital ConverterおよびLC Digital Controlled Oscillatorの試作	嘉藤 貴博, 大関 寛之	126
RO18123	0.18 μ mCMOSを用いたパッチクランプ測定システムの改良,及び単チップで動作するマイクロシステムのための電源回路	大野 隆一, 菊地 大樹, 大林 不器, 中山 渉, 安田 陽平, 中野 誠彦, 小野 東輝	129
RO18124	高速・高精度を実現するAD変換回路のための要素ブロックの試作	小川 尚人, 大谷 浩平, 落合 洋夫, 桐生 健人, 杉本 泰博, 坂東 和馬	135
RO18124	0.18 μ mCMOSプロセスを用いたマルチモード生体信号増幅回路及びオンチップ太陽電池用昇圧回路	安田 陽平, 菊地 大樹, 野村 一樹, 小野 東輝, 田中 誠一, 坪井 俊樹, 中野 誠彦	138

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
ES65127	3次元形状取得を効率化するためのCMOSイメージセンサチップ	矢部 紘貴, 池田 誠	80
RO18115	液中オンチップ微粒子操作非接触給電・低消費電力集積回路	岸和田 泰, 上田 瞬, 宮脇 祐介, 松岡 俊匡	95
RO18121	シーン理解システムに向けた分割撮像原理に基づくCMOSイメージセンサの実証実験用チップ	大高 俊徳, 山崎 智裕, 浜本 隆之	101
RO18122	擬似的不規則画素配置を持つイメージセンサ	秋田 純一, 五十嵐 覚	109
RO18122	注目領域画素並列検波処理による3次元形状取得向けイメージセンサ	松島 多佳彦, 池田 誠	109
RO18122	集積化照度センサの設計・評価	田村 圭太郎, 松本 佳宣	113
RO18122	集積化カラーセンサの設計・評価	平野 貴久, 松本 佳宣	113
RO18122	擬似ホール効果を利用したMOSFET型応力検出センサ	梅津 哲也, 原田 知親, 竹内 宏介	118
RO18122	高速処理を目指したスマートセンサアレイ	秋山 正弘	118
RO18123	蓄積時間制御が可能なイメージセンサの検証用チップ	宮本 佳昭, 浜本 隆之	124
RO18123	液中オンチップ微粒子操作非接触給電・低消費電力集積回路	岸和田 泰, 崔 冀, 岩崎 紘介, 松岡 俊匡	130

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
RO18123	偏光光再構成型ゲートアレイ	森脇 烈, 渡邊 実	131

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
ES65124	自己性能補償機構を持つ組み込みプロセッサ	橋本 昌宜, 樋口 裕磨, 上野 美保, 尾上 孝雄	79
ES65127	HEVC/H.265向けの高性能FME動き予測LSI	後藤 敏, 周 大江, 何 剛	83
RE4012	3-gramに対応できる実時間6万語連続音声認識のためのHMM(GMM+Viterbi)プロセッサ	何 光霽, 宮本 優貴, 和泉 慎太郎, 川口 博, 吉本 雅彦	74
RO18115	Self-Adaptive Quasi-Gaussian Circuits for Analog On-Chip-Trainable Multi-Class Classifiers	夏 文軍, 柴田 直	89
RO18115	16bitマイコンの試作:大学院創造工房セミナーでのチップ試作実習	古谷 拓之, 北道 淳司	91
RO18121	SLID	Le Duc Hung, 逢田 拓夢	102
RO18121	デジタル回路および素子評価TEGの試作	Hoang Van Phuc, 逢田 拓夢	102
RO18121	32ビットMIPSパイプラインプロセッサ	高前田 (山崎) 伸也, 藤枝 直輝, 吉瀬 謙二, 浅野 悠	106
RO18121	分岐予測切替えつき32ビットMIPSパイプラインプロセッサ	永塚 智之, 藤枝 直輝, 吉瀬 謙二	106
RO18123	DBSCANプロセッサ	島田 淳史, 柴田 直, 朱 弘博	121
RO18123	高信頼演算器アレイ型アクセラレータ	齊藤 光俊, 姚 駿, 中島 康彦	130
RO18124	排他的論理和を利用した動き検出プロセッサ	崔 英鮮, 山下 茂	133
RO18124	ユビキタスプロセッサHCgorilla.8	深瀬 政秋, 成田 一貴, 三村 直道, 高木 竜哉, 宮森 博也, 黒川 敦, 今井 雅	134
RO18124	コルピッツ発振器によるVCOの試作	高橋 俊市, 金子 成悟, 杉本 泰博	134
RO18124	一時故障・永久故障に強靱な多重化パイプラインプロセッサ	姚 駿, Yuttakonkit Yuttakon, 中島 康彦, 岡田 翔伍, 増田 政基, 小林 和淑	137

メモリ

ラン名	タイトル	研究者	掲載頁
ES65127	ユークリッド距離・マンハッタン距離を高速かつ小面積に実現するデジタル並列型連想メモリの開発	マタウシュ ハンス ユルゲン, 佐々木 静龍, 赤澤 智信, 安 豊偉	81
RO18115	SFQ/CMOSハイブリッドメモリ用64-kbメモリ	桑原 啓太, 吉川 信行	90
RO18121	SFQ/CMOSハイブリッドメモリ用64-kbメモリ	桑原 啓太, 吉川 信行	100
RO18121	SRAM回路TEG	岡田 尚也, 深山 正幸, 松田 吉雄	106
RO18122	SFQ/CMOSハイブリッドメモリ用64-kbメモリ	桑原 啓太, 吉川 信行	111
RO18122	ユークリッド距離・マンハッタン距離を高速かつ小面積に実現するデジタル並列型連想メモリの開発	マタウシュ ハンス ユルゲン, 佐々木 静龍, 赤澤 智信	112
RO18123	SFQ/CMOSハイブリッドメモリ用64-kbメモリ	桑原 啓太, 吉川 信行	123

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
ES65116	信頼性可変粒度複合型再構成デバイス	Alnajjar Dawood, 郡浦 宏明, 橋本 昌宜, 尾上 孝雄, 密山 幸男	75
RO18115	高周波数特性測定用アンプと6相駆動断熱的インバータ	石垣 敬之, 陳 賢珠, 吉川 信行	90
RO18115	電力解析攻撃対策を有するDual-Rail RSL メモリ方式を利用したAES暗号回路	橋本 祐樹, 浅川 俊介, 汐崎 充, 藤野 毅	93
RO18121	高感度CMOS差動増幅器と4相断熱的回路と6相駆動断熱的回路	石垣 敬之, 陳 賢珠, 吉川 信行	100
RO18121	精度低下検出可能な浮動小数点演算器	安仁屋 宗石, 北村 俊明	104
RO18122	周波数及びスキュー変動機構を持つ内蔵発振器を用いた耐サイドチャンネル攻撃AES暗号回路	浅井 稔也, 吉川 雅弥	110
RO18122	サイドチャンネル攻撃対策AES暗号回路に対するハードウェアトロイの実装	佐藤 隆亮, 吉川 雅弥	110
RO18122	高感度CMOS差動増幅器と6相駆動断熱的回路とStatic CMOS回路	石垣 敬之, 陳 賢珠, 吉川 信行	111
RO18122	2線RSLメモリ方式を用いた電力解析攻撃対策AES暗号回路の改良	柴谷 恵, 岩井 克彦, 浅川 俊介, 汐崎 充, 藤野 毅	117
RO18123	DBSCANプロセッサTEG	島田 淳史, 柴田 直, 朱 弘博	121
RO18123	低温動作CMOS差動増幅器と6相リングカウンタと断熱的可逆演算器	石垣 敬之, 陳 賢珠, 井上 孔佑, 吉川 信行	123
RO18123	電力解析攻撃対策のための乗算マスクとDual-Rail RSL メモリ方式を利用したAES暗号回路	鵜飼 慎太郎, 橋本 祐樹, 浅川 俊介, Hoang Anh-Tuan, 汐崎 充, 藤野 毅	128
RO18123	ピアプログラマブルストラクチャードASICアーキテクチャVPEX3によるDES暗号回路実装	堀 遼平, 大谷 拓, 浅川 俊介, 藤野 毅	128
RO18124	低電圧信号処理回路	川村 恭平, 松本 佳宣	135
RO18124	浮動小数点演算器	橋 昌良, 矢野 達彦	136
RO18124	2線RSLメモリ方式AES暗号回路の電磁波解析攻撃リークの評価用回路	柴谷 恵, 浅川 俊介, 汐崎 充, 藤野 毅	138

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
ES65121	高速ロックを実現する完全デジタル型クロック・データ・リカバリ回路	飯塚 哲也, 浅田 邦博	76
ES65124	超低電力RF要素回路	益 一哉, 石原 昇, 伊藤 浩之	79
ES65127	パッケージ間高速通信用送受信回路	小菅 敦丈, 田口 眞男, 黒田 忠広	81
ES65127	低電力 RF CMOS回路の追求	益 一哉, 石原 昇, 伊藤 浩之	81
RO18115	可視光通信用光受信回路	藤代 瞬也, 松本 佳宣	91
RO18115	CMOSプロセスを用いた残留キャリア引き抜き回路の試作	岸 俊樹, 藤岡 翔太, 榎田 洋太郎	96
RO18121	CMOSプロセスを用いたモニター付き直列均等分圧型残留キャリア引き抜き回路の試作	岸 俊樹, 榎田 洋太郎	105
RO18121	高機能ネットワークオンチップルータ	高前田 (山崎) 伸也, 五十嵐 俊哉, 藤枝 直輝, 吉瀬 謙二	105
RO18122	高周波用アナログデバイスのTEGと低雑音増幅器LNA及びコルピッツ発振器によるVCOの試作	高橋 俊市, 金子 成悟, 猪股 昇, 業師寺 祐介, 杉本 泰博	113
RO18122	CMOSプロセスを用いたE級電力増幅回路の試作	藤岡 翔太, 結城 崇匡, 榎田 洋太郎	120
RO18123	コンプリメンタリ型電力増幅器の試作	染谷 和, 藤岡 翔太, 結城 崇匡, 榎田 洋太郎	131
RO18124	CMOS超高周波通信回路実現のための試作	伊藤 遼, 高野 真大	137
RO18124	包絡線パルス密度変調に用いるD級電力増幅回路の試作	飯倉 祥晴, 染谷 和, 榎田 洋太郎	140

その他

ラン名	タイトル	研究者	掲載頁
ES65121	A Self Synchronous FPGA with Leakage Control for 270mV Sub-threshold Operation	デブリン ベンジャミン, 池田 誠, 浅田 邦博	76
OS0812	3次元積層ソリッド・ステート・ドライブの書き込み電圧生成回路向けオンチップインダクタ	上口 光, 竹内 健, 畑中 輝義	87
RO18115	光伝送用高速光検出器および光ディスク用分割光検出器	霜鳥 敏之, 丸山 武男, 飯山 宏一	95
RO18121	オフチップデキャップ評価用のコア回路	名倉 徹, 浅田 邦博	98
RO18121	DVSにおける電源共振ノイズ低減のためのアクティブチャージシェアリング回路	齊藤 総, 飯塚 哲也, 名倉 徹, 浅田 邦博	98
RO18123	学部4年生設計試作トレーニング	黒田 忠広	125

3. 3 各チップの詳細

平成24年度ルネサスエレクトロニクスCMOS 40nm 試作（経産省－STARCプロジェクト） （RE4012）

3-gramに対応できる実時間6万語彙連続音声認識のためのHMM（GMM+Viterbi）プロセッサ

神戸大学システム情報学研究所 何光霽, 宮本 優貴, 和泉 慎太郎, 川口 博, 吉本 雅彦

概要：高速、低消費電力かつ高精度で6万語彙連続音声認識を実現するために、8-パスViterbi単語間遷移並列アーキテクチャを提案した。また、探索処理において第2パスに3-gram処理を用いることで、認識精度を2-gramのみの場合より約2%向上できた。40nmプロセスで提案HMM（GMM+Viterbi）プロセッサ（HMM3）を試作した。実時間処理に必要な62.5MHz動作時の消費電力は54.8mWであった。また、標準電圧（1.1V）、動作周波数200MHzにおいて3倍速動作を確認した。その時の消費電力は177.4mWであった。

参考文献：[1] G. He, T. Sugahara, Y. Miyamoto, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "A 40-nm 168-mW 2.4×-Real-Time VLSI Processor for 60-kWord Continuous Speech Recognition," IEEE Custom Integrated Circuits Conference (CICC), pp.1-4, Sep. 2012.

設計期間：7ヶ月以上、8ヶ月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, トランジスタ数：1,000,000~10,000,000 試作ラン：ルネサスエレクトロニクス CMOS 40nm 5mmx2.5mm チップ チップ種別：マイクロプロセッサ

1024ビット自己同期型RSAエンジン

東京大学工学系研究所 Devlin Benjamin

東京大学大規模集積システム設計教育研究センター 池田 誠

概要：自己同期型演算回路（SSPE）、自己同期型制御回路、自己同期型キーバッファにより完全にクロックなしで動作する1024ビットRSAエンジンを実現。High-to-Low（HTL）アルゴリズムおよびMontgomery Power Ladder（MPL）アルゴリズムにより実装し、いずれも正常な動作による暗号化の実現を確認するとともに、電流波形から耐タンパー性に優れていることを実測により示した。制御ブロック、および1ビット分のPEに関しては、自己同期ハンドシェイクも含めてVerilogのシミュレーションモデルを構築することでHDLにより設計したうえで、ネットリストを作成し、配置配線により実装した。フルチップへの実装は、それらをタイルによりつなぎ合わせることで実現している。

参考文献：B. S. Devlin, H. Mori, S. Miyauchi, M. Ikeda and K. Asada, "Performance and Side-channel Attack Analysis of a Self Synchronous Montgomery Multiplier Processing Element for RSA in 40nm CMOS," Asian Solid-State Circuits Conference (A-SSCC 2012), pp. 385-388, Nov. 2012.

設計期間：2ヶ月以上、3ヶ月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 HSIM, トランジスタ数：100,000~1,000,000 試作ラン：ルネサスエレクトロニクス CMOS 40nm 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

平成24年2月e-Shuttle CMOS 65nm 試作 (ES65116)

Stochastic Comparator Group as Process Monitor, Time-to-Digital Converter, and Analog-to-Digital Converter

VLSI Design and Education Center, University of Tokyo James Tandon, Satoshi Komatsu, Kunihiro Asada
Advantest Laboratories Takahiro Yamaguchi

概要 : The chip contains a stochastic comparator group that can be also used as athreshold voltage variation monitor, time-to-digital converter, or analog-to-digital converter. The circuit is implemented as a stochastic group of rail-to-rail, clocked comparators that decide the polarity of the differential voltage. These 63 of 64 clocked comparator outputs are then summed together to compute a 6-bit output. The stochastic comparator group behaves as a process variation monitor when the mean and standard deviation of the comparator offset voltage are measured. This is done with DC measurements. When the comparators are given a steep input pulse for V_{in} , the stochastic comparator group behaves as a stochastic time-to-digital converter. The resolution is down to the subpicosecond range. Finally, it works as an equivalent time, stochastic sampling analog-to-digital converter. Using an equivalent time approach, the power consumption and area are significantly reduced. The chip was implemented in the 65 nanometer E-Shuttle process technology node. It was successfully tested with an effective equivalent time sampling rate of 230GS/s on a 23.0023MHz sine wave with 52dB SNDR.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Verilog-XL, Synopsys 社 Design Compiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Agilent 社 ADS, **トランジスタ数** : 10,000~100,000 **試作ラン** : e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)

10MHz-6.6GHz マルチバンド LC-PLL

東京工業大学大学院理工学研究科 岡田 健一

概要 : 10MHz-6.6GHz の直交出力が可能なソフトウェア無線 (SDR) 向け広帯域 PLL を実現した。無線通信には低位相雑音な LC 型の発振器が必要であるが、周波数チューニングレンジが狭いという課題がある。従来 SDR 用 PLL では、複数の LC 発振器を用いて所望周波数帯域を得ていたが、面積が大幅に増加することが問題であった。本研究では、分数分周が可能な注入同期周波数分周器 (ILFD) を使い、8-12GHz の周波数範囲を持つ VCO から 10MHz-6.6GHz の発振信号を取り出すことに成功した。ILFD は free-run 周波数を調整することでロック補償を行った。校正回路はデジタル回路により構成した。従来は 2 個以上の LC 型発振器が必要であったが、本方式では ILFD を利用することで 1 個の LC 発振器のみで済み、従来よりも低消費電力かつ省面積化を達成した。

参考文献 : [1] Deng, Musa, 岡田, 松澤, "A 0.38mm², 10MHz-6.6GHz Quadrature Frequency Synthesizer Using Fractional-N Injection-Locked Technique," A-SSCC, Nov. 2012

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Synopsys 社 Design Compiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA, Agilent 社 ADS, **トランジスタ数** : 1,000~10,000 **試作ラン** : e-Shuttle CMOS 65nm 2.1mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)

信頼性可変粒度複合型再構成デバイス

大阪大学情報科学研究科 Alnajjar Dawood, 郡浦 宏明, 橋本 昌宜, 尾上 孝雄

高知工科大学システム工学群 密山 幸男

概要 : トランジスタの微細化や集積度増加が指数オーグで進み NRE コストが高騰するなか、偶発故障等に対する半導体の高信頼性の確保が課題となっている。粗粒度再構成可能デバイスは ASIC 設計に比べてアプリケーション開発のコストが低く、FPGA に比べて構成情報ビット数が少ないためソフトウェア耐性が高いが、条件分岐やビット演算、制御処理も含むアプリケーションの実現が困難である。我々は、以前に開発・試作した信頼性可変粗粒度再構成可能アーキテクチャ [1] を改良し、粗粒度ブロックと再粒度ブロックを含む粒度複合型アーキテクチャを開発した。これにより、状態遷移機械が実装できるようになり、C ベース動作合成に対応した。本試作では、粒度複合型アーキテクチャを設計・実装した。しかし、試作チップの実機検証において、スキャンチェーンでホールド違反が発生して正常に構成情報がロードできないことが判明した。

参考文献 : D. Alnajjar, H. Konoura, Y. Ko, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Implementing Flexible Reliability in a Coarse Grained Reconfigurable Architecture," IEEE Transactions on VLSI Systems, in press.

設計期間 : 3 人月以上, 4 人月未満 **設計ツール** : Synopsys 社 VCS, Synopsys 社 Design Compiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 NanoSim, **トランジスタ数** : 1,000,000~10,000,000 **試作ラン** : e-Shuttle CMOS 65nm 4.2x2.1mm チップ **チップ種別** : 演算回路 (乗算器, 除算器など)

A Self Synchronous FPGA with Leakage Control for 270mV Sub-threshold Operation

東京大学工学系研究科 デ布林 ベンジャミン

東京大学大規模集積システム設計教育研究センター 池田 誠, 浅田 邦博

概要：According to the 2011 ITRS report, power-aware designs for mobile applications are increasing in demand, while target power consumption is still forecast to remain over 2x until at least 2026. To solve this problem, circuits that operate with reduced supply voltages, with low leakage currents can give the best energy efficient results, but operation in this subthreshold voltage area increases delay variation by several orders of magnitude. We have previously presented a Self Synchronous FPGA (SSFPGA) that uses autonomous power gating to reduce leakage. This approach allows for energy-efficient near-threshold operation, but at sub-threshold operation the Ion/Ioff ratio in the control circuits prevents operation past 370mV. For applications that require low-power rather than energy minimum operation, it is ideal to operate at sub-threshold voltages. In this research we use self synchronous operation with fine-grained pipeline stage to operate in the sub-threshold voltage region without such circuits. Each self synchronous dual-pipeline N and P stages uses DCVSL dual rail circuits, have single bit output per pipeline, and a single 2 phase completion detection (CD) circuit to allow for delay insensitive operation. N and P pipelines have identical circuits except that the CD signal is inverted in the N pipeline. A SSFPGA with a low overhead technique to reduce leakage autonomously in order to achieve correct sub-threshold operation. The SSFPGA is fabricated in 65nm CMOS and measurement results show operation down to 270mV, without any parameter tuning. Pipeline throughput and power consumed by the SSFPGA when programmed with a 16 block test chain is measured at 2.05GHz and 17.4MHz, 0.14W and 0.80mW, at 1.4V and 0.27V respectively.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Cadence 社 ASSURA, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, トランジスタ数：100,000~1,000,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：その他

高速ロックを実現する完全デジタル型クロック・データ・リカバリ回路

東京大学工学系研究科 飯塚 哲也

東京大学大規模集積システム設計教育研究センター 浅田 邦博

概要：近年、無線通信産業の成長はめざましく、集積回路の有線・無線通信分野における応用には大きな注目が集まっている。特に有線の高速通信の分野においてはクロックとデータを別の配線で伝送する方式では相互の遅延差が問題となり、特に並列に複数のデータパスを持つような場合には現実的でない。そのため、ランダムなデータ列から対応するクロック信号を復元するクロック・データ・リカバリ (CDR) 回路は必須の技術であり広く研究が行われている。CDR 回路は、従来 PLL を応用したアナログ回路による構成が一般的であったが、近年完全デジタル型の構成を取る All-Digital CDR (ADCDR) も提案されるようになってきた。本試作では、特にモバイル機器等の低消費電力が必要なアプリケーションにおいて、高速に起動しデータ通信を開始できる必要性から、高速にクロックを復元しロックする高速ロック型の完全デジタル形 CDR 回路を提案し実装を行った。提案回路の実測により数ビットのプリアンプルで高速にクロック信号の復元が可能であることを示した

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, トランジスタ数：10,000~100,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：通信 (RF 回路, ATM など)

MOS FET および配線の信頼性評価用 TEG

大阪大学情報科学研究科 三浦 克介, 中前 幸治

弘前大学理工学研究科 黒川 敦

概要：プロセスルールの微細化に伴って、LSI の信頼性低下が問題となっている。本チップには、信頼性を考慮した LSI 設計手法の確立を目的として、その手法検討に必要なデータの取得ならびに開発した設計手法の評価を行うための、MOS FET および配線の信頼性評価用 TEG を集積している。MOS-FET の信頼性を評価するための TEG としては、単体 TEG とアレイ TEG とを集積した。単体 TEG は、MOS-FET 毎にプローブ用のパッドを設置している。アレイ TEG は、 $20 \times 20 = 400$ 個の MOS-FET に共有のプローブ用パッドを設置し、行および列選択信号により単一の MOS-FET を選択して測定可能にしている。NBTI (negative bias temperature instability: 負バイアス温度不安定性), HCI (hot carrier injection: ホットキャリア注入) 等の劣化要因について測定を行う予定である。配線の信頼性を評価するための TEG としては、アレイ TEG を集積し、様々な形状の配線について、その信頼性評価を可能としている。EM (electromigration: エレクトロマイグレーション), SIV (stress induced voiding: ストレス起因ボイド) 等の劣化要因について測定を行う予定である。また温度依存性についても評価するため、ポリシリコン抵抗による発熱用ヒーターを内蔵し、チップ温度の変更を可能としている。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：TEG (特性評価回路など)

Stochastic Comparator Group with 3GHz PRBS test fixture and Transmission Line Clock Delay Lines.

VLSI Design and Education Center, University of Tokyo James Tandon, Satoshi Komatsu, Kunihiro Asada
Advantest Laboratories Takahiro Yamaguchi

概要：The chip contains a stochastic sampler composed of three stochastic comparator groups implemented with 63 rail-to-rail clocked comparators, then connect them to a 3GHz PRBS test fixture through a transmission line based coarse-delay line, and transmission line based fine delay line. The stochastic comparator groups can be used as threshold process variation monitors, stochastic TDCs, or as stochastic equivalent time ADCs. The 3GHz PRBS test fixture used a PLL to multiply a reference clock signal by eight. The PRBS generates a 7-bit pseudorandom bit sequence to be tested by the stochastic sampler. A transmission line based clock delay line architecture was developed where the clock delay could be shifted in increments of picoseconds on the coarse delay line. The fine delay line had 3 stochastic comparator groups connected at picosecond intervals. Three samples were taken at picosecond intervals for each clock cycle. The chip was implemented in the 65 nanometer E-Shuttle process technology node. It successfully sampled a 2.92GHz, 7-bit PRBS signal at an effective equivalent time sampling rate of 5.8TS/s.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 Design Compiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Agilent 社 ADS, トランジスタ数：10,000~100,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

信頼性可変粒度複合型再構成デバイス

大阪大学情報科学研究科 Alnajjar Dawood, 郡浦 宏明, 橋本 昌宜, 尾上 孝雄
高知工科大学システム工学群 密山 幸男
奈良先端科学技術大学院大学情報科学研究科 嶋田 創
京都工芸繊維大学工学科学研究科 小林 和淑
京都大学情報学研究科 小野寺 秀俊

概要：トランジスタの微細化や集積度増加が指数オーグで進み NRE コストが高騰するなか、偶発故障等に対する半導体の高信頼性の確保が課題となっている。粗粒度再構成可能デバイスは ASIC 設計に比べてアプリケーション開発のコストが低く、FPGA に比べて構成情報ビット数が少ないためソフトエラー耐性が高いが、条件分岐やビット演算、制御処理も含むアプリケーションの実現が困難である。我々は、以前に開発・試作した信頼性可変粗粒度再構成可能アーキテクチャ [1] を改良し、粗粒度ブロックと再粒度ブロックを含む粒度複合型アーキテクチャを開発した。本試作では、粒度複合型アーキテクチャ、高信頼プロセッサ、バスインタフェースを設計・実装した。試作チップの評価結果より、粒度複合型アーキテクチャにて高信頼モードで画像処理を行ったとき、 α 線の照射中においても正常に処理が継続されることを確認した。

参考文献：D. Alnajjar, H. Konoura, Y. Ko, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Implementing Flexible Reliability in a Coarse Grained Reconfigurable Architecture," IEEE Transactions on VLSI Systems, in press.

設計期間：5 人月以上, 6 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 Design Compiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim, Synopsys 社 Formality, トランジスタ数：10,000,000~ 試作ラン：e-Shuttle CMOS 65nm 4.2mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

閾値近傍までの DVFS を実現するセルベース回路構成技術の開発

京都大学情報学研究所 小野寺 秀俊, 石原 亨, 西澤 真一, Islam A. K. M. Mahfuzul, 釜江 典裕, 近藤 正大, 修 斉

概要：集積回路の低消費電力化は喫緊の課題であり、DVFS アーキテクチャは低電力化に絶大な効果がある。本チップには、異なる電源電圧におけるエネルギー効率の最適化を目標とした4つの MeP プロセッサが搭載されている。それぞれのプロセッサは違う種類のセルライブラリで設計された。セルライブラリの種類として高い電圧と低い電圧を対象に最適化したライブラリがある。これらにより、特定の電圧を対象にして最適化されたライブラリの効果を確認できる。また、それぞれのプロセッサに自律補償回路が組み込まれており、製造後にばらつきの自律補償が可能となっている。自律補償回路は電源電圧とクロック信号のみを用い、ばらつきを検出し、適応的に基板バイアスを調整する。

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QRC, Cadence 社 ASSURA, Synopsys 社 HSPICE (RF), Synopsys 社 HSI, Synopsys 社 Formality, トランジスタ数：1,000,000~10,000,000 試作ラン：e-Shuttle CMOS 65nm 4.2x2.1mm チップ チップ種別：TEG (特性評価回路など)

フリップ・フロップおよび離散コサイン変換回路の最小動作電圧分布測定回路

京都大学大学院情報学研究所 川島 潤也, 藤田 隆史, 筒井 弘, 越智 裕之, 佐藤 高史

概要：回路の消費電力を大幅に削減する手法として、トランジスタを閾値電圧近傍またはそれ以下の電圧で動作させるサブスレッショルド回路が注目されている。しかし回路が正常に動作する最小動作電圧は、回路素子の特性ばらつきの影響を受けやすい。本試作では、単体のフリップ・フロップ (FF) および離散コサイン変換 (DCT) 回路の最小動作電圧分布を測定する回路を実装した。チップには、被測定回路をアレイ状に並べたものと、回路が正常に動作しているかを確認するためのテスト用回路が実装されている。被測定回路とテスト用回路は電源電圧が分離されており、被測定回路は低電圧で、テスト用回路は通常電圧で動作させることができる。これを用い、被測定回路の電源電圧を下げていき、正常に動作している被測定回路の個数を確認する。テスト用回路は動作モードが外部からプログラム可能であり、FF のセットアップ時間およびホールド時間を測定するための回路や、DCT 回路に任意のテストパターンを印加するための SRAM も搭載している。

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE (RF), トランジスタ数：1,000,000~10,000,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：TEG (特性評価回路など)

トランジスタ特性の時間変化測定回路

京都大学大学院情報学研究所 粟野 皓光, 清水 裕史, 李志, 筒井 弘, 越智 裕之, 佐藤 高史

概要：近年のプロセス微細化に伴い、トランジスタ特性の経年劣化や時間的変動が、回路の信頼性に関する問題として広く関心を集めている。このため、これらの影響を正確に予測するためのモデル化が急務となっている。本チップでは、Bias Temperature Instability (NBTI) ならびに Random Telegraph Noise (RTN) を精度よく測定する回路を試作した。NBTI は pMOS トランジスタの閾値電圧がなだらかに上昇していく現象のことであり、RTN はゲート絶縁膜に存在する原子構造の欠陥にキャリアが捕獲及び、放出されることによって引き起こされる閾値電圧の時間変動である。ともにトランジスタ特性の時間変化として観測される。トランジスタアレイの構造を工夫して、寄生素子の影響によるしきい値観測のための波形鈍りを防止することで、短時間での特性変化を知ることが出来るように設計した。さらに、アレイ内のトランジスタに印加されるバイアス電圧の制御タイミングを高精度に制御するための回路を搭載している。

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE (RF), Synopsys 社 HSI, トランジスタ数：100,000~1,000,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：TEG (特性評価回路など)

超低電力 RF 要素回路

東京工業大学ソリューション研究機構 益一哉, 石原昇
東京工業大学精密工学研究所 伊藤浩之

概要：ワイヤレスセンサネットワーク用の超低電力センサノードの実現を目指し、RF トランシーバの要素回路として LNA, RF DAC, FBAR DCO を開発した。LNA は一般的なソース接地型のトポロジーとし、ゲートバイアスを制御することによりゲインを変化させ、ゲート容量の変化をデジタル制御の容量で補償することで入力マッチングを補償する点を工夫した。低い電源電圧で利得を得るためにフォワードボディバイアス技術を利用した。FBAR DCO において、インバータの NMOS のゲートバイアス電圧を制御して Class-C 動作させる手法を開発した。ポストレイアウトシミュレーションにおいて、発振周波数 2GHz、電源電圧 0.36V の場合の消費電力は 28uW であった。1MHz オフセットの位相雑音は -128dBc/Hz であり、 -210dBc/Hz という非常に良好な Figure of Merit を達成した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QRC, Cadence 社 Spectre, Agilent 社 ADS, トランジスタ数：100~1,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：通信 (RF 回路, ATM など)

自己性能補償機構を持つ組み込みプロセッサ

大阪大学情報科学研究科 橋本昌宜, 樋口裕磨, 上野美保, 尾上孝雄

概要：微細化とともに製造ばらつきや環境変動が深刻化し、プロセス進化に伴う性能向上を阻害している。我々は、チップごとに固有のばらつきを克服し、デジタル回路の要求性能（動作周波数や消費電力）を実現する性能補償機構の実現を目指している。オンチップセンサによりばらつきを検知し、自律的に電源電圧や基板バイアス電位を調整することで性能を補償する。これまでリングオシレータ型ばらつきセンサにより、デバイスパラメータのばらつき推定が可能であること、タイミングエラー予告フリップフロップがランタイム性能補償に有効であること [1] を確認してきた。本試作では、これらを組み込みプロセッサ (MeP) に適用した。現在、評価の準備を進めており、性能補償の有効性を確認する予定である。

参考文献：H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Adaptive Performance Compensation with In-Situ Timing Error Predictive Sensors for Subthreshold Circuits," IEEE Transactions on VLSI Systems, vol. 20, no. 2, pp. 333--343, February 2012.

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim, Synopsys 社 Formality, トランジスタ数：1,000,000~10,000,000 試作ラン：e-Shuttle CMOS 65nm 4.2x2.1mm チップ チップ種別：マイクロプロセッサ

平成24年7月e-Shuttle CMOS 65nm 試作（経産省－STARCプロジェクト） （ES65127）

ソフトサーモメタコードを用いたパルス幅制御型 DLL

東京大学大規模集積システム設計教育研究センター 名倉 徹, 浅田 邦博

概要：従来の PLL では、入力電圧に応じて発振周波数が変化する VCO 回路を利用して、PFD を用いて VCO の発振周波数（位相）と入力参照 CLK 周波数（位相）とを比較し、CP によって位相比較に応じた電荷を LPF に注入することで VCO の入力電圧を微調整するというフィードバック制御を用いて所望の CLK を生成しており、Type-II 型と呼ばれている。この方法では、PLL のフィードバックループを安定化させるために、場合によっては数百 pF 程度の大きな容量 C2 が LPF に必要となる。また、Type-I 型では PD の出力を電圧に変換するための大きな容量 C1 が必要となる。すなわち、Type-I, Type-II いずれも大きな容量が必要となり、小面積化の妨げになっている。これらの問題を解決するため、入力パルス幅に応じて発振周波数が変化する PWCO をソフトサーモメタコードを用いて制御することで、超小面積の PWPLL を以前に試作した。本試作では、ソフトサーモメタコードを用いて容量を使わないパルス幅制御型という PWPLL のコンセプトをそのまま流用した、パルス幅制御型位相調整回路（PWDLL）を試作した。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

完全デジタル時間差記憶再生回路とそれを用いた Time-to-Digital Converter

東京大学工学部電気電子工学科 染谷 晃基

東京大学工学系研究科電気系工学専攻 飯塚 哲也

概要：本研究においては、近年ますます注目を浴びている時間分解能型において、未だ提案されていない時間差記憶再生（Time Difference Hold and Replication：TDHR）回路を提案し、65nm CMOS プロセスにおいて、試作・実証を行った。この回路は、2つの入力された信号間の時間差を回路内に記憶し、出力として、その時間差を任意の回数出力する。この新たな構成要素の登場により、時間分解能型において、新たな回路アーキテクチャの出現が期待される。また、この回路の有効性を示すため、提案 TDHR 回路を用いた Time-to-Digital Converter (TDC) を試作した。提案する構成では、TDHR 回路上で記憶されている入力時間差を、低精度の TDC に対して複数回入力することにより、高精度のデジタル出力が得られる。上記の回路動作を測定により実証した。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Virtuoso, トランジスタ数：1,000~10,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

3次元形状取得を効率化するための CMOS イメージセンサチップ

東京大学工学系研究科 矢部 紘貴

東京大学東京大学大規模集積システム設計教育研究センター 池田 誠

概要：構造光と呼ばれる3次元形状取得手法は、ステレオマッチングなどに比べ、より簡単に高い精度が得られることから、広く用いられている。この手法では、対象の物体に既知の光のパターンをあて、このパターン光をカメラで取得した画像から検出することによって、3次元を取得する。パターン光をより確実に検出するため、パターン光を特定の周波数で変調するということが考えられる。本チップは、この変調光をピクセル並列で効率よく取得するための CMOS イメージセンサである。各ピクセルには、光強度をパルス周波数に変換する Pulse Frequency Modulator と、その出力につながれた2つのアップダウンカウンタが置かれている。アップダウンカウンタの、Up/Down ピンに、特定の周波数の方形波を入れることによって、特定の周波数での変調光を検出できる。また、2つのカウンタに同一周波数の位相が90度ずれた信号を入力することにより、変調光の位相を検出ことができ、これにより、パターン光に用いることができる変調方式の自由度が上がる。さらに、このチップを用いて、実際に3次元画像の取得も行った。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：1,000,000~10,000,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：イメージセンサ/スマートセンサ

NBTI・RTN に強靱な回路設計手法の提案

京都大学情報学研究科 松本 高士, 三木 淳司, 小野寺 秀俊

概要：近年、トランジスタ特性の経年劣化（負バイアス温度不安定性、NBTI）及びノイズ（ランダム・テレグラフ・ノイズ、RTN）などのため、高信頼性を備えたシステムを設計することがますます困難になってきた。これらは微細デバイスの持つ本質的な特質であり、これらを正確にモデル化し回路設計に反映させるため、以下の3種類の回路技術の開発を行った。[回路1] トランジスタレベルでの経年劣化・RTN 基礎モデルの作成。[回路2] トランジスタレベルでの経年劣化・RTN の高速・高精度評価回路。[回路3] 実回路（SRAM）への経年劣化・RTN の影響の評価を行う回路技術。一例として、トランジスタレベルでの経年劣化・RTN の高速・高精度評価回路を開発し、5 μ s 程度の時間分解能で高精度に RTN を評価することが初めて可能となった。また、効率的なスクリーニングを行うために、RTN の影響を評価可能な BIST 付 SRAM を開発した。この回路は NBTI ストレスや TDDDB ストレスを複合的に印加することが可能であり、これらによる経年劣化の SRAM への影響についても評価可能である。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QRC, Cadence 社 ASSURA, Synopsys 社 HSPICE (RF), Synopsys 社 HSI, トランジスタ数：10,000~100,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：TEG（特性評価回路など）

DVFSを対象としたセルベース設計技術の開発および評価用 TEG

京都大学情報学研究所 Islam A. K. M Mahfuzul, 西澤 真一, 釜江 典裕, 近藤 正大, 西村 彰平, 石原 亨, 小野寺 秀俊

概要：本チップは、集積回路のエネルギー効率を向上させる技術開発を目的とした TEG である。DVFS を利用した集積回路を想定し、(1) 低電圧向けおよび電圧変動を想定したセルベース設計技術の開発、(2) 電圧変動に伴う PN バランスの自律補償技術の開発を目的としている。(1) に関しては、通常電圧および低電圧向けにゲート幅を最適化したセルライブラリと、電圧変動に伴う論理ゲートごとの遅延変動をなるべく押さえるセルライブラリを設計した。(2) に関しては、PN バランスをセンスするモニタ回路およびモニタ回路の制御信号を元に基板バイアスを生成する基板バイアス生成回路を設計した。(1) と (2) にて開発した技術を元に、リングオシレータ (RO) によるテスト回路と、応用回路として東芝 MeP プロセッサを設計し搭載した。各回路ごとに独立した電源電圧を印可可能な構造とする事で、低電圧での動作の評価および消費エネルギーの評価を可能としている。

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QRC, Cadence 社 ASSURA, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, トランジスタ数：1,000,000~10,000,000 試作ラン：e-Shuttle CMOS 65nm 4.2x2.1mm チップ チップ種別：TEG (特性評価回路など)

ユークリッド距離・マンハッタン距離を高速かつ小面積に実現するデジタル並列型連想メモリの開発

広島大学ナノデバイス・バイオ融合科学研究所 マタウシュ ハンス ユルゲン

広島大学大学院先端物質科学研究科 佐々木 静龍, 赤澤 智信, 安 豊偉

概要：連想メモリとは、ある参照ベクトル群の中から最も類似するベクトルパターンを検索する機能メモリである。これまで、本研究室ではクロックにより距離を離散的な時間領域に変換する、高信頼かつ高速・低消費電力なデジタル時間領域マンハッタン距離検索連想メモリの開発を行ってきた。しかしながら、距離を時間領域に変換するためにユークリッド距離などを用いた場合、距離が大きくなりそれに比例して検索時間が増大してしまうという問題があった。そこで本試作では、検索アルゴリズムの改良によりこれを解決し、ユークリッド距離検索においても高速な検索を実現した。また、絶対値差計算回路における全加算器を逐次処理型の乗算器として再利用することでユークリッド距離計算回路の面積を削減した。同時に距離計算処理と検索処理のパイプライン化、マンハッタン距離/ユークリッド距離の切り替え機能の実装により柔軟で高性能な連想メモリを実現した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, TOOL 社 Lavis, Mentor 社 Calibre, Cadence 社 Drcula, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, トランジスタ数：1,000~10,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm 角チップ チップ種別：メモリ

パッケージ間高速通信用送受信回路

小菅 敦丈, 田口 眞男, 黒田 忠広

概要：本チップは、低消費電力に各パッケージ間を高速に接続する技術である。各パッケージ間はマルチマスターとして接続される。バスとの接続は非接触な結合器を介して行われる。結合器はバスのインピーダンスを乱さないため、複数のモジュールを高速に接続することができる。結合器を2つ通過することで受信振幅が極めて小さくなることが課題であったが、本チップでは新規に開発したアンプを用い低消費電力に増幅することが可能である。現在従来の結合器を用いた性能評価を行った。受信機の性能を既に確認済みで、10Gb/s の動作を確認した。入力感度は最小 40mV であった。またチップ上に形成した結合器の特性評価が現在進行中であり、パッケージ間通信用のバスを構成する際の設計指標とする。

参考文献：[1] W.-J. Yun et. al., "A 7 Gb/s/Lin Non-Contact Memory Module for Multi-Drop Bus System Using Energy-Equipartitioned Coupled Transmission Line," ISSCC 2012, 2012年2月

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Agilent 社 ADS, トランジスタ数：10~100 試作ラン：e-Shuttle CMOS 65nm 4.2x2.1mm チップ チップ種別：通信 (RF 回路, ATM など)

低電力 RF CMOS 回路の追求

東京工業大学ソリューション研究機構 益 一哉, 石原 昇

東京工業大学精密工学研究所 伊藤 浩之

概要：従来のセンサネットワークの高度化やこれを超える概念として、より大量のセンサ群データ (スワーム) を監視し制御するスワームネットワークシステムの研究開発が始まっている。このようなシステムを実現するには、無給電で多種多様な情報の収集を可能とする超低電力で多機能なセンサノードの実現が鍵となる。今回我々は、RF 回路の低電力化構成を追求し、その有効性の確認を行った。従来のワイヤレスセンサノード (ZigBee, Bluetooth) や無線 LAN などの RF 回路では、少なくとも数十 mW 以上の電力を必要としているが、本試作ではその 10 分の 1 以下の消費電力で動作する RF 回路の実現を目指した。低電力化への基本方針として、①電源電圧：0.5~0.6V, ②トランジスタのバイアス：バックゲートバイアスによる低しきい値動作化とサブスレッシュホールド領域の活用, ③トランジスタ回路の徹底簡略化 (システム仕様とのトレードオフを考慮), ④定常回路電流の削減を念頭に回路設計を実施した。RF 送信回路, 受信回路, PLL 回路と基本回路 TEG を試作した結果、5GHz 以上の高周波帯で、0.5~0.6V での低電圧低電力動作を可能とする提案回路技術の有効性を確認した。

設計期間：4 人月以上, 5 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Agilent 社 ADS, トランジスタ数：1,000~10,000 試作ラン：e-Shuttle CMOS 65nm 4.2x2.1mm チップ チップ種別：通信 (RF 回路, ATM など)

テスト容易化回路

名古屋大学大学院工学研究科 新津 葵一

群馬大学大学院工学研究科 大澤 優介, 針谷 尚裕, 平林 大樹, 小林 春夫

概要：近年、半導体集積回路の製造コストに占めるテストコストの割合の増加が懸念されており、テスト容易化技術の開発への要望が高まりを見せている。本試作チップにおいては、低テストコストを実現するテスト容易化回路について開発を行った。テスト容易化回路のうち、大規模半導体集積回路（LSI）内においてクロック生成やクロック抽出等で用いられるPLL（Phase Locked Loop：位相同期ループ）のテスト容易化回路として、ジッタ測定回路の試作をおこなった。文献[1]（Kiichi Niitsu, Masato Sakurai, Naohiro Harigai, Takahiro J. Yamaguchi, and Haruo Kobayashi, "CMOS Circuits to Measure Timing Jitter Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation," IEEE Journal of Solid-State Circuits, vol. 47, no. 11, pp. 2701-2710, Nov. 2012.）をベースとして65nm CMOSプロセスにて試作を行った。

参考文献：[1] K. Niitsu, et al., JSSC, Nov. 2012, pp. 2701-2710.

設計期間：3ヶ月以上, 4ヶ月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：100~1,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：アナデジ混載

実時間画像認識のための局所特徴量抽出エンジン

神戸大学システム情報学研究科 水野 孝祐, 高木 健太, 和泉 慎太郎, 川口 博, 吉本 雅彦

概要：本試作ではHDTV解像度の動画像に対して、実時間、低消費電力で、HOG（Histograms of Oriented Gradients）特徴量の抽出と物体検出を実行可能なプロセッサを実現することを目的とした。提案するLSIは、ハードウェア向けに最適化したHOG特徴量抽出アルゴリズムと、サポートベクタマシンを用いた早期識別アルゴリズムをデュアルコアアーキテクチャによって実現する。早期識別アルゴリズムは、識別性能を犠牲にせずに、識別に必要な演算量を削減する。また、コア間の協調によって省電力/高速/複数物体検出の3つの動作が可能である。一方、リコンフィギャラブルMACアレイによって、異なる形状の物体検出にも対応する。実測の結果、提案LSIは、HDTV解像度（1920×1080）の画像を毎秒30フレーム処理することが可能であり、2コアを用いた場合42.9MHz、1.1V動作時の消費電力は43mW、最低動作電圧0.7V動作時は17.4mWとなった。FPGA実装時の196.99mW（電源電圧：1.2V、動作周波数：40MHz）と比較すると、1.1V時に78%、0.7V時に91%の削減効果となる。またHDTV解像度の動画像を用いたデモシステムの構築をおこない、試作チップの有効性を確認した。

設計期間：7ヶ月以上, 8ヶ月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：1,000,000~10,000,000 試作ラン：e-Shuttle CMOS 65nm 4.2x2.1mmチップ チップ種別：アナログ/デジタル信号処理プロセッサ

低ジッタ周波数制御型省面積TDC

神戸大学システム情報学研究科 小西 恵大, 奥野 圭祐, 和泉 慎太郎, 吉本 雅彦, 川口 博

概要：本試作では省面積完全デジタルTime-to-digital converter（TDC）回路を実装した。提案TDCはシュミットトリガ型インバータを利用してリング発振器を構成し且つ低ノイズ電流制御回路を用いることにより低ジッタ化を実現する。提案TDCは低周波数での動作に適するように発振器の周波数を最適化しており、発振周期に対するジッタの相対量を極めて低く抑えている。ジッタの相対量が減ることでTDCの量子化性能を向上させることが可能となる。提案TDCは発振を止めずに周波数変調でTD変換が可能であるためリーク電流などによる位相変動に対してロバストな構成が可能である。また、デジタルリッチな回路構成であるためプロセス微細化に適している。

設計期間：6ヶ月以上, 7ヶ月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QRC, Cadence社 ASSURA, Cadence社 Spectre, Synopsys社 HSPICE（RF）, トランジスタ数：1,000~10,000 試作ラン：e-Shuttle CMOS 65nm 2.1mm角チップ チップ種別：アナデジ混載

UWBレーダー用超高速サンプリング回路

広島大学先端物質科学研究科 十河 健太, 王 密田

広島大学ナノデバイス・バイオ融合科学研究所 アズハリ アフリーン, 吉川 公磨

概要：インパルス信号を用いるレーダーシステムは低消費電力が見込めるというメリットがある。本試作においては、中心周波数10GHz（信号帯域幅5-15GHz）の超広帯域特性を持つインパルス信号をデジタル化するサンプリング回路の試作を行った。インパルス信号は立ち上がりが急峻であり、デジタル化するためには高いサンプリングレートを必要とする。そのため、リング型電圧制御発信回路の各ディレイセルの出力信号からフェーズインターポレータを用いて位相を補間し、等価時間サンプリングを適用することで、等価的に100GS/sの超高速サンプリングレートのサンプリング回路を設計した。加えて、信号入力部にインダクタを用いることで4.8GHz-17.8GHzの入力帯域幅のサンプリング回路を設計した。レーダー送受信アンテナアレイ制御のための、シングルエンド帯域0-28GHzシングルポールダブスロー（SPDT）スイッチングマトリクス回路を65nm CMOSテクノロジーで開発した。中心周波数15GHz帯域20GHzのGMPの伝送が著しい劣化無しにスイッチできた。

設計期間：2ヶ月以上, 3ヶ月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QRC, Cadence社 ASSURA, Cadence社 Spectre, Agilent社 ADS, トランジスタ数：10,000~100,000 試作ラン：e-Shuttle CMOS 65nm 4.2x2.1mmチップ チップ種別：アナデジ混載

HEVC/H. 265 向けの高性能 FME 動き予測 LSI

早稲田大学情報生産システム研究科 後藤 敏, 周 大江, 何 剛

概要：今回のプロジェクトの狙いは、新しい標準符号化方式である HEVC/H. 265 向けのエンコーダの FME (Fractional Motion Estimation) 機能に対して、高性能な LSI 化を開発することである。対象とする画素はスーパーハイビジョン向けであり、7680x4320 画素に対して、60fps を達成する必要がある。その時に、できるだけ回路規模と消費電力を小さくすることが目的で、アルゴリズム、アーキテクチャ、回路の各レベル最適化を図る必要がある。提案手法では、低いハードウェアコストと高性能符号化の FME アルゴリズムとそのアーキテクチャを提案した。ハードウェアコストを削減するために、従来の 8 近傍フィルタの代わりに、2 近傍フィルタを使用し、1/4 ピクセルを内挿する。線形特性を利用し、1/4 ピクセルの係数は 1/2 ピクセルと整数ピクセルの内挿により求めた。また、IME (整数動き予測) の情報を用いて、FME 検索領域の最適化を行い、0.5%~0.73% のビットレートの増加をしたが、ハードウェアコストは 35%~48% の削減をすることができた。試作したチップを実測したところ、370MHz@1.2v で、1.991G ピクセル/秒で動作することを確認した。回路のゲート数は 1183 k ゲート、SRAM は 19.2Kb であり、ピクセル当りのエネルギー消費は 199.5nj であり、チップ全体の消費電力は 397.2mw であった。

参考文献：Dajiang Zhou, et al., "A 4320p 60fps H. 264/AVC intra-frame encoder chip with 1.41Gbins/s CABAC," Symposium on VLSI Circuits 2012.

設計期間：6 人以上, 7 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 PowerCompiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 ModelSim, トランジスタ数：1,000,000~10,000,000 試作ラン：e-Shuttle CMOS 65nm 4.2x2.1mm チップ チップ種別：マイクロプロセッサ

平成24年度オンセミコンダクター—三洋 CMOS 0.8 μ m テスト試作 (OS0812)

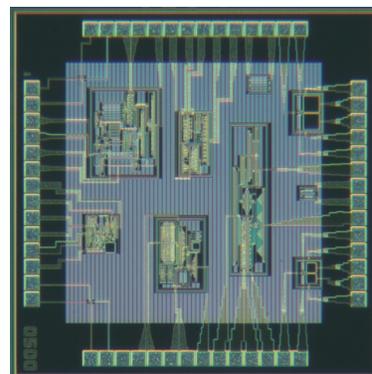
演算増幅器等の試作

宮崎大学大学院工学研究科 上村 通誉

宮崎大学工学部 外山 貴子, 下山 正家, 春山 沙和, 淡野 公一

概要：新たに立ち上げる0.8 μ mの試作テストランに参加し、同プロセスの特性確認を行うのと同時に、研究室に新たに配属になった学生を対象としたLSI設計教育として、回路設計からシミュレーション、マスクレイアウト、および測定までの一通りの流れを経験させた。試作回路は全てアナログ回路であり、差動増幅回路とソース接地によるオペアンプ、フォールデッドカスコード型オペアンプ、弱反転領域動作型のオペアンプ、コンパレータの設計・試作に取り組んだ。いずれの回路も、テストランということで、基本的な回路構成を採用し、外付けの抵抗によりバイアス電流を変更できるようにしてある。これらのオペアンプ以外にも、素子単体の特性評価を行うことを目的に、NおよびPチャネルMOSFETの単体や面積の異なる同一値の抵抗も作り込んだ。これらの素子を基にして、デバイスパラメータや適切な抵抗のサイズについての検討を行う予定である。評価に関してははまだその途中であるが、オペアンプに関しては概ね期待通りの性能を得ている。今後は、オペアンプの周波数特性について検討する予定である。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

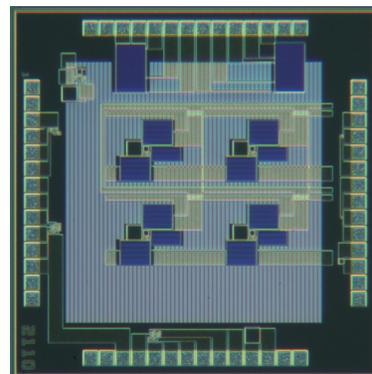


パルス形ハードウェアニューロンモデルの試作

日本大学理工学部電子情報工学科 石川 敏揮, 関根 好文

概要：現在、生体の優れた能力を模倣し、機能を実現するための多くの研究がなされている。その中でも我々は、生体の発火特性によく似たパルス波形を生成することが可能なパルス形ハードウェアニューロンモデルの研究を行っている。本試作では、パルス形ハードウェアニューロンモデルの0.8 μ mルールでの動作確認を目的とした、細胞体モデル、軸索モデル、シナプスモデルの試作を行った。細胞体モデルは、生体のニューロンが持つ相対不応性、閾値作用、自励振・他励振発火特性等を有している。軸索モデルは、細胞体モデルと抵抗を交互に縦続接続することによりパルスを逐次伝搬、伝搬の際にパルスの遅延を行う。シナプスモデルは生体のシナプスと同様に時空間的加算特性を有しており興奮性シナプスモデルは正の電流を抑制性シナプスモデルは負の電流を出力する。今回は以前から行っているMOSFET、コンデンサで構成したモデルに加え、MOS抵抗をシート抵抗でも構成し、コンデンサはチップ外部から配線することにより0.8 μ mルールでの負性抵抗を含めた動作検証を行った。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

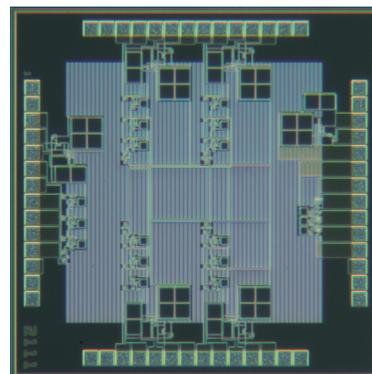


MEMS マイクロロボット歩行動作制御のための振動パターンを生成するパルス形ハードウェアニューラルネットワーク

日本大学理工学部 高浜 詩帆, 関根 好文, 内木場 文男, 齊藤 健

概要：マイクロロボットは医療分野や装置の微小部分における作業など、多くの分野で活躍が期待されている。一方、マイクロロボットの活躍の場はヒトの目の届かない場である上、物理法則もその小ささゆえにヒトの感覚とは異なる。そこで、すべての動作を事前に記録させておくプログラミングによる制御ではなく、環境をセンサで読み取り、判断し、行動する小型生物のように柔軟な制御方法が求められている。プログラミングの必要がない制御の第一歩として、マイクロロボットの歩行動作を制御するチップの試作を行った。我々は、ニューラルネットワークおよびテスト用回路を試作した。ニューラルネットワークは4個の細胞体モデルを12個の抑制性シナプスモデルで相互結合した。細胞体モデルはパルス波形を出力する発振器であり、抑制性シナプスモデルは細胞体同士の結合状態を決定するものである。1個のチップに、ニューラルネットワークを1個、テスト用の細胞体モデルと抑制性シナプスモデルを2個ずつ試作した。現在試作したICチップの測定中である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：100~1,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

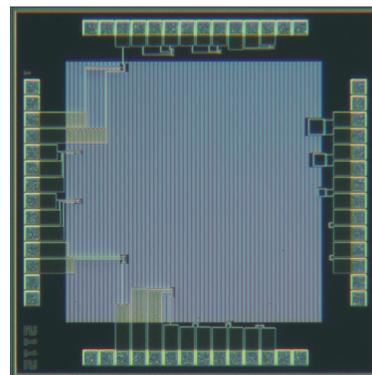


パルス形ハードウェアニューラルネットワークの素子特性測定用 TEG

日本大学理工学部 谷田 純一, 高浜 詩帆, 関根 好文, 内木場 文男, 齊藤 健

概要：MEMS マイクロロボット歩行動作制御のための振動パターンを生成するパルス形ハードウェアニューラルネットワークに使用した素子の特性測定用 TEG チップを作製した。パルス形ハードウェアニューラルネットワークは抵抗やコンデンサの値により発振波形が敏感に変化するため、素子ごとの特性を測定する必要がある。抵抗 (10Ω , 70Ω , 110Ω , 550Ω , 1100Ω)、コンデンサ (1pF, 3pF, 5pF)、n型MOSFET ($W/L=0.3, 1, 10$)、p型MOSFET ($W/L=0.1, 0.3, 1, 10$) を設計した。四端子法による抵抗およびインピーダンスアナライザによるコンデンサの測定値はすべて設計値の約2倍であった。n型MOSFET ($W/L=0.3, 1, 10$)、p型MOSFET ($W/L=0.1, 1, 10$) について I_d - V_{DS} 特性が確認できた。閾値電圧および、p型MOSFET ($W/L=0.3$) の I_d - V_{DS} 特性は測定中である。また、ICチップの素子と外付けの素子を組み合わせて細胞体モデルを構築することにより、発振条件を検討する予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：~10 試作ラン：オンセミー三洋 CMOS $0.8\mu\text{m}$ 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

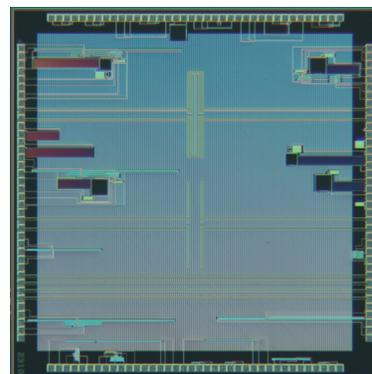


差動伝送信号線路と位相同期ループ回路の試作

秋田大学工学資源学部 保原 秀康, 楊 曉帆, 萱野 良樹, 井上 浩

概要：集積回路内に差動信号伝送線路及び位相同期ループ回路を含む各回路ならびにそれらを構成している素子を試作した。(1) 負の群遅延を広帯域かつ1チップIC内で実現するために共振構造及び電磁結合構造を含む差動信号伝送線路を試作した。(2) 変調・復調のような信号処理に用いられている位相同期ループ回路の新たな展開のためには、高周波・広帯域で発振する電圧制御型発振器 (VCO) の開発の加えて VCO を制御するための高周波用位相比較器と低域通過フィルタが必要になる。そこで、位相同期ループ回路とその回路を構成している個別ブロック (VCO, 位相比較器, 低域通過フィルタ) 並びにそれらの回路を構成する MOS トランジスタ, 抵抗, コンデンサの特性評価回路 (TEG) を構成した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Cadence社 Dracula, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS $0.8\mu\text{m}$ 5.0mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

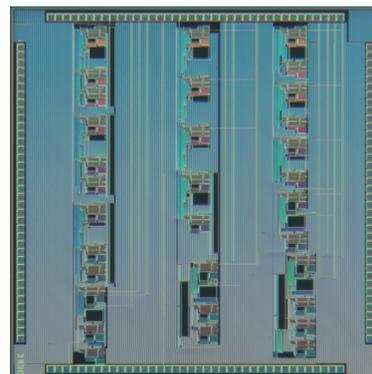


電圧制御発振器

東海大学産業工学部 藤本 邦昭, 原田 裕二郎

概要：ミラー積分回路とシュミットトリガ回路を組み合わせると、制御電圧に比例した周波数の方形波出力と三角波出力の両方を得る事ができる。しかし、シュミットトリガ回路をオペアンプで構成した場合、発振周波数が高くなるとオペアンプの遅延のために三角波の振幅が設定電圧より大きくなり、発振周波数が理論値と一致しなくなる。提案回路は、オペアンプのかわりに CMOS インバータを偶数個直列接続して構成したバッファ回路を用いており、初段の CMOS インバータのソース端子に三角波出力を積分した電圧を印加することにより CMOS インバータの閾電圧を自動的に 0V に保っており、高速動作時においても制御電圧に比例した周波数の方形波出力と 0V を中心とした三角波出力を得ることができる。また、ミラー積分回路の部分 Deboo 積分回路、ブートストラップ回路に置き換えた電圧制御発振器についても試作しており、所期の動作が得られる事を試作チップを用いた実験により確認した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100~1,000 試作ラン：オンセミー三洋 CMOS $0.8\mu\text{m}$ 5.0mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

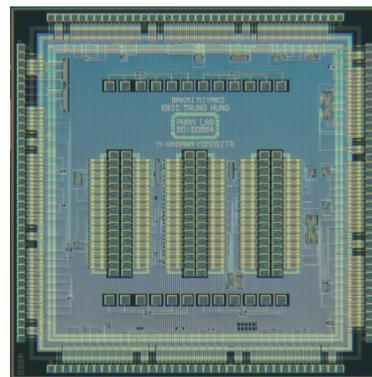


アナログ回路および素子評価 TEG の試作

電気通信大学電気通信学部 蓬田 拓夢

概要：今回はテスト試作ということで、様々なアナログ回路を試作し測定を行なった。主な試作回路は、オペアンプ、D/A コンバータ、リングオシレータである。また、素子の基本特性評価用の TEG として MOS トランジスタ、容量、抵抗も試作した。TEG の測定結果より、トランジスタの動作を確認した。飽和電流のシミュレーションと実測との誤差は NMOS、PMOS ともに 7.9% 以内となった。しきい値は概ね等しい結果となった。抵抗、容量の測定結果もシミュレーションとの誤差は 10% 以内となった。その他アナログ回路も正常に動作することが確認できた。オペアンプは、単純な 2 段オペアンプを試作し、利得に関しては、0.55% の誤差となった。D/A コンバータは、4bit の R-2R 型を MOSFET のみで設計・試作しており、実測においてシミュレーションと同様の結果を得ることができた。リングオシレータは 51 段のインバータ型を試作し、シミュレーションより 21% 周波数が低下しているものの発振を確認することができた。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), **トランジスタ数：**1,000~10,000 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 5.0mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

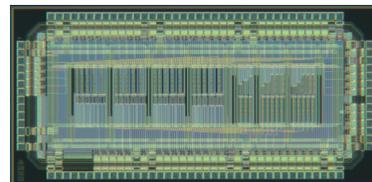


リングオシレータ TEG

東京大学大規模集積システム設計教育研究センター 小松 聡

概要：Onsemi-Sanyo 0.8 μ m CMOS 試作の評価用のリングオシレータ TEG の設計、試作、評価を行った。23 段のリングオシレータ回路について、ゲート長 4 種類、ゲート幅 5 種類のそれぞれの組み合わせによって実装し、合計 20 種類のリングオシレータを搭載した。また、典型的なゲート長、ゲート幅のリングオシレータにおいて、ソース/ドレイン面積を変化させたもの、ステージ間の金属配線の層/長さ/幅を変化させたもの、を実装した。先述の 20 種類のリングオシレータと上記のような構成のリングオシレータとをあわせて、合計 33 種類搭載した。リングオシレータの出力を分周し、周波数を測定することによって、Onsemi-Sanyo 0.8 μ m CMOS 試作用のデバイスパラメータの AC 特性パラメータにフィードバックを予定している。あわせて、デジタル入出力バッファも搭載しており、正常に動作していることを確認した。

設計期間：0.1 人月以上、0.5 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), **トランジスタ数：**1,000~10,000 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 5mmx2.5mm チップ **チップ種別：**TEG (特性評価回路など)

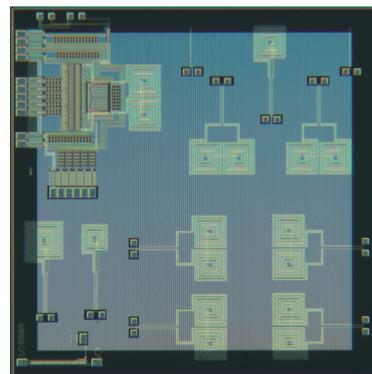


デジタル制御発信器 (DCO) テスト回路

呉工業高等専門学校電気情報工学分野 外谷 昭洋

概要：本研究室では、バイオ応用を目指した CMOS 集積回路の設計開発を行っている。今回のチップ試作では、バイオ応用チップの一部として搭載するデジタル制御発振器 (DCO) およびオンチップインダクタの特性を評価するためのテスト回路を設計した。オンチップインダクタの特性評価については、インダクタの巻数およびサイズを変えたものを準備したほか、アレイ化したときのテスト回路も準備し、種々の特性評価も行えるものとなっている。DCO は省電力化のため、負帰還ループのアンプの使用数を 5 ビットのデジタル信号で制御できる構成とし、周波数についても 5 ビットのデジタル信号で制御できる構成となっている。制御可能な周波数範囲はシミュレーション値で 640 から 810MHz (全アンプ使用時) である。本チップについては、現在評価中である。

設計期間：2 人月以上、3 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Dracula, Cadence 社 Spectre, Synopsys 社 HSPICE (RF), Agilent 社 EMPro, **トランジスタ数：**100~1,000 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 5.0mm 角チップ **チップ種別：**アナデジ混載



3次元積層ソリッド・ステート・ドライブの書き込み電圧生成回路向けオンチップインダクタ

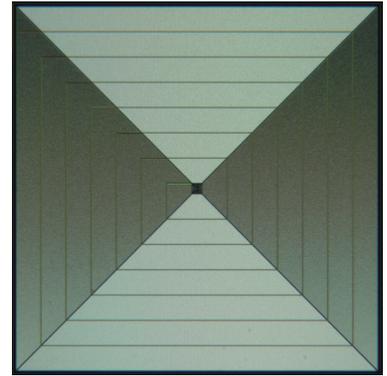
中央大学理工学部 上口 光, 竹内 健

東京大学大学院工学系研究科 畑中 輝義

概要：本研究グループでは、ソリッド・ステート・ドライブ (SSD) の電源システムに着目し、従来各 NAND フラッシュメモリチップに搭載されていた電源回路 (チャージポンプ) の代わりに、インダクタを用いるブーストコンバータを、インターポーザーに載せる3次元積層 SSD (3D-SSD) を提案してきた。また、抵抗変化型メモリ (ReRAM) と NAND フラッシュメモリの両方を用いたハイブリッド 3D-SSD の低消費電力化や高速化の研究を進めている [1]。本試作チップではメタル配線を用い、3D-SSD 向け書き込み電圧 (20V) 生成回路 (ブーストコンバータ) のためのオンチップインダクタを試作した。ブーストコンバータの昇圧性能は、インダクタのインダクタンスや寄生成分に依存する。昇圧に必要な立ち上がり時間や消費エネルギーのインダクタンス依存性を実測できるように本オンチップインダクタを試作した。これまで試作してきた電源回路チップと組み合わせて昇圧時間、消費エネルギーの評価を進めている。

参考文献： [1] T. Hatanaka and K. Takeuchi, "Vset/reset and Vpgm Generator without Boosting Dead Time for 3D-ReRAM and NAND flash Hybrid Solid-State Drives," IEEE Asian Solid-State Circuits Conference, pp. 309-312, Nov. 2012.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula, トランジスタ数：~10 試作ラウン：オンセミ-三洋 CMOS 0.8 μ m 7.5mm 角チップ チップ種別：その他

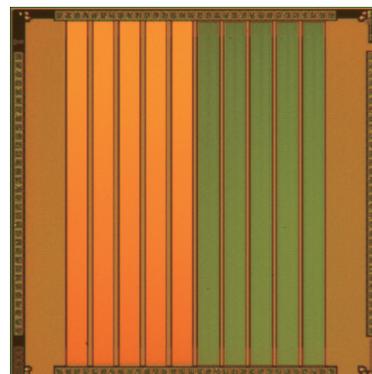


ソフトサーモメタコードを用いたパルス幅制御型 DLL

東京大学大規模集積システム設計教育研究センター 名倉 徹, 浅田 邦博

概要：従来の PLL では、入力電圧に応じて発振周波数が変化する VCO 回路を利用して、PFD を用いて VCO の発振周波数（位相）と入力参照 CLK 周波数（位相）とを比較し、CP によって位相比較に応じた電荷を LPF に注入することで VCO の入力電圧を微調整するというフィードバック制御を用いて所望の CLK を生成しており、Type-II 型と呼ばれている。この方法では、PLL のフィードバックループを安定化させるために、場合によっては数百 pF 程度の大きな容量 C2 が LPF に必要となる。また、Type-I 型では PD の出力を電圧に変換するための大きな容量 C1 が必要となる。すなわち、Type-I、Type-II いずれも大きな容量が必要となり、小面積化の妨げになっている。これらの問題を解決するため、入力パルス幅に応じて発振周波数が変化する PWCO をソフトサーモメタコードを用いて制御することで、超小面積の PWPLL を以前に試作した。本試作では、ソフトサーモメタコードを用いて容量を使わないパルス幅制御型という PWPLL のコンセプトをそのまま流用した、パルス幅制御型位相調整回路 (PWDLL) を試作した。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

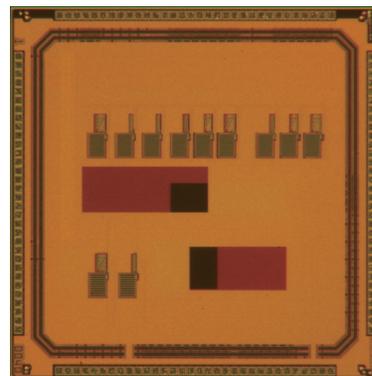
**MEMS 混載 LSI の制御に適した容量測定回路**

東京大学工学系研究科 児玉 和俊

東京大学東京大学大規模集積システム設計教育研究センター 池田 誠

概要：近年、MEMS は製造プロセスの向上によって特性バラツキが小さくなり、センサーやアクチュエータといったアプリケーションへの実用化が進んでいる。MEMS のインターフェイスの多くはキャパシタによって構成されており、MEMS の物理量を容量値へと変換し、LSI によって信号処理を行う。本回路は、この中でも平行平板によって構成される MEMS ミラーの容量値を測定することが目的である。この MEMS ミラーは電荷量を制御し、電荷による引力を変化させることで角度を制御しているため、容量測定において電荷量を大きく変化させることはできず、また、ミラーの電圧は常に一定とは限らない。そのため、本回路ではわずかな電荷量をキャパシタから引き抜き、その引き抜き前後の電位差から容量値を導出する。今回の試作では、MEMS を実際に測定するのではなく、その前段階としてキャパシタのアレイを TEG としてチップ上に実装し、提案回路によって測定を行った。キャパシタアレイの測定結果から、提案回路が測定対象の電圧に依存せず、少量の電荷により測定が可能であることが分かった。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

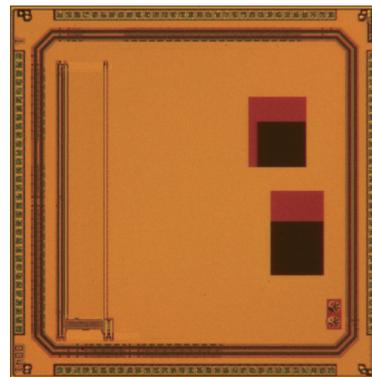
**CMOS イメージセンサのための非線形 Single-slope ADC**

東京大学工学系研究科 矢部 紘貴

東京大学東京大学大規模集積システム設計教育研究センター 池田 誠

概要：CMOS イメージセンサでは、従来列並列の ADC が用いられてきた。従来は、この ADC は均一な量子化ステップをもつものが用いられてきた。しかし、イメージセンサにおいては、ノイズレベルが信号レベルの平方根に比例する（ショットノイズ）という性質があり、低信号時にあわせた量子化ステップの ADC を設計すると、高信号時には、量子化ステップがノイズレベルに比べて小さすぎるため、消費電力、速度などの面で無駄であるという問題点があった。本チップでは、イメージセンサの量子化ステップを信号レベルによって変化させることができる、非線形 Single-slope ADC の検討を行うため、Ramp を自由に変更できる ADC を設計した。この ADC は、通常の Single-Slope ADC における、Ramp 生成回路を、外部信号によって、非線形な信号を生成可能なように設計することによって実現した。設計に当たっては、実際にイメージセンサに應用することを視野に、ピッチなどを調整し、648 列の ADC を作成し、ばらつきなどを測定できるようにした。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

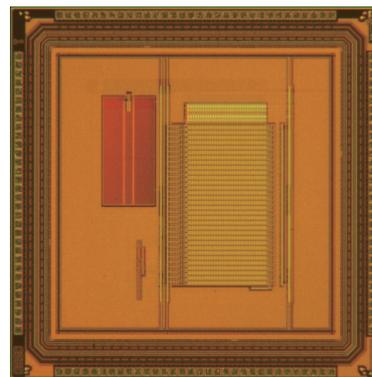


Self-Adaptive Quasi-Gaussian Circuits for Analog On-Chip-Trainable Multi-Class Classifiers

東京大学工学部 夏文軍, 柴田直

概要: 本設計は、人間のような柔軟な認識を実時間かつ低消費電力で実現するためにオンチップ学習機能を有するマルチクラス分類器を実装したものである。Support Vector Machine (SVM) を始めとする既存で分類器アルゴリズムは、2クラスの分類しかできない、複雑なカーネル演算が必要などの問題点を抱えている。そこでマルチクラスの分類を低計算コストで行うため、本研究では、各学習サンプルに重みを付け、Parzen-window 分類器に基づいた境界ベクトルを選択する学習アルゴリズムをVLSIチップ上で実装した。それに、認識率を向上させるためにSVMでよく使われているGaussian Kernelを近似化させ、より簡単に回路で実装できるQuasi-Gaussian Kernelを提案した。その上、近似によるエラーを解決するために、形が実際のクラス分布状況によって自由自在に変換できるSelf-Adaptive Quasi-Gaussian Kernelに改良した。本試作チップは、32個の64次元Self-Adaptive Quasi-Gaussian Kernelが搭載され、8クラスの学習ができる。

設計期間: 3人以上, 4人未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 HSPICE (RF), Synopsys社 NanoSim, **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** マイクロプロセッサ

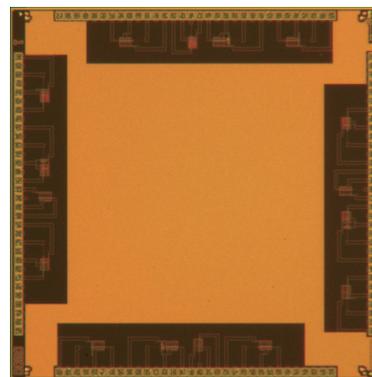


宇宙用 CVSL 回路及び NAND ゲート NOR ゲート速度性能解析用実験回路の設計試作

静岡理科大学理工学部 波多野 裕, 犬塚 健也, 工藤 寛人

概要: 各種設計ツール整備, デザインルール, 密度ルール, アンテナルールなどの理解, などのため, テスト回路として, 0.4ミクロンインバータと0.4ミクロン出力バッファ回路, 1.48ミクロンインバータと1.48ミクロン出力バッファ回路, 0.4ミクロン出力バッファ回路単体, 1.48ミクロン出力バッファ回路単体, 配線付きインバータ50段チェーン回路6種類, NANDゲート速度性能解析用50段チェーン回路2種類, NORゲート速度性能解析用50段チェーン回路2種類, CVSL回路を, 2011年度第5回試作と2012年度第3回試作の2回に分けて設計した。2011年度第5回試作では, 0.4ミクロンインバータと0.4ミクロン出力バッファ回路, 1.48ミクロンインバータと1.48ミクロン出力バッファ回路, 0.4ミクロン出力バッファ回路単体, 1.48ミクロン出力バッファ回路単体, を設計し, 試作チップを実測して機能動作を確認した。2012年度第3回試作では, 配線付きインバータ50段チェーン回路6種類, NANDゲート速度性能解析用50段チェーン回路2種類, NORゲート速度性能解析用50段チェーン回路2種類, CVSL回路を, 設計し, 試作チップの実測により全ての回路の機能動作を確認することができた。

設計期間: 2人以上, 3人未満 **設計ツール:** Cadence社 Dracula, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



スペクトラムセンサ TEG

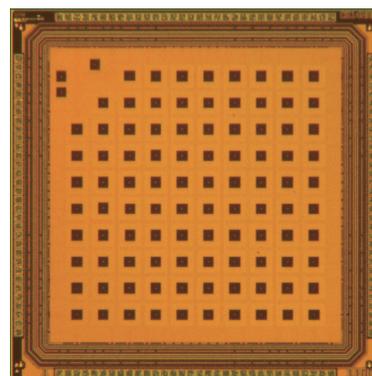
金沢大学自然科学研究科 水井 彩香

金沢大学理工研究域 北川 章夫

概要: 光領域の電磁界伝搬を制御するための配線層の構造を設計した。これを, イメージセンサと組み合わせ, 入射光のスペクトラムを計測するためのスペクトラム・センサを実現することを目的に, 各種ピクセルの特性評価 TEG を試作した。光の伝搬を制御する配線層を透過した光だけでなく, 横から進入する光によって, 特性が乱れるため, 横方向の光の伝搬を防ぐための構造を周囲に配置した。配線層の構造により, 紫外~近赤外の入射光に対して, 選択的に波長を透過させる特性を持つことが確認された。本試作の結果に基づき, さらに高感度なセンサを実現するための指針を得るための詳しい解析を実施する予定である。

参考文献: 水井彩香, 北川章夫, 「ピンホールによる分光を利用したスペクトラム分析イメージセンサ」, 映像情報メディア学会報告, Vol. 35, No. 19, pp. 41-43, 2011.5

設計期間: 0.5人以上, 1人未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



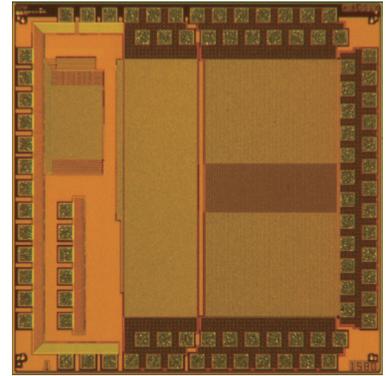
高効率な電源回路

東京大学生産技術研究所 篠塚 康人, 石田 光一, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：高効率なバックコンバータを実現する為、デジタル制御ディレイラインとクロックコンパレータを用いたバックコンバータの制御回路を設計した。バックコンバータは、スイッチングのタイミングが重要である。したがって、コンパレータを用いたフィードバック制御を行うことにより、そのタイミングを最適に調整することが有効である。コンパレータに連続型を用いた場合には、低負荷時にコンパレータの消費電力により電源回路の効率が低下してしまう。そこで、本試作回路では、クロックコンパレータにより低消費電力化を図った。一方、クロックコンパレータを用いると、比較結果がデジタル値となる為、本回路では、デジタル制御のディレイラインを用い、バックコンバータのスイッチングのタイミングを1サイクル毎に調整する制御を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



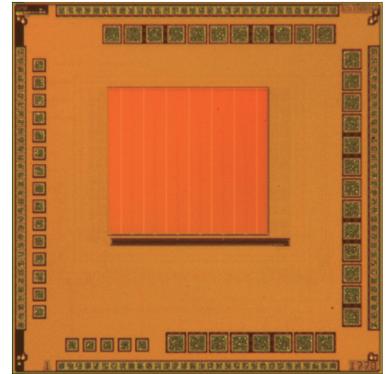
SFQ/CMOS ハイブリッドメモリ用 64-kb メモリ

横浜国立大学大学院工学府 桑原 啓太

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップには 8T-SRAM セルで構成されるメモリアレイ (容量 64-kb), デコーダ, 及び 21 個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的は SFQ-in, SFQ-out のハイブリッドメモリの全チャンネル動作を実証することである。これまでのメモリに対して、アンプとデコーダとの物理的な距離を近づけるという改良を行った。アンプの出力配線による遅延時間の増加を抑えるためである。測定を行ったところ、全アンプの正常動作を確認した。またアクセスタイムも前回の 12.3ns から 3.68ns に向上した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ



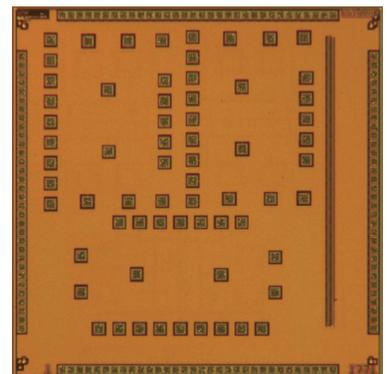
高周波数特性測定用アンプと 6 相駆動断熱的インバータ

横浜国立大学大学院工学府 石垣 敬之, 陳 賢珠

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。SFQ 論理回路と CMOS 回路を組み合わせるためにはインターフェース回路が必要である。このインターフェース回路を構成している一つの回路が低温動作 CMOS 差動増幅器である。このチップでは 3 種類の低温 CMOS 差動増幅器が載せられている。それぞれの CMOS 差動増幅器には高周波数特性の調査のため低ノイズ用インダクタンスを追加した回路が載せられている。このチップを用いて測定を行った結果、約 400~500MHz での正常動作が確認できた。また、我々は CMOS 集積回路を用いた低電力化技術として、断熱的パストラジスタ論理回路を研究している。断熱的論理回路とは電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である。本チップには 6 相の正弦波で動作する断熱的インバータ 240 段と同等の Static CMOS インバータを載せている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



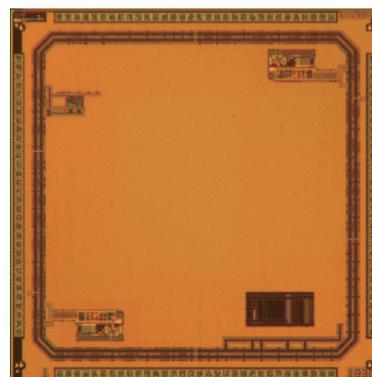
デジタル補正技術を用いた小型計装アンプ

豊橋技術科学大学工学部 秋田 一平

概要：アレイセンサデバイスに向けた超小型計装アンプの開発品であり、そのような応用に対して、今後必要になるであろうアンプの多チャンネル化に向けて、超小型（小面積）化技術を提案・適用している。この種のアンプは微小信号を扱うため、製造ばらつきに起因するオフセット電圧への対処は必須であり、従来は、大掛かりなフィードバック・ループ系を用いて実現していた。本試作品は、新規に提案するデジタルキャリブレーション技術により、小面積にオフセット電圧を最小化することが可能であり、特に、多チャンネル化に有効な手法である。また、本提案技術は、複数サンプルの測定結果より、その有効性が実証されている。今後はより多チャンネル化に向けた開発を進めていく予定である。

参考文献：I. Akita and M. Ishida, "A 0.06mm² 14nV/ $\sqrt{\text{Hz}}$ chopper instrumentation amplifier with automatic differential-pair matching," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers (ISSCC), pp.178-179, Feb. 2013.

設計期間：5人月以上，6人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Encounter RTL Compiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：アナデジ混載

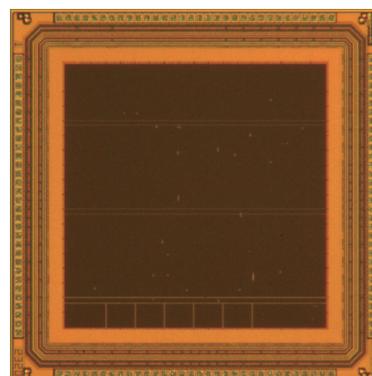


16bit マイコンの試作:大学院創造工房セミナーでのチップ試作実習

会津大学大学院コンピュータ理工学研究科 古谷 拓之, 北道 淳司

概要：本チップは、会津大学大学院における講義”創造工房セミナー”において、VDECのツールを用いてプロセッサのチップ試作を体験する講義・演習において作成したものである。受講者は、会津大学の学部講義において論理設計、計算機アーキテクチャ、半導体工学などの基礎知識はあり、FPGAを用いた演習を経験しているが、それらの内容を統合し、実際にチップ製造を行った経験はない。本講座では一週間程度の集中講義により論理合成、回路シミュレーション、配置配線、DRCなどの基礎知識、ツールの使用法の説明を受け、VDECのツール群を利用して1月程度の実習によりチップ作成を行った。実装したものは学部での演習においてFPGAボードに実装したマルチサイクル方式16ビットマイコンである。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 Astro, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：マイクロプロセッサ



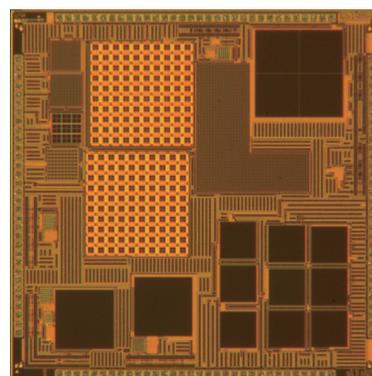
可視光通信用光受信回路

慶應義塾大学理工学部 藤代 瞬也, 松本 佳宣

概要：近年の白色LEDの高効率化に伴い、LEDを高速変調させ情報を送受信する可視光通信が注目されている。そこで、受光素子としてフォトダイオードよりも高感度なCMOSアバランシェフォトダイオードを0.18ミクロンプロセスで製作してその動作を確認した。CMOSプロセスで作製可能ないくつかの受光素子の中でもアバランシェフォトダイオードは良好な感度と応答速度が期待され、近年ではその構造や特性についてのいくつかの研究報告がされている。拡散層の角に電界が集中して絶縁破壊を起こすエッジブレイクダウンを抑制するためにガードリング構造の異なるアバランシェフォトダイオードを試作し評価を行った。試作したチップを用いて各種の光駆動、測定実験を行い、可視光通信用の用途に合った良好な結果が得られた。そして、その特性に合わせて、感度と応答周波数の最適化を行った専用トランスインピーダンスアンプを設計した。また、同時にフォトダイオード、演算増幅器を一体化した照度用センサの試作を行い、光励起電流を抵抗又はコンデンサで電圧に変換する回路の設計を行った。特に低消費電力となるように工夫して設計、レイアウトを行った。

参考文献：藤代 瞬也, 松本 佳宣, "可視光通信用 CMOS アバランシェフォトダイオードにおけるガードリング構造の評価", 「第29回センサ・マイクロマシンと応用システム」シンポジウム, pp.642-645, (2012.10.23)

設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Cadence社 Diva, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

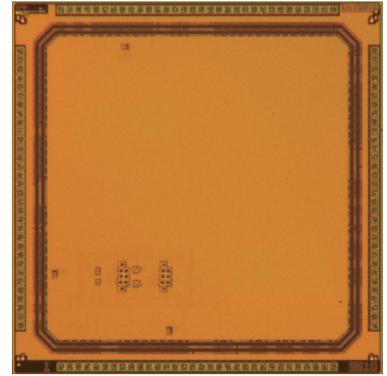


離散 $\Delta\Sigma$ ADC

法政大学工学研究科 北原 義大, 清水 祐希, 西勝 聡

概要：アナログ回路規模が小さく、またアナログ回路が変換精度に与える影響が小さいことから $\Delta\Sigma$ ADC は広く用いられている。特に、スイットキャパシタ回路で構成した、離散時間型 $\Delta\Sigma$ ADC は、構成度変換特性を実現しやすいため、広く用いられている回路構成方である。しかし、スイットキャパシタ回路では、キャパシタの充放電のためにセトリング時間がかかるため、高速動作の実現には適していない。本研究では、スイットキャパシタ回路の高精度特性を活かし、これまでの構成よりも高速動作を実現できる離散時間型 $\Delta\Sigma$ ADC の構成方法を提案する。本テストチップでは、この目的を達成するための第1ステップとして、基本的な離散時間型 $\Delta\Sigma$ ADC のリファレンス回路を試作する。リファレンス回路としては、広く用いられている2つの積分器を直列接続した、2次 $\Delta\Sigma$ 変調器を採用している。また、このチップの設計は、研究室における学生の設計能力向上も目的の一つとしている。このため、OPAMP やコンパレータ回路に関しては、設計者のオリジナリティを活かした回路を採用し、その特性の影響を評価する。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



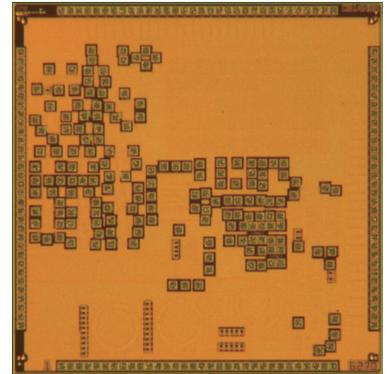
低電圧 CMOS アナログ回路の試作

明治大学理工学研究科 魚住 和史, 熊谷 知也, 小林 優太, 高橋 康仁, 林 拓哉

明治大学理工学部 伊藤 遼, 石原 貴大, 小林 直弘

概要：低電圧駆動というテーマを根底に置き、各々の研究において提案した回路、評価に必要な回路の試作を行った。以下が試作した回路の概略となる。熱源を目的とした疑似パワーマOS、非接触電力伝送を目的としたオンチップインダクタ、PTAT 電流発生のための OTA 回路、微小電源電圧駆動電圧検出器と、それを構成する NMOS, PMOS の TEG, 微小電源電圧駆動 PTAT 電圧発生回路、ボルテージリファレンス回路のテスト回路、基準電圧発生回路を目的としたしきい値検出回路、微小電源電圧駆動 OPAMP。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



遅延時間ばらつきからデバイス固有情報を出力する TEG チップ

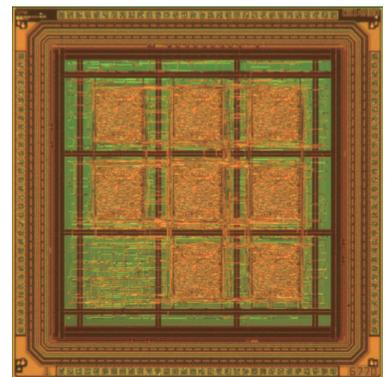
立命館大学理工学研究科 浅川 俊介

立命館大学総合理工学研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要：現在、LSI をはじめとする電子部品市場での模造品の流通が問題となっており、特に自動車など人の生命にかかわる装置や、IC カードなどの金銭や機密情報を扱う装置においては、電子部品の模造品対策は大きな問題となっている。電子部品に偽造不可能な電子コードを埋め込み、そのコードを用いて認証することで流通管理をする手法の要素技術として、LSI の製造ばらつきから複製困難なデバイス固有情報 (ID) を生成する Physical Unclonable Function (PUF) が注目されている。本試作では、LSI 回路内部の信号遅延のばらつきを情報として用いる PUF の試作を行った。チップ製造時の信号遅延バラツキから、デバイス固有の認証用 ID が発生することを統計的に実証するため 40 個のチップ作成を行った。実測により評価した 40 チップからそれぞれ、そのデバイス個体に固有の認証用 ID が生成できることを確認した。また、出力誤り訂正回路を搭載したことにより、電圧や温度を変化させても安定して ID を生成できることも確認できた。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

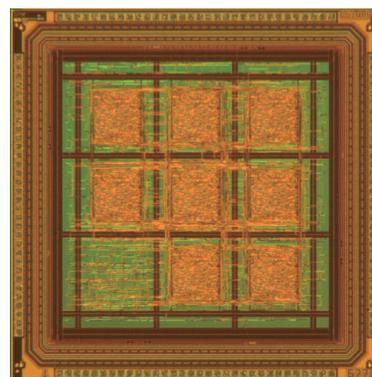


遅延時間ばらつきからデバイス固有情報を出力する TEG チップ

立命館大学理工学研究科 浅川 俊介
立命館大学総合理工学研究機構 汐崎 充
立命館大学理工学部 藤野 毅

概要：現在、LSIをはじめとする電子部品市場での模造品の流通が問題となっており、特に自動車など人の生命にかかわる装置や、IC カードなどの金銭や機密情報を扱う装置においては、電子部品の模造品対策は大きな問題となっている。電子部品に偽造不可能な電子コードを埋め込み、そのコードを用いて認証することで流通管理をする手法の要素技術として、LSI の製造ばらつきから複製困難なデバイス固有情報 (ID) を生成する Physical Unclonable Function (PUF) が注目されている。本試作では、LSI 回路内部の信号遅延のばらつきを情報として用いる PUF の試作を行った。チップ製造時の信号遅延バラツキから、デバイス固有の認証用 ID が発生することを統計的に実証するため 40 個のチップ作成を行った。実測により評価した 40 チップからそれぞれ、そのデバイス個体に固有の認証用 ID が生成できることを確認した。また、出力誤り訂正回路を搭載したことにより、電圧や温度を変化させても安定して ID を生成できることも確認できた。

設計期間：2 人以上、3 人未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSIM, トランジスタ数：100,000~1,000,000
試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

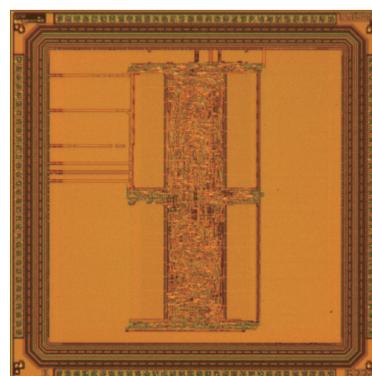


電力解析攻撃対策を有する Dual-Rail RSL メモリ方式を利用した AES 暗号回路

立命館大学理工学研究科 橋本 祐樹, 浅川 俊介
立命館大学総合理工学研究機構 汐崎 充
立命館大学理工学部 藤野 毅

概要：IC カードに代表される、暗号回路を搭載した LSI において、消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。一般的に、暗号回路は暗号動作時における内部ノードの論理値と消費電力の間に相関がある為、消費電力波形を統計処理し、電力解析攻撃を行うことで秘密鍵を特定することができる。本試作チップには、どのような値が入出力されても消費電力を一定となる S-Box 回路と、複数ビットの乱数マスキング対策により暗号処理動作と消費電力との相関を切り離すことで電力解析攻撃耐性を実現した AES 暗号回路を搭載した。試作チップを用いて攻撃耐性評価を行い、高い攻撃耐性を確認した。

設計期間：2 人以上、3 人未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSIM, トランジスタ数：100,000~1,000,000
試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



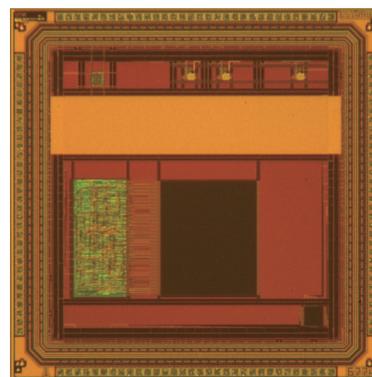
ピアプログラマブルなアナログフロントエンド回路 VPA

立命館大学理工学部 上田 佳祐, 菅谷 周平, 藤野 毅
立命館大学理工学研究科 堀 遼平
立命館大学総合理工学研究機構 汐崎 充

概要：集積度向上によるマスク費用増加や設計難易度の向上に伴い、LSI の初期開発コスト増加が問題となっている。デジタル回路ではプログラマブルロジックが注目されているが、同様に、アナログ回路においてもサイプレス社の PSoC やルネサス社の SmartAnalog などのプログラマブルアナログ回路が実用化されている。しかしながら、メモリとアナログスイッチを使用しているため消費電力の増加や実現可能な性能に制限が生まれ、特にモバイル用途での実用が難しい。そこで我々は低消費電力で初期開発コストの少ないアナログ回路を実現するため、回路レイアウト上のビア層で回路変更を実現する VPA (Via Programmable Analog) を提案する。本チップでは VPA の基本素子を構成するオペアンプと、アナログ回路の特性を決定する VP 可変抵抗を用いた増幅器を設計した。今回はビアの変更のみで反転増幅器, 非反転増幅器の 2 種類を変更可能にし、増幅率を変化させることで任意の値に変更できるように設計した。試作チップの実測では所望の増幅率で動作していることを確認した。

参考文献：上田佳祐, 中澤亮, 堀遼平, 汐崎充, 藤田智弘, 藤野毅, “ピアプログラマブルアナログ回路 VPA のチップ設計と特性評価”, 電子情報通信学会技術研究報告, ICD2012-85, pp. 49-54, 11 月 2012 年

設計期間：2 人以上、3 人未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載



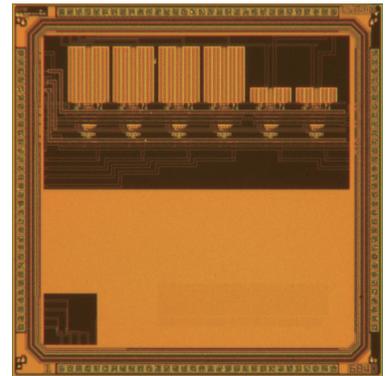
0.18 μ m CMOS プロセスを用いたマルチモード生体信号増幅回路

慶應義塾大学大学院理工学研究科 安田 陽平, 大野 隆一, 中村 拓也

慶應義塾大学理工学部 中野 誠彦

概要: 本研究は、小型で装着可能な生体信号記録システムの開発を目標としている。このような小型システムは低消費電力であり、かつ微小な生体信号を観測するために小さな入力換算ノイズを持つアンプが必要となる。しかしながら電力とノイズ性能の間にはトレードオフの関係があるため、電力効率よくノイズ性能を高めるようなアンプの設計が必要となる。今回0.18 μ m CMOS プロセスを用いて、低電力かつ低ノイズなアンプを設計した。ここで用いる OTA の設計では、電力効率よく必要なノイズ性能を達成するべく MOSFET のアスペクト比や動作点を決定した。シミュレーションの結果、帯域が385mHz-6.99kHz の設定においてゲイン43.4dB、消費電力1.38 μ W (1.8V 電源)、入力換算ノイズは5.29 μ Vrmsであった。またこのアンプは帯域可変のフィルタを含んでおり、スパイクや EEG などの信号に適応させることも可能である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, **トランジスタ数:** 100 ~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



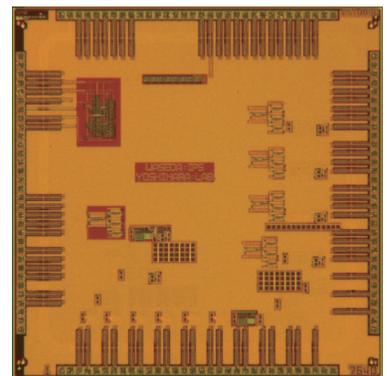
(1) Self-cascode MOSFETs with a Self-biased Body Effect for Ultra-low-power Voltage Reference Generator; (2) A Nano-power Switched-capacitor Voltage Reference using MOS Body effect in Application for Subthreshold LSI; (3) A Low Power Dissipation Real Time Counter for Sensor Network Application

早稲田大学情報生産システム研究科 張 浩, 張 藝蒙, 吉原 務

概要: A novel approach for implementing an ultra-low-power voltage reference using the structure of self-cascode MOSFET, operating in the subthreshold region with a self-biased body effect. The difference between the two gate-source voltages in the structure enables the voltage reference circuit to produce a low output voltage below the threshold voltage. Measurements show that the reference voltage is about 107.5 mV, and the temperature coefficient is about 40 ppm/ $^{\circ}$ C, at a range from -20 $^{\circ}$ C to 80 $^{\circ}$ C. The voltage line sensitivity is 0.017%/V. The minimum supply voltage is 0.85 V, and the supply current is approximately 24 nA at 80 $^{\circ}$ C. The occupied chip area is around 0.028 mm². A nano-power CMOS voltage reference is proposed in this paper. Combining switched-capacitor technology with body effect in MOSFETs, the output voltage is a difference of two gate-source voltages by means of only one PMOS transistor operated in the subthreshold region, and has low sensitivity to temperature and supply voltage. The output voltage is about 123.3mV, the temperature coefficient is about 17.6 ppm/ $^{\circ}$ C, and the line sensitivity is 0.15%/V. The supply current is less than 90nA at room temperature when the supply voltage is 1 V. The area occupation is about 0.03 mm². The low-power voltage reference circuits have been designed and implemented in ROHM standard CMOS 0.18 μ m technology. By using body effect in MOSFETs, the circuits produce a low reference voltage under threshold voltage with low sensitivity to temperature, supply voltage and process. The trimming procedure ensures the output voltage has satisfactory performance in terms of accuracy and low temperature coefficient even the circuits suffer from process variations. The circuits are designed using only MOSFETs. The power dissipation and area occupation are saved. Measurement performance is similar as the simulation results, process variations are in the range of the simulations. A low power dissipation 16-bit real time counter for sensor network application is proposed. Charge recovery logic technology is adopted in the real time counter to achieve low power dissipation. To demonstrate the performance of proposed real time counter, a test chip is designed and fabricated with 0.18 μ m CMOS technology. Experimental results indicate that proposed real time counter with CRL dissipates only 8% of conventional one.

参考文献: 0.18 μ m CMOS Design Rules BU 0.18 (BU40) /N1/Revision 5.10. 2005 年 10 月

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

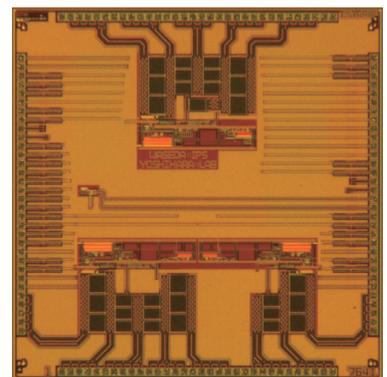


高調光・高効率 LED 制御回路

早稲田大学情報生産システム研究科 陳 民傑, 吉原 務

概要: To develop the energy saving feature of LED, the driver circuits must be of high efficiency. And in some applications, dimming of LED using high speed PWM driving is required, for example LCD backlight, camera, visible light communication (VLC) system and so on. However, the conventional LED driver circuits either lack of high efficiency or have restrictions on the dimming speed. The research target is to propose and design an LED driver circuit with both high efficiency and high speed dimming performances. To achieve high efficiency, switching DC-DC converter structure must be used, and to achieve high speed dimming performance a new circuit structure is proposed to reduce the rising time and falling time. It consists of a DC-DC converter stage and a dimming stage. The DC-DC converter is the conventional buck type and controlled in current mode, and the dimming stage is made up of three switches. There are five operation states in the driver: pre-charge stage, freewheeling stage, output state, recycling state and off state. The dimming approach is implemented on chip using ROHM 0.18 μ m CMOS process. The proposed LED dimming approach is implemented on a single chip using ROHM 0.18 μ m CMOS process for verification. The specification of the design is as below: Input: 3.6~5VDC (tested at 3.6VDC) Output: 2.2V/150mA (using 150mA red LED) Dimming frequency: 10kHz It consists of the power stage, the driver stage, a current mode DC-DC controller, the dimming controller, an oscillator, and a band gap reference. In addition to the on-chip circuit, some off-chip components are required, such as the main inductor, a capacitor to set the dimming frequency and some resistors to set the output current and the timing parameters of the DC-DC converter. A new high speed dimming approach is proposed in this research. The efficiency is improved by adopting switching converter topology. And the dimming speed as well as the dimming ratio is dramatically improved by the proposed dimming approach. A max efficiency of 84%, a minimum on time of 40ns and a dimming ratio of 2,500:1 @10kHz verifies the proposal.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Cadence 社 Spectre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



液中オンチップ微粒子操作用非接触給電・低消費電力集積回路

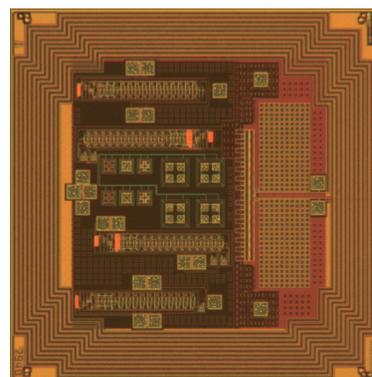
大阪大学大学院工学研究科 岸和田 泰, 上田 瞬, 宮脇 祐介, 松岡 俊匡

概要：微小バイオ・センサの実現に向けて、細胞や微粒子を任意に操作できる技術が必要となっている。また、溶液の温度上昇の抑止、非接触給電の限られた電力を用いる点から消費電力の低減が望まれる。本チップの構成は、液中への非接触給電を想定したオンチップ・アンテナを持ち、外部から交流電力を供給することができ、その電力は電源電圧とクロックに変換され、誘電泳動による微粒子操作を可能とするものとなっている。低消費電力化の手法として、電源電圧を低くし、クロック生成回路を低電源電圧でも動作できるようにした。工夫した点としては、プロセスばらつきを抑える補正回路を用いることで、低電源電圧動作を可能とした点、トリプルウェル構造を用い、ボディ効果を利用した点、が挙げられる。また、テスト回路として補正回路付き NAND 型リングオシレータを配置している。

参考文献：[1] Y. Kishiwada, S. Ueda Y. Miyawaki, and T. Matsuoka, "Process

variation compensation with effective gate-width tuning for low-voltage CMOS digital circuits," the 2012 International Meeting for Future of Electron Devices, Kansai, pp. 166-167, May 9-11, 2012.

設計期間：3 人以上, 4 人未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



光伝送用高速光検出器および光ディスク用分割光検出器

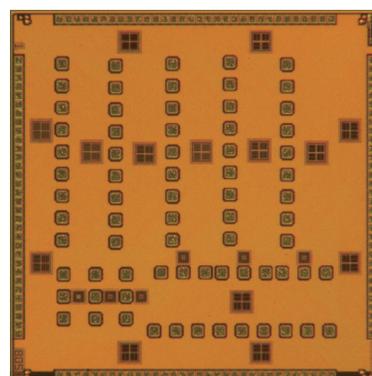
金沢大学自然科学研究科電子情報科学専攻 霜鳥 敏之

金沢大学理工研究域電子情報学系 丸山 武男, 飯山 宏一

概要：CMOS プロセスで光検出器を作製することは、集積回路との集積化による低コスト化・高信頼化や集積回路上の伝送速度の高速化の観点からも重要である。光技術の応用分野として通信分野と情報処理分野があるが、このチップでは、光インターコネクション用の高速光検出器と光ディスク信号読み取りのための分割光検出器を設計した。前者においては、楕円電極構造を持つ横型 PIN 構造とし、pMOS の構造を利用 (deep N-well を利用) した構造とした。暗電流は 10 pA 程度、降伏電圧は 9.2 V 程度であった。受光特性は波長 850 nm 帯で評価し、零バイアスでの感度は 0.0076 A/W, 降伏電圧付近で 100 倍程度のアバランシェ増幅を確認した。帯域は電極間隔 1 μ m の素子において最大で 7 GHz の応答を得、利得帯域幅積は 270 GHz であった。後者においては、4 分割光検出器を設計し、分割素子間の間隔を 10 μ m 以下として素子間アイソレーションを評価したところ、間隔 4 μ m においても十分な素子間アイソレーションが得られた。波長 405 nm での帯域は 1 GHz 程度であった。

参考文献：T. Shimotori, K. Maekita, T. Maruyama, and K. Iiyama, "High-speed Si CMOS APD fabricated by standard CMOS process for 10 Gb/s application", 2nd International Symposium on Photonics and Electronics Convergence (ISPEC 2012), P-11, Tokyo, Japan (December 2012).

設計期間：2 人以上, 3 人未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Dracula, Cadence 社 Diva, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：その他

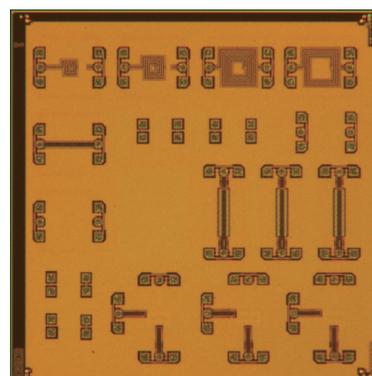


MOSFET パラメータ評価 TEG

東京理科大学大学院理工学研究科 岸 俊樹, 藤岡 翔太, 榎田 洋太郎

概要：本 TEG は、LED 駆動回路に使用している以前の試作よりも高耐圧な CMOS プロセス Si MOSFET のパラメータ抽出の S パラメータの測定を目的として作製した。高耐圧な NMOS および PMOS トランジスタの TEG の S パラメータを測定することにより NMOS および PMOS トランジスタの小信号および大信号等価回路モデルを作成し、試作した LED 駆動回路の等価回路モデルを作成する予定である。また、本 TEG には、以前の試作で使用した標準耐圧の CMOS プロセス Si MOSFET のパラメータ抽出用 TEG およびスパイラルインダクタの評価用 TEG も搭載してある。標準耐圧の NMOS および PMOS トランジスタおよびスパイラルインダクタの TEG の S パラメータを測定することにより NMOS および PMOS トランジスタおよびスパイラルインダクタの小信号および大信号等価回路モデルを作成し、試作した E 級増幅器の等価回路モデルを作成する予定である。

設計期間：0.1 人以上, 0.5 人未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Agilent 社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

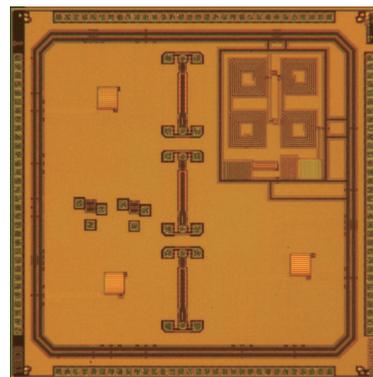


CMOSプロセスを用いた残留キャリア引き抜き回路の試作

東京理科大学大学院理工学研究科 岸 俊樹, 藤岡 翔太, 榎田 洋太郎

概要: 部屋の明かりや信号機などの光源から発生する可視光を人の目では感知できない高速度で点滅させ通信するのが可視光通信である。光源に使用されるLEDは蛍光灯などに比べ高速応答が可能であり、可視光通信の光源としては最適であるが、それでも動作速度が数十Mbit/s以下である。さらに、蛍光体を用いた白色LEDについては蛍光体の特性により数Mbit/sとなっている。LEDの伝送速度はLED自身の接合容量により大きく制限されている。これはLEDがON状態からOFF状態に変わる時に接合容量に残る残留キャリアの放電時定数が高く、消灯に時間がかかるためである。本試作ではLED消灯時の残留キャリアを強制的に引き抜くためにCMOSインバータ回路をパッケージ実装により作製した。また、本試作にはゲート幅12 μm 、フィンガー数10のE級電力増幅器も搭載している。E級増幅器は、トランジスタで増幅した信号をドレインバイアス供給用インダクタを含むリアクタンス素子で直列共振回路と並列共振回路で構成されたバンドパスフィルタを用いて高調波成分を取り除き帯域成分の信号を出力する構成となっている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Agilent社 ADS, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



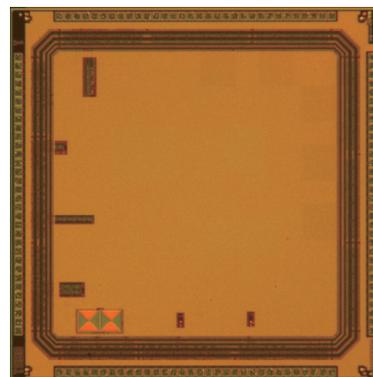
PLL要素回路 (位相比較器, 電圧制御型発振回路) 搭載 TEG

大阪工業大学大学院工学研究科 水野 順貴, 酒見 議一, 吉村 勉

金沢大学大学院自然科学研究科 松田 吉雄

概要: 本試作は、外部フィルタおよびセレクト信号を追加することでPLL回路動作が可能な数種類の電圧制御型発振回路 (VCO) および位相比較器を搭載したPLL要素回路テストチップである。PLL回路の低ノイズ化を行う上で重要な電圧制御型発振器 (VCO) の解析用として、段数の異なる複数のリングオシレータおよびオンチップインダクタを用いたLC-tank VCOを同一基板上に設計・配置した。リングオシレータの動作状態を外部スイッチでコントロールすることで、オシレータの相互干渉による位相雑音の影響を測定する。また、リングオシレータにおけるノイズ感度の段数依存性についても解析を行う。位相比較器としては、モトローラ型の位相周波数比較器を採用した。回路シミュレーションで、数百MHzの発振動作、PLLの回路動作、およびVCOのノイズ感度がリングオシレータの段数によって異なることを確認している。これらシミュレーション結果について実機検証を行っていく。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Hercules, Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

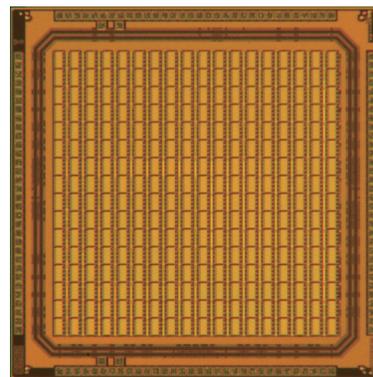


パワーインテグリティ評価チップ1

芝浦工業大学工学部 市村 航, 小林 遼太, 久保 元樹

概要: LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。チップ、パッケージ、ボード統合の電源網には振動領域、臨界制動領域、過制動領域の3つの領域が存在し、それぞれの領域はチップの抵抗、キャパシタンス、パッケージのインダクタンスによって決定される。3つの領域の中で臨界制動領域が最も反共振ピークが抑えられる。本試作では臨界制動領域を実現することで反共振ピークを抑え、電源ノイズを抑制するためのチップを設計した。設計したチップは、主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、電源網にキャパシタと抵抗を適正に付加し、ノイズ低減に最も有効である臨界制動領域を想定したものである。この試作チップによりノイズ源回路を駆動させたときのノイズ低減効果をチップ内に配置したノイズモニタ回路により確認することができた。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence Virtuoso Schematic L, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Synopsys社 HSPICE (RF), Synopsys社 HSPICE (RF), Synopsys社 HSPICE (RF), **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



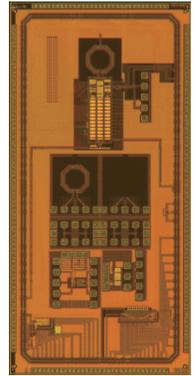
TDCとDCOの試作

会津大学大学院コンピュータ理工学研究科 伊藤 秀将, 束原 恒夫

会津大学コンピュータ理工学部 田村 渉

概要：無線通信回路において、Phase Locked Loop (PLL) シンセサイザは所望のLO信号を生成するために用いる重要な要素回路である。従来はアナログ回路により構成されていたが、近年、CMOSの微細化や無線機器の小型化・低消費電力化の観点から、All-Digital Phase Locked Loop (AD-PLL) が注目を浴びている。本試作では、VDEC環境下における試作チップの設計技術を習得することも兼ねて、AD-PLLに用いられる要素回路を実装した。二つの信号間にある時間差を測定するためのTime-to-Digital Converter (TDC)、デジタル制御信号により出力周波数が時間変化するDigitally-Controlled Oscillator (DCO)、およびDCO測定時の動作を検証するための差動インダクタ、MOSバラクタの評価用TEGを試作した。今後、FPGA回路との連携により、AD-PLLを実装し、動作実験を行う。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Agilent社 ADS, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

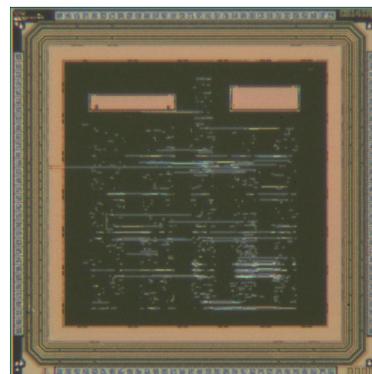


高精度バイオテレメトリーチップ

東北大学未来科学技術共同研究センター 宮本 直人

概要：本チップはバイオテレメトリー用に開発され、特に魚類群集のリモートモニタリングに用いるために小型・長寿命・遠距離到達・高識別能力の特徴を有する。CDMA 技術と 62.5kHz の超音波を用いることで従来ピンガーよりも高い S/N 比を持ちながら、ASIC による小型・低消費電力を有することを特徴とする。PN 符号の中でも特に性能の良い GOLD 符号を用いており、本チップは符号長 5 ビット全 31 種類の GOLD 符号と予備の 1 種類の M 系列 PN 符号を合わせて、全 32 種類の PN 符号を識別することができる。本チップは 1 コア構成で、62.5kHz の超音波を 2 μ sec 毎に受信マイクでサンプリングした受信系列と前述の 32 種類の PN 符号を時間並列で相関値計算する。従って本チップの動作周波数は 16kHz である。設計では 120MHz で設計しており、実際のチップは VDD=0.9V でも動作する。また、予備実験から PN 符号の受信頻度が少ないことがわかっているため、相関結果を一時保管する SRAM をクロックゲーティングすることで更なる低消費電力を達成している。本チップの消費電力は 1.56mW@1.0V Vdd・16MHz であり、SRAM をクロックゲーティングしない場合と比べて半分程度、同一機能を FPGA に実装した場合と比べて約 1/100 の低消費電力を実現した。本チップを搭載した超音波 CDMA 受信機を試作し、実際に海中に設置したピンガーが発生する GOLD 符号を受信させた結果、正常に動作することを確認した。

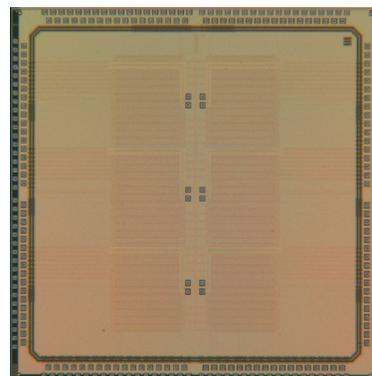
設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 PowerCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

**オフチップデキャップ評価用のコア回路**

東京大学大規模集積システム設計教育研究センター 名倉 徹, 浅田 邦博

概要：LSI の微細化が進み、集積度の増加と動作周波数の増加により LSI の性能は向上してきた。しかし大量のトランジスタが高速なクロックで動作することで多量の電流が発生し、動作中に発生する電源ノイズが大きくなってきている。また、消費電力の増加に伴い、動いていないブロックへのクロックの供給を制御することで消費電力の削減を測るようになった。しかし、クロック供給開始時や停止時に電流が瞬時に変化するため、ボンディングワイヤの寄生インダクタンス L と回路の寄生容量 C の LC 共振により、電源共振ノイズが発生する。これらのノイズを抑えるにはパッシブデキャップと呼ばれるコアに並列にデキャップを入れておく手法が効果的であるが、大きなノイズを抑えるには大量のデキャップ面積を必要とする。そこで、オフチップデキャップをチップの上にパッケージングすることで面積の問題を解決しようと試みている。このオフチップデキャップの効果を確認するために、FF を大量に並べた回路を設計し、動作中のノイズやクロックゲーティングのノイズがどの程度減るか検証を行う。また、クロックゲーティングの際に出るノイズの測定を行い、回路規模や周波数との関係を探る。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim, **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別：**その他

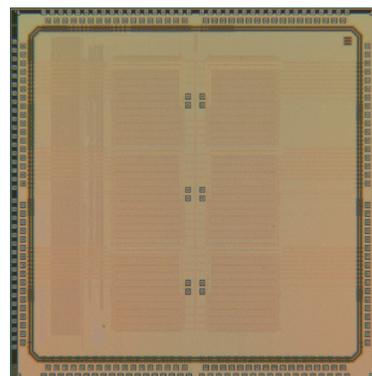
**DVS における電源共振ノイズ低減のためのアクティブチャージシェアリング回路**

東京大学工学系研究科 齊藤 総, 飯塚 哲也

東京大学大規模集積システム設計教育研究センター 名倉 徹, 浅田 邦博

概要：LSI の微細化が進み、集積度の増加と動作周波数の増加により LSI の性能は向上してきたが、消費電力の増加を招き、低消費電力のための技術が必要とされている。そこで、Dynamic Voltage Scaling (DVS) という電源電圧をコントロールするシステムが提案されている。しかし、DVS で電源電圧を変えると、ボンディングワイヤの寄生インダクタンス L と回路の寄生容量 C の LC 共振により、電源共振ノイズが発生し、シグナル・インテグリティが低下する。今回、DVS における電源共振ノイズの低減のために、アクティブチャージシェアリングを提案した。この手法は 0 [V] と 3.3 [V] にチャージされたデキャップをアクティブに挿入し、電荷を注入するか、引き抜くことでキャンセルする。測定した結果、セレクトとスイッチのレイアウトのミスにより、大きな配線抵抗がついてしまい、電源共振ノイズのキャンセルを確認できなかった。しかし、デキャップを挿入することでセトリングの改善をすることができた。セレクトとスイッチのレイアウトを見直して小さな抵抗を実現すれば、提案手法は有効だという可能性を示した。

設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別：**その他



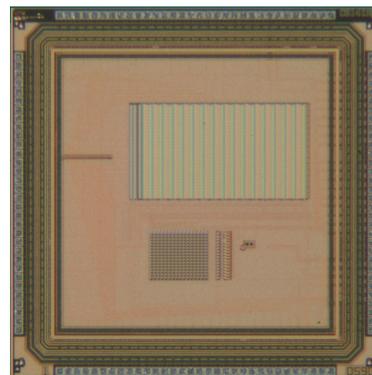
A Fully Parallel Analog VLSI Processor for Implementing SVDD Algorithm

東京大学工学系研究科 張 任遠, 柴田 直

概要：An analog VLSI hardware implementation of support vector domain description (SVDD) has been developed in this work. SVDD algorithm is found more flexible and practical than the standard SVM algorithm in the multi-class recognition problems. On the other hand, it is more complicated to solve mathematically and implement in silicon. A special solution scheme for SVDD problems is proposed on the basis of fully parallel process. The on-chip learning operation of SVDD algorithm was implemented by an analog on-chip learning processor based on the fully parallel architecture. An analog Gaussian generation circuit, which is robust against process variations, was developed for highly dimensional pattern vectors. The center, height, and width of the generated Gaussian function feature can all be programmed easily. Furthermore, the chip-area-hungry part for highly dimensional Euclidean distance computations and the much smaller part for exponential computation are built separately. Only the exponential computing circuits should be duplicated for a high degree of parallelism. In this manner, a fully parallel learning SVDD processor was built within the compact chip area in a standard 0.18 μm Complementary Metal Oxide Semiconductor (CMOS) technology. A proof-of-concept chip was built for sixteen learning sample vectors. From the chip measurement results, the entire learning operation is accomplished within 0.6 μs , and the domain of sample space is described by a reduced number of sample vectors. In addition, the various forms of domain description can be realized by tuning the kernel function feature dynamically. The real-world application of highly dimensional pattern recognition was demonstrated employing image patterns from an actual database COIL-20.

参考文献：R. Zhang and T. Shibata, "A VLSI Hardware Implementation Study of SVDD Algorithm Using Analog Gaussian-Cell Array for On-Chip Learning", IEEE Int. Workshop on Cellular Nanoscale Networks and their Applications, Turin, Italy, Aug. 29-31, 2012.

設計期間：0.1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



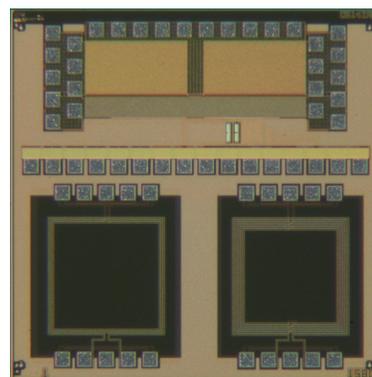
高効率な電源回路と超低電圧発振回路

東京大学生産技術研究所 篠塚 康人, アン ミンヨン, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：本試作では、次の2種類の回路の設計を行った。1) 電源回路として、降圧型DC-DCコンバータ(バックコンバータ)の設計を行った。バックコンバータは、回路を構成するNMOSとPMOSがともにオフとなる時間(デッドタイム)を適切に与えることで、効率を改善することができる。そこで、本試作では、スイッチングする際のデッドタイムを適応的に調整する制御回路の設計を行った。MOSFETのドレイン電圧をモニタし、0Vとなるタイミングでスイッチングされるようにデッドタイムを最適制御することでMOSFETのジャンクション容量によるスイッチングロス低減し、効率の改善を実現した。2) 100mV以下の非常に低い電圧で発振する、オンチップトランスを用いた発振回路を設計した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



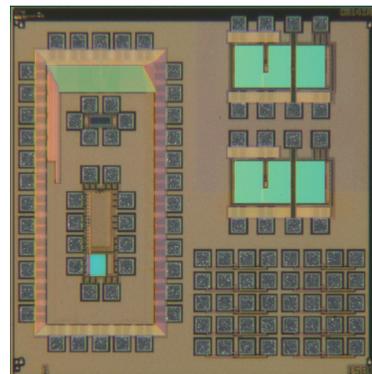
磁気共鳴によるボード間無線電力伝送用回路

東京大学生産技術研究所 井口 俊太, 石田 光一, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：磁気共鳴現象を用いたボード間無線給電システム向け、無線電力伝送用パワーアンプ及び整流回路の設計を行った。無線給電に従来利用されてきた電磁誘導方式に比べ、磁気共鳴方式はLC共振を利用することにより電力伝送効率を高めることが期待される。無線電力伝送には、プリント基板上コイルを用いることを想定している。昨年度、差動出力のパワーアンプを試作したが、差動出力である必要がなくなったため、差動出力をシングルエンド出力へ変更した。SPICEによるシミュレーション値と実測値の比較を行い、有意な結果が得られていることを確認した。試作したチップを用いた無線給電システムにおいて、伝送距離が15mmのとき、伝送効率及び受信電力がそれぞれ49%及び24mWという測定結果が得られた。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

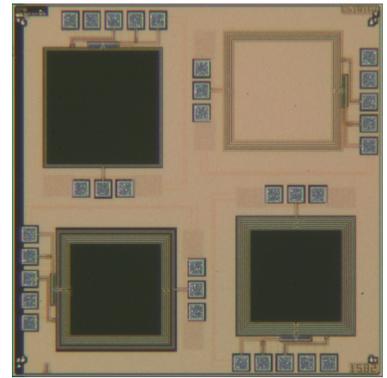


高効率な電源回路と超低電圧発振回路

東京大学生産技術研究所 篠塚 康人, アン ミンヨン, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要：本試作では、次の2種類の回路の設計を行った。1) 電源回路として、降圧型DC-DCコンバータ（バックコンバータ）の設計を行った。バックコンバータは、回路を構成するNMOSとPMOSがともにオフとなる時間（デッドタイム）を適切に与えることで、効率を改善することができる。そこで、本試作では、スイッチングする際のデッドタイムを適応的に調整する制御回路の設計を行った。MOSFETのドレイン電圧をモニタし、0Vとなるタイミングでスイッチングされるようにデッドタイムを最適制御することでMOSFETのジャンクション容量によるスイッチングロス低減し、効率の改善を実現した。2) 100mV以下の非常に低い電圧で発振する、オンチップトランスを用いた発振回路を設計した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）

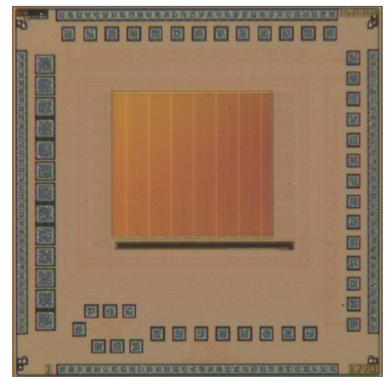


SFQ/CMOSハイブリッドメモリ用64-kbメモリ

横浜国立大学大学院工学府 桑原 啓太
横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として単一磁束量子（SFQ）論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップには8T-SRAMセルで構成されるメモリアレイ（容量64-kb）、デコーダ、及び21個のセルフバイアス型差動増幅器（アンプ）が実装されている。目的はSFQ-in, SFQ-outのハイブリッドメモリの全チャンネル動作を実証することである。これまでのメモリに対して、アンプの後段にバッファを挿入し駆動力を上げた。アンプの出力配線による遅延時間の増加をほとんど0にするためである。測定を行った結果、非常にノイズののった波形が観測されたが、アクセスタイムは前回の3.68nsから1.38nsに向上した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ

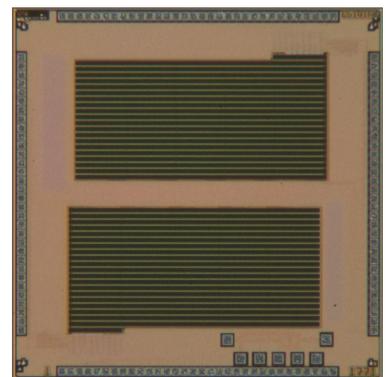


高感度CMOS差動増幅器と4相断熱的回路と6相駆動断熱的回路

横浜国立大学大学院工学府 石垣 敬之, 陳 賢珠
横浜国立大学大学院工学研究院 吉川 信行

概要：単一磁束量子論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせ高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。SFQ論理回路とCMOS回路を組み合わせるためにはインターフェース回路が必要でありそれを構成している一つの回路がCMOS差動増幅器である。このチップではSFQ論理回路からの微細な信号を直接読み取る高感度CMOS差動増幅器が載せられている。これまで研究してきたSelf-biased source-follower CMOS differential amplifierを改良した回路である。このチップを用いて測定を行った結果、400 μ Vの入力信号を読み取ることが可能であった。また、断熱的パストランジスタ論理回路を研究している。断熱的論理回路とは電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である。4相と6相の正弦波で動作する32ビット加算回路が101個並列に載っている。この加算回路はリップルキャリー型で、4bit計算ごとに断熱的ラッチ回路を挟む構成となっている。同機能の回路での消費電力の比較を行うため、Static CMOS回路のリップルキャリー加算器が101個載っている。また、断熱的論理回路の動作に必要な台形波クロックを作るために必要となる矩形波クロックを出力するStatic CMOSリングカウンタが載せられている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路（乗算器、除算器など）



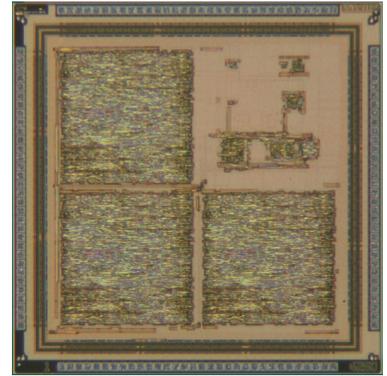
SLID

電気通信大学情報理工学研究所 Le Duc Hung

電気通信大学電気通信学部 蓬田 拓夢

概要：今回のチップ試作では、SLID の設計・試作を行なった。実装回路面積は、0.18um CMOSで2.5mm×2.5mmのフルチップである。試作後の測定において、シミュレーション通りの動作することを確認した。以下は、SLIDの詳細説明である。A information detection method has been implemented for a very fast and efficient search engine. This method is implemented on hardware system using 0.18um CMOS technology. We take advantages of Content Addressable Memory (CAM) which has an ability of parallel matching mode for designing the system. The system operates based on CAM blocks for pattern matching in parallel manner to return multiple addresses of multi-match results. This increases the matching performance of the search systems. Based on the parallel multi-match operations, the system can be applied for pattern matching or searching applications with various constraint search patterns without using any search principles. The system is used for high speed searching and matching patterns. The system is implemented on chip employing 3 CAM blocks operating in parallel. Each CAM block, which is generated from 2-port memory by logic cells, has size of 32-word×8-bit. The system has a simple structure consisting of CAM, SHIFT, AND circuits. The multi-match values from the system are returned concurrently. The detection time of the system always consumes 3 clock cycles for the whole processing. It is an important achievement to move forward to designing ASIC for fast searching applications.

設計期間：2 人月以上，3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18um 2.5mm 角チップ チップ種別：マイクロプロセッサ



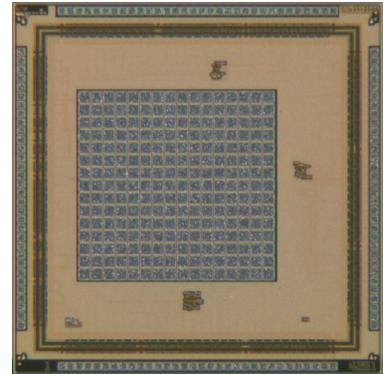
デジタル回路および素子評価 TEG の試作

電気通信大学情報理工学研究所 Hoang Van Phuc

電気通信大学電気通信学部 蓬田 拓夢

概要：今回試作を行なったのは、デジタル回路として、logarithm converter, Direct digital frequency synthesizer (DDFS) を、素子評価 TEG として、DEEP NWELL を用いたトランジスタと、インバータ回路を試作した。デジタル回路は動作を確認することができた。素子 TEG に関しては I/O の手違いにより、測定不可となったため、後のチップ試作にてもう一度試作を行なった。The logarithm converter is used popularly in many digital signal processing applications which require logarithm function computation. Moreover, it is also desired for the processors which use logarithmic number system or hybrid number system. In this chip fabrication time, we designed a 16-bit logarithm converter with 16-bit fixed-point input. The output is also 16-bit including 3-bit mantissa and 13-bit fraction. The converter includes a leading-one detector, a linear approximation block and one look-up table. The design of this converter was implemented using the stand cell library. Direct digital frequency synthesizer (DDFS) is the method to generate sine-wave directly by using a reference clock and frequency control word. It can be used for the wireless communication systems and digital signal processing applications. In this design, we use a look-up table to store the values of sine function. Moreover, a phase generation block was design to provide the address for this look-up table. The DDFS has 10-bit frequency control word and 8-bit sine-wave output. The design of this DDFS was implemented using the stand cell library.

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18um 2.5mm 角チップ チップ種別：マイクロプロセッサ



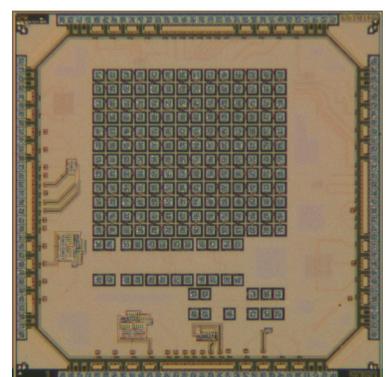
アナログ回路用ライブラリおよび素子評価 TEG の試作 (1)

高知工科大学工学部システム工学群 橘 昌良, 坂東 拓弥, 渡邊 勇磨

高知工科大学大学院基盤工学専攻 西面 尚彰

概要：本チップの目的はアナログ回路用ライブラリの設計および MOS トランジスタの特性評価である。試作した回路はアナログスイッチ、トリミング回路付き基準電流源である。初めに、アナログスイッチは CMOS スイッチとブートストラップスイッチを設計した。CMOS スイッチは NMOS と PMOS のトランジスタサイズ比を 1:2 で設計した。ブートストラップスイッチは MOS キャパシタを用いて設計した。次に、トリミング回路の動作検証を行うために 2bit 入力トリミング回路付き電圧不感型基準電流源回路を載せた。トリミング回路は MOS スイッチを使用し、電流源の抵抗を MOS スイッチのコンダクタンスを変化させ調整する。トリミング回路付き電流源回路は電源電圧変動±10%の範囲で調整できるように設計した。また、動作を検証するために必要である電圧不感型基準電流源回路や入力を補助する 5bit のカウンターも載せた。最後に、素子評価 TEG としてトランジスタサイズの異なった MOSFET を試作した。素子評価 TEG では基本特性のドレイン電流特性やしきい値および製造ばらつきを調査する。調査する製造ばらつきはチップ間ばらつきである。

設計期間：4 人月以上，5 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18um 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

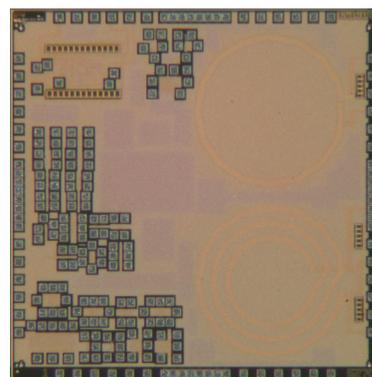


低電圧CMOSアナログ回路の試作

明治大学理工学研究科 魚住 和史, 小林 優太, 林 拓哉, 藤塚 純一, 石原 貴大
明治大学理工学部 藤井 達矢, 安田 信孝

概要：低電圧駆動というテーマを根底に置き、各々の研究において提案した回路、評価に必要な回路の試作を行った。以下が試作した回路の概略となる。非接触電力伝送を目的としたオンチップインダクタ、サーマルシャットダウンを目的とした微小電源電圧駆動PTAT電圧発生回路とインバータ回路、そして、その全体回路、基準電圧発生回路を目的としたしきい値検出回路、PTAT電流発生のためのOTA回路、微小電源電圧駆動電圧検出器と、それを構成するインバータ回路のTEG、温度センサを用いたログドメインフィルタ回路、弱反転領域のモデリングを目的とした、形状比やレイアウト違いのNMOS、PMOS単体。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



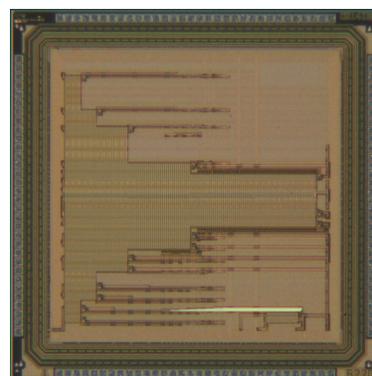
遅延時間差検出型アービター-PUF回路

立命館大学理工学研究科 菅谷 周平, 谷口 雅人, 浅川 俊介
立命館大学総合理工学研究機構 汐崎 充
立命館大学理工学部 藤野 毅

概要：耐タンパLSI回路技術として、製造ばらつきから複製困難なデバイス固有情報 (ID) を生成する Physical Unclonable Function (PUF) が注目されている。本研究室では全てのIDが同じ確率で発生させるため、製造ばらつきにより生じる等価な二経路間における信号遅延時間差を測定し、区分された時間と照合してレスポンスへ変換する遅延時間差検出型アービター-PUFを提案し、基本動作を確認してきた。本試作チップではセレクトクセクタに合わせて最適な区分ができるように設計し直した。実測よりセレクトクセクタに応じた設計が可能であり、個体認証と乱数生成が実現できることが確認できた。

参考文献：寺村 匡弘, 汐崎 充, 岡本 卓朗, 村山 貴彦, 藤野 毅, ” 認証と乱数生成利用のための遅延時間差検出型アービター-PUFの最適化手法”, SCIS2013, 2D4-5, 2013

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

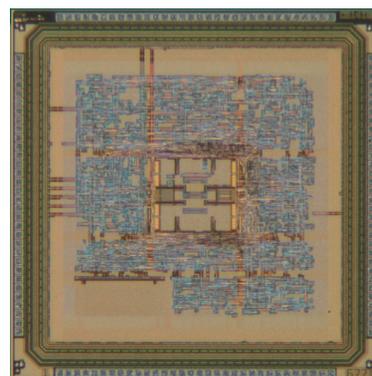


漏洩電磁波を用いたサイドチャネル攻撃のリーク要因調査用TEGチップ

立命館大学理工学研究科 浅川 俊介
立命館大学総合理工学研究機構 汐崎 充
立命館大学理工学部 藤野 毅

概要：暗号回路を搭載したLSIにおいて、消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。消費電力と漏洩電磁波の間には相関があり電力解析攻撃の対策が電磁波解析攻撃においても有効であると考えられてきたが、漏洩電磁波によるリーク要因には消費電力とは異なるものが含まれていることが指摘されはじめた。しかしながら、電磁波解析攻撃のリーク要因が何か、どの程度脅威と成り得るのか実験的には明らかとなっていない。本試作チップには、漏洩電磁波のリーク要因を調べるためのTEG回路を搭載した。実測により論理ゲート単体における電流経路リーク、メモリのアドレスに起因するリークが確認できた。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSIM, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



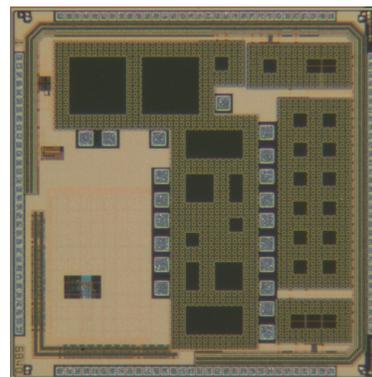
ワンチップ動作マイクロシステム用オンチップ太陽電池の設計

慶應義塾大学大学院理工学研究科 菊地 大樹, 中山 渉

慶應義塾大学理工学部 中野 誠彦

概要: 現在, チップ単体で動作する微小システムの実現を目指し, 電源システムの研究を行っている. そのシステムに用いる発電素子として, 太陽電池の利用を考えている. そのため, 本チップにおいてオンチップの太陽電池を試作し, 性能評価を行った. まず太陽電池の内部構造に関する性能比較を行うため, 設計パターンが異なる $100\mu\text{m} \times 100\mu\text{m}$ 太陽電池を 12 種類設計した. そのうち 2 種類の設計パターンについては面積に関する性能比較を行うため, $100\mu\text{m} \times 100\mu\text{m}$, $100\mu\text{m} \times 200\mu\text{m}$, $200\mu\text{m} \times 200\mu\text{m}$, $200\mu\text{m} \times 400\mu\text{m}$, $400\mu\text{m} \times 400\mu\text{m}$ の 5 種類にサイズを変えて設計を行った. また, $100\mu\text{m} \times 100\mu\text{m}$ 太陽電池を 2 基及び 3 基直列に接続し, 直列太陽電池としての性能評価を行った. 種々の測定の結果, まず最も出力を取り出すことができる設計パターンを特定できた. また, 太陽電池の面積と出力電流が線形に比例し, 出力電圧は面積の増加に対して微増することを確認できた. $400\mu\text{m} \times 400\mu\text{m}$ 太陽電池は負荷抵抗が $200\text{k}\Omega$ のとき, 450mV , $1.03\mu\text{W}$ の最大出力が得られた.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

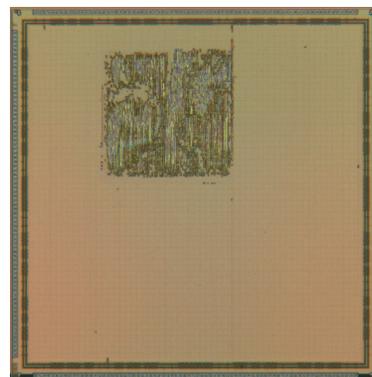


精度低下検出可能な浮動小数点演算器

広島市立大学大学院情報科学研究科 安仁屋 宗石, 北村 俊明

概要: 浮動小数点形式として広く使われている IEEE754 形式は, オーバーフロー, アンダーフロー, 丸め誤差等の検出は定義されているが, 情報落ちや桁落ちと言った演算精度に多大な影響を及ぼす事象についての検出が定義されていない. このため, 大規模な数値計算において, 結果の精度が問題とあることがあり, その対策が望まれている. この情報落ちや桁落ちは, 浮動小数点演算器において, オペランドの指数を合わせるプリスケールリングや演算後の正規化処理におけるシフト桁数を監視することで容易に検出でき, そのハードウェア量や動作周波数に対する影響は少ないと考えられる. 本試作では, このような浮動小数点演算器の論理設計を検証し, その動作速度やハードウェアの増加量の影響の少なさを実証した. 今後, 演算器のみならず, 演算制御回路やレジスタを装備した, 実証実験可能なチップ試作につなげたいと考えている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 Formality, **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 5.0mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



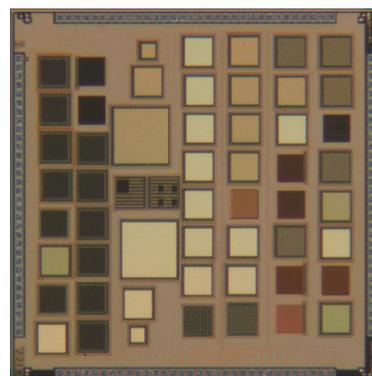
トリプルウェルを用いた on-chip 太陽電池の集積化 1

東洋大学総合情報学部 堀口 文男

概要: 1. 目的 通常のリングオシレータの p-well を Deep-nwell, n-well で囲むと p-well がフローティングとなる. また, n-well も基板の p-substrate とは接合分離されている. 太陽電池もトリプルウェル構造とすることで, CMOS 回路の基板とは独立に直列接続が可能になる. 2. 方法 各測定は 151 段のリングオシレータを用いる. 通常のリングオシレータの断面構造では p-substrate が p-well と共通となるために太陽電池の直列接続はできない. しかし, フローティング構造のリングオシレータは p-well が Deep-n-well で囲まれているため, 通常のリングオシレータと違い nmos に太陽電池とは独立して基板バイアスを印加することが可能となっている. 3. 結果 太陽電池を直列に接続し, 0.9V, 1.3V の高電圧を CMOS リングオシレータに印加することができることが確認できた.

参考文献: 堀口ほか, “直列太陽電池を集積したトリプルウェル CMOS LSI の構成法”, 信学論, Vol. J94-C, No. 5, pp. -, May (2011)

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

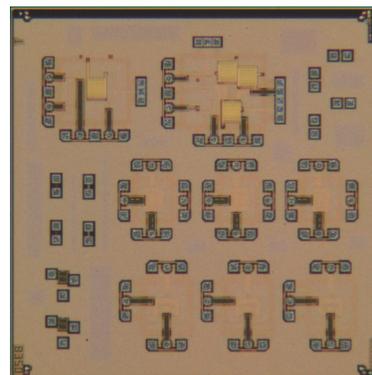


MOSFET パラメータ基板バイアス効果評価 TEG

東京理科大学大学院理工学研究科 岸 俊樹, 榎田 洋太郎

概要：直列均等分圧回路では直列接続された複数個のトランジスタが同一の動作をすることにより、トランジスタ単体の場合と比べてトランジスタ数倍の電圧を出力することができるといわれる。しかし、バックゲートをグランドに接続した場合、Si MOSFETでは各電極の対バックゲート電圧が異なるため、ドレイン電流および各電極間容量が変動され、分圧動作のバランスが崩れると予想される。本TEGは、直列均等分圧回路の試作の際に用いた抵抗、キャパシタのTEGおよびSi MOSFETパラメータの基板バイアス依存性の評価を目的として作製した。その測定結果を用いて、基板バイアス効果によるMOSFETパラメータの変調がある場合の直列均等分圧動作への影響を予測するとともに、均等分圧動作を行うために必要な設計法を明らかにする。TEGのDC測定によりバックゲート・ソース間電圧を変化させた場合のしきい値の変化を確認する。さらに抵抗、キャパシタおよびSi MOSFETのSパラメータ測定により等価回路モデルを作成し、試作した直列均等分圧型残留キャリア引き抜き回路の評価結果とシミュレーション結果を比較する予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Agilent社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

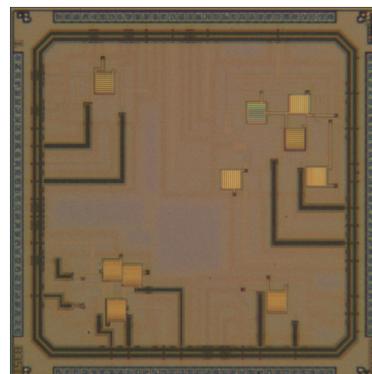


CMOS プロセスを用いたモニター付き直列均等分圧型残留キャリア引き抜き回路の試作

東京理科大学大学院理工学研究科 岸 俊樹, 榎田 洋太郎

概要：光源から発生する目に見える光（可視光）のLEDを人の目では感知できない高速度で点滅させ通信するのが可視光通信である。LEDは蛍光灯などに比べ高速応答が可能であり、可視光通信の光源としては最適であるが、それでも動作速度が数十Mbit/s以下である。LEDの伝送速度はLED自身の接合容量により大きく制限されている。これはLEDがON状態からOFF状態に変わる時に接合容量に残る残留キャリアの放電時定数が高く、消灯に時間がかかるためである。本試作ではモニター端子付き2段積み直列均等分圧回路を用いたCMOSインバータ回路をパッケージ実装により作製した。直列均等分圧回路とは、トランジスタ全体にかかる電圧を各段で均等に分圧するための回路である。このモニターを用いて、直列接続されたNMOSおよびPMOSトランジスタのそれぞれのドレイン電圧が電源電圧の半分となるように直列接続されたNMOSおよびPMOSトランジスタそれぞれの上段側トランジスタのゲート・ソース間電圧を調整することにより、均等に分圧されることをパッケージ実装された回路を用いて実験的に示す。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Agilent社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

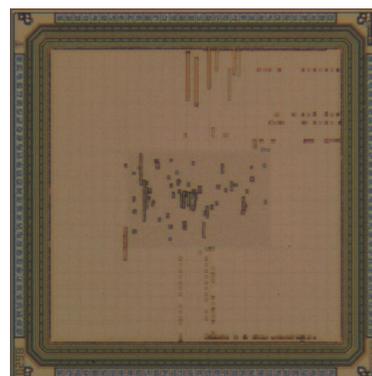


高機能ネットワークオンチップルータ

東京工業大学大学院情報理工学研究科 高前田 (山崎) 伸也, 五十嵐 俊哉, 藤枝 直輝, 吉瀬 謙二

概要：ネットワークオンチップにおける高機能ルータのチップを開発した。通常のルータの機能に加えて、(1)パケットの複製、(2)パケットの待ち合わせ、(3)パケットの比較、の3つの機能を持つ高機能ルータを1つ搭載する。8ビットデータ幅、4段のパイプライン (NRC/VA, SA, ST, LT)、フロー制御はクレジットベース、ルーティングアルゴリズムはX-Y次元順ルーティングである。各方向で3つの仮想チャネルを持ち、各仮想チャネルは8エントリの入力バッファを持つ。ルータのフリット入出力および制御情報用ピンがチップ外部に引き出されており、外部より通信ワークロードの挿入による検証が可能である。本チップの開発により実チップによる回路面積・消費電力の評価が可能となる。すべての構成要素をRTLレベルからスクラッチで設計し、RTL記述にはVerilog HDLを用いた。検証用ボードを作成して動作確認および評価を行う予定であるが、現時点においては検証は未了である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Formality, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

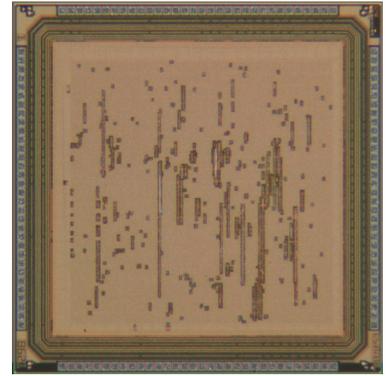


32ビット MIPS パイプラインプロセッサ

東京工業大学大学院情報理工学研究所 高前田 (山崎) 伸也, 藤枝 直輝, 吉瀬 謙二
東京工業大学工学部 浅野 悠

概要: MIPS32サブセットの32ビットパイプラインプロセッサのチップを開発した。1サイクル毎に1命令を発行し、6段のパイプライン (IF, ID, RF, EX, MA, WB) で構成されている。1次の命令キャッシュ・データキャッシュならびに gshare 分岐予測器を搭載する。メインメモリとしてチップ外部の8ビット幅SRAMを利用し、プログラムはUARTインターフェースを介して外部より転送する。また、16本の汎用I/Oを搭載し、外部デバイスとの接続が可能である。本チップの開発により実チップによる回路面積・消費電力の評価が可能となる。すべての構成要素をRTLレベルからスクラッチで設計し、RTL記述にはVerilog HDLを用いた。検証用ボードを作成して動作確認および評価を行う予定であるが、現時点においては検証は未了である。

設計期間: 0.5人月以上, 1人月未満 設計ツール: Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Formality, トランジスタ数: 100,000~1,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: マイクロプロセッサ

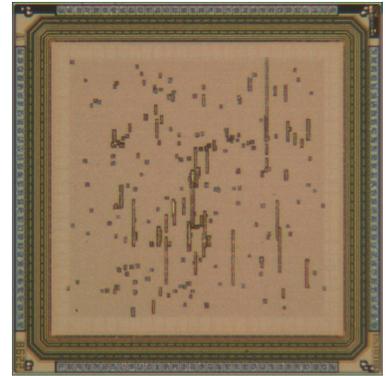


分岐予測切替えつき32ビット MIPS パイプラインプロセッサ

東京工業大学大学院情報理工学研究所 永塚 智之, 藤枝 直輝, 吉瀬 謙二

概要: MIPS32サブセットの32ビットパイプラインプロセッサのチップを開発した。1サイクル毎に1命令を発行し、6段のパイプライン (IF, ID, RF, EX, MA, WB) で構成されている。1次の命令キャッシュ・データキャッシュならびに3種類の分岐予測器を搭載する。メインメモリとしてチップ外部の8ビット幅SRAMを利用する。3種類の分岐予測器は入力信号により切り替えて使用でき、使用した分岐予測器における予測精度をパフォーマンスカウンタとして出力する。本チップの開発により実チップによる回路面積・消費電力の評価が可能となる。すべての構成要素をRTLレベルからスクラッチで設計し、RTL記述にはVerilog HDLを用いた。検証用ボードを作成して動作確認および評価を行う予定であるが、現時点においては検証は未了である。

設計期間: 0.5人月以上, 1人月未満 設計ツール: Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Synopsys社 Formality, トランジスタ数: 100,000~1,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: マイクロプロセッサ

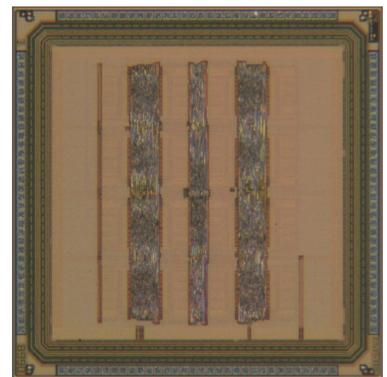


SRAM回路 TEG

金沢大学大学院自然科学研究所 岡田 尚也, 深山 正幸, 松田 吉雄

概要: 本試作では、複数のSRAM間でデータを自立的にやり取りする回路TEGを搭載した。データとともに転送先のアドレスがSRAMに格納されており、このアドレス情報をもとに、格納されたデータが任意のSRAMに転送される。この回路TEGはSRAMとルーティングボックスとよぶデータの流れをスイッチングする部分からなる。RAMに所望のプログラムを書き込むことによりシーケンサとして用いることもでき、カウンタ、シフト、演算などの論理機能がプログラマブルに実現できる。今回の試作では、基本機能の確認を目的として、256ワード×16ビットのシングルポートSRAMを16個搭載し、これらのSRAM間で任意にデータ転送ができる構成にしている。SRAMは提供されたモジュールを用い、ルーティングボックスは論理合成によるP&Rでレイアウトした。評価した結果、設計どおりの機能を確認し、また動作速度も約60MHzとほぼ設計どおりの動作速度を確認した。

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Mentor社 Calibre, トランジスタ数: 100,000~1,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: メモリ



3次元積層ソリッド・ステート・ドライブ向け電源回路

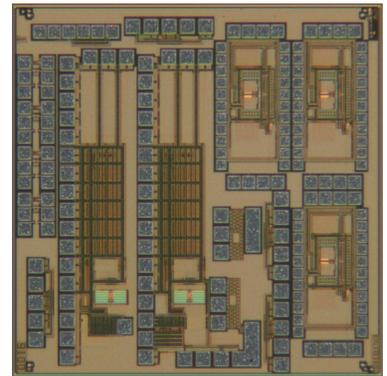
中央大学工学部 宮地 幸祐, 上口 光, 竹内 健

東京大学大学院工学系研究科 畑中 輝義

概要：ソリッド・ステート・ドライブ (SSD) はストレージデバイスの消費電力削減、性能向上をもたらす可能性を持つ。また、近年は相変化型メモリ (PCM) や抵抗変化型メモリ (ReRAM) などの新規不揮発性メモリの研究が盛んに進められている。NAND フラッシュメモリベースの SSD に、このような不揮発性メモリを用いることで、さらなる低電力化、高速化の実現が期待されている。本試作では、PCM/NAND ハイブリッド 3D-SSD 向けに正負温度係数を有する読み出し参照源を設計した。測定により、30~120°C の範囲で 40ppm/K の動作を確認した [1]。また、ReRAM/NAND ハイブリッド 3D-SSD 向けに ReRAM の書き換え電圧 (3V) を生成するブーストコンバータを設計した。PCB にインダクタを試作し、本試作チップおよび他プロセスの試作チップと組み合わせることで、NAND 向け書き換え電圧 (20V) と ReRAM の書き換え電圧 (3V) を同時に昇圧、出力できることを測定により確認した。

参考文献：[1] K. Miyaji, K. Johguchi, K. Higuchi, and K. Takeuchi, "An Integrated Variable Positive/Negative Temperature Coefficient Read Reference Generator for MLC PCM/NAND Hybrid 3D SSD," IEEE Asian Solid-State Circuits Conference, pp. 313-316, Nov. 2012.

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

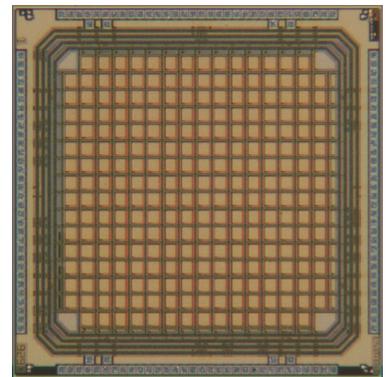


パワーインテグリティ評価チップ1

芝浦工業大学工学部 市村 航, 小林 遼太, 久保 元樹

概要：LSI の高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振によって生じる反共振ピークを抑え、電源ノイズを抑制するために 4 種類の電源構造を持つチップの設計をした。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、電源網にキャパシタと抵抗を付加しない振動領域を想定したものである。その他に本試作では、コア回路構成は同一で異なる電源構造をもつチップを 2 種類とチップ内部に可変用 MOS スイッチを配置し、キャパシタンスと抵抗の値を可変出来るチップの計 4 種類のチップを設計した。この試作チップによりノイズ源回路を駆動させたときの異なる電源構造によるノイズ低減効果をチップ内に配置したノイズモニタ回路により確認することができた。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence Virtuoso Schematic L, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

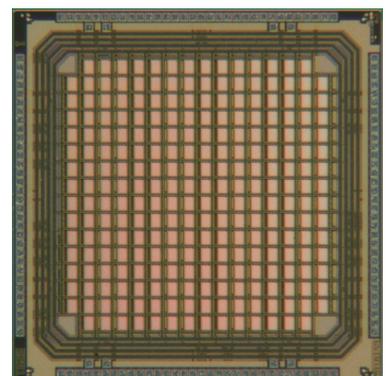


パワーインテグリティ評価チップ2

芝浦工業大学工学部 市村 航, 小林 遼太, 久保 元樹

概要：LSI の高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振によって生じる反共振ピークを抑え、電源ノイズを抑制するために 4 種類の電源構造を持つチップの設計をした。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、電源網にキャパシタのみを付加し、振動領域を想定したものである。その他に本試作では、コア回路構成は同一で異なる電源構造をもつチップを 2 種類とチップ内部に可変用 MOS スイッチを配置し、キャパシタンスと抵抗の値を可変出来るチップの計 4 種類のチップを設計した。この試作チップによりノイズ源回路を駆動させたときの異なる電源構造によるノイズ低減効果をチップ内に配置したノイズモニタ回路により確認することができた。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence Virtuoso Schematic L, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 HSPICE (RF), Synopsys 社 HSPICE (RF), Synopsys 社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

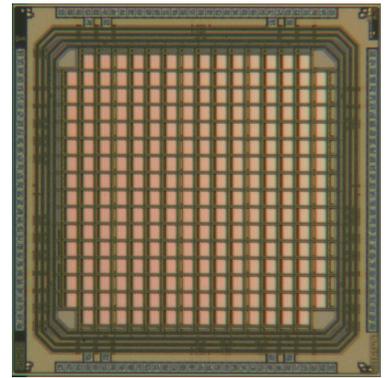


パワーインテグリティ評価チップ3

芝浦工業大学工学部 市村 航, 小林 遼太, 久保 元樹

概要：LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ（PI）を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振によって生じる反共振ピークを抑え、電源ノイズを抑制するために4種類の電源構造を持つチップの設計をした。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、電源網にキャパシタと抵抗を適正に付加し、ノイズ低減に最も有効である臨界制動領域を想定したものである。その他に本試作では、コア回路構成は同一で異なる電源構造をもつチップを2種類とチップ内部に可変用MOSスイッチを配置し、キャパシタンスと抵抗の値を可変出来るチップの計4種類のチップを設計した。この試作チップによりノイズ源回路を駆動させたときの異なる電源構造によるノイズ低減効果を、チップ内に配置したノイズモニタ回路により確認することができた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Synopsys社 HSI, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

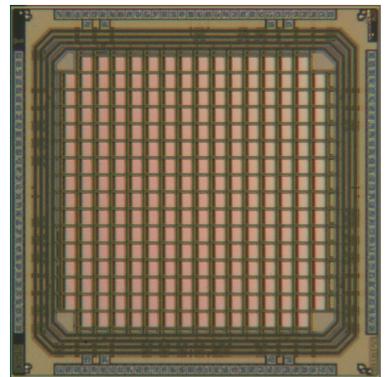


パワーインテグリティ評価チップ4

芝浦工業大学工学部 市村 航, 小林 遼太, 久保 元樹

概要：LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ（PI）を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振によって生じる反共振ピークを抑え、電源ノイズを抑制するために4種類の電源構造を持つチップの設計をした。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、チップ内部に可変用MOSスイッチを配置し、外部スイッチのON/OFF切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し、臨界制動領域を実現することを想定したものである。その他に本試作では、コア回路構成は同一で異なる電源構造をもつチップを3種類設計した。この試作チップにより可変用MOSスイッチによりキャパシタンスと抵抗の値を可変することで電源ノイズを抑制できることをチップ内に配置したノイズモニタ回路により確認することができた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence Virtuoso Schematic L, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Synopsys社 HSI, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

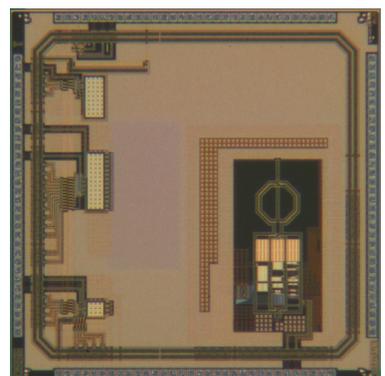


TDCとDCOの試作

会津大学大学院コンピュータ理工学研究科 伊藤 秀将, 束原 恒夫

概要：無線通信回路において、Phase Locked Loop (PLL) シンセサイザは所望のLO信号を生成するために用いる重要な要素回路である。従来はアナログ回路により構成されていたが、近年、CMOSの微細化や無線機器の小型化・低消費電力化の観点から、All-Digital Phase Locked Loop (AD-PLL) が注目を浴びている。本試作では、AD-PLLで用いられる要素回路を実装した。二つの信号間にある時間差を測定するためのTime-to-Digital Converter (TDC)、デジタル制御信号により出力信号が時間変化するDigitally-Controlled Oscillator (DCO)を試作した。TDCはディレイラインがバッファ構成となる従来型TDCである。DCOは1bitあたりの最小容量分解能がデジタル制御信号のディザリングなしに8aFから9aF得られるように設計しており、高い周波数分解能を達成する。今後、FPGA回路との連携によりAD-PLLを実装し、動作実験を行う。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Encounter RTL Compiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Agilent社 ADS, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



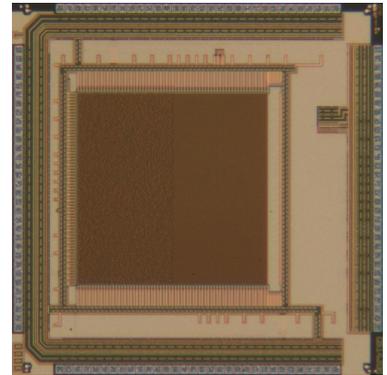
平成24年度第2回ローム CMOS 0.18 μ m 試作 (R018122)

擬似的不規則画素配置を持つイメージセンサ

金沢大学理工学域 秋田 純一, 五十嵐 覚

概要：通常のイメージセンサは正方格子状に配置された画素をもつが、斜め線の表現などにおいて、エッジ部分に段差上のジャギーが現れ、かつその現れ方が斜め線の傾きによって異なるという現象がおこる。このようなジャギーの現れ方の方向依存性は、特に斜め線の方向が時間と共に変わる動画像や、画像計測やパターンマッチングのような画像処理において対象物の方向によって計測や認識精度が異なるという問題となる。著者らは画素の中の受光領域の配置を擬似的に不規則とすることで、これらの問題を解決する手法を提案してきた。本試作では、擬似的不規則画素配置の画素配置がもつ特性を評価するために、同一の画素回路を配置する 128x128 画素のうち、半分の 128x64 画素を通常の正方格子状配置、残り半分の 128x64 画素を擬似的不規則画素配置とした CMOS イメージセンサを設計した。行選択・行リセット回路の論理に設計ミスがあり、正常動作を確認することができなかった。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Diva, Cadence 社 Spectre, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



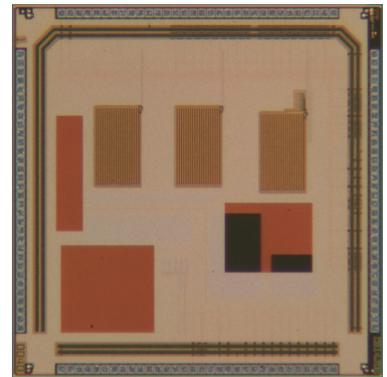
フィードバックによる MEMS の PWM 制御に向けた実時間容量測定回路

東京大学工学系研究科 児玉 和俊

東京大学大規模集積システム設計教育研究センター 池田 誠

概要：本試作では、PWM を利用して角度を制御する MEMS ミラーの制御へ向けた測定回路を設計した。測定対象の MEMS ミラーは並行平板によって構成されるミラーであり、PWM により並行平板に蓄えられている電荷量を変化させ、その角度を制御している。また、ミラーの容量値はその角度に従って変化するので、容量値を測定することで、ミラーの角度を導出することができる。容量値の測定は PWM の入力信号が Low の状態に行う必要があり、短時間で、MEMS に蓄えられている電荷量を大きく変化させず、そして測定対象の電圧に依存しないことが要求される。本試作では、この容量測定を行うと共に、測定によって導出されるミラーの角度を利用してフィードバックを行い、ミラーの静定時間を短くすることを目的としている。本提案手法では、電荷量の引き抜きを行い、その引き抜き前後の電位差から容量値を導出する。今回の試作では、TEG のキャパシタアレイの他に MEMS とボンディングするための端子を用意し、MEMS の容量測定が行える実装を行った。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



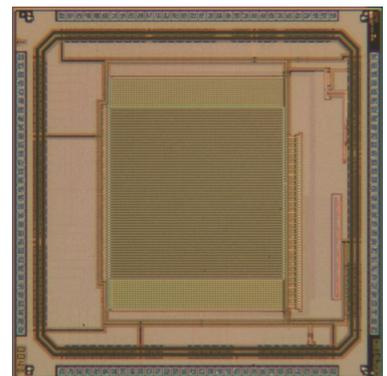
注目領域画素並列検波処理による 3次元形状取得向けイメージセンサ

東京大学工学部 松島 多佳彦

東京大学大規模集積システム設計教育研究センター 池田 誠

概要：変調シート光を用いた光切断法による 3次元形状取得システムにおいて、毎回のスキャンで画素配列上のシート光が照射されている注目領域に限定して検波処理を行う撮像システムの構築を目指して、その基本動作を確認できるイメージセンサを作成した。検波型イメージセンサは背景光抑制機能を有するが、複雑な検波回路を要するため、画素内に検波回路を配置すると画素が大きくなり解像度が低下してしまう。本チップは画素内に検波回路を配置せず、128x128 の画素配列の各列に 1 個、各行に 16 個の検波回路を配置した。各列の検波回路により画素配列上の注目領域を特定し、各行の検波回路によって注目領域におけるシート光の位置情報を検出する。この撮像システムにより検波型イメージセンサの高解像度化が可能である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ

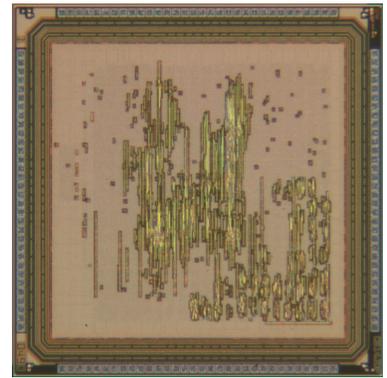


周波数及びスキュー変動機構を持つ内蔵発振器を用いた耐サイドチャネル攻撃 AES 暗号回路

名城大学理工学部情報工学科 浅井 稔也, 吉川 雅弥

概要：情報の隠蔽に広く利用されている暗号の処理ハードウェアは、その動作中に消費電流等に含まれて漏洩するサイドチャネル情報を観測及び統計処理することにより、秘密鍵を推定される可能性があり、様々な対策手法が提案されている。本試作では、標準暗号である AES の暗号化回路を3種類実装した。具体的には、攻撃未対策実装として2種類の回路、攻撃対策実装として1種類の計3回路を実装した。これらに加え、さらにコンフィギュレーション可能なリングオシレータを内蔵し、各暗号化回路の動作クロックに対して、任意に可変ジッターを加えることができる機構を搭載し、ジッター量と、サイドチャネル漏洩攪乱効果の相関を検討できるものとした。そして本チップを用いたサイドチャネル実験を通して、対策効果を確認した。

設計期間：2人以上, 3人未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE, Synopsys 社 Formality, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



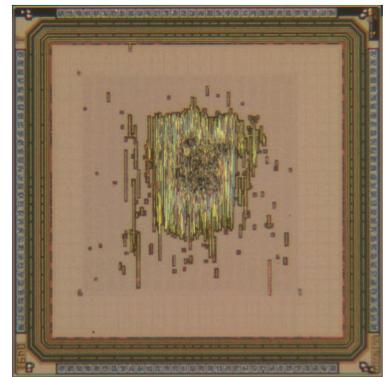
サイドチャネル攻撃対策 AES 暗号回路に対するハードウェアトロイの実装

名城大学大学院理工学研究科情報工学専攻 佐藤 隆亮

名城大学理工学部情報工学科 吉川 雅弥

概要：リバースエンジニアリング技術の発展に伴い、オリジナル回路に対して何らかの意図を持った変更を行うハードウェアトロイの危険性が顕在化している。実際に世の中に供給されているデバイスの中には模造品が含まれているとの報告があり、その対策について検討をする必要がある。本試作では、AES の暗号化処理回路にハードウェアトロイを混入させたケースを実装した。具体的には、秘密分散法を利用した対策手法である Threshold Implementation 法による耐タンパ設計が施された AES 暗号化処理回路に対し、あるトリガ条件が発生するとこの耐タンパ機能を無効化するようなハードウェアトロイを実装し、実験を通じて、ハードウェアトロイの機能する様子を確認した。

設計期間：4人以上, 5人未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Formality, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



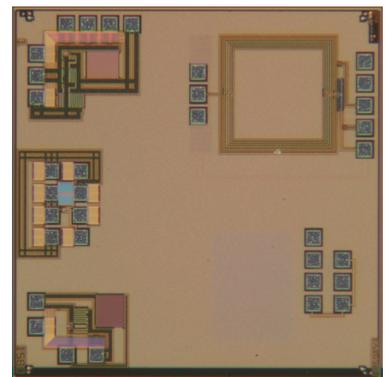
降圧型 DC-DC コンバータ

東京大学生産技術研究所 柳原 裕貴, 吉岡 和顕, 森 雄章, 篠塚 康人, 高橋 亮, 更田 裕司, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：LSI 設計フロー及び測定技術の習得を目的として、降圧型 DC-DC コンバータ、及び、コンパレータの設計・試作を行った。設計した DC-DC コンバータは、駆動されるパワートランジスタの幅を外部信号で制御できるようになっており、負荷電流の大きさによってトランジスタ幅を変えることで、効率を高めることを目的としている。また、DC-DC コンバータのスイッチング時に貫通電流が流れることによる効率低下を防ぐため、NMOS、PMOS ともにオフとなる時間を設定するデッドタイムが存在するよう設計を行った。合わせて、DC-DC コンバータの制御に用いるコンパレータの設計も行った。現在、設計した回路の測定・評価を行っている。

設計期間：2人以上, 3人未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

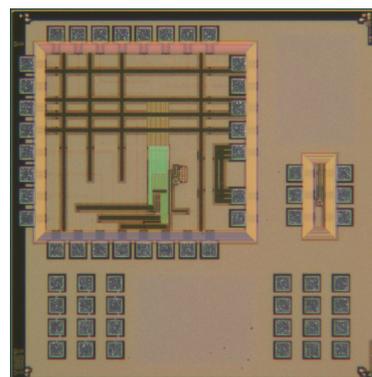


磁気共鳴による無線電力伝送用回路向け位相検知回路

東京大学生産技術研究所 井口 俊太, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要：無線給電に従来利用されてきた電磁誘導方式に比べ、磁気共鳴方式はLC共振を利用することにより電力伝送効率を高めることが期待される。磁気共鳴方式無線給電システムにおいて電力伝送効率を最大化するためには、負荷のリアクタンス成分を0にするようなキャパシタンスの制御が必要である。そこで、本試作では負荷のリアクタンス成分を検知するための電流電圧間位相検知回路の設計・試作を行った。位相検知回路を実現するために、スイッチト・キャパシタを用いたアンプ、位相差をデジタル値に変換するためのVCO及びカウンタを設計した。SPICEを用いたシミュレーション結果から、電流と電圧の位相差に比例したデジタル値がカウンタから出力されていることを確認した。現在、試作したチップの実測による評価を行なっている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

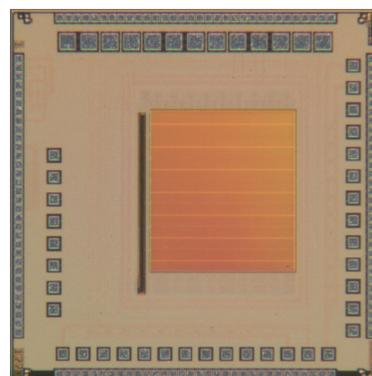


SFQ/CMOS ハイブリッドメモリ用 64-kb メモリ

横浜国立大学大学院工学府 桑原 啓太
横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップには8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的はSFQ-in, SFQ-outのハイブリッドメモリの全チャンネル動作を実証することである。これまでのメモリに対して、前回同様、駆動力を上げ遅延時間を抑えるためにバッファ付きのアンプを実装した64-kbメモリを構築した。測定を行った結果、前回同様非常にノイズののった波形が観測されたが、任意のアドレスからの正常出力が得られた。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ

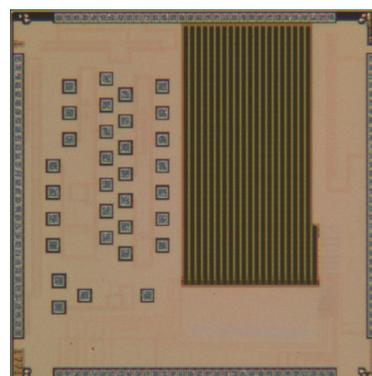


高感度 CMOS 差動増幅器と 6相駆動断熱的回路と Static CMOS 回路

横浜国立大学大学院工学府 石垣 敬之, 陳 賢珠
横浜国立大学大学院工学研究院 吉川 信行

概要：半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。SFQ論理回路とCMOS回路を組み合わせるためにはインターフェース回路が必要である。このインターフェース回路を構成している一つの回路がCMOS差動増幅器である。このチップではSFQ論理回路からの微細な信号を直接読み取る高感度CMOS差動増幅器が載せられている。前回載せた回路から微細は入力信号の読み取りが確認できたが、今回は周波数特性を調べるため出力バッファを追加した回路を載せた。測定結果、シミュレーションで得られた最大周波数まで至ることができなかった。またCMOS集積回路を用いた低電力化技術として、断熱的パストランジスタ論理回路を研究している。断熱的論理回路とは電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である。本チップには、6相の正弦波で動作する32ビット加算回路が101個並列に載っている。前回のチップに載せたものと同じであるが電源、グラウンドの配線幅を変更している。Static CMOSリングオシレータを3通りの段数で設計したものを載せている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路 (乗算器, 除算器など)



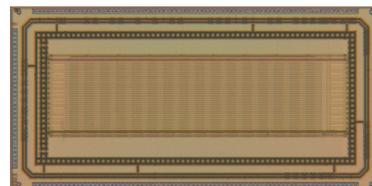
ユークリッド距離・マンハッタン距離を高速かつ小面積に実現するデジタル並列型連想メモリの開発

広島大学ナノデバイス・バイオ融合科学研究所 マタウシュ ハンス ユルゲン

広島大学大学院先端物質科学研究科 佐々木 静龍, 赤澤 智信

概要: 連想メモリとは、ある参照ベクトル群の中から最も類似するベクトルパターンを検索する機能メモリである。これまで、本研究室ではクロックにより距離を離散的な時間領域に変換する、高信頼かつ高速・低消費電力なデジタル時間領域マンハッタン距離検索連想メモリの開発を行ってきた。しかしながら、距離を時間領域に変換するためにユークリッド距離などをを用いた場合、距離が大きくなりそれに比例して検索時間が増大してしまうという問題があった。そこで本試作では、検索アルゴリズムの改良によりこれを解決し、ユークリッド距離検索においても高速な検索を実現した。また、絶対値差計算回路における全加算器を逐次処理型の乗算器として再利用することでユークリッド距離計算回路の面積を削減した。本試作では以上の機能を実装することで、エラーフリーな検索、テクノロジーとデータサイズに対するスケーラビリティを獲得しつつ、高速・低消費電力なユークリッド距離検索連想メモリを実現した。

設計期間: 1 人以上, 2 人未満 **設計ツール:** Cadence 社 Virtuoso, TOOL 社 Lavis, Mentor 社 Calibre, Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** メモリ



小型弛張型発振器及び無線通信回路 TEG

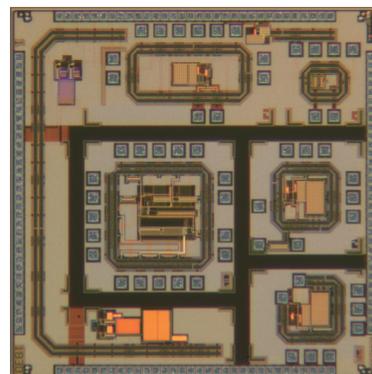
豊橋技術科学大学大学院工学研究科 山根 駿也

豊橋技術科学大学工学部 秋田 一平

概要: 無線センサネットワークなど、低電力化、小型化が求められる用途においては、各種機能の完全集積化技術が重要となってくる。特に、基準発振器はチップ外部品である水晶発振器により、実現されているため、本機能の集積化が求められている。本 TEG はそのような目的のための弛張型発振回路であり、特に、特徴としては温度変化に対する発振周波数の変動抑制技術が搭載されている。具体的には、抵抗ばらつき、抵抗温度係数の補正に関するキャリブレーション技術がベースとなっており、本試作品の評価結果をフィードバックして、今後、より精度を高めていく予定である。一方、無線通信回路に関しては外部センサデバイスと共に SiP パッケージすることで、その動作検証、発展設計を進めていく。

参考文献: 山根, 秋田, 石田, “ワイヤレスセンサシステムに向けた小型基準発振器の開発,” 電子情報通信学会ソサイエティ大会, C-12-20, p.93, Sept. 2012.

設計期間: 3 人以上, 4 人未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

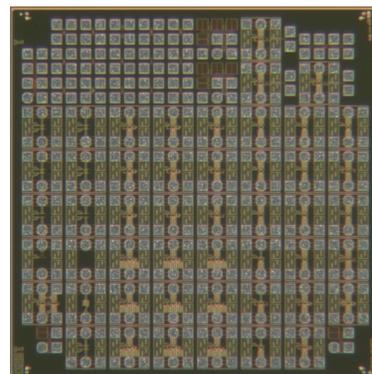


太陽電池アシストによる高効率 CMOS 整流回路の研究

東北大学大学院工学研究科 小谷 光司

概要: 本研究では、一般的な実環境において、同時に存在する異種環境エネルギーを複数同時に利用し、それらの相乗効果によって高効率にエネルギーを取り出す技術の確立を目指している。今回のチップ試作では、環境電磁波からエネルギーを獲得するための整流回路を対象に、整流素子として用いる MOS トランジスタのしきい値を、太陽電池により光エネルギーから獲得したバイアス電圧で補償し、高効率な整流を実現した。入力電磁波電力と光エネルギーはそれぞれ独立な環境エネルギー源であるため、微弱な入力電力条件であっても大きな電力変換効率が実現できた。本試作チップには、様々な太陽電池セル構造の効率を比較するための各種 TEG を搭載している。特に nMOS トランジスタと pMOS トランジスタを独立にバイアスするための 2 つの太陽電池を、同一基板上に絶縁しながら集積するための構造について詳細に検討した。

設計期間: 0.5 人以上, 1 人未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



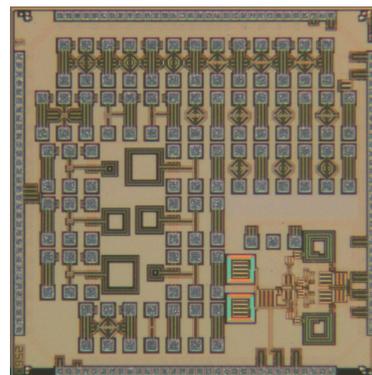
高周波用アナログデバイスのTEGと低雑音増幅器LNA及びコルピッツ発振器によるVCOの試作

中央大学大学院理工学部 高橋 俊市, 金子 成悟, 猪股 昇, 薬師寺 祐介, 杉本 泰博

概要：LNAは無線通信システムの初段にあたる増幅器であるため、高利得に加えて雑音指数を最小に設計する必要がある。そこで、利得を低下させることなくLNA回路全体のNFを最小にする素子値を示すため、ノイズ相関行列の演算を用いた手法について検討している。この手法を基に、LNA回路を構成するMOSとスパイラルインダクタの実測値を考慮した上でのLNAの雑音指数を最小にするための設計手法を確立することが今回の目的である。今回、異なるインダクタンスを持った4種類のLNA回路、LNA回路の構成素子であるMOSとスパイラルインダクタを試作し、各実測値から設計手法を評価した。また、実測精度を上げる目的でDUTを除いたダミーパターンを複数試作した。

参考文献：J. S. Goo, et. al, "A Noise Optimization Technique for Integrated Low-Noise Amplifiers". IEEE JSSC pp. 994-1002, AUGUST 2002.

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



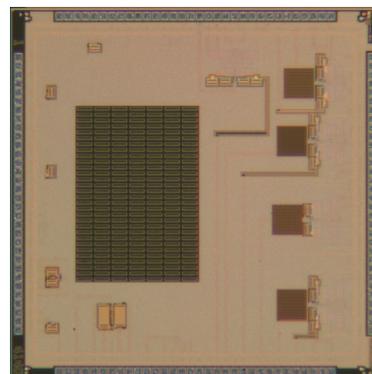
集積化照度センサの設計・評価

慶應義塾大学理工学部 田村 圭太郎, 松本 佳宣

概要：農場や植物工場において植物の育成状況の評価を行うための環境のモニタリングが必要とされている。複数箇所を同時に測定するために、センサから無線などでデータを送信するセンサネットワークの利用が考えられている。センサネットワークに用いるセンサとして、電池駆動可能なように低消費電力であることが求められている。また、温度や光量など、植物の育成に必要な条件を測定するセンサを用いる必要がある。その中でも光量の測定は植物が光合成により成長するため特に重要である。光合成は特定の波長の光を吸収することで行われる。そのため、そこでCMOSプロセスを用い、小型で低消費電力な照度センサの設計、レイアウトを行った。また、低電圧で動作する演算増幅器と一緒に試作して光量を電圧に変換する構成とした。試作したチップの測定の結果、13000ルクスまで光量に比例した電圧出力が得られた。

参考文献：田村 圭太郎, 松本 佳宣, 岸 達也, 平野 貴久, "サブ波長金属構造体を用いた集積化光フィルタの試作", 第4回集積化MEMSシンポジウム, pp.11-15, (2012.10.23)

設計期間：1人月以上, 2人月未満 設計ツール：Mentor社 Calibre, Cadence社 Dracula, Cadence社 Diva, Cadence社 Spectre, Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ

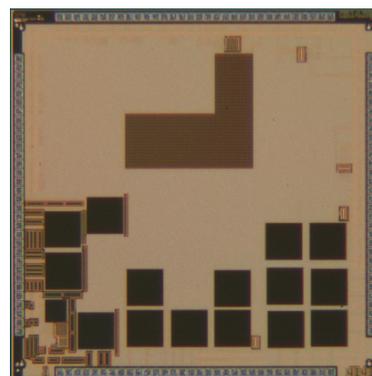


集積化カラーセンサの設計・評価

慶應義塾大学理工学部 平野 貴久, 松本 佳宣

概要：近年、植物の育成状況の評価を行うために、農場内の環境のモニタリングが行われている。複数箇所を同時に測定するために、センサから無線などでデータを送信するセンサネットワークの利用が考えられている。センサネットワークに用いるセンサとして、電池駆動可能なように低消費電力であることが求められている。また、温度や光量など、植物の育成に必要な条件を測定するセンサを用いる必要がある。その中でも光量の測定は植物が光合成により成長するため、特に重要である。光合成は特定の波長の光を吸収することで行われる。そのため、他の波長の光量を測定する必要はなく、特定波長の光量の測定が行えればよいので、光センサにカラーフィルタを用いる必要がある。そこでCMOSプロセスを用い、小型で低消費電力なカラーフィルタ付き光量センサの設計、レイアウトを行った。試作したチップを用いて各種の光測定実験を行い、カラーフィルタの選択性を示す結果が得られた。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ

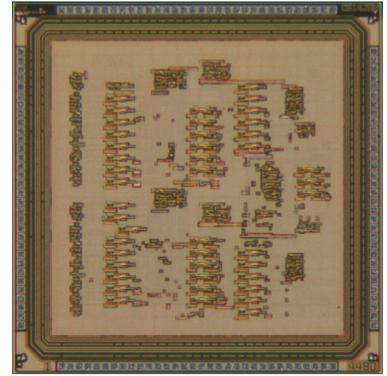


遅延故障検出用テスト容易化回路およびIC間断線検査用回路の試作

徳島大学大学院先端技術科学教育部 小西 朝陽, 槇本 浩之, 二宮 孝暢
徳島大学大学院ソシオテクノサイエンス研究部 四柳 浩之, 橋爪 正樹

概要：ICのテスト容易化設計として、遅延故障のテスト容易化回路とIC間断線の電氣的検査を行うためのテスト容易化入力保護回路の2種のテスト容易化回路の試作を行った。遅延故障検出用テスト容易化設計として、遅延付加ゲートを含む遅延検出回路を構成可能なバウンダリスキャンセルを設計した。遅延測定の対象回路として、ベンチマーク回路を2種含み、測定対象パスの選択を行うデコーダ回路の設計も行った。試作チップにより遅延付加・測定回路自体の遅延値のばらつきを測定することで、検出可能な異常遅延量の見積りが可能となった。また、IC間断線の電氣的検査用のテスト容易化入力保護回路としては、テスト時にIC間断線に電流を流し電氣的に接続検査を行うための入力保護回路を3種設計した。また、検査用端子としても入力保護回路を設計し、チップ内に組み込んだ。

設計期間：5人月以上、6人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

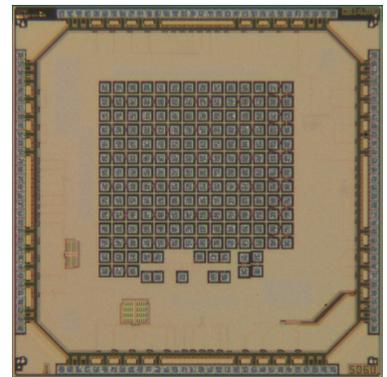


アナログ回路用ライブラリおよび素子評価TEGの試作 (2)

高知工科大学工学部システム工学群 橋 昌良, 坂東 拓弥, 渡邊 勇磨
高知工科大学大学院基盤工学専攻 西面 尚彰

概要：本チップの目的はアナログ回路用ライブラリの設計およびMOSトランジスタの特性評価である。試作した回路はアナログスイッチ、トリミング回路付き基準電流源である。初めに、アナログスイッチはCMOSスイッチとブートストラップスイッチを設計した。ブートストラップスイッチはスイッチングクロックと充電を同一のクロックにて実行している。そこで、スイッチングクロックを独立した回路を設計した。次に、設計したトリミング回路の評価を行うために5bit入力トリミング回路付き電圧不感型基準電流源回路を載せた。また、入力の補助としてシフトレジスタを使用するために動作確認のためにシフトレジスタを載せた。また、バンドギャップ基準電圧源回路を設計するために必要なSUBPNPダイオードの特性を調べるためにエミッター面積が異なる2つのSUBPNPダイオードのTEGを載せた。最後に、素子評価TEGとしてトランジスタサイズの異なったMOSFETを試作した。このTEGはPADの共有により、5月試作のTEGの面積の縮小を行ったものである。面積の縮小することによって、5月試作のTEGより多くのトランジスタサイズのMOSFETをチップに搭載することができた。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

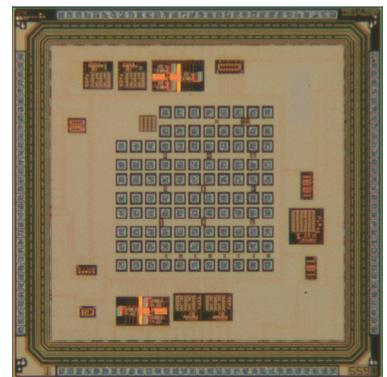


CMOS基準電流および基準電圧発生回路

富山県立大学大学院工学研究科情報システム工学専攻 朝野 風太
富山県立大学工学部情報システム工学科 松田 敏弘, 岩田 栄之

概要：アナログ回路において重要な基準電圧発生回路は、電源電圧、温度やプロセスパラメータの変動に依存しない一定の電圧を出力できる高精度なものが必要とされている。とくに、しきい値電圧のばらつきの影響を受けない回路技術が求められている。当研究室で開発したCMOS基準電圧発生回路を応用し、しきい値電圧変動の影響を抑えた基準電圧発生回路を設計した。また、近年では回路の小型化や低消費電力化も求められている。そのため、1つの回路で基準電流と基準電圧を同時に出力する回路の設計も行った。基準電流と基準電圧の生成には、類似の動作原理と回路構成が用いられていることに着目し、回路を共有化して1つの回路ブロックにまとめることで、小型化と低消費電力化を目指している。本チップには、しきい値電圧依存性を抑えた基準電圧発生回路、基準電流と基準電圧を同時に出力可能な回路および単体nMOSFETをアレイ状に並べたものを搭載した。基準電流・基準電圧発生部のnMOSFETのW/L比を調整可能とすることで、チップに搭載した回路に最適なnMOSFETのサイズを決定できるようにしている。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



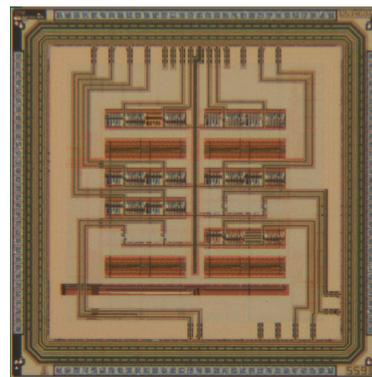
LSIチップ内の温度分布の解析

富山県立大学大学院工学研究科情報システム工学専攻 花井 大輝

富山県立大学工学部情報システム工学科 松田 敏弘, 岩田 栄之

概要：MOSFETの微細化によるVLSIの高集積化が進んでおり、消費電力の増大が深刻化してきている。その結果、VLSI内に局所的な高温箇所が発生し、回路の特性や信頼性などに影響するチップ内温度分布の不均一性が問題となっている。したがって、LSIに内蔵可能な、小型で高精度な温度センサが求められている。また、現在提供されている熱伝導シミュレータはLSIの設計に非常に有用であるが、シミュレーションの精度をさらに高めるためにも、実験による実測値とシミュレーション結果の検証は必要不可欠である。本研究では、熱源となる抵抗とそのまわりに配置されたダイオードまたはMOSFETアレイからなるテスト回路をLSIとして設計・試作し、実測とシミュレーションを用いてLSI内の温度分布を解析することを目的としている。本テストチップ中の1ブロックには、熱源となる抵抗1個と、温度センサとなるダイオードまたはMOSFETが32個で構成されている。テストチップ内には、温度センサブロックを24個配置し、熱源やセンサの種類と形状による温度分布の変化を解析できるようにした。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

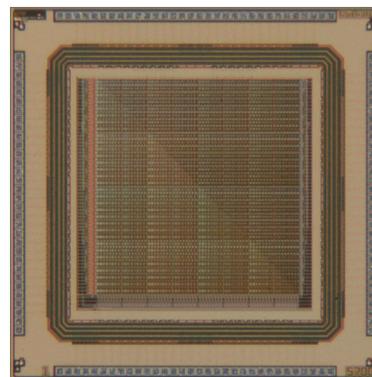


完全デジタルSRAM動作測定回路

九州工業大学情報工学部 斎藤 貴彦, 後藤 弘明, 中村 和之

概要：今回本研究室では、書き込み動作や読み出し動作時に電位の衝突の生じないSRAM (Static Random Access Memory) である、Ratio-less SRAMの研究を行っている。最も一般的な従来SRAMである6Tr-SRAMは、書き込み動作や読み出し動作時に電位の衝突が生じるため、その際にデータの破壊が起きてしまう可能性がある。そのため、本研究室では、従来6Tr-SRAMに新たに6つのトランジスタを追加し、書き込み動作や読み出し動作時の電位の衝突を回避する構造のRatio-less12Tr-SRAMの設計を行った。このRatio-less12Tr-SRAMの低電源動作をシミュレーション上だけでなく、実際に試作チップ上で確認することにより、提案SRAMの有用性を実証することが、本チップ試作の目的である。本チップには、提案SRAMであるRatio-less12Tr-SRAMを構成する4096個のメモリセルそれぞれが、設計寸法が二桁異なるトランジスタの組み合わせでできたモザイクTEG方式となっており、全てのセルの動作を確認することで、ばらつきに左右されない完全デジタル動作を確認するものとなっている。

設計期間：1人月以上、2人月未満 設計ツール：ns-draw (ns-spice), Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

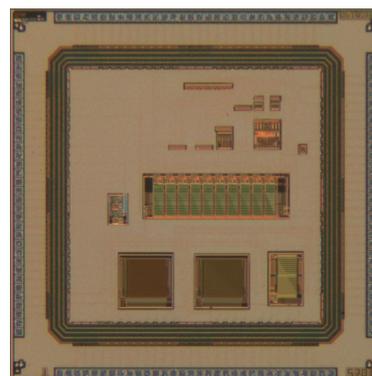


各種SRAM評価用TEG

九州工業大学情報工学部 西山 智史, 山本 裕允, 伊見 仁, 中村 和之

概要：本研究室で提案されている「閾値電圧ばらつき評価SRAM」「低電圧耐性SRAM」及び「コーディング法適用SRAM」の評価を行うTEGとなっている。閾値電圧ばらつき評価SRAMについては外部から電源を用いて6トランジスタSRAMの閾値を意図的にばらつかせることが可能なTEGとなっている。このTEGを用いて6トランジスタSRAMの閾値電圧ばらつき耐性を実測により評価する事を目的としている。低電圧耐性SRAMについては6トランジスタSRAM, 8トランジスタSRAM, 12トランジスタSRAMの各種SRAMの電源電圧を下げる事により、低電圧でも動作可能なSRAMの検証を行うためのTEGである。従来の6トランジスタSRAMに対し、完全デジタルSRAMである12トランジスタSRAMの低電圧動作を実測により評価する事を目的としている。コーディング法適用SRAMについては当研究室で提案されているコーディング法を用いた電源スタック型回路構造を実測するために、6トランジスタSRAMに対しコーディング回路を付加したTEGとなっている。このTEGを用いて電源スタック型回路構造を構築し、今まではシミュレーションでのみ解析を行ってきた中間電位変動を実測により評価することを目的としている。

設計期間：2人月以上、3人月未満 設計ツール：ns-draw (ns-spice), Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

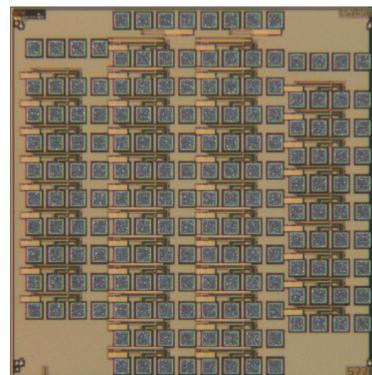


ゲート酸化膜破壊評価回路

東京大学生産技術研究所 更田 裕司, 桜井 貴康

概要：近年、プロセスの微細化に伴い、MOSトランジスタのゲート酸化膜厚が薄くなり、低い電圧でも酸化膜破壊を起こすようになった。これは、LSIの信頼性の低下を招くという問題がある一方、この現象を積極的に回路に応用しようとする試みがなされている。本試作回路は、トランジスタのゲート・ドレイン・ソース・基板の印可電圧によって、ゲート酸化膜破壊が発生するまでの時間やどのような形態で発生するか等の基礎的な情報を得る事を目的とする。トランジスタのゲート・ドレイン・ソース・基板各点に任意の電圧を与えることができるような回路構成とし、ゲート長や幅を変えた複数種類の評価回路を実装した。試作チップの評価を行い、トランジスタのゲート・ドレイン・ソース・基板の電圧印可条件によってゲート酸化膜破壊がどのように変化するか等、様々な知見を得ることが出来た。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



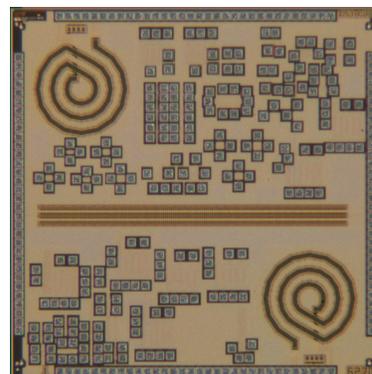
低電圧CMOSアナログ回路の試作

明治大学理工学研究科 林 拓哉, 藤塚 純一, 小林 優太, 伊藤 遼, 石原 貴大

明治大学理工学部 高野 真大, 安田 信孝, 林 鐘煥

概要：低電圧駆動・高周波通信というテーマを根底に置き、各々の研究において提案した回路、評価に必要な回路の試作を行った。以下が試作した回路の概略となる。非接触電力伝送を目的としたオンチップインダクタ、サーマルシャットダウンを目的としたインバーター回路、サーマルシャットダウン全体回路、基準電圧発生回路を目的としたしきい値検出回路、微小電源電圧駆動電圧検出器の温度特性評価を目的とした形状比違いのインバーター回路 TEG、微小電源電圧駆動 PTAT 電圧発生回路を基にした基準電圧発生回路、トリプルウェル構造を持ったソースフォロワ回路 TEG、弱反転領域のモデリングを目的とした、形状比違いのインバータ回路、NMOS, PMOS 単体、高周波通信を目的とした非線形伝送線路。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



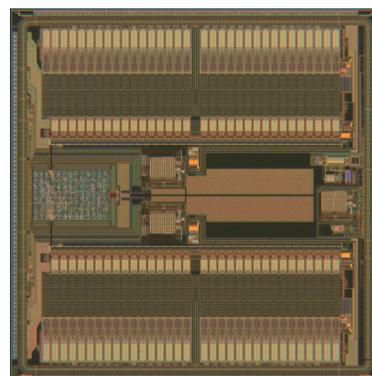
多チャンネル皮質脳波信号計測チップ

大阪大学生命機能研究科 鈴木 隆文, 安藤 博士

広島大学先端物質科学研究科 吉田 毅

概要：脊椎損傷などにより運動機能を失った人の生活の質を向上させるため、考えるだけで義肢などを操作できるブレイン-マシン-インタフェース (BMI) の実現が期待され、その信号源として侵襲性と情報量とのバランスなどから皮質脳波信号が注目されている。本研究では、生体に埋め込み可能な小型のBMIシステムを実現するために、多チャンネル皮質脳波安定計測チップの改良試作を行った。搭載回路は、64チャンネルの低雑音増幅回路、12bitAD変換器、システム制御回路である。設計した低雑音増幅回路は、振幅が数 μ V~1mV程度で、信号帯域~100Hz程度である皮質脳波信号を検出するために、弱反転領域で動作するMOSFETを用いたフィードバック構成で実現した。また12bitAD変換器は32kSpsで動作した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 NanoSim, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：アナデジ混載

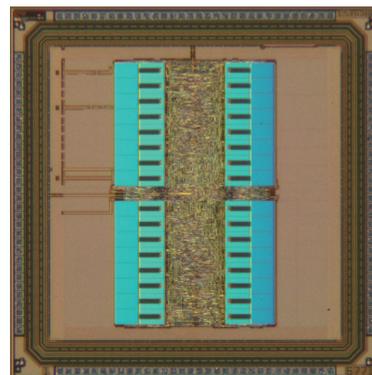


電力解析攻撃対策を有する Dual-Rail RSL メモリ方式を利用した AES 暗号回路

立命館大学理工学研究科 浅川 俊介
立命館大学総合理工学研究機構 汐崎 充
立命館大学理工学部 藤野 毅

概要：IC カードに代表される，暗号回路を搭載した LSI において，消費電力や漏洩電磁波を用いたサイドチャンネル攻撃により暗号鍵情報が窃取される危険性が指摘されている．一般的に，暗号回路は暗号動作時における内部ノードの論理値と消費電力の間に相関がある為，消費電力波形を統計処理し，電力解析攻撃を行うことで秘密鍵を特定することができる．本試作チップには，どのような値が入出力されても消費電力を一定となる S-Box 回路と，複数ビットの乱数マスキング対策により暗号処理動作と消費電力との相関を切り離すことで，電力解析攻撃耐性を実現した AES 暗号回路を搭載した．加えて，レイアウト設計が攻撃耐性にどのような影響を与えるか評価する目的も兼ねている．

設計期間：2 人以上，3 人未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSIM, トランジスタ数：100,000~1,000,000
試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



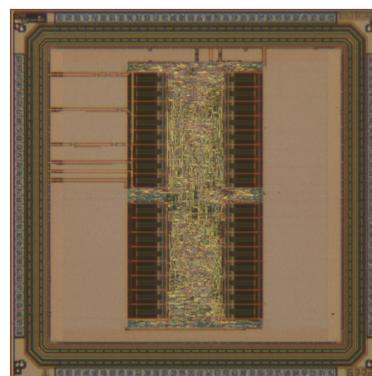
2線 RSL メモリ方式を用いた電力解析攻撃対策 AES 暗号回路の改良

立命館大学理工学研究科 柴谷 恵, 岩井 克彦, 浅川 俊介
立命館大学総合理工学研究機構 汐崎 充
立命館大学理工学部 藤野 毅

概要：消費電力や漏洩電磁波から秘密情報を窃取するサイドチャンネル攻撃の脅威に IC カードなどの暗号デバイスはさらされている．我々は小面積・低消費電力且つ実装容易な 2 線 RSL メモリ方式を提案し，AES 暗号への実装を行って十分な電力解析攻撃耐性を確認してきた．本試作チップでは，提案方式が多様な暗号アルゴリズムに適用できるように 2 線 RSL メモリに対して，入出力ビット数が増減しても容易に変更できる回路構成へ改良，クロックタイミングの再調整，出力安定化のための回路修正を施した．そして，実測により基本動作を確認し，電力解析攻撃の耐性評価を行った．

参考文献：柴谷恵，岩井克彦，汐崎充，浅川俊介，藤野毅，”2 線 R S L メモリ方式を用いた耐タンパ暗号回路設計手法～C L E F I A 暗号への適用と面積評価～”，第 25 回 回路とシステムのワークショップ，pp.166-171, July, 2012.

設計期間：2 人以上，3 人未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QRC, Cadence 社 Spectre, Synopsys 社 NanoSim, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器，除算器など)



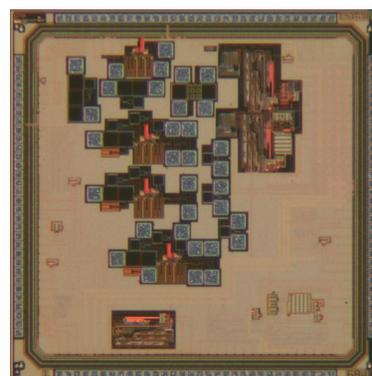
0.18 μ m CMOS を用いたパッチクランプ測定システム、及び単チップで動作するマイクロシステムのための電源回路

慶應義塾大学大学院理工学研究科 大野 隆一, 菊地 大樹, 大林 不器, 中山 涉,
安田 陽平

慶應義塾大学理工学部 中野 誠彦

概要：近年，人と機械の間を中継するインタフェースの一つである BMI (brain-machine interface) の研究が盛んに行われている．今後の BMI の発展のためには神経細胞の更なる研究と開発が必要不可欠である．単一細胞を電気生理的に測定する手法としてパッチクランプ法という手法がある．その測定システムを小型化するため 0.18 μ m CMOS プロセスを用いてパッチクランプ法測定システムを試作した．システムは抵抗フィードバック型 IV コンバータ，寄生容量補償回路，寄生抵抗補償回路で構成される．各補償回路は 7bit のデジタル値で制御でき，これをシリアル信号で制御するためのシリアル-パラレルコンバータも作成した．また別の研究として，単チップで動作するマイクロシステムのための電源回路を設計した．太陽電池の出力をチャージポンプ DC-DC コンバータによって昇圧して得る回路である．出力源として 100 μ m \times 100 μ m の太陽電池を 2 基重ねた直列太陽電池 A を作成し，DC-DC コンバータと同一チップ上に設計した．DC-DC コンバータの動作に必要なクロック生成リングオシレータや，バイアス電圧源としての直列太陽電池も設計した．

設計期間：1 人以上，2 人未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



擬似ホール効果を利用したMOSFET型応力検出センサ

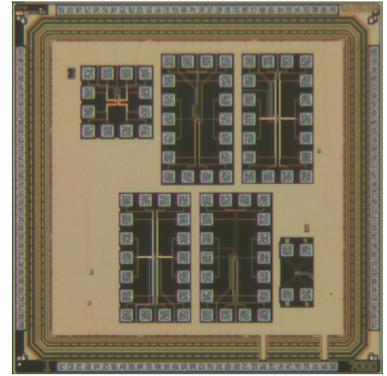
山形大学大学院理工学研究科 梅津 哲也, 原田 知親

山形大学工学部電気電子工学科 竹内 宏介

概要：MOSFETを応力検出素子とし、応力印加時の抵抗変化の異方性を用いた擬似ホール効果を用いると、ソース・ドレイン電極とは独立な端子で応力検出が可能となるため、回路動作に影響を与えずに応力検出をおこなうことができる。そこで本チップでは、回路を動作させながらの応力検出が可能、回路一体型MOSFET応力検出素子の実現のために、擬似ホール効果を用いたMOSFET型応力検出素子を試作した。本チップでは、MOSFET型応力検出素子のサイズ比や端子構造・端子本数・集積方向を変えたものを多数集積し、素子構造やサイズ比からくる動作特性の違いや、MOSFET型応力検出素子の細かな動作検証ができるようにした。

参考文献：[1] 梅津哲也, 原田知親, 奥山澄雄, 松下浩一, “擬似ホール効果を利用したMOSFET型応力検出素子の特性評価,” 集積回路研究会, ICD2012-89, pp.11-16, Dec. 2012.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



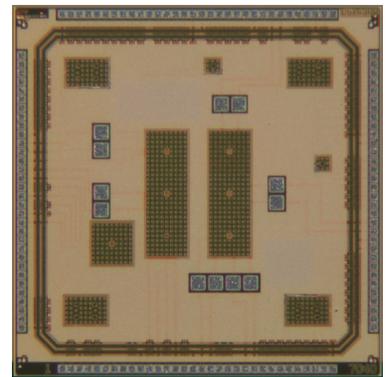
高速処理を目指したスマートセンサアレイ

長野高専電気電子工学科 秋山 正弘

概要：チップには4種類の回路が含まれている。1つ目は、4画素のスマートセンサアレイである。1画素にはフォトダイオードにメモリや信号処理回路が配置されている。製作回路は理想的な高速処理結果を示している。2つ目は、広ダイナミックを目指したアクティブピクセルセンサである。センサには2種類の出力方法が含まれている。製作回路は正常な動作が得られなかった。理由として、アンテナルールを違反した箇所があったと思われる。3つ目はアバランシェフォトダイオード (APD) である。2種類のAPDを製作した。製作素子は1種類のみ動作している。「Deep n-well」を利用したAPDは正常に動作しておらず、「Deep n-well」による素子分離方法に課題が残っている。4つ目はシングルフォトンアバランシェダイオード (SPAD) である。SPADには「Deep n-well」を利用したものもあり、やはり「Deep n-well」による素子分離方法に課題が残っている。

参考文献：[1] 小林, 秋山, “高速処理を目指したスマートイメージセンサの製作”, 第18回高専シンポジウム in 仙台, p. 405, 2013年1月

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Cadence社 Dracula, Cadence社 Diva, Cadence社 AS-SURA, Synopsys社 HSPICE (RF), Agilent社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



MINIMAX サンプリングAD変換器

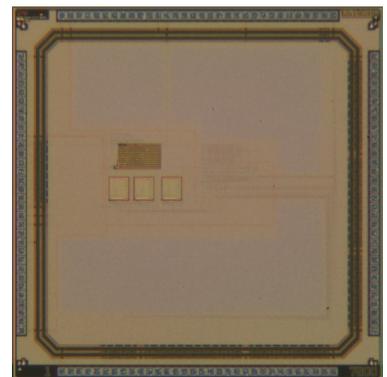
大阪大学情報科学研究科 Homjakovs Igrors, 橋本 昌宜, 尾上 孝雄

神戸大学工学研究科 廣瀬 哲也

概要：センサーが検出する自然界のアナログ信号には、活発に変化する期間と変化が少ない期間がある。特に変化が少ない期間が長い場合には、通常の同期式AD変換器は消費電力や変換後のデータ量の点で非効率である。我々は、入力信号に対して適応的なサンプリングが可能なMINIMAXサンプリングについて、その性能と実装法を検討してきた [1]。本試作では、信号の局所的なピークに対して、サンプリング回数が1回のMINIMAXサンプリングと3回の改良型MINIMAXサンプリングの両方を実装した。また、昨年度の試作回路から、低電力化動作が可能な比較器に改良した。これまでに行った測定により回路機能の動作は確認できており、今後詳細な性能評価を進めていく予定である。

参考文献：I. Homjakovs, M. Hashimoto, T. Hirose, and T. Onoye, “Signal-Dependent Analog-To-Digital Conversion Based on MINIMAX Sampling,” IEICE Trans. on Fundamentals, vol. E96-A, no. 2, pp. 459-468, February 2013.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



超低電力身体モニタリングシステムのためのR-R間隔検出デジタル回路の試作

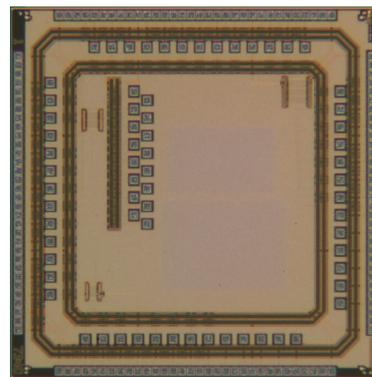
兵庫県立大大学院工学研究科 田中 智也

兵庫県立大学工学部 松本 裕貴

兵庫県立大学大学院工学研究科 新居 学, 神田 健介, 藤田 孝之, 前中 一介

概要：本研究では、身体に張り付けることで生体情報を測定する小型システムの研究・開発を行っている。複数のMEMSセンサとアナログ/デジタル信号処理LSIを組み合わせることにより、超低消費電力で小型なデバイスの開発を目指している。本試作では、身体から得られる心電図からR-R間隔を検出するデジタル信号処理回路を試作した。R-R間隔は心拍数の計算や、自律神経系の指標に用いることが出来ると言われており、バイタルサインに関わる重要な生体情報である。回路の消費電力を抑えるために、R波検出アルゴリズムに乗算器を使用しない新しいアルゴリズムを採用し、また低クロックで動作可能となるように設計した。設計された回路はゲート数2000以下、動作クロック1kHz以下となり、十分に低電力であることが確認された。また、実際に製造されたチップの評価では、R-R間隔が検出できることを確認し、消費電力も非常に小さくなることを確認した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Encounter RTL Compiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Cadence社 QRC, Synopsys社 StarRC (XT), Synopsys社 NanoSim, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



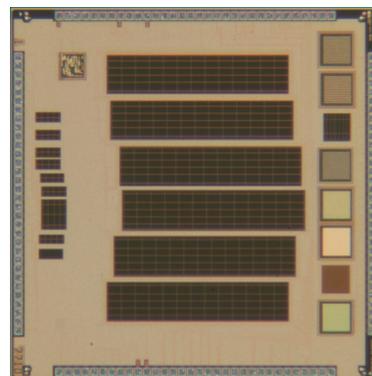
トリプルウェルを用いたon-chip太陽電池の集積化2

東洋大学総合情報学部 堀口 文男

概要：1. 目的 通常のリングオシレータのp-wellをDeep-nwell, n-wellで囲むとp-wellがフローティングとなる。また、n-wellも基板のp-substrateとは接合分離されている。太陽電池もトリプルウェル構造とすることで、CMOS回路の基板とは独立に直列接続が可能になる。2. 方法 各測定は151段のリングオシレータを用いる。通常のリングオシレータの断面構造ではp-substrateがp-wellと共通となるために太陽電池の直列接続はできない。しかし、フローティング構造のリングオシレータはp-wellがDeep-nwellで囲まれているため、通常のリングオシレータと違いnmosに太陽電池とは独立して基板バイアスを印加することが可能となっている。3. 結果 太陽電池を直列に接続し、0.9V, 1.3Vの高電圧をCMOSリングオシレータに印加することができることが確認できた。

参考文献：堀口ほか，“直列太陽電池を集積したトリプルウェルCMOS LSIの構成法”，信学論, Vol. J94-C, No. 5, pp. -, May (2011)

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

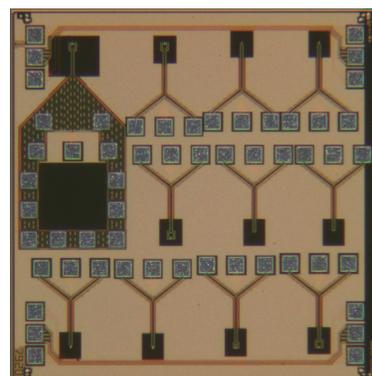


オンチップ近傍磁界プローブ

東北大学大学院工学研究科 山口 正洋, 室賀 翔, 重田 洋二郎

概要：近年、電子機器の発展にともない、不要電磁放射によるEMC問題が顕在化している。その対策を行うにあたり、ノイズの発生、伝搬、混入経路を特定することが重要である。その方法として、我々の研究室ではLSI上で発生する近傍磁界を計測する高周波・高空間分解能のマイクロ磁界プローブの開発を行っている。本試作では、磁界検出用の平面型シールドループコイルをより小形化することで空間分解能の向上および、検出用コイルの小形化にともなうプローブ開発の課題抽出を行った。チップと実装用プリント基板との実装には、電磁ノイズへの耐性強化、不要ループ削減のためにワイヤボンディングではなくフリップチップ実装を想定して信号取り出し用パッドを設計した。さらに、ベアチップレベルでのコイルの基礎特性評価のため、励磁源としてマイクロストリップ伝送線路を設計した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

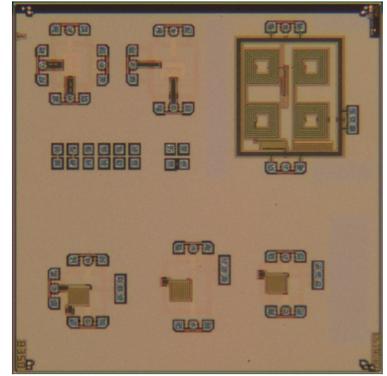


CMOSプロセスを用いたE級電力増幅回路の試作

東京理科大学大学院理工学研究科 藤岡 翔太, 結城 崇匡, 榎田 洋太郎

概要：CMOSプロセスを用いたE級電力増幅回路の試作を行った。チップ試作を行った回路はゲート幅12 μm 、フィンガー数10のE級電力増幅器の構成である。トランジスタで増幅した信号を、ドレインバイアス供給用インダクタ L_c (=13.16nH) を含むリアクタンス素子で直列共振回路と並列共振回路で構成されたバンドパスフィルタを用いて、高調波成分を取り除き帯域成分の信号を出力するものとなっている。また、上記のE級電力増幅器以外の試作として、正負1ビット直交交互出力型送信機アップコンバージョン回路の試作も行った。移動体通信機においては、その消費電力のほとんどが電力増幅器によるものである。そのため、低消費電力化が可能なスイッチ動作型電力増幅器が注目されている。それに対応した題目の送信機を提案し、変調部の一部であるアップコンバージョン部を構成する論理ゲートの試作を行った。今後はこの回路評価結果とシミュレーション結果を比較する予定である。

設計期間：1人以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Agilent社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

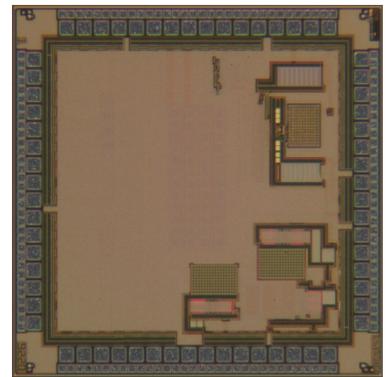


連続血糖値測定用ホールセンサ

豊橋技術科学大学電気・電子情報工学系 村上 裕二

概要：血糖値を推定可能な経皮連続モニタリングのセンサLSIシステムを構築中である。糖尿病の自己血糖管理の中で、血糖値センサは主要な役割を担っているが、既存の血糖値センサでは連続測定ができず、かつ侵襲性が高いという問題点がある。本プロジェクトでは、貼るだけで測定できる連続血糖値モニタリング用センサとして、自然拡散によって皮膚表面に染み出した血糖由来のグルコースに反応して膨潤する応答性ゲルを用いて、ホールセンサによるゲル膨潤の検出をめざす。ゲルの面方向の膨潤による鉄粉部の位置変化を磁束密度の変化としてホールセンサで検出する。VDEC試作のみで、ポストプロセスなしに機能すると期待されるホール素子として、R. S. Popovicらの報告によるN wellのクロスパターン構造を採用した。このホール素子は帯状のN wellパターンに電流を流すときの帯の幅方向に誘起される電圧を測定する。その引き出しのために同じ帯形状をクロスさせた対称な形状な構造である。フリッカーノイズ低減のため、交差部上に薄いP層を設けて基盤コンタクトした。帯幅を10 μm 、50 μm の2種類設計し、抵抗値の安定測定のため、単純に直列接続したアレイ構造のデバイスを用意した。そのほか、今後使用するアンプやADコンバータおよびそれらのシーケンス制御回路が組み込まれている。

設計期間：1人以上、2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICDCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：TEG (特性評価回路など)



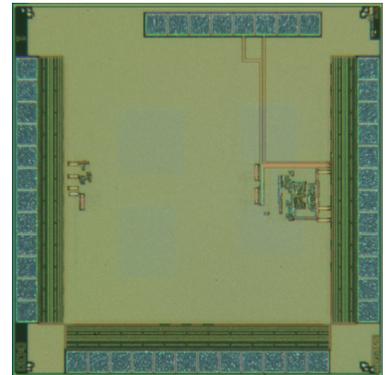
平成24年度第3回ローム CMOS 0.18 μ m 試作 (R018123)

単電子トランジスタの電流測定のための微小電流測定回路

東京大学生産技術研究所 鈴木 龍太, 平本 俊郎

概要：我々は、単電子トランジスタ (SET) と CMOS を組み合わせた新しい情報処理回路の実現を目指している。その過程として、CMOS 回路を用いて別チップ上の SET の出力電流を測定するという実験を行うため、微小電流測定回路の設計・試作を行った。この回路は充電した負荷容量の電荷を DUT に流れる微小電流で引き抜き、その所要時間を計測することにより、微小電流を間接的に計測するものである。このチップは上記の機能を実現するアナログ回路と、それを外部からのコマンドで制御する制御ブロックから構成される。今回は、以前試作したチップの機能に加え、SET のゲートに印加するアナログ電圧を CMOS チップ側で生成するための D/A コンバータを追加した。また、SET チップ側に集積されたアドレスデコーダへ入力するアドレス信号を CMOS チップ側で生成する機能を加えた。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim, Synopsys 社 Formality, トランジスタ数：1,000 ~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載



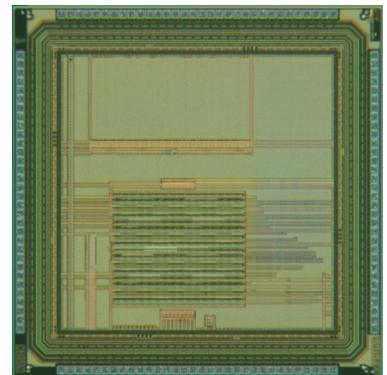
DBSCAN プロセッサ TEG

東京大学工学系研究科 島田 淳史, 柴田 直

東京大学 VDEC 朱 弘博

概要：DBSCAN (Density-Based Spatial Clustering of Application with Noise) はクラスタリング手法として広く用いられている手法であり Web 解析, リモートセンシング, 画像処理のみならず幅広いアプリケーションに応用されているが, DBSCAN は膨大な繰り返し計算によってソフトウェアによる処理では実時間処理は非常に難しい。そこで, DBSCAN の処理量を劇的に低減することを可能としたハードウェア向けのアルゴリズムを提案し, 既存のアルゴリズムを self-growing プロセスと labeling プロセスの2つの処理分けることで並列処理による高速な DBSCAN クラスタリングが行えるようにした。そのとき, Micro agent (μ AG) 回路というエレメントとなる回路を2次元アレイ上に並べ, μ AG 全体が完全並列で動作させ動的配線というアイデアを実装することで DBSCAN の高速動作を可能に実時間処理できるアーキテクチャを提案した。このチップでは 16 \times 16 画素の画像に対応できる 16 \times 16 の μ AG を TEG 回路として搭載し, その機能を検証した。結果としては, 動作周波数で 87.7MHz で2つのプロセスどちらも意図したとおり正しく動作し, 全体として 300 Kfps という高速動作を確認した。

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



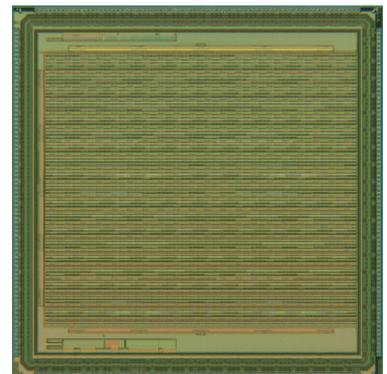
DBSCAN プロセッサ

東京大学工学系研究科 島田 淳史, 柴田 直

東京大学 VDEC 朱 弘博

概要：DBSCAN (Density-Based Spatial Clustering of Application with Noise) はクラスタリング手法として広く用いられている手法であり Web 解析, リモートセンシング, 画像処理のみならず幅広いアプリケーションに応用されているが, DBSCAN は膨大な繰り返し計算によってソフトウェアによる処理では実時間処理は非常に難しい。そこで, DBSCAN の処理量を劇的に低減することを可能としたハードウェア向けのアルゴリズムを提案し, 既存のアルゴリズムを self-growing プロセスと labeling プロセスの2つの処理分けることで並列処理による高速な DBSCAN クラスタリングが行えるようにした。そのとき, Micro agent (μ AG) 回路というエレメントとなる回路を2次元アレイ上に並べ, μ AG 全体が完全並列で動作させ動的配線というアイデアを実装することで DBSCAN の高速動作を可能に実時間処理できるアーキテクチャを提案した。このチップでは 80 \times 80 画素の画像に対応できる 80 \times 80 の μ AG とその制御回路をオンチップで実装し, その機能を検証した。結果としては IO バッファの設計の不具合があり正しい動作検証は行うことができなかったが, ソフトウェアシミュレーションによる検証では周波数 100MHz でこのチップが正しく動作できることが確認できている。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim, トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：マイクロプロセッサ

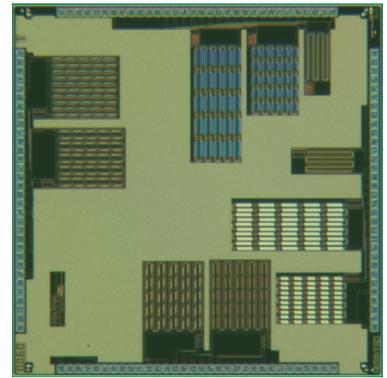


宇宙用 CVSL 回路及び NAND ゲート NOR ゲート速度性能解析用実験回路の設計試作

静岡理工科大学理工学部 波多野 裕, 白井 哉秀, 木内 恭介, 石切山 真二

概要：各種設計ツール整備，デザインルール，密度ルール，アンテナルールなどの理解，などのため，テスト回路として，0.4ミクロンインバータと0.4ミクロン出力バッファ回路，1.48ミクロンインバータと1.48ミクロン出力バッファ回路，0.4ミクロン出力バッファ回路単体，1.48ミクロン出力バッファ回路単体，配線付きインバータ50段チェーン回路6種類，NANDゲート速度性能解析用50段チェーン回路2種類，NORゲート速度性能解析用50段チェーン回路2種類，CVSL回路を，2011年度第5回試作と2012年度第3回試作の2回に分けて設計した．2011年度第5回試作では，0.4ミクロンインバータと0.4ミクロン出力バッファ回路，1.48ミクロンインバータと1.48ミクロン出力バッファ回路，0.4ミクロン出力バッファ回路単体，1.48ミクロン出力バッファ回路単体，を設計し，試作チップを実測して機能動作を確認した．2012年度第3回試作では，配線付きインバータ50段チェーン回路6種類，NANDゲート速度性能解析用50段チェーン回路2種類，NORゲート速度性能解析用50段チェーン回路2種類，CVSL回路を，設計し，試作チップの実測により全ての回路の機能動作を確認することができた．

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Dracula, Synopsys社 HSPICE (RF), トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



ラジカルセンサ/ReRAM 多値記録回路/オーバサンプリング DAC

金沢大学医薬保健研究域 中山 和也

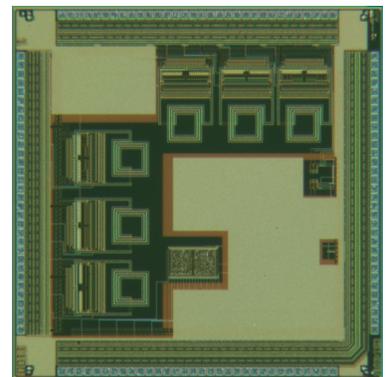
金沢大学自然科学研究科 河合 一樹

金沢大学理工研究域 蟹屋敷 祐介, 北川 章夫

概要：3種類のテスト回路を相乗りさせた．1. ラジカルセンサ チップ上でフリーラジカルを検出するための回路を試作した．検出物質の科学種と濃度に関する信号を周波数に変換して出力する．測定原理として電子スピン共鳴 (ESR) を使用しているが，従来のように磁界掃引を必要とせず，電圧掃引により ESR 信号を取得する新しい測定法を実装し，動作確認に成功した．2. ReRAM 多値記録回路 ReRAM の多値記録を実現するため，ターゲットとする抵抗値範囲を指定することができる書き換え回路を試作した．現在のメモリ素子抵抗が，指定範囲から外れた場合だけ書き換えパルスが出力されるような回路を実装し，動作確認に成功した．3. オーバサンプリング DAC 設計実習で使用するため，16bit 入力，2次 256 倍オーバサンプリング DAC を試作し，動作確認した．

参考文献：Takaya Handa, Yuhei Yoshimoto, Kazuya Nakayama and Akio Kitagawa, Novel power reduction technique for ReRAM with automatic avoidance circuit for wasteful overwrite, Active and Passive Electronic Components, Vol. 2012, Article ID 181395, 2012. 4.

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), トランジスタ数：10,000～100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載



動的タイミングエラー検出回路の試作

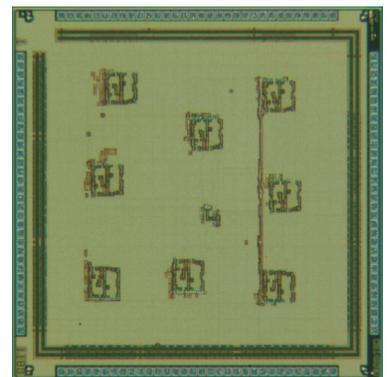
早稲田大学高等研究所 史 又華

早稲田大学理工学術院 戸川 望, 柳澤 政生

概要：大規模集積回路 (LSI) の低消費電力化には，LSI の電源電圧を下げるのが最も効果的である．しかし，低電圧の条件下では，CMOS 回路の動作が不安定になり，製造ばらつき・温度変化・ノイズなどに影響され，誤動作などの障害が増大している．既存のワーストケースに基づいた LSI 設計手法は，大きな設計マージンが必要であり，結果として見込み通りのエネルギー削減効果が得られるとは限らない．本チップでは，設計時に必要な設計マージンを減少し，通常のフリップフロップに加えて，論理回路が正しいタイミングで動作しているか否かを動的タイミングエラー検出する回路などの試作を行った．

参考文献：Y. Shi, H. Igarashi, N. Togawa, and M. Yanagisawa, Suspicious Timing Error Detection and Recovery with In-Cycle Clock Gating, in Proc. IEEE International Symposium on Quality Electronic Design (ISQED), Mar. 2013.

設計期間：3人月以上，4人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Synopsys社 HSPICE (RF), トランジスタ数：10,000～100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

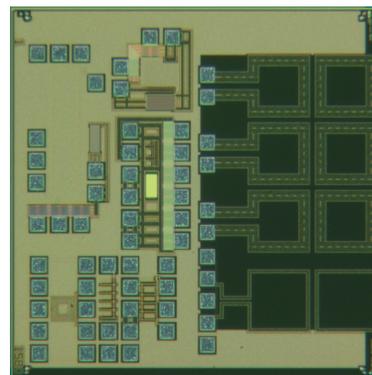


位相検知回路, 整流回路, 及び, 電源ノイズ評価回路

東京大学生産技術研究所 井口 俊太, 柳原 裕貴, 吉岡 和顕, 桜井 貴康
東京大学大規模集積システム設計教育研究センター 高宮 真

概要: 本試作では, 次の3種の回路を設計した. 1) 2012年7月の試作で無線給電システム向けの位相検知回路を試作したが, 回路に一部不備があったため, その改善を行った. 合わせて, 回路の小型化と高速化の改良も行った. 現在, 試作したチップの実測による評価を行っている. 2) 環境中の電波からエネルギーをハーベストし, 電子機器を動かすために, 50段のダイクソンチャージポンプ回路の設計・試作を行った. 今後, 試作したチップの測定を行い, 効果を検証する予定である. 3) パワーゲーティングを行った際に生じる電源線ノイズの影響を評価するために, 2mmの電源線と負荷回路を持つ回路を設計した. 今後, 試作したチップの測定を行い, 電源ノイズの影響を検証する予定である.

設計期間: 2人月以上, 3人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数: 10,000~100,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ
チップ種別: TEG (特性評価回路など)

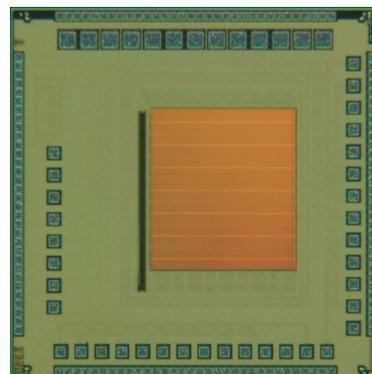


SFQ/CMOS ハイブリッドメモリ用 64-kb メモリ

横浜国立大学大学院工学府 桑原 啓太
横浜国立大学大学院工学研究院 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている. このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し, かつ低消費電力が可能なメモリシステムを提案している. このチップには8T-SRAMセルで構成されるメモリアレイ (容量64-kb), デコーダ, 及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている. 目的はSFQ-in, SFQ-outのハイブリッドメモリの全チャンネル動作を実証することである. これまでのメモリに対して, デコーダに改良を加え, さらに高速に動作するポテンシャルを持つ回路を設計した. 測定を行った結果, アクセスタイムは前回の1.38nsから1.32nsに向上し, また8192通りのアドレスからの正常出力を確認した. 21個のアンプの内1個はレイアウトミスにより正常に動作しなかった. またアクセスタイムのアドレス依存性を確認した.

設計期間: 0.1人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数: 100,000~1,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: メモリ

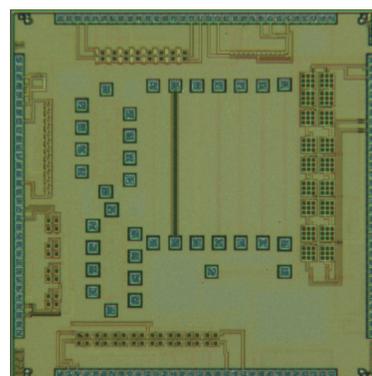


低温動作 CMOS 差動増幅器と6相リングカウンタと断熱的可逆演算器

横浜国立大学大学院工学府 石垣 敬之, 陳 賢珠, 井上 孔佑
横浜国立大学大学院工学研究院 吉川 信行

概要: 半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている. このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し, かつ低消費電力が可能なメモリシステムを提案している. SFQ論理回路とCMOS回路を組み合わせるためにはインターフェース回路が必要である. このインターフェース回路を構成している一つの回路が低温動作 CMOS 差動増幅器である. このチップでは高速動作 Self-biased source-follower CMOS differential amplifierの回路が載せられている. これまでの Self-biased source-follower CMOS differential amplifierの回路は500MHzまでしか動作できなかったが, 今回の回路は1GHzで動作できるように設計した. また CMOS 集積回路を用いた低電力化技術として, 断熱的パストラジスタ論理回路を研究している. 断熱的論理回路とは電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である. 6相の正弦波を生成する電源回路のためのリングカウンタを載せている. また, 可逆演算回路の研究も行っており, この回路は2つのインバータを用いてフリップフロップを作り, 容量性カップリングを用いることで多段接続している. 容量, 段数を変えたものを6つ載せている.

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数: 100,000~1,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: 演算回路 (乗算器, 除算器など)

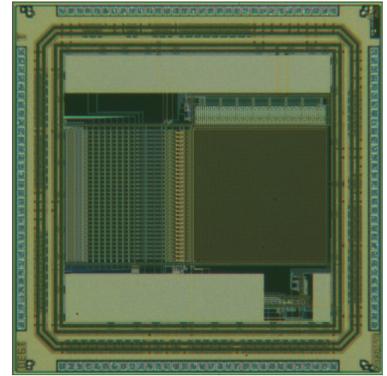


蓄積時間制御が可能なイメージセンサの検証用チップ

東京理科大学工学研究科 宮本 佳昭, 浜本 隆之

概要：本センサはフォトダイオードに蓄積される電荷の読み出しおよびリセットのタイミングを、2次元方向に等間隔な画素毎に制御する目的で設計した。したがって、2次元方向の間隔により画素毎の蓄積時間は異なる。また、2次元方向の間隔は外部より制御できるようになっており、2x2, 4x4, 8x8と切り替えることができる。さらに、蓄積終了時だけではなく、蓄積途中に画素値を非破壊で出力することができる。出力信号を外部の回路で処理することで、高品質な画像を合成する。本チップは、縦64画素×横64画素のフォトダイオード、読み出し回路、列並列シングルスロープAD変換回路とその変換結果を保持する8bitメモリから構成される。このチップの評価を行ったところ、蓄積時間が異なる画素値が取得できていることを確認した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ

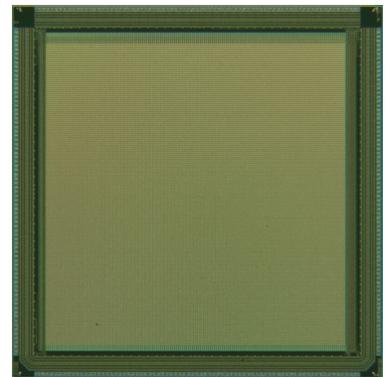


スイッチトキャパシタ回路網による画像処理チップの開発1

大阪大学臨床医工学融合研究教育センター 亀田 成司

概要：超並列の回路構造により高速に画像情報を処理するビジョンチップにおいて、画素回路の小型化は重要課題である。ビジョンチップ、特に生体模倣型ビジョンチップ、の画素回路の主要な構成要素の一つが入力画像の平滑化を回路的に行う抵抗回路網である。抵抗回路網に用いる抵抗要素にはポリ抵抗やMOS抵抗など様々なものが提案されている。しかし、既存の手法による抵抗回路網では、発熱を抑えかつ線形性を維持した回路を求めるとサイズが大きくなる問題がある。そこで、スイッチトキャパシタに着目した。スイッチトキャパシタは2つ並んだMOS-Trのスイッチ回路を交互に開閉し、スイッチ間の寄生容量を介して電荷を移動させることで抵抗の役割を果たす。寄生容量のサイズ及び単位時間当たりのスイッチ動作回数で抵抗値が決まり、小型で線形性の高い抵抗を実現できる。本試作では、2次元スイッチトキャパシタ回路網を有する平滑化処理チップを試作した。本チップはスイッチトキャパシタと容量で構成されるRC回路網による平滑化処理が可能である。画素サイズは28 μ m×28 μ mで画素数は128×128画素である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

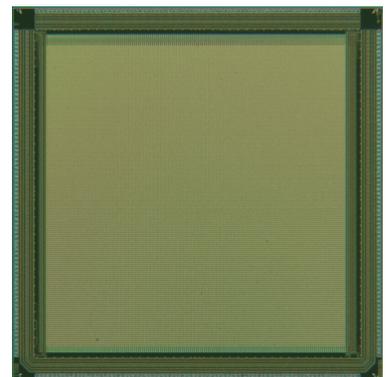


スイッチトキャパシタ回路網による画像処理チップの開発2

大阪大学臨床医工学融合研究教育センター 亀田 成司

概要：超並列の回路構造により高速に画像情報を処理するビジョンチップにおいて、画素回路の小型化は重要課題である。ビジョンチップ、特に生体模倣型ビジョンチップ、の画素回路の主要な構成要素の一つが入力画像の平滑化を回路的に行う抵抗回路網である。抵抗回路網に用いる抵抗要素にはポリ抵抗やMOS抵抗など様々なものが提案されている。しかし、既存の手法による抵抗回路網では、発熱を抑えかつ線形性を維持した回路を求めるとサイズが大きくなる問題がある。そこで、スイッチトキャパシタに着目した。スイッチトキャパシタは2つ並んだMOS-Trのスイッチ回路を交互に開閉し、スイッチ間の寄生容量を介して電荷を移動させることで抵抗の役割を果たす。寄生容量のサイズ及び単位時間当たりのスイッチ動作回数で抵抗値が決まり、小型で線形性の高い抵抗を実現できる。本試作では、2次元スイッチトキャパシタ回路網を有する画像処理チップを試作した。本チップはスイッチトキャパシタと容量で構成されるRC回路網による平滑化処理やラインプロセスが可能である。画素サイズは28 μ m×28 μ mで画素数は128×128画素である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

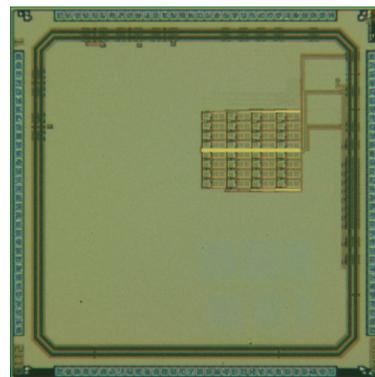


介在細胞集団を有する CPG モデルおよび細胞体モデルの試作

日本大学理工学部 建部 達弥, 奥山 敦司, 小久保 智彬, 和田 生久真, 佐伯 勝敏,
関根 好文

概要：生体は、脊椎に歩行制御を行う CPG (Central Pattern Generator) を有し、ロボットの歩行制御には CPG モデルが有効である。先に我々は、ロボットの歩行に適した低周波発振が可能な介在細胞集団を有する CPG モデルを提案した。介在細胞集団モデルは、BVP モデルと等価なパルス形ハードウェアニューロンモデル (P-HNM) とバイアス電圧値により積分時定数を制御可能な OTA シナプスモデルで構成されるニューラルオシレータ回路である。CPG モデルはニューラルオシレータの位相同期特性を用いて位相シフトを行うニューラルネットワーク回路である。今回、10Hz 程度の低周波数での位相シフト制御を目的とし、ロボットの歩行制御パターンを生成する CPG モデル、介在細胞集団モデル、簡単な位相同期回路の試作を行った。また、CPG モデルは位相同期特性、周波数-入力電圧特性、入出力特性の測定を目的に、パッケージで測定可能なパターンとプローブによって測定可能なパターンを作成した。さらに、回路パラメータの異なる P-HNM を数パターン作成した。

設計期間：3 月以上, 4 月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

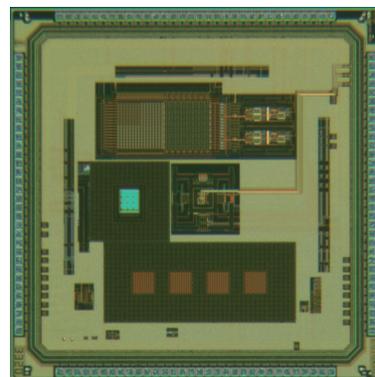


低暗電流型フォトダイオードの特性評価用 TEG

茨城大学工学部 木村 孝之

概要：標準 CMOS 製造プロセスではソース、ドレインを構成する拡散領域と基板により pn 接合を形成しフォトダイオードを実現する。CMOS イメージセンサを製造する専用プロセスではこのフォトダイオードを埋め込み型で構成することで暗電流の低減を実現している。本研究では標準 CMOS 製造プロセスで形成するフォトダイオードにおける暗電流の低減を実現するために、その発生原因となる Si-SiO₂ 界面の面積を最小化したフォトダイオード構造を提案し、その TEG を設計した。Si-SiO₂ 界面の面積は Enclosed Layout Transistor (ELT) 構造をフォトダイオードに応用することで最小化した。フォトダイオードは最大 15 μ m 角の大きさで 10 \times 10 個をアレイ状に配置した。作製されたフォトダイオードの暗電流を測定したところ、暗電流低減構造を使用していないフォトダイオードに対して最大 35% 暗電流を低減することが出来た。以上の結果から、提案されたフォトダイオード構造は暗電流の発生を抑えるために有効であると考えられる。

設計期間：0.5 月以上, 1 月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

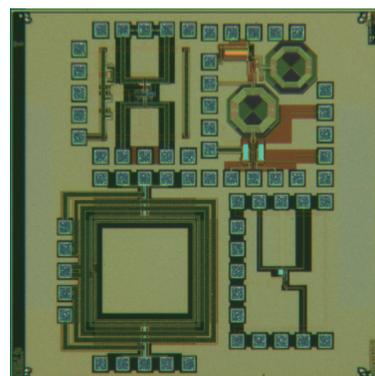


学部 4 年生設計試作トレーニング

慶應義塾大学理工学部 黒田 忠広

概要：研究室に配属された学部 4 年生 4 人が、回路設計から試作チップの評価までのフローを一通り体得することを目的として、簡単なアナログ回路の設計を行った。学生は割り当てられた回路に関して、仕様決定・回路設計からレイアウト、ポストレイアウトシミュレーションを行う。試作した回路は、シンプルな 2 段オペアンプや、ゲインブーストおよびコモンモードフィードバックを取り入れたフォールデッドオペアンプ、LNA などである。学生にとっては理論式とシミュレーションを併用した効率的な設計手法、及び測定を考慮した実用的な回路設計手法を学べたことと思う。特に実際のパッド配置・電源線の引き回し等は通常学部生の授業の範囲外である。机上での学習と実践的な回路設計とのギャップを埋めるには、こうした試作を実際に行うことが効果的である。チップ完成後は試作チップの周波数特性を初めとする測定を行った。実際に測定を行うことで、測定上の勘所を体験できる。学生の中には設計時に負荷容量の歌唱見積りをしている例もあり、測定結果とシミュレーション結果が合わない場合もあったが、こうした経験を経ることで今後のチップ設計に活かすことができる。彼らにとって今回の実チップの試作・測定は今後の研究を進める上で貴重な経験となるとともに、大きな自信となった。

設計期間：0.5 月以上, 1 月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Agilent 社 ADS, **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**その他

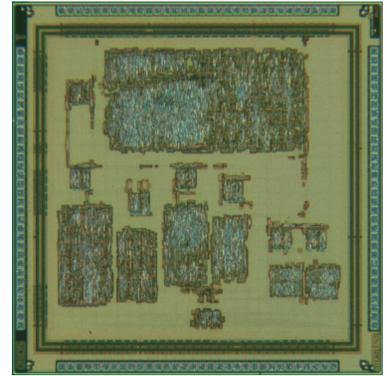


アナログ回路用ライブラリおよび素子評価 TEG の試作 (3)

高知工科大学工学部システム工学群 橋 昌良, 坂東 拓弥, 渡邊 勇磨
高知工科大学大学院基盤工学専攻 西面 尚彰

概要: 本チップの目的はアナログ回路用ライブラリの設計および MOS トランジスタの特性評価である。試作した回路は $\Delta\Sigma$ 変調回路, トリミング回路付き基準電流源である。初めに, $\Delta\Sigma$ 変調回路は 1 次で CMOS スイッチを用いて設計した。信号帯域は 22kHz, オーバーサンプリング比は 128 として設計した。次に, 設計した電圧不感型基準電流源回路とバンドギャップ基準電圧源回路を評価するために電圧不感型基準電流源回路とバンドギャップ基準電圧源回路の 2 つの回路を載せた。設計したバンドギャップ基準電圧源回路については OP アンプを使用している。また, バンドギャップ電圧源回路に使用した SUBPNP ダイオードの TEG も載せた。最後に, 素子評価 TEG として抵抗の TEG を試作した。この TEG は抵抗を配置する向きで, 製造ばらつき幅が変わるのかを調べるためのものである。また, それぞれ異なる抵抗値の抵抗を試作し, PAD, 測定機器, 針の抵抗の除去をできるようにした。

設計期間: 4 人以上, 5 人未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

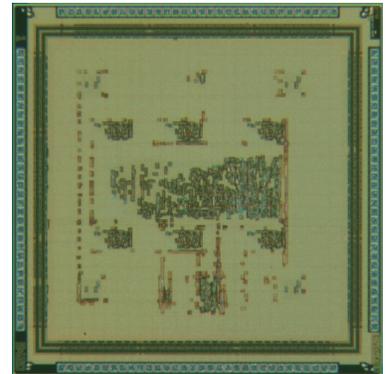


DFT の電力評価および遅延測定評価

九州工業大学大学院情報工学研究院 佐藤 康夫, 梶原 誠司

概要: テスト容易化回路においてテスト時の電力低減および高精度な遅延測定の研究を行っている。今回の TEG には以下の論理機能を搭載し評価を行った。(1) テスト時の電力調整可能な DFT 回路の実装とテスト時の電力測定 (電力レベルを TEG 外部から制御可能とし, 実行時の電源電流を電流テストで測定する。電流レベルを変えると TEG の電流も線形に変化することを確認する。)(2) 遅延調整可能な論理パスの実装と DFT 回路における遅延測定 (テスト時にテストタイミングを可変にして, テスト対象回路の遅延を測定する。プロセスバラツキにも対応出来るように, テスト対象回路の遅延も調整可能とした。)(3) テスト時の温度・電圧モニタ回路の実装と測定 (複数のテスト機会に測定した遅延値を比較するため温度・電圧モニタを搭載した。これはリングオシレータをベースに当研究グループで提案した回路である。) 評価は継続中であるが, (1) においてはシミュレーションによる電力量の予測と実回路における測定値がよく整合することを確認した。(3) は 2011 年度に製作したチップで評価済の回路を搭載し, テスト時の温度・電圧測定に活用している。今後は (2) の遅延測定を中心に評価を実施予定である。

設計期間: 4 人以上, 5 人未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



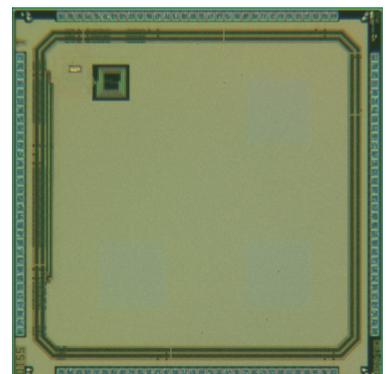
$\Delta\Sigma$ Time to Digital Converter および LC Digital Controlled Oscillator の試作

法政大学工学研究科 嘉藤 貴博, 大関 寛之

概要: 従来の Time to Digital Converter (TDC) は 1) INV 遅延と FF による位相検出 2) 多位相リングオシレータと, FF による位相検出等の回路が主力であるが, いずれも位相比較精度を保つために回路規模が増加する。今回の試作では, アナログ位相比較器と DS 手法による小型, かつ高精度な TDC を設計/試作/評価することを目的とした。試作で搭載したものは, ① Analog Phase Frequency Detector (APFD) + Differential Charge Pump (Diff_CP) + Differential Completer (Diff_Cmp) によって構成される DSTDC ② 評価用 CP ③ 高速サンプリング CLK を提供する LC 共振型 Digital Controlled Oscillator である。従来の TDC では, 時間分解能を多位相 CLK の skew 時間差に頼ったが, 本 DSTDC は多位相の CLK を必要としない。また, キャパシタの電荷で位相量を表すので, TDC の位相に対する, 切り上げ, 切り下げが発生しない。本試作を評価することにより, 多層 CLK を必要としない, まったく新しい TDC を検討することが可能であり LC 共振器型 Oscillator のような, 低位相雑音だが, 多層 CLK ができない Oscillator でも, PLL のデジタル化が可能であり, 今後の LSI の小型化, デジタル化に大いに貢献できると考える。

参考文献: 嘉藤貴博, 安田 彰, 吉野理貴, $\Delta\Sigma$ TDC ($\Delta\Sigma$ -Time to Digital Converter) の検討および設計, 電子情報通信学会全国大会, C-12-72, Mar., 2013.

設計期間: 1 人以上, 2 人未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



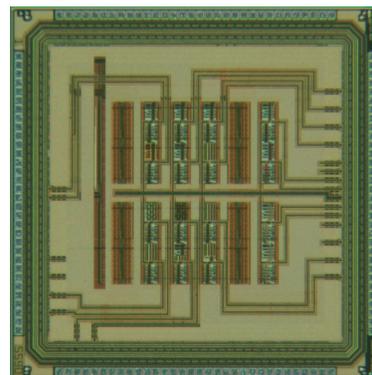
LSIチップ内の温度分布および実使用状態での信頼性の解析

富山県立大学大学院工学研究科情報システム工学専攻 市橋 和也, 花井 大輝

富山県立大学工学部情報システム工学科 松田 敏弘, 岩田 栄之

概要：MOSFETの微細化によるVLSIの高集積化が進んでおり、消費電力の増大によって、VLSI内に局所的な高温箇所が発生し、回路の特性や信頼性に影響するチップ内温度分布の不均一性が問題となっている。また、熱伝導シミュレータの精度をさらに高めるためにも、実験による実測値とシミュレーション結果の検証は必要不可欠である。本研究では、熱源となる抵抗とそのまわりに配置されたダイオードまたはMOSFETアレイからなるテスト回路をLSIとして設計・試作し、実測とシミュレーションを用いてLSI内の温度分布を解析することを目的としている。また、本テストチップ内には、最も基本的なデジタル回路であるインバータによるリングオシレータを利用して、実使用に近い状態でのMOSFETの信頼性評価のための回路も配置した。リングオシレータの中のMOSFETの特性を個別に測定する回路を組み込み、特性変動を精密に測定できるようにし、実使用に近い状態でのMOSFETの特性変化を解析する。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



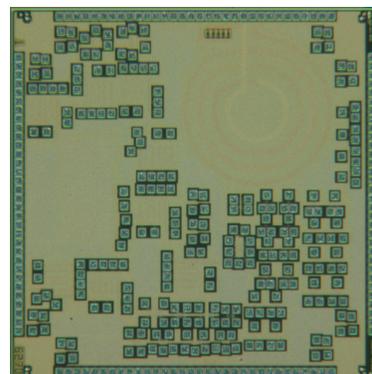
低電圧CMOSアナログ回路の試作

明治大学理工学研究科 林 拓哉, 高橋 康仁, 小林 優太, 伊藤 遼, 栗山 翔太郎

明治大学理工学部 高野 真大

概要：低電圧駆動・高周波通信というテーマを根底に置き、各々の研究において提案した回路、評価に必要な回路の試作を行った。以下が試作した回路の概略となる。非接触電力伝送を目的としたオンチップインダクタ、温度特性評価を目的とした微小電源電圧駆動電圧検出器TEG、抵抗分圧バイアス電圧発生回路のばらつきの評価を目的としたLPPH抵抗TEG、短距離パルス波通信を目的とした波形変換回路とその予備回路、高周波通信を目的としたVCO回路と、VCOに用いるオンチップインダクタ、形状比の異なる微小電源電圧駆動カレントミラー回路TEG。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



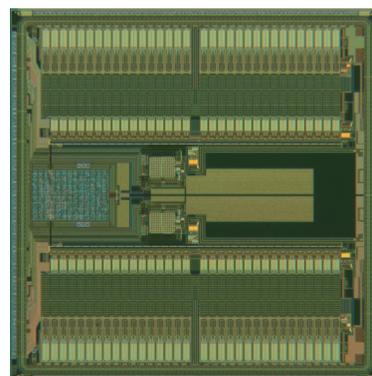
多チャンネル皮質脳波信号計測チップ

大阪大学生命機能研究科 鈴木 隆文, 安藤 博士

広島大学大学院先端物質科学研究科 吉田 毅

概要：脊椎損傷などにより運動機能を失った人の生活の質を向上させるため、考えるだけで義肢などを操作できるブレイン-マシン・インタフェース (BMI) の実現が期待され、その信号源として侵襲性と情報量とのバランスなどから皮質脳波信号が注目されている。本研究では、さらに小型な埋め込み型BMIシステムを実現するために、ピン配置の最適化を行った多チャンネル皮質脳波安定計測チップの改良試作を行った。搭載回路は、64チャンネルの低雑音増幅回路、12bitAD変換器、システム制御回路である。設計した低雑音増幅回路は、振幅が数 μ V~1mV程度で、信号帯域~100Hz程度である皮質脳波信号を検出するために、弱反転領域で動作するMOSFETを用いたフィードバック構成で実現した。また12bitAD変換器は32kSpsで動作した。現在、超小型実装に向けて評価中である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 NanoSim, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：アナデジ混載



超多チャンネル皮質脳波信号計測のためのデジタル制御回路 TEG

大阪大学生命機能研究科 鈴木 隆文, 安藤 博士

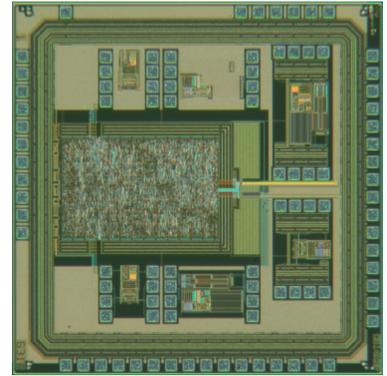
概要：脊椎損傷などにより運動機能を失った人の生活の質を向上させるため、考えるだけで義肢などを操作できるブレイン・マシン・インタフェース (BMI) の実現が期待され、その信号源として侵襲性と情報量とのバランスなどから皮質脳波信号が注目されている。本研究では、埋め込み型 BMI システムの実現に向けてすでに開発済みの多チャンネル皮質脳波安定計測チップに対し、これを複数利用して超多チャンネル計測を実現する際に問題となる配線数増大を解決するため、チップの通信方法を従来の独自シリアル通信方式から、3線

で制御可能でバス接続が可能な I2C に変更したデジタル制御回路の TEG 試作を行った。搭載回路はシステム制御回路と、プローバ測定を目的とした開発済みの低雑音アンプの特性評価用単体 TEG 回路である。現在、多チップ接続による制御・通信の評価を実施中である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社

DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 Nano-

Sim, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



電力解析攻撃対策のための乗算マスクと Dual-Rail RSL メモリ方式を利用した AES 暗号回路

立命館大学理工学研究科 鷓飼 慎太郎, 橋本 祐樹, 浅川 俊介

立命館大学総合理工学研究機構 Hoang Anh-Tuan, 汐崎 充

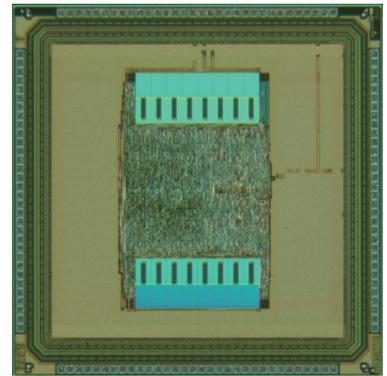
立命館大学理工学部 藤野 毅

概要：IC カードに代表される、暗号回路を搭載した LSI において、消費電力や漏洩電磁波を用いたサイドチャンネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。それに対して、我々はあるような値が入出力されても消費電力を一定となる S-Box 回路と、複数ビットの乱数マスクング対策により暗号処理動作と消費電力との相関を切り離すことで電力解析攻撃耐性を実現した 2 線 RSL メモリ AES 暗号回路を提案し、高い耐性を示してきた。しかし、用いたメモリセルによりワードラインの位置情報が電磁界解析攻撃で特定できることがわかった。そこで、乗算マスクを利用することでアクティブになるワードラインも入出力と相関なくランダムになる対策を施した AES 暗号回路を試作した。そして、電力解析攻撃と電磁界解析攻撃の両方に対して高い耐性が実現できていることを確認した。

参考文献：電力解析攻撃対策のための乗算マスクと Dual-Rail RSL メモリ方式を利用した AES 暗号回路

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSIM, トランジスタ数：100,000~1,000,000

試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



ピアプログラマブルストラクチャード ASIC アーキテクチャ VPEX3 による DES 暗号回路実装

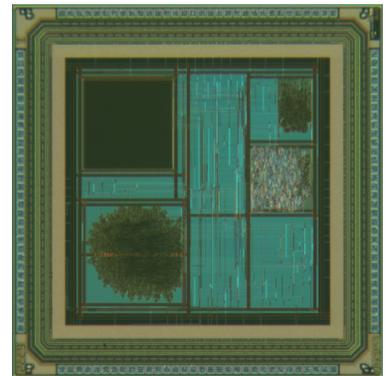
立命館大学理工学研究科 堀 遼平, 大谷 拓, 浅川 俊介

立命館大学理工学部 藤野 毅

概要：プロセス技術の進歩と共に高騰してきたフォトマスク開発コストの削減手法として、我々の研究室ではピア層のみの変更で所望の論理回路を再現するピアプログラマブルストラクチャード ASIC の研究を行っている。本研究室で独自に提案しているピアプログラマブルストラクチャード ASIC アーキテクチャ「VPEX3」は、ピアのレイアウト変更のみで論理回路を実装するという設計方式を用いるため、従来の ASIC 設計用レイアウト CAD を用いて大規模回路の実装を行うことができなかった。そこで今回我々は VPEX3 専用の CAD 環境を開発し、これを用いて DES 暗号回路のレイアウト設計を行い、チップ試作を行った。これにより VPEX3 上への大規模な順序回路の実装が可能であることを実証した。

また性能評価のため、VPEX3 とは異なる実装による、同一の回路を 2 つ設計した。1 つは従来のスタンダードセルを用いた標準 ASIC 手法で、もう一つは VPEX3 の論理セルを自動配置して、配線を通常の ASIC と同じくメタルとピアを変更する配線手法で実装した。本チップを用いることで、VPEX と ASIC の実装による性能の差や、ピアプログラマブル配線構造のスループットを明らかにする。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



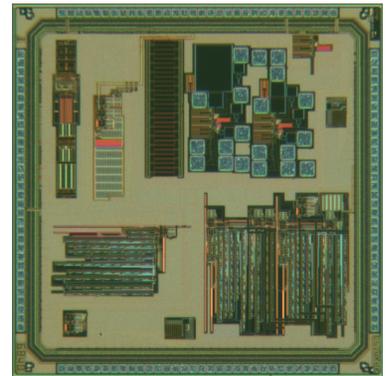
0.18 μ m CMOS を用いたパッチクランプ測定システムの改良, 及び単チップで動作するマイクロシステムのための電源回路

慶應義塾大学大学院理工学研究科 大野 隆一, 菊地 大樹, 大林 不器, 中山 渉,
安田 陽平

慶應義塾大学理工学部 中野 誠彦, 小野 東輝

概要: 近年, 人と機械の間を中継するインタフェースである BMI (brain-machine interface) の研究が盛んに行われている. 今後の BMI の発展のためには神経細胞の更なる研究と開発が必要である. 我々は細胞の測定手法であるパッチクランプ法用の測定システムを以前設計し, 今チップではその改良版を試作した. システムは IV コンバータ, 寄生容量補償回路, 寄生抵抗補償回路で構成される. 寄生成分補償回路には設定切り替え機能を取り付け, 補償量はそれぞれ 9bit のデジタル値で制御できる. 試作したシステムに神経細胞の等価回路を接続し実測を行い, 測定システムの動作が確認できた. 別の研究として, 単チップで動作するマイクロシステムのための電源回路を設計した. 回路では太陽電池の出力をチャージポンプ DC-DC コンバータによって昇圧する. 出力源として $100\mu\text{m} \times 100\mu\text{m}$ の太陽電池を 2 基重ねた直列太陽電池を作成し, DC-DC コンバータと同一チップ上に設計した. DC-DC コンバータの動作に必要なクロック生成リングオシレータや, バイアス電圧源としての直列太陽電池も設計した.

設計期間: 1 人以上, 2 人未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



人体活動モニタリングシステムの低消費電力化にむけた加速度情報処理用 ASIC

兵庫県立大学工学部 松本 裕貴

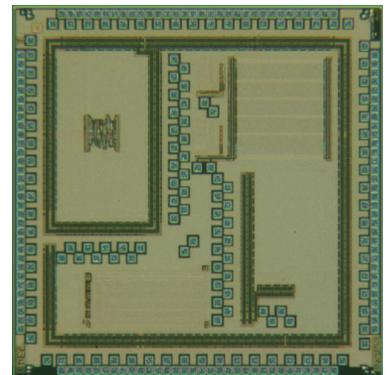
兵庫県立大学大学院工学研究科 田中 智也, 園田 晃司

兵庫県立大学 [独] 科学技術振興機構 藤田 孝之, 神田 健介, 前中 一介

概要: 本研究室では, 人体に貼り付けることで心電図, 人体加速度, 温度などが測定可能な人体活動モニタリングシステムの開発を行っている. システムで得られる 3 軸加速度のサンプリングに MCU を用いた場合, MCU がほぼ常時動作となるため消費電力の削減が難しい. 本研究では, 加速度センサからデータを取得し, その特徴量として最大値を出力する低電力 ASIC の開発を行った. シミュレーション結果より, ASIC および MCU の消費電力はそれぞれ $114 \mu\text{W}$, 3.1mW となった. これにより, ASIC が最大値を保持している間, MCU はスリープモードを用いた間欠動作をさせることで, システム全体の低電力化が可能である. そして, 納品されたチップを検証したところ, ASIC が実際に利用されるクロック 110 kHz での消費電力は $2.88 \mu\text{W}$ となった. 動作も確認でき, 最大値を保持していることも確認した.

参考文献: K. Maenaka et al., INSS' 07, pp. 47-52 (2007)

設計期間: 2 人以上, 3 人未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Encounter RTL Compiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Mentor 社 ModelSim, Cadence 社 QRC, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim, **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

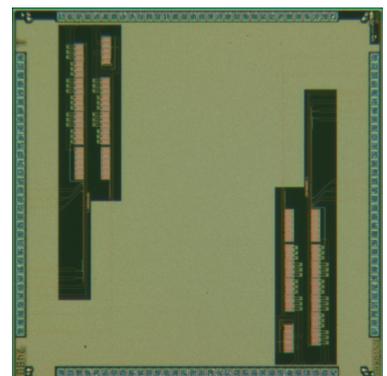


しきい値補正型 CMOS 整流回路

北海道大学大学院情報科学研究科 池辺 将之

概要: RF-ID 用集積回路の研究のため, 要素回路について再設計を行なった. ・整流回路・基準電圧発生回路・電圧レギュレータ (シャントレギュレータ) ・クロック信号発生器 (リングオシレータ+分周器) ・コンパレータ (オペアンプ) ・送信用ロジック回路からなる. 整流回路部は, nMOS を用いた Dickson Charge Pump 型整流器のしきい値低減を考え, ダイオード接続時のゲート端子に対して, しきい値分の電圧を整流と同時ブーストしておくことで, しきい値分の電圧損失を低減することができる. 本回路は, 以下のよう動作する. 1. 通常の Dickson Charge Pump として動作し, 各ノードを昇圧する. 2. 各ノードの電圧が上昇すると, 転送用 nMOS のゲート部に電荷が流入する. 3. しきい値以上の電荷がゲートに流入すると, 転送用 nMOS が常時 ON して逆流が起こるため, 余剰電荷が放電されるようにする. 余剰電荷は, ダイオード接続された nMOS から放電されるため, そのしきい値分の電荷が残留する. 測定により, 基本特性を得た.

設計期間: 1 人以上, 2 人未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA, Agilent 社 ADS, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナデジ混載



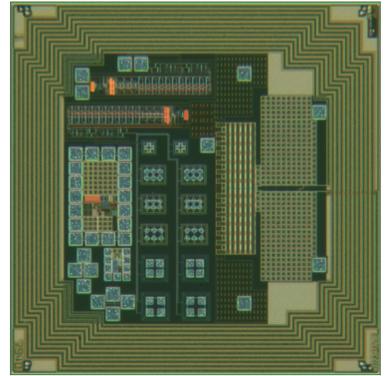
液中オンチップ微粒子操作用非接触給電・低消費電力集積回路

大阪大学大学院工学研究科 岸和田 泰, 崔 冀, 岩崎 紘介, 松岡 俊匡

概要：微小バイオ・センサの実現に向けて、細胞や微粒子を任意に操作できる技術が必要となっている。また、チップの低消費電力化に加え、溶液中での動作を安定化させるための保護回路も必要となる。本チップの構成は、水中への無線給電を想定したオンチップ・アンテナを持ち、外部から交流電力を供給することができ、その電力は電源電圧とクロックに変換され、誘電泳動による微粒子操作を可能とするものとなっている。前回の設計より、信頼性向上のための工夫などの改善を行っている。また、テスト回路として補正回路付きリングオシレータ、低電圧動作できるDCOも配置している。

参考文献：S. Ueda, Y. Miyawaki, J. Wang, T. Matsuoka, and K. Taniguchi, "Wireless on-chip microparticle manipulation using pulse-driven dielectrophoresis," IEICE Electronics Express, Vol. 9, No. 1, pp. 16-22, Jan. 2012.

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



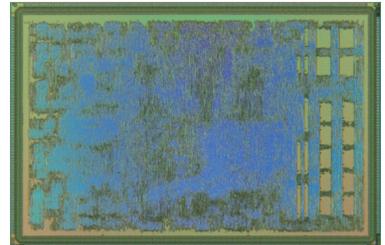
高信頼演算器アレイ型アクセラレータ

奈良先端科学技術大学院大学情報科学研究科 齊藤 光俊, 姚 駿, 中島 康彦

概要：近年の微細化技術の進展により、近い将来次世代極低電力デバイスが製造可能になると予想されるが、これらは耐故障性及び安定性に大きな問題点があるため、アーキテクチャ面からは低消費電力化と高信頼性の同時追求が必要となる。DMR, TMRに代表される従来の空間冗長化を用いた高信頼化手法では、回路規模や実行時の消費電力が2,3倍になるという欠点を持つ。そこで、我々は先行研究として提案している演算器アレイ型アクセラレータLAPP (Linear Array Pipeline Processor) のリコンフィギュラブル・アレイを用いて、効率的な空間冗長化を行うアクセラレータ構成と命令写像手法を提案し、ソフトウェアシミュレータによる論理検証, FPGAによる実現性の検証を経てLSI試作を行った。計測結果から、消費電力はエラーステージを特定可能なモード (従来TMR相当) で137mW, 電力量換算ではLAPPの約2倍となり、従来TMR相当と比較して約1.5倍の電力効率を実現した。

参考文献：大上俊, 姚駿, 中島康彦, "演算器アレイにおける高信頼化命令写像手法", 電子情報通信学会論文誌D, Vol. J96-D, No. 3, Mar. (2013)

設計期間：10人月以上 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Synopsys社 Formality, トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mmx7.5mmチップ チップ種別：マイクロプロセッサ

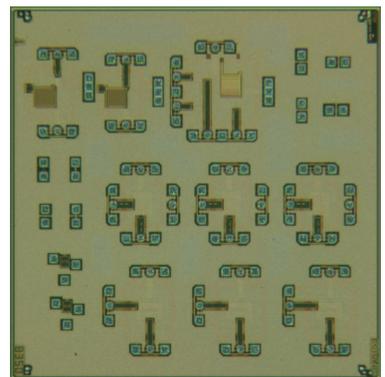


MOSFETパラメータ基板バイアス効果評価TEG

東京理科大学大学院理工学研究科 岸 俊樹, 榎田 洋太郎

概要：直列均等分圧回路では直列接続された複数個のトランジスタが同一の動作をすることにより、トランジスタ単体の場合と比べてトランジスタ数倍の電圧を出力することができる。しかし、バックゲートをグラウンドに接続した場合、Si MOSFETでは各電極の対バックゲート電圧が異なるため、ドレイン電流および各電極間容量が変調され、分圧動作のバランスが崩れると予想される。本TEGは、直列均等分圧回路の試作の際に用いた抵抗、キャパシタのTEGおよびSi MOSFETパラメータの基板バイアス依存性の評価を目的として作製した。その測定結果を用いて、基板バイアス効果によるMOSFETパラメータの変調がある場合の直列均等分圧動作への影響を予測するとともに、均等分圧動作を行うために必要な設計法を明らかにする。また、本TEGにはTEGとは別にモニター付き直列均等分圧型LED駆動回路が搭載されている。モニターを用いて、直列接続されたNMOSトランジスタのドレイン電圧が電源電圧の半分となるように上段側NMOSトランジスタのゲート・ソース間電圧を調整することにより、均等に分圧し、LEDを駆動させ、可視光通信における評価を行う予定である。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Agilent社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



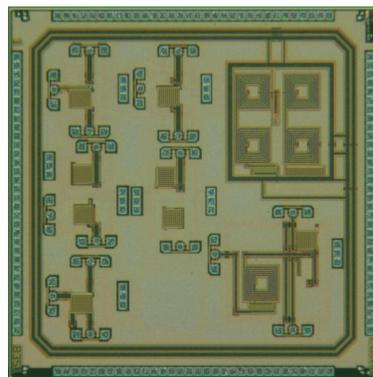
コンプリメンタリ型電力増幅器の試作

東京理科大学理工学部 染谷 和

東京理科大学大学院理工学研究科 藤岡 翔太, 結城 崇匡, 榎田 洋太郎

概要：本試作では、コンプリメンタリ型電力増幅器の試作を行った。前段がパワーアンプ、後段がバンドパスフィルタとなっている。パワーアンプは上部にPMOS、下部にNMOSを使用しており、PMOSトランジスタはゲート幅910um、NMOSトランジスタはゲート幅350umである。また、バンドパスフィルタはLとCの直列共振回路で構成され、高調波成分を取り除き量子化雑音の低減をして出力する構成となっている。また、上記以外の試作として、正負1ビット直交交互出力型送信機アップコンバージョン回路の試作も行った。移動体通信機においては、その消費電力のほとんどが電力増幅器によるものである。そのため、低消費電力化が可能なスイッチ動作型電力増幅器が注目されている。それに対応した題目の送信機を提案し、変調部の一部であるアップコンバージョン部を構成する論理ゲートの試作を行った。さらに、上記以外にCMOSプロセスを用いたE級電力増幅回路の試作も行った。トランジスタで増幅した信号を、ドレインバイアス供給用インダクタを含むリアクタンス素子で直列共振回路と並列共振回路で構成されており、バンドパスフィルタを用いて高調波成分を取り除き帯域成分の信号を出力する構成となっている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Agilent社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



Verilog HDLを用いた万能量子論理ゲートの小規模エミュレータ試作

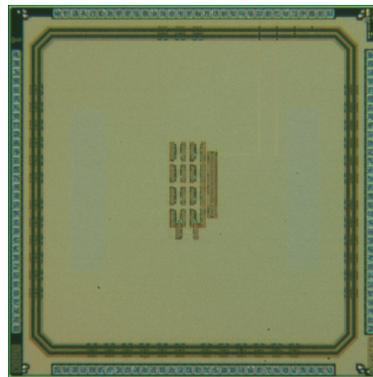
琉球大学理工学研究科電気電子工学専攻 十川 雄一郎

琉球大学工学部 金城 光永, 島袋 勝彦

概要：ハードウェア記述言語 (Verilog HDL) を用いて複素確率振幅を考慮したより汎用性の高いエミュレータとして3量子ビット万能量子論理ゲート (CCNゲート) エミュレータの回路設計およびチップ化を行った。その結果、テストチップの正常な動作を確認した。また、チップ測定において、万能量子論理ゲートのひとつであるFゲートを再現し、さらにXORゲートやNANDゲートに置き換えることが可能なことも確認した。今後の課題として、動作速度の検証に加え、これらの結果をもとにした機能拡張と大規模化によるエミュレータの性能向上が挙げられる。

参考文献：十川, 金城, 島袋, " Verilog HDLを用いた万能量子論理ゲートのエミュレータ回路設計に関する考察", 電子情報通信学会ソサイエティ大会講演論文集, p.12, 2012年8月。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

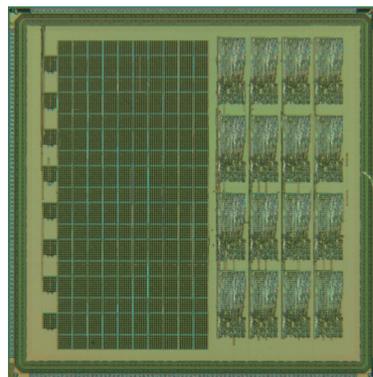


偏光光再構成型ゲートアレイ

静岡大学工学部 森脇 烈, 渡邊 実

概要：特定の偏光方向の光を捕らえて光再構成が可能な光再構成型ゲートアレイ VLSIを試作した。光再構成型ゲートアレイはホログラムメモリ、レーザアレイ、ゲートアレイ VLSI から構成され、光学的に再構成される光電子デバイスである。ゲートアレイ構造はFPGA (Field Programmable Gate Array) と同様の細粒度で、2,720ゲート規模である。各論理ブロックには、4入力1出力のLook-Up Tableが2つずつ実装されており、任意の組み合わせ回路、順序回路の実装が可能である。各プログラミングポイントにはフォトダイオードが接続され、論理ブロック、スイッチングマトリックス、I/Oブロックの全てが完全に並列に光学的にプログラムできる。ここで、このフォトダイオードに偏光方向を検出する機能を実装した。近年、特定の偏光方向に反応するホログラムメモリが開発されており、この光再構成型ゲートアレイでは、その特定の偏光に反応するホログラムを用いて、多数のコンテキスト、高速な再構成を実現する。

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 Astro, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：ニューテクノロジー

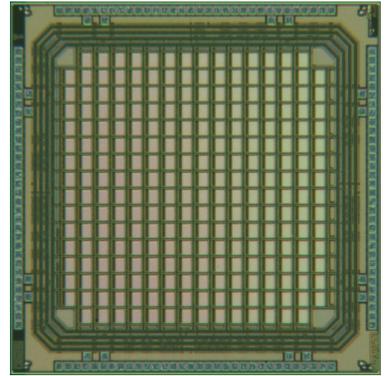


パワーインテグリティ評価チップ1

芝浦工業大学工学部 市村 航, 小林 遼太, 久保 元樹

概要：LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ（PI）を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振により生じる反共振ピークを抑え、電源ノイズを抑制するために2種類の電源構造を持つチップの設計をした。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、チップ内部に可変用MOSスイッチを配置し、外部スイッチのON/OFF切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し、臨界制動領域を実現することで電源ノイズを抑えることを想定したものである。その他に本試作では、コア回路構成は同一で、スイッチ1つに対するキャパシタセルの数を1つから2つにし、チップ全体の抵抗値を大きくしたチップを設計した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence Virtuoso Schematic L, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Synopsys社 HSIM, トランジスタ数：10,000～100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

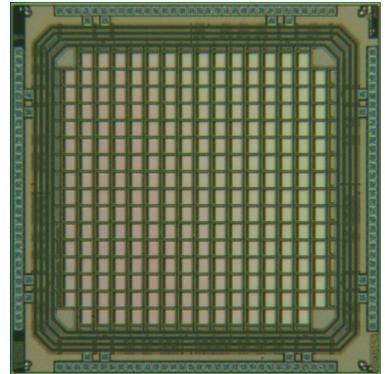


パワーインテグリティ評価チップ2

芝浦工業大学工学部 市村 航, 小林 遼太, 久保 元樹

概要：LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ（PI）を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振により生じる反共振ピークを抑え、電源ノイズを抑制するために2種類の電源構造を持つチップの設計をした。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、チップ内部に可変用MOSスイッチを配置し、外部スイッチのON/OFF切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し、臨界制動領域を実現することで電源ノイズを抑えることを想定したものである。その他に本試作では、コア回路構成は同一で、スイッチ1つに対するキャパシタセルの数を2つから1つにし、チップ全体の抵抗値を小さくしたチップを設計した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence Virtuoso Schematic L, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Synopsys社 HSIM, トランジスタ数：10,000～100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



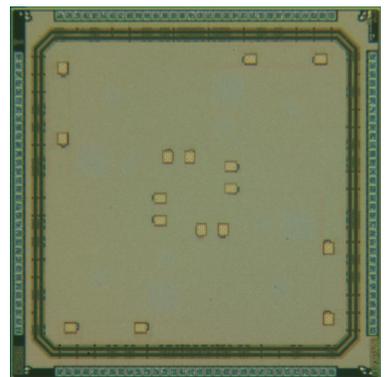
CMOSアナログ回路設計評価のためのオペアンプ試作

自然科学研究機構分子科学研究所装置開発室 内山 功一, 吉田 久史, 豊田 朋範

自然科学研究機構分子科学研究所 宇理須 恒雄

概要：我々のグループでは、CMOSプロセスによるアナログ集積回路設計技術の習得に4年前より取り組み始めた。過去2回の試作では、基本となる差動入力オペアンプおよびデジタル回路と組み合わせた三角波発振回路の設計を行った。しかしながら、これまで製作したオペアンプの特性は、全ての仕様を満たすものではなかった。そこで、これまで設計したオペアンプの問題点とその原因を考察し、新たに差動入力オペアンプの設計を行った。今回試作した回路は、直流利得 (65dB, 63dB), 利得帯域幅積 (6.7MHz, 18MHz), スループレート (3.3V/ μ sec, 11V/ μ sec), 位相余裕 (76deg, 87deg) の特性の異なる2種類のオペアンプである。これまでNMOSトランジスタで構成していた差動入力段を、今回はノイズに対して有利なPMOSトランジスタで構成している。また、外部への駆動能力を考慮し出力インピーダンスを低下するために、出力段にソースフォロワ回路を付加したオペアンプの設計も行った。その他の回路ブロックは、各オペアンプの差動入力回路とバイアス電源回路を動作試験用回路として独立に製作している。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



平成24年度第4回ローム CMOS 0.18 μ m 試作 (R018124)

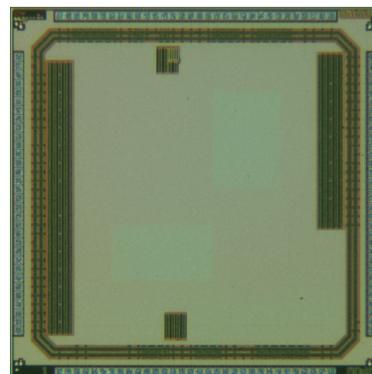
フォトダイオード・検波回路 TEG

東京大学工学部 松島 多佳彦

東京大学大規模集積システム設計教育研究センター 池田 誠

概要：CMOS イメージセンサは様々な処理回路をセンサチップ上に実装することで様々な機能を有する撮像システムを可能としている。本試作では、フォトダイオード上に配線が這う場合の感度低下の影響を評価するためのフォトダイオード TEG を作成した。メタル配線により開口率を9通りに変化させたフォトダイオードを3通りの面積について作成し、フォトダイオードを流れる電流値を直接測定し、感度を評価する。また、検波処理を行う CMOS イメージセンサにおいて、配線が長い場合、配線容量の影響を大きく受けることになる。本試作では、画素-検波回路間の配線に 50fF, 100fF, 150fF, 200fF の対地容量を選択的に付加できるような TEG を作成した。各対地容量を付加した場合の画素、検波回路の特性を測定することで感度、ダイナミックレンジなどイメージセンサの基本的な性能に与える影響を評価する。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

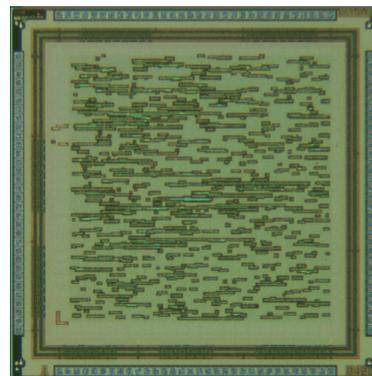


排他的論理和を利用した動き検出プロセッサ

立命館大学大学院理工学研究科 崔 英鮮, 山下 茂

概要：動き検出は動画圧縮システムにおいて、最も計算に時間がかかるプロセスであり、その計算時間は、動画圧縮全体の9割以上を占める。動画圧縮の高速化のため、数多くの動き検出高速化手法が提案されたが、そのほとんどは Sum of Absolute Difference (SAD) を利用している。SAD は画像同士の類似度を計測する指標の1つであり、画素同士の絶対差を利用して計算される。SAD は他の指標と比較して計算量が少なく、ハードウェアで実装する際に面積コストが小さく済むため、よく利用される。しかし、SAD 計算には多くの絶対差計算を必要とし、ハードウェアにおいても多くの面積を占める。本研究では、SAD に代わるよりシンプルな類似度指標を提案する。類似度計算回路の構造を単純にしたことにより、類似度計算を既存手法よりも高速に、少ない面積コストで実現する。CPU において提案手法を用いて動画圧縮を行った結果、PSNR は1デシベル弱の低下だったが、計算時間は10%の削減に成功した。また、VLSI Design and Education Center (VDEC) が提供する環境で、提案手法を利用した動き検出プロセッサを実装した結果、従来手法と比較して面積コストは14%減少し、動作周波数は1.25倍に上昇するという結果を得られた。

設計期間：3 人月以上, 4 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICompiller, Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：マイクロプロセッサ



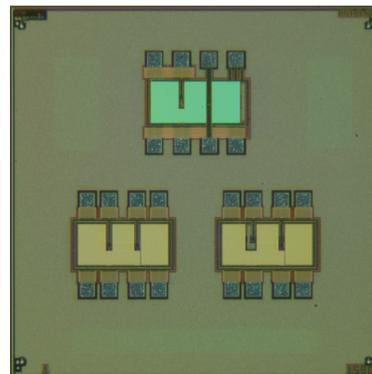
磁気共鳴によるボード間無線電力伝送回路

東京大学生産技術研究所 森 雄章, 更田 裕司, 桜井 貴康

東京大学大規模集積システム設計教育研究センター 高宮 真

概要：磁気共鳴現象を用いたボード間無線給電システム向け、無線電力伝送用パワーアンプの設計を行った。無線給電に従来利用されてきた電磁誘導方式に比べ、磁気共鳴方式は LC 共振を利用することにより電力伝送効率を高めることが期待される。本試作では、過去に当研究室で設計した差動入力型パワーアンプの比較対象として、シングルエンド入力のパワーアンプの設計を行った。また、パワーアンプの最終出力段を駆動するバッファの数を3倍に増やした回路も合わせて実装した。磁気共鳴方式の無線給電回路において、どのようなパワーアンプが適切であるかを、実際に測定で確認することが本試作の目的である。今後、試作したチップの測定を行い、比較評価する予定である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



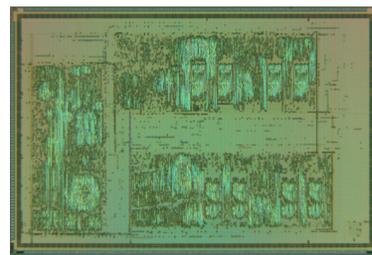
ユビキタスプロセッサ HCgorilla. 8

弘前大学大学院理工学研究科電子情報工学コース

深瀬 政秋, 成田 一貴, 三村 直道,
高木 竜哉, 宮森 博也, 黒川 敦,
今井 雅

概要: ユビキタスネットワークの急速な発展から、当研究室ではハードウェア暗号組込み型ユビキタスプロセッサ HCgorilla の開発を進めてきた。本試作は改良比較用の HCgorilla を3つ、クロック生成回路、遅延セル評価用のリングオシレータを含んでいる。HCgorilla は双方向通信のために2つの CORE を持つ。各 CORE は Java 対応メディアパイプラインが2つ、2重暗号処理のサイファーパイプライン1つから構成される。HCgorilla の演算ユニットはウェーブパイプラインとなっており、タイミング調整のため遅延セルが多用される。本試作ではウェーブ化パイプラインに適した、小面積、低消費電力、低コストな遅延セルを開発実装し、既存の標準セルとの比較を行う。HCgorilla の共通改良点として共有キャッシュメモリの見直しをおこない、大幅に面積を削減した。また、動作クロックの供給を内蔵式とし、HCgorilla 用に開発したリングオシレータ型 VCO を搭載した。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 PowerCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mmx7.5mm チップ **チップ種別:** マイクロプロセッサ

**センサノード応用低雑音アンプ・電源回路・A/D変換器 TEG**

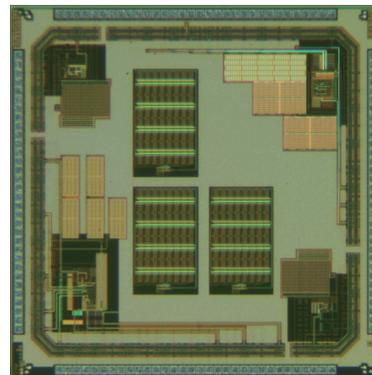
豊橋技術科学大学大学院工学研究科 浅井 翔地, ハイビ ヒシャム, 岡澤 貴之

豊橋技術科学大学工学部 秋田 一平

概要: 無線センサネットワークなど、低電力化、小型化が求められる用途においては、各種機能の完全集積化技術が重要となってくる。そのようなシステムにおいては、センサデバイスから、無線回路、信号処理回路など様々な機能集積化が求められている。さらに、センサなどから取得される微弱な電気信号を低雑音に増幅するためのアンプ、A/D 変換器を多チャンネルに実現するための小型・低電力回路技術、また、それらアナログフロントエンドに効率よく電力を分配するための電源回路は重要な要素ブロックである。本 TEG はこれらを実現するための基礎検討としての回路ブロックが搭載されており、その評価結果を受けて今後多チャンネル化に取り組む予定である。

参考文献: 浅井, 秋田, 石田, “OOK 電力増幅器に向けた LDO レギュレータ,” 電子情報通信学会ソサイエティ大会, A-1-20, p.20, Sept. 2012.

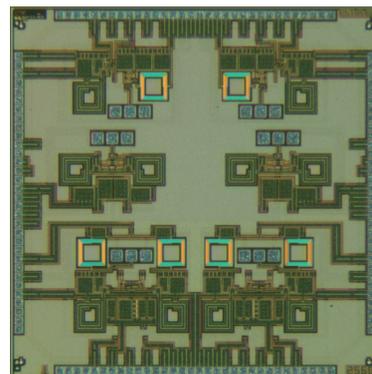
設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Encounter RTL Compiler, Synopsys 社 ICCompiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

**コルピッツ発振器による VCO の試作**

中央大学大学院理工学部 高橋 俊市, 金子 成悟, 杉本 泰博

概要: 近年、家電や玩具など身の回りの様々な機器にも通信機能が付加するようになってきた。それに伴い限られた周波数帯域内で、電波を有効利用するための帯域圧縮が重要となり、低位相雑音の発振器が必要となる。一般的に位相雑音を低減する方法としてインダクタの Q 値を高める方法がとられているが、材料や構造に手を加える従来の方法では LSI のアセンブリプロセスが複雑になるという問題があった。そこで本研究ではアセンブリプロセスに手を加えることなく、回路技術のみでインダクタの Q 値を向上させる手法を提案する。この手法は結合インダクタの二次側に一次側の電流に対して位相差を持たせた電流を流す手法で、理論上一次側のインダクタの Q 値を無限大にできる。この手法を用いることで位相雑音を低減する。結合インダクタのコイルの極性の違いによって特性が変化することから1回目の試作とは異なるコイルの極性をもつ構成とした。これを一回目の試作と同様に4種類試作した。さらにコルピッツ発振器とクロスカップル発振器の特性を比較するため、インダクタの Q 値増大手法を用いた場合と用いない場合でそれぞれクロスカップル発振器を試作した。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



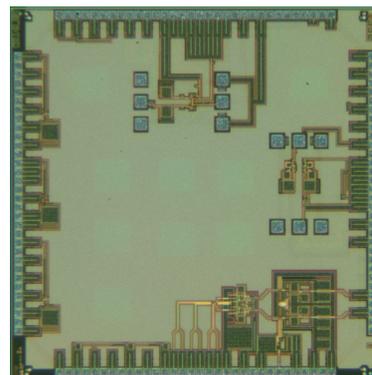
高速・高精度を実現するAD変換回路のための要素ブロックの試作

中央大学大学院理工学部 小川 尚人, 大谷 浩平, 落合 洋夫, 桐生 健人, 杉本 泰博,
坂東 和馬

概要：近年、情報のデジタル化に伴い、アナログ信号をデジタル信号に変換するA/D変換器が必要不可欠となっている。特に、デジタルカメラ等の映像機器で用いられるA/D変換器には高精度かつ高速な性能が要求される。また、素子の微細化により素子耐圧が低下しているため低電圧動作が求められる。今回の試作では、パイプラインA/D変換器に必要な、高利得、広帯域で安定動作する3段の多段接続オペアンプと、低電圧下での動作を可能とする、電流帰還方式のオペアンプ、また、歪みを低減する高精度なサンプリングスイッチを設計し、AD変換の過程で必要となる要素ブロックでの動作の確認と特性の評価を目的とした。また、低電圧下でも非常に大きなインピーダンスを実現できる、出力インピーダンス向上手法に関する回路技術の検証のための回路も試作し、評価する。

参考文献：Gaetano Palumbo and Salvatore Pennisi, "Design Methodology and Advances in Nested-Miller Compensation," IEEE Trans. on Circuits and Systems-I: Fundamental Theory and Applications, vol. 49, no. 7, July 2002

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



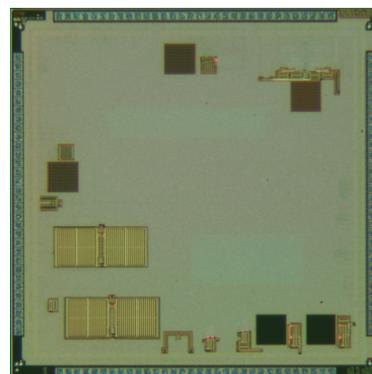
低電圧信号処理回路

慶應義塾大学理工学部 川村 恭平, 松本 佳宣

概要：デジタルLSIの電源電圧の低下に伴い、アナログ回路においても低電圧で動作する回路が求められているが、アナログ回路の基本素子である演算増幅器の動作は難しくなる。一方、低電圧下においても動作可能な回路としてCMOSインバータの有効性が示されている。CMOSインバータはアナログ回路としてはシングルエンド反転増幅器として動作する。一方、CMOSインバータを利用した差動増幅回路も提案されているが、ポリフェーズフィルタなどといった高周波用回路へ応用される例が多く、センサー・信号処理用として高利得、高精度を狙って設計されたものは少ない。本研究では特に照度や温度、湿度などといった環境計測への応用が可能な低電圧増幅回路の設計を目標とし、CMOSインバータ型減算回路のアイデアに着目して、減算回路を応用した疑似差動増幅回路を試作、評価した。目標とする電源電圧1Vにおいてセンサーへの応用において特に重要となるDC特性を中心に評価を行い、良好な結果が得られた。

参考文献：村 恭平, 松本 佳宣, "スマートフォン計測用低電圧差動増幅回路の評価", 電気学会マイクロマシン・センサシステム研究会, MSS-12-21, pp. 99-103, (2012.6.12) .

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



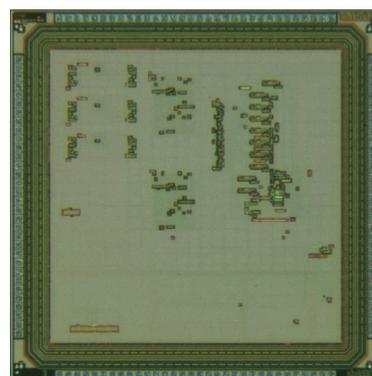
ICの遅延故障検出および電気検査のための容易化回路とOpenTEG内蔵回路の試作

徳島大学大学院先端技術科学教育部 西條 慎吾, 末永 翔平, 二宮 孝暢, 池地 大輔,
日下 敬雄, 小西 朝陽, 槇本 浩之

徳島大学大学院ソシオテクノサイエンス研究部 四柳 浩之, 橋爪 正樹

概要：遅延故障のテスト容易化回路、組込み型IDDセンサ回路、検査容易化CMOSセンサ回路、ピアオープンを模擬した回路の4つの回路を試作した。1) 遅延検出回路組込み型バウンダリスキャン回路を設計した。ベンチマーク回路の複数経路の遅延量を同時測定する実験を行う予定である。2) ICの電流テストのために組込み型IDDTセンサ回路を実装した。検査時に被検査回路の動的電源電流を検知し、その継続時間を観測するため、増幅回路、コンパレータ、パイアス回路の3つからなるセンサ回路を設計した。3) CMOSセンサの電気的検査法のために検査容易化CMOSセンサ回路を実装した。提案回路の評価を行うため、単画素と9画素の検査容易化回路と、断線抵抗値測定用回路の3つを設計した。4) ピアオープン故障の発生箇所特定のためのTEGを設計した。ベンチマーク回路の同一信号線上の異なるピアに疑似故障を挿入し、それらがテストベクトル印加により特定可能かを調べる予定である。

設計期間：9人月以上, 10人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 IC-Compiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



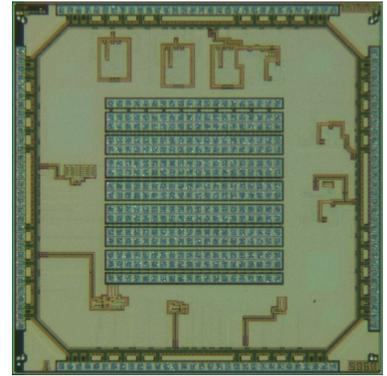
浮動小数点演算器

高知工科大学工学部システム工学群 橋 昌良

高知工科大学工学研究科基盤工学専攻 矢野 達彦

概要：浮動小数点形式で表現された数値の四則演算を行う演算器として、加減算器、乗算器、減算型除算器、乗算型除算器の4種類の非同期浮動小数点演算器を個別に設計した。各演算器ともにIEEE754単精度に準拠したものと、仮数部の演算がIEEE754単精度に準拠したもの、仮数部の演算桁数を8ビット、または、16ビットに削減し、高速化をはかったものの合計3種類、計12種類の設計を行った。仮数部の演算桁数を削減した演算器は入力された数値に応じて自動でビット数を削減したいずれかの演算器を選択し演算を行うものである。ただし、チップへの実装はチップ面積の都合によりビット数を変更できる乗算型除算器は除いた、4種類7回路である。チップレベルでの遅延計測、演算桁数を変更することによる演算の高速化の確認と、今後、演算器を改良するための基礎となるデータの取得を目的とした。

設計期間：3人月以上、4人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Synopsys社 HSPICE (RF), Synopsys社 NanoSim, Synopsys社 Formality, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路（乗算器、除算器など）

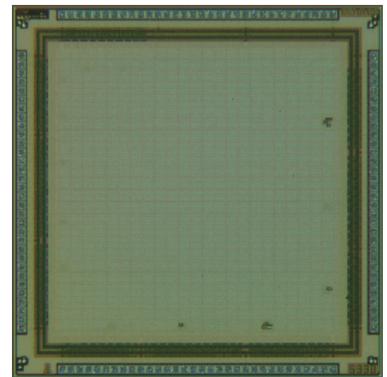


超低消費電力非同期式回路向けセルライブラリの構築

弘前大学理工学研究科 今井 雅

概要：VLSIシステムの低消費電力化は重要な課題であり、供給電圧を下げてサブスレッショルド領域で動作させる回路等が提案されている。電圧が小さくなると遅延のばらつきが大きくなるため、クロック信号に同期して動作する従来の同期式システムでは十分な性能を得ることが困難となる。一方、クロック信号を用いず要求一応答ハンドシェイクに基づいて動作する非同期式回路では、遅延が大きく変動しても正しく動作させることができる。しかしながら、非同期式回路を実装する場合、従来の同期式回路では用いないセルが必要となる。例えば複数の信号遷移の待ち合わせを行う Muller の C 素子や非対称 C 素子、2つの入力信号の調停を行う 2 入力アービタ (Mutual Exclusion) 素子などである。本試作では、これら非同期式回路設計に必要なセルを設計し、ライブラリとして提供するため、セルの動作確認と評価を行うことの出来る回路を実装した。C 素子の設計方式としては複数の方式が提案されているため、それらの評価を行えるようにした。また、クロック信号と要求一応答ハンドシェイクの簡単な比較を行うため、インバートチェーン型 VCO を用いた内蔵型クロック信号生成回路も実装した。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 Astro, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG（特性評価回路など）

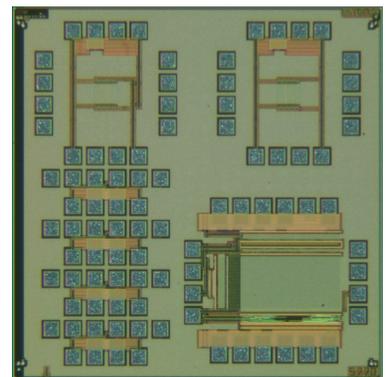


ゲート酸化膜破壊評価回路

東京大学生産技術研究所 更田 裕司, 桜井 貴康

概要：近年、プロセスの微細化に伴い、MOSトランジスタのゲート酸化膜厚が薄くなり、低い電圧でも酸化膜破壊を起こすようになった。これは、LSIの信頼性の低下を招くという問題がある一方、この現象を積極的に回路に応用しようとする試みがなされている。2012年7月に試作を行った回路は、トランジスタのゲート・ドレイン・ソース・基板の印可電圧によって、ゲート酸化膜破壊が発生するまでの時間やどのような形態で発生するか等の基礎的な情報を得る事を目的とする回路を設計したが、測定できるトランジスタの数に限りがあった。より、正確な情報を得る為には、多数のトランジスタを評価する必要がある。そこで本試作では、トランジスタを多数アレイ状に並べた回路を試作した。現在、試作チップの評価を行っている。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG（特性評価回路など）



一時故障・永久故障に強靱な多重化パイプラインプロセッサ

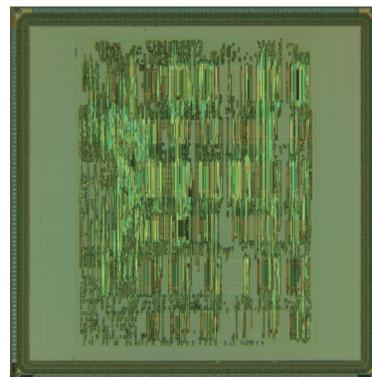
奈良先端科学技術大学院大学情報科学研究科 姚 駿, Yuttakonkit Yuttakon,
中島 康彦

京都工芸繊維大学電子システム工学専攻 岡田 翔伍, 増田 政基, 小林 和淑

概要：一時故障・永久故障に強靱な多重化パイプラインプロセッサ構造 blurDMR を実装し、試作を行った。blurDMR は、3本同様なパイプライン・モジュールを搭載し、常に2重化で動作させ、頻出する故障を検出時、潜在的な永久故障と判断し、自動的な DMR/TMR (3重化) の切り替えを行い、多数決回路で永久故障が発生する箇所を特定する。また、blurDMR は前述の DMR/TMR 自動切り替え機能を活用し、永久故障が発生しなくても、一定期間動作すると動作する2つのパイプラインの組み合わせが変更される。動作するパイプラインが一定期間で変更されることで、各パイプラインの長時間連続動作させることによる温度上昇が低減できる。経年劣化の NBTI は温度に依存するので、低温動作することで NBTI を抑制することができる。試作は動作周波数を 40MHz (クロック周期 25ns) で行った。配置配線したマクロのサイズは 3.28mmx4.28mm である。

参考文献：Jun Yao, Shogo Okada, Masaki Masuda, Kazutoshi Kobayashi, Yasuhiko Nakashima, “DARA: A Low-Cost Reliable Architecture Based on Unhardened Devices and its Case Study of Radiation Stress Test,” IEEE Transactions on Nuclear Science (TNS), Vol. 59, Issue 6, pp. 2852~2858, Dec. 2012.

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Formality, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：マイクロプロセッサ



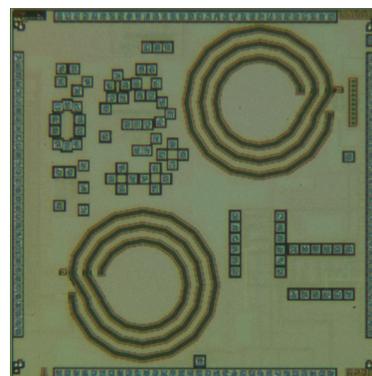
CMOS 通信回路の試作

明治大学理工学研究科 林 拓哉, 小林 直弘, 栗山 翔太郎, 魚住 和史, 熊谷 知也,
石原 貴大

明治大学理工学部 衛藤 玄海, 金 帝淵

概要：先端通信システムの実現というテーマを根底に置き、各々の研究において提案した回路、評価に必要な回路の試作を行った。以下が試作した回路の概略となる。IC チップ-IC チップ間の非接触電力伝送を目的とした送信回路システム。その内訳は、オンチップインダクタと電力バッファ回路。短距離パルス波通信を目的とした無線通信システム。その内訳は、温度依存性を考慮した矩形波電圧制御発振回路、そして、その波形を変換する波形変換回路と、信号の電流を増幅するためのバッファ回路。温度センサを目的とした LDO と組み合わせた微小電源電圧駆動 PTAT 発生回路、トリプルウェル構造の各種 TEG 回路、また、低電圧駆動フィルタ回路のバイアス制御を目的とした負の電圧発生回路。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



CMOS 超高周波通信回路実現のための試作

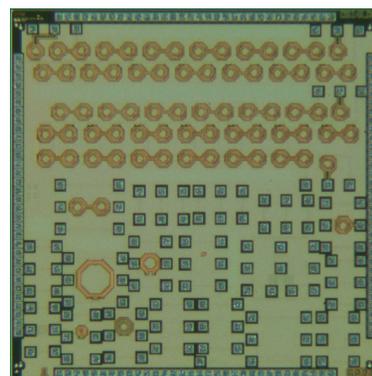
明治大学理工学研究科 伊藤 遼

明治大学理工学部 高野 真大

概要：高周波通信システムの実現というテーマを根底に置き、各々の研究において提案した回路、評価に必要な回路の試作を行った。従来、化合物半導体を用いて実現していた超高周波回路を、小型で低コストな標準的な CMOS 標準 n-well プロセスにより実現することを目標として挑戦している。以下が試作した回路の概略となる。高調波の増幅を目的とした周波数特性の異なる非線形伝送線路 TEG、非線形伝送線路の構成要素であるインダクタンス値の異なるオンチップインダクタ、同じく MOS バラクタ、オープン校正用、ショート校正用の回路、高周波正弦波の出力を目的とした電圧制御発振回路、その発振回路を構成するさまざまな形状の評価用オンチップインダクタ TEG。これらの回路は測定器による動作確認を通してその妥当性の検証を行っている。

参考文献：Ehsan Afshari, Ali Hajimiri, “Nonlinear Transmission Lines for Pulse Shaping in Silicon,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 3, MARCH 2005.

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



2線RSLメモリ方式AES暗号回路の電磁波解析攻撃リークの評価用回路

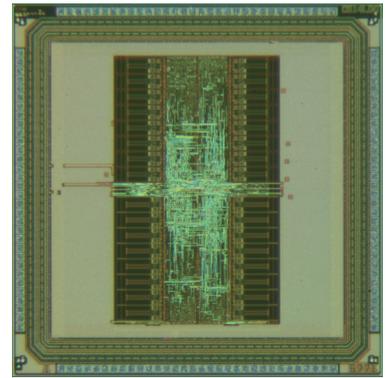
立命館大学理工学研究科 柴谷 恵, 浅川 俊介

立命館大学総合理工学研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要：消費電力や漏洩電磁波から秘密情報を窃取するサイドチャネル攻撃の脅威にICカードなどの暗号デバイスはさらされている。我々は小面積・低消費電力且つ実装容易な2線RSLメモリ方式を提案し、AES暗号への実装を行って十分な電力解析攻撃耐性を確認してきた。しかし一方で、電磁波解析攻撃耐性評価を行うと脆弱性が見つかった。本試作チップでは電磁波解析攻撃脆弱性の原因究明および対策法を実現するために、2線RSLメモリAES暗号回路に改良を行った。具体的には、各回路ブロックの動作タイミングを切り分け、メモリセルに流れる電流量を外部から制御できる改良を行った。実測評価は試作チップが届き次第行う予定である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QRC, Cadence社 Spectre, Synopsys社 HSPICE, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



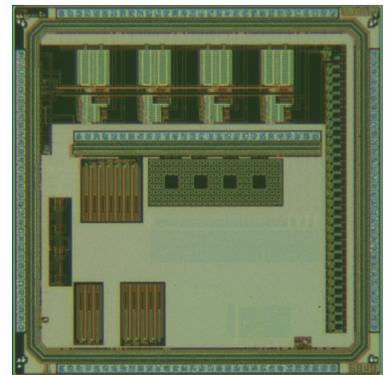
0.18 μ m CMOS プロセスを用いたマルチモード生体信号増幅回路及びオンチップ太陽電池用昇圧回路

慶應義塾大学大学院理工学研究科 安田 陽平, 菊地 大樹, 野村 一樹

慶應義塾大学理工学部 小野 東輝, 田中 誠一, 坪井 俊樹, 中野 誠彦

概要：本研究は、小型で装着可能な生体信号記録システムの開発を目標としている。今回0.18 μ m CMOS プロセスを用いて、低電力かつ低ノイズなアンプを設計した。この回路は4bit デジタル制御の可変ローパスフィルタを含んでおり、活動電位や脳波などの信号に帯域を調整することができる。また2011年度第5回目のテープアウトの際に設計したアンプで問題となったゲインのミスマッチの問題を解決する設計となっている。シミュレーションの結果、帯域が0.44Hz-12.6kHz の設定においてゲイン 39.6dB, 消費電力 4.14 μ W (1.8V 電源), 入力換算ノイズは 4.82 μ Vrmsであった。さらに今回のチップには周辺回路として可変ローパスフィルタをシリアル信号で制御するためのシリアルパラレルコンバータとバイアス電位発生用の回路も試作した。また別の研究として、単チップで動作するマイクロシステムのための電源回路を設計した。この回路はオンチップ太陽電池の出力電圧の昇圧を目的としたブートストラップ型チャージポンプDC-DCコンバータとなっており、これも同一チップ上に搭載している。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



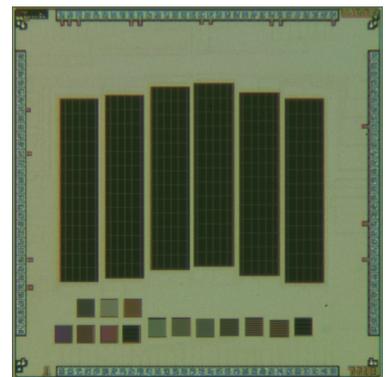
トリプルウェルを用いた on-chip 太陽電池の集積化3

東洋大学総合情報学部 堀口 文男

概要：1. 目的 通常のリングオシレータの p-well を Deep-nwell, n-well で囲むと p-well がフローティングとなる。また, n-well も基板の p-substrate とは接合分離されている。太陽電池もトリプルウェル構造とすることで, CMOS 回路の基板とは独立に直列接続が可能になる。2. 方法 各測定は 151 段のリングオシレータを用いる。通常のリングオシレータの断面構造では p-substrate が p-well と共通となるために太陽電池の直列接続はできない。しかし, フローティング構造のリングオシレータは p-well が Deep-n-well で囲まれているため, 通常のリングオシレータと違い nmos に太陽電池とは独立して基板バイアスを印加することが可能となっている。3. 結果 太陽電池を直列に接続し, 0.9V, 1.3V の高電圧を CMOS リングオシレータに印加することができることが確認できた。

参考文献：堀口ほか, “直列太陽電池を集積したトリプルウェル CMOS LSI の構成法”, 信学論, Vol. J94-C, No. 5, pp. -, May (2011)

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



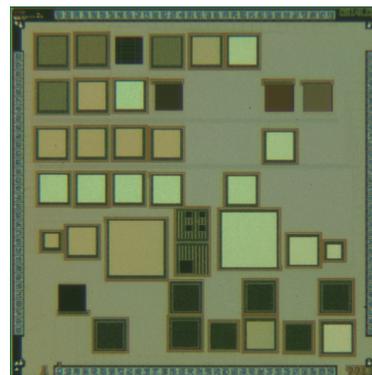
トリプルウェルを用いた on-chip 太陽電池の集積化 4

東洋大学総合情報学部 堀口 文男

概要：1. 目的 通常のリングオシレータの p-well を Deep-nwell, n-well で囲むと p-well がフローティングとなる。また, n-well も基板の p-substrate とは接合分離されている。太陽電池もトリプルウェル構造とすることで, CMOS 回路の基板とは独立に直列接続が可能になる。2. 方法 各測定は 151 段のリングオシレータを用いる。通常のリングオシレータの断面構造では p-substrate が p-well と共通となるために太陽電池の直列接続はできない。しかし, フローティング構造のリングオシレータは p-well が Deep-n-well で囲まれているため, 通常のリングオシレータと違い nmos に太陽電池とは独立して基板バイアスを印加することが可能となっている。3. 結果 太陽電池を直列に接続し, 0.9V, 1.3V の高電圧を CMOS リングオシレータに印加することができることが確認できた。

参考文献：堀口ほか, “直列太陽電池を集積したトリプルウェル CMOS LSI の構成法”, 信学論, Vol. J94-C, No. 5, pp. -, May (2011)

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

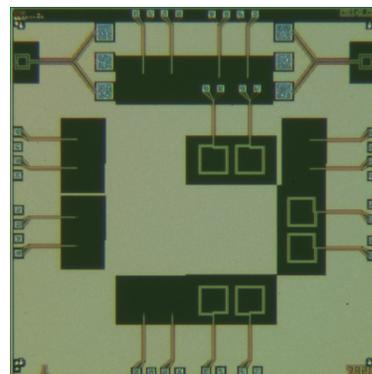


磁性薄膜によるイントラデカップリング性能評価のためのオンチップコイル

東北大学大学院工学研究科 山口 正洋, 室賀 翔, 重田 洋二郎

概要：近年, 電子機器の発展にともない, チップレベルの EMC 問題が顕在化している。そのノイズ抑制・対策法として, 我々の研究室では磁性薄膜を用いた電磁ノイズ抑制体の開発を行っている。本試作では, 磁性薄膜によるオンチップレベルのイントラデカップリング性能の評価を行うため, 同一チップ上の回路間で生じる誘導結合を, 模擬するための複数のオンチップコイルを設計した。さらに, 測定結果からパッドおよび引き出し線の寄生抵抗, 容量等の影響を除去するための De-embedding のパターンを設計した。また, LSI 上で発生する近傍磁界を計測するための高周波・高空間分解能のマイクロ磁界プローブのセンサーに用いる平面型シールドループコイルも設計した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

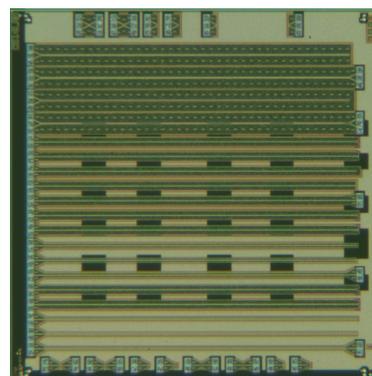


磁性薄膜による伝導ノイズ抑制効果評価のための模擬配線群

東北大学大学院工学研究科 山口 正洋, 室賀 翔, 重田 洋二郎

概要：近年, 電子機器の発展にともない, チップレベルの EMC 問題が顕在化している。そのノイズ抑制・対策法として, 我々の研究室では磁性薄膜を用いた電磁ノイズ抑制体の開発を行っている。この電磁ノイズ抑制体は, GHz 帯の特定の周波数範囲において, 磁性薄膜内で生ずる強磁性共鳴損失を利用し, 伝導ノイズエネルギーを熱に変換し, 抑制する。本試作では, 磁性薄膜による伝導ノイズの抑制効果を明確にするため, アナログ回路の電源配線を模擬した平行 2 線路を設計した。さらに, ノイズ抑制効果の配線インピーダンス依存性を評価するため, 終端抵抗および特性インピーダンスの異なる線路も設計した。また, 測定結果からパッドおよび引き出し線の寄生抵抗, 容量等の影響を除去するための De-embedding のパターンとして, 開放, 短絡および無反射終端器を設計した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



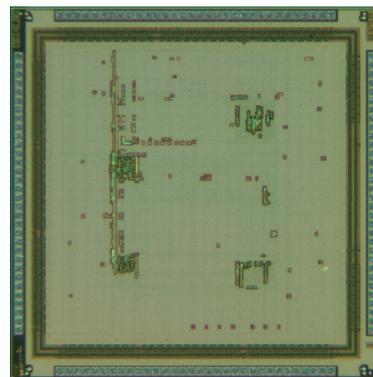
レジスタ共有型回路と Huddle-based Distributed Register (HDR) アーキテクチャ回路

早稲田大学基幹理工学部 戸川 望

早稲田大学大学院基幹理工学研究科 阿部 晋矢

概要：微細化の進んだLSIにおいて、遅延全体に占める配線遅延の割合が増加している。LSIの設計手法として高位合成があるが、レイテンシ削減やエネルギー削減において、配線遅延を考慮した高位合成が求められる。本チップは、従来の配線遅延を無視した高位合成により設計した回路であるレジスタ共有型回路と、我々の提案する配線遅延を考慮した高位合成手法による Huddle-based Distributed Register (HDR) アーキテクチャ回路が実装されている。レジスタ共有型回路はレジスタを1か所に集中して配置し、資源共有による面積削減を目指した回路である。しかし、配線遅延分のマージンが必要となり、回路全体のレイテンシは増加する。一方、HDR アーキテクチャ回路はそれぞれの演算器に対しローカルレジスタを配置し、配線遅延のマージンを削減することでレイテンシを削減する。HDR アーキテクチャを対象に高位合成することでレイテンシを削減できるが、レジスタは分散して配置されるため資源共有が進まず面積が増加する。提案する高位合成においてレイテンシの削減は確実であるが、面積との兼ね合いで決まる消費エネルギー削減効果の検証へ向け本チップを製作した。本チップを用いて、レイテンシ、消費エネルギーを測定し、配線提案高位合成手法の有効性が検証できる。

設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Synopsys 社 ICDCompiler, Mentor 社 Calibre, **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

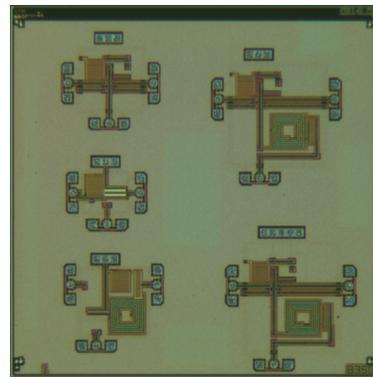


包絡線パルス密度変調に用いる D 級電力増幅回路の試作

東京理科大学理工学部 飯倉 祥晴, 染谷 和, 楳田 洋太郎

概要：近年、無線通信における送信機は高い電力効率と線形性が求められる。E 級電力増幅器を用いた包絡線パルス密度変調は電力効率と線形性に対する要求に合っていると見える。しかし、E 級電力増幅器にバースト信号が入力されるため、トランジスタのドレインバイアスの過渡応答による歪が発生する問題がある。そこで本研究では、包絡線パルス密度変調に従来用いられている E 級電力増幅器に対し、E 級と同じく理論的には電力効率が 100%となる D 級電力増幅器を適用した時の評価を行うために IC の試作を行った。D 級電力増幅回路のトランジスタは共に NMOS である。また、上記以外の試作として、コンプリメンタリ型電力増幅器の試作を行った。バンドパスフィルタをつけて上を電源、下をグラウンドにつなぐパターン、バンドパスフィルタをつけて上下ともに電源につなぐパターン、バンドパスフィルタをつけずに上を電源、下をグラウンドにつなぐパターンの 3 種類試作した。パワーアンプは上部に PMOS、下部に NMOS を使用している。PMOS トランジスタはゲート幅 910 μ m でフィンガー数 35、NMOS トランジスタはゲート幅 350 μ m でフィンガー数は 35 である。

設計期間：1 人月以上、2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Agilent 社 ADS, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**通信 (RF 回路, ATM など)

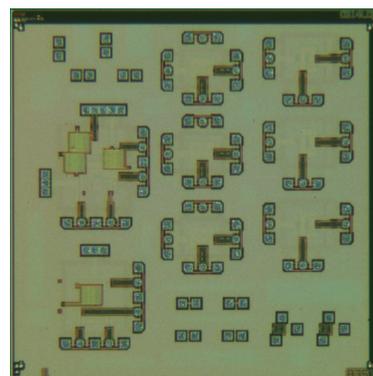


MOSFET パラメータ基板バイアス効果評価 TEG

東京理科大学大学院理工学研究科 岸 俊樹, 楳田 洋太郎

概要：直列均等分圧回路では直列接続された複数のトランジスタが同一の動作をすることにより、トランジスタ単体の場合と比べてトランジスタ数倍の電圧を出力することができる。しかし、バックゲートをグラウンドに接続した場合、Si MOSFET では各電極の対バックゲート電圧が異なるため、ドレイン電流および各電極間容量が変調され、分圧動作のバランスが崩れると予想される。本 TEG は、直列均等分圧回路の試作の際に用いた抵抗、キャパシタの TEG および Si MOSFET パラメータの基板バイアス依存性の評価を目的として製作した。その測定結果を用いて、基板バイアス効果による MOSFET パラメータの変調がある場合の直列均等分圧動作への影響を予測するとともに、均等分圧動作を行うために必要な設計法を明らかにする。TEG の DC 測定によりバックゲート・ソース間電圧を変化させた場合のしきい値の変化を確認する。さらに抵抗、キャパシタおよび Si MOSFET の S パラメータ測定により等価回路モデルを作成し、試作した直列均等分圧型残留キャリア引き抜き回路の評価結果とシミュレーション結果を比較する予定である。

設計期間：0.1 人月以上、0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Agilent 社 ADS, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

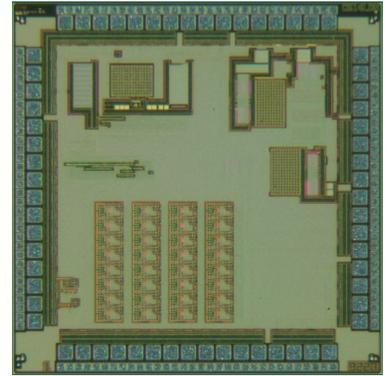


連続血糖値測定用ホールセンサアレイ

豊橋技術科学大学電気・電子情報工学系 村上 裕二

概要：血糖値を推定可能な経皮連続モニタリングのセンサ LSI システムを構築中である。予備検討の結果、100um 以下のピッチでのホールセンサアレイが必要になった。そこで、R. S. Popovic らの報告による N well のクロスパターン構造を採用し、既設計の 10bit 逐次変換方式 AD 変換器、およびその AD 変換器とマッチングできる既設計のメインアンプはチップ上に 1 つだけもち、 $8 \times 4 = 32$ 個のホールセンサアレイの個別ピクセルにホールセンサ出力としての電位差を増幅するプリアンプを持たせた。ホールセンサの構造上高い入力インピーダンスが要求されるため各電位を 2 個のオペアンプが直接受けて、さらに別のオペアンプがその出力を作動増幅する計測アンプを採用、設計した。さらにシーケンサである 30bit カウンタ回路の中位のビット組合せでピクセルの行と列をシフトレジスタ的に動作させ、その行と列の制御信号双方を受けたときのみ当該ピクセルが動作するようにした。安定動作のために抵抗値や容量値を一定量確保した結果、アンプ面積が $10000\mu\text{m}^2$ を超えたため、列方向のみ 100um ピッチとし、行方向には結果的に約 200um ピッチとなった。なお TEG として単独のピクセルや単独のホールセンサをいくつかの組合せで設計してある。

設計期間：4 人以上、5 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



第4章 VDEC 概要

4.1 組織概要

東京大学大規模集積システム設計教育研究センター（略称 VDEC）は、日本の国公立大学と工業高等専門学校における VLSI 設計教育の充実と研究活動の推進のために平成8年5月に全国共同利用施設として発足した。

当時は専任教官5名と事務官1名という小さな組織であったが、平成9年度には専任教官2名と事務官1名が増員され、現在は専任教員9名、客員教授1名、そして20名以上の非常勤スタッフや学外協力研究員が在籍している。

また、平成9年4月から平成19年3月まで、全国9大学のVDECサブセンターから連携を密にする目的で、

2年を単位として2名の教官を派遣する「流動教官制度」を開始した。（平成16年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更）

平成20年4月からは「協力教員制度」を開始し、現在は10大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている。（下記参照）

さらに産業界との連携のため、1名の客員教授に協力をお願いしている。

センターの事務については、工学系・情報理工学系研究科等事務部が行っている。

流動教官派遣大学

年 度	派 遣 大 学
平成9・10年度	東北大学, 横浜国立大学
平成11・12年度	金沢大学, 広島大学
平成13年度	千葉大学, 東京工業大学
平成14年度	千葉大学, 東京工業大学, 京都大学
平成15年度	京都大学, 九州大学
平成16年度	大阪大学, 九州大学
平成17年度	名古屋大学, 大阪大学
平成18年度	北海道大学, 名古屋大学
平成19年度	北海道大学

協力教員派遣大学（平成21年度～）

北海道大学, 東北大学, 東京工業大学, 金沢大学, 名古屋大学, 京都大学, 大阪大学, 広島大学, 九州大学, 立命館大学

4.2 人事報告

VDEC 人事

センター長・教授	浅田 邦博
教授	藤田 昌宏
客員教授	古山 透
准教授	池田 誠
准教授	高宮 真
特任准教授	名倉 徹
特任准教授	小松 聡
助教	松本 剛史
助教	朱 弘博
助教	落合 秀也
主査	大村 栄 (工学系研究科総務課)
係長	吉野 衣子 (〃)

協力教員

柴田 直
(東京大学工学系研究科電気系工学専攻教授)
高木 信一
(東京大学工学系研究科電気系工学専攻教授)
三田 吉郎
(東京大学工学系研究科電気系工学専攻准教授)
竹中 充
(東京大学工学系研究科電気系工学専攻准教授)
飯塚 哲也
(東京大学工学系研究科電気系工学専攻講師)



古山 透

2011年の4月、東日本大震災の直後より本年の3月まで2年間、VDECの客員教授を務めさせて頂き、この度退任致しました。その間、皆様には大変お世話になり本当にありがとうございました。不慣れな私が、無事任期を全う出来ましたのも、偏に皆様のご支援ご指導の賜物と感謝申し上げます。

この二年間に、震災の直接的な被害・その後の間接的な打撃と、更に歴史的な円高の追い討ちによって、日本の電子産業は大きなダメージを受け、業績は激しく落ち込み、会社更生法適用を申請したり、他社との合従連衡を模索するなど、会社の有りようさえ変わらざるを得ない事態に追い込まれました。その影響は否応なしに、VDECの活動にも及び、VDECにとってはChip試作の委託先や環境を見直し、またサービスの内容や範囲も適宜変更するなど、“More than Moore”の分野を含む、よ

り多様化するニーズへの対応に積極的に取り組んで来た二年間でもあったと思います。

この数ヶ月、世の中は景気回復・デフレ脱却への期待が膨らんでいますが、それが実体を伴った確実なものになって行くには、やはり電子産業のGlobalな競争の中での復権は不可欠だと思います。日本の電子産業に取って、厳しく苦しい時期であるからこそ、VDECの果たす使命もより重要です。VLSIの設計教育やChip試作の支援・サービス提供によって、産業界の次代を担う優秀な人材を育成することの重要性は論を待ちません。そのみならず、海外動向も含め産業界の変化を敏感に先読みして、例えば今後成長が期待されるHealth CareやMedicalの分野、エネルギーの分野などに、半導体技術やVLSIの新しいApplicationを開拓し、提案を次々と発信して行くことにも、VDECの各先生方が、協力教員の先生方と共に、積極的に取り組んで行かれることを切望しています。

新任のご挨拶

清水 剛

本年度4月より客員教授を拝命いたしました。これまで高速ネットワークを中心として、何を作るか、どう作るか、比較的上流からの視点で研究開発をして参りました。長期の米国での経験も含め、LSI設計については、いい時代にいい経験をさせていただいたという感を強く持っています。昨今、日本国内では景気のよくないトー

ンの暗いニュースも聞かれますが、世界で見れば技術の進歩、大きな変化とチャンスがまだまだある領域だと捉えています。そのような中で大学での設計環境とチップ試作の機会の充実を図るVDECの活動の意義は今後ますます大きく、貴重なものになっていくと考えており、微力ながらも貢献ができればと思います。よろしく願いいたします。

平成 24 年度大規模集積システム設計教育研究センター運営委員会委員

氏 名	所 属 等
浅田 邦博	大規模集積システム設計教育研究センター長
原田 昇	工学系研究科長
保立 和夫	大学院工学系研究科 教授
柴田 直	大学院工学系研究科 教授
坂井 修一	大学院情報理工学系研究科 教授
中野 義昭	先端科学技術研究センター 教授
荒川 泰彦	生産技術研究所 教授
高木 信一	大学院工学系研究科 教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
池田 誠	大規模集積システム設計教育研究センター 准教授
高宮 真	大規模集積システム設計教育研究センター 准教授

平成 24 年度大規模集積システム設計教育研究センター全国運営協議会委員

氏 名	所 属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授（センター長）
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
柴田 直	東京大学大学院工学系研究科電気系工学専攻 教授
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授
本村 真人	北海道大学大学院情報科学研究科情報エレクトロニクス専攻 教授
大見 忠弘	東北大学未来科学技術共同研究センター 教育研究支援者
一色 剛	東京工業大学大学院理工学研究科 集積システム専攻 准教授
益 一哉	東京工業大学ソリューション研究機構 教授
柳澤 政生	早稲田大学基幹理工学部電子光システム学科 教授
松田 吉雄	金沢大学理工研究域電子情報学系 教授
河口 信夫	名古屋大学大学院工学研究科計算理工学専攻 教授
小野寺 秀俊	京都大学大学院情報学研究所通信情報システム専攻 教授
松岡 俊匡	大阪大学大学院工学研究科電気電子情報工学専攻 准教授
Mattausch HansJuergen	広島大学ナノデバイス・バイオ融合科学研究所集積システム学科 教授
安浦 寛人	九州大学（大学院システム情報科学研究院情報知能工学部門 教授）理事・副学長
藤野 毅	立命館大学理工学部電子情報デザイン科 教授
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授
黒田 忠広	慶応義塾大学理工学部電子工学科 教授
吉本 雅彦	神戸大学大学院システム情報学研究所 教授

4.3 決算報告

1. 運営費交付金

(千円)

事項	収入(予算配分)額	支出額	過不足額
共通経費	279,590	251,298	28,291
研究経費	17,065	14,973	2,091
計	296,655	266,271	30,382

2. 平成24年度受託研究

	教員名	委託者	研究題目	受託金額(円)
1	藤田 昌宏	独立行政法人科学技術振興機構	形式的検証およびテスト	43,940,000
2	浅田 邦博	文部科学省ナノテクノロジープラットフォームセンター	微細加工プラットフォーム実施機関	59,000,000
3	浅田 邦博	経済産業省	平成24年度情報セキュリティ対策推進事業(新世代情報セキュリティ研究開発事業(高度電磁波解析技術によるLSIのセキュリティ対策に関する研究開発))	52,741,727
4	浅田 邦博	(株)豊通エレクトロニクス	先端集積回路の評価・解析技術高度化の研究	5,000,000
5	藤田 昌宏	独立行政法人科学技術振興機構	津波予測システムのハードウェアによる高速化とその設計支援	1,870,000
6	浅田 邦博	ケイレックス・テクノロジー(株)	平成23年度「企業・個人の情報セキュリティ対策促進事業(暗号アルゴリズムの物理的安全性評価に必要な標準評価環境の開発)」	20,239,990
7	高宮 真	ルネサスエレクトロニクス(株)	生活活動モニタリングの調査研究(3)	525,000
8	池田 誠	ルネサスエレクトロニクス(株)	低電圧、高エネルギー効率両立回路技術の獲得。マイコンへの適用。	300,000
合 計				183,616,717

3. 平成24年度共同研究

	教員名	申込者	研究課題	受入金額(円)
1	池田 誠	(株)Rosnes	イメージセンサーの感度特性に関する研究	1,001,000
2	藤田 昌宏	(株)半導体理工学研究センター	部分的プログラム可能回路の最適化・デバック手法の研究	2,000,000
3	池田 誠	(株)半導体理工学研究センター	共振型MEMSミラーを用いたシート光スキャンによる高精度三次元形状計測システムの実現検討	2,000,000
4	浅田 邦博	(株)アドバンテスト	先端LSI設計・テスト技術	15,000,000
5	浅田 邦博	(株)イー・シャトル	CP(キャラクタプロジェクション)エレメントベースの設計手法	1,000,000
合 計				21,001,000

4. 平成24年度寄附金

受入件数：1件 受入額 計 30,000,000円 株式会社アドバンテスト

第5章 研究報告

5.1 全体概況

	研究室構成 人数 (名)	研究発表 (件)			著書 (冊)	特許 (件)	受賞 (件)
		研究論文	国際会議	その他			
VDEC 教員	39	21	55	37	2	3	4
協力教員	55	18	48	34	4	0	4

5.2 研究室構成員 (平成 24 年度)

浅田・池田・名倉・飯塚研究室構成

浅田 邦博 教授
 池田 誠 准教授
 名倉 徹 准教授
 飯塚 哲也 講師
 Tse-Wei Chen VDEC 研究員(現在 Canon)
 Nguyen Ngoc Mai Khanh VDEC 研究員
 Sanad Bushnaq 博士3年(現在 東芝)
 Devlin Benjamin Stefan 博士3年(現在 Xilinx)
 吉川 俊之 博士1年
 齊藤 総 修士2年(現在 ファナック)
 胡 興華 修士2年(現在 New Soft)
 王 楠 修士2年(現在)
 久保田 透 修士2年(現在 富士通)
 児玉 和俊 修士2年(現在 SONY)
 矢部 紘貴 修士2年(現在 博士1年)
 Parit Kanjanavirojkul 修士1年
 Kevin Ngari 修士1年
 中村 陽二 修士1年
 宮崎 耕太郎 修士1年
 伊東 敦 学部4年(現在 修士1年)
 峠 仁人 学部4年(現在 修士1年)
 松島 多佳彦 学部4年(現在 修士1年)
 森 一倫 学部4年(現在 修士1年)
 染谷 晃基 学部4年(現在 桜井研修士1年)

藤田研究室

藤田 昌宏 教授
 松本 剛史 助教
 Amir Massoud Gharehbaghi 特任研究員
 張 嘉懿 博士3年
 谷田 英生 博士3年
 小野 翔平 修士2年
 李 在城 修士2年
 大島 浩資 修士1年
 田口 直樹 修士1年
 陳 果 外国人研究生
 城 怜史 学部4年

高宮研究室

高宮 真 准教授
 井口 俊太 修士2年
 韓 知躬 修士2年

森 雄章 修士1年

柴田・三田研究室構成員

柴田 直 教授
 三田 吉郎 准教授
 澤村 智紀 特任研究員
 エリック ルブラスール 特任研究員
 森川 重毅 博士3年
 西山 未央 博士3年(現在 三菱電機)
 包 蕊寒 博士3年(現在 日本電気)
 趙 普社 博士3年(現在 日立製作所
 中央研究所)
 張 任遠 博士3年(現在 北陸先端科学技術大
 学院大学)
 森下 賢志 博士3年(現在 日立製作所)
 韓 丹丹 博士2年(10月入学)
 山下 直也 博士2年
 夏 文軍 博士2年
 孫 理天 修士2年(現在 相澤研究室博士1年)
 土屋 和哉 修士2年
 島田 淳史 修士2年(現在 キヤノン)
 福田 和巳 修士2年
 森 功 修士2年(現在 博士1年)
 和田 真 修士2年(現在 ソニーモバイルコ
 ミュニケーションズ)

施 英漢 修士1年
 平川 淳 修士1年
 保坂 航太 修士1年
 米田 佳祐 学部4年(現在 修士1年)
 坂本 直之 学部4年
 朱 玄宰 学部4年(現在 浅見研究室修士1年)
 丸山 玄氣 学部4年(現在 佐藤研究室修士1年)

高木・竹中研究室構成

高木 信一 教授
 竹中 充 准教授
 田岡 紀之 (特任研究員)
 横山 正史 (特任研究員)
 黄 博勤 (協力研究員)
 ジャーン ルイ 博士3年(工学系)
 キム サンヒョン 博士2年(工学系)
 テイユウホウ 博士2年(工学系)
 キム ミンス 博士2年(工学系)

サイイリツ 博士1年(工学系)
ユウ シャオ 博士1年(工学系)
一 宮 佑 希 博士1年(工学系)
キム ヨンヒョン 博士1年(工学系)
Sang Hoon Shing 修士2年(工学系)
野 口 宗 隆 修士2年(工学系)
倉 持 美 沙 修士2年(工学系)
忻 宇 飛 修士2年(工学系)
張 志 宇 修士2年(工学系)
林 汝 静 修士2年(工学系)

Bogdan Cezer Zota 特別聴講生(工学系)
朝 倉 佑 吏 修士1年(工学系)
高 島 成 也 修士1年(工学系)
ハン ジェフン 修士1年(工学系)
亢 健 修士1年(工学系)
キム ウガン 修士1年(工学系)
嘉陽田 達 矢 学部4年(工学部)
中 村 幸 宏 学部4年(工学部)
西 康 一 学部4年(工学部)
吉 田 望 学部4年(工学部)

浅田・池田・名倉・飯塚研究室

(http://www.mos.t.u-tokyo.ac.jp)

電波エネルギーハーベスティング用整流器

浅田邦博, 名倉 徹, 飯塚哲也, 松井裕明

近年, 周囲に存在する熱, 振動, 光などの微弱なエネルギーを電源として利用するエネルギーハーベスティングが着目を浴びている. エネルギーハーベスティングをワイヤレスセンサーに用いることで, メンテナンスフリーのセンサーネットワークが実現できる. 本研究では, 放送や通信用の電波を電力源として用いる電波エネルギーハーベスティングに着目した. 電波エネルギーハーベスティングに使用する整流器には, 動作可能な入力電圧の下限がMOSトランジスタの閾値電圧によって制限されてしまうという欠点がある. これを改善すべく, 基板バイアス効果を用いた閾値の制御が可能なボディ接続を提案し, これを有した整流器の有効性を確認した.

時間領域制御を利用した PLL・TDC 回路

浅田邦博, 名倉 徹, 飯塚哲也, 吉川俊之, 染谷晃基, 峠 仁人

本研究では, PLLのネットリスト作成とレイアウト, その抽出シミュレーションによる性能評価を自動化する設計フローの構築に取り組んだ. この設計フローを実現するため, 商用の配置配線ツールでの合成が可能なパルス幅制御PLLを用いている. また, 時間領域の情報を活用する研究も行った. 時間差記憶再生回路は入力された一組の信号の時間差を任意の回数, 劣化を伴うことなく保持することができる. 時間差記憶再生回路のTDCへの応用も実証している. さらに, 製造されたPLLのテスト手法を研究した. 伝達関数を導出するため, 基準信号の位相変調をチップ内部で行い, 出力信号をTDCによりデジタル信号として読み出すことでデジタル用テストによるPLLのテストを可能としている.

半導体フォトダイオードを用いた放射線検出器

浅田邦博, 名倉 徹, 飯塚哲也, 久保田透

近年注目されているシンチレーション検出器や半導体検出器は, 放射線核種の特定期や到来角の推定などもでき, 様々な分野に応用されている. しかし従来の

検出器は, 簡単に持ち運びができない, 放射線の位置を特定する空間分解能が十分でないといった欠点がある. 本研究では, シンチレータ, SPAD (Single Photon Avalanche Diode) アレイ, マルチコート材料, ピンホールで構成された検出器を提案する. シンチレータ内で発生する光の位置ごとに, SPADが反応する確率分布をデータベース化し, 実際の測定値と比較することで, 発光する電子の軌跡を推定する. 本手法をシミュレーションにより検証した結果, 従来の検出器よりも優れた空間分解能が得られることを確認した.

マイクロ磁界プローブを用いた LSI の表面磁界計測

浅田邦博, 飯塚哲也, Nguyen Ngoc Mai Khanh, 王 楠, 中村陽二

近年, 暗号化LSI内部の秘密情報を取得するためのサイドチャネル攻撃が発達しており, セキュリティ対策が急務となっている. 本研究では, LSIから放射される磁場を高精度に計測するためのマイクロ磁界プローブを提案し試作する. マイクロ磁界プローブの実現のため, 低ノイズアンプと磁界検出用コイルを一体化したLSIを設計・試作し, これを磁界プローブとして0.18 μm CMOSプロセスで実装した. 提案された磁界プローブを用いてLSIからの磁界放射を検出し, 集積回路上の高精細な磁界放射マップを取得することに成功した. また, 1次元の電流ワイヤモデルに基づいたLSIの表面磁場モデリング法の構築を行った. 本手法ではSPICEシミュレーションによって得られた電流値と配線のレイアウトパターンを用いて, 集積回路から放射される磁界マップのモデリングを行う. さらに, 磁界プローブから取得した情報を利用し回路状態を推定する手法を提案した. 提案手法では推定する未知数よりも多くの測定点を取り, 最小二乗法を適用することにより誤差を最小化している.

THz 帯の電波を用いたイメージング

浅田邦博, 飯塚哲也, Nguyen Ngoc Mai-Khanh, Parit Kanjanavirojkul

近距離のイメージングおよびレーダー・アプリケーション用のオンチップ・サブミリ波送信機を実装することが本研究の目的である. そのため, テラヘルツ領域にサブミリ波用の送信機・受信機と, そのためのオンチップアンテナが必要となる. 一般的に用いられる連続波発生器とは対照的に, 我々は直接サブミリ

波パルスバースト発生回路を提案する。提案回路は、CMOSインバータの出力遷移期間に生じる貫通電流パルスをインパルス信号として用いる。インバータ列にトリガ信号を供給し順次貫通電流を発生させることでバーストパルス列を生成し、その高調波成分を用いることでFmaxよりも高い周波数の信号発生を実現する。シミュレーション結果により、基本的なインパルス列の第四高調波から200 GHzの出力周波数が得られることを示した。また、広帯域のアンテナとオンチップのレシーバ回路の実装を行った。本回路ではパッシブミキサ方式と時間領域分光器（TDS）方式のそれぞれについて実装を行った。直接パワーとエンベロープを検出するパッシブミキサ方式は非コヒーレント受信方式となり、TDSはコヒーレント受信構造となっている。これらのトランスミッタおよびレシーバ回路を65 nm SOI CMOSプロセス上で実装した。

極微細プロセス技術における集積回路の信頼性の向上

浅田邦博, 名倉 徹, 飯塚哲也, Kevin Ngari,
森 一倫

近年の微細・低電圧プロセスでは、時間方向の情報を用いたTDC等の回路が注目を浴びている。本研究では、時間方向の情報を用いた回路方式が、従来の電圧方向の情報を用いた回路方式に対して雑音・ダイナミックレンジの観点においてどの程度有効であるかを検証する。特にプロセス技術の微細化に伴う信号遷移の高速化によって、時間方向の優位性がどのように変化するかについての検証を行う。このため、単純なインバータ列を用いたSPICEシミュレーションを用いてトランジスタの熱雑音およびフリッカノイズが引き起こす信号のジッタ量を明らかにし、熱雑音によるジッタが時間方向の解像度に与える影響について検討を行った。また、プロセス微細化が引き起こすデジタル回路の信頼性の問題のひとつとしてNBTI劣化がある。NBTI劣化への対策のために、その高速なシミュレーションが必要である。本研究では回路動作中のNBTI劣化を回路シミュレータ上で再現する方法の提案を行った。提案手法ではNBTI劣化の物理現象を回路素子を用いて表現することにより、回路の動作シミュレーションと同時に劣化量の推定を行うことが可能となっており、NBTI劣化を再現するための回路素子のパラメータ変更により劣化加速試験を容易に実現できる。

ステンシルマスクを用いた電子線直接描画向け設計手法

浅田邦博, 池田 誠, 飯塚哲也, 池野理門

電子線直描は微細半導体製造技術における露光処理

の低コスト化に有効であるが、露光時間が描画図形数や描画面積に比例するために処理速度の向上が困難である。我々は、高速電子線直描技術であるキャラクタ・プロジェクション法の実用化のために、回路設計およびステンシルマスク設計に関する研究を行った。配線設計では、規則的な配線実装とビア配置を実現し、限られたキャラクタ種を用いながら同時露光図形数を向上する回路及びステンシルのレイアウト設計手法を提案した。また、複数セルを同時露光するセル・クラスタ露光を検討し、回路ネットリストに基づいたクラスタ構成手法の提案と、既存のライブラリと設計ツールを用いた実証を行った。

電源雑音測定・低減手法

浅田邦博, 池田 誠, 名倉 徹, 飯塚哲也, 齊藤 総

LSIの微細化と共に消費電力の増加を招いている。そこで、Dynamic Voltage Scaling (DVS) やクロックゲーティングといった低消費電力のためのシステムが提案されている。しかし、DVSで電圧を変えたり、クロックを止めたり入れたるときに、ボンディングワイヤの寄生インダクタンスと回路の寄生容量のLC共振により、電源共振ノイズが発生する。このノイズは回路のシグナル・インテグリティを低下させる。今回、DVSにおける電源共振ノイズの低減のために、アクティブチャージシェアリングをとというキャンセル手法を提案した。この手法は3.3 [V] にチャージされたデキャップからアクティブに電荷を注入するか、0 [V] にチャージされたデキャップから引き抜くことでキャンセルする。シミュレーションでは電源共振ノイズ量とセトリングを4n [F] ものパッシブデキャップに比べて95%も改善した。また、ボンディングワイヤのLRにも依存しないキャンセルが可能である。提案手法の有効性を示すために0.18 umプロセスでチップを制作した。しかし、セレクトとスイッチのレイアウトのミスにより、大きな配線抵抗がついてしまい、電源共振ノイズのキャンセルを確認できなかった。一方、セトリングを改善することはできた。よって、レイアウトを見直すことで提案手法は有効だという可能性を示した。

自己同期システムの実現

池田 誠, 浅田邦博, Benjamin Devlin, 伊東 敦

集積回路の信頼性は、低電圧下や微細化、それに伴う複雑化やばらつきが増大によって、より重要視されている。自己同期回路は、同期回路と比較し、よりロバストかつ高い性能を有する。それは、同期回路はプ

ロセスや電圧、温度のばらつきによりタイミングエラーが起こるのに対し、自己同期回路は自動で適合することができるためである。我々は、デュアルパイプラインと呼ばれるアーキテクチャを用いた自己同期型FPGAを設計し、パワーゲーティングを用いて、低電圧下でエネルギーが最小になる遅延に信頼性が依存しないシステムを作った。また、自己同期回路を用いたRSA暗号化エンジンを提案、40 nmプロセスを用いて製造し、自己同期回路の性能、電圧スケラビリティ、ロバスト性といった利点を示した。論理合成についても研究を行い、Verilog RTLで記述された論理回路を自動的に自己同期回路に最適化・合成するフローを開発した。このようにして合成された回路は、通常のフローで自動配置配線を実施しレイアウトを完成させることが可能となっている。

三角測量法を用いた三次元計測

池田 誠, 胡 興華, 矢部紘貴, 松島多佳彦

三次元形状取得のうち、光切断法、構造光など、パターン光をプロジェクタなどを対象に投影することで三次元を取得する手法は、高い解像度を、後処理での計算量を増やすことなく実現できるなどの利点のために、広く用いられている。本研究では、光切断法において、変調光の検波により背景光抑圧機能を有し、各スキャンでシート光が照射された部分を選択的に検波処理することで高解像度化を目指した注目領域画素並列検波処理によるセンサの研究や、ピクセル内パルス周波数変調回路を用いた、位相検出可能なピクセル並列検波回路およびそれを用いた高性能な三次元取得システムの研究、それらの理論的な性能限界の調査、シミュレーションによる評価などを行っている。

近距離非接触通信システムの実現

池田 誠, Sanad Bushnaq, 宮崎耕太郎

本研究ではシステムの実現のために multi-stage resonance を用いている。multi-stage resonance は従来のインダクティブカップリングを用いた送受信機間にさらに追加のコイルを用いることで、通信距離の伸長を実現している。測定では従来方式と比べ通信距離は42%伸び、最新のインダクティブカップリングの通信方式と比べ10倍程度高い (range/diameter) 比を達成している。また、周波数利用効率を向上させる方法として注目を集めている、周囲の周波数のスペクトラムを検波して空き周波数で通信するコグニティブ無線に関連した広帯域スペクトラム取得を目指した研究を行っている。従来のコグニティブ無線回路では一度の

検波では狭い範囲のスペクトラムを取得できなかったのに対し、広帯域受信回路を用いることで、高速で広範囲のスペクトラムの概形取得を目指している。

MEMS 混載向け回路手法

池田 誠, 児玉和俊

本研究ではPWM制御されるMEMSの高速かつ高精度の制御を実現するため、容量に蓄えられている電荷量の制御を利用した実時間容量測定回路の提案と試作による評価、そしてMEMSのフィルタ特性を利用した小面積で高精度のフィードバック制御の提案とシミュレーションによる評価を行った。実時間容量測定回路の試作チップの測定結果から、本提案手法がPWM制御のMEMSアクチュエータの制御に適していることが分かった。また、提案したフィードバック制御のシミュレーション結果から提案したフィードバック制御により静定時間が75%改善されることが分かった。

藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp/>)

ポストシリコン回路修正技術

藤田昌宏, 松本剛史, アミルマスードガラバギ, 城 怜史

VLSI回路の規模増大によって、全ての設計誤りを製造前の設計段階で発見・修正することが難しくなっており、製造後のVLSIチップで初めて発見される設計誤りが増えている。加えて、製造工程の微細化に伴い、チップ内で電気的エラーが生じる可能性も高まりつつある。ポストシリコン回路修正技術は、以上のような理由によって、製造後に発見された不具合を修正する技術であり、リスピによって生じる多大なコストを回避するために有効な技術である。今年度の研究では、修正可能性を高めるために回路中にプログラム素子が挿入された回路に対して、そのプログラム素子が実現すべき論理関数を高速に求める手法を提案・評価した。提案手法では、反例抽象化法に基づいて2段階のSAT問題として定式化を行っている。実験により、従来のQBF問題として定式化する手法に比べて、より多数のプログラム素子を含む回路に対して、修正のための論理関数を求めることができることを示した。また、研究グループでは、小規模の機能修正を対象に、制御回路の大部分を結線論理で実現した上で部分的にパッチを当てることで制御を修正することのできるパッチ可

能ハードウェアを提案している。今年度は、このパッチ可能ハードウェアの設計ツール開発を行った。

トランザクションレベルにおけるポストシリコンデバッグ

藤田昌宏, アミルマースドガラバギ

近年のSystem-on-Chip (SoC) はコア数の増大とともにより複雑になってきている。その結果、チップ製造前の検証では設計にバグがないことを保証できなくなっている。そのため、プロトタイプや最終的な製品システムにいくつかのバグが残ってしまうことがある。本研究では、SoC内のコア間の通信を利用したポストシリコン（チップ製造後）検証手法を提案する。提案手法では、コア間の通信の観測とそれを用いた現状状態から過去の状態へのバックトラックによって不具合の原因を探す。バックトラックはシステムのトランザクションモデルに対して行われる。まず、システムのトランザクションレベルにおける状態遷移機械を抽出し、実行におけるトランザクションのトレースから状態遷移機械における状態列を推定する。そして、その状態列において、システムが満たすべき性質を満たしているかどうかを形式的手法により検査することにより、不具合の原因を推定する。デッドロック検出・回復の分散アルゴリズムをNetwork-on-Chip上で実装して提案手法を提供し、実際にバグを特定できることを示した。

インターコネクタ合成

藤田昌宏, 張 嘉懿

メニコアのSystem-on-Chip (SoC) においては、性能と信頼性が十分に高いインターコネクタのシステムが必要である。Network-on-Chip (NoC) は、メニコアの通信に対するこの要求を最も満足する候補の一つとして考えられている。NoCを採用することにより、システム設計者の設計に費やす労力を大きく減らすことが可能である。しかしながら、メニコアは多くのIP (Intellectual Property) から構成されており、それらと互換性があり、さらに、効率的にバンド幅を活用できるNoCを設計することは、現在でも研究課題となっている。本研究では、この設計過程の自動化を目指している。このインターコネクタ自動設計ツールは、所望のIPのインタフェースのプロトコルとIP間の通信で行われる処理のデータフロー仕様を入力とし、通信するIP間のプロトコルに互換性を持たせるためのプロトコル変換器が挿入されたメッシュ型のNoCを生成する。

動的ウェブアプリケーションの検証に関する研究

藤田昌宏, 谷田英生

近年、ウェブブラウザ内で動作するウェブアプリケーションは、動的なアプリケーションの実装を可能とするAjaxなどの技術が普及すると共に、急速にその適用分野を拡大した。また、それと共に実装されるアプリケーションの規模・複雑度も増大し、効率の良く網羅的な検証手法の確立が待ち望まれている。現在、ウェブアプリケーションの開発においてはテストケースを用いた検証が行われることが多いが、テストによる検証手法は網羅的でなく、コーナーケースのバグを残してしまう可能性がある。一方、従来のスタンドアロンプログラムの実装に対するモデル検査などの形式的検証手法は、ネットワークを介して動作する分散システムであるウェブアプリケーションに適用することは不可能であった。また、従来のウェブアプリケーションのモデルを用いた検証手法は、動的なウェブアプリケーションの挙動をモデルに表現できない、モデルを手手で記述して与えなければならない、などの問題点が存在した。今年度は、昨年度までに提案・研究を行っていた動的ウェブアプリケーションの画面間遷移に検証手法の拡張を行った。従来の手法では、ウェブアプリケーションを動的に探索して画面間遷移モデルを生成する際のユーザによるデータ入力を考慮していなかったため、入力データに依存する動作の検証が不十分であった。拡張された手法では、入力データを自動生成して探索を行うことにより、よりカバレッジの高いモデルを生成することに成功している。

プロセッサアーキテクチャの検証とデバッグ

藤田昌宏, アミルマースドガラバギ, 松本剛史, 陳 果, 城 怜史

パイプライン実行や投機的実行、エラー回復に代表されるように、現在のプロセッサアーキテクチャは性能向上と信頼性向上のための様々な機構が採用されており、その複雑さは増大している。このような複雑なプロセッサアーキテクチャの正しさを検証し、バグのあるアーキテクチャのデバッグをすることは、非常に重要となっている。本研究では、プロセッサのマイクロアーキテクチャのデバッグと自動修正の手法を提案する。提案手法では、SAT問題へ帰着させることにより、まず、回路中の誤り位置を特定し、続いて、その誤った信号値が変更される必要のある（つまり、反転される必要のある）入力パターン集合を求めることにより、その信号の正しい論理関数を求める。実験では、エラー回復機能を有するアウト・オブ・オーダーのパイ

ラインプロセッサの制御回路において、提案手法によって回路修正が可能であることを示した。また、予め、制御回路をプログラム可能素子によって構成することにより、配置配線を変更することなく、それらの素子の論理関数の変更によって、修正が可能であることも示した。

FPGA を利用した低レイテンシ処理に関する研究

藤田昌宏, 松本剛史, 谷田英生, 田口直樹

非常に低いレイテンシが求められるアプリケーションにおいては、汎用プロセッサ上でのソフトウェア実行よりも、専用ハードウェアとして処理を実装することにより、より低いレイテンシを実現できる可能性がある。これは、専用ハードウェアによる実行では、実現する処理に対してカスタマイズされたメモリシステムや演算器を使用することができ、また、それらを並列に実行することができるためである。本研究では、そのようなアプリケーションとして、アルゴリズム取引に代表される高頻度証券取引において、クライアントからの売買要求を所定のフォーマットに整形し、証券取引所に送付するラインハンドラーを取り上げ、FPGA上へ実装した。設計したFPGAシステムによって、汎用ソフトウェアでは20マイクロ秒を要する処理を数マイクロ秒で実現できることを示した。今後は、更なる高速化のために、FPGAシステム外部とのTCP通信処理機能のハードウェア化を検討している。

ミュレーションとプロパティ検査の双方をハードウェア化した場合、ソフトウェア実行に比べて40倍程度の高速化を実現することができた。

形式的手法を利用した設計デバッグに関する研究

藤田昌宏, 松本剛史, 李 在城, 小野翔平, 大島浩資

ハードウェア設計では、設計デバッグに多くの時間が費やされている。そのため、設計効率化のためには、自動化されたデバッグ支援技術が必要不可欠である。本研究では、ハードウェア設計に対する2つのデバッグ手法を提案した。1つ目の手法は、設計の一部をプログラム可能素子(LUT)によって置換し、設計が仕様と等価になる場合の論理関数を求めることにより、デバッグを行う手法である。このとき、LUTの挿入箇所によっては、デバッグが不可能である場合があるため、ある必要条件を満たす信号をLUT入力に追加することにより、デバッグを可能にする手法を併せて提案している。2つ目の手法は、SATソルバが生成するUNSATコアを利用して、バグ位置を特定する手法である。UNSATコアは、充足不可能なSAT問題から得られる充足不可能の原因となっている元のSAT問題の部分集合である。提案手法では、UNSATコアを解析することにより、バグ位置を特定する。実験を通して、実例題において、バグ位置を全体の論理ゲートの1%以下に特定することができた。

ハードウェア実装による統計的モデル検査の高速化

藤田昌宏, 松本剛史, 大島浩資

Cyber physical system (CPS) のような非常に大規模で複雑なシステムにおいては、従来のモデル検査手法によって形式的な検証を適用することが現実的には不可能となっている。このようなシステムの検証では、その動作を統計的な手法によって評価することが重要である。統計的モデル検査は、ある与えられた確率よりも高い(または、低い)確率で、システムが所望の動作をするかどうかを判定する手法である。統計的モデル検査では、多数回のシミュレーションとプロパティ検査が繰り返されるため、その両者の高速化が有効である。本研究では、BLTL (Bounded Linear Temporal Logic) 式で表現されたプロパティの真偽を判定するチェッカのハードウェア実装による高速化を実現した。従来のLTL式からオートマトンを生成する手法を拡張することにより、BLTL式から有限状態機械を生成することができる。津波シミュレーションの統計的モデル検査を例題として評価したところ、シ

高宮研究室

(<http://icdesign.iis.u-tokyo.ac.jp/>)

エネルギー効率に優れた極低電圧動作 LSI 回路設計技術

高宮 真, 桜井貴康, 平本俊郎, 竹内 健, 石田光一

地球温暖化対策が求められている一方で、各種情報機器による消費電力が爆発的に増加しているため、あらゆる電子機器の低電力化が必要であり、この要求に応える半導体回路・システム技術を研究開発している。主として65/45 nmレベルの標準CMOSプロセス技術により、世界に先駆けて将来の基本技術である電源電圧0.5V動作LSI回路技術を実用レベルで開発し、LSIの消費電力を従来の1/10にすることを目標とし、ロジック、メモリ、アナログ、電源、無線/チップ間ワイヤレスの回路・システム技術に関して半導体メーカーと共同研究を実施している。研究開発された技術は、センサネットや常時モニター機器などにも応用され、これらが照明や空調など家庭やオフィス、工

場、物流などのエネルギー管理をより広範に行うことによっても社会のグリーン化に貢献することが期待される。

三次元 VLSI システム向けの設計技術

高宮 真, 桜井貴康, 石田光一

VLSIを低消費電力化するためには、トランジスタを高集積化し、トランジスタ間の通信エネルギーを低減することが肝要である。そこで三次元的にチップを積層してトランジスタ密度を上げる三次元VLSI積層システムが有望である。そこで、我々は三次元積層チップ間の無線通信技術・無線給電技術向けのLSI回路技術の開発を世界に先駆けて行っている。最近では、積層チップ間の無線通信技術の応用例として、12インチの半導体ウエハの一括非接触テスト向けの容量結合トランシーバ回路技術を世界で初めて実証した。

LSIと異種デバイスを融合させた大面積エレクトロニクスの設計技術

高宮 真, 桜井貴康, 染谷隆夫, 石田光一

LSIは情報の処理や記憶は非常に得意であるがサイズが小さいため、ヒューマンインタフェース用の素子には向いていない。そこで、フレキシブルな数10cm角のプラスチックフィルム上に作成した低コストの有機トランジスタやMEMSスイッチと、LSIを組み合わせた「点字ディスプレイ」、「無線電力伝送シート」、「通信シート」、「EMI測定シート」、「User Customizable Logic Paper (UCLP)」等の大面積エレクトロニクスのアプリケーション提案とこれに必要な回路技術の開発を行っている。

柴田・三田研究室
(<http://www.if.t.u-tokyo.ac.jp>)

右脳型ソフトコンピューティング VLSI: 連想プロセッサ・システム

柴田 直, 張 任遠, 夏 文軍, 丸山玄氣

現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテ

クチャを持つコンピュータの基本ハードウェアを、シリコン超LSI技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し、直感・連想・推論といった処理を得意としたLSIチップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高性能トランジスタ(ニューロンMOS, neuMOS)を導入、膨大なtemplate群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ、0.18ミクロンCMOS技術を用いた超高速デジタル連想プロセッサ等を、これまで開発した。今後連想を階層的に連鎖させヒトのように思考できるシステムをこれらのチップ用いて構築して行く。そのために我々の思考過程を柔軟に記述できるAPROL (Association Programming Language)の開発も行う。四則演算に代わり連想を“computing primitive”とする実時間事象認識知能システム実現を目指す研究である。現在、画像認識・音声認識をテーマに研究を進めている。ここで開発したVLSI回路技術は、実用的な応用として、CDMA マッチトフィルタへの応用技術等も開発している。

画像の特徴ベクトル抽出 VLSI 及びそのパターン認識への応用

柴田 直, 森川重毅, 韓 丹丹, 山下直也, 孫 理天, 福田和巳, 和田 真

我々の連想プロセッサアーキテクチャを画像認識に用いるには、2次元の画像情報を特徴ベクトル、即ち一次元の数値列で表現しなければならない。我々はこの目的で、主方向線分投影法 (PPED: Projected Principal-Edge Distribution) と呼ぶ新たな特徴ベクトル表現法を開発した。2次元画像に対し、縦・横・斜め2方向、計4方向の線分を抽出してフィーチャーマップを作成、そのビットフラッグを線分検出方向に垂直な主軸上にそれぞれ投影加算して4組の一次元数値列を形成する。これらをつなぎ合わせて64次元ベクトルとし、64×64ピクセルの画像を表現する。これは、元画像の特徴を実にうまく表現しており、手書きによるパターンの変形、歪みに対しほとんど影響を受けない。従って、単純なテンプレートマッチングの手法で手書き文字やパターンの認識が大変ロバストに実行できる。特にこれまで認知の問題として困難だった重なりパターンの分離認識もできることがわかった。さらにこの手法を矯正歯科診療におけるセファロX線写真解析に応用、歯学部学生にとっても高度な訓練を必要とする解剖学的特徴点抽出の困難な作業が、専門医と同様にできることがわかった。今後、連想プロセッサと統合し、一般的な知的画像認識システム構築へと発

展させていく。このベクトル抽出はソフトウェアでは非常に時間のかかる処理であり、neuMOSを用いたアナログCMOS回路技術、および最先端のデジタルCMOS回路技術の両方を用いて、独自のアーキテクチャを持つ特徴ベクトル生成VLSIチップの開発を行っている。

実時間動画処理プロセッサ

柴田 直, 趙 普社, 土屋和哉

リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾するSaliency Catcher、及びキャッチした物体の3次元計測を瞬時に行えるVLSIプロセッサの研究を行っている。Saliency Catcherについては、擬似二次元処理と呼ぶ新たな手法を導入、すべての処理回路をフォトダイオードアレイの周辺部に配置する構成がとれるため、各画素部では大きなフィルファクタが実現できた。フィルファクタとは、各ピクセルプロセッサ内でフォトダイオードが占める面積の割合で、これが大きいほど多くの画像情報が処理に取り込める。このチップは、複雑な背景の中から複数の動いている物体を、動きの大きさとともに検出できる。さらにカメラ自身がブレて背景が動いていても検出できるという特徴をもつ。実際にチップで基本性能を確認した。さらに運動物体の3次元計測をリアルタイムで行うチップも開発した。これはキャパシタ間での電荷の再配置のみを演算に使う回路であり、究極の低消費電力システム実現の可能性を秘めている。

動画認識システム

柴田 直, 西山未央, 包 蕊寒

方向性エッジ情報が、静止画の認識に重要な働きをすることを我々はこれまで様々な事例で実証してきた。本研究テーマは、動画シーケンスから動きの情報を取り出し、これによって動作の理解を行う研究であり、これもエッジ情報を用いて行っている。人間の脳は、まず第一視覚野で様々な方向性エッジ情報が抽出し、これを用いて形状認識と動き認識を、それぞれ別々のpass wayで実行している。我々もこれに習った。エッジ情報によって物体の形状を認識し、その形状を順次追いかけて行く手法でオブジェクトトラッキングシステムを開発した。追跡物体が複雑な背景の中に入っても、途中で形状や動作速度を変えても、また照明条件が変化しても正確に追跡していける。環境の中で人が移動すると環境の視覚画像もそれに応じて変化するが、その変化から自分の動きを理解するいわゆ

るego motion perceptionも、方向性エッジ情報を用いて実現した。照明条件の変化や、明確なテクスチャの少ない環境、あるいは視野内に別の動きをする物体が存在する場合にも、ロバストなego motion 検出ができる。さらに、画面の中で動作する人物のジェスチャーを認識するシステムも開発中である。各時刻におけるオブティカル・フローをベクトル表現し、ベクトルの時間シーケンスを隠れマルコフモデル(HMM)を用いて理解するシステムである。この目的のため、相対評価ではなく絶対評価可能な、新たな隠れマルコフモデルを考案し、その有効性を実証した。

マイクロ構造の自由な断面形状制御法とそれを活用する電気機械システム

三田吉郎, 澤村智紀, Tran Nam Binh, 森 功, 平川 淳, 久保田雅則(杉山研)

シリコン深掘り微細加工技術は絶え間ない進歩をつづけており、それに伴い微小電気機械(MEMS)に関する新しい応用分野が広がりを見せている。現在主流となっている微細加工技術によって実現可能なマイクロ構造は、平面方向に矩形パターンを組み合わせてそのまま深さ方向に転写する作製プロセスで決定される直方体構造である。しかしながら、例えばレンズの形状を考えるとわかるように、直方体が形状として最適でない機械素子は多数存在するので、理想的なマイクロ加工技術というものは本来、電子機械素子の性能からトップダウン要請される任意曲面を自在に実現できなくてはならない。本研究はこのような、「任意形状の曲面を実現するマイクロ加工技術」に関する総合的知見を得るための試みであり、(1) 具体的なトップダウンアプリケーション、(2) 最先端技術とアイデアによる作製テクノロジー、具体的なトップダウンアプリケーションとして2012年度は、(1-4) 垂直方向に切り出した薄膜シリコン素子を曲げて理想のパラボラ曲面を作り凹面鏡として利用する研究、(2-3) VDECにおいて先行試作が始まっている「フェニテックセミコンダクター社」のSOI基板上0.6 μ m標準CMOSプロセスのポストプロセッシングによる「高耐圧化CMOS回路」についての研究発表を行った。

集積化水上走行ロボットを通じたエネルギー自立型分散マイクロシステム

三田吉郎, 森下賢志, イファン・リ(英エジンバラ大), アントニー・ウォルトン(英エジンバラ大)

新しい応用分野を拓くものと近年期待が高まっている集積化MEMS(微小電気機械システム)のトップ

ダウンアプリケーションとして、環境からエネルギーを取得して自立移動できる、完全自走型のマイクロシステムの研究を行っている。「Engineered Nature」すなわち、動物の実装をデッドコピーするのではなく動物に見られる機能を抽出してそれを工学的に最適な形で実現することを通じて工学の発展に寄与することを指導原理としている。大きさ1 cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。1 cm角サイズという小さなマイクロロボットとして知られているものは、安宅（東大）らによるマイクロ繊毛（1992）、Ebefords（KTH）らによるマイクロ尺取虫、三木（東大）らによるマイクロヘリコプターなどがあるが、電源供給用に電線が必要であるとか、ミリワット級のエネルギーを投入しなくてはならないとかいった問題のため完全自立というには程遠かった。

既存研究の最大の課題である電力消費を抑えて自立移動するための動力原理として、筆者らはエレクトロウエットティング（EWOD）現象に注目している。むきだしの絶縁電極に電荷を注入して表面エネルギーを変調することで、表面の濡れ性を制御する、19世紀半ばから知られている原理で、2000年代になってマイクロ化学システムの液滴移動原理として再発見されたものである。濡れ性制御に必要なエネルギーが $1 \mu\text{m}/\text{cm}^2$ と非常に小さいため、世界初の自立移動マイクロロボットの駆動原理として好都合であると考えている。2012年度は上記水上ロボット実現のための基礎技術を高度化し、三次元シャドウマスク法やシリコントレンチ内でのEWOD液滴移動法についての研究を完成させ、博士（森下賢志）を1名輩出した。

Smart BlocksII プロジェクト - 紫外線パターン可能なポリイミドを用いたマイクロアクチュエータの研究

三田吉郎, Julien Malapert (仏 FEMTO-ST),
安宅学 (東大生研), 藤田博之 (東大生研)

仏 FEMTO-ST 研究所と、東京大学生産技術研究所集積化マイクロメカトロニクス研究室 (LIMMS, CNRS-IIS) と共同で、フランス国立研究機構 (ANR) 特定領域研究「Smart Blocks II」を受託している。同研究タスク実現のため、Julien Malapert氏が2012年11月までの1年間東京大学三田研究室に在籍し、熱駆動型のマイクロアクチュエータの新しい製法と、駆動回路との集積に関する研究を行った。アクチュエータの形式として、東京大学藤田博之研究室で実績のある熱駆動型繊毛アクチュエータを採用したが、このプロ

セスは酸素プラズマアッシング工程を必要とし、結果として一層あたり6工程を必要としていた。本研究では新しく、感光性ポリイミドを構造体と用いることを提案した。これによって層あたりの工程数を半減することができた。実際に素子を試作して最大動作振幅 $15 \mu\text{m}$ 、カットオフ周波数10 Hzの標準的なローパス型の動作特性を得ることができ、新プロセスの有効性が実証された。

集積化 MEMS による LSI プロービングシステム

三田吉郎, 保坂航太, Yu-Tang Chen (台湾 ITRI),
久保田雅則 (杉山研)

台湾 ITRI (電子工業技術研究院) との共同研究により、初期情報処理 CMOS 回路が集積された、VLSI 等の電子部品のテストに用いる「MEMS プローブカード」の研究を行っている。測定対象の一つとして、ITRI において評価中の光電子デバイスを想定している。一年目である平成24年度は、研究室において基礎技術である MEMS プローブ部分のプロセス開発に注力し、プラズマエッチング装置によるいわゆる「ドライリリース」法で安定的に作製できるようになった。二年目以降に、ITRI から供給される実デバイスを用いた測定実験を行う予定である。

省電力・長寿命 MEMS メモリを目指すマイクロラッチ機構設計と作製

三田吉郎, 米田佳祐, 久保田雅則 (杉山研),
ティクシェ三田アニエス (東大先端研)

データ保持時間1000年以上、データ書き込みエネルギーピコジュールレベル、データ保持エネルギーゼロの低消費電力・長寿命メモリの研究を行っている。このメモリの利用シナリオとして、蓄積するハザード (放射線や化学物質等への総暴露量) の記憶を想定する。提案する多値メモリでは記憶のメカニズムとして、バネに蓄えられた弾性エネルギーによる状態記憶を採用する。これによって小さな電力での書き換えと、さらにデータ保持の安定性を確保することができる。プロセス修行を9月4日から開始し、翌年2月までにシリコン深掘りエッチングによるマイクロラッチ機構を一晩で作製できるスキルが身についた。作製したデバイスを公開装置である振動解析装置 (MSA-500) で評価し、ラッチ部、記録部共に25ボルト以下の電圧で動作することを確認できた。

60 mV/decと極めて良好な特性をもつトンネルFETの動作に初めて成功した。

Ge Metal-Oxide-Semiconductor (MOS) FET に関する研究

高木信一, 竹中 充, Rui Zhang, 林 汝静, 黄 博勤, 忻 宇飛

高性能Ge MOSFETを実現するため研究を行っている。原子層堆積法(ALD)を用いてGe表面に Al_2O_3 膜を堆積後、ECRプラズマ酸化してGe MOS界面を形成する研究を進めている。プラズマ酸化で良好なGe MOS界面を形成したのち HfO_2 を堆積することで、良好な界面を維持したままEOTを0.98 nmにまでスケールアップすることに成功し、高性能Ge nMOSFETとpMOSFETの実証にも成功した。また室温プラズマ酸化により界面ラフネスを低減し、高電界移動度を改善することに成功した。酸化濃縮法を用いてGe-on-Insulator (GOI) 基板を作製する研究も進めている。GOI形成後の過酸化により、薄膜Geチャネルの移動度が改善することを明らかにした。

Si CMOS photonics に関する研究

高木信一, 竹中 充, キムヨンヒョン, ハンジェフン, 亢 健

高感度Geフォトディテクターの研究を進めている。プラズマ酸化を用いてGe表面を GeO_2 によりパッシベーションすることで、MSM型Geフォトディテクターの周辺リーク電流を1ケタ以上低減可能であることを明らかにした。SiGeを利用した光変調器の研究も進めている。歪SiGeを導波路コアとした横PIN型光変調において、3倍以上の性能向上が可能であることを数値計算により明らかにした。また、MOS型SiGe光変調器を実現に向けたSiGe MOS界面の研究も進めている。プラズマ後窒化を用いることで、SiGe MOS界面の界面準位が1桁程度低減することを明らかにした。

III-V 族化合物半導体 Metal-Oxide-Semiconductor (MOS) FET に関する研究

高木信一, 竹中 充, 田岡紀之, 横山正史, キムサンヒョン, 張 志宇

高性能III-V MOSFETを実現する研究を行っている。ウェハーボンディングで作製したInGaAs-OI基板上にNi-InGaAs合金を用いたメタルソース/ドレインInGaAs MOSFETを作製し、ゲート長55nmにおいても良好な動作をすることを実証した。またGaSbにおいてもNi-GaSb合金をメタルソースドレインとしたp-MOSFETの動作に初めて実証することに成功した。

III-V CMOS photonics に関する研究

高木信一, 竹中 充, Cheng Yongpeng, 一宮佑希, 倉持美沙, 高島成也

ウェハーボンディングによりSi基板上に形成したIII-V-OIウェハを用いた光電子集積回路に関する研究を進めている。III-V-OI基板上にInGaAsPフォトニックワイヤ導波路を用いた電流注入型光スイッチを作製することに初めて成功した。Siと比較して10倍程度少ない電流でスイッチを駆動できることを明らかにした。

Graphene CMOS photonics に関する研究

高木信一, 竹中 充, 嘉陽田達也

グラフェンを用いた光デバイスの研究を進めている。グラフェンを用いた光変調器を実現するために、グラフェンゲートメタルMOSキャパシタの研究を進めた。C-V特性を評価することで、グラフェンのフェルミレベルが0.5 eV以上変調可能であることを明らかにし、高性能光変調器が実現可能であることを明らかにした。

トンネル FET に関する研究

高木信一, 竹中 充, キムミンス, 野口宗隆

省電力動作が可能なステープスロープトランジスタとしてトンネルFETの研究を進めている。横型InGaAs TFETにおいて、SOGを用いたZn拡散により接合を形成することで、サブスレシヨルドスロープが

5.4 研究発表

浅田・池田・名倉・飯塚研究室 研究論文

- [1] B.S. Devlin, M. Ikeda and K. Asada, "Energy Minimum Operation with Self Synchronous Gate-level Autonomous Power Gating and Voltage Scaling," IEICE Trans. on Electronics, Vol.E95-C, No.4, pp.546-554, Apr. 2012.
- [2] T. Iizuka and K. Asada, "All-Digital PMOS and NMOS Process Variability Monitor Utilizing Shared Buffer Ring and Ring Oscillator," IEICE Trans. on Electronics, Vol.E95-C, No.4, pp.627-634, Apr. 2012.
- [3] H. Yabe and M. Ikeda, "3-D Range Map Acquisition System Based on CMOS Image Sensor Using Time-Multiplexing Structured Pattern," IEICE Trans. on Electronics, Vol.E95-C, No.4, pp.635-642, Apr. 2012.
- [4] J. Kim, T. Nakura, H. Takata, K. Ishibashi, M. Ikeda and K. Asada, "On-Chip Switched Parasitic Capacitors of Sleep Blocks for Resonant Supply Noise Reduction," IEICE Trans. on Electronics, Vol.E95-C, No.4, pp.643-650, Apr. 2012.
- [5] T. Iizuka, S. Miura, R. Yamamoto, Y. Chiba, S. Kubo and K. Asada, "580fs-Resolution Time-to-Digital Converter utilizing Differential Pulse-Shrinking Buffer Ring in 0.18 μm CMOS Technology," IEICE Trans. on Electronics, Vol. E95-C, No.4, pp.661-667, Apr. 2012.
- [6] K. Kodama, T. Iizuka, T. Nakura and K. Asada, "Frequency Resolution Enhancement for Digitally-Controlled Oscillator based on a Single-Period Switching Scheme," IEICE Trans. on Electronics, Vol.E95-C, No.12, pp.1857-1863, Dec. 2012.
- [7] S. Bushnaq, M. Ikeda and K. Asada, "All-Digital Tunable Power Amplifier Consuming 0.03 mW/MHz Using 0.18 μm CMOS," IEICE Electronics Express, Vol.9, No.12, pp.1057-1061, Dec. 2012.
- [8] S. Bushnaq, M. Ikeda and K. Asada, "All-Digital Wireless Transceiver with Sub-Sampling Demodulation and Burst-Error Correction," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E95-A, No.12, pp.2234-2241, Dec. 2012.
- [9] T.-W. Chen and M. Ikeda, "Design and Implementation of Low-Power Hardware

Architecture with Single-Cycle Divider for On-Line Clustering Algorithm," IEEE Trans. On Circuits and Systems I (Accepted)

国際会議

- [1] B.S. Devlin, M. Ikeda and K. Asada, "Gate-level Process Variation Offset Technique by using Dual Voltage Supplies to Achieve Near-threshold Energy Efficient Operation," International Symposium on Low-Power and High-Speed Chips (COOL Chips XV), Yokohama, Apr. 2012.
- [2] T.-W. Chen and M. Ikeda, "Dual-Stage Hardware Architecture of On-Line Clustering with High-Throughput Parallel Divider for Low-Power Signal Processing," International Symposium on Low-Power and High-Speed Chips (COOL Chips XV), Yokohama, Apr. 2012.
- [3] B.S. Devlin, M. Ikeda and K. Asada, "Self Synchronous Circuits for Error Robust Operation in Sub-100 nm Processes," 18th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC 2012), pp.150-157, May 2012.
- [4] M. Ikeda, T. Iizuka, S. Komatsu, M. Sasaki, T. Nakura, and K. Asada, "Intelligent-PAD2.0: Platform for On-line SoC Health Condition Monitoring," European Workshop on Microelectronics Education (EWME 2012), Grenoble, May. 2012.
- [5] T. Yamaguchi, S. Komatsu, M. Abbas, K. Asada, N.N. Mai-Khanh and J.S. Tandon, "A CMOS Flash TDC with 0.84-1.3ps Resolution Using Standard Cells," IEEE Radio Frequency Integrated Circuits Symposium (RFIC 2012), pp.527-530, June 2012.
- [6] K. Asada, T. Nakura and T. Iizuka, "Review and Future Prospects on Time-Domain Analog Approach," The second Solid-State Systems Symposium 2012 (4S-2012), Aug. 2012.
- [7] [Invited]T. Nakura, "On-Chip di/dt Detector and Autonomous di/dt Noise Control for Power Supply," World Congress of Emerging Info Tech (WCEIT), pp.053, Aug. 2012.
- [8] T. Nakura, Y. Mita, T. Iizuka and K. Asada, "7.5Vmax Arbitrary Waveform Generator with 65 nm Standard CMOS under 1.2V Supply

Voltage,” IEEE Custom Integrated Circuits Conference (CICC 2012), Sep. 2012.

- [9] S. Bushnaq, M. Ikeda and K. Asada “Range Extension of Inductive Coupling Communication Using Multi-Stage Resonance,” 12th International Symposium on Communications and Information Technologies (ISCIT 2012), pp.758-763, Oct. 2012.
- [10] N.N. Mai-Khanh, T. Iizuka, M. Yamada, O. Morita and K. Asada, “An Integrated High-Precision Probe System for Near-Field Magnetic Measurements on Cryptographic LSIs,” IEEE Sensors 2012, pp.2074-2077, Oct. 2012.
- [11] K. Kodama and M. Ikeda, “Target Voltage Independent Capacitance Measurement Circuit Implemented by 0.18 um CMOS for PWM-MEMS Control,” IEEE International SoC Design Conference, (ISOC 2012), pp.77-80, Nov. 2012.
- [12] B.S. Devlin, M. Ikeda and K. Asada, “A Self Synchronous FPGA with Leakage Control for 270mV Sub-threshold Operation,” IEEE/ACM Workshop on CAD for Multi-Synchronous and Asynchronous Circuits and Systems (MSCAS 2012), Nov. 2012.
- [13] B.S. Devlin, H. Mori, S. Miyauchi, M. Ikeda and K. Asada, “Performance and Side-channel Attack Analysis of a Self Synchronous Montgomery Multiplier Processing Element for RSA in 40 nm CMOS,” Asian Solid-State Circuits Conference (A-SSCC 2012), pp.385-388, Nov. 2012.
- [14] M. Ishida, T. Nakura, T. Kikkawa, T. Kusaka, S. Komatsu, and K. Asada, “Power Integrity Control of ATE for Emulating Power Supply Fluctuations on Customer Environment,” IEEE International Test Conference (ITC 2012), Paper 7.3, Nov. 2012.
- [15] T. Yamaguchi, K. Asada, K. Niitsu, M. Abbas, S. Komatsu, H. Kobayashi and J.A. Moreira, “A New Procedure for Measuring High-Accuracy Probability Density Functions,” 21st IEEE Asian Test Symposium (ATS 2012), pp.185-190, Nov. 2012.
- [16] T. Nakura, T. Iizuka and K. Asada, “Impact of All-Digital PLL on SoC Testing,” 21st IEEE Asian Test Symposium (ATS 2012), pp.252-257, Nov. 2012.
- [17] N.N. Mai-Khanh and K. Asada, “A CMOS Fully Integrated Antenna System Transceiver with Beam-formability for Millimeter-Wave Active Imaging,” 13th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems

(SiRF 2013), WE2C-3, Jan. 2013.

- [18] R. Ikeno, T. Maruyama, T. Iizuka, S. Komatsu, M. Ikeda and K. Asada, “High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection using Character Sets Based on One-dimensional VIA Arrays with Area-efficient Stencil Design,” 18th Asia and South Pacific Design Automation Conference (ASP-DAC 2013), pp.255-260, Jan. 2013.
- [19] [Invited] M. Ikeda, “Introduction,” IEEE International Solid-State Circuits Conference (ISSCC 2013), Scientific Imaging Forum, Feb. 2013.
- [20] T. Maruyama, H. Takita, H. Hoshino, M. Osawa, Y. Kojima, M. Ito, T. Hino, R. Ikeno, T. Iizuka, S. Komatsu, M. Ikeda, and K. Asada, “Practical proof of CP element-based design for 14 nm node and beyond,” SPIE Advanced Lithography, Vol.8680, p.75, Feb. 2013.
- [21] R. Ikeno, T. Maruyama, T. Iizuka, S. Komatsu, M. Ikeda and K. Asada, “A Structured Routing Architecture and its Design Methodology Suitable for High-throughput Electron Beam Direct Writing with Character Projection,” ACM International Symposium on Physical Design (ISPD 2013).

国内研究会

- [1] K. Kodama, T. Iizuka, T. Nakura and K. Asada, “Frequency Resolution Enhancement for Digitally-Controlled Oscillator based on a Single-Period Switching Scheme,” The Workshop about LSI and Systems 2012, Kokura, May 2012 (in Japanese).
- [2] R. Ikeno, T. Maruyama, T. Iizuka, S. Komatsu, M. Ikeda, and K. Asada, “Interconnect Design and Character Extraction Method for Throughput Enhancement and Stencil Area Reduction of VIA Layer Exposure for Electron Beam Direct Writing with Character Projection Technique,” IPSJ DA Symposium 2012, Gifu, Aug. 2012 (in Japanese).
- [3] X. Hu and M. Ikeda, “Evaluation of Background Light Suppression Characteristics and Range Accuracy for Time-of-Flight Image Sensors,” ITE Technical Group on Information Sensing Technologies, Vol.36, No.38, IST2012-42, pp.5-8, Sep. 2012.
- [4] H. Yabe and M. Ikeda, “A study on improving modulated light detection performance in the pres-

ence of background light,” ITE Technical Group on Information Sensing Technologies, Vol.36, No.38, IST2012-43, pp.9-12, Sep. 2012.

国内大会

- [1] S. Bushnaq, M. Ikeda and K. Asada, “All-digital tunable fully integrated power amplifier using 0.18 um CMOS,” IEICE Society Conference, C-2-18, Sep. 2012.
- [2] S. Saito, T. Nakura, T. Iizuka and K. Asada, “Resonant Supply Noise Reduction Using Active Charge Sharing of Dynamic Voltage Scaling,” IEICE Society Conference, C-12-41, p.114, Sep. 2012 (in Japanese).
- [3] K. Kodama and M. Ikeda, “0.18 um CMOS Process Capacitance Measurement Circuit proper for MEMS integrated LSI,” IEICE Society Conference, C-12-42, p.115, Sep. 2012 (in Japanese).
- [4] [Invited] M. Ikeda, “System LSI Design and VDEC,” IEEJ 29th Symposium on Sensors, Micro-Machines and Application Systems, 1H5-1, Oct. 2012.
- [5] T. Kubota, T. Nakura, T. Iizuka and K. Asada, “Observation of Ray Tracing in the Scintillator Utilizing Single Photon Avalanche Diode Arrays,” IEICE General Conference 2013, C-1-18, Mar. 2013 (in Japanese).
- [6] N. Wang, T. Iizuka and K. Asada, “Modeling of Chip Surface Magnetic Field for Active Probe Scanning System,” IEICE General Conference 2013, C-12-4, Mar. 2013 (in Japanese).
- [7] H. Yabe and M. Ikeda, “Measurement of a Pulse Frequency Modulator for Correlation Image Sensor,” IEICE General Conference 2013, C-12-5, Mar. 2013 (in Japanese).
- [8] K. Kodama and M. Ikeda, “Feedback Control proper to MEMS Actuator using Delta-Sigma Modulation,” IEICE General Conference 2013, C-12-67, Mar. 2013 (in Japanese).
- [9] [Invited] M. Ikeda, “System LSI Design and VDEC Activities toward More Than Moore,” The 60th JSAP Spring Meeting, 2013, 27p-G9-5, Mar. 2013.

他

- [1] S. Saito, T. Nakura, T. Iizuka, M. Ikeda, and K. Asada, “Resonant Noise Reduction of DVS Using Active Charge Sharing,” STARC Symposium 2013, Student Poster Session, Jan. 2013 (in Japanese).

藤田研究室 研究論文

- [1] A.M. Gharehbaghi and M. Fujita, “Transaction Ordering in Network-on-Chips for Post-Silicon Validation,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E95-A, No.12, pp.2309-2318, Dec. 2012.
- [2] H. Tanida, M. R. Prasad, S. P. Rajan, and M. Fujita, “Automated System Testing of Dynamic Web Applications,” Communications in Computer and Information Science, Vol.303, pp.181-196, 2013.

国際会議

- [1] M. Fujita, “System-on-Chip (SoC) design techniques,” Tutorial in Third International Conference on Computing Communication and Networking Technologies 2012, Coimbatore, India, July 2012.
- [2] M. Fujita, “Development of High Performance and Flexible Computing Systems with Electronic Design Automation Algorithms,” International Conference on Signal Processing, Communications and Computing 2012, Hong Kong, Aug. 2012.
- [3] A.M. Gharehbaghi and M. Fujita, “Automatic Rectification of Design Errors in Complex Processors with Programmable Hardware,” Proc. of IEEE International Conference on Field Programmable Technology 2012, pp.141-146, Aug. 2012.
- [4] M. Fujita, “Simulation based analysis of cyber-physical systems,” Proc. of 15th Euromicro Conference on Digital System Design (DSD), pp.485-492, Sep. 2012.
- [5] S. Ono, T. Matsumoto, and M. Fujita, “Automatic Assertion Extraction in Gate-Level Simulation Using GPGPUs,” Proc. of IEEE 30th International Conference on Computer Design, pp.522-523, Oct.

- 2012.
- [6] M. Bonato, G. Di Guglielmo, M. Fujita, F. Fummi, and G. Pravdelli, "Dynamic Property Mining for Embedded Software," Proc. of the eighth IEEE/ACM/IFIP International Conference on Hardware/Software Codesign and System Synthesis, pp.187-196, Oct. 2012.
- [7] T. Matsumoto, S. Ono, and M. Fujita, "An Efficient Method to Localize and Correct Bugs in High-Level Designs Using Counterexamples and Potential Dependence," Proc. of IEEE/IFIP 20th International Symposium on Very Large Scale Integration, pp.291-294, Oct. 2012.
- [8] B. Alizadeh and M. Fujita, "A functional test generation technique for RTL datapaths," Proc. of 17th IEEE International High Level Design Validation and Test Workshop, pp.64-70, Nov. 2012.
- [9] M. Fujita, "Post-silicon verification and debugging with control FSM traces and patchable HW," Proc. of 17th IEEE International High Level Design Validation and Test Workshop, pp.100-107, Nov. 2012.
- [10] A.M. Gharehbaghi and M. Fujita, "Error Model Free Automatic Design Error Correction of Complex Processors Using Formal Methods," Proc. of IEEE 21st Asia Test Symposium, pp.143-148, Nov. 2012.
- [11] S. Jo, T. Matsumoto, and M. Fujita, "SAT-based automatic rectification and debugging of combinational circuits with LUT insertions," Proc. of IEEE 21st Asia Test Symposium, pp.19-24, Nov. 2012.
- [12] P. Mishra, M. Fujita, V. Singh, N. Tamarapalli, S. Kumar, and R. Mittal, "Post-Silicon Validation, Debug and Diagnosis," Tutorial in 2013 26th International Conference on VLSI Design, Pune, India, Jan. 2013.
- [13] M. Fujita, "Microprocessor verification/debugging in abstracted level and their application to post-silicon debugging," 4th IEEE International Workshop on Reliability Aware System Design and Test, Pune, India, Jan. 2013.
- [14] S. Jo, A.M. Gharehbaghi, T. Matsumoto, and M. Fujita, "Rectification of Advanced Microprocessors without Changing Routing on FPGAs," Proc. of 21st ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, pp.279-279, Feb. 2013.
- [15] M. Fujita, "Towards the Unification of Synthesis

and Verification in Logic and Architectural Design," Tutorial in Design, Automation&Test in Europe (DATE 13), March 2013.

- [16] M. Fujita, "ABV for SoC," Tutorial in Design, Automation&Test in Europe (DATE 13), March 2013.

国内学会, 研究会等

- [1] 小野翔平, 松本剛史, 藤田昌宏, "潜在的な依存関係を利用した高位設計デバッグ支援手法," 電子情報通信学会技術研究報告, Vol.112, No.71, VLD2012-4, pp.19-24, 2012年5月.
- [2] 大島浩資, 小野翔平, 松本剛史, 藤田昌宏, "誤差を有するシステムのシミュレーション結果に対する統計的解析とそのハードウェアによる高速化," 電子情報通信学会技術研究報告, Vol.112, No.71, VLD2012-10, pp.55-60, 2012年5月.
- [3] 小野翔平, 松本剛史, 藤田昌宏 "ゲート回路シミュレーションにおけるGPGPUを利用したアサーション自動抽出," 第25回回路とシステムワークショップ, pp.426-431, 2012年7月.
- [4] 谷田英生, 福井啓, 吉田浩章, 藤田昌宏, "FPGAとGPGPUを利用した津波伝搬シミュレーションの高速化・高効率化," 情報処理学会研究報告, Vol.2012-ARC-200, No.3, pp.1-8, 2012年4月.
- [5] 谷田英生, Amir Masoud Gharehbaghi, 藤田昌宏, "形式的手法を用いたプロセッサ設計不具合の自動診断と修正," 情報処理学会研究報告, Vol.2012-ARC-202, No.21, pp.1-8, 2012年12月.

紀要, その他

- [1] 藤田昌宏, "高位合成, 低消費電力用デザインの最適化, 及び, 等価検証における最近の傾向と今後の方向," 基調講演, Calypto Tech Forum東京, 2012年4月.
- [2] M. Fujita, "Error Tolerance and Engineering Change with Partially Programmable Circuits and their SAT-Based Programming," In Dagstuhl seminar (Seminar 12341): Verifying Reliability, Dagstuhl, Germany, Aug. 2012.
- [3] M. Fujita, "Formal Analysis and Verification of Multiple Programs Based on Difference Identification," Verified Software Workshop and Summer School 2012, Shanghai, China, Aug. 2012.

高宮研究室 研究論文

- [1] P.-H. Chen, K. Ishida, K. Ikeuchi, X. Zhang, K. Honda, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai, "Startup Techniques for 95 mV Step-Up Converter by Capacitor Pass-On Scheme and Vth-Tuned Oscillator With Fixed Charge Programming," *IEEE Journal of Solid-State Circuits*, Vol.47, No.5, pp.1252-1260, May. 2012.
- [2] X. Zhang, Y. Pu, K. Ishida, Y. Ryu, Y. Okuma, P.-H. Chen, K. Watanabe, T. Sakurai, and M. Takamiya, "A 1-V-Input Switched-Capacitor Voltage Converter with Voltage-Reference-Free Pulse-Density Modulation," *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol.59, No.6, pp.361-365, Jun. 2012.
- [3] L. Liu, T. Sakurai, and M. Takamiya, "A 315 MHz Power-Gated Ultra Low Power Transceiver in 40 nm CMOS for Wireless Sensor Network," *IEICE Transaction on Electronics*, E95-C, No.6, pp.1035-1041, June 2012.
- [4] N. Masunaga, K. Ishida, T. Sakurai, and M. Takamiya, "EMI Camera LSI(EMcam) with On-Chip Loop Antenna Matrix to Measure EMI Noise Spectrum and Distribution," *IEICE Transaction on Electronics*, E95-C, No.6, pp.1059-1066, June 2012.
- [5] X. Zhang, K. Ishida, H. Fuketa, M. Takamiya, and T. Sakurai, "On-Chip Measurement System for Within-Die Delay Variation of Individual Standard Cells in 65-nm CMOS," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 20, No.10, pp.1876-1880, Oct. 2012.
- [6] P.-H. Chen, X. Zhang, K. Ishida, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai, "An 80 mV Startup Dual-Mode Boost Converter by Charge-Pumped Pulse Generator and Threshold Voltage Tuned Oscillator With Hot Carrier Injection," *IEEE Journal of Solid-State Circuits*, Vol. 47, No.11, pp.2554-2562, Nov. 2012.
- [7] T. Yokota, T. Sekitani, T. Tokuhara, N. Take, U. Zschieschang, H. Klauk, K. Takamiya, T.-C. Huang, M. Takamiya, T. Sakurai, and T. Someya, "Sheet-Type Flexible Organic Active Matrix Amplifier System Using Pseudo-CMOS Circuits With Floating-Gate Structure," *IEEE Transactions on Electron Devices*, Vol.59, No.12, pp.3434-3441, Dec. 2012.
- [8] R. Takahashi, H. Takata, T. Yasufuku, H. Fuketa, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Large Within-Die Gate Delay Variations in Sub-Threshold Logic Circuits at Low Temperature," *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol.59, No.12, pp.918-921, Dec. 2012.
- [9] K. Mori, H. Lim, S. Iguchi, K. Ishida, M. Takamiya, and T. Sakurai, "Positioning-Free Resonant Wireless Power Transmission Sheet With Staggered Repeater Coil Array (SRCA)," *IEEE Antennas and Wireless Propagation Letters*, Vol. 11, pp.1710-1713, Dec. 2012.
- [10] K. Ishida, T.-C. Huang, K. Honda, Y. Shinozuka, H. Fuketa, T. Yokota, U. Zschieschang, H. Klauk, G. Tortissier, T. Sekitani, H. Toshiyoshi, M. Takamiya, T. Someya, and T. Sakurai, "Insole Pedometer With Piezoelectric Energy Harvester and 2 V Organic Circuits," *IEEE Journal of Solid-State Circuits*, Vol.48, No.1, pp.255-264, Jan. 2013.

国際会議論文

- [1] H. Lim, K. Ishida, M. Takamiya, and T. Sakurai, "Positioning-Free Magnetically Resonant Wireless Power Transmission Board with Staggered Repeater Coil Array (SRCA)," *IEEE MTT-S International Microwave Workshop Series on Innovative Wireless Power Transmission: Technologies, Systems, and Applications (IMWS-IWPT)*, Kyoto, pp.93-96, May 2012.
- [2] R. Takahashi, H. Takata, T. Yasufuku, H. Fuketa, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Large Within-Die Gate Delay Variations in Sub-Threshold Logic Circuits at Low Temperature," *IEEE International Workshop on Design for Manufacturability and Yield (DFM&Y)*, San Francisco, USA, June 2012.
- [3] A. Saito, K. Honda, Y. Zheng, S. Iguchi, K. Watanabe, T. Sakurai, and M. Takamiya, "An All 0.5 V, 1Mbps, 315 MHz OOK Transceiver with 38- μ W Carrier-Frequency-Free Intermittent Sampling Receiver and 52- μ W Class-F Transmitter in 40-nm CMOS," *IEEE Symposium on VLSI Circuits*, Hawaii, pp.38-39, June 2012.
- [4] X. Zhang, P.-H. Chen, Y. Ryu, K. Ishida, Y. Okuma, K. Watanabe, T. Sakurai, and M. Takamiya, "A

- 0.45-V Input On-Chip Gate Boosted (OGB) Buck Converter in 40-nm CMOS with More Than 90 % Efficiency in Load Range from 2 μ W to 50 μ W," IEEE Symposium on VLSI Circuits, Hawaii, pp.194-195, June 2012.
- [5] A. Saito, Y. Zheng, K. Watanabe, T. Sakurai, and M. Takamiya, "0.35 V, 4.1 uW, 39 MHz Crystal Oscillator in 40 nm CMOS," International Symposium on Low Power Electronics and Design (ISLPED), Redondo Beach, USA, pp.333-338, Aug. 2012.
- [6] X. Zhang, Y. Pu, K. Ishida, Y. Ryu, Y. Okuma, P.-H. Chen, K. Watanabe, Sakurai, and M. Takamiya, "Low Voltage Switched-Capacitor Voltage Converter with Improved Light Load Efficiency," 3rd IEICE International Conference on Integrated Circuits and Devices in Vietnam (ICDV), Danang, Vietnam, pp.46-51, Aug. 2012.
- [7] H. Fuketa, R. Takahashi, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Increase of Crosstalk Noise Due to Imbalanced Threshold Voltage between NMOS and PMOS in Sub-Threshold Logic Circuits," IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp.1-4, Sep. 2012.
- [8] S. Iguchi, A. Saito, K. Watanabe, T. Sakurai, and M. Takamiya, "2.1 Times Increase of Drain Efficiency by Dual Supply Voltage Scheme in 315MHz Class-F Power Amplifier at Output Power of -20dBm", 38th European Solid-State Circuits Conference (ESSCIRC), Bordeaux, France, pp.345-348, Sep. 2012.
- [9] M. Takamiya, K. Ishida, H. Fuketa, T. Sekitani, T. Someya, and T. Sakurai, "Printable and Flexible Electronics with Organic Transistors," IEEE International Conference on Computer-Aided Design (ICCAD), San Jose, USA, 7D-2, Nov. 2012. (Invited)
- [10] M. Takamiya, "Extremely Low Power VLSI Circuits with Low Voltage Operation," IEEE/ACM Workshop on Variability Modeling and Characterization (VMC), San Jose, USA, Nov. 2012. (Invited)
- [11] M. Takamiya, K. Ishida, K. Takemura, and T. Sakurai, "3D Stacked Buck Converter with SrTiO₃ (STO) Capacitors on Silicon Interposer," IEEE International Workshop on Power Supply on Chip (PowerSoC), San Francisco, USA, 4-3, Nov. 2012. (Invited)
- [12] S. Iguchi, A. Saito, K. Honda, Y. Zheng, K. Watanabe, T. Sakurai, and M. Takamiya, "315 MHz OOK Transceiver with 38-uW Receiver and 36-uW Transmitter in 40-nm CMOS," Asia-South Pacific Design Automation Conference (ASP-DAC), Yokohama, Japan, pp.93-94, Jan. 2013.
- [13] X. Zhang, P.-H. Chen, Y. Ryu, K. Ishida, Y. Okuma, K. Watanabe, T. Sakurai, and M. Takamiya, "A Low Voltage Buck DC-DC Converter Using On-Chip Gate Boost Technique in 40 nm CMOS," Asia-South Pacific Design Automation Conference (ASP-DAC), Yokohama, Japan, pp.109-110, Jan. 2013.
- [14] H. Fuketa, K. Yoshioka, Y. Shinozuka, K. Ishida, T. Yokota, N. Matsuhisa, Y. Inoue, M. Sekino, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, "1 um Thickness 64 Channel Surface Electromyogram Measurement Sheet with 2 V Organic Transistors for Prosthetic Hand Control," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp.104-105, Feb. 2013.
- [15] H. Fuketa, M. Nomura, M. Takamiya, and T. Sakurai, "Intermittent Resonant Clocking Enabling Power Reduction at Any Clock Frequency for 0.37 V, 980 kHz Near-Threshold Logic Circuits," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp.436-437, Feb. 2013.
- [16] Y. Shinozuka, H. Fuketa, K. Ishida, F. Furuta, K. Osada, K. Takeda, M. Takamiya, and T. Sakurai, "Reducing IR Drop in 3D Integration to Less Than 1/4 Using Buck Converter on Top Die (BCT) Scheme," IEEE International Symposium on Quality Electronic Design (ISQED), Santa Clara, USA, pp.210-215, March 2013.
- [17] M. Takamiya, "Emerging Applications and Design Challenges of Organic Electronics," Tutorial Short Course in IEEE International Conference on Microelectronic Test Structures (ICMTS), Osaka, March 2013. (Invited)

シンポジウム・研究会・大会等発表

- [1] 石田光一, 黄琮靖, 本田健太郎, 篠塚康大, 更田裕司, 横田知之, ツイーシャングウテ, クラークハーゲン, グレゴリートルティシエ, 関谷毅,

- 高宮真, 年吉洋, 染谷隆夫, 桜井貴康, “圧電フィルムによるエネルギーハーベスティングと2V有機トランジスタ回路を搭載した靴の中敷き型万歩計,” 電子情報通信学会, 信学技報, ICD2012-49, pp.99-104, 札幌, 2012年8月. (Invited)
- [2] X. Zhang, P.-H. Chen, Y. Ryu, K. Ishida, Y. Okuma, K. Watanabe, T. Sakurai, and M. Takamiya, “0.45-V Input Higher Than 90% Efficiency Buck Converter with On-Chip Gate Boost,” 電子情報通信学会, 信学技報, ICD2012-51, pp.111-114, 札幌, 2012年8月.
- [3] 井口俊太, 齋藤晶, 本田健太郎, 鄭雲飛, 渡辺和紀, 桜井貴康, 高宮真, “38 uW 間欠サンプリング受信回路と52 uW F級送信回路を備えたオール0.5V動作1 Mbps, 315 MHz帯無線トランシーバ,” 電子情報通信学会, 信学技報, ICD2012-55, pp.133-138, 札幌, 2012年8月.
- [4] 高宮真, “エネルギーハーベスティング向け電源回路-80 mV入力の昇圧回路-,” “エネルギーハーベスティングコンソーシアム, 第3回意見交換会, 「エネルギーハーベスティング用電源回路」, 東京, 2012年8月.
- [5] 高宮真, “低電圧化の限界に挑むロジック回路設計技術,” JEITA半導体技術ロードマップ専門委員会 (STRJ) Working Group 6 Process Integration, Devices, and Structures (PIDS), 定例会議, 東京, 2012年8月.
- [6] 安ミンヨン, 張信, 陳柏宏, 劉良勝, 石田光一, 大熊康介, 桜井貴康, 高宮真, “局所ゲート昇圧による入力電圧0.6Vのバックコンバータの効率向上,” 電子情報通信学会ソサイエティ大会, C-12-28, 富山, 2012年9月.
- [7] 篠塚康大, 石田光一, 更田裕司, 高宮真, 桜井貴康, “インターポーザ上インダクタを用いたBuckコンバータにおけるフェライトによる高効率化,” 電子情報通信学会ソサイエティ大会, C-12-40, 富山, 2012年9月.
- [8] 高宮真, 池内克之, 佐々木正人, 桜井貴康, “3次元アジャイル積層システム向けチップ/PCB貫通通信技術,” エレクトロニクス実装学会, 2012ワークショップ, No.20, 修善寺, 2012年10月.
- [9] 高宮真, 篠原尋史, 桜井貴康, “低電圧動作限界に挑戦する極低消費電力LSI回路技術の最新動向,” 電子情報通信学会誌, 95巻, 11号, pp.974-978, 2012年11月.
- [10] 井口俊太, 齋藤晶, 渡辺和紀, 桜井貴康, 高宮真, “デュアル電源電圧方式による315 MHz帯無線送信回路の高効率化,” 電子情報通信学会, 信学技報, ICD2012-119, pp.121-126, 東京, 2012年12月.
- [11] 篠塚康大, 更田裕司, 石田光一, 高宮真, 藤井朋治, 清水浩, 小林和貴, 佐藤敏郎, 桜井貴康, “インターポーザ上インダクタの高透磁率材導入によるオンチップBuckコンバータ回路の高効率化の検討,” 電気学会, マグネティックス研究会, 電気学会研究会資料, MAG-12-173, pp.25-29, 大阪, 2012年12月.
- [12] 高宮真, 石田光一, 張信, 陳柏宏, 大熊康介, 安ミンヨン, 劉良勝, 渡辺和紀, 桜井貴康, “uWクラスのLSI向け80 mV~0.5Vの低電圧入力電源回路,” 電子情報通信学会, 集積回路研究専門委員会, 第32回シリコンアナログRF研究会, 講演番号16, 東京, 2013年3月. (Invited)
- [13] 高宮真, 齋藤晶, 井口俊太, 本田健太郎, 鄭雲飛, 渡辺和紀, 桜井貴康, “センサネット向けサブ50 uW, 0.5V動作315 MHz帯トランシーバ回路,” 電子情報通信学会, 信学技報, MW2012-177, pp.97-102, 広島, 2013年3月. (Invited)
- [14] 高宮真, “80 mV入力昇圧回路と大面積・フレキシブルな振動エネルギーハーベスタ,” 電子情報通信学会総合大会, AT-1-6, 岐阜, 2013年3月.
- [15] 韓知躬, 林睨根, 井口俊太, 更田裕司, 石田光一, 桜井貴康, 高宮真, “磁気共鳴型無線電力伝送におけるS21のコイル間距離依存の容量変化による改善,” 電子情報通信学会総合大会, BCS-1-6, 岐阜, 2013年3月.

著書

- [1] M. Takamiya, T. Sekitani, K. Ishida, T. Someya, and T. Sakurai, "Large Area Electronics with Organic Transistors," in the book entitled, "Applications of Organic and Printed Electronics", Editor: Eugenio Cantatore, Springer, pp.101-113, ISBN 978-1461431596, Oct. 2012.
- [2] M. Takamiya, K. Ishida, T. Sekitani, T. Someya, and T. Sakurai, "Organic Integrated Circuits for EMI Measurement," in the book entitled, "Stretchable Electronics", Editor: Takao Someya, Wilery-VCH, pp.431-448, ISBN 978-3527329786, Feb. 2013.

柴田・三田研究室 学会誌

- [1] Julien Malapert, Satoshi Morishita, Manabu Ataka, Hiroyuki Fujita, Dominique Collard and Yoshio Mita, “Power Regulated Thermal Actuator based

on UV-Patterned Polyimides for Ciliary Motion System”, *IEEE Transactions on Sensors and Micromachines*, Vol.133, No.3, pp.77-84 (2013.3)

- [2] Ruihan Bao and Tadashi Shibata, “A Hardware Friendly Algorithm for Action Recognition Using Spatio-Temporal Motion-Field Patches”, *Neurocomputing* (in print).
- [3] Pushe Zhao, Hongbo Zhu, He Li, and Tadashi Shibata, “A Directional-Edge-Based Real-Time Object Tracking System Employing Multiple Candidate-Location Generation”, *IEEE Transactions on Circuits and Systems for Video Technology* (in print).
- [4] Zuoxun Hou, Yitao Ma, Hongbo Zhu, Nanning Zheng and Tadashi Shibata, “A Real-Time VLSI Recognition System With an On-Chip Adaptive K-Means Learning Algorithm” *Japanese Journal of Applied Physics*, 2012 (Accepted for publication)

国際学会プロシーディング

- [1] Ruihan Bao and Tadashi Shibata, “A Hierarchical Action Recognition System Applying Fisher Discrimination Dictionary Learning via Sparse Representation”, in *Artificial Intelligence and Soft Computing Part I*, Eds. Leszek Rutkowski, Marcin Korytkowski, Rafal Scherer, Ryszard Tadeusiewicz, Lotfi A. Zadeh, Jacek M. Zurada (Springer, Heidelberg, 2012) (*Proceedings of the 11th International Conference on Artificial Intelligence and Soft Computing (ICAISC 2012)*, Zakopane, Poland, April 29-May 3, 2012) pp. 468-476.
- [2] Pushe Zhao, Renyuan Zhang, and Tadashi Shibata, “Real-time Object Tracking Algorithm Employing On-Line Support Vector Machine and Multiple Candidate Regeneration”, in *Artificial Intelligence and Soft Computing Part I*, Eds. Leszek Rutkowski, Marcin Korytkowski, Rafal Scherer, Ryszard Tadeusiewicz, Lotfi A. Zadeh, Jacek M. Zurada (Springer, Heidelberg, 2012) (*Proceedings of the 11th International Conference on Artificial Intelligence and Soft Computing (ICAISC 2012)*, Zakopane, Poland, April 29-May 3, 2012) pp. 617-625.
- [3] Renyuan Zhang and Tadashi Shibata, “Real-Time On-Line-Learning Support Vector Machine Based on A Fully-Parallel Analog VLSI Processor”, in *Artificial Intelligence and Soft Computing Part II*,

Eds. Leszek Rutkowski, Marcin Korytkowski, Rafal Scherer, Ryszard Tadeusiewicz, Lotfi A. Zadeh, Jacek M. Zurada (Springer, Heidelberg, 2012) (*Proceedings of the 11th International Conference on Artificial Intelligence and Soft Computing (ICAISC 2012)*, Zakopane, Poland, April 29-May 3, 2012) pp. 223-230.

- [4] Hongbo Zhu and Tadashi Shibata, “A Real-Time Motion-Feature-Extraction Image Processor Employing Digital-Pixel-Sensor-Based Parallel Architecture”, in *Proceedings of 2012 IEEE International Symposium on Circuits and Systems*, pp. 1612-1615, May 20-23, 2012, Seoul, Korea.
- [5] Wenjun Xia and Tadashi Shibata, “Self-Adaptive Quasi-Gaussian Circuits for Analog On-Chip-Trainable Multi-Class Classifiers,” in *Proceedings of 2012 IEEE International Symposium on Circuits and Systems*, pp. 2893-2896, May 20-23, 2012, Seoul, Korea.
- [6] Tadashi Shibata, Hongbo Zhu, Ruihan Bao, Pushe Zhao, and Renyuan Zhang, “A VLSI System for Motion Perception and Action Recognition”, in *the Proceedings of the 2nd Solid-State Systems Symposium (4S 2012)*, *VLSIs&Related Technologies*, pp. 23-29, Ho Chi Minh City, Vietnam, Aug. 22-24, 2012.
- [7] Tadashi Shibata, Renyuan Zhang, Steven P. Levitan, Dmitri E. Nikonov, and George I. Bourianoff, “CMOS Supporting Circuitries for Nano-Oscillator-Based Associative Memories”, in *the Proceedings of the 13th International Workshop on Cellular Nanoscale Networks and their Applications (CNNA 2012)*, Turin, Italy, August 29-31, 2012.
- [8] Tamas Roska, Andras Horvath, Attila Stubendek, Fernando Corinto, Gyorgy Csaba, Wolfgang Porod, Tadashi Shibata, and George Bourianoff, “An Associative Memory with Oscillatory CNN Arrays Using Spin Torque Oscillator Cells and Spin-Wave Interactions Architecture and End-to-End Simulator”, in *the Proceedings of the 13th International Workshop on Cellular Nanoscale Networks and their Applications (CNNA 2012)*, Turin, Italy, August 29-31, 2012.
- [9] Steven P. Levitan, Yan Fang, Denver H. Dash, Tadashi Shibata, Dmitri E. Nikonov, and George I. Bourianoff, “Non-Boolean Associative Architectures Based on Nano-Oscillators”, in *the*

- Proceedings of the 13th International Workshop on Cellular Nanoscale Networks and their Applications (CNNA 2012), Turin, Italy, August 29-31, 2012.*
- [10] Renyuan Zhang and Tadashi Shibata, "A VLSI Hardware Implementation Study of SVDD Algorithm Using Analog Gaussian-Cell Array for on-Chip Learning", *in the Proceedings of the 13th International Workshop on Cellular Nanoscale Networks and their Applications (CNNA 2012), Turin, Italy, August 29-31, 2012.*
- [11] Litian Sun and Tadashi Shibata, "Unsupervised Object Extraction by Contour Delineation and Texture-Based Discrimination", *in Proceedings of 20th European Signal Processing Conference (EUSIPCO 2012)*, pp. 1945-1949, Bucharest, Romania, August 27-31, 2012.
- [12] Zheyue Wang and Tadashi Shibata, "A Programmable Difference-of-Gaussian Analog CMOS Image sensor Operating in the Subthreshold Regime", *in Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials*, Kyoto, 2012, pp1115-1116.
- [13] Zuoxun Hou, Yitao Ma, Hongbo Zhu, and Tadashi Shibata, "A Real-Time VLSI Recognition System With an On-Chip Adaptive K-Means Learning Algorithm", *in Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials*, Kyoto, 2012, pp148-149.
- [14] Pushe Zhao, Hongbo Zhu, Tadashi Shibata, "A Multiple-Candidate-Regeneration-Based Object Tracking System with Enhanced Learning Capability by Nearest Neighbor Classifier", *accepted for publication in the Proceedings of 2013 IEEE International Symposium on Circuits and Systems*, May 19-23, 2013, Beijing, China.
- [15] Atsushi Shimada, Hongbo Zhu, and Tadashi Shibata, "A VLSI DBSCAN Processor Composed as an Array of Micro Agents Having Self-Growing Interconnects," *accepted for publication in the Proceedings of 2013 IEEE International Symposium on Circuits and Systems*, May 19-23, 2013, Beijing, China.
- [16] Yitao Ma, Tadashi Shibata, and Tetsuo Endoh, "An MTJ-Based Nonvolatile Associative Memory Architecture With Intelligent Power-Saving Scheme for High-Speed Low-Power Recognition Applications," *accepted for publication in the Proceedings of 2013 IEEE International Symposium on Circuits and Systems*, May 19-23, 2013, Beijing, China.
- [17] Tran Nam Binh, Satoshi Morishita Masanori Kubota, and Yoshio Mita, "A Stiffness-Defined Silicon Plane Bending Method to Realize Perfectly-Curved Surface Formation for Tunable Parabolic Mirrors", *2012 IEEE Optical MEMS and Nanophotonics Conference*, 6-9 August 2012, Banff, Alberta, Canada
- [18] Kota Hosaka, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "An Integrated CMOS-MEMS Probe having Two-Tips per Cantilever for Individual Contact Sensing and Kelvin Measurement with Two Cantilevers", *25th IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 25-28 March, Osaka University Nakanoshima Center, Japan, pp. 3-6 (2013.03)

チュートリアル講演

- [1] Yoshio Mita "Wireless-Driven Pond-Skating Microrobot as a Technology Driver for Integrated MEMS (Keynote Speech)", *CINTRA Workshop on "Next generation of self-power smart sensors for environmental monitoring"*, 19-20 March, Singapore (2013.03.19).

国内研究会

- [1] 森功, 久保田雅則, 三田吉郎, 「環境にばらまくセンサネットワーク素子実現に関する一考察」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [2] 木原泰樹, 久保田雅則, 森下賢志, 百瀬健, 近藤愛子, 霜垣幸浩, 三田吉郎, 「ステルスダイシングを利用した埋め込み式予約素子分離法」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [3] 平川淳, 森下賢志, 三田吉郎, 「SOI基板上のメサ分離型標準バルクCMOS素子の絶縁耐圧評価」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [4] Isao Mori, Satoshi Morishita, Masanori Kubota, Kentaroh Watanabe and Yoshio Mita, "A Monolithically-Integrated, Batch Post-processed 17.8 V Silicon Solar Cell Array for Remote MEMS Driving", *Japanese French Research*, 16-17

November, Tokyo, (2012.11).

- [5] 三田吉郎, Tixier-Mita Agnes 「共に働く研究者」、電気学会全国大会公開シンポジウム 1-H4-3 「男女共同参画の要らなくなる日」、名古屋大学、(2013.03.20)

著書

- [1] (分担執筆) Tadashi Shibata, "A Human-Like Cognitive Computer Based on a Psychologically Inspired VLSI Brain Model," Chapter 27 in Technological Advancements in Biomedicine for Healthcare Applications, edited by Jinglong Wu, IGI Global (2012).

高木・竹中研究室 研究論文

- [2] M. Takenaka, K. Morii, M. Sugiyama, Y. Nakano and S. Takagi, "Dark current reduction of Ge photodetector by GeO₂ surface passivation and gas-phase doping", Optics Exp., Vol.20, Issue 8, pp.8718-8725 (2012)
- [3] S.-H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi, "Strained In_{0.53}Ga_{0.47}As Metal-oxide-semiconductor Field-effect Transistors with Epitaxy-based Biaxial Strain", Appl. Phys. Lett., Vol.100, 193510 (2012)
- [4] A. Wada, R. Zhang, S. Takagi and S. Samukawa, "High-Quality Germanium Dioxide Thin Films with Low Interface State Density Using a Direct Process of Neutral Beam Oxidation", Appl. Phys. Lett., Vol.100, 213108 (2012)
- [5] M. Yokoyama, S.-H. Kim, R. Zhang, N. Taoka, Y. Urabe, T. Maeda, H. Takagi, T. Yasuda, H. Yamada, O. Ichikawa, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi, "III-V/Ge high mobility channel integration of InGaAs nMOSFETs and Ge pMOSFETs with self-align Ni-based metal S/D", Appl. Phys. Exp., Vol.5, No.7, 076501 (2012)
- [6] C. B. Zota, S.-H. Kim, M. Yokoyama, M. Takenaka and S. Takagi, "Characterization of Ni-GaSb alloys formed by direct reaction of Ni and GaSb", Appl. Phys. Exp., Vol.5, 071201 (2012)
- [7] W. Jevasuwan, Y. Urabe, T. Maeda, N. Miyata, T. Yasuda, A. Ohtake, H. Yamada, M. Hata, S.-H. Lee, T. Hoshii, M. Takenaka and S. Takagi, "Controlling anion composition at Metal-Insulator-Semiconductor interfaces on III-V channels by plasma processing", Jpn. J. Appl. Phys., volume 51, Issue 6, pp.065701-065701-5 (2012).
- [8] T. Hoshii, S. Lee, R. Suzuki, N. Taoka, M. Yokoyama, H. Yamada, M. Hata, T. Yasuda, M. Takenaka and S. Takagi, "Improvement in Interface State Density of Al₂O₃/InGaAs Metal-Oxide-Semiconductor Interfaces by InGaAs Surface Nitridation", J. Appl. Phys., Vol.112, 073702 (2012)
- [9] R. Suzuki, N. Taoka, M. Yokoyama, S.-H. Kim, T. Hoshii, T. Maeda, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi, "Impact of atomic layer deposition temperature on HfO₂/InGaAs MOS interface properties", J. Appl. Phys., Vol.112, 084103 (2012)
- [10] Y. Ikku, M. Yokoyama, O. Ichikawa, M. Hata, M. Takenaka and S. Takagi, "Low-driving-current InGaAsP Photonic-wire Optical Switches using III-V CMOS Photonics Platform", Optics Express, Vol.20, no.26 (2012) B357-B364
- [11] A. Wada, R. Zhang, S. Takagi and S. Samukawa, "Formation of Thin Germanium Dioxide with a High-Quality Interface Using a Direct Neutral Beam Oxidation Process", Jpn. J. Appl. Phys., Vol.51 (2012)5603
- [12] R. Zhang, P.-C. Huang, J.-C. Lin, M. Takenaka and S. Takagi, "Atomic Layer-by-Layer Oxidation of Ge (100) and (111) Surfaces by Plasma Post Oxidation of Al₂O₃/Ge Structures", Appl. Phys. Lett., Vol.102, 081603 (2013)
- [13] R. Zhang, P.-C. Huang, J.-C. Lin, N. Taoka, M. Takenaka and S. Takagi, "High Mobility Ge p-and n-MOSFETs with 0.7 nm Ultrathin EOT using HfO₂/Al₂O₃/GeO_x/Ge Gate Stacks Fabricated by Plasma Post Oxidation", IEEE Trans. Electron Devices, Vol.60, no.3, (2013) pp.927-934
- [14] M. Takenaka, M. Yokoyama, M. Sugiyama, Y. Nakano and S. Takagi, "InGaAsP Grating Couplers Using Complementary-Metal-Oxide-Semiconductor-Compatible III-V-On-Insulator on Si", Appl. Phys. Exp. 6 (2013) 042501

国際会議論文

- [1] Y. Ikku, M. Yokoyama, O. Ichikawa, M. Hata,

- M. Takenaka and S. Takagi, "Propagation-Loss Reduction in InGaAsP Photonic-wire Waveguides by InP and Al₂O₃ Passivation Layers", 16th European Conference on Integrated Optics and technical exhibitions (ECIO 2012), April 18-20 (2012)
- [2] S.-H. Shin, N. Taoka, M. Takenaka, and S. Takagi, "Experimental Characterization of MOS Interface Charges using Surface Potential Fluctuation in Conductance Measurement", 8th International Nanotechnology Conference on Communications, and Cooperation (INC8), Poster Session (Japan Nano Day/ INC 8), May 8-11, 2012, AIST Tsukuba Central, Tsukuba, Ibaraki, Japan
- [3] R. Zhang, P. C. Huang, N. Taoka, M. Takenaka and S. Takagi, "High Mobility Ge pMOSFETs with 0.7 nm Ultrathin EOT using HfO₂/Al₂O₃/GeO_x/Ge Gate Stacks Fabricated by Plasma Post Oxidation", VLSI symp. (2012) p.161-162
- [4] S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi, "Sub-60 nm deeply scaled Extremely-thin Body In_xGa_{1-x}As-On-Insulator MOSFETs on a Si substrate with Ni-InGaAs metal S/D and MOS Interface Buffer Engineering", VLSI symp. (2012) p.177-178
- [5] C. B. Zota, S. H. Kim, Y. Asakura, M. Takenaka and S. Takagi, "Self-aligned metal S/D GaSb p-MOSFETs using Ni-GaSb alloys", 70th Device Research Conference (DRC), June 18-20, Pennsylvania State University, University Park, PA, USA, P. 71-72 (2012)
- [6] M. Takenaka and S. Takagi, "III-V/Ge integration on Si platform for electronic-photonic integrated circuits", Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), June 27-29 (2012), Okinawa, Japan
- [7] J. H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka and S. Takagi, "Improvement of SiGe MOS interfaces by plasma post-nitridation for SiGe high-k MOS optical modulators", IEEE 9th International Conference on Group IV Photonics (GFP) (2012), p.144-146
- [8] Y.-H. Kim, M. Takenaka and S. Takagi, "Numerical analysis of strained SiGe-based carrier-injection optical modulators", IEEE 9th International Conference on Group IV Photonics (GFP) (2012), p.126-128
- [9] Y. Ikku, M. Yokoyama, O. Ichikawa, M. Hata, M. Takenaka and S. Takagi, "Low-driving-current InGaAsP Photonic-wire Optical Switches using III-V CMOS Photonics Platform", 37th European Conference and Exhibition on Optical Communication (ECOC) (2012), Tu.4.E.5
- [10] M. Yokoyama, O. Ichikawa, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi, "Sulfur cleaning for (100), (111)A, and (111)B InGaAs surfaces with In content of 0.70 and their Al₂O₃/InGaAs MOS interface properties", 24th International Conference on Indium Phosphide and Related Materials (IPRM) (2012) Tu-3E.5
- [11] A. Wada, R. Zhang, S. Takagi, and S. Samukawa, "Formation of Thin Germanium Dioxide Film with a High-Quality Interface Using a Direct Neutral Beam Oxidation Process", 42nd Solid-State Device Research Conference (ESSDERC) (2012), Session A2L-F, Paper 3096 (2012.9.18).
- [12] S.-H. Shin, N. Taoka, M. Takenaka and S. Takagi, "Quantitative Analysis of Surface Potential Fluctuation at MOS interfaces Using Conductance Method", SSDM (2012), p.831-832
- [13] S.-H. Jeon, N. Taoka, H. Matsumoto, K. Nakano, S. Koyama, H. Kakibayasi, K. Araki, M. Miyashita, K. Izunome, M. Takenaka and S. Takagi, "Impacts of Surface Roughness Reduction in (110) Si Substrates by High Temperature Annealing on Electron Mobility in n-MOSFETs on (110) Si", SSDM (2012), p.813-814
- [14] S. Takagi, S.-H. Kim, R. Zhang, M. Yokoyama, N. Taoka and M. Takenaka, "III-V/Ge Channel MOS Transistor Technologies for Advanced CMOS (invited)", SSDM (2012) p.793-794
- [15] S. Takagi, "MOS interface properties of high k/III-V gate stacks and the impact on device performance", 9th International Symposium on Advanced Gate Stack Technology (2012), Saratoga Springs, NY, October 3 - 4 (2012)
- [16] R. Zhang, P.-C. Huang, M. Takenaka and S. Takagi, "Evidence of layer-by-layer oxidation of Ge surfaces by plasma oxidation through Al₂O₃", Symposium on 5th International SiGe, Ge,&Related Compounds: Materials, Processing, and Devices, Symposium E of the 222nd Electrochemical Society (ECS) Meeting,

Honolulu, Hawaii, USA, 07-12 October (2012),
ECS Trans., 50 (9), 699-706 (2012)

- [17] A. Wada, R. Zhang, S. Takagi, and S. Samukawa, "Formation of 1.7-nm-thick-EOT Germanium Dioxide Film with a High-Quality Interface Using a Direct Neutral Beam Oxidation Process", Symposium on 5th International SiGe, Ge,&Related Compounds: Materials, Processing, and Devices, Symposium E of the 222nd Electrochemical Society (ECS) Meeting, Honolulu, Hawaii, USA, 07-12 October (2012), ECS Trans., 50 (9), 1085-1090 (2012)
- [18] S. Takagi, R. Zhang, R. Suzuki N. Taoka, M. Yokoyama, and M. Takenaka, "MOS interface control of high mobility channel materials for realizing ultrathin EOT gate stacks (invited)", Symposium on High Dielectric Constant and Other Dielectric Materials for Nanoelectronics and Photonics 10, Symposium E4 of the 222nd Electrochemical Society (ECS) Meeting, Honolulu, Hawaii, USA, 07-12 October (2012), ECS Trans., 50 (4), 107-122 (2012)
- [19] J. H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Plasma post-nitridation toward SiGe high-k MOS optical modulators", submitted to the 2nd International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems- (ISPEC2012), Tokyo, Japan on 3-5 December, (2012)
- [20] Y.-H. Kim, M. Takenaka, and S. Takagi, "Simulation of Si/SiGe/Si double heterostructure based carrier-injection modulator", submitted to the 2nd International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems- (ISPEC2012), Tokyo, Japan on 3-5 December, (2012)
- [21] Y. Ikku, M. Yokoyama, O. Ichikawa, M. Hata, M. Takenaka and S. Takagi, "InGaAsP Photonic-wire Mach-Zehnder Interferometer Switches Fabricated on III-V CMOS Photonics Platform", submitted to the 2nd International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems- (ISPEC2012), Tokyo, Japan on 3-5 December, (2012)
- [22] M. Yokoyama, Y. Asakura, H. Yokoyama, M. Takenaka, and S. Takagi, "Roles of interfacial Ga and Sb oxides on GaSb MOS interface properties", 43rd IEEE Semiconductor Interface Specialists Conference (SISC) (2012) 7.6.
- [23] J. H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Improvement of Al₂O₃/Si_{0.75}Ge_{0.25} MOS interface by plasma post-nitridation", 43rd IEEE Semiconductor Interface Specialists Conference (SISC) (2012) 7.3.
- [24] S. Takagi, R. Zhang, S.-H Kim, N. Taoka, M. Yokoyama, J.-K. Suh, R. Suzuki, Y. Asakura, C. Zota and M. Takenaka, "MOS interface and channel engineering for high-mobility Ge/III-V CMOS", International Electron Devices Meeting (IEDM) (2012) pp.505-508
- [25] R. Zhang, P.-C. Huang, J.-C. Lin, M. Takenaka and S. Takagi, "Physical Mechanism Determining Ge p-and n-MOSFETs Mobility in High Ns Region and Mobility Improvement by Atomically Flat GeO_x/Ge Interfaces", International Electron Devices Meeting (IEDM) (2012) pp.371-374
- [26] S. Takagi, R. Zhang, R. Suzuki, N. Taoka, M. Yokoyama and M. Takenaka, "MOS interface control of high mobility channel materials for advanced CMOS applications", 3rd Molecular Materials Meeting (M3), Singapore, 14 -16 January (2013)
- [27] R. Zhang, J.-C. Lin, M. Takenaka and S. Takagi, "Ge Oxide Growth by Plasma Oxidation of Ge substrates through Al₂O₃ Layers", 5th International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nanomaterials (ISPlasma2013), Jun. 28th -Feb. 1st, 2013, Nagoya University, Nagoya
- [28] S. Takagi, "III-V channel MOSFET Technology", S3. Device Technology, SEMICON Korea (2013)
- [29] S. Takagi, R. Zhang, and M. Takenaka, "High Mobility Ge MOSFETs using 0.7 nm EOT HfO₂/Al₂O₃/GeO_x/Ge Gate Stacks", 6th International WorkShop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to-Core Program Joint Seminar, "Atomically Controlled Processing for Ultralarge Scale Integration", Feb. 22-23, 2013, Tohoku University, Sendai

著書

- [1] 高木信一, 田岡紀之, 鈴木麗菜, 横山正史, 金相賢,

- 竹中充, 「InGaAs MOSゲートスタック形成と界面特性」, 表面科学会誌, Vol.33, No.11, pp.628-633, 2012.
- [2] 高木信一, 竹中充, 「高移動度チャネルトランジスタ技術の最新動向」, 電子情報通信学会誌, Vol.95, No.11, pp.969-973, 2012.
- [3] 高木信一, 趙毅, 竹中充, 松本弘昭, 佐藤岳志, 小山晋, 「TEMを用いたSi MOS界面ラフネスに与えるひずみの効果の解析」, Hitachi Scientific Instrument News, Vol.55, No.1, pp.4643-4646, 2012.
- 木信一, “MOS型光変調器の実現に向けたSiGe MOS界面の改善に関する研究”, 秋季応用物理学会
- [9] 横山正史, 横山春喜, 竹中充, 高木信一, “GaSb基板表面の自然酸化膜除去”, 秋季応用物理学会
- [10] Rui Zhang, J. C. Lin, P. C. Huang, N. Taoka, M. Takenaka and S. Takagi, “High Mobility Ge pMOSFETs with 0.7 nm Ultrathin EOT using HfO₂/Al₂O₃/GeOx/Ge Gate Stacks”, 秋季応用物理学会
- [11] 一宮佑希, 横山正史, 市川磨, 秦雅彦, 竹中充, 高木信一, “InPとAl₂O₃パッシベーションによるInGaAsP細線導波路の損失改善”, 秋季応用物理学会
- [12] 野口宗隆, 竹中充, 高木信一, “薄膜ボディInGaAs-OI TFETにおけるサブスレシヨルド特性の改善手法の検討”, 秋季応用物理学会
- [13] 張睿, 黄博勤, 林汝静, 竹中充, 高木信一, “Ge p-and n-MOSFETの高電界領域での移動度劣化機構の解析と原子層平坦GeOx/Ge界面による移動度の向上”, 応用物理学会シリコンテクノロジー分科会第154回研究集会/電子情報通信学会シリコン材料・デバイス研究会1月研究会「先端CMOSデバイス・プロセス技術 (IEDM特集)」, 2013年1月30日 (水), 機械振興会館
- [14] 一宮佑希, 横山正史, 市川磨, 秦雅彦, 竹中充, 高木信一, “III-V CMOSフォトニクスを用いたInGaAsP細線導波路光スイッチ”, 2013年度電子情報通信学会総合大会, 3月19-22日, C-3光エレクトロニクス・招待講演
- [15] 竹中充, 一宮佑希, 横山正史, 市川磨, 秦雅彦, 高木信一, “III-V CMOSフォトニクスプラットフォームとオンチップ光配線への展開”, 2013年度電子情報通信学会総合大会, 3月19-22日, C-3光エレクトロニクス・招待講演
- [16] 横山正史, 朝倉佑吏, 横山春喜, 竹中充, 高木信一, “GaSb MOS界面特性に与えるGaSb酸化物の影響”, 春季応用物理学会
- [17] R. Zhang, J. C. Lin, P. C. Huang, N. Taoka, M. Takenaka and S. Takagi, “High Mobility Ge CMOS devices with 0.7 nm Ultrathin EOT using HfO₂/Al₂O₃/GeOx/Ge Gate Stacks Fabricated by Plasma Post Oxidation”, 春季応用物理学会
- [18] R. Zhang, N. Taoka, P.-C. Huang, M. Takenaka and S. Takagi, “Improvement of High Ns Mobility of Ge MOSFETs by Reducing GeOx/Ge Interface Roughness”, 春季応用物理学会
- [19] R. Zhang, N. Taoka, P.-C. Huang, M. Takenaka and

シンポジウム・研究会・大会等発表

- [1] 金相賢, 横山正史, 中根了昌, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一, “Ni-InGaAsメタルS/D及びMOS界面バッファ層を持つ極薄膜InxGa1-xAs-OI MOSFETsの短チャネル特性”, 応用物理学会シリコンテクノロジー分科会第151回研究集会, 「VLSIシンポジウム特集 (先端CMOSデバイス・プロセス技術)」, 2012年8月3日, 産業技術総合研究所 臨海副都心センター, p.1-4
- [2] 高木信一, 竹中充, “高移動度チャネルCMOSデバイス”, 応用物理学会シリコンテクノロジー分科会第152回研究集会, 「最先端シリコンナノエレクトロニクスの動向と今後の展開」, 2012年9月4日, 産業技術総合研究所ネットワーク会議室, p.54-60
- [3] 和田章良, 張睿, 高木信一, 寒川誠二, “低温・超低損傷中性粒子ビーム酸化を用いた高品質GeO₂/Ge界面の形成”, 秋季応用物理学会
- [4] 金相賢, 横山正史, 田岡紀之, 中根了昌, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一, “Ni-InGaAsメタルS/D及びMOS界面バッファ層を持つ極薄膜InxGa1-xAs-OI MOSFETsの短チャネル特性”, 秋季応用物理学会
- [5] 金相賢, 横山正史, 田岡紀之, 中根了昌, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一, “次世代高性能InxGa1-xAs-OI MOSFETの実現に向けたチャネルエンジニアリング”, 秋季応用物理学会
- [6] 金榮現, 竹中充, 高木信一, “歪SiGeを利用したキャリア注入型光変調器のTCADシミュレーション”, 秋季応用物理学会
- [7] 横山春喜, 川村宗範, 星拓也, 杉山弘樹, 竹中充, 高木信一, “MOCVD法により成長したGaSb結晶表面の平坦化”, 秋季応用物理学会
- [8] 韓在勲, 張睿, 長田剛規, 秦雅彦, 竹中充, 高

- S. Takagi, "Mobility Degradation of Ge MOSFETs in High Ns Region due to Interface States inside Conduction and Valence Bands of Ge", 春季応用物理学会
- [20] J. Kang, R. Zhang, M. Takenaka, and S. Takagi, "Dark Current Suppression for Ni/Ge Schottky Junction by Plasma Post-Oxidation Passivation", 春季応用物理学会
- [21] 忻宇飛, 金栄現, 張睿, 長田剛規, 秦雅彦, 横山正史, 竹中充, 高木信一, "酸化濃縮法 Ge-On-Insulator 層の薄膜化が MOS 界面正孔移動度に与える効果", 春季応用物理学会
- [22] 金栄現, 長田剛規, 秦雅彦, 竹中充, 高木信一, "歪 SiGe 光変調器向けの Si/SiGe/Si コア光導波路の作製と評価", 春季応用物理学会
- [23] 高木信一, 竹中充, "微細 MOSFET の将来動向", 春季応用物理学会シンポジウム・半導体モデリング・シミュレーションの現状と将来展望 招待講演
- [24] 金相賢, 横山正史, 田岡紀之, 中根了昌, 長田剛規, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一, "極薄膜 $\text{In}_x\text{Ga}_{1-x}\text{As}$ -OI MOSFET の電子移動度を与える膜厚揺らぎ散乱の影響", 春季応用物理学会
- [25] 韓在勲, 張睿, 長田剛規, 秦雅彦, 竹中充, 高木信一, "プラズマ後窒化 SiGe MOS 界面の特性評価", 春季応用物理学会
- [26] 一宮佑希, 横山正史, 市川磨, 秦雅彦, 竹中充, 高木信一, "III-V CMOS フォトニクスを用いた低電流駆動光スイッチ", 春季応用物理学会
- [27] 和田章良, 中山大樹, 張睿, 高木信一, 寒川誠二, "低温・超低損傷中性粒子ビーム酸化を用いた $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ 構造の形成", 春季応用物理学会
- [28] 野口宗隆, 金相賢, 横山正史, 市川磨, 長田剛規, 秦雅彦, 竹中充, "高木信一スピノンガラス法による Zn 拡散を用いたプレーナ型 InGaAs TFET の動作実証", 春季応用物理学会
- [29] 張志宇, 横山正史, 金相賢, 市川磨, 長田剛規, 秦雅彦, 竹中充, 高木信一, "InGaAs MOS ゲートスタック電気特性に与えるメタルゲート電極の影響", 春季応用物理学会

5.5 特許, 受賞等

浅田・池田・名倉・飯塚研究室 受賞

- [1] 電気電子情報学術振興財団原島博学術奨励賞, 矢部紘貴, 2012年6月15日
- [2] B.S. Devlin, H. Mori, S. Miyauchi, M. Ikeda, and K. Asada, A-SSCC 2012 Student Design Contest, Best Design Award, “Performance and Side-channel Attack Analysis of a Self Synchronous Montgomery Multiplier Processing Element for RSA in 40 nm CMOS,” 19th Nov. 2012.

藤田研究室 受賞

- [1] 谷田英生, “FPGAとGPGPUを利用した津波伝搬シミュレーションの高速化・効率化,” 情報処理学会第192回計算機アーキテクチャ研究会若手奨励賞, 2012年12月.
- [2] 松本剛史, “反例と設計分割に基づく高位設計に対する効率的な設計修正支援手法,” 情報処理学会平成24年度山下記念研究賞, 2013年3月.

高宮研究室 特許

- [1] 更田裕司, 高宮真, 桜井貴康, “信号伝送回路,” 特願2012-198259, 2012年9月10日出願.
- [2] [2]井口俊太, 高宮真, 桜井貴康, “増幅器及び送信機,” 特願2012-200045, 2012年9月12日出願.

- [3] [3]更田裕司, 桜井貴康, 高宮真, 染谷隆夫, 関谷毅, “信号検出装置, 信号検出方法, および信号検出装置の製造方法,” 特願2013-028289, 2013年2月15日出願.

柴田・三田研究室 受賞

- [1] 和田真, 柴田直 「対数極座標変換を用いたハードウェアフレンドリーな物体認識アルゴリズム」, 電子情報通信学会2012年度研究会優秀若手講演賞、2013.5.15

高木・竹中研究室 特許, 受賞等一覧

- [1] 山崎貞一賞, 高木信一, “Si MOSFETのチャンネル内キャリア輸送特性の解明と高移動度化への先駆的貢献”, 2012年
- [2] The Best Paper Award, 高木信一, “MOS Interface Control Technologies for III-V/Ge Channel MOSFETs”, The ELECTROCHEMICAL SOCIETY -Symposium on High Dielectric Constant and Other Dielectric Materials for Nanoelectronics IX, 2012年
- [3] The INC8 Japan Nano Day Best Poster Award, SangHoon Shin, “Experimental Characterization of MOS Interface Charges using Potential Fluctuation in Conductance Measurement”, 2012年

A. Publication list

1. 研究論文

- [1] 香田, 堀尾, 合原, " β -expansion attractors observed in A/D converters", AIP Chaos, vol.22, issue 4, 2012年12月
- [2] 藪内, 小林, "NBTI-Induced Delay Degradation Analysis of FPGA Routing Structures", vol.5, pp.143-149, IPSJ Transactions on System LSI Design Methodology(2012)
- [3] S. Bushnaq, M. Ikeda, K. Asada "All-Digital Wireless Transceiver with Sub-Sampling Demodulation and Burst-Error Correction," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences Vol. E95-A No.12 pp.2234-2241 Dec. 2012.
- [4] Kazutoshi Kodama, Tetsuya Iizuka, Toru Nakura, Kunihiro Asada "Frequency Resolution Enhancement for Digitally-Controlled Oscillator based on a Single-Period Switching Scheme" IEICE Trans. on Electronics, Vol. E95-C, No.12, pp.1857-1863, Dec. 2012.
- [5] B. Devlin, M. Ikeda, K. Asada, "Energy Minimum Operation with Self Synchronous Gate-Level Autonomous Power Gating and Voltage Scaling," IEICE Trans. on Electronics, Vol. E95-C, No.4, pp.546-554, Apr. 2012.
- [6] T. Iizuka, S. Miura, R. Yamamoto, Y. Chiba, S. Kubo, K. Asada "580fs-Resolution Time-to-Digital Converter utilizing Differential Pulse-Shrinking Buffer Ring in 0.18 μ m CMOS Technology," IEICE Trans. on Electronics, Vol. E95-C, No.4, pp.661-667, Apr. 2012.
- [7] T. Iizuka, K. Asada "All-Digital PMOS and NMOS Process Variability Monitor Utilizing Shared Buffer Ring and Ring Oscillator," IEICE Trans. on Electronics, Vol. E95-C, No.4, pp.627-634, Apr. 2012.
- [8] J. Kim, T. Nakura, H. Takata, K. Ishibashi, M. Ikeda, K. Asada, "On-Chip Switched Parasitic Capacitors of Sleep Blocks for Resonant Supply Noise Reduction," IEICE Trans. on Electronics, Vol. E95-C, No.4, pp.643-650, Apr. 2012.
- [9] H. Yabe, M. Ikeda "3-D Range Map Acquisition System Based on CMOS Image Sensor Using Time-Multiplexing Structured Pattern," IEICE Trans. on Electronics, Vol. E95-C, No.4, pp.635-642, Apr. 2012.
- [10] K. Yamaguchi, Y. Kora, and H. Ando, "Delay Evaluation of Issue Queue in Superscalar Processors with Banking Tag RAM and Correct Critical Path Identification," IEICE Transactions on Information and Systems, Vol.E95-D, No.9, pp.2235-2246, September 2012.
- [11] H. Hatano, "A CMOS SRAM Test Cell Design Using Selectively Metal-Covered Transistors for a Laser Irradiation Failure Analysis", IEICE TRANS. ELECTRON., Vol. E95-C, NO. 11, pp.1827-1829, 2012.
- [12] Nugroho, Pokharel, Kanaya, Yoshida, "A 5.9 GHz Low Power and Wide Tuning Range CMOS Current-controlled Ring Oscillator", International Journal of Electrical and Computer Engineering (IJECE), Vol.2, No.3, pp.293-300, 2012年6月
- [13] Nugroho, Pokharel, Awinash, Tomar, Kanaya, Yoshida, "Development of low phase noise digitally controlled CMOS ring oscillator with quadrature output", Microwave and Optical Technology Letters, Volume 54, Issue 6, pages 1479-1483, 2012年6月
- [14] Sapawi, Pokharel, Kanaya, Yoshida, "A Wide Range CMOS Power Amplifier with Improved Group Delay Variation and Gain Flatness for UWB Transmitters", IEICE TRANSACTIONS on Electronics, Vol.E95-C, No.7, pp.1182-1188, 2012年7月
- [15] Mat, Pokharel, Sapawi, Kanaya, Yoshida, "High-Q SWCPL for CMOS millimeter-wave technology", IEICE Electronics Express, Vol.9 (2012) No.15, pp.1284-1289, 2012年8月
- [16] Tammam, Yang, Yoshitomi, Allam, Ragab, Kanaya, Yoshida, "Design of a compact size UWB planar antenna with WiMAX band rejection", IEICE Electronics Express, Vol.9 (2012) No.16, pp.1204-1209, 2012年8月

- [17] Anand, Koirala, Pokharel, Kanaya, Yoshida, "Analytical method to determine optimal out-of-band gain in multi-bit delta-sigma modulator", *IEICE Electronics Express*, Vol.9, No.20, pp.1598-1603, 2012年10月
- [18] Yang, Tammam, Yoshitomi, Ijiguchi, Kanaya, Yoshida, Ishikawa, Fukagawa, Kodama, Tahira, "CPW-fed slot antenna for UWB short-range impulse radar systems", *IEICE Electronics Express*, Vol.9, No.20, pp.1604-1610, 2012年10月
- [19] Sapawi, Pokharel, Mat, Kanaya, Yoshida, "A 0.9-3.5 GHz high linearity, good efficiency CMOS broadband power amplifier using stagger tuning technique", *Microwave and Optical Technology Letters*, Vo. 54, Issue 12, pp.2881-2884, 2012年12月
- [20] X. Wang, I. Sakagami, N. Ito and A. Mase "Miniaturized Horst-type Wilkinson power divider with simple layout,"*Electron. Lett.*, vol.49, no.6, 14th Mar. 2013
- [21] 渡部功, 佐々木敬泰, 松原伸幸, 大野和彦, 近藤利夫, "モード切換オーバーヘッドを低減した可変レベルキャッシュの提案と評価", *情報処理学会ACS論文誌*, pp.48-60, Aug. 2012.
- [22] Gonzalez-Carabarin L., Asai T., and Motomura M., "Impact of noise on spike transmission through serially-connected electrical FitzHugh-Nagumo circuits with subthreshold and suprathreshold interconductances," *Journal of Signal Processing*, vol.16, no.6, pp.503-509 (2012).
- [23] Gong X., Asai T., and Motomura M., "Excitable reaction-diffusion media with memristors,"*Journal of Signal Processing*, vol.16, no.4, pp.283-286 (2012).
- [24] Matsuura M., Asai T., and Motomura M., "Noise-induced phase synchronization among simple digital counters,"*Journal of Signal Processing*, vol.16, no.4, pp.279-282 (2012).
- [25] Utagawa A., Asai T., and Amemiya Y., "Noise-induced phase synchronization among analog MOS oscillator circuits,"*Fluctuation and Noise Letters*, vol.11, no.2, pp.1250007/1-11 (2012).
- [26] Takaya Handa, Yuhei Yoshimoto, Kazuya Nakayama, and Akio Kitagawa, "Novel Power Reduction Technique for ReRAM with Automatic Avoidance Circuit for Wasteful Overwrite", *Active and Passive Electronic Components*, Volume 2012 (2012), Article ID 181395
- [27] 大高俊徳, 山智裕, 浜本隆之, "シーン理解のためのマクロ画素分割型CMOSイメージセンサ", *映像情報メディア学会誌*, Vol.67, No.3, pp.J82-J88 (2013)
- [28] 和田和千, 伊藤 遼, 関根かをり, "温度係数に対する面積の増大を抑えた低電圧PTAT電圧源の構成" *電気学会論文誌C*, Vol. 133 (2013), No. 2, P.245-250
- [29] M. Zaitso, T. Tanemura, A. Higo, and Y. Nakano, "Experimental demonstration of self-aligned InP/InGaAsP polarization converter for polarization multiplexed photonic integrated circuits," *Optics Express*, vol.21, No.6, pp.6910-6918, Mar 2013.
- [30] 加藤卓, 佐々木伸一, 中島和紀, "多値伝送におけるクロストーク評価", *エレクトロニクス実装学会論文誌*, Vol.15 No.4, pp.279-pp.282, 2012年7月
- [31] 佐々木伸一, "抵抗付加によるプリント配線板電源層からの放射雑音低減技術", *エレクトロニクス実装学会論文誌*, Vol.15 No.4, pp.236-pp.241,2012年7月
- [32] T. Ansari, W. Imafuku, M. Yasuda, H. J. Mattausch, and T. Koide, "Experimental Analysis of Within-Die Process Variation in 65 nm and 180 nm CMOS Technology Including its Distance Dependences", *Jpn. J. Appl. Phys.*, Vol.51, No.4, 04DE03 pp.1-8 (2012.4)
- [33] S. Sasaki, M. Yasuda, A. Kawabata, T. Koide, and H.J. Mattausch, "High Speed Frequency-Mapping-Based Associative Memory using Compact Multi-Bit Encoders and a Path-Selecting Scheme", *Jpn. J. Appl. Phys.*, Vol.51, No.4, 04DE05 pp.1-7 (2012.4)
- [34] H.J. Mattausch, W. Imafuku, A. Kawabata, T. Ansari, M. Yasuda and T. Koide, "Associative Memory for Nearest-Hamming Distance Search Based on Frequency Mapping", *IEEE Journal of Solid-State Circuits*, 47, 1448-1459 (2012.6)
- [35] Takashi Kambe, Nobuyuki Araki, "A C-Based Variable Length and Vector Pipeline Architecture Design Methodology and Its Application,"*Circuits and Systems online journal*, 3, pp.10-16, 2012.
- [36] 中村優希・川崎基輝・秋田純一・小松孝徳, 動画像における擬似的不規則画素配置によるジャギー解消効果の評価, *映像情報メディア学会誌*, Vol.66, No.12, pp.J492-J494, 2012.12.
- [37] K. Suzuki, Y. Ohno, S. Kishimoto, and T. Mizutani, "Investigation of Interface Charges of High-k Gate Dielectrics and Their Effects on Carbon Nanotube

Field-Effect Transistors", *Appl. Phys. Exp.* 6, 024002-1-4 (2013).

- [38] M. Tamaoki, S. Kishimoto, Y. Ohno and T. Mizutani, "Electrical properties of the graphitic carbon contacts on carbon nanotube field effect transistors", *Appl. Phys. Lett.* 101, 033101-1-3 (2012).
- [39] M. Y. Timmermans, D. Estrada, A. G. Nasibulin, J. D. Wood, A. Behnam, D.-M. Sun, Y. Ohno, J. W. Lyding, A. Hassanien, E. Pop, and E. I. Kauppinen, "Effect of Carbon Nanotube Network Morphology on Thin Film Transistor Performance", *Nano Res.* 5, 307-319 (2012).
- [40] Y. Okigawa, Y. Ohno, S. Kishimoto, and T. Mizutani, "Estimation of Height of Barrier Formed in Metallic Carbon Nanotube", *Jpn. J. Appl. Phys.* 51, 02BN01-1-4 (2012).
- [41] H. Imaeda, S. Ishii, S. Kishimoto, Y. Ohno, and T. Mizutani, "Observation of N-Type Conduction in Carbon Nanotube Field-Effect Transistors with Au Contacts in Vacuum", *Jpn. J. Appl. Phys.* 51, 02BN06-1-4 (2012).
- [42] E. Miyazaki, S. Kishimoto, and T. Mizutani, "Improvement of the Interface Quality of the Al₂O₃/ η -Nitride Interface by (NH₄)₂S Surface Treatment for AlGaN/GaN MOSHFETs", *IEEE Trans. Electron Dev.* 1337-1342 (2012).
- [43] Norihiro Fukaya, Yusuke Kataoka, Dong Young Kim, Shigeru Kishimoto, Takashi Mizutani, Suguru Noda, and Yutaka Ohno, "Carbon nanotube transparent conductive film with grid wirings", *A3 Symposium of Emerging Materials: Nanomaterials for Energy and Environments*, 2012.10.29, Sendai, Japan.
- [44] A.K.M. M. Islam, A. Tsuchiya, K. Kobayashi, and H. Onodera: "Variation-sensitive Monitor Circuits for Estimation of Global Process Parameter Variation", *IEEE Transactions on Semiconductor Manufacturing*, vol.25, No.4, pp.571-580 (2012/12).
- [45] B. P. Das, and Hidetoshi Onodera: "Area-Efficient Reconfigurable-Array-Based Oscillator for Standard Cell Characterization", *IET Circuits, Devices&Systems*, vol.6, No.6, pp.429-436 (2012/12).
- [46] T. Matsumoto, H. Makino, K. Kobayashi, and H. Onodera: "Multicore Large-Scale Integration Lifetime Extension by Negative Bias Temperature Instability Recovery-Based Self-Healing", *Japanese Journal of Applied Physics*, vol 51, no 4, 04DE02, DOI: 10.1143/JJAP.51.04DE02, (2012/04).
- [47] 山下将嗣, 大谷知行, 松本徹, 御堂義博, 三浦克介, 二川 清, 中前幸治, 斗内政吉, "テラヘルツ光放射を用いたLSI故障解析", *砥粒加工学会誌*, vol.56, no.8, pp.523-526 (Aug 2012).
- [48] 増子, 小平, "歩留まり改善のための2つの遅延値に調整可能な遅延素子に対する遅延調整手法", *電子情報通信学会技術報告書*, VLD2012-69, Vol.112, No.320, pp.56-62, 2012年11月.
- [49] Bo Liu, Bo Yang, Shigetoshi Nakatake, "Layout-aware Variability Characterization of CMOS Current Sources", *IEICE Trans. Vol.95-C, No.4*, pp.696-705, 2012.
- [50] Zhengfan Xia, Shota Ishihara, Masanori Hariyama, Michitaka Kameyama, "Design of High-Performance Asynchronous Pipeline Using Synchronizing Logic Gates", *IEICE Transactions on Electronics, VOL.E95-C, No.8*, pp.1434-1443, 2012-08-01
- [51] H. Kurobe, T. Sekine, and H. Asai, "Alternating Direction Explicit-Latency Insertion Method (ADE-LIM) for the Fast Transient Simulation of Transmission Lines,"*IEEE Trans. Compon., Packag., Manuf. Technol.*, vol.2, no.5, pp.783-792, May 2012.
- [52] H. Kurobe, T. Sekine, and H. Asai, "Locally Implicit LIM for the Simulation of PDN Modeled by Triangular Meshes,"*IEEE Microw. Wireless Compon. Lett.*, vol.22, no.6, pp.291-293, Jun. 2012.
- [53] Van-Phuc Hoang and Cong-Kha Pham, "An Improved Hybrid LUT-based Architecture for Low-Error and Efficient Fixed-Width Squarer," *IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences*, vol. E95-A, no.7, pp.1180-1184, Jul. 2012.
- [54] Van-Phuc Hoang and Cong-Kha Pham, "An Improved Hybrid LUT-based Architecture for Low-Error and Efficient Fixed-Width Squarer," *IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences*, vol. E95-A, no.7, pp.1180-1184, Jul. 2012.
- [55] Y. Mizugaki, "Average Voltage Measurements of Periodic Blocking Oscillation in Resistive Superconducting Quantum Interference Device Connected to Josephson Transmission

- Line,"Japanese Journal of Applied Physics, vol.51, no.3, 038001-1-2, March, 2012.
- [56] K. Kuroiwa, M. Kadowaki, M. Moriya, H. Shimada, and Y. Mizugaki, "Estimation of Nb junction temperature raised due to thermal heat from bias resistor," IEICE Transactions on Electronics, vol. E95-C, no.3, pp.355-359, March, 2012.
- [57] M. Moriya, N. Kondo, and Y. Mizugaki, "Bipolar quantum voltage generator based on zero crossing Shapiro steps in asymmetric 2J-SQUIDs," Physics Procedia, vol.36, pp.235-238, September, 2012.
- [58] I. Homjakovs, M. Hashimoto, T. Hirose, and T. Onoye, "Signal-Dependent Analog-To-Digital Conversion Based on MINIMAX Sampling," IEICE Trans. on Fundamentals, vol. E96-A, no.2, pp.459-468, February 2013.
- [59] T. Enami, T. Sato, and M. Hashimoto, "Power Distribution Network Optimization for Timing Improvement with Statistical Noise Model and Timing Analysis," IEICE Trans. on Fundamentals, vol. E95-A, no.12, pp.2261-2271, December 2012.
- [60] Y. Takai, M. Hashimoto, and T. Onoye, "Power Gating Implementation for Supply Noise Mitigation with Body-Tied Triple-Well Structure," IEICE Trans. on Fundamentals, vol. E95-A, no.12, pp.2220-2225, December 2012.
- [61] S. Kimura, M. Hashimoto, and T. Onoye, "A Body Bias Clustering Method for Low Test-Cost Post-Silicon Tuning," IEICE Trans. on Fundamentals, vol. E95-A, no.12, pp.2292-2300, December 2012.
- [62] R. Harada, S. Abe, H. Fuketa, T. Uemura, M. Hashimoto, and Y. Watanabe, "Angular Dependency of Neutron Induced Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM," IEEE Transactions on Nuclear Science, vol.59, no.6, pp.2791-2795, December 2012.
- [63] T. Amaki, M. Hashimoto, and T. Onoye, "Jitter Amplifier for Oscillator-Based True Random Number Generator," IEICE Trans. on Fundamentals, vol. E96-A, no.3, March 2013
- [64] 大倉鉄郎, 大倉俊介, 松岡俊匡, 谷口研二, "入出力相互コンダクタンスおよび位相補償容量を可変とする可変利得増幅器の低消費電力化の検討", 電子情報通信学会論文誌C, Vol. J95-C, No.7, pp.131-138, July 2012.
- [65] 大倉鉄郎, 大倉俊介, 松岡俊匡, 谷口研二, "マージド・キャパシタ・スイッチング法を用いたバイプラインA-DコンバータのMDACセグメント内差動キャパシタ mismatchに関する解析", 電子情報通信学会論文誌C, Vol. J95-C, No.10, pp.235-239, Oct. 2012.
- [66] H. Ham, T. Matsuoka, J. Wang, and K. Taniguchi, "Design of a High-Speed-Sampling Stochastic Flash Analog-to-Digital Converter Utilizing Device Mismatch," Electronics and Communications in Japan, Vol.96, No.1, pp.51-62, Jan. 2013.
- [67] T. Okura, S. Okura, T. Matsuoka, and K. Taniguchi, "A low power technique for pipelined ADCs with programmable gain function," IEICE Electronics Express, Vol.10, No.1, p.20120876, Jan. 2013.
- [68] Takaya Handa, Yuhei Yoshimoto, Kazuya Nakayama and Akio Kitagawa, "Novel power reduction technique for ReRAM with automatic avoidance circuit for wasteful overwrite", Active and Passive Electronic Components, Vol.2012, Article ID 181395, 2012.4.
- [69] Julien Malapert, Satoshi Morishita, Manabu Ataka, Hiroyuki Fujita, Dominique Collard and Yoshio Mita, "Power Regulated Thermal Actuator based on UV-Patterned Polyimides for Ciliary Motion System", IEEJ Transactions on Sensors and Micromachines, Vol.133, No.3, pp.77-84 (2013)
- [70] Naoya Yamashita and Tadashi Shibata, "Efficient Image-Vector-Generation Processor for Edge-Based Complementary Feature Representations," Japanese Journal of Applied Physics, vol.51, no.2, pp.02BE05, 2012.
- [71] Renyuan Zhang and Tadashi Shibata, "Fully-Parallel Self-Learning Analog Support Vector Machine Employing Compact Gaussian-Generation Circuits," Japanese Journal of Applied Physics, vol.51, no.4, pp.04DE10-1 -04DE10-7, April 2012.
- [72] 中田尚, 吉村和浩, 下岡俊介, 大上俊, Devisetti Venkatarama Naveen, 中島康彦 : "画像処理向け線形アレイアクセラレータの性能評価", 情報処理学会論文誌 コンピューティングシステム, ACS38, Vol.5, No.3, pp.74-85, May. (2012)
- [73] 吉村和浩, 中田尚, 中島康彦, 北村俊明 : "異種命令セットアーキテクチャを持つ高電力効率SMTプロセッサの開発", 電子情報通信学会論文誌D, Vol.J95-D, No.6, pp.1334-1346, Jun. (2012)
- [74] Jun YAO, Shogo Okada, Hajime Shimada, Kazutoshi Kobayashi and Yasuhiko Nakashima: "DARA: a Low-Cost Reliable Architecture Based

- on Unhardened Devices and Its Case Study of Radiation Stress Test", 2012 IEEE Nuclear and Space Radiation Effects Conference, Jul. (2012)
- [75] 岩上拓矢, 吉村和浩, 中田尚, 中島康彦: "時分割実行機構による演算器アレイ型アクセラレータの効率化", 情報処理学会論文誌コンピューティングシステム, ACS39, Vol.5, No.4, pp.13-23, Aug. (2012)
- [76] 齊藤光俊, 下岡俊介, Devisetti Venkatarama Naveen, 大上俊, 吉村和浩, 姚駿, 中田尚, 中島康彦: "線形演算器アレイ型アクセラレータを備えた高電力効率プロセッサの開発", 電子情報通信学会論文誌D, Vol.J95-D, No.9, pp.1729-1737, Sep. (2012)
- [77] Jun YAO, Shogo Okada, Masaki Masuda, Kazutoshi Kobayashi, Yasuhiko Nakashima: "DARA: A Low-Cost Reliable Architecture Based on Unhardened Devices and its Case Study of Radiation Stress Test", IEEE Transactions on Nuclear Science (2012)
- [78] F. Horiguchi, "Integration of Series-Connected On-Chip Solar Battery in a Triple-Well CMOS LSI", IEEE Trans. on Electron Devices, vol.59, No.6, pp.1580-1584, (June 2012).
- [79] 三宮秀次, 青木一浩, 宮城桂, 岩田誠, 西川博昭, "超低消費電力化データ駆動ネットワークングプロセッサ ULP-CUE の試作とその評価", 情報処理学会論文誌コンピューティングシステム (ACS), Vol.6, No.1, pp.78-86, Jan. 2013.
- [80] K. Takahagi, Y. Otsu, and E. Sano, "2.45 GHz high-gain electrically small antenna with composite right/left-handed ladder structure," *Electron. Lett.*, vol.48, no.16, pp.971-972, 2012. (Aug. 2, 2012)
- [81] K. Takahagi, H. Matsushita, T. Iida, M. Ikebe, Y. Amemiya, and E. Sano, "Low-power wake-up receiver with subthreshold CMOS circuits for wireless sensor networks," *Analog Integrated Circuits and Signal Processing*, (online July 25, 2012)
- [82] Katoh, Namba, Ito, "An On-Chip Delay Measurement Technique Using Signature Registers for Small-Delay Defect Detection", IEEE Transactions on Very Large Scale Integration Systems, Vol.20, No.5, pp.804-817, 2012.
- [83] Jin Yu and Shinji Kimura, "On Gate Level Power Optimization of Combinational Circuits Using Pseudo Power Gating," IEICE Trans. on Fundamentals, Vol. E95-A, No.12, pp.2191-2198, Dec. 2012.
- [84] Xin Man, Takashi Horiyama and Shinji Kimura, "Automatic Multi-Stage Clock Gating Optimization Using ILP Formulation," IEICE Trans. on Fundamentals, Vol.E95-A, No.8, pp.1347-1358, Aug. 2012.
- [85] Mitsuru Shozaki, Kota Furuhashi, Takahiko Murayama, Akitaka Fukushima, Masaya Yoshikawa, Takeshi Fujino, "High Uniqueness Arbiter-Based PUF Circuit Utilizing RG-DTM Scheme for Identification and Authentication Applications", IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.4, pp.468-477, (2012-4)
- [86] Ryohei Hori, Tatsuya Kitamori, Taisuke Ueoka, Masaya Yoshikawa, Takeshi Fujino, "Improved Via-Programmable Structured ASIC VPX3 and its Evaluation", IEICE Trans. on Fundamentals of Electronics, Communications and Computer, Vol. E95-A, No.9, pp.1518-1528, Sep. 2012
- [87] Ryohei Hori, Taisuke Ueoka, Taku Otani, Masaya Yoshikawa, Takeshi Fujino, "Via Programmable Structured ASIC Architecture "VPX3" and CAD Design System", IEICE Trans. on Fundamentals of Electronics, Communications and Computer, Vol.E95-A, No.12, pp.2182-2190, Dec. 2012
- [88] Osaki, Hirose, Kuroki, Numa, "A Low-Power Level Shifter with Logic Error Correction for Extremely Low-Voltage Digital CMOS LSIs," *IEEE Journal of Solid-State Circuits*, vol.47, no.7, pp.1776-1783, 2012.
- [89] T. Yamada, Y. Nakajima, T. Hanajiri, and T. Sugano, "Suppression of Drain-Induced Barrier Lowering in Silicon-on-Insulator MOSFETs Through Source/Drain Engineering for Low-Operating-Power System-on-Chip Applications," *IEEE Transactions on Electron Devices*, vol.60, no.1, pp.260-267, Jan. 2013.
- [90] Yusaku Kaneta, Shingo Yoshizawa, Shin-ichi Minato, Hiroki Arimura, Yoshikazu Miyanag, "A Dynamically Reconfigurable FPGA-based Pattern Matching Hardware for Subclasses of Regular Expressions," IEICE Transactions on Information and Systems, Vol.E95-D, No.7, pp.1847-1857, 2012年7月.
- [91] K. Matsuzaka, T. Tohara, K. Nakada, and T. Morie, "Analog CMOS Circuit Implementation of a Pulse-coupled Phase Oscillator System and Observation

- of Synchronization Phenomena", *Nonlinear Theory and Its Applications*, IEICE, Vol.3, No.2, pp.180-190, April, 2012.
- [92] R. Moriwaki, M. Watanabe, "Optical configuration acceleration on a new optically reconfigurable gate array VLSI using a negative logic implementation" *Applied Optics*, 2013.
- [93] A. Ogiwara, M. Watanabe, "Optical reconfiguration by anisotropic diffraction in holographic polymer-dispersed liquid crystal memory," *Applied Optics*, Vol.51, Iss. 21, pp.5168-5177, 2012.
- [94] Yuki Kimura, Akira Yasuda, Michitaka Yoshino, "Continuous-time delta-sigma modulator using vector filter in feedback path to reduce effect of clock jitter and excess loop delay," *Springer Analog Integrated Circuits and Signal Processing (On line)*, February 2013.
- [95] T. Tokuda, H. Matsuoka, N. Tachikawa, N. Wakama, K. Terao, M. Shibata, T. Noda, K. Sasagawa, Y. Nishiyama, K. Kakiuchi, and J. Ohta, "CMOS sensor-based miniaturized in-line dual-functional optical analyser for high-speed, in situ chirality monitoring," *Sensors and Actuators B: Chemical*, Volume 176, January 2013, Pages 1032-1037
- [96] T. Noda, K. Sasagawa, T. Tokuda, Y. Terasawa, H. Tashiro, H. Kanda, T. Fujikado and J. Ohta, "A Smart Electrode Array Device with CMOS Multi-Chip Architecture for Neural Interface," *Electronics Letters*, 48(21) pp.1328-1329 (2012).
- [97] T. Kobayashi, M. Motoyama, H. Masuda, Y. Ohta, M. Haruta, T. Noda, K. Sasagawa, T. Tokuda, H. Tamura, Y. Ishikawa, S. Shiosaka, and J. Ohta, "Novel implantable imaging system for enabling simultaneous multiplanar and multipoint analysis for fluorescence potentiometry in the visual cortex," *Biosensors and Bioelectronics*, 38(1), pp.321-330 (2012)
- [98] K. Sasagawa, K. Ando, T. Kobayashi, T. Noda, T. Tokuda, S. H. Kim, R. Iino, H. Noji, J. Ohta, "Complementary metal-oxide-semiconductor image sensor with micro chamber array for fluorescent beads counting," *Jpn. J. Appl. Phys.*, 51(2), 02BL01 (4 pages) (2012)
- [99] Takashi Tokuda, Hiroshi Kimura, Tomoaki Miyatani, Yasuyo Maezawa, Takuma Kobayashi, Toshihiko Noda, Kiyotaka Sasagawa and Jun Ohta, "CMOS on-chip bio-imaging sensor with integrated micro light source array for optogenetics," *Electron. Lett.* 48, pp.312-314 (2012)
- [100] Arata Nakjima, Hiroshi Kimura, Yosmongkol Sawadsaringkarn, Yasuyo Maezawa, Takuma Kobayashi, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yasuyuki Ishikawa, Sadao Shiosaka, and Jun Ohta, "CMOS image sensor integrated with micro-LED and multielectrode arrays for the patterned photostimulation and multichannel recording of neuronal tissue," *Optics Express*, Vol.20(6), pp.6097-6108 (2012).
- [101] Yimeng Zhang, Mengshu Huang, Satoshi Goto, Tsutomu Yoshihara, "Energy Efficient Processing Engine I LDPC Application with High Speed Charge Recovery Logic", *Jouranal of Semiconductor Technology and Science*, Vol.12, No.3,2012
- [102] Mengshu HUANG, Yimeng ZHANG and Tsutomu YOSHIHARA, "An Efficient Dual Charge Pump Circuit using Charge Sharing Clock Scheme", *IEICE Transaction on Fundamentals*, vol.E95-A, No.2, pp439-446,2012
- [103] N. A. Nayan, Y. Takahashi, and T. Sekine, "LSI implementation of a low-power 4×4 -bit array two-phase clocked adiabatic static CMOS logic multiplier," *Microelectronics Journal*, vol.43, no.4, pp.244-249, April 2012.
- [104] 高橋康宏, 佐藤比佐夫, "オフチップ共振回路を用いた断熱的論理用低消費電力電源回路," *電気学会論文誌C*, vol.133, no.2, pp.250-255, Feb. 2013.
- [105] K. Shimazoe, H. Takahashi, J.Y. Yeom, T. Furumiya, J. Ohi, Multi-channel Waveform Sampling ASIC for radiation detection and measurement, *Radiation Measurements*, Available online 6 February 2013, ISSN 1350-4487, 10.1016/j.radmeas.2013.01.022.
- [106] Shimazoe, K.; Takahashi, H.; Boxuan Shi; Orita, T.; Furumiya, T.; Ooi, J.; Kumazawa, Y., "Dynamic Time Over Threshold Method," *Nuclear Science, IEEE Transactions on*, vol.59, no.6, pp.3213,3217, Dec. 2012
- [107] S. Lee, H. Ito, S. Amakawa, N. Ishihara, and K. Masu, "An Inductorless Cascaded Phase-Locked Loop with Pulse Injection Locking Technique in 90 nm CMOS," *International Journal of Microwave Science and Technology*, Vol.2013, Article ID 584341, pp.1-11, Mar. 2013.

- [108] S. Lee, T. Kamimura, S. Yonezawa, A. Shirane, S. Ikeda, H. Ito, N. Ishihara, and K. Masu, "A Multi-Band Quadrature Clock Generator With High-Pass-Filtered Pulse Injection Technique," *IEEE Microwave and Wireless Components Letters*, Vol.23, No.2, pp.96-98, Feb. 2013.
- [109] H. Kiumarsi, H. Ito, K. Okada, Y. Uemichi, Y. Chiba, N. Ishihara, and K. Masu, "A 60 GHz 3-dB tandem coupler using offset broadside-coupled lines on a silicon substrate," *IEICE Electronics Express*, Vol.10, No.2, pp.20120901, Jan., 2013.
- [110] A. Shirane, H. Ito, N. Ishihara, and K. Masu, "Planar Solenoidal Inductor in Radio Frequency Micro-Electro-Mechanical Systems Technology for Variable Inductor with Wide Tunable Range and High Quality Factor," *Japanese Journal of Applied Physics*, Vol.51, 05EE02, pp.1-4, May 2012.
- [111] S. Lee, N. Kanemaru, S. Ikeda, T. Kamimura, S. Tanoi, H. Ito, N. Ishihara, and K. Masu, "A Ring-VCO-Based Injection-Locked Frequency Multiplier with Novel Pulse Generation Technique in 65 nm CMOS," *IEICE Transactions on Electronics*, Vol. E95-C, No.10, pp.1589-1597, Oct. 2012.
- [112] S. Lee, H. Ito, S. Tanoi, N. Ishihara, and K. Masu, "Injection-Locked Fractional Frequency Multiplier with Automatic Reference Pulse-Selection Technique," *IEICE Electronics Express*, Vol.9, No.21, pp.1624-1629, Nov. 2012.
- [113] T. Kamimura, S. Lee, S. Tanoi, H. Ito, N. Ishihara, and K. Masu, "0.1 V 13 GHz Transformer-Based Quadrature Voltage-Controlled Oscillator with a Capacitor Coupling Technique in 90 nm Complementary Metal Oxide Semiconductor," *Japanese Journal of Applied Physics*, Vol.51, 04DE04, pp.1-6, Apr. 2012.
- [114] D. N. S. Dharmiza, M. Oturu, S. Tanoi, H. Ito, N. Ishihara, and K. Masu, "An Inverter-Based Wideband Low-Noise Amplifier in 40 nm Complementary Metal Oxide Semiconductor," *Japanese Journal of Applied Physics*, Vol.51, 04DE07, pp.1-5, Apr. 2012.
- [115] T. Konishi, H. Yotsuyanagi and M. Hashizume, "Electrical Test Method for Interconnect Open Defects in 3D ICs", *Transactions of The Japan Institute of Electronics Packaging*, Vol.5, No.1, pp.26-33, 2012.
- [116] T. Ito, A. Kadoda, K. Nakayama, Y. Yasui, M. Mori, K. Maezawa, E. Miyazaki, T. Mizutani, "Effective Mobility Enhancement in Al₂O₃/InSb/Si Quantum Well MOSFETs for Thin InSb channel Layer", *Jpn. J. Appl. Phys.* Vol.52 (2013) 04CF01.
- [117] J. Pan, K. Hayano, M. Mori, K. Maezawa, "Possibility of High Order Harmonic Oscillators Based on Active Transmission Lines Loaded with Resonant Tunneling Diode Pairs", *IEICE Trans. Electron.*, Vol.E95-C, No.8 (2012) pp.1385-1388.
- [118] K. Maezawa, J. Pan, D. Wu, M. Mori, "A Proposal of High-Performance Samplers Based on Resonant Tunneling Diodes", *IEICE Trans. Electron.*, Vol. E95-C, No.11 (2012) pp.1830-1833.
- [119] S.-W. Jun, L. Miao, K. Yasutomi, K. Kagawa, S. Kawahito, "Design of a Digitally Error-Corrected Pipeline ADC using Incomplete Settling of Pre-charged Residue Amplifiers," *IEICE Trans. ELECTRON* (in press)
- [120] K. Imai, K. Yasutomi, K. Kagawa, S. Kawahito, "A distributed ramp signal generator of column-parallel single-slope ADCs for CMOS image sensors," *IEICE Electronics Express*, vol.9, no.24, pp.1893-1899, Dec.2012.
- [121] K. Mars, S. Kawahito, "Response-Time Acceleration of a Frontend Amplifier for High Output Impedance Sensors", *IEICE Transactions on Electronics*, Vol.E95-C, No.9, pp.1543-1548, Sep. 2012.
- [122] S. Abe, M. Yanagisawa, and N. Togawa, "Energy-efficient high-level synthesis for HDR architectures," *IPSJ Trans. on System LSI Design Methodology*, vol.5, pp.106-117, 2012.
- [123] S. Abe, Y. Shi, M. Yanagisawa, and N. Togawa, "Mh4: multiple-supply-voltages aware high-level synthesis for high-integrated and high-frequency circuits for HDR architectures," *IEICE Electronics Express*, vol.9, no.17, pp.1414-1422, 2012.
- [124] K. Kawamura, M. Yanagisawa, and N. Togawa, "A therm-aware high-level synthesis algorithm for RDR architectures through binding and allocation", *IEICE Transactions on Fundamentals*, vol. E96-A, no.1, pp.3 12-321, 2013年1月.
- [125] K. Kim, S. Takeda, S. Miwa and H. Nakamura, "Evaluation of a New Power-Gating Scheme Utilizing Data Retentiveness on Caches", *IEICE TRANSACTIONS on Electronics, Communications and Computer Sciences*, Vol.E95-A No.12 pp.2301-2308
- [126] N. Takeuchi, D. Ozawa, Y. Yamanashi and N.

- Yoshikawa, "Adiabatic quantum flux parametron as an ultra-low-power logic device," *Supercond. Sci. Tech.*, vol.26, 2013, 035010.
- [127] T. Mukaiyama, N. Takeuchi, Y. Yamanashi and N. Yoshikawa, "Design and Demonstration of an On-chip AC Power Source for Adiabatic Quantum-Flux-Parametron Logic," *Supercond. Sci. Tech.*, in press.
- [128] N. Takeuchi, K. Ehara, K. Inoue, Y. Yamanashi and N. Yoshikawa, "Margin and Energy Dissipation of Adiabatic Quantum-Flux-Parametron Logic at Finite Temperature," *IEEE Trans. Appl. Supercond.*, vol.23, 2113, 1700304.
- [129] K. Inoue, N. Takeuchi, K. Ehara, Y. Yamanashi, and N. Yoshikawa, "Simulation and Experimental Demonstration of Logic Circuits Using an Ultra-low-power Adiabatic Quantum-flux-parametron," *IEEE Trans. Appl. Supercond.*, vol.23, 2113, 1301105.
- [130] K. Kuwabara, H. Jin, Y. Yamanashi and N. Yoshikawa, "Design and implementation of 64-kb CMOS static RAMs for Josephson-CMOS hybrid memories," *IEEE Trans. Appl. Supercond.*, vol.23, 2113, 1700704.
- [131] K. Ehara, A. Takahashi, Y. Yamanashi, N. Yoshikawa, "Development of pulse transfer circuits for serially biased SFQ circuits using the Nb 9-layer 1- μ m process," *IEEE Trans. Appl. Supercond.*, vol.23, 2113, 1300504.
- [132] N. Takeuchi, Y. Yamanashi and N. Yoshikawa, "Measurement of 10 zJ energy dissipation of adiabatic quantum-flux-parametron logic using a superconducting resonator," *Appl. Phys. Lett.*, 102, 052602 (2013).
- [133] N. Masunaga, K. Ishida, T. Sakurai, and M. Takamiya, "EMI Camera LSI (EMcam) with On-Chip Loop Antenna Matrix to Measure EMI Noise Spectrum and Distribution," *IEICE Transaction on Electronics*, E95-C, No.6, pp.1059-1066, June 2012.
- [134] K. Mori, H. Lim, S. Iguchi, K. Ishida, M. Takamiya, and T. Sakurai, "Positioning-Free Resonant Wireless Power Transmission Sheet With Staggered Repeater Coil Array (SRCA)," *IEEE and Wireless Propagation Letters*, Vol.11, pp.1710-1713, Dec. 2012.
- [135] Renyuan Zhang and Tadashi Shibata, "An analog on-line-learning K-means processor employing fully parallel self-converging circuitry," *Analog Integrated Circuits and Signal Processing*, Nov. 2012
- [136] Ruihan Bao and Tadashi Shibata, "A Hardware Friendly Algorithm for Action Recognition Using Spatio-Temporal Motion-Field Patches," *Neurocomputing*, Vol.100, pp.98-106, Jan 2013.
- [137] Renyuan Zhang and Tadashi Shibata, "Fully-Parallel Self-Learning Analog Support Vector Machine Employing Compact Gaussian-Generation Circuits," *Japanese Journal of Applied Physics*, vol.51, no.4, pp.04DE10-1-04DE10-7, April 2012.
- [138] Pushe Zhao, Hongbo Zhu, He Li, and Tadashi Shibata, "A Directional-Edge-Based Real-Time Object Tracking System Employing Multiple Candidate-Location Generation," *IEEE Transactions on Circuits and Systems for Video Technology*, Vol.23, No.3, pp.503-517, March, 2013.
- [139] 原田知親, 森隆司, "サブスレッショルドのみで動作する極低電圧アナログ回路向け0.5V動作温度補償回路", 第25回回路とシステムワークショップ, pp.70-75, 2012年8月
- [140] 小林政幸, 仙頭航, 豊永昌彦, 村岡道明, "クロストークによる遅延変動を考慮した動的解析手法", *高知の情報科学*, Vol.2. No.3, 2010年3月.
- [141] 齊藤健, 岡崎一人, 荻原龍矢, 高藤美泉, 佐伯勝敏, 関根好文, 内木場文男, "パルス形ハードウェアニューラルネットワークによるMEMSマイクロロボットの歩行動作制御", *電気学会論文誌C*, Vol. 133, No.7, pp.1094-1100, 2012年7月.
- [142] H. Na and T. Endoh, "Current Controlled MOS Current Mode Logic with Auto-detection of Threshold Voltage Fluctuation", *IEICE TRANSACTIONS on Electronics*, vol.E95-C, no.4, pp.617-626, April 2012.
- [143] H. Na and T. Endoh, "A Schmitt Trigger Based SRAM with Vertical MOSFET", *IEICE TRANSACTIONS on Electronics*, vol.E95-C, no.5, pp.792-801, May 2012.
- [144] S. Tanoi and T. Endoh, "A Wide-Range Tunable Level-Keeper using Vertical Metal-Oxide-Semiconductor Field-Effect Transistors for Current-Reuse Systems", *Japanese Journal of Applied Physics*, vol.51, no.4. pp.04DE11, Apr. 2012.
- [145] Kazushi Kawamura, Masao Yanagisawa, and

Nozomu Togawa, A Thermal-Aware High-Level Synthesis Algorithm for RDR Architectures through Binding and Allocation,

- [146] Youhua Shi, N. Togawa, and M. Yanagisawa, Scan-based attack on AES through round registers and its countermeasure, IEICE Trans. on Fundamentals of Electronics Communications and Computer Science, Vol. E95-A, No.12, pp.2338-2346, Dec. 2012.
- [147] Shin-ya Abe, Youhua Shi, Masao Yanagisawa, Nozomu Togawa, MH4: multiple-supply-voltages aware high-level synthesis for high-integrated and high-frequency circuits for HDR architectures, IEICE Electronics Express, Vol.9, No.17 pp.1414-1422, Sep. 2012.
- [148] 宇野 理恵, 小崎 信明, 天野 英晴, "低電力アクセラレータCMAにおける構成情報削減を目指したPEアレイ接続網の最適化", 電子情報通信学会リコンフィギャラブル研究会, May 2012
- [149] 堀下 祐輔, 松本 佳宣, "低電圧CMOSインバータ型差動増幅回路の特性評価", 電気学会論文誌E, 132巻9号, pp. 316-317, 2012年9月
- [150] Yoshinori Matsumoto, Hiromichi Nakada, "Optical design and receiving characteristics of two-lens visible light communication system", Electronics and Communications in Japan, Vol.95, No.10, pp.9-16, 2012.10.
- [151] Dan Niu, Zhangcai Huang, Minglu Jiang, and Yasuaki Inoue, "A sub-0.3V highly efficient CMOS rectifier for energy harvesting applications,"Nonlinear Theory and Its Applications, IEICE, vol.3, no.3, pp.405-416, July 2012.
- [152] L. DING, Z. Huang, M. Jiang, A. Kurokawa, and Y. Inoue, "Modeling the Overshooting Effect of Multi-input Gate in Nanometer Technologies,"Journal of Circuits, Systems, and Computers, vol.21, no.6, 1240012 (13pages), Oct. 2012.
- [153] Dan Niu, Kazutoshi Sako, Guangming Hu and Y. Inoue, "A Globally Convergent Nonlinear Homotopy Method for MOS Transistor Circuits," IEICE Trans. Fundamentals, vol. E95-A, no.12, pp.2251-2260, Dec. 2012.
- [154] 平田雅之他, "ブレイン・マシン・インターフェースによる機能支援 :リアルタイムロボットアーム制御とワイヤレス完全体内埋め込み装置の開発", Jpn J Neurosurg, Vol.21, No.7, 2012.
- [155] Iwato, Sakanushi, Takeuchi, and Imai, "A Small-area and Low-power SoC for Less-invasive Pressure Sensing Capsules in Ambulatory Urodynamics Monitoring", IEICE TRANSACTIONS on Electronics, Vol.E95-C No.4 pp.487-494, 2012年4月.
- [156] 浜辺, 今井, 遠藤, 武内, 坂主, "拡大ハミング符号の処理に適した命令セット・アーキテクチャ", 電子情報通信学会論文誌A, Vol.J95-A, No.8, pp.653-668, 2012年8月.
- [157] Yuki Sasaki and Koji Kotani, "Postfabrication Independent Inductance and Quality Factor Adjustments of On-Chip Inductors by Above-CMOS Processing for Rapid Prototyping of Radio Frequency System on Chips,"Jpn. J. Appl. Phys., Vol.51, No.4, 04DE06, 2012
- [158] H. Honma, K. Takahashi, M. Ishida, and K. Sawada, "A low-voltage and high uniformity NEMS tunable color filter based on subwavelength grating", Japanese Journal of Applied Physics, vol.51, no.11, 2012, pp.11PA01-04.
- [159] Kentaro Iwami, Miho Ishii, Yuzuru Kuramochi, Kenichi Ida, and Norihiro Umeda, "Ultrasmall radial polarizer array based on patterned plasmonic nanoslits", Appl. Phys. Lett, 101, 161119 (2012).
- [160] Akio Kitagawa, "Spin Resonance Measurement with Microinductor on Chip". Journal of Sensors, Vol.2011, Article ID 813636, 2011.7.
- [161] Takaya Handa, Yuhei Yoshimoto, Kazuya Nakayama and Akio Kitagawa, "Novel power reduction technique for ReRAM with automatic avoidance circuit for wasteful overwrite", Active and Passive Electronic Components, Vol.2012, Article ID 181395, 2012.4.
- [162] Akio Kitagawa, "Design and Characterization of Nano-Displacement Sensor with High-Frequency Oscillators", Journal of Sensors, Vol.2011, Article ID 360173, 2011.6.
- [163] T. Toba and A. Kitagawa, "Wireless Moisture Sensor Using a Micro-strip Antenna", Journal of Sensors, Vol.2011, Article ID 827969, 2011.12.
- [164] H. Kamiya, T. Nagata, Y. Ueyama, T. Makino, T. Arakawa, and Y. Kokubun, "Coherent Coupling in High-Mesa Semiconductor Directional Coupler", Jpn. J. Appl. Phys., vol.52 022502 (2013).
- [165] H. Ikehara, T. Goto, H. Kamiya, T. Arakawa, and

- Y. Kokubun, "Hitless wavelength-selective switch based on quantum well second-order series-coupled microring resonators", *Optics Express*, vol.21, no.5, pp.6377-6390 (2013).
- [166] H. Yajima, M. Nishimura, T. Arakawa, and Y. Kokubun, "Proposal of All-Optical Active Microring Logic Gate for Microring Processor", *Jpn. J. Appl. Phys.*, vol.51 122201 (2012).
- [167] T. Arakawa, T. Hariki, Y. Amma, M. Fukuoka, M. Ushigome, and K. Tada, "Low-Voltage Mach-Zehnder Modulator with InGaAs/InAlAs Five-Layer Asymmetric Coupled Quantum Well", *Jpn. J. Appl. Phys.*, vol.51 (2012) 042203.
- [168] S. Kashima, J.-H. Noh, and T. Arakawa, "Proposal of Compact Tunable 1×2 Multimode Interference Splitter Based on Multiple Quantum Well", *Jpn. J. Appl. Phys.*, vol.52 (2013) 04CG02.
- [169] Iriya Muneta, Shinobu Ohya, and Masaaki Tanaka, "Spin-dependent tunneling transport in a ferromagnetic GaMnAs and un-doped GaAs double-quantum-well heterostructure", *Appl. Phys. Lett.*, 100 162409/1-3 (2012).
- [170] Pham Nam Hai, Daisuke Sasaki, Le Duc Anh, Masaaki Tanaka, "Crystalline anisotropic magnetoresistance with two-fold and eight-fold symmetry in (In, Fe)As ferromagnetic semiconductor", *Appl. Phys. Lett.*, 100 pp.262409/1-5 (2012).
- [171] Ryosho Nakane, Shoichi Sato, Shun Kokutani, and Masaaki Tanaka, "Appearance of Anisotropic Magnetoresistance and Electric Potential Distribution in Si-based Multi-terminal Devices with Fe Electrodes", *IEEE Magnetics Lett.*, 3 3000404/1-4 (2012).
- [172] Shinobu Ohya, Iriya Muneta, Yufei Xin, Kenta Takata, and Masaaki Tanaka, "Valence-band structure of quaternary alloy ferromagnetic semiconductor (InGaMn)As", *Phys. Rev.*, B86 pp.094418/1-8 (2012).
- [173] Pham Nam Hai, Le Duc Anh, Shyam Mohan, Tsuyoshi Tamegai, Masaya Kodzuka, Tadakatsu Ohkubo, Kazuhiro Hono, and Masaaki Tanaka, "Growth and characterization of n-type electron-induced ferromagnetic semiconductor (In, Fe)As", *Appl. Phys. Lett.*, 101 pp.182403/1-5 (2012).
- [174] Pham Nam Hai, Wataru Nomura, Takashi Yatsui, Motoichi Ohtsu, and Masaaki Tanaka, "Effects of laser irradiation on the self-assembly of MnAs nanoparticles in a GaAs matrix", *Appl. Phys. Lett.*, 101 pp.193102/1-4 (2012).
- [175] M. Kobayashi, I. Muneta, T. Schmitt, L. Patthey, S. Ohya, M. Tanaka, M. Oshima, and V. N. Strocov, "Digging up Bulk Band Dispersions Buried under a Passivation Layer", *Appl. Phys. Lett.*, 101 pp.242103/1-4 (2012).
- [176] Pham Nam Hai, Le Duc Anh, and Masaaki Tanaka, "Electron effective mass in n-type electron-induced ferromagnetic semiconductor (In, Fe)As: Evidence of conduction band transport", *Appl. Phys. Lett.*, 101 pp.252410/1-5 (2012).
- [177] R. Nakane, S. Sato, S. Kokutani, and M. Tanaka, "Appearance of Anisotropic Magnetoresistance and Electric Potential Distribution in Si-Based Multiterminal Devices With Fe Electrodes", *IEEE Mag. Soc.*, Vol.3 3000404 (2012).
- [178] I. Muneta, H. Terada, S. Ohya, and M. Tanaka, "Anomalous Fermi level behavior in GaMnAs at the onset of ferromagnetism", *arXiv*, 1208.0575 (2012).
- [179] M. Kobayashi, I. Muneta, T. Schmitt, L. Patthey, S. Ohya, M. Tanaka, M. Oshima, and V. N. Strocov, "Digging up bulk band dispersion buried under a passivation layer", *Appl. Phys. Lett.*, 101 242103 (2012).
- [180] P. N. Hai, D. Sasaki, L. D. Anh, M. Tanaka, "Crystalline anisotropic magnetoresistance with two-fold and eight-fold symmetry in (In, Fe)As ferromagnetic semiconductor", *Appl. Phys. Lett.*, 100 262409 (2012).
- [181] P. N. Hai, L. D. Anh, S. Mohan, T. Tamegai, M. Kodzuka, T. Ohkubo, K. Hono, M. Tanaka, "Growth and characterization of n-type electron-induced ferromagnetic semiconductor (In, Fe)As", *Appl. Phys. Lett.*, 101 182403 (2012).
- [182] P. N. Hai, L. D. Anh, M. Tanaka, "Electron effective mass in n-type electron-induced ferromagnetic semiconductor (In, Fe)As: Evidence of conduction band transport", *Appl. Phys. Lett.*, 101 252410 (2012).
- [183] M. Fukuyama, Y. Yoshida, J.C.T. Eijkel, A. van den Berg, A. Hibara, "Time-resolved Electrochemical Measurement Device for Microscopic Liquid Interfaces during Droplet Formation", *Microfluidics and Nanofluidics*, in press. doi, 10.1007/s10404-012-1101-9.
- [184] Saiki, Y. and Suzuki, Y., "Effect of wall surface reaction on a methane-air premixed flame in nar-

row channels with different wall materials". *Proc. Combust. Inst.*, 34 (2013) pp.3395-3402.

- [185] Hagiwara, K. Goto, M. Iguchi, Y. Tajima, T. Yasuno, Y. Kodama, H. Kidokoro, K. Suzuki, Y., "Electret charging method based on soft X-ray photoionization for MEMS transducers", *IEEE Trans. Dielectr. Electr. Insul.*, Vol.19(2012) pp.1291-1298.
- [186] Feng, Y., Hagiwara, K., Iguchi, Y., and Suzuki, Y., "Trench-filled Cellular Parylene Electret for Piezoelectric Transducer", *Appl. Phys. Lett.*, Vol.100, 262901 (2012).
- [187] T. Yatsui, W. Nomura, M. Naruse, and M. Ohtsu, "Realization of an atomically flat surface of diamond using dressed-photon phonon etching", *J. Phys. D*, Vol.45, No.47, Nov. 2012, 475302.
- [188] Masanori Kubota, "Thermal Conductivity Pressure Sensors on the Basis of Ultra-Fine Silicon Structures", 学位论文(東京大学), 2012, 全130ページ.
- [189] Dominique Collard, Soo Hyeon Kim, Toshihisa Osaki, Momoko Kumemura, Beomjoon Kim, Dominique Fourmy, Teruo Fujii, Shoji Takeuchi, Stanislav L. Karsten, Hiroyuki Fujita, "Nano bio research approach by micro technology", *Short Review in Drug discover today*, 2013.2.9 doi: 10.1016.
- [190] Tadashi Ishida, Kuniyuki Kakushima, Teruyasu Mizoguchi, Hiroyuki Fujita, "Role of Dislocation Movement in the Electrical Conductance of Nanocontacts", *Scientific Reports*, Vol.2, Article Number 623, 2012.
- [191] Tadashi Ishida, Takaaki Sato, Hiroyuki Fujita, "In-situ Observation of Shear Deformation of Gold Single Real Contact Point at the Nanoscale", *Tribology Online*, Vol.7, No.3, pp.127-131, 2012.
- [192] L. Jalabert, T. Sato, T. Ishida, H. Fujita, Y. Chalopin, S. Volz, "Ballistic Thermal Conductance of a Lab-in-a-TEM Made Si Nanojunction", *Nano Letters*, Vol.12, No.10, pp.5213-5217, 2012.
- [193] Tetsuo Kan, Hidetoshi Takahashi, Nguyen Binh-Khiem, Yuichiro Aoyama, Yusuke Takei, Kentaro Noda, Kiyoshi Matsumoto and Isao Shimoyama, "Design of a piezoresistive triaxial force sensor probe using the sidewall doping method", *Journal of Micromechanics and Microengineering*, vol.23, no.3, article no.035027, 2013.
- [194] Uijin G Jung, Kenta Kuwana, Yoshiharu Ajiki, Hidetoshi Takahashi, Tetsuo Kan, Yusuke Takei, Kentaro Noda, Eiji Iwase, Kiyoshi Matsumoto and Isao Shimoyama, "A photoresponse-compensated parallel piezoresistive cantilever for cellular force measurements", *Journal of Micromechanics and Microengineering*, vol.23, no.4, article no.045015, 2013."
- [195] Tetsuo Kan, Kiyoshi Matsumoto, and Isao Shimoyama, "Optical measurement of directional strain by scattering from nano-disk pairs aligned on an elastomer", *Nanotechnology*, 23 485302.
- [196] Y. Tomimatsu, H. Takahashi, K. Kuwana, T. Kobayashi, K. Matsumoto, I. Shimoyama, T.Itoh, R.Maeda, "A piezoelectric flow sensor for use as a wake-up switch for a wireless sensor network node", *Mechatronics*, <http://dx.doi.org/10.1016/j.mechatronics.2013.02.003>.
- [197] T. Thurakitseree, C. Kramberger, P. Zhao, S. Chiashi, E. Einarsson, S. Maruyama, "Reduction of single-walled carbon nanotube diameter to sub-nm via feedstock", *Physica status solidi b*, 249, 2404 (2012).
- [198] T. Thurakitseree, C. Kramberger, A. Kumamoto, S. Chiashi, E. Einarsson, S. Maruyama, "Reversible Diameter Modulation of Single-Walled Carbon Nanotubes by Acetonitrile-Containing Feedstock", *ACS Nano*, 7, 2205 (2013).
- [199] Etsuo Maeda, Yaerim Lee, Yojiro Kobayashi, Akiko Taino, Mari Koizumi, Shigenori Fujikawa and Jean-Jacques Delaunay, "Sensitivity to refractive index of high-aspect-ratio nanofins with optical vortex", *NANOTECHNOLOGY*, 23, 505502, 2012.
- [200] S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Strained In_{0.53}Ga_{0.47}As metal-oxide-semiconductor field-effect transistors with epitaxial based biaxial strain". *Appl. Phys. Lett.*, Vol.100, 193510, 2012.
- [201] "[201] M. C. Tarhan, Y. Orazov, R. Yokokawa, S. L. Karsten, H. Fujita, "Detection method for Tau protein based on motion of motor proteins", *Analyst*, 138, 2013 pp. 1653-6."
- [202] Y. Mita, Y. Li, M. Kubota, S. Morishita, W. Parkes, L.I. Haworth, B.W. Flynn, J.G. Terry, T.-B. Tang, A.D. Ruthven, S. Smith and A.J. Walton,, "Demonstration of awireless driven MEMS pond skater that uses EWOD technology", *Journal of Solid-State Electronics*, Vol.53, pp. 798-802

- (2009.05.29) doi:10.1016/j.sse.2009.02.020.
- [203] 諫本圭史, 戸塚弘毅, 酒井 徹, 鈴木卓也, 両澤 淳, 鄭 昌鎬, 藤田博之, 年吉 洋,, "高速MEMS スキャナを用いた第三世代SS-OCT用波長走査型光源", 電気学会論文誌E, vol.132, no.9, 2012, pp.254-260.
- [204] 木村俊介, 北川章夫, 秋田純一, "RF-CMOS技術を用いたラジカルセンサLSIの開発-ESR検出回路の感度解析-信学技報", 信学技報, vol.111, no.151, ICD2011-24, pp.31-35, 2011. 7.
- [205] 伊部泰貴, 中山和也, 北川章夫, "電圧センスアンプを用いたReRAMの多値化のための読み出し・書き込み回路", 信学技報, vol.112, no.425, ICD2012-126, pp.45-49, 2013.1.
- [206] 半田貴也, 中山和也, 北川章夫, 秋田純一, "ReRAMの多重書き込み自動回避回路を用いた消費電力削減技術", 信学技報, vol.111, no.188, ICD2011-48, pp.53-57, 2011.8.
- [207] 石田忠, 藤田博之, "シリコンと金のナノスケール接触界面のリアルタイムTEM観察", 表面科学, Vol.33, No.3, 2012 pp.159-164.
- [208] 新國幸弘, 伊藤浩, "フォトリソグラフィを用いたMOEMS技術の教材開発-第2報, マイクロ光電子デバイスの実現に向けた基礎特性の評価-", 東京工業高等専門学校研究報告書, 第44(2)号, 2013 pp.85-90.
- [209] 森下賢志, "水上走行マイクロロボットの実現に向けた標準CMOS回路の高耐圧化及びモノリシックMEMS集積手法", 学位論文(東京大学), 2012/12/1, 全113ページ.
- [210] H. Suzuki, R. Kometani, S. Ishihara, S. Warisawa, "Nanoporous Structure Fabrication in Selective Areas by Block Copolymer Self-Assembly and Electron Beam Lithography", J. Photopolym. Sci. Technol., 25, 33 (2012).
- [211] Akihiko Ishida, Hikaru Toki, Masahiro Motosuke, Shinji Honami, "Particle accumulation by AC electroosmosis in microfluidic device with coplanar electrodes", J. Therm. Sci. Tech., Vol.7, No.3 pp.475-486 (2012).
- [212] Fumiaki Tsunemi, Masayuki Murata, Yusuke Saito, Katsuhito Shirota, Yasuhiro Hasegawa, Takashi Komine, "Shubnikov-de Haas oscillations in individual single-crystal bismuth nanowires encased in quartz template", Applied Physics Express, Vol.6 045002(2013).
- [213] Masayuki Murata, Yasuhiro Hasegawa, Takashi Komine, and Tomohiro Kobayashi, "Preparation of bismuth nanowire encased in quartz template for Hall measurements using focused ion beam processing", Nanoscale Research Letters, 2012 7:505.
- [214] Yuji Kimura Yuya Goto Hidehiro Oana Masao Washizu, "Optical sequence probing with the homologous recombination protein RecA", Journal of Biotechnology, 164 (2012) p.254-259."
- [215] M. S. Hung O. Kurosawa M. Washizu, "Single DNA molecule denaturation using laser-induced heating", Molecular and Cellular Probes, 26 (2012) p.107-112.
- [216] K. Terao A. Okonogi A. Fuke T. Okitsu T. Suzuki M. Washizu H. Kotera, "Localized substance delivery to single cell and 4D imaging of its uptake using a flow channel with a lateral aperture", Microfluidics and Nanofluidics, 12 (1) (2012) p.423-429.
- [217] T. Hasebe, Y. Yamada and H. Tabata, "Analysis of Sharp Dip Structures on Terahertz Transmission Spectra of Metallic Meshes", Jpn.J.Appl.Phys., (2012). Vol.51 No.4 04DL03..
- [218] H. Matsui and H. Tabata, "The contribution of quantum confinement to optical anisotropy of a-plane Cd_{0.06}Zn_{0.94}O/ZnO quantum wells", Appl. Phys. Lett., Vol.100 (2012) 171910.
- [219] T. Hasebe, S. Kawabe, H. Matsui and H. Tabata, "Metallic mesh-based terahertz biosensing of single-and double-stranded DNA", J.Appl.Phys., (2012) Vol.112 Issue 9 094702.
- [220] M. Seki, H. Yamahara and H. Tabata, "Enhanced Photocurrent in Rh-Substituted α -Fe₂O₃ Thin Films Grown by Pulsed Laser Deposition", Appl. Phys.Express, (2012) Vol.5 No.11 115801.
- [221] H. Matsui and H. Tabata, "Lattice strains and polarized luminescence in homoepitaxial growth of a-plane ZnO", Appl. Phys. Lett., Vol.101 (2012) 231901.
- [222] Y. Ono, H. Matsui and H. Tabata, "Heteroepitaxial growth and characterization of ZnO films on Gd₃Ga₅O₁₂ garnet substrates", J. Appl. Phys., Vol.112 (2012) 103530.
- [223] H. Suzuki, R. Kometani, S. Ishihara, S. Warisawa, "Nanoporous Structure Fabrication in Selective Areas by Block Copolymer Self-Assembly and Electron Beam Lithography", J. Photopolym. Sci. Technol., 25, 33 (2012) . .
- [224] S. Imamura, R. Watahiki, R. Miura, T. Shimada, Y.

K.Kato, "Optical control of individual carbon nanotube light emitters by spectral double resonance in silicon microdisk resonators", *Appl. Phys. Lett.*, 102, 161102 (2013).

2. 国際会議

- [1] A. Toya, K. Sogo, N. Sasaki and T. Kikkawa, "102.4 GS/s Impulse Sampling Circuit with Low Power and Low Timing Error Clock Generation", *International Conference on Solid State Devices and Materials*, J-5-1, Kyoto, Japan, September 25-27, 2012
- [2] Nakamura, Horio, Kohda, Aihara, "An Improved Fully-Differential A/D Converter Circuit Based on the Negative β -Map", *NCSP2013*, 2013年3月
- [3] 谷弘, 籾内, 小林, "Measurement Results of Substrate Bias Dependency on Negative Bias Temperature Instability Degradation in a 65 nm Process", pp.289-292, *Components, Packaging, and Manufacturing Technology Symposium Japan(2012)*
- [4] 増田, 久保田, 山本, 古田, 小林, 小野寺, "A 65 nm Low-Power Adaptive-Coupling Redundant Flip-Flops", pp. I-1.1-5, *The conference on Radiation and its Effects on Components and Systems(2012)*
- [5] 籾内, 小林, "Circuit Characteristic Analysis Considering NBTI and PBTI-Induced Delay Degradation", pp.70-71, *International Meeting for Future of Electron Devices, Kansai(2012)*
- [6] 張, 山本, 古田, 小林, 小野寺, "Parasitic Bipolar Effects on Soft Errors to Prevent Simultaneous Flips of Redundant Flip-Flops", pp.5B.2.1-5B.2.4, *IEEE International Reliability Physics Symposium(2012)*
- [7] Rimon Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, Kunihiro Asada, "High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection using Character Sets Based on One-dimensional VIA Arrays with Area-efficient Stencil Design," in *Proceedings of 18th Asia and South Pacific Design Automation Conference (ASP-DAC 2013)*, pp.255-260, Jan. 2013.
- [8] Rimon Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "A Structured Routing Architecture and its Design Methodology Suitable for High-throughput Electron Beam Direct Writing with Character Projection," *ACM International Symposium on Physical Design (ISPD)*, Mar. 2013.
- [9] Masahiro Ishida, Toru Nakura, Toshiyuki Kikkawa, Takashi Kusaka, Satoshi Komatsu, and Kunihiro Asada, "Power Integrity Control of ATE for Emulating Power Supply Fluctuations on Customer Environment," in *Proceedings of IEEE International Test Conference (ITC)*, paper 7.3, Nov. 2012.
- [10] Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, "Impact of All-Digital PLL on SoC Testing," in *Proceedings of the 21st IEEE Asian Test Symposium (ATS)*, pp.252-257, Nov. 2012.
- [11] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Makoto Yamada, Osamu Morita, Kunihiro Asada, "An Integrated High-Precision Probe System for Near-Field Magnetic Measurements on Cryptographic LSIs," in *Proceedings of IEEE Sensors 2012*, pp.2074-2077, Oct. 2012.
- [12] Toru Nakura, Yoshio Mita, Tetsuya Iizuka, Kunihiro Asada, "7.5Vmax Arbitrary Waveform Generator with 65 nm Standard CMOS under 1.2V Supply Voltage," in *Proceedings of IEEE Custom Integrated Circuits Conference (CICC)*, Sep. 2012.
- [13] Makoto Ikeda, Tetsuya Iizuka, Satoshi Komatsu, Masahiro Sasaki, Toru Nakura, and Kunihiro Asada, "Intelligent-PAD2.0: Platform for On-line SoC Health Condition Monitoring," *European Workshop on Microelectronics Education (EWME)*, May. 2012.
- [14] B. Devlin, M. Ikeda, K. Asada "A Self Synchronous FPGA with Leakage Control for 270mV Sub-threshold Operation," *IEEE/ACM Workshop on CAD for Multi-Synchronous and Asynchronous Circuits and Systems (MSCAS) 2012*, Nov. 2012.
- [15] B. Devlin, H. Mori, S. Miyauchi, M. Ikeda, K. Asada "Performance and Side-channel Attack Analysis of a Self Synchronous Montgomery Multiplier Processing Element for RSA in 40 nm CMOS" *Asian Solid-State Circuits Conference (A-SSCC) 2012*, pp.385-388, 12-14, Nov. 2012.
- [16] K. Kodama and M. Ikeda, "Target Voltage Independent Capacitance Measurement Circuit Implemented by 0.18 μm CMOS for PWM-MEMS Control" *IEEE International SoC Design Conference (ISOC)*, pp.77-80, Jeju, Korea, Nov.

- 2012.
- [17] B. Devlin, M. Ikeda, and K. Asada, "Gate-level Process Variation Offset Technique by using Dual Voltage Supplies to Achieve Near-threshold Energy Efficient Operation," IEEE Symposium on Low-Power and High-Speed Chips (COOL chips XV), Yokohama, Japan, Apr. 2012.
- [18] T.-W. Chen and M. Ikeda, "A Millimeter-Wave Resistor-less Pulse Generator with a New Dipole Patch Antenna in 65-nm CMOS," IEEE Symposium on Low-Power and High-Speed Chips (COOL chips XV), Yokohama, Japan, Apr. 2012.
- [19] Kanemoto, Kanaya Yoshida, "A Design Methodology for High-Performance D/A Converter utilizing Optimized Weights", Proc. IEEE Symposium on Low-Power and High-Speed Chips COOL Chips XV, p.18, 2012年4月
- [20] Pokharel, Nugroho, Anand, Kanaya, Yoshida, "Digitally Controlled CMOS Quadrature Ring Oscillator with Improved with Improved FoM for GHz Range All-Digital Phase Locked Loop Applications", IEEE Microwave Symposium Digest, USB, pp.1-3, 2012年6月
- [21] Kanaya, Kato, Kanemoto, Yoshida, Pokharel, Yoshitomi, "Development of 2.4GHz One-Sided Directional Slot Antenna with 2-Stage Bandpass Filter," Proc. 2011 IEEE International Symposium on Antennas and Propagation, 313p5(CD-ROM), pp.1-2, 2012年7月
- [22] Nugroho, Pokharel, Anand, Hashimura, Zhang, Dong, Kanaya, Yoshida, "A Low Power 8-bit Digitally Controlled CMOS Ring Oscillator", Proceedings of the 7th European Microwave Integrated Circuits Conference, pp.504-507, 2012年10月
- [23] Tammam, Yoshitomi, Allam, El-Sayed, Kanaya, Keiji, "Miniaturization of a UWB Antenna With Dual Band-Notched at WLAN/WiMAX Frequency Bands", proc. IEEE International Conference on Electronic Devices, Systems and Applications (ICEDSA), pp.132-137, 2012年11月
- [24] Anand, Kanemoto, Fahmy, Pokharel, Kanaya, Yoshida, "Feedforward Charge Injection Technique in a Continuous Time Delta-Sigma Modulator", Proc. 2012 Region 10 Conference, CD-ROM pp.1-5, 2012年11月
- [25] Yamashita, Kanemoto, Kanaya, Pokharel, Yoshida, "A 5-GHz Fully Integrated CMOS Class-E Power Amplifier Using Self-Biasing Technique with Cascaded Class-D Drivers", Proc. 2012 IEEE International Symposium on Radio-Frequency Integration Technology, pp.245-247, 2012年11月
- [26] Oshiro, Kanemoto, Kanaya, Pokharel, Yoshida, "A Small Die Area and High Linearity 10-bit Capacitive Three-Level DAC", Proc. 2012 IEEE Asia Pacific Conference on Circuits and Systems, pp.164-167, 2012年12月
- [27] Masumoto, Kanemoto, Kanaya, Pokharel, Yoshida, "Improving Linearity of a 5.2GHz Low Power Mixer in 0.18 μ m CMOS Process by Using Derivative Superposition Method", Proc. Asia-Pacific Microwave Conference 2012, pp.157-159, 2012年12月
- [28] Tammam, Yoshitomi, Allam, El-Sayed, Kanaya, Yoshida, "A Highly Miniaturized Planar Antenna With Dual Band-Notched Using Two Slot Types for UWB Wireless Communications", Proc. Asia-Pacific Microwave Conference 2012, pp.726-728, 2012年12月
- [29] Yamashita, Kanemoto, Kanaya, Pokharel, Yoshida, "A CMOS Class-E Power Amplifier of 40 % PAE at 5GHz for Constant Envelope Modulation System", Proc. 13TH Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, SiRF 2013, pp.66-68, 2013年1月
- [30] K. Dohi, Y. Hatanaka, K. Negi, Y. Shibata, K. Oguri: Deep-pipelined FPGA Implementation for Ellipse Estimation for Eye Tracking, Proc. International Conference on Field Programmable Logic and Applications, pp.458-463 (2012.08)
- [31] Y. Yamabe, K. Nakashima, K. Dohi, K. Kajiwara, F. Kurokawa, Y. Shibata: Proc. IEEE Symposium on Low-Power and High-Speed Chips, (2012.04)
- [32] T. Matsumoto, T. Nishikawa, H. Torii, S. Matsufuji, "Matched Filter Bank Implementation on FPGA for a Mutually Orthogonal Set of ZCZ Codes Using Hadamard and ZCZ Codes", Proc. of the 15th International Conference on Advanced Communication Technology (ICACT2013), pp.764-767, 2013年1月.
- [33] Ko WATANABE, Takahiro SASAKI, Kazuhiko OHNO and Toshio KONDO, "IMPROVEMENT OF WRITEBACK MECHANISM OF VARIABLE LEVEL CACHE, " ITC-CSCC2012, July 2012.
- [34] Nakabayashi, T., Sasaki, T., Nakamura, H., Ohno, K. and Kondo, T.: "Measurement of Low-

Energy Processor Chip using Fine-Grain Variable Stages Pipeline Architecture', Proceeding of 3rd International Workshop on Advances in Networking and Computing, December, 2012.

- [35] Nakabayashi, T., Sasaki, T., Ohno, K. and Kondo, T. : 'VLSI implementation of Variable Stages Pipeline Processor using Fine-Grain Pipeline Depth Controller', Proceeding of International Technical Conference on Circuits/Systems, Computers and Communications, July, 2012.
- [36] Sanada Y., Ohira T., Chikuda S., Igarashi M., Ikebe M., Asai T., and Motomura M., "FPGA implementation of single-image super resolution based on frame-bufferless box filtering,"2013 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, The Island of Hawaii, USA (Mar. 4-7, 2013).
- [37] Fukuda E.S., Kawashima H., Inoue H., Fujii T., Furuta K., Asai T., and Motomura M., "C-based adaptive stream processing on dynamically reconfigurable hardware: window join case study,"The 9th International Symposium on Applied Reconfigurable Computing, Los Angeles, USA (Mar. 25-27, 2013).
- [38] Gonzalez-Carabarin L., Asai T., and Motomura M., "Spike propagation in excitable systems enhanced by membrane-potential-dependent noise,"The 2012 International Symposium on Nonlinear Theory and its Applications, Majorca, Spain (Oct. 22-26, 2012).
- [39] Gong X., Asai T., and Motomura M., "Spatio-temporal pattern formation on memristive reaction-diffusion systems,"Asia Conference on Nanoscience and Nanotechnology 2012, Yunnan, China (Sep. 7-10, 2012).
- [40] Gong X., Asai T., and Motomura M., "Reaction-diffusion media with excitable Oregonators coupled by memristors,"The 13th International Workshop on Cellular Nanoscale Networks and their Applications (The 3rd Memristor and Memristive Symposium), Turin, Italy (Aug. 28-31, 2012).
- [41] Gonzalez-Carabarin L., Asai T., and Motomura M., "Noise impact on spike transmission through serially-connected electrical FitzHugh-Nagumo model with subthreshold and suprathreshold interconductances,"The 16th International Conference On Cognitive and Neural Systems, Boston, USA (May 30-Jun. 1, 2012).
- [42] Hiroaki Myoren, Kohsuke Terui, Naoya Shimada, Tohru Taino, "Design of Digital DROS for Wide Dynamic Operation Range with Sub-Single Flux Quantum Resolution", Physics Procedia, vol.36, pp.121-126, (2012)
- [43] H. Myoren, "SFQ Circuits for Multi-Quantum Beam Detectors". Superconducting SFQ VLSI Workshop SSV2012, O-5, 2012年12月
- [44] Toshinori Otaka, Tomohiro Yamazaki, and Takayuki Hamamoto, "An 8-segmented 256x512 CMOS Image Sensor for Processing Element-Coupled Unified System in Machine Vision Application", IEEE International NEWCAS Conference, pp.329-332 (2012)
- [45] Toshinori Otaka, Tomohiro Yamazaki, and Takayuki Hamamoto, "An 84-dB Extended Dynamic Range, 152fps, 512 × 384 Segmented-base CMOS Image Sensor with a 10-bit, 2.5-MS/s, 6.5-mW Pipelined ADC", IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp.630-635 (2012)
- [46] Danya Sugai, Hiroshi Katayama, Takayuki Hamamoto, "Image Emphasis Based On Integration Of high Frame-Rate Images By New Gradient-Based Motion Estimation Method", IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp.118-123 (2012)
- [47] Tomohiro Yamazaki, Toshinori Otaka, Takayuki Hamamoto, "Brightness and Motion Adaptive Imaging by Segmented-Base CMOS Image Sensor", International Workshop on Advanced Image Technology (IWAIT), p.783 (2013)
- [48] Masahiro Ishida, Toru Nakura, Toshiyuki Kikkawa, Takashi Kusaka, Sotoshi Komatsu and Kunihiro Asada, "Power Integrity Control of ATE for Emulating Power Supply Fluctuation on Customer Environment,"IEEE International Test Conference, November 2012.
- [49] T. J. Yamaguchi, K. Asada, K. Niitsu, M. Abbas, S. Komatsu, H. Kobayashi, J. A. Moreira, "A New Procedure for Measuring High-Accuracy Probability Density Functions,"2012 IEEE Asian Test Symposium, pp.185-190, November 2012.
- [50] Rimon Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and

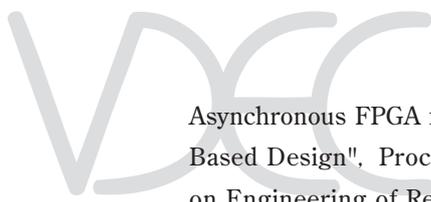
- Kunihiro Asada, "High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection using Character Sets Based on One-dimensional VIA Arrays with Area-efficient Stencil Design," 18th Asia and South Pacific Design Automation Conference (ASP-DAC 2013), 3C-2, pp.255-260, Jan. 23rd, 2013.
- [51] Takashi Maruyama, Hiroshi Takita, Rimon Ikeno, Morimi Osawa, Yoshinori Kojima, Shinji Sugatani, Hiromi Hoshino, Toshio Hino, Masaru Ito, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "Practical proof of CP element based design for 14 nm node and beyond," SPIE2013 Advanced Lithography, 8680-75 (2013)
- [52] Rimon Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "A structured routing architecture and its design methodology suitable for high-throughput electron beam direct writing with character projection method, ACM International Symposium on Physical Design (ISPD 2013), March 26th, 2013.
- [53] Junichi Fujitsuka, Kawori Sekine "Temperature Coefficient Improvement of PTAT Voltage Generator with Analog Adder", 2012 International Conference on Analog VLSI Circuits (ISBN:978-84-695-5457-9), Oct. 2012
- [54] Takahiro Ishihara, Kazuyuki Wada, and Kawori Sekine "CMOS Log Domain Filter in Ultra Low Voltage Extending Temperature Range with Bias Control", 2012 International Conference on Analog VLSI Circuits, Oct. 2012
- [55] K. Namba, N. Takashina, H. Ito, "Delay measurement of global routing resources in FPGA for small delay defect detection," Proc. 13th IEEE Workshop RTL&High Level Test., pp.4.4.1-4.4.6, Nov., 2012.
- [56] K. Namba, T. Katagiri, H. Ito, "Dual-Edge-Triggered FF with Timing Error Detection Capability," Proc. 2012 IEEE Int. Symp. Defect and Fault Tolerance VLSI and Nanotechnol. Syst., pp.187-192, Oct., 2012.
- [57] W. Zhang, K. Namba, H. Ito, "Improving Small-Delay Fault Coverage for On-chip Delay Measurement," Proc. 2012 IEEE Int. Symp. Defect and Fault Tolerance VLSI and Nanotechnol. Syst., pp.193-198, Oct., 2012.
- [58] Y. Murakami, Y. Taira, N. Hattori, T. Ishikawa, S. Azuma, R. Miyake, "A sensor LSI for wireless sensing of temperature and glucose level to develop a health navigation system", Biosensors2012
- [59] M. Zaitso, T. Tanemura, A. Higo, and Y. Nakano, "Self-Aligned InP/InGaAsP Polarization Converter for Polarization-Multiplexed Photonic Integrated Circuits," OFC/NFOEC2013, OTh4I.3, Anaheim, CA, USA, Mar 2013 (Oral presentation).
- [60] H. Takakura and S. Sasaki, "Examination of the Reduction Technique of Radiation Noise from Power Supply Layers in PCB", Proc. ICEP-IAAC 2012, pp.168-171, 2012年4月
- [61] H. Takakura, S. Sasaki, "The Reductoin Method for Radiation Noise from Power Supply Layers in PCB", Proc. IEEE APEMC 2012, pp.225-228, 2012年5月)
- [62] S. Sasaki, M. Yasuda, and H.J. Mattausch, "Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization", Proceedings of the 38th European Solid-State Circuits Conference (ESSCIRC '2012), Bordeaux, France, September 17-21, 185-188 (2012.9)
- [63] A.A. Khan, Y. Ohnari, A. Dutta, S. Singh, M. Miura-Mattausch, and H.J. Mattausch, "Die-to-Die and Within-Die Fabrication Variation of 65 nm CMOS Technology PMOS Transistors", Proceedings of the 2013 IEEE International Conference on Electronics, Computing and Communication Technologies (CONECCT 2013), ID:1569677311, 1-6 (2013.1)
- [64] Y. Ohnari, A.A. Khan, A. Dutta, M. Miura-Mattausch, and H.J. Mattausch, "Die-to-Die and Within-Die Variation Extraction for Circuit Simulation with Surface-Potential Compact Model", Proceedings of the 2013 IEEE International Conference on Microelectronic Test Structures (ICMTS' 2013), 146-150 (2013.3)
- [65] T. Kambe, et al. "Application-specific Arithmetic Circuit Design for a Particle Tracking Application, "The proceeding of 4th IEEE LASCAS -Latin American Symposium on Circuits and Systems, 2013
- [66] Y. Kitamura, K. Kishida, T. Kambe, "Pipeline Circuit Synthesis from C Descriptions for Fast Memory Access in System LSI," The proceeding of 17th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.402-407, 2012.

- [67] Y.Nakamura, J.Akita, "Reduction of Directional Dependency Using Pseudorandom Pixel Placement in Area Measurement," Proceedings of International Workshop on Advanced Image Technology (WAIT) 2013, P4-28, p.216, 2013.1.
- [68] Ken Yano, Takanori Hayashida, and Toshinori Sato, Improving Timing Error Tolerance without Impact on Chip Area and Power Consumption, 15th International Symposium on Quality Electronic Design, accepted, March 2013.
- [69] Ken Yano, Takanori Hayashida, and Toshinori Sato, Analysis of SER Improvement by Radiation Hardened Latches, 18th IEEE Pacific Rim International Symposium on Dependable Computing, pp.89-95, November 2012.
- [70] Y. Ohno, "Flexible and stretchable electron devices based on carbon nanotube thin films", 27th International Winterschool on Electronic Properties of Novel Materials, 2013.03.04, Kirchberg, Austria. [Invited]
- [71] K. Higuchi, Y. Nakajima, T. Tomura, M. Takesue, S. Kishimoto, T. Mizutani, K. Hata, and Y. Ohno, "High-mobility carbon nanotube thin-film transistors fabricated on plastic film with flexographic printing technique", 5th International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nanomaterials, 2013.01.30, Nagoya, Japan
- [72] M. Inagaki, K. Hata, K. Shiozawa, Y. Miyata, Y. Ohno, S. Kishimoto, H. Shinohara, and T. Mizutani, "S-parameter characterization of radio-frequency FETs with high-purity semiconductor carbon nanotubes", 5th International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nanomaterials, 2013.01.29, Nagoya, Japan.
- [73] N. Fukaya, Y. Kataoka, D. Kim, S. Kishimoto, T. Mizutani, S. Noda, and Y. Ohno, "High-performance, flexible, grid-structured carbon nanotube transparent conductive films", 5th International Symposium on Advanced Plasma Science and its Applications for Nitrides and Nanomaterials, 2013.01.29, Nagoya, Japan.
- [74] Y. Ohno, "Carbon nanotube TFTs and ICs for flexible and printable electronics", A3 Symposium of Emerging Materials: Nanomaterials for Energy and Environments, 2012.10.29, Sendai, Japan. [Invited]
- [75] H. Yamada, S. Kishimoto, F. Nakamura, and T. Miyutani, "Suppression of Gate Leakage Current in Normally-off Mode p+-InGaN/AlGaIn/GaN HEMTs by Inserting Thin GaN Layer", International workshop on Nitride Semiconductors, 2012.10.16, Sapporo, Japan.
- [76] E. Miyazaki, S. Kishimoto, and T. Mizutani, "Improved Electrical properties of AlGaIn/GaN MOSHFETs Fabricated by Gate-First Process", International workshop on Nitride Semiconductors, 2012.10.16, Sapporo, Japan.
- [77] Y. Ohno, "SWCNTs and plastic electronics", Tekniikka -Technology 2012, Workshop on Nanotechnology, 2012.10.10, Jyvaskyla, Finland. [Invited]
- [78] M.Tamaoki, S.Kishimoto, Y.Ohno, T.Mizutani, "Electrical Properties of the Graphitic Carbon Contacts on Carbon Nanotube Field Effect Transistors", 2012 International Conference on Solid State Devices and Materials, 2012.09.27, Kyoto, Japan.
- [79] Y. Ohno, "Carbon-nanotube-based plastic electronics", 2012 International Conference on Solid State Devices and Materials, 2012.09.27, Kyoto, Japan. [Invited]
- [80] S. Ishii, M. Tamaoki, S. Kishimoto, and T. Mizutani, "Conduction-Type Control of Carbon Nanotube Field-Effect Transistors by Pd and Ti Overlayer Doping", 2012 International Conference on Solid State Devices and Materials, 2012.09.26, Kyoto, Japan.
- [81] E. Miyazaki, S. Kishimoto, and T. Mizutani, "Improvement of the electrical properties of Al₂O₃ AlGaIn/GaN MOSHFETs by gate-first process", 39th International Symposium on Compound Semiconductors, 2012.08.27, Santa Barbara, USA.
- [82] Y. Ohno, "Carbon-nanotube-based plastic electronics", The Third International Workshop on Nanocarbon Photonics and Optoelectronics, 2012.08.02, North Karelia, Finland. [Invited]
- [83] Y. Ohno, "Carbon nanotube-based plastic electronics", International Conference of Young Researchers on Advanced Materials, 2012.07.05, Singapore. [Keynote]
- [84] Y. Ohno, "Carbon-nanotube-based plastic electronics", 2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, 2012.06.29, Naha, Japan.

- [Invited]
- [85] M. Inagaki, K. Hata, K. Shiozawa, Y. Miyata, Y. Ohno, S. Kishimoto, H. Shinohara, and T. Mizutani, "Solution-based high-frequency field-effect transistors with purified semiconductor carbon nanotubes", 2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, 2012.06.29, Naha, Japan, 8B-5.
- [86] D.M. Sun, M. Y. Timmermans, A. Kaskela, A. G. Nasibulin, S. Kishimoto, T. Mizutani, E. I. Kauppinen, and Y. Ohno, "Flexible and transparent all-carbon thin-film transistors and integrated circuits", Thirteenth International Conference on the Science and Application of Nanotubes, 2012.06.27, Brisbane, Australia.
- [87] K. Higuchi, Y. Nakajima, T. Tomura, M. Takesue, S. Kishimoto, T. Mizutani, K. Hata, and Y. Ohno, "High-mobility carbon nanotube thin-film transistors on plastic fabricated by high-throughput transfer and flexo printing technique", Thirteenth International Conference on the Science and Application of Nanotubes, 2012.06.25, Brisbane, Australia, 685.
- [88] M. Inagaki, K. Hata, K. Shiozawa, Y. Miyata, Y. Ohno, S. Kishimoto, H. Shinohara, and T. Mizutani, "High-frequency characterization of high-purity semiconductor carbon nanotube field-effect transistors", International Symposium on Carbon Nanotube Nanoelectronics 2012, 2012.06.12, Nagoya, Japan.
- [89] K. Highchi, Y. Nakajima, T. Tomura, M. Takesue, S. Kishimoto, T. Mizutani, K. Hata, and Y. Ohno, "High-Mobility Carbon Nanotube Thin-Film Transistors on Plastic Fabricated by High-Throughput Transfer and Flexo Printing Technique", International Symposium on Carbon Nanotube Nanoelectronics 2012, 2012.06.12, Nagoya, Japan.
- [90] D.M. Sun, M. Y. Timmermans, Y. Tian, A. G. Nasibulin, S. Kishimoto, T. Mizutani, E. I. Kauppinen, and Y. Ohno, "Carbon Nanotube TFTs and ICs for Flexible Electronics", International Symposium on Carbon Nanotube Nanoelectronics 2012, 2012.06.12, Nagoya, Japan.
- [91] M. Tamaoki, S. Kishimoto, Y. Ohno and T. Mizutani, "Characterization of CNT-FETs with graphitic carbon interlayer electrodes", International Symposium on Carbon Nanotube Nanoelectronics 2012, 2012.06.12, Nagoya, Japan.
- [92] Hideki Imaeda, Satoshi Ishii, Shigeru Kishimoto, Yutaka Ohno and Takashi Mizutani, "Observation of n-type conduction in CNTFETs with Au contacts in vacuum", International Symposium on Carbon Nanotube Nanoelectronics, 2012.06.12, Nagoya, Japan.
- [93] K. Housayama, Y. Okigawa, Y. Ohno, S. Kishimoto and T. Mizutani, "Resistance distribution measurement of CNT network by conductive atomic force microscopy", International Symposium on Carbon Nanotube Nanoelectronics 2012, 2012.06.12, Nagoya, Japan.
- [94] Y. Miyata, B. Thendie, K. Shiozawa, Y. Ohno, R. Kitaura, T. Mizutani, and H. Shinohara, "Semiconducting Carbon Nanotubes for Thin-Film Transistors", International Symposium on Carbon Nanotube Nanoelectronics 2012, 2012.06.11, Nagoya, Japan.
- [95] T. Mizutani, S. Kishimoto, and Y. Ohno, "CNT Optoelectronic Devices and Thin-Film Transistors", International Symposium on Carbon Nanotube Nanoelectronics 2012, 2012.06.11, Nagoya, Japan.
- [96] Y. Ohno, "Carbon nanotube-based plastic electronics". Berkeley Nanotechnology Forum 2012, 2012.04.14, UC Berkeley, San Fransisco, USA. [Keynote]
- [97] T. Mizutani and S. Kishimoto, "Fabrication of thin-film transistors using PECVD-grown carbon nanotubes and their application to integrated circuits", 2012 MRS Spring Meeting, 2012.04.12, San Francisco, USA. [Invited]
- [98] D.M. Sun, M. Y. Timmermans, A. Kaskela, A. G. Nasibulin, S. Kishimoto, T. Mizutani, E. I. Kauppinen, and Y. Ohno, "All-carbon thin-film transistors and integrated circuits for flexible and transparent electronics", 2012 MRS Spring Meeting, 2012.04.11, San Francisco, USA.
- [99] Y. Ohno, "Physics and Devices of Nanocarbon Materials", MRS Spring Meeting, 2012.04.09, San Francisco. [Tutorial]
- [100] H. Onodera: "Dependable VLSI Platform using Robust Fabrics", 18th Asia and South Pacific Design Automation Conference (ASP-DAC) 2013, pp.119-124 (2013/01).

- [101] T. Kuboki, Yusuke Ohtomo (NTT, Japan), Akira Tsuchiya (Kyoto Univ., Japan), Keiji Kishine (Univ. of Shiga Prefecture, Japan), Hidetoshi Onodera (Kyoto Univ., Japan) : "A 25-Gb/s LD Driver with Area-Effective Inductor in a 0.18- μ m CMOS". 18th Asia and South Pacific Design Automation Conference (ASP-DAC) 2013, pp.105-106 (2013/01).
- [102] J. Furuta, K. Kobayashi, and H. Onodera: "Measurement of Distance-dependent Multiple Upsets of Flip-Flops in 65 nm CMOS Process", Proceedings of 10th International Workshop on Radiation Effects on Semiconductor Devices for Space Applications, pp.154-156, (2012/12).
- [103] T. Matsumoto, K.Kobayashi, and H. Onodera: "Impact of Random Telegraph Noise on CMOS Logic Delay Uncertainty under Low Voltage Operation", IEEE International Electron Devices Meeting (IEDM) 2012, pp.581-584, (2012/12).
- [104] S. Kim, A. Tsuchiya, and H. Onodera: "Dual-PLL based on Temporal Redundancy for Radiation-Hardening", Proceedings of 10th International Workshop on Radiation Effects on Semiconductor Devices for Space Applications, (2012/12).
- [105] A.K.M. Mahfuzul Islam, and H. Onodera: "On-chip Detection of Process Shift and Process Spread for Silicon Debugging and Model-Hardware Correlation", IEEE 21st Asian Test Symposium (ATS) 2012, pp.350-354 (2012/11).
- [106] N. Kamae, A. Tsuchiya, H. Onodera: "A Body Bias Generator Compatible with Cell-based Design Flow for Within-die Variability Compensation", Proc. of the IEEE Asian Solid-State Circuits Conference(A-SSCC) 2012, (2012/11).
- [107] A.K.M Mahfuzul Islam, N. Kamae, T. Ishihara, and H. Onodera: "A Built-in Self-adjustment Scheme with Adaptive Body Bias using P/N-sensitive Digital Monitor Circuits", Proc. of the IEEE Asian Solid-State Circuits Conference(A-SSCC) 2012, (2012/11).
- [108] J. Gu, T. Ishihara, and K. Lee: "Loop Instruction Caching for Energy-Efficient Embedded Multitasking Processors", 10th IEEE Symposium on Embedded Systems for Real-Time Multimedia (ESTIMedia 2012), pp.97-106, (2012/10).
- [109] K. Lee, and T. Ishihara: "I/O Aware Task Scheduling for Energy Harvesting Embedded Systems with PV and Capacitor Arrays", 10th IEEE Symposium on Embedded Systems for Real-Time Multimedia (ESTIMedia 2012), pp.48-55, (2012/10).
- [110] S Nishizawa, T. Ishihara, and H. Onodera: "A Flexible Structure of Standard Cell and Its Optimization Method for Near-Threshold Voltage Operation", Proceedings of the 30th IEEE International Conference on Computer Design(ICCD), pp.235-240, (2012/10).
- [111] T. Matsumoto, K. Kobayashi, and H. Onodera: "Impact of Body-Biasing Technique on RTN-induced Delay Fluctuation", Proc. of 2012 International Conference on Solid State Devices and Materials (SSDM2012), pp.1130-1131, (2012/09).
- [112] S. Nishimura, T. Matsumoto, K. Kobayashi, and H. Onodera: "Impact on delay due to random telegraph noise under low voltage operation in logic circuits", Proc. of 2012 International Conference on Solid State Devices and Materials (SSDM2012), pp.170-171, (2012/09).
- [113] M. Kondo, S. Nishizawa, T. Ishihara, and H. Onodera: "A Standard Cell Optimization Method for Near-Threshold Voltage Operations", Proc. of the International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS) 2012, pp.32-41 (2012/09).
- [114] J. Furuta, R. Yamamoto, K. Kobayashi, and H. Onodera: "Effects of Neutron-Induced Well Potential Perturbation for Multiple Cell Upset of Flip-Flops in 65 nm", Nuclear and Space Radiation Effects Conference (NSREC), pp.213-218 (2012/07).
- [115] A. Tsuchiya, and H. Onodera: "Loss Modeling of On-Chip Transmission-Line for Millimeter-Wave and Terahertz Applications", Collaborative Conference on Materials Research 2012, pp.192-193, (2012/6)
- [116] A. Tsuchiya, and H. Onodera: "Impact of Radiation Loss in On-Chip Transmission-Line for Terahertz Applications", Proceedings of 16th IEEE Workshop on Signal and Power Integrity, pp.125-128 (2012/5).
- [117] K. Lee, and T. Ishihara: "A Dynamic Reconfiguration Technique for PV and Capacitor Arrays to Improve the Efficiency in Energy Harvesting Embedded Systems", 1st International Conference on Smart Grids and Green IT

- Systems, pp.175-182, (2012/04).
- [118] Z. Kuiyuan, R. Yamamoto, J. Furuta, K. Kobayashi, H. Onodera: "Parasitic bipolar effects on soft errors to prevent simultaneous flips of redundant flip-flops", Proc. of the International Reliability Physics Symposium (IRPS) 2012, pp.5B.2.1-5B.2.4, DOI: 10.1109/IRPS.2012.6241844, (2012/04).
- [119] J. Furuta, R. Yamamoto, K. Kobayashi, and H. Onodera: "Evaluation of Parasitic Bipolar Effects on Neutron-Induced SET Rates for Logic Gates", Proc. of the International Reliability Physics Symposium (IRPS) 2012, pp. SE.5.1-SE.5.5, DOI: 10.1109/IRPS.2012.6241930, (2012/04).
- [120] T. Matsumoto, K. Kobayashi, and H. Onodera: "Impact Body-Biasing Technique on RTN-induced CMOS Logic Delay Uncertainty", IEEE/ACM Workshop on Variability Modeling and Characterization (VMC) 2012, (2012/11).
- [121] M. Masuda, K. Kubota, R. Yamamoto, J. Furuta, K. Kobayashi, and H. Onodera: "A 65 nm Low-Power Adaptive-Coupling Redundant Flip-Flops", Proc. of the conference on Radiation and its Effects on Components and Systems(RADECS), (2012/09).
- [122] S. Kim, A. Tsuchiya, H. Onodera: "Modeling of Single-Event Failures in Divider and PFD of PLL based on Jitter Analysis", Proc. of the conference on Radiation and its Effects on Components and Systems(RADECS), (2012/09).
- [123] T. Iwagaki, T. Mikami, H. Ichihara and T. Inoue, "Utilizing register transfer level false paths for circuit optimization with a logic synthesis tool,"Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS'12), pp.615-618, Dec. 2012.
- [124] T. Iwagaki, H. Ichihara, T. Inoue and K. K. Saluja, "Exact and heuristic methods of generating compact tests for hold-time violations,"Digest of Papers 13th IEEE Workshop on RTL and High Level Testing (WRTL'12), pp.4.2.1-4.2.6, Nov. 2012.
- [125] Y. Midoh, A. Osaka, and K. Nakamae, "A dose modification strategy of electron-beam directwriting considering TDDB reliability in LSI interconnects,"Proc. SPIE Advanced Lithography, San Jose, USA, 8680-47 (24-28 Feb 2013).
- [126] Gong Chen, Yu Zhang, Bo yang, Qing Dong, Shigetoshi Nakatake, "A Comparator Energy Model Considering Shallow Trench Isolation Stress by Geometric Programming", IEEE ISQED 2013, 2013.
- [127] Chiashi, T. Inoue, D. Hasegawa, S. Maruyama, "Density-controlled Growth of Horizontally Aligned Single-walled Carbon Nanotubes on Crystal Quartz Substrates,"2012 MRS Spring Meeting.
- [128] S. Aikawa, T. Inoue, E. Einarsson, T. Thurakitseree, S. Chiashi, S. Maruyama, "Ambipolar Behavior in All-Carbon-Nanotube Field-Effect Transistors by Poly(Vinyl Alcohol) Coating,"International Symposium on Carbon Nanotube Nanoelectronics (CNTNE).
- [129] S. Kim, S. Aikawa, P. Zhao, E. Einarsson, S. Chiashi, S. Maruyama, "Toward single-walled carbon nanotube and graphene composite devices,"International Symposium on Carbon Nanotube Nanoelectronics (CNTNE).
- [130] T. Inoue, D. Hasegawa, S. Badar, S. Chiashi, S. Maruyama, "Gas Pressure Effect on Density of Horizontally Aligned Single-Walled Carbon Nanotubes Grown on Crystal Quartz Substrates,"International Symposium on Carbon Nanotube Nanoelectronics (CNTNE).
- [131] T. Inoue, D. Hasegawa, S. Badar, S. Chiashi, S. Maruyama, "Effect of Gas Pressure on Growth Process of Horizontally Aligned Single-Walled Carbon Nanotubes on Quartz Substrates,"International Conference on the Science and Application of Nanotubes (NT12).
- [132] S. Aikawa, T. Inoue, E. Einarsson, S. Chiashi, S. Maruyama, "Influence of Polymer Coating on Device Properties of Carbon Nanotube Field-Effect Transistors,"2012 International Conference on Solid State Devices and Materials (SSDM 2012).
- [133] S. Chiashi, T. Inoue, D. Hasegawa, S. Badar, S. Maruyama, "Growth Mechanism of Horizontally Aligned Single-walled Carbon Nanotubes on R-cut Crystal Quartz Substrates , "25th International Microprocesses and Nanotechnology Conference (MNC 2012).
- [134] S. Kim, S. Aikawa, P. Zhao, B. Hou, E. Einarsson, S. Chiashi, S. Maruyama, "Fabrication of Flexible Graphene Field-effect Transistors with Single-walled Carbon Nanotube Electrodes,"2012 MRS Fall Meeting.
- [135] Yoshiya KOMATSU, Masanori HARIYAMA and Michitaka KAMEYAMA, "Architecture of an



Asynchronous FPGA for Handshake-Component-Based Design", Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA), July 2012.

- [136] Yoshiya KOMATSU, Masanori HARIYAMA and Michitaka KAMEYAMA, "Area-Efficient Design of Asynchronous Circuits Based on Balsa Framework for Synchronous FPGAs", Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA), July 2012.
- [137] Zhengfan XIA, Shota ISHIHARA, Masanori HARIYAMA, and Michitaka KAMEYAMA, "An Asynchronous FPGA Based on Dual/Single-Rail Hybrid Architecture", Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA), July 2012.
- [138] Zhengfan Xia, Shota Ishihara, Masanori Hariyama, Michitaka Kameyama, "Dual-Rail/Single-Rail Hybrid Logic Design for High-Performance Asynchronous Circuit", IEEE International Symposium on Circuits and Systems (ISCAS), 2012-05-23
- [139] Xu Bai, Michitaka Kameyama, "Current-Source-Sharing Differential-Pair Circuits for a Low-Power Fine-Grain Reconfigurable VLSI Architecture", Proceedings of the 42th IEEE International Symposium on Multiple-Valued Logic, 208-213, 2012-05-15
- [140] Shogo Kisara, Michitaka Kameyama, "Unified Current-Source Control for Low-Power Current-Mode-Logic Bit-Serial Circuits", Proceedings of the 42th IEEE International Symposium on Multiple-Valued Logic, 104-109, 2012-05-14
- [141] K. Mizuno, Y. Terachi, K. Takagi, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "Architectural Study on HOG Feature Extraction Processor for Real-Time Object Detection," IEEE Workshop on Signal Processing Systems (SiPS), pp.197-202, Oct. 2012.
- [142] K. Okuno, T. Konishi, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "A 62-dB SNDR Second-Order Gated Ring Oscillator TDC with Two-Stage Dynamic D-Type Flipflops as A Quantization Noise Propagator," IEEE International New Circuits and Systems (NEWCAS), pp.289-292, Jun. 2012.
- [143] T. Konishi, K. Okuno, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "A 61- dB SNDR 700 μm^2 Second-Order All-Digital TDC with Low-Jitter Frequency Shift Oscillators and Dynamic Flipflops," Symposium on VLSI Circuits, pp. 190-191, June 2012.
- [144] T. Konishi, K. Okuno, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "A 51- dB SNDR DCO-Based TDC Using Two-Stage Second-Order Noise Shaping," IEEE International Symposium on Circuits and Systems (ISCAS), pp.3170-3173, Seoul, Korea, May 2012.
- [145] S. Okumura, S. Yoshimoto, H. Kawaguchi and M. Yoshimoto, "A Physical Unclonable Function Chip Exploiting Load Transistors' Variation in SRAM Bitcells," IEEE Asia and South Pacific Design Automation Conference (ASP-DAC) University LSI Design Contest, pp.79-80, Jan. 2013.
- [146] S. Yoshimoto, T. Amashita, M. Yoshimura, Y. Matsunaga, H. Yasuura, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "Neutron-Induced Soft Error Rate Estimation for SRAM Using PHITS," IEEE International On-Line Testing Symposium (IOLTS), pp.173-176, Jun. 2012.
- [147] S. Yoshimoto, T. Amashita, S. Okumura, K. Nii, H. Kawaguchi, and M. Yoshimoto, "NMOS-Inside 6T SRAM Layout Reducing Neutron-Induced Multiple Cell Upsets," IEEE International Reliability Physics Symposium (IRPS), pp.5B.5.1-5, Apr. 2012.
- [148] J. Jung, Y. Nakata, S. Okumura, H. Kawaguchi, and M. Yoshimoto, "A Variation-Aware 0.57-V Set-Associative Cache with Mixed Associativity Using 7T/14T SRAM," IEEE Faible Tension Faible Consommation (FTFC), Jun. 2012.
- [149] G. He, T. Sugahara, Y. Miyamoto, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "A 40-nm 168-mW $2.4 \times$ -Real-Time VLSI Processor for 60-kWord Continuous Speech Recognition," IEEE Custom Integrated Circuits Conference (CICC), pp.1-4, Sep. 2012.
- [150] G. He, T. Sugahara, T. Fujinaga, Y. Miyamoto, H. Noguchi, S. Izumi, H. Kawaguchi and M. Yoshimoto, "A 40-nm 144-mW VLSI Processor for Realtime 60k Word Continuous Speech Recognition," IEEE Asia and South Pacific Design Automation Conference (ASP-DAC) University LSI Design Contest, pp.71-72, Jan. 2013.
- [151] J. Jung, Y. Nakata, M. Yoshimoto, and H. Kawaguchi, "Energy-Efficient Spin-Transfer Torque RAM Cache Exploiting All-Zero-Data

- Flags," in Proceedings of the 14th International Symposium on Quality Electronics and Design, pp.-, Mar. 2013. (To appear)
- [152] Y. Uchida, X. Yang, S. He, Q.Liu, T. Yoshimasu, "5-GHz band linear CMOS power amplifier IC with a novel integrated linearizer for WLAN applications", IEEE Int'l Symp. on RF IT, Nov. 2012
- [153] Trung-Khanh Le, Trong-Tu Bui, Duc-Hung Le and Cong-Kha Pham, A Design of 16-bit Pi-Type DAC Employing Three-Stage Indirect Feedback Compensation OPAMP, Proceedings of the 3rd IEICE International Conference on Integrated Circuits and Devices in Vietnam, Da Nang City, Vietnam, August 13-15, 2012.
- [154] Trung-Khanh Le, Trong-Tu Bui, Duc-Hung Le and Cong-Kha Pham, A Design of Three-Stage CMOS Opamp Using Indirect Feedback Compensation Technique, The 2nd Solid-State Systems Symposium VLSIs and Semi conductor Related Technologies (4S-2012), Ho Chi Minh City, Vietnam, August 22-24, 2012.
- [155] Van-Phuc Hoang and Cong-Kha Pham, "Low Error, Efficient Fixed Width Squarer Using Hybrid LUT-based Architecture," in Advances in Electrical Engineering and Electrical Machines, Editor: Dehuai Zeng, Lecture Notes in Electrical Engineering (LNEE), vol.134, pp.223-230, Springer, ISSN 1876-1100, 2011.
- [156] Van-Phuc Hoang and Cong-Kha Pham, "Low-Area, High-Speed Logarithmic and Anti-logarithmic Converters for Digital Signal Processors Based on Hybrid Number System," IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XV), poster no.8, Yokohama, Japan, Apr. 2012.
- [157] Van-Phuc Hoang and Cong-Kha Pham, "Novel Quasi-Symmetrical Approach for Efficient Logarithmic and Anti-logarithmic Converters," VDE-IEEE 8th Conference on Ph.D. Research in Microelectronics&Electronics (PRIME2012), pp.111 -114, Aachen, Germany, Jun. 2012.
- [158] Van-Phuc Hoang and Cong-Kha Pham, "Low-Error and Efficient Fixed-Width Squarer for Digital Signal Processing Applications," IEEE International Conference on Communications and Electronics (ICCE2012), pp.477-482, Hue, Vietnam, Aug. 2012.
- [159] Y. Sato, H. Shimada, Y. Mizugaki, "Evaluation of Stacked Voltage Multiplier for Superconducting Josephson Digital-to-Analog Converter of Quantum Accuracy," International Workshop on Modern Science and Technology (IWMST 2012), Chofu, Japan, August 30-31, 2012.
- [160] Y. Mizugaki, K. Kuroiwa, M. Moriya, H. Shimada, and M. Maezawa, "5-bit Quasi-Sinusoidal Voltage Waveform Synthesized Using Single-Flux-Quantum Pulse-Frequency Modulation," Applied Superconductivity Conference 2012 (ASC 2012), Portland, Oregon, USA, October 7-12, 2012.
- [161] Y. Sato, M. Moriya, H. Shimada, Y. Mizugaki, and M. Maezawa, "Design and operation of 1000-fold voltage multiplier based on double-flux-quantum amplifier," 25th International Symposium on Superconductivity (ISS 2012), Funabori, Japan, December 3-5, 2012.
- [162] Y. Mizugaki, K. Kuroiwa, Y. Sato, Y. Takahashi, H. Shimada, and M. Maezawa, "Prototypes of Voltage Waveform Synthesizer Based on Single-Flux-Quantum Pulse-Frequency Modulation," Superconducting SFQ VLSI Workshop (SSV 2012), Nagoya, Japan, December 6-7, 2012.
- [163] D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Static Voltage Over-Scaling and Dynamic Voltage Variation Tolerance with Replica Circuits and Time Redundancy in Reconfigurable Devices," Proceedings of International Conference on ReConfigurable Computing and FPGAs (ReConFig), December 2012.
- [164] I. Homjakovs, M. Hashimoto, T. Hirose, and T. Onoye, "Signal-Dependent Analog-To-Digital Converter Based on Minimax Sampling," Proceedings of International SoC Design Conference (ISOCC), p.120-123, November 2012.
- [165] R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Impact of NBTI-Induced Pulse-Width Modulation on SET Pulse-Width Measurement," Proceedings of European Conference on Radiation and Its Effects on Components and Systems (RADECS), September 2012.
- [166] T. Kameda, H. Konoura, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "A Predictive Delay Fault Avoidance Scheme for Coarse-Grained Reconfigurable Architecture," Proceedings of International Conference on Field Programmable Logic and Applications (FPL), August 2012.
- [167] R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "SET Pulse-Width Measurement



Eliminating Pulse-Width Modulation and Within-Die Process Variation Effects," Proceedings of International Reliability Physics Symposium (IRPS), April 2012.

- [168] Y. Kishiwada, S. Ueda, Y. Miyawaki, and T. Matsuoka, "Process variation compensation with effective gate-width tuning for low-voltage CMOS digital circuits," IEEE International Meeting for Future of Electron Devices, Kansai, May. 9-11, 2012, Osaka, Japan, pp.166-167.
- [169] K. Ohhata, H. Takase, M. Tateno, M. Arita, N. Imakake, and Y. Yonemitsu, "A 1-GHz, 17.5-mW, 8-bit Subranging ADC Using Offset-Cancelling Charge-Steering Amplifier," 2012 IEEE A-SSCC, pp.149-152, Nov. 2012.
- [170] Y. Tanaka, "Reduction of the non-zero digits in the signed-digit number representation and application to the multiplication," 4th Intl. Conf. AMDE, P64, Dec. 2012.
- [171] Tran Nam Binh, Satoshi Morishita Masanori Kubota, and Yoshio Mita, "A Stiffness-Defined Silicon Plane Bending Method to Realize Perfectly-Curved Surface Formation for Tunable Parabolic Mirrors", 2012 IEEE Optical MEMS and Nanophotonics Conference, 6-9 August 2012, Banff, Alberta, Canada
- [172] Kota Hosaka, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "An Integrated CMOS-MEMS Probe having Two-Tips per Cantilever for Individual Contact Sensing and Kelvin Measurement with Two Cantilevers", 25th IEEE International Conference on Microelectronic Test Structures (ICMTS), 25-28 March, Osaka Japan, (2013.03)
- [173] Masanori Kubota, Kota Hosaka, Masakazu Sugiyama, and Yoshio Mita, "Evaluation of silicon fracture strength dependence on stealth dicing layers for "cleave-before-use" MEMS FREESTANDING cantilever probes", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '13), June 17-20, Barcelona, Spain, (2013.06).
- [174] Atsushi Hirakawa, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "Experimental Evaluation of High Voltage Hold-off Capability of Post-Mesa-Isolated Standard CMOS Devices", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers '13), June 17-20, Barcelona, Spain, (2013.06).
- [175] Wenjun Xia and Tadashi Shibata, "Self-Adaptive Quasi-Gaussian Circuits for Analog On-Chip-Trainable Multi-Class Classifiers," in Proceedings of 2012 IEEE International Symposium on Circuits and Systems (ISCAS2012), pp.2893-2896, May 20-23, 2012, Seoul, Korea.
- [176] Renyuan Zhang and Tadashi. Shibata, "Real-Time On-Line-Learning Support Vector Machine Based on A Fully-Parallel Analog VLSI Processor", in Artificial Intelligence and Soft Computing Part II, Eds. Leszek Rutkowski, Marcin Korytkowski, Rafal Scherer, Ryszard Tadeusiewicz, Lotfi A. Zadeh, Jacek M. Zurada (Springer, Heidelberg, 2012) (Proceedings of the 11th International Conference on Artificial Intelligence and Soft Computing (ICAISC 2012), Zakopane, Poland, April 29-May 3, 2012) pp.22.
- [177] Renyuan Zhang and Tadashi Shibata, "A VLSI hardware implementation study of SVDD algorithm using analog Gaussian-cell array for on-chip learning," in Proceedings of 13th International Workshop on Cellular Nanoscale Networks and Their Applications (CNNA 2012), pp.1-6, Turin, Italy, Aug. 29-31, 2012.
- [178] Zheyue Wang and Tadashi Shibata, "An A Programmable Difference-of-Gaussian Analog CMOS Image Sensor Operating in the Subthreshold Regime," in Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials (SSDM 2012, pp.1115-1116, Kyoto, Japan, Sep. 25-27, 2012.
- [179] Tadayoshi Enomoto and Nobuaki Kobayashi, "A Low Power Multimedia Processor Implementing Dynamic Voltage and Frequency Scaling Technique", in Proc. of ASP-DAC2013, University LSI Design Contest, 1D-3, in Yokohama, Kanagawa, Japan, Jan. 2013.
- [180] Tadayoshi Enomoto and Nobuaki Kobayashi, "A Low Power Multimedia Processor Implementing Block Motion Estimation Algorithm Having Capability of Adaptively Predicting both Optimum Clock Frequency and Optimum Supply Voltage", in Proc. of International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP' 2013), in the island of Hawaii, USA, Mar. 2013.

- [181] S. Amakawa, K. Takano, K. Katayama, M. Motoyoshi, T. Yoshida, and M. Fujishima, "On the choice of cascade de-embedding methods for on-wafer S-parameter measurement", *RFIT*, pp.137-139, 2012.
- [182] Tanvir Ahmed, Jun Yao, Yasuhiko Nakashima: "Introducing OVP Awareness to Achieve an Efficient Permanent Defect Locating", *NANOARCH 2012*, pp.43-49, Netherlands, Jul. (2012)
- [183] Dajiang Zhou, Gang He, Wei Fei, Zhixiang Chen, Jinjia Zhou, and Satoshi Goto, "A 4320p 60fps H.264/AVC intra-frame encoder chip with 1.41Gbins/s CABAC," *Symposium on VLSI Circuits (VLSI)*, Honolulu, USA, pp.154-155, June, 2012.
- [184] H. Naganuma, K. Kiyoyama, and T. Tanaka, "A 37×37 Pixels Artificial Retina Chip with Edge Enhancement Function for 3-D Stacked Fully Implantable Retinal Prosthesis," *IEEE Biomedical Circuits and Systems Conference 2012*, pp.212-215, 2012.
- [185] T. Matsuda, H. Hanai, H. Iwata, T. Hatakeyama, M. Ishizuka and T. Ohzone, "A Test Structure for Analysis of Temperature Distribution in CMOS LSI with Sensing Device Array," *Proc. IEEE Int. Conf. on Microelectronic Test Structures*, March, 2013.
- [186] H. Hobara, Y. Kayano and H. Inoue, "A Study on Design of PLL for Low Phase-Noise Characteristics", *SICE2012*, pp.1416-1421, WeA11-03, August, 2012.
- [187] Takayuki Watanabe, "Hybrid Modeling Method for Transient Simulation of Multilayered Power/Ground Planes," *Proc. EPEPS2012 (IEEE Topical Meeting on Electrical Performance of Electronic Packaging and Systems)*, Tempe, Arizona, USA, Oct. 22, 2012.
- [188] Design method for an over-10-Gb/s CMOS CML buffer circuit for delay control, K. KISHINE, H. Inaba, Y.Ohtomo, M. Nakamura, MI. Nakamura, *IEEE International Midwest Symposium on Circuits and Systems 2012*, pp.602-605.
- [189] MIYAMA, Masayuki, MATSUDA, Yoshio, "Integrated Face Detection, Tracking, and Pose Estimation," *ICSP' 2012*, 2012年10月, 北京.
- [190] Shuji Sannomiya, Kazuhiro Aoki, Makoto Iwata, Hiroaki Nishikawa, "Power-Performance Verification of Ultra-Low-Power Data-Driven Networking Processor: ULP-CUE," in *Proceedings of International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'12)*, pp.465-471, July 2012.
- [191] Katoh, Itagaki, Hoshina, "Time-Multiplexed On-Chip Delay Measurement for Dependable High-Speed Digital LSIs", *Proc. IEEE Global Conference on Consumer Electronics*, pp.737-738,2012.
- [192] Ota, Katoh, Kato, "Asynchronous Transfer Scan Design for High Speed On-Chip Delay Measurement of VLSI with Variable Clock Generator", *Proc. International Symposium on Technology for Sustainability*, 2012.
- [193] Katoh, Itagaki, Hoshina, "A Reduction Technique of Volume of Input Sequence for Time-Multiplexed Delay Measurement Using Embedded Delay Measurement Circuit", *Proc. IEEE Workshop on RTL and High Level Testing*, 2012.
- [194] S. Fujioka, M. Kojima, H. Izumi, Y. Umeda, O. Takyu, "Power-amplifier-inserted transversal filter for application to pulse-density-modulation switching-mode transmitters," *Int. Symp. Comm. Inf. Tech. (ISCIT 2012)*, pp.239-244, Oct. 2012.
- [195] Yuta Sasaki, Kumpei Yoshikawa, Kouji Ichikawa, Makoto Nagata, "Co-Evaluation of Power Supply Noise of CMOS Microprocessor using On-Board Magnetic Probing and On-Chip Waveform Capturing Techniques," *IEEE 2012 International Meeting for Future of Electron Devices, Kansai (IMFEDK 2012)*, #S-1, pp.70-71, May 2012.
- [196] Takeshi Okumoto, Kumpei Yoshikawa, Makoto Nagata, "Monitoring Effective Supply Voltage within Power Rails of Integrated Circuits," *Proc. 2012 IEEE Asian Solid-State Circuits Conference (A-SSCC 2012)*, #4-4, pp.113-116, Nov. 2012.
- [197] Kumpei Yoshikawa, Makoto Nagata, "Co-simulation of AC Power Noise of CMOS Microprocessor using Capacitor Charging Modeling," *Proc. IEEE CPMT Symposium Japan 2012#19-2*, pp.293-296, Dec. 2012.
- [198] Naoya Okada, Yuichi Nakamura, and Shinji Kimura, "Write Control Method Based on State Transition for MRAM-Based Nonvolatile Flip-Flop," *Proc. International Technical Conference on Circuits/Systems, Computers and Communications*, C-T2-02, pp.1-4, July 2012.

- [199] Kousuke Ogawa, Mitsuru Shiozaki, Kota Furuhashi, Takeshi Fujino, "Experimental Security Evaluation against Machine Learning Attacks on RG-DTM PUF," Proc. of 27th International Technical Conference on Circuit/Systems, Computers and Communications, C-T1-02 (2012-7)
- [200] Hiroki Ito, Mitsuru Shiozaki, Anh-Tuan Hoang, Takeshi Fujino, "Efficient DPA-Resistance Verification Method with Smaller Number of Power Traces on AES Cryptographic Circuit", Euromicro Conference on Digital System Design (DSD), pp.735-738, (2012-09)
- [201] Hiroki Ito, Mitsuru Shiozaki, Takeshi Fujino, "Efficient Evaluation Method of Tamper Resistant AES Cryptographic Circuits," International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP), (2013-3)
- [202] Takahiko Murayama, Mitsuru Shiozaki, Takeshi Fujino, "An Arbiter Circuit utilizing Time to Digital Converter Scheme for the RG-DTM PUF," International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP), (2013-3)
- [203] Masuda, Hirose, Osaki, Kuroki, Numa, "A dynamic comparator using dynamic currents of CMOS logic gates for low-power and high-efficient offset calibration," Extended abstract of the 2012 International Conference on Solid State Devices and Materials (SSDM 2012), pp.154-155, Kyoto, Japan, Sep. 25-27, 2012.
- [204] Tsuruya, Hirose, Osaki, Kuroki, Numa, Kobayashi, "A nano-watt power CMOS amplifier with adaptive biasing for power-aware analog LSIs," 38th IEEE European Solid-State Circuits Conference (ESSCIRC), pp.69-72, Bordeaux, France, Sep. 17-21, 2012
- [205] Osaki, Hirose, Tsubaki, Kuroki, Numa, "A Low-Power Single-Slope Analog-to-Digital Converter with Digital PVT Calibration," 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp.613-616, Sevilla, Spain, Dec. 10-12, 2012.
- [206] Tsubaki, Hirose, Osaki, Shiga, Kuroki, Numa, "A 6.66-kHz, 940-nW, 56ppm/° C, Fully On-chip PVT Variation Tolerant CMOS Relaxation Oscillator," 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp.97-100, Sevilla, Spain, Dec. 10-12, 2012.
- [207] Hiroki Iwaizumi, Shingo Yoshizawa, Yoshikazu Miyanaga, "A New High-Speed and Low-Power LSI Design of SVD-MIMO-OFDM Systems," IEEE International Symposium on Communications and Information Technologies (ISCIT), pp.209-214, 2012年10月.
- [208] Jaeseong Kim, Shingo Yoshizawa, Yoshikazu Miyanaga, "A Low-Power MMSE MIMO Detector Using Dynamic Voltage Wordlength Scaling for 4x4 MIMO-OFDM Systems," IEEE International Symposium on Circuits and Systems (ISCAS), pp.2793-2796, 2012年5月.
- [209] Tomohiro Yoneda, Masashi Imai, "Dependable Routing in Multi-Chip NoC Platforms for Automotive Applications," Proc. DFT2012, pp.217-224, Oct., 2012
- [210] Masashi Imai, Tomohiro Yoneda, "Floorplan Method for SDI-model-based Asynchronous Circuits to Achieve High Robustness against Delay Variations," IEEE/ACM Workshop on CAD for Multi-Synchronous and Asynchronous Circuits and Systems 2012, Poster and Oral session, Nov., 2012
- [211] Y. Shirahashi, M. Watanabe, "Dependability-increasing method of processors under a space radiation environment," International Workshop on Applied Reconfigurable Computing, March, 2013.
- [212] A. Ogiwara, M. Watanabe, R. Moriwaki, "Temperature Dependable Holographic Memory Using Holographic Polymer-dispersed Liquid Crystal," Progress In Electromagnetics Research Symposium, March, 2013.
- [213] R. Moriwaki, M. Watanabe, A. Ogiwara, "A 9-configuration-context optically reconfigurable gate array using a polymer-dispersed liquid crystal holographic memory," Takayanagi Kenjiro Memorial Symposium, pp. S3_10_1-S3_10_4, Nov., 2012.
- [214] Y. Yamaji, M. Watanabe, "A 256-configuration-context MEMS optically reconfigurable gate array," International Conference on Solid State Devices and Materials, pp.232-233, Sep., 2012.
- [215] H. Ito, M. Watanabe, "A uniform partitioning method for Mono-Instruction Set Computer (MISC). " International Workshop on Renewable Computing Systems, pp.832 -837, Sep., 2012.
- [216] Y. Kamikubo, M. Watanabe, S. Kawahito, "Gray-level image recognition on a dynamically

- reconfigurable vision architecture,"IEEE SOC Conference, pp.61-65, Sep., 2012.
- [217] T. Yoza, M. Watanabe, "A 16-configuration-context robust optically reconfigurable gate array with a reconfiguration speed adjustment function,"International Conference on Field Programmable Logic and Applications, pp.361-366, Aug., 2012.
- [218] T. Watanabe, M. Watanabe, "Inversion/Non-Inversion Reconfiguration Scheme for a 0.18 Um CMOS Process Optically Reconfigurable Gate Array VLSI,"IEEE International Midwest Symposium on Circuits and Systems, pp.117-120, Aug., 2012.
- [219] T. Watanabe, M. Watanabe, "0.18 um CMOS process high-sensitive differential optically reconfigurable gate array VLSI,"IEEE Computer Society Annual Symposium on VLSI, pp.308-313, Aug., 2012.
- [220] R. Moriwaki, M. Watanabe, "Optical configuration acceleration on a new optically reconfigurable gate array VLSI using a negative logic implementation,"International Conference on engineering of reconfigurable systems and algorithms, pp.127-132, July, 2012.
- [221] Y. Ueno, M. Watanabe, "A 4-configuration Context Fiber-linked Optically Reconfigurable Gate Array,"OptoElectronics and Communications Conference, pp.592-593, July, 2012.
- [222] T. Yoza and M. Watanabe, "A 16-configuration-context dynamic optically reconfigurable gate array with a dependable laser array," NASA/ESA Conference on Adaptive Hardware and Systems, pp.92-98, June, 2012.
- [223] R. Moriwaki, T. Yoza, Y. Kamikubo, Y. Torigai, T. Watanabe, Y. Aoyama, M. Seo, M. Watanabe, "FPGA Connect6 Solver with Hardware Sort Units," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, pp.163-166, May, 2012.
- [224] T. Watanabe, M. Watanabe, "0.18 um CMOS process high-sensitive optically reconfigurable gate array VLSI," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, pp.147-151, May, 2012.
- [225] T. Watanabe, M. Watanabe, "High speed -low power optical configuration on an ORGA with a phase-modulation type holographic memory," Reconfigurable Architectures Workshop, pp.249-253, May, 2012.
- [226] S. Kubota, M. Watanabe, "Detection and compensation methods of alignment errors between a programmable optically reconfigurable gate array and its writer system," National Aerospace&Electronics Conference, July, 2012.
- [227] Kumano, Matsuda, Noguchi, Hanagiri, Ogishima, Shimizu, Ishikawa, Fukai, "Web-Based LSI Design Data Management System for Education", JTSTE2012, 2-D-48, 2012-11
- [228] Matsuda, Noguchi, Kumano, Hanagiri, Ogishima, Shimizu, Ishikawa, Fukai, "
- [229] Yoshihiro Kitahara , Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda, "A Four-paralleled Second-order Time Interleaved Delta-Sigma Modulator using a Vector Filters, "2012 International Conference of Analog VLSI Circuits, Oct. , 2012.
- [230] Shuhei Kato, Kazuya Kobayashi, Akira Yasuda, Michitaka Yoshino, "Anti-aliasing Subsampling Mixer using Blocker Filter Technique," 2012 International Conference of Analog VLSI Circuits, Oct. , 2012.
- [231] T. Tokuda, T. Miyatani, Y. Sawadsaringkarn, T. Kobayashi, T. Noda, K. Sasagawa and J. Ohta, "A CMOS on-chip Image Sensor with Integrated LED Array for Optogenetics," 2012 International Conference on Solid State Devices and Materials (SSDM2012), PS-11-13, Sep. 26, 2012, Kyoto International Conference Center, Kyoto, Japan
- [232] M. Haruta, T. Kobayashi, C. Kitsumoto, T. Noda, K. Sasagawa, T. Tokuda, and J. Ohta, "A CMOS-Based Implantable Imaging Device for Wide-Area Brain Functional Imaging," 2012 International Conference on Solid State Devices and Materials (SSDM2012), J-2-3, Sep. 25, 2012, Kyoto International Conference Center, Kyoto, Japan
- [233] N. Wakama, N. Tachikawa, K. Terao, M. Shibata, T. Noda, K. Sasagawa, T. Tokuda, K. Kakiuchi and J. Ohta, "Real-time Multifunctional Optical Analyzer Based on Polarization-analyzing CMOS Image Sensor for Microchemical Systems," 2012 International Conference on Solid State Devices and Materials (SSDM2012), PS-11-12, Sep. 26, 2012, Kyoto International Conference Center, Kyoto, Japan
- [234] M. Haruta, T. Kobayashi, C. Kitsumoto, T. Noda, K. Sasagawa, T. Tokuda, and J. Ohta,

- "Development of a CMOS-based implantable device for wide-area brain functional imaging," IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK 2012), PC-04, 2012/5/10, Kansai University, Japan
- [235] N. Wakama, H. Matsuoka, K. Ando, T. Noda, K. Sasagawa, T. Tokuda, and J. Ohta, "A polarization analyzing CMOS image sensor with metal wire grid in 65-nm standard CMOS technology," IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK 2012), PC-03, 2012/5/10, Kansai University, Japan
- [236] K. Sasagawa, K. Ando, H. Matsuoka, T. Kobayashi, T. Noda, T. Tokuda, and J. Ohta, "On-chip metal wire grid polarizer for CMOS image sensor based on 65-nm technology," Conference on Lasers and Electro-Optics (CLEO 2012), CM3M.7, 2012/5/7, San Jose, USA
- [237] K. Sasagawa, S. Yokota, T. Matsuda, P. Davis, B. Zhang, L. Keren, T. Kobayashi, T. Noda, T. Tokuda, and J. Ohta, "Baseband Signal Transmission Experiment for Intra-Brain Communication with Implantable Image Sensor," Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC2012), FrE08.5, 2012/8/31, San Diego, USA
- [238] T. Tokuda, T. Miyatani, Y. Maezawa, T. Kobayashi, T. Noda, K. Sasagawa, and J. Ohta, "A CMOS-Based On-Chip Neural Interface Device Equipped with Integrated LED Array for Optogenetics," Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC2012), FrC16.6, 2012/8/31, San Diego, USA
- [239] T. Tokuda, T. Miyatani, Y. Maezawa, T. Kobayashi, T. Noda, K. Sasagawa, and J. Ohta, "CMOS-based on-chip bio-image sensor with integrated micro LED array for optogenetics," Neuroscience 2012 (SfN2012), 207.04/DDD28, 2012/10/14, New Orleans, USA
- [240] M. Haruta, T. Kobayashi, C. Kitsumoto, T. Noda, K. Sasagawa, T. Tokuda, and J. Ohta, "An implantable CMOS-based device with hexagonal shape for wide-area brain functional imaging," Neuroscience 2012 (SfN2012), 927.09/FFF78, 2012/10/17, New Orleans, USA
- [241] T. Kobayashi, M. Motoyama, H. Masuda, Y. Ohta, M. Haruta, T. Noda, K. Sasagawa, T. Tokuda, H. Tamura, Y. Ishikawa, S. Shiosaka, and J. Ohta, "Fluorescence potentiometry using an implantable multiple imaging system to visualize the neural activities in both visual hemispheres of freely-moving mouse," FENS (Federation of European Neuroscience Societies) Forum 2012, 2012/7/16, Barcelona, Spain.
- [242] T. Tokuda, T. Miyatani, Y. Maezawa, T. Kobayashi, T. Noda, K. Sasagawa, and J. Ohta, "CMOS-based Optoelectronic Neural Interface Device for Optogenetics," Neural Interface Conference, H-1, 2012/6/18, Salt Lake City, USA
- [243] K. Sasagawa, M. Haruta, C. Kitsumoto, T. Kobayashi, T. Noda, T. Tokuda, and J. Ohta, "An Implantable CMOS Sensor Device for Multi-Area Fluorescence Imaging of A Rat Brain," Neural Interface Conference, H-11, 2012/6/18, Salt Lake City, USA
- [244] Yimeng Zhang, Tsutomu Yoshihara, "A Low Power Dissipation Real Time Counter for Sensor Network Application" ICEIC2013
- [245] Jingyang Li, Yimeng Zhang, and Tsutomu Yoshihara, "A Novel Charge Recovery Logic Structure with Complementary Pass-transistor Network" ISOCC2012
- [246] Ning REN, Hao ZHANG and Tsutomu YOSHIHARA, "A CMOS Voltage Reference Combining Body Effect with Switched-Current Technique" ISOCC2012
- [247] A. Sanada, T. Hayashi, S. Nagai, "Characteristics of Planar Mushroom Metamaterials/ Metasurfaces," Proc. of International Symposium on Frontiers in THz Technology 2012, pp THP.2, November 2012
- [248] C. Monteiro, Y. Takahashi, and T. Sekine, "A comparison of cellular multiplier cell using secure adiabatic logics," Proc. ITC-CSCC 2012, E-M2-03 (CD-ROM), 4pages, July 15-18, Hokkaido, Japan.
- [249] Z. Luo, Y. Takahashi, and T. Sekine, "Mod-4N2P2D: Diode-based dual-rail adiabatic logic with sinusoidal power supply," Proc. ITC-CSCC 2012, P-T2-08 (CD-ROM), 3pages, July 15-18, Hokkaido, Japan.
- [250] Y. Takahashi, Z. Luo, T. Sekine, N. A. Nayan, and M. Yokoyama, "2PCDAL: Two-phase clocking dual-rail adiabatic logic," Proc. IEEE APCCAS 2012, pp.124-127, Dec. 2-5, Kaohsiung, Taiwan.

- [251] C. Monteiro, Y. Takahashi, and T. Sekine, "Secure charge-sharing symmetric adiabatic logic implementation in AES S-Box architecture for smart card," Proc. IEEE ICEIC 2013, Jan. 30-Feb. 2, Bali, Indonesia
- [252] M. Kubota, Y. Mita, T. Momose, A. Kondo, Y. Shimogaki, Y. Nakano, M. Sugiyama "A 50 nm-Wide 5 μ m-Deep Copper Vertical Gap Formation Method by A Gap-Narrowing Post-Process with Supercritical Fluid Deposition for Pirani Gauge Operating over Atmospheric Pressure", The 25th International Conference on Micro Electro Mechanical Systems, pp.204-207, 2012
- [253] S. Ikeda, H. Ito, N. Ishihara, and K. Masu, "Optimal Design Method for Chip-Area-Efficient CMOS Low-Dropout Regulator," IEEE Asian Pacific Conference on Circuit and Systems, pp.332-335, Dec. 2012
- [254] S. Ikeda, H. Ito, N. Ishihara, and K. Masu, "Optimal Design Method for Chip-Area-Efficient CMOS Low-Dropout Regulator," IEEE Asian Pacific Conference on Circuit and Systems, pp.332-335, Dec. 2012.
- [255] S. Ikeda, S. Lee, T. Kamimura, H. Ito, N. Ishihara, and K. Masu, "Fractionally Injection-Locked Frequency Multiplication Technique with Multi-Phase Ring VCO," Int. Conf. on Solid State Devices and Materials, pp.1158-1159, Sep. 2012.
- [256] D. N. S. Dharmiza, H. Ito, N. Ishihara, and K. Masu, "Inductorless Wideband Low Noise Amplifier with Variable Gain in 65 nm CMOS," Int. Conf. on Solid State Devices and Materials, pp.164-165, Sep. 2012.
- [257] S. Lee, S. Ikeda, H. Ito, S. Tanoi, N. Ishihara, and K. Masu, "An Inductorless Injection-Locked PLL with 1/2-and 1/4-Integral Subharmonic Locking in 90 nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp.189-192, Jun. 2012.
- [258] A. Shirane, M. Otsuru, S. Lee, S. Yonezawa, S. Tanoi, H. Ito, N. Ishihara, and K. Masu, "A Process-Scalable RF Transceiver for Short Range Communication in 90 nm Si CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp.455-458, Jun. 2012.
- [259] A. Shirane, H. Ito, N. Ishihara, and K. Masu, "A Study on Integration of MEMS and CMOS with Applying Flip-chip Assembly in Wireless Applications," Materials Research Society Spring Meeting, Apr. 2012.
- [260] H. Kiumarsi, H. Ito, N. Ishihara, K. Okada, Y. Uemichi, Y. Chiba, and K. Masu, "A 3-dB Quadrature WLP Coupler for 60 GHz Applications," Materials Research Society Spring Meeting, Apr. 2012.
- [261] 荅邦寛, 寺田晋也, 江口啓, 大田一郎, "General analysis of output resistance of digital-selecting type switched-capacitor power supply" The Seventh International Conference on Innovative Computing, Information and Control (ICICIC2012), Shanghai, China, vol.7, no.3, pp.641-648, (2012.11)
- [262] 野村一樹, 菊地大樹, 中野誠彦 "A Design of Photovoltaic Power Supply for Stand-Alone Microsystem Using 0.18 μ m CMOS Technology" 2012 International Conference on Analog VLSI Circuit 2012年10月
- [263] T. Konishi, H. Yotsuyanagi and M. Hashizume, "An Electrical Test Circuit for Detecting Interconnect Open Defects in 3D ICs", Proc. ICEP2012, pp.88-93, April 2012.
- [264] T. Konishi, H. Yotsuyanagi and M. Hashizume "A Built-in Test Circuit for Supply Current Testing of Open Defects at Interconnects in 3D ICs", Proc. of 4-th Electronics System Integration Technologies Conference (ESTC 2012), pp.PA21.1_1-PA21.1_6, Sep. 2012.
- [265] S. Endo et.al., "An Efficient Countermeasure against Fault Sensitivity Analysis Using Configurable Delay Blocks," Workshop on Fault Diagnosis and Tolerance in Cryptography (FDTC), pp.95-102, Sept. 2012.
- [266] T. Hibiki, N. Homma, T. Aoki, Y. Nakano, K. Fukushima, S. Kiyomoto, and Y. Miyake, "Chosen-IV Correlation Power Analysis on KCipher-2 and a Countermeasure", Constructive Side-Channel Analysis and Secure Design (COSADE), Mar. 2013
- [267] T. Ito, A. Kadoda, K. Nakayama, Y. Yasui, M. Mori, K. Maezawa, E. Miyazaki, T. Mizutani, "Effective mobility enhancement in Al₂O₃/InSb/Si quantum well MOSFETs for thin InSb channel layers", SSDM 2012, Kyoto, Japan, 2012年9月.
- [268] K. Maezawa, A. Kadoda, T. Ito, Y. Yasui, M. Mori, E. Miyazaki, T. Mizutani, "Al₂O₃/InSb MOS diodes with an ultrathin InSb layer grown directly on Si(111) substrate using surface reconstruction controlled epitaxy", WOCSDICE2012,

Porquerolles (France), 2012年5月.

- [269] K. Maezawa, A. Kadoda, T. Ito, Y. Yasui, M. Mori, E. Miyazaki, T. Mizutani, "Al₂O₃/InSb/Si quantum well MOSFETs having ultra-thin InSb layer", Device research conference 2012, Penn State University, PA (USA), 2012年6月.
- [270] K. Mars, S. Kawahito, "Low Noise Readout Circuits Interface Using a Capacitive-Feedback Frontend Amplifier for High Output Impedance Sensors," IDW/AD2012 (The 19th International Display Workshops in conjunction with Asia Display 2012), INP4-3, Proceedings of The International Display Workshops, Vol.19, pp.1529-1532, Kyoto, Japan, Dec. 6, 2012.
- [271] S. Abe, M. Yanagisawa, and N. Togawa, "An Energy-efficient High-level Synthesis Algorithm for Huddle-based Distributed-Register Architectures," in Proc. of ISCAS 2012, pp.576-579, 2012.
- [272] H. Akasaka, M. Yanagisawa, and N. Togawa, "Energy-efficient high-level synthesis for HDR architectures with clock gating", in Proc. of IEEE International SoC Design Conference 2012, pp.135-138, 2012年11月.
- [273] Y. Atobe, Y. Shi, M. Yanagisawa and N. Togawa, "State Dependent Scan Flip-Flop with Key-Based Configuration against Scan-Based Side Channel Attack on RSA Circuit," in Proc. 2012 IEEE Asia Pacific Conference on Circuits and Systems, pp.607-610, Dec. 2012.
- [274] S. Takeda, S. Miwa, K. Usami and H. Nakamura, "Stepwise Sleep Depth Control for Run-Time Leakage Power Saving", 2012 Great Lakes Symposium on VLSI (GLSVLSI'12), pp.233-238, May. 2012
- [275] K. Kim, S. Takeda, S. Miwa and H. Nakamura, "A Novel Power-Gating Scheme Utilizing Data Retentiveness on Caches", 2012 Great Lakes Symposium on VLSI (GLSVLSI'12) (poster presentation), pp.91-94, May. 2012
- [276] S. Takeda, S. Miwa, K. Usami and H. Nakamura, "Efficient Leakage Power Saving by Sleep Depth Controlling for Multi-mode Power Gating", The 13th International Symposium on Quality Electronic Design (ISQED'12), pp.627-634, Mar. 2012
- [277] Ryo Minami, Keigo Bunsen, Kenichi Okada, and Akira Matsuzawa, "A 60GHz Power Amplifier Usign High Common-Mode Rejection Technique," in IEEE Asia-Pacific Microwave Conference (APMC), Kaohsiung, Taiwan, Dec. 2012.
- [278] Teerachot Siriburanon, Takahiro Sato, Ahmed Musa, Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A 20 GHz Push-Push Voltage-Controlled Oscillator for a 60 GHz Frequency Synthesizer", IEEE Asia-Pacific Microwave Conference (APMC), Kaohsiung, Taiwan, pp.205-207, Dec. 2012.
- [279] Rui Wu, Yuuki Tsukui, Ryo Minami, Kenichi Okada, and Akira Matsuzawa, "A 0.7V-to1.0V 10.1 dBm-to-13.2 dBm 60-GHz Power Amplifier Using Digitally-Assisted LDO Considering HCI Issues," IEEE Asian Solid-State Circuits Conference (A-SSCC), Kobe, Japan, pp.353-356, Nov. 2012.
- [280] Qinghong Bu, Ning Li, Kenichi Okada and Akira Matsuzawa, "A Comparison between Common-source and Cascode Topologies for 60GHz Amplifier Design in 65 nm CMOS", "SSDM2012, Kyoto, Japan, Sep.2012
- [281] Wei Deng, Teerachot Siriburanon, Ahmed Musa, Kenichi Okada, and Akira Matsuzawa, "A 58.1-to-65.0 GHz Frequency Synthesizer with Background Calibration for Millimeter-wave TDD Transceivers," IEEE European Solid-State Circuits Conference (ESSCIRC), pp.201-204, Sep. 2012.
- [282] M. Miyahara H. Sakaguchi, N. Shimasaki and A. Matsuzawa, "An 84 mW 0.36 mm² Analog Baseband Circuits for 60 GHz Wireless Transceiver in 40 nm CMOS," IEEE RFIC Symp. Dig., pp.495-498, June 2012.
- [283] Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A PVT-robust Feedback Class-C VCO Using an Oscillation Swing Enhancement Technique," IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), Sydney, Australia, pp.563-564, Jan. 2012.
- [284] Ahmed Musa, Kenichi Okada and Akira Matsuzawa, "A Progressive Mixing 20GHz ILFD with Locking Range for Higher Division Ratios" IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), Sydney, Australia, pp.559-560, Jan. 2012.
- [285] Ryo Minami, Hiroki Asada, Ahmed Musa, Takahiro Sato, Ning Li, Tatsuya Yamaguchi,

- Yasuaki Takeuchi, Win Chiavipas, Kenichi Okada, and Akira Matsuzawa, "A 60-GHz 16QAM 11Gbps Direct-Conversion Transceiver in 65 nm CMOS,"*IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC)*, Sydney, Australia, pp.467-468, Jan. 2012.
- [286] T. L. Li, S. Sakai, S. Kawada, Y. Goda, S. Wakashima, R. Kuroda and S. Sugawa, "A Column-Parallel Hybrid ADC using SAR and Single-Slope with Error Correction for CMOS Image Sensors", *SOLID STATE DEVICES AND MATERIALS*, J-1-4, SEP, 2012
- [287] K.Inoue, Y.Nishitani, M.Amagasaki, M.Iida and T.Sueyoshi "Fault Detection and Avoidance of FPGA in Various Granularities,"*Proc. 22th International Conference on Field Programmable Logic and Applications (FPL2012)*, pp.539-542, Oslo, Norway, Aug. 2012
- [288] Y.Nishitani, K.Inoue, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi "A Hard-error Resilient Technique for Homogeneous FPGA Architecture,"*Proc. 2012 Joint Conference of Electrical and Electronics Engineers in Kyusyu*, 01-1P-02, Nagasaki, Japan, Sep. 2012.
- [289] Y.Nishitani, K.Inoue, Motoki Amagasaki, M.Iida, M.Kuga and T.Sueyoshi. "A Novel Physical Defects Recovery Technique for FPGA-IP cores," *Proc. International Conference on Reconfigurable Computing and FPGAs (ReConFig2012)*, pp.1-7, Cancun, Mexico, Dec. 2012.
- [290] Ruihan Bao and Tadashi Shibata, "A Hierarchical Action Recognition System Applying Fisher Discrimination Dictionary Learning via Sparse Representation,"*in Artificial Intelligence and Soft Computing Part I*, Eds. Leszek Rutkowski, Marcin Korytkowski, Rafal Scherer, Ryszard Tadeusiewicz, Lotfi A. Zadeh, Jacek M. Zurada (Springer, Heidelberg, 2012) (Proceedings of the 11th International Conference on Artificial Intelligence and Soft Computing (ICAISC 2012), Zakopane, Poland, April 29-May 3, 2012) pp.468-476.
- [291] Pushe Zhao, Renyuan Zhang, and Tadashi Shibata, "Real-time Object Tracking Algorithm Employing On-Line Support Vector Machine and Multiple Candidate Regeneration,"*in Artificial Intelligence and Soft Computing Part I*, Eds. Leszek Rutkowski, Marcin Korytkowski, Rafal Scherer, Ryszard Tadeusiewicz, Lotfi A. Zadeh, Jacek M. Zurada (Springer, Heidelberg, 2012) (Proceedings of the 11th International Conference on Artificial Intelligence and Soft Computing (ICAISC 2012), Zakopane, Poland, April 29-May 3, 2012) pp.617-625.
- [292] Hongbo Zhu and Tadashi Shibata, "A Real-Time Motion-Feature-Extraction Image Processor Employing Digital-Pixel-Sensor-Based Parallel Architecture,"*in Proceedings of 2012 IEEE International Symposium on Circuits and Systems (ISCAS 2012)*, pp.1612-1615, May 20-23, 2012, Seoul, Korea.
- [293] Wenjun Xia and Tadashi Shibata, "Self-Adaptive Quasi-Gaussian Circuits for Analog On-Chip-Trainable Multi-Class Classifiers,"*in Proceedings of 2012 IEEE International Symposium on Circuits and Systems (ISCAS 2012)*, pp.2893-2896, May 20-23, 2012, Seoul, Korea.
- [294] Litan Sun and Tadashi Shibata, "A Unsupervised object extraction by contour delineation and texture-based discrimination,"*in Proceedings of the 20th European Signal Processing Conference (EUSIPCO 2012)*, pp.1945-1949, Bucharest, Romania, Aug. 27-31, 2012.
- [295] [Invited]Tadashi Shiabata, Renyuan Zhang, Steven P. Levitan, Dmitri E. Nikonov and George I. Bourianoff, "CMOS Supporting Circuitries for Nano-Oscillator-Based Associative Memories,"*in Proceedings of 13th International Workshop on Cellular Nanoscale Networks and Their Applications (CNNA 2012)*, Turin, Italy, Aug. 29-31, 2012
- [296] Renyuan Zhang and Tadashi Shibata, "A VLSI hardware implementation study of SVDD algorithm using analog Gaussian-cell array for on-chip learning,"*in Proceedings of 13th International Workshop on Cellular Nanoscale Networks and Their Applications (CNNA 2012)*, pp.1-6, Turin, Italy, Aug. 29-31, 2012.
- [297] Zheyue Wang and Tadashi Shibata, "An A Programmable Difference-of-Gaussian Analog CMOS Image Sensor Operating in the Subthreshold Regime,"*in Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials (SSDM 2012)*, pp.1115-1116, Kyoto, Japan, Sep. 25-27, 2012.
- [298] Zuoxun Hou, Yitao Ma, Hongbo Zhu and Tadashi

- Shibata, "An A Real-Time VLSI Recognition System with an On-Chip Adaptive K-Means Learning Algorithm," in *Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials (SSDM 2012)*, pp.1115-1116, Kyoto, Japan, Sep. 25-27, 2012.
- [299] [Invited] Tadashi Shibata, Hongbo Zhu, Ruihan Bao, Pushe Zhao, and Renyuan Zhang, "A VLSI System for Motion Perception and Action Recognition," in *Proceedings of The 2nd Solid-State Systems Symposium (4S-2012)*, Hochi Minh City, Vietnam, Aug. 2012.
- [300] Mio Nishiyama and Tadashi Shibata, "Translation-Invariant Motion Perception for Multiple Objects Using Grid Partitioning Representation," in *Proceedings of The 6th IEEE International Conference on Signal Processing and Communication Systems 2012 (ICSPCS 2012)*, Gold Coast, Australia, Dec. 12-14, 2012.
- [301] Renyuan Zhang and Tadashi. Shibata, "Real-Time On-Line-Learning Support Vector Machine Based on A Fully-Parallel Analog VLSI Processor", in *Artificial Intelligence and Soft Computing Part II*, Eds. Leszek Rutkowski, Marcin Korytkowski, Rafal Scherer, Ryszard Tadeusiewicz, Lotfi A. Zadeh, Jacek M. Zurada (Springer, Heidelberg, 2012) (*Proceedings of the 11th International Conference on Artificial Intelligence and Soft Computing (ICAISC 2012)*, Zakopane, Poland, April 29-May 3, 2012) pp.223-230.
- [302] Ikuma Wada, Katsutoshi Saeki, Yoshifumi Sekine, Dithering Effects of a Multi-Bit Delta-Sigma Analog-to-Digital Converter Using Chaotic Oscillator, *Proc. International Technical Conference on Circuits/Systems, Computers and Communications*, B-M2-06, CD-ROM, Sapporo, Japan, 16 July 2012.
- [303] Yuichi Mashimo, Yoshiki Sasaki, Katsutoshi Saeki, Yoshifumi Sekine, Construction of Synaptic Model Using Multiple-Valued SRAM for STDP and Its Application, *Proc. International Technical Conference on Circuits/Systems, Computers and Communications*, C-M2-03, CD-ROM, Sapporo, Japan, 16 July 2012.
- [304] Katsutoshi Saeki, Tatsuya Tatebe, Yoshifumi Sekine, A Study on CPG Model Transition Swing and Stance Pattern with Interstitial Cells, *Proc. International Joint Conference on Neural Networks*, 264, pp.177-184, Brisbane, Australia, 11.June. 2012.
- [305] Kenta Sogo, Akihiro Toya, and Takamaro Kikkawa, "A Ring-VCO-Based Sub-Sampling PLL CMOS Circuit with -119.1 dBc/Hz Phase Noise and 0.73 ps Jitter", the 38th European Solid-State Circuits Conference, Bordeaux, France, September 17-21, 2012, pp.253-256.
- [306] Kenta Sogo, Akihiro Toya, and Takamaro Kikkawa, "-119.1 dBc/Hz Phase Noise Ring-VCO-Based PLL CMOS Circuit Using A Tunable Narrow-Deadzone Creator in Frequency Locked Loop", *International Conference on Solid State Devices and Materials*, J-6-3, Kyoto, Japan, September 25-27, 2012
- [307] Akihiro Toya, Kenta Sogo, Nobuo Sasaki and Takamaro Kikkawa, "102.4 GS/s Impulse Sampling Circuit with Low Power and Low Timing Error Clock Generation", *International Conference on Solid State Devices and Materials*, J-5-1, Kyoto, Japan, September 25-27, 2012
- [308] Takamaro Kikkawa, "Gaussian Monocycle Pulse CMOS Transmitter with On-Chip ntegrated Antenna and High-k Dielectric Slab Waveguide", *2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology*, S15_01 , Oct. 29-Nov. 1, 2012, Xi'an, China
- [309] Kenta Sogo, Akihiro Toya, and Takamaro Kikkawa, "A Ring-VCO-Based Sub-Sampling PLL CMOS Circuit with 0.73 ps Jitter and 20.4mW Power Consumption", *18th Asia and South Pacific Design Automation Conference, University LSI Design Contest*, January 23th, 2013
- [310] H. Na and T. Endoh, "A High Performance SRAM Sense Amplifier with Vertical MOSFET", *2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (2012 AWAD)*, 2A-3, pp.43-47, Okinawa Seinenkaikan, Naha, Japan, June 2012.
- [311] S. Tanoi and T. Endoh, "A 3-mW/Gbps 1.8-V Current-reuse LVDS Driver with 30 % Power Reduction using Vertical MOSFETs", *2012 International Conference on Solid State Devices and Materials (2012 SSDM)*, PS-5-6, pp.152-153, Kyoto International Conference Center, Kyoto, Japan, Sep. 2012.
- [312] T. Imamoto and T. Endoh, "The Asymmetric I-V Characteristics of Vertical MOSFET Induced by

- Tapered Silicon Pillar". Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (2012 AWAD), 2A-2, pp.38-42, Okinawa Seinen-kaikan, Naha, Japan, June 2012.
- [313] Youhua Shi, Hiroaki Igarashi, Masao Yanagisawa, and Nozomu Togawa, Suspicious Timing Error Detection and Recovery with In-Cycle Clock Gating, in Proc. IEEE International Symposium on Quality Electronic Design (ISQED), pp.335-340, Mar. 2013.
- [314] Yuta Atobe, Youhua Shi, Masao Yanagisawa, and Nozomu Togawa, State Dependent Scan Flip-Flop with Key-Based Configuration against Scan-Based Side Channel Attack on RSA Circuit, in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), pp.607-610, Dec. 2012.
- [315] Yuta Atobe, Youhua Shi, Masao Yanagisawa, and Nozomu Togawa, Dynamically Changeable Architecture against Scan-Based Side Channel, Attack Using State Dependent Scan Flip-Flop on RSA Circuit, in Proc. IEEE International SoC Design Conference (ISOCC), pp.155-158, Nov. 2012.
- [316] Yuki Hagita and Kiyoshi Ishii, "Circuit Technique for Improving Propagation Delay Times in CMOS Source-Coupled Logic Circuits", 2012 IEEE ISPACS 2012, pp.615-618, Nov. 2012
- [317] I.Akita and M.Ishida, "A 0.06mm² 14nV/√Hz chopper instrumentation amplifier with automatic differential-pair matching," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers (ISSCC), pp.178-179, Feb. 2013.
- [318] Y.Koizumi, E.Sasaki, M.Namiki, H. Amano, "Application Development for a Heterogeneous Multi-Core Processor", Proc. of the COOL Chips XV, 18-20 Apr. 2012
- [319] Y.Koizumi, E.Sasaki, H.Amano, H.Matsutani, Y.Take, T.Kuroda, R.Sakamoto, M.Namiki, K.Usami, M.Kondo, H.Nakamura, "CMA-Cube: A scalable reconfigurable accelerator with 3-D wireless inductive coupling interconnect", Proc. of the 22nd International Conference on Field Programmable Logic and Applications, pp543-546, 29-31 Aug. 2012
- [320] Y.Koizumi, H.Amano, H.Matsutani, N.Miura, T.Kuroda, R.Sakamoto, M.Namiki, K.Usami, M.Kondo and H.Nakamura, "Dynamic power control with a heterogeneous multi-core system using a 3-D wireless inductive coupling interconnect", Proc. of the International Conference on Field-Programmable Technology, pp293-296, 10-12 Dec. 2012
- [321] T.Katagiri, K.Hironaka, H.Amano, "Extension of Memory Controller Equipped with MuCCRA-3-DP: Dynamically Reconfigurable Processor Array,"Proc. of the 15th International Conference on Network-Based Information Systems (NBIS), pp.826-831, 26-28 Sept. 2012
- [322] R.Uno, N.Ozaki, H.Amano "Design Exploration of PE Array Networks for Cool Mega Array", COOL Chips XV(Poster), April 2012
- [323] W.Wang, Y.Ohta, Y.Ishii, K.Usami, H.Amano, "Trade-off analysis of fine-grained power gating methods for functional units in a CPU,"Proc. of the COOL Chips XV, pp.1-3 Apr. 2012
- [324] T.Katagiri, K.Hironaka, H.Amano, "Extension of memory controller equipped with MuCCRA-3", COOL Chips XV(Poster), April 2012
- [325] Mitsuhashi, Kudo, Usami, "Leakage Energy Reduction of Sub-Threshold Circuits by Body Bias Control for Power Switch", ITC-CSCC2012, P-T2-27, Jul. 2012.
- [326] Kyohei Kawamura, Yoshinori Matsumoto,"Evaluation of Low-Voltage CMOS differential Amplifier for Smartphone sensing", Proc. of IEEE Sensors Conference 2012, pp.1735-1738, October 28-31 2012.
- [327] Jing Wang, Li Ding and Yasuaki Inoue, "A Simple and Practical Statistical Device Model for Analog LSI Designs,"Proceedings 2012 IEEE International Conference on Communications, Circuits and Systems (ICCCAS), Taichung, Taiwan, pp.408-412, August 2012.
- [328] Zhou Jin, Xiao Wu and Yasuaki Inoue, "An Effective Implementation and Embedding Algorithm of PTA Method for Finding DC Operating Points,"Proceedings 2012 IEEE International Conference on Communications, Circuits and Systems (ICCCAS), Taichung, Taiwan, pp.417-420, August 2012.
- [329] Xiao Wu, Zhou Jin, and Yasuaki Inoue, "Numerical Integration Algorithms with Artificial Damping for the PTA Method Applied to DC Analysis of Nonlinear Circuits,"Proceedings 2012 IEEE International Conference on Communications,

Circuits and Systems (ICCCAS), Taichung, Taiwan, pp.421-424, August 2012.

- [330] Dan Niu, Zhou Jin, Xiao Wu, Yasuaki Inoue, "A Globally Convergent and Highly Efficient Homotopy Method for MOS Transistor Circuits," 7th International Conference on Computing and Convergence Technology, pp.1349-1352, Seoul, Korea, Dec. 2012.
- [331] H.Naganuma, T.Tani, K.Kiyoyama, T.Tanaka. "A 37x37 Pixels Photoreceptor Chip with Switchable Photosensitivity Circuit for 3D-Stacked Retinal Prosthesis Chip." International Conference on Solid State Devices and Materials. Pp.1126-1127, September 2012.
- [332] T. Kimura, K. Uno, W. Murofushi, and T. Masuzawa, "Investigation on the Characteristics of Magnetic Sensor Sensitivity in High-frame-rate Sensing", The International Conference on Electrical Engineering, 2012/7
- [333] K. Matsushita, et al., "Development of an Implantable ECoG Recording Device for Clinical BMI", Int. symposium. Clinical Application of Brain-Machine Interfaces (BMI Osaka 2012), October, 2012.
- [334] T. Yoshida, et al., "A 36-channel Neural Recoding Chip for Brain Machine Interface", Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials, pp1124-1125, 2012.
- [335] Takafumi Suzuki, et al., "A Fully Implantable wireless BMI system using electrocorticogram (System Evaluation)", Proc. of 32nd Annual International Conference of the IEEE EMBS, 659 (2012)
- [336] Momotani, Sakanushi, Takeuchi, and Imai, "Low Energy Application Specific Instruction set Processor for Scramble Processing", In Proceedings of 3rd IEICE International Conference on Integrated Circuits and Devices
- [337] Y. Itano, N. Itoh, S. Yoshitomi, H. Hoshino, "High-Q MOS-Varactor Modeling for mm-Wave VCOs," Proc. of the 2012 Asia-Pacific Microwave Conference (APMC2012), Kaohsiung, Dec. 2012.
- [338] Shuto, Yamamoto, Sukegawa, Wen, Nakane, Mitani, Tanaka, Inomata, and Sugahara, "Design and performance of pseudo-spin-MOSFETs using nano-CMOS devices", IEDM 2012, paper 29.6, December 2012.
- [339] Koji Kotani and Yuki Sasaki, "Post-Fabrication Adjustment of On-Chip Inductor Characteristics by Above-CMOS Processing," World Congress of Emerging InfoTech-2012 (WCEIT-2012), p.58, August, 2012.
- [340] Koji Kotani, Takumi Bando, and Yuki Sasaki, "Photovoltaic-Assisted CMOS Rectifier Circuit for Synergistic Energy Harvesting from Ambient Radio Wave," IEEE Asian Solid-State Circuits Conference (A-SSCC 2012), pp.329-332, November, 2012.
- [341] S. Chiashi, T. Inoue, D. Hasegawa, S. Maruyama, "Density-controlled Growth of Horizontally Aligned Single-walled Carbon Nanotubes on Crystal Quartz Substrates," 2012 MRS Spring Meeting.
- [342] S. Aikawa, T. Inoue, E. Einarsson, T. Thurakitserree, S. Chiashi, S. Maruyama, "Ambipolar Behavior in All-Carbon-Nanotube Field-Effect Transistors by Poly(Vinyl Alcohol) Coating," International Symposium on Carbon Nanotube Nanoelectronics (CNTNE).
- [343] S. Kim, S. Aikawa, P. Zhao, E. Einarsson, S. Chiashi, S. Maruyama, "Toward single-walled carbon nanotube and graphene composite devices," International Symposium on Carbon Nanotube Nanoelectronics (CNTNE).
- [344] S. Sato, R. Nakane, and M. Tanaka, "Analysis of 3-terminal Hanle signals in Si-based spintronic devices", APS March meeting, Baltimore, USA, 2013.3.18.
- [345] I. Muneta, H. Terada, S. Ohya, and M. Tanaka, "Fermi level behavior near the metal-insulator-transition in ferromagnetic semiconductor GaMnAs", ICPS 2012, Zurich, Switzerland, 2012.8.29.
- [346] Shinobu Ohya, Iriya Muneta, Kenta Tanaka, Yufei Xin, and Masaaki Tanaka, "Valence-band structure of (III, Mn)As ferromagnetic semiconductors investigated by resonant tunneling spectroscopy", ICPS 2013, Zurich, Switzerland, 2012.8.2.
- [347] I. Muneta, H. Terada, S. Ohya, and M. Tanaka, "Anomalous behavior of the Fermi level in GaMnAs near the metal-insulator transition", PASPS-VII, C20, Netherlands, 2012.8.8.
- [348] I. Muneta, H. Terada, S. Ohya, and M. Tanaka, "Anomalous Fermi level behavior in GaMnAs at the onset of ferromagnetism", APS March

- Meeting, USA, 2013.3.18.
- [349] JALABERT Laurent, GUILLOU Herve, SATO Takaaki, ISHIDA Tadashi, EGAWA Minoru, NABEYA Shinsuke, TAKAYAMA Yuki, VOLZ Sebastian, FUJITA Hiroyuki, "Toward a Lab-in-a-TEM by Mounting Advanced-MEMS in TEM Holder ", 38th International Conference on Micro and Nano Engineering, Toulouse, France, 2012.9.16-20.
- [350] Y. Takei, N. Kiga, H. Takahashi, K. Matsumoto and I. Shimoyama, "Ionic Liquid based CO₂ Gas Sensor", IUMRS-International Conference on Electronic Materials (IUMRS-ICEM 2012), Pacifico Yokohama, Yokohama, Japan, 2012.9.23-28.
- [351] Y. Tomimatsu, H. Takahashi, T. Kobayashi, K. Matsumoto, I. Shimoyama, T. Itoh and R. Maed, "A Piezoelectric Cantilever with Helmholtz Resonator for a Sound-triggered Wake-up Switch sensor network node", dMEMS2012, Atlanta, Georgia, USA, 2012.12. 2-5.
- [352] S. Imamura, R. Watahiki, R. Miura, T. Shimada, Y. K.Kato, "Optical coupling of air-suspended carbon nanotubes to silicon microdisk resonators", March Meeting of the American Physical Society, Baltimore, Maryland, 2013.3.21.
- [353] J. Cai, K.Wada and S.Samukawa, "Management of Light by Si/SiO₂ Stack Photonic Band Gap Structure for Neutral Beam Technology based Tandem Solar Cell", The 12th International Symposium on Advanced Fluid Information and Transdisciplinary Fluid Integration, 仙台市, 宮城県, 2012.9.20."
- [354] M. Kumemura, S. L. Karsten, D. Collard, N. Lafitte, L. Jalabert and H. Fujita, "ROLLING CIRCLE AMPLIFICATION (RCA) OF TARGET DNA AND ITS LABEL FREE DETECTION BY SILICON NANOTWEEDERS", The 7th International Conference on Microtechnologies in Medicine and Biology, LA, USA, 2013.4.10.
- [355] Y. Kumamoto, M. Yoshida, A. Yokoyama, S. Yasukochi, Y. K. Kato, "Effects of longitudinal electric fields on carbon nanotube photoluminescence", March Meeting of the American Physical Society, Baltimore, Maryland, 2013.3.21.
- [356] A. Ishii, A. Yokoyama, M. Yoshida, T. Shimada, Y. K. Kato, "Chirality dependence of exciton diffusion in air-suspended single-walled carbon nanotubes", March Meeting of the American Physical Society, Baltimore, Maryland, 2013.3.21.
- [357] Y. K. Kato, "Exciton dynamics in individual air-suspended single-walled carbon nanotubes", The DYCE International Workshop, 屈斜路, 北海道, 2012.8.10.
- [358] M. Goto, K. Hagiwara, Y. Iguchi, H. Ohtake, T. Saraya, H. Toshiyoshi, and T. Hiramoto, "Development of Novel MOSFET with Front and Back Side Electrodes for 3D-Structured Image Sensors,", The 1st Int. Symp. on More-than-Moore, the 222nd Meeting of the Electrochemical Society / The 2012 Pacific Rim Meeting on Electrochemical and Solid-State Science (PRiME), Hawaii Convention Center, Hawaii, US, 2012.10. 7-12.
- [359] Yasuhiro Hasegawa, Masayuki Murata, Fumiaki Tsunemi, Takashi Komine, Chris Dames, and Javier E. Garay, "A process for thermal conductivity measurement of an individual bismuth nanowire in quartz template", 31th International Conference on Thermoelectrics, デンマーク・オーボルー, 2012.7.12.
- [360] Masayuki Murata, Fumiaki Tsunemi, Yasuhiro Hasegawa, and Takashi Komine, "Dependence of temperature coefficient of resistivity on individual and single-crystal bismuth nanowires", 31th International Conference on Thermoelectrics, デンマーク・オーボルー, 2012.7.10.
- [361] Masao Washizu, "Electrostatic Bio-Manipulation for the Modification of Cellular Functions", The 7th International Conference on Applied Electrostatics, Dalian China, 2012.9.18.
- [362] Kennedy O. Okeyo, Yukako Hayashi, Osamu Kurosawa, Hidehiro Oana and Masao Washizu, "Initialization and cell cycle study of single cells using micro-orifice electroporation device", International Joint Symposium on Single-Cell Analysis, 京都, 2012.11. 28.
- [363] H.Tabata, "Fermi level control of spinel ferrite and their polaron properties -Toward the realization of spin Esaki diodes-", India -Japan Conference, Bangalore India, 2012.10.18.
- [364] H. Matsui, "Functional Pathological Assessment Based on Molecular Chemical Imaging for Biomaterials from infrared to Far-Infrared (THz) Regions", Bit's 3rd Annual World Congress of NanoMedicine-2012, Shenzhen China, 2012.11.3.

- [365] H. Tabata, "Hetero Epitaxial p-n Junctions of Spinel Type Magnetic Semiconductors and Their Polaron Conducting and Magnetic Properties", 2012 MRS Fall Meeting, Boston Massachusetts, 2012.11.28.
- [366] H. Tabata, "THz sensing and imaging using nanostructures", 3rd International Symposium on Terahertz Nanoscience, Honolulu Hawaii, 2012.12.11.
- [367] M. Seki, "Control of Carrier Type in Half-Metallic Spinel Ferrite Thin Films", Collaborative Conference on Crystal Growth, Orlando Florida USA, 2012.12.13.
- [368] Lin, W., and Suzuki, Y., "Investigation of Chemical Quenching Mechanism on Metal Surfaces based on PLIF Measurement of OH Generated with Pulsed Arc Discharge", 34th Int. Symp. Combustion, Warsaw, Poland, 2012.7.29-8.3.
- [369] Saiki, Y. and Suzuki, Y., "Effect of Wall Surface Reaction on a Methane-Air Premixed Flame in Narrow Channels with Different Wall Materials", 34th Int. Symp. Combust., Warsaw, Poland, 2012.7.29-8.3.
- [370] Feng, Y., Hagiwara, K., Iguchi, Y., and Suzuki, Y., "MEMS-based Cellular Parylene Structure for Polymer Electret", IUMRS-ICEM 2012, Yokohama, 2012.9. 23-28.
- [371] A. Ueno and Y. Suzuki, "Near-field-effect-enhanced Micro Radiator Array for Active Control of Thermal Radiation", Nano-Rad2012, Matsushima bay area, (2012), pp.72-75.
- [372] T. Kaiwa, K. Wada, Y. Ishikawa, "An Increased Red Shift in Near-infrared Light Emission from Ge Microbeam Strictures on Si Induced by an Externally Applied Uniaxial Stress", Materials Research Society 2012 Fall Meeting, Boston, 2012.11.27.
- [373] Y. Ishikawa, "Challenges in Silicon/Germanium-based Photonics -From On-chip Optical Communications to Optical Sensing -", 1st International Conference on Emerging Advanced Nanomaterials (ICEAN2012), Brisbane, 2012.10.25.
- [374] T. Yamauchi, K. Nagato, S. Ikeshima, T. Hamaguchi, M. Nakao, "Micromixer of multi-material slurry with rotation-split-combination cycle for ceramic components", 26th American Society for Precision Engineering (ASPE) Annual Meeting, San Diego, 2012.10.23.
- [375] S. Shinagawa, K. Nagato, N. Shikazono, T. Hamaguchi, M. Nakao, "Enhancement of power efficiency of solid oxide fuel cells by aligning microstructure path of ion/electron/gas in anode", 26th American Society for Precision Engineering Annual Meeting, San Diego, 2012.10.23.
- [376] Y. Watanabe, K. Nagato, N. Shikazono, T. Hamaguchi, M. Nakao, "Improvement of heat transfer coefficient of boiling surface on nanostructured metal using nanoimprinting", 26th American Society for Precision Engineering Annual Meeting, San Diego, 2012.10.24.
- [377] K. Nagato, R. Nakabayashi, T. Hamaguchi, M. Nakao, "High-speed shearing of multilayered light-waveguide", 38th International Conference on Micro and Nano Engineering (MNE), Toulouse, France, 2012.9.18.
- [378] T. Inoue, D. Hasegawa, S. Badar, S. Chiashi, S. Maruyama, "Effect of Gas Pressure on Growth Process of Horizontally Aligned Single-Walled Carbon Nanotubes on Quartz Substrates", International Conference on the Science and Application of Nanotubes (NT12), Brisbane, 2012.6.28.
- [379] S. Kim, S. Aikawa, P. Zhao, B. Hou, E. Einarsson, S. Chiashi, S. Maruyama, "Fabrication of Flexible Graphene Field-effect Transistors with Single-walled Carbon Nanotube Electrodes", 2012 MRS Fall Meeting, Boston, 2012.11.29.
- [380] H. Iwabuchi, T. Morimoto, S. Matsuoka, A. Kumada and K. Hidaka, "Pre-breakdown Phenomenon in Micrometer-scale Gap", The XXXI edition of the International Conference on Phenomena in Ionized Gases (ICPIG2013), Granada, Spain. 発表予定.
- [381] M. Kubota, K. Hosaka, M. Sugiyama, and Y. Mita, "Evaluation of Silicon Fracture Strength Dependence on Stealth Dicing Layers for "Cleave-before-Use" MEMS Freestanding Cantilever Probes", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, (Transducers) 2013, 2013.6.16-20.
- [382] Kota Hosaka, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "An Integrated CMOS-MEMS Probe having Two-Tips per Cantilever for Individual Contact

- Sensing and Kelvin Measurement with Two Cantilevers", 25th IEEE International Conference on Microelectronic Test Structures (ICMTS), pp.3-6 (2013.03).
- [383] Nicolas Lafitte, T. Takahashi, M. Tani, M. Akamatsu, Y. Yasuda, H. Fujita, and H. Toshiyoshi, "DIGITALLY PROGRAMMABLE RESONATOR BY PZT-SOI PROCESS", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, (Transducers) 2013 , 2013.6.16-20.
- [384] Takahiro Inamura, Tetsuji Dohi, "Cone-Shaped Micro Coil for Magnetic Resonance Imaging", The 26th IEEE International Conference on MicroElectroMechanical Systems (MEMS2013), Taipei, 2013.1.20-24 pp.335-338.
- [385] H. Suzuki R. Kometani S. Ishihara S. Warisawa , "Selectively patterned metal nanodots fabrication by combining block copolymer self-assembly and electron beam lithography", SPIE Optics+Photonics 2012, 2012.8.16 SPIE, Vol.8463, 8463U, 2012.
- [386] H. Suzuki R. Kometani S. Ishihara S. Warisawa , "Electron Beam Lithography by Using Self-Assembled Block Copolymer Thin Films as Positive/Negative Tone Combined Resist", The 56th EIPBN Conference , 2012.6.1 10B-04.
- [387] Hiroyuki Suzuki Reo Kometani Sunao Ishihara and Shinichi Warisawa, "Partial patterning of periodic nanostructures using block copolymer lithography", SPIE Advanced Lithography 2013, 2013.2.27 8680-65.
- [388] Kenichiro Urayama, Koichiro Akahori, Nobuyuki Adachi, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A Low Phase-Noise VCO for Multi-Band Transceiver using Fully Packaged MEMS Electrostatic Varactors", The 26th IEEE International Conference on MicroElectroMechanical Systems (MEMS2013), Taipei, 2013.1. 20-24 121-Mo (1024).
- [389] M. Motosuke, A. Hoshi, S. Honami, "Photothermal Marangoni convection for the usage of characterized droplet manipulation in microfluidic chip", Int. Conf. Nanochannels, Microchannels and Minichannels, 2012.7.9 CD-ROM.
- [390] Hideharu Kotari, Masahiro Motosuke, Shinji Honami, "Particle sorting in microchip by optical radiation pressure", 3rd Eur. Conf. Microfluid., 2012.12.4 CD-ROM.
- [391] H. Ikehara, T. Goto, H. Kamiya, T. Arakawa, and Y. Kokubun, "Hitless wavelength-selective switch using multiple quantum well second-order series coupled microring resonators", Photonics in Switching (PS) 2012, 2012.9.13 Th-S23-O07.
- [392] H. Ikehara, T. Goto, H. Kamiya, T. Arakawa, and Y. Kokubun, "Demonstration of Hitless Wavelength-Selective Switch Based on InGaAs Quantum Well Microring Resonators", Univ. Electro-Communications, 2012.9.19 R-3-2.
- [393] H. Kamiya, T. Nagata, Y. Ueyama, T. Makino, T. Arakawa and Y. Kokubun, "Analysis of Coherent Coupling in High-Mesa Directional Coupler", International Conference on Solid State Devices and Materials (SSDM), Kyoto, 2012.9.26 PS-7-20.
- [394] Yoshisuke Ban, Ryota Akiyama, Ryosho Nakane, and Masaaki Tanaka, "Magnetic and transport properties of Group-IV based ferromagnetic semiconductor Ge_{1-x}Fe_x with Boron doping", International Conference on Solid State Devices and Materials (SSDM), Kyoto, 2012.9.25-27.
- [395] H. Yajima, M. Nishimura, T. Arakawa and Y. Kokubun, "Proposal of All-Optical Active Microring Logic Gate", International Conference on Solid State Devices and Materials (SSDM), Kyoto, 2012.9.25-27.
- [396] R. Gautam, H. Kaneshige, H. Yamada, K. Redouane, T. Arakawa, and Y. Kokubun, "Silicon Microring Resonator Mach-Zehnder Modulator with Low-Power Consumption Using Thermo-Optic Effect", IEEE Photon. Conf., 2012.9.27 ThQ2.
- [397] H. Kamiya, T. Goto, K. Redouane, T. Arakawa, and Y. Kokubun, "First Demonstration of Hitless Wavelength Selective Switch Based on Quadruple Series Coupled Multiple Quantum Well Microring Resonator", OFC/NOOEC 2013, 2013.3.20 OW1C.5."
- [398] H. Yajima, M. Nishimura, T. Arakawa and Y. Kokubun, "Proposal of All-Optical Active Microring Logic Gate", International Conference on Solid State Devices and Materials (SSDM), Kyoto, 2012.9.26 PS-7-7.
- [399] K. Kashima and T. Arakawa, "Proposal of Electro-Optic Tunable 1x2 Multimode Interference Splitter Based on Multiple Quantum Well", International Conference on Solid State Devices and Materials (SSDM), Kyoto, 2012.9.26 PS-7-5.

- [400] Sakata, K., Tagomori, K., Sugiyama, N., Takenouchi, M., Shinya, Y., and Suzuki, Y., "Development of Nano-Porous Alumina Catalyst Support by Anodic Oxidation of Thermally and Kinetically Sprayed Aluminum Coatings", ITSC2012, 2012/5/21-24 pp.287-291.
- [401] Feng, Y., and Suzuki, Y., "All-Polymer Soft-X-Ray-Charged Piezoelectret with Embedded PEDOT Electrode", The 26th IEEE International Conference on MicroElectroMechanical Systems (MEMS2013), Taipei, pp.865-868 (2013) . .
- [402] Morimoto, K., Fukumoto, K., and Suzuki, Y., "MEMS-based Pillared Surface for High-speed Dropet Manipulation: Failure of Cassie-Baxter Model", 16th Int. Conf. Miniaturised Systems for Chemistry and Life Sciences (MicroTAS 2012), 2012.10.28-11.1 pp.64-66.
- [403] Minakawa, Y., and Suzuki, Y., "Low-resonant-frequency MEMS Electret Energy Harvester with X-Shaped High-aspect-ratio Parylene Spring", 12th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2012), 2012/12/2-5(2012), pp.133-136.
- [404] Minakawa, Y., and Suzuki, Y., "X-shaped High-aspect-ratio Parylene Spring for Low-resonant-frequency MEMS Electret Energy Harvester", APCOT 2012,, 2012/7/8-11, ac12000235.
- [405] Chen, R., and Suzuki, Y., "Metal-On-Nothing Electrodes for Reducing Parasitic Capacitance in Electret Energy Harvesting Devices", 12th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2012), 2012/12/2-5 pp.121-124.
- [406] E Tamayo R, K Watanabe, M Sugiyama, Y Shoji, Y Okada1, K Miyano, "Fabrication of broadband antireflection structures on glass substrates by Reactive Ion Etching for application on homogenizers in CPV systems", 39th IEEE PVSC, 2013.6.18 Abstract Reference No.446.
- [407] T. Sato, T. Ishida, S. Nabeya and H. Fujita, "Nano-scale observation of frictional deformation at Ag single point contact with MEMS-in-TEM setup", Journal of Physics, Conference Series 258, 012005 (2010).
- [408] H. Fujita, T. Ishida, T. Sato and S. Nabeya, "MEMS-in-TEM for Nano Tribology", Journal of Physics, Conference Series 258, 012004 (2010).
- [409] K. Azuma, H. Takahashi, T. Kan, T. J., K. Ito, K. Matsumoto, et al, "QUANTITATIVE EVALUATION OF THE INFLUENCE OF DOPAMINERGIC NEURON ON FLAPPING LOCOMOTION", The 26th IEEE International Conference on Micro Electro Mechanical Systems (MEMS '13), 2013, pp.5-8.
- [410] G. U. Jung, H. Takahashi, T. Kan, K. Matsumoto, and I. Shimoyama, "A PIEZORESISTIVE CELLULAR TRACTION FORCE SENSOR", The 26th IEEE International Conference on Micro Electro Mechanical Systems (MEMS'13), 2013, pp.927-930..
- [411] A. Inaba, G. Yoo, Y. Takei, K. Matsumoto and I. Shimoyama, "A graphene FET Gas Sensor Gated by Ionic Liquid", The 26th IEEE International Conference on Micro Electro Mechanical Systems (MEMS'13), pp.969-972.
- [412] K. Nagato, D. Suehiro, T. Sato, S. Ikeshima, Y. Watanabe, M. Nakao, "Roller Replication of Nano-/Microstructures of Polymers, Glasses, Metals, and Ceramics", The 3rd International Conference on Nanomanufacturing (nanoMan2012), 2012.7.26.
- [413] T. Matsushita, S. Yoshida, J. Ota, and T. Kondo, "Influence of anisotropic diffusion of Ga and Al atoms during AlGaAs growth for periodically-inverted AlGaAs waveguides", Conference on Laser and Electro-Optics (CLEO2012), 2013.5.8 pp1-2.
- [414] Shigeki Yoshida; Kaori Hanashima; Ikuma Ohta; Tomonori Matsushita; Takashi Kondo, "Reduced propagation losses in quasi-phase-matched GaAs/AlGaAs waveguides", Conference on Laser and Electro-Optics (CLEO2013), 2013.6.12.
- [415] Kentaroh Watanabe, Boram Kim, Tomoyuki Inoue, Hassanet Sodabanlu, Masanao Goto, Shinya Hayashi, Masakazu Sugiyama, Kenjiro Miyano, Yoshiaki Nakano, "Thin film InGaAs/GaAsP MQWs solar cell with backside nano-imprinted pattern for light trapping", 39th IEEE Photovoltaic Specialists Conference, 2013.6.9-11.
- [416] J. Cai, K. Sumie, N. Toyoda, Y. Ishikawa, and K. Wada, "Gas cluster ion beam treatment for silicon waveguide trimming", 9th IEEE International Conference on Group IV Photonics (GFP), 2012.8.21 pp.352-354.
- [417] Etsuo Maeda, Yaerim Lee, Youjiro Kobayashi,

- Ya-Lun Ho, Shigenori Fujikawa, and Jean-Jacques Delaunay, "A 3D metallic structure array for refractive index sensing with optical vortex", The 26th IEEE International Conference on Micro Electro Mechanical Systems (MEMS'13), 2013 Page(s) : 973-976.
- [418] Y. Matoba, Y. Taguchi, and Y. Nagasaka, "Analytical and Experimental Study on Device Design of Micro Optical Diffusion Sensor", IEEE OMN2012, pp.15-16.
- [419] "[419] S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, S. Takagi, "Sub-60 nm deeply-scaled channel length extremely-thin body InxGal-xAs-on-insulator MOSFETs on a Si with Ni-InGaAs metal S/D and MOS interface buffer Engineering", VLSI Symposium., 21.1, 2012/6/1 177-178."
- [420] K. Murata, H. Nikkuni, M. Ohkawa, and T. Sato, "Design Study of a Guided-Wave Optical Microphone with a Diaphragm", IEEE Sensors 2012, pp.1-4.
- [421] Tran Nam Binh, Satoshi Morishita Masanori Kubota, and Yoshio Mita, "A Stiffness-Defined Silicon Plane Bending Method to Realize Perfectly-Curved Surface Formation for Tunable Parabolic Mirrors", 2012 IEEE Optical MEMS and Nanophotonics Conference., 6-9 August 2012 Page(s) : 61-62.
- [422] Y. Fujimoto, A. Higo, J. O. Kjellman, S. Watanabe, M. Sugiyama, and Y. Nakano, "Photoluminescence of InGaAs Islands on Si(111) Substrate Grown using Micro-Channel Selective-Area MOVPE", Optical MEMS&Nanophotonic Conference 2012, WP25, August 2012.
- [423] Hidehiro Oana, Tatsuya Shino, Kaori Nishikawa, Masao Washizu, "Real-time fish using optically driven microspheres functionalized by the homologous recombination protein RecA", The 16th conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS2012), Oct.28-Nov.1, Okinawa, M.7.170 (1372).
- [424] Kyohei Terao, Murat Gel, Ariko Fuke, Atsuhito Okonogi, Teru Okitsu, Takashi Tada, Takaaki Suzuki, Masao Washizu, Hidetoshi Kotera, "Continuous local exposure to chemical substances of single cell", The 16th conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS2012), Oct.28-Nov.1, Okinawa, W.2.44 (1706).
- [425] "[425] Yannick Tauran, Momoko Kumera, Nicolas Lafitte, Ryohei Ueno, Laurent Jalabert, Yuki Takayama,
- [426] Dominique Collard, Hiroyuki Fujita, Anthony W. Coleman, Beomjoon Kim, "Mechanical Effect of Calix[n]arene Capped Silver Nanoparticles on DNA Measured with Silicon Nano Tweezers", The 16th conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS2012), Oct.28-Nov.1, Okinawa, W.6.155 (1282)."
- [427] M.C. Tarhan, D. Collard, L. Jalabert, M. Kumemura, N. Lafitte, Q. Delouee, S.L. Karsten and H. Fujita, "Continuous Real-time Monitoring of Molecular Detection by Silicon Nanotweezers-integrated Microfluidic Device", The 16th conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS2012), Oct.28-Nov.1, Okinawa, W.7.161 (2101).
- [428] Dominique Collard, Thomas Lacornerie, Momoko Kumemura, Nicolas Lafitte, Herve Guillou, Laurent Jalabert, Eric Lartigau, Teruo Fujii, Fabrizio Cleri, Hiroyuki Fujita, "SILICON NANO TWEEZERS FOR REAL TIME BIOMECHANICAL ASSAY ON DNA DAMAGE BY THERAPEUTIC RADIATION BEAMS", The 16th conference on Miniaturized Systems for Chemistry and Life Sciences (μ TAS2012), Oct.28-Nov.1, Okinawa, W.2.61 (1949).
- [429] T. Inoue, D. Hasegawa, S. Badar, S. Chiashi, S. Maruyama, "Gas Pressure Effect on Density of Horizontally Aligned Single-Walled Carbon Nanotubes Grown on Crystal Quartz Substrates,"International Symposium on Carbon Nanotube Nanoelectronics (CNTNE).
- [430] T. Inoue, D. Hasegawa, S. Badar, S. Chiashi, S. Maruyama, "Effect of Gas Pressure on Growth Process of Horizontally Aligned Single-Walled Carbon Nanotubes on Quartz Substrates,"International Conference on the Science and Application of Nanotubes (NT12).
- [431] S. Aikawa, T. Inoue, E. Einarsson, S. Chiashi, S. Maruyama, "Influence of Polymer Coating on Device Properties of Carbon Nanotube Field-Effect Transistors,"2012 International Conference on Solid State Devices and Materials (SSDM 2012).

- [432] S. Chiashi, T. Inoue, D. Hasegawa, S. Badar, S. Maruyama, "Growth Mechanism of Horizontally Aligned Single-walled Carbon Nanotubes on R-cut Crystal Quartz Substrates", "25th International Microprocesses and Nanotechnology Conference (MNC 2012).
- [433] S. Kim, S. Aikawa, P. Zhao, B. Hou, E. Einarsson, S. Chiashi, S. Maruyama, "Fabrication of Flexible Graphene Field-effect Transistors with Single-walled Carbon Nanotube Electrodes,"2012 MRS Fall Meeting.
- [434] Tran Nam Binh, Satoshi Morishita Masanori Kubota, and Yoshio Mita, "A Stiffness-Defined Silicon Plane Bending Method to Realize Perfectly-Curved Surface Formation for Tunable Parabolic Mirrors", 2012 IEEE Optical MEMS and Nanophotonics Conference, 6-9 August 2012, Banff, Alberta, Canada
- [435] Kota Hosaka, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "An Integrated CMOS-MEMS Probe having Two-Tips per Cantilever for Individual Contact Sensing and Kelvin Measurement with Two Cantilevers", 25th IEEE International Conference on Microelectronic Test Structures (ICMTS), 25-28 March, Osaka Japan, (2013.03)
- [436] Atsushi Hirakawa, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "Experimental Evaluation of High Voltage Hold-off Capability of Post-Mesa-Isolated Standard CMOS Devices", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers'13), June 17-20, Barcelona, Spain, (2013.06).
- [437] Yoshio Mita "Wireless-Driven Pond-Skating Microrobot as a Technology Driver for Integrated MEMS (Keynote Speech)", CINTRA Workshop on "Next generation of self-power smart sensors for environmental monitoring", 19-20 March, Singapore (2013.03.19)
- [438] Isao Mori, Satoshi Morishita, Masanori Kubota, Kentaroh Watanabe and Yoshio Mita, "A Monolithically-Integrated, Batch Post-processed 17.8 V Silicon Solar Cell Array for Remote MEMS Driving", Japanese French Research, 16-17 November, Tokyo, (2012.11).

3. 国内学会，研究会等

- [1] 谷井宏成，牧本三夫，五十嵐貞男，福井邦明，小日向宏一，和田光司，"電磁界シミュレータによる結合線路と伝送線路の組み合わせたミリ波 CMOS LPF/HPF/BPF の伝送特性に関する検討，"電子情報通信学会総合大会，C-15-2 (2012年3月)
- [2] 山岸史弥，谷井宏成，佐川守一，牧本三夫，和田光司，"両端リング共振器を用いたミリ波 CMOS バンドパスフィルタに関する一検討，"電子情報通信学会研究技術報告，vol.112, no.251, MW2012-87, pp.35-39 (2012年10月)
- [3] 谷井宏成，和田光司，牧本三夫，五十嵐貞男，福井邦明，小日向宏一"CMOS プロセスを想定したインタデジタル結合線路と伝送線路を用いたミリ波有極形フィルタ"，エレクトロニクス実装学会春季講演大会，2013年3月
- [4] 中村，堀尾，香田，合原，"スケール付 SC β - A/D 変換回路より得られたカオスアトラクタの2値系列としての特性"，電子情報通信学会ソサイエティ大会，2012年9月
- [5] 豊田，堀尾，合原，"スケール付 β 写像および負のスケール付 β 写像に基づく A/D 変換器の集積回路実装に向けた設計"，電子情報通信学会技術研究報告，NLP2012-77, 2012年11月
- [6] 久保田，増田，小林，"低電力かつ省面積な耐ソフトエラー多重化フリップフロップ ～ DICE ACFF ～"，no.VLD2012-71, pp.69-74, 電子情報通信学会技術報告 (VLSI 設計技術) (2012)
- [7] 張，小林，"BOX 層の厚さによる SOI のソフトエラー耐性"，no.A-3-8, pp.55, 電子情報通信学会基礎・境界ソサイエティ大会 (2012)
- [8] 籾内，小林，"Trap and De-trap モデルを用いた NBTI と PBTI による遅延劣化の DF 依存性の解析"，pp.145-150, DA シンポジウム (2012)
- [9] 小林，"微細化による LSI の信頼性諸問題とその解決策"，no.VLD-71, pp.25-30, 電子情報通信学会技術報告 (VLSI 設計技術) (2012)
- [10] 古川達也，平野裕也，杉本泰博 2 次スロープ補償を用いた DC-DC コンバータ IC 回路の研究，電子情報通信学会技術研究報告：信学技報 112(159)，pp39-44, 2012-07-26
- [11] 平野裕也，杉本泰博，DC-DC コンバータ IC を統一的に設計する回路手法の研究，電子情報通信学会技術研究報告：信学技報 112(159)，pp33-38, 2012-07-26
- [12] 押，牛込，阿保，若家，岩松，尾田，高井，"SSRM を用いた極浅接合の活性化不純物の深

- さ分布評価", 第73回応用物理学会学術講演会, 13a-F5-2, 2012年9月
- [13] Rimon Ikeno, Takashi Maruyama, Tetsuya Iizuka, Satoshi Komatsu, Makoto Ikeda, and Kunihiro Asada, "Interconnect Design and Character Extraction Method for Throughput Enhancement and Stencil Area Reduction of VIA Layer Exposure for Electron Beam Direct Writing with Character Projection Technique," in Proceedings of IPSJ DA Symposium 2012, Aug 2012.
- [14] S. Saito, T. Nakura, T. Iizuka, K. Asada, "Resonant Supply Noise Reduction Using Active Charge Sharing of Dynamic Voltage Scaling" in Proc. of IEICE Society Conference, C-12-41, p.114, Sep. 2012.
- [15] K. Kodama, T. Iizuka, T. Nakura, K. Asada, "Frequency Resolution Enhancement for Digitally-Controlled Oscillator based on a Single-Period Switching Scheme" The Workshop about LSI and Systems 2012, Kokura, Japan, May 2012.
- [16] Toru Kubota, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "Observation of Ray Tracing in the Scintillator Utilizing Single Photon Avalanche Diode Arrays," in Proceedings of IEICE General Conference 2013, Mar. 2013.
- [17] Nan Wang, Tetsuya Iizuka, and Kunihiro Asada, "Modeling of Chip Surface Magnetic Field for Active Probe Scanning System," in Proceedings of IEICE General Conference 2013, Mar. 2013.
- [18] 矢部, 池田, "ロバストな3次元取得システムのためのCMOSイメージセンサの設計", 映情学技報, vol.36, no.38, IST2012-43, pp.9-12, 2012年9月.
- [19] 山口恭平, 塩谷亮太, 安藤秀樹, "動的な資源のリサイジングを組み合わせたデュアルターボブースト, 情報処理学会研究報告, Vol.2012-ARC-201, No.18, 2012年8月.
- [20] 兼本, 大城, 金谷, 吉田, ポカレル, "外部中間参照電圧が不要な新型SAR ADCの提案", 電気学会研究会電子回路研究会資料集, ETC-12, pp.81.1-81.4, 2012年10月
- [21] 橋村, ドン, ポカレル, 兼本, 金谷, 吉田, "ハイパス特性を持ったUWB-IRトランスミッタ用CMOSオンチップバランの開発, 電子情報通信学会技術研究報告, pp.59-64, 2012年10月
- [22] 岡崎, 兼本, 金谷, ポカレル, 吉田啓二, "高速SAR ADC実現のための設計手法の提案", 電気学会研究会電子回路研究会資料集, ETC-12, pp.87.1-87.4, 2012年12月
- [23] 小川, 青島, "スイッチドキャパシタ差動容量・時間変換器, "電子情報通信学会総合大会, 基礎・境界論文集A-1-1, 2012年3月.
- [24] 上田晋寛, 河本尚輝, 土肥慶亮, 柴田裕一郎, 小栗 清: FPGAにおける細粒度動的部分再構成機構の検討, 電子情報通信学会技術研究報告, Vol.112(203), RECONF2012-34, pp.61-66 (2012.09)
- [25] 河本尚輝, 上田晋寛, 土肥慶亮, 柴田裕一郎, 小栗 清: 動画像形状検出処理における動的部分再構成による省電力効果の検討, 電子情報通信学会技術研究報告, Vol.112(203), RECONF2012-36, pp.73-78 (2012.09)
- [26] 上田晋寛, 河本尚輝, 土肥慶亮, 柴田裕一郎, 小栗 清: FPGAにおける細粒度動的部分再構成機構の実装とその電力評価, 電子情報通信学会技術報告, FIIS12, No.335, pp.1-7 (2012.06)
- [27] 畑中優磨, 土肥慶亮, 大戸和博, 柴田裕一郎, 小栗 清: 動画像からのリアルタイム瞳検出手法のFPGAによる実装, 電子情報通信学会技術研究報告, Vol.112(70), RECONF2012-3, pp.13-18 (2012.05)
- [28] 山邊芳彦, 中島華菜子, 土肥慶亮, 浜脇一馬, 山下健太郎, 梶原一宏, 黒川不二雄, 柴田裕一郎, 小栗 清: FPGAを用いたDC-DCコンバータのデジタル制御における遅延制御法の検討, 電子情報通信学会技術研究報告, Vol.112(70), RECONF2012-15, pp.83-88 (2012.05)
- [29] 北島, 進, 中司, "0.18 μm CMOSサブマイクロワット級リング発振回路の設計", 第65回電気関係学会九州支部連合大会, 2012年9月.
- [30] 西川, 松元, 鳥井, 松藤, "アダマール符号とZCZ符号から得られる直交符号に対するマッチドフィルタバンクの小規模化の検討", 第14回IEEE広島支部学生シンポジウム予稿集, 通信工学, B-47, pp.414-415, 2012年11月.
- [31] 渡部功, 佐々木敬泰, 松原伸幸, 大野和彦, 近藤利夫, "NUALキャッシュの改良と可変レベルキャッシュへの適用", SACSIS2012, May. 2012.
- [32] 中村仁, 中林智之, 佐々木敬泰, 大野和彦, 近藤利夫, 細粒度モード切替コントローラを用いた可変パイプライン段数プロセッサのチップ試作と評価, SACSIS2012, pp.6-7, 2012.
- [33] 中林智之, 佐々木敬泰, Eric Rotenberg, 大野和彦, 近藤利夫: 'FabScalarのAlpha 21264命令セット対応とマルチプロセッサ環境フレームワークの構築', Symposium on Advanced Computing Systems and Infrastructures 2012, 2012.

- [34] Gonzalez-Carabarin L. and Asai T., "Logical operations exploiting stochastic resonance for coarse-grained devices and materials," 分子ナノシステムの創発化学領域終了シンポジウム, (東京), P-7, 2013年2月.
- [35] 石村憲意, 浅井哲也, 本村真人, "強制Chua発振器の集団におけるArray-Enhancedカオス共鳴," 電子情報通信学会非線形問題研究会, (札幌), 2013年1月.
- [36] 真田祐樹, 五十嵐正樹, 池辺将之, 浅井哲也, 本村真人, 大畑克樹, 黒田忠広, "イメージセンサ-プロセッサ三次元集積システムにおける深度マップ生成: アルゴリズムと回路アーキテクチャ," STARCシンポジウム2013, (横浜), 2013年1月.
- [37] 内田大輔, 池辺将之, 浅井哲也, 本村真人, 竹康宏, 黒田忠広, "複数位相型TDCを用いたCMOSイメージセンサ用Single-Slope ADC," STARCシンポジウム2013, (横浜), 2013年1月.
- [38] 真田祐樹, 尹征一, 浅井哲也, 本村真人, 竹中崇, "ウェーブレット縮退の多段化に基づくデノイズLSIの省メモリアーキテクチャ," LSIとシステムのワークショップ, (北九州), 2012年5月.
- [39] 平尾岳志, 安達琢, 浅井哲也, 本村真人, "プロセッサの低電力化に向けた連鎖型データパスの実装と電力評価," LSIとシステムのワークショップ, (北九州), 2012年5月.
- [40] 佐藤翔治, 成瀬雅人, 田井野徹, 明連広昭, "多量子ビーム検出器用STJ素子の作製," 第73回応用物理学学会学術講演会, 14a-A2-11, 2012年9月
- [41] 西尾拓真, 成瀬雅人, 田井野徹, 明連広昭, "AINトンネルバリアを用いた超伝導トンネル接合の極低温特性," 第73回応用物理学学会学術講演会, 14a-A2-11, 2012年9月
- [42] H. Myoren, S. Taguchi, K. Ohshima, T. Wakatsuki, T. Taino, L. Parlato and Giovanni P. Pepe, "Performance of Superconducting Single-Photon Detectors using NbN/NiCu nanowires", Applied Superconductivity Conference 2012, 3EPR-05, 2012年10月
- [43] 村重拓也, 成瀬雅人, 田井野徹, 明連広昭, "STJフォトン検出器用Coupled SQUIDコンパレータ", 電子情報通信学会2013年総合大会講演論文集, c-8-12, 2013年3月
- [44] 赤松祐太, 佐々木亮, 成瀬雅人, 田井野徹, 明連広昭, "STJアレイ検出器用時間分割多重化回路の設計", 電子情報通信学会2013年総合大会講演論文集, c-8-13, 2013年3月
- [45] 明連広昭, 田口彰吾, 大島一毅, 成瀬雅人, 田井野徹, G.P. Pepe, "NbN/NiCu積層薄膜を用いた超伝導ナノワイヤ光子検出器", 第60回応用物理学学会春季学術講演会, 27p-G7-13, 2013年3月
- [46] 中山和也, 半田貴也, 申東源, 北川章夫, "センスアンプを用いたReRAMの書き込み抵抗の制御と多値記録への応用", 電気学会 センサ・マイクロマシン部門総合研究会
- [47] 伊部泰貴, 中山和也, 北川章, "電圧センスアンプを用いたReRAMの多値化のための読み出し・書き込み回路", 信学技報, Vol.112, no.425, ICD2012-126(2013-02), pp.45-49, 2013年1月.
- [48] 菅井男也, 片山泰志, 浜本隆之, "高速撮像情報を用いた画像強調方式の検討", 電子情報通信学会技術研究報告, Vol.112, No.40, pp.23-26 (2012)
- [49] 山崎智裕, 大高俊徳, 浜本隆之, "小撮像面単位での時間解像度調整によるダイナミックレンジの拡大および動きボケの抑制", 映像情報メディア学会技術報告, vol.36, no.20, pp.33-36(2012)
- [50] 岩田大志, 小松巡, 山口賢一: "2非同同期2部完全スキャン設計におけるモジュール結合度を考慮したスキャンパス設計," 第68回FTC研究会資料, pp.1-5, January, 2013.
- [51] 池野理門, 丸山隆司, 飯塚哲也, 小松聡, 池田誠, 浅田邦博, 「キャラクタプロジェクションによる電子ビーム直描技術におけるビア層のスルーット向上とステンシル面積削減のための配線設計およびキャラクタ抽出」, DAシンポジウム2012論文集, 情報処理学会シンポジウムシリーズVol. 2012, No.5, 5B-2, pp.187-192, 2012年8月30日.
- [52] 高野真志, 和田和千, 関根かをり, "弱反転領域動作MOSFETカレントミラー回路の形状比による温度依存性低減" 電子回路研究会ECT-12-092, pp.27-30, December 2012
- [53] 伊藤 遼, 関根かをり, "微小電源電圧駆動PTAT電圧発生回路の実現可能範囲に関する一考察" 電子回路研究会ECT-12-054, pp.85-88, June 2012
- [54] 小林優太, 関根かをり, "低電圧検出可能な電圧検出器," 電子回路研究会, ECT-13-010, pp.49-53, Jun. 2013.
- [55] 崔, 張, 難波, "DVMCを用いた2線式非同同期回路に対する微小遅延測定," 信学'13総大, 2013年3月.
- [56] 張, 難波, 伊藤, "マルチスキャンとテストポイント挿入によるLOSの微小遅延故障検出率向上法," 信学技報, FIIS, 2012年6月.

- [57] 田中, 淡野, 田村, 外山, "フローティング型可変抵抗回路の設計", 第65回九州支部連合大会講演論文集, p.329, 2012年9月.
- [58] 財津優, 肥後昭男, 種村拓夫, 中野義昭, "モノリシック偏波多重送信回路のためのInP偏波変換器の試作と評価", "電子情報通信学会光エレクトロニクス(OPE)研究会, OPE-2012-31, 宮崎, 2012年10月.
- [59] 財津優, 肥後昭男, 種村拓夫, 中野義昭, "InP光集積回路に適合した導波路型偏波変換器", "電子情報通信学会ソサイエティ大会シンポジウム(招待講演), CI-1-2, 富山大学, 2012年9月.
- [60] 中島和紀, 佐々木伸一, "遠端クロストークのためのスルーレート可変回路の検討", 平成24年電気関係学会九州支部連合大会, 12-1P-11, 2012年9月
- [61] 松本裕章, 佐々木伸一, 高倉一旨, "プリント配線板電源層からの放射雑音低減方法の検討", JPCA2012アカデミックプラザ, AP-01, 2012年6月
- [62] 松本裕章, 佐々木伸一, 高倉一旨, "抵抗付加法によるプリント配線板電源層からの放射雑音低減 -3次元解析による抵抗付加位置の検討-", 平成24年電気関係学会九州支部連合大会, 08-2P-01, 2012年9月
- [63] 高倉一旨, 佐々木伸一, 泊 佑樹, 松本裕章, "プリント配線板電源層からの放射雑音低減方法の検討 -穴あき電源層における雑音発生位置の影響-", 平成24年電気関係学会九州支部連合大会, 08-2P-02, 2012年9月
- [64] 馬場俊輔, 佐々木伸一, 高倉一旨, 松本裕章, "アナログ・デジタル混載配線板における電源雑音の低減", 電子情報通信学会環境電磁研究会, 信学技法Vol.112 No.372, EMCJ2012-119, pp.99-103, 2013年1月
- [65] 泊 佑樹, 佐々木伸一, 高倉一旨, "プリント配線板電源層からの放射雑音低減方法の検討 -電源層形状-", 電子情報通信学会環境電磁研究会, 信学技法Vol.112 No.372, EMCJ2012-114, pp.69-74, 2013年1月
- [66] Yuanyuan GUO, Torsten WAGNER, Ko-ichiro MIYAMOTO, Tatsuo YOSHINOBU, "Modeling and Simulation of the Light-Addressable Potentiometric Sensor for High-Resolution and High-Speed Chemical Imaging", 7th Int. Symp. on Medical, Bio-and Nano-Electronics, Sendai, March 7-8, 2013
- [67] 南部, 神戸: "C言語動作記述における多重ループ自動パイプライン化のための一手法", "電子情報通信学会, VLSI設計技術研究会, 2013.
- [68] 南部, 神戸, "動作記述における多重ループパイプライン化の一手法", 平成24年電気関係学会関西連合大会, pp.238-239, 2012.
- [69] 福井, 神戸, "粒子追跡システムにおける相関値計算回路の低消費電力化設計", 平成24年電気関係学会関西連合大会, pp.234-235, 2012.
- [70] 三宅, 笹川, 佐藤, 梶原, 三浦, "リングオシレータ利用モニタ回路によるチップ内温度・電圧の試作評価とフィールドテストへの活用検討",
- [71] 津森, 三宅, 佐藤, 梶原, 三浦, "フィールドテストのための温度・電圧モニタ回路構成の検討", 信学技報VLD2012-67, pp.243-248, 2012年11月.
- [72] 三宅, 津森, 佐藤, 梶原, 三浦, "モニタ回路による製造バラツキを考慮した温度・電圧推定手法", 信学技報DC2012-89, pp.55-60, 2012年11月.
- [73] 秋田純一, 擬似的不規則画素配置による像計測向け方向特異性の解消効果一検討, 第6回新画像システム・情報フォトンクス研究討論会予稿集, pp.7-8, 2012.6.
- [74] 中村優希・川_基輝・秋田純一・小松孝徳, 動画像における擬似的不規則素配置よジャギー解消効果の評価, 第6回新画像システム・情報フォトンクス研究討論会予稿集, pp.9-10, 2012.6.
- [75] 石田, 猿渡, 森川, "ワイヤレスハーネスのための2進MDS-IDマッチング型ウェイクアップ通信の評価", 情報処理学会研究報告, 高度交通システム研究会, ITS49-3, 2012年6月.
- [76] 矢野憲, 林田隆則, 佐藤寿倫, モンテカルロシミュレーションによるソフトエラー耐性ラッチ, SRAMの信頼性評価, 第25回回路とシステムワークショップ, pp.438-443, 2012年7月.
- [77] 稲垣正己, 畑謙佑, 塩沢一成, 宮田耕充, 大野雄高, 岸本茂, 篠原久典, 水谷孝, 「高純度半導体カーボンナノチューブを用いた高周波FETの特性評価」, 第73回秋季応用物理学学会学術講演会, 2012.09.13, 愛媛大学・松山大学, 13a-C2-7.
- [78] 深谷徳宏, 片岡佑介, 金東榮, 岸本茂, 水谷孝, 野田優, 大野雄高, 「グリッド配線によるCNT透明導電膜の低抵抗化」, 第73回秋季応用物理学学会学術講演会, 2012.09.13, 愛媛大学・松山大学, 14a-C2-5.
- [79] 石井聡, 玉置聖人, 岸本茂, 水谷孝, 「Pd, Ti被膜ドーピングによるCNTFETの伝導型制御」, 第

73回秋季応用物理学学会学術講演会, 2012.09.13, 愛媛大学・松山大学, 13p-C2-1.

- [80] 石井聡, 玉置聖人, 岸本茂, 水谷孝, 「Conduction-Type Control of Carbon Nanotube Field-Effect Transistors by Pd and Ti Overlayer Doping」, 第43階フラーレン・ナノチューブ・グラフェン総合シンポジウム, 2012.09.06, 東北大学, 2P-29.
- [81] 大野雄高, 「CNT FET - ゲート絶縁膜界面と特性制御 - 」, 固体材料における電界効果の物理と応用の進展 - 第4回若手ミニワークショップ -, 2012.08.25, 仙台, 1. [招待講演]
- [82] 水谷孝, 「走査型プローブ顕微鏡を用いたCNTトランジスタの電気伝導特性測定」, 日本学術振興会第167委員会第67回研究会, 2012.07.18, 物質材料研究機構. [招待講演]
- [83] 松本高士, 小林和淑, 小野寺秀俊, "NBTI・RTNが論理回路およびSRAMの信頼性に与える影響について", 情報処理学会DAシンポジウム2012論文集, pp.151-156, 2012/08.
- [84] 近藤正大, 石原亨, 小野寺秀俊, "低電圧動作に適したセルライブラリのゲート幅決定法とその評価", 情報処理学会DAシンポジウム2012論文集, pp.169-174, 2012/08.
- [85] 西澤真一, 近藤正大, 石原亨, 小野寺秀俊, "低電圧動作に向けたPN比可変スタンダードセルライブラリの構成法とその評価", 情報処理学会DAシンポジウム2012論文集, pp.175-180, 2012/08.
- [86] Islam A.K.M Mahfuzul, 釜江典裕, 石原亨, 小野寺秀俊, "完全デジタル型のP/Nばらつきの自律補償回路", 情報処理学会DAシンポジウム2012論文集, pp.43-48, 2012/08.
- [87] 釜江典裕, 土谷亮, 小野寺秀俊, "チップ内基板バイアス生成回路のモジュール化設計", 情報処理学会DAシンポジウム2012論文集, pp.55-60, 2012/08.
- [88] SinNyoung Kim, Akira Tsuchiya, Hidetoshi Onodera, "Evaluation of Single-Event Vulnerability in Analog and Digital Signals of PLL based on Error-Categorization", 情報処理学会DAシンポジウム2012論文集, pp.61-66, 2012/08.
- [89] 古田潤, 山本亮輔, 増田政基, 岡田翔伍, 久保田勘人, 小林和淑, 小野寺秀俊, "微細プロセスにおける耐ソフトエラー集積回路の設計手法", LSIとシステムのワークショップ, 2012/05.
- [90] 松本高士, 小林和淑, 小野寺秀俊, "LSI信頼性へのRTN・NBTIの影響と特性補償技術について", LSIとシステムのワークショップ, 2012/05.
- [91] 松本高士, 小林和淑, 小野寺秀俊, "ランダム・テレグラフ・ノイズが電圧CMOS論理回路の遅延ゆらぎに及ぼす影響", 応用物理学会分科会シリコンテクノロジー, no 154, pp.27-30, 2013/01.
- [92] 松本高士, 小林和淑, 小野寺秀俊, "ランダム・テレグラフ・ノイズに起因した組合せ回路遅延ゆらぎに対する基盤バイアスの影響", デザインガイア2012, 信学技報, vol 112, no 320, pp.63-68, 2012/11.
- [93] 古田潤, 小林和淑, 小野寺秀俊, "ソフトエラーによる多ビットエラーのラッチ間距離依存性の評価", 電子情報通信学会ソサイエティ大会, 2012/09.
- [94] 三木淳司, 松本高士, 小林和淑, 小野寺秀俊, "劣化測定と回復測定を高速に切り替え可能なNBTI測定回路の特性評価", 電子情報通信学会ソサイエティ大会, 2012/09.
- [95] 三浦克介, 曾我勇幾, 門多健一, 有竹俊之, 山崎裕一郎, 中前幸治, "レイアウトデータからの特徴抽出による欠陥分類法の量産データ適用", 第32回LSIテストニングシンポジウム会議録, pp.129-134 (7-9 Nov. 2012).
- [96] 蝶野尋紀, 三浦克介, 中前幸治, "健康モニタリングセンサーチップのための心電図圧縮センシング回路のテストおよび高信頼化", 第32回LSIテストニングシンポジウム会議録, pp.141-146 (7-9 Nov. 2012).
- [97] 大崎淳巳, 御堂義博, 中前幸治, "LSI配線間TDDB劣化に対する信頼性を考慮した電子ビーム直接描画方式のスループット向上の一検討", 第32回LSIテストニングシンポジウム会議録, pp.147-152 (7-9 Nov. 2012).
- [98] 三浦克介, 松本和也, 中前幸治, "スキランチェンタイミング故障の統計的特徴解析による故障診断", 第32回LSIテストニングシンポジウム会議録, pp.185-190 (7-9 Nov. 2012).
- [99] 山下将嗣, 大谷知行, 松本徹, 御堂義博, 三浦克介, 二川清, 中前幸治, "レーザー励起テラヘルツ波放射における多層配線の影響", 第59回応用物理学会関係連合講演会, 16p-E8-5, p.04-197 (15-18 Mar 2012).
- [100] 山下将嗣, 大谷知行, 松本徹, 御堂義博, 三浦克介, 中前幸治, 二川清, "レーザーテラヘルツ放射顕微鏡の無バイアスLSI故障解析への応用", 第42回信頼性・安全性シンポジウム, 東京, pp.109-114 (12-13 Jul 2012).
- [101] 蝶野尋紀, 三浦克介, 中前幸治, "人の健康モ

- ニタリングのためのリアルタイム圧縮センシング", 2012年電子情報通信学会通信ソサイエティ大会, B-19-28 (11-14 Sep 2012).
- [102] 井ノ上, 長谷川, S. Badar, 千足, 丸山, "水晶基板上での水平配向単層カーボンナノチューブの成長過程." 第49回日本伝熱シンポジウム.
- [103] 長谷川, 井ノ上, S. Badar, 千足, 丸山, "水晶表面における水平配向単層カーボンナノチューブの高密度合成." ナノ学会第10回大会.
- [104] 相川, 北島, E. Einarsson, T. Thurakitsee, 千足, 丸山, "透明なカーボンナノチューブフレキシブルトランジスタ." 第49回日本伝熱シンポジウム(富山国際会議場, 富山).
- [105] 井ノ上, G. Meikle, S. Badar, 長谷川, 千足, 丸山, "水平配向単層カーボンナノチューブの合成: 触媒担持法および水晶表面の影響." 第43回フラーレン・ナノチューブ・グラフェン総合シンポジウム.
- [106] S. Badar, D. Hasegawa, T. Inoue, S. Chiashi, S. Maruyama, "Raman Imaging Spectroscopy of Horizontally Aligned Single-Walled Carbon Nanotubes on Crystal Quartz." 第43回フラーレン・ナノチューブ・グラフェン総合シンポジウム.
- [107] 長谷川, 井ノ上, 大塚, バダル, 千足, 丸山, "走査型顕微鏡による水晶基板上の水平配向単層カーボンナノチューブの分析." 第44回フラーレン・ナノチューブ・グラフェン総合シンポジウム.
- [108] 大塚, 井ノ上, 長谷川, 千足, 丸山, "分子ガラスの熱リソグラフィを用いた金属性単層カーボンナノチューブの選択的除去." 第44回フラーレン・ナノチューブ・グラフェン総合シンポジウム.
- [109] 木皿祥吾, 亀山充隆, "電流源自律制御に基づく低電力多値VLSIとその応用", 多値論理研究ノート, Vol.35, No.6, pp.6-1-6-5(2012).
- [110] Xu Bai, Michitaka Kameyama, "Multiple-Valued Data Transfer Scheme using X-Net and Its Application to Reconfigurable VLSI", 多値論理研究ノート, Vol.35, No.5, pp.5-1-5-6(2012).
- [111] 張山昌論, 小松与志也, 亀山充隆, "ハンドシェイクコンポーネント設計を指向した非同期FPGAアーキテクチャ", 電子情報通信学会技術報告(信学技報), pp.43-48, 2012-09-18
- [112] 張山昌論, 小松与志也, 亀山充隆, "Balsaフレームワークを用いた同期式FPGA上での非同期回路の小面積設計", 電子情報通信学会技術報告(信学技報), pp.37-42, 2012-09-18
- [113] 高木健太, 水野孝祐, 和泉慎太郎, 川口博, 吉本雅彦, "HOG特徴量による実時間物体検出プロセッサのFPGA実装," 信学技報, vol.112, no.365, ICD2012-105, pp.61-61, 2012年12月.
- [114] 小西恵大, 奥野圭祐, 和泉慎太郎, 吉本雅彦, 川口博, "40 nm 640 μ m² 7.2bit プロセススケラブル・オペアンプレス時間演算型AD変換器," LSIとシステムのワークショップ2012, pp.210-212, 北九州市, 2012年5月.
- [115] 中川知己, 吉本秀輔, 北原佑起, 柳田晃司, 梅木洋平, 奥村俊介, 和泉慎太郎, 川口博, 吉本雅彦, "強誘電体キャパシタを用いた6T4CシャドウSRAMの高性能化技術" 信学技報, vol.112, no.365, ICD2012-98, p.41, 東京, 2012年12月.
- [116] 柳田晃司, 奥村俊介, 中田洋平, 鍵山祐輝, 吉本秀輔, 川口博, 吉本雅彦, "低エネルギー比較機能を有するDMR応用7T SRAM," LSIとシステムのワークショップ2012, pp.186-188, 北九州市, 2012年5月.
- [117] 奥村俊介, 吉本秀輔, 川口博, 吉本雅彦, "SRAMセルを用いたLow書込みによるチップID生成手法," LSIとシステムのワークショップ2012, pp.201-203, 北九州市, 2012年5月.
- [118] 奥村俊介, 吉本秀輔, 川口博, 吉本雅彦, "SRAMセルを用いたLow書込みによるチップID生成手法," 信学技報, vol.112, no.15, ICD2012-18, pp.97-102, 2012年4月, 岩手.
- [119] 梅木洋平, 奥村俊介, 中田洋平, 柳田晃司, 鍵山祐輝, 吉本秀輔, 川口博, 吉本雅彦, "低エネルギー比較機能を有するDMR応用7T SRAM," 信学技報, vol.112, no.15, ICD2012-16, pp.85-90, 2012年4月, 岩手. 2012年3月
- [120] 鄭晋旭, 中田洋平, 奥村俊介, 川口博, 吉本雅彦, "プロセスばらつきを考慮した低電圧動作混合連想度キャッシュ構造," 信学技報, vol.112, no.170, ICD2012-31, pp.1-6, 札幌, 2012年8月.
- [121] 中田洋平, 川口博, 吉本雅彦, "プロセスばらつきを考慮したNoCアーキテクチャ," LSIとシステムのワークショップ2012, pp.204-206, 北九州市, 2012年5月.
- [122] 鄭晋旭, 中田洋平, 奥村俊介, 川口博, 吉本雅彦, "低電圧動作マージン拡大機能を有する連想度可変キャッシュ," LSIとシステムのワークショップ2012, pp. 207-209, 北九州市, 2012年5月.
- [123] 宮本優貴, 何光霽, 和泉慎太郎, 川口博, 吉本雅彦, "2.4倍速実時間6万語彙連続音声認識

プロセッサの開発" 信学技報, vol.112, no.365, ICD2012-101, pp.49-53, 東京, 2012年12月.

- [124] 何光霽, 菅原隆伸, 藤永剛史, 宮本優貴, 野口絃希, 和泉慎太郎, 川口博, 吉本雅彦, "6万語彙実時間連続音声認識のための40nm, 144mW音声認識専用プロセッサの開発", "LSIとシステムのワークショップ2012", pp.189-191, 北九州市, 2012年5月
- [125] 岡田慎吾, 關根惟敏, 浅井秀樹, 電源分配回路網の非構造メッシュ化と局所陰的LIMによる高速過渡解析, 信学技報, vol.112, no.320, pp.213-218, 2012年11月
- [126] 西崎統大, 關根惟敏, 浅井秀樹, 陽的かつ無条件安定な手法による電源分配回路網の高速過渡解析, 信学技報, vol.112, no.320, pp.219-224, 2012年11月
- [127] 田篠, 井田, "MOSFETの基板バイアス効果のScalingと回路動作の解析", 2012信学ソ(エレクトロニクス), 富山大学, C-12-46, Sep. 2012
- [128] 佐藤裕介, 守屋雅隆, 島田宏, 水柿義直, 前澤正明, "アンダーダンプ接合でのSFQ反射を利用する電圧増倍器の増倍率評価", "2012年電子情報通信学会総合大会, 2012年3月
- [129] 守屋雅隆, 瀧澤宏幸, 水柿義直, "非対称2接合SQUIDでのゼロ・クロッシング・シャピロ・ステップを利用した両極性デジタル-アナログ変換器の試作", "2012年電子情報通信学会総合大会, 2012年3月
- [130] 水柿義直, "RSQUIDにおける間欠発振現象の間接的確認", "平成24年秋季第73回応用物理学会学術講演会, 2012年9月
- [131] 佐藤裕介, 守屋雅隆, 島田宏, 水柿義直, 前澤正明, "アンダーダンプ接合でのSFQ反射を利用した100倍電圧増倍器の動作検証", "平成24年秋季第73回応用物理学会学術講演会, 2012年9月
- [132] 高橋義隆, 守屋雅隆, 島田宏, 水柿義直, 前澤正明, "6-bit可変型SFQパルス数増倍回路の設計と動作検証", "電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2012-24, 2012年10月
- [133] 佐藤裕介, 守屋雅隆, 島田宏, 水柿義直, 前澤正明, "アンダーダンプ接合でのSFQ反射を利用する1000倍電圧増倍器の動作検証", "電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2012-28, 2013年1月
- [134] 水柿義直, "散逸要素を組み込んだ単一電子素子・単一磁束量子素子での間欠発振", "電子情報通信学会技術研究報告(電子デバイス), ED2012-&SDM2012-, 2013年2月
- [135] 樋口裕磨, 橋本昌宜, 尾上孝雄, "オンチップセンサを用いたばらつき自己補償手法の検討", "信学技報VLSI設計技術研究会, no. VLD2012-138, pp.13-17, March 2013.
- [136] 天木健彦, 橋本昌宜, 密山幸男, 尾上孝雄, "確率的動作モデルを用いたオシレータベース真性乱数生成回路のワーストケース設計手法", "信学技報VLSI設計技術研究会, no. VLD2012-154, pp.99-104, March 2013.
- [137] 信田龍哉, 橋本昌宜, 尾上孝雄, "センサノード間静電容量結合に基づく距離推定に向けた電極形状の検討", "信学技報回路とシステム研究会, no. CAS2012-119, pp.131-136, March 2013.
- [138] 郡浦宏明, 今川隆司, 密山幸男, 橋本昌宜, 尾上孝雄, "動的再構成機能を用いた故障回避手法の定量的信頼性評価", "信学技報リコンフィギュラブルシステム研究会, no. RECONF2012-59, pp.71-76, November 2012.
- [139] 原田諒, 密山幸男, 橋本昌宜, 尾上孝雄, "中性子起因一過性複数パルスの電源電圧及び基板バイアス依存性測定", "信学技報VLSI設計技術研究会, no. VLD2012-100, pp.237-241, November 2012.
- [140] 橋本昌宜, "低電力回路技術", "センサマイクロマシンとその応用シンポジウム, October 2012.
- [141] 上野美保, 橋本昌宜, 尾上孝雄, "電氣的タイミング故障のデバッグ向けオンチップリアルタイム電源電圧センサ", "通信学会ソサイエティ大会, no. A-3-6, September 2012.
- [142] 樋口裕磨, 新開健一, 橋本昌宜, R. Rao, S. Nassif, "感度可変リングオシレータを用いたデバイスパラメータばらつき推定", "DAシンポジウム, August 2012.
- [143] 菅原佑紀, 淡野公一, 田村宏樹, 外山貴子, "バックゲート駆動弱反転領域トランスリニア原理と適応バイアス技術を用いたアナログ乗算器の提案", "第35回多値論理フォーラム, pp.8-1~8-5, 2012年9月.
- [144] 菅原佑紀, 淡野公一, 田村宏樹, 外山貴子, "バックゲート駆動弱反転領域動作型トランスリニア原理を用いたアナログ乗算器の提案", "電気関係学会九州支部連合大会(第65回連合大会), pp.316, 2012年9月.
- [145] 宮川昌士, 淡野公一, 田村宏樹, 外山貴子, "3段構成高利得CMOS OPアンプの一設計", "電気関係学会九州支部連合大会(第65回連合大会), pp.318, 2012年9月.
- [146] 岩崎春紀, 淡野公一, 田村宏樹, 外山貴子, 山

- 田明宏, "MOSアナログ集積回路教育のためのLSI設計", 電子情報通信学会九州支部学生会講演会(第20回), A-3(論文番号), 2012年9月.
- [147] 今川翔太, 宮内亮一, 淡野公一, 田村宏樹, 外山貴子, "完全非同期型 $\Delta\Sigma$ 変調器の一設計", 電子情報通信学会九州支部学生会講演会(第20回), A-4(論文番号), 2012年9月.
- [148] Arif Abdul Mannan, Agung Setiabudi, Hiroki Tamura, Takako Toyama, Koichi Tanno, "Measurement and Evaluation of Back-Gate Driven Flipped Voltage Follower", 第26回多値論理とその応用研究会技術研究報告, Vol.MVL-13, No.1, pp.45-50, 2013年1月.
- [149] 矢野新也, ハムヒュンジュ, 松岡俊匡, 王軍, チョウイキョン, "非線形成分補正機能を有した確率的並列型A/D変換器の設計", 電子情報通信学会集積回路研究会(ICD), 2012年10月, 盛岡.
- [150] 超益均, 松岡俊匡, 海老沼拓史, "CMOSトリプルバンドGPS受信機の設計", 平成24年電気関係学会関西連合大会, 2012年12月, 大阪.
- [151] 崔冀, 松岡俊匡, "プロセスばらつき補償を有する低電圧DCO", 平成24年電気関係学会関西連合大会, 2012年12月, 大阪.
- [152] J. Bae, W.-M. Wang, I. Jo, T. Matsuoka, "Modeling and Simulation of ADPLL with Phase Interpolator", 平成24年電気関係学会関西連合大会, 2012年12月, 大阪.
- [153] 今掛, 大島, "容量アベレージング技術を用いたFlash型AD変換器の電力削減", 電子情報通信学会LSIとシステムのワークショップ, 2012年5月
- [154] 大島, 今掛, 米満, 吉村, "1-GHz, 17.5-mW, 8-bit Subranging ADC (1) —オフセットキャンセル付き電荷駆動アンプ及び容量アベレージング—", 電子情報通信学会シリコンアナログRF研究会, 2012年12月.
- [155] 吉村, 今掛, 米満, 大島, "1-GHz, 17.5-mW, 8-bit Subranging ADC (2) —抵抗ラダーにおける歪み補正回路—", 電子情報通信学会シリコンアナログRF研究会, 2012年12月.
- [156] 吉村, 大島, "オフセットキャンセル付き電荷駆動アンプを用いた1 GHz, 17.5mW, 8 bitサブレンジングADC", STARCシンポジウム, 2012年1月.
- [157] 伊部泰貴, 中山和也, 北川章夫, "電圧センスアンプを用いたReRAMの多値化のための読み出し・書き込み回路", 信学技報, vol.112, no.425, ICD2012-126, pp.45-49, 2013.2.
- [158] 河合一樹, 北川章夫, "ラジカルセンサの提案と回路実装に関する検討", 電気学会マイクロマシン・センサシステム研究会2012, pp.83-86, 2012.6.
- [159] 浅岡, 田中, 魏"SD数演算を用いたRSA暗号処理回路の設計と性能評価", IEICE VLD研究会, VLD2012-115, pp.45-50 2013年1月
- [160] 田中, 魏, "剰余SD数の非零桁数を削減する変換アルゴリズム", 第25回回路とシステムワークショップ, C1-2-1, pp.156-159, 2012年7月
- [161] 森功, 久保田雅則, 三田吉郎, 「環境にばらまくセンサネットワーク素子実現に関する一考察」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [162] Isao Mori, Satoshi Morishita, Masanori Kubota, Kentaroh Watanabe and Yoshio Mita, "A Monolithically-Integrated, Batch Post-processed 17.8 V Silicon Solar Cell Array for Remote MEMS Driving", Japanese French Research, 16-17 November, Tokyo, (2012.11).
- [163] 木原泰樹, 久保田雅則, 森下賢志, 百瀬健, 近藤愛子, 霜垣幸浩, 三田吉郎, 「ステルスダイシングを利用した埋め込み式予約素子分離法」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [164] 平川淳, 森下賢志, 三田吉郎, 「SOI基板上のメサ分離型標準バルクCMOS素子の絶縁耐圧評価」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [165] ジュリアンマラペール, 森下賢志, 安宅学, 藤田博之, 三田吉郎, 「光硬化ポリイミドを用いた繊毛アクチュエータのCMOSポストプロセス作製」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [166] 井上, 安永, "周波数領域によるセグメント分割伝送線の設計と評価", 信学技報 FIIS12, No.345, 2012年10月.
- [167] 小林, 茂木, 魏, "SD数の2値符号化による算術演算回路の最適化設計と性能評価", 信学技報, VLD2012-114, pp.39-44, 2013年1月.
- [168] 鬼頭, 高木, "桁上げ生成二重化によるフォールトセキュアな並列プレフィックス加算器の構成法", 信学技報, vol.112, no.321, DC2012-72, pp.273-278, 2012年11月.
- [169] 小林伸彰, 榎本忠儀, 「DVFS制御向け量子化デコードの開発とその動きベクトル検出プロセスへの応用」, エレクトロニクス講演論文集2, 電子情報通信学会C-12-15, p.86, 2013年3月19日.
- [170] 本島浩二, 小林伸彰, 榎本忠儀, 「CMOSレジスタの高速化・低電力化」, エレクトロニクス講演

論文集2, 電子情報通信学会 C-12-11, p.82, 2012年3月19日.

- [171] 伊藤隆祐, 小林伸彰, 榎本忠儀, 「不揮発性 CMOS SRAM の開発」, エレクトロニクス講演論文集2, 電子情報通信学会 C-12-10, p.81, 2012年3月19日.
- [172] 榎本忠儀, 小林伸彰, 「読み出しマージンを拡大した低電圧動作 SRAM の開発」, 信学ソ大会講演論文集, 電子情報通信学会 C-12-36, 2012年9月13日.
- [173] 榎本忠儀, 小林伸彰, 「動的電圧・周波数スケリングに向けた動きベクトル検出アルゴリズムとこれを適用した低電力動きベクトル検出プロセッサの開発」, 信学技報, ICD2012-70, pp. 71-76, 2012年10月19日.
- [174] 朝野, 松田, 岩田, 大曾根, "CMOS 基準電流および基準電圧発生回路の設計", "電気関係学会北陸支部連合大会, 2012年9月
- [175] 和泉, 濱野, 松田, 岩田, 水島, 小幡, "圧力センサ用 CV 変換回路の高速化と低消費電力化", "電気関係学会北陸支部連合大会, 2012年9月
- [176] 花井, 徳光, 松田, 岩田, "チャンネル長が CMOS NAND 回路の信頼性に及ぼす影響評価", "電気関係学会北陸支部連合大会, 2012年9月
- [177] 道用, 松田, 岩田, "実際の構造を有するナノ MOSFET のシミュレーション解析", "電気関係学会北陸支部連合大会, 2012年9月
- [178] 高橋 寛太, 東原恒夫, "高精度・複素型低電圧直交変調器", 電子情報通信学会 ソサイエティ大会, 2012年9月
- [179] 佐藤 雄貴, 東原恒夫, トランスコンダクタンス・容量の非線形性を補償した高線形性 PA, 電子情報通信学会 ソサイエティ大会, 2012年9月
- [180] 高橋 寛太, 東原恒夫, "高精度・複素型低電圧直交変調器の広帯域化", 電子情報通信学会 シリコンアナログ RF 研究会, 2012年12月
- [181] 佐藤 雄貴, 東原恒夫, "2次歪みと3次歪みを補償した高線形性低雑音増幅器", 電子情報通信学会 シリコンアナログ RF 研究会, 2012年12月
- [182] 高橋 寛太, 東原恒夫, "低電圧動作高精度複素型直交変調器の設計", 電気学会 電子回路研究会, 2013年1月
- [183] 荒木, 高瀬, 高木, 高木, "高位合成における繰り返し回数未決定ループに対する投機実行手法", VLD 研究会(デザインガイア 2012), 2012年11月.
- [184] 須田, 高瀬, 高木, 高木, "高位合成における多面体最適化のためのスレッド構成手法", SLDM

研究会 (ETNET2013), 2013年3月.

- [185] 三苦, 鬼頭, 高木, "桁上げビットの二重化によるセルフチェック桁上げ先見加算器", DC 研究会 (ETNET2013), 2013年3月.
- [186] 秋元, 鬼頭, 高木, "部分二重化を用いたオンライン誤り検出可能な乗算器", DC 研究会 (ETNET2013), 2013年3月.
- [187] 渡邊貴之, "電源プレートの過渡解析のための三角形セルを用いた等価回路モデルの比較", 電子情報通信学会 2013年総合大会, 2013年3月.
- [188] 渡邊貴之, "混合モデルを用いた多層電源プレートの高速過渡解析", 電子情報通信学会第25回回路とシステムワークショップ, 2012年7月31日.
- [189] 平河秀太, 清水暁生, 石川洋平, 深井澄夫, "トランスインピーダンスアンプを用いたカレントミラーのばらつきに関する一考察", 電子情報通信学会九州支部学生会講演会・講演論文集, A-09, Sep. 2012.
- [190] 澤村 芹香, 清水暁生, 石川洋平, 深井澄夫, "オペアンプを用いた低電圧カレントミラーの測定", 電子情報通信学会九州支部学生会講演会・講演論文集, A-08, Sep. 2012.
- [191] 荒牧恵悟, 清水暁生, 石川洋平, 深井澄夫, "8ビット D/A 変換器に用いる低電圧カレントミラー", 電子情報通信学会九州支部学生会講演会・講演論文集, A-07, Sep. 2012.
- [192] 浜田, 井上, 岸根, 土谷, 久保木, 稲葉, "トランジスタサイズに着目した微細 CMOS D-FF 回路の高速化設計手法", "電子情報通信学会 2013年総合大会
- [193] 井上, 浜田, 岸根, 中野, 中村, 土谷, 久保木, 稲葉, "インダクティブピーキングを利用したリング型 VCO の低ジッタ化に関する研究", "電子情報通信学会 2013年総合大会, 2013年3月
- [194] 和田敏輝, 高萩和宏, 池辺将之, 雨宮好仁, 佐野栄一, "60GHz 帯低電力直接検波回路", LSI とシステムのワークショップ 2012, 北九州国際会議場(北九州市), pp.255-257, 2012年5月29日.
- [195] 大津雄太郎, 高萩和宏, 佐野栄一, "左手系小型アンテナの設計と評価", 2012 信学会ソサイエティ大会(富山大学, 富山), C-2-46, 2012年9月11日.
- [196] 和田敏輝, 高萩和宏, 池辺将之, 雨宮好仁, 佐野栄一, "60 GHz 帯ディテクタの設計・評価", 2012 信学会ソサイエティ大会(富山大学, 富山), C-12-9, 2012年9月12日.
- [197] 久保圭史, 高萩和宏, 池辺将之, 雨宮好仁, 佐野栄一, "低電力 PWM クロックデータ再生回路",

- 2012信学会ソサイエティ大会(富山大学, 富山), C-12-22, 2012年9月12日.
- [198] 平石一貴, 和田敏輝, 久保圭史, 大津雄太郎, 池辺将之, 佐野栄一, "無線センサ用低電力小型送信モジュール", 2013信学会総合大会(岐阜大学, 岐阜), C-12-22, 2013年3月19日.
- [199] 大津雄太郎, 久保圭史, 池辺将之, 佐野栄一, "2.4 GHz帯整流回路の試作と評価", 2013信学会総合大会(岐阜大学, 岐阜), C-12-31, 2013年3月20日.
- [200] 加藤, "組み込み遅延測定回路を用いた時分割オンチップパス遅延測定のための入力系列データ量削減の1手法", 信学技報, DC2012-10, 2012年.
- [201] 十川, 金城, 島袋, "Verilog HDLを用いた万能量子論理ゲートのエミュレータ回路設計に関する考察", 電子情報通信学会ソサイエティ大会講演論文集, p.12, 2012年8月.
- [202] 吉川薫平, 佐々木悠太, 市川浩司, 永田真, "デジタルLSIの電源ノイズに関するオンボードおよびオンチップ測定の統合評価", 電子情報通信学会技術報告EMCJ2012-7, 37-42, 2012.4.
- [203] 高木康将, 荒賀佑樹, 永田真, Geert Van der Plas, Jaemin Kim, Nikolaos Minas, Pol Marchal, Michael Libois, Antonio La Manna, Wenqi Zhang, Julien Ryckaert, Eric Beyne, "三次元積層LSIチップにおける基板ノイズの層間評価", 電子情報通信学会技術報告ICD2012-40, 49-54, 2012.8.
- [204] 吉川薫平, 佐々木悠太, 市川浩司, 齊藤義行, 永田真, "デジタルLSIにおけるLSIチップ・パッケージ・ボードを統合した電源雑音協調評価", 電子情報通信学会技術報告VLD2012-91, 183-188, 2012.11.
- [205] 藤本大介, 田中大智, 永田真, "容量充電モデルを用いたシミュレーションによるサイドチャネル情報漏洩探索手法", 電子情報通信学会・2013年暗号と情報セキュリティシンポジウム1E1-2, 1-6, 2013.1.
- [206] 田中大智, 藤本大介, 永田真, "容量充電モデルを用いたシミュレーションによる相関電力解析の考察", 電子情報通信学会・2013年暗号と情報セキュリティシンポジウム1E2-2, 1-7, 2013.1.
- [207] 岡田直也, 中村祐一, 木村晋二, "状態遷移の解析に基づく磁気フリップフロップ書き込み制御手法", "信学技法VLD 2012-3, pp.13-18, May 2012.
- [208] 糸井優大, 木村晋二, "最大フロー最小カット定理を用いた不揮発レジスタの書き込み削減"信学技法VLD 2012-10, pp.91-96, Oct. 2012.
- [209] 菅谷周平, 汐崎充, 藤野毅, "PUF用途向けグリッチ生成及び抽出回路の検討", LSIとシステムのワークショップ2012, pp.177-179, 2012年5月.
- [210] 谷口雅人, "PUFから一意な鍵情報を生成するためのFuzzy Extractor回路の設計と評価", LSIとシステムのワークショップ2012, pp.195-197, 2012年5月.
- [211] 鵜飼慎太郎, 橋本祐樹, 汐崎充, 藤野毅, "耐タンパAES暗号回路のサイドチャネル攻撃耐性評価", LSIとシステムのワークショップ2012, pp.234-236, 2012年5月.
- [212] 柴谷恵, 岩井克彦, 汐崎充, 藤野毅, "2線RSLメモリ方式を用いた耐タンパ暗号回路設計手法～CLEFIA暗号への適用と面積評価～", 回路とシステムワークショップ, pp.166-171, 2012年7月.
- [213] 藤野毅, 汐崎充, 久保田貴也, 吉川雅弥 [招待講演] 耐タンパ暗号回路のLSI設計手法", リコングィャラブルシステム研究会(RECONF), 信学技報, Vol.112, No.203, RECONF2012-29, pp.31-36, 2012年9月.
- [214] 橋本裕樹, 汐崎充, 久保田貴也, 藤野毅, "Dual-Rail RSLメモリ方式を利用したサイドチャネル攻撃耐性を有するAES暗号回路", VLSI設計技術研究会(VLD), 信学技報, 2012年11月.
- [215] 上田佳祐, 中澤亮, 堀遼平, 汐崎充, 藤田智弘, 藤野毅, "ビアプログラマブルアナログ回路VPAのチップ設計と特性評価", VLSI設計技術研究会(VLD), 信学技報, 2012年11月.
- [216] 伊藤弘樹, 汐崎充, 藤野毅, "AES暗号回路の設計・評価を効率的に行うサイドチャネル攻撃耐性検証法の一考察", 暗号と情報セキュリティシンポジウム(SCIS)論文集, 2013年1月.
- [217] 鵜飼慎太郎, Hoang Anh-Tuan, 汐崎充, 浅川俊介, 橋本裕樹, 藤野毅, "耐タンパ性向上のための乗算マスクとDual-Rail RSLメモリ方式を用いたAES暗号回路の設計", 暗号と情報セキュリティシンポジウム(SCIS)論文集, 2013年1月.
- [218] 寺村匡弘, 汐崎充, 岡本卓朗, 村山貴彦, 藤野毅, "認証と乱数生成利用のための遅延時間差検出型アービター PUFの最適化手法", 暗号と情報セキュリティシンポジウム(SCIS)論文集, 2013年1月.
- [219] 小川昂佑, 汐崎充, 藤野毅, "機械学習による遅延時間差検出型アービター PUFモデルを用いた認証方式", 暗号と情報セキュリティシンポジウム(SCIS)論文集, 2013年1月.
- [220] 中井綱人, 汐崎充, 藤野毅, "電力・電磁波解

析攻撃におけるオンチップ・キャパシタの影響評価", 暗号と情報セキュリティシンポジウム (SCIS) 論文集, 2013年1月.

- [221] 谷口, 汐崎, 村山, 久保, 藤野, "物理的複製不可能関数 (PUF) デバイスにおけるレスポンスの再現性向上のための軟判定Fuzzy Extractorの検討", IT2012-52, pp.19-24, 2013年1月.
- [222] 上田佳祐, 中澤亮, 堀遼平, 汐崎充, 藤田智弘, 藤野毅, "ビアプログラマブルアナログ回路VPAの提案とチップ設計", LSIとシステムのワークショップ2012講演資料集およびポスター資料集, pp.198-200, 5月2012年
- [223] 大谷拓, 堀遼平, 上岡泰輔, 吉川雅弥, 藤野毅, "ビアプログラマブルロジックVPEXの配置配線ツールを用いた性能評価", 電子情報通信学会技術研究報告, VLD2012-90, pp.177-182, 11月2012年
- [224] 椿, 廣瀬, 大崎, 志賀, 黒木, 沼, "コンパレータのバラツキ補正技術を用いた弛張発振回路の評価", 電子情報通信学会ソサイエティ大会, C-12-17, (富山), 2012年9月.
- [225] 鶴屋, 廣瀬, 大崎, 黒木, 沼, 小林, "適応バイアス技術を用いた超低電力CMOSオペアンプの評価", 電子情報通信学会ソサイエティ大会, C-12-18, (富山), 2012年9月.
- [226] 増田, 廣瀬, 大崎, 黒木, 沼, "超低電圧ダイナミックコンパレータのためのオフセット電圧補正回路の高精度化", 電子情報通信学会ソサイエティ大会, C-12-23, (富山), 2012年9月.
- [227] 大崎, 廣瀬, 黒木, 沼, "PVTバラツキ耐性を持つシングルスロープADコンバータ", 電子情報通信学会ソサイエティ大会, C-12-24, (富山), 2012年9月.
- [228] 椿, 廣瀬, 黒木, 沼, "低参照電圧を用いた実時間計測用弛張発振回路", 電子情報通信学会総合大会, C-12-61, (岐阜), 2013年3月
- [229] 尾崎, 廣瀬, 椿, 黒木, 沼, "適応バイアス技術を用いた超低電力・高速Rail-to-Railオペアンプ", 電子情報通信学会総合大会, C-12-48, (岐阜), 2013年3月.
- [230] 島崎貢佑, 吉澤真吾, 畑川養幸, 松本知子, 小西聡, 宮永喜一, "細粒度並列処理を用いたMU-MIMOプリコーディング回路の高速化手法の提案", 電子情報通信学会RCS研究会, RCS2012-65, pp.129-134, 2012年7月.
- [231] 岩泉洋紀, 吉澤真吾, 宮永喜一, "SVD-MIMO-OFDMシステムにおける特異値分解プロセッサの高速・低消費電力化設計", 電子情報通信学会SIS研究会, SIS2012-3, pp.13-18, 2012年7月.
- [232] 浅井, 吉川, "電磁波解析攻撃検証用プラットフォームの検討", 電気関係学会倒壊支部連合大会, P2-8, 2012年9月
- [233] 浅井, 吉川, "イベントモデルシミュレーションによるサイドチャネル情報取得の効率化", 暗号と情報セキュリティシンポジウム2013, 1E1-1, 2013年1月
- [234] 今井, 米田, "遅延制約を考慮した高性能非同期式回路配置配線方式の検討", 電気学会電子・情報・システム部門大会, pp.1137-1142, Sep., 2012
- [235] 上ノ原誠二, 厚地泰輔, 松坂建治, 森江隆, 合原一幸, "電圧・電流波形サンプリング方式によるしきい値結合カオス回路の設計", 電子情報通信学会NLP研究会, Vol.112, No. 389, pp. 105-110, 2013年1月.
- [236] 前田道孝, Frank Maldonado H., 松尾貴之, 田中秀樹, 梁海超, 松坂建治, 森江隆, 合原一幸, "FPGAにより制御される専用アナログチップを用いたスパイクニューラルネットワークシステムの開発", 電子情報通信学会NC研究会, Vol.112, No.390, pp.181-186, 2013年1月25日, 北海道大学(札幌).
- [237] 東原敬, 松坂建治, 西広海, 森江, 隆, "スパイクベース非線形演算のためのCMOS結合位相振動子回路", 電子情報通信学会NLP研究会, Vol.112, No.389, pp.137-142, 2013年1月25日, 北海道大学(札幌).
- [238] 松坂建治, 田中秀樹, 大久保悟, 東原敬, 森江隆, "LSI実装に向けたパルス結合位相振動子系に基づくスパイクベース演算", 電子情報通信学会NC研究会, Vol.112, No.227, pp.127-132, 2012年10月4-5(5)日, 九州工業大学(北九州).
- [239] 西広海, 秦佑輔, 松坂建治, 森江隆, "大局的画像領域分割のための領域ベース結合MRFモデルを実現するPWM方式画素回路アレイ", LSIとシステムのワークショップ, 講演資料集およびポスター資料集, pp.290-292, 2012年5月28-30(29)日, 北九州国際会議場(北九州).
- [240] 荻原昭文, 渡邊実, 「光再構成型ゲートアレイ用マルチコンテキストデータの液晶ホログラム記録」第73回応用物理学会学術講演会, 9月, 2012.
- [241] 余座貴志, 渡邊 実, 「再構成速度調整アナログビットを含む光再構成型ゲートアレイのコンテキスト重ね合わせによる構成高速化手法」電子情報通信学会技術研究報告(リコンフィギュラブルシステム研究会), vol.112, no.203, pp.67-71, 9

- 月, 2012.
- [242] 上窪勇貴, 渡邊 実, 川人祥二, 「高速動的再構成型ビジョンチップアーキテクチャによるアナログ画像検出」電子情報通信学会技術研究報告(リコンフィギャラブルシステム研究会), vol.112, no.203, pp.85-88, 9月, 2012.
- [243] 伊藤宏幸, 渡邊実, 「モノ・インストラクション・セット・コンピュータ(MISC)の並列実装」電気関係学会東海支部連合大会, 9月, 2012.
- [244] 渡邊貴弘, 渡邊実, 「0.18 μ mプロセス反転・非反転光再構成型ゲートアレイVLSI」電気関係学会東海支部連合大会, 9月, 2012.
- [245] 伊藤宏幸, 渡邊実, 「モノ・インストラクション・セット・コンピュータ(MISC)の消費電力解析」電子情報通信学会技術研究報告(VLSI設計技術研究会), vol.112, no.245, pp.35-38, 10月, 2012.
- [246] 上窪勇貴, 渡邊実, 川人祥二, 「光再構成型ビジョンチップによる16諧調グレーレベル画像認識」電子情報通信学会技術研究報告(VLSI設計技術研究会), vol.112, no.245, pp.19-23, 10月, 2012.
- [247] 谷川彰, 渡邊実, 「マルチコンテキストを活用した光再構成型ゲートアレイの放射線耐性の向上方法」第56回宇宙科学技連合講演会, 11月, 2012.
- [248] 白橋侑弥, 渡邊実, 「高速動的再構成を活用したディペンダブルシステムの構成手法」第56回宇宙科学技連合講演会, 11月, 2012.
- [249] 森脇烈, 渡邊実, 荻原昭文, 「偏光依存性ホログラムメモリを用いた9コンテキスト光再構成型ゲートアレイ」, 電子情報通信学会技術研究報告(リコンフィギャラブルシステム研究会)Vol. 112, No. 325, pp. 29-32, 11月, 2012.
- [250] 窪田貴之, 渡邊実, 「0.18 μ m CMOSプロセスダイナミック光再構成型ゲートアレイVLSI」電子情報通信学会技術研究報告(リコンフィギャラブルシステム研究会)Vol. 112, No. 325, pp. 23-27, 11月, 2012.
- [251] 伊藤宏幸, 渡邊実, 「28nmプロセスFPGAへのモノ・インストラクション・セット・コンピュータの実装」, 静岡地区計測制御研究発表会, pp. 7-8, 12月, 2012.
- [252] 山地勇一郎, 渡邊 実, 「2コンテキストMEMS光再構成型ゲートアレイ」, 電子情報通信学会総合大会, 3月, 2013.
- [253] 荻原昭文, 志智弘, 渡邊実, 森脇烈, 「光再構成型ゲートアレイ用液晶ホログラムメモリの温度依存性」, 応用物理学会春季学術講演会, 3月, 2013.
- [254] 濱田, 齋藤, 「東データ方式による非同期式パイプライン回路を対象とした動作合成手法」, 信学技報vol. 112, no.320, pp.105-110, 2012年11月.
- [255] 滝澤, 飯塚, 齋藤, 「東データ方式による非同期式回路のFPGA設計支援ツールセットの構築」, 信学技報, vol.112, no.71, pp.49-54, 2012年5月.
- [256] 松田, 熊野, 花桐, 野口, 荻島, 清水, 石川, 深井, 「有明高専における大学と連携した演算増幅器設計教育に関する一検討」, 電気学会電子回路研究会, ECT-12-076, 2012年10月
- [257] 内海純彦, 西勝 聡, 吉野理貴, 安田 彰, 「FIRフィルタを用いた $\Delta\Sigma$ 変調器の並列化」, 電気学会, 電子回路研究会, ECT-13-045, Mar., 29,2012.
- [258] 嘉藤貴博, 安田 彰, 吉野理貴, $\Delta\Sigma$ TDC($\Delta\Sigma$ -Time to Digital Converter)の検討および設計, 電子情報通信学会 全国大会, C-12-72, Mar., 2013.
- [259] リーチンホイ, 西勝 聡, 安田 彰, 吉野理貴, 「キャパシタミスマッチ検出精度向上した自己補正型パイプラインADC」, 電子情報通信学会 全国大会, A-1-15, Mar., 2013.
- [260] 木村有希, 安田 彰, 吉野理貴, 「フィードバック経路にハイパス型FIRフィルタを用いた連続時間型 $\Delta\Sigma$ 変調器の安定性」, 電子情報通信学会 全国大会, A-1-16, Mar., 2013.
- [261] 内海純彦, 西勝 聡, 吉野理貴, 安田 彰, 「FIRフィルタを用いた $\Delta\Sigma$ 変調器の安定性および性能改善に関する研究」, 電子情報通信学会 大会, ソサエティ大会, A-1-2, Sep., 2012.
- [262] 大関寛之・小松直樹・安田 彰・吉野理貴(法政大), 「ノイズシェーピング構成とミスマッチシェーパーを用いた自己校正型パイプラインADCに関する研究」, 電子情報通信学会 大会, ソサエティ大会, A-1-4, Sep., 2012.
- [263] 森山誠二郎(アナジックス), 安田 彰, 横田和幸, 小沼和彦"ALBユーザによる回路最適化プログラムの開発とALBへの組み込み」, 電気学会, 電子回路研究会, ECT-12-029, Mar., 29,2012.
- [264] 原島 昇, 山口 圭, 作田健二, 矢代真之, 安田 彰, 吉野理貴, 「デジタル直接駆動スピーカの大電力化に関する一考察」, 電気学会, 電子回路研究会, ECT-12-034, Mar., 30,2012. (市産業交流プラザ)
- [265] 倉持大悟, 小沼和彦, 横田和幸(法政大学), 森山誠二郎(アナジックス), 安田 彰(法政大学), 「グローバル最適化手法とカスタム最適化手法を容易に適用できる回路最適化システムの開発」, 電気学会, 電子回路研究会, ECT-12-067, Oct., 4,2012.

- [266] 森保祐吾, 安田 彰, 吉野理貴, "G級増幅器における電源電圧と出力段の切り替えのタイミング制御法," 電気学会, 電子回路研究会, ECT-12-070, Oct., 4, 2012.
- [267] 作田健二, 安田 彰 (法政大学), "圧電スピーカ制御回路の一構成法," 電気学会, 電子回路研究会, ECT-12-080, Oct., 5, 2012.
- [268] 木村有希, 安田 彰, 吉野理貴 (法政大学) "高精度カスケード型 $\Delta \Sigma$ DACの回路規模削減に関する一手法," 電気学会, 電子回路研究会, ECT-12-086, Oct., 5, 2012.
- [269] 作田健二, 森保祐吾, 横田和幸, 矢代真之, 小沼和彦, 安田彰, 吉野理貴, "圧電スピーカ制御回路の一構成法," 電子情報通信学会 全国大会, A-1-5, Mar., 2012.
- [270] 古賀崇之, 安田彰, 吉野理貴, "ベクトルフィルタを用いたタイムインターリーブ $\Delta \Sigma$ 型ADCの回路削減法," 電子情報通信学会 全国大会, A-1-12, Mar., 2012.
- [271] 清川佳博, 安田彰, 吉野理貴, "FIRフィルタを用いて信号帯域内量子化雑音を低減した $\Delta \Sigma$ 変調器," 電子情報通信学会 全国大会, A-1-13, Mar., 2012.
- [272] 矢代真之, 安田彰, 吉野理貴, "デジタル直接駆動型スピーカ用自励式ドライバ回路の提案," 電子情報通信学会 全国大会, A-1-14, Mar., 2012.
- [273] 中嶋文彬, 安田彰, 吉野理貴, "デジタル直接駆動型スピーカシステムにおけるハードウェア規模削減に関する研究," 電子情報通信学会 全国大会, A-1-15, Mar., 2012.
- [274] 横田和幸, 小沼和彦, 安田彰, 森山誠二郎, "Webツールを用いたアナログ回路最適化の検討," 電子情報通信学会 全国大会, A-1-16, Mar., 2012.
- [275] 小沼和彦, 横田和幸, 安田彰, 森山誠二郎, "設計者知識を活用したアナログ回路最適化時間の改善方法," 電子情報通信学会 全国大会, A-3-1, Mar., 2012.
- [276] 森山誠二郎, 安田彰, "小規模企業と大学の共同開発を支援するWebベースアナログ回路設計統合環境," 電子情報通信学会 全国大会, AT-1-3, Mar., 2012.
- [277] 大関寛之, 清川佳博, 西勝聡, 吉野理貴, 安田彰, "ベクトルフィルタを用いて簡略化した2並列 $\Delta \Sigma$ ADC," シリコンアナログRF研究会, May, 16, 2012.
- [278] 太田淳, "CMOSイメージングデバイスのバイオメディカル応用", 映像情報メディア学会情報ゼンシング研究会, 2012/9/28, 機械振興会館
- [279] 横田昇吾, 橋本力, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "デジタル画像信号の生体内伝送," 映像情報メディア学会情報フォトニクス研究会秋合宿, 2012/9/27, 湘南国際村センター
- [280] オプトジェネティクス応用に向けたマイクロLEDアレイ搭載CMOSイメージングデバイスの開発宮谷友彰, Yosmongkol Sawadsaringkarn, 野田俊彦, 笹川清隆, 徳田崇, 太田淳情報フォトニクス研究会情報フォトニクス研究会秋合宿2012927湘南国際村センター
- [281] 徳田崇, 宮谷友彰, Yosmongkol Sawadsaringkarn, 前澤安代, 小林琢磨, 野田俊彦, 笹川清隆, 太田淳, "in vitroおよびin vivoオプトジェネティクス向け光刺激・イメージングデバイス," 日本神経科学学会, 2012/9/21名古屋国際会議場
- [282] 徳田崇, 宮谷友彰, Yosmongkol Sawadsaringkarn, 前澤安代, 小林琢磨, 野田俊彦, 笹川清隆, 太田淳, "in vitroおよびin vivoオプトジェネティクス向け光刺激・イメージングデバイス," 日本神経科学学会, 2012/9/21名古屋国際会議場
- [283] Takuma Kobayashi, Makito Haruta, Chikara Kitsumoto, Mayumi Motoyama, Yasumi Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yasuyuki Ishikawa, Sadao Shiosaka, Jun Ohta, "脳内埋植型センサによる, げっ歯類の視覚野, 体性感覚野の広範囲脳機能蛍光イメージング," 日本神経科学大会, 2012/9/21, 名古屋国際会議場
- [284] 東丸幸江, 平松祐樹, 野田俊彦, 笹川清隆, 徳田崇, 関和彦, 太田淳, "CMOSチップを搭載した脊髄刺激・計測デバイスの作製と機能評価," 応用物理学会学術講演会, 2012/9/13, 愛媛大学
- [285] 若間範充, 岡林大恭, 野田俊彦, 笹川清隆, 徳田崇, 垣内喜代三, 太田淳, "65 nm標準CMOSプロセスを用いた偏光分析CMOSイメージセンサの消光比評価," 応用物理学会学術講演会, 2012/9/13, 愛媛大学
- [286] 立川展也, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "CMOS集積回路を用いた体内埋め込み型グルコースセンサの基礎検討," 応用物理学会学術講演会, 2012/9/12, 愛媛大学
- [287] 平松祐樹, 東丸幸江, 野田俊彦, 笹川清隆, 徳田崇, 寺澤靖雄, 神田寛行, 不二門尚, 太田淳, "CMOSチップ搭載フォーク形人工視覚デバイスの作製と機能実証," 応用物理学会学術講演会,

- 2012/9/12, 愛媛大学
- [288] 宮谷友彰, Yosmongkol Sawadsaringkarn, 小林琢磨, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "オプトジェネティクス応用に向けたマイクロLEDアレイ搭載CMOS神経インターフェースデバイス", "応用物理学会学術講演会, 2012/9/12, 愛媛大学
- [289] 春田牧人, 小林琢磨, 橋本力, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "生体内脳機能イメージング用CMOS広域計測デバイス", "応用物理学会学術講演会, 2012/9/12, 愛媛大学
- [290] 徳田崇, 小林琢磨, 野田俊彦, 笹川清隆, 太田淳, "CMOS集積回路技術による生体埋め込みデバイス", "応用物理学会学術講演会, 2012/9/11, 愛媛大学
- [291] 岡林大恭, 若間範充, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "65nmプロセスを用いた二層構造オンチップメタル偏光子搭載イメージセンサ", "映像情報メディア学会年次大会, 2012/8/30, 広島市立大学
- [292] 横田昇吾, 橋本力, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "マウス脳を通信媒体とするイメージセンサからのデジタル出力信号の無線伝送", "像情報メディア学会年次大会, 2012/8/30, 広島市立大学
- [293] 橋本力, 小林琢磨, 野田俊彦, 笹川清隆, 徳田崇, 元山真由美, 太田安美, 石川保幸, 塩坂貞夫, 太田淳, "刺入型in vivo脳神経活動計測用CMOSイメージングデバイスの開発", "映像情報メディア学会年次大会, 2012/8/30, 広島市立大学
- [294] 徳田崇, 野田俊彦, 笹川清隆, 太田淳, "CMOS技術を用いた生体埋め込み対応バイオデバイス", "第25回回路とシステムワークショップ, 2012/7/30, 淡路夢舞台国際会議場
- [295] 笹川清隆, 横田昇吾, 松田隆志, デイビスピーター, 張兵, 李可人, 小林琢磨, 野田俊彦, 徳田崇, 太田淳, "脳内無線送信を目指したイメージセンサ信号のベースバンド伝送", "映像情報メディア学会情報センシング研究会, 2012/7/27, 山形大学米沢キャンパス
- [296] 笹川清隆, 横田昇吾, 松田隆志, デイビスピーター, 張兵, 李可人, 小林琢磨, 野田俊彦, 徳田崇, 太田淳, "脳内無線送信を目指したイメージセンサ信号のベースバンド伝送", "映像情報メディア学会情報センシング研究会, 2012/7/27, 山形大学米沢キャンパス
- [297] 若間範充, 松岡均, 寺尾公維, 芝田実希子, 立川展也, 野田俊彦, 笹川清隆, 徳田崇, 西山靖浩, 垣内喜代三, 太田淳, "偏光分析CMOSイメージセンサによるマイクロ化学システム用in situ不斉計測デバイス", "電気学会バイオ・マイクロシステム研究会, 2012/6/12, 京都大学
- [298] 岡林大恭, 笹川清隆, 野田俊彦, 徳田崇, Soo Hyeon Kim, 飯野亮太, 野地博行, 太田淳, "デジタル酵素結合免疫吸着法に向けたオンチップ蛍光計測システム", "映像情報メディア学会情報センシング研究会, 2012/5/28, 埼玉大学東京ステーションカレッジ
- [299] 橋本力, 増田博之, 小林琢磨, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "ラット脳内複数領域計測用CMOSイメージングデバイス", "映像情報メディア学会情報センシング研究会, 2012/5/28, 埼玉大学東京ステーションカレッジ
- [300] 太田淳, "半導体集積回路技術による生体内埋植バイオメディカルデバイス", "日本生体医工学会大会, 2012/5/11, 福岡国際会議場
- [301] 兵藤, 朝倉, 塚田, 加藤, "オールパスフィルタの付加によるダクト用ANC回路の性能向上", 信学技報, vol.112, no.48, SIP2012-12, pp.65-69, 2012年5月.
- [302] C. Monteiro, 高橋康宏, 関根敏和, "Survey on secure adiabatic logic for countermeasure against side-channel attacks," 信学技報, vol.112, no.361, EMCJ2012-100, pp.95-100, Dec. 2012.
- [303] ラクゾンユイ, 高橋康宏, 関根敏和, "DPFAL: ダイオードを用いた正帰還断熱的論理回路", "2012年電子情報通信学会ソサエティ大会講演論文集, vol.2012, p.16 (A-1-16), Sept. 2012.
- [304] C. Monteiro, 高橋康宏, 関根敏和, "Investigation study of inner-cell bit-parallel multiplier over $GF(2^m)$ using secure adiabatic logic style," 2012年電子情報通信学会ソサエティ大会講演論文集, vol.2012, p.116 (A-7-6), Sept. 2012.
- [305] C. Monteiro, 高橋康宏, 関根敏和, "A comparison of cellular multiplier cell for finite field $GF(2^m)$ using secure adiabatic logics," 2012年電気学会電子回路研究会, vol.ECT-12, no.3, pp.73-77 (ECT-12-052), June 2012.
- [306] 田中映宏, 吉澤浩和, "低電圧動作オペアンプの設計に関する検討", 電子情報通信学会全国大会, C-12-41, 2012年3月.
- [307] 崔文杰, 吉澤浩和, "Low Dropoutレギュレータ回路における過渡応答時間の改善について", 第16回電気学会東京支部埼玉支所研究発表会講演論文集, pp.23-24, 2013年3月.

- [308] 下野友大, 天満健, 千崎弘人, 廣瀬哲也, 黒木修隆, 沼昌宏, "メタル配線により再構成可能なセルと論理再合成への応用", DAシンポジウム2012, pp.7-12, 2012年8月.
- [309] 道島昂平, 切山重弓, 北山貴彦, 雫讓, 廣瀬哲也, 黒木修隆, 沼昌宏, "二分木辞書を用いた学習型超解像のストリーム処理型アーキテクチャ", DAシンポジウム2012, pp.31-36, 2012年8月.
- [310] 伊藤浩之, 李尚曄, 池田翔, 蔣浩, 石原昇, 益一哉, "超低電力RF CMOSトランシーバ回路技術に関する研究", 信学技報MW2012-187, pp.153-156, Mar. 2013.
- [311] 本橋剛, 小西敏文, 松島隆明, 山根大輔, 伊藤浩之, 石原昇, 年吉洋, 町田克之, 益一哉, "0.35 μ m CMOS-LSIによるMEMSセンサ用VCO回路の検討", 集積化MEMSシンポジウム, IM3-5, 2012年10月.
- [312] 伊藤浩之, 山根大輔, 小西敏文, 石原昇, 町田克之, 益一哉, "RFミキサ回路のため高速MEMSスイッチの検討", 集積化MEMSシンポジウム, IM2-4, 2012年10月.
- [313] H. Kiumarsi, H. Ito, K. Okada, N. Ishihara, and K. Masu, "Inductors and Transformers on 65 nm CMOS Technology for 60GHz Applications," 電子情報通信学会エレクトロニクスソサイエティ大会, C-12-11, 2012年9月.
- [314] 米澤慎, 白根篤史, 大鶴基格, 李尚曄, 田野井聡, 伊藤浩之, 石原昇, 益一哉, "近距離通信用90 nm Si CMOSプロセススケラブルRFトランシーバ", 電子情報通信学会エレクトロニクスソサイエティ大会, C-12-19, 2012年9月.
- [315] 富松一幾, 伊藤浩之, 石原昇, 後藤邦彦, 益一哉, "CMOSインバータベース $\Delta\Sigma$ AD変換回路の設計", 電子情報通信学会エレクトロニクスソサイエティ大会, C-12-26, 2012年9月.
- [316] 白根篤史, 伊藤浩之, 石原昇, 田野井聡, 伊藤浩之, 石原昇, 益一哉, "微細CMOSプロセスを用いたMEMS駆動用26V出力チャージポンプ回路", LSIとシステムのワークショップ, 2012年5月.
- [317] 池田翔, 上村龍也, 李尚曄, 田野井聡, 伊藤浩之, 石原昇, 益一哉, "容量結合を用いた超低電圧トランスフォーマー型直交電圧制御発振器", LSIとシステムのワークショップ, 2012年5月.
- [318] 池田翔, 伊藤浩之, 石原昇, 益一哉, "CMOSオンチップLDOの小面積化最適設計法の検討", シリコンアナログRF研究会, 2012年5月.
- [319] 蔣浩, 伊藤浩之, 石原昇, 益一哉, "超低電力RF CMOSウェイクアップレシーバーの検討", 電子情報通信学会総合大会, C-12-26, 2013年3月.
- [320] 米澤慎, 方一鳴, 伊藤浩之, 石原昇, 益一哉, "RF CMOS受信回路モジュールの低電力・小型化", 電子情報通信学会総合大会, C-12-27, 2013年3月.
- [321] 椎野雄介, 藤原琢, 伊藤浩之, 石原昇, 山内悠, 田邊裕貴, 野村聡, 小西敏文, 町田克之, 益一哉, "ISFETを用いたpHモニタリング用低電力FM送信ICの検討", 電子情報通信学会総合大会, C-12-57, 2013年3月.
- [322] 池田翔, 上村龍也, 李尚曄, 金丸法史, 伊藤浩之, 石原昇, 益一哉, "注入同期型分周器およびC級動作VCOを用いた0.5V位相同期回路", 電子情報通信学会総合大会, C-12-62, 2013年3月.
- [323] H. Kiumarsi, F. Zheng, H. Ito, N. Ishihara, K. Masu, "A 1.8 GHz, 2.2 Watt Fully Integrated CMOS Power Amplifier," 電子情報通信学会総合大会, C-12-23, 2013年3月.
- [324] 李尚曄, 池田翔, 石原昇, "C級動作VCOと注入同期型分周回路を用いた", STARCシンポジウム2013, 2013年1月.
- [325] 白根篤史, 米澤慎, 石原昇, "近距離通信用65 nm RF CMOSトランシーバ", STARCシンポジウム2013, 2013年1月.
- [326] 松本航, 寺田晋也, 江口啓, 大田一郎, "衝撃波を用いた食品加工用の高電圧発生回路"第27回熊本県産学官技術交流会, no.211, (2013.1)
- [327] 鍋田啓司, 寺田晋也, 江口啓, 大田一郎, "16ビットデジタル入力のスイッチトキャパシタデジタルアンプの開発"平成24年度第11回電子情報系高専フォーラム, no.B-1, pp.79-82, (2012.11)
- [328] 荅邦寛, 寺田晋也, 江口啓, 大田一郎, "並列スイッチを考慮したデジタル選択方式SC電源の出力抵抗の一般解析"平成24年度第11回電子情報系高専フォーラム, no.B-2, pp.83-86, (2012.11)
- [329] 坂井健太郎, 寺田晋也, 江口啓, 大田一郎, "デジタル選択方式スイッチトキャパシタ電源のSC抵抗の一般解析"平成24年度第11回電子情報系高専フォーラム, no.B-3, pp.87-90, (2012.11)
- [330] 荅邦寛, 寺田晋也, 江口啓, 大田一郎, "デジタル選択方式スイッチトキャパシタ電源の出力抵抗の一般解析"第25回回路とシステムワークショップ, pp.285-290, (2012.7)
- [331] 小野東輝, 菊地大樹, 野村一樹, 中野誠彦 "0.18

- μ mCMOSプロセスを用いたマイクロシステム用オンチップ太陽電池とレギュレータ付きDC-DCコンバータ設計"電気情報通信学会2012年12月
- [332] 中山渉, 大野隆一, 安田陽平, 川島拓也, 中野誠彦"0.18 μ mCMOSプロセスを用いたパッチクランプ測定システムの設計"電気情報通信学会2012年12月
- [333] 安田陽平, 中野誠彦"0.18 μ mCMOSプロセスを用いたマルチモード生体信号増幅回路の設計"電子情報通信学会シリコンアナログRF研究会2012年5月
- [334] 川島拓也, 中山渉, 安田陽平, 大野隆一, 中野誠彦"パッチクランプ測定システムのLSI化に向けた回路試作"電子回路研究会2013年2月
- [335] 二宮, 榎本, 四柳, 橋爪, "TDCを組み込んだバウンダリスキャンを用いる複数パスの遅延検査について", 第67回FTC研究会, 2012年7月.
- [336] 小西, 四柳, 橋爪, "ESD入力保護能力を低下させないIC間断線の電氣的検査用回路の実験による評価", 電気関係学会四国支部連合大会講演論文集, p.143, 2012年9月.
- [337] 富士, 四柳, 橋爪, 小西, "電氣的テスト法によるIC間配線の半断線検出能力評価", 電気関係学会四国支部連合大会講演論文集, p.142, 2012年9月.
- [338] 中村, 四柳, 橋爪, "格子状TSV配置におけるTSV断線時の故障動作解析", 電気関係学会四国支部連合大会講演論文集, p.140, 2012年9月.
- [339] 池地, 末延, 榎本, 四柳, 橋爪, "遅延故障検査容易化設計におけるSTAを用いる必要付加遅延量の導出", 電気関係学会四国支部連合大会講演論文集, p.149, 2012年9月.
- [340] 日下, 四柳, 橋爪, "隣接線の影響を用いるビアオープン故障箇所の特定", 電気関係学会四国支部連合大会講演論文集, p.153, 2012年9月.
- [341] 中村, 四柳, 橋爪, "隣接TSVを考慮したTSV遅延故障検出法について", 電子情報通信学会技術研究報告, Vol.112, No.429, pp.31-36, 2013年2月.
- [342] 山田, 大谷, "ステレオ法に基づく立体視デジタルビジョンチップの検討", 第25回路とシステムワークショップ, pp.355-360, 2012年7月.
- [343] 遠藤翔, 李陽, 本間尚文, 崎山一男, 藤本大介, 永田真, 太田和夫, 青木孝文, "故障感度隠蔽のための効率的な対策とその評価", 第30回暗号と情報セキュリティシンポジウム, 1E1-5, 2013年1月
- [344] 響崇史, 本間尚文, 青木孝文, 仲野有登, 福島和英, 清本晋作, 三宅優, "KCipher-2への電力解析攻撃対策とその評価", コンピュータセキュリティシンポジウム, 3C1-2, 2012年10月
- [345] 前澤, 潘, 呉, 森, "共鳴トンネルデバイスを用いたテラヘルツ帯信号処理の可能性", 2013年電子情報通信学会総合大会, CI-2-7, 2013年3月.
- [346] 前澤, 伊藤, 角田, 中山, 安井, 森, 宮崎, 水谷, "Si基板上に直接成長した極薄InSb膜をチャネルとしたAl₂O₃/InSb MOSFET", 電子情報通信学会電子デバイス研究会, ED2012-135, 2013年2月.
- [347] 呉, 潘, 森, 前澤, "共鳴トンネルダイオードを用いた高性能サンプリング回路の提案", 2012年電子情報通信学会ソサイエティ大会, C-10-2, 2012年9月.
- [348] 森田, 中野, 柴田, 坂本, 森, 前澤, "超音波ディップコート法を用いた微小はんだバンプの作製", 応用物理学会北陸・信越支部学術講演会, 17a-B-1, 2012年11月.
- [349] 細谷, 伊藤, 安井, 中山, 角田, 森, 前澤, "n-InSbに対するSn系オーミック電極の検討", 応用物理学会北陸・信越支部学術講演会, 17a-B-3, 2012年11月.
- [350] 水野, 高岡, 藤野, 前澤, 森, "高性能デジタル超音波センサのためのInP HEMT/MEMSマイクロフォン集積化プロセス", 2012年電子情報通信学会ソサイエティ大会, C-10-2, 2012年9月.
- [351] Kamel MARS, S. Kawahito, "Response-Time Acceleration of a Frontend Amplifier for High Output Impedance Sensors", 映像情報メディア学会情報センシング集積回路研究会, vol.36, no.31, pp.49-52, 山形, 2012.7.27.
- [352] 谷口佳輔, 今井快多, 安富啓太, 川人祥二, "イメージセンサ用サイクリックADCの多ビット化に関する検討", 映像情報メディア学会情報センシング研究会, vol.36, no.20, pp.41-42, 東京, 2012.5.28.
- [353] 安富啓太, 韓相萬, 徐珉雄, 香川景一郎, 川人祥二, "真空管レス・ストリークカメラのための時間分解型イメージセンサの検討"バイオ・マイクロシステム研究会 pp.xx-xx, 2013年3月, 東京 (in press)
- [354] マースカメル, 白グスル, 韓相萬, 高澤大志, 安富啓太, 香川景一郎, 橋本守, 川人祥二, "誘導ラマン散乱分光法のための差電荷蓄積技術を用いた高速変調"バイオ・マイクロシステム研究会 pp.xx-xx, 2013年3月, 東京 (in press)
- [355] 阿部晋矢, 宇佐美公良, 柳澤政生, 戸川望, "動的複数電源電圧およびフロアプラン統合化アー

キテクチャを対象とした低電力化高位合成手法, "情報処理学会DAシンポジウム2012論文集, pp.163-168, 2012.

- [356] 阿部晋矢, 柳澤政生, 戸川望, "Hdrアーキテクチャを対象とした高速かつ効率的な複数電源電圧指向の高位合成手法, "信学技法, V LD2012-2, pp.7-12, 2012.
- [357] 阿部晋矢, 史又華, 宇佐美公良, 柳澤政生, 戸川望, "Saav:avhdrアーキテクチャを対象とした動的複数電源電圧指向の低電力化高位合成手法, "信学技法, VLD20 12-82, vol.112, no.320, pp.135-140, 2012.
- [358] 阿部晋矢, 史又華, 柳澤政生, 戸川望, "フロアプランを考慮したマルチクロックドメイン指向の低電力化高位合成手法, "組み込み技術とネットワークに関するワークショップETNET2013, 2013.
- [359] 赤坂宏行, 柳澤政生, 戸川望, "HDRアーキテクチャを対象としたクロックゲーティングを用いた低電力化高位合成手法", 情報処理学会DAシンポジウム2012論文集, pp.157-162, 2012年8月.
- [360] 赤坂宏行, 柳澤政生, 戸川望, "HDRアーキテクチャを対象とした同時実行指向スケジューリングを用いたクロック設計考慮低電力化高位合成手法", 電子情報通信学会技術研究報告, pp.129-134, 2012年11月.
- [361] 五十嵐博昭, 史又華, 柳澤政生, 戸川望, "クロックグリッチを利用した故障攻撃に対するカウンタを用いた耐タンパAES暗号回路", DAシンポジウム2012, pp.19-24, 2012.
- [362] 五十嵐博昭, 史又華, 柳澤政生, 戸川望, "クロックの立下りを利用した耐故障攻撃AES暗号回路", 2012年ソサイエティ大会, pp.51, 2012.
- [363] 川村一志, 柳澤政生, 戸川望, "温度特性を考慮したRDRアーキテクチャ向け高位合成手法", 情報処理学会DAシンポジウム2012論文集, vol.2012, no.5, pp.133-138, 2012年8月.
- [364] 川村一志, 柳澤政生, 戸川望, "島内消費電力量見積もりにもとづく温度特性を考慮したRDRアーキテクチャ向け高位合成手法", 信学技報, vol.112, no.320, pp.13-18, 2012年11月.
- [365] 跡部悠太, 史又華, 柳澤政生, 戸川望, "鍵ベース構成のState Dependent Scan Flip-Flopを用いたセキュアスキャンアーキテクチャ, "信学技報, VLD2012-67, pp.45-50, Nov. 2012.
- [366] 跡部悠太, 史又華, 柳澤政生, 戸川望, "Feedback付きState Dependent Scan Flip-Flopを用いたセキュアスキャンアーキテクチャ, "2012年電子情報通信学会基礎・境界ソサイエティ大会, A-3-5, Sep. 2012.
- [367] Teerachot Siriburanon, Takahiro Sato, Ahmed Musa, Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A 20GHz Push-Push Voltage-Controlled Oscillator for a MM-Wave Frequency Synthesizer" IEICE Society Conference 2012, C-12-15, Toyama, Japan, Sep. 2012.
- [368] 南亮, 文仙啓吾, 岡田健一, 松澤昭, "60GHz帯差動電力増幅器における高同相除去比の実現手法, " IEICEソサイエティ大会(於富山大学), C-12-16, Sep. 2012.
- [369] 佐藤慎司, 南亮, 津久井裕基, 岡田健一, 松澤昭, "ミリ波帯無線通信回路におけるトランジスタモデリングの提案, " IEICEソサイエティ大会(於富山大学), C-12-14, Sep. 2012.
- [370] 河合誠太郎, 南亮, 岡田健一, 松澤昭, "伝送線路モデリングにおけるディエンベディング手法の評価, "電子情報通信学会ソサイエティ大会(於富山大学), C-12-13, Sep. 2012.
- [371] Nurul Fajri, 南亮, 岡田健一, 松澤昭, "60GHz帯における低損失デカップリング用伝送線路の新構造", IEICEソサイエティ大会(於富山大学), C-12-12, Sep.2012.
- [372] H. P. Ninh, M. Miyahara, and A. Matsuzawa, "A 83-dB SFDR 10-MHz Bandwidth Continuous-Time Delta-Sigma Modulator Employing a One-Element-Shifting Dynamic Element Matching," IEICE Trans. Electron., vol. E95-C, no.6, pp.1017-1025, June. 2012.
- [373] 南亮・浅田大樹・津久井裕基・山口達也・アハマドムサ・佐藤高洋・竹内康揚・岡田健一・松澤昭「60GHz帯全4チャンネル対応低消費電力CMOS無線受信回路」電子情報通信学会総合大会(岡山大), C-12-81, March 2012
- [374] 浅田大樹・南亮・津久井裕基・山口達也・Musa Ahmed・佐藤高洋・竹内康揚・岡田健一・松澤昭「60GHz帯全4チャンネル対応低消費電力CMOS無線送信回路」電子情報通信学会総合大会(岡山大), C-12-78, March 2012
- [375] 山口達也・岡田健一・松澤昭「60GHz帯ダイレクトコンバージョン無線機の直交局部発振器」電子情報通信学会総合大会(岡山大), C-12-80, March 2012
- [376] "A Progressive Mixing 20GHz ILFD with Wide Locking Range for Higher Division Ratios" Ahmed Musa, Kenichi Okada and Akira Matsuzawa, in IEICE, Mar. 2012. Okayama, Japan.

- [377] ト 慶紅・李寧・岡田健一・松澤 昭, "60GHz帯コモンソースおよびカスコード増幅器の比較"電子情報通信学会 総合大会(於 岡山大学), C-12-77, Mar. 2012.
- [378] 津久井裕基, 浅田大樹, 南亮, 岡田健一, 松澤昭, "60GHz帯アップコンバージョンミキサにおけるしきい値ばらつきの影響", 電子情報通信学会総合大会(於岡山大学), C-12-82, Mar.2012
- [379] Daehwa Paik, Masaya Miyahara, and Akira Matsuzawa, "An analysis on a dynamic amplifier and calibration methods for a pseudo-differential dynamic comparator," in IEICE Transactions on Fundamentals, vol. E95-A, no.2, pp.456-470, Feb. 2012.
- [380] 細川達也, 清水尚彦, "AllianceEDAツールセットとディープサブミクロンプロセス対応ラムダールールベースセルライブラリによるRohm0.18umチップ試作検証", VLSI設計技術研究会, 信学技報, vol.112, no.375, VLD2012-122, pp.87-92, 2013
- [381] 細川達也, 清水尚彦, "オープンソースEDAツールセットとディープサブミクロン対応ラムダールールベースセルライブラリとによるRohm0.18umチップ試作検証", 第38回パルテノン研究会, Vol.38, pp.23-30, 2012
- [382] 篠塚康大, 石田光一, 更田裕司, 高宮真, 桜井貴康, "インターポーザ上インダクタを用いたBuckコンバータにおけるフェライトによる高効率化", 電子情報通信学会ソサイエティ大会, C-12-40, 2012年9月.
- [383] 篠塚康大, 更田裕司, 石田光一, 高宮真, 藤井朋治, 清水浩, 小林和貴, 佐藤敏郎, 桜井貴康, "インターポーザ上インダクタの高透磁率材導入によるオンチップBuckコンバータ回路の高効率化の検討", 電気学会, マグネティックス研究会, 電気学会研究会資料, MAG-12-173, pp. 25-29, 2012年12月
- [384] 小林, 秋山, "高速処理を目指したスマートイメージセンサの製作", 第18回高専シンポジウム in 仙台, p. 405, 2013年1月
- [385] 曾根川, 秋山, "メモリを付加したインライン検査用イメージセンサの製作", 第18回高専シンポジウム in 仙台, p. 144, 2013年1月
- [386] 西谷祐樹, 井上万輝, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "FPGA配線部のハードエラー検出および再構成による回避手法", 信学技報 RECONF2012-13, vol.112, no.70, pp.71-76, May 2012
- [387] 岩井佑介, 趙謙, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "三次元積層技術を用いたFPGA配線構造の一提案", "若手の会セミナー 2012講演論文集, 情報処理学会九州支部, pp.29-33, Sep. 2012.
- [388] 高橋知也, 井上万輝, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "少構成メモリ論理セルCOGREを用いた小面積論理クラスタ構造の一提案", 信学技報 RECONF2012-32, vol.112, no.203, pp.49-54, Sep. 2012.
- [389] 岩井佑介, 趙 謙, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "配線領域を分割した三次元FPGAの一提案", 信学技報 RECONF2012-63, vol.112, no.377, pp.13-18, Jan. 2013.
- [390] 梅津哲也, 原田知親, 奥山澄雄, 松下浩一, "擬似ホール効果を利用したMOSFET型応力検出素子の特性評価", 集積回路研究会, ICD2012-89, pp.11-16, Dec.2012.
- [391] 梅津哲也, 原田知親, 奥山澄雄, 松下浩一, "擬似ホール効果を用いたMOSFET型応力検出素子の動作評価", 電子情報通信学会総合大会, C-12-32, pp.104, Mar.2012.
- [392] Yan Huang, Yoshiya Fujii, Masahiko Toyonaga, "A Peripheral Router for Via Minimization," 2012年電気関係学会四国支部連合大会(SJCIEE),1-4(2012年9月)
- [393] 那須升亮, 大菊祥子, 村岡道明, 豊永昌彦, "GP-GPUにおけるファンアウトコーンに基づく並列論理シミュレーション法の検討", 平成24年度電気関係学会四国支部連合大会1-20 (2012年9月)
- [394] 十河健太, '低位相雑音・低ジッタ位相同期ループ回路の開発', VDECデザイナーズフォーラム, 2012年8月26日
- [395] 十河健太, 外谷昭洋, 吉川公磨, "低位相雑音リングVCOベース位相同期ループの開発", STARCシンポジウム2013学生ポスターセッション 2013年1月31日
- [396] 阿部晋矢, 史又華, 宇佐美公良, 柳澤政生, 戸川望, SAAV:AVHDRアーキテクチャを対象とした動的複数電源電圧指向の低電力高位合成手法, 電子情報通信学会信学技報, VLD2012-82, pp. 135-140, 2012年11月
- [397] 山根, 秋田, 石田, "ワイヤレスセンサシステムに向けた小型基準発振器の開発", 電子情報通信学会ソサイエティ大会, C-12-20, p.93, Sept. 2012.
- [398] 浅井, 秋田, 石田, "OOK電力増幅器に向けたLDOレギュレータ", 電子情報通信学会ソサイエティ大会, A-1-20, p.20, Sept. 2012.

- [399] 岡部, 秋田, 石田, "スマートマイクロチップの実現に向けたオンチップアンテナの製作と評価", "集積化MEMSシンポジウム, IM2-3, pp.36-39, Oct. 2012.
- [400] 小泉 佑介, 佐々木 瑛一, 天野 英晴, 坂本 龍一, 並木 美太郎, "ヘテロジニアスマルチコアプロセッサ向けアプリケーション開発", 29-30 May 2012
- [401] 伊澤麻衣, 小崎信明, 小泉佑介, 宇野理恵, 天野英晴, "低消費電力アクセラレータCMAのコプロセッサ化について"並列/分散/協調処理に関するサマワーショップ(SWoPP)電子情報通信学会 コンピュータシステム研究会(CPSY) 2012年8月
- [402] 伊澤麻衣, 天野英晴, "超低電力アクセラレータCMA-2" VDECデザイナーズフォーラム デザインワード2012年8月
- [403] 片桐徹, 弘中和衛, 天野英晴, "動的再構成プロセッサアレイMuCCRA-3のメモリコントローラの研究", 電子情報通信学会リコンフィギュラブル研究会, May 2012
- [404] 小西, 宇佐美, "加算器アーキテクチャ比較・評価のための消費エネルギー解析モデルの提案", 電子情報通信学会VLD研究会(デザインガイア), 2012年11月.
- [405] 工藤, 宇佐美, "仮想グラウンド線電圧の自動検出による細粒度パワーゲーティング制御", 電子情報通信学会VLD研究会(デザインガイア), 2012年11月.
- [406] 安西, 工藤, 太田, 太田, 宇佐美, "超低電圧動作に向けたプロセッシングエレメントの消費エネルギーの実測と解析", 電子情報通信学会VLD研究会(デザインガイア), 2012年11月.
- [407] 上田孝志, 谷川一哉, 弘中哲夫, "DS-HIEプロセッサにおける開平演算の実装", 信学技報, Vol. 112, No. 70, RECONF2012-9, pp. 49-54, 2012.
- [408] 渡辺優一, 黒川智之, 山本泰輔, 吉田雄揮, 谷川一哉, 弘中哲夫, "手動レイアウト可能な教育用8ビットプロセッサ", "平成24年度(第63回)電気・情報関連学会中国支部連合大会, pp. 176, 2012年10月20日.
- [409] 道田拓巳, 高木健太郎, 谷川一哉, 弘中哲夫, 寺内衛, 下舞賢一, 石黒隆, "再構成型デバイスMPLD向けの一面成膜を用いた相変化メモリセルアレイの設計", "平成24年度(第63回)電気・情報関連学会中国支部連合大会, pp. 162-163, 2012
- [410] 川村 恭平, 松本 佳宣, "スマートフォン計測用低電圧差動増幅回路の評価", 電気学会マイクロマシン・センサシステム研究会, MSS-12-21, pp.99-103,(2012.6.12).
- [411] 田村圭太郎, 松本佳宣, 岸達也, 平野貴久, "サブ波長金属構造体を用いた集積化光フィルタの試作", 第4回集積化MEMSシンポジウム, pp.11-15, (2012.10.23)
- [412] 藤代 瞬也, 松本佳宣, "可視光通信用CMOSアバランシェフォトダイオードにおけるガードリング構造の評価", 「第29回センサ・マイクロマシンと応用システム」シンポジウム, pp.642-645, (2012.10.23)
- [413] Dan NIU, Ziming ZHAO, and Yasuaki INOUE, "An Effective and Globally Convergent Newton Fixed-Point Homotopy Method for MOS Transistor Circuits," 電子情報通信学会技術研究報告, Vol.112, No.117, NLP2012-53, pp.85-90, 2012年7月.
- [414] 金洲, 呉梟, 牛丹, 井上靖秋, "直流動作点求解のための複合擬似素子擬似過渡解析法の効果的な実装手法と埋め込み手法", 電気学会研究会資料, 電子回路研究会, ECT-12-077, pp.87-91, 2012年10月.
- [415] 安藤博士, 他, "UWBによる体内-体外無線通信機能を備えた超多チャンネルBMIシステムの開発", MBE研究会, 2013年3月.
- [416] 高橋亮太, 平山貴司, 山中克久, 西谷泰昭, 「十進乗算順序回路のテスト法」, 平成24年度第3回情報処理学会東北支部研究会(岩手大), 資料番号12-3-5, 2012年12月.
- [417] 佐藤, 吉田, 藤本, "ニューロンCMOSインバータを用いたフラッシュ型AD変換回路の動作特性", 平成24年電気学会電子・情報・システム部門大会論文集, pp. 1179 - 1780, 2012年9月.
- [418] 中塚, 坂主, 武内, 今井, "生体情報圧縮のための差分符号化命令セット・プロセッサの提案", 組込みシステムシンポジウム2012, pp.87-94, 2012年10月.
- [419] 板野, 伊藤, 吉富, 星野, "ミリ波領域におけるMOSバラクタのモデリング", 電気学会電子回路研究会高周波集積回路の先端化技術と応用技術, ECT-13-026, 香川, 2013年1月
- [420] 伊藤, 板野, 森本, "準ミリ波以上の周波数領域におけるLC電圧制御発振器の共振器回路のQ値向上手法の検討", 電子情報通信学会マイクロ波研究会, MW2012-125, 広島, 2013年3月7日
- [421] 玉置聖人, 岸本茂, 水谷孝, 「グラフェン電極CNT-FETにおけるグラフェン層厚さのI-V特性へ

- の影響], 第43階フラーレン・ナノチューブ・グラフェン総合シンポジウム, 2012.09.07, 東北大学, 3P-27.
- [422] 鈴木裕之, 米谷玲皇, 石原直, 割澤伸一, "ブロック共重合体リソグラフィによる選択的金属ナノドットアレイの作製", 第73回秋季応用物理学関係連合講演会, 愛媛大学・松山大学, 2012.9.13.
- [423] H. Suzuki R. Kometani S. Warisawa S. Ishihara, "Electron Beam Lithography on Block Copolymer Self-Assembled Thin Films", Next Generation Lithography Workshop 2012 (NGL2012), 東京工業大学, 2012.07.20.
- [424] 元祐昌廣, 星麻美, 山田寛之, 本阿弥眞治, "光熱マランゴニ対流による微小液滴のリモート操作", 日本流体力学会年会, 高知大学, 2012.9.16.
- [425] 神足英春, 元祐昌廣, "シート光による光放射圧を受ける微小粒子挙動の計測", 第40回可視化情報シンポジウム, 工学院大学, 2012.7.25.
- [426] 石田明彦, 元祐昌廣, 本阿弥眞治, "交流電場と温度勾配より誘起される流れ場の三次元計測石田明彦, 元祐昌廣, 本阿弥眞治", 第4回マイクロ・ナノ工学シンポジウム, 北九州, 2012.10.23.
- [427] 荒川太郎, "InGaAs/InAlAs量子井戸マッハ・ツェンダー光変調器", (招待講演)電子情報通信学会集積光デバイスと応用技術時限研究専門委員会(IPDA)シンポジウム, 富山, 2012.9.11.
- [428] R. Gautam, H. Kaneshige, H.i Yamada, K. Redouane, T. Arakawa, and Y. Kokubun, "A Low-Power Consumption Thermo-Optic Effect Based Single Silicon Microring Resonator Mach-Zehnder Modulator", JSAP-OSA Joint Symposia, 松山, 2012.9.13.
- [429] 神谷宙, 後藤剛, 荒川太郎, 國分泰雄, "量子井戸4次直列結合マイクロリング共振器を用いたヒットレス波長選択スイッチの設計と評価", 第73回応用物理学関係連合講演会, 松山, 2012.9.13.
- [430] 神谷宙, 池原広樹, カトフレドワン, 荒川太郎, 國分泰雄, "4次直列結合マイクロリング波長選択スイッチにおける結合部の結合効率変化の消光比と透過損失への影響", 第60回応用物理学関係連合講演会, 神奈川工科大学, 2013.3.29.
- [431] 矢島英樹, 西村真樹, 荒川太郎, 國分泰雄, "アクティブマイクロリング全光論理ゲートの提案", 第73回応用物理学関係連合講演会, 松山, 2012.9.13.
- [432] 石原慎太郎, Rajdeep Gautam¹, 北翔太, 荒川太郎, 國分泰雄, "歪InGaAs /InAlAsポテンシャル制御量子井戸における偏光無依存性の解析", 第60回応用物理学関係連合講演会, 神奈川工科大学, 2013.3.29.
- [433] 小林広樹, カトフレドワン, 谷口理一, 梅原周, 荒川太郎, 國分泰雄, "全光フリップフロップのための半導体マイクロリングレーザの非対称発振", 第60回応用物理学関係連合講演会, 神奈川工科大学, 2013.3.29.
- [434] Rajdeep Gautam, Shintaro Ishihara, Hiroki Kaneshige, Taro Arakawa, and Yasuo Kokubun, "Ion Biosensor Based on Silicon Microring Resonator Mach-Zehnder Interferometer for Medical Applications", 2013年電子情報通信学会総合大会, 岐阜大学, 2013.3.22.
- [435] 富永寛輝, 荒川太郎, "シリコンマイクロリング装荷型マッハ・ツェンダー干渉計高感度バイオセンサの提案", 第60回応用物理学関係連合講演会, 神奈川工科大学, 2013.3.29.
- [436] 植田誠, 鈴木雄二, "エネルギーハーベストに用いるエレクトレット発電機の電源管理回路の性能評価", 第4回マイクロ・ナノ工学シンポジウム, 小倉, 2012.10.23.
- [437] 萩原啓, Yue Feng, 井口義則, 鈴木雄二, "軟X線光電離を用いたエレクトレット荷電法の開発とそのMEMS振動発電器への応用", 第4回マイクロ・ナノ工学シンポジウム, 小倉, 2012.10.23.
- [438] 高橋賢, 長藤圭介, 末弘大介, 濱口哲也, 中尾政之, "ロール熱ナノインプリントにおける成形状態のリアルタイム測定", 精密工学会2013年度春季大会, 東京工業大学, 2013.3.13.
- [439] 吉田成輝, 花嶋香織, 太田生馬, 松下智紀, 近藤高志, "周期空間反転GaAs/AlGaAs導波路の伝搬損失の成長温度依存性", 第60回応用物理学春季学術講演会, 神奈川工科大, 2013.3.28.
- [440] 吉田成輝, 花嶋香織, 松下智紀, 近藤高志, "周期空間反転GaAs/AlGaAs導波路のMBE再成長における異方性拡散効果の温度依存性", 第73回応用物理学学会学術講演会, 松山大・愛媛大, 2012.9.11.
- [441] A. Yokoyama, A. Ishii, M. Yoshida, Y. K. Kato, "Observation of circular dichroism in individual air-suspended single-walled carbon nanotubes", The 44th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, 東京, 2013.3.11.
- [442] 寺坂英矩, 藤野真久, 須賀唯知, 曾我育夫, 近藤大雄, 石月義克, 岩井大介, "カーボンナノチューブを用いたフレキシブル基板用ビアの作

製とその評価", 第27回エレクトロニクス実装学会講演, 東北大学, 2013.3.13.

[443] 藤野真久, 寺坂英矩, 須賀唯知, 曾我育夫, 近藤大雄, 石月義克, 岩井大介, "表面活性化接合法における垂直配向カーボンナノチューブと金属薄膜の接触抵抗に関する考察", 第27回エレクトロニクス実装学会講演, 東北大学, 2013.3.13.

[444] 平勢理士, Nguyen Mai Luan, 和田一実(東京大学), 福田浩(NTT), "梁構造を用いたGe導波路のバンドギャップの動的制御", 電気学会電子デバイス研究会, 京都, 2013.3.7.

[445] 濱中優貴, 河合直行, 和田一実, "フォトニック結晶中シリコン中の光子欠陥に関する研究", 2013年第60回応用物理学会春期学術講演会, 神奈川工科大学, 2013.3.29.

[446] Takafumi Suzuki, Naoki Kotake, Hidenori Watanabe, Yukio Nishimura, Tadashi Isa, Hirohito Sawahata, Naohisa Miyakawa, Keisuke Kawasaki, Haruo Toda, Isao Hasegawa, "Flexible surface electrode array for ECoG based BMI", 34, BMI Osaka, (2012), 大阪大学中之島センター, 2012.10.20.

[447] 助川翔太郎, 田口良広, 長坂雄次, "簡易・迅速な in situ 粘性計測を実現する Optical MEMS 粘性センサーの開発", 第33回日本熱物性シンポジウム, (日本熱物性学会), 大阪, 2012.10.1.

[448] 神谷達也, 百瀬健, 杉山正和, 霜垣幸浩, "多色発光 InGaN/GaN 多重量子井戸 LED に向けた GaN 選択 MOVPE の開発", 第73回応用物理学会学術講演会, 愛媛大学, 2012.9.12.

[449] R. Watahiki, T. Shimada, P. Zhao, S. Chiashi, S. Iwamoto, Y. Arakawa, S. Maruyama, Y. K. Kato, "Enhancement of photoluminescence from single-walled carbon nanotubes by photonic crystal nanocavities", The 44th Fullerenes-Nanotubes-Graphene General Symposium, 東京, 2013.3.13.

[450] Y. K. Kato, "Exciton dynamics in individual air-suspended single-walled carbon nanotubes", GMSI International Workshop on Carbon Nanotubes and Graphene, 東京, 2012.6.15.

[451] 米田佳祐, 久保田雅則, テイクシェ三田アニエス, 森下賢志, 森功, 保坂航太, 三田吉郎, "省電力・長寿命 MEMS メモリを目指すマイクロラッチ機構設計と作製", システムと LSI のワークショップ 2013, 北九州国際会議場, 2013.05.13 pp.226-228.

[452] 千田 竜太郎, 千野 翔太, 石野 裕二, 水野 毅, 高崎 正也, "超音波支持におけるギャッ

プ内圧力測定 of 検討", 第25回「電磁力関連のダイナミクス」シンポジウム, 箱根 ホテル小涌園, 2013.5.13.

[453] 中村兆治, 酒井雄也, 岸利治, "コンクリートへの塩化物イオン浸透停滞の機構に関するガラス製マイクロ/ナノ複合チップを用いた光学的実験による検討", 第67回セメント技術大会, 東京, 2013.5.13.

[454] 長藤圭介, 佐藤淑美, 濱口哲也, 中尾政之, "レーザアシスト成形によるナノ・マイクロ構造の高速転写", 第23回プラスチック成形加工学会年次大会, タワーホール船堀, 東京, 2012.6.13.

[455] 品川俊太, 長藤圭介, 鹿園直毅, 関谷要, 尺田将喜, 濱口哲也, "SOFC 燃料極内における Ni と YSZ の配列制御", 日本機械学会 2012 年度年次大会, 金沢大学, 2012.9.9 ~ 12.

[456] 井田健一, 岩見健太郎, 梅田倫弘, "石英-金フィールドエミッタアレイにおける

[457] プラズモン共鳴電子放出", Optics and Photonics Japan 2012, 東京都江戸川区, 2012.10.24.

[458] 石井美帆, 倉持謙, 井田健一, 岩見健太郎, 梅田倫弘, "金属ナノスリットを用いた軸対称偏光子アレイの開発", 2012 年秋季応用物理学会学術講演会, 愛媛大学, 2012.9.11.

[459] 石井美帆, 井田健一, 岩見健太郎, 梅田倫弘, "プラズモニクナノスリットによる光学位相子", Optics&Photonics Japan 2012, 東京都江戸川区, 2012.10.24.

[460] 岩見健太郎, Jae Hyung Lee, Igor Bargatin, Karl A. Littau, Maxime Vincent, Roya Maboudian, Z.-X. Shen, Nicholas A. Melosh, Roger T. Howe, "高効率熱電子発電のためのマイクロ電子源アレイ", 2013 年度秋季応用物理学会講演会, 愛媛大学, 2012.9.12."

[461] 阿部高明, 野口智昭, 土肥徹次, "歯型梁を用いた L 字型マイクロ接合機構", 2012 年度マイクロメカトロニクス学術講演会, 東京, 2012.9.7.

[462] 安藤大樹, 土肥徹次, "皮膚伸展機構をもつ高精度な血圧脈波計測デバイス", 日本機械学会 第4回マイクロ・ナノ工学シンポジウム, 北九州交際会議場および西日本総合展示場, 2012.10.20-24.

[463] 松木孝憲, ジャン=ジャック・ドロネー, 山田一郎, 割澤伸一, "強磁性体薄膜への微細加工による磁気特性・電気伝導特性制御の研究", 第4回マイクロ・ナノ工学シンポジウム, 北九州交際会議場および西日本総合展示場, 2012.10.20-24.

- [464] 年吉 洋, "MEMS光スキャナの画像ディスプレイ応用?MEMSがコモディティ化したあとの応用も含めて?", 映像情報メディア学会・情報ディスプレイ研究会主催ディスプレイ材料・製造技術シンポジウム, 機械振興会館, 2013.3.15.
- [465] 村田正行, 常見文昭, 齋藤佑介, 代田雄人, 藤原啓資, 長谷川靖洋, 小峰啓史, "Biナノワイヤー上へのホール測定用局所電極の作製と評価", 第60回応用物理学関係連合講演, 神奈川工科大学, 2013.3.27.
- [466] 長谷川靖洋, 常見文昭, 村田正行, 齋藤佑介, 代田雄人, 小峰啓史, Dames Chris, "石英プレート中のBiナノワイヤー熱伝導率測定法の開発", 第60回応用物理学関係連合講演会, 神奈川工科大学, 2013.3.27.
- [467] 村田正行, 常見文昭, 長谷川靖洋, 小峰啓史, "Biナノワイヤー熱電変換素子の抵抗率の温度依存性", 第9回熱電学会学術講演会, 東工大, 2012.8.27.
- [468] 常見文昭, 村田正行, 長谷川靖洋, 小峰啓史, 遠藤彰, "Biナノワイヤー熱電変換素子のShubnikov-de Hass振動測定", 第9回熱電学会学術講演会, 東工大, 2012.8.27.
- [469] Okeyo O. Kennedy・大政直也・小穴英廣・鷺津正夫, "SU-8メッシュパターンにおける細胞周期回転および細胞挙動の観察", 日本機械学会第25回バイオエンジニアリング講演会, つくば, 2013.1.10.
- [470] 新宅博文・梶本剛生・Boonchai Techaumnat・鷺津正夫・小寺秀俊, "電場集中を用いた電気穿孔法が細胞内小器官に及ぼす影響", 日本機械学会流体工学部門講演会, 京都, 2012.11.18.
- [471] オケヨケネディ・林由花子・小穴英廣・鷺津正夫, "微細孔エレクトロポレーションデバイスを用いた細胞初期化過程の細胞周期依存性の研究", 日本機械学会第4回マイクロ・ナノ工学シンポジウム講演論文集, 北九州, 2012.10.23.
- [472] 田畑 仁, 松井 裕章, 関 宗俊, "テラヘルツ波および近赤外プラズモニクスによる高感度バイオセンシング", 第12回東京大学生命科学研究シンポジウム, 東京, 2012.6.30.
- [473] H. Matsui and H. Tabata, "Functional pathological assessment using molecular chemical imaging of intermediate stage from normal to adenocarcinoma regions of human colons", 第12回東京大学生命科学研究シンポジウム, 東京, 2012.6.30.
- [474] 田畑 仁, "メタマテリアルを用いた信号増強THz-TDSによるバイオ分光", テラヘルツ分光法の最先端～ここまできたテラヘルツ時間領域分光～, 茨城, 2012.10.26.
- [475] 田畑 仁, "形状評価・膜厚測定", (独)日本学術振興会 薄膜131委員会 第29回薄膜スクール, 仙台市, 宮城県, 2012.7.4.
- [476] Song Guibin, H. Matsui, H. Akai, H. Tabata, "パルスレーザー堆積法によるNiAs型(Fe_{1-x}Cr_x)Seの薄膜成長と磁気物性-Film growth and magnetic properties of (Fe_{1-x}Cr_x)Se with NiAs-type by PLD", 2012年秋季第73回応用物理学学会学術講演会, 愛媛県, 2012.9.12.
- [477] 山原 弘靖, 関 宗俊, 田畑 仁, "自己組織化あるいはEB加工ナノ構造表面による筋芽細胞の分化制御", 2012年秋季第73回応用物理学学会学術講演会, 愛媛県, 2012.9.13.
- [478] H. Tabata, "Spin and Charge Ordering in Ferrite Related Thin Films and Their Electric and Magnetic Properties", International Union of Materials Research Societies-International Conference on Electronic Materials 2012, 神奈川, 2012.9.24.
- [479] 田畑 仁, "医工学分野応用に向けたテラヘルツ波分光・イメージング技術", 平成24年度第一回医用生体電磁気学研究会, 第22期第一回URSI-K国内小委員会, 東京, 2012.8.2.
- [480] 関 宗俊, 山原 弘靖, 田畑 仁, "Rh置換Fe₂O₃薄膜の作製と近赤外域における光電特性", 2012年秋季第73回応用物理学学会学術講演会, 愛媛県, 2012.9.12.
- [481] H. Matsui, W. Badalawa, T. Yamasaki, S. Furuta, H. Tabata, "Surface plasmons on oxide nanomaterials: Control of plasmon resonance via electron doping", 2012年秋季第73回応用物理学学会学術講演会, 愛媛県, 2012.9.13.
- [482] H. Matsui and H. Tabata, "Local electromagnetic fields of surface plasmons on metallic oxide materials", 2012年秋季第73回応用物理学学会学術講演会, 愛媛県, 2012.9.11.
- [483] 日下部圭佑井上雄策長谷川翔一石橋孝一郎, "カンチレバー型MEMS共振器の設計", 2013電子情報通信学会総合大会, 岐阜大学, 2013.3.21.
- [484] 鹿嶋慎太郎, 荒川太郎, "電界制御型多重量子井戸分岐比可変1×2多モード干渉カプラーの提案", 第73回応用物理学関係連合講演会, 松山, 2012.9.13.
- [485] 齋木悠, 鈴木雄二, "メタン・空気予混合火炎における金属壁面の化学的消炎効果", 熱工学コン

- ファレンス2012, 熊本, 2012.11.17-18.
- [486] 上野 藍, 鈴木 雄二, "近接場効果を用いた宇宙用MEMSラジエータの熱特性評価", 日本機化学会熱工学コンファレンス2012, 熊本, 2012.11.17-18.
- [487] 陳, 鈴木 雄二, "Reduction of Parasitic Capacitance of Electret Energy Harvester for Higher Power Output", 第4回マイクロ・ナノ工学シンポジウム, 小倉, 2012.10.23.
- [488] 井本翼, 八井崇, "電極反応における近接場光効果", 第3回ナノフォトンクス学生研究講演会講演予稿集, 東京大学, 2012.11.27.
- [489] 小西邦昭, 樋口卓也, 石井俊太郎, Jakob Larsson, Jia Li, 五神真, "三回回転対称金属周期構造を用いた第二次高調波発生", 第68回日本物理学会年次大会, 広島大学広島キャンパス, 2013.3.26.
- [490] 石川靖彦, "Si上Ge層を用いたアクティブ光デバイス", 光産業技術振興協会フォトリックデバイス・応用技術研究会2012年第3回研究会, 東京都江東区, 2012.10.3.
- [491] 平井格郎, 荒木貴裕, 蔡靖楠, 和田一実, 石川靖彦, 林勝義, 堀内勉, 岩崎弦, 上野祐子, 為近恵美, "シリコンプラットフォームによるバイオセンサの研究", 第60回応用物理学関係連合講演会, 厚木, 2013.3.30.
- [492] 荒木貴裕, Jingnan Cai, 石川靖彦, 和田一実, 林勝義, 堀内勉, 岩崎弦, 為近恵美, "部分スロット共振器を有する一次元シリコンフォトリック結晶光導波路のバイオセンシング応用", 第73回応用物理学学会学術講演会, 松山, 2012.9.12.
- [493] 草史野, 芦原聡, "Auロッド二量体を利用した中赤外域での電場増強", 第73回秋季応用物理学学会学術講演会, 松山, 2012.09.14.
- [494] Imamura, R. Watahiki, R. Miura, Y. K. Kato, "Optical coupling of air-suspended carbon nanotubes to silicon microdisk", The 44th Fullerenes-Nanotubes-Graphene General Symposium, 東京, 2013.3.11.
- [495] 崔竣豪, 時岡秀行, 朴元淳, 平田祐樹, 加藤孝久, "バイポーラPBII法によるマイクロ・ナノスケールトレンチパターンへの三次元DLCコーティング", 日本トライボロジー学会, 東京, 2013.5.22.
- [496] 山本 智, "テラヘルツヘテロダインセンシングによる星間化学", 第60回応用物理学学会春季学術講演会, 神奈川工科大学, 2013.3. 28.
- [497] 森本徹郎, 松岡成居, 熊田亜紀子, 日高邦彦, "マイクロギャップ放電における前駆現象", 電気学会放電・誘電絶縁材料・高電圧合同研究会, 九州大学, 2013.1. 28.
- [498] 武内彬正, 高山祐三, 榛葉健太, 李鐘国, 小谷潔, 野城真理, 神保泰彦, "交感神経細胞によるiPS細胞由来心筋細胞の機能調節の検討", 電気学会研究会医用・生体工学研究会, 東京大学, 2013.3. 22.
- [499] 冨澤 泰, 李 永芳, 古賀章浩, 年吉 洋, 安藤泰久, 藤田博之, "ナノスケール摺動電気接点における接触抵抗安定性と耐摩耗性の二律背反", 第29回「センサ・マイクロマシンと応用システム」, 北九州国際会議場, 福岡県, 2012.10.22.
- [500] 浅海和雄, 大竹豊, "実物形状によるシミュレーションに向けた試作デバイスの評価", 第29回「センサ・マイクロマシンと応用システム」, 北九州国際会議場, 福岡県, 2012.10.22-24.
- [501] K. Noda, Nguyen Binh-Khiem, Yusuke Takei, Tomoyuki Takahata, Kiyoshi Matsumoto, and Isao Shimoyama, "高透過率可変焦点液体レンズを用いた共焦点距離センサ", 第29回「センサ・マイクロマシンと応用システム」, 北九州国際会議場, 福岡県, 2012.10.22-24 pp.20-23."
- [502] 菅哲朗, 松本潔, 下山勲, "エラストマ上に配置したナノ粒子ペアを用いた歪センサ", 第29回「センサ・マイクロマシンと応用システム」, 北九州国際会議場, 福岡県, 2012.10.22-24 pp.11-14."
- [503] 李 凌瀚, 杉山進, "Micro Blood Separation Polymer Device Utilizing Capillary Phenomenon for Uric Acid Measurement", 第29回「センサ・マイクロマシンと応用システム」, 北九州国際会議場, 福岡県, 2012.10.22-24.
- [504] 井ノ上, 長谷川, S. Badar, 千足, 丸山, "水晶基板上での水平配向単層カーボンナノチューブの成長過程." 第49回日本伝熱シンポジウム.
- [505] 長谷川, 井ノ上, S. Badar, 千足, 丸山, "水晶表面における水平配向単層カーボンナノチューブの高密度合成." ナノ学会第10会大会.
- [506] 相川, 北畠, E. Einarsson, T. Thurakitsee, 千足, 丸山, "透明なカーボンナノチューブフレキシブルトランジスタ." 第49回日本伝熱シンポジウム(富山国際会議場, 富山).
- [507] 井ノ上, G. Meikle, S. Badar, 長谷川, 千足, 丸山, "水平配向単層カーボンナノチューブの合成!触媒担持法および水晶表面の影響." 第43回フラーレン・ナノチューブ・グラフェン総合シン

ポジウム.

- [508] S. Badar, D. Hasegawa, T. Inoue, S. Chiashi, S. Maruyama, "Raman Imaging Spectroscopy of Horizontally Aligned Single-Walled Carbon Nanotubes on Crystal Quartz." 第43回フラーレン・ナノチューブ・グラフェン総合シンポジウム.
- [509] 長谷川, 井ノ上, 大塚, バダル, 千足, 丸山, "走査型顕微鏡による水晶基板上の水平配向単層カーボンナノチューブの分析." 第44回フラーレン・ナノチューブ・グラフェン総合シンポジウム.
- [510] 大塚, 井ノ上, 長谷川, 千足, 丸山, "分子ガラスの熱リソグラフィを用いた金属性単層カーボンナノチューブの選択的除去." 第44回フラーレン・ナノチューブ・グラフェン総合シンポジウム.
- [511] 森功, 久保田雅則, 三田吉郎, 「環境にばらまくセンサネットワーク素子実現に関する一考察」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [512] 木原泰樹, 久保田雅則, 森下賢志, 百瀬健, 近藤愛子, 霜垣幸浩, 三田吉郎, 「ステルスダイシングを利用した埋め込み式予約素子分離法」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [513] 平川淳, 森下賢志, 三田吉郎, 「SOI基板上のメサ分離型標準バルクCMOS素子の絶縁耐圧評価」, マイクロマシン・センサシステム研究会, 6月11-12日, 京都, (2012年6月)
- [514] M. Kubota, Y. Mita, T. Momose, A. Kondo, Y. Shimogaki, Y. Nakano, M. Sugiyama "A 50 nm-Wide 5 μ m-Deep Copper Vertical Gap Formation Method by A Gap-Narrowing Post-Process with Supercritical Fluid Deposition for Pirani Gauge Operating over Atmospheric Pressure", The 25th International Conference on Micro Electro Mechanical Systems, pp.204-207, 2012.

4. 著書

- [1] 柴田裕一郎: メモリ・レスの画像検出回路を実現する, デジタル・デザイン・テクノロジー「FPGAによる高速化設計」, 6章, CQ出版 (2012.11)
- [2] 大野雄高, "第3編第1章 プラスチック基板上へのカーボンナノチューブ集積回路形成技術", 2013 ナノカーボン技術大全 電子ジャーナル,

34-37 (2012).

- [3] 大野雄高, "第3編 ポストシリコン・トランジスタとゲート絶縁膜 第1章 カーボンナノチューブ電界効果型トランジスタのゲート絶縁膜", ナノエレクトロニクスにおける絶縁超薄膜技術~成膜技術と膜・界面の物性科学~ エヌ・ティー・エス, 139-151 (2012).
- [4] 大野雄高, "プラスチック基板上に高性能なカーボンナノチューブ集積回路を実現する技術", プリントドエレクトロニクスのすべて 日本工業出版, 113-119 (2012).
- [5] 大田一郎, "スイッチト・キャパシタ方式デジタル増幅器"CQ出版株式会社トランジスタ技術SPECIAL増刊, グリーン・エレクトロニクス No.11, pp98-104, (2012.12)

5. 特許

- [1] 野田優, 金東榮, 大野雄高, 深谷徳宏, "透明電極, 導電性透明薄膜の製造方法ならびに導電性透明薄膜", 東京大学, 名古屋大学, 特願2012-185888, 2012.08.24
- [2] 加藤, 山中, "アクティブノイズコントロールシステムおよびそれらに用いられる電子回路", 特願2013-014367
- [3] 加藤, 兵藤, "アクティブノイズコントロールシステムおよびそれらに用いられるアナログ電子回路", 特願2013-010334
- [4] 高橋康宏, モンテイロカンシオ, 関根敏和, "差動論理によりサイドチャンネル攻撃から保護される暗号回路", 特願2012-274909.
- [5] 戸川望, 五十嵐博昭, 史又華, "故障攻撃検出回路および暗号処理装置", 特願2012-181944, 2012年.
- [6] 吉川公磨, 外谷昭洋, 十河健太, '位相同期ループ回路及びデッドゾーン生成回路', 出願番号: 特願2012-170091, 平成24年8月2日出願.
- [7] 岩見健太郎, 梅田倫弘, "偏光制御素子, 近接場光源, および並列電子線装置", 特願2012-146006 (2012.6.28).
- [8] 北川章夫, "磁気共鳴測定装置", 特許5135578 (2012.11.22).
- [9] 川端 優, 山崎 信夫, 太田 佳似, 石原 数也, 粟屋 信義, 北川 章夫, 中山 和也, "不揮発性半導体記憶装置", 特許第4836484号, (2012.3.2).
- [10] 田畑仁, 長谷川貴之, 北村茂, "テラヘルツ波測定装置及び方法", 特願2012-224555 (2012.10.9).

- [11] 林勝義, 堀内勉, 岩崎弦, 瀬山倫子, 井上鈴代, 為近恵美, 石川靖彦, 和田一実, ツァイジンナン, "フォトニック結晶光共振器", 特願2012-271088(2012.12.1+F22).
- [12] 下山勲, 松本潔, 高畑智之, 菅哲朗, 竹井裕介, 野田堅太郎, 阮平謙, 安食嘉晴, 唐木幸一, "撮像装置及び撮像方法", 特願2012-047057(2012.3.2).
- [13] 下山勲, 松本潔, 野田堅太郎, グエンビンキェム, "液体アクチュエータ", 特願2013-032004.
- [14] 石川靖彦, 和田一実, 福田浩, 山田浩治, "光素子", 特願2012-159617(2012.7.18).
- [15] 長谷川靖洋, "熱電変換素子の電極形成方法", 特願2013-019839(2013.2.4).
- [16] 長谷川靖洋, 村田正行, "熱電変換モジュール", 特願2013-019839(2013.2.4).
- [8] 大砂, "Si CMOS ミリ波MSL回路の設計に関する研究", 平成24年度宇都宮大学大学院研修報告資料, 2012年8月
- [9] 大砂, "Si CMOS ミリ波受動回路の設計に関する研究", 平成24年度宇都宮大学大学院研修報告資料, 2012年12月
- [10] Gonzalez-Carabarin L., Asai T., and Motomura M., "Spike transmission in locally coupled excitable circuits enhanced by membrane-potential-dependent noise,"Asia Conference on Nanoscience and Nanotechnology 2012, Yunnan, China (Sep. 7-10, 2012).
- [11] Sanada Y., Ohira T., Chikuda S., Igarashi M., Ikebe M., Asai T., and Motomura M., "FPGA implementation of single-image super resolution based on frame-bufferless box filtering,"The Research Institute of Signal Processing -NSCP'13 Student Paper Award, Mar. 2013.

6. その他

- [1] 矢部, 池田, "検波型イメージセンサに向けたパルス周波数変調回路の測定", in Proceedings of IEICE General Conference 2013, Mar. 2013.
- [2] 密山幸男, 尾上孝雄, 小野寺秀俊, "再構成可能ディペンダブルVLSIプラットホーム", "電子情報通信学会誌, Vol.96, No.2, pp.95-99, 2013年2月.
- [3] X. Wang, I. Sakagami, K. Takahashi and S. Okamura "A generalized dual-band Wilkinson power divider with parallel L, C and R components,"IEEE Trans. Microw. Theory Tech., vol.60, no.4, pp.952-964, Apr. 2012.
- [4] X. Wang, I. Sakagami, K. Takahashi and S. Okamura "Miniaturized dual-band Wilkinson power divider with physical port separation,"Journal of Jilin Univ. Eng. and Tech. Edition., vol.42, no.5, 1309-1314, Sept. 2012.
- [5] 坂上岩太, 王小龍, 岡村信吾, 田原稔"高域/低域通過T型II型LC回路を用いた小型ホルスト型ウィルキンソン電力分配器について", "電子情報通信学会論文誌C, Vol.J95-C, No.12, pp.478-486, (2012年12月)
- [6] I. Sakagami, X. Wang, K. Takahashi, S. Okamura, and M. Tahara, "Horst-type Wilkinson power dividers for dual-band operation,"in Proc. 42th Eur. Microw. Conf., Oct. 28 to Nov. 2, 2012, Netherlands, pp.1130-1133.
- [7] X. Wang, I. Sakagami, and M. Tahara,"Dual-band Wilkinson Power Divider and Its Miniaturization Using Coupled Line Sections,"in Proc. Asia-Pacific Microw. Conf., Dec. 4-7, 2012, Kaohsiung, Taiwan, 4D2-07, pp.1256-1258
- [12] Asai T., "Logical operations based on stochastic resonance for coarse-grained devices,"The 1st RIEC International Symposium on Brain Functions and Brain Computer, Sendai, Japan (Nov. 15-16, 2012).
- [13] 浅井哲也, "メモリストタ~第4の基本電気素子~とその応用", "第22回MIT (Modern Innovative Technology)研究会, Kobe, Japan (Sep. 29, 2012).
- [14] Asai T., "Noise-driven computing for coarse-grained devices and materials,"Asia Conference on Nanoscience and Nanotechnology 2012, Yunnan, China (Sep. 7-10, 2012).
- [15] 浅井哲也, "ゆらぎを利用する生物的情報処理とそのナノ集積システム応用", "日本化学会第93春季年会シンポジウム講演「エレクトロニクスの新パラダイム」, Shiga, Japan (Mar. 22-25, 2013).
- [16] 浅井哲也, "新概念アーキテクチャ: 考え方と新規デバイスの利用機会", "電子情報通信学会総合大会チュートリアル講演「超伝導デジタル技術の展望」, Gifu, Japan (Mar. 21, 2013).
- [17] Asai T., "Neuromorphic architectures,"ITRS Workshop on Fundamental Concepts in Emerging Research Architectures, San Francisco, USA (Dec. 8, 2012).
- [18] 樋口健太郎, 中嶋勇太, 外村卓也, 武居正史, 岸本茂, 水谷孝, 畑彦彦, 大野雄高, 「高速転写・フレキシソ印刷技術を用いた高移動度カーボンナ

- ノチューブ薄膜トランジスタの作製」, 第73回秋季応用物理学会学術講演会, 2012.09.13, 愛媛大学・松山大学, 13a-C2-5.
- [19] K. Mizuno, Y. Terachi, K. Takagi, S. Izumi, H. Kawaguchi and M. Yoshimoto, "An FPGA Implementation of a HOG-based Objectdetection Processor," IPSJ Transactions on System LSI Design Methodology, vol.6, pp.1-10, February, 2013.
- [20] S. Okumura, S. Yoshimoto, H. Kawaguchi, and M. Yoshimoto, "A 128-bit Chip Identification Generating Scheme Exploiting Load Transistor's Variation in SRAM Bitcells," IEICE Trans. Fundamentals, Vol. E95-A, No.12, pp.2226-2233, Dec. 2012.
- [21] S. Yoshimoto, T. Amashita, S. Okumura, H. Kawaguchi, and M. Yoshimoto, "Multiple-Bit-Upset and Single-Bit-Upset Resilient 8T SRAM Bitcell Layout with Divided Wordline Structure," IEICE Trans. Electron., Vol. E95-C, No.10, pp.1675-1681, Oct. 2012.
- [22] S. Yoshimoto, T. Amashita, S. Okumura, K. Nii, M. Yoshimoto, and H. Kawaguchi, "Bit-Error and Soft-Error Resilient 7T/14T SRAM with 150-nm FD-SOI Process," IEICE Trans. Fundamentals, Vol.95-A, No.8, pp.1359-1365, Aug. 2012.
- [23] Y. Nakata, H. Kawaguchi, and M. Yoshimoto, "A Process-Variation-Adaptive Network-on-Chip with Variable-Cycle Routers and Variable-Cycle Pipeline Adaptive Routing," IEICE Trans. Electron., Vol. E95-C, No.4, pp.523-533, Apr. 2012.
- [24] G. He, T. Sugahara, T. Fujinaga, Y. Miyamoto, H. Noguchi, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "A 40 nm 144 mW VLSI processor for Realtime 60 kWord Continuous Speech Recognition," IEEE Trans. Circuits Syst. I, Reg. Papers, vol.59, no.8, pp.1656-1666, Aug. 2012.
- [25] pin フォトダイオードの光応答電流モデルの研究 (卒業論文)
- [26] Yoshio Mita "Wireless-Driven Pond-Skating Microrobot as a Technology Driver for Integrated MEMS (Keynote Speech)", CINTRA Workshop on "Next generation of self-power smart sensors for environmental monitoring", 19-20 March, Singapore (2013.03.19)
- [27] 伊藤 秀将, 伊藤 猛, 東原恒夫, "Gm型時間差増幅器の検討", 電子情報通信学会 シリコンアナログRF研究会, 2012年12月
- [28] 加藤, "可変クロックを用いた高速オンチップ遅延測定のための非同期データ転送可能スキャン設計法", 信学技報, FIIS-12-342, 2012年.
- [29] 永田真, "VLSI電源ノイズの観測・解析と究明", 電磁環境工学情報 (EMC), No.298, pp.77-88, Feb. 2013.
- [30] Masanori Kubota, "Thermal Conductivity Pressure Sensors on the Basis of Ultra-Fine Silicon Structures", PhD Dissertation, The University of Tokyo, 2012.
- [31] "Progress of SOI Pixel Process", Y. Arai, International Workshop on Semiconductor Pixel Detectors for Particles and Imaging, Sep. 2012, Inawashiro, Japan, Invited Talk.
- [32] Advanced Radiation Image Sensors with SOI technology", Y. Arai, SSDM 2012, Sep., 2012, Kyoto, Japan. Invited Talk.
- [33] Design and Evaluation of a SOI Pixel Sensor for X-ray Trigger-driven Readout, Ayaki Takeda, Yasuo Arai, Syukyo Gando Ryu, Shinya Nakashima, Takeshi Go Tsuru, Toshifumi Imamura, Takafumi Ohmoto, and Atsushi Iwata, IEEE Trans. on Nucl. Sci., VOL PP, Issue 99, 2013. 10.1109/TNS.2012.2225072.
- [34] K.Kikuchi, C.Ueda, F.Fujii, Y.Akiyama, N.Watanabe, Y.Kitamura, T.Gomyo, T.Ookubo, T.Koyasma, T.Kmada, M.Aoyagi, K.Otsuka, PDN Impedance Analysis of TSV-Decoupling Capacitor Embedded Silicon Interposer for 3D-Integrated CMOS Image Sensor System," 3DIC2011 by ASET, 2012.1.31,P-2-1
- [35] Masanori Kubota, "Thermal Conductivity Pressure Sensors on the Basis of Ultra-Fine Silicon Structures", PhD Dissertation, The University of Tokyo, 2012.

B.1 概要

VDEC は、全国の大学・高専向けに様々な支援事業を実施している。

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会 (8-9 月・3 月)
4. 社会人リフレッシュ教育 (12 月-1 月, 学生も参加可能)
5. VLSI デザイナーフォーラム (若手の会)
6. 大型装置利用

CAD ベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC 設立以来、これまでの実績では、CAD の利用・CAD 講習会は無償、LSI 試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザには VDEC を利用する「顧客」ではなく、VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDEC の担当者 (vdec@vdec.u-tokyo.ac.jp) に必ず相談いただきたい。その他のサービスについては VDEC の裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が 51% 以上のイニシアチブを取る研究であることが必要である。

また、CAD の申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDEC のシステムは、Internet と Unix operating system の上になりたっているため、Internet の仕組や Unix に

ついての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

B.2 まずはじめに

VDEC からのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDEC の WEB ページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP) アドレスによって制限をかけている。

従って、VDEC を利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な (サービス開始前 1 ヶ月以上) 時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEB ページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字 2 字 + 半角数字 5 桁 (例: VD00000) からなる。

申込で特に注意する点は、VDEC の WEB にアクセスしたい研究室のマシンの IP アドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxy サーバのアドレス登録は禁止する。入力の際は、133.11.58.4, 133.11.58.5 のように、IP アドレスを全て「半角」の英数字で、「,」(半角カンマ) で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT (IP masquerade というプログラム名で呼ばれることもある。機能としては NAT が正しい。) で研究室内をローカルネットワークにしている場合は、NAT サーバのアドレスを入力する。よくある間違いとして、ローカルネットワークの IP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などで IP アドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古い IP が使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じ E-Mail アドレスを入力することで上書き変更が可能である。

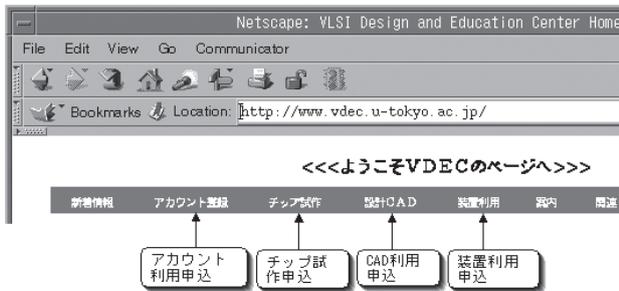


図 B.1 VDEC ホームページのインデックスフレーム

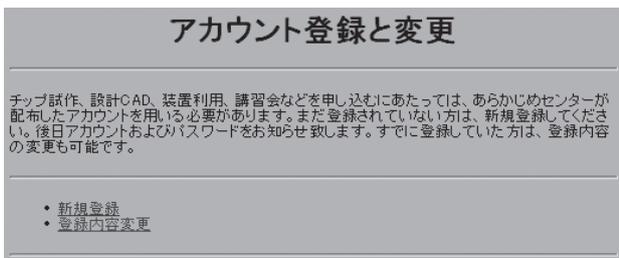


図 B.2 アカウント登録・変更ページの入口

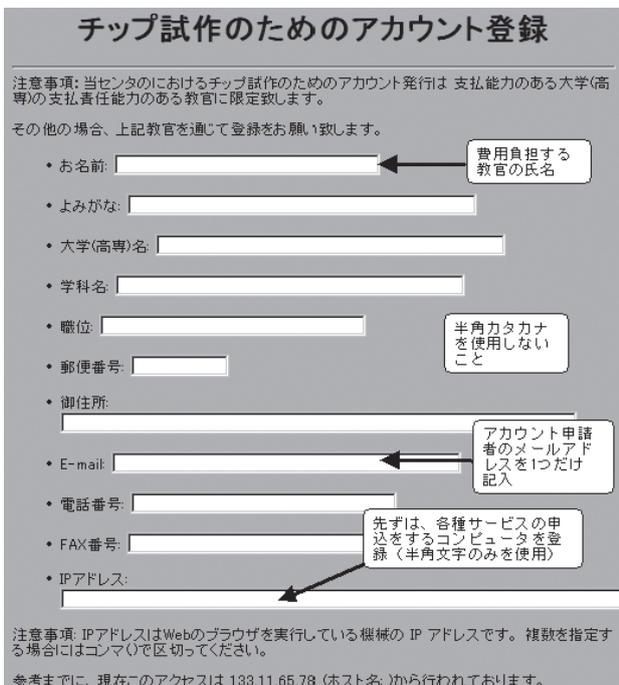


図 B.3 アカウントの新規登録の注意点

【登録する IP アドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残っ

てしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

B.3 CAD ツールの共同利用

VDEC では、集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している。これらのソフトウェアは、VDEC の VLSI 試作以外のアカデミック用途（MOSIS-VDEC を通じた試作、教育用の演習、EB 等 VDEC の大型装置利用のためのデータ作成用、等）の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーから CAD を選べる状況（二重化）を理想としている。LSI の設計には、CAD ソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD 申込の WEB ページに教員がアクセスする（WEB アカウントが必要である）。NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後、CAD の申請ができる。

- 申請時に WEB から入力する内容は以下のとおり。
- ソフトウェアライセンス数（研究室で同時に使用するとと思われる最低数を入力）
- 用途
- メディアリクエスト（使用する Operating System を選んでチェックする）。
- 利用する研究室所有ワークステーションのホストネーム（VDEC、端的には usr1 から名前→IP アドレスの解決ができる、「.ac.jp」で終わるホスト名であることが条件。）

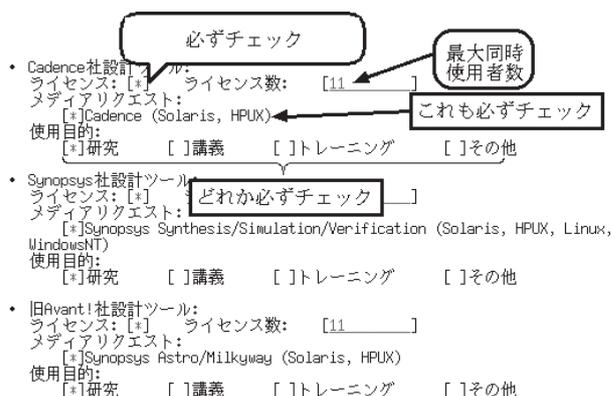


図 B.4 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

ソフトウェアのCDROM（メディア）について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を（ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを開ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わ

るアドレスを利用し、メールはプロバイダ等に転送しないこと（情報漏洩の観点から）。

2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること（必須ではないが、ネット利用のエチケットといえる）。

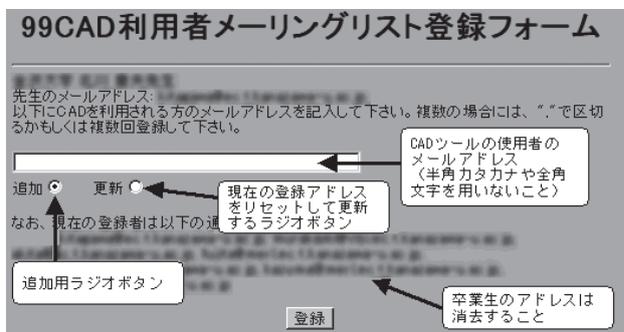


図 B.5 CAD 利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけしている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点、熟読必須。】

1. VDECでは毎月、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪一ヶ月以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録さ

れていることを確認しなければならない。

- 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマークを強くお勧めする。
- IP アドレス (ホスト名) registered という表示が出ていれば登録されている。
- false (false (ホスト名)) FAIL という表示が出ていれば登録に失敗しているの、原因を探る。

一般的に、DNS の逆引き (ホスト名から IP アドレスを引く) に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDEC のサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

B.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEB ページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対する NDA 契約を行う。これは VDEC ホームページの「試作関係> 試作案内> 機密保持契約 (NDA) の文面」より、希望プロセスの NDA にサインして VDEC に郵送し、VDEC 側で手続き終了後に NDA 締結となり、設計規則やライブラリにアクセスできるようになる。設計規則は WEB 経由のアクセスならびに、WEB での公開を禁止している会社の場合は CDROM 等で送付される。NDA の対象は教員であるが、研究室の職員・学生にも同じ NDA が適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の 6~3ヶ月前、キャンセルのメ切は 1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点 (図 5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

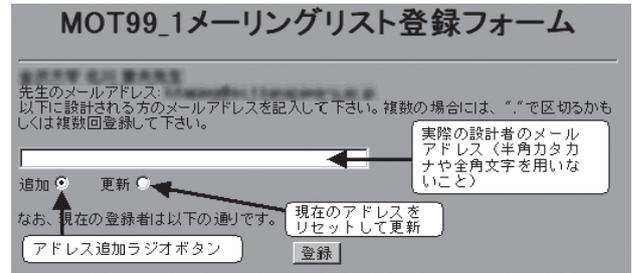


図 B.6 VLSI 試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDEC が提供する最新の Design Rule Check ファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通して、提出しようとする回路が本当に動作しうである確信を持つておくことは最低限必要であろう。デザインの提出は指定された VDEC ページから行う。提出時に VDEC 側で最終 DRC を実行する。ここでエラーが出たチップは提出できない。必ず自分の環境で DRC フリーにしてからチップを提出すること。

提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC 側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどは VDEC からの連絡に注意願いたい。

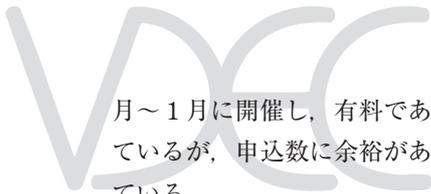
デザイン提出から数ヶ月後に、VLSI チップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

B.5 CAD ツール講習会

CAD ベンダーとの契約により、個々のサポートは提供しないかわりに、毎年 2 回、夏と春と CAD 講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なり CAD 利用を行うことをお勧めしている。アナウンスは CADUser メーリングリストで流れる。また、申込は、VDEC の WEB ページから行う。

B.6 社会人リフレッシュ教育

CAD ツール講習会からさらに進んだ形で、Verilog である回路を実際に設計し、レイアウト合成したり、FPGA による実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、RF コースならびに一線の研究者による設計事例の講演会などを企画している。12



月～1月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

B.7 デザイナーフォーラム (若手の会)

毎年6月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

B.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置につ

いては、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

C. IP データベースの整備

IP データベースの整備

設計資産の再利用のために、VDEC では Web 上でのデータベースの構築および公開を行っている (http://www.vdec.u-tokyo.ac.jp/IP/lisip.html, 図 C.1)。本データベースの利用対象は、IP 登録に関しては VDEC ユーザに限定しているが、IP 利用に関しては任意対象となっている。本データベースに関しての VDEC の役割は、

IP のカタログデータの整理、公開および登録者-利用者間の仲介と機密情報の取り扱いの監督である。

平成 12 年度から平成 14 年度の 3 年間、(株) 半導体理工学研究センター (STARC) との共同研究として IP プロジェクトを行ってきたが、その最終成果として IP 開発グループの各参加者へ完成 IP の登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みの IP を表 C.1 に示す。

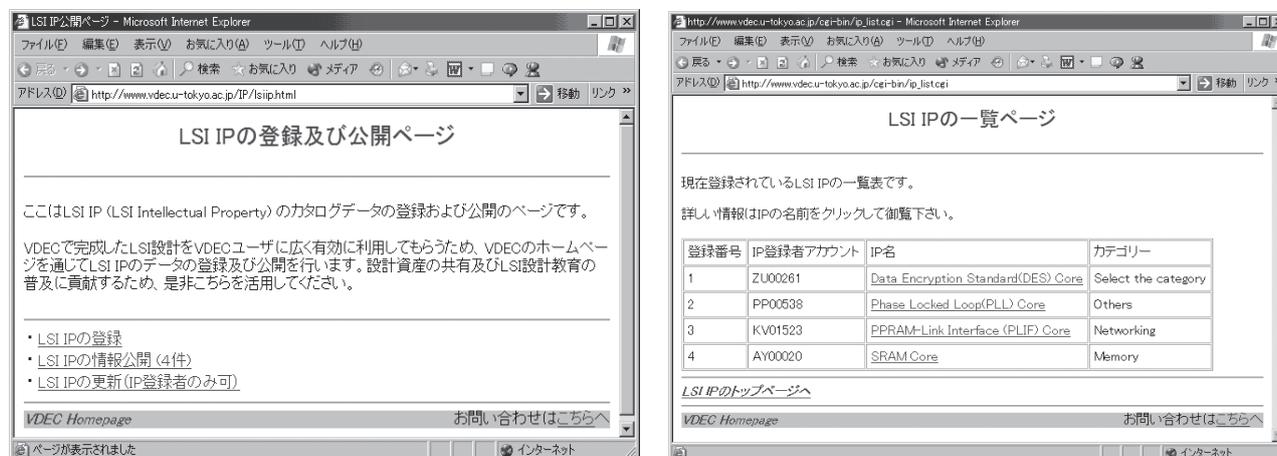


図 C.1 VDEC LSI IP Web データベースの例

表 C.1 VDEC LSI IP データベースに登録済みの IP (平成 24 年 3 月現在)

登録番号	IP名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

平成 24 年度
東京大学大規模集積システム設計教育研究センター年報

2013 年 8 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4 階 401 号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)



VLSI Design and Education Center The University of Tokyo 2013

