

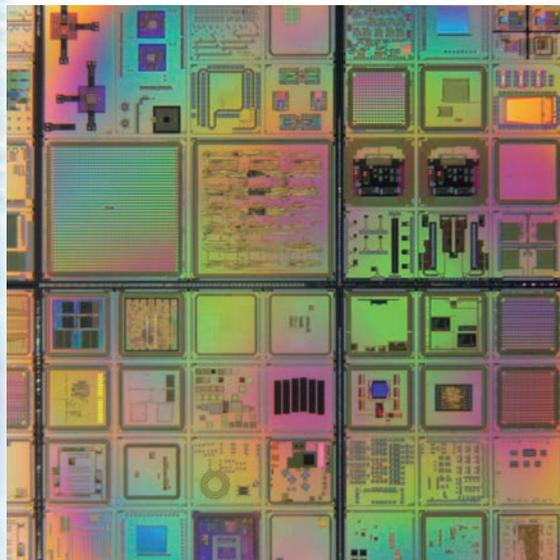
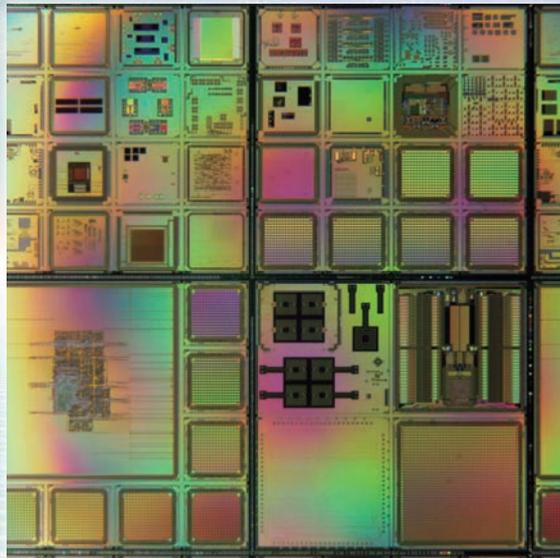
平成26年度

VDEC

2014

VLSI Design and Education Center, The University of Tokyo
Annual Report

東京大学
大規模集積システム設計教育研究センター
年報





VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター (VDEC) の 2013 年度活動報告をお送りします。

2013 年度は VDEC の活動の新たな方向として「国際協力と産業化への架け橋」を定めた年でした。我が国の半導体製造業は大きく方向転換をした結果、国内の 40 nm 以降の先端チップ試作サービスの確保が困難となりました。そのため VDEC はフランス CMP と協定を結び、ST マイクロの 28 nm FDSOI/CMOS を当面の先端チップ試作の中心にすえることとしました。この技術は大変新しいもので、STARC からの支援をもとにテストランを行いました。約 10 の試作経験の豊富な設計チームの参加を得てテストラン実施し、設計規則の確認と設計環境の整備を行い、試作フローを構築しました。試作チップの試験はこれからですが、今後、年 2 回を目標にこの技術を提供していく予定です。

また昨年 11 月にベトナム国立大学 (ホーチミン校) と協力の覚え書きを交わしました。ベトナムは LSI の産業応用に大変熱心であり、VDEC にとっても産業化への道筋の構築によりパートナーであると考えています。今年度は手始めにクリーンルーム技術の研修のためにベトナムから技術者を受け入れる予定です。この種の協力を他のアジア諸国や中東諸国とも進めたいと考えています。

一方、我が国の半導体産業の現状を打開するには、大学での LSI 研究の成果を直接産業化するための新たな架け橋を構築することが最重要であると考えて、現在、各方面と協議しているところです。これは VDEC の提供する LSI 設計教育・研究環境からベンチャーを起業するまでの間を円滑に接続しようとするもので、「両者における設計試作環境を可能な限り同一にしたい」と考えています。実現には CAD ベンダーやチップ試作会社の理解や新たなスポンサーが必要となるため、一步一步進めていきたいと考えています。進捗があれば「VDEC だより」等で適宜お知らせいたします。

現在、VDEC のチップ試作関係のユーザー登録数と MEMS を中心としたクリーンルーム利用者の登録数はほぼ同数になっています。前者は研究室の教員単位の登録数であり、後者は学生を含む利用者の登録数ですので直接比較はできませんが、後者の増加傾向は大変顕著です。クリーンルームでのプロセスには設備の維持更新が不可欠ですが、幸い文科省の補正予算により、電子ビーム露光装置関連の設備や FIB 装置、計測装置等の更新が完了しました。特に電子ビーム露光装置の利用はほぼ飽和状態となっていました。更新により性能が数倍改善されたため、今後はより多くのユーザーのご期待に応えられそうです。

(株)アドバンテストからの寄附研究部門 (D2T: Design-to-Test) では、昨年 10 月 24 日に第 8 回の定例シンポジウムを開催しました。“将来の LSI システムとテスト技術”に関する内外からの講師を招き、大変多くの方々の参加を得て盛大に開催することができました。また本年 8 月 26 日には第 9 回の定例シンポジウムを開催予定です。(株)アドバンテストからの継続的支援に対し心から感謝申し上げます。

VDEC では半導体技術の社会環境の変化を先取りしつつ、「実践的チップ設計・試作を通じた学生教育と研究者育成」の基本方針のもと、今後とも社会に貢献していきたいと考えています。引き続き皆様からのご支持をお願い申し上げます。

2014 年 6 月

(全国共同利用施設)
東京大学大規模集積システム設計教育研究センター

センター長 浅田 邦博

巻頭言

第 1 章	VDEC 事業の紹介と平成 25 年度事業報告	2
	1.1 VDEC の活動概況	2
	1.2 CAD ソフトウェアの整備	5
	1.3 VLSI チップ試作	6
	1.4 セミナー	9
	1.5 装置の整備・運用・利用公開	13
	1.6 平成 26 年度の活動計画	15
	1.7 VDEC 発ベンチャー	16
	1.8 超微細リソグラフィー・ナノ計測拠点	17
第 2 章	「アドバンテスト D2T 寄附研究部門」平成 25 年度活動報告	18
	2.1 「アドバンテスト D2T 寄附研究部門」の紹介	18
	2.2 「第 7 回 D2T シンポジウム」開催報告	19
	2.3 「アドバンテスト D2T 寄附研究部門」平成 25 年度研究報告	21
第 3 章	チップ試作結果報告	25
	3.1 試作ラン別一覧	26
	3.2 チップ種別一覧	31
	3.3 各チップの詳細	35
第 4 章	VDEC 概要	87
	4.1 組織概要	87
	4.2 人事報告	88
	4.3 決算報告	92
第 5 章	研究報告	93
	5.1 全体概況	93
	5.2 研究室構成員(平成 25 年度)	94
	5.3 研究概要	96
	5.4 研究発表	105
	5.5 特許、受賞等	119
Appendix	120
	A. Publication list	120
	B. VDEC の利用規程・申し込みガイド	188
	C. IP データベースの整備	193

第1章 VDEC 事業の紹介と平成 25 年度事業報告

1.1 VDEC 事業の紹介と平成 25 年度事業報告

東京大学大規模集積システム設計教育研究センター (VDEC) は、平成 8 年の発足以来『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を 3 つの柱として、円滑な運営を目指した事業を展開した。図 1.1.1 に示す VDEC の活動内容に基づき、以下に平成 25 年度の概要を報告する。

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。VDEC の発足より 17 年経過し、各大学における CAD ソフトウェアの利用技術教育や LSI 設計・設計フローに関する教育の充実が図られている。その一方で、先端の LSI 設計技術およびそれに対応する CAD ソフトウェアは一層複雑化し続けている。そのため、CAD ツールの導入に際しては、CAD ベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために平成 21 年度より東京での開催と同時に映像配信による拠点

校での遠隔受講としている。VDEC としては各ユーザ研究室で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって最新の CAD 利用技術が全国的に広がることを期待している(1.3 章参照)。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを年 1 回(12 月~1 月)開催している。このコースは、参加者からの要望の多い“アナログ設計コース”、“RF 設計コース”の 2 コースに加え平成 24 年から“MEMS 設計コース”の実施を行った。いずれも演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関す

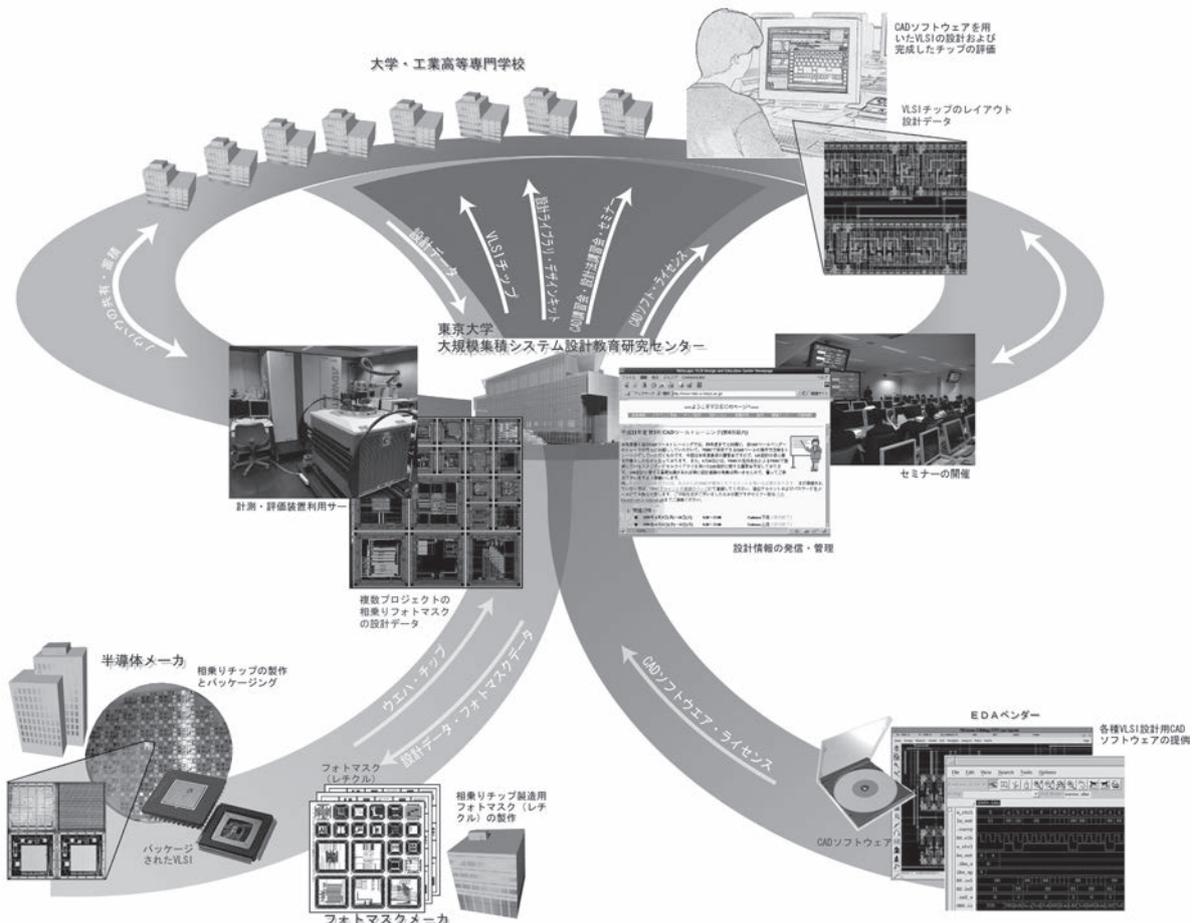


図 1.1.1 VDEC の活動内容

るセミナー”VDEC 環境におけるトランジスタレベル設計講習会”, “VDEC EDA 環境におけるデジタル設計手法講習会”を大学における設計者に向けて実施している。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDEC デザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。特に平成23年度から、VDEC 活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDEC デザイナー・フォーラムの場で行っており、平成25年は、IEEE SSCS Japan Chapter VDEC Design Awardとして、静岡大学の今井快多さん、4件のVDEC デザインアワード優秀賞、(何光霽さん(神戸大学)、吉本秀輔さん(神戸大学)、郡浦宏明さん(大阪大学)、高木健太さん(神戸大学))、5件のVDEC デザインアワード敢闘賞(ウルイさん(東京工業大学)、竹原浩成さん(奈良先端大学)、梅木洋平さん(神戸大学)、堀遼平さん(立命館大学)、釜江典裕さん(京都大学))を授与した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDEC メールグループである。VDEC ユーザはVDEC のホームページからCAD メールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿

し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDEC のWEB上で認証されたVDEC ユーザへ公開され、教育上の資産として残していく仕組みになっている。ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図1.1.2)。

VLSI チップ試作支援に関しては、平成25年8月シャトルをもってeShuttle65 nm CMOS 試作が終了。経済産業省-STARCによるプロジェクトが平成24年度をもって終了したことを受け、平成25年度はSTARCによる補助を受けてSTMicro 28 nm FDSOI CMOS 試作のテストランを実施した。定常試作としては、ローム0.18 μm CMOS, オンセミ-三洋半導体0.8 μm CMOS 試作を実施した。

平成20年10月に設置されたアドバンテスト社から寄附部門「Design To Test (D2T)」では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められている。これまでの活動を振り返ると、VDEC 発足以来の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している。図1.1.3にVDECを利用した研究成果の指標として、VDECに関係する発表件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC 発足以来、集積回路に関する研究が活性化されていることが確認できる。

図1.1.4にVDECに関する発表文献のVDEC ファシリティー利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作

The screenshot shows a web browser window displaying the VDEC website. The main content area is titled "設計者のメールリストの過去の記事" (Past articles from the designer mailing list). It includes a "Last updated" timestamp of 03/05/2006 02:37:25 and a brief introduction to the mailing list. Below this, there are two search filters: "[CAD利用者]全文検索" and "[モトローラ/オンセミコンダクタ 1.2um]全文検索". A list of search results follows, showing entries for various years and companies, such as "00年度第1回モトローラ/オンセミコンダクタ 1.2umチップ試作 (日付順)## (スレッド順)## (全文)".

図 1.1.2 VDEC メールリストの過去記事

の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり世界的には 32 nm CMOS, 22 nm CMOS による設計事例報告が増加しており、VDEC においても最先端プロセステクノロジーメニューの充実をは

かっていきたい。加えて、More than Moore が叫ばれており、MEMS 混載 CMOS メニューなどの充実を図っていききたい。そのほかのファシリティとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

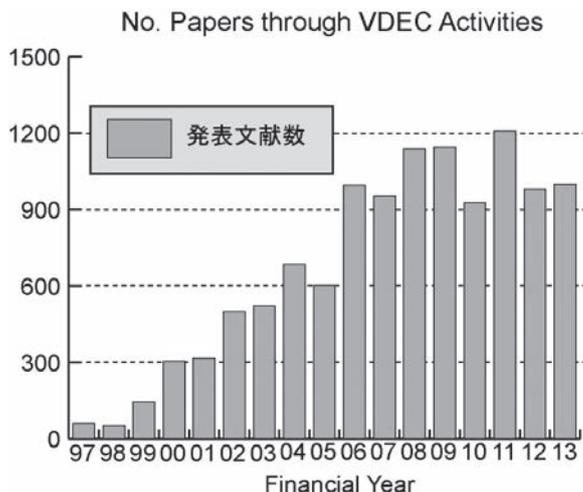


図 1.1.3 VDEC を利用した発表文献数の推移

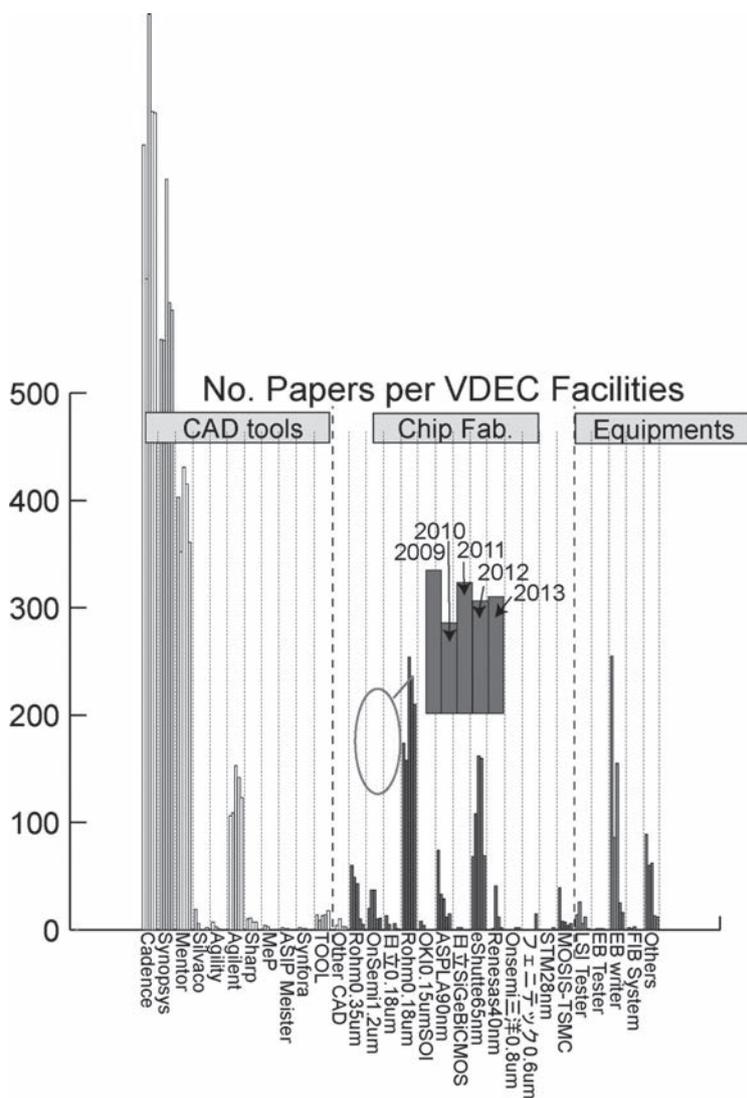


図 1.1.4 VDEC ファシリティ利用状況

1.2 CADソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成21年度は表1.2.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2.1に示す全国地域拠点校10箇所 licensesサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のlicensesサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。licenses数はCADの項目ごとに100から1000程度のフローティングlicensesとなっ

ており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっているが、これまでVDECに利用登録をしている(a)全国教官数および(b)その所属する大学数および(c)CADの利用申請があった研究室(教官)数の推移は図1.2.2の通りである。

表 1.2.1 導入されたCADシステム

名称	用途	メーカー
Cadence社設計システム	VerilogHDL/VHDLベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys社設計システム	VerilogHDL/VHDLシミュレーション、論理合成、テスト生成。マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco社設計ツール	高速回路シミュレーション、	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Agilent Technologies
Bach	BachC言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL

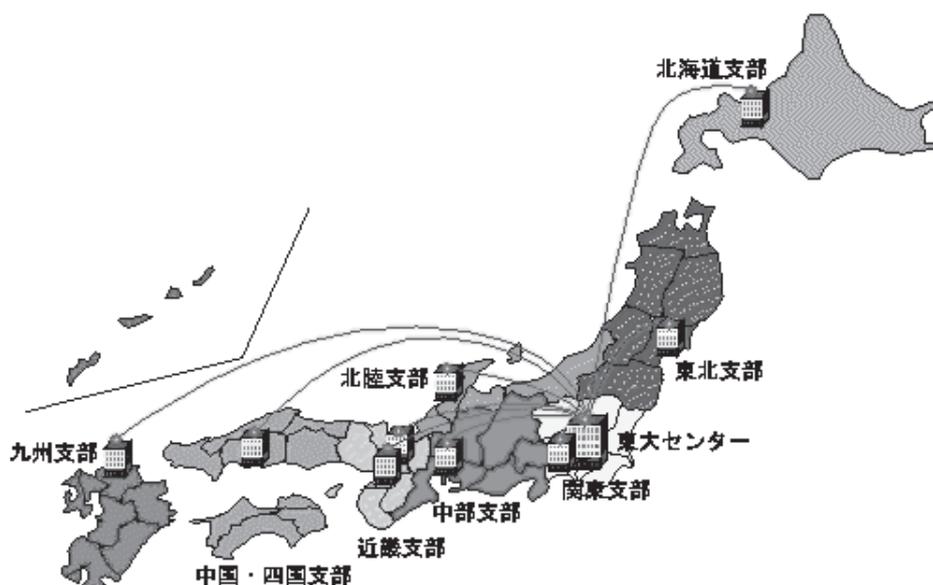


図 1.2.1 全国地域拠点校

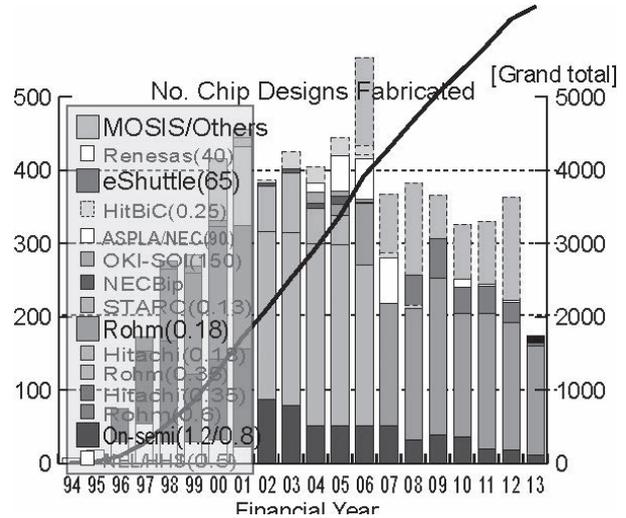
1.3 VLSI チップ試作

1.3.1 VLSI チップ試作の推移

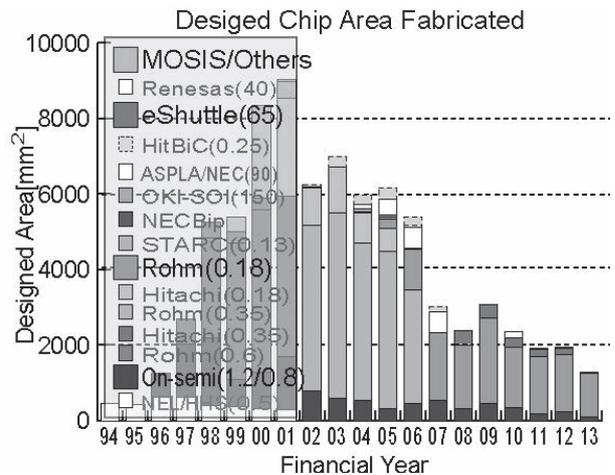
図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSI チップ試作は、平成 6, 7 年度(1994, 1995 年度)のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS 0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続)1社であったが、平成 8 年度(1996 年度)の VDEC 発足後、日本モトローラ社の CMOS 1.2 μm (平成 11 年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成 9 年度からはローム社の CMOS 0.6 μm が加わった。さらに平成 10 年度には日立製作所の CMOS 0.35 μm 、平成 11 年度にはローム社 0.35 μm がそれぞれ加わった。また、IP 開発プロジェクトの一環として STARC 0.13 μm の試作を行った。平成 13 年度から、日立製作所の CMOS 0.18 μm のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。これは、TSMC、IBM といった海外のファブを MOSIS を経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。平成 16 年からテスト試作として沖電気 CMOS SOI 0.15 μm プロセスおよび ASPLA 90 nm(現在は STARC において継続)プロセスの試作を開始し、90 nm 試作については平成 17 年度より通常の試作として公募の形で運用を行っている。さらに平成 18 年度からはローム社 0.18 μm の試作を開始し、日立製作所 0.25 μm SiGeBiCMOS のテスト試作を実施した。平成 19 年度で終了した 90 nm CMOS の後継の先端プロセスの検討を平成 19 年度から開始し、平成 20 年度に eShuttle 社の 65 nm CMOS による試作を開始した。さらに経済産業省-STARC のプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の 40 nm CMOS による試作も開始した。一方で平成 23 年 9 月試作をもって CMOS 1.2 μm を終了することとなったほか、平成 24 年度をもってルネサスエレクトロニクス社の 40 nm CMOS 試作が終了、平成 25 年 8 月シャトルをもって eShuttle 社の 65 nm CMOS 試作が終了した。CMOS 1.2 μm の後継として、オンセミー三洋半導体製造社の協力により平成 24 年 10 月に CMOS 0.8 μm のテスト試作を実施し、平成 25 年度から定常試作として継続している。最先端試作としては、平成 25 年度からフランス CMP を介して ST マイクロ社 FD-SOI 28 nm CMOS 試作を開始した。

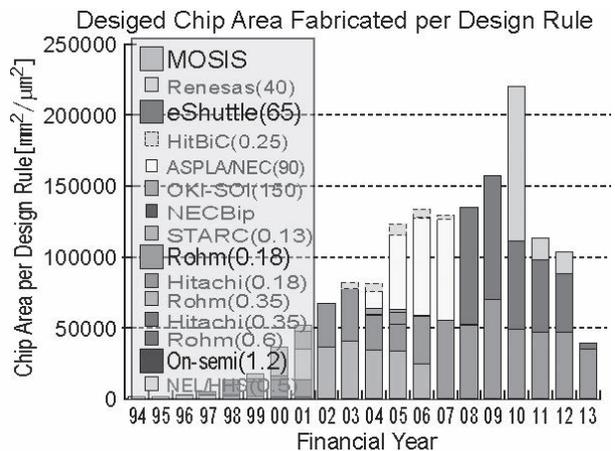
図 1.3.1(a)は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成 14 年度に減少しているが、これは



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1 チップ試作数・面積推移

ROHM社の0.6 μmプロセスを終了したことによる現象が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に0.35 μmが終了し、平成19年度以降0.18 μmへの移行したことにより、試作数が130品種程度減少し、さらに平成19年度にASPLA 90 nm CMOS試作が終了し、eShuttle 65 nm CMOSへの移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図1.3.1(b)に設計されたチップ面積を示す。一方設計量の指標として、図1.3.1(c)に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図1.3.2にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にア

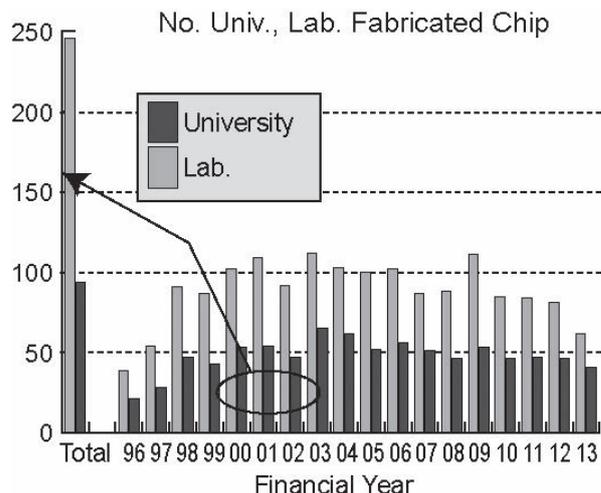


図 1.3.2 VDEC チップ試作参加教員数・大学数の推移とその累計

クセスするための「機密保持契約」締結教員数は、ロームの0.18 μmプロセスが253名、オンセミ三洋0.8 μmプロセスが28名となっている。

平成 25 年度チップ試作概況

平成24年度は、表1.3.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第2章のチップ試作報告を参照されたい。

表 1.3.1 平成 25 年度チップ試作日程

CMOS 0.8 μm (オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
平成25年第1回	2013/ 6/ 3	2013/ 8/26	2013/12/10
平成25年第2回	2012/ 1/10	2014/ 3/24	2014/ 7 (予定)

CMOS 0.18 μm (ローム)

	試作申込締切	設計締切	納品・試作完了
平成24年度第5回	2013/ 1/ 8	2013/ 3/12	2013/ 5/16
平成25年度第1回	2013/ 3/25	2013/6/17	2013/10/16
平成25年度第2回	2013/ 5/ 1	2013/ 7/24	2013/10/16
平成25年度第3回	2013/ 6/19	2013/ 9/11	2013/12/26
平成25年度第4回	2013/ 7/29	2013/10/21	2014/ 2/14
平成25年度第5回	2013/11/ 4	2014/ 1/27	2014/ 5/14

CMOS 65 nm (eShuttle/STARC)

	試作申込締切	設計締切	納品・試作完了
平成25年8月シャトル	2013/ 6/12	2013/ 7/24	2013/11/12

CMOS 28 nm (STMicro/CMP)

	試作申込締切	設計締切	納品・試作完了
平成25年11月シャトル		2013/11/24	

1.3.3 ライブラリ・設計フロー整備状況

VDECにおけるチップ試作(主にデジタルLSI試作)では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ整備事業

を行ってきている。平成21年度にはアナログ設計向けの設計キット(PDK)の構築をローム0.18umCMOS向けに行った。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
ローム0.18 μm	ローム提供ライブラリ	ローム提供 スタンダードセル, IOセル, RAM (セルはすべてブラック ボックス)(CDROMにて配布)	・Synopsys用論理合成ライブラリ	
			・VerilogXL用シミュレーションライブラリ	
			・配置配線用LEF/DEFファイル	
	京大ライブラリ	京都大学小野寺研究室	・Synopsys用論理合成ライブラリ	
			・VerilogXL用シミュレーションライブラリ	
			・Astro用配置配線ライブラリ	
	東大ライブラリ	ライブラリ情報は京都大学小 野寺研究室, 東大VDECにて フロー構築	・Cadence RTL Compiler用論理合成ライブラリ	
			・VerilogXL用シミュレーションライブラリ	
			・Cadence Encounter用配置配線ライブラリ	
	PDK	東京大学VDEC	IC6.1向けPDK	

1.4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 24 年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

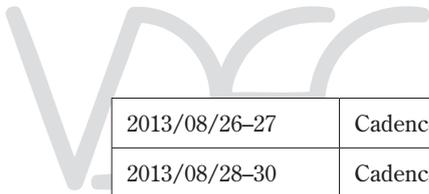
【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している。平成 24 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 2 種・5 日間、Synopsys ツールを 3 種・5 日間、Agilent のツールを 1 種・1 日

間、に加え、VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC 環境におけるデジタル LSI 測定講習会を VDEC 教員が講師となり開催した。各コースに 40 名までの教員・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 2 種・3 日間、Synopsys 1 種・1 日間、Agilent 1 種・1 日間行った(表 1.4.1)。これら CAD 技術セミナーへの参加要望は非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。従来、東大もしくは VDEC 拠点校での開催であったが、今年度からは東大で開催し、それを VDEC 拠点校へストーリーミング配信を行い、各拠点校でも CAD 講習会の受講が可能となっている。

表 1.4.1 平成 24 年度 CAD 技術セミナー開催状況

2013/08/05-06	Synopsys DesignCompiler+Power Compiler 講習会	東京大学	19
2013/08/05-06	Synopsys DesignCompiler+Power Compiler 講習会	東北大学	2
2013/08/05-06	Synopsys DesignCompiler+Power Compiler 講習会	名古屋大学	11
2013/08/05-06	Synopsys DesignCompiler+Power Compiler 講習会	京都大学	2
2013/08/07-08	Synopsys Milkyway+IC Compiler 講習会	東京大学	25
2013/08/07-08	Synopsys Milkyway+IC Compiler 講習会	東北大学	4
2013/08/07-08	Synopsys Milkyway+IC Compiler 講習会	名古屋大学	2
2013/08/07-08	Synopsys Milkyway+IC Compiler 講習会	京都大学	8
2013/08/07-08	Synopsys Milkyway+IC Compiler 講習会	大阪大学	6
2013/08/07-08	Synopsys Milkyway+IC Compiler 講習会	広島大学	3
2013/08/09	Synopsys VCS-AMS(XA)+Mixed Signal sim 講習会	東京大学	10
2013/08/09	Synopsys VCS-AMS(XA)+Mixed Signal sim 講習会	東北大学	3
2013/08/09	Synopsys VCS-AMS(XA)+Mixed Signal sim 講習会	名古屋大学	1
2013/08/09	Synopsys VCS-AMS(XA)+Mixed Signal sim 講習会	京都大学	7
2013/08/09	Synopsys VCS-AMS(XA)+Mixed Signal sim 講習会	大阪大学	7
2013/08/09	Synopsys VCS-AMS(XA)+Mixed Signal sim 講習会	広島大学	2
2013/08/26-27	Cadence ADE Simulation 講習会	東京大学	26
2013/08/26-27	Cadence ADE Simulation 講習会	東北大学	6
2013/08/26-27	Cadence ADE Simulation 講習会	名古屋大学	1
2013/08/26-27	Cadence ADE Simulation 講習会	京都大学	2
2013/08/26-27	Cadence ADE Simulation 講習会	大阪大学	4
2013/08/26-27	Cadence ADE Simulation 講習会	広島大学	4



2013/08/26-27	Cadence ADE Simulation 講習会	宮崎大学	16
2013/08/28-30	Cadence IC61x Virtuoso Layout 講習会	東京大学	24
2013/08/28-30	Cadence IC62x Virtuoso Layout 講習会	東北大学	10
2013/08/28-30	Cadence IC64x Virtuoso Layout 講習会	名古屋大学	1
2013/08/28-30	Cadence IC65x Virtuoso Layout 講習会	京都大学	3
2013/08/28-30	Cadence IC66x Virtuoso Layout 講習会	大阪大学	6
2013/08/28-30	Cadence IC66x Virtuoso Layout 講習会	広島大学	3
2013/08/28-30	Cadence IC67x Virtuoso Layout 講習会	宮崎大学	14
2013/09/09-10	VDEC 環境におけるデジタル設計手法講習会	東京大学	30
2013/09/11-12	VDEC 環境におけるトランジスタレベル設計手法講習会	東京大学	26
2013/09/13	Agilent GoldenGate 講習会	東京大学	7
2013/09/13	Agilent GoldenGate 講習会	東北大学	2
2013/09/13	Agilent GoldenGate 講習会	京都大学	1

2014/03/03	Synopsys CustimSim-VCS Co-sim 講習会	東京大学	7
2014/03/03	Synopsys CustimSim-VCS Co-sim 講習会	北海道大学	12
2014/03/03	Synopsys CustimSim-VCS Co-sim 講習会	東北大学	1
2014/03/03	Synopsys CustimSim-VCS Co-sim 講習会	金沢大学	1
2014/03/03	Synopsys CustimSim-VCS Co-sim 講習会	大阪大学	2
2014/03/03	Synopsys CustimSim-VCS Co-sim 講習会	広島大学	2
2014/03/03	Synopsys CustimSim-VCS Co-sim 講習会	長崎大学	2
2014/03/04	Cadence Encounter Test 講習会	東京大学	5
2014/03/04	Cadence Encounter Test 講習会	北海道大学	10
2014/03/04	Cadence Encounter Test 講習会	東北大学	1
2014/03/04	Cadence Encounter Test 講習会	金沢大学	2
2014/03/04	Cadence Encounter Test 講習会	大阪大学	1
2014/03/04	Cadence Encounter Test 講習会	広島大学	3
2014/03/04	Cadence Encounter Test 講習会	長崎大学	3
2014/03/26-27	Cadence IC615 Virtuoso 講習会	東京大学	12
2014/03/26-27	Cadence IC615 Virtuoso 講習会	北海道大学	10
2014/03/26-27	Cadence IC615 Virtuoso 講習会	東北大学	5
2014/03/26-27	Cadence IC615 Virtuoso 講習会	金沢大学	11
2014/03/26-27	Cadence IC615 Virtuoso 講習会	大阪大学	7
2014/03/26-27	Cadence IC615 Virtuoso 講習会	広島大学	3
2014/03/26-27	Cadence IC615 Virtuoso 講習会	鶴岡高専	1
2014/03/26-27	Cadence IC615 Virtuoso 講習会	長崎大学	3
2014/03/25	Agilent Momentumn 講習会	東京大学	6
2014/03/25	Agilent Momentumn 講習会	北海道大学	8
2014/03/25	Agilent Momentumn 講習会	東北大学	4
2014/03/25	Agilent Momentumn 講習会	広島大学	3

【社会人のためのリフレッシュセミナー】

平成24年度12月、1月には、平成23年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表1.4.3)。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、

半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることが

でき、大変効果的で有意義なセミナーとなった。

本年度はVLSI設計に関する3つのコース、コースA:アナログ集積回路設計と演習(1/7~1/9実施)に加え、新規にコースM1:MEMS設計と演習(1/21~1/22)およびコースM2:MEMS試作と評価(3/4~3/6)を開催した。講師として大学・企業の集積回路研究・教育に携わる教官や研究者7名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコースA、M1、M2それぞれ13名、13名、11名であった。



図1.4.2 リフレッシュ教育会場風景(東大VDECセミナー室)

表1.4.3 リフレッシュセミナー開催状況

コースA : アナログ集積回路設計と演習 (3日間)
回路設計, 回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証 (DRC, LVS)
杉本泰博 (中央大学), 小野寺秀俊 (京都大学) 小谷光司 (東北大学)
コースM1 : MEMS設計と演習 (2日間)
MEMSの基礎1 : 作製法 MEMSの基礎2 : 動作原理 機構設計 レイアウト設計
三田吉郎 (東京大学)
コースM2 : MEMS試作と評価 (3日間)
CAD設計・解析 リソグラフィ, エッチング, リリース 振動解析測定
三田吉郎 (東京大学)

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム(VDEC LSI Designers Forum)を開催している。VDEC LSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦労

した点、失敗事例と解決策、CAD 業界の裏話、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今年は、8月に東大武田ホールで開催された、50人の参加者が集まる盛況であった。

表 1.4.4 平成 24 年度デザイナーズフォーラムプログラム

8/24 (土) VDEC デザイナーズフォーラム

9:10-10:00	会場受付
10:00-10:10	開会の挨拶
10:10-10:50	VDEC 基調講演 (VDEC 客員教授 清水剛氏)
	(小休憩)
11:00-17:30	VDEC デザインアワード発表会
17:30-19:00	VDEC デザインアワード表彰式
19:00	Ph.D.企画セッション&親睦会&ポスターセッション

8/25 (日)VDEC セミナー

10:00-13:00	Linux入門からCADのインストール/環境設定まで
-------------	----------------------------

1.5 装置の整備・運用・利用公開

VDEC では、大型装置公開すなわち、1 研究室では取得・維持管理が困難な装置を VDEC で代表して管理し、ユーザーは無償または廉価に利用するというスキームを、「CAD」「LSI マルチチップ」「テスト」となる 4 本柱の一つとして継続的に運用している。表 1.5.1 に装置の一覧と利用公開の状況を示す。装置は VLSI 用大型テスターと、その他のプロセス装置とに大別でき、テスターは武田先端知ビル 1F、プロセス装置は武田地下クリーンルームにある。プロセス装置は平成 24 年度より文部科学省「ナノテクノロジー・プラットフォーム」に参加したことで、さらに多くのユーザーに対する支援体制を整備することができている(ナノテクノロジー・プラットフォームについては 1.8 節を参照いただきたい。)、平成 25 年度は、平成 24 年度補正予算により大型装置が多数導入されたことが特筆事項である。VDEC 自身の概算要求に基づく装置と、ナノテクノロジー・プラットフォームによる装置と導入され、前者で最も大きな装置は、裏面からの LSI 加工が可能な集束イオンビーム(FIB)加工装置(FEI V400ACE)、後者は超高速大面積電

子線描画装置(ADVANTEST F7000S-VD02)、である。その他、集積回路のバッチ加工装置(塩素系 ICP プラズマエッチャー ULVAC CE-S、シリコン深掘りプラズマエッチャー SPT MUC-21 ASE-Pegasus)ならびにテラヘルツ時代に備えた各種測定装置を導入した。

電子線描画装置 F5112+VD01 の平成 24 年 4 月～25 年 3 月の利用実績は、合計 1,604 枚で、前年(合計 1,882 枚)に比べて若干減少した。これは新型電子線描画装置導入に伴う装置停止が 2 か月あったためで、月平均では 157 枚→160 枚と、増加している。

装置の利用については、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を基本とした運用を行っている。利用は、利用者資格を有する者もしくはその同伴の場合による利用が可能である。個別の装置についての利用相談は、VDEC の教職員までお寄せいただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジック LSI テストシステム	EB テスター：IDS10000	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常 LSI テスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384 ピン、1 GHz までのデジタル回路のテストを行える。	公開中	equipment@vdec.u-tokyo.ac.jp
	LSI テスター：HP8300	384 ピン、1 GHz までのデジタル回路のテストを行える。	公開中	HP83000@vdec.u-tokyo.ac.jp
	LSI テスター：ADVANTEST T2000	256 ピン、512 MHz までのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	equipment@vdec.u-tokyo.ac.jp
	回路修正用 FIB：IDSP2X	LSI パターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	回路修正用 FIB:V400ACE	LSI パターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能。加工ガスによりバルクシリコンを裏面から高速にポイントエッチング可能。	公開準備中	equipment@vdec.u-tokyo.ac.jp
	オートプローバ：PM-90-A	ウエハ上での LSI の動作検証を行うためのオートプローバ。上述の LSI テスターとドッキングして使用することが可能で、VDEC において標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	equipment@vdec.u-tokyo.ac.jp

アナログ・RF 測定システム	アナログ・RF 測定 装置一式：HP4156B, HP4284, etc	DC パラメータ測定, 容量測定, ネット ワークアナライザ, スペクトラムアナライ ザ等の測定装置	希望に応じ 利用可能. 但し VDEC の業務によ る利用を優 先とする	equipment@ vdec.u-totokyo.ac.jp
	低雑音マニュアルプ ローバ：Cascade 社	マニュアルにて 6 インチまでのウエハ 上のチップの測定が可能. 測定には, 通常のプロープ針 (6 本まで) のほか, 50 GHz までの測定が可能な高周波プ ローブを 2 本備える		
	低雑音・温度制御機構 付きセミオートプロ ーバ：Süss Microtec 社	8 インチまでのウエハ上のチップの測定 が可能. ウエハ温度を - 50℃ から 200℃ まで制御可能. プローブカードによる測 定. GPIB を介した制御を行うことで半 自動測定も可能		
電子線描画シ ステム	マスク描画・ウエハ直 描装置：F5112+VD01	半導体製造用 2.3 mm 厚 5 インチマスク の描画およびエッチング, 2-8 インチ並 びに不定形ウエハへの直接描画が可能. 参考描画寸法 50 nm L/S.	公開中	equipment@ vdec.u-totokyo.ac.jp
	大面積高速電子線描画 装置：F7000S-VD02	半導体製造用 2.3 mm 厚 5 インチマスク の描画およびエッチング, 2-8 インチ並 びに不定形ウエハへの直接描画が可能. キャラクタプロジェクション機能によ り, 円形や三角形, 斜め線などの高速・ 高精細描画が可能. 参考描画寸法 1Xnm L/S.	公開準備中	
	塩素系プラズマエッ チャー CE-S	Cl ₂ , BCl ₃ を使った金属のプラズマエッ チングが可能.	公開準備中	
	シリコン深掘りエッチ ング装置 MUC-21 ASE- Pegasus	ボッシュプロセスによる高速・高アスペ クト比シリコン深掘りが可能.	公開準備中	
汎用 FIB シス テム	FIB 装置：SII XVision 200TB	ガラスマスクの欠陥修正の他, 断面観測 のための加工等が可能. ナノテクノロ ジー・プラットフォームにて利用可能.	公開中	equipment@ vdec.u-tokyo.ac.jp

1.6 平成26年度の活動計画

平成26年度においても、従来の設計情報発信、CADツール提供、チップ支援、寄附部門「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、平成9年度より継続しているCADツール利用法に関する技術セミナー、平成10年度から継続している社会人向けの「リフレッシュセミナー」、平成8年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。試作チップ数の増加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSIテスト技術および、VDECおよび拠点校に設置されているLSIテスター利用法のセミナーも継続して開催するとともに、寄附部門「D2T」主導によるテスト技術に関するワークショップ開催、遠隔地からのテスト利用に関する試みなどを推進する。

【CADツール提供】

上流設計(Cadence, Synopsys)、中流設計(Synopsys(旧Avant!), Cadence)、下流設計(Cadence)の各基本ツールを、平成26年度もサポートしていく。これに加え平成14年度から導入した設計検証(Mentor: Caribra,

ModelSim, Handel-C等)、平成16年度から導入したアナログRF設計ツール(Agilent: GoldenGate, ADS/RFDE)を継続してサポートするとともに、平成17年度より提供を受けているSharp社Cベース設計ツール(BachC)を継続してサポートする。平成20年度より提供を開始しているTOOL社レイアウト表示プラットフォーム(Lavis)に関しても利用状況に基づき継続を行うとともに、平成23年度からのSpringSoft社の検証ツールは、SpringSoft社がCadence社に買収されCadence社のツール群としてのサポートが継続されることになっている。また、回路シミュレーションツール(Silvaco)ツールに関してもサポートを継続する。

【チップ試作支援】

平成26年度は、平成25年度から引き続きローム株式会社の0.18 μm CMOSプロセスおよびオンセミ-三洋半導体0.8 μm CMOSを定常試作として継続する(すでに一部の試作は進行中である)ほか、STマイクロFD-SOI 28 nm CMOSの試作をCMPのシャトルに沿って定常的に運用する。チップの組み立てはジェイデバイス社への委託を中心として、多様な組立に応じられる仕組みの構築を目指す。

表 1.6.1 VDEC チップ試作スケジュール (平成26年度)

【CMOS 0.8 μm 2P2M】 オン・セミコンダクタ

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成26年度第1回	2014/ 4/21	2014/ 7/14	2014/10/ 6	2014/12/29
平成26年度第2回	2014/10/ 6	2014/12/29	2015/ 3/23	2015/ 6/15

【CMOS 0.18 μm 1P5M (+MiM)】 ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成26年度第1回		2014/ 1/27	2014/ 4/21	2014/ 8/11
平成26年度第2回	2014/ 1/20	2014/ 4/14	2014/ 7/ 7	2014/10/27
平成26年度第3回	2014/ 3/17	2014/ 6/ 9	2014/ 9/ 1	2014/12/15
平成26年度第4回	2014/ 6/ 2	2014/ 8/25	2014/11/17	2015/ 3/16
平成26年度第5回	2014/8/11	2014/11/ 3	2015/ 1/26	2015/ 5/18

【FD-SOI CMOS 28 nm1P10M】 ST マイクロ社

CMPの予定の通り。

VDEC での設計 / 試作経験, 人材育成が有効には機能した事例といたしまして, VDEC と関連があった(ある) 教員が起業したベンチャー企業のリスト(順不同)を以下に示します.

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生 : 神戸大学 瀧 和男 教授 (同社, 代表取締役社長)

事業内容 : (1) Hyper LSI Design
(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング
(3) オリジナルライブラリ / IP の販売
(4) チップ受託開発

[2] 株式会社シンセシス (<http://www.synthesis.co.jp/>)

代表の先生 : 大阪大学 白川 功名 名誉教授 (同社, 取締役)

事業内容 : (1) システム LSI 開発・設計受託
(2) IP 開発及び販売
(3) システムソリューション提供 / 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<http://www.asip-solutions.com/>)

代表の先生 : 大阪大学 今井正治 教授 (同社, 代表取締役 CTO)

事業内容 : (1) EDA ツールの提供
(2) 設計サービスとソリューション提供
(3) 自社 IP の開発

[4] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生 : 九州工業大学 中村和之 教授 (同社, 代表取締役)

事業内容 : (1) アナログ LSI 設計用 CAD ツールの開発
(2) メモリ LSI 自動設計ツールの開発

[5] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

代表の先生 : 広島大学 岩田 穆 名誉教授 (同社, 代表取締役)

事業内容 : (1) アナログ・RF 回路混載 SoC 設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

[6] 有限会社 石島電子技研 (<http://www.ops.dti.ne.jp/~ishijima/rd/>)

事業内容 : (1) ハードウェア開発
(2) ソフトウェア開発
(3) システム・コンサルティング

1.8 超微細リソグラフィー・ナノ計測拠点

VDECでは、武田先端知ビルスーパークリーンルームを工学部総合研究機構と共同で運用し、オープンな拠点として全国の学・産・官に広く公開している。H23年で終了したナノテクノロジーネットワーク事業に引き続き、東京大学を代表してH24年度より開始された文部科学省ナノテクノロジープラットフォームの微細加工実施機関となって、「超微細リソグラフィー・ナノ計測拠点」を運営している。一研究室では取得維持が困難な装置群を、組織的に維持管理し、学内外、特に学外の企業に公開するというプロジェクトである。VDECの微細加工拠点は、株式会社アドバンテスト社製の量産向け高速電子線描画装置を改造して、1cm角から8インチ丸までの任意形状にまで描画できるようにしたF5112+VD01を核に、武田先端知ビルスーパークリーンルームでの活動を支援している。また、VLSIファウンドリ活動の日本代表という立ち位置を最大限利用し、「フェニテックセミコンダクター」プロジェクトとの協業により、VLSIをVDECで試作し、ナノテクプラットで後加工するという新たな「More-Than-Moore」系の研究支援スキームを開

始した。実績は極めて好調で、提出され、審理機関（に受理された「利用報告書」は150件で、国内16拠点のうちで2番の優秀な成績であった。内訳は、①大企業による利用9件、②中小企業による利用3件、③東京大学以外の大学による利用32件、④公的機関による利用6件、⑤東京大学の学内他部局と、東京大学外の共同研究による利用33件、⑥東京大学の学内他部局による利用67件である。最も利用されている装置は電子線描画装置F5112+VD01であり、ナノプラット支援開始日2013年4月～2014年3月の間に、月平均160.2回(1,602回)描画を行った。外部共用率は99%、すなわち、利用可能な日には必ず誰かが利用をしていたという結果であった。ナノテクノロジープラットフォームのH24年度補正予算により、高速大面積電子線描画装置が、VDEC自身の概算要求を受けたH24年度補正予算により、高速バッチ処理エッチング装置(金属系、シリコン系)が整備され、さらに利用者の利便性が向上する。

URL:<http://nanotechnet.t.u-tokyo.ac.jp/>

第2章 「アドバンテスト D2T 寄附研究部門」 平成25年度活動報告

2.1 「アドバンテスト D2T 寄附研究部門」の紹介

2.1.1 アドバンテスト D2T 寄附研究部門 設立趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテスト D2T 寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテスト D2T 寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく“Design to Test(D2T)”の理念のもと、国内の大学・高専における「テスト研究・教育」の拠点として、「テストCOE (Center of Excellence)」を目標として活動を行っています。

D2T 寄附研究部門は当初予定していた3年間のプロジェクトが2010年9月に、第2期のプロジェクトが2013年9月にそれぞれ終了しましたが、株式会社アドバンテストのご厚意によって、2013年10月からさらに3年間の活動を継続することになりました。今年度は、第2期の終了と第3期の開始の年度にあたり、個々の研究、あるいは教育、シンポジウムについてもより充実した活動を行ってまいりました。その間、客員教授としてKrishnendu Chakrabarty教授(Duke University)、客員准教授としてSubash Shankar 准教授(City University of New York)にD2T 寄附研究部門のメンバーとして活躍していただきました。今後も、設計とテストの融合された分野での研究活動を行うとともに、シンポジウム等を通じた活動も行っていく予定です。

2.1.2 アドバンテスト D2T 寄附研究部門 構成員

スタッフ

- 客員教授 Krishnendu Chakrabarty (2013年9月～2013年11月, Duke University)
- 客員准教授 Subash Shankar (2013年5月～2013年7月, City University of New York)
- 特任准教授 小松 聡(～2014年3月)
- 特任助教 池野理門
- 特任研究員 James Tandon(～2013年8月)
- 特任研究員 Nguyen Ngoc Mai Khanh (2013年4月～)
- 共同研究員 山口隆弘(株式会社アドバンテスト研究所)
- 共同研究員 石田雅裕(株式会社アドバンテスト)
- 事務補佐員 岡崎真紀子

2.2 「第8回 D2T シンポジウム」開催報告

2013年10月24日(木)に「第8回 D2T シンポジウム」を開催致しました。

「アドバンテスト D2T 寄附研究部門」が東京大学大規模集積システム設計教育研究センター内に設立され、約6年が経過し、その間の研究成果の報告ならびに LSI のテスト分野で活躍されている著名な研究者の招待講演を企画し、大学の教員・学生のみならず企業の方々にも興味深い講演会となりました。招待講演者の方々は、いずれも、それぞれの分野での第一人者であり、大学・企業から100名を超える方々の参加により、大変盛況でした。

特に今回は、“Challenges and Solutions for Future LSI Systems and Testing”と題したパネルディスカッションを行いました。非常にアクティブな議論が繰り広げられました。将来の LSI システムとテストについて、プロセス技術から大学などでの教育まで広げて一までの、パネリストの方々のそれぞれのポジションからの提言に加えて、聴講者からも活発な意見が出されました。

VDEC では、今後も継続的に LSI のテストに関連したシンポジウム、講演会を予定しておりますので、是非ともご参加ください。

東京大学 VDEC 「アドバンテスト D2T 寄附研究部門」 2013 THU

第8回 D2Tシンポジウム 10/24

東京大学 武田先端知ビル 5階 武田ホール 10:00~18:20

東京大学大規模集積システム設計教育研究センターでは、株式会社アドバンテストからの寄附による「アドバンテスト D2T 寄附研究部門」において、“D2T (Design-to-Test)”の理念に基づき、「設計」と「テスト」の橋渡しを目的とした研究・教育活動を行っています。このたび、本寄附研究部門の最近の活動報告、ならびに、LSI の回路設計、テスト技術などの分野で活躍されている研究者の招待講演による「D2T シンポジウム」を開催いたします。

本シンポジウムでは、招待講演として、スイス連邦工科大学ローザンヌ校の Giovanni De Micheli 教授によるサイバーフィジカルシステムに関する講演、PDF Solutions Inc. の Chief Technologist で、米国カーネギーメロン大学の Andrzej Strojwas 教授による歩留り向上のためのテスト・設計方法論に関する講演、米国ワシントン大学の Mani Soma 教授による、ミクロシグナルデバイスのテスト技術に関する講演を予定しています。また、Challenges and Solutions for Future LSI Systems and Testing と題したパネルディスカッションを企画しています。

回路設計、テスト技術を含む幅広い講演を予定しており、皆様の研究・開発の一助となるようなシンポジウムを目指しています。多くの皆様の御参加をお待ちしています。

プログラム

10:00	開会の挨拶	東京大学 大規模集積システム設計教育研究センター長 浅田 邦博 株式会社アドバンテスト 代表取締役会長 丸山 利雄
10:10	セッション1	“Technologies and Platforms for Cyberphysical Systems” Giovanni De Micheli (Ecole Polytechnique Fédérale de Lausanne)
		“Test and Design-for-Testability Solutions for 2.5D/3D Integrated Circuits” Krishnendu Chakrabarty (University of Tokyo / Duke University)
		“Activities of VDEC Advantest D2T Research Division” Satoshi Komatsu (University of Tokyo)
12:05	昼食	
13:20	セッション2	“Universal Methodology for Yield Enhancement of ULSI’s s Employing Product Test, IC Layout and Comprehensive Suite of Characterization Vehicles” Andrzej J. Strojwas (Carnegie Mellon University / PDF Solutions, Inc.)
		“Signal and Noise : A Radical Perspective on Mixed-Signal Test Research and Education” Mani Soma (University of Washington)
		“A Stochastic Sampling Time-to-Digital Converter” Takahiro J. Yamaguchi (Advantest Laboratories)
15:15	休憩	
15:40	セッション3	“Synthesis from Oracles” Subash Shankar (University of Tokyo / Hunter College, City University of New York)
		“Layout Design for Practical Application of Electron-Beam Lithography with Character Projection Technique” Rimon Ikeno (University of Tokyo)
16:50	パネルディスカッション	“Challenges and Solutions for Future LSI Systems and Testing”
	モデレータ:	Krishnendu Chakrabarty (University of Tokyo / Duke University)
	パネリスト:	Andrzej Strojwas (Carnegie Mellon University / PDF Solutions, Inc.) Giovanni De Micheli (Ecole Polytechnique Fédérale de Lausanne) Mani Soma (University of Washington) Takahiro J. Yamaguchi (Advantest Laboratories)
18:10	閉会	
18:20	懇親会	

**武田ホール
武田先端知ビル
5F**

参加のお申し込み

【参加費】無料 【申し込み方法】以下のウェブサイトからの事前申込制
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2013.html>

主催：東京大学大規模集積システム設計教育研究センター (VDEC)
 後援：株式会社アドバンテスト
 協賛：(社)電子情報通信学会、(社)情報処理学会、(社)電子情報技術産業協会
 IEEE SSCS Japan Chapter、LSI テスティング学会、
 (社)パワーデバイス・イネープリング協会

お問い合わせ：東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
 〒113-0032 東京都文京区弥生2-11-16 武田先端知ビル404号室
 Tel: 03-5841-0233 FAX: 03-5841-1093
<http://www.vdec.u-tokyo.ac.jp/> E-Mail: komatsu@vdec.u-tokyo.ac.jp

Symposium Program

10:00	Opening Remark
	Kunihiro Asada (Director of VLSI Design and Education Center, University of Tokyo) Toshio Maruyama (Chairman of the Board and Representative Director, Advantest Corporation)
10:10	Session 1
	“Technologies and Platforms for Cyberphysical Systems” <i>Giovanni De Micheli (Ecole Polytechnique Federale de Lausanne)</i> “Test and Design-for-Testability Solutions for 2.5D/3D Integrated Circuits” <i>Krishnendu Chakrabarty (University of Tokyo / Duke University)</i> “Activities of VDEC Advantest D2T Research Division” <i>Satoshi Komatsu (University of Tokyo)</i>
12:05	Lunch
13:20	Session 2
	“Universal Methodology for Yield Enhancement of ULSIC's Employing Product Test, IC Layout and Comprehensive Suite of Characterization Vehicles” <i>Andrzej Strojwas (Carnegie Mellon University / PDF Solutions, Inc.)</i> “Signal and Noise: A Radical Perspective on Mixed-Signal Test Research and Education” <i>Mani Soma (University of Washington)</i> “A Stochastic Sampling Time-to-Digital Converter” <i>Takahiro J. Yamaguchi (Advantest Laboratories)</i>
15:15	Coffee Break
15:40	Session 3
	“Synthesis from Oracles” <i>Subash Shankar (University of Tokyo / City University of New York)</i> “Layout Design for Practical Application of Electron-Beam Lithography with Character Projection Technique” <i>Rimon Ikeno (University of Tokyo)</i> “Introduction of Multi-Purpose EB Lithography system F7000S” <i>Masahiro Takizawa (Advantest)</i>
17:00	Panel Discussion “Challenges and Solutions for Future LSI Systems and Testing”
	Moderator: Krishnendu Chakrabarty (University of Tokyo / Duke University) Panelists: Andrzej Strojwas (Carnegie Mellon University / PDF Solutions, Inc.) Giovanni De Micheli (Ecole Polytechnique Federale de Lausanne) Mani Soma (University of Washington) Takahiro J. Yamaguchi (Advantest Laboratories)
18:20	Closing Remark
18:30	Reception

2.3 「アドバンテスト D2T 寄附研究部門」 平成 25 年度研究報告

連続時間量子化法のタイミング雑音測定への応用

山口隆弘, James Tandon, Nguyen Ngoc Mai Khanh,
小松 聡, 浅田邦博

新しい確率的時間デジタル変換器 (TDC) を提案した。提案 TDC は、時間分解能を 180 fs から 770 fs まで微調整でき、その積分非直線性 INL は 0.6 LSB より小さく、ダイナミックレンジのオフセットを選ぶことができる。従来の確率的 TDC は、アービタ回路をもちいるため高時間分解能を実現できる。しかし、ダイナミックレンジは小さく、その校正は困難であった。提案した確率的 TDC は、コンパレータをデジション回路とし、ダイナミックレンジを精密にコントロールできる。

また、オフセット調整のための 63 並列コンパレータによる 6 ビットフラッシュ型アナログ - デジタル変換 (ADC) 回路のテストチップを試作した。これは我々が設計した最初の 28 nm FD (fully depleted) SOI プロセスのテストチップであり、ADC 回路の基本性能に加えてプロセスばらつきのコンパレータ性能への影響などの評価も行う計画である。

電源品質試験技術の研究

名倉 徹, 石田雅裕, 小松 聡, 浅田邦博

半導体プロセスの微細化により電源電圧が低下する一方で、高集積化により半導体デバイスの電源電流は増加傾向にある。このため、相対的にデバイス電源の電圧誤差・ノイズが増大し、デバイス試験時/実動作時の電源品質 (パワーインテグリティ) が重要となっている。

本研究では、半導体デバイスのオンチップ電源ノードにおける電源品質不良 (電源電圧不良, 電源インピーダンス不良) を検出する電源品質試験手法を提案した。提案手法は、被試験デバイス内のオンチップ・ノイズ源で被試験デバイスの動作に同期して電源品質を制御しながら、被試験デバイスの動作を観測することにより、オンチップ電源ノードにおける電源品質不良を評価する。また、オンチップ・ノイズ源の動作パターンを切り替えながら被試験回路の良否判定をおこなうことにより、オンチップ電源供給ネットワークにおける電源品質に対する被試験回路の耐力および動作マージンも試験できる。提案手法の原理確認のため、Rohm

0.18- μm CMOS プロセスで TEG チップを試作した。

アナログ回路向け構造試験手法の研究

小松 聡

本研究では、アナログ回路のテストにデジタル回路のテストに用いられるストラクチャルテストのアイデアを導入することで、システム LSI のテストを効率化することを目指す。システム LSI にはデジタル回路とアナログ回路の両者が搭載されていることを活かし、デジタル回路を用いてアナログ回路のストラクチャルテスト手法を提案し、自動テスト入力生成等のテスト容易化手法の確立を目的とする。

今年度は、デジタル回路とアナログ回路の両者が搭載されている回路における可制御性と可観測性についての検討を行い、可制御性と可観測性についての基礎的な実験を行った。

多様な露光対象に対応した高速かつ高精度な電子線直描露光手法の研究

池野理門, 小松 聡, 三田吉郎, 浅田邦博

電子線直描によるマスクレス露光技術は、安価かつ短 turn-around time (TAT) のリソグラフィ技術として、半導体集積回路のみならず MEMS デバイスやフォトリソグラフィデバイスの試作・製造においても広く活用されている。一方、電子線直描露光技術の課題として低いスループットが挙げられるが、これを解決する手段として、可変成形ビーム (Variable Shaped Beam; VSB) 方式やキャラクタプロジェクション (Character Projection; CP) 方式といった高速露光技術が実用化され、露光処理時間の短縮が図られてきた。一般に露光処理時間の短縮はビームのショット数の削減によって実現される。その際のレイアウトデータからビームへのデータ変換処理の過程を通して、所望のレイアウトに対して精度の低い近似図形が生成される、あるいはリソグラフィ後のデバイスの端面に荒れや不連続が生じる、等の弊害が見られることがある。

我々は、CP 方式を活用しながら上記の課題を克服し、MEMS やフォトリソグラフィ等の幅広い露光対象に対して有効な高速電子線直描処理環境を構築するための研究を、アドバンテスト社との共同研究として平成 25 年度より開始した。



初年度に当たる今年度は、武田先端知スーパークリーンルームの電子線露光装置のユーザとの情報交換を行い、電子線直描によるデバイス試作の課題と期待を抽出した。また、今年度に導入した新型の電子線露光装置のデータ変換処理手法を参照しながら独自のデータ変換処理環境のソフトウェア・フレームワークを検討し、図形処理ルーチンおよびレイアウト・ツールとのインターフェイスなどの実装を行った。さらに、幅広い露光対象に対応したCPキャラクタ・セット検討のためのデータ収集を目的としたCPマスクの設計を行った。

2.4 研究発表

論文誌

- [1] Rimon Ikeno, Takashi Maruyama, Satoshi Komatsu, Tetsuya Iizuka, Makoto Ikeda, Kunihiro Asada, "High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection with One-dimensional VIA Characters," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E96-A, No.12, pp.2458-2466, Dec. 2013.

国際会議・国際シンポジウム・ 国際ワークショップ

- [1] James S. Tandon, Takahiro J. Yamaguchi, Satoshi Komatsu, and Kunihiro Asada, "A Stochastic Sampling Time-to-Digital Converter with Tunable 180-770fs Resolution, INL less than 0.6LSB,

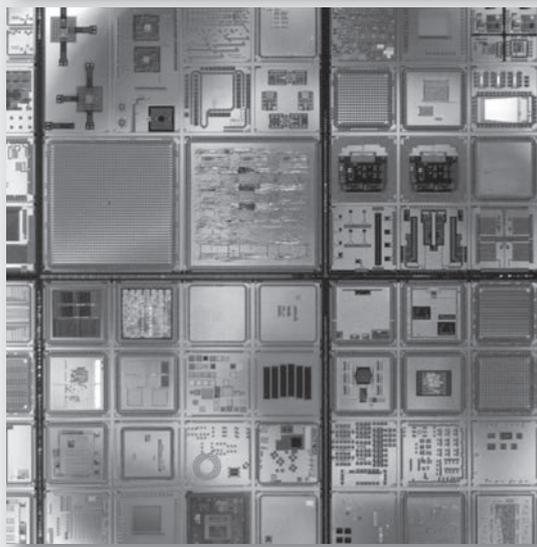
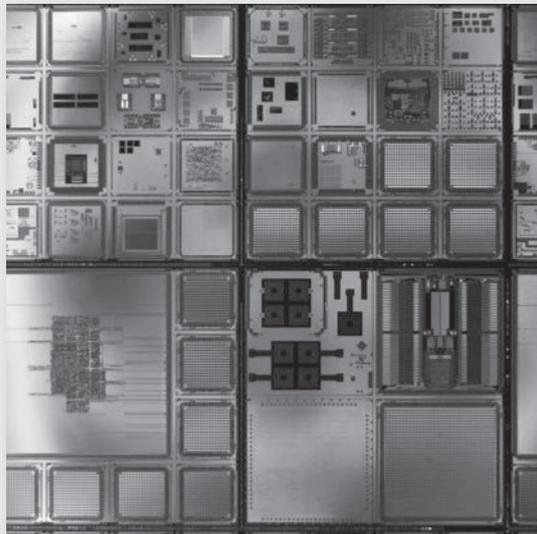
and Selectable Dynamic Range Offset,"IEEE Custom Integrated Circuits Conference (CICC), September 2013.

- [2] Takahiro. J. Yamaguchi, James S. Tandon, Satoshi Komatsu, and Kunihiro Asada, "A Novel Test Structure for Measuring Variance of Threshold Voltage in MOSFETs," 2013 IEEE International Test Conference, September 2013.
- [3] S. Komatsu, "On-chip Measurement / Monitor Circuits Based-on Stochastic Approach," 2013 International Test Conference (Elevator Talk), September 2013.

特許等

- [1] 古川靖夫, Goerschwin Fey, 小松聡, 藤田昌宏, 「Test Apparatus, Test Method and Recording Medium」, 台湾特許第I392887号

第3章 チップ試作結果報告



3. 1 試作ラン別一覧

平成25年7月 e-Shuttle CMOS 65nm 試作 (ES65131)

題名	大学名	研究者	掲載頁
Pulse Transceiver with Leakage Cancellation	東京大学工学系研究科	Nguyen Ngoc Mai Khanh, Parit Kanjanavirojkul	35
Enhanced-Transmitted-Power Pulse Transceiver with Leakage Cancellation	東京大学工学系研究科	Nguyen Ngoc Mai Khanh, Parit Kanjanavirojkul	35
低電圧・低消費電力 RF CMOS トランシーバ	東京工業大学ソリューション研究機構 東京工業大学精密工学研究所	石原 昇, 益 一哉 伊藤 浩之	35
ニアスレッショルド領域におけるエネルギー高効率化に関する研究	京都大学大学院情報学研究所通信情報システム専攻	小野寺 秀俊, 石原 亨, 西澤 真一, Islam A.K.M. Mahfuzul, 釜江 典裕, 近藤 正大, 西村 彰平	36

平成25年度第1回オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08131)

題名	大学名	研究者	掲載頁
MEMS マイクロロボットの動作制御回路用ハードウェアニューロンモデル TEG	日本大学理工学部 日本大学大学院理工学研究科	日高 智浩, 関根 好文, 内木場 文男, 齊藤 健 内藤 友香	37
シュミットトリガ回路を用いた電圧制御発振器	東海大学基盤工学部 東海大学産業工学部	藤本 邦昭 原田 裕二郎	37
アナログ2入力 ANC 回路とハウリング低減回路の試作	名古屋工業大学大学院工学研究科	加藤 正史, 久保 真奈美, 山中 星良	37
0.8 um CMOS プロセスによる高速光検出器	金沢大学大学院自然科学研究科電子情報科学専攻 金沢大学理工研究域電子情報学系	刑部 遼一 丸山 武男, 飯山 宏一	38
アナログ回路とインダクタ、素子評価 TEG の試作	電気通信大学情報理工学部	大澤 衛	38
センサ信号処理向け CMOS 回路	山梨大学教育人間科学部	小川 寛美	38

平成24年度第5回ローム CMOS 0.18um 試作 (RO18125)

題名	大学名	研究者	掲載頁
A PWPLL designed with a PWPLL compiler	東京大学工学部	峠 仁人	39
注目領域画素並列検波処理による3次元形状取得向けイメージセンサ	東京大学工学部 東京大学大学院工学系研究科	松島 多佳彦 池田 誠	39
宇宙用 CVSL 回路及び性能比較解析用 CMOS 回路	静岡理工科大学理工学部	波多野 裕, 白井 哉秀, 木内 恭介, 石切山 信二	39
ESR 多値 ReRAM	金沢大学医薬保険学域 金沢大学自然科学研究科	中山 和也 河合 一樹	40
デジタル・アナログ並列型 LDO 電圧レギュレータ	東京大学生産技術研究所	森 雄章, 更田 裕司, 高宮 真, 桜井 貴康	40
MOSFET を用いた可逆演算回路	横浜国立大学大学院工学府	井上 孔佑, 佐々木 悠太, 吉川 信行	40
電流モード A/D 変換器の高精度化手法実現のための高線形性入力回路	中央大学理工学研究科	太田 昌伸, 正藤 祐輔, 米澤 祐二, 坂東 和馬, 金子 成吾	41
集積化磁気センサの最適化構造の特性評価用 TEG	茨城大学工学部	木村 孝之	41
画像認識用プロセッサ	金沢大学理工研究域電子情報学系	深山 正幸	41
可視光通信用光受信回路	慶應義塾大学理工学部	藤代 瞬也, 松本 佳宣	42
アナログ回路およびデジタル回路 TEG の試作	電気通信大学院情報理工学研究科	大澤 衛, 蓬田 拓夢	42
遅延故障および断線故障テスト用回路の試作	徳島大学大学院先端科学技術教育部 徳島大学大学院ソシオテクノサイエンス研究部	小西 朝陽, 西條 慎吾, 二宮 孝暢, 日下 敬雄, 梅津 翔一, 櫻井 浩希 四柳 浩之, 橋爪 正樹	42
擬似的不規則画素配置イメージセンサ	金沢大学理工学域	秋田 純一, 五十嵐 寛	43
確率的 TDC 回路	東京大学大規模集積システム設計教育研究センター	小松 聡	43
インダクタおよび発振器評価 TEG	呉工業高等専門学校電気情報工学科	外谷 昭洋	43
アナログ回路用ライブラリおよび素子評価 TEG の試作	高知工科大学工学部システム工学群 高知工科大学大学院基盤工学専攻	橘 昌良, 坂東 拓也, 渡辺 勇磨 西面 尚彰	44
ゲート酸化膜の破壊位置制御評価回路	東京大学生産技術研究所	更田 裕司, 高宮 真, 桜井 貴康	44

低電圧 CMOS アナログ回路の試作	明治大学理工学研究科 明治大学理工学部	小林 優太, 高橋 康仁, 伊藤 遼 高野 真志	44
多チャンネル皮膚脳波信号計測チップ	大阪大学大学院生命機能研究科 広島大学大学院先端物質科学研究科	鈴木 隆文, 安藤 博士 吉田 毅	45
半導体検出器用電荷有感型前置増幅器の試作	東北大学大学院工学研究科	清水 陽太, 菊池 洋平	45
チップ内部デジタルノイズ観察用 T E G	東北大学国際集積エレクトロニクス研究開発センター	遠藤 哲郎	45
不揮発性 SRAM	金沢大学医薬保健研究域	中山 和也	46
断熱的論理回路 CSSAL による 4bit ガロア体乗算器	岐阜大学大学院工学研究科	Monteiro Cancio, 高橋 康宏	46
非接触給電を搭載した微粒子操作チップ	大阪大学大学院工学研究科	崔 冀, 岩崎 敏介, 松岡 俊匡	46
10GHz 帯域の CMOS アバランシェ光検出器	金沢大学大学院自然科学研究科電子情報科学専攻 金沢大学理工研究域電子情報学系	霜鳥 敏之 丸山 武男, 飯山 宏一	47
DC-DC コンバータ回路 TEG1	金沢大学大学院自然科学研究科	細川 淳平, 深山 正幸, 松田 吉雄	47
ホールセンサアレイチップの省電力化	豊橋技術科学大学電気・電子情報工学系	村上 裕二, 井美 椋太	47
パワーインテグリティ評価チップ 1	芝浦工業大学理工学研究科	市村 航	48
パワーインテグリティ評価チップ 2	芝浦工業大学理工学研究科	市村 航	48

平成 25 年度第 1 回ローム CMOS 0.18um 試作 (RO18131)

題 名	大 学 名	研 究 者	掲載頁
静電アクチュエータ用自律分散型制御回路	東京大学工学系研究科 東京大学先端科学技術研究センター	劉 俊安 丸山 智史, 年吉 洋	49
デジタル・アナログ並列型 LDO 電圧レギュレータ	東京大学生産技術研究所	森 雄章, 更田 裕司, 高宮 真, 桜井 貴康	49
Gate Controlled Diode と基板バイアス効果のスケーリング性検討 TEG	金沢工業大学工学部電気系	田篠 奏, 井田 次郎	49
SFQ/CMOS ハイブリッドメモリ用 64-kb CMOS メモリ	横浜国立大学大学院工学府	佐々木 悠太, 吉川 信行	50
MOSFET を用いた可逆演算回路	横浜国立大学大学院工学府	井上 孔佑, 吉川 信行	50
低周波数発振可能な CPG モデルと多値 SRAM の試作	日本大学理工学部	二瓶 乃亮, 小久保 智彬, 奥山 敦司, 真下 祐一, 佐伯 勝敏	50
アナログ回路試作	電気通信大学情報理工学研究科 電気通信大学情報理工学部	蓬田 拓夢, 大澤 衛 塩野谷 雅仁	51
インダクタおよび発振器評価 TEG	呉工業高等専門学校電気情報工学科	外谷 昭洋	51
インダクタおよび発振器評価 TEG	呉工業高等専門学校電気情報工学科	外谷 昭洋	51
DS Time to Digital Converter および LC Digital Controlled Oscillator の試作	法政大学大学院工学研究科 法政大学理工学部	嘉藤 貴博 中村 有輝, 石川 悠介	52
圧力センサ用多チャンネル CV 変換回路の設計	富山県立大学大学院工学研究科情報システム工学専攻 富山県立大学工学部情報システム工学科	和泉 幸司 松田 敏弘, 岩田 栄之	52
SRAM 評価用 TEG 及びリング発振回路評価用 TEG	九州工業大学情報工学部	伊見 仁, 福田 知宏, 中村 和之	52
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科	伊藤 遼, 小林 直弘, 佐藤 雅紀, 石原 貴大	53
サイドチャネル攻撃対策 AES と PUF 技術を用いた耐タンパ認証システム向けのセキュア LSI	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	鶴飼 慎太郎, 柴谷 恵, 浅川 俊介 汐崎 充 藤野 毅	53
レーザー照射によるフォールト攻撃の検証用 TEG チップ	立命館大学理工学部 立命館大学理工学研究科 立命館大学総合理工学研究機構	中野 将志, 藤野 毅 中井 綱人, 浅川 俊介 汐崎 充	53
レーザー照射によるフォールト攻撃の検証用 TEG チップ	立命館大学理工学部 立命館大学理工学研究科 立命館大学総合理工学研究機構	中野 将志, 藤野 毅 中井 綱人, 浅川 俊介 汐崎 充	54
サイドチャネル攻撃評価用 AES 暗号回路	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	中井 綱人, 鶴飼 慎太郎, 柴谷 恵, 浅川 俊介 汐崎 充 藤野 毅	54
バッテリクロック測定システムの改良,及び単チップで動作するマイクロシステムのための電源回路	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	中山 涉, 安田 陽平, 野村 一樹, 小野 東輝, 川島 拓也 中野 誠彦	54
オンチップ太陽電池の開発チップ 1	東洋大学総合情報学部	堀口 文男	55
オンチップ太陽電池の開発チップ 2	東洋大学総合情報学部	堀口 文男	55

オフチップ共振回路を用いた断熱的論理用低消費電力電源回路	岐阜大学工学部	高橋 康宏, 佐藤 比佐夫	55
断熱的論理回路 CAASL による 8bit-Sbox	岐阜大学大学院工学研究科	Monteiro Cancio, 高橋 康宏	56
高周波・高空間分解能のマイクロ磁界プローブの開発	東北大学大学院工学研究科	山口 正洋, 室賀 翔, 重田 洋二郎	56
液中オンチップ微粒子操作用非接触電力伝送集積回路(1)	大阪大学大学院工学研究科	出井 良明, 岩崎 紘介, 崔 冀, 松岡 俊匡	56
液中オンチップ微粒子操作用非接触電力伝送集積回路(2)	大阪大学大学院工学研究科	出井 良明, 岩崎 紘介, 崔 冀, 松岡 俊匡	57
ワイヤレス給電用高効率同期整流器	慶應義塾大学理工学部	橋場 惇輝, 石黒 仁揮	57
高速スイッチング SIDO DC-DC コンバータ	慶應義塾大学理工学部	川尻 徹, 石黒 仁揮	57
土壌センサ用評価チップ	豊橋技術科学大学	二川 雅登	58
DC-DC コンバータ回路 TEG2	金沢大学大学院自然科学研究科	細川 淳平, 深山 正幸, 松田 吉雄	58
ホールセンサアレイ TEG チップ	豊橋技術科学大学電気・電子情報工学系	村上 裕二, 井美 椋太	58
パワーインテグリティ評価チップ 3	芝浦工業大学理工学研究科	市村 航	59
パワーインテグリティ評価チップ 4	芝浦工業大学理工学研究科	市村 航	59

平成25年度第2回ローム CMOS 0.18um 試作 (RO18132)

題 名	大 学 名	研 究 者	掲載頁
視線検出機能を持つ列並列処理構成イメージセンサのテスト回路	金沢大学理工学域	秋田 純一, 五十嵐 寛	60
一時故障・永久故障に強靱な多重化バイプラインプロセッサ blurDMR	奈良先端科学技術大学院大学情報科学研究科 京都工芸繊維大学電子システム工学専攻	姚 駿, 中島 康彦 岡田 翔伍, 小林 和淑	60
降圧型 DC-DC バックコンバータ回路	東京大学生産技術研究所	柳原 裕貴, 更田 裕司, 高宮 真, 桜井 貴康	60
高速起動水晶発振回路	東京大学生産技術研究所	井口 俊太, 更田 裕司, 高宮 真, 桜井 貴康	61
環境 RF 発電向け Gate Controlled Diode と整流回路 TEG	金沢工業大学工学部電気系	梅棹 遼, 田篠 奏, 井田 次郎	61
SFQ/CMOS ハイブリッドメモリ用 64-kbCMOS メモリにおけるメモリエセルの最小設計	横浜国立大学大学院工学部	佐々木 悠太, 吉川 信行	61
RF 無線給電フォロンとエンド及び受信機 TEG	豊橋技術科学大学工学研究科	浅井 翔地, 寺田 直樹, 秋田 一平	62
インバータベース $\Delta\Sigma$ 変調器とナノワイヤ/CMOS 異種技術集積化	上智大学理工学部	道又 賢司, 島本 一成, 渡邊 龍郎, 和保 孝夫	62
低電圧信号処理回路	慶應義塾大学理工学部	川村 恭平, 松本 佳宣	62
遅延故障および断線故障テスト用回路の試作	徳島大学大学院先端科学技術教育部 徳島大学大学院ソシオテクノサイエンス研究部	末永 翔平, 西條 慎吾, 二宮 孝暢, 日下 敬雄, 梅津 翔一, 櫻井 浩希 四柳 浩之, 橋爪 正樹	63
スキャンイン電力低減および遅延測定の改良	九州工業大学大学院情報工学研究科	佐藤 康夫, 梶原 誠司, 加藤 隆明	63
圧力センサ用多チャンネル CV 変換回路の設計	富山県立大学大学院工学研究科情報システム工学専攻 富山県立大学工学部情報システム工学科	和泉 幸司 松田 敏弘, 岩田 栄之	63
ゲート酸化膜の破壊位置制御評価回路	東京大学生産技術研究所	更田 裕司, 高宮 真, 桜井 貴康	64
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科 明治大学理工学部	伊藤 遼, 栗山 翔太郎 満田 亮	64
半導体検出器用信号増幅回路の試作	東北大学大学院工学研究科	清水 陽太, 菊池 洋平	64
漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用 TEG チップ	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	中井 綱人, 浅川 俊介 汐崎 充 藤野 毅	65
電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによる HMDR ROM を利用した AES 暗号回路	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	鶴飼 慎太郎, 浅川 俊介 汐崎 充 藤野 毅	65
リバースエンジニアリング対策に向けた DPD アーキテクチャと、新たなプログラマブルアナログ回路 VPA アーキテクチャの試作	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	堀 遼平, 上田 佳祐 汐崎 充 藤野 毅	65
脂質平面膜用システムに適合する IV コンバータの設計及び単チップで動作するマイクロシステムのためのキャパシタとオンチップアンテナ	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	安田 陽平, 小野 東輝 中野 誠彦	66
パワーインテグリティ評価チップ 5	芝浦工業大学理工学研究科	市村 航	66
パワーインテグリティ評価チップ 6	芝浦工業大学理工学研究科	市村 航	66
直交変調器の試作	会津大学コンピュータ理工学研究科	高橋 寛太, 東原 恒夫	67

平成25年度第3回ローム CMOS 0.18um 試作 (RO18133)

題 名	大 学 名	研 究 者	掲載頁
SPAD 特性評価用 TEG	東京大学工学系研究科 東京大学 VDEC	楊 駿, 飯塚 哲也 朱 弘博, 名倉 徹, 浅田 邦博	68
A hyperparallel image filtering digital-pixel-sensor employing a kernel-adaptive compressed-multiplication technique	東京大学 VDEC	朱 弘博, 浅田 邦博	68
Transmission-line-based pulse generator	東京大学工学系研究科	Parit Kanjanavirojkul	68
電源ノイズ発生および測定回路 その1	東京大学 VDEC	名倉 徹	69
電源ノイズ発生および測定回路 その2	東京大学 VDEC	名倉 徹	69
電源ノイズ発生および測定回路 その3	東京大学 VDEC	名倉 徹	69
電源ノイズ発生および測定回路 その4	東京大学 VDEC	名倉 徹	70
Integrated magnetic probe to measure and analyze near-field magnetic map on cryptography LSI chips	東京大学 VLSI Design and Education Center (VDEC)	Mai Khanh	70
フォールト攻撃対策 AES 暗号回路に対するハードウェアロイの実装	名城大学大学院理工学研究科情報工学専攻 名城大学理工学部情報工学科	塚平 峻矢 吉川 雅弥	70
宇宙用 CVSL 回路及び性能比較解析用 CMOS 回路	静岡理工科大学理工学部	波多野 裕, 藤田 貴大, 中村 高基, 池田 大地, 椿原 茂樹, 上江洲 トモヒデ, 市川 満	71
ESR、微小変位、コンパレータ、ReRAM の設計	金沢大学医薬保健学域 金沢大学大学院自然科学研究科 金沢大学理工学域	中山 和也 真田 圭, 林 雅隆 北川 章夫	71
自己調整機能を持つ回路の試作	早稲田大学高等研究所 早稲田大学理工学術院	史 又華 戸川 望, 柳澤 政生	71
局所的なゲート駆動電圧ブーストを用いたレベルシフト	東京大学生産技術研究所	染谷 晃基, 更田 裕司, 高宮 真, 桜井 貴康	72
MOSFET を用いた可逆演算回路	横浜国立大学大学院工学府	井上 孔佑, 西村 考正, 吉川 信行	72
k 近傍法に基づいた低消費電力かつ高速処理が可能なユークリッド距離検索連想メモリベースの汎用的学習・認識 SoC	広島大学ナノデバイス・バイオ融合科学研究所 広島大学大学院先端物質科学研究科	マタウシュ ハンス ユルゲン, 安豊 偉 赤澤 智信, 山崎 翔悟	72
時空間方向に露光制御可能なイメージセンサ	東京理科大学工学研究科	山崎 智裕, 浜本 隆之	73
発火タイミングに依存した可塑シナプスモデルと CPG モデルの試作	日本大学理工学部	山下 大地, 二瓶 乃亮, 小久保 智彬, 奥山 敦司, 佐伯 勝敏	73
3 状態制御方式昇圧型電流モード DC-DC コンバータの試作	中央大学理工学研究科	小館 直人, 渡辺 啓, 安倍 幹織	73
NBTI 劣化の高並列測定回路	京都大学情報学研究所	栗野 皓光, 廣本 正之, 佐藤 高史	74
圧縮センシングイメージセンサ	京都大学情報学研究所	藤田 隆史, 廣本 正之, 佐藤 高史	74
冗長性を用いた逐次近似型アナログデジタル変換器	上智大学理工学部	栗栖 裕樹, 佐々木 達也, 和保 孝夫	74
擬似的不規則画素配置を持つ CMOS イメージセンサ	金沢大学理工学域	秋田 純一, 笹田 佑太, 井崎 千尋	75
アナログ回路用ライブラリおよび素子評価 TEG の試作 (2)	高知工科大学工学部システム工学群 高知工科大学大学院基盤工学専攻	橘 昌良, 村本 竜昇, 山田 健太 西面 尚彰	75
アナログ回路用ライブラリおよび素子評価 TEG の試作 (3)	高知工科大学システム工学群 高知工科大学大学院基盤工学専攻	橘 昌良, 板坂 直哉, 中村 達彦, 村本 竜昇 坂東 拓弥	75
DFT のスキャンイン・アウトおよびキャパチャ電力評価	九州工業大学大学院情報工学研究院	佐藤 康夫, 梶原 誠司, 王 森レイ	76
2.5GHz Injection Lock Analog-PLL および Clock and Data Recovery 用 Phase Detector の試作	法政大学大学院工学研究科 法政大学理工学部	嘉藤 貴博 中村 有輝, 石川 悠介	76
チップ設計技術および測定技術習得用 SRAM 回路	九州工業大学情報工学部	近藤 敬宏, 徳丸 翔吾, 久保 直也, 中村 和之	76
ゲート酸化膜の破壊位置を利用した OTP メモリ	東京大学生産技術研究所	更田 裕司, 高宮 真, 桜井 貴康	77
多チャンネル皮膚脳波信号計測チップ	大阪大学大学院生命機能研究科 広島大学大学院先端物質科学研究科	鈴木 隆文, 安藤 博士 吉田 毅	77
半導体検出器用信号増幅回路の試作	東北大学大学院工学研究科	清水 陽太, 菊池 洋平	77
MDR-ROM におけるデータ読み出し遅延差を用いた PUF (MDR-ROM PUF)	立命館大学理工学研究科 立命館大学総合理工学研究機構 立命館大学理工学部	菅谷 周平, 西村 隆志, 竹内 章浩, 浅川 俊介 汐崎 充 藤野 毅	78
0.18μmCMOS を用いたパッチクランプ測定システムの改良, 及び単チップで動作するマイクロシステムのための発振回路	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	中山 渉, 小野 東輝, 川島 拓也 四つ田 大樹, 渡邊 淳史, 中野 誠彦	78

A novel methodology for the implementation of a switched-capacitor voltage reference	早稲田大学情報生産システム研究科	張 浩, 吉原 務	78
微粒子操作向け容量変化検出回路	大阪大学大学院工学研究科	岩崎 紘介, 松岡 俊匡	79
太陽電池用制御回路およびリング発振器	中部大学工学部 中部大学	石井 清 宮本 順一	79
無線受信機に用いる新たな 1bit 分解能 A/D 変換器	山梨大学工学部	兼本 大輔	79

平成 25 年度第 4 回ローム CMOS 0.18um 試作 (RO18134)

題 名	大 学 名	研 究 者	掲載頁
Channel charge injection based low power thresholding circuits	東京大学 VDEC	朱 弘博, 浅田 邦博	80
パルス再生リングを用いたパルス幅積分器によるゼロ位相オフセット PWPLL と DLL/TDC 電圧モニタリングによるオンチップ電源変動抑制回路	東京大学工学部電気電子工学科 東京大学 VDEC	矢野 智比古, 山内 善高 名倉 徹, 浅田 邦博	80
ホール効果を用いたオンチップ磁気センサ	東京大学生産技術研究所	染谷 晃基, 更田 裕司, 高宮 真, 桜井 貴康	80
64-kbCMOS メモリにおける低消費電力設計	横浜国立大学大学院工学府	佐々木 悠太, 吉川 信行	81
複数の走査回路を搭載したイメージセンサ	東京理科大学工学研究科	箱石 広之, 小林 崇, 浜本 隆之	81
ノイズ相関行列を用いた LNA の設計手法の検討回路の試作	中央大学理工学研究科	猪股 昇, 薬師寺 祐介	81
アナログ基本回路試作演習	上智大学理工学部	石田 宇一, 小原 一馬, 山崎 雄 介, 和保 孝夫	82
ニューロン CMOS インバータを用いた CAM	東海大学基盤工学部 東海大学産業工学部	藤本 邦昭 原田 裕二郎	82
電源品質試験用 TEG 回路	東京大学大規模集積システム設計教育研究 センター 株式会社アドバンテスト	小松 聡, 名倉 徹 石田 雅裕	82
大規模回路での DFT のスキャンイン電力評価	九州工業大学大学院情報工学研究院	佐藤 康夫, 梶原 誠司, 三宅 庸資	83
CMOS LSI チップ内の温度分布の解析	富山県立大学工学部	松田 敏弘, 岩田 栄之	83
ゲート酸化膜の破壊位置を利用した OTP メモリ	東京大学生産技術研究所	更田 裕司, 高宮 真, 桜井 貴康	83
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科	伊藤 遼, 高野 真志	84
多チャンネル皮膚脳波信号計測チップ	大阪大学大学院生命機能研究科 広島大学大学院先端物質科学研究科	鈴木 隆文, 安藤 博士 吉田 毅	84
生体信号記録システム用可変利得増幅回路とシリアルパラレル変換機及び単チップで動作するマイクロシステムのための電源回路と発振回路	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	小野 東輝, 川島 拓也 渡邊 淳史, 四つ田 大樹, 中野 誠 彦	84
高周波・高空間分解能のマイクロ磁界プローブの開発	東北大学大学院工学研究科	山口 正洋, 室賀 翔, 重田 洋二郎	85
センサ信号処理向け CMOS 回路	山梨大学教育人間科学部	小川 覚美, 永井 正成	85
位相同期回路の干渉ノイズ検証用 TEG	大阪工業大学大学院工学研究科 電気電子 工学専攻	清水 真司, 森下 宗瑛, 肥田 晃一 郎, 水野 順貴, 酒見 謙一, 吉村 勉	85
エネルギーハーベスト及び非接触給電向け整流器及び昇圧回路 TEG	信州大学工学部	篠原 秀樹, 宮地 幸祐	86
断熱的論理回路を用いたデジタル PWM 回路	山形大学理工学研究科	横山 道央, 趙 勝一, 澤田 直樹	86

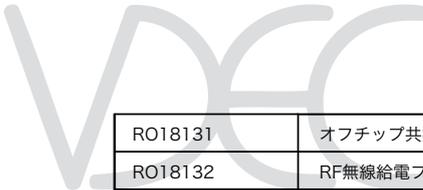
3. 2 チップ種別一覧

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08131	アナログ回路とインダクタ、素子評価TEGの試作	大澤 衛	38
RO18125	宇宙用CVSL回路及び性能比較解析用CMOS回路	波多野 裕, 白井 哉秀, 木内 恭介, 石切山 信二	39
RO18125	集積化磁気センサの最適化構造の特性評価用TEG	木村 孝之	41
RO18125	遅延故障および断線故障テスト用回路の試作	小西 朝陽, 西條 慎吾, 二宮 孝暢, 日下 敬雄, 梅津 翔一, 櫻井 浩希, 四柳 浩之, 橋爪 正樹	42
RO18125	確率的TDC回路	小松 聡	43
RO18125	ゲート酸化膜の破壊位置制御評価回路	更田 裕司, 高宮 真, 桜井 貴康	44
RO18125	チップ内部デジタルノイズ観察用TEG	遠藤 哲郎	45
RO18131	Gate Controlled Diodeと基板バイアス効果のスケール性検討TEG	田篠 奏, 井田 次郎	49
RO18131	レーザー照射によるフォールト攻撃の検証用TEGチップ	中野 将志, 藤野 毅, 中井 綱人, 浅川 俊介, 汐崎 充	53
RO18131	レーザー照射によるフォールト攻撃の検証用TEGチップ	中野 将志, 藤野 毅, 中井 綱人, 浅川 俊介, 汐崎 充	54
RO18131	オンチップ太陽電池の開発チップ1	堀口 文男	55
RO18131	オンチップ太陽電池の開発チップ2	堀口 文男	55
RO18131	高周波・高空間分解能のマイクロ磁界プローブの開発	山口 正洋, 室賀 翔, 重田 洋二郎	56
RO18132	高速起動水晶発振回路	井口 俊太, 更田 裕司, 高宮 真, 桜井 貴康	61
RO18132	環境RF発電向けGate Controlled Diodeと整流回路TEG	梅棹 遼, 田篠 奏, 井田 次郎	61
RO18132	遅延故障および断線故障テスト用回路の試作	末永 翔平, 西條 慎吾, 二宮 孝暢, 日下 敬雄, 梅津 翔一, 櫻井 浩希, 四柳 浩之, 橋爪 正樹	63
RO18132	スキャンイン電力低減および遅延測定の改良	佐藤 康夫, 梶原 誠司, 加藤 隆明	63
RO18132	ゲート酸化膜の破壊位置制御評価回路	更田 裕司, 高宮 真, 桜井 貴康	64
RO18132	漏洩電磁波を用いたサイドチャンネル攻撃のリーク要因検証用TEGチップ	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	65
RO18133	SPAD特性評価用TEG	楊 驍, 飯塚 哲也, 朱 弘博, 名倉 徹, 浅田 邦博	68
RO18133	宇宙用CVSL回路及び性能比較解析用CMOS回路	波多野 裕, 藤田 貴大, 中村 高基, 池田 大地, 椿原 茂樹, 上江洲 トモヒデ, 市川 満	71
RO18133	自己調整機能を持つ回路の試作	史 又華, 戸川 望, 柳澤 政生	71
RO18133	局所的なゲート駆動電圧ブーストを用いたレベルシフタ	染谷 晃基, 更田 裕司, 高宮 真, 桜井 貴康	72
RO18133	NBT劣化の高並列測定回路	栗野 皓光, 廣本 正之, 佐藤 高史	74
RO18133	DFTのスキャンイン・アウトおよびキャパチャ電力評価	佐藤 康夫, 梶原 誠司, 王 森レイ	76
RO18133	ゲート酸化膜の破壊位置を利用したOTPメモリ	更田 裕司, 高宮 真, 桜井 貴康	77
RO18133	MDR-ROMにおけるデータ読み出し遅延差を用いたPUF (MDR-ROM PUF)	菅谷 周平, 西村 隆志, 竹内 章浩, 浅川 俊介, 汐崎 充, 藤野 毅	78
RO18133	太陽電池用制御回路およびリング発振器	石井 清, 宮本 順一	79
RO18134	Channel charge injection based low power thresholding circuits	朱 弘博, 浅田 邦博	80
RO18134	ホール効果を用いたオンチップ磁気センサ	染谷 晃基, 更田 裕司, 高宮 真, 桜井 貴康	80
RO18134	電源品質試験用TEG回路	小松 聡, 名倉 徹, 石田 雅裕	82
RO18134	大規模回路でのDFTのスキャンイン電力評価	佐藤 康夫, 梶原 誠司, 三宅 庸資	83
RO18134	CMOS LSIチップ内の温度分布の解析	松田 敏弘, 岩田 栄之	83
RO18134	ゲート酸化膜の破壊位置を利用したOTPメモリ	更田 裕司, 高宮 真, 桜井 貴康	83
RO18134	高周波・高空間分解能のマイクロ磁界プローブの開発	山口 正洋, 室賀 翔, 重田 洋二郎	85
RO18134	位相同期回路の干渉ノイズ検証用TEG	清水 真司, 森下 宗瑛, 肥田 晃一郎, 水野 順貴, 酒見 謙一, 吉村 勉	85
RO18134	エネルギーハーベスト及び非接触給電向け整流器及び昇圧回路TEG	篠原 秀樹, 宮地 幸祐	86

アナデジ混載

ラン名	タイトル	研究者	掲載頁
ES65131	ニアスレッシュホールド領域におけるエネルギー高効率化に関する研究	小野寺 秀俊, 石原 亨, 西澤 真一, Islam A.K.M. Mahfuzul, 釜江 典裕, 近藤 正大, 西村 彰平	36
RO18125	多チャンネル皮質脳波信号計測チップ	鈴木 隆文, 安藤 博士, 吉田 毅	45
RO18131	サイドチャンネル攻撃対策AESとPUF技術を用いた耐タンパ認証システム向けのセキュアLSI	鶴岡 慎太郎, 柴谷 恵, 浅川 俊介, 汐崎 充, 藤野 毅	53



RO18131	オフチップ共振回路を用いた断熱的論理用低消費電力電源回路	高橋 康宏, 佐藤 比佐夫	55
RO18132	RF無線給電フォロンとエンド及び受信機TEG	浅井 翔也, 寺田 直樹, 秋田 一平	62
RO18132	リバースエンジニアリング対策に向けたDPDアーキテクチャと、新たなプログラムブルアナログ回路VPAアーキテクチャの試作	堀 遼平, 上田 佳祐, 汐崎 充, 藤野 毅	65
RO18133	多チャンネル皮質脳波信号計測チップ	鈴木 隆文, 安藤 博士, 吉田 毅	77
RO18134	多チャンネル皮質脳波信号計測チップ	鈴木 隆文, 安藤 博士, 吉田 毅	84

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO18125	ESR 多値ReRAM	中山 和也, 河合 一樹	40
RO18125	画像認識用プロセッサ	深山 正幸	41
RO18125	低電圧CMOSアナログ回路の試作	小林 優太, 高橋 康仁, 伊藤 遼, 高野 真志	44
RO18125	半導体検出器用電荷有感型前置増幅器の試作	清水 陽太, 菊池 洋平	45
RO18125	パワーインテグリティ評価チップ1	市村 航	48
RO18125	パワーインテグリティ評価チップ2	市村 航	48
RO18131	圧力センサ用多チャンネルCV変換回路の設計	和泉 幸司, 松田 敏弘, 岩田 栄之	52
RO18131	低電圧CMOSアナログ回路の試作	伊藤 遼, 小林 直弘, 佐藤 雅紀, 石原 貴大	53
RO18131	断熱的論理回路CAASLによる8bit-Sbox	Monteiro Cancio, 高橋 康宏	56
RO18131	土壌センサ用評価チップ	二川 雅登	58
RO18131	パワーインテグリティ評価チップ3	市村 航	59
RO18131	パワーインテグリティ評価チップ4	市村 航	59
RO18132	圧力センサ用多チャンネルCV変換回路の設計	和泉 幸司, 松田 敏弘, 岩田 栄之	63
RO18132	低電圧CMOSアナログ回路の試作	伊藤 遼, 栗山 翔太郎, 満田 亮	64
RO18132	半導体検出器用信号増幅回路の試作	清水 陽太, 菊池 洋平	64
RO18132	パワーインテグリティ評価チップ5	市村 航	66
RO18132	パワーインテグリティ評価チップ6	市村 航	66
RO18133	Integrated magnetic probe to measure and analyze near-field magnetic map on cryptography LSI chips	Mai Khanh	70
RO18133	k近傍法に基づいた低消費電力かつ高速処理が可能なユークリッド距離検索連想メモリアベースの汎用的学習・認識SOC	マタウシュ ハンス ユルゲン, 安 豊偉, 赤澤 智信, 山崎 翔悟	72
RO18133	半導体検出器用信号増幅回路の試作	清水 陽太, 菊池 洋平	77
RO18134	断熱的論理回路を用いたデジタルPWM回路	横山 道央, 趙 勝一, 澤田 直樹	86

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
OS08131	アナログ2入力ANC回路とハウリング低減用回路の試作	加藤 正史, 久保 真奈美, 山中 星良	37
OS08131	センサ信号処理向けCMOS回路	小川 寛美	38
RO18125	A PWPLL designed with a PWPLL compiler	峠 仁人	39
RO18125	デジタル・アナログ並列型LDO電圧レギュレータ	森 雄章, 更田 裕司, 高宮 真, 桜井 貴康	40
RO18125	電流モードA/D変換器の高精度化手法実現のための高線形性入力回路	太田 昌伸, 正藤 祐輔, 米澤 祐二, 坂東 和馬, 金子 成吾	41
RO18125	アナログ回路およびデジタル回路TEGの試作	大澤 衛, 蓬田 拓夢	42
RO18125	インダクタおよび発振器評価TEG	外谷 昭洋	43
RO18125	アナログ回路用ライブラリおよび素子評価TEGの試作	橋 昌良, 坂東 拓也, 渡辺 勇磨, 西面 尚彰	44
RO18125	DC-DCコンバータ回路TEG1	細川 淳平, 深山 正幸, 松田 吉雄	47
RO18131	デジタル・アナログ並列型LDO電圧レギュレータ	森 雄章, 更田 裕司, 高宮 真, 桜井 貴康	49
RO18131	低周波数発振可能なCPGモデルと多値SRAMの試作	二瓶 乃亮, 小久保 智彬, 奥山 敦司, 真下 祐一, 佐伯 勝敏	50
RO18131	アナログ回路試作	蓬田 拓夢, 大澤 衛, 塩野谷 雅仁	51
RO18131	インダクタおよび発振器評価TEG	外谷 昭洋	51
RO18131	インダクタおよび発振器評価TEG	外谷 昭洋	51
RO18131	DS Time to Digital ConverterおよびLC Digital Controlled Oscillatorの試作	嘉藤 貴博, 中村 有輝, 石川 悠介	52
RO18131	パッチクランプ測定システムの改良,及び単チップで動作するマイクロシステムのための電源回路	中山 渉, 安田 陽平, 野村 一樹, 小野 東輝, 川島 拓也, 中野 誠彦	54

RO18131	ワイヤレス給電用高効率同期整流器	橋場 惇輝, 石黒 仁揮	57
RO18131	高速スイッチングSIDO DC-DCコンバータ	川尻 徹, 石黒 仁揮	57
RO18131	DC-DCコンバータ回路TEG2	細川 淳平, 深山 正幸, 松田 吉雄	58
RO18132	降圧型DC-DCバックコンバータ回路	柳原 裕貴, 更田 裕司, 高宮 真, 桜井 貴康	60
RO18132	インバータベースΔΣ変調器とナノワイヤ/CMOS異種技術集積化	道又 賢司, 島本 一成, 渡邊 龍郎, 和保 孝夫	62
RO18132	脂質平面膜用システムに適合するIVコンバータの設計,及び単チップで動作するマイクロシステムのためのキャパシタとオンチップアンテナ	安田 陽平, 小野 東輝, 中野 誠彦	66
RO18133	ESR, 微小変位, コンパレータ, ReRAMの設計	中山 和也, 真田 圭, 林 雅隆, 北川 章夫	71
RO18133	発火タイミングに依存した可塑シナプスモデルとCPGモデルの試作	山下 大地, 二瓶 乃亮, 小久保 智彬, 奥山 敦司, 佐伯 勝敏	73
RO18133	3状態制御方式昇圧型電流モードDC-DCコンバータの試作	小館 直人, 渡辺 啓, 安倍 幹織	73
RO18133	冗長性を用いた逐次近似型アナログデジタル変換器	栗栖 裕樹, 佐々木 達也, 和保 孝夫	74
RO18133	アナログ回路用ライブラリおよび素子評価TEGの試作(2)	橋 昌良, 村本 竜昇, 山田 健太, 西面 尚彰	75
RO18133	アナログ回路用ライブラリおよび素子評価TEGの試作(3)	橋 昌良, 板坂 直哉, 中村 達彦, 村本 竜昇, 坂東 拓弥	75
RO18133	2.5GHz Injection Lock Analog-PLL および Clock and Data Recovery 用 Phase Detector の試作	嘉藤 貴博, 中村 有輝, 石川 悠介	76
RO18133	0.18μmCMOSを用いたパッチクランプ測定システムの改良,及び単チップで動作するマイクロシステムのための発振回路	中山 渉, 小野 東輝, 川島 拓也, 四つ田 大樹, 渡邊 淳史, 中野 誠彦	78
RO18133	無線受信機に用いる新たな1bit分解能A/D変換器	兼本 大輔	79
RO18134	パルス再生リングを用いたパルス幅積分器によるゼロ位相オフセットPWPLLとDLL/TDC電圧モニタリングによるオンチップ電源変動抑制回路	矢野 智比古, 山内 善高, 名倉 徹, 浅田 邦博	80
RO18134	アナログ基本回路試作演習	石田 宇一, 小原 一馬, 山崎 雄介, 和保 孝夫	82
RO18134	生体信号記録システム用可変利得増幅回路とシリアルパラレル変換機及び単チップで動作するマイクロシステムのための電源回路と発振回路	小野 東輝, 川島 拓也, 渡邊 淳史, 四つ田 大樹, 中野 誠彦	84
RO18134	センサ信号処理向けCMOS回路	小川 寛美, 永井 正成	85

イメージセンサ/スマートセンサ

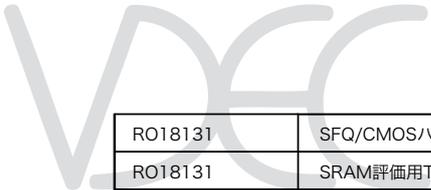
ラン名	タイトル	研究者	掲載頁
RO18125	注目領域画素並列検波処理による3次元形状取得向けイメージセンサ	松島 多佳彦, 池田 誠	39
RO18125	可視光通信用光受信回路	藤代 瞬也, 松本 佳宣	42
RO18125	擬似的不規則画素配置イメージセンサ	秋田 純一, 五十嵐 寛	43
RO18125	非接触給電を搭載した微粒子操作チップ	崔 冀, 岩崎 紘介, 松岡 俊匡	46
RO18131	液中オンチップ微粒子操作用非接触電力伝送集積回路(1)	出井 良明, 岩崎 紘介, 崔 冀, 松岡 俊匡	56
RO18131	液中オンチップ微粒子操作用非接触電力伝送集積回路(2)	出井 良明, 岩崎 紘介, 崔 冀, 松岡 俊匡	57
RO18132	視線検出機能を持つ列並列処理構成イメージセンサのテスト回路	秋田 純一, 五十嵐 寛	60
RO18133	A hyperparallel image filtering digital-pixel-sensor employing a kernel-adaptive compressed-multiplication technique	朱 弘博, 浅田 邦博	68
RO18133	時空間方向に露光制御可能なイメージセンサ	山崎 智裕, 浜本 隆之	73
RO18133	圧縮センシングイメージセンサ	藤田 隆史, 廣本 正之, 佐藤 高史	74
RO18133	擬似的不規則画素配置を持つCMOSイメージセンサ	秋田 純一, 笹田 佑太, 井崎 千尋	75
RO18133	微粒子操作向け容量変化検出回路	岩崎 紘介, 松岡 俊匡	79
RO18134	複数の走査回路を搭載したイメージセンサ	箱石 広之, 小林 崇, 浜本 隆之	81

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO18125	ホールセンサアレイチップの省電力化	村上 裕二, 井美 椋太	47
RO18131	ホールセンサアレイTEGチップ	村上 裕二, 井美 椋太	58
RO18132	一時故障・永久故障に強靱な多重化パイラインプロセッサblurDMR	姚 駿, 中島 康彦, 岡田 翔伍, 小林 和淑	60
RO18133	A novel methodology for the implementation of a switched-capacitor voltage reference	張 浩, 吉原 務	78

メモリ

ラン名	タイトル	研究者	掲載頁
RO18125	不揮発性SRAM	中山 和也	46



RO18131	SFQ/CMOSハイブリッドメモリ用 64-kb CMOSメモリ	佐々木 悠太, 吉川 信行	50
RO18131	SRAM評価用TEG及びリング発振回路評価用TEG	伊見 仁, 福田 知宏, 中村 和之	52
RO18132	SFQ/CMOSハイブリッドメモリ用64-kbCMOSメモリにおけるメモリセルの最小設計	佐々木 悠太, 吉川 信行	61
RO18133	チップ設計技術および測定技術習得用SRAM回路	近藤 敬宏, 徳丸 翔吾, 久保 直也, 中村 和之	76
RO18134	64-kbCMOSメモリにおける低消費電力設計	佐々木 悠太, 吉川 信行	81
RO18134	ニューロンCMOSインバータを用いたCAM	藤本 邦昭, 原田 裕二郎	82

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
RO18125	MOSFETを用いた可逆演算回路	井上 孔佑, 佐々木 悠太, 吉川 信行	40
RO18125	断熱的論理回路CSSALによる4bitガロア体乗算器	Monteiro Cancio, 高橋 康宏	46
RO18131	静電アクチュエータ用自律分散型制御回路	劉 俊安, 丸山 智史, 年吉 洋	49
RO18131	MOSFETを用いた可逆演算回路	井上 孔佑, 吉川 信行	50
RO18131	サイドチャネル攻撃評価用AES暗号回路	中井 網人, 鶴飼 慎太郎, 柴谷 恵, 浅川 俊介, 汐崎 充, 藤野 毅	54
RO18132	低電圧信号処理回路	川村 恭平, 松本 佳宣	62
RO18132	電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによるHMDR ROMを利用したAES暗号回路	鶴飼 慎太郎, 浅川 俊介, 汐崎 充, 藤野 毅	65
RO18133	電源ノイズ発生および測定回路 その1	名倉 徹	69
RO18133	電源ノイズ発生および測定回路 その2	名倉 徹	69
RO18133	電源ノイズ発生および測定回路 その3	名倉 徹	69
RO18133	電源ノイズ発生および測定回路 その4	名倉 徹	70
RO18133	フォールト攻撃対策AES暗号回路に対するハードウェアトロイの実装	塚平 峻矢, 吉川 雅弥	70
RO18133	MOSFETを用いた可逆演算回路	井上 孔佑, 西村 考正, 吉川 信行	72

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
ES65131	Pulse Transceiver with Leakage Cancellation	Nguyen Ngoc Mai Khanh, Parit Kanjanavirojkul	35
ES65131	Enhanced-Transmitted-Power Pulse Transceiver with Leakage Cancellation	Nguyen Ngoc Mai Khanh, Parit Kanjanavirojkul	35
ES65131	低電圧・低消費電力RF CMOSトランシーバ	石原 昇, 益 一哉, 伊藤 浩之	35
RO18132	直交変調器の試作	高橋 寛太, 束原 恒夫	67
RO18133	Transmission-line-based pulse generator	Parit Kanjanavirojkul	68
RO18134	ノイズ相関行列を用いたLNAの設計手法の検討回路の試作	猪股 昇, 薬師寺 祐介	81
RO18134	低電圧CMOSアナログ回路の試作	伊藤 遼, 高野 真志	84

その他

ラン名	タイトル	研究者	掲載頁
OS08131	MEMSマイクロロボットの動作制御回路用ハードウェアニューロンモデル TEG	日高 智浩, 関根 好文, 内木場 文男, 齊藤 健, 内藤 友香	37
OS08131	シュミットトリガ回路を用いた電圧制御発振器	藤本 邦昭, 原田 裕二郎	37
OS08131	0.8 um CMOSプロセスによる高速光検出器	刑部 遼一, 丸山 武男, 飯山 宏一	38
RO18125	10GHz帯域のCMOSアバランシェ光検出器	霜鳥 敏之, 丸山 武男, 飯山 宏一	47

3. 3 各チップの詳細

平成25年7月e-Shuttle CMOS 65nm 試作 (ES65131)

Pulse Transceiver with Leakage Cancellation

東京大学工学系研究科 Nguyen Ngoc Mai Khanh, Parit Kanjanavirojkul

概要 : A pulse transceiver for indoor sensing applications is implemented in a 65-nm CMOS process. Main feature of the circuit is to cancel leakage from the transmitter to the receiver, which arises when a transmitter and a receiver are placed near to each other, as in the on-chip transceiver. The transceiver is divided into 3 main parts; a transmitter, a digital circuit, and a receiver. The transmitter consists of a pulse generator and an antenna. The pulse generator performs direct pulse generation based on damping-pulse technique, such that the transmitter consumes power only during pulse generation period and thus it has low power consumption, compared to utilizing continuous wave oscillator. Output pulses are generated at clock edges, fed externally and sharpen within the chip by inverter chain. The signal is coupled to dipole patch antenna by an on-chip transformer, and radiated out. The receiver consists of an antenna, a self-mixing circuit with a polarity-reversing switch and a 3-stage LNA. The received signal is self-mixed such that time of arrival can be detected. Polarity-reversing switch reverses one of signal path before self-mixing. It plays a main role in leakage cancellation. A digital circuit is implemented for the generation of a control signal to control a polarity-reversing switch. It generates short rectangular impulses signal which is reversed in polarity after a number of impulses. The digital circuit consists of a counter, D flip-flop, voltage controlled delay line and a NOR gate. Delay line specifies impulse width and it is controlled by external voltage source. By the control scheme, leakage signal fed into self-mixer is reversed after a number of received pulses, such that leakage is cancelled, and detection of reflected signal is more accurate.

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Agilent社 ADS **トランジスタ数** : 100~1,000 **試作ラン** : e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別** : 通信 (RF回路, ATMなど)

Enhanced-Transmitted-Power Pulse Transceiver with Leakage Cancellation

東京大学工学系研究科 Nguyen Ngoc Mai Khanh, Parit Kanjanavirojkul

概要 : A pulse transceiver for indoor sensing applications with two transmitters and one receiver is integrated into a 65-nm CMOS process chip. The transceiver is divided into 3 main parts; transmitters, a digital circuit, and a receiver. Each of transmitters consists of a clock-based pulse generator and a dipole-patch antenna. Clock tree paths are designed to ensure equal distribution of clock delays to both transmitters, such that the transmitted pulses are added in-phase. The transceiver circuit idea is to cancel leakage from the transmitter to the receiver. Implementation of two transmitters on the same chip aims to enhance transmitted power and evaluate our proposed leakage cancellation scheme at high leakage power. The proposed leakage cancellation technique has ability to cancel leakage at high transmitted power. Thus we expect better detection performance compared to a transceiver with one transmitter. The receiver consists of an antenna, a self-mixing circuit with a polarity-reversing switch and a 3-stage LNA. The received signal is self-mixed such that time of arrival can be detected. Polarity-reversing switch reverses one of signal path before self-mixing. It plays a main role in leakage cancellation. Also, a digital circuit is implemented for the generation of a control signal to control a polarity-reversing switch. It generates short rectangular impulses signal which is reversed in polarity after a number of impulses. The digital circuit consists of a counter, D flip-flop, voltage controlled delay line and a NOR gate. Delay line specifies impulse width and it is controlled by external voltage source. By the control scheme since leakage signal is self-cancelled, leakage is eliminated regard less of high transmitted power, such that detection of reflected signal is more accurate.

設計期間 : 2人月以上, 3人月未満 **設計ツール** : Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Agilent社 ADS **トランジスタ数** : 100~1,000 **試作ラン** : e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別** : 通信 (RF回路, ATMなど)

低電圧・低消費電力RF CMOS トランシーバ

東京工業大学ソリューション研究機構 石原 昇, 益 一哉

東京工業大学精密工学研究所 伊藤 浩之

概要 : 大量のセンサ群データを監視し制御するスワームネットワークシステムの研究開発が始まっている。このようなシステムを実現するには、無給電で多種多様な情報の収集を可能とする超低電力で多機能なワイヤレスセンサノードの実現が鍵となる。今回我々は、0.5~0.6Vの電源電圧、5.8GHzのISMバンドで動作する2種類の低電圧・低消費電力RFCMOS トランシーバ回路の設計試作を行った。①バッテリーレスRF トランシーバ：基地局からの無線信号エネルギーを蓄え、その蓄積したエネルギーにより送受信回路を動作させる回路で、パワーマネジメント回路と送受信回路より成り、送信回路では基地局からのRF信号をローカル信号として用いることにより低電力動作化を可能にしている。②高速トランシーバ：映像伝送も可能とする10Mb/s、0.5V動作のトランシーバで、送受信回路とローカル信号生成用PLL回路より成る。低電圧・低消費電力動作化のため、フォワードバックゲートバイアスによる低しきい値動作回路を大々的に適用し、さらに受信回路では、ミキサファースト構成、不確定IF構成技術を、PLL回路では電流再利用型VCOや注入同期型分周回路を導入した。その結果、両回路とも5.8GHz帯で1.5mW以下の低消費電力動作の実現に成功し、提案回路技術の有効性を確認した。

設計期間 : 8人月以上, 9人月未満 **設計ツール** : Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Agilent社 ADS **トランジスタ数** : 1,000~10,000 **試作ラン** : e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別** : 通信 (RF回路, ATMなど)

ニアスレッシュホールド領域におけるエネルギー高効率化に関する研究

京都大学大学院情報学研究科通信情報システム専攻 小野寺 秀俊, 石原 亨, 西澤 真一, Islam A. K. M. Mahfuzul, 釜江 典裕,
近藤 正大, 西村 彰平

概要：本チップはニアスレッシュホールド領域を目標としたエネルギー効率の高いセルライブラリの特性評価回路，特性の補償回路及び特性補償の結果を評価する回路により構成されている。組み合わせセルの評価回路として駆動力や負荷の違う論理セルからなるリング発振回路をアレイ状に多数搭載している。順序論理セルの評価回路として測定対象順序セルの入力クロック及びデータの位相を可変とする測定回路を搭載している。ばらつきモニタとして自動設計フローで作成された再構成可能なモニタ回路を搭載している。次に，特性ばらつきを補償するために単一電源より順方向及び逆方向の基板バイアス生成回路を搭載している。特性補償の結果をデモするために，AES暗号化・復号化回路を搭載している。AES回路に特性ばらつき補償回路を組み込んでいる。

設計期間：5人月以上，6人月未満 **設計ツール：**Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QRC, Cadence社 ASSURA, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 HSIM **トランジスタ数：**1,000,000～10,000,000 **試作ラン：**e-Shuttle CMOS 65nm 2.1mm角チップ **チップ種別：**アナデジ混載

平成25年度第1回オンセミコンダクター—三洋 CMOS 0.8 μ m 試作 (OS08131)

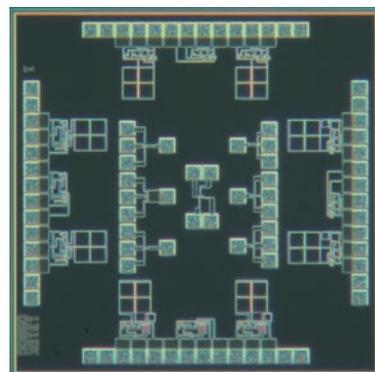
MEMS マイクロロボットの動作制御回路用ハードウェアニューロンモデル TEG

日本大学理工学部 日高 智浩, 関根 好文, 内木場 文男, 齊藤 健

日本大学大学院理工学研究科 内藤 友香

概要: 現在, 数ミリメートルサイズのマイクロロボットが研究開発され, 医療分野や装置の微小部分における作業等, 多くの分野での活躍が期待されている。今後, 筐体のさらなる小型化に伴い, 制御回路の高集積化が必要である。そこで, 将来的にチップ内にハードウェアニューラルネットワークを形成するために, 今回の試作ではハードウェアニューラルネットワークの構成要素であるハードウェアニューロンモデルのレイアウト面積縮小について検討した。MEMS マイクロロボットの駆動波形を出力するハードウェアニューロンモデルの, MOSFETのチャンネル長およびチャンネル幅を工夫し, 回路面積を削減した細胞体モデルを設計した。今回ハードウェアニューロンモデルで使用した7種類のMOSFETはICチップ中央部に配置し, 個別に測定が可能である。測定をおこなった結果, ニューロンモデルの発振が得られなかった。MOSFETに付随する寄生容量や, コンタクト及びビアの抵抗を考慮せずに, シミュレーションをおこなったため発振が得られなかった可能性がある。今後は, ICチップ中央部に搭載したMOSFETの寄生容量やコンタクト抵抗等の測定を行い, 次回の設計試作に反映する予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** オンセミ—三洋 CMOS 0.8 μ m 2.5mm 角チップ **チップ種別:** その他



シュミットトリガ回路を用いた電圧制御発振器

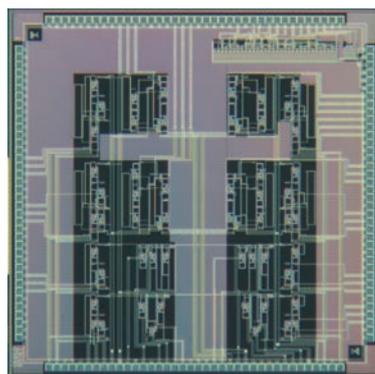
東海大学基盤工学部 藤本 邦昭

東海大学産業工学部 原田 裕二郎

概要: オペアンプを用いたシュミットトリガ回路とオペアンプを用いたミラー積分回路を組み合わせる事で, 電圧制御発振器を構成できる事が知られている。しかし, この回路は発振周波数が高くなるとシュミットトリガ回路の遅延のために理論値と実験値が一致しなくなる。そこで, シュミットトリガ回路をオペアンプではなくCMOSインバータを用いて構成し, 発振周波数が高い場合にも, 入力電圧に比例した発振出力が得られる電圧制御発振器を提案した。また, CMOSインバータを用いたシュミットトリガ回路は, オペアンプを用いたシュミットトリガ回路と違い閾電圧を持ち, このため出力信号に直流分が発生するが, これをキャンセルする回路も同時に提案している。本試作は, これらの回路の有効性を確認するために行ったものであるが, 入力バッファ回路の接続を間違えたため, 動作させることができなかった。現在, レイアウトの修正は終了しており, 次回試作において, 回路の有効性を確認したいと思っている。

参考文献: Y. Harada, K. Fujimoto and M. Yahara, "A Voltage Controlled Oscillator with Threshold Automatic Compensation," ICIC express letters, Vol. 8, No. 1, pp.295-301, March 2014

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** オンセミ—三洋 CMOS 0.8 μ m 5.0mm 角チップ **チップ種別:** その他

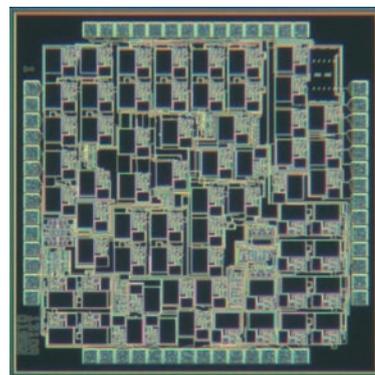


アナログ2入力ANC回路とハウリング低減用回路の試作

名古屋工業大学大学院理工学研究科 加藤 正史, 久保 真奈美, 山中 星良

概要: 騒音に対して逆位相の音を重ね合わせて騒音除去を行う技術としてアクティブノイズコントロール (ANC) がある。現在ダクト内騒音のような一次元音場に対してデジタル回路にて実用化されているが, デジタルANC回路では信号処理の速度が遅いことが問題となっている。本研究室では高速動作可能なアナログ回路にてANC回路を作製し問題解決を図る。アナログANC回路はニューラルネットワークを基に2入力ANC回路を提案しており, 乗算器, 積分器, 加算器で構成されている。また, 性能向上のためオールパスフィルタを挿入した。上述したアナログANC回路をハウリング低減にも応用した。しかしハウリングを低減するには振幅を制御するアナログANC回路だけでは不十分であり, 周波数制御が可能な回路である位相同期回路 (PLL) も併せて用いた。PLLによりハウリングと同じ周波数の信号を発生し, アナログANC回路により振幅を揃えてハウリング信号に加算することでハウリングの低減を図る。ハウリング低減用回路はPLL, 位相調整のための90°遅延回路, アナログANC回路, 二つの制御回路で構成されている。本試作チップは回路の動作確認及び評価を行うため, コンデンサを外付けとしたアナログ2入力ANC回路とハウリング低減用回路を搭載した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** オンセミ—三洋 CMOS 0.8 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



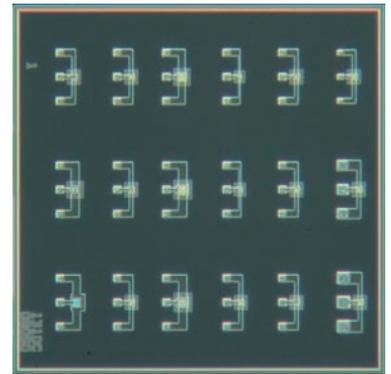
0.8 μm CMOS プロセスによる高速光検出器

金沢大学大学院自然科学研究科電子情報科学専攻 刑部 遼一

金沢大学理工研究域電子情報学系 丸山 武男, 飯山 宏一

概要: LSI 内や LSI 間のデータ伝送に光伝送を用いる光インターコネクションが検討されているが, その実用化のためには可能な限り LSI と光デバイスのモノリシックな集積化が望まれる。当研究室では CMOS プロセスを利用した高速光検出器を検討しており, これまでにオンセミ 1.2 μm プロセスを用いて 1 GHz 帯域の光検出器を, ローム 0.18 μm プロセスを用いて 10 GHz 帯域のアバランシェ光検出器を作製しているが, 新たなプロセスである 0.8 μm プロセスを利用して, 受光感度と高速応答性を評価することを目的としてチップ試作を行った。楕形電極構造の横型 PIN 構造を採用し, 楕形電極間隔や受光面積を変化させた素子を作製し, 受光感度と周波数帯域の電極間隔および受光面積依存性を評価し, 最適設計のための指針の検討を予定している。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula, Cadence 社 Diva **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μm 2.5mm 角チップ **チップ種別:** その他

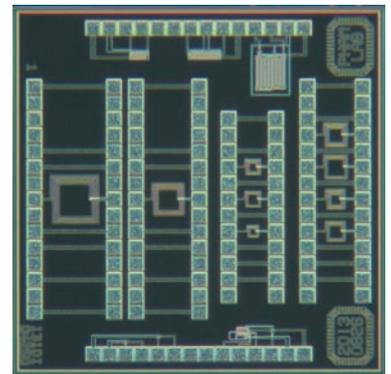


アナログ回路とインダクタ, 素子評価 TEG の試作

電気通信大学情報理工学部 大澤 衛

概要: 前回に引き続きテスト試作を行った。今回の試作では, 学生の LSI に関する学習の意味で, 基本的な回路を載せた。試作回路は前回と同様の, オペアンプ, リングオシレータである。素子の基本特性評価用の TEG として MOS トランジスタも試作した。また, 今後の RF 回路への応用に向けて, 余った面積には, インダクタを載せた。インダクタの構成はシンプルな四角形の 2.5~3.5 回巻で直径 75 μm , 100 μm , 125 μm , 150 μm , 200 μm , 300 μm である。測定の結果, 回路は動作しなかった。しかし, この結果をもとに設計にフィードバックすることで学生の学力向上に役立てた。また, インダクタの測定結果から経験則による式から設計したインダクタの実測値は目標値と大きくかけ離れる結果となった。今回作成したインダクタの電磁界シミュレーションを行い, 実験データの信頼性を高めるつもりである。今後, 発振回路や PLL といった RF 回路の研究を行う際に, 今回作成したインダクタを用いて設計を行うつもりである。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** オンセミー三洋 CMOS 0.8 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

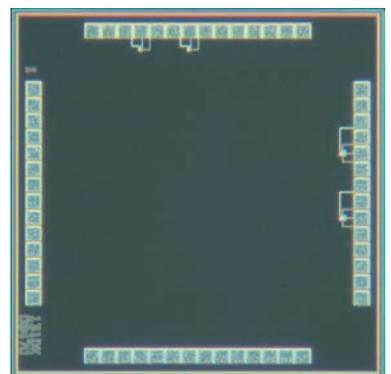


センサ信号処理向け CMOS 回路

山梨大学教育人間科学部 小川 覚美

概要: 容量型センサは圧力, 加速度, 回転角度等の物理量の検知に広く使われている。容量型センサからの信号を高速, 高精度に電圧, 時間, 周波数等に変換する低消費電力のインターフェース回路の研究が多く行われている。ここでは差動容量型センサの容量値を時間に変換するスイッチドキャパシタ回路の基本構成素子を試作した。この回路は素子の非理想的な特性を受けない構成となっているため, 高精度の信号処理が可能である。素子の基本特性を評価するために, アスペクト比の異なる CMOS カレントミラー, アナログスイッチ, N チャンネル, P チャンネル MOS トランジスタを試作した。試作回路について測定結果とシミュレーション結果を比較する。これらの結果に基づいて差動容量型センサの容量比に比例した時間に変換するスイッチドキャパシタ回路の試作についての検討する。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



平成24年度第5回ローム CMOS 0.18 μ m 試作 (R018125)

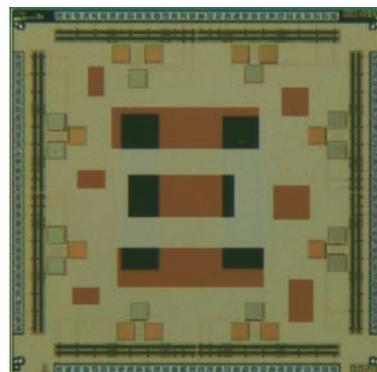
A PWPLL designed with a PWPLL compiler

東京大学工学部 峠 仁人

概要：このチップではPWPLL（パルス幅制御位相同期回路）の自動設計フローの有効性を実証した。PWPLLは省面積・低消費電力・低ジッターを特徴とする、時間軸方向アナログな新しいPLLアーキテクチャーである。さらに、PWPLLはそのほぼすべてがデジタル素子で構成されているため、スタンダードセルを利用した自動配置配線による設計が可能である。今回作成した自動設計フローは、Verilog/SPICE ネットリストの自動生成・商用P&Rツールを利用した自動配置配線によるレイアウト生成・LVSやDRCによるレイアウトのエラーチェック・SPICEシミュレーションによる性能検証を含んでおり、これらを一時間程度で完了する。本試作では、この自動設計フローを利用して、それぞれパラメータの異なる8個のPWPLLを設計し、それぞれ動作を確認すること、PWPLLが容易に設計可能であることを実証した。

参考文献：Norihito Tohge, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A Pulse Width Controlled PLL and its Automated Design Flow,"

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社 SoC Encounter, Cadence社 Virtuoso, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



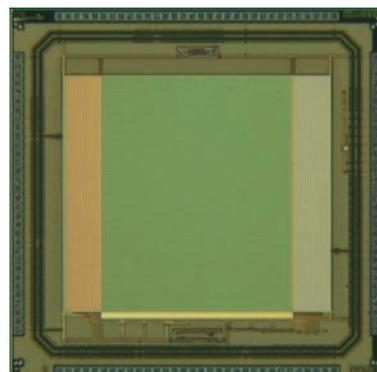
注目領域画素並列検波処理による3次元形状取得向けイメージセンサ

東京大学工学部 松島 多佳彦

東京大学大学院工学系研究科 池田 誠

概要：変調シート光を用いた3次元形状取得システムにおいて、毎回のスキャンで画素配列上のシート光の輝線位置を注目領域として特定し、注目領域のみ検波処理を行う撮像システムの構築を目指して、その基本動作を確認できるイメージセンサを設計した。検波型イメージセンサは背景光抑制機能を有するが、複雑な検波回路を要するため、画素内に検波回路を組み込むと解像度が低下してしまう。本試作は、144 \times 160の画素配列の各列に1個の検波回路を接続し、列単位での注目領域の特定を行う。さらに、画素配列の各行に16個ずつの検波回路を接続し、注目領域を16列ずつ検波することで、検波処理の効率化を図った。この撮像システムにより、検波型イメージセンサの高解像度化が可能である。光電流が想定より小さく、リーク電流や雑音による信号劣化のため、期待した感度が得られなかった。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**イメージセンサ/スマートセンサ



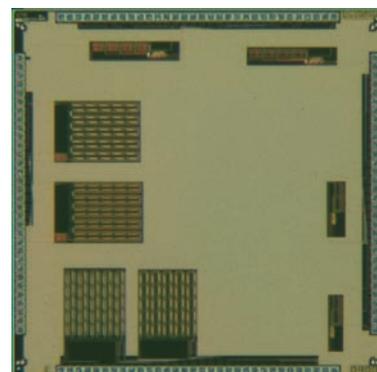
宇宙用CVSL回路及び性能比較解析用CMOS回路

静岡理工科大学理工学部 波多野 裕, 白井 哉秀, 木内 恭介, 石切山 信二

概要：0.4 μ m CVSL半加算回路, 0.18 μ m CVSL半加算回路, 0.4 μ m 複合ゲートCMOS半加算回路, 0.18 μ m 複合ゲートCMOS半加算回路, 0.18 μ m NANDゲート速度性能解析用50段チェーン回路2種類, 0.18 μ m NORゲート速度性能解析用50段チェーン回路2種類, 0.18 μ m CVSL EXOR回路, 0.18 μ m CVSL半加算回路, 0.18 μ m CVSL全加算回路, 0.18 μ m クロック型CVSL半加算回路, 0.18 μ m クロック型CVSL全加算回路, CMOS EXOR回路, CMOS半加算回路, CMOS全加算回路を2012年度第5回試作と2013年度第3回試作の2回に分けて設計した。2012年度第5回試作では、0.4 μ m CVSL半加算回路, 0.18 μ m CVSL半加算回路, 0.4 μ m 複合ゲートCMOS半加算回路, 0.18 μ m 複合ゲートCMOS半加算回路, 0.18 μ m NANDゲート速度性能解析用50段チェーン回路2種類, 0.18 μ m NORゲート速度性能解析用50段チェーン回路2種類, を設計し、試作チップを実測して機能動作を確認した。2013年度第3回試作では、0.18 μ m で、CVSL EXOR回路, CVSL半加算回路, CVSL全加算回路, クロック型CVSL半加算回路, クロック型CVSL全加算回路, CMOS EXOR回路, CMOS半加算回路, CMOS全加算回路, を設計し試作回路を実測して機能動作を確認することができた。

参考文献： [1] H. Hatano, "SET immune spaceborne CVSL and C2VSL circuits", Journal of Electrical and Control Engineering, vol. 3, no. 5, pp. 43-48, 2013.

設計期間：3人月以上, 4人月未満 **設計ツール：**Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)



ESR 多値 ReRAM

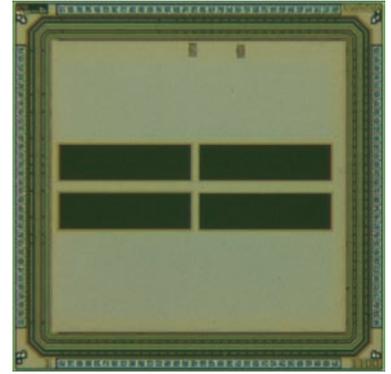
金沢大学医薬保険学域 中山 和也

金沢大学自然科学研究科 河合 一樹

概要：ESRを検出するための電圧制御発振器の回路と、ソースフォロアを数個設計した。ソースフォロアについては利得の違う物を3種類用意し、それぞれに発振回路を付けた。また金沢大学のIOとVEDCのIOの2種類を設計し、全部で6種の発振回路を置いた。それぞれの発振回路には、電源・グランド・周波数コントロール・電流源の入力と高周波信号の出力を含み、ソースフォロアにより50オームのインピーダンスマッチングを行うように設計した。ReRAMのメモリの読み出しと書き込みを行う回路を設計した。メモリの多値化に対応するために、複数の参照電圧と比較するようにし、一つのメモリセルに3bit以上の情報を読み書きできるようにした。さらにメモリの寿命を延ばすために、同じ情報を書き込む際には重複した値を書き込まないように回路を設計した。

参考文献：A. Pietro, M. Sven. "On the Use of MOS Varactors in RF VCO's" IEEE Journal of Solid-State Circuits. 35, p805-910 (2000) .

設計期間：3人月以上, 4人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



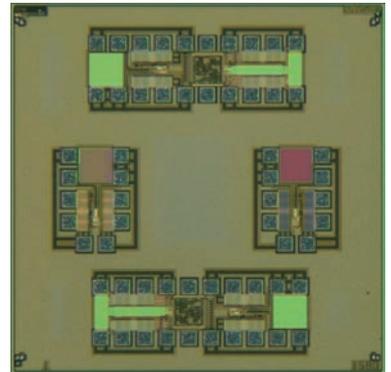
デジタル・アナログ並列型 LDO 電圧レギュレータ

東京大学生産技術研究所 森 雄章, 更田 裕司, 高宮 真, 桜井 貴康

概要：低消費電力 SoC 向けのオンチップ LDO 電圧レギュレータ (以下, LDO と略す) には, 低入力電圧かつ低暗電流 (quiescent current) が求められる。これらの条件を満たす LDO として, デジタル LDO が提案されているが, 従来のデジタル LDO には, 応答時間が遅く, また出力リップルが大きめという問題があった。そこで本研究では, これらの問題を解決する為, 粗調用のデジタル LDO と微調用のアナログ LDO を並列動作させる, デジタル・アナログ並列型 LDO 電圧レギュレータの設計を行った。試作チップの測定を行い, 従来のデジタル LDO に比べ, 電流効率 97.1% において, 応答時間 59%, 出力リップル 28% の減少を確認した [1] .

参考文献：[1] K. Mori, Y. Okuma, X. Zhang, H. Fuketa, T. Sakurai, and M. Takamiya, "Analog-Assisted Digital Low Dropout Regulator (AAD-LDO) with 59% Faster Transient Response and 28% Ripple Reduction," SSDM, pp. 888-889, Sep. 2013.

設計期間：1人月以上, 2人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE (RF), Synopsys社 HSIM **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

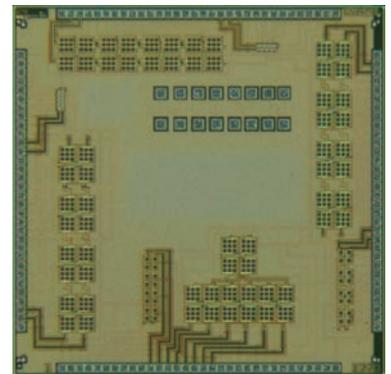


MOSFET を用いた可逆演算回路

横浜国立大学大学院工学府 井上 孔佑, 佐々木 悠太, 吉川 信行

概要：我々は CMOS 集積回路を用いた低電力化技術として, 可逆演算回路を研究している。可逆演算回路とは電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である。また, 情報の保持を行うことで低電力化できる。本チップには, 4相の台形波で動作する可逆演算回路の段数が異なるもの, およびカップリング容量の大きさが違う物が載っている。我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し, かつ低消費電力が可能なメモリシステムを提案している。このシステムの特徴として極低温動作による CMOS 回路の性能向上がある。今回, このチップには極低温時での MOSFET の特性を測定するためにチャネル幅を変えた 3 種類の pMOS, nMOS を載せている。

設計期間：1人月以上, 2人月未満 **設計ツール：**Synopsys社 Star-HSPICE, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**演算回路 (乗算器, 除算器など)



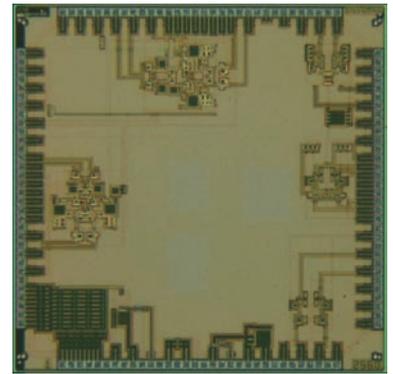
電流モード A/D 変換器の高精度化手法実現のための高線形性入力回路

中央大学理工学研究科 太田 昌伸, 正藤 祐輔, 米澤 祐二, 坂東 和馬, 金子 成吾

概要: 近年, 半導体素子の微細化が進むことによる回路の低電圧動作が求められる。従来の電圧モード回路では, ダイナミックレンジの減少により, 低電圧動作に向かなくなりつつある。そこで, 我々は低電圧動作に有利な電流モード方式 A/D 変換器の研究を進めてきた。この構成において, より精度を高める高精度化手法の実現のためには高い線形性を持つ入力回路が必要となる。今回の試作では, 従来より用いられている pmos アンプを適用した入力回路と電流帰還アンプを適用した入力回路を設計し, 歪み特性の評価及び各構成間での比較を行うことを目的とした。

参考文献: Yasuhiro Sugimoto, and David G. Haigh, "A Current-Mode Circuit With a Linearized Input V/I Conversion Scheme and the Realization of a 2.5-V Operational, 100-MS/s , MOS SHA" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, I: REGULAR PAPERS, VOL. 55, NO. 8, SEPTEMBER 2008

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

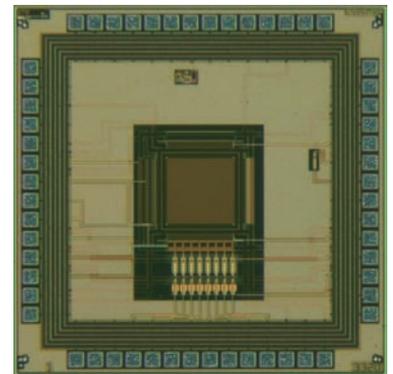


集積化磁気センサの最適化構造の特性評価用 TEG

茨城大学工学部 木村 孝之

概要: 磁気センサを製作する際には, 一般的に移動度の高い InSb や GaAs などの材料が用いられる。一方, Si はこれらの物質に比べて移動度が低いため, 磁気センサを構成する場合は感度が低くなり使用が難しい。しかし, 信号処理回路を集積化できるなど Si 上で磁気センサを作製する利点は大きい。本試作では, これまで試作してきた MOS-FET の反転層を用いた 2 次元集積化ホールセンサを微細化するために必要な画素内のホールセンサと増幅回路の配置を最適化するための検討を行った。本センサでは n チャネル MOSFET の反転層にホール効果を起こすため, そのバイアス関係から p チャネルの MOSFET で構成したソースフォロア回路が必要となる。画素内に n, p 両タイプの MOSFET を配置するためにはウェルによる分離をする必要があるが, これが画素の微細化を阻害する原因となる。本研究では上下 4 つの画素の p チャネル MOSFET を近づけて配置し, さらにホール素子を $2.7\mu\text{m}$ 角に縮小する事で画素の大きさをこれまでの $50\mu\text{m}$ 角から $7\mu\text{m}$ 角まで縮小する事に成功した。測定の結果, 感度は 0.0936mV/mT であり, ホールデバイスのみを小さくした画素で測定された感度 0.104mV/mT と同等であった。以上の結果から画素の微細化のためにセンサ構造の最適化が実現出来たことが確認できた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

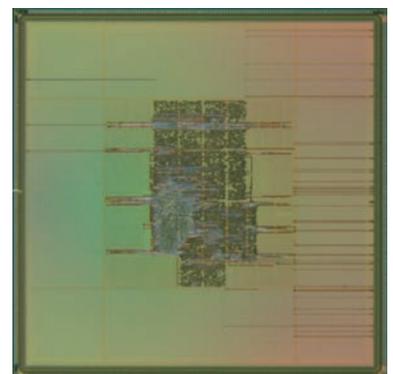


画像認識用プロセッサ

金沢大学理工研究域電子情報学系 深山 正幸

概要: 画像認識用プロセッサを開発した。本プロセッサはアフィン動き分割回路とクラス分類回路から構成される。アフィン動き分割では, 輝度勾配と動き精度指標の計算を前処理として共通化し, 動きモデル推定用重み付き勾配画像モーメントの計算と, 境界更新と新領域検出を統合した領域ラベリングを, 画素単位で連続的に行う新しいアルゴリズムを考案した。提案法は, 動きモデル推定と領域ラベリングの間で動きモデルとラベルマップを頻繁に交換するので収束が速く, 反復回数が少ないので演算量が低いことをシミュレーションで確認した。このアルゴリズムに基づく, 全体が一つの画素単位のパイプラインとなる新しい回路構成を考案した。データ入力の共通化により外部データ転送量が少なく分割画像のメモリが不要で, 処理の共通化や統合によりロジックも小規模である。一方, クラス分類では, 画像特徴量に動き分割プロセッサで計算した勾配画像モーメントを採用し, 分類手法に線形カーネルの SVM を使用し, SVM の積和演算を行う専用回路を設計した。本プロセッサを $0.18\mu\text{m}$ 半導体プロセスで VLSI 実装した。ゲート規模は 32 万ゲート (2 入力 NAND 換算), 総メモリ容量は 404K ビット, チップ面積は 4.1mm 角, 最大動作周波数は 94 MHz, スループットは VGA 91 fps となった。我々は本 VLSI をステレオ動画像を用いた自動車安全運転支援へ応用することを目指している。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** ローム CMOS 0.18 μm 7.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

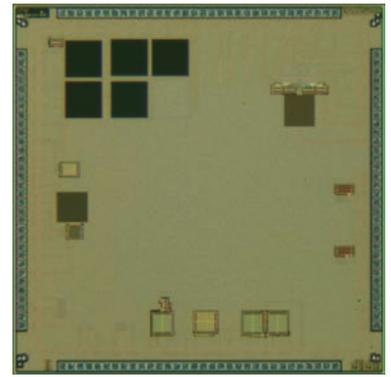


可視光通信用光受信回路

慶應義塾大学理工学部 藤代 瞬也, 松本 佳宣

概要: 近年の白色LEDの高効率化に伴い, LEDを高速変調させ情報を送受信する可視光通信が注目されている。そこで, 受光素子としてフォトダイオードよりも高感度なCMOSアバランシェフォトダイオードを0.18ミクロンプロセスで製作してその動作を確認した。CMOSプロセスで作製可能ないくつかの受光素子の中でもアバランシェフォトダイオードは良好な感度と応答速度が期待され, 近年ではその構造や特性についてのいくつかの研究報告がされている。拡散層の角に電界が集中して絶縁破壊を起こすエッジブレイクダウンを抑制するためにガードリング構造の異なるアバランシェフォトダイオードを試作し評価を行った。試作したチップを用いて各種の光駆動, 測定実験を行い, 可視光通信用の用途に合った良好な結果が得られた。そして, その特性に合わせて, 感度と応答周波数の最適化を行った専用トランスインピーダンスアンプを設計した。また, 同時にフォトダイオード, 演算増幅器を一体化した照度用センサの試作を行い, 光励起電流を抵抗又はコンデンサで電圧に変換する回路の設計を行った。特に低消費電力となるように工夫して設計, レイアウトを行った。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Cadence社 Diva, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

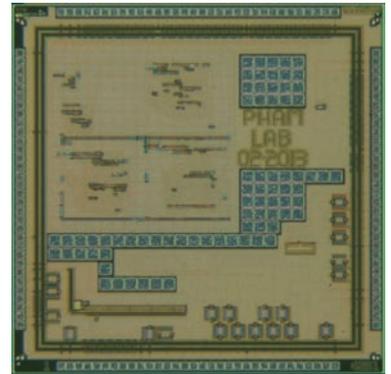


アナログ回路およびデジタル回路 TEG の試作

電気通信大学院情報理工学研究科 大澤 衛, 蓬田 拓夢

概要: 今回はテスト試作ということで, 様々なアナログ回路, デジタル回路を試作し測定を行なった。主な試作回路は, オペアンプ, D/Aコンバータ, ADPLL, フラッシュA/Dコンバータ, デシメーションフィルタである。今回は, 代表として, D/Aコンバータとオペアンプについて記述する。D/AコンバータはR-2Rラダー型D/Aコンバータの試作を行った。従来の抵抗構成から, MOSFET構成に変更することで, シミュレーションどおり, 回路面積と消費電力を削減することができた。しかしながら, 線形性に関しては, 同チップ上に試作した従来回路よりも向上したものの, シミュレーションとの誤差が10%程度となった。オペアンプは従来の2段オペアンプの試作を行った。確実に動作する回路を設計, 実装を行った。そのためにばらつきを最小にとどめるようにトランジスタのサイズをそろえたうえで, オフセットを防ぐ目的で各トランジスタのサイズを微調整した。測定結果は利得に関してはシミュレーションと同じ結果を得たが, 周波数特性がシミュレーション通りにはいかなかった。またスルーレートと出力電圧範囲が適正でなかったことから, オペアンプの出力段に問題があると考えている。また, 他の回路でも動作を確認し, 今回得た知見を踏まえてさらなる回路構成を検討していく。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



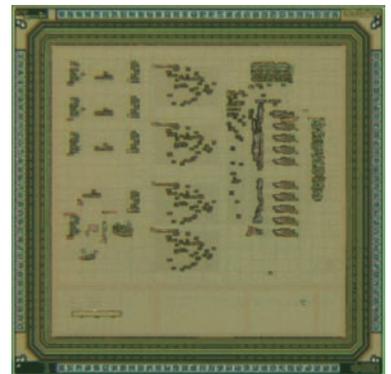
遅延故障および断線故障テスト用回路の試作

徳島大学大学院先端科学技術教育部 小西 朝陽, 西條 慎吾, 二宮 孝暢, 日下 敬雄,
梅津 翔一, 櫻井 浩希

徳島大学大学院ソシオテクノサイエンス研究部 四柳 浩之, 橋爪 正樹

概要: 遅延故障のテスト容易化回路, IC間断線のテスト容易化入力保護回路, 検査容易化CMOSセンサ回路, ビアオープンを模擬した回路の4つの回路を試作した。1) 遅延検出回路組込み型バウンダリスキャン回路を設計し, 遅延付加部のチップ間ばらつきの評価を行った。2) IC間断線の電氣的検査用のテスト容易化入力保護回路を試作し, 断線故障検出可能性評価を行った。3) CMOSセンサの電氣的検査法のために検査容易化CMOSセンサ回路を実装し, 検査可能性評価を行った。4) ビアオープン故障の発生箇所特定のためのTEGを設計し, カップリング容量の影響などの評価を行った。

設計期間: 9人月以上, 10人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

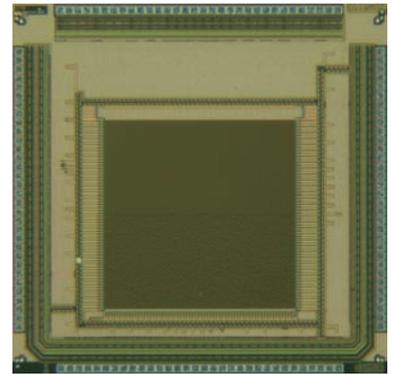


擬似的不規則画素配置イメージセンサ

金沢大学理工学域 秋田 純一, 五十嵐 寛

概要: 通常のイメージセンサは、画素が格子状に配置されているため、斜め線のエッジ部分に段差（ジャギー）が現れる。ジャギーの段は空間的に孤立しているため視覚感度が高く（副尺視力）、画素の微細化による解消が困難である。著者らは、画素内の受光領域の配置が画素内の全体ではなく一部分を占めることに着目し、画素内での受光領域の位置が異なる4種類の画素を乱数で決定して配置して得られる擬似的不規則画素配置によってジャギーの解消をはかる手法を検討している。本試作チップでは、同一構造の画素の一種類を並べて得られる通常の格子状画素配置と、擬似的不規則画素配置を半分ずつもつ128x128画素のCMOSイメージセンサを試作した。あわせて別途研究している視線検出機能を持つ列並列処理構成のイメージセンサの処理回路の要素回路のテスト回路を集積した。

設計期間: 0.1人月以上, 0.5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

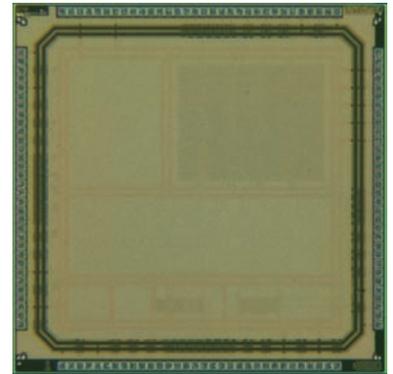


確率的TDC回路

東京大学大規模集積システム設計教育研究センター 小松 聡

概要: 高速かつ高精度なオンチップ測定のために、確率的Time-to-Digital (TDC) 回路の設計・試作を行った。確率的TDC回路では、RSフリップフロップで構成されるアービターを多数並列に接続し、それらの出力の0/1の個数をカウントすることで微小な遅延時間差をデジタル値として得ることができる。試作チップでは、64個のアービターを持ったアービターアレイを設計し、バイナリー値へ変換するためのエンコーダー回路に接続しているTDC回路について、マニュアルによる配置配線を行った回路と配置配線ツールを利用して自動配置配線を行った回路のそれぞれを設計した。今後、LSIテスターによる評価を行うことで確率的TDCの設計指針を示し、また、自動配置配線による設計でデジタル回路主体のシステムで容易に利用可能なTDC回路としての有用性を評価する予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

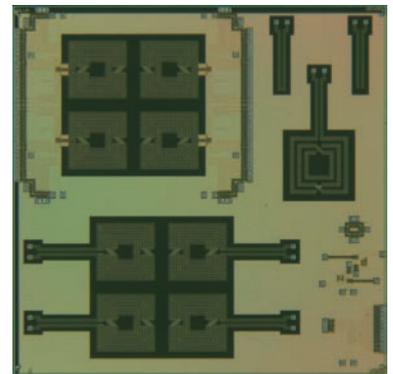


インダクタおよび発振器評価TEG

呉工業高等専門学校電気情報工学科 外谷 昭洋

概要: 本チップは可変ゲインのアンプを搭載したLC型電圧制御発振器 (LC-VCO) および、LC-VCOに含まれるインダクタの評価TEGとなっている。LC-VCOは発振周波数を決定するLC共振回路部と正帰還を掛けて発振を継続させるアンプ部からなり、LC共振回路部で生じた損失をアンプ部が補うことで発振を継続させている。LC-VCOにおいては周囲の環境や内部の素子バラツキなどによって最低限必要なアンプのゲインが変化してしまう。また、アンプのゲインを上げることは消費電力の増大につながり、余分な電力を消費してしまうため、本チップでは発振可能な最低限のゲインを選択し、低消費電力で発振が持続できるように、可変ゲインのアンプを採用している。また、LC共振回路部に含まれるインダクタについては、LC-VCOの発振特性に影響を与えるため、評価TEGを用いて検証を行った。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ASSURA **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



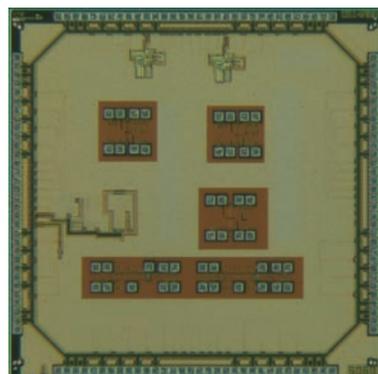
アナログ回路用ライブラリおよび素子評価 TEG の試作

高知工科大学工学部システム工学群 橘 昌良, 坂東 拓也, 渡辺 勇磨

高知工科大学大学院基盤工学専攻 西面 尚彰

概要: 本チップの目的はアナログ回路用ライブラリの設計である。ブートストラップスイッチを用いた $\Delta\Sigma$ 変調回路, バンドギャップリファレンス (仮) である。初めに, $\Delta\Sigma$ 変調回路は1次でブートストラップスイッチを用いて設計した。ブートストラップスイッチは MOS キャパシタを使用した回路である。信号帯域は 22kHz, オーバーサンプリング比は 128 として設計した。次に, 設計したバンドギャップ基準電圧源回路の動作を検証するためにバンドギャップ基準電圧源回路を載せた。設計したバンドギャップ電圧源回路については OP アンプを使用している。最後に, 素子評価 TEG として抵抗の TEG を試作した。この TEG は Deep n-Well および 3.3V 系トランジスタの特性を調査するためのものである。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



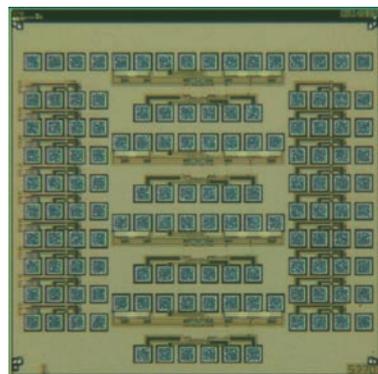
ゲート酸化膜の破壊位置制御評価回路

東京大学生産技術研究所 更田 裕司, 高宮 真, 桜井 貴康

概要: MOSFET のゲート酸化膜破壊をアンチ・ヒューズとして用いた, 一度だけ書き込み可能なメモリ (One Time Programmable メモリ, 以下 OTP メモリと略す) が, チップ固有 ID の格納やアナログ回路のトリミング等の用途で用いられており, 近年その大容量化が求められている。本研究では, ゲート酸化膜の破壊位置という情報を用いる事で, ヒューズの多値化を行い, OTP メモリの大容量化を目指す。この実現には, 酸化膜破壊位置を制御する必要があるが, これまでそのような試みはなされておらず, その手段は明らかでなかった。そこで, ゲート酸化膜の破壊位置の制御手法を確立することを目的として, 回路の試作を行った。試作した回路は, トランジスタのゲート・ドレイン・ソース・基板各点に任意の電圧を与えることができるような構成とした。試作チップの測定を行い, トランジスタのゲート・ドレイン・ソース・基板各点に適切な電圧を与える事で, ゲート酸化膜の破壊位置を制御できる事を確認した [1]。

参考文献: [1] 更田裕司, 高宮 真, 桜井貴康, "多値アンチ・ヒューズの実現に向けたゲート酸化膜の破壊位置制御手法の提案と実証," 電子情報通信学会総合大会, p. 113, 2014 年 3 月。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



低電圧 CMOS アナログ回路の試作

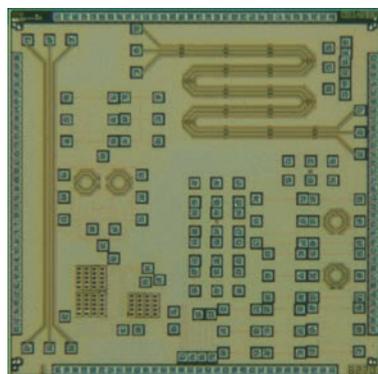
明治大学理工学研究科 小林 優太, 高橋 康仁, 伊藤 遼

明治大学理工学部 高野 真志

概要: 低電圧駆動, 低消費電力というテーマを根底に置き, 各々の研究において提案した回路, 評価に必要な回路の試作を行った。以下が試作した回路の概略となる。非接触電力伝送を目的としたオンチップインダクタ, 温度特性評価を目的とした微小電源電圧駆動電圧検出器, 温度依存性の低い電圧検出回路の設計, コプレーナ導波路, 蓄積 MOS バラクタと通常 MOS バラクタ, 非線形伝送線路, PTAT 電流発生のための OTA 回路, 微小電源電圧駆動 PTAT 電圧発生回路, ボルテージリファレンス回路のテスト回路, 基準電圧発生回路を目的としたしきい値検出回路。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

参考文献: Ehsan Afshari, Ali Hajimiri, "Nonlinear Transmission Lines for Pulse Shaping in Silicon," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 3, MARCH 2005.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



多チャンネル皮質脳波信号計測チップ

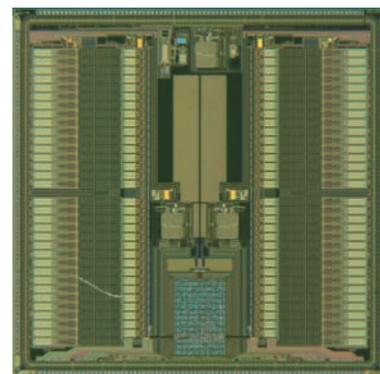
大阪大学大学院生命機能研究科 鈴木 隆文, 安藤 博士

広島大学大学院先端物質科学研究科 吉田 毅

概要: 脊髄損傷などにより運動機能を失った人の生活の質を向上させるため、考えるだけで義肢などを操作できるブレイン・マシン・インタフェース (BMI) の実現が期待され、その信号源として侵襲性と情報量とのバランスなどから皮質脳波信号 (ECoG) が注目されている。本研究では、更に小型な埋込み型BMIシステムを実現するために、ピン配置の最適化を行った多チャンネル皮質脳波安定計測チップの改良試作を行った。搭載回路は、64チャンネルの低雑音増幅回路、12bitAD変換器、システム制御回路である。設計した低雑音増幅回路は、振幅が数 μV ~1mV程度で、信号帯域が0.1~100Hz程度であるECoGを検出するために、弱反転領域で動作するMOSFETを用いたフィードバック構成で実現した。また12bitAD変換器は32kSpsで動作した。

参考文献: 吉田, 他, "ブレイン・マシン・インタフェース64chニューラルレコーディングチップ", 信学技報ICD2011-23, pp. 25-30, 2011

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 NanoSim **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μm 5.0mm角チップ **チップ種別:** アナデジ混載

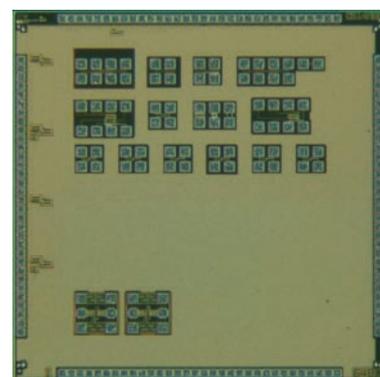


半導体検出器用電荷有感型前置増幅器の試作

東北大学大学院工学研究科 清水 陽太, 菊池 洋平

概要: 本研究室では、半導体検出器を利用した、頭部用PET (Positron Emission Tomography) の開発を行っている。一般的には、シンチレーション検出器が利用されているが、半導体検出器を利用することで、空間分解能が大きく向上することが期待される。将来的に、研究室において、PET用のASIC開発を行うことを考えている。そこで、今回、半導体検出器用信号増幅回路内に必要な、電荷有感型前置増幅器の試作を行った。前置増幅器の役割は、検出器で発生した電荷信号を電圧信号に変換すること、また信号を変動させる可能性のある雑音源を小さくして、信号対雑音比を最大にすることである。テストパルスに対する応答を観測し、シミュレーション結果と比較したところ、設計した回路が正確に動作していることが確認された。今後、本回路に加え、微分回路、積分回路を設計し、半導体検出器用信号増幅回路として、完成させる予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



チップ内部デジタルノイズ観察用TEG

東北大学国際集積エレクトロニクス研究開発センター 遠藤 哲郎

概要: 近年、消費電力低減のために、動作電源電圧の低電圧化が進められており、その結果、チップ内に混載されたメモリやアナログ回路のデジタルノイズ耐性が低下している。一方、CMOS回路の急速な微細化と高集積化も進展しており、デジタルノイズの抑制が大きな課題となっている。そこで、高速デジタル回路における各種条件下のノイズ特性を調べるためのTEGを、設計試作した。TEGには、デジタル回路のノイズ発生回路と、アナログ回路のノイズ観察回路等を搭載した。チップの電源系は、デジタル回路部に1.8V、アナログ回路部に1.8V/3.3Vを供給する多電源系の構成とした。さらにトリプルウェル構成を採用し、ノイズ発生回路専用電源、一般デジタル回路用電源、ノイズ観察用アナログ回路専用電源等の各電源線および接地線をアイソレートする設計とした。結果、仕様の電源電圧 (1.8V/3.3V) とその前後で、ノイズ発生および観察の基本動作を確認できた。現在、各種条件下で詳細測定中である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μm 5.0mm角チップ **チップ種別:** TEG (特性評価回路など)



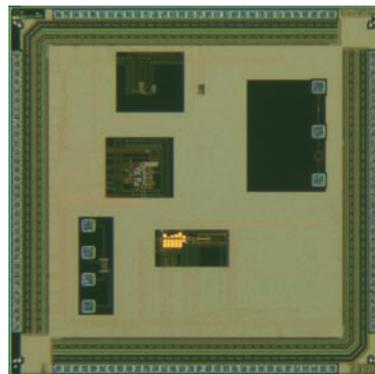
不揮発性 SRAM

金沢大学医薬保健研究域 中山 和也

概要: 揮発性の SRAM と不揮発メモリをあわせたメモリ素子. これまで提案されている不揮発性 SRAM は, 1セルあたり1つの SRAM と1つの不揮発メモリから構成されており, 1セルあたり1ビットの情報を取り扱う. 本チップの回路でも, 1セルあたり1つの SRAM と1つの不揮発メモリで構成される. しかし, 多値の不揮発メモリを使用することで電源遮断時に, 1セルあたり2ビット以上の情報を保存できるよう工夫した. これによりセルアレイの縮小などが期待できる. 今回不揮発性メモリ部分は作成できなかったため固定抵抗で代用し, 周辺回路を含めた全体構成の検証をおこなった. その他として, 不揮発性メモリ用の読み出し回路, 書き込み回路も作成し, 検証をおこなった. Virtuoso で回路図を作成し, HSPICE でシミュレーションをおこなった. レイアウトは Virtuoso でおこない, DRC などは Calibre を使用した.

参考文献: Kazuya Nakayama and Akio Kitagawa, "Circuit Implementation, Operation, and Simulation of Multivalued Nonvolatile Static Random Access Memory Using a Resistivity Change Device", Active and Passive Electronic Components Volume 2013 (2013), Article ID 839198, Dec. 2013.

設計期間: 7人月以上, 8人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ



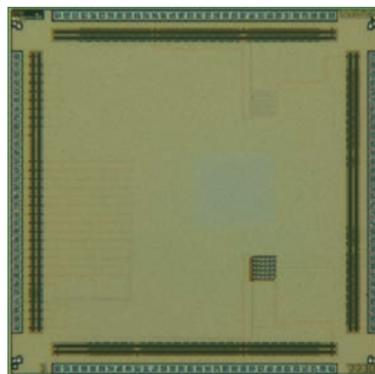
断熱的論理回路 CSSAL による 4bit ガロア体乗算器

岐阜大学大学院工学研究科 Monteiro Cancio, 高橋 康宏

概要: チップ設計者らは, 暗号回路で用いられることを想定し, 論理回路内の負荷容量が演算時に均一になるような回路構造を有する断熱的論理回路 CSSAL (Charge-sharing symmetric adiabatic logic) を参考文献にて提案している. 提案回路の構造は, 差動論理を基本とし, 電源および入力信号を制御するゲートを付加した. その結果, 提案回路は, 演算時の遷移電流にばらつきが生じず, 断熱的論理によりそのピーク値も抑えることが可能である. 提案回路の有用性を示すために, 暗号回路でよく実装される, ガロア体上の 4bit 配列型乗算器試作を行った. 測定評価の結果, 電流ピークは演算に依らず一定値を示した. また, 消費電力は 0.9 μ W/MHz であった.

参考文献: C. Monteiro, Y. Takahashi, and T. Sekine, "Charge-sharing symmetric adiabatic logic in countermeasure against power analysis attacks at cell level," Microelectronics Journal, vol. 44, no. 6, pp. 496-503, June 2013.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



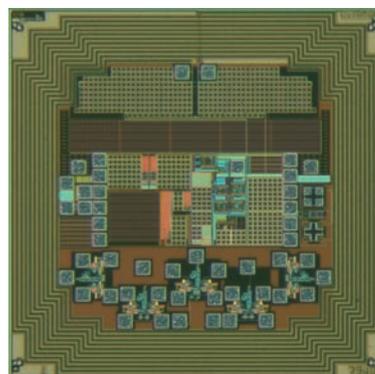
非接触給電を搭載した微粒子操作チップ

大阪大学大学院工学研究科 崔 冀, 岩崎 紘介, 松岡 俊匡

概要: 微小化学分析システムの小型化・高機能化を実現するために, CMOS 技術, 無線給電と誘電泳動を融合して, 無線給電オンチップ微粒子操作システムの実現を目指している. 本チップでは, 無線電力伝送効率の低さに起因する発熱を抑えるために, 徹底的な低電圧・低消費電力化設計を行った. また, オンチップ上で誘起された電圧の安定化を図るために, オンチップ電圧モニタリング回路 (電圧センサ) が搭載されている. この電圧センサを用いることで, 誘電泳動で微粒子操作するために必要な振幅可変・周波数可変の駆動信号が実現できる. 更に, 誘電泳動微粒子操作のための容量検出回路も配置している.

参考文献: [1] S. Ueda, Y. Miyawaki, J. Wang, T. Matsuoka, and K. Taniguchi, "Wireless on-chip microparticle manipulation using pulse driven dielectrophoresis," IEICE Electronics Express, Vol. 9, No. 1, pp. 16-22, Jan. 2012.

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence 社 Encounter RTL Compiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



10GHz帯域のCMOSアバランシェ光検出器

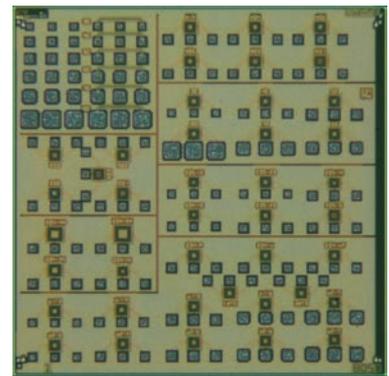
金沢大学大学院自然科学研究科電子情報科学専攻 霜鳥 敏之

金沢大学理工研究域電子情報学系 丸山 武男, 飯山 宏一

概要: CMOSプロセスで光検出器を作製することは、集積回路との集積化による低コスト化・高信頼化や集積回路上の伝送速度の高速化の観点からも重要である。光技術の応用分野として通信分野と情報処理分野があるが、このチップでは、光インターコネクション用の高速光検出器を設計・試作した。nMOSの構造を利用した層構造と櫛形電極構造の横型PIN構造を採用し、櫛型電極間隔、受光面積および高周波測定のためのパッド面積を変化させた素子を作製した。また、高速化を実現するために基板深部での光吸収により発生した拡散移動のキャリアを除去する構造を採用した。暗電流は10 pA程度、降伏電圧は9.2 V程度であった。受光特性は波長850 nm帯で評価し、零バイアスでの感度は0.0076 A/W、降伏電圧付近で150倍程度のアバランシェ増幅を確認した。帯域は電極間隔0.84 μm 、受光面積10x10 μm^2 、パッド面積30x30 μm^2 の素子で最大で10 GHzを得た。

参考文献: T. Shimotori, K. Maekita, R. Gyobu, T. Maruyama, and K. Iiyama, "Optimizing interdigital electrode spacing of CMOS APD for 10 Gb/s application", 18th Opto-Electronics and Communications Conference/Photonics in Switching 2013 (OECC/PS), MM1-3, Kyoto, Japan (July 2013)

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula, Cadence社 Diva **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** その他

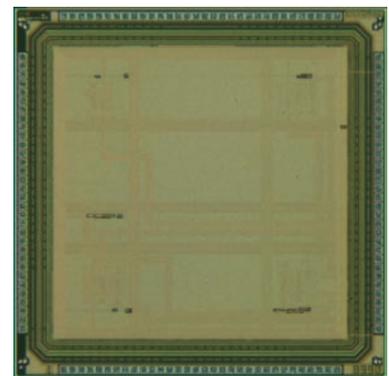


DC-DCコンバータ回路 TEG1

金沢大学大学院自然科学研究科 細川 淳平, 深山 正幸, 松田 吉雄

概要: 近年風力発電や太陽光発電のエネルギーを蓄電する技術が注目されている。本試作では、降圧型DC-DCコンバータ回路を利用してステップ的に充電する回路において、スイッチ部とデューティ比の生成・制御を行う回路を搭載した。クロックが入力されると複数のデューティ比信号を生成し、外部からの制御信号によってデューティ比の切り替えを行うことができる。また本試作では、評価を目的として5つの回路を搭載している。その内3つの回路はDC-DCコンバータのスイッチ部の消費電力と動作の確認を行う回路でスイッチ部のサイズが異なる。残り2つの回路はそれぞれデューティ比生成回路の消費電力と動作の確認を行う回路である。今回の試作では、DC-DCコンバータのスイッチ部をマニュアルで、デューティ比生成回路を論理合成によるP&Rでレイアウトした。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

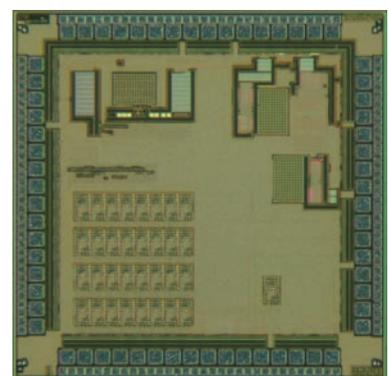


ホールセンサアレイチップの省電力化

豊橋技術科学大学電気・電子情報工学系 村上 裕二, 井美 棕太

概要: 別プロジェクトで試作したアンプ、A/Dコンバータとその制御機構を活用して、ゲル膨潤を検出し、送信するLSI開発を進めている。グルコース応答性ゲルと組み合わせることにより、血糖値センサとしての利用を目論んでいる。8x4のホールセンサアレイの動作において、オンチップホールセンサは低抵抗のため大量の電流が流れてしまう。これは無線給電を前提としている本システムとして致命的である。また温度上昇による特性変化で出力にも影響を与えると懸念される。そこで本チップには消費電力削減のために、シーケンサーにより、特定カウンタ条件でアレイの行と列の両信号が入力されたときのみピクセル内に電源電圧を投入するようなMOSスイッチを各ピクセルに持たせた。動作開始後すみやかに当該ピクセルのホール電圧を計装アンプ経由で読み取り、デジタル化する動作である。また、配線を工夫することでアレイ面積を削減した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** マイクロプロセッサ



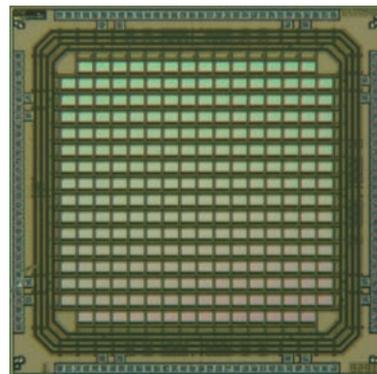
パワーインテグリティ評価チップ1

芝浦工業大学理工学研究科 市村 航

概要：LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振により生じる反共振ピークを抑え、電源ノイズの抑制効果を検証するために2種類のチップを設計した。2種類のチップはサイズが異なりそれぞれ2.5mm角と5mm角のチップを試作した。2. 試作チップ 設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、チップ内部に可変用MOSスイッチと抵抗素子を配置し、外部スイッチのON/OFF切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し、臨界制動領域を実現することで電源ノイズを抑えることを想定したものである。その他に本試作では、基本構成は同一でチップのサイズを2.5mmから5mm角に大きくしたチップも試作した。

参考文献：池田誠, 小林和淑, “デジタル集積回路の設計と試作”, 培風館, 2000

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



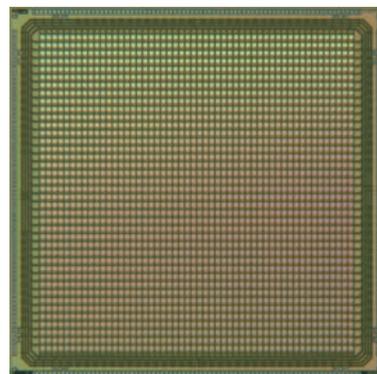
パワーインテグリティ評価チップ2

芝浦工業大学理工学研究科 市村 航

概要：LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振により生じる反共振ピークを抑え、電源ノイズの抑制効果を検証するために2種類のチップを設計した。2種類のチップはサイズが異なりそれぞれ2.5mm角と5mm角のチップを試作した。2. 試作チップ 設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、チップ内部に可変用MOSスイッチを配置し、外部スイッチのON/OFF切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し、臨界制動領域を実現することで電源ノイズを抑えることを想定したものである。その他に本試作では、基本構成は同一でチップのサイズを5mmから2.5mm角に小さくしたチップも試作した。

参考文献：池田誠, 小林和淑, “デジタル集積回路の設計と試作”, 培風館, 2000

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



平成25年度第1回ローム CMOS 0.18 μ m 試作 (R018131)

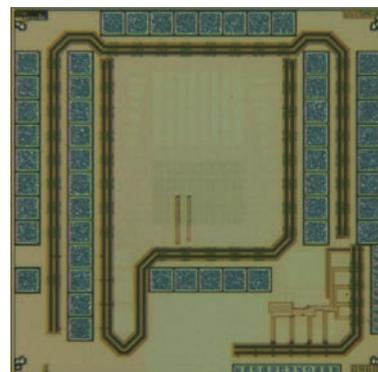
静電アクチュエータ用自律分散型制御回路

東京大学工学系研究科 劉 俊安

東京大学先端科学技術研究センター 丸山 智史, 年吉 洋

概要：本研究の目的は、マイクロアクチュエータ機構を有した多数のセルを一直線状に接続し、一端から発生した機械的な動きが次々に伝搬することによって、尺取り虫の蠕動運動のような自律分散アクチュエータの実現にある。本研究では、寸法1ミリメートル程度の微小な体積の中に、動物の筋肉に相当する電気化学ポリマー型のアクチュエータと、駆動用の微小電極を集積化した。この材料は、ポリマーの分子間にイオンが入り込むことで結合状態が変化し、その結果として体積が大きく変化する特殊な機能性材料である。このポリマーが2V程度の低電圧で駆動可能であることに着目し、セル内部に電源電圧1.8Vの集積回路を組み込むことで、人工筋肉を電氣的に駆動する方法を考案した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路 (乗算器, 除算器など)



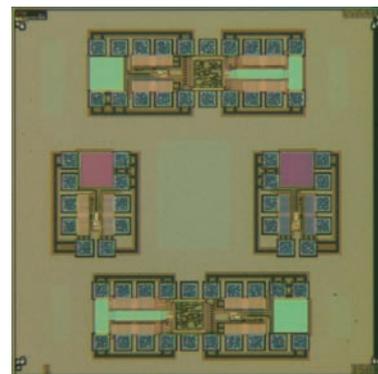
デジタル・アナログ並列型 LDO 電圧レギュレータ

東京大学生産技術研究所 森 雄章, 更田 裕司, 高宮 真, 桜井 貴康

概要：低消費電力 SoC 向けのオンチップ LDO 電圧レギュレータ (以下, LDO と略す) には, 低入力電圧かつ低暗電流 (quiescent current) が求められる。これらの条件を満たす LDO として, デジタル LDO が提案されているが, 従来のデジタル LDO には, 応答時間が遅く, また出力リップルが大きいという問題があった。そこで本研究では, これらの問題を解決する為, 粗調用のデジタル LDO と微調用のアナログ LDO を並列動作させる, デジタル・アナログ並列型 LDO 電圧レギュレータの設計を行った。試作チップの測定を行い, 従来のデジタル LDO に比べ, 電流効率 97.1%において, 応答時間 59%, 出力リップル 28%の減少を確認した [1]。

参考文献：[1] K. Mori, Y. Okuma, X. Zhang, H. Fuketa, T. Sakurai, and M. Takamiya, "Analog-Assisted Digital Low Dropout Regulator (AAD-LDO) with 59% Faster Transient Response and 28% Ripple Reduction," SSDM, pp. 888-889, Sep. 2013.

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICOMPILER, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE (RF), Synopsys社 HSIM トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

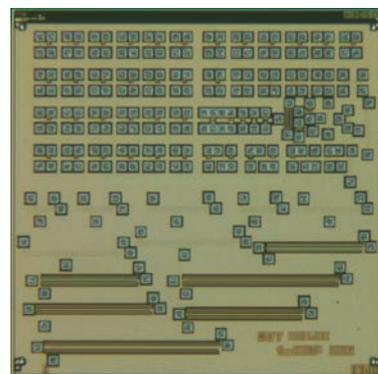


Gate Controlled Diode と基板バイアス効果のスケール性検討 TEG

金沢工業大学工学部電気系 田篠 奏, 井田 次郎

概要：本 TEG は, 以下の2項を搭載している。1) Gate Controlled Diode: エネルギー・ハーベスティングの一つである環境 RF 発電を研究テーマとしている。その整流素子として Gate Controlled Diode (GCD) をデバイスの視点で検討する。各種のサイズの GCD を設計した。さらに, ルーベン大学の Flandre 先生提案の Ultra Low Leakage Diode (ULPD) も搭載した。DC 特性の測定により, Gate Induced Drain Leakage, Source-Drain Bulk Leakage Pass, Source/Drain Forward Leakage など GCD の逆方向リーク電流のメカニズムが明確になった。また, ULPD も論文で述べられた特性がでることを確認した。2) 各種のリングオシレータ: MOSFET の基板バイアス効果のスケール性を検討している。微細になると MOSFET の基板バイアス効果は小さくなると言われる。よって, 先端 LSI では VTCMOS などの基板バイアス効果を使う低電力手法が使えなくなる。我々は, デバイスシミュレーションで, 実は, MOSFET のデバイス設計として短チャネル効果を確実に抑制すれば, 微細になっても基板バイアス効果が残ることを確かめた。その残る基板バイアス効果が, 基本回路の遅延時間に及ぼす影響を確認するため, ここでは各種のリングオシレータを設計した。多入力 NAND, NOR の入力数と段数, さらに, 負荷容量を変えた。リングオシレータの発振は確認でき評価継続中である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

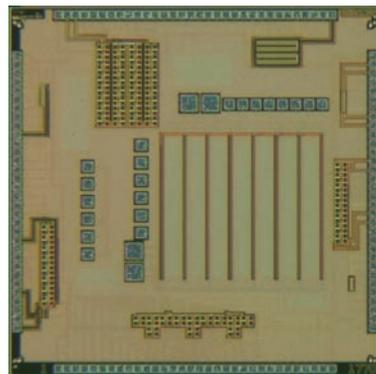


SFQ/CMOSハイブリッドメモリ用 64-kb CMOSメモリ

横浜国立大学大学院工学府 佐々木 悠太, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップには8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的はSFQ-in, SFQ-outのハイブリッドメモリの全チャンネル動作を実証することである。これまでのメモリに対して、アンプとデコーダ間における配線ミスを改善し、64-kb CMOSメモリ回路の完全動作実証を目指した。測定を行った結果、常温と極低温の両環境下においてアドレス信号11ch, Read/Write信号2ch, データ信号8chの全21chの動作を確認し、アクセスタイムは1.32 nsとなった。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 Star-HSPICE, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

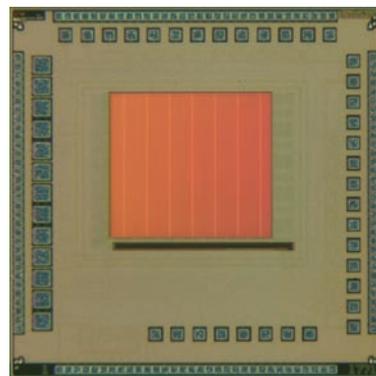


MOSFETを用いた可逆演算回路

横浜国立大学大学院工学府 井上 孔佑, 吉川 信行

概要: 我々はCMOS集積回路を用いた低電力化技術として、可逆演算回路を研究している。可逆演算回路とは電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である。また、情報の保持を行うことで低電力化できる。本チップには、4相の台形波で動作する可逆演算回路の段数が異なるもの、およびカップリング容量の大きさが違う物が載っている。さらに、電力測定用に大規模な回路も載せた。我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップには64-kb CMOSメモリに11chアドレスデコーダ単体の速度測定用回路を載せている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 Star-HSPICE, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

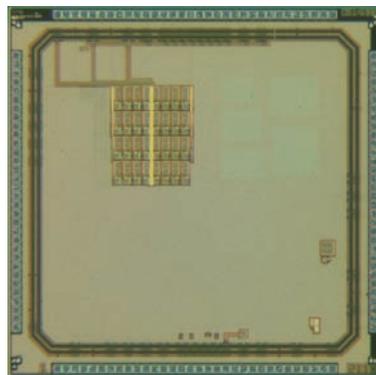


低周波数発振可能な CPG モデルと多値 SRAM の試作

日本大学理工学部 二瓶 乃亮, 小久保 智彬, 奥山 敦司, 真下 祐一, 佐伯 勝敏

概要: 生体は、脊椎に歩行制御を行うCPG (Central Pattern Generator) を有し、ロボットの歩行制御にはCPGモデルが有効である。さらに、ロボットの歩行制御には、低周波数発振が可能なCPGモデルが必要である。そこで、我々は、低周波数発振可能な介在細胞集団モデルを提案した。このモデルは、パルス形ハードウェアニューロンモデル (P-HNM) とバイアス電圧値により積分時定数を制御可能なOTAシナプスモデルで構成されるニューラルオシレータである。そして、介在細胞集団モデルで構成したCPGモデルはニューラルオシレータの位相同期特性を用いて位相シフトを行うニューラルネットワークである。今回、数Hz程度の低周波数での位相シフト制御を目的とし、ロボットの歩行制御パターンを生成するCPGモデル、低周波数発振可能な介在細胞集団モデル、簡単な位相同期回路の試作を行った。一方、微細化技術に依らない性能向上方法として多値化技術を用いたSRAMについて研究を行っている。多値SRAMは、 Λ 形負性抵抗素子を並列接続した構成を基本ドライバ部として用い、ドライバ部を動作させるためのバイアス部、キャパシタにより分圧したバイアス部、及び安定生成のための負荷電流源を接続し多安定回路を構築し、多安定回路に対しN型MOSFETをスイッチとして接続することでSRAMとしての動作を行わせる。今回、上記の多値SRAMの試作を行った。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



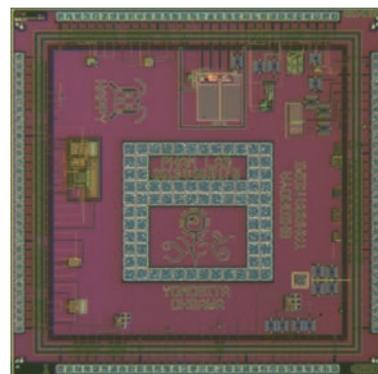
アナログ回路試作

電気通信大学情報理工学研究科 蓬田 拓夢, 大澤 衛

電気通信大学情報理工学部 塩野谷 雅仁

概要: 今回はテスト試作ということで、様々なアナログ回路を試作し測定を行なった。主な試作回路は、4bit Flash 型 A/D コンバータ、4bit SAR A/D コンバータ、二種類のリングオシレータ、オペアンプ、D-FF、OOK レシーバ、32kHz 水晶発振器である。4bit Flash 型 A/D コンバータ回路はコンパレータとインバータ、NAND、NOR、Vref 回路で構成した。しかし、ESD の配線ミスなどの原因により測定不能となった。また、32kHz 水晶発振器も ESD の配線ミスで測定不能となるなど、最終検証の甘さが目立つ結果となった。リングオシレータは両者ともインバータで構成し、23 段型では 7.35 MHz (電源電圧 1.8 V)、43 段型では、56 MHz (電源電圧 1.8 V) となり、概ねシミュレーションと一致した。4bit SAR A/D コンバータは基本的な回路構成で、コンパレータ、D/A コンバータ、逐次比較レジスタから構成されている。また、オペアンプ、D-FF でも動作確認済みである。OOK レシーバについては、誠意測定中である。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

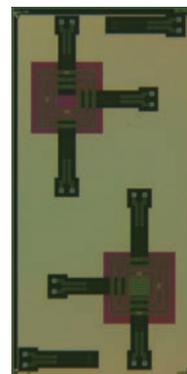


インダクタおよび発振器評価 TEG

呉工業高等専門学校電気情報工学科 外谷 昭洋

概要: 本チップは可変ゲインのアンプを搭載した LC 型電圧制御発振器 (LC-VCO) および、LC-VCO に含まれるインダクタの評価 TEG となっている。LC-VCO は発振周波数を決定する LC 共振回路部と正帰還を掛けて発振を継続させるアンプ部からなり、LC 共振回路部で生じた損失をアンプ部が補うことで発振を継続させている。LC-VCO においては周囲の環境や内部の素子バラツキなどによって最低限必要なアンプのゲインが変化してしまう。また、アンプのゲインを上げることは消費電力の増大につながり、余分な電力を消費してしまうため、本チップでは発振可能な最低限のゲインを選択し、低消費電力で発振が持続できるように、可変ゲインのアンプを採用している。また、LC 共振回路部に含まれるインダクタについては、LC-VCO の発振特性に影響を与えるため、評価 TEG を用いて検証を行った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

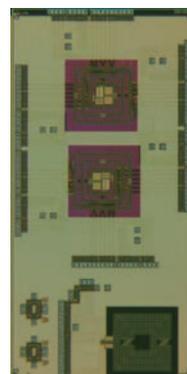


インダクタおよび発振器評価 TEG

呉工業高等専門学校電気情報工学科 外谷 昭洋

概要: 本チップは可変ゲインのアンプを搭載した LC 型電圧制御発振器 (LC-VCO) および、LC-VCO に含まれるインダクタの評価 TEG となっている。LC-VCO は発振周波数を決定する LC 共振回路部と正帰還を掛けて発振を継続させるアンプ部からなり、LC 共振回路部で生じた損失をアンプ部が補うことで発振を継続させている。LC-VCO においては周囲の環境や内部の素子バラツキなどによって最低限必要なアンプのゲインが変化してしまう。また、アンプのゲインを上げることは消費電力の増大につながり、余分な電力を消費してしまうため、本チップでは発振可能な最低限のゲインを選択し、低消費電力で発振が持続できるように、可変ゲインのアンプを採用している。また、LC 共振回路部に含まれるインダクタについては、LC-VCO の発振特性に影響を与えるため、評価 TEG を用いて検証を行った。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



DS Time to Digital Converter および LC Digital Controlled Oscillator の試作

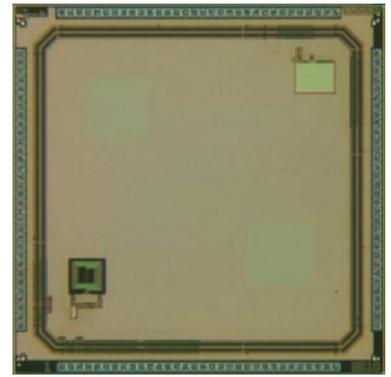
法政大学大学院工学研究科 嘉藤 貴博

法政大学理工学部 中村 有輝, 石川 悠介

概要: 本試作では、TDCの特性改善のため、アナログ位相比較器とDS手法による小型化かつ高精度なTDCの設計/試作/評価を目的とした。試作で搭載したものは、(日) Analog Phase Frequency Detector (APFD) + Differential Charge Pump (Diff_CP) + Differential Completer (Diff_Cmp) によって構成される DSTDC 1) 評価用 CP 2) 高速サンプリングCLKを提供するLC共振型Digital Controlled Oscillatorである。前回は発振が不安定であったが、今回はLC共振型Digital Controlled Oscillatorの1.6GHz~2.4GHzの安定した発振動作を確認した。本試作を継続することにより、まったく新しいTDCを検討することが可能でありLC共振器型Oscillatorのような、低位相雑音だが、多層CLKができないOscillatorでも、PLLのデジタル化が可能であり、今後のLSIの小型化、デジタル化に大いに貢献できると考える。

参考文献: 嘉藤貴博, 安田 彰, 吉野理貴, $\Delta\Sigma$ TDC ($\Delta\Sigma$ -Time to Digital Converter) の検討および設計, 電子情報通信学会全国大会, C-12-72, Mar., 2013.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



デジタル化に大いに貢献できると考える。

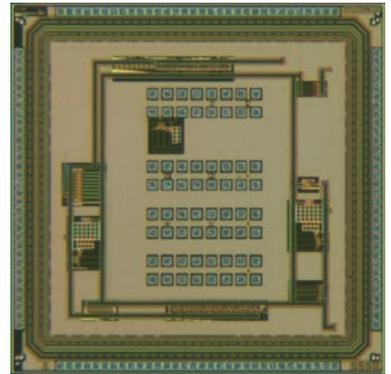
圧力センサ用多チャンネルCV変換回路の設計

富山県立大学大学院工学研究科情報システム工学専攻 和泉 幸司

富山県立大学工学部情報システム工学科 松田 敏弘, 岩田 栄之

概要: 医療や介護, 健康機器などの民生分野では, 従来より部品点数が少なく, 小型・低コスト化が可能な圧力センサが望まれている。また, これらの分野では, 多数のセンサを2次元的に配置し, 圧力の面分布を検出するシステムが求められている。本研究では, 圧力を静電容量の変化として検出する静電容量型センサのためのCV(容量-電圧)変換回路の開発を行っている。本研究では, 従来の回路を応用し, 消費電力が小さく, 応答時間が早いCV変換回路を設計した。また, 多数のセンサを同時に検出できる多チャンネルCV変換回路も設計した。本チップには, 2チャンネルの信号を同時検出可能な2チャンネルCV変換回路, 縦と横に8個ずつ並べた合計64個の2次元配置されたセンサに対応する8チャンネル \times 8チャンネルCV変換回路, クロック発生のための発振回路およびタイミング信号発生回路を搭載した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

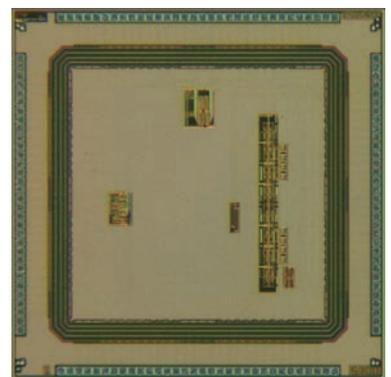


SRAM 評価用 TEG 及びリング発振回路評価用 TEG

九州工業大学情報工学部 伊見 仁, 福田 知宏, 中村 和之

概要: 今回作製したチップは, 本研究室で提案されている「閾値電圧ばらつき評価SRAM」及び「リング発振回路」の評価を行うTEGとなっている。閾値電圧ばらつき評価SRAMについては外部から電源を用いて6トランジスタSRAM及び12トランジスタSRAMの閾値を意図的にばらつかせることが可能なTEGとなっており, 閾値電圧に対する各SRAM回路の耐性を定量的に評価することが可能となっている。このTEGを用いて各SRAMの閾値電圧ばらつき耐性を実測により評価する事を目的としている。リング発振回路評価用TEGについては, 制御電圧を変化させることでリング発振回路のパラメータを疑似的に変化させることができ, これまでに提案された全ての偶数段リング発振回路の回路構成を模擬することが可能であり, これにより, 各偶数段リング発振回路の設計マージンを定量的に評価することができる。

設計期間: 1人月以上, 2人月未満 **設計ツール:** nanodesign社 ns-draw, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

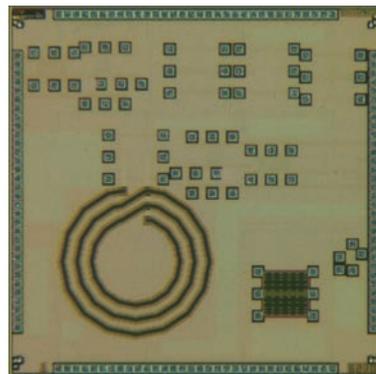


低電圧 CMOS アナログ回路の試作

明治大学理工学研究科 伊藤 遼, 小林 直弘, 佐藤 雅紀, 石原 貴大

概要: 低電圧駆動, 低消費電力というテーマを根底に置き, 各々の研究において提案した回路, 評価に必要な回路の試作を行った. 以下が試作した回路の概略となる. サーマルシャットダウンを目的とした微小電源電圧駆動 PTAT 電圧発生回路とインバーター回路, そして, その全体回路, 基準電圧発生回路を目的としたしきい値検出回路, 温度センサを用いたログドメインフィルタ回路, 負の温度依存性を持ったしきい値電圧抽出のための回路, 1nH 程度になるようなオンチップインダクタ, オープンショート法を用いるためのオープンショート素子の設計, 直径 1mm 3 巻きスパイラルインダクタの設計, 熱源を用いた PTAT. これらの回路は測定器による動作確認を通して妥当性の検証を行い, これからの試作につながるような評価を行っている.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル 信号処理プロセッサ



サイドチャネル攻撃対策 AES と PUF 技術を用いた耐タンパ認証システム向けのセキュア LSI

立命館大学理工学研究科 鷓飼 慎太郎, 柴谷 恵, 浅川 俊介

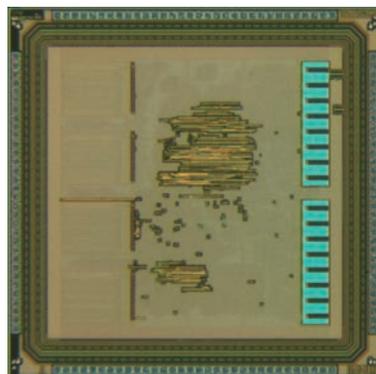
立命館大学総合理工学研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: 近年, 暗号回路を搭載した IC チップはクレジットカードや電子マネー, 利用者認証など様々な用途で使用されている. しかし, 秘密情報をサイドチャネル攻撃により窃取される, もしくは不揮発メモリに格納している秘密情報を物理解析により窃取され, 偽造・複製されてしまう危険性が指摘されている. 我々はこれらの防止対策として, 提案してきた Hybrid Masking Dual-Rail ROM (HMDR-ROM) 方式を用いたサイドチャネル攻撃対策 AES 暗号とランダムな製造時のばらつきからチップ固有の情報を生成する Physical Unclonable Function (PUF) 技術を組み合わせた高セキュア認証システムを開発した.

本試作チップはこの高セキュア認証システムに搭載するチップであり, キーレスエントリーを模した認証システムの実現を行った.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM **トランジスタ数:** 100,000 ~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



レーザー照射によるフォールト攻撃の検証用 TEG チップ

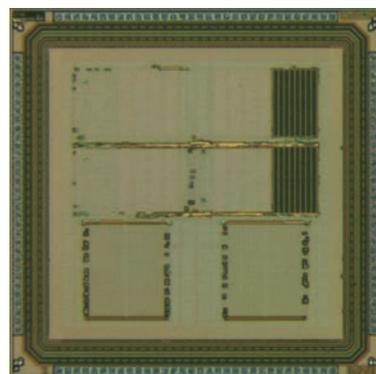
立命館大学理工学部 中野 将志, 藤野 毅

立命館大学理工学研究科 中井 綱人, 浅川 俊介

立命館大学総合理工学研究機構 汐崎 充

概要: 暗号回路を搭載した LSI において, レーザ照射によるフォールト攻撃によって暗号鍵情報が窃取される危険性が指摘されている. 本試作チップには, レーザフォールト攻撃の基礎実験として, インバータ回路へレーザー照射が行われた時の影響を調べるための TEG を搭載した. また, クロックバッファへレーザー照射が行われたときに発生するクロックグリッチ等の影響を観測するためのクロックツリーとクロック異常検出回路からなる TEG も搭載した. 更に, DFF の保持する値がレーザー照射によりビットフリップする現象を観測するための TEG と, レーザフォールト攻撃の時に流れる電流とソフトエラー発生時に流れる電流が似ていることに着目してソフトエラー対策回路がレーザーフォールト攻撃の対策として有効であるかを調べるためにソフトエラー対策の DICE (Dual Interlocked Storage Cell) を用いたラッチ回路も合わせて搭載した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM **トランジスタ数:** 100,000 ~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



レーザー照射によるフォールト攻撃の検証用 TEG チップ

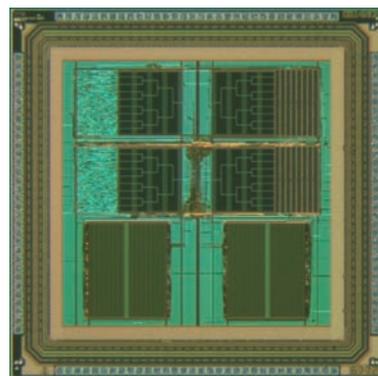
立命館大学理工学部 中野 将志, 藤野 毅

立命館大学理工学研究科 中井 綱人, 浅川 俊介

立命館大学総合理工学研究機構 汐崎 充

概要: 暗号回路を搭載した LSI において, レーザ照射によるフォールト攻撃によって暗号鍵情報が窃取される危険性が指摘されている. 本試作チップには, レーザフォールト攻撃の基礎実験として, インバータ回路へレーザー照射が行われた時の影響を調べるための TEG を搭載した. また, クロックバッファへレーザー照射が行われたときに発生するクロックグリッチ等の影響を観測するためのクロックツリーとクロック異常検出回路からなる TEG も搭載した. 更に, DFF の保持する値がレーザー照射によりビットフリップする現象を観測するための TEG と, レーザフォールト攻撃の時に流れる電流とソフトエラー発生時に流れる電流が似ていることに着目してソフトエラー対策回路がレーザーフォールト攻撃の対策として有効であるかを調べるためにソフトエラー対策の DICE (Dual Interlocked Storage Cell) を用いたラッチ回路も合わせて搭載した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM **トランジスタ数:** 100,000 ~ 1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



サイドチャネル攻撃評価用 AES 暗号回路

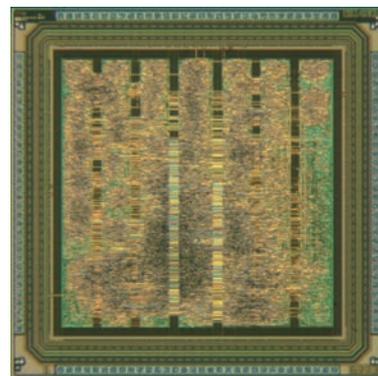
立命館大学理工学研究科 中井 綱人, 鶴飼 慎太郎, 柴谷 恵, 浅川 俊介

立命館大学総合理工学研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: IC カードに代表される, 暗号回路を搭載した LSI において, 消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている. 何の対策も施さず設計された暗号回路は, 動作時における内部ノードの論理値と消費電力の間に相関があるため, 消費電力波形を多数収集し, 差分電力解析 DPA (Differential Power Analysis) および相関電力解析 CPA (Correlation Power Analysis) を行うことで, 秘密鍵を特定することができる. 本試作チップは, 電磁波解析攻撃やフォールト攻撃実験なども含めた新たな攻撃評価を行うために 2 種類の未対策 AES 暗号回路を追加提出したものである.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM **トランジスタ数:** 100,000 ~ 1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



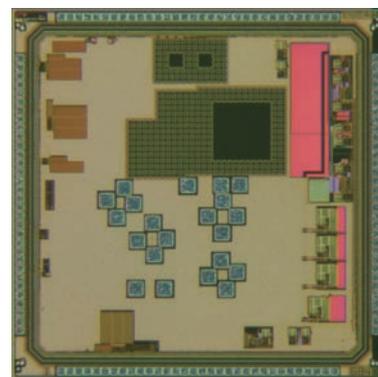
パッチクランプ測定システムの改良, 及び単チップで動作するマイクロシステムのための電源回路

慶應義塾大学大学院理工学研究科 中山 渉, 安田 陽平, 野村 一樹, 小野 東輝,
川島 拓也

慶應義塾大学理工学部 中野 誠彦

概要: 近年, 人と機械の間を中継するインタフェースである BMI (brain-machine interface) の研究が盛んに行われている. 今後の BMI の発展のためには神経細胞の更なる研究と開発が必要である. 我々は細胞の測定手法であるパッチクランプ法用の測定システムを以前設計し, 今チップではその改良版を試作した. IV コンバーターの抵抗をチップ内に載せたものを作るため設計. また減算回路に用いた抵抗を大きくすることで出力電圧が大きくとれるようにした. 補償回路内におけるゲイン変更ブロックのロジック回路は論理とロジックを共に再設計し面積を小さくした. 別の研究として, 単チップで動作するマイクロシステムのための電源回路を設計した. 回路では太陽電池の出力をチャージポンプ DC-DC コンバータによって昇圧する. 出力源として 400 μ m \times 400 μ m の太陽電池を作成し, DC-DC コンバータと同一チップ上に設計した. DC-DC コンバータの動作に必要なクロック生成リングオシレータや, 出力安定化のためのレギュレータも同一チップ上に設計した. また, これまでに未設計の 2 種類の構造の太陽電池も設計した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



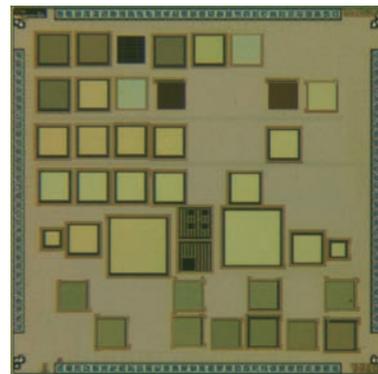
オンチップ太陽電池の開発チップ1

東洋大学総合情報学部 堀口 文男

概要：メンテナンスフリーの分散ネットワークシステムの構築を目標とする。現在、電源を外部や、電池に頼らず、供給する方法として、振動や、温度差、無線電力を電源に変換する方法が用いられているが、これらの方法は、変換効率が低く、供給も不安定であり、装置が大型になってしまう欠点がある。一方、Siのpn接合を用いた太陽電池は、光により、安定した電源出力を得ることができるが、従来は、コストの問題から個別の太陽電池と集積回路の組み合わせでしか用いられなかった。以上の問題を解決する方法として本研究はSi太陽電池とSi集積回路を同時に集積し、高効率で高集積なメンテナンスフリーのセンサーノードを実現することを目的とする。Si太陽電池とCMOSLSIとを集積化した際の問題点について、解決策を探る。具体的には、Triple-well構造を用いて、太陽電池を直列接続する方法の最適化設計法の検討を行う。また、この提案に基づき、実験チップをVDEC（東京大学大規模集積システム教育研究センター）にて試作、評価することで、この技術の検証を行う。また、個別Si太陽電池の特性を測定し、直列接続に最適な構成を見出し、これにより太陽電池接続の性的設計を行う。また、直列接続を行う制御回路にLSI回路を用いて、効率を最大化する制御法の開発を行う。

参考文献：堀口文男，“オンチップ太陽電池のダイナミック電圧・電流制御”，信学論（C），Vol. J97-C, No. 2, pp. 77-78, (Feb. 2014)。

設計期間：0.5人月以上，1人月未満 **設計ツール：**Synopsys社 DesignCompiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG（特性評価回路など）



個別Si太陽電池の特性を測定し、直列

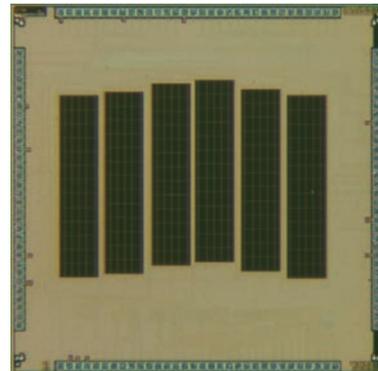
オンチップ太陽電池の開発チップ2

東洋大学総合情報学部 堀口 文男

概要：メンテナンスフリーの分散ネットワークシステムの構築を目標とする。現在、電源を外部や、電池に頼らず、供給する方法として、振動や、温度差、無線電力を電源に変換する方法が用いられているが、これらの方法は、変換効率が低く、供給も不安定であり、装置が大型になってしまう欠点がある。一方、Siのpn接合を用いた太陽電池は、光により、安定した電源出力を得ることができるが、従来は、コストの問題から個別の太陽電池と集積回路の組み合わせでしか用いられなかった。以上の問題を解決する方法として本研究はSi太陽電池とSi集積回路を同時に集積し、高効率で高集積なメンテナンスフリーのセンサーノードを実現することを目的とする。Si太陽電池とCMOSLSIとを集積化した際の問題点について、解決策を探る。具体的には、Triple-well構造を用いて、太陽電池を直列接続する方法の最適化設計法の検討を行う。また、この提案に基づき、実験チップをVDEC（東京大学大規模集積システム教育研究センター）にて試作、評価することで、この技術の検証を行う。また、個別Si太陽電池の特性を測定し、直列接続に最適な構成を見出し、これにより太陽電池接続の性的設計を行う。また、直列接続を行う制御回路にLSI回路を用いて、効率を最大化する制御法の開発を行う。

参考文献：F. Horiguchi, “Integration of Series-Connected On-Chip Solar Battery in a Triple-Well CMOS LSI”, IEEE Trans. on Electron Devices, vol. 59, No. 6, pp. 1580-1584, (June 2012)。

設計期間：0.5人月以上，1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG（特性評価回路など）



個別Si太陽電池の特性を測定し、直列

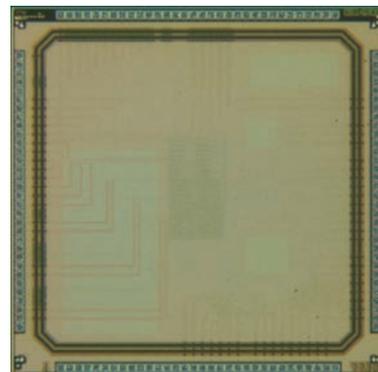
オフチップ共振回路を用いた断熱的論理用低消費電力電源回路

岐阜大学工学部 高橋 康宏, 佐藤 比佐夫

概要：チップ設計者らは、断熱的論理回路を駆動するための周期波電源を参考文献にて提案している。提案回路は、LC共振回路、バイアス生成回路、電流制御回路、および、共振ピーク制御回路で構成される。本プロセスを用いてSPICEシミュレーションを行ったところ、100 nA 負荷時の消費電力は10.8 μ Wと低消費電力特性を示した。その後、LC共振回路に各提案回路を接続し、周期波電源システムとしての動作確認を行ったところ、システムは100 kHzの正弦波を安定的に出力し、そのときの消費電力は35.5 mWであった。本チップは、電源回路の他に、断熱的論理回路2PC2ALを用いた疑似ランダムパルス発生器を搭載している。電源回路とパルス発生器を接続したところ、回路は正常動作していることを確認した。

参考文献：高橋, 佐藤, "オフチップ共振回路を用いた断熱的論理用低消費電力電源回路," 電気学会論文誌C, vol. 133, no. 2, pp. 250-255, Feb. 2013.

設計期間：0.5人月以上，1人月未満 **設計ツール：**Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ混載



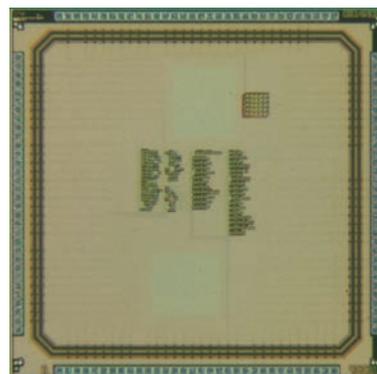
断熱的論理回路 CAASL による 8bit-Sbox

岐阜大学大学院工学研究科 Monteiro Cancio, 高橋 康宏

概要: チップ設計者らは、暗号回路で用いられることを想定し、論理回路内の負荷容量が演算時に均一になるような回路構造を有する断熱的論理回路 CSSAL (Charge-sharing symmetric adiabatic logic) を文献 [1] にて提案している。提案回路の構造は、差動論理を基本とし、電源および入力信号を制御するゲートを付加した。その結果、提案回路は、演算時の遷移電流にばらつきが生じず、断熱的論理によりそのピーク値も抑えることが可能である。提案回路の有用性を示すために、暗号回路でよく実装される、S-box の試作を行った。S-box には、AND-XOR ロジックからなる Multi-Stage PPRM を採用した。また、タイミングハザードを抑制するために、電源を 3 相駆動とした。測定評価の結果、電流ピークは演算に依らず一定値を示した。

参考文献: C. Monteiro, Y. Takahashi, and T. Sekine, "Charge-sharing symmetric adiabatic logic in countermeasure against power analysis attacks at cell level," *Microelectronics Journal*, vol. 44, no. 6, pp. 496-503, June 2013.

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

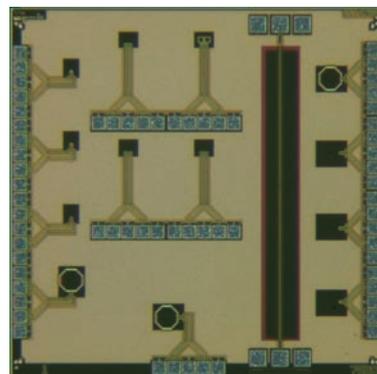


高周波・高空間分解能のマイクロ磁界プローブの開発

東北大学大学院工学研究科 山口 正洋, 室賀 翔, 重田 洋二郎

概要: 近年、電子機器の発展にともない、不要電磁放射による EMC 問題が顕在化している。その対策を行うにあたり、ノイズの発生、伝搬、混入経路を特定することが重要である。その方法として、我々の研究室では LSI 上で発生する近傍磁界を計測する高周波・高空間分解能のマイクロ磁界プローブの開発を行っている。本試作では、高周波・高空間分解能のマイクロ磁界プローブのセンサーに用いる 2 ターンコイルを試作した。チップと実装用プリント基板との実装には、電磁ノイズへの耐性強化、不要ループ削減のためにワイヤボンディングではなくフリップチップ実装を想定して信号取り出し用パッドを設計した。さらに、その基礎特性評価のための伝送線路および De-embedding パターンも試作した。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 QRC **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



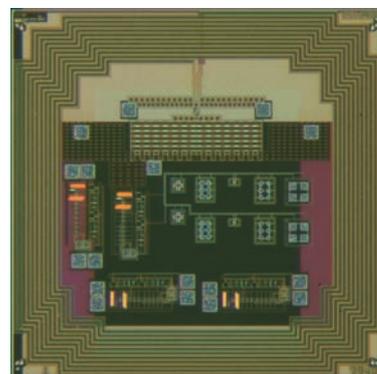
液中オンチップ微粒子操作非接触電力伝送集積回路 (1)

大阪大学大学院工学研究科 出井 良明, 岩崎 紘介, 崔 冀, 松岡 俊匡

概要: 小型バイオ・センサの実現に向けて、微粒子や細胞を任意に操作できる技術が必要になっている。本チップの構成は、溶液中への非接触電力伝送を想定したオンチップ・コイルによって外部から交流電力を供給することができ、その電力を電源電圧および微粒子操作信号に変換し、誘電泳動による微粒子操作を可能とするものになっている。外部からの配線なしで、動作を可能としている。前回のチップ試作 [1] より、安定した微粒子操作の実現に向けて、微粒子操作信号の電圧振幅を引き上げて、補正回路の再検討を行っている。また、テスト回路として補正回路付きリングオシレータも配置している。

参考文献: [1] Y. Kishiwada, H. Iwasaki, S. Ueda, Y. Dei, Y. Miyawaki, and T. Matsuoka, *IEICE Electronics Epress*, Vol. 10, No. 13, p. 20130407, July 2013.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



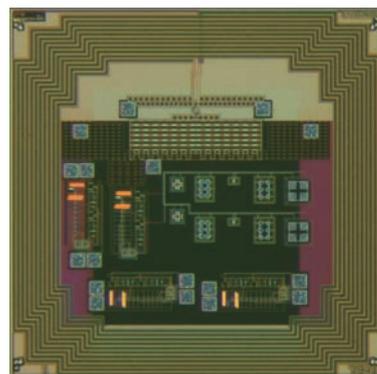
液中オンチップ微粒子操作用非接触電力伝送集積回路 (2)

大阪大学大学院工学研究科 出井 良明, 岩崎 紘介, 崔 冀, 松岡 俊匡

概要: 小型バイオ・センサの実現に向けて、微粒子や細胞を任意に操作できる技術が必要になっている。本チップの構成は、溶液中への非接触電力伝送を想定したオンチップ・コイルによって外部から交流電力を供給することができ、その電力を電源電圧および微粒子操作信号に変換し、誘電泳動による微粒子操作を可能とするものになっている。外部からの配線なしで、動作を可能としている。前回のチップ試作 [1] より、安定した微粒子操作の実現に向けて、微粒子操作信号の電圧振幅を引き上げて、補正回路の再検討を行っている。また、テスト回路として補正回路付きリングオシレータも配置している。

参考文献: [1] Y. Kishiwada, H. Iwasaki, S. Ueda, Y. Dei, Y. Miyawaki, and T. Matsuoka, IEICE Electronics Express, Vol. 10, No. 13, p. 20130407, July 2013.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ

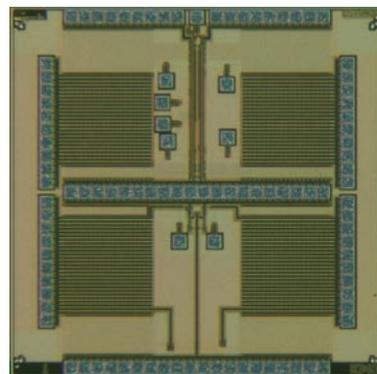


ワイヤレス給電用高効率同期整流器

慶應義塾大学理工学部 橋場 惇輝, 石黒 仁揮

概要: ワイヤレス給電では特に低電圧において、整流器の効率低下によるシステム全体の効率低下が大きな問題となる。そのため、高効率でかつ低電圧で動作する整流器を目指した。整流器は高効率を達成するために同期整流方式を採用し、低電圧で動作するコンパレータにより整流器入力電圧を検出して、整流用 NMOS スイッチのオン・オフ動作を制御した。設計において、コンパレータの動作速度が効率に大きく影響を与えるため、低電圧でかつ高速に動作するコンパレータの設計を中心に時間をかけた。また、同一チップ内に、ワイヤレス電力伝送用の送信機も搭載し、給電システムを構築できるような構成とした。13.56MHzでのスイッチングを想定して設計を行い、シミュレーションでは送信機投入電力が1.0Wのとき、受電側の整流後の電力は0.71Wとなりトータルの効率として71%が得られた。整流器単体の効率は90%以上である。整流器のコア部の回路面積は、0.5平方mmである。現在、試作チップにより性能評価を進めている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

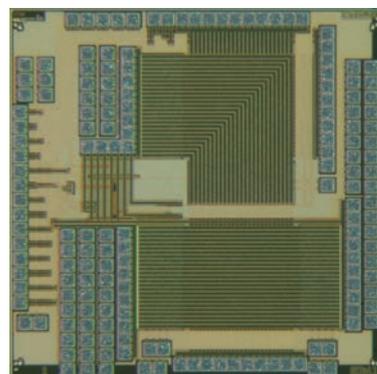


高速スイッチング SIDO DC-DC コンバータ

慶應義塾大学理工学部 川尻 徹, 石黒 仁揮

概要: 電子機器には多数の DC 電源が設けられている。システムの小面積化、低コスト化のために、単一インダクタで2つ以上の直流電圧を生成できる SIDO DC-DC コンバータが注目を集めている。今回、高速スイッチングを想定した SIDO DC-DC コンバータを設計した。試作した回路のサイズは約2mm \times 1mmで、主回路の MOS スイッチ、出力電圧を検出する比較器、および発振器と比較器で構成された PWM 生成回路が集積されており、外部補償器を用いることでフィードバックループを容易に構築できる構成となっている。シミュレーション結果で、1.8V 入力で1.6V と1.2V を出力することを想定したときに、出力電力が1桁の範囲 (1.6V 側の出力電力が6mW~60mW, 1.2V 側の出力電力が4mW~40mW) で2出力ともに効率70%を超える回路を作製した。また2出力の合計が最大となる800mWのときに全体の効率は87%であった。現在、試作したチップで測定システムを構築し、性能評価を進めている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

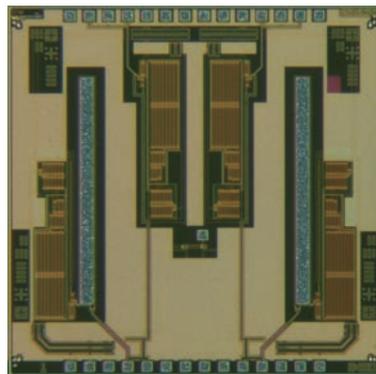


土壌センサ用評価チップ

豊橋技術科学大学 二川 雅登

概要：本試作は、信号伝搬電極とシリコン基板との間に発生する寄生容量の低減を目的としている。農業・環境分野において、小型センサによるオンサイト・リアルタイムモニタリングの重要性が高まってきている。しかし、未だ十分な性能を持つセンサが開発されておらず、更なる性能向上が求められている。特性を劣化させている一つの要因としてセンシングに至る信号伝搬電極の寄生容量があげられる。取得したい信号レベルに対し、電極からシリコン基板へ流れ出る電流が大きくなり、センシングを困難にさせている。寄生容量低減のための回路を設計し、従来のものより性能向上を目指した。またチップ完成後、追加形成を行うことでセンサとして動作させることを計画している。アライメントマークなどをチップ上に形成することにより、より精度のよいチッププロセスを実現する。これらが実現することにより、土壌や排水、河川など様々な場所でリアルタイム観察が可能となり、応用分野への展開が可能になると考えている。

設計期間：2人月以上、3人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Spectre **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

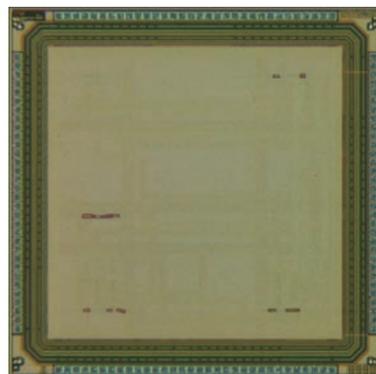


DC-DC コンバータ回路 TEG2

金沢大学大学院自然科学研究科 細川 淳平, 深山 正幸, 松田 吉雄

概要：近年風力発電や太陽光発電のエネルギーを蓄電する技術が注目されている。本試作では、降圧型DC-DCコンバータ回路を利用してステップ的に充電する回路において、スイッチ部とデューティ比の生成・制御を行う回路を搭載した。クロックが入力されると複数のデューティ比信号を生成し、外部からの制御信号によってデューティ比の切り替えを行うことができる。また本試作では、評価を目的として5つの回路を搭載している。その内3つの回路はDC-DCコンバータのスイッチ部の消費電力と動作の確認を行う回路でスイッチ部のサイズが異なる。残り2つの回路はそれぞれデューティ比生成回路の消費電力と動作の確認を行う回路である。今回の試作では、DC-DCコンバータのスイッチ部をマニュアルで、デューティ比生成回路を論理合成によるP&Rでレイアウトした。前回試作した結果をフィードバックして、回路パラメータを変更している。

設計期間：1人月以上、2人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

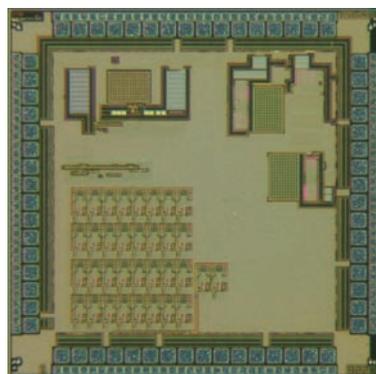


ホールセンサアレイ TEG チップ

豊橋技術科学大学電気・電子情報工学系 村上 裕二, 井美 椋太

概要：血糖値を推定可能な経皮連続モニタリングセンサ LSI システムの設計を行っている。予備検討の結果、100 μ m以下のピッチでのホールセンサアレイが必要になった。そこで、R. S. Popovicらの報告によるNwellのクロスパターン構造を採用し、既設計の10bit逐次変換方式AD変換器、およびそのAD変換器とマッチングできる既設計のメインアンプはチップ上に1つだけもち、8x4=32個のホールセンサアレイを設計した。個別ピクセルはホール素子とその出力であるホール電圧を増幅する計装アンプ、シーケンサからの信号を受けて個別ピクセルを動作させるスイッチで構成されている。今回、単独ホール素子をセンサ LSI の中心に配置することで、より正確な磁場を印加可能にした。また、特性評価用の TEG としてホール素子と計装アンプを組み合わせたホール電圧検出回路、単独のピクセルを実装した。

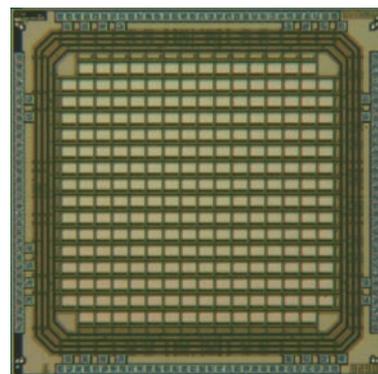
設計期間：4人月以上、5人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**~10 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**マイクロプロセッサ



パワーインテグリティ評価チップ3

芝浦工業大学理工学研究科 市村 航

概要：LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振により生じる反共振ピークを抑え、電源ノイズの抑制効果を検証するために2種類のチップを設計した。2種類のチップはサイズが異なりそれぞれ2.5mm角と5mm角のチップを試作した。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、チップ内部に可変用MOSスイッチと抵抗素子を配置し、外部スイッチのON/OFF切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し、臨界制動領域を実現することで電源ノイズを抑えることを想定したものである。前回のチップからの変更点としてはチップの寄生抵抗が高く反共振が想定より小さくチップの容量をMOSスイッチにより変化させても反共振、電源ノイズ共に変化があまりみられなかったため、寄生抵抗を小さくするために電源網のメッシュを増やし電源強化を行った。また、パッケージのインダクタンスの違いによる電源ノイズの変化を検証するために電源供給ポイントを8から20に増やした。その他に本試作では、基本構成は同一でチップのサイズを2.5mmから5mm角に大きくしたチップも試作した。

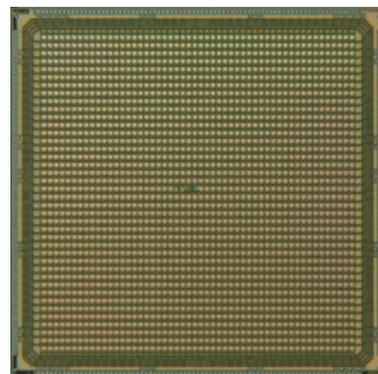


設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

パワーインテグリティ評価チップ4

芝浦工業大学理工学研究科 市村 航

概要：LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振により生じる反共振ピークを抑え、電源ノイズの抑制効果を検証するために2種類のチップを設計した。2種類のチップはサイズが異なりそれぞれ2.5mm角と5mm角のチップを試作した。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、チップ内部に可変用MOSスイッチと抵抗素子を配置し、外部スイッチのON/OFF切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し、臨界制動領域を実現することで電源ノイズを抑えることを想定したものである。前回のチップからの変更点としてはチップの寄生抵抗が高く反共振が想定より小さくチップの容量をMOSスイッチにより変化させても反共振、電源ノイズ共に変化があまりみられなかったため、寄生抵抗を小さくするために電源網のメッシュを増やし電源強化を行った。また、パッケージのインダクタンスの違いによる電源ノイズの変化を検証するために電源供給ポイントを8から20に増やした。その他に本試作では、基本構成は同一でチップのサイズを5mmから2.5mm角に小さくしたチップも試作した。



設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

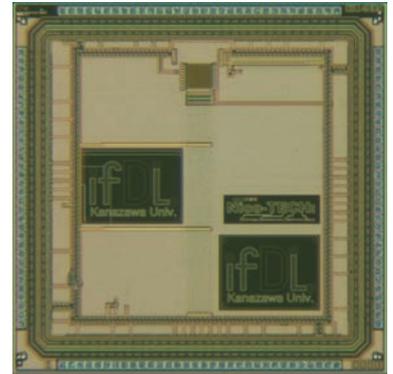
平成25年度第2回ローム CMOS 0.18 μ m 試作 (R018132)

視線検出機能を持つ列並列処理構成イメージセンサのテスト回路

金沢大学理工学域 秋田 純一, 五十嵐 寛

概要：ユーザがみている箇所を示す視線情報は、その有用性が示されつつも装置が特殊・大型・高価であり、またサンプリングレートがビデオレート程度であるために応用分野が限定されている。特にサッケードと呼ばれる不随意に起こる高速な視線移動は、従来の視線検出システムではリアルタイムの追尾や到達点予測が不可能である。著者らは、高精度な視線検出のための高解像度と、サッケードのリアルタイム追尾が可能な高速・低レイテンシを両立する列並列処理構成の視線検出機能をもつ CMOS イメージセンサの検討を行っている。本試作チップでは、要素回路の動作検証のために 16x16 画素の視線検出イメージセンサを試作した。列並列処理回路はビットシリアル構成となっており、画素数や演算ビット数に対してスケーラブルな構成となっている。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



一時故障・永久故障に強靱な多重化パイプラインプロセッサ blurDMR

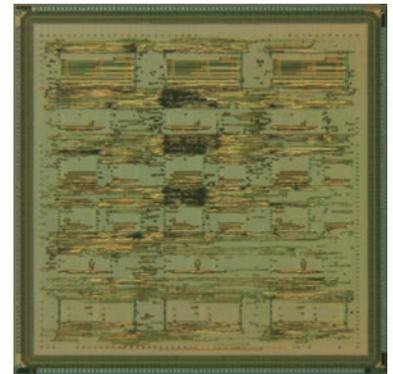
奈良先端科学技術大学院大学情報科学研究科 姚 駿, 中島 康彦

京都工芸繊維大学電子システム工学専攻 岡田 翔伍, 小林 和淑

概要：NBTI の耐性向上に向け、一時故障・永久故障に強靱な多重化パイプラインプロセッサ構造 blurDMR を実装し、試作を行った。blurDMR は、同質なパイプラインを 3 本搭載し、そのうち 2 本を用いて常に 2 重化で動作させ、頻出する故障を検出時、自動的な DMR/TMR の切り替えを行い、多数決回路で永久故障が発生する箇所を特定する。また、blurDMR は前述の自動切り替え機能を活用し、永久故障が発生しなくても、一定期間動作すると動作する 2 つのパイプラインの組み合わせが変更される。各パイプラインの長時間連続動作させることによる温度上昇が低減できる。経年劣化の NBTI は温度に依存するので、低温動作することで NBTI を抑制することができる。本設計は、大規模な設計で発生するアンテナエラーを対応するライブラリを使い、実設計で検証を行った。本試作はシングルポートの SRAM を 36 個搭載し、システム周波数を 45MHz で行った。配置配線したマクロのサイズは 4.38mmx4.36mm である。1.25V 電源電圧で、アルファ線源の高率なエラー注入のテストを行い、チップが完動することが分かった。

参考文献：Jun Yao, Shogo Okada, Masaki Masuda, Kazutoshi Kobayashi, Yasuhiko Nakashima, “DARA: A Low-Cost Reliable Architecture Based on Unhardened Devices and its Case Study of Radiation Stress Test,” IEEE Transactions on Nuclear Science (TNS), Vol. 59, Issue 6, pp. 2852~2858, Dec. 2012.

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Formality トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：マイクロプロセッサ

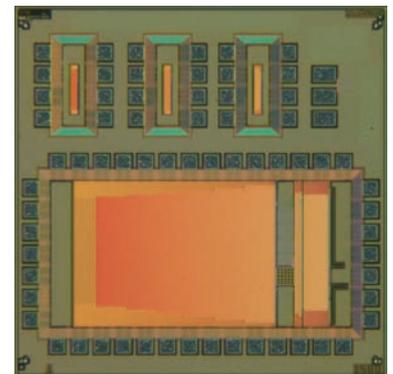


降圧型 DC-DC バックコンバータ回路

東京大学生産技術研究所 柳原 裕貴, 更田 裕司, 高宮 真, 桜井 貴康

概要：従来、降圧型 DC-DC バックコンバータ（以下、バックコンバータと略す）では、インダクタが外付け部品として使用されるが、携帯機器向け等にはインダクタの小型化が求められる。インダクタを小型化する有効な手法として、IC のパッケージやインタポーザ内にインダクタを作り込む技術が挙げられる。しかし、このようなインダクタを用いたバックコンバータは効率が悪いという問題がある。そこで本研究では、インタポーザ上のインダクタに高透磁率材を導入することにより、バックコンバータの効率向上を目指す。本技術の実証のために、バックコンバータ回路の設計・試作を行った。通常の空芯のインダクタを用いた場合と高透磁率材を導入したインダクタを用いた場合それぞれで、バックコンバータの効率測定を行った。その結果、インダクタに高透磁率材を導入することにより効率が向上することを確認した。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

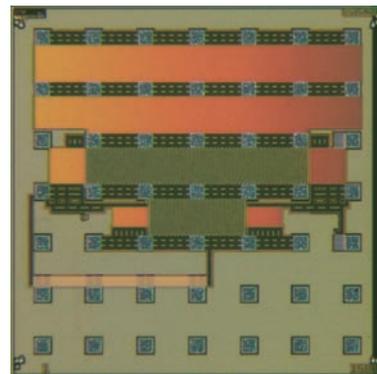


高速起動水晶発振回路

東京大学生産技術研究所 井口 俊太, 更田 裕司, 高宮 真, 桜井 貴康

概要：無線センサノードの消費電力を削減する為には、間欠的な動作とスリープ状態からアクティブ状態への高速な遷移が求められる。無線送受信回路において、スリープ状態からアクティブ状態への遷移時間は、水晶発振回路の起動時間によって制限されるが、従来の水晶発振回路は起動時間が長く、このような用途では問題となる。そこで本研究では、無線センサノード向けの高速起動可能な水晶発振回路の設計・試作を行った。本試作では水晶発振回路を高速起動化するために、水晶発振回路の負性抵抗及び水晶の初期雑音を起動時だけ増加させる技術を実装した。提案技術は従来例と比較して水晶発振回路の起動時間が大幅に高速化することを実測によって確認し、本提案技術が水晶発振回路の起動時間を大幅に短縮することができることを確認した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Cadence社 UltraSim, Synopsys社 Hercules トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

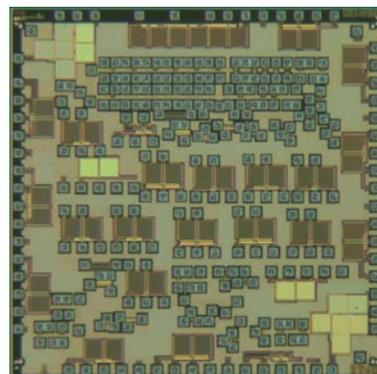


環境 RF 発電向け Gate Controlled Diode と整流回路 TEG

金沢工業大学工学部電気系 梅棹 遼, 田篠 奏, 井田 次郎

概要：エネルギー・ハーベスティング技術の一つである環境 RF 発電を研究テーマとしている。環境 RF 発電とは地上デジタル TV 波, 携帯基地局からの送信波など環境にある電磁波から微小な電力を得る発電方式である。極低入力での高効率整流が最大の課題である。ここでは、それに使用する Gate Controlled Diode (GCD) と、GCD と MiM キャパシターを使った整流回路の TEG を設計した。評価の結果、まず、GCD の寄生容量は、市販の低電力用のショットキーダイオードより小さくなるのが解った。実測の GCD の DC 特性を使いトランジスタパラメータの修正を行った。その結果、修正パラメータで実測の GCD 特性をうまく再現することができた。このパラメータを使い回路シミュレーションを行った。また、パルスジェネレータ, 外付けの負荷抵抗, オシロスコープで測定セットを組み上げ TEG に搭載した整流回路の実測を行った。それらの結果から、GCD を使った整流回路では、市販の低電力用のショットキーダイオードを使った回路より低入力に置ける整流効率が良くなるのが解った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Agilent社 ADS トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

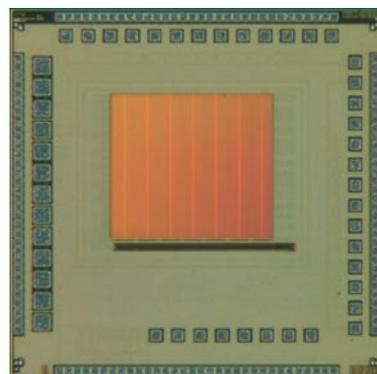


SFQ/CMOS ハイブリッドメモリ用 64-kb CMOS メモリにおけるメモリセルの最小設計

横浜国立大学大学院工学府 佐々木 悠太, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。この SFQ 論理回路による演算回路と CMOS によるメモリを組み合わせる事によって高速読み出し, かつ低消費電力が可能なメモリシステムを提案している。このチップには 8T-SRAM セルで構成されるメモリアレイ (容量 64-kb), デコーダ, 及び 21 個のセルフバイアス型差動増幅器 (アンプ) が実装されている。今後の目標として、メモリシステムの低消費電力化が挙げられる。今回、メモリセルの最小設計を行い、それに伴うデコーダ回路の縮小化による動的消費電力を減らしたメモリシステムを構築した。測定の結果、データを入力するためのドライバ回路の部分にデコーダ回路用の縮小したドライバ回路が間違っって配置されており、駆動力不足でデータが入力されず波形を得ることができなかった。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 Star-HSPICE, Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ

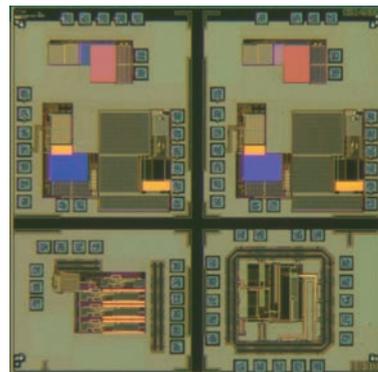


RF無線給電フォロンとエンド及び受信機 TEG

豊橋技術科学大学工学研究科 浅井 翔太, 寺田 直樹, 秋田 一平

概要: 本研究では、超小型・低消費電力センサノード IC の実現を目指した要素回路技術開発を行っている。本試作 IC は、医療テレメトリに使用される 300MHz 帯を利用した無線給電フロントエンドと、これと同時に制御コマンド等を受信するための受信機を集積した TEG を含んでいる。前者においては、AC-DC 整流器とチャージポンプ、シャント・シリーズレギュレータの動作確認を行っており、特に整流器のインピーダンスマッチング回路の検討に重点を置いた試作である。本 IC の測定を通じて上記インピーダンスマッチングの手法について、その適切な設計方法を得るための有益な知見を得ることができた。一方、受信機 TEG については、N パスフィルタを用いた高調波除去アーキテクチャの低消費電力化を図ったものであり、所望なファンクションを確認することは出来なかったが、その不具合解析より、今後の設計に活かすべき有用なノウハウ蓄積が出来た。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

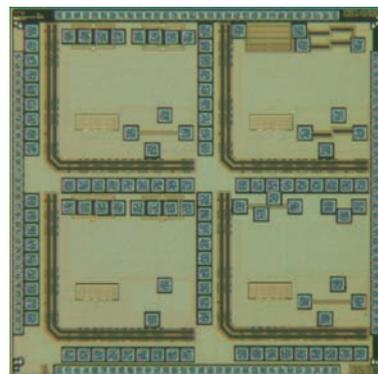


インバータベース $\Delta\Sigma$ 変調器とナノワイヤ/CMOS 異種技術集積化

上智大学理工学部 道又 賢司, 島本 一成, 渡邊 龍郎, 和保 孝夫

概要: $\Delta\Sigma$ 変調器ではループフィルタにオペアンプを用いるため、低消費電力化が困難であるという課題があった。そこで、オペアンプの代わりに弱反転領域で動作するインバータを増幅器として用いた $\Delta\Sigma$ 変調器を設計した。変調器は 2 次シングルエンド構成で、電源電圧 0.9 V 動作を想定した。一方、ナノワイヤは体積に対する表面積の比率が大きいため、化学物質の表面吸着に対して電気特性が敏感に反応する可能性がある。そこでナノワイヤ抵抗変化を低消費電力高精度で測定することを目指して、上記 $\Delta\Sigma$ 変調器を搭載した CMOS 基板上にナノワイヤを集積化するための位置制御用電極も CMOS チップ内に作製した。 $\Delta\Sigma$ 変調器に関しては、サンプリング周波数 500 kHz, 入力周波数 2 kHz において、63.2dB の SNR を確認した。現在、誘電泳動を利用してナノワイヤを堆積させ、出力のデューティ比で抵抗変化が観測できることを確認中である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Dracula, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

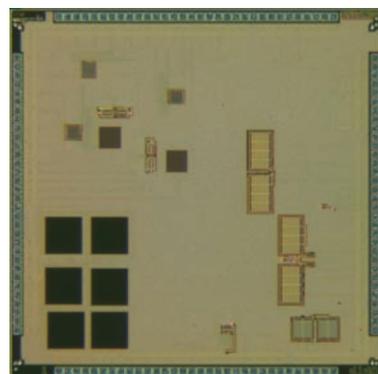


低電圧信号処理回路

慶應義塾大学理工学部 川村 恭平, 松本 佳宣

概要: デジタル LSI の電源電圧の低下に伴い、アナログ回路においても低電圧で動作する回路が求められているが、アナログ回路の基本素子である演算増幅器の動作は難しくなる。一方、低電圧下においても動作可能な回路として CMOS インバータの有効性が示されている。CMOS インバータはアナログ回路としてはシングルエンド反転増幅器として動作する。一方、CMOS インバータを利用した差動増幅回路も提案されているが、ポリフェーズフィルタなどといった高周波用回路へ応用される例が多く、センサー・信号処理用として高利得、高精度を狙って設計されたものは少ない。本研究では特に照度や温度、湿度などといった環境計測への応用が可能な低電圧増幅回路の設計を目標とし、CMOS インバータ型減算回路のアイデアに着目して、減算回路を応用した疑似差動増幅回路を試作、評価した。目標とする電源電圧 1V においてセンサーへの応用において特に重要となる DC 特性を中心に評価を行い、良好な結果が得られた。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



遅延故障および断線故障テスト用回路の試作

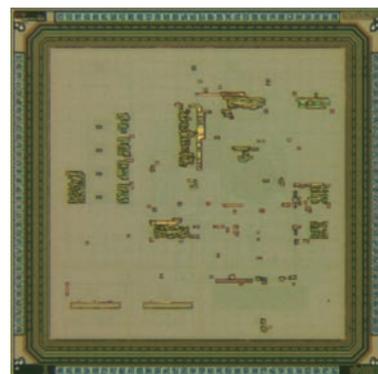
徳島大学大学院先端科学技術教育部 末永 翔平, 西條 慎吾, 二宮 孝暢, 日下 敬雄,
梅津 翔一, 櫻井 浩希

徳島大学大学院ソシオテクノサイエンス研究部 四柳 浩之, 橋爪 正樹

概要：遅延故障のテスト容易化回路，IC 間断線のテスト容易化入力保護回路，検査容易化 CMOS センサ回路，組込み型 IDD センサ回路，ピアオープンを模擬した回路の5つの回路を試作した。1) 遅延検出回路組込み型バウンダリスキャン回路を設計した。制御部の設計には BSDCompiler による自動生成を行う設計フローを構築した。遅延ゲートの実測評価を行った。2) IC 間断線の電氣的検査用のテスト容易化入力保護回路を試作し，断線故障検出可能性評価を行った。3) CMOS センサの電氣的検査法のために検査容易化 CMOS センサ回路を実装し，動作確認を行った。4) IC の電流テストのために組込み型 IDDT センサ回路を実装した。実測により検査入力による動的電源電流の継続時間の差異が観測された。

5) ピアオープン故障の発生箇所特定のための TEG を設計し，隣接線の有無や分岐の有無によるピアオープン故障発生時の影響調査を行った。

設計期間：9 人月以上，10 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 IC-Compiler, Cadence 社 Virtuoso, TOOL 社 Lavis, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



スキャンイン電力低減および遅延測定の改良

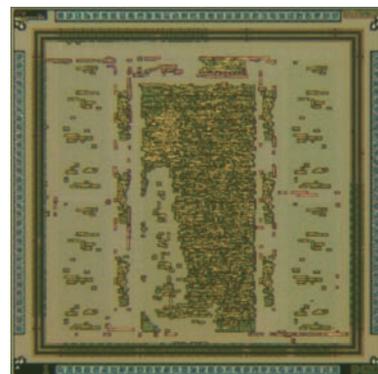
九州工業大学大学院情報工学研究院 佐藤 康夫, 梶原 誠司, 加藤 隆明

概要：テスト容易化回路における論理 BIST のスキャンイン電力低減および高精度な遅延測定の研究。今回は前年度 TEG に対して以下の項目の改良を実施。(1) テスト時の電力調整可能な回路の実装とテスト時の電力測定 論理 BIST パターンのパターン変化により発生する電力を低減あるいは制御する機能を実装し，テスト時の電流値を測定して，電力がシミュレーションでの評価どおり制御されることを確認した。(2) パス遅延測定 約 25MHz のパス遅延値を測定するよう回路を実装した。プロセスバラツキにも対応出来るように，テスト対象回路のパス遅延値は調整可能とした。(3) テスト時の温度・電圧モニタ回路の実装と測定 リングオシレータベースの温度・電圧モニタおよび発熱回路を搭載した。リングオシレータを人手固定配置し，発熱回路の発熱範囲を前回よりも拡大した。

評価は継続中であるが，全機能が動作することを確認し，今後詳細評価に入る予定である。(3) については詳細評価をほぼ完了し，精度向上されたことを確認した。今後は (2) の遅延測定を中心に評価を実施予定である。

参考文献：[1] 加藤，喜納，三宅，佐藤，梶原，” 論理 BIST におけるスキャンイン電力制御の TEG 評価について，” 電子情報通信学会技術研究報告 DC2013-59, pp. 233-238, 2013 年 11 月。

設計期間：2 人月以上，3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Mentor 社 Calibre, Synopsys 社 StarRC (XT) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



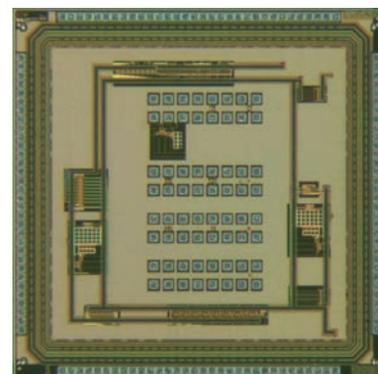
圧力センサ用多チャンネル CV 変換回路の設計

富山県立大学大学院工学研究科情報システム工学専攻 和泉 幸司

富山県立大学工学部情報システム工学科 松田 敏弘, 岩田 栄之

概要：医療や介護，健康機器などの民生分野では，従来より部品点数が少なく，小型・低コスト化が可能な圧力センサが望まれている。また，これらの分野では，多数のセンサを2次元的に配置し，圧力の面分布を検出するシステムが求められている。本研究室では，圧力を静電容量の変化として検出する静電容量型センサのための CV (容量-電圧) 変換回路の開発を行っている。本研究では，従来の回路を応用し，消費電力が小さく，応答時間が早い CV 変換回路を設計した。また，多数のセンサを同時に検出できる多チャンネル CV 変換回路も設計した。本チップには，2チャンネルの信号を同時検出可能な2チャンネル CV 変換回路，縦と横に8個ずつ並べた合計64個の2次元配置されたセンサに対応する8チャンネル \times 8チャンネル CV 変換回路，クロック発生のための発振回路およびタイミング信号発生回路を搭載した。また，前回試作したチップにおいて I/O セルに問題があったため，修正を行った。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



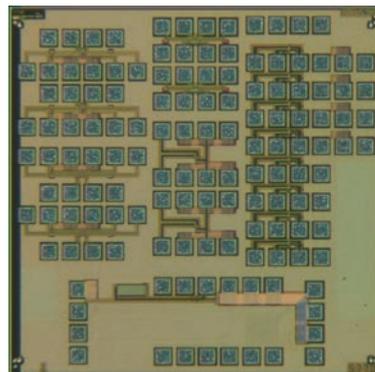
ゲート酸化膜の破壊位置制御評価回路

東京大学生産技術研究所 更田 裕司, 高宮 真, 桜井 貴康

概要: MOSFETのゲート酸化膜破壊をアンチ・ヒューズとして用いた, 一度だけ書き込み可能なメモリ (One Time Programmableメモリ, 以下OTPメモリと略す) が, チップ固有IDの格納やアナログ回路のトリミング等の用途で用いられており, 近年その大容量化が求められている. 本研究では, ゲート酸化膜の破壊位置という情報を用いる事で, ヒューズの多値化を行い, OTPメモリの大容量化を目指す. この実現には, 酸化膜破壊位置を制御する必要があるが, これまでそのような試みはなされておらず, その手段は明らかでなかった. 2013年2月試作のチップを用いて, ゲート酸化膜の破壊位置を制御できる事を確認したが [1], 本試作では, 大規模なOTPメモリ実現に向けた初期検討を行う為, OTPメモリセル単体評価回路を設計した. 試作したチップの評価を行い, ゲート酸化膜の破壊位置を制御可能なメモリセルが実現できる事を確認した.

参考文献: [1] 更田裕司, 高宮真, 桜井貴康, "多値アンチ・ヒューズの実現に向けたゲート酸化膜の破壊位置制御手法の提案と実証," 電子情報通信学会総合大会, p.113, 2014年3月.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



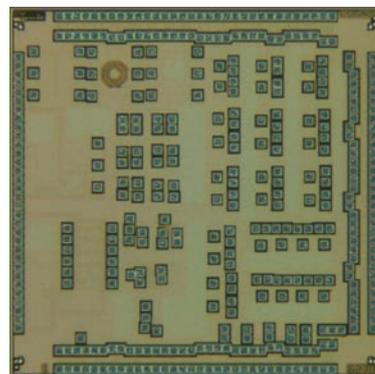
低電圧CMOSアナログ回路の試作

明治大学理工学研究科 伊藤 遼, 栗山 翔太郎

明治大学理工学部 満田 亮

概要: 低電圧駆動・低消費電力というテーマを根底に置き, 各々の研究において提案した回路, 評価に必要な回路の試作を行った. 以下が試作した回路の概略となる. 形を変換する波形変換回路と, 信号の電流を増幅するためのバッファ回路. ソース端子とバルク端子を繋げた基本カレントミラーとゲート端子とバルク端子を繋げた低電圧カレントミラーの形状比とソース面積を変化させた回路, 温度センサ (PTAT), 発振回路 (VCO), 波形変換回路 (短パルス生成), 出力バッファで構成された温度に応じた周波数で発振する回路, 発振周波数が8GHzとなるようなVCO. 様々な形状比を用いたNMOS, PMOSの単体TEG. これらの回路は測定器による動作確認を通して妥当性の検証を行い, これからの試作につながるような評価を行っている.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

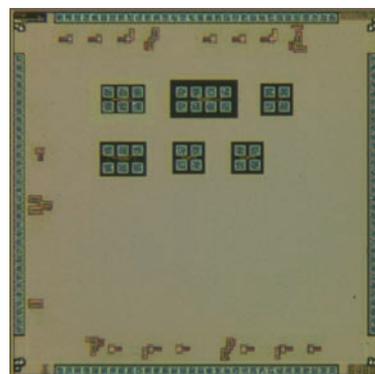


半導体検出器用信号増幅回路の試作

東北大学大学院工学研究科 清水 陽太, 菊池 洋平

概要: 本研究室では, 半導体検出器を利用した, 頭部用PET (Positron Emission Tomography) の開発を行っている. 一般的には, シンチレーション検出器が利用されているが, 半導体検出器を利用することで, 空間分解能が大きく向上することが期待される. 将来的に, 研究室において, PET用のASIC開発を行うことを考えているため, RO1812_5を利用して, 半導体検出器用信号増幅回路に必要な電荷有感型前置増幅器の試作を行った. 今回の試作では, 前回試作した電荷有感型前置増幅器の後段部分に, PZC付微分回路, 積分回路を加え, 半導体検出器用信号増幅回路として完成させた. 電荷有感型前置増幅器の後段回路の役割は, 信号の増幅・整形を行い, 信号の大きさやSN比を改善することである. 各回路のテストパルスに対する応答を観測し, シミュレーション結果と比較したところ, すべての回路が正確に動作していることが確認された. また, SN比を測定し, スペクトルの作成もを行い, それらの結果からも回路の動作に問題無いことが確認出来た. 今回の試作で, 目標としていた回路の試作は終了したため, 今後は, これまでに発見された修正点を修正するなど, RO1813_2で試作した回路よりも性能が高い回路の設計を目指す.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用 TEG チップ

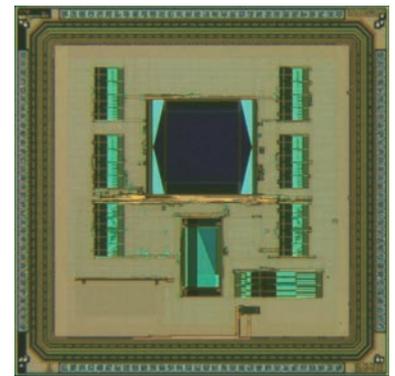
立命館大学理工学研究科 中井 綱人, 浅川 俊介

立命館大学総合理工学研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: 暗号回路を搭載した LSI において、消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。消費電力と漏洩電磁波との間には相関があり電力解析攻撃の対策が電磁波解析攻撃においても有効であると考えられてきたが、漏洩電磁波によるリーク要因には消費電力とは異なるものが含まれていることが指摘されはじめた。しかしながら、電磁波解析攻撃のリーク要因が何か、どの程度脅威と成り得るのか実験的には明らかとなっていない。本試作チップには、漏洩電磁波のリーク要因を調べるための TEG 回路を搭載した。前回のリーク要因検証用 TEG チップでは、実測により論理ゲート単体における電流経路リーク、メモリのアドレスに起因するリークが確認できた。今回のリーク要因検証用 TEG チップでは、さらなる論理ゲート単体における電流経路リークの追及するために、論理ゲートのサイズ違いやミラーゲートなどを搭載した。また、メモリのアドレスに起因するリークについてもリーク要因追及用の TEG 回路を搭載した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE (RF), Synopsys 社 HSIM **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによる HMDR ROM を利用した AES 暗号回路

立命館大学理工学研究科 鵜飼 慎太郎, 浅川 俊介

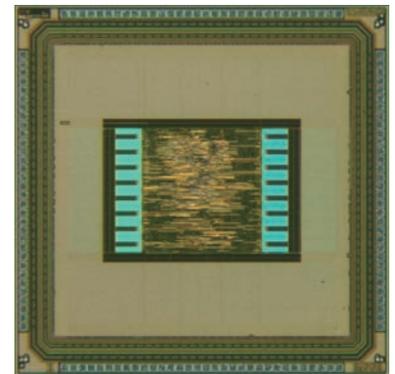
立命館大学総合理工学研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: IC カードに代表される暗号回路を搭載した LSI において、消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。そこで、我々はどのような値が入出力されても消費電力が一定となる S-Box 回路と、乱数を利用した加算マスク対策と乗算マスク対策を用いることにより暗号処理動作と消費電力との相関を切り離れた電力/電磁波解析攻撃耐性を実現した HMDR-ROM AES 暗号回路を提案した。本試作チップは提案した HMDR-ROM AES 暗号回路のサイドチャネル攻撃耐性を評価するために試作した。加算マスク対策は主に電力解析攻撃対策として機能し、乗算マスク対策は電磁波解析攻撃で明らかとなるアクティブなワードライン位置に依存した情報リークを隠すのに使用している。試作チップでは、加算マスクと乗算マスクそれぞれをオン/オフ切り替える機能と、使用乱数を 8bit と 128bit を切り替える機能を搭載して、それぞれの比較評価を行えるようにした。

参考文献: 鵜飼慎太郎, 中井綱人, 北村俊樹, 久保田貴也, 汐崎充, 藤野毅, ”耐タンパ性向上のための Hybrid Masking Dual-Rail ROM を用いた AES 暗号回路の性能評価”, ICD2013-88, CPM2013-111, pp19-24, 2013

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSIM **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



リバースエンジニアリング対策に向けた DPD アーキテクチャと、新たなプログラマブルアナログ回路 VPA アーキテクチャの試作

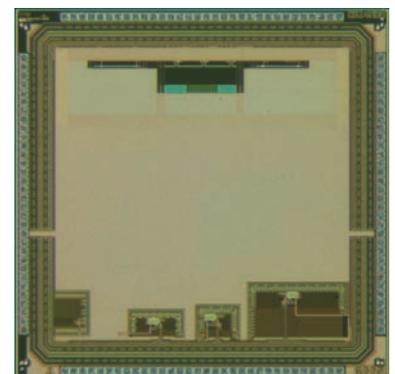
立命館大学理工学研究科 堀 遼平, 上田 佳祐

立命館大学総合理工学研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: 近年、LSI の積層構造を解析し、本来知られることのないハードウェアの機能や構成を明らかにするリバースエンジニアリング技術を用いた、システム LSI の模倣・盗用が問題となっている。この技術が困難な拡散領域のマスク変更により論理変更可能な回路を構成する DPD (Diffusion Programmable Device) アーキテクチャの開発を行った。DPD では LUT (Look Up Table) の論理を決定するために、拡散領域に N+タイプ・P+タイプを選択してドーピングすることで任意の論理ゲートを実現できる。この DPD アーキテクチャを用いて AND, OR, XOR 等の論理を実装し回路動作を検証した。また、我々はセンサーのアナログフロントエンド回路をターゲットに、回路レイアウト上のビア層で回路変更を実現する VPA (Via Programmable Analog) を提案している。本チップでは VPA の基本素子を構成するオペアンプと、周辺素子としてビアプログラマブル可変抵抗を用いた可変増幅器を設計した。今回はビアの変更のみで反転増幅器, 非反転増幅器, 1/V 変換回路の 3 種類を変更可能にし、増幅率もビアの変更で可変抵抗を変化させることで任意の値に変更できるように設計した。実測としてビアの変更により回路構成が正しくされていることを確認した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



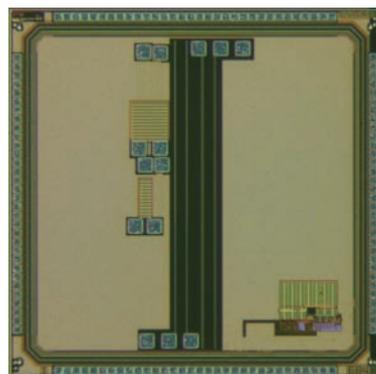
脂質平面膜用システムに適合するIVコンバータの設計、及び単チップで動作するマイクロシステムのためのキャパシタとオンチップアンテナ

慶應義塾大学大学院理工学研究科 安田 陽平, 小野 東輝

慶應義塾大学理工学部 中野 誠彦

概要: 電気生理学におけるイオン電流測定技術は最も重要な技術のうちの一つである。この技術を用いたイオンチャネルの研究により新薬の開発などの成果が得られている。本研究では特に脂質平面膜法でのイオン電流測定をするためのシステム構築を目指す。本施策では脂質平面膜用のシステムに適合する低ノイズなIVコンバータを設計した。この回路は $-2.42\text{nA} \sim 830\text{pA}$ の入力電流の範囲において $52.3\text{M}\Omega$ のゲインを持っている。カットオフ周波数は 236kHz である。このI-Vコンバータは低ノイズ化のために容量帰還型となっており、バックグラウンドノイズの値は 10kHz の帯域で 1.34pArms であった。微分器に放電用スイッチを追加することにより放電時の過渡応答を改善した。放電時に発生する針状のノイズは同期サンプリングによりこれを除去する。また脂質平面膜に対して刺激信号を印加する際には放電信号と同期された刺激信号を用いる。これによりLSI化による低い電源電圧、大きな容量が使えないという問題を克服した。別の研究として、単チップで動作するマイクロシステムのための電力貯蔵用の 1nF のmimキャパシタとMOSキャパシタ、発信器用のオンチップアンテナもテスト設計した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

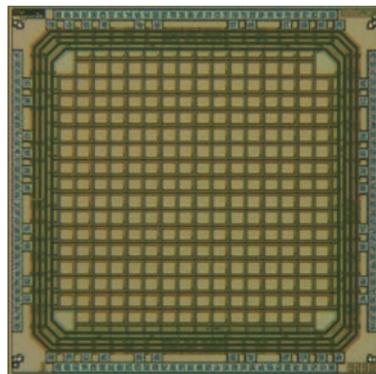


パワーインテグリティ評価チップ5

芝浦工業大学理工学研究科 市村 航

概要: LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振によって生じる反共振ピークを抑え、電源ノイズの抑制効果を検証するために3種類の電源構造を持つチップの設計をした。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、電源網にキャパシタと抵抗を付加しない振動領域を想定したものである。また、パッケージのインダクタンスによる反共振、電源ノイズの違いを検証するために電源供給ポイントを20ペア配置した。その他に本試作では、コア回路構成は同一で異なる電源構造をもつチップを2種類とこの試作チップによりノイズ源回路を駆動させたときの異なる電源構造によるノイズ低減効果をチップ内に配置したノイズモニタ回路により確認することができた。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

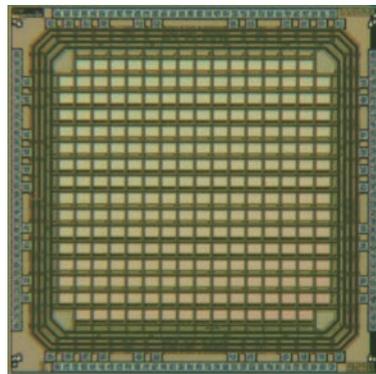


パワーインテグリティ評価チップ6

芝浦工業大学理工学研究科 市村 航

概要: LSIの高集積化・高速化および省電力化に伴い、パワーインテグリティ (PI) を確保することの重要性が増している。本試作ではチップ自身の持つキャパシタとパッケージのインダクタンスの並列共振によって生じる反共振ピークを抑え、電源ノイズの抑制効果を検証するために3種類の電源構造を持つチップの設計をした。設計したチップは主にノイズ源回路とノイズを受ける回路を配置している。電源構造は、電源網にキャパシタのみを付加した振動領域を想定したものである。また、パッケージのインダクタンスによる反共振、電源ノイズの違いを検証するために電源供給ポイントを20ペア配置した。その他に本試作では、コア回路構成は同一で異なる電源構造をもつチップを2種類とこの試作チップによりノイズ源回路を駆動させたときの異なる電源構造によるノイズ低減効果をチップ内に配置したノイズモニタ回路により確認することができた。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

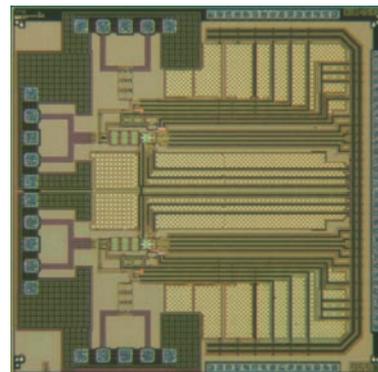


直交変調器の試作

会津大学コンピュータ理工学研究科 高橋 寛太, 束原 恒夫

概要: 無線通信システムにおいて、周波数変換器は所望の周波数の信号を生成するために用いる重要な要素回路の1つである。近年、QAMのような多値変調方式が採用されるようになり、高伝送レートが進む無線通信システムにおいて、より高精度な周波数変換技術の実現が強く要求されている。当研究室では、変換精度劣化の主要因となる直交LO信号間の誤差補償が可能な波数変換器の研究を行っている。本試作では、VDEC環境下における試作チップの設計技術の習得もかねて、本研究グループが提案する複素型直交変調器を実装した。この直交変調器は、パッシブ型の直交ミキサ、加算器、ポリフェーズフィルタから成るミキサ部と直交LO信号の誤差補償回路により構成されている。今後、試作したチップの測定を行い、提案回路の検証を行う予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Agilent社 ADS **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



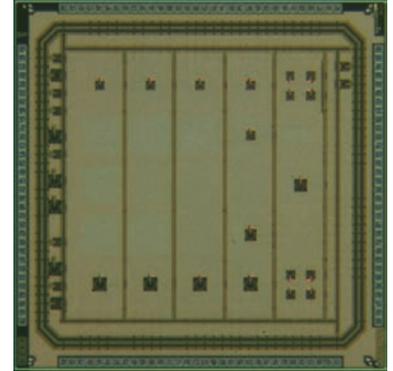
SPAD 特性評価用 TEG

東京大学工学系研究科 楊 驍, 飯塚 哲也

東京大学 VDEC 朱 弘博, 名倉 徹, 浅田 邦博

概要：現在、放射線量測定のため、ガイガーカウンターなどの手頃な放射線検出器が一般向けに普及しているが、本研究では更に高精度かつ小型の放射線検出器を実現するため、単一光子アバランシェダイオード (SPAD) を用いた半導体検出器を標準 CMOS プロセスで実現することを目的としている。本試作では、PN 接合の Premature Breakdown を避けるために、PN 接合とガードリングの構造を変え、全部で6種類の SPAD を設計した。PN 接合部分の断面積による違いを測定するため、それぞれの構造に対し、サイズが異なる2種類の円型 SPAD を設計した。また、SPAD のノイズ特性を測定するため、クエンチング回路を接続した SPAD を設計した。本試作回路では、各構造の SPAD の IV 特性、光が入射した場合としていない場合の電圧波形を測定することで特性の評価を行う。

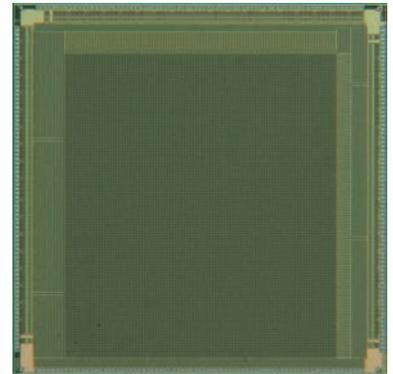
設計期間：0.5 人月以上, 1 人月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数**：~10 **試作ラン**：ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別**：TEG (特性評価回路など)

**A hyperparallel image filtering digital-pixel-sensor employing a kernel-adaptive compressed-multiplication technique**

東京大学 VDEC 朱 弘博, 浅田 邦博

概要：A digital-pixel-sensor which can perform hyperparallel image filtering was implemented. The main operation in image filtering is the accumulation of all weighted image data in the neighbors according to the filtering kernel. The weighting process contains many multiplications with each having a weight number and a value of intensity as the operands. Because such an operation is performed in all pixel sites, the computation of image filtering is very heavy and an efficient architecture is highly demanded. In this work, the compact bit-serial image filtering circuits are embedded into each pixel of the digital-pixel-sensor to form a fully pixel-parallel processing architecture. In addition, a kernel-adaptive compressed-multiplication technique is newly developed for the bit-serial circuits in which all zeroes in the binary expression of a weighting number can be skipped without consuming any time. In this manner, the hyperparallelism for image filtering is achieved. Inside each pixel, there are an 8b original image memory, a 24b accumulated value memory, a one bit full adder for bit serial multiplication, and control circuits for data transfer and operation management. Using the control circuits, the original intensity data of the whole image preserved on all 8b memories can be simultaneously shifted in a bit-serial way in up/down/left/right directions into the 8b memories of the neighboring pixels. The "1s" in the weight is broadcasted in a bit-serial way with all "0s" skipped. The full adder serially calculates the accumulation value by adding the data in the 24b memory with the data in the 8b memory according to the position of "1" in the broadcasted weight. The resolution of the image sensor is 108 by 96 with a pixel size of 39.48 μm by 39.48 μm . The pixel size is mainly limited by the number of control signals needed in the design which takes much area for wiring. The Nanosim simulation results demonstrated the correct functionalities of the chip.

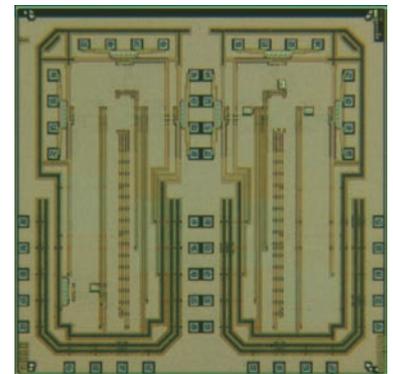
設計期間：1 人月以上, 2 人月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 NanoSim **トランジスタ数**：1,000,000~10,000,000 **試作ラン**：ローム CMOS 0.18 μm 5.0mm 角チップ **チップ種別**：イメージセンサ/スマートセンサ

**Transmission-line-based pulse generator**

東京大学工学系研究科 Parit Kanjanavirojkl

概要：This chip is a trigger circuit as a part of an on-board MMW pulse generation circuit for sensing applications. The idea is to use fast voltage edge generated by CMOS circuit and extract high frequency components by on-board passive network. The objective is to generate wide band pulse with center frequency higher than F_{max} , which is the limitation of fundamental continuous wave oscillator. The output edge trigger on-board resonator such that high frequency wide-band pulse is generated. The maximum pulse's center frequency depends on passive network and not limited by the F_{max} . Moreover, the pulse generation circuit consumes power only during the clock edge, thus it achieves lower power consumption, compared to pulse generation from continuous wave source. The on-chip circuit consists of 3 output signals. The main feature is to generate very fast falling edge at the output. The circuit is designed such that short-circuit current of large transistors, used for fast edge generation, is reduced. Thus low power consumption can be achieved. Also the output signal's relative delay can be controlled precisely by external control signals, such that on-board generated pulses interleaving time can be controlled. External clock edge is sharpened by special inverter delay line with specific NMOS and PMOS size along the line. Clock three is designed so that clock distribution to the three triggers has the same delay. Capacitors are included at the output before the pad, as energy storage. Four pads per output are implemented, so that resistance and inductance of wire-bonding is reduced. Two set of the circuit is implemented: one with delay controller and another one without delay controller, intended for simultaneous trigger. The chip will be integrated to on-board passive network by wire-bonding, and then high frequency pulse will be extracted and radiated through on-board antenna.

設計期間：1 人月以上, 2 人月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別**：通信 (RF 回路, ATM など)

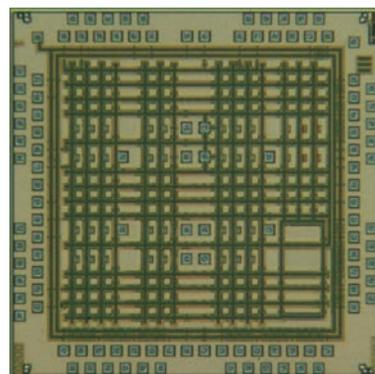


電源ノイズ発生および測定回路 その1

東京大学VDEC 名倉 徹

概要：スケールリングにより電源電圧が低下する一方で、集積度の向上により消費電流は増大している。その結果、電源変動の影響は大きくなり、パワーインテグリティ (PI) の確保に多くのコストが必要となっている。回路の高速化より特に di/dt ノイズと共振ノイズの影響が大きくなっており、その抑制のために、大きなチップ面積をデカップリング容量に費やすようになっている。このオンチップのデカップリングキャパシタ追加による面積ペナルティは無視できない問題である。本研究では、チップ表面に薄膜キャパシタを生成することで、シリコンの面積ペナルティが発生しない電源安定化手法を実現する。本チップは、そのテスト用のチップであり、電源ノイズ発生回路として、シフトレジスタと多段のインバータチェーンが入っており、CLK 入力のみで内部回路を動作させることができるだけでなく、いくつかのスイッチ端子の電圧を切り替えるだけで、内部の動作状態を制御することができ、様々な回路状態における電源ノイズの様子を制御することができる。また、内部にデカップリング容量を持つタイプと持たないタイプを作り分けることで、チップ表面に生成した薄膜キャパシタの効果を比較することが可能となっている。

設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**演算回路 (乗算器, 除算器など)

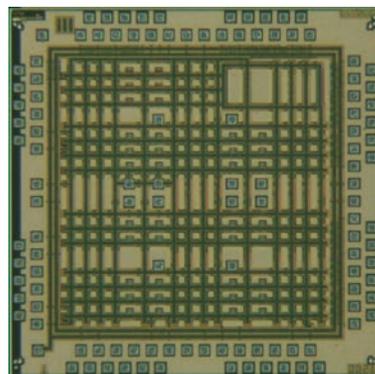


電源ノイズ発生および測定回路 その2

東京大学VDEC 名倉 徹

概要：スケールリングにより電源電圧が低下する一方で、集積度の向上により消費電流は増大している。その結果、電源変動の影響は大きくなり、パワーインテグリティ (PI) の確保に多くのコストが必要となっている。回路の高速化より特に di/dt ノイズと共振ノイズの影響が大きくなっており、その抑制のために、大きなチップ面積をデカップリング容量に費やすようになっている。このオンチップのデカップリングキャパシタ追加による面積ペナルティは無視できない問題である。本研究では、チップ表面に薄膜キャパシタを生成することで、シリコンの面積ペナルティが発生しない電源安定化手法を実現する。本チップは、そのテスト用のチップであり、電源ノイズ発生回路として、シフトレジスタと多段のインバータチェーンが入っており、CLK 入力のみで内部回路を動作させることができるだけでなく、いくつかのスイッチ端子の電圧を切り替えるだけで、内部の動作状態を制御することができ、様々な回路状態における電源ノイズの様子を制御することができる。また、内部にデカップリング容量を持つタイプと持たないタイプを作り分けることで、チップ表面に生成した薄膜キャパシタの効果を比較することが可能となっている。

設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**演算回路 (乗算器, 除算器など)

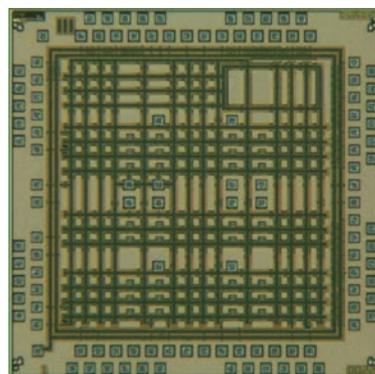


電源ノイズ発生および測定回路 その3

東京大学VDEC 名倉 徹

概要：スケールリングにより電源電圧が低下する一方で、集積度の向上により消費電流は増大している。その結果、電源変動の影響は大きくなり、パワーインテグリティ (PI) の確保に多くのコストが必要となっている。回路の高速化より特に di/dt ノイズと共振ノイズの影響が大きくなっており、その抑制のために、大きなチップ面積をデカップリング容量に費やすようになっている。このオンチップのデカップリングキャパシタ追加による面積ペナルティは無視できない問題である。本研究では、チップ表面に薄膜キャパシタを生成することで、シリコンの面積ペナルティが発生しない電源安定化手法を実現する。本チップは、そのテスト用のチップであり、電源ノイズ発生回路として、シフトレジスタと多段のインバータチェーンが入っており、CLK 入力のみで内部回路を動作させることができるだけでなく、いくつかのスイッチ端子の電圧を切り替えるだけで、内部の動作状態を制御することができ、様々な回路状態における電源ノイズの様子を制御することができる。また、内部にデカップリング容量を持つタイプと持たないタイプを作り分けることで、チップ表面に生成した薄膜キャパシタの効果を比較することが可能となっている。

設計期間：0.5 人月以上、1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**演算回路 (乗算器, 除算器など)

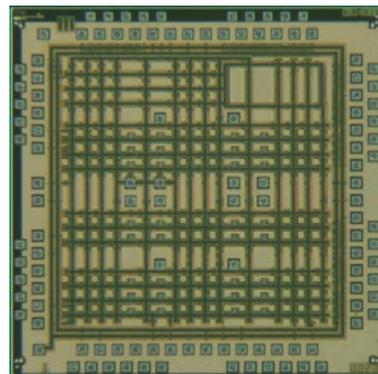


電源ノイズ発生および測定回路 その4

東京大学VDEC 名倉 徹

概要：スケーリングにより電源電圧が低下する一方で、集積度の向上により消費電流は増大している。その結果、電源変動の影響は大きくなり、パワーインテグリティ (PI) の確保に多くのコストが必要となっている。回路の高速化より特に di/dt ノイズと共振ノイズの影響が大きくなっており、その抑制のために、大きなチップ面積をデカップリング容量に費やすようになってきている。このオンチップのデカップリングキャパシタ追加による面積ペナルティは無視できない問題である。本研究では、チップ表面に薄膜キャパシタを生成することで、シリコンの面積ペナルティが発生しない電源安定化手法を実現する。本チップは、そのテスト用のチップであり、電源ノイズ発生回路として、シフトレジスタと多段のインバータチェーンが入っており、CLK 入力のみで内部回路を動作させることができるだけでなく、いくつかのスイッチ端子の電圧を切り替えるだけで、内部の動作状態を制御することができ、様々な回路状態における電源ノイズの様子を制御することができる。また、内部にデカップリング容量を持つタイプと持たないタイプを作り分けることで、チップ表面に生成した薄膜キャパシタの効果を比較することが可能となっている。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**演算回路 (乗算器, 除算器など)

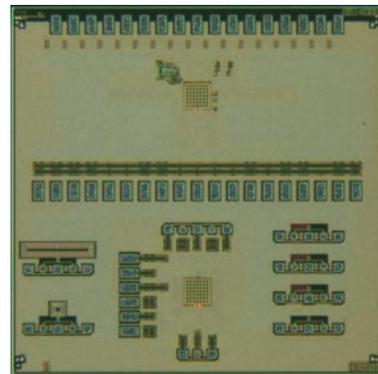


Integrated magnetic probe to measure and analyze near-field magnetic map on cryptography LSI chips

東京大学 VLSI Design and Education Center (VDEC) Mai Khanh

概要：This mix-signal chip design is for integrated magnetic probe with a multi-stage low-noise amplifier (LNA) in a 0.18- μ m CMOS process to measure and analyze near-field magnetic map on cryptography LSI chips and monitor magnetic fields from off-chip equipment. By measuring and monitoring data-dependent emissions of the electromagnetic near-field of a chip, related secret information of the chip can be revealed. In this version, the design is aimed to reduce scanning time and change resolution by switching the select of off-chip coils. In details, an off-chip coil array will be made and connected to on-chip pads pick up magnetic field by employing the relationship of magnetic flux, coil's current and voltage. The voltage which also depends on input frequency is amplified by multistage integrated amplifier. Then, output signal of the amplifier is fed into an analog-to-digital converter (ADC) in order to transfer digital output codes to a PC to monitor magnetic fields as the project's target. The 3-stage differential LNA with tail-current designed by using RF Golden-Gate tool has a variable gain up-to 60-dB in post-layout simulation for a wide frequency range below 3GHz. The first and the second stages of this LNA are in differential topology with tail-current source to reject common noise. The last stage of LNA is designed with high gain. Moreover, another parameter should be considered is noise figure (NF) of the LNA especially for the first stage of the system. LNA's noise figure is achieved around 3.2-dB. A digital circuit is integrated into this chip to control switch arrays connecting between LNA's input and pads for off-chip coils. The input of this digital circuit in a serial digital is for shift register to input data. The purpose of this digital circuit is to control bias DC voltage points, to monitor reference voltage points, to choose different coils for faster scanning. The chip size is 2.5 mm X 2.5 mm with other testing circuits such as a stand-alone LNA and other de-embedded pads.

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Agilent 社 ADS **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



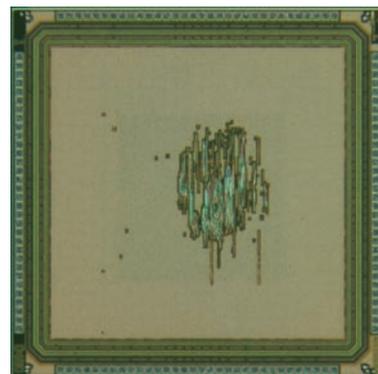
フォールト攻撃対策 AES 暗号回路に対するハードウェアトロイの実装

名城大学大学院理工学研究科情報工学専攻 塚平 峻矢

名城大学理工学部情報工学科 吉川 雅弥

概要：近年、ハードウェアトロイの脅威とその対策についての研究が開始され始めた。ハードウェアトロイとは、LSI の内部に直接仕込まれた悪意ある回路で、通常時には仕様通りの処理を行っているが、あらかじめ定めた発症条件が満たされた場合、システムダウンや情報漏えいなど、望ましくない動作を行う。ここで、ハードウェアトロイに対する対策を検討する場合には、実用的な回路でのトロイ回路が必要になる。そこで、本研究では、標準暗号 AES の不正攻撃対策回路を対象に新しいトロイを実装した。このトロイのトリガーは、従来の外部からの入力信号だけでなく、入力するタイミングも条件に入れることで、検出をより困難なものにしている。また、評価実験を通して、トロイ動作の確認をした。

設計期間：4 人月以上, 5 人月未満 **設計ツール：**Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Formality **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**演算回路 (乗算器, 除算器など)



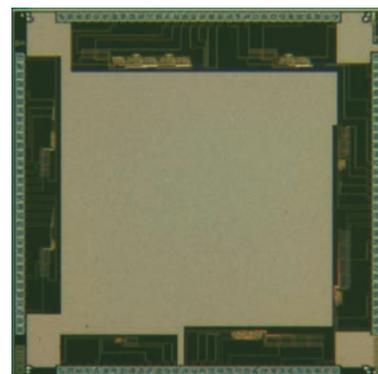
宇宙用 CVSL 回路及び性能比較解析用 CMOS 回路

静岡理科大学理工学部 波多野 裕, 藤田 貴大, 中村 高基, 池田 大地, 椿原 茂樹,
上江洲 トモヒデ, 市川 満,

概要: 0.4ミクロンCVSL半加算回路, 0.18ミクロンCVSL半加算回路, 0.4ミクロン複合ゲートCMOS半加算回路, 0.18ミクロン複合ゲートCMOS半加算回路, 0.18ミクロンNANDゲート速度性能解析用50段チェーン回路2種類, 0.18ミクロンNORゲート速度性能解析用50段チェーン回路2種類, 0.18ミクロンCVSLEXOR回路, 0.18ミクロンCVSL半加算回路, 0.18ミクロンCVSL全加算回路, 0.18ミクロンクロック型CVSL半加算回路, 0.18ミクロンクロック型CVSL全加算回路, CMOS EXOR回路, CMOS半加算回路, CMOS全加算回路を2012年度第5回試作と2013年度第3回試作の2回に分けて設計した。2012年度第5回試作では, 0.4ミクロンと0.18ミクロンでCVSL半加算回路, 複合ゲートCMOS半加算回路, を設計した。更に, 0.18ミクロンNANDゲート速度性能解析用50段チェーン回路2種類, 0.18ミクロンNORゲート速度性能解析用50段チェーン回路2種類, を設計し, 試作チップを実測して機能動作を確認した。2013年度第3回試作では, 0.18ミクロンで, CVSLEXOR回路, CVSL半加算回路, CVSL全加算回路, クロック型CVSL半加算回路, クロック型CVSL全加算回路, CMOS EXOR回路, CMOS半加算回路, CMOS全加算回路, を設計し試作回路を実測して機能動作を確認することができた。

参考文献: [1] H. Hatano, "A simulation-based... single event failures..." 24th ESREF, France, Oct. 2013.

設計期間: 3人月以上, 4人月未満 設計ツール: Cadence社 Dracula, Synopsys社 HSPICE (RF) トランジスタ数: 100~1,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: TEG (特性評価回路など)



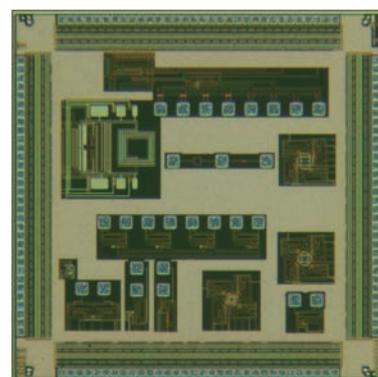
ESR, 微小変位, コンパレータ, ReRAM の設計

金沢大学医薬保健学域 中山 和也
金沢大学大学院自然科学研究科 真田 圭, 林 雅隆
金沢大学理工学域 北川 章夫

概要: 4点のアナログ回路を搭載。1点目はESR検出のため周波数掃引用のLC高周波回路。ESRの周波数掃引に必要な1GHz \pm 500MHzの帯域を実現するために, バラクタにより容量を可変にしたLC型のVCOを設計。2点目は微小変位検出用回路。微小な容量変化を検出するために高周波回路により周波数変化へと変換して出力する。回路ユニットを構成するリングオシレータ, ミキサ, 差動アンプ等のTEG回路を含む。高周波用のTEG回路は内部PADにて出力。3点目は評価用コンパレータ。4点目は多値化ReRAMの実現に向けた読み出し回路。メモリセル単体でのみ設計しており, 素子のばらつき等を評価する。

参考文献: [1] 北川章夫, "VDEC CMOS180nm PDKを用いたフルカスタム設計", <http://jaco.ec.t.kanazawa-u.ac.jp/kitagawa/edu/micro1/lab/>, 2010年3月7日

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数: 10~100 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



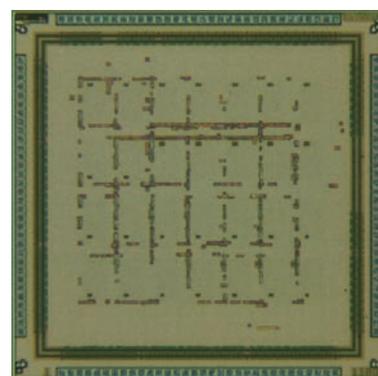
自己調整機能を持つ回路の試作

早稲田大学高等研究所 史 又華
早稲田大学理工学術院 戸川 望, 柳澤 政生

概要: 大規模集積回路 (LSI) の低消費電力化には, LSI の電源電圧を下げるのが最も効果的である。しかし, 低電圧の条件下では, CMOS回路の動作が不安定になり, 製造ばらつき・温度変化・ノイズなどに影響され, 誤動作などの障害が増大している。既存のワーストケースに基づいたLSI設計手法は, 大きな設計マージンが必要であり, 結果として見込み通りのエネルギー削減効果が得られるとは限らない。そのために, 自己調整機能を持つICの試作を行った。試作した回路は静的・動的なばらつきに対し, 常に回路が正しく動作しているかをチェックする回路を設計し, その個体/そのときの動作における, 実際の遅延に基づき, 動的にタイミングエラー検出・回復動作を行うことができる。

参考文献: Y. Shi, H. Igarashi, N. Togawa, and M. Yanagisawa, Prediction based Timing Speculation Technique for Throughput Improvement, Proc. International Conference on Integrated Circuits, Design, and Verification (ICDV), 2013.

設計期間: 3人月以上, 4人月未満 設計ツール: Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Synopsys社 Cosmos, Synopsys社 HSPICE (RF) トランジスタ数: 100,000~1,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別: TEG (特性評価回路など)

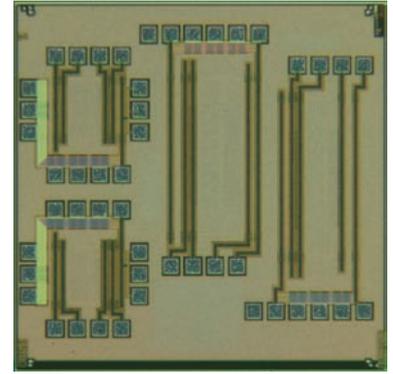


局所的なゲート駆動電圧ブーストを用いたレベルシフタ

東京大学生産技術研究所 染谷 晃基, 更田 裕司, 高宮 真, 桜井 貴康

概要: ロジック回路の低消費電力化を実現するには、回路の電源電圧を低下させる事が有効である。特に、電源電圧を閾値電圧近傍又はそれ以下に下げた超低電圧回路が注目されている。しかし、そのような回路においても、チップのIOの電圧を下げる事が出来ないため、0.5V以下のような非常に低い電圧から、一般的なIOの電圧である2.5Vや3.3Vへ変換するレベルシフタが必要となる。このようなレベルシフタでは、低電圧動作によるトランジスタの駆動力低下が動作不良を引き起こす原因となるため、トランジスタの駆動電圧を局所的に高める事が有効となる。そこで本研究では、局所的なゲート駆動電圧の昇圧（ブースト）を用いたレベルシフタを設計した。試作チップの測定を行い、最大0.38Vから3.3Vへの変換が実現できることを確認した。また0.5Vから3.3Vへの変換において、11MHzで動作し、1サイクルあたりの消費エネルギーは6.3pJとなることを確認した。

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数: 10~100 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: TEG (特性評価回路など)

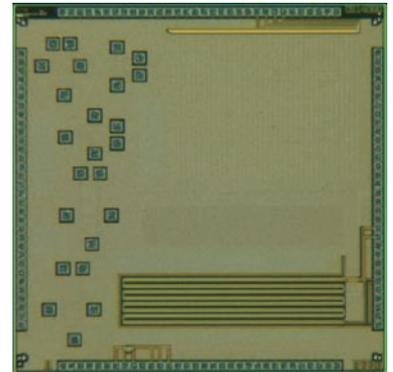


MOSFETを用いた可逆演算回路

横浜国立大学大学院工学府 井上 孔佑, 西村 考正, 吉川 信行

概要: 我々はCMOS集積回路を用いた低電力化技術として、可逆演算回路を研究している。可逆演算回路とは電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である。また、情報の保持を行うことで低電力化できる。本チップには、4相の台形波で動作する可逆演算回路の段数が異なるもの、さらに、電力測定用に大規模な回路も載せた。共振を利用した電源回路の動作と消費エネルギーを確認するためにPFAL (Positive-Feedback-Adiabatic-Logic) 15600段とStatic CMOSインバータ15000段を試作。段数が少ないと電流が測定できないのでできるかぎり多段接続をした。我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。SFQ論理回路とCMOS回路を組み合わせるためにはインターフェース回路が必要である。このインターフェース回路を構成している一つの回路がCMOS差動増幅器である。このチップではSFQ論理回路からの微細な信号を直接読み取る高感度CMOS差動増幅器が載せられている。

設計期間: 1人月以上, 2人月未満 設計ツール: Synopsys社 Star-HSPICE, Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数: 10,000~100,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: 演算回路 (乗算器, 除算器など)

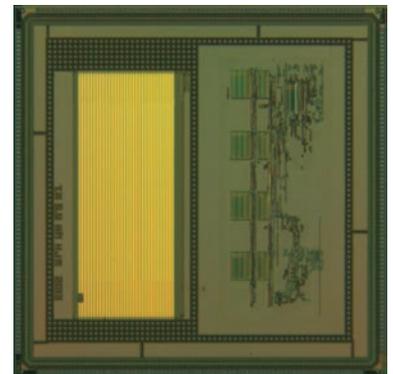


k近傍法に基づいた低消費電力かつ高速処理が可能なユークリッド距離検索連想メモリの汎用的学習・認識SoC

広島大学ナノデバイス・バイオ融合科学研究所 マタウシュ ハンス ユルゲン, 安 豊偉
広島大学大学院先端物質科学研究科 赤澤 智信, 山崎 翔悟

概要: 連想メモリとは、ある参照ベクトル群の中から最も類似するベクトルパターンを検索する機能メモリである。これまで、本研究室ではクロックにより距離を離散的な時間領域に変換してその検索時間も効果的に削減し、また、絶対値差計算回路における全加算器を逐次処理型の乗算器として再利用することで高信頼かつ高速・低消費電力なデジタル時間領域ユークリッド距離検索連想メモリの開発を行ってきた。本試作では、これらを用いてk近傍法と言う汎用的なパターン認識アルゴリズムをハードウェア実装し、さらにCPUを同一チップ上に搭載することで、エラーフリーな検索、テクノロジーとデータサイズに対するスケーラビリティを獲得しつつ、高速・低消費電力で汎用的な学習・認識を実現した。

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Synopsys社 Hercules, Synopsys社 HSPICE (RF), Synopsys社 HSIM トランジスタ数: 100,000~1,000,000 試作ラン: ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別: アナログ/デジタル信号処理プロセッサ

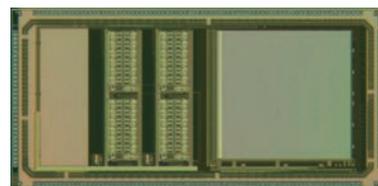


時空間方向に露光制御可能なイメージセンサ

東京理科大学工学研究科 山崎 智裕, 浜本 隆之

概要: 本イメージセンサは、フォトダイオードに蓄積される電荷の読み出しおよびリセットのタイミングを時空間方向に自由に制御する目的で設計した。画素毎に露光の時間長、読み出しの速さ、露光の位相を制御することで、一度に異なる撮像パラメータの画像を取得できる。そのように撮像した画素値情報はそのまま表示すると劣化しているが、後段で信号処理を施すことで、ダイナミックレンジ、空間解像度、時間解像度等が向上した画像を再構成することができる。本チップは、縦256×横256画素のフォトダイオード、読み出し回路、パイプライン型AD変換器から構成される。なお、本チップでは露光終了時だけでなく、露光途中の蓄積中間画素値を出力することも出来る。このチップの評価を行ったところ、露光時間が異なる画素値が取得できていることを確認した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** イメージセンサ/スマートセンサ

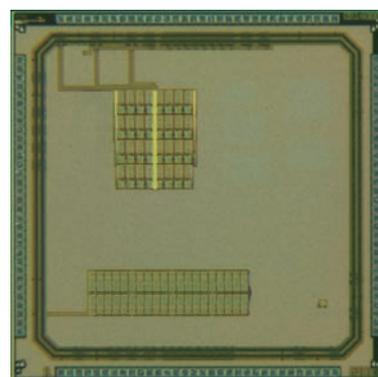


発火タイミングに依存した可塑シナプスモデルとCPGモデルの試作

日本大学理工学部 山下 大地, 二瓶 乃亮, 小久保 智彬, 奥山 敦司, 佐伯 勝敏

概要: 人間の脳は、汎用性が高く、推論、学習、連想、認識など柔軟で優れた情報処理が可能である。この柔軟で優れた情報処理を工学的に応用するために、脳を構成しているニューラルネットワークの電子回路モデルを構築することは重要な課題となっている。構築に際し、結合した細胞体間でパルスを出力する順序とその時間差に依存してシナプス結合荷重が変化するSpike Timing Dependent synaptic Plasticity (以下STDP)をモデル化した研究が報告されている。我々も、生理学実験のデータに基づいたSTDPモデルについて検討を行っている。今回、レイアウト面積を縮小できる低容量を用いたSTDPモデルの試作を行った。また、生体は脊椎に歩行制御を行うCPG (Central Pattern Generator)を有し、ロボットの歩行制御にはCPGモデルが有効である。さらに、ロボットの歩行制御には、低周波数発振可能なCPGモデルが必要である。そこで、我々は、低周波数発振可能な介在細胞集団モデルを提案し、前回集積化した回路の不具合を修正し、ロボットの歩行制御パターンを生成するCPGモデル、低周波数発振可能な介在細胞集団モデル、簡単な位相同期回路の試作を行った。さらに、回路パラメータの異なるP-HNMを数パターン作成した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



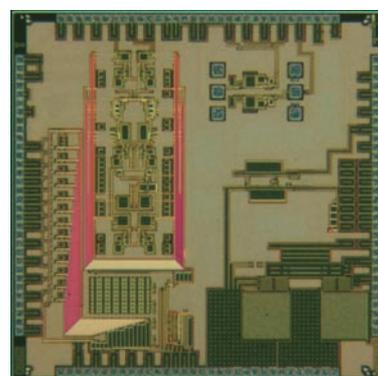
3 状態制御方式昇圧型電流モードDC-DCコンバータの試作

中央大学理工学研究科 小舘 直人, 渡辺 啓, 安倍 幹織

概要: 電流モード昇圧型DC-DCコンバータでは昇圧比が高くなると、出力部に右半面の零点が発生し、系が不安定になるという問題点がある。そこで我々は、3状態制御方式を昇圧型電流モードDC-DCコンバータに適用し、入出電圧に依らずに一定の周波数特性を実現出来ることをシミュレーションにて確認した。また一般的にDC-DCコンバータに用いられるスロープ補償を施さないことによって過補償になる問題を解決した。本試作ではスロープ補償を、①本研究室が提案する2次スロープ補償、②一般的に用いられている線形スロープ補償、③スロープ補償無し、の三種類を可変にして測定できるように設計した。また、パワーMOSトランジスタを駆動するバッファの貫通電流を軽減し低消費電力電源回路の実現を目指した。

参考文献: 寺師裕人, Isaac Cohen, 二宮保 "リアクトル電流保持時間制御によるDC-DCコンバータの動作性改善について"電子情報通信学会, 25-31, AUGUST 2002. 2

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

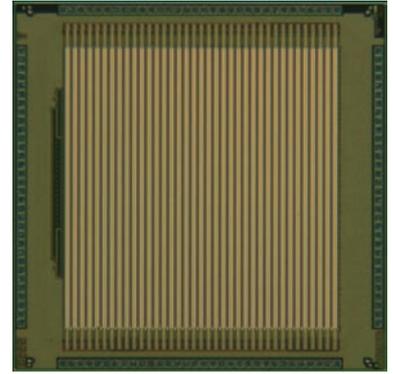


NBTI劣化の高並列測定回路

京都大学情報学研究所 栗野 皓光, 廣本 正之, 佐藤 高史

概要: Negative bias temperature instability (NBTI) は, pMOSトランジスタの閾値電圧が緩やかに上昇する経年劣化現象である。デジタル回路ではタイミングエラー等の動作不良に, アナログ回路ではトランジスタの特性不整合に起因する不具合に繋がるため, NBTIを正確にモデル化し対策を講じることが急務の課題となっている。NBTIを評価する閾値電圧の測定には長時間のストレスを印加が必要である。このため従来は, 多数のトランジスタから統計的な劣化情報を得ることが現実的な時間では出来なかった。本試作では, 3,996トランジスタにおけるNBTI劣化を並列に測定することが可能なアレイを設計した。多数のトランジスタを集積しても測定精度が劣化しないよう, パスゲートトランジスタに起因するリーク電流を補償する回路構造を考案し, その効果を確認した。本チップで実証した回路構造を用いることで, 多数のトランジスタについて効率の良いNBTI劣化測定が可能となる。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

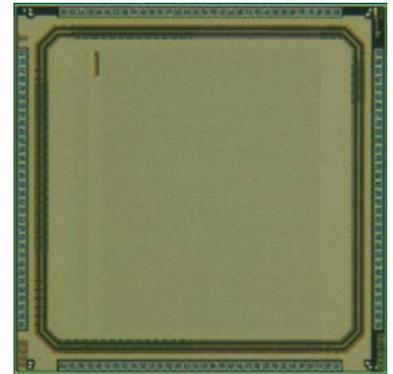


圧縮センシングイメージセンサ

京都大学情報学研究所 藤田 隆史, 廣本 正之, 佐藤 高史

概要: イメージセンサは, 複合的領域に広く応用されている重要なデバイスである。特に, バッテリ容量に制限のあるアプリケーションに搭載を可能とする極端な低消費エネルギー動作の実現が重要となっている。デザイン上の工夫によりイメージセンサの低消費エネルギー化がすすめられており, 中でも圧縮センシング (Compressed Sensing) の応用してサンプリング回数を画素数より少なくする手法が注目されている。本チップは圧縮センシングの原理を応用するイメージセンサであり, 画質と消費エネルギーの評価を目的としている。各画素内に配置するフリップフロップにより観測行列を保持して線形観測を実現する。8x8画素をブロックとし, ブロック内の画素によりシフトレジスタを構成して, 各ブロックごとの圧縮センシングを実現する。またブロック毎に異なる観測回数を与える機構を備えて, 画質を維持しつつサンプリング回数を従来よりも削減することを狙っている。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

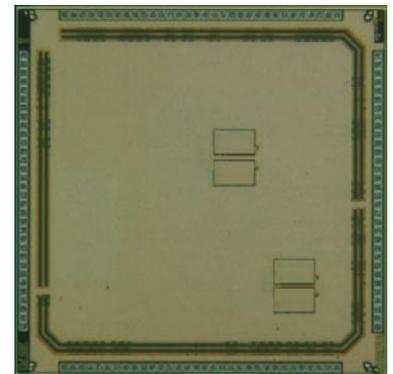


冗長性を用いた逐次近似型アナログデジタル変換器

上智大学理工学部 栗栖 裕樹, 佐々木 達也, 和保 孝夫

概要: 逐次近似型アナログデジタル変換器 (SAR ADC) では, 変換精度を高めるためコンパレータにプリアンプを使うことが多いが, プリアンプの定常電流が低消費電力化を図る上で大きな障害になっていた。我々は上位ビットと下位ビットで変換方法を変えることで, 低消費電力化が図れる構成を考案した。上位ビット判定では, 判定ミスを修正するため, 6ステップで5ビット判定をする冗長性を採用し, プリアンプは使用しないこととした。また, 下位ビットではプリアンプを使用するものの, 非同期動作を採用しプリアンプの電流を遮断することで, 消費電力削減を目指した。また, 比較のため, 冗長性が無く, 同期動作する従来型SAR ADCを設計し, 搭載した。現在, 評価中であるが, 従来型では, 電源電圧1.3V, サンプリング周波数100kHz, 入力周波数50kHzにおいて, 有効分解能7.4bit, 消費電力10.58 μ Wを得ている。

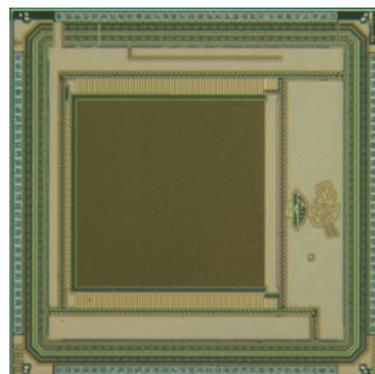
設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Dracula, Cadence社 Diva, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



擬似的不規則画素配置を持つCMOSイメージセンサ

金沢大学理工学域 秋田 純一, 笹田 佑太, 井崎 千尋

概要: 通常のイメージセンサは、画素が格子状に配置されているため、斜め線のエッジ部分に段差（ジャギー）が現れる。ジャギーの段は空間的に孤立しているため視覚感度が高く（副尺視力）、画素の微細化による解消が困難である。著者らは、画素内の受光領域の配置が画素内の全体ではなく一部分を占めることに着目し、画素内での受光領域の位置が異なる9種類の画素を乱数で決定して配置して得られる擬似的不規則画素配置によってジャギーの解消をはかる手法を検討している。本試作チップでは、同一構造の画素の一種類を並べて得られる通常の格子状画素配置、4種類の画素を用いる擬似的不規則画素配置、9種類の画素を用いる擬似的不規則画素配置をそれぞれもつ128x128画素のCMOSイメージセンサを試作した。また画素を構成するトランジスタを3.3V対応のものに変更し、信号電圧振幅の増大を図った。



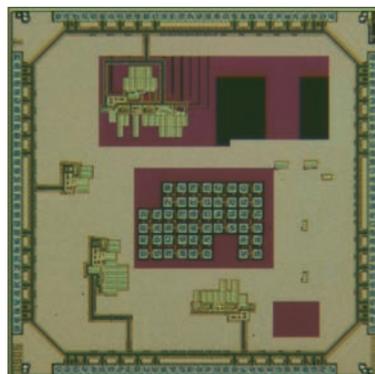
設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ

アナログ回路用ライブラリおよび素子評価TEGの試作(2)

高知工科大学工学部システム工学群 橘 昌良, 村本 竜昇, 山田 健太

高知工科大学大学院基盤工学専攻 西面 尚彰

概要: 本チップの目的はアナログ回路用ライブラリの設計およびMOSトランジスタの特性評価である。試作した回路は、1次および2次の離散時間 $\Delta\Sigma$ 変調回路、2段オペアンプを用いたバンドギャップリファレンス（BGR）である。 $\Delta\Sigma$ 変調回路において、アナログスイッチはCMOSとブートストラップスイッチをそれぞれ用いて設計した。2種類のスイッチによる $\Delta\Sigma$ 変調回路のSNRを評価した。バンドギャップリファレンス（BGR）は電源電圧依存性を軽減するために差動増幅回路にソース接地増幅回路を接続した2段構成オペアンプを内蔵した。さらに、抵抗値のバラツキに考慮して、出力段の抵抗を外付にした回路と抵抗を内蔵した回路を設計した。最後に素子評価TEGとしてトランジスタサイズの異なったMOSFETを試作した。評価TEGでは基本特性のドレイン電流特性やしきい値および製造ばらつきを調査する。調査する製造ばらつきはチップ間ばらつきである。



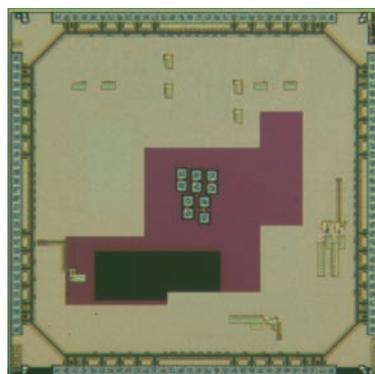
設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

アナログ回路用ライブラリおよび素子評価TEGの試作(3)

高知工科大学システム工学群 橘 昌良, 坂板 直哉, 中村 達彦, 村本 竜昇

高知工科大学大学院基盤工学専攻 坂東 拓弥

概要: 本チップの目的はアナログ回路用ライブラリの設計およびMOSトランジスタの特性評価である。試作した回路は、 $\Delta\Sigma$ 変調回路、ダイナミックコンパレータ、1段オペアンプを用いたバンドギャップリファレンス（BGR）である。 $\Delta\Sigma$ 変調回路は1次・2次をスイッチトキャパシタを用いた離散型ではなく抵抗・キャパシタを用いた連続型のものを信号帯域は22kHz、オーバーサンプリング比は128として設計した。次に、差動増幅回路とインバータを用いたコンパレータではノイズ・遅延・オフセットなどの影響が出てきてしまう。そこでこれらの影響を少なくすることができるダイナミックコンパレータを設計した。さらに、バンドギャップリファレンス（BGR）は差動段のみの一段のセルフバイアスオペアンプを内蔵しているプロトタイプverのBGRである。抵抗ばらつきによる温度特性劣化対策として抵抗のレイアウトに工夫がなされている。最後に、SUBPNPダイオードの温度特性を調べるために、単体のSUBPNPダイオードと8個並列接続したSUBPNPダイオードのTEGを試作した。素子評価TEGとして抵抗のTEGを試作した。これは、製造ばらつきを調査するためのものである。



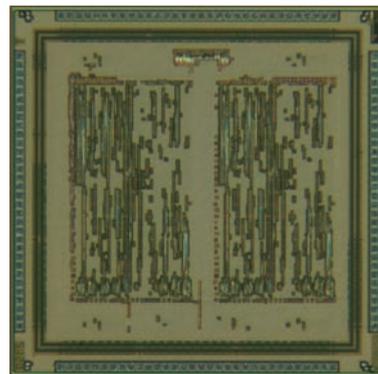
設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

DFTのスキューイン・アウトおよびキャプチャ電力評価

九州工業大学大学院情報工学研究院 佐藤 康夫, 梶原 誠司, 王 森レイ

概要: テスト容易化回路において論理 BIST 時の電力低減の研究を行っている。今回 TEG はスキューイン時の電力だけでなく、テストパターンによるユーザ論理の応答をスキューフリップ・フロップに取り込む際のキャプチャ電力、および応答パターンをスキューアウト時の電力も低減する機能を実装し評価する。(1) スキューイン・アウトおよびキャプチャ時の電力調整可能な DFT 回路の実装とテスト時の電力測定を実施する。57k ゲートの論理を実装しテスト結果および電流値を観測可能とした。(2) アドバンテスト社のクラウドテストで論理値および電流値を測定する。(3) キャプチャ電力についてはオシロスコープで過度な電力による IR ドロップ現象を観測する。(4) テスト時の温度・電圧モニタ回路の実装と測定を実施する。評価は継続中であるが、全機能が動作することを確認し、今後詳細評価に入る予定である。(1) については電力がパラメータにより制御可能であることを確認し、今後、詳細電流値の評価予定。(2) についてはキャプチャ電力による電源電圧変動を観測可能なことを確認し、今後、詳細評価を実施予定である。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICACompiler, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



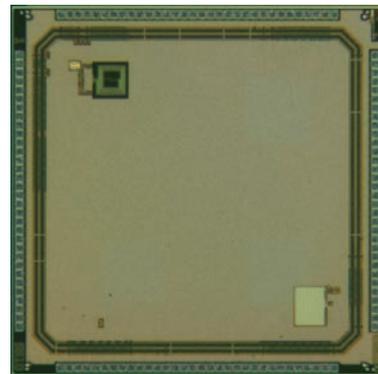
2.5GHz Injection Lock Analog-PLL および Clock and Data Recovery 用 Phase Detector の試作

法政大学大学院工学研究科 嘉藤 貴博

法政大学理工学部 中村 有輝, 石川 悠介

概要: 本試作では、Injection Lock による PLL の低ジッタ化を研究する一貫として、通常のアナログ PLL を設計し、そこに Injection Lock の機構を付加した。またこの提出が学部 4 年生を主担当として初めて実施した T.O. である。従来の Injection Lock を発展させ、同期注入回数を増加させることにより、さらに位相雑音低減可能な analog-PLL の設計/試作/評価をすすめる。Clock and Data Recovery 用 Phase Detector に関しては、従来の BangBang 型や Hogge 型でなく、SH 型の PD の試作研究をすすめている。GHz 帯の CDR のは従来では、アナログ PLL が多いが、Loop 遅延の問題を克服できれば、デジタル PLL が可能でありより低消費電力化、小型化が可能である。そのためには、SH 型から TDC を検討するのが有効ととらえており、その布石として、SH 型位相比較器の設計/試作/評価をすすめた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

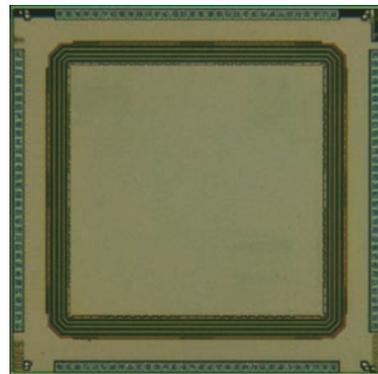


チップ設計技術および測定技術習得用 SRAM 回路

九州工業大学情報工学部 近藤 敬宏, 徳丸 翔吾, 久保 直也, 中村 和之

概要: 本チップには、各人が設計した 1024bit SRAM 回路を搭載しており、それぞれの SRAM の動作を実測により測定することで、SRAM 回路の測定環境を構築し、測定技術を習得するための回路となっている。本研究室では、現在広く用いられている 6 トランジスタメモリセルにより構成される SRAM (Static Random Access Memory) 回路の問題点である特性ばらつき耐性の低さを解消した、Ratio-less SRAM の研究を行ってきた。従来の 6 トランジスタ SRAM はアナログ動作を行うため、動作マージンの確保が必要なことから、特性ばらつきに対する耐性が低い。これに対し、Ratio-less SRAM ではデジタル動作によって回路動作が行われるため、特性ばらつきに対する耐性が高い。今回の試作チップでは、今後設計する Ratio-less SRAM 回路および、その評価用 TEG 回路の設計技術および測定技術習得のための SRAM 回路を作成することが目的である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** nanodesign 社 ns-draw, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ

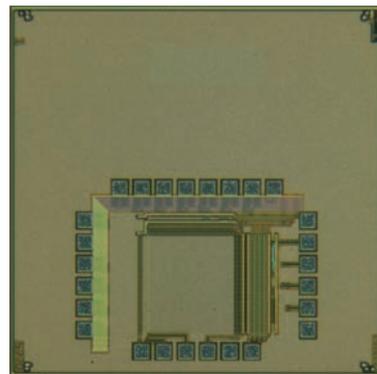


ゲート酸化膜の破壊位置を利用したOTPメモリ

東京大学生産技術研究所 更田 裕司, 高宮 真, 桜井 貴康

概要: MOSFETのゲート酸化膜破壊をアンチ・ヒューズとして用いた、一度だけ書き込み可能なメモリ (One Time Programmableメモリ, 以下OTPメモリと略す) が、チップ固有IDの格納やアナログ回路のトリミング等の用途で用いられており、近年その大容量化が求められている。本研究では、ゲート酸化膜の破壊位置という情報を用いる事で、ヒューズの多値化を行い、OTPメモリの大容量化を目指す。過去の試作を通して、破壊位置を制御する手法を確立したので、本試作ではそれを基に大規模なOTPメモリの設計を行った。設計したOTPメモリは128kビットであり、従来技術よりも1ビット当たりの面積の小型化 (メモリの大容量化) を実現した。試作チップの測定を行い、メモリとして動作する事を確認した。現在、詳細な評価を行っている。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 ModelSim, Synopsys社 HSPICE (RF) **トランジスタ数:** 100,000 ~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



多チャンネル皮質脳波信号計測チップ

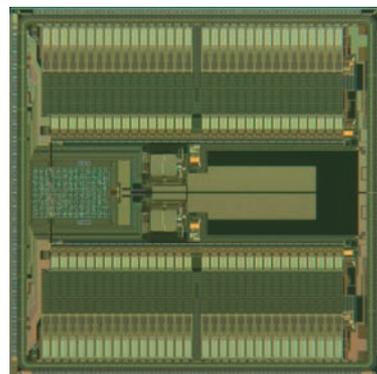
大阪大学大学院生命機能研究科 鈴木 隆文, 安藤 博士

広島大学大学院先端物質科学研究科 吉田 毅

概要: 脊髄損傷などにより運動機能を失った人の生活の質を向上させるため、考えるだけで義肢などを操作できるブレイン・マシン・インタフェース (BMI) の実現が期待され、その信号源として侵襲性と情報量とのバランスなどから皮質脳波信号 (ECoG) が注目されている。本研究では、更に小型な埋込み型BMIシステムを実現するために、ピン配置の最適化を行った多チャンネル皮質脳波安定計測チップの改良試作を行った。搭載回路は、64チャンネルの低雑音増幅回路、12bitAD変換器、システム制御回路である。設計した低雑音増幅回路は、振幅が数 μ V~1mV程度で、信号帯域が0.1~100Hz程度であるECoGを検出するために、弱反転領域で動作するMOSFETを用いたフィードバック構成で実現した。また12bitAD変換器は32kSpsで動作した。

参考文献: 吉田, 他, "ブレイン・マシン・インタフェース64chニューラルレコーディングチップ", 信学技報ICD2011-23, pp.25-30, 2011

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 NCVerilog, Synopsys社 Astro, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 NanoSim **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** アナデジ混載

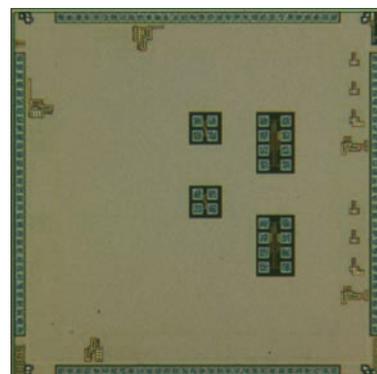


半導体検出器用信号増幅回路の試作

東北大学大学院工学研究科 清水 陽太, 菊池 洋平

概要: 本研究室では、半導体検出器を利用した、頭部用PET (Positron Emission Tomography) の開発を行っている。一般的には、シンチレーション検出器が利用されているが、半導体検出器を利用することで、空間分解能が大きく向上することが期待される。将来的に、研究室において、PET用のASIC開発を行うことを考えているため、RO1812_5とRO1813_2を利用して、半導体検出器用信号増幅回路の試作を行った。信号増幅回路とは、電荷有感型前置増幅器、PZC付微分回路、積分回路を用いて、構成される回路であり、電荷-電圧変換、信号の増幅・整形の役割がある。前回までの試作で、目標としていた半導体検出器用信号増幅回路は完成したため、今回の試作では、RO1813_2で試作した回路の改善を行った。改善した内容は、主にレイアウト設計に関するものである。電源ラインを大きくとり、電源の供給が一様に行われるようにすること、またCONTACTやVIAの数を増やし、寄生容量を減らすことなどである。各回路のテストパルスに対する応答を観測したが、RO1813_2の試作と比較して、結果に大きな変化は見られなかった。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

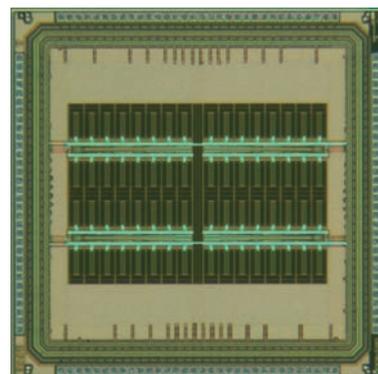


MDR-ROMにおけるデータ読み出し遅延差を用いた PUF (MDR-ROM PUF)

立命館大学理工学研究科 菅谷 周平, 西村 隆志, 竹内 章浩, 浅川 俊介
立命館大学総合理工学研究機構 汐崎 充
立命館大学理工学部 藤野 毅

概要：近年、暗号回路を搭載したICチップはクレジットカードや電子マネー、利用者認証など様々な用途で使用されている。また、セキュリティ認証はセンサーネットワークや車載セキュリティへと応用分野が広がっている。我々は、耐タンパ・システムにはサイドチャネル攻撃対策を施した暗号回路と侵襲攻撃対策であるPUF回路が必要不可欠な回路技術であることを示してきた。両回路技術の統合を目指して、当研究室で提案してきたサイドチャネル攻撃対策回路 MDR-ROM におけるデータ読み出し遅延差を用いた PUF 回路 (MDR-ROM PUF) を提案した。本試作チップは提案する MDR-ROM PUF から生成される出力 ID のユニーク性、電源変動特性、温度特性等といった性能評価する目的で設計した。試作チップは実測結果より各回路からユニークな ID 生成ができることが確認できた。

設計期間：2人月以上, 3人月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数**：10,000~100,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別**：TEG (特性評価回路など)



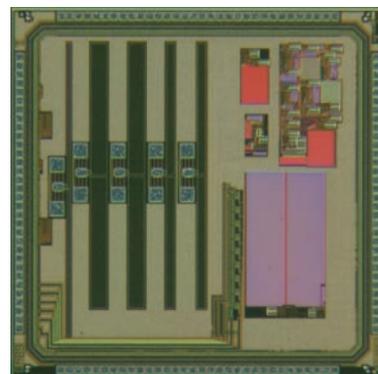
0.18 μ m CMOS を用いたパッチクランプ測定システムの改良、及び単チップで動作するマイクロシステムのための発振回路

慶應義塾大学大学院理工学研究科 中山 渉, 小野 東輝, 川島 拓也
慶應義塾大学理工学部 四つ田 大樹, 渡邊 淳史, 中野 誠彦

概要：本チップでは小型で装着可能な生体信号記録システムの開発を目標としている。今回は、0.18 μ m CMOS プロセスを用いて、生体信号記録システムに必要な IV コンバータ、寄生成分補償回路、シリアルパラレル変換機および可変利得増幅回路 (Programmable Gain Amplifier) の設計を行った。IV コンバータは 50M Ω の抵抗を同一チップ内に設計したものと、T 字方式のものと 3 種設計して比較ができるようになっている。寄生成分補償回路は細胞の膜容量を補償するための補償回路を組み込み改善した。可変利得増幅回路に関しては、ADC の分解能に見合う大きさに信号を増幅するために必要で利得を 20dB~80dB で可変するよう設計した。シミュレーションでは良い線形性、ノイズ、周波数特性を示している。

別の研究として、単チップで動作するマイクロシステムの発信回路の一部を検討用に設計した。オンチップアンテナとして 900MHz, 1.8GHz の帯域を想定したダイポールアンテナを計 5 種類設計した。また、発振器として今後の可能性を模索するために 3 段・5 段それぞれのリングオシレータを設計した。

設計期間：2人月以上, 3人月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Agilent 社 ADS **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別**：アナログ (PLL, A-D/DC-DC コンバータなど)

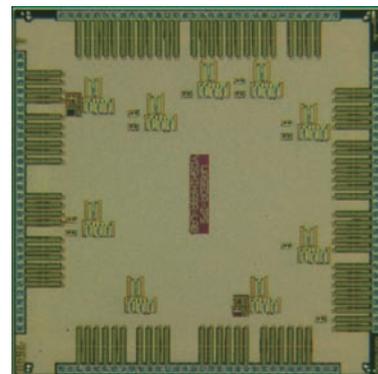


A novel methodology for the implementation of a switched-capacitor voltage reference

早稲田大学情報生産システム研究科 張 浩, 吉原 務

概要：We propose a novel methodology for the implementation of a switched-capacitor voltage reference. By means of the MOSbody effect, the switched operation uses a single capacitor and a PMOS transistor to generate a reference voltage that has low sensitivity to temperature. The low output under the threshold voltage is achieved without the use of components dividers, which conserves the chip area. The circuit is implemented in 0.18- μ m CMOS technology. Measurements show that the temperature coefficient is approximately 35.1 ppm/oC. At room temperature, the line sensitivity is approximately 0.12%/V, and the supply current is less than 100 nA from 1V supply. The circuit occupies a 0.013 mm² chip area. Twenty chips have been fabricated, and five chips have been packaged. The circuit in the chip is a CMOS voltage reference that produces a low output voltage under threshold voltage and consumes ultra-low-power dissipation for application in subthreshold LSI. Body-biasing technology and switched-capacitor technology is used in this work. The circuit is design by using Cadence tools, the simulation has been implemented. The chips are implemented in Rohm 0.18- μ m standard CMOS technology. For each chip, many blocks of the voltage reference have been placed to evaluate the performance. Some blocks work very well. We test our chips in the semiconductor center which is located in Kitakyushu. It costs 20 hours to finish the measurement work. The measurement results are similar to the simulation, and the test process variations in the range of simulations. The chip has satisfactory performance, and the influences result from process variations can be evaluated by the corner analysis.

設計期間：3人月以上, 4人月未満 **設計ツール**：Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Cadence 社 Spectre **トランジスタ数**：~10 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別**：マイクロプロセッサ

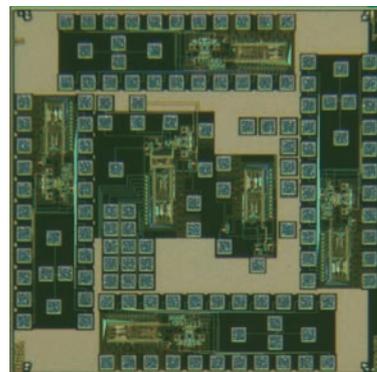


微粒子操作向け容量変化検出回路

大阪大学大学院工学研究科 岩崎 紘介, 松岡 俊匡

概要：微小化学分析システムの実現のために、CMOS技術と誘電泳動技術を用いたオンチップ微粒子操作のためのセンシング・システムの確立を目指している。本チップ設計では、微粒子の有無を電気信号で検出するために、容量変化検出回路の設計を行った。この回路は、Charge-Based Capacitance Measurement (CBCM) の原理を用いて容量を電流に変換し、これを時間積分することで、容量値に対応した矩形波を生成する。さらに基準容量との容量差を矩形波の周期の差として、デジタル回路で読み出す。上述の積分回路をCMOSインバータをベースとして設計するなどの工夫により、低電源電圧化や低面積化を実現した。容量差をオンチップで確認するために4種類の容量変化検出回路を配置した。また、デジタル回路の動作確認を行うためのテスト回路も配置した。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Encounter RTL Compiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



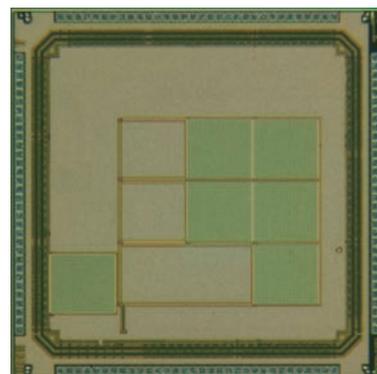
太陽電池用制御回路およびリング発振器

中部大学工学部 石井 清

中部大学 宮本 順一

概要：通信用LSIの高速・高性能化を目指して、CMOSトランジスタを用いたアナログおよびデジタル基本回路の検討を行っている。今回は、CMOS基本ゲート回路（ソース結合論理ゲート回路）の特性の把握、および新たに考案した回路構成の有効性を検証するため、Rohm 0.18 μ m CMOSトランジスタを用いて、リング発振器の設計・試作を行った。状来構成のリング発振器と新しい回路構成を用いたリング発振器を同チップ内に設計し、比較検討できるようにした。さらに、同チップ内に、新しい太陽電池制御回路の基本回路も設計・試作して、その動作検証を行った。特に、動作検証と消費電力について検討するため設計・試作を行った。試作チップは、現在、評価中である。本試作チップは研究要素の大きなものである。今後、今回の結果を反映した改良設計を行う予定である。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

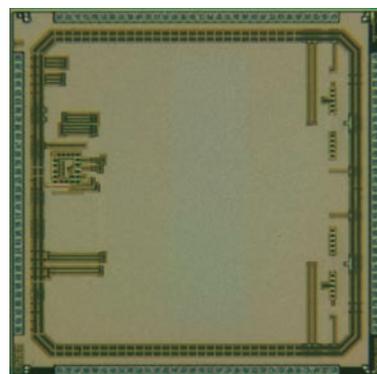


無線受信機に用いる新たな1bit分解能A/D変換器

山梨大学工学部 兼本 大輔

概要：無線受信機のベースバンド部に関して、VGA (Variable Gain Amplifier) や高分解能A/D変換器の消費電力および占有面積が大きいことが指摘されている。そこで本研究室では、無線受信機実装において低コスト・低消費電力動作が可能となる1bit分解能A/D変換器に注目し、研究を進めている。1bit分解能A/D変換器を実際の無線機に適用する場合の課題として、非線形性から生じる相互変調歪が知られている。そこで本研究室では、1bit分解能A/D変換器で発生する相互変調歪を低減するアイデアを考案し、その検証を行うために、回路設計・チップ試作を行った。現在、試作チップの動作・性能を測定するため、実際の無線通信信号を想定した信号を用いた検証を行っている。測定データを基にBER (Bit Error Rate) の評価を行い、実際の無線機として利用した場合の改善例を示したいと考えている。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

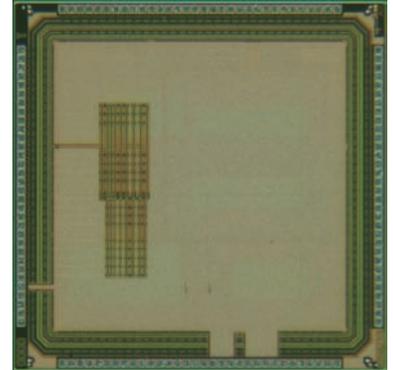


Channel charge injection based low power thresholding circuits

東京大学 VDEC 朱 弘博, 浅田 邦博

概要 : Channel charge injection is usually considered as an undesired noise source which should be eliminated in traditional analog circuits. No utilization of such a phenomenon has been reported. In this chip, we explore the usage of channel charge injection for signal processing. As the first try, we implement the thresholding function by connecting the two gates (one from PMOS and one from NMOS) of a main inverter (mINV) to the outputs of several channel charge generation MOS's (ccgMOS). Two types of ccgMOS are tested in this chip. Both types contain a MOS with the input to be the gate and the output to be the connected node of source and drain. The difference comes from the way how to connect the body-bias. For the first type, the body-bias is just connected to the ground to ensure a compact design. For the second type, the body-bias is also connected to the output node (the source and drain) using deep N-well to ensure that the channel charges do not escape from the ground. For the first type, we also implemented ccgMOS using both 1.8V MOS as well as 3.3V MOS. At the beginning of operation, the charges on the gates of mINV are reset to a bias value that keeps its output to be low. During operation, when the input of a ccgMOS changes, some of the channel charges are transferred to the gates of mINV. When the number of ccgMOS that generating channel charges becomes larger than a threshold, the output of the mINV becomes high which tell that the threshold is reached. Such a thresholding function is very important in many applications including image feature extraction, pattern matching, and neural network. In particular, the low power performance of this architecture can contribute much to the efficient implementation of such applications. The circuits' functionality was demonstrated by Hspice simulation.

設計期間 : 0.1 人月以上, 0.5 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数** : 10~100 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : TEG (特性評価回路など)



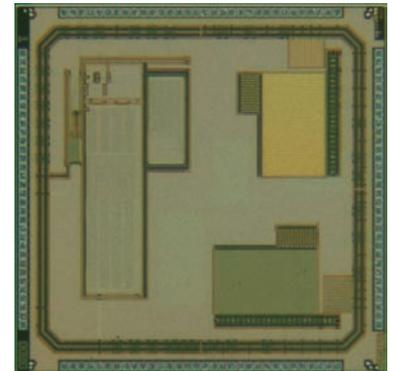
パルス再生リングを用いたパルス幅積分器によるゼロ位相オフセット PWPLL と DLL/TDC 電圧モニタリングによるオンチップ電源変動抑制回路

東京大学工学部電気電子工学科 矢野 智比古, 山内 善高

東京大学 VDEC 名倉 徹, 浅田 邦博

概要 : 次の 2 種類の回路設計を行った. 1) パルス再生リングを用いたパルス幅積分器によるゼロ位相オフセット PWPLL と 2) DLL/TDC 電圧モニタリングによるオンチップ電源変動抑制回路である. 1) パルス幅 PLL (PWPLL) は, 時間領域の信号処理により, LPF を必要としない小面積な回路構成が可能である. ただし, 時間領域の信号処理では積分要素が欠けていたため, 位相オフセットの生じる PWPLL しか実現されていなかった. そこで, パルス再生リングを利用し, 入出力ともにパルス幅であるパルス幅積分器 (PWACC) を提案した. 本試作では, その PWACC を PWPLL に応用することで, 従来の PWPLL をゼロ位相オフセット化した. 2) 電源変動の影響は増大し, 抑制に用いられるオンチップデキャップの面積ペナルティが問題になっている. 本研究室では, 小チップ面積指向の電源変動抑制手法を提案してきた. 本試作では, この抑制手法と新たな電圧モニタ回路を組み合わせた. 電圧モニタ回路は DLL と TDC で構成され, ゲート遅延の電圧依存性を利用することで, クロックサイクル中の平均的な電源変動を検知する. これにより, チップ上でのリアルタイムな電源変動の検出と変動量に応じたキャンセルを可能とする.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数** : 10,000~100,000 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)

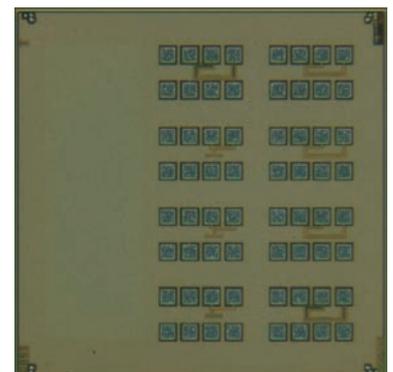


ホール効果を用いたオンチップ磁気センサ

東京大学生産技術研究所 染谷 晃基, 更田 裕司, 高宮 真, 桜井 貴康

概要 : 回路に発生する比較的大きな電流の変化を検出するために, 空間中の磁界強度測定に用いられるオンチップ磁気センサの設計・試作を行った. 本試作で設計された磁気センサは, 磁界強度を電圧信号に変換するというホール素子の原理を応用したものであり, 1mT 程度の磁界強度を検出することを目的として設計を行った. また, 回路上の磁界を発生させる配線パターンを数種類用意することで, それぞれ異なる磁界強度を発生させることを可能にした. 今回試作した磁気センサは, 構造・動作が非常に単純であり, プロセスによらず実現する可能性が高いという利点がある. しかしながら, 面積的に改良の余地があり, またその後の検討で, 外部温度などの影響を受けやすいことが確認された為, 特性の高性能化を目指し現在改良を行っている.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数** : 100~1,000 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : TEG (特性評価回路など)

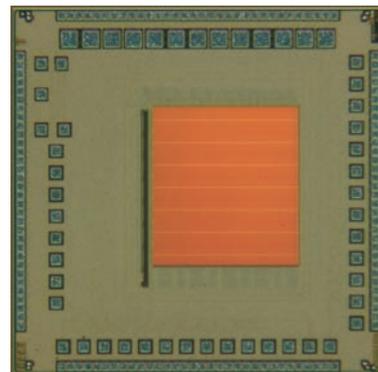


64-kbCMOSメモリにおける低消費電力設計

横浜国立大学大学院工学府 佐々木 悠太, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として単一磁束量子 (SFQ) 論理回路の研究を行っている。このSFQ論理回路による演算回路とCMOSによるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なメモリシステムを提案している。このチップには8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。今回、メモリについて低消費電力面において更なる高性能化を目指した。これまでのメモリに対して、メモリセルの最小設計に伴い最適設計したデコーダ回路、及び必要なアドレスにのみデータを供給する新構造のデータドライバ回路を載せている。この理由として今までメモリ動作時に全てのアドレスにデータを入力していたため巨大なデータドライバ回路による動的消費電力が問題となっていたからである。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 Star-HSPICE, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

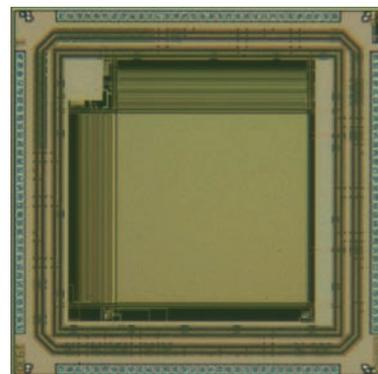


複数の走査回路を搭載したイメージセンサ

東京理科大学工学研究科 箱石 広之, 小林 崇, 浜本 隆之

概要: 本チップは、研究室の学生がイメージセンサの制御方法を習得するためのシステムを作成すること目的として設計したチップである。本チップは縦128画素×横128画素のフォトダイオードアレイ、水平・垂直走査回路 (シフトレジスタ・アドレスデコーダ)、読み出し回路から構成される。本チップは水平走査回路と垂直走査回路にシフトレジスタ、アドレスデコーダをそれぞれ1つつつ有しており、どちらの走査回路を使用するか選択することができる。また、イメージセンサの制御はチップ外部に設けられたFPGAを用いて行う。今後、本チップを用いてイメージセンサの制御方法の基礎を学ぶシステムを作成する。センサの制御信号の作成を通じて、イメージセンサの駆動に必要な制御信号の基礎と、イメージセンサの動作の基礎を習得する。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ



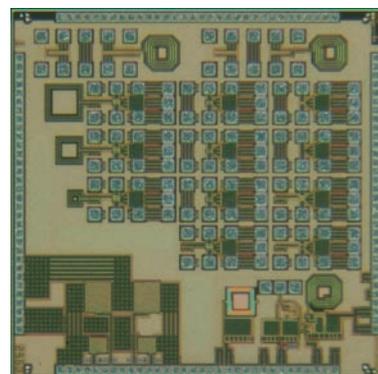
ノイズ相関行列を用いたLNAの設計手法の検討回路の試作

中央大学理工学研究科 猪股 昇, 薬師寺 祐介

概要: LNAは無線通信システムの初段にあたる増幅器であり、設計においては高利得と低雑音の両立が求められる。現在では素子の微細化により、モデル化してシミュレーションを行うことが困難であり、実測よりモデルパラメータを抽出し、設計する必要がある。本設計ではLNAを構成する素子の実測からノイズ相関行列を用いてLNA全体の小信号パラメータ・ノイズパラメータを算出して、高利得かつ低雑音となる最適な素子値を示す手法について検討している。MOSFETの実測において2-port VNAを使用して3端子対小信号パラメータを実測する手法について検討し、得られた実測データから計算によりLNAを設計する手法の確立を目的とする。

参考文献: Anuranjan Jha, J. M. Vasi, Subhash C. Rustagi, M. B. Patil, "A Novel Method to Obtain 3-port Network Parameters from 2-port Measurements", Proc. IEEE 2004 Intn. Conference on Microelectronic Test Structures, Vol 17, pp. 57-62, March 2004.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Agilent社 ADS **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

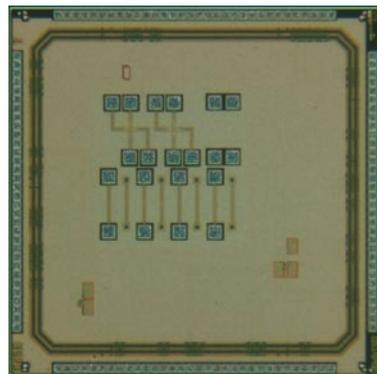


アナログ基本回路試作演習

上智大学理工学部 石田 宇一, 小原 一馬, 山崎 雄介, 和保 孝夫

概要：アナログ基本回路設計手法の習得を目的として、コンパレータ、オペアンプ、それらを用いた1次 $\Delta\Sigma$ 変調器、及び、インバータ積分器を用いた1次 $\Delta\Sigma$ 変調器を設計し、レイアウトを行った。コンパレータは差動電圧を入出力とする標準的なラッチ型、オペアンプはpMOSFET差動入力段と共通ソース段からなる2段構成とし、ミラー補償フィードバックを付加した。DRC, LVSの使い方も学習し、実際にパターンの検証を行った。HSPICEによるシミュレーションを行った結果、オペアンプを用いたフィードバック型1次 $\Delta\Sigma$ 変調器では、電源電圧1.8V、入力周波数4.3kHz、OSR 128のとき、30.5dBのSNDRを確認した。現在、測定した出力波形に基づくFFT解析により、オペアンプを用いた $\Delta\Sigma$ 変調器の性能評価を行っている。

設計期間：6ヶ月以上, 7ヶ月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



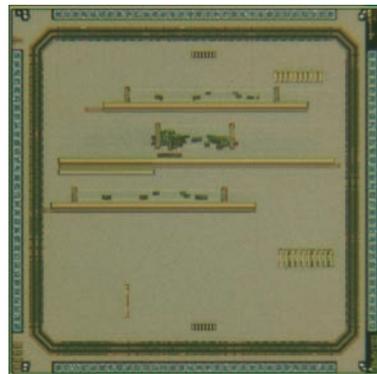
ニューロンCMOSインバータを用いたCAM

東海大学基盤工学部 藤本 邦昭

東海大学産業工学部 原田 裕二郎

概要：CAM (Content Addressable Memory) は、記憶データと入力データを照合し、類似した記憶データを読み出す機能を有しており、データベースマシン、画像処理装置、通信ネットワーク、キャッシュメモリ等の重要な構成要素として研究開発が進められている。我々は、ニューロンCMOSインバータを用いた新しい方式のCAMを提案している。今回試作を行った回路は、規模も小さく簡単な回路でありながら、入力データに完全に一致した記憶データを検索する機能に加え、入力データとハミング距離が最も近い記憶データを検索する機能も有している。また、ニューロンCMOSインバータを用いる場合に大きな問題となっていた、フローティングゲートの初期電荷の影響および閾電圧の変動の影響を受けない回路構成となっている。

設計期間：1ヶ月以上, 2ヶ月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



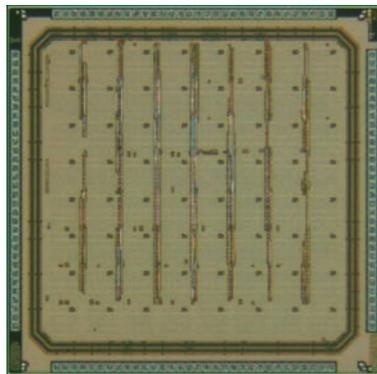
電源品質試験用TEG回路

東京大学大規模集積システム設計教育研究センター 小松 聡, 名倉 徹

株式会社アドバンテスト 石田 雅裕

概要：半導体プロセスの微細化により電源電圧が低下する一方で、高集積化により半導体デバイスの電源電流は増加傾向にある。このため、相対的にデバイス電源の電圧誤差・ノイズが増大し、デバイス試験時/実動作時の電源品質 (パワーインテグリティ) が重要となっている。本チップでは、半導体デバイスのオンチップ電源ノードにおける電源品質不良 (電源電圧不良, 電源インピーダンス不良) を検出する電源品質試験手法の検証のためのTEG回路を試作した。提案手法は、被試験デバイス内のオンチップ・ノイズ源で被試験デバイスの動作に同期して電源品質を制御しながら、被試験デバイスの動作を観測することにより、オンチップ電源ノードにおける電源品質不良を評価する。また、オンチップ・ノイズ源の動作パターンを切り替えながら被試験回路の良否判定をおこなうことにより、オンチップ電源供給ネットワークにおける電源品質に対する被試験回路の耐性および動作マージンも試験できる。提案手法の原理確認のため、Rohm 0.18- μ m CMOSプロセスでTEGチップを試作した。

設計期間：0.5ヶ月以上, 1ヶ月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 IC-Compiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

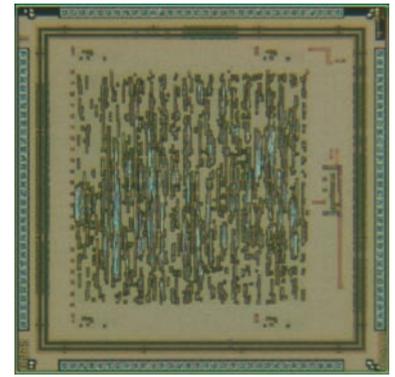


大規模回路でのDFTのスキランイン電力評価

九州工業大学大学院情報工学研究院 佐藤 康夫, 梶原 誠司, 三宅 庸資

概要: テスト容易化回路において論理 BIST によるテスト時の電力低減の研究を行っている。これによりテスト時の過大な過渡的あるいは平均的電力による電圧や熱変動を抑止し、誤テストを無くすことが期待される。これまでの TEG でスキランイン時の電力評価を行ってきたが、ユーザ回路の規模が比較的小さかったため大規模回路での有効性の評価が出来なかった。今回はユーザ回路の規模を 57k ゲートから 138k ゲートに拡大して電力評価を行う予定である。チップは 2/17 納入予定。(1) スキランイン電力を複数の指定レベルに制御可能な DFT 回路の実装と各制御値に対するスキラン時の電力測定を実施する。論理 BIST で 138k ゲートの論理を実装しテスト結果および電流値を観測可能とした。(2) テスト用の複雑なクロックに対応するため、アドバンテスト社のクラウドテスタを用いて、論理値および電流値を測定する。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICompiler, Mentor 社 Calibre, Synopsys 社 StarRC (XT) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

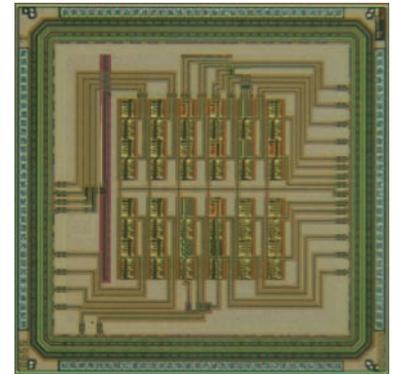


CMOS LSI チップ内の温度分布の解析

富山県立大学工学部 松田 敏弘, 岩田 栄之

概要: MOSFET の微細化による VLSI の高集積化が進んでおり、消費電力の増大が深刻化してきている。その結果、VLSI 内に局所的な高温箇所が発生し、回路の特性や信頼性などに影響するチップ内温度分布の不均一性が問題となっている。したがって、LSI に内蔵可能な、小型で高精度な温度センサが求められている。また、現在提供されている熱伝導シミュレータは LSI の設計に非常に有用であるが、シミュレーションの精度をさらに高めるためにも、実験による実測値とシミュレーション結果の検証は必要不可欠である。本研究では、熱源となる抵抗とそのまわりに配置されたダイオードまたは MOSFET アレイからなるテスト回路を LSI として設計・試作し、実測とシミュレーションを用いて LSI 内の温度分布を解析することを目的としている。本テストチップ中の 1 ブロックには、熱源となる抵抗 1 個と、温度センサとなるダイオードまたは MOSFET が 32 個で構成されている。テストチップ内には、温度センサブロックを 24 個配置し、熱源や配線パターン等による温度分布の変化を解析できるようにした。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

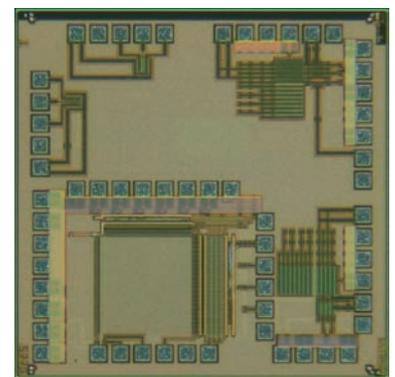


ゲート酸化膜の破壊位置を利用した OTP メモリ

東京大学生産技術研究所 更田 裕司, 高宮 真, 桜井 貴康

概要: MOSFET のゲート酸化膜破壊をアンチ・ヒューズとして用いた、一度だけ書き込み可能なメモリ (One Time Programmable メモリ, 以下 OTP メモリと略す) が、チップ固有 ID の格納やアナログ回路のトリミング等の用途で用いられており、近年その大容量化が求められている。本研究では、ゲート酸化膜の破壊位置という情報を用いる事で、ヒューズの多値化を行い、OTP メモリの大容量化を目指す。過去の試作を通して、破壊位置を制御する手法を確立したので、本試作ではそれを基に大規模な OTP メモリの設計を行った。設計した OTP メモリは 128k ビットであり、従来技術よりも 1 ビット当たりの面積の小型化 (メモリの大容量化) を実現した。試作チップの測定を行い、メモリとして動作する事を確認した。現在、詳細な評価を行っている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



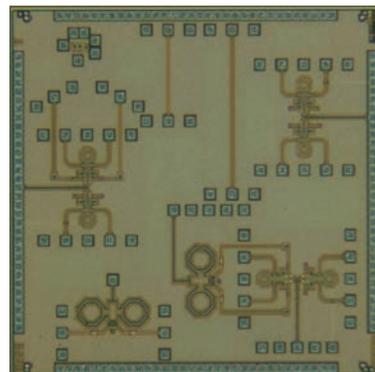
低電圧 CMOS アナログ回路の試作

明治大学理工学研究科 伊藤 遼, 高野 真志

概要: 低電圧駆動・高周波通信というテーマを根拠に置き, 各々の研究において提案した回路, 評価に必要な回路の試作を行った. 従来, 化合物半導体を用いて実現していた超高周波回路を, 小型で低コストな標準的な CMOS 標準 n-well プロセスにより実現することを目標として挑戦している. 以下が試作した回路の概略となる. 高調波の増幅を目的とした周波数特性の異なる非線形伝送線路 TEG, MOS バラクタ, 発振周波数が 8GHz となるような VCO. 高周波正弦波の出力を目的とした電圧制御発振回路, その発振回路を構成するさまざまな形状の評価用オンチップインダクタ TEG. これらの回路は測定器による動作確認を通して妥当性の検証を行い, これからの試作に繋がるような評価を行っている.

参考文献: Ehsan Afshari, Ali Hajimiri, "Nonlinear Transmission Lines for Pulse Shaping in Silicon," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 3, MARCH 2005.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



多チャンネル皮質脳波信号計測チップ

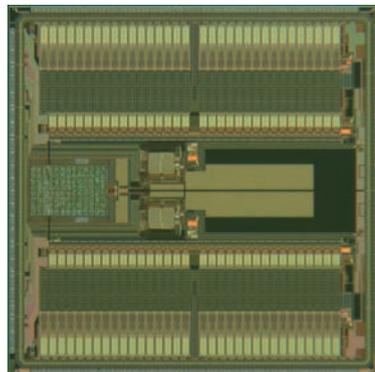
大阪大学大学院生命機能研究科 鈴木 隆文, 安藤 博士

広島大学大学院先端物質科学研究科 吉田 毅

概要: 脊髄損傷などにより運動機能を失った人の生活の質を向上させるため, 考えるだけで義肢などを操作できるブレイン・マシン・インタフェース (BMI) の実現が期待され, その信号源として侵襲性と情報量とのバランスなどから皮質脳波信号 (ECoG) が注目されている. 本研究では, 更に小型な埋込み型 BMI システムを実現するために, ピン配置の最適化を行った多チャンネル皮質脳波安定計測チップの改良試作を行った. 搭載回路は, 64 チャンネルの低雑音増幅回路, 12bitAD 変換器, システム制御回路である. 設計した低雑音増幅回路は, 振幅が数 μ V~1mV 程度で, 信号帯域が 0.1~100Hz 程度である ECoG を検出するために, 弱反転領域で動作する MOSFET を用いたフィードバック構成で実現した. また 12bitAD 変換器は 32kSps で動作した.

参考文献: 吉田, 他, "ブレイン・マシン・インタフェース 64ch ニューラルレコーディングチップ", 信学技報 ICD2011-23, pp. 25-30, 2011

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 Astro, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 NanoSim **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別:** アナデジ混載



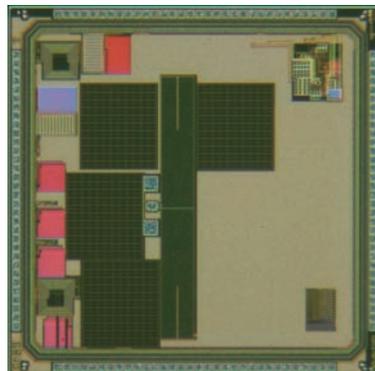
生体信号記録システム用可変利得増幅回路とシリアルパラレル変換機及び単チップで動作するマイクロシステムのための電源回路と発振回路

慶應義塾大学大学院理工学研究科 小野 東輝, 川島 拓也

慶應義塾大学理工学部 渡邊 淳史, 四つ田 大樹, 中野 誠彦

概要: 本チップでは小型で装着可能な生体信号記録システムの開発を目標としている. 今回は, 0.18 μ m CMOS プロセスを用いて, 生体信号記録システムに必要な可変利得増幅回路 (Programmable Gain Amplifier), およびシリアルパラレル変換機 (Serial Parallel Converter) の設計を行った. 可変利得増幅回路に関しては, 2013 年度第 3 回目の試作で課題となっていた回路内外のオフセットの問題を解決する設計となっている. また, ノイズや可変利得の分解能に関しても前回試作のものより良い性能を示している. また, シリアルパラレル変換機は 40bit のものに出カバッファをつけて設計した. 別の研究として, 単チップで動作するマイクロシステム用電源回路と発振回路を設計した. 電源回路には 400 μ m \times 400 μ m の太陽電池を発電素子に用いて, 改良した昇圧回路を同一チップのものに設計した. また, 昇圧後の電力をためこみ数十 μ A の電流として使用するための間欠動作回路を設計した. 発振回路には VCO を設計し, 電源回路の出力を想定した 1.2V の電圧で 900MHz で発振するように設計した.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Agilent 社 ADS **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



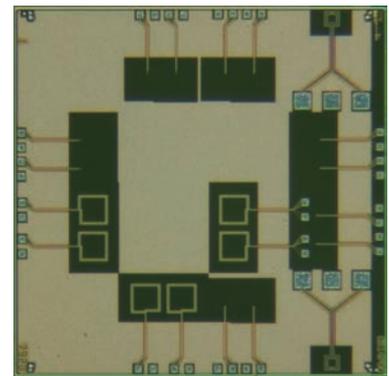
高周波・高空間分解能のマイクロ磁界プローブの開発

東北大学大学院工学研究科 山口 正洋, 室賀 翔, 重田 洋二郎

概要: 近年, 電子機器の発展にともない, 不要電磁放射による EMC 問題が顕在化している. その対策を行うにあたり, ノイズの発生, 伝搬, 混入経路を特定することが重要である. その方法として, 我々の研究室では LSI 上で発生する近傍磁界を計測する高周波・高空間分解能のマイクロ磁界プローブの開発を行っている. 本試作では, 高周波・高空間分解能のマイクロ磁界プローブのセンサーに用いる平面型シールドループコイルを試作した. チップと実装用プリント基板との実装には, 電磁ノイズへの耐性強化, 不要ループ削減のためにワイヤボンディングではなくフリップチップ実装を想定して信号取り出し用パッドを設計した. また, IC チップ内の誘導結合を模擬するためのループコイルも設計した.

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社

QRC **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



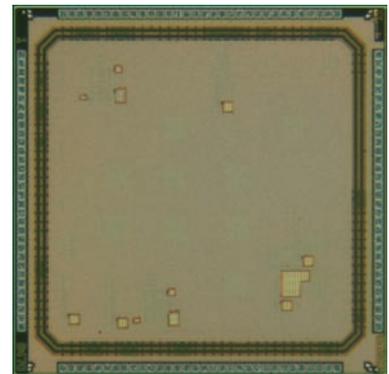
センサ信号処理向け CMOS 回路

山梨大学教育人間科学部 小川 覚美, 永井 正成

概要: 容量型センサは圧力, 加速度, 回転角度等の物理量の検知に広く使われている. ここでは低消費電力の差動容量型センサのインターフェース回路と, その基本構成素子である CMOS シングルエンドオペアンプ, CMOS 全差動オペアンプ, CMOS アナログスイッチ, カレントミラーを試作した. また, 素子の基本特性を評価するために, アスペクト比の異なる MOS トランジスタも試作した. インターフェース回路は差動容量型センサの容量の変化を容量差と容量和の比に比例した時間信号に変換する. この回路は素子の非理想的な特性を回路的に補償できる構成となっているため, 高精度の信号処理が可能となる. 試作回路について特性の測定を行い, 回路設計時のシミュレーション結果との比較検討を行う. インターフェース回路の特性評価にはセンサの代わりにマイカキャパシタを用いる.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Cali-

bre, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



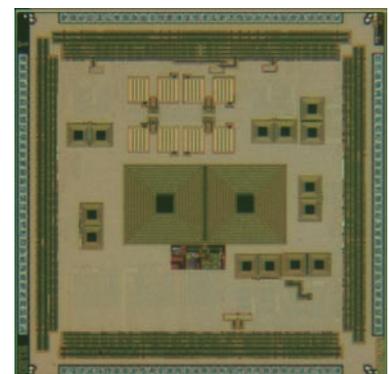
位相同期回路の干渉ノイズ検証用 TEG

大阪工業大学大学院工学研究科 電気電子工学専攻

清水 真司, 森下 宗瑛,
肥田 晃一郎, 水野 順貴,
酒見 謙一, 吉村 勉,

概要: 本試作は, 位相同期回路 (PLL 回路) における外部干渉ノイズや自己干渉ノイズの内部発振器への影響を検証するいくつかのテストブロックからなる. 大別して, ①基本要素 TEG (I/O, 位相比較器, 分周器など), ② VCO TEG (3 段, 4 段, 5 段リング型, LC-tank VCO), ③ PLL TEG, ④ 干渉テスト TEG, の 4 つのブロックからなる. VCO TEG において, 制御端子にダイレクトにノイズを印加することで回路のノイズ耐性を検証する. PLL TEG では, いくつかの VCO をモードピンで切り替えることで, VCO の違いによる PLL 回路の外部ノイズ耐性の違いを検証する. また, チャージポンプ電流を外部から調整可能にすることで, 干渉ノイズ耐性の PLL 帯域幅依存性についても測定可能とした. 干渉テスト TEG では, 複数の PLL 回路を人為的に相互干渉させることで, オンチップでの回路間干渉によるノイズ耐性について検証する. PLL 回路のロック動作および VCO ノイズ感度特性を回路シミュレーションにより確認している. また, 主要なアナログ回路についてはポストレイアウトシミュレーションを行い, 動作を確認している. 今後, これらシミュレーション結果について実機検証を行っていく.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

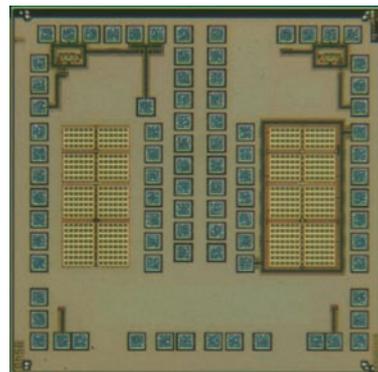


エネルギーハーベスト及び非接触給電向け整流器及び昇圧回路 TEG

信州大学工学部 篠原 秀樹, 宮地 幸祐

概要: 本試作では, 3種類の整流電源回路を試作した. 250kHz および 13.56MHz の低周波電磁界エネルギーハーベスト向け CMOS 整流電源回路 TEG として 1) クロスカップルインバータ整流器を多段接続して昇圧を行う構成となっているものと, 2) 整流器の後段にブーストコンバータを設けて昇圧を行う構成の2種類設計・試作した. ブーストコンバータはスタートアップ用の補助チャージポンプを内蔵している. その他に 3) 非接触給電向けのアクティブダイオードを用いた整流回路を設計・試作した. アクティブダイオードの遅延に伴う導通時間の減少と電荷の逆流を防止するためのコンパレータしきい値電圧制御を検討するため異なる2種類のコンパレータ制御方法の整流回路を試作した. 今後はこれら試作チップの測定を行い, 動作確認, 検討を行う予定である.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

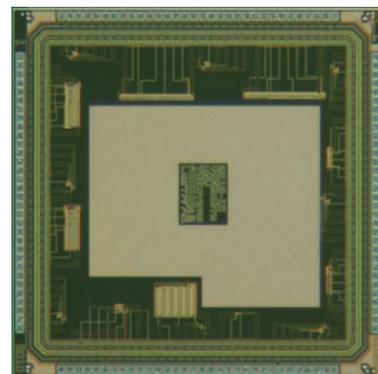


断熱的論理回路を用いたデジタルPWM回路

山形大学理工学研究科 横山 道央, 趙 勝一, 澤田 直樹

概要: 断熱的論理回路 (ADCL; adiabatic dynamic CMOS logic) は既存の CMOS 論理回路で発生する電力損失を低減する効果をもつ. CMOS 論理回路では一定の電圧値を持つ直流電源を用いて, 出力レベルの high/low 変化によるエネルギー損失が発生するが, 一方で断熱的論理回路は high/low の変化に対して同期された交流電源を使うので, 電圧をゆっくり上昇・下降させることが可能でエネルギー損失を低減することができる. また, 充電した電荷を電源部に戻すことにより電荷の再利用が可能である. 本試作では, 低消費電力動作のためにスリープ・モード制御部を持つ ADCL デジタル 3-bit PWM の最適化設計をした. 待機時消費電力は 0 に近い値に抑えられる. 入力-bit 「001」と「011」の時には所望の duty 比のパルス幅信号を出力する.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 Star-HSPICE, Mentor社 Calibre **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



第4章 VDEC 概要

4.1 組織概要

東京大学大規模集積システム設計教育研究センター(略称 VDEC)は、日本の国公立大学と工業高等専門学校における VLSI 設計教育の充実と研究活動の推進のために平成 8 年 5 月に全国共同利用施設として発足した。

当時は専任教員 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教員 2 名と事務官 1 名が増員され、現在は専任教員 9 名、客員教授 1 名、そして 20 名以上の非常勤スタッフや学外協力研究員が在籍している。

また、平成 9 年 4 月から平成 19 年 3 月まで、全国 9 大学の VDEC サブセンターから連携を密にする目的で、

2 年を単位として 2 名の教員を派遣する「流動教員制度」を開始した。(平成 16 年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更)

平成 20 年 4 月からは「協力教員制度」を開始し、現在は 10 大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている。(下記参照)

さらに産業界との連携のため、1 名の客員教授に協力をお願いしている。

センターの事務については、センターの非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとり行っている。

流動教員派遣大学

年 度	派 遣 大 学
平成 9・10 年度	東北大学, 横浜国立大学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学
平成 16 年度	大阪大学, 九州大学
平成 17 年度	名古屋大学, 大阪大学
平成 18 年度	北海道大学, 名古屋大学
平成 19 年度	北海道大学

協力教員派遣大学

北海道大学, 東北大学, 東京工業大学, 金沢大学, 京都大学, 京都工芸繊維大学, 大阪大学, 広島大学, 九州大学, 立命館大学

4.2 人事報告

VDEC 人事

センター長・教授 浅田 邦博
 教授 藤田 昌宏
 客員教授 清水 剛
 准教授 池田 誠 (平成25年6月まで)
 准教授 高宮 真
 特任准教授 名倉 徹
 特任准教授 小松 聡 (平成26年3月まで)
 特任講師 池野 理門 (平成26年4月から)
 助教 松本 剛史 (平成26年3月まで)
 助教 朱 弘博
 助教 落合 秀也
 助教 Mai Khanh (平成26年4月から)
 特任助教 池野 理門 (平成25年10月～平成26年3月)
 特任研究員 丸山 智史 (平成26年4月から)
 主査 大村 栄 (工学系研究科総務課)
 係長 吉野 衣子 ()

協力教員

高木 信一
 (東京大学工学系研究科電気系工学専攻教授)
 池田 誠
 (東京大学工学系研究科電気系工学専攻教授)
 (平成25年7月より)
 三田 吉郎
 (東京大学工学系研究科電気系工学専攻准教授)
 竹中 充
 (東京大学工学系研究科電気系工学専攻准教授)
 飯塚 哲也
 (東京大学工学系研究科電気系工学専攻准教授)



新任のご挨拶

丸山 智史

本年度4月より特任研究員を拝命いたしました。これまで MEMS (Micro Electro-Mechanical Systems) の研究をして参りました。その中でも、大規模集積回路 (LSI) 技術との融合による「集積化 MEMS」について取り組んでいました。これまでの研究は、MEMS 研究者から

の LSI へのアプローチではありましたが、両分野で付加価値を高めようという複合領域を視野に入れた時代であったため、いい経験をさせていただきました。大学での電子回路設計の環境及びチップの試作機会の充実を図る VDEC の活動の意義はより一層大きく、貴重なものになっていくと考えており、微力ながらもその活動に貢献できればと思います。よろしくお願い致します。

池野 理門

2014年4月より特任講師に就任いたしました。これまですでに2年間、VDECで研究員、助教として勤務して参りましたが、それ以前は民間企業において微細デバイス・プロセス技術、低消費電力デジタル・シグナル・プロセッサ、大規模数値計算システム、3次元集積技術

などの研究開発に従事しておりました。デジタル回路設計、CADソフトウェア、大規模数値解析技術など、ハード、ソフト両面から半導体集積回路技術とその応用に携わり、現在は主に電子線直描露光向けの回路設計自動化に関する研究にあたっております。今後は、アドバンテスタ D2T 寄附研究部門の担当として尽力し、VDEC の活動に貢献して参ります。よろしくお願い申し上げます。

Mai Khanh

本年度4月より助教を拝命いたしました。3年前より VDEC の研究員として “Magnetic Probe Sensing on Cryptography LSIs” や “On-chip RF pulse transmitter for Radar Application” などの研究に携わってきました。

今後 VDEC の教員として、より充実した研究活動に励むとともに、先生方や学生の皆さんと協力しながら VDEC の様々な活動に貢献する機会を増やせたらと思います。そのために、常に知識を深め、仕事をやり遂げ、科学技術の発展に貢献いたします。宜しくお願いします。

小松 聡

2001年4月にVDECに助手として着任以来、助教、特任准教授として勤めてまいりましたが、この度、東京大学を退職することになりました。2014年4月1日より東京電機大学工学部電気電子工学科電子光情報コースに准教授として着任する予定です。

VDECで13年間お世話になりましたが、前半は主にCAD関連のサポートを担当し、後半はアドバンテストD2T寄附研究部門を担当してまいりました。ご存知かとは思いますが、VDECの提供するCADツールは、アカデミック使用のみが許可されているライセンスで管理されているため、ライセンス関連で利用者の方にはご不便を強いることも多々ございましたが、皆様のご協力のおかげで大過なく勤めさせていただけたと思います。アドバンテストD2T寄附研究部門は株式会社アドバンテストの寄附金によって設立された寄附講座ですが、2007年10月の設立以来2期6年間を終え、昨年10月には3

期目を開始することができました。ひとえに、アドバンテストのご厚意ならびにVDECに携わる全ての皆様をサポートのおかげであったと考えております。誠にありがとうございました。

現在の国内半導体産業は激動の時期ですが、チップ試作サービスを提供するVDECも他人事ではなく、チップ試作メニューなどについても転換点を迎えているのではないかと感じています。私自身はVDECから離れますが、VDECスタッフならびに全国のVDECユーザーの方々の協力によって、VDECの3つの柱である「チップ試作機会の提供」「CADライセンスの提供」「VLSI教育の情報発信」のそれぞれをさらに高め、さらに次のステップへと進んでいくことができると確信しております。

スタッフならびにユーザーをはじめとして、VDECに関係する全ての皆様には13年間にわたり大変お世話になりました。VDECのさらなる発展のために、これからはVDECのユーザーの立場で協力をしていきたいと考えておりますので、よろしく願いいたします。

松本 剛史

2008年4月より6年間に渡って、助教としてVDECに勤めて参りましたが、本年3月末をもって退職し、4月より石川工業高等専門学校に勤めております。長い間、大変お世話になりました。

VDECでは、主に、CADツールに関する業務や計算機ネットワークシステムの保守管理を担当しておりました。CADツールのライセンスサーバやネットワークシステムは、常に正常稼働しているのが当然であるべきなのですが、私が担当をしている期間中にも、特にシステ

ム移行期には、度々、トラブルによる運用中断が生じ、ユーザの皆様にご迷惑をお掛けしてしまいました。また、年報用データの収集も担当しており、各種アンケートの提出をユーザの皆様にお願ひさせて頂くなど、いずれの業務も、ユーザの皆様のご理解とご協力の上に成り立っていたと改めて感じています。

今後は1人のユーザとして、VDECの各種サービスの利用を通して、VDECと関わりを持っていくこととなります。最後に、VDECの活動に対するユーザの皆様の変わらぬご協力をお願いするとともに、VDECとユーザの皆様のご更なるご発展をお祈り致します。

平成 25 年度大規模集積システム設計教育研究センター運営委員会委員

氏 名	所 属 等
浅田 邦博	大規模集積システム設計教育研究センター長
原田 昇	工学系研究科長
保立 和夫	大学院工学系研究科 教授
池田 誠	大学院工学系研究科 教授
中野 義昭	大学院工学系研究科 教授
坂井 修一	大学院情報理工学系研究科 教授
高木 信一	大学院工学系研究科 教授
荒川 泰彦	生産技術研究所 教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
高宮 真	大規模集積システム設計教育研究センター 准教授

平成 25 年度大規模集積システム設計教育研究センター全国運営協議会委員

氏 名	所 属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授（センター長）
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授
池田 誠	東京大学大学院工学系研究科電気系工学専攻 教授
本村 真人	北海道大学大学院情報科学研究科 教授
大見 忠弘	東北大学未来科学技術共同研究センター 客員教授
一色 剛	東京工業大学大学院理工学研究科 准教授
益 一哉	東京工業大学ソリューション研究機構 教授
柳澤 政生	早稲田大学基幹理工学部 教授
松田 吉雄	金沢大学理工研究域 教授
河口 信夫	名古屋大学大学院工学研究科 教授
小野寺 秀俊	京都大学大学院情報学研究科 教授
松岡 俊匡	大阪大学大学院工学研究科 准教授
Mattausch Hans Juergen	広島大学ナノデバイス・バイオ融合科学研究所 教授
安浦 寛人	九州大学（大学院システム情報科学研究院情報知能工学部門 教授）理事・副学長
藤野 毅	立命館大学理工学部 教授
兵庫 明	東京理科大学理工学部 教授
黒田 忠広	慶応義塾大学理工学部 教授
吉本 雅彦	神戸大学大学院システム情報学研究科 教授

4.3 決算報告

1. 運営費交付金

(千円)

事 項	収入 (予算配分) 額	支 出 額	過 不 足 額
共 通 経 費	263,003	204,510	58,493
研 究 経 費	12,035	10,317	1,718
チップ試作費	57,888	57,888	0
計	332,926	272,715	60,211

2. 平成 25 年度受託研究

	教 員 名	委 託 者	研 究 題 目	受託金額 (円)
1	浅田 邦博	文部科学省ナノテクノロジープラットフォームセンター	微細加工プラットフォーム実施機関	59,000,000
2	浅田 邦博	(株) 豊通エレクトロニクス	先端集積回路の評価・解析技術高度化の研究	5,000,000
3	藤田 昌宏	独立行政法人科学技術振興機構	津波予測システムのハードウェアによる高速化とその設計支援	480,738
4	池田 誠	ルネサスエレクトロニクス (株)	高エネルギー効率マイコンIPに関する研究開発	300,000
		合 計		64,780,738

3. 平成 25 年度共同研究

	教 員 名	申 込 者	研 究 課 題	受入金額 (円)
1	浅田 邦博	(株) 野田スクリーン	受動部品内蔵パッケージ用評価チップの研究	2,500,000
2	浅田 邦博	森田テック (株)	マイクロ磁界プローブの研究	1,050,000
3	浅田 邦博	超低電圧デバイス技術研究組合	超低電圧LSIプラットフォーム開発及び実証アプリケーションチップ開発	2,100,000
4	浅田 邦博	(株) 半導体理工学研究センター	28 nm 設計環境構築に関する研究	15,000,000
5	藤田 昌宏	(株) 半導体理工学研究センター	回路部分合成・検証とアセンブリに基づくシステム設計手法	2,000,000
6	浅田 邦博	(株) アドバンテスト	先端LSI設計・テスト技術	15,000,000
7	高宮 真	日本電信電話 (株)	小型センサ端末向け環境発電電源に関する研究	1,000,000
		合 計		43,650,000

4. 平成 25 年度寄附金

受入件数：2 件 受入額計 31,200,000 円
 (株式会社半導体エネルギー研究所・株式会社アドバンテスト)

第5章 研究報告

5.1 全体概況

	研究室構成 人数 (名)	研究発表 (件)			著書 (冊)	特許 (件)	受賞 (件)
		研究論文	国際会議	その他			
VDEC 教員	39	21	55	37	2	3	4
協力教員	55	18	48	34	4	0	4

浅田・名倉・飯塚研究室構成

浅田 邦博 教授
 名倉 徹 准教授
 飯塚 哲也 講師(現在 UCLA 留学中)
 Nguyen Ngoc Mai Khanh VDEC 助教
 吉川 俊之 博士2年
 Parit Kanjanavirojkul 修士2年(現在 博士1年)
 Kevin Ngari 修士2年(現在 Softbank)
 中村 陽二 修士2年(現在 マッキンゼー)
 松井 裕明 修士2年(現在 Softbank)
 楊 驍 修士2年(現在 Softbank)
 峠 仁人 修士1年(現在 ヨーロッパ留学中)
 森 一倫 修士1年
 矢野 智比古 学部4年(現在 修士1年)
 佐藤 康次 学部4年(現在 修士1年)
 三浦 信一 学部4年(現在 修士1年)
 山内 善高 学部4年(現在 修士1年)
 池川 晶貴 学部4年(現在 修士1年)

藤田研究室

藤田 昌宏 教授
 松本 剛史 助教
 Amir Massoud Gharehbaghi 特任助教
 張 嘉懿 博士3年
 大島 浩資 修士2年
 田口 直樹 修士2年
 城 怜史 修士1年
 Choudhary Shridhar 修士1年
 Hossein Izadi Rad 外国人研究生
 王 勤浩 外国人研究生
 川尾 太郎 学部4年
 古賀 丈尚 学部4年
 都井 敬 学部4年

高宮研究室

高宮 真 准教授
 井口 俊太 博士1年
 韓 知躬 修士2年
 森 雄章 修士2年

三田研究室構成員

三田 吉郎 准教授
 マチュエー ドヌアル 客員研究員
 (仏 ENSI カーン校准教授)
 澤村 智紀 特任研究員
 エリック ルブラスール 特任研究員
 小島 直子 事務補佐員
 渡邊 かをる 事務補佐員(ナノテクノロジー・プラットフォーム事務局)
 佐藤 昇 技術補佐員(ナノテクノロジー・プラットフォーム 新川崎担当)
 関口 亮太 共同研究員(キャノン研究所)
 山下 直也 博士3年
 夏 文軍 博士3年(10月入学)
 森 功 博士1年
 施 英漢 修士2年(現在 日産自動車)
 保坂 航太 修士2年(現在 日立製作所)
 平川 淳 修士1年
 米田 佳祐 修士1年
 坂本 直之 学部4年(現在 修士1年)
 安田 雅隆 学部4年
 松井 遼平 学部4年(現在 藤田博之研究室修士1年)
 平木 剛史 学部4年(現在 苗村研究室修士1年)
 本田 雅宣 学部4年(現在 高宮研究室修士1年)
 カミーユ ゲ 交換留学生(仏 INSA リヨン校)

高木・竹中研究室構成

高木 信一 教授
 竹中 充 准教授
 横山 正史 (特任研究員)
 ジャーン ルイ (特任研究員)
 アラム カイラル (特任研究員)
 キム サンヒョン 博士3年(工学系)
 テイユウホウ 博士3年(工学系)
 キム ミンス 博士3年(工学系)
 サイイリツ 博士2年(工学系)
 ユウ シャオ 博士2年(工学系)
 一宮 佑希 博士2年(工学系)
 キム ヨンヒョン 博士2年(工学系)
 パク ジンゴン 博士1年(工学系)
 倉持 美沙 修士2年(工学系)
 張 志宇 博士1年(工学系)

林 汝 静 修士2年(工学系)
朝 倉 佑 吏 修士2年(工学系)
高 島 成 也 修士2年(工学系)
ハン ジェフン 修士2年(工学系)
亢 健 修士2年(工学系)
キム ウガン 修士2年(工学系)
嘉 陽 田 達 矢 修士1年(工学系)
西 康 一 修士1年(工学系)
吉 田 望 修士1年(工学系)
ジ サンミン 修士1年(工学系)
佐々木 和 哉 学部4年(工学部)
田 中 克 久 学部4年(工学部)
イ サンヒョン 学部4年(工学部)

池田研究室構成

池 田 誠 教授
矢 部 紘 貴 博士1年
Li H a n g y u 博士1年
宮 崎 耕 太 郎 修士2年
伊 東 敦 修士1年
松 島 多 佳 彦 修士1年
石 川 涼 一 学部4年
田 村 雅 人 学部4年(現在修士1年)
崔 伝 琪 学部4年(現在修士1年)
西 部 拓 人 学部4年

浅田・名倉・飯塚研究室 (<http://www.mos.t.u-tokyo.ac.jp>)

電源変動測定・低減手法

浅田邦博, 名倉 徹, 飯塚哲也, 山内善高

スケールリングにより電源電圧が低下する一方で、集積度の向上により消費電流は増大している。その結果、電源変動の影響は大きくなり、パワーインテグリティ (PI) の確保に多くのコストが必要となっている。回路の高速化より特に di/dt ノイズと共振ノイズの影響が大きくなっており、その抑制のために、大きなチップ面積をデカップリング容量に費やすようになっていく。このオンチップのデカップリングキャパシタ追加による面積ペナルティは無視できない問題である。そこで本研究室では、小さなチップ面積ペナルティで電源変動を抑制するため、アクティブチャージシェアリングと名付けたキャンセル手法を提案してきた。この手法は、主に DVS (Dynamic Voltage Scaling) の適用時における、電源変動の低減を目的とするものである。今年度は、このキャンセル手法の適用範囲を広げることが目的に研究を行った。具体的には、OS レベルでスケジューリングされている DVS による電源変動だけでなく、よりハードウェアに近い原因で生じる電源変動にも対応することを目標とした。そのために、電源変動量を検知する電源変動モニタリング回路を新たに提案した。提案する電源変動モニタリング回路は、DLL と TDC で構成し、ゲート遅延の電源電圧依存性を利用することで、クロックサイクル中の平均的な電源電圧変動を検知する。SPICE シミュレーションにより、提案回路の動作を確認し、アクティブチャージシェアリングによるキャンセル回路と組み合わせたチップ設計を行った。今後は、チップ測定により提案回路の動作を実証するとともに、電源変動のモニタリング値とキャンセルとの間の制御アルゴリズムを検討する必要がある。

超微細プロセスにおける集積回路の信頼性向上

浅田邦博, 名倉 徹, 飯塚哲也, Kevin Nagri,
森 一倫

微細 CMOS プロセスでは、デジタル信号遷移の時間領域での分解能は従来のアナログ信号の電圧分解能

よりも優れていると考えられています。その理由として、微細化により動作電圧が下がっており、分解能が悪くなっている一方で、時間領域では微細化によって動作周波数の向上及びジッタの減少が実現されていると考えられます。本研究では時間領域ダイナミックレンジは電圧領域ダイナミックレンジに対し、どの程度優れているかを数値解析及び理論解析を用いて検証することを目的とし、結果としては時間領域ダイナミックレンジが $(\omega T/B)^2$ だけ優れていることがわかった。

また、プロセス微細化が引き起こすデジタル回路の信頼性の問題のひとつとして NBTI 劣化がある。NBTI 劣化への対策のために、その高速なシミュレーションが必要である。本研究では回路動作中の NBTI 劣化を回路シミュレータ上で高速に再現する方法の提案を行った。提案手法では NBTI 劣化の物理現象を回路素子を用いて表現することにより、回路の動作シミュレーションと同時に劣化量の推定を行うことが可能となっており、NBTI 劣化を再現するための回路素子のパラメータ変更により劣化加速試験を容易に実現できる。

THz 帯電波を用いたイメージング

浅田邦博, 名倉 徹, 飯塚哲也, Parit Kanjanavirojkul,
三浦信一

テラヘルツイメージングシステムが広く普及しない理由は、携帯性・高出力・コストに優れた信号発生源の欠如にある。光学的な信号発生源を用いる場合、効率的な運用に低温環境を必要とするためにサイズが大きくなってしまふ。そこで電子的な信号発生源の開発が重要になる。近い将来におけるコンパクトなテラヘルツシステムの実現のために、CMOS はマイクロ波領域のミックスド・シグナル回路の標準的な技術として非常に大きな可能性を秘めているが、最大動作周波数 F_{max} の上限はせいぜい 1 THz 程度に制限される。そこで我々は、 F_{max} によって制限されない高周波パルス生成手法を提案・開発した。この手法では受動伝送線路網を用いて、CMOS 回路が生成する高速な立ち上がりエッジから高周波成分を抽出する。アイデアの有効性はシミュレーション結果により確認されており、また伝送線路網を用いたパルス発生器の一部であるエッジ発生回路も、 $0.18\mu\text{m}$ および 28 nm CMOS プロセスを用いて作製した。

サイズ、コスト、モビリティに優れるコヒーレント・イメージングシステムのモデルを提案し、計算機シミュレーションによる評価を行った。ホイヘンスの原理に基づき、同一平面上に実装された送受信アンテナの指向性を様々に変化させながら繰り返し測定を繰り返すことで、オブジェクト形状の推定を実現する。測定に適切な指向性パターンを用いることで、SNRが約10 dB以上であれば波長程度の精度で形状推定できることをシミュレーションで示し、モデルの有効性を確認した。

LSI セキュリティ対策のための表面磁界観測による電流値推定

浅田邦博, 名倉 徹, 飯塚哲也, 中村陽二

LSIの高機能化が進む一方で自社で製造を行う会社は減り、国外に製造を委託する企業が増え、製造原価の圧縮が可能となる一方でハードウェアに対し悪意のある改変が容易になっている。そういった改変を検出可能な技術が強く求められており、消費電力やパス遅延から回路固有の値を生成する手法が検出に用いられている。本研究では磁界情報から電流値を推定することで異常検出を行い、さらに改変された箇所および内容まで推定する手法を提案した。評価はシミュレーションにて行い、磁界を測定する高さやアンプの性能、測定時間と精度がどのような関係にあるかを示した。

電波エネルギーハーベスティング用整流器

浅田邦博, 名倉 徹, 飯塚哲也, 松井裕明

周囲環境に存在する微弱な電波をエネルギー源として用いる電波エネルギーハーベスティングでは、整流回路が必要になる。主な整流回路であるダイクソンチャージポンプには、ダイオードの順方向電圧降下の問題と、逆電流の問題が存在する。これらに対処すべく、基板バイアス効果を利用した閾値電圧制御と、チャージポンプの電圧増幅作用を応用した閾値電圧緩和の、2つの手法を併用した、ダイクソンチャージポンプ改良型整流回路を提案した。これのスタートアップ用整流器としての評価を行うため、シミュレーションを実行した。結果、2手法のうちどちらか一方しか用いない場合、負荷抵抗の大小によってもとのダイクソンチャージポンプに比べて性能が改善されない場合が生じたが、提案回路では負荷抵抗が大きい場合でも、小さい場合でも、性能の上昇が確認できた。また、整流器の設計は、SPICEシミュレーションでは過渡解析を繰り返す必要があるため時間がかかる。これを簡単に行えるように、設計パラメーターであるアンテナ抵

抗と負荷抵抗との関係を一元化した、出力電圧正規化曲線をシミュレーション結果より提案した。

時間領域信号制御とPLL回路への応用

浅田邦博, 名倉 徹, 飯塚哲也, 吉川俊之, 峠 仁人, 佐藤康次, 矢野智比古

本研究ではPWPLLのための自動設計フローの改良に取り組んだ。保守性と拡張性を向上させ、28 nm FD-SOIプロセスにおいても本設計フローが有効であることを実証した。また、ロック検出回路と、可変長リングオシレーターを付加することでPWPLLを、プロセス変動に適應できるようにした。

一方で、時間領域信号制御に関する研究を行った。まず、入力パルス幅を積分し、その積分出力もパルス幅であるようなパルス幅積分器(PWACC)を提案した。さらに、PWACCをPWPLLに適用し、ゼロ位相オフセットを実現した。最後に、時間領域信号制御をPLLの伝達関数のオンチップ測定への応用した。伝達関数を求めるために基準信号の遅延を切り替え、TDCによりその応答を観測した。この結果はPLLの帯域幅の最適化へ応用する。

半導体フォトダイオードを用いた放射線検出器の検出高速化

浅田邦博, 名倉 徹, 飯塚哲也, 朱 弘博, 楊 驍, 池川晶貴

近年注目されているシンチレーション検出器や半導体検出器は、放射線核種の特定や到来角の推定などもでき、様々な分野に応用されている。しかし従来の検出器は、簡単に持ち運びができない、放射線の位置を特定する空間分解能が十分でないといった欠点がある。そこで先行研究において、シンチレータ、SPAD (Single Photon Avalanche Diode) アレイ、マルチコート材料、ピンホールで構成された検出器が提案された。シンチレータ内で発生する光の位置ごとに、SPADが反応する確率分布をデータベース化し、実際の測定値と比較することで、発光する電子の軌跡を推定する。その手法はシミュレーションにより、従来の検出器よりも優れた空間分解能が得られることが確認されている。しかし、その手法は検出に長い時間がかかる。本研究では、電子の軌跡を推定するとき、まず大まかな座標を推定し、次に詳細な座標を推定するという方法を提案する。本手法をシミュレーションにより検証し、先行研究より高速で、かつ精度を維持していることを確認した。また、CMOS SPADに関する研究も行った。多様なSPADを180 nm CMOSプロセスで実装した、

ダイオードのI-V特性とノイズ特性を評価した。先行研究よりDCR (Dark Counts Rates) 低い構造を確認した。

藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp/>)

ポストシリコン回路修正技術

藤田昌宏, 松本剛史, アミルマスードガラバギ,
城 怜史, シュリダルチョーダリー

VLSI回路の規模増大によって、全ての設計誤りを製造前の設計段階で発見・修正することが難しくなっており、製造後のVLSIチップで初めて発見される設計誤りが増えている。加えて、製造工程の微細化に伴い、チップ内で電気的エラーが生じる可能性も高まりつつある。ポストシリコン回路修正技術は、以上のような理由によって、製造後に発見された不具合を修正する技術であり、リスピンによって生じる多大なコストを回避するために有効な技術である。今年度の研究では、(1) 修正可能性を高めるために回路中にプログラム可能素子が挿入された回路に対して、そのプログラム素子が実現すべき論理関数を高速に求める手法の提案・評価 (2) 回路中のフリップフロップの値から、他のフリップフロップの値を復元する際、復元可能なフリップフロップ数が最大となるような \subseteq の選択方法の提案を行った。(1)の手法では、プログラム可能素子を利用して、設計誤りを修正することができる。ISCASベンチマーク回路を用いた評価により、100程度程度のプログラム可能素子が回路にある場合でも、回路が仕様通りに動作するための論理関数を求めることができることを確認できた。(2)の手法は、Pseudo Boolean Optimization (PBO) と呼ばれる最適化問題に定式化することにより、厳密解を求める実験を行い、いくつかのISCASベンチマークにおいて、厳密解を求めることができることを確認した。

トランザクションレベルにおけるポストシリコンデバッグ

藤田昌宏, アミルマスードガラバギ

近年のSystem-on-Chip (SoC) はコア数の増大とともに複雑になってきている。その結果、チップ製造前の検証では設計にバグがないことを保証できなくなっている。そのため、プロトタイプや最終的な製品システムにいくつかのバグが残ってしまうことがある。本研究では、SoC内のコア間の通信を利用したポ

ストシリコン (チップ製造後) 検証手法を提案する。提案手法では、コア間の通信の観測とそれを用いた現状態から過去の状態へのバックトラックによって不具合の原因を探す。バックトラックはシステムのトランザクションモデルに対して行われる。まず、システムのトランザクションレベルにおける状態遷移機械を抽出し、実行におけるトランザクションのトレースから状態遷移機械における状態列を推定する。そして、その状態列において、システムが満たすべき性質を満たしているかどうかを形式的手法により検査することにより、不具合の原因を推定する。デッドロック検出・回復の分散アルゴリズムをNetwork-on-Chip上で実装して提案手法を提供し、実際にバグを特定できることを示した。

インターコネクト合成

藤田昌宏, 張 嘉懿

メニコアのSystem-on-Chip (SoC) においては、性能と信頼性が十分に高いインターコネクトのシステムが必要である。Network-on-Chip (NoC) は、メニコアの通信に対するこの要求を最も満足する候補の一つとして考えられている。NoCを採用することにより、システム設計者の設計に費やす労力を大きく減らすことが可能である。しかしながら、メニコアは多くのIP (Intellectual Property) から構成されており、それらと互換性があり、さらに、効率的にバンド幅を活用できるNoCを設計することは、現在でも研究課題となっている。本研究では、この設計過程の自動化を目指している。このインターコネクト自動設計ツールは、所望のIPのインタフェースのプロトコルとIP間の通信で行われる処理のデータフロー仕様を入力とし、通信するIP間のプロトコルに互換性を持たせるためのプロトコル変換器が挿入されたメッシュ型のNoCを生成する。

プロセッサアーキテクチャの検証とデバッグ

藤田昌宏, アミルマスードガラバギ, 松本剛史,
城 怜史

パイプライン実行や投機的実行、エラー回復に代表されるように、現在のプロセッサアーキテクチャは性能向上と信頼性向上のための様々な機構が採用されており、その複雑さは増大している。このような複雑なプロセッサアーキテクチャの正しさを検証し、バグのあるアーキテクチャのデバッグをすることは、非常に重要となっている。本研究では、プロセッサのマイクロアーキテクチャのデバッグと自動修正の手法を提案

する。提案手法では、SAT問題へ帰着させることにより、まず、回路中の誤り位置を特定し、続いて、その誤った信号値が変更される必要のある（つまり、反転される必要のある）入力パターン集合を求めることにより、その信号の正しい論理関数を求める。実験では、エラー回復機能を有するアウト・オブ・オーダーのパイプラインプロセッサの制御回路において、提案手法によって回路修正が可能であることを示した。また、予め、制御回路をプログラム可能素子によって構成することにより、配置配線を変更することなく、それらの素子の論理関数の変更によって、修正が可能であることも示した。

FPGA を利用した低レイテンシ処理に関する研究

藤田昌宏, 松本剛史, 田口直樹

非常に低いレイテンシが求められるアプリケーションにおいては、汎用プロセッサ上でのソフトウェア実行よりも、専用ハードウェアとして処理を実装することにより、より低いレイテンシを実現できる可能性がある。これは、専用ハードウェアによる実行では、実現する処理に対してカスタマイズされたメモリシステムや演算器を使用することができ、また、それらを並列に実行することができるためである。本研究では、そのようなアプリケーションとして、アルゴリズム取引に代表される高頻度証券取引において、クライアントからの売買要求を所定のフォーマットに整形し、証券取引所に送付するラインハンドラーを取り上げ、FPGA上へ実装した。設計したFPGAシステムによって、汎用ソフトウェアでは20マイクロ秒を要する処理を数マイクロ秒で実現できることを示した。今後は、更なる高速化のために、FPGAシステム外部とのTCP通信処理機能のハードウェア化を検討している。

ハードウェア実装によるニューラルネットワークシミュレーションの高速化

藤田昌宏, 松本剛史, 大島浩資, 川尾太郎

近年、科学計算や科学シミュレーションの処理速度をFPGAやGPUを利用して向上させる技術が注目を集めている。これは、FPGAやGPUを利用することにより、スーパーコンピュータを使用した場合に比べて、非常に安価に高速計算を実現することができるためである。本研究では、科学シミュレーションの一例として、ニューラルネットワークのシミュレーションを取り上げ、FPGA実装による高速化を実現した。高速化の対象としたニューラルネットワークは、DSSN (Digital Spiking Silicon Neuron) モデルに基づくもの

である。DSSNモデルでは、各ニューロンにシナプスを介して入力された値の重み付き和を求める必要があり、従来の実装では、これが処理速度向上のボトルネックになっていた。この重み付き和を求める処理を高速化するために、開発したFPGA実装では、処理のパイプライン化を導入している。加えて、FPGA内のBRAM容量はそれほど大きくないため、シミュレーション可能なネットワークの大規模化のために途中結果をFPGA外のRAMに保存している。これらの実装上の工夫により、1000程度のニューロン数を有するネットワークのシミュレーション高速化を実現することができた。

設計デバッグ支援に関する研究

藤田昌宏, 松本剛史, 大島浩資, 王 勤浩, 都井 敬, 古賀丈尚

ハードウェア設計では、設計デバッグに多くの時間が費やされている。そのため、設計効率化のためには、自動化されたデバッグ支援技術が必要不可欠である。本研究では、ハードウェア設計に対する3つのデバッグ支援手法を提案した。1つ目の手法は、設計の一部をプログラム可能素子 (LUT) によって置換し、設計が仕様と等価になる場合の論理関数を求めることにより、デバッグを行う手法である。このとき、LUTの挿入箇所によっては、デバッグが不可能である場合があるため、ある必要条件を満たす信号をLUT入力に追加することにより、デバッグを可能にする手法を併せて提案している。2つ目の手法は、割り込み関数を含むプログラムの静的解析である。割り込み関数を含むプログラムでは、メイン関数と割り込み関数の依存関係が明示的には記述されていないため、静的解析において、両者をともに考慮することが難しかった。提案する手法では、メイン関数内で可能な割り込み関数呼び出しを明示することによって、静的に依存解析を行うことができるようになっている。3つ目のデバッグ支援は、条件分岐における条件の優先度に着目した新たなカバレッジ指標である。このカバレッジ指標は、条件分岐における条件の優先度を任意に変化させて、元のプログラムと異なる出力値が得られた場合に、その(変化させた)優先度がカバーされた、とするものである。いくつかのバグ例に対して、プログラムが正しい場合と誤っている場合で、従来のカバレッジでは両者の区別が付かないが、提案するカバレッジ指標ではカバレッジ値が変化することが確認できた。

複数回路間の効率的なトポロジカルマッチングに関する研究

藤田昌宏, アミルマスードガラバギ,
ホセイインザディアド

回路間の類似性や差異を認識することは、様々なバージョンの設計や設計資産ライブラリの管理・維持において非常に重要である。本研究では、2つ、または、2つ以上の回路に対して、最大の共通部分回路を抽出する手法を提案した。提案手法は、従来から利用されているグラフマッチングの発見的手法に基づいている。それに加えて、我々は、回路規模に対してほぼ線形に計算時間が増加する近似アルゴリズムと評価関数を先見するアルゴリズムを提案し、共通部分回路抽出に組込んでいる。ISCASベンチマークならびに Opencores で入手可能ないくつかの設計に対して従来手法と提案手法を適用する実験を行い、提案手法では従来手法に比べて高い精度で共通部分回路を求めることができることを確認した。加えて、厳密解を求める手法との比較も行い、提案手法で得られる共通部分回路は厳密解に比べて10%程度小さいが、実行時間は2~3桁短いことを示した。

落合助教

(<http://www.hongo.wide.ad.jp/~jo2lxq/>)

組込み機器と IEEE1888 プロトコルによる設備管理技術

落合秀也

スマートグリッド社会の到来を控え、あらゆる電気機器をTCP/IPによりネットワーク接続し、電子的に管理・制御する必要性が増している。そのためにはインターネット上のサーバとの通信を行うプロトコルを含むインタフェースを組込み機器に実装することが不可欠で、この目的のインタフェースおよびプロトコルの設計、実装技術を研究開発している。例えば、アプリケーション層プロトコルとして、IEEE1888の設計、開発を行い、これらを組込み機器にも実装し、電子的な管理制御を実証した。また、東大グリーンICTプロジェクトなどの産学連携活動を通じ、開発した技術の標準化、実用化を行っている。研究開発された技術は、変電設備や空調・照明などの電気機器をネットワーク化し、電力グリッドの状態や需要家のポリシーに従った自動制御を可能にすることで、太陽光・風力などの再生可能エネルギーの効率的利用に貢献すると期待される。

建築物に適した IP パケット伝送アーキテクチャに関する研究

落合秀也

建築物には壁、天井、床などの構造があり、これらの場所に分散的に配置されるセンサや電気機器を、個別にイーサネットに接続するのは非現実的である。そこで無線、電力線、有線カスケードによる接続方式が建築現場の状況に合わせて取られるが、利用者からすれば、接続方式には依存せず通信できる必要がある。そのため、IP over Xアーキテクチャに基づいて、接続方式に関わらずこれらのセンサや電気機器までの通信を統一化する技術を研究開発している。具体的には、ビル内の有線配線に最適なメディアであるRS485や、ビル内のマルチホップ無線でのデータ配送を支える Disruption Tolerant Network (DTN) に着目し、IP over RS485, IP over DTN の技術を開発、実証した。

高宮研究室

(<http://icdesign.iis.u-tokyo.ac.jp/>)

IoT デバイスに向けた低電力・高効率回路

桜井貴康, 高宮 真, 更田裕司

モノのインターネット (Internet of Things : IoT) を実現するために必須の、低消費電力無線通信用回路、低出力電力でも高効率な電源回路、エネルギーハーベスティング向け電源回路の研究を行っている。今年度の代表的成果としては、無線通信用の水晶発振回路に新規自動電源オンオフ技術を適用することにより、消費電力を93%削減することに成功した。また、アナログLDOとデジタルLDOを組み合わせたレギュレータ回路を新規提案し、応答時間を59%短縮、出力リップルを28%低減することに成功した。

有機トランジスタを用いた大面積・フレキシブルエレクトロニクスの新アプリケーション提案と実証

桜井貴康, 高宮 真, 更田裕司, 染谷隆夫, 関谷 毅

電子機器を身にまとうウェアラブル型デバイスや電子機器を体内に埋め込むインプラント型デバイスではフレキシブルで大面積なエレクトロニクスが求められる。そこで、薄いフィルム上に印刷で作成可能な有機トランジスタを用いた大面積・フレキシブルエレクトロニクスのアプリケーション提案と実証を染谷研究室、関谷研究室と共同で行っている。最近では「靴の

中敷き型万歩計「義手の制御用の筋電測定シート」「オムツ用尿漏れセンサシート」の提案と実証を行った。

三田研究室

(<http://www.if.t.u-tokyo.ac.jp>)

集積化水上走行ロボットを通じたエネルギー自立型分散マイクロシステム

三田吉郎, 森 功, イファン・リ (英エジンバラ大),
アントニー・ウォルトン (英エジンバラ大)

新しい応用分野を拓くものと近年期待が高まっている集積化MEMS (微小電気機械システム) のトップダウンアプリケーションとして、環境からエネルギーを取得して自立移動できる、完全自走型のマイクロシステムの研究を行っている。「Engineered Nature」すなわち、動物の実装をデッドコピーするのではなく動物に見られる機能を抽出してそれを工学的に最適な形で実現することを通じて工学の発展に寄与することを指導原理としている。大きさ1 cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。1 cm角サイズという小さなマイクロロボットとして知られているものは、安宅 (東大) らによるマイクロ繊毛 (1992), Ebefords (KTH) らによるマイクロ尺取虫, 三木 (東大) らによるマイクロヘリコプターなどがあるが、電源供給用に電線が必要であるとか、ミリワット級のエネルギーを投入しなくてはならないとかいった問題のため完全自立というには程遠かった。

既存研究の最大の課題である電力消費を抑えて自立移動するための動力原理として、筆者らはエレクトロウエットティング (EWOD) 現象に注目している。むきだしの絶縁電極に電荷を注入して表面エネルギーを変調することで、表面の濡れ性を制御する、19世紀半ばから知られている原理で、2000年代になってマイクロ化学システムの液滴移動原理として再発見されたものである。濡れ性制御に必要なエネルギーが $1 \mu\text{m}^2$ と非常に小さいため、世界初の自立移動マイクロロボットの駆動原理として好都合であると考えている。2013年度は上記水上ロボット実現のための基礎技術特に、オンチップエネルギー源としての高圧太陽電池に関する研究を進捗させた。

マイクロ構造の自由な断面形状制御法とそれを活用する電気機械システム

三田吉郎, 澤村智紀, Eric Lebrasseur, 森 功,
平川 淳, 久保田雅則 (杉山研)

シリコン深掘り微細加工技術は絶え間ない進歩をつづけており、それに伴い微小電気機械 (MEMS) に関する新しい応用分野が広がりを見せている。現在主流となっている微細加工技術によって実現可能なマイクロ構造は、平面方向に矩形パターンを組み合わせてそのまま深さ方向に転写する作製プロセスで決定される直方体構造である。しかしながら、例えばレンズの形状を考えるとわかるように、直方体が形状として最適でない機械素子は多数存在するので、理想的なマイクロ加工技術というものとは本来、電子機械素子の性能からトップダウン要請される任意曲面を自在に実現できなくてはならない。本研究はこのような、「任意形状の曲面を実現するマイクロ加工技術」に関する総合的知見を得るための試みであり、(1) 具体的なトップダウンアプリケーション、(2) 最先端技術とアイデアによる作製テクノロジーの両面で研究を行っている。具体的なトップダウンアプリケーションとして2013年度は、(1-5) 熱伝導率を断面形状によって制御した、温度差発電デバイスの研究を行いました、(2-3) VDECにおいて先行試作が始まっている「フェニテックセミコンダクター社」のSOI基板上0.6 μm 標準CMOSプロセスのポストプロセッシングによる「高耐圧化CMOS回路素子」についての研究発表を行った。

Smart BlocksII プロジェクト—紫外線パターン可能なポリイミドを用いたマイクロアクチュエータの研究

三田吉郎, Julien Malapert (仏 FEMTO-ST 研究所),
安田清隆, 安宅 学 (東大生研), 藤田博之 (東大生研)

仏 FEMTO-ST 研究所と、東京大学生産技術研究所集積化マイクロメカトロニクス研究室 (LIMMS, CNRS-IIS) と共同で、フランス国立研究機構 (ANR) 特定領域研究「Smart Blocks II」を受託している。一年目にプロセスが完成した、感光性ポリイミドによるアクチュエータを制御するための集積回路を設計し、基礎特性が得られることを確認した。

集積化 MEMS による LSI プロービングシステム

三田吉郎, 保坂航太, 松井遼平,
Yu-Tang Chen (台湾 ITRI), 久保田雅則 (杉山研)

台湾 ITRI (電子工業技術研究院) との共同研究により、初期情報処理 CMOS 回路が集積された、VLSI 等の電子部品のテストに用いる「MEMS プローブカー

ド」の研究を行っている。測定対象の一つとして、ITRIにおいて評価中の光電子デバイスを想定している。二年目である平成25年度は、ITRIから供給された実デバイス(基板上のLED)を用いた測定実験を行った。作製したプローブカードは、一本の探針に、二個の電極を有することが特長であり、これによれば、探針先端が対象のパッドに接触していることを、電氣的に確認ができ、さらに四端子法により、接触抵抗の影響を排除した測定が可能であることを実験的に示すことができた。

省電力・長寿命 MEMS メモリを目指すマイクロラッチ機構設計と作製

米田佳祐, 久保田雅則 (杉山研),
ティクシェ三田アニエス (東大先端研), 三田吉郎
データ保持時間1000年以上, データ書き込みエネルギーピコジュールレベル, データ保持エネルギーゼロの低消費電力・長寿命メモリの研究を行っている。このメモリの利用シナリオとして、蓄積するハザード(放射線や化学物質等への総暴露量)の記憶を想定する。提案する多値メモリでは記憶のメカニズムとして、バネに蓄えられた弾性エネルギーによる状態記憶を採用する。これによって小さな電力での書き換えと、さらにデータ保持の安定性を確保することができる。研究一年目にしてデバイスを一晩で作製できるスピードを身に付けたのち、二年目にして、個々のプロセスに欠けていた精密度を学び、より正確な動作をするデバイスが作製できるようになった。

右脳型ソフトコンピューティング VLSI: 連想プロセッサ・システム

夏 文軍, 山下直也, 三田吉郎
現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを、シリコン超LSI技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し、直感・連想・推論といった処理を得意としたLSIチップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ(ニューロンMOS, neuMOS)を導入、膨大なtemplate群の中から最短距離ベクトルを完全並列探

索するアナログ連想プロセッサ, 0.18ミクロンCMOS技術を用いた超高速デジタル連想プロセッサ等を、これまで開発した。現在は、templateの量を精密度を失わない形で削減する手法、認識クラスの弁別性を高めるためのデータ処理手法について研究を行っている。

人間の五感に働きかける MEMS 入出力デバイスの研究

三田吉郎, 本田雅宣, 平木剛史, 施 英漢

MEMSが拓く新しいアプリケーション領域として、人間の五感に訴えかけるセンサやアクチュエータシステムが期待されている。本研究グループでは特に、VLSIと集積化したコンパクトなマイクロデバイスを創成し、それらを環境に大規模分散配置し・協調動作させることによって、人間の五感に直接働きかけ、従来のデバイスでは不可能であった高度な表現を可能とするシステムの研究を行っている。単体デバイスとして現在までに、可動部分を有しない超小型・広帯域MEMSマイクロホンや、味覚を直接刺激する組み込みアクチュエータ、アプリケーションサイドでは、無数の超小型スピーカーを空間に配置して、音源の方向を前後左右上下で聞き分けることができるスピーカシステムTetra-Pentachanの開発を行った。

集積化 MEMS による“第六感”センサ

三田吉郎, マチュー ドヌアル (仏 ENSI カーン校),
エリック ルプラスール, カミーユ ゲ (仏 INSA リヨン校),
ジャンベルナル プーシエル (仏 LAAS-CNRS 研究所),
増沢隆久 (東大名誉教授)

“第六感”すなわち、人間の持つ感覚器官では検出不可能な領域の物理・化学量を測定することは、MEMSの持つ大いなるポテンシャルの応用分野の一つである。本研究グループでは特に、VLSIと集積化したコンパクトなマイクロデバイスによってこの課題に取り組んでいる。人間には不可視である、赤外領域の光を、高速・高感度に測定する集積化ボロメータや、ごく微小な細孔中のプロファイルを測定する集積システムの研究開発を行っている。

高木・竹中研究室

(<http://www.mosfet.k.u-tokyo.ac.jp/>)

研究

高木信一, 竹中 充, Rui Zhang, ユウ シャオ,
林 汝静, キム ウガン, 田中 克久

高性能Ge MOSFETを実現するため研究を行っている。原子層堆積法(ALD)を用いてGe表面に Al_2O_3 膜を堆積後、ECRプラズマ酸化してGe MOS界面を形成する研究を進めている。Si基板上に成長した歪Geチャネルに対しても良好なゲートスタックを形成することで、高性能Ge p-MOSFETの動作実証に成功した。また、プラズマ酸化で形成した GeOx/Ge MOS界面の信頼性に関する研究を進めている。酸化濃縮法を用いたGe-on-Insulator (GOI) 基板にSOGからSbドーピングすることで、GOI n-MOSFETの動作に初めて成功した。

III-V 族化合物半導体 Metal-Oxide-Semiconductor (MOS) FET に関する研究

高木信一, 竹中 充, 横山正史, キムサンヒョン,
張 志宇

高性能III-V MOSFETを実現する研究を行っている。ウェハーボンディングで作製したInGaAs-OI基板上にNi-InGaAs合金を用いたメタルソース/ドレインInGaAs MOSFETを作製し、ゲート長20 nmのフィンFETの動作に初めて成功した。またInAs上に成長したGaSbをウェハーボンディングを用いて、Si基板上に貼り合せせたGaSb-OI基板の作製に成功した。InAs表面パッシベーションと組み合わせることで、高性能GaSb pMOSFETの動作に成功した。

トンネル FET に関する研究

高木信一, 竹中 充, キムミンス, ジ サンミン

省電力動作が可能なステープスローブトランジスタとしてトンネルFETの研究を進めている。横型InGaAs TFETにおいて、SOGを用いたZn拡散により接合を形成することで、サブスレシールドスローブが60 mV/decと極めて良好な特性をもつトンネルFETの動作に初めて成功した。またGe/Siヘテロ構造を利用したTFETの研究も進めている。In-situでBをGeにドーピングすることで、特性を改善することに成功した。

Si CMOS photonics に関する研究

高木信一, 竹中 充, キムヨンヒョン, ハンジェフン,
亢 健

高感度Geフォトディテクターの研究を進めている。

プラズマ酸化を用いてGe表面を GeO_2 によりパッシベーションすることで、MSM型Geフォトディテクターの周辺リーク電流を1ケタ以上低減可能であることを明らかにした。また、界面欠陥および表面ポテンシャルと暗電流の関係を実験的に明らかにすることに成功した。SiGeを利用した光変調器の研究も進めている。歪SiGeを導波路コアとした横方向PIN型光変調において、Siよりも性能が向上することを初めて実証することに成功した。また、MOS型SiGe光変調器を実現に向けたSiGe MOS界面の研究も進めている。プラズマ後窒化を用いることで、SiGe MOS界面の界面準位が1桁程度低減可能であり、EOTを1 nm以下にスケーリング可能であることを実証した。

III-V CMOS photonics に関する研究

高木信一, 竹中 充, テイユウホウ, 一宮佑希,
パク ジンゴン, 倉持美沙, 高島成也

ウェハーボンディングによりSi基板上に形成したIII-V-OIウェハを用いた光電子集積回路に関する研究を進めている。III-V-OI基板上にInGaAsPフォトニックワイヤー導波路を用いた電流注入型光スイッチを作製し、Si素子よりも低クロストーク動作が可能であることを実験的に明らかにした。導波路型InGaAs受光器をInP細線導波路とモノリシック集積することにも初めて成功した。

2D CMOS photonics に関する研究

高木信一, 竹中 充, 嘉陽田達也, 佐々木和哉

グラフェンを用いた光デバイスの研究を進めている。グラフェンを用いた光変調器を実現するために、グラフェンゲートメタルMOSキャパシタの研究を進めた。C-V特性を評価することで、グラフェンのフェルミレベルが0.5 eV以上変調可能であることを明らかにし、高性能光変調器が実現可能であることを明らかにした。また半導体となる遷移金属カルコゲナイドである MoS_2 のMOS界面に関する研究も進めている。

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

自己同期システムの実現

池田 誠, 伊東 敦, 田村雅人, 崔 伝琪, 西部拓人
LSIの消費電力を減らすために低電圧で動作させる

という手法が考えられる。しかし低電圧では微細化によるばらつきの影響が大きくなってしまいうため、安定して低電圧で回路を動作させる手法の1つとしてゲートレベルパイプライン型自己同期回路を提案している。消費電力の削減については自己同期回路の終了検知回路を利用して、ゲートレベルでダイナミックにバックバイアスを制御する方法を提案した。この方法により、動作時の遅延増加が10%以内でありながら、待機時の消費電力を90%削減した。また、既存の論理合成ツール、配置配線ツールを用いた自動設計フローの検討を行った。エラー耐性については宇宙放射線に含まれる中性子とLSIの衝突によるソフトエラーは半導体デバイスに予期せぬ結果を引き起こすため、エラーのタイプと影響を分析し自己同期回路のソフトエラー耐性を調べた。

スマートイメージセンサを用いた三次元計測

池田 誠, 矢部紘貴, 松島多佳彦, 石川涼一

3次元取得に特化したイメージセンサの設計を行っている。光切断法において、最大値検出回路を用いて、ピーク位置をセンサー面上で検出することによって、精度を保ちつつ、3次元取得速度を向上する手法につ

いて検討し、チップを設計した。センサの設計・シミュレーションは、0.18 um CMOSイメージセンサプロセスを用いた。また、光切断法において、変調光の検波により背景光抑圧機能を有し、各スキャンでシート光が照射された部分を選択的に検波処理することで高解像度化を目指した注目領域画素並列検波処理によるセンサを研究している。この手法では、検波回路をアレイ外に置くことによって、ピクセル面積を削減し、高解像度を実現している。二つのイメージセンサを搭載したチップを用いて、2-D画像、3-D形状を同時に測定し、得られた三次元形状モデルに対して二次元の画像を張り付けることによってテクスチャマッピングを行うことを検討した。この手法のために、デュアルコアイメージセンサをCISプロセスを用いて設計した。

近距離非接触通信システムの実現

池田 誠, 宮崎耕太郎

周波数利用効率を向上させる方法として注目を集めている、周囲の周波数のスペクトラムを検波して空き周波数で通信するコグニティブ無線に関連した広帯域スペクトラム取得を目指した広帯域受信回路の検討を行った。

5.4 研究発表

浅田・名倉・飯塚研究室 研究論文

- [1] Zuoxun Hou, Yitao Ma, Hongbo Zhu, Nanning Zheng, and Tadashi Shibata "Real-Time Very Large-Scale Integration Recognition System with an On-Chip Adaptive K-Means Learning Algorithm," Japanese Journal of Applied Physics, vol. 52 no. 4, pp. 04CE11-1-10, Apr. 2013.
- [2] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Makoto Yamada, Osamu Morita, and Kunihiro Asada, "An Integrated High-Precision Probe System in 0.18-um CMOS for Near-Field Magnetic Measurements on Cryptographic LSIs," IEEE Sensors Journal, vol. 13, no. 7, pp. 2675 - 2682, Jul. 2013.
- [3] Rimon Ikeno, Takashi Maruyama, Satoshi Komatsu, Tetsuya Iizuka, Makoto Ikeda, and Kunihiro Asada, "High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection with One-dimensional VIA Characters," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E96-A, no. 12, pp. 2458 - 2466, Dec. 2013.
- [4] Kevin Ngari, Toru Nakura, Kunihiro Asada, "Numerical and Theoretical Analysis on Voltage and Time Domain Dynamic Range of Scaled CMOS Circuits," IEEE Symposium on Design and Diagnostics of Electronics Circuit and System (DDECS), April 2014.
- [2] Parit Kanjanavirojkul, Toru Nakura, Kunihiro Asada, "Sub-MMW Burst-Pulse Generator based on Transmission Line," IEEE Symposium on Design and Diagnostics of Electronics Circuit and System (DDECS), April 2014.
- [3] Norihito Tohge, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A Pulse Width Controlled PLL and its Automated Design Flow," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 5-8, Dec. 2013.
- [4] Tomohiko Yano, Toru Nakura and Kunihiro Asada, "Low Pass Filter-less Pulse Width Controlled PLL with Zero Phase Offset Using Pulse Width Accumulator," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 625-628, Dec. 2013.
- [5] Toru Nakura, Kunihiro Asada, "Pulse Width Controlled PLL/DLL using Soft Thermometer Code", IEEE Asia Solid State Circuit Conference (ASSCC), Sess19, Nov. 2013.
- [6] Pushe Zhao, Hongbo Zhu, and Tadashi Shibata, "A Multiple-Candidate-Regeneration-Based Object Tracking System with Enhanced Learning Capability by Nearest Neighbor Classifier," in the Proceedings of 2013 International Symposium on Circuits and Systems (ISCAS), pp. 2392-2395, May. 2013.
- [7] Atsushi Shimada, Hongbo Zhu, and Tadashi Shibata, "A VLSI DBSCAN Processor Composed As an Array of Micro Agents Having Self-Growing Interconnects," in the Proceedings of 2013 International Symposium on Circuits and Systems (ISCAS'13), pp. 2062-2065, May. 2013.
- [8] Tetsuya Iizuka, Teruki Someya, Toru Nakura, and Kunihiro Asada, "An All-Digital Time Difference Hold-and-Replication Circuit utilizing a Dual Pulse Ring Oscillator," in Proceedings of IEEE Custom Integrated Circuits Conference (CICC), Sep. 2013.
- [9] Tetsuya Iizuka, Satoshi Miura, Yohei Ishizone, Yoshimichi Murakami, and Kunihiro Asada, "A True 4-Cycle Lock Reference-Less All-Digital Burst-Mode CDR Utilizing Coarse-Fine Phase Generator with Embedded TDC," in Proceedings of IEEE Custom Integrated Circuits Conference (CICC), Sep. 2013.
- [10] Hongbo Zhu and Tadashi Shibata, "A VLSI Processor with a Configurable Processing Element Array for Balanced Feature Extraction in High Resolution Images," in Extended Abstracts of the 2013 International Conference on Solid State Devices and Materials (SSDM), pp.138-139, Sep. 2013.
- [11] Toru Nakura, "[Invited] Time Difference Amplifier and Its Application for TDC", IEEE SSCS UAE Chapter Seminar, Dec. 2013.

国際会議論文

- [1] Yoji Nakamura, Tetsuya Iizuka, Kunihiro Asada, "Dynamic Operating State Estimation by Surface Emitting Electro-Magnetic Field for LSI Security," International Processing Society of Japan, DA Symposium, pp.151-156, Aug. 2013.
- [2] Muriithi Kevin Ngari, Tetsuya Iizuka, Toru Nakura, Kunihiro Asad, "Effect of CMOS Device Scaling on Time-domain and Voltage-domain Dynamic Range," in Proceedings of the 2013 IEICE Society Conference, C-12-40, pp.100, Sep. 2013.
- [3] Hiroaki Matsui, Toru Nakura, and Kunihiro Asada, "A Rectifier with Body Bias Effects for Radio Wave Energy Harvesting," in Proceedings of the 2013 IEICE Society Conference, pp.69, Sep. 2013.
- [4] Parit Kanjanavirojkul, N.N.M Khanh, Kunihiro Asada, "Direct Burst Pulse Generator for Sub-millimeter Wave Integrated on 65-nm CMOS," in Proceedings of the 2013 IEICE Society Conference, C-2-15, Sep. 2013.

藤田研究室 研究論文

- [1] G. Di Guglielmo, L. Di Guglielmo, A. Foltinek, M. Fujita, F. Fummi, C. Marconcini, G. Pravadelli, "On the integration of model-driven design and dynamic assertion-based verification for embedded software," Journal of Systems and Software, Vol. 86, No. 8, pp. 2013-2033, Aug. 2013.
- [2] S. Jo, T. Matsumoto, and M. Fujita, "SAT-based automatic rectification and debugging of combinational circuits with LUT insertions," IPSJ Transactions on System LSI Design Methodology, Vol.7, February Issue, pp. 46-55, Feb. 2014.
- [3] M. Kozuma, Y. Okamoto, T. Nakagawa, T. Aoki, M. Ikeda, T. Osada, Y. Kurokawa, T. Ikeda, N. Yamade, Y. Okazaki, H. Miyairi, M. Fujita, J. Koyama, S. Yamazaki, "Crystalline In-Ga-Zn-O FET-based configuration memory for multi-contextfield-programmable gate array realizing fine-grained power gating," Japanese Journal of Applied Physics 53, 04EE12, Mar. 2014.

国際会議

- [1] M. Fujita, "Diagnosis and correction of buggy hardware/software with formal approaches," 17th International Symposium on VLSI Design and Test, July 2013.
- [2] M. Fujita, "High Performance and Flexible Computing Systems with Electronic Design Automation," 2013 IEEE International Conference on Electronic Measurement & Instruments, Aug. 2013.
- [3] Y. Kurokawa, Y. Okamoto, T. Nakagawa, T. Aoki, M. Ikeda, M. Kozuma, T. Osada, T. Ikeda, N. Yamade, Y. Okazaki, H. Miyairi, M. Fujita, J. Koyama, S. Yamazaki, "Applications of Crystalline Indium-Gallium-Zinc-Oxide Technology to LSI: Memory, Processor, Image Sensor, and Field Programmable Gate Array," Proc. of Asia Symposium on Quality Electronic Design, pp.66-71, Aug. 2013.
- [4] N. Sjkovist, T. Ohmaru, K. Furutani, A. Isobe, N. Tsutsui, H. Tamura, W. Uesugi, T. Ishizu, T. Onuki, K. Ohshima, T. Matsuzaki, H. Mimura, A. Hirose, Y. Suzuki, Y. Ieda, T. Atsumi, Y. Shionoiri, K. Kato, G. Goto, J. Koyama, M. Fujita, and S. Yamazaki, "Zero Area Overhead State Retention Flip Flop Utilizing Crystalline In-Ga-Zn Oxide Thin Film Transistor with Simple Power Control Implemented in a 32-bit CPU," 2013 International Conference on Solid State Devices and Materials, M-6-4, Sep. 2013.
- [5] M. Kozuma, Y. Okamoto, T. Nakagawa, T. Aoki, M. Ikeda, T. Osada, Y. Kurokawa, T. Ikeda, N. Yamade, Y. Okazaki, H. Miyairi, M. Fujita, J. Koyama and S. Yamazaki, "Crystalline In-Ga-Zn-O FET based Configuration Memory for Multi-Context Field-Programmable Gate Array Realizing Fine-Grained Power Gating," 2013 International Conference on Solid State Devices and Materials, M-7-4, Sep. 2013.
- [6] M. Fujita, "Diagnosis and correction of buggy hardware/software with formal approaches," International Workshop on Design and Implementation of Formal Tools and Systems, Oct. 2013.
- [7] K. Oshima, T. Matsumoto, and M. Fujita, "A Debugging Method for Gate Level Circuit Designs by Introducing Programmability," Proc. of 21st

- IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC '13), pp. 78-83, Oct. 2013.
- [8] M. Fujita, T. Matsumoto, and S. Jo, "FOF: Functionally Observable Fault and its ATPG Techniques," Proc. of 21st IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC '13), pp. 108-111, Oct. 2013.
- [9] K. Oshima, T. Matsumoto, and M. Fujita, "Hardware Implementation of BLTL Property Checkers for Acceleration of Statistical Model Checking," Proc. of the International Conference on Computer-Aided Design (ICCAD '13), pp. 670-676, Nov. 2013.
- [10] M. Fujita, S. Jo, S. Ono, and T. Matsumoto, "Partial synthesis through sampling with and without specification," Proc. of the International Conference on Computer-Aided Design (ICCAD '13), pp. 787-794, Nov. 2013.
- [11] S. Jo, A.M. Gharehbaghi, T. Matsumoto, and M. Fujita, "Debugging Processors with Advanced Features by Reprogramming LUTs on FPGA," Proc. of the International Conference on Field-Programmable Technology (ICFPT), pp. 50-57, Dec. 2013.
- [12] M. Fujita, "Testing and Debugging VLSI System," 27th International Conference on VLSI Design 2014, Jan. 2014.
- [13] T. Aoki, Y. Okamoto, T. Nakagawa, M. Ikeda, M. Kozuma, T. Osada, Y. Kurokawa, T. Ikeda, N. Yamade, Y. Okazaki, H. Miyairi, M. Fujita, J. Koyama, and S. Yamazaki, "Normally-Off Computing with Crystalline InGaZnO-based FPGA," 2014 IEEE International Solid-State Circuits Conference, Feb. 2014.
- [14] M. Fujita, S. Jo, and T. Matsumoto, "Automatic identification of logical relationships among internal signals with small numbers of test vectors," 1st Workshop on Design Automation for Understanding Hardware Designs, Mar. 2014.
- [15] S. Choudhary, K. Oshima, A.M. Gharehbaghi, T. Matsumoto, and M. Fujita, "Exact Solution for Trace Signal Selection with Pseudo Boolean Optimization (PBO)," 1st Workshop on Design Automation for Understanding Hardware Designs, Mar. 2014.
- [16] S. Ghandali, B. Alizadeh, M. Fujita, Z. Navabi, "RTL datapath optimization using system-level transformations," Proc. of International Symposium on Quality Electronic Design (ISQED' 14), pp.309-316, Mar. 2014.
- [17] A.M. Gharehbaghi and M. Fujita, "Specification and Formal Verification of Power Gating in Processors," Proc. of International Symposium on Quality Electronic Design (ISQED' 14), pp. 604-610, Mar. 2014.

国内学会，研究会等

- [1] 城怜史, 松本剛史, 藤田昌宏, "プログラム可能な素子を利用した大規模回路の自動修復手法," 情報処理学会研究報告, Vol. 2013-SLDM-161, No. 4, pp. 1-6, 2013年5月.
- [2] 大島浩資, 城怜史, 松本剛史, 藤田昌宏, "プログラム可能な素子を利用したゲートレベル回路の自動デバッグ手法," 情報処理学会研究報告, Vol. 2013-SLDM-161, No. 5, pp. 1-6, 2013年5月.
- [3] 大島浩資, 松本剛史, 藤田昌宏, "統計的モデル検査におけるプロパティ判定回路の実装手法," 第26回回路とシステムワークショップ論文集, Vol. 26, pp. 478-483, 2013年7月.
- [4] 城怜史, 松本剛史, 藤田昌宏, "機能故障・エラーモデルとその検出テストパターン生成の検討," DAシンポジウム2013論文集, pp. 103-108, 2013年8月.
- [5] 藤田昌宏, 城怜史, 松本剛史, "アサーション自動生成とそのシミュレーションによる完全検証," 情報処理学会研究報告, Vol. 2014-SLDM-165, No. 17, pp. 1-6, 2014年3月.
- [6] 松本剛史, 城怜史, 藤田昌宏, "プログラム可能データパスとSMTソルバーを利用した高位設計デバッグ手法," 情報処理学会研究報告, Vol. 2014-SLDM-165, No. 18, pp. 1-6, 2014年3月.

高宮研究室 研究論文

1. 研究論文

- [1] H. Fuketa, K. Hirairi, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Minimizing Energy of Integer Unit by Higher Voltage Flip-Flop: VDDmin-Aware Dual Supply Voltage Technique," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol.21,

No.6, pp.1175-1179, June 2013.

- [2] H. Fuketa, R. Takahashi, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Increase of Crosstalk Noise Due to Imbalanced Threshold Voltage Between nMOS and pMOS in Subthreshold Logic Circuits," *IEEE Journal of Solid-State Circuits*, Vol.48, No.8, pp.1986-1994, Aug. 2013.
- [3] K. Takemura, K. Ishida, Y. Ishii, K. Maeda, M. Takamiya, T. Sakurai, and K. Baba, "Si Interposers with 15-um-thick Spiral Inductors and SrTiO₃ Thin Film Capacitors for Novel 3D Stacked Buck Converters," *Transactions of The Japan Institute of Electronics Packaging*, Vol.6, No.1, pp.78-86, 2013.
- [4] H. Fuketa, M. Nomura, M. Takamiya, and T. Sakurai, "Intermittent Resonant Clocking Enabling Power Reduction at Any Clock Frequency for Near/Sub-Threshold Logic Circuits," *IEEE Journal of Solid-State Circuits*, Vol.49, No.2, pp.536-544, Feb. 2014.

2. 国際会議論文

- [1] H. Fuketa, Y. Shinozuka, K. Ishida, M. Takamiya, T. Fujii, H. Shimizu, K. Kobayashi, T. Sato, and T. Sakurai, "Efficiency Increase in On-Chip Buck Converter by Introduction of High Permeability Material to Inductor on Interposer," *International Conference on Ferrites (ICF)*, Okinawa, p. 75, Apr. 2013.
- [2] S. Iguchi, P. Yeon, H. Fuketa, K. Ishida, T. Sakurai, and M. Takamiya, "Zero Phase Difference Capacitance Control (ZPDCC) for Magnetically Resonant Wireless Power Transmission," *IEEE Wireless Power Transfer Conference (WPTC)*, Perugia, Italy, pp.25-26, May. 2013.
- [3] T. Sekitani, T. Yokota, M. Takamiya, T. Sakurai, and T. Someya, "Electrical Artificial Skin Using Ultra-Flexible Organic Transistor," *ACM Design Automation Conference*, Austin, USA, pp.1-3, June 2013.
- [4] M. Nomura, A. Muramatsu, H. Takeno, S. Hattori, D. Ogawa, M. Nasu, K. Hirairi, S. Kumashiro, S. Moriwaki, Y. Yamamoto, S. Miyano, Y. Hiraku, I. Hayashi, K. Yoshioka, A. Shikata, H. Ishikuro, M. Ahn, Y. Okuma, X. Zhang, Y. Ryu, K. Ishida, M. Takamiya, T. Kuroda, H. Shinohara, and T. Sakurai, "0.5V Image Processor with 563 GOPS/W SIMD and 32bit CPU Using High Voltage Clock Distribution (HVCD) and Adaptive Frequency Scaling (AFS) with 40 nm CMOS," *IEEE Symposium on VLSI Circuits*, Kyoto, pp.C36-C37, June 2013.
- [5] S. Iguchi, A. Saito, Y. Zheng, K. Watanabe, T. Sakurai, and M. Takamiya, "93 % Power Reduction by Automatic Self Power Gating (ASPG) and Multistage Inverter for Negative Resistance (MINR) in 0.7 V, 9.2 μ W, 39 MHz Crystal Oscillator," *IEEE Symposium on VLSI Circuits*, Kyoto, pp.C142-C143, June 2013.
- [6] H. Fuketa, K. Ishida, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, "Large-Area and Flexible Sensors with Organic Transistors," *IEEE International Workshop on Advances in Sensors and Interfaces (IWASD)*, Bari, Italy, pp.87-90, June 2013. (Invited)
- [7] S. Yoshimoto, S. Miyano, M. Takamiya, H. Shinohara, H. Kawaguchi, and M. Yoshimoto, "A 40-nm 8T SRAM with Selective Source Line Control of Read Bitlines and Address Preset Structure," *IEEE Custom Integrated Circuits Conference (CICC)*, San Jose, USA, pp.1-4, Sep. 2013.
- [8] K. Mori, Y. Okuma, X. Zhang, H. Fuketa, T. Sakurai, and M. Takamiya, "Analog-Assisted Digital Low Dropout Regulator (AAD-LDO) with 59 % Faster Transient Response and 28 % Ripple Reduction," *International Conference on Solid State Devices and Materials (SSDM)*, Fukuoka, Japan, pp.888-889, Sep. 2013.
- [9] M. Takamiya, "Energy Efficient 0.5V Logic, RF, and Power Management Circuits," *IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, Monterey, USA, Oct. 2012. (Invited)
- [10] A. Borna, M. Takamiya, and J. Rabaey, "The Path Toward Energy-Efficient Inference Engine Architectures on Scaled and Beyond-CMOS Fabrics," *Third Berkeley Symposium on Energy Efficient Electronic Systems*, Berkeley, USA, Oct. 2013.
- [11] H. Fuketa, R. Takahashi, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Variation-aware Subthreshold Logic Circuit Design," *IEEE International Conference on ASIC (ASICON)*, Shenzhen, China, pp.95-98, Oct. 2013. (Invited)

- [12] X. Zhang, Y. Okuma, P.-H. Chen, K. Ishida, Y. Ryu, K. Watanabe, T. Sakurai, and M. Takamiya, "A 0.6-V Input 94 % Peak Efficiency CCM/DCM Digital Buck Converter in 40-nm CMOS with Dual-Mode-Body-Biased Zero-Crossing Detector," IEEE Asian Solid-State Circuits Conference (A-SSCC), Singapore, pp.45-48, Nov. 2013.
- [13] T. Someya, T. Sekitani, M. Kaltenbrunner, T. Yokota, H. Fuketa, M. Takamiya, and T. Sakurai, "Ultraflexible Organic Devices for Biomedical Applications," IEEE International Electron Devices Meeting (IEDM), Washington DC, USA, pp.8.5.1-8.5.4, Dec. 2013. (Invited)
- [14] H. Fuketa, K. Yoshioka, T. Yokota, W. Yukita, M. Koizumi, M. Sekino, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, "Organic-Transistor-Based 2kV ESD-Tolerant Flexible Wet Sensor Sheet for Biomedical Applications with Wireless Power and Data Transmission Using 13.56MHz Magnetic Resonance," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp.490-491, Feb. 2014.
- [15] M. Takamiya, "Extremely Low-Power Circuit Design for Wearable Systems," IEEE International Solid-State Circuits Conference (ISSCC), Evening Session, "Wearable Wellness Devices: Fashion, Health, and Informatics", San Francisco, USA, Feb. 2014. (Invited)

3. シンポジウム・研究会・大会等発表

- [1] M. Takamiya, "Application of Large Area and Flexible Organic Transistors: Piezoelectric Energy Harvester and Surface Electromyogram Measurement Sheet," LIMMS Workshop, "Beyond the Frontiers of Nanoscience and Biosystems", Paris, France, May 2013. (Invited)
- [2] 井口俊太, 齋藤晶, 鄭雲飛, 渡辺和紀, 桜井貴康, 高宮真, "自動パワーゲーティングと多段インバータを用いた0.7 V, 9.2 uW, 39 MHz水晶発振回路," 電子情報通信学会, 信学技報, ICD2013-24, pp. 1-6, 函館, 2013年7月.
- [3] 更田裕司, 野村昌弘, 高宮真, 桜井貴康, "共振周波数と独立にクロック周波数を設定可能な間欠型共振クロック分配技術," 電子情報通信学会, 信学技報, ICD2013-26, pp. 13-18, 函館, 2013年7月.
- [4] 更田裕司, 吉岡和顕, 篠塚康大, 石田光一, 横

田知之, 松久直司, 井上雄介, 関野正樹, 関谷毅, 高宮真, 染谷隆夫, 桜井貴康, "2 V有機トランジスタを集積化した義手の制御向け1 um厚の表面筋電位測定シート," 電子情報通信学会, 信学技報, ICD2013-46, pp.135-140, 函館, 2013年7月.

- [5] 篠塚康大, 更田裕司, 石田光一, 高宮真, 佐藤敏郎, 桜井貴康, "インターポーザ上インダクタの高透磁率材導入によるオンチップBuckコンバータ回路の高効率化の検討," 電気学会基礎・材料・共通部門大会, 12-A-p-6, 横浜, 2013年9月.
- [6] 柳原裕貴, 更田裕司, 高宮真, 桜井貴康, "オンチップCMOSバック・コンバータの電流不連続モードでの効率最適化," 電子情報通信学会ソサイエティ大会, C-12-1, 福岡, 2013年9月.
- [7] 吉岡和顕, 更田裕司, 福田浩一, 森貴洋, 太田裕之, 高宮真, 桜井貴康, "トンネルFETを用いたSRAMにおけるマージン改善手法の提案," 電子情報通信学会ソサイエティ大会, C-12-37, 福岡, 2013年9月.
- [8] 更田裕司, 高宮真, 桜井貴康, "多値アンチ・ヒューズの実現に向けたゲート酸化膜の破壊位置制御手法の提案と実証," 電子情報通信学会総合大会, C-12-49, 新潟, 2014年3月.

4. 著書

- [1] 津田健二, "メガトレンド 半導体2014-2023," の「パワー・マネジメント」を分担執筆, 日経半導体リサーチ, 2013年12月.
- [2] N. H. E. Weste, D. M. Harris 著, 宇佐美公良, 池田誠, 小林和淑監訳, "ウェスト&ハリス CMOS VLSI回路設計応用編," の第13章「パッケージ, 電源分配, クロック, I/O」を分担翻訳, 丸善株式会社, ISBN 978-4621087206, 2014年1月.

三田研究室 学会誌

- [1] Matthieu Denoual, D Brouard, A Veith, O de Sagazan, M Pouliquen, P Attia, E Lebrasseur, Y Mita and G Allegre, "A heat balanced sigma-delta uncooled bolometer", *J. Meas. Sci. Technol.* (in press)

国際学会プロシーディング

- [1] Masanori Kubota, Kota Hosaka, Masakazu Sugiyama, and Yoshio Mita, "Evaluation of silicon fracture strength dependence on stealth dicing layers for "cleave-before-use" MEMS FREESTANDING cantilever probes", *The 17th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers'13)*, June 17-20, Barcelona, Spain, pp.151-154 (2013.06).
- [2] Atsushi Hirakawa, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "Experimental Evaluation of High Voltage Hold-off Capability of Post-Mesa-Isolated Standard CMOS Devices", *The 17th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers'13)*, June 17-20, Barcelona, Spain, pp.2423-2426 (2013.06).
- [3] Agnès Tixier-Mita, Eric Lebrasseur, Takuya Takahashi, Yoshio Mita, Hiroyuki Fujita, Hiroshi Toshiyoshi, Olivier Français, and Le Pioufle Bruno, "Compressively-Stressed Test Structures for Opaque Micro-Structures Releasing Visualization", *2014 IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 24-27 Mar. Udine, Italy, pp.170-176 (2014.3)
- [4] Isao Mori, Masanori Kubota and Yoshio Mita, "A Test Structure of Bypass Diodes for On-chip High-Voltage Silicon Photovoltaic Cell Array", *2014 IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 24-27 Mar. Udine, Italy, pp. 157-160 (2014.3)
- [2] 施英漢, 久保田雅則, 三田吉郎. 「MEMS技術を用いた音波の熱的な検知に関する研究」, 電気学会マイクロマシン・センサシステム研究会, 東京, 2013年8月(2013.08)
- [3] Agnès Tixier-Mita, Isao Mori, Takuya Takahashi, Olivier Français, Bruno Le Pioufle, Yoshio Mita, and Hiroshi Toshiyoshi, "Microfluidic channel integration on thick-SOI LSI device for cells analyses" 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城, 05-07 November (2013.11)
- [4] Kota Hosaka, Masanori Kubota, Yu-Tang Chen, and Yoshio Mita, "High precision measurement of on-wafer LED devices by CMOS-MEMS probe card with electrical contact sensing function", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城, 05-07 November (2013.11)

高木・竹中研究室 研究論文

- [1] S. H. Kim, M. Yokoyama, Y. Ikku, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Physical understanding of electron mobility in asymmetrically strained InGaAs-on-insulator metal-oxide-semiconductor field-effect transistors fabricated by lateral strain relaxation," *Appl. Phys. Lett.*, vol. 104, 113509, 2014. DOI: 10.1063/1.4869221
- [2] W. Cai, M. Takenaka, and S. Takagi, "Evaluation of interface state density of strained-Si metal-oxide-semiconductor interfaces by conductance method," *J. Appl. Phys.*, vol. 115, 094509, 2014. DOI: 10.1063/1.4867935
- [3] M. Yokoyama, K. Nishi, S.-H. Kim, H. Yokoyama, M. Takenaka, and S. Takagi, "Self-aligned Ni-GaSb source/drain junctions for GaSb p-channel metal-oxide-semiconductor field-effect transistors," *Appl. Phys. Lett.*, vol. 104, 093509, 2014. DOI: 10.1063/1.4867262
- [4] R. Zhang, J.-C. Lin, X. Yu, M. Takenaka, and S. Takagi, "Impact of plasma postoxidation temperature on the electrical properties of $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ pMOSFETs and nMOSFETs," *IEEE Trans. Electron Devices*, vol. 61, no. 2, pp. 416-422, 2014. DOI: 10.1109/TED.2013.2295822
- [5] N. Taoka, M. Yokoyama, S. H. Kim, R. Suzuki,

チュートリアル講演

- [1] 三田吉郎, 「TSV向け大面積・高速Si深掘りエッチング技術の現状と課題」, *Electronic Journal 1789回 Technical Seminar 基調講演*, 「TSV向け大面積・高速Si深掘りエッチング技術」, pp. 7-43. (2013.07)

国内研究会

- [1] 米田佳祐, 久保田雅則, テイクシェ三田アニス, 森下賢志, 森功, 保坂航太, 三田吉郎, 「省電力・長寿命MEMSメモリを目指すマイクロラッチ機構設計と作製」, *電子情報通信学会 LSIとシステムのワークショップ2013*, 北九州 (2013.05)

- S. Lee, R. Iida, T. Hoshii, W. Jevasuwan, T. Maeda, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Impact of fermi level pinning due to interface traps inside conduction band on inversion-layer mobility of $\text{In}_x\text{Ga}_{1-x}\text{As}$ metal-oxide-semiconductor field effect transistors," *IEEE Trans. on Device and Materials Reliability*, vol. 13, No. 4, pp. 456-462, 2013 (*invited*). DOI: 10.1109/TDMR.2013.2289330
- [6] S. Takagi, Rui Zhang, S.-H. Kim, M. Yokoyama, and M. Takenaka, "Performance enhancement technologies in III-V/Ge MOSFETs Ge-based and III-V technologies," *ECS Trans.*, vol. 58, no. 9, pp. 137-148, 2013 (*invited*). DOI: 10.1149/05809.0137ecst
- [7] S. Takagi and M. Takenaka, "III-V/Ge MOS transistor technologies for future ULSI future IC technology and novel devices," *ECS Trans.*, vol. 54, no. 1, pp. 39-54, 2013 (*invited*). DOI: 10.1149/05401.0039ecst
- [8] K. Nishi, M. Yokoyama, S.-H. Kim, H. Yokoyama, M. Takenaka and S. Takagi, "Study on electrical properties of metal/GaSb junctions using metal-GaSb alloys," *J. Appl. Phys.*, vol. 115, 034515, 2014. DOI: 10.1063/1.4862486
- [9] S.-H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Biaxially strained extremely-thin body $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ -on-insulator metal-oxide-semiconductor field-effect transistors on Si substrate and physical understanding on their electron mobility," *J. Appl. Phys.*, vol. 114, 164512, 2013. DOI: 10.1063/1.4828481
- [10] N. Taoka, M. Yokoyama, S. H. Kim, R. Suzuki, S. Lee, R. Iida, T. Hoshii, W. Jevasuwan, T. Maeda, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Impact of fermi level pinning inside conduction band on electron mobility of InGaAs MOSFETs," *Appl. Phys. Lett.*, vol. 103, 143509, 2013. DOI: 10.1063/1.4824474
- [11] S. Takagi, R. Zhang, and M. Takenaka, "Ge gate stacks based on Ge oxide interfacial layers and the impact on MOS device properties," *Microelectronic Engineering*, vol. 109, pp. 389-395, 2013. DOI: 10.1016/j.mee.2013.04.034
- [12] K. Alam, S. Takagi, and M. Takenaka, "Analysis and comparison of L-Valley transport in GaAs, GaSb, and Ge ultrathin-body ballistic nMOSFETs," *IEEE Trans. Electron Devices*, vol. 60, no. 12, pp. 4213-4218, 2013. DOI: 10.1109/TED.2013.2285394
- [13] S.-H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "High-performance InAs-on-insulator n-MOSFETs with Ni-InGaAs S/D realized by contact resistance reduction technology," *IEEE Trans. Electron Devices*, vol. 60, no. 10, pp. 3342-3350, 2013. DOI: 10.1109/TED.2013.2279363
- [14] Y. Kim, M. Yokoyama, N. Taoka, M. Takenaka, and S. Takagi, "Ge-rich SiGe-on-insulator for waveguide optical modulator application fabricated by Ge condensation and SiGe regrowth," *Optics Express Letters*, vol. 21, no. 17, pp. 19615-19623, 2013. DOI:10.1364/OE.21.019615
- [15] J.-H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and Shinichi Takagi, "Reduction in interface trap density of $\text{Al}_2\text{O}_3/\text{SiGe}$ gate stack by electron cyclotron resonance plasma post-nitridation," *Appl. Phys. Express.*, Vol. 6, 051302, 2013. DOI: 10.7567/APEX.6.051302
- [16] R. Zhang, Ju-Chin Lin, X. Yu, M. Takenaka, and S. Takagi, "Impact of plasma post oxidation temperature on interface trap density and roughness at GeO_x/Ge interfaces," *Microelectronic Engineering*, vol. 109, pp. 97-100, 2013. DOI: 10.1016/j.mee.2013.03.034
- [17] J. -H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of plasma post-nitridation on $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SiGe}$ gate stacks toward EOT scaling," *Microelectronic Engineering*, vol. 109, pp. 266-269, 2013. DOI: 10.1016/j.mee.2013.03.013
- [18] C.-Y. Chang, M. Yokoyama, S.-H. Kim, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of metal gate electrodes on electrical properties of InGaAs MOS gate stacks," *Microelectronic Engineering*, vol. 109, pp. 28-30, 2013. DOI: 10.1016/j.mee.2013.03.086
- [19] S. Takagi, S.-H. Kim, R. Zhang, N. Taoka, M. Yokoyama, and M. Takenaka, "Limiting factors of channel mobility in III-V/Ge MOSFETs," *ECS Trans.*, vol. 53, no. 3, pp. 107 - 122, 2013 (*invited*). DOI: 10.1149/05303.0107ecst
- [20] S.-H. Kim, M. Yokoyama, N. Taoka, R. Iida, S.-H. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Experimental study

on electron mobility in In_xGa_{1-x}As-on-insulator metal-oxide-semiconductor field-effect transistors with In content modulation and MOS interface buffer engineering," *IEEE Transactions on Nanotechnology*, vol. 12, no. 4, pp. 621-628, 2013. DOI: 10.1109/TNANO.2013.2265435

- [21] M. Yokoyama, R. Iida, Y. Ikku, S.-H. Kim, H. Takagi, T. Yasuda, H. Yamada, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Formation of III-V-On-Insulator structures on Si by direct wafer bonding," *Semiconductor Science and Technology*, vol. 28, 094009, 2013. DOI: 10.1088/0268-1242/28/9/094009
- [22] S.-H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Sub-60 nm Extremely-thin Body In_xGa_{1-x}As-On-Insulator MOSFETs on Si with Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering and its scalability," *IEEE Trans. Electron Devices*, vol. 60, no. 8, pp. 2512-2517, 2013. DOI: 10.1109/TED.2013.2270558
- [23] S.-H. Jeon, N. Taoka, H. Matsumoto, K. Nakano, S. Koyama, H. Kakibayasi, K. Araki, M. Miyashita, K. Izunome, M. Takenaka, and S. Takagi, "Impacts of surface roughness reduction in (110) Si substrates by high temperature annealing on electron mobility in n-MOSFETs on (110) Si," *Jpn. J. Appl. Phys.*, Vol. 52, 04CC26, 2013. DOI: 10.7567/JJAP.52.04CC26
- [24] S. Takagi, M. Yokoyama, S.-H. Kim, R. Zhang, R. Suzuki, N. Taoka, and M. Takenaka, "III-V/Ge CMOS device technologies for high performance logic applications," *ECS Trans.*, vol. 53, no. 3, pp. 85 - 96, 2013 (*invited*). DOI: 10.1149/05303.0085ecst
- [25] S. Takagi, R. Zhang, R. Suzuki, N. Taoka, M. Yokoyama and M. Takenaka, "MOS interface control of high mobility channel materials for realizing ultrathin EOT gate stacks III-V surface passivation," *ECS Trans.*, vol. 50, no. 4, pp. 107-122, 2013 (*invited*). DOI: 10.1149/05004.0107ecst
- [26] R. Zhang, P.-C. Huang, M. Takenaka and S. Takagi, "Evidence of layer-by-layer oxidation of Ge surfaces by plasma oxidation through Al₂O₃," *ECS Trans.*, vol. 50, no. 9, pp. 699-706, 2013. DOI:10.1149/05009.0699ecst
- [27] S. Takagi, S. H. Kim, M. Yokoyama, R. Zhang, N. Taoka, Y. Urabe, T. Yasuda, H. Yamada,

O. Ichikawa, N. Fukuhara, M. Hata, and M. Takenaka, "High mobility CMOS technologies using III-V/Ge channels on Si platform," *Solid-State Electronics*, vol. 88, pp. 2-8, 2013. DOI: 10.1016/j.sse.2013.04.020

國際會議論文

- [1] Y. Kim, M. Takenaka, T. Osada, M. Hata, S. Takagi, "Strain-induced enhancement of free-carrier effects in SiGe for optical modulator and VOA applications," *Optical Fiber Communication Conference (OFC2014)*, Th1C.4, San Francisco, 13 March 2014.
- [2] Y. Ikku, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Ultra-small, low-crosstalk, electrically-driven InGaAsP photonic-wire optical switches on III-V CMOS photonics platform," *Optical Fiber Communication Conference (OFC2014)*, Th2A.66, San Francisco, 13 March 2014.
- [3] S.-H. Kim, M. Yokoyama, R. Nakane, M. Ichikawa, T. Osada, M. Hata, M. Takenaka, S. Takagi, "High performance sub-20-nm-channel-length extremely-thin body InAs-on-Insulator tri-gate MOSFETs with high short channel effect immunity and V_{th} tunability," *International Electron Devices Meeting (IEDM'13)*, 16.4, Washington D. C., 10 December 2013.
- [4] R. Zhang, W. Chern, X. Yu, M. Takenaka, J. L. Hoyt, S. Takagi, "High mobility strained-Ge pMOSFETs with 0.7-nm ultrathin EOT using plasma post oxidation HfO₂/Al₂O₃/GeO_x gate stacks and strain modulation," *International Electron Devices Meeting (IEDM'13)*, 26.1, Washington D. C., 11 December 2013.
- [5] M. Noguchi, S. Kim, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, S. Takagi, "High I_{on}/I_{off} and low subthreshold slope planar-type InGaAs tunnel FETs with Zn-diffused source junctions," *International Electron Devices Meeting (IEDM'13)*, 28.1, Washington D. C., 11 December 2013.
- [6] J.-H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of Ge composition on the interface trap density at Al₂O₃/Si_{1-x}Ge_x MOS interface with plasma post-nitridation," *IEEE Semiconductor Interface Specialists conference*

- (SISC2013), 1.3, Washington D.C., 4 December 2013.
- [7] K. Nishi, M. Yokoyama, S. H. Kim, H. Yokoyama, M. Takenaka, and S. Takagi, "Impact of interfacial InAs layers on GaSb MOS interface properties," *IEEE Semiconductor Interface Specialists conference (SISC2013)*, 11.11, Washington D.C., 6 December 2013.
- [8] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Electrical properties of metal/GaSb junctions using metal-GaSb alloys," *IEEE Semiconductor Interface Specialists conference (SISC2013)*, 9.4, Washington D.C., 6 December 2013.
- [9] M. Takenaka and S. Takagi, "III-V/Ge device engineering for CMOS photonics," *International Conference on Processing & Manufacturing of Advanced Materials (THERMEC2013)*, L3-5, Las Vegas, 3 December 2013 (invited).
- [10] M. Takenaka and S. Takagi, "Heterogeneous integration for CMOS photonics," *3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013)*, E-3, Tokyo, 20 November 2013 (invited).
- [11] T. Kayoda, J. Han, M. Takenaka, and S. Takagi, "Feasibility study of high-performance optical modulators using semiconductor-metal transition in graphene," *3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013)*, P-14, Tokyo, 19 November 2013.
- [12] T. J. Kang, R. Zhang, M. Takenaka, and S. Takagi, "Surface leakage reduction for Ge metal-semiconductor-metal photodetector by GeO_x passivation," *3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013)*, P-18, Tokyo, 19 November 2013.
- [13] Y. Ikku, M. Yokoyama, M. Noguchi, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Reduction in crosstalk of carrier-injection mach-zehnder interferometer optical switches by using III-V CMOS photonics platform," *3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013)*, P-27, Tokyo, 19 November 2013.
- [14] J. -H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "EOT scaling of plasma post-nitrided SiGe gate stack for high performance MOS optical modulators," *3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013)*, P-40, Tokyo, 19 November 2013.
- [15] Y. Kim, J. Han, M. Takenaka, and S. Takagi, "Low temperature Al₂O₃ surface passivation for carrier injection type Si/strained SiGe/Si waveguide modulator," *3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013)*, P-41, Tokyo, 19 November 2013.
- [16] Y. Cheng, Y. Ikku, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Waveguide InGaAs MSM photodetector for chip-scale optical interconnects on III-V CMOS photonics platform," *Asia Communications and Photonics Conference (ACP2013)*, Ath3A.4, Beijing, 14 November 2013.
- [17] S. Takagi, R. Zhang, S.-H. Kim, M. Yokoyama, M. Takenaka, "Performance enhancement technologies in III-V/Ge MOSFETS," *224th ECS Meeting, Symposium E12, 2223*, San Francisco, 29 October 2013 (invited).
- [18] S. Takagi, S.-H. Kim, M. Yokoyama, W.-K. Kim, R. Zhang and M. Takenaka, "Ultra-thin body MOS device technologies using high mobility channel materials," *IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (IEEE S3S'13)*, 9a.1, Monterey, October 7-10, 2013 (invited).
- [19] S. Takagi and M. Takenaka, "High mobility CMOS technologies using III-V/Ge channels," *IEEE Nanotechnology Materials and Devices Conference (NMDC'13)*, MP-CK-3, Tainan, 7 October 2013 (invited).
- [20] S.-H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Physical understanding of electron mobility in uniaxially strained InGaAs-OI MOSFETs," *43rd European Solid-State Device Research Conference (ESSDERC'13)*, B4L-A1, Bucharest, 18 September 2013.
- [21] Y. Ikku, M. Yokoyama, N. Noguchi, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Low-crosstalk 2 × 2 InGaAsP photonic-wire optical switches using III-V CMOS photonics platform," *European Conference on Optical Communication (ECOC'13)*, London, P.2.19, 24 September 2013.
- [22] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "GaSb-on-insulator metal-oxide-semiconductor field-effect transistors on Si

- fabricated by direct wafer bonding technology," *International Conference on Solid State Devices and Materials (SSDM2013)*, PS-6-33, Fukuoka, 26 September 2013 (*Late News*).
- [23] M. Kim, Y. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka and S. Takagi, "Electrical characteristics of Ge/Si hetero-junction tunnel field-effect transistors and their post annealing effects," *International Conference on Solid State Devices and Materials (SSDM2013)*, B-6-2, Fukuoka, 27 September 2013.
- [24] W. K. Kim, Y. Kin, Y. H. Kim, S.H. Kim, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Sb-diffused source/drain ultra-thin body Ge-on insulator nMOSFETs fabricated by Ge condensation," *International Conference on Solid State Devices and Materials (SSDM2013)*, D-6-5L, Fukuoka, 27 September 2013 (*Late News*).
- [25] Y. Kim, J. Han, M. Takenaka and S. Takagi, "Low temperature surface passivation for carrier injection type SiGe optical modulator," *International Conference on Group IV Photonics (GFP2013)*, ThD4, Seoul, 29 August 2013.
- [26] T. Kayoda, J. Han, M. Takenaka and S. Takagi, "Evaluation of Chemical potential for graphene optical modulators based on the semiconductor-metal transition," *International Conference on Group IV Photonics (GFP2013)*, ThD5, Seoul, 29 August 2013.
- [27] J. Kang, R. Zhang, M. Takenaka and S. Takagi, "Dark current suppression for germanium metal-semiconductor-metal photodetector by plasma post-oxidation passivation," *International Conference on Group IV Photonics (GFP2013)*, FA6, Seoul, 30 August 2013.
- [28] Shinichi Takagi and Mitsuru Takenaka, "III-V/Ge MOS transistor technologies for future ULSI," *International Conference on Semiconductor Technology for Ultra Large Scale Integrated Circuits and Thin Film Transistors (ULSIC vs. TFT 4'13)*,c, 11 July 2013 (*invited*).
- [29] Shinichi Takagi, Rui Zhang, and Mitsuru Takenaka, "Ge gate stacks based on Ge oxide interfacial layers and the impact on MOS device properties," *18th Conference on Insulating Films on Semiconductors (INFOS'13)*, Cracow, 26 June 2013 (*Plenary*).
- [30] R. Zhang, Ju-Chin Lin, X. Yu, M. Takenaka, and S. Takagi, "Impact of plasma post oxidation temperature on interface trap density and roughness at GeO_x/Ge interfaces," *18th Conference on Insulating Films on Semiconductors (INFOS'13)*, Cracow, 26 June 2013.
- [31] J. -H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of plasma post-nitridation on HfO₂/Al₂O₃/SiGe gate stacks toward EOT scaling," *18th Conference on Insulating Films on Semiconductors (INFOS'13)*, Cracow, 27 June 2013.
- [32] C.-Y. Chang, M. Yokoyama, S.-H. Kim, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of metal gate electrodes on electrical properties of InGaAs MOS gate stacks," *18th Conference on Insulating Films on Semiconductors (INFOS'13)*, Cracow, 27 June 2013.
- [33] R. Zhang, J-C. Lin, X. Yu, M. Takenaka, and S. Takagi, "Examination of physical origins limiting effective mobility of Ge MOSFETs and the improvement by atomic deuterium annealing," *VLSI Symposium.*, 3.1, Kyoto, 11 June 2013.
- [34] S. H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Strained extremely-thin body In_{0.53}Ga_{0.47}As-On-Insulator MOSFETs on Si substrates," *VLSI Symposium*, 5.1, Kyoto, 11 June 2013.
- [35] S. H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "High performance extremely-thin body InAs-On-Insulator MOSFETs on Si with Ni-InGaAs metal S/D by contact resistance reduction technology," *VLSI Symposium*, 5.2, Kyoto, 11 June 2013.
- [36] W.-L. Cai, M. Takenaka, and S. Takagi, "Evaluation of interface state density of strained-Si MOS interfaces by conductance method," *Silicon Nanoelectronics Workshop (SNW2013)*, 3-4, Kyoto, 9 June 2013.
- [37] S. Takagi, R. Zhang, and M. Takenaka, "High quality Ge gate stacks technologies by using plasma oxidation," *ICSI-8/ISCSI-VI*, C1-3, Fukuoka, 6 June 2013.
- [38] Y. H. Kim, T. Osada, M. Hata, M. Takenaka, S. Takagi, "Evaluation of propagation loss of Si/SiGe/Si photonic-wire waveguides for Si based optical modulator," *8th International Conference on Silicon Epitaxy and Heterostructures (ICSI-8)*, pp. 213-214, Fukuoka, 3 June 2013.

- [39] M. Kim, Y. H. Kim, M. Yokoyama, R. Nakane, S. H. Kim, M. Takenaka and S. Takagi, "Tunnel field-effect transistors with germanium/strained-silicon hetero-junctions for low power applications," *8th International Conference on Silicon Epitaxy and Heterostructures (ICSI-8)*, pp. 197-198, Fukuoka, 3 June 2013.
- [40] N. Yoshida, E. Waki, M. Arai, K. Yamazaki, M. Takenaka, and S. Takagi, "Extraction of interface state density at SiO₂/SiC interfaces based on impedance measurements with different temperatures," *6th International Symposium on Control of Semiconductor Interfaces (ISCSI-VI)*, pp. 307-308, Fukuoka, 4 June 2013.
- [41] J.-C. Lin, R. Zhang, N. Taoka, M. Takenaka, and S. Takagi, "Characterization of interface properties of Au/Al₂O₃/GeO_x/Ge MOS Structures," *6th International Symposium on Control of Semiconductor Interfaces (ISCSI-VI)*, pp. 115-116, Fukuoka, 6 June 2013.
- [42] K. Alam, S. Takagi, and M. Takenaka, "Thickness dependent performance of (111) GaAs UTB nMOSFETs," *16th International Workshop on Computational Electronics (IWCE'13)*, pp. 136 - 137, Nara, 4 June 2013.
- [43] S. Takagi, M. Yokoyama, S.-H. Kim, R. Zhang, R. Suzuki, N. Taoka, and M. Takenaka, "III-V/Ge CMOS device technologies for high performance logic applications," *223rd ECS Meeting, Symposium E5*, 856, Toronto, May 2013 (*invited*).
- [44] S. Takagi, S.-H. Kim, R. Zhang, N. Taoka, M. Yokoyama, and M. Takenaka, "Limiting factors of channel mobility in III-V/Ge MOSFETs," *223rd ECS Meeting, Symposium E5*, 858, Toronto, 13 May 2013 (*invited*).
- [45] S. H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka and S. Takagi, "Analysis on channel thickness fluctuation scattering in InGaAs-OI MOSFETs," *Indium Phosphide and Related Materials (IPRM2013)*, WeD1-3, Kobe, 22 May 2013.
- [46] M. Yokoyama, Y. Asakuar, H. Yokoyama, M. Takenaka, and S. Takagi, "Impact of Al₂O₃ ALD temperature on Al₂O₃/GaSb metal-oxide-semiconductor interface properties," *Indium Phosphide and Related Materials (IPRM2013)*, WeD1-4, Kobe, 22 May 2013.
- [47] M. Takenaka, R. Zhang, S. Takagi, "MOS interface engineering for high-mobility Ge CMOS," *IEEE International Reliability Physics Symposium (IRPS'13)*, 4C.1, Monterey, 17 April 2013 (*invited*).
- [48] S. Takagi, R. Zhang, N. Taoka, R. Suzuki, S.-H. Kim, M. Yokoyama, and M. Takenaka, "MOS interface control in III-V/Ge gate stacks and the impact on MOSFET performance," *MRS Spring Meeting*, CC1.04, San Francisco, 2 April 2013 (*invited*).

著書

- [1] 竹中充, 高木信一, 「シリコンプラットフォーム上光電子集積回路に向けたIII-V/Geデバイス技術」, 応用物理学会誌, Vol. 82, No. 4, pp. 309-312, 2013 高木信一, 竹中充, 「高移動度チャネルトランジスタ技術の最新動向」, 電子情報通信学会誌, Vol. 95, No. 11, pp. 969-973, 2012.

シンポジウム・研究会・大会等発表

- [1] 金栄現, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「歪SiGe光変調器における歪誘起自由キャリア効果の増大」, 第61回応用物理学会春季学術講演会, 19a-F8-9, 青山学院大学相模原キャンパス, 2014年3月19日.
- [2] 一宮佑希, 横山正史, 野口宗隆, 市川磨, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「InGaAsP細線導波路光スイッチにおける低クロストーク動作」, 第61回応用物理学会春季学術講演会, 17p-PA2-8, 青山学院大学相模原キャンパス, 2014年3月17日.
- [3] 程勇鵬, 一宮佑希, 市川磨, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「III-V CMOSフォトニクス・プラットフォーム上導波路型InGaAs MSMフォトディテクタの作製」, 第61回応用物理学会春季学術講演会, 17p-PA2-9, 青山学院大学相模原キャンパス, 2014年3月17日.
- [4] 倉持美沙, 竹中充, 一宮佑希, 高木信一, 「量子井戸インターミキシングを用いたIII-V CMOSフォトニクス用マルチバンドギャップ貼り合せ基板の作製」, 第61回応用物理学会春季学術講演会, 20a-F8-10, 青山学院大学相模原キャンパス, 2014年3月20日.
- [5] 韓在勲, 張睿, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「プラズマ後窒化によるAl₂O₃/SiGe MOS界面改善のGe組成依存性」, 第61回応用物理学会春季学術講演会, ?????, 青山学院大学相

- 模原キャンパス, 2014年3月17-20日.
- [6] 金佑彊, 金栄現, 金相賢, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「Sb 拡散ソース・ドレインを有する酸化濃縮基板上反転型極薄膜 Ge-on-Insulator nMOSFET」, 第61回応用物理学会春季学術講演会, 18p-PA12-5, 青山学院大学相模原キャンパス, 2014年3月18日.
- [7] 朝倉佑吏, 韓在勲, 荒木浩司, 宮下守也, 泉妻宏治, 竹中充, 高木信一, 「高温Ar熱処理Si基板上(100) pMOSFETの正孔移動度向上機構」, 第61回応用物理学会春季学術講演会, 18p-PA12-2, 青山学院大学相模原キャンパス, 2014年3月18日.
- [8] 西康一, 金相賢, 横山正史, 横山春喜, 竹中充, 高木信一, 「金属GaSb合金を用いた金属/GaSb接合の電気特性」, 第61回応用物理学会春季学術講演会, 19p-F12-19, 青山学院大学相模原キャンパス, 2014年3月19日.
- [9] 田中克久, 張睿, 竹中充, 高木信一, 「容量値の時間応答を利用したGe MOS界面における遅い準位の定量的評価」, 第61回応用物理学会春季学術講演会, 18p-D8-7, 青山学院大学相模原キャンパス, 2014年3月18日.
- [10] 横山正史, 西康一, 横山春喜, 竹中充, 高木信一, 「基板貼り合わせ法によるGaSb-OI on Si基板の作製とGaSb-OI p-MOSFETの動作実証」, 第61回応用物理学会春季学術講演会, 19p-F12-20, 青山学院大学相模原キャンパス, 2014年3月17-20日.
- [11] 張睿, Winston Chern, 玉城, 竹中充, Hoyt Judy, 高木信一, 「High mobility strained-Ge pMOSFETs with 0.7-nm ultrathin EOT using plasma post oxidation $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x$ Gate Stacks」, 第61回応用物理学会春季学術講演会, 19p-F12-15, 青山学院大学相模原キャンパス, 2014年3月19日.
- [12] 金ミンス, 若林勇希, 中根了昌, 横山正史, 竹中充, 高木信一, 「Type-II staggered hetero-junction tunnel FETs with Ge sources and biaxial tensile strain Si channels」, 第61回応用物理学会春季学術講演会, 19p-PG4-4, 青山学院大学相模原キャンパス, 2014年3月19日.
- [13] W.-L. Cai, M. Takenaka, and S. Takagi, 「Effects of biaxially-tensile strain on properties of Si/SiO₂ interface states generated by electrical stress」, 第61回応用物理学会春季学術講演会, 18a-D8-6, 青山学院大学相模原キャンパス, 2014年3月18日.
- [14] X. Yu, R. Zhang, J. Kang, T. Maeda, T. Itatani, T. Osada, M. Hata, M. Takenaka, and S. Takagi, 「Ultrathin body Germanium-on-insulator (GeOI) MOSFETs fabricated by transfer of epitaxial Ge films on III-V substrates」, 第61回応用物理学会春季学術講演会, 19p-F12-14, 青山学院大学相模原キャンパス, 2014年3月17-20日.
- [15] 浅野孝典, 田岡紀之, 加藤公彦, 坂下満男, 張睿, 横山正史, 竹中充, 中塚理, 高木信一, 財満鎮明, 「nチャネルGe_{1-x}Sn_x MOSFETの電流-電圧特性へのSn組成の影響」, 第61回応用物理学会春季学術講演会, 18p-F6-17, 青山学院大学相模原キャンパス, 2014年3月18日.
- [16] 竹中充, 「異種半導体集積CMOSおよびフォトニクス融合への展望」, 光産業技術振興協会第4回フォトニックデバイス・応用技術研究会, 上智大学, 2014年1月23日(招待講演).
- [17] 金相賢, 横山正史, 中根了昌, 市川磨, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「強い短チャネル効果耐性と閾値変調性を持つ極薄膜InAs-on-Insulator Tri-Gate MOSFET」, 応用物理学会シリコンテクノロジー分科会第167回研究集会/電子情報通信学会シリコン材料・デバイス研究会1月研究会, 機械振興会館, 2014年1月29日(招待講演).
- [18] 竹中充, 高木信一, 「異種半導体集積を用いたCMOSフォトニクス」, レーザー学会第34回年次大会, 21a1.5, 北九州国際会議場, 小倉, 2014年1月21日(招待講演).
- [19] 金栄現, 韓在勲, 竹中充, 高木信一, 「Si / 歪SiGe/Si導波路コア・キャリア注入型光変調器に向けた低温表面パシベーション」, 電子情報通信学会第20回シリコンフォトニクス研究会, P18, 東京工業大学大岡山キャンパス, 2013年10月18日.
- [20] 韓在勲, 張睿, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「MOS光変調器の高性能化に向けたプラズマ後窒化SiGeゲートスタックのEOTスケールング」, 電子情報通信学会第20回シリコンフォトニクス研究会, P14, 東京工業大学大岡山キャンパス, 2013年10月18日.
- [21] 嘉陽田達矢, 韓在勲, 竹中充, 高木信一, 「半導体-金属遷移を利用したグラフェン光変調器の実現に向けたグラフェン中化学ポテンシャルの評価」, 電子情報通信学会第20回シリコンフォトニクス研究会, P17, 東京工業大学大岡山キャンパス, 2013年10月18日.
- [22] 亢健, 張睿, 竹中充, 高木信一, 「GeO_xパシベーションによるGe MSM受光器の暗電流削減」, 電子情報通信学会第20回シリコンフォトニクス研究会, P15, 東京工業大学大岡山キャンパス

- ス, 2013年10月18日.
- [23] 蔡 偉立, 竹中 充, 高木信一, 「Evaluation of Interface State Density of Strained-Si MOS Interfaces by Conductance Method」, 第74回応用物理学会秋季学術講演会, 17a-B5-6, 同志社大学京田辺キャンパス, 2013年9月17日.
- [24] 嘉陽田達矢, 韓 在勲, 竹中 充, 高木信一, 「半導体-金属遷移を利用したグラフェン光変調器の検討」, 第74回応用物理学会秋季学術講演会, 19a-P2-18, 同志社大学京田辺キャンパス, 2013年9月19日.
- [25] 横山正史, 横山春喜, 竹中 充, 高木信一, 「InAs層の導入による $\text{Al}_2\text{O}_3/\text{GaSb}$ MOS界面特性の改善」, 第74回応用物理学会秋季学術講演会, 17a-B5-9, 同志社大学京田辺キャンパス, 2013年9月17日.
- [26] 金 栄現, 韓 在勲, 竹中 充, 高木信一, 「歪SiGeキャリア注入型光変調器に向けた低温パシベーション」, 第74回応用物理学会秋季学術講演会, 19a-P2-22, 同志社大学京田辺キャンパス, 2013年9月19日.
- [27] 林汝静, 張睿, 田岡紀之, 竹中充, 高木信一, 「Characterization of Interface Traps in $\text{Au}/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOS Structures」, 第74回応用物理学会秋季学術講演会, 18p-P9-1, 同志社大学京田辺キャンパス, 2013年9月18日.
- [28] 張睿, 林汝静, 玉虓, 竹中 充, 高木信一, 「Suppression of Surface States inside Conduction Band and Effective Mobility Improvement of Ge nMOSFETs by Atomic Deuterium Annealing」, 第74回応用物理学会秋季学術講演会, 17p-B5-20, 同志社大学京田辺キャンパス, 2013年9月17日.
- [29] 西 康一, 金 相賢, 横山正史, 横山春喜, 竹中 充, 高木信一, 「GaSb pMOSFETのMetal Source/Drainに向けたNi-GaSb/GaSbショットキー接合の低温における形成」, 第74回応用物理学会秋季学術講演会, 19p-C8-12, 同志社大学京田辺キャンパス, 2013年9月19日.
- [30] キム ミンス, 若林勇希, 中根了昌, 横山正史, 竹中 充, 高木信一, 「Electrical Characteristics of Ge/Si Hetero-Junction Tunnel Field-Effect Transistors and their Post Annealing Effects」, 第74回応用物理学会秋季学術講演会, 19a-P5-12, 同志社大学京田辺キャンパス, 2013年9月19日.
- [31] 韓 在勲, 張睿, 長田剛規, 畑 雅彦, 竹中 充, 高木信一, 「プラズマ後窒化による $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SiGe}$ ゲートスタックのEOTスケーリングに関する検討」, 第74回応用物理学会秋季学術講演会, 17p-B5-8, 同志社大学京田辺キャンパス, 2013年9月17日.
- [32] 一宮佑希, 野口宗隆, 横山正史, 市川 磨, 長田剛規, 秦 雅彦, 竹中 充, 高木信一, 「InGaAsP細線導波路光スイッチに向けたZn拡散によるp-InGaAsPの形成」, 第74回応用物理学会秋季学術講演会, 19a-P2-15, 同志社大学京田辺キャンパス, 2013年9月19日.
- [33] 金 佑彊, 忻 宇飛, 金 栄現, 金 相賢, 長田剛規, 秦 雅彦, 竹中 充, 高木信一, 「酸化濃縮基板へのSbドーピングにより作製した極薄膜Ge-on-Insulator nMOSFETs」, 第74回応用物理学会秋季学術講演会, 18p-P10-2, 同志社大学京田辺キャンパス, 2013年9月18日.
- [34] 竹中 充, 高木信一, 「III-V/Ge CMOSフォトリソクス実現に向けたデバイス技術」, 電気化学会電子材料委員会第77回半導体・集積回路技術シンポジウム, 東京工業大学, 2013年7月11日(招待講演).

池田研究室 論文

- [1] H. Yabe, M. Ikeda, "A Structured Light 3-D Acquisition System with a CMOS Image Sensor for Background Suppression and Frequency and Phase Detection," *ITE Transactions on Media Technology and Applications*, Vol. 2 (2014) No. 2 p. 154-160, April 2014.

国際会議

- [1] [Invited] M. Ikeda, "Self-synchronous circuit designs, SSFPGA and SSRSA for low voltage autonomous control and tamper resistivity," *IEEE 10th International Conference on ASIC (ASICON) 2013*. pp. 1-4, Oct. 2013.
- [2] B.S. Devlin, M. Ikeda, H. Ueki and K. Fukushima, "Complete Self-Synchronous 1024 bit RSA Crypt-engine in 40 nm CMOS," *Asian Solid-State Circuits Conference (A-SSCC 2013)*, pp. 309-312, Nov. 2013.
- [3] [Invited] M. Ikeda, "High-Speed Asynchronous Designs," 2013 *USENIX Vail Computer Elements Workshop*.
- [4] H. Yabe and M. Ikeda, "A CMOS Image Sensor for In-Pixel Background Suppression and Frequency and Phase Detection for Structured Light 3-D Acquisition Systems," in *Proceedings of the 2013 International Image Sensor Workshop*,

pp. 341-344, Jun. 2013.

- [5] T. Mastushima and M. Ikeda, "CMOS Image Sensor for 3-D Range Map Acquisition With Pixel-Parallel Correlation In Region of Interest," in Proceedings of the 2013 International Image Sensor Workshop, pp.353-356, Jun. 2013.

国内研究会

- [1] A. Ito and M. Ikeda, "Dual Pipeline型自己同期回路の自動設計フローの構築 (Construction of an Automatic Design Flow for Dual Pipelined Self-Synchronous Circuits),"VLD2013-51, pp13-18, Oct. 2013.
- [2] H. Yabe and M. Ikeda in Report on IISW: A CMOS Image Sensor for In-Pixel Background Suppression and Frequency and Phase Detection for Structured Light 3-D Acquisition Systems, Sep. 2013.
- [3] 牧野, 中野, 池田, 澤田, 中村, "システムと信号処理サブサイエティにおける将来展望 - 期待される人材を育成するための方策 -, " VLD2013-, pp. ***, July 2013.

国内大会

- [1] A. Ito and M. Ikeda, "DualPipeline型自己同期回路を用いたRSAの自動設計 (Automated Design of RSA on Dual Pipelined Self-Synchronous Circuit),"

IEICE General Conference, A-3-5, Mar. 2014.

- [2] R. Ishikawa, M. Ikeda, "A Proposal for A Method of High Speed Texture Mapping with Dual Imager Core Chip" (デュアル・イメージコア・チップを用いた高速テクスチャマッピング手法の提案), IEICE General Conference, C-12-14, Mar. 2014. (in Japanese)
- [3] 矢部, 池田, "ピクセル面上での最小電圧回路を用いた線位置検出," IEICE Society Conference, C-12-15, Mar. 2014. (in Japanese)
- [4] 松島, 池田, 「ビニング読み出し処理と高速エッジ検出によるToF法および光切断法に基づく3次元撮像用CMOSイメージセンサ」, 電子情報通信学会総合大会, C-12-16, Mar. 2014. (T. Matsushima and M. Ikeda, "A 3D Image Sensor with Binning Readout and Fast Edge Detection Using ToF Method and Light-Section Method," IEICE Society Conference, C-12-16, Mar. 2014. (in Japanese))
- [5] M. Tamura and M. Ikeda "二重パイプライン型自己同期回路における電力削減," IEICE General Conference, C-12-43, Mar. 2014.

他

- [1] 池田誠, "研究会に行こう! VLSI設計技術研究会 (VLD)", IEICE Fundamentals Review, Vol. 7, No. 2, p. 3, Aug. 2013.

5.5 特許, 受賞等

浅田・名倉・飯塚研究室 特許

- [1] 石田雅裕, 名倉徹, 小松聡, 浅田邦博, “試験装置”, 特開2013-088146, 2013年5月

受賞

- [1] Best Student Paper Award:
Yoji Nakamura, Tetsuya Iizuka, Kunihiro Asada,
“Dynamic Operating State Estimation by Surface
Emitting Electro-Magnetic Field for LSI Security,”
International Processing Society of Japan, DA
Symposium, pp.151-156, Aug. 2013.

高宮研究室 特許

- [1] 更田裕司, 横田知之, 関谷毅, 高宮真, 染谷隆夫, 桜井貴康, “状態検出システム,” 特願2014-029702, 2014年2月5日出願.

受賞

- [1] 受賞者 : Shunta Iguchi, Pyungwoo Yeon, Hiroshi Fuketa, Koichi Ishida, Takayasu Sakurai, and Makato Takamiya
受賞名 : Best Paper Award
機関 : IEEE Wireless Power Transfer Conference (WPTC)
受賞項目 : Zero Phase Difference Capacitance Control (ZPDCC) for Magnetically Resonant Wireless Power Transmission
受賞日 : 2013年5月15日

三田研究室 受賞

- [1] 米田佳祐, 久保田雅則, テイクシェ三田 アニエ

ス, 森下賢志, 森功, 保坂航太, 三田吉郎「省電力・長寿命MEMSメモリを目指すマイクロラッチ機構設計と作製」電子情報通信学会LSIとシステムのワークショップ2013 IEEE SSCS Kansai Chapter Academic Research Award 2013.5.15

- [2] 三田吉郎 「電子情報機器学」第一回東京大学工学部Best Teaching Award 2013年9月
- [3] カミーユ ゲ 「INSAリヨン校優秀卒業賞」2013年9月

高木・竹中研究室 特許, 受賞等一覧

- [1] 第20回シリコンフォトニクス研究会 若手ポスター賞, 充健, “GeOxパッシベーションによるGe MSM光受光器の暗電流削減,” 2013年
- [2] 第60回(2013年春季)応用物理学会POSTER Award, チョウ・シウ, “Impact of metal gate electrodes on electrical properties of InGaAs MOS gate stacks,” 2013年
- [3] 第60回(2013年春季)応用物理学会講演奨励賞, ジャーン・ルイ, “High Mobility Ge pMOSFETs with 0.7 nm Ultrathin EOT using HfO2/Al2O3/GeOx/Ge Gate Stacks,” 2013年
- [4] IEEE EDS Japan Chapter Student Award, キム・サンヒョン, “Sub-60 nm deeply scaled Extremely-thin Body InxGa1-xAs-On-Insulator MOSFETs on a Si substrate with Ni-InGaAs metal S/D and MOS Interface Buffer Engineering,” 2013年
- [5] VLSI Symposium Best Student Paper Award, ジャーン・ルイ, “High Mobility Ge pMOSFETs with 0.7 nm Ultrathin EOT using HfO2/Al2O3/GeOx/Ge Gate Stacks Fabricated by Plasma Post Oxidation,” 2013年
- [6] IEEE Andrew S. Grove Award, 高木信一, “半導体デバイス中のキャリア輸送特性の深い理解とデバイス高性能化に関する貢献,” 2013年

A. Publication list

1. 研究論文

- [1] K.Tanii and K.Wada, "Millimeter-wave CMOS Lowpass and Highpass Filters with Transmission Zeros Based on Coupled-line and Transmission Line," *Microwave and Optical Technology Letters*. John Wiley, Vol.55, No.11, pp.2808-2813, (2013.11)
- [2] 増田, 久保田, 山本, 古田, 小林, 小野寺, "A 65 nm Low-Power Adaptive-Coupling Redundant Flip-Flop", vol.60, no.4, pp. 2750-2755, *IEEE Trans. on Nuclear Science*(2013)
- [3] H. Hatano, "SET immune spaceborne CVSL and C2VSL circuits", *Journal of Electrical and Control Engineering*, vol. 3, no. 5, pp. 43-48, 2013.
- [4] Kanaya, Tsukamoto, Hirabaru, Kanemoto, Pokharel, Yoshida, "Energy Harvesting Circuit on a One-Sided Directional Flexible Antenna", *IEEE Microwave and Wireless Components Letters*, Vol. 23, Issue 3, pp. 164-166, 2013
- [5] Yousef, Jia, Pokharel, Allam, Ragab, Kanaya, Yoshida, "CMOS Ultra-Wideband Low Noise Amplifier Design", *International Journal of Microwave Science and Technology*, vol. 2013, pp.1-6, April,5, 2013.
- [6] Anand, Koirala, Ramesh, Kanaya, Yoshida, "Systematic Design Methodology of a Wideband Multibit Continuous-Time Delta-Sigma Modulator", *International Journal of Microwave Science and Technology*, Volume 2013, Article ID 275289, pp1-5, April,5, 2013.
- [7] Yamashita, Kanemoto, Kanaya, Pokharel, Yoshida, "A self-biasing class-E power amplifier for 5-GHz constant envelope modulation system", *IEICE Electronics Express*, Vol. 10 (2013) No. 8, pp.1-7, April 25, 2013.
- [8] Dayang, Ramesh, Sapawi, Kanaya, Yoshida, "Sixty-GHz on-chip bandpass filter designed with multiple split ring resonators", *Microwave and Optical Technology Letters*, Vol. 55, Issue 5, pp.1182-1185, May 1, 2013.
- [9] 橋村, アナンド, ポカレル, 兼本, 金谷, 吉田, "負性抵抗を利用した低位相雑音, 広周波数可変範囲をもつ4位相出力15ビットデジタル制御リング型発振器の開発", *電子情報通信学会論文誌 A*, Vol. J96-A No.6, pp.370-376,
- [10] Zhang, Abhay, Yoshida, Tanaka, Hashimoto, Esashi, Kanaya, Ramesh "A low phase noise FBAR based multiband VCO design", *IEICE Electronics Express* Vol. 10 (2013) No. 13, pp.1-6, July 10, 2013.
- [11] X. Wang, I. Sakagami and A. Mase "A compact dual-band Wilkinson power divider with two design approaches," *Journal of Electromagnetic Waves and Applications*, Vol.27, Issue 6, pp.758-771, Apr. 2013.
- [12] 坂上岩太, 王小龍, 問瀬淳 "平面構成二周波フォーク型電力3分配器," *電子情報通信学会論文誌 C*, Vol.J96-C, No.12, pp. 480-489, Dec. 2013
- [13] X. Wang, I. Sakagami and A. Mase "Miniaturized Wilkinson power divider with two capacitors," *Microw Opt Tech Lett.* vol.56, no.2, pp. 301-304, Feb. 2014.
- [14] T. Nakabayashi, T. Sasaki, H. Nakamura, K. Ohno, and T. Kondo, Energy Optimization using Fine-Grain Variable Stages Pipeline Processor Chip, *International Journal of Networking and Computing (IJNC)*, Volume 3, No.2, pp. 192-204, 2013.
- [15] Kazuhito Ito, "Valid Digit and Overflow Information to Reduce Energy Dissipation of Functional Units in General Purpose Processors," *IEICE Trans. Electronics*, Vol. E96-C, No.4, pp.463-472, 2013.
- [16] 伊藤和人, "低消費電力シンドローム基本方程式求解アーキテクチャ," *電子情報通信学会論文誌*, Vol. J96-A, No.9, pp.691-694, 2013年9月.
- [17] 伊藤和人, 白坂龍人, 大西秀見, "高速ビットバ復号の先見ACS計算レイテンシ削減手法," *電子情報通信学会論文誌*, Vol. J96-A, No.9, pp.695-698, 2013年9月.
- [18] Ito, Shirasaka, "Hardware Efficient and Low Latency Implementations of Look-Ahead ACS Computation for Viterbi Decoders," *IEICE Trans. Electronics*, Vol. E96-C, No.12, pp.2680-2688, 2013.

- [19] Ken Saito, Kazuto Okazaki, Tatsuya Ogiwara, Minami Takato, Katsutoshi Saeki, Yoshifumi Sekine, Fumio Uchikoba "Locomotion Control of MEMS Microrobot Using Pulse-Type Hardware Neural Networks" *Electrical Engineering in Japan* Volume 186, Issue 3, pp.43-50, (2014.2)
- [20] Ishimura K., Asai T., and Motomura M., "Chaotic resonance in forced Chua's oscillators," *Journal of Signal Processing*, vol. 17, no. 6, pp. 231-238 (2013).
- [21] Fukuda E.S., Kawashima H., Inoue H., Asai T., and Motomura M., "C-based design of window join for dynamically reconfigurable hardware," *Journal of Computer Science and Engineering*, vol. 20, no. 2, pp. 1-9 (2013).
- [22] Sanada Y., Ohira T., Chikuda S., Igarashi M., Ikebe M., Asai T., and Motomura M., "FPGA implementation of single-image super resolution based on frame-bufferless box filtering," *Journal of Signal Processing*, vol. 17, no. 4, pp. 111-114 (2013).
- [23] Myoren, H. Taguchi, S. Ohshima, K. Wakatsuki, T. Taino, T. Parlato, L. Pepe, G.P., "Performance of Superconducting Single-Photon Detectors Using NbN/NiCu Nanowires", *IEEE Transactions on Applied Superconductivity*, Vol.23, Issue 3, 2201304, 2013年6月.
- [24] Kazuya Nakayama and Akio Kitagawa, "Circuit Implementation, Operation, and Simulation of Multivalued Nonvolatile Static Random Access Memory Using a Resistivity Change Device", *Active and Passive Electronic Components* Volume 2013 (2013), Article ID 839198, Dec. 2013.
- [25] 浜本隆之, "高機能化が進むイメージセンサ技術", *日本臨床細胞学会神奈川県支部会誌*, Vol.18, No.1, pp.1-18, (2013)
- [26] 小河亮, 岩田大志, 山口賢一, "DCSTP適用回路に対する最適電力テスト手法, "第12回情報科学技術フォーラム (FIT2013), RC-002, pp. 77-80, Sep. 2013.
- [27] 上岡真也, 岩田大志, 山口賢一, "木に着目したL1L2* スキャン設計の適用手法, "第12回情報科学技術フォーラム (FIT2013), RC-003, pp. 81-84, Sep. 2013.
- [28] R. Ikeno, T. Maruyama, S. Komatsu, T. Iizuka, M. Ikeda, and K. Asada, "High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection with One-dimensional VIA Characters", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E96-A, No. 12, pp. 2458 - 2466, 2013.
- [29] Kazuteru Namba, Nobuhide Takashina and Hideo Ito, "Design for Delay Measurement Aimed at Detecting Small Delay Defects on Global Routing Resources in FPGA," *IEICE Trans. Inf. & Syst.*, Vol.E96-D, No.8, pp.1613-1623, Aug. 2013.
- [30] Kazuteru Namba, Takashi Katagiri and Hideo Ito, "Timing-error-detecting Dual-edge-triggered Flip-flop," *J. Electronic Test., Theory & Appl.*, Vol.29, No.4, pp.545-554, Aug. 2013.
- [31] Yasuhiro Take, Hiroki Matsutani, Daisuke Sasaki, Michihiro Koibuchi, Tadahiro Kuroda, Hideharu Amano, "3D NoC with Inductive-Coupling Links for Building-Block SiPs", *IEEE Transactions on Computers (TC)*, Vol.63, No.3, pp.748-763, Mar 2014.
- [32] Y.Nakamura, J.Akita, Accuracy Evaluation on Area Measurement using Pseudorandom Pixel Placement for Low Resolution Images, *ITE Trans. on Media Technology and Applications* (to appear)
- [33] Y. Tanji and H. Kamei, "Behavioral Modeling of Class E Amplifiers via Modified Nodal Analysis Formulation," *J. Signal Processing*, vol. 17, no. 6, pp. 239-245, Nov. 2013.
- [34] T. Yasunishi, S. Kishimoto, and Y. Ohno, "Influence of ambient air on n-type carbon nanotube thin-film transistors chemically doped with polyethyleneimine", *Jpn. J. Appl. Phys.* (accepted).
- [35] T. Yasunishi, S. Kishimoto, E. I. Kauppinen, and Y. Ohno, "Fabrication of high-mobility n-type carbon nanotube thin-film transistors on plastic film", *phys. stat. sol (c)* 10, 1612-1615 (2013).
- [36] D.-M. Sun, M. Y. Timmermans, A. Kaskela, A. G. Nasibulin, S. Kishimoto, T. Mizutani, E. I. Kauppinen, and Y. Ohno, "Mouldable all-carbon integrated circuits", *Nature Commun.* 4, 2302-1-8 (2013).
- [37] K. Higuchi, S. Kishimoto, Y. Nakajima, T. Tomura, M. Takesue, K. Hata, E. I. Kauppinen, and Y. Ohno, "High-Mobility, Flexible Carbon Nanotube Thin-Film Transistors Fabricated by Transfer and High-Speed Flexographic Printing Techniques", *Appl. Phys. Exp.* 6, 085101-1-4 (2013).
- [38] B.P. Das, H. Onodera "On-Chip Measurement of Rise/Fall Gate Delay Using Reconfigurable Ring Oscillator", *IEEE Transactions on Circuits and Systems II*, DOI:10.1109/TCSII.2013.2296118.

- [39] Bishnu Prasad Das, Hidetoshi Onodera, "Frequency-Independent Warning Detection Sequential for Dynamic Voltage and Frequency Scaling in ASICs", IEEE Transactions on Very Large Scale Integration Systems, Article DOI:10.1109/TVLSI.2013.2296033.
- [40] SinNyoung Kim, Akira Tsuchiya, and Hidetoshi Onodera, "Analysis of Radiation-Induced Clock-Perturbation in Phase-Locked Loop", IEICE Transactions on Fundamentals, to appear, vol. E97-A, no. 3, March 2014.
- [41] Norihiro KAMAE, Akira TSUCHIYA, Hidetoshi ONODERA, "A Body Bias Generator with Low Supply Voltage for Within-die Variability Compensation", IEICE Transactions on Fundamentals, to appear, Vol. E97-A, No. 3, Mar. 2014.
- [42] SinNyoung Kim, Akira Tsuchiya, and Hidetoshi Onodera, "Radiation-Hardened PLL with a Switchable Dual Modular Redundancy Structure", IEICE Transactions on Electronics, to appear, vol. E97-C, no. 4, April 2014.
- [43] A.K.M. Mahfuzul Islam, and Hidetoshi Onodera, "On-Chip Detection of Process Shift and Process Spread for Post-Silicon Diagnosis and Model-Hardware Correlation", IEICE Transactions on Information and Systems, vol. E96-D, no. 9, pp. 1971-1979, 2013.
- [44] Shinichi Nishizawa and Hidetoshi Onodera, "A Ring Oscillator With Calibration Circuit for On-Chip Measurement of Static IR-drop", IEEE Transactions on Semiconductor Manufacturing, Vol. 26, No. 3, pp. 306-313, Aug. 2013, DOI:10.1109/TSM.2013.2261577.
- [45] S. Fujimoto, A.K.M.M. Islam, T. Matsumoto, H. Onodera, "Inhomogeneous Ring Oscillator for Within-Die Variability and RTN Characterization", IEEE Transactions on Semiconductor Manufacturing, Vol. 26, No. 3, pp. 296-305, Aug. 2013, DOI:10.1109/TSM.2013.2265702.
- [46] T. Matsumoto, K. Kobayashi, H. Onodera, "Impact of Body-Biasing Technique on Random Telegraph Noise Induced Delay Fluctuation", Japanese Journal of Applied Physics, vol. 52, No. 4, 04CE05, April 2013, DOI:10.7567/JJAP.52.04CE05.
- [47] 小野寺秀俊, "特性ばらつき概説", 日本信頼性学会誌, Vol.35, No.8, pp445-446, 2013年12月.
- [48] 小野寺秀俊, "特性ばらつきの診断と補償", 日本信頼性学会誌, Vol.35, No.8, p447, 2013年12月.
- [49] Y. Kim, J. Han, M. Takenaka, and S. Takagi, "Low temperature Al₂O₃ surface passivation for carrier-injection SiGe optical modulator", Optics Express Letters, vol. 22, no. 7, pp. 7458-7464, 2014.
- [50] S. H. Kim, M. Yokoyama, Y. Ikku, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Physical understanding of electron mobility in asymmetrically strained InGaAs-on-insulator metal-oxide-semiconductor field-effect transistors fabricated by lateral strain relaxation", Appl. Phys. Lett., vol. 104, 113509, 2014.
- [51] M. Yokoyama, K. Nishi, S.-H. Kim, H. Yokoyama, M. Takenaka, and S. Takagi, "Self-aligned Ni-GaSb source/drain junctions for GaSb p-channel metal-oxide-semiconductor field-effect transistors", Appl. Phys. Lett., vol. 104, 093509, 2014.
- [52] R. Zhang, J.-C. Lin, X. Yu, M. Takenaka, and S. Takagi, "Impact of plasma postoxidation temperature on the electrical properties of Al₂O₃/GeO_x/Ge pMOSFETs and nMOSFETs," IEEE Trans. Electron Devices, vol. 61, no. 2, pp. 416 - 422, 2014.
- [53] S. Takagi, Rui Zhang, S.-H. Kim, M. Yokoyama, and M. Takenaka, "Performance enhancement technologies in III-V/Ge MOSFETs Ge-based and III-V technologies," ECS Trans., vol. 58, no. 9, pp. 137-148, 2013 (invited).
- [54] S. Takagi and M. Takenaka, "III-V/Ge MOS transistor technologies for future ULSI future IC technology and novel devices," ECS Trans., vol. 54, no. 1, pp. 39-54, 2013 (invited).
- [55] K. Nishi, M. Yokoyama, S.-H. Kim, H. Yokoyama, M. Takenaka and S. Takagi, "Study on electrical properties of metal/GaSb junctions using metal-GaSb alloys," J. Appl. Phys., vol. 115, 034515, 2014.
- [56] S.-H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Biaxially strained extremely-thin body In_{0.53}Ga_{0.47}As-on-insulator metal-oxide-semiconductor field-effect transistors on Si substrate and physical understanding on their electron mobility," J. Appl. Phys., vol. 114, 164512, 2013.
- [57] N. Taoka, M. Yokoyama, S. H. Kim, R. Suzuki, S. Lee, R. Iida, T. Hoshii, W. Jevasuwan, T. Maeda, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Impact of fermi level pinning inside conduction band on electron

- mobility of InGaAs MOSFETs", *Appl. Phys. Lett.*, vol. 103, 143509, 2013.
- [58] S. Takagi, R. Zhang, and M. Takenaka, "Ge gate stacks based on Ge oxide interfacial layers and the impact on MOS device properties," *Microelectronic Engineering*, vol. 109, pp. 389 - 395, 2013.
- [59] S.-H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "High-performance InAs-on-insulator n-MOSFETs with Ni-InGaAs S/D realized by contact resistance reduction technology," *IEEE Trans. Electron Devices*, vol. 60, no. 10, pp. 3342 - 3350, 2013.
- [60] Y. Kim, M. Yokoyama, N. Taoka, M. Takenaka, and S. Takagi, "Ge-rich SiGe-on-insulator for waveguide optical modulator application fabricated by Ge condensation and SiGe regrowth," *Optics Express Letters*, vol. 21, no. 17, pp. 19615-19623, 2013.
- [61] J.-H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and Shinichi Takagi, "Reduction in interface trap density of Al₂O₃/SiGe gate stack by electron cyclotron resonance plasma post-nitridation," *Appl. Phys. Express.*, Vol. 6, 051302, 2013.
- [62] R. Zhang, Ju-Chin Lin, X. Yu, M. Takenaka, and S. Takagi, "Impact of plasma post oxidation temperature on interface trap density and roughness at GeO_x/Ge interfaces," *Microelectronic Engineering*, vol. 109, pp. 97 - 100, 2013.
- [63] J. -H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of plasma post-nitridation on HfO₂/Al₂O₃/SiGe gate stacks toward EOT scaling," *Microelectronic Engineering*, vol. 109, pp. 266 - 269, 2013.
- [64] C.-Y. Chang, M. Yokoyama, S.-H. Kim, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of metal gate electrodes on electrical properties of InGaAs MOS gate stacks," *Microelectronic Engineering*, vol. 109, pp. 28 - 30, 2013.
- [65] Y. Ikku, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Ultra-small, low-crosstalk, electrically-driven InGaAsP photonic-wire optical switches on III-V CMOS photonics platform," *Optical Fiber Communication Conference (OFC2014)*, Th2A.66, San Francisco, 13 March 2014.
- [66] 崔英鮮, 山下茂, "ビットごとの排他的論理和を利用した画像の新しい類似度指標の提案とその動き検出プロセッサへの適用と評価", *電子情報通信学会英文論文誌A Vol. J97-A*, No. 03, Mar. 2014
- [67] Xu Bai, Michitaka Kameyama, "A Multiple-Valued Reconfigurable VLSI Architecture Using Binary-Controlled Differential-Pair Circuits", *IEICE Transactions on Electronics*, Vol.E96-C, No.8, pp.1083-1093, Aug. 2013
- [68] Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama, "Architecture of an Asynchronous FPGA for Handshake-Component-Based Design", *IEICE Transaction on Information and Systems*, Vol.E96-D, No.8, pp.1632-1644, Aug. 2013.
- [69] Xu Bai, Michitaka Kameyama, "A Bit-Serial Reconfigurable VLSI Based on a Multiple-Valued X-Net Data Transfer Scheme", *IEICE Transactions on Information and Systems*, Vol.E96-D, No.7, pp.1449-1456, Jul. 2013.
- [70] Shota Ishihara, Noriaki Idobata, Masanori Hariyama, Michitaka Kameyama, "Flexible Ferroelectric-Capacitor Element for Low Power and Compact Logic-in-Memory Architectures", *Journal of Multiple-Valued Logic and Soft Computing*, VOL.20, No.5-6, pp.595-623, 2013.
- [71] Takashi Imagawa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato, "A Cost-Effective Selective TMR for Coarse-Grained Reconfigurable Architectures Based on DFG-Level Vulnerability Analysis," *IEICE Transactions on Electronics*, Vol. E96-C, No.4, Apr. 2013.
- [72] Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato, "Parallel Acceleration Scheme for Monte Carlo Based SSTA using Generalized STA Processing Element," *IEICE Transactions on Electronics*, Vol.E96-C, No.4, Apr. 2013.
- [73] 高崎貴大, 關根惟敏, 浅井秀樹, 節点ブロック緩和法を用いた不均一な多導体伝送線路の高速過渡解析, *信学論 (C)*, vol. J96-C, no. 6, pp. 114-121, 2013年5月
- [74] T. Takasaki, T. Sekine, and H. Asai, "Fast Transient Analysis of Nonuniform Multiconductor Transmission Lines Using HIE-Block-LIM," *IEEE Microw. Wireless Compon. Lett.*, Aug. 2013 (in press).
- [75] Y. Sato, M. Moriya, H. Shimada, Y. Mizugaki, and M. Maezawa, "Design and operation of 1000-fold voltage multiplier based on double-flux-quantum

amplifier," *Physics Procedia*, vol.45, pp.221-224, May, 2013.

- [76] Y. Mizugaki, K. Kuroiwa, M. Moriya, H. Shimada, and M. Maezawa, "5-bit Quasi-Sinusoidal Voltage Waveform Synthesized Using Single-Flux-Quantum Pulse-Frequency Modulation," *IEEE Transactions on Applied Superconductivity*, vol.23, no.3, 1300804 (4 pages), June, 2013.
- [77] D. Alnajjar, H. Konoura, Y. Ko, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Implementing Flexible Reliability in a Coarse Grained Reconfigurable Architecture," *IEEE Transactions on VLSI Systems*, vol. 21, no. 12, p. 2165 - 2178, December 2013.
- [78] K. Shinkai, M. Hashimoto, and T. Onoye, "A Gate-Delay Model Focusing on Current Fluctuation Over Wide Range of Process-Voltage-Temperature Variations," *Integration, the VLSI Journal*, vol. 46, no. 4, pp. 345-358, September 2013.
- [79] R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Impact of NBTI-Induced Pulse-Width Modulation on SET Pulse-Width Measurement," *IEEE Transactions on Nuclear Science*, vol. 60, no. 4, pp. 2630-2634, August 2013.
- [80] T.Kameda, H. Konoura, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Field Slack Assessment for Predictive Fault Avoidance on Coarse-Grained Reconfigurable Devices," *IEICE Trans. on Information and Systems*, vol. E96-D, no. 8, pp. 1624-1631, August 2013.
- [81] T. Amaki, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "A Worst-Case-Aware Design Methodology for Noise-Tolerant Oscillator-Based True Random Number Generator with Stochastic Behavior Modeling," *IEEE Transactions on Information Forensics and Security*, vol. 8, no. 8, pp. 1331-1342, August 2013.
- [82] Y. Ogasahara, M. Hashimoto, T. Kanamoto, and T. Onoye, "Supply Noise Suppression by Triple-Well Structure," *IEEE Transactions on VLSI Systems*, vol. 21, no. 4, pp. 781-785, April 2013.
- [83] D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "PVT-Induced Timing Error Detection Through Replica Circuits and Time Redundancy in Reconfigurable Devices," *IEICE Electronics Express (ELEX)*, vol. 10, no. 5, April 2013.
- [84] Mannan, Tamura, Toyama, Tanno, "Expandable MVL CMOS Inverter and Its Application to MVL CMOS Hysteresis Comparator without Backgate Scheme", *宮崎大学工学部紀要*, 第42号, pp.121-126, 2013年8月.
- [85] 宮川, 酒井, 田村, 外山, 淡野, "MOSトランジスタのバックゲート端子を用いた高精度サンプルホールド回路の検討", *宮崎大学工学部紀要*, 第42号, pp.127-134, 2013年8月.
- [86] I. Jo, J. Bae, T. Matsuoka, and T. Ebinuma, "Design of triple-band CMOS GPS receiver RF front-end," *IEICE Electronics Express*, vol. 10, no. 7, p. 20130126, Apr. 2013.
- [87] Y. Kishiwada, H. Iwasaki, S. Ueda, Y. Dei, Y. Miyawaki, and T. Matsuoka, "Low-power wireless on-chip microparticle manipulation with process variation compensation," *IEICE Electronics Express*, vol. 10, no. 13, p. 20130407, July 2013.
- [88] Y. Tanaka and S. Wei, An advanced implementation of canonical signed-digit recoding circuit, *Journal of Communication and Computer*, to appear.
- [89] Y. Tanaka and S. Wei, Efficient squaring circuit using canonical signed-digit number representation, *IEICE Electronics Express*, Vol.11, No.2, 2014.
- [90] Nobutaka Kito, and Naofumi Takagi, "Low-overhead Fault-secure Parallel Prefix Adder by Carry-bit Duplication," *IEICE Transactions on Information and Systems*, Vol. E96-D, No. 9, pp. 1962-1970, Sep. 2013.
- [91] Tadayoshi Enomoto and Nobuaki Kobayashi, "A Low Power Multimedia Processor Implementing Dynamic Voltage and Frequency Scaling Technique and Fast Motion Estimation Algorithm Called "Adaptively Assigned Breaking-off Condition (A2BC)"", *IEICE Tran. on Electronics*, vol. E96-C, no. 4, pp. 424-432, April 2013.
- [92] 小河亮, 岩田大志, 山口賢一, "DCSTP適用回路に対する最適電力テスト手法," 第12回情報科学技術フォーラム (FIT2013), RC-002, pp. 77-80, Sep. 2013..
- [93] 上岡真也, 岩田大志, 山口賢一, "木に着目したL1L2*スキャン設計の適用手法," 第12回情報科学技術フォーラム (FIT2013), RC-003, pp. 81-84, Sep. 2013.
- [94] 片山七海, 岩田大志, 山口賢一, "等価検証技術を用いた縮退故障の冗長判定手法の提案", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-1, p.54, (2014).

- [95] 上岡真也, 岩田大志, 山口賢一, "4相式束データ法による非同期式ベンチマーク回路の設計", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-3, p.56, (2014).
- [96] 松本和高, 岩田大志, 山口賢一, "並列演算を用いたn回故障検出テスト手法の提案", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-4, p.57, (2014).
- [97] 小河亮, 岩田大志, 山口賢一, "Deterministic Circular Self Test Path適用ツールの開発", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-5, p.58, (2014).
- [98] 吉田拓弥, 里中沙矢香, 岩田大志, 山口賢一, "メルセンヌ・ツイスタを用いたFPGA上でのBOSTの実現", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-6, p.59, (2014).
- [99] 福岡久和, 岩田大志, 山口賢一, "マイコンとバーコードリーダーを用いたクライアント・サーバ型購入履歴管理システム", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D7-3, p.88, (2014).
- [100] 小松巡, 岩田大志, 山口賢一, "モジュール間結合増加率に基づくスキランチェーン接続法, "信学技報 (DC2013-79), Vol.113, No.430, pp. 1-5, 2014. bibtex
- [101] 水谷早苗, 岩田大志, 山口賢一, "非同期式QDI回路における任意の故障に対する検出手法, "信学技報 (DC2013-81), Vol.113, No.430, pp. 13-18, 2014. bibtex
- [102] 小河亮, 岩田大志, 山口賢一, "DCSTP回路に対する最適電力テストパターン順序付け手法, "信学技報 (DC2013-82), Vol.113, No.430, pp. 19-24, 2014. bibtex
- [103] 里中沙矢香, 岩田大志, 山口賢一, "メルセンヌ・ツイスタアルゴリズムにもとづいた効果的なテストパターン生成器の提案, "信学技報 (DC2013-86), Vol.113, No.430, pp. 43-48, 2014. bibtex
- [104] Jiayi Zhu, Dajiang Zhou, and Satoshi Goto, A high performance HEVC de-blocking filter and SAO architecture for UHD TV decoder, IEICE Transactions on Fundamentals, Vol. E96.A, No. 12, pp. 2612-2622, December, 2013.
- [105] Xiongxin Zhao, Zhixiang Chen, Xiao Peng, Dajiang Zhou, and Satoshi Goto, A 5.83pJ/bit/iteration high-parallel performance-aware LDPC decoder IP core design for WiMAX in 65 nm CMOS, IEICE Transactions on Fundamentals, Vol. E96.A, No. 12, pp. 2623-2632, December, 2013.
- [106] Gang He, Dajiang Zhou, Wei Fei, Zhixiang Chen, Jinjia Zhou, and Satoshi Goto, High-performance H.264/AVC intra prediction architecture for ultra high definition video applications, IEEE Transactions on VLSI Systems, Vol. 22, No. 1, pp. 76-89, January, 2014.
- [107] Hisashi Kino, Ji Choel Bea, Mariappan Murugesan, Kang Wook Lee, Takafumi Fukushima, Mitsumasa Koyanagi, and Tetsu Tanaka, "Investigation of Local Bending Stress Effect on Complementary Metal-Oxide-Semiconductor Characteristics in Thinned Si Chip for Chip-to-Wafer Three-Dimensional Integration," Japanese Journal of Applied Physics 52 (2013) 04CB11.
- [108] 堀口文男, "オンチップ太陽電池のダイナミック電圧・電流制御", 信学論 (C), Vol. J97-C, No.2, pp.77-78, (Feb. 2014)
- [109] M. Tanaka, A. Kitayama, T. Kouketsu, M. Ito, and A. Fujimaki, "Low-Energy Consumption RSFQ Circuits Driven by Low Voltages," IEEE Trans. on Appl. Supercond., Vol.23, No. 3, pp. 1701104, June 2013.
- [110] A. Fujimaki, M. Tanaka, R. Kasagi, K. Takagi, M. Okada, Y. Hayakawa, K. Takata, H. Akaike, N. Yoshikawa, S. Nagasawa, K. Takagi, and N. Takagi, "Large-Scale Integrated Circuit Design Based on a Nb Nine-Layer Structure for Reconfigurable Data-Path Processors," IEICE Trans. Electron., Vol. E97-C, No. 3, pp.157-165, March 2014.
- [111] M. Tanaka, A. Kitayama, M. Okada, T. Kouketsu, T. Takinami, M. Ito, and A. Fujimaki, "High-Speed Operation of 0.25-mV RSFQ Arithmetic Logic Unit Based on 10-kA/cm² Nb Process Technology," IEICE Trans. Electron., Vol. E97-C, No. 3, pp.166-172, March 2014.
- [112] Takeshi Okumoto, Kumpei Yoshikawa, Makoto Nagata, "Design of Effective Supply Voltage Monitor for Measuring Power Rails of Integrated Circuits," IEICE Transactions on Electronics, Vol. E96-C, No. 4, pp. 538-545, Apr. 2013.
- [113] Naoya Azuma, Makoto Nagata, "Equivalent Circuit Representation of Silicon Substrate Coupling of Passive and Active RF Components," IEICE Transactions on Electronics, Vol. E96-C, No. 6, pp. 875-883, June 2013.
- [114] Yuuki Araga, Nao Ueda, Yasumasa Takagi, Makoto

- Nagata, "Performance Evaluation of Probing Front-End Circuits for On-Chip Noise Monitoring," IEICE Transactions on Fundamentals, Vol. E96-A, No.12, pp. 2516-2523, Dec. 2013.
- [115] Daisuke Fujimoto, Toshihiro Katashita, Akihiko Sasaki, Akashi Satoh, Makoto Nagata, "A Fast Power Current Simulation of Cryptographic VLSI Circuits for Side Channel Attack Evaluation," IEICE Transactions on Fundamentals, Vol. E96-A, No.12, pp. 2533-2541, Dec. 2013.
- [116] Yu Jin, Zhe Du, and Shinji Kimura, "Dual-Stage Pseudo Power Gating with Advanced Clustering Algorithm for Gate Level Power Optimization," IEICE Trans. Fundamentals, Vol. E96-A, No. 12, pp.2568-2575, Dec. 2013.
- [117] Naoya Okada, Yuichi Nakamura, and Shinji Kimura, "Write Control Method for Nonvolatile Flip-Flops Based on State Transition Analysis," IEICE Trans. Fundamentals, Vol. E96-A, No. 6, pp.1264-1271, June 2013.
- [118] Osaki, Hirose, Kuroki, Numa, "1.2-V Supply, 100-nW, 1.09-V Bandgap and 0.7-V Supply, 52.5-nW, 0.55-V Sub-Bandgap Reference Circuits for Nano-Watt CMOS LSIs," IEEE Journal of Solid-State Circuits, vol. 48, no. 6, pp. 1530-1538, 2013.
- [119] T. Yamada, S. Abe, Y. Nakajima, T. Hanajiri, T. Toyabe, and T. Sugano, "Quantitative Extraction of Electric Flux in the Buried-Oxide Layer and Investigation of its Effects on MOSFET Characteristics," IEEE Trans. Electron Devices, vol. 60, no. 12, pp. 3996 - 4001, 2013.
- [120] T. Yamada, Y. Nakajima, T. Hanajiri, T. Toyabe, and T. Sugano, "Improvement of electrical characteristics of local BOX MOSFETs by heavily doped structures and elucidation of the related mechanism," J. Comput. Electron., pp. 1-8, Dec. 2013.
- [121] 浅井, 他, "クロック変動機構を用いた耐タンパアーキテクチャ", 電気学会論文誌C, Vol.133, No.12, pp.2134-2142
- [122] Masashi Imai, Tomohiro Yoneda, "Fault Diagnosis and Reconfiguration Method for Network-on-Chip Based Multiple Processor Systems with Restricted Private Memories," IEICE Trans on Inf.&Syst., Vol.E96-D, No.9, pp.1914-1925, Sep., 2013
- [123] A. Ogiwara, M. Watanabe, R. Moriwaki, "Temperature dependence of anisotropic diffraction in holographic polymer-dispersed liquid crystal memory," Applied Optics, Vol. 52, Issue 26, pp. 6529-6536, Sep., 2013.
- [124] A. Ogiwara, M. Watanabe, R. Moriwaki, "Formation of temperature dependable holographic memory using holographic polymerdispersed liquid crystal," Optics letters, Vol. 38, Issue 7, pp. 1158-1160, April, 2013.
- [125] Izuka, Hamada, and Saito, "An ASIC Design Support Tool Set for Non-pipelined Asynchronous Circuits with Bundled-Data Implementation", IEICE Transactions on Electronics, E96-C, no.4, pp.482-491, April 2013.
- [126] 小林, 大塚, 久保, 市村, 清重, 寺崎, "チップ・パッケージ・ボードの統合設計による電源変動抑制, 2013年電子情報通信学会, pp436-443, 2013年11月
- [127] Takuma Kobayashi, Hiroyuki Masuda, Chikara Kitsumoto, Makito Haruta, Mayumi Motoyama, Yasumi Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Sadao Shiosaka, Jun Ohta, "Functional brain fluorescence plurimetry in rat by implantable concatenated CMOS imaging system," Biosensors and Bioelectronics 53, DOI:10.1016/j.bios.2013.09.033, 2014.3.15 to be published
- [128] Makito Haruta, Chikara Kitsumoto, Yoshinori Sunaga, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "An implantable CMOS device for blood-flow imaging under freely moving experiments of rats," Japanese Journal of Applied Physics (Jpn. J. Appl. Phys.), 2013.12 accepted
- [129] Hironari Takehara, Kazuya Miyazawa, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Soo Hyeon Kim, Ryota Iino, Hiroyuki Noji, Jun Ohta, "A CMOS image sensor with stacked photodiodes for lensless observation system of digital enzyme-linked immunosorbent assay," Japanese Journal of Applied Physics (Jpn. J. Appl. Phys.), 2013.12 accepted
- [130] Norimitsu Wakama, Daisuke Okabayashi, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Kiyomi Kakiuchi, Jun Ohta, "Polarisation analysing complementary metal-oxide semiconductor image sensor in 65-nm standard CMOS technology," The Journal of Engineering, pp.3, DOI: 10.1049/joe.2013.0033, 2013.9
- [131] Kiyotaka Sasagawa, Sanshiro Shishido, Keisuke

- Ando, Hitoshi Matsuoka, Toshihiko Noda, Takashi Tokuda, Kiyomi Kakiuchi, Jun Ohta, "Image sensor pixel with on-chip high extinction ratio polarizer based on 65-nm standard CMOS technology," *Optics Express* 21(9), pp.11132-11140, DOI:10.1364/OE.21.011132, 2013.4.30 online
- [132] Yosmongkol Sawadsaringkarn, Tomoaki Miyatani, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "A CMOS optoelectronic neural interface device based on an image sensor with on-chip light stimulation and extracellular neural signal recording for Optogenetics," *ITE Transactions on Media Technology and Applications* 1(2), pp.184-189, DOI:10.3169/mta.1.184, 2013.4
- [133] Yi-Li Pan, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Sputtering Condition Optimization of Sputtered IrOx and TiN Stimulus Electrodes for Retinal Prosthesis," *電気学会論文誌 IEEJ* 8(3), pp.310-312, DOI:10.1002/tee.21860, 2013.4.10
- [134] Hao Zhang, Mengshu Huang, Yimeng Zhang, Tsutomu Yoshihara, "Self-Cascode MOSFET with a Self-Biased Body Effect for Ultra-Low-Power Voltage Reference Generator", *IEICE Transaction on Electronics*, Vol.E96-C, No.6, pp.859-866, 2013
- [135] 上口光, 江上徹, 竹内健, "書込みパルスダウンスロープを用いない高信頼超格子相変化メモリ," *IEEE International Reliability Physics Symposium (IRPS) 報告会*, July 2013.
- [136] T. Hyodo, G. Asakura, K. Tsukada, M. Kato, "Performance Improvement of the Analog ANC Circuit for a Duct by Insertion of an All-Pass Filter" *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences* 96, pp.824-825 (2013)
- [137] C. Monteiro, Y. Takahashi, and T. Sekine, "Low power bit-parallel cellular multiplier implementation in secure dual-rail adiabatic logic," *IACSIT International J. Modeling and Optimization*, vol. 3, no. 4, pp. 329-332, Aug. 2013.
- [138] C. Monteiro, Y. Takahashi, and T. Sekine, "Charge-sharing symmetric adiabatic logic in countermeasure against power analysis attacks at cell level," *Microelectronics Journal*, vol. 44, no. 6, pp. 496-503, June 2013.
- [139] 高橋康宏, 佐藤比佐夫, "オフチップ共振回路を用いた断熱的論理用低消費電力電源回路," *電気学会論文誌 C*, vol. 133, no. 2, pp. 250-255, Feb. 2013.
- [140] K. Shimazoe et. al. Multi-channel Waveform Sampling ASIC for radiation detection and measurement, *Radiation Measurements*, Vol. 55, Aug. 2013, Page 87-89.
- [141] Sho Ikeda, Sang_yeop Lee, Tatsuya Kamimura, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "Fractionally Injection-Locked Frequency Multiplication Technique with Multi-Phase Ring Voltage-Controlled Oscillator," *Japanese Journal of Applied Physics*, Vol. 52, no. 4, pp. 04CE15-1-04CE15-6, Apr. 2013.
- [142] Kazuki Nomura, Daiju Kikuchi, NAKANNOBUHIKO, "Design of photovoltaic device and DC-DC converter on a single chip using 0.18 μm standard CMOS technology", *Analog Integrated Circuits and Signal Processing* Vol76, No2, 2013, Aug
- [143] H. Yotsuyanagi, H. Makimoto, T. Nimiya, M. Hashizume, "On Detecting Delay Faults Using Time-to-Digital Converter Embedded in Boundary Scan", *IEICE Transactions on Information and Systems*, Vol.E96-D, No.9, pp.1986-1993, 2013.
- [144] 橋爪, 小西, 四柳, "3次元実装IC内ダイ間論理信号線の断線に対する電気テスト用回路", *電子情報通信学会論文誌 (C)*, Vol.J96-C, No.11, pp.361-370, 2013年.
- [145] J. Yamashita, H. Yotsuyanagi, M. Hashizume and K. Kinoshita, "SAT-Based Test Generation for Open Faults Using Fault Excitation Caused by Effect of Adjacent Lines", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E96-A, No.12, pp.2561-2567, 2013.
- [146] T. Ito, A. Kadoda, K. Nakayama, Y. Yasui, M. Mori, K. Maezawa, E. Miyazaki, T. Mizutani, "Effective Mobility Enhancement in Al₂O₃/InSb/Si Quantum Well MOSFETs for Thin InSb channel Layer", *Jpn. J. Appl. Phys.* Vol.52, 04CF01, 2013年
- [147] 藤野, 水野, 高岡, 中野, 森, 前澤, "周波数 $\Delta\Sigma$ 変調方式を用いたデジタルマイクロフォンのノイズシェーピング実証", *電子情報通信学会論文誌 Vol.J96-C*, No.12 (2013) pp.554-555
- [148] K. Maezawa, J. Pan, D. Wu, Y. Kakutani, J. Nakano, M. Mori, "Possibility of THz detection with resonant tunneling super regenerative detectors based on extremely high order harmonics", *IEICE Electronics Express*, Vol. 10, No.20 (2013)

- [149] 中野, 柴田, 森田, 坂本, 森, 前澤, "溶融 Ga バンプを用いた Fluidic Self-Assembly で配置された微小デバイスの熱的信頼性", 電子情報通信学会論文誌 C, Vol. J97-C No.3 pp.124-125 (2014)
- [150] Hiroyuki Akasaka, Shin-ya Abe, Masao Yanagisawa, and Nozomu Togawa, "Energy-efficient High-level Synthesis for HDR Architectures with Clock Gating Based on Concurrency-oriented Scheduling," IPSJ Transactions on System LSI Design Methodology vol. 6, pp. 101-111, Aug. 2013.
- [151] Shin-ya Abe, Youhua Shi, Kimiyoshi Usami, Masao Yanagisawa, and Nozomu Togawa, "Floorplan Driven Architecture and High-level Synthesis Algorithm for Dynamic Multiple Supply Voltages," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E96-A, no. 12, pp. 2597-2611, Dec. 2013.
- [152] R. Ikeno, T. Maruyama, S. Komatsu, T. Iizuka, M. Ikeda, and K. Asada, "High-throughput Electron Beam Direct Writing of VIA Layers by Character Projection with One-dimensional VIA Characters", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E96-A, No. 12, pp. 2458 - 2466, 2013.
- [153] Takahide Sato, Shigetaka Takagi, "Analysis of a charge pump for white LED driver using multi-step charging technique", Analog Integrated Circuits and Signal Processing. Vol. 78 No. 1, pp11-22, 2014
- [154] Kosuke Shimazaki, Shingo Yoshizawa, Yasuyuki Hatakawa, Tomoko Matsumoto, Satoshi Konishi, Yoshikazu Miyanaga, "A VLSI Design of a Tomlinson-Harashima Precoder for MU-MIMO Systems Using Arrayed Pipelined Processing," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E96-A, No. 11, pp. 2114-2119, Nov. 2013.
- [155] Nozomi Miyazaki, Shingo Yoshizawa, Yoshikazu Miyanaga, "Low-Power Dynamic MIMO Detection for a 4×4 MIMO-OFDM Receiver," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E97-A, No. 1, pp. 306-312, Jan. 2014.
- [156] Tsung-Ling Li, Shin Sakai, Shun Kawada, Yasuyuki Goda, Shunichi Wakashima, Rihito Kuroda, and Shigetoshi Sugawa, "A Column-Parallel Hybrid Analog-to-Digital Converter Using Successive-Approximation-Register and Single-Slope Architectures with Error Correction for Complementary Metal Oxide Silicon Image Sensors," Japanese Journal of Applied Physics, 52, No.4, (2013), 04CE04-1-04CE04-7.
- [157] K. Kuwabara, H. Jin, Y. Yamanashi and N. Yoshikawa, "Design and implementation of 64-kb CMOS static RAMs for Josephson-CMOS hybrid memories," IEEE Trans. Appl. Supercond., vol. 23, 2013, 1700704.
- [158] Hsuan-Chun Liao, Mochamad Asri, Tsuyoshi Isshiki, Dongju Li, Hiroaki Kunieda, "A Design of High Performance Parallel Architecture and Communication for Multi-ASIP Based Image Processing Engine", IEICE Trans. Fundamentals, Vol.E96-A, No.6, pp. 1222 - 1235 (2013)
- [159] Hsuan-Chun Liao, Mochamad Asri, Tsuyoshi Isshiki, Dongju Li, Hiroaki Kunieda, "Flexible and High Performance ASIPs for Pixel Level Image Processing Two Dimensional Image Processing", 情報処理学会論文誌, Vol.54, No.7, pp. 552 - 562 (2013)
- [160] 尼崎太樹, 井上万輝, 趙 謙, 飯田全広, 久我守弘, 末吉敏則 "故障耐性をもつ FPGA-IP コアの提案, "信学技報 RECONF2013-13, vol.113, no.52, pp.67-72, May 2013
- [161] 柳田恭成, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "シャノン展開された部分関数の特徴に基づく少構成メモリ LUT, "信学技報 RECONF2013-27, vol.113, no.221, pp.43-48, Sep. 2013
- [162] Q.Zhao, K.Inoue, M.Amagasaki, M.Iida, M.Kuga, T.Sueyoshi" FPGA Design Framework Combined with Commercial VLSI CAD", IEICE Transactions on Information and Systems, Vol.E96-D, No.8, pp.1602-1612, Aug. 2013.
- [163] 尼崎太樹, 西谷祐樹, 井上万輝, 飯田全広, 久我守弘, 末吉敏則, "システム LSI 搭載 FPGA-IP コア向け物理故障検出及び回避手法, "信学論 D, Vol.J96-D, No.12, pp.3019-3029, Dec. 2013.
- [164] Y. Take, H. Matsutani, D. Sasaki, M. Koibuchi, T. Kuroda, H. Amano, "3-D NoC with Inductive-Coupling Links for Building-Block SiPs," IEEE Transactions on Computers, vol. 63, no. 3, pp. 748-

- 763, Mar. 2014
- [165] A. Kosuge, W. Mizuhara, T. Shidei, T. Takeya, N. Miura, M. Taguchi, H. Ishikuro, and T. Kuroda, "A 0.15-mm-Thick Noncontact Connector for MIPI Using a Vertical Directional Coupler," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 49, no. 1, pp. 223-231, Jan. 2014.
- [166] N. Miura, Y. Koizumi, E. Sasaki, Y. Take, H. Matsutani, T. Kuroda, H. Amano, R. Sakamoto, M. Namiki, K. Usami, M. Kondo, H. Nakamura, "A Scalable 3D Heterogeneous Multicore with an Inductive ThruChip Interface," *IEEE Micro*, Vol.33, No.6, pp.6-15, Dec 2013.
- [167] A. Kosuge, T. Takeya, M. Shioya, M. Taguchi, and T. Kuroda, "A 3 Gbps Non-Contact Inter-Module Link with Twofold Transmission Line Couplers and Low Frequency Compensation Equalizer," *Japanese Journal of Applied Physics (JJAP)*, vol. 52, no. 4, Apr. 2013
- [168] S. Tanoi and T. Endoh, "A 3-mW/Gbps 1.8-V Operated Current-Reuse Low-Voltage Differential Signaling Driver Using Vertical Metal-Oxide-Semiconductor Field-Effect Transistors", *Japanese Journal of Applied Physics*, Vol.52 No.4. pp. 04CE03 (7 pages), April, 2013.
- [169] Noriyuki Miura, Yusuke Koizumi, Yasuhiro Take, Hiroki Matsutani, Tadahiro Kuroda, Hideharu Amano, Ryuichi Sakamoto, Mitaro Namiki, Kimiyoshi Usami, Masaaki Kondo and Hiroshi Nakamura, "A Scalable 3D Heterogeneous Multicore with an Inductive ThruChip Interface 3D NoC", *IEEE Micro*, Vol.33, Issue 6, pp.6-15, Nov/Dec. 2013
- [170] Hao Zhang, Hiroki Matsutani, Michihiro Koibuchi and Hideharu Amano, "Dynamic Power Consumption Optimization for Inductive-Coupling based Wireless 3D NoCs", *TSLDM*
- [171] Hao Zhang, Hiroki Matsutani, Yasuhiro Take, Tadahiro Kuroda, Hideharu Amano, "Vertical Link On/Off Regulations for Inductive- Coupling Based Wireless 3-D NoCs", *IEICE transaction on Information and Systems*, Vol.E96-D, No.12, pp.2753-2764, 2013
- [172] Yasuhiro Take, Hiroki Matsutani, Daisuke Sasaki, Michihiro Koibuchi, Tadahiro Kuroda and Hideharu Amano, "3D NoC with Inductive-Coupling Links for Building-Block SiPs", *IEEE Transaction on Computers*, Vol.63, No.3, pp.748-763, March 2014
- [173] Zhou JIN, Xiao WU, Dan NIU, and Yasuaki INOUE, "Effective Implementation and Embedding Algorithms of CEPTA Method for Finding DC Operating Points," *IEICE Transactions Fundamentals of Electronics, Communications and Computer Sciences*, vol. E96-A, no.12, pp. 2524-2532, Dec. 2013, Special Section on VLSI Design and CAD Algorithms.
- [174] Motoki Nozue, Ryota Suzuki, Hirotochi Nomura, Takuya Saraya, and Toshiro Hiramoto, "Characteristics Control of Room-Temperature Operating Single Electron Transistor with Floating Gate by Charge Pump Circuit" *Solid State Electronics*, Vol. 88, pp. 61-64, October, 2013.
- [175] Ryota Suzuki, Motoki Nozue, Takuya Saraya, and Toshiro Hiramoto, "Experimental Observation of Quantum Confinement Effect in (110) and (100) Silicon Nanowire Field-Effect Transistors and Single-Electron/Hole Transistors Operating at Room Temperature", *Japanese Journal of Applied Physics*, Vol. 52, No. 10, 104001, October, 2013.
- [176] Yuma Tanahashi, Ryota Suzuki, Takuya Saraya, Toshiro Hiramoto, "Peak Position Control of Coulomb Blockade Oscillations in Silicon Single-Electron Transistors with Floating Gate Operating at Room Temperature", *Japanese Journal of Applied Physics*, Vol. 53, No. 4S, 04EJ08, March, 2014.
- [177] Y.Itano, S.Moromoto, S.Yoshitomi, and N.Itoh "High-Q MOS Varactor Models for Quasi-Millimeter-Wave Low-Noise LC-VCOs," Accepted on *IEICE Transaction on Fundamentals*, vol. E97-A, No.3, Mar. 2014.
- [178] K. Saito, K. Okazaki, T. Ogiwara, M. Takato, K. Saeki, Y. Sekine, F. Uchikoba, "Locomotion Control of MEMS Microrobot Using Pulse-Type Hardware Neural Networks", *Electrical Engineering in Japan*, Vol. 186, Issue 3 (2014) pp.43?50
- [179] 齊藤 健, 高藤 美泉, 関根 好文, 内木場 文男, "AI制御によるバイオミメティクスMEMSマイクロロボット", *日本ロボット学会誌*, Vol.31, No.7, (2013) pp.684-688
- [180] Ken Saito, Minami Takato and Fumio Uchikoba, "Silicon Micro Robot with Neural Networks", *IGI Global Engineering, Creative Design in Robotics and Mechatronics (2013)* pp.1-10,

- [181] G. Song, H. Matsui, H. Akai and H. Tabata, "Structural and magnetic properties of NiAs-type FeSe and related alloy layers", *J. Vac. Sci. Technol. B*, Vol. 31 (2013), 042801
- [182] H. Matsui, W. Badalawa, A. Ikehata, and H. Tabata, "Oxide surface plasmons resonance for a new sensing platform in the near-infrared range", *Advanced Optical Materials*, Vol.1 (2013), Issue 5, 397-403
- [183] T. Sato, L. Jalabert and H. Fujita, "Development of MEMS Integrated into TEM Setup to Monitor Shear Deformation, Force and Stress for Nanotribology", *Microelectronic Engineering*, Vol.10, Num.1016, 2013
- [184] Hiroki Kaneshige, Rajdeep Gautam, Yuta Ueyama, Redouane Katouf, Taro Arakawa, and Yasuo Kokubun, "Low-voltage quantum well microring-enhanced Mach-Zehnder modulator", *Opt. Express*, Vol. 21 (2013) pp.16888-16900.
- [185] H. Kamiya, T. Goto, H. Ikehara, R. Katouf, T. Arakawa, and Y. Kokubun, "Hitless wavelength-selective switch with quadruple series-coupled microring resonators using multiple-quantum-well waveguides", *Opt. Express*, Vol. 21 (2013) pp.20837-20850.
- [186] Rajdeep Gautam, Hiroki Kaneshige, Hitoshi Yamada, Redouane Katouf, Taro Arakawa, and Yasuo Kokubun, "Therm-Optically-Driven Silicon Microring-Resonator-Loaded Mach-Zehnder Modulator for Low-Power Consumption and Multiple-Wavelength Modulation", *Jpn. J. Appl. Phys.*, vol. 53 (2014) 022201
- [187] Y. Kim, M. Takenaka, "Strain-induced enhancement of plasma dispersion effect and free-carrier absorption in SiGe optical modulators", *Scientific Reports*, 印刷中
- [188] S. H. Kim, M. Yokoyama, Y. Ikku, R. Nakane, "Physical understanding of electron mobility in asymmetrically strained InGaAs-on-insulator metal-oxide-semiconductor field-effect transistors fabricated by lateral strain relaxation", *Appl. Phys. Lett.*, vol. 104, 113509, 2014
- [189] Miho Ishii, Kentaro Iwami, Norihiro Umeda, "Plasmonic half-waveplate based on gold nanoslit and its application to ultrasmall radial polarization converter", *Proceedings of SPIE*, 8809, (2013) 880922 1-6
- [190] Kentaro Iwami, Shin Kaneko, Ryuzo Shinta, Jun Fujihara, Hideaki Nagasaki, Yasufumi Matsumura, Norihiro Umeda, "Plasmon-resonance dew condensation sensor made of gold-ceramic nanocomposite and its application in condensation prevention", *Sensors and Actuators B: Chemical*, 184 (2013) 301-305
- [191] Daisuke Ogawa, Kosho Akatsuka, Tomoteru Fukumura, Minoru Osada, Takayoshi Sasaki (NIMS), and Tetsuya Hasegawa, "Fabrication and Properties of Micro Capacitors with a One-Nanometer-Thick Single TiO₂/Ti Nanosheet", *Chem. Lett.*, Vol. 43 (2014) pp. 307-309.
- [192] オケヨケネディ, 西垣内 康宏, 近藤 武宏, 黒澤 修, 小穴 英廣, 小寺 秀俊, 鷺津 正夫, "電界集中型細胞融合法による抗体産生細胞のこう収率取得", *静電気学会誌*, Vol. 38, No.1, (2014), pp.40-45
- [193] 黒澤 修, オケヨケネディ, 小穴英廣, 沖田圭介, 小寺秀俊, 鷺津正夫, "オンチップエレクトロポレーションを用いた接着細胞核への遺伝子直接送達法の開発", *静電気学会誌*, Vol.38, No.1(2014), pp.28-33
- [194] 斎木 悠, 鈴木 雄二, "マイクロチャネル内メタン・空気予混合火炎における金属壁面の化学的消炎効果", *日本燃焼学会誌*, 55巻, pp. 80-87, (2014)
- [195] 斎木 悠, 鈴木 雄二, "マイクロ燃焼場における壁面の熱的・化学的効果", *日本燃焼学会誌*, 55巻, 172号, pp. 138-146, (2013)
- [196] 鈴木 雄二, "振動発電技術の原理と将来展望", *日本エネルギー学会誌*, 93巻, (2014), pp. 227-233
- [197] Chen, R., and Suzuki, Y., "Suspended Electrodes for Reducing Parasitic Capacitance in Electret Energy Harvesting Devices", *J. Micromech. Microeng.*, Vol. 23, Issue 12, 125015 (2013)
- [198] Minh Anh Tran, Tadashi Kawazoe, Motoichi Ohtsu, "Fabrication of a bulk silicon p-n homojunction-structured light-emitting diode showing visible electroluminescence at room temperature", *Appl. Phys. A-Materials Science & Processing*, Vol. 115, Issue 1, pp. 105-111 (2014)
- [199] Naoki Wada, Minh Anh Tran, Tadashi Kawazoe, and Motoichi Ohtsu, "Measurement of multimode coherent phonons in nanometric spaces in a homojunction-structured silicon light emitting diode", *Appl. Phys. A-Materials Science & Processing*, Vol. 115, Issue 1, pp. 113-118 (2014)

- [200] Maiku Yamaguchi, Tadashi Kawazoe, and Motoichi Ohtsu, "Evaluating the coupling strength of electron-hole pairs and phonons in a 0.9 μ m-wavelength silicon light emitting diode using dressed-photon-phonons", *Appl. Phys. A-Materials Science & Processing*, Vol. 115, Issue 1, pp. 127-133 (2014)
- [201] S. Imamura, R. Watahiki, R. Miura, T. Shimada, Y. K. Kato, "Optical control of individual carbon nanotube light emitters by spectral double resonance in silicon microdisk resonators", *Appl. Phys. Lett.*, 102, 161102 (2013)
- [202] A. Yokoyama, M. Yoshida, A. Ishii, Y. K. Kato, "Giant circular dichroism in individual carbon nanotubes induced by extrinsic chirality", *Phys. Rev. X*, 4, 011005 (2014)
- [203] Y. Kumamoto, M. Yoshida, A. Yokoyama, T. Shimada, Y. K. Kato, "Spontaneous exciton dissociation in carbon nanotubes", *Phys. Rev. Lett.*, 112, 117401 (2014)
- [204] T. Inoue, D. Hasegawa, S. Badar, S. Aikawa, S. Chiashi, S. Maruyama, "Effect of Gas Pressure on the Density of Horizontally Aligned Single-Walled Carbon Nanotubes Grown on Quartz Substrates", *J. Phys. Chem. C*, Vol. 117 (2013) p.p. 11804-11810.
- [205] Kentaro Nodaa, Kiyoshi Matsumoto and Isao Shimoyama, "Stretchable tri-axis force sensor using conductive liquid", *Sensors and Actuators A: Physical*, 印刷中
- [206] Hidetoshi Takahashi, Yutaka Tomimatsu, Takeshi Kobayashi, Akihiro Isozaki, Toshihiro Itoh, Ryutaro Maeda, Kiyoshi Matsumoto, and Isao Shimoyama, "A smart, intermittent driven particle sensor with an airflow change trigger using a lead zirconate titanate (PZT) cantilever", *Measurement Science and Technology*, vol. 25, no. 2, article no. 025103, 2014
- [207] Yutaka Tomimatsu, Hidetoshi Takahashi, Takeshi Kobayashi, Kiyoshi Matsumoto, Isao Shimoyama, Toshihiro Itoh and Ryutaro Maeda, "A piezoelectric cantilever-type differential pressure sensor for low standby power trigger switch", *Journal of Micromechanics and Microengineering*, vol. 23, no.12, article no. 125023, 2013
- [208] Akira Inaba, Kwanghyun Yoo, Yusuke Takei, Kiyoshi Matsumoto, and Isao Shimoyama, "Ammonia Gas Sensing Using a Graphene Field-Effect Transistor Gated by Ionic Liquid", *Sensors and Actuators B: Chemical*, vol. 195, pp. 15-21, 2013
- [209] Tetsuo Kan, Akihiro Isozaki, Natsuki Kanda, Natsuki Nemoto, Kuniaki Konishi, Makoto Kuwata-Gonokami, Kiyoshi Matsumoto, and Isao Shimoyama, "Spiral metamaterial for active tuning of optical activity", *Applied Physics Letters*, vol. 102, no. 22, article no. 221906, 2013
- [210] Uijin G Jung, Kenta Kuwana, Yoshiharu Ajiki, Hidetoshi Takahashi, Tetsuo Kan, Yusuke Takei, Kentaro Noda, Eiji Iwase, Kiyoshi Matsumoto and Isao Shimoyama, "A photoresponse-compensated parallel piezoresistive cantilever for cellular force measurements", *Journal of Micromechanics and Microengineering*, vol. 23, no. 4, article no. 045015, 2013
- [211] Kentaro Noda, Nguyen Binh-Khiem, Yusuke Takei, Tomoyuki Takahata, Kiyoshi Matsumoto, and Isao Shimoyama, "Focal length measurement of a varifocal liquid lens with capacitance detection", *Applied Physics B: Lasers and Optics*, published online 2013
- [212] Akihiro Isozaki, Tetsuo Kan, Yoshiharu Ajiki, Kiyoshi Matsumoto, and Isao Shimoyama, "Measurement method for light transmittance of layered metamaterials", *Optics Letters*, vol. 38, issue 11, pp. 1811-1813, 2013
- [213] 水野泰孝, グエンマイルアン, 石川靖彦, 和田一実, "シリコン上ゲルマニウムの選択成長と歪制御によるデバイス応用", *レーザー研究*, Vol. 42 (2014) p.p. 236-240.
- [214] J. Cai, Y. Ishikawa, and K. Wada, "Strain induced bandgap and refractive index variation of silicon", *Optics Express*, Vol. 21 (2013) p.p.7162-7170
- [215] Y. Li, K. Nagato, J.-J. Delaunay, J. Kubota, and K. Domen, "Fabrication of highly ordered Ta₂O₅ and Ta₃N₅ nanorod arrays by nanoimprinting and through-mask anodization", *Nanotechnology*, Vol. 25 (2014) 014013-1-8.
- [216] K. Nagato, "Injection compression molding of replica molds for nanoimprint lithography", *Polymers*, Vol. 6 (2014) 604-612
- [217] Y. F. Li, "Wear-Insensitive Sidewall Microprobe With Long-Term Stable Performance for Scanning Probe Microscopy Lithography", *IEEE JMEMS*, vol. 22, no. 4, pp.901-908 (2013)
- [218] 富澤 泰, 李 永芳, 古賀章浩, 年吉 洋, 安藤泰久, 藤田博之, "ナノスケール摺動電気接点におい

2. 国際会議

- [1] K. Mori, Y. Okuma, X. Zhang, H. Fuketa, T. Sakurai, and M. Takamiya, "Analog-Assisted Digital Low Dropout Regulator (AAD-LDO) with 59 % Faster Transient Response and 28 % Ripple Reduction," International Conference on Solid State Devices and Materials (SSDM), pp. 888-889, Sep. 2013.
- [2] Tanaka, Toyoda, Horio, and Aihara, "A switched-current chaotic neuron IC prototype for synchronous exponential chaotic tabu search," Tech Rep IEICE, vol. 113, no. 341, pp. 65-69, 2013.
- [3] 久保田, 増田, 古田, 万沢, 神田, 小林, 小野寺, "A Low-Power and Area-Efficient Radiation-Hard Redundant Flip-Flop, DICE ACFF, in a 65 nm Thin-BOX FD-SOI", no.PC-2, The conference on Radiation and its Effects on Components and Systems(2013)
- [4] 古田, 小林, 小野寺, "Impact of Cell Distance and Well-contact Density on Neutron-induced Multiple Cell Upsets", pp. 6C.3.1-6C.3.4, IEEE International Reliability Physics Symposium(2013)
- [5] 張, 小林, "Contributions of Charge Sharing and Bipolar Effects to Cause or Suppress MCUs on Redundant Latches", pp. SE.5.1-SE.5.4, IEEE International Reliability Physics Symposium(2013)
- [6] Y. Kora, K. Yamaguchi, and H. Ando, "MLP-Aware Dynamic Instruction Window Resizing for Adaptively Exploiting Both ILP and MLP," In Proceedings of the 46th Annual International Symposium on Microarchitecture, pp.37-48, December 2013.
- [7] H. Hatano, "A simulation-based re-examination of single event transient pulse propagation failures in NOR/NAND devices," 24th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis, Oct. 2013.
- [8] Jubee Tada, "Performance Evaluation of 3D Stacked 32-bit Parallel Multipliers", International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART2013), 2013年06月, 57-62
- [9] Jubee Tada, etc., "Power and Performance Evaluation of 3-D Stacked Floating-point Multipliers", 2013 IEEE Computer Society Annual Symposium on VLSI, 2013年08月, 218-223
- [10] Jubee Tada, etc., "Design of a 3-D Stacked Floating-Point Adder", IEEE International Conference on 3D System Integration (3DIC2013), 2013年10月
- [11] Kanemoto, Kanaya, Yoshida, "A Design Methodology of Low Power Delta-Sigma Modulator utilizing Opamp Sharing Technique", Proc. IEEE Symposium on Low-Power and High-Speed Chips, p.20, 2013.
- [12] Kanemoto, Oshiro, Kanaya, Yoshida, "An Implementation of Common Mode Free and New Switching Scheme SAR ADC", Proc. IEEE Symposium on Low-Power and High-Speed Chips, p.21, 2013.
- [13] Yousef, Jia, Pokharel, Allam, Ragab, Kanaya, Yoshida, "CMOS Ultra-Wideband Low Noise Amplifier (UWB-LNA) Using Symmetric 3D RF Integrated Inductor", Proc. IEEE International Conference on Ultra-Wideband 2013, pp.273-275, 2013.
- [14] Tsukamoto, Iizasa, Yoshitomi, Pokharel, Kanemoto, Yoshida, Hattori, Kanaya, "Development of a Rectenna for Batteryless Electronic Paper", Proc. International technical conference of IEEE Region 10, USB pp.1-4, 2014.
- [15] Miyahara, Kanemoto, Pokharel, Yoshida, Kanaya, "Development of Dual Band Digitally Controlled Oscillator using Fibonacci Sequence in 0.18 um CMOS Process", Proc. International technical conference of IEEE Region 10, USB pp.1-4, 2014.
- [16] Shinki, Kanemoto, Yoshida, Pokharel, Yoshitomi, Kanaya, "Wireless Power Transmission Circuit on a Small Planar Wide-Band Antenna", Proc. International technical conference of IEEE Region 10, USB pp.1-4, 2014.
- [17] Yousef, Jia, Pokharel, Allam, Ragab, Kanaya, Yoshida, "Low-Power, Low-Voltage CMOS Ultra-Wideband Low Noise Amplifier for Portable Devices", Proc. 2nd International Japan-Egypt Conference on Electronics, Communications and Computers, pp.93-95, 2013.
- [18] I. Sakagami, X. Wang, M. Fujii and M. Tahara, "Planar dual-frequency three-way Wilkinson power dividers with open-circuited stubs, E in Proc. 43rd

- Eur. Microw. Conf., 7-10 Oct. 2013, Nuremberg, Germany, pp. 144-147.
- [19] Xiaolong Wang, Iwata Sakagami, and Atsushi Mase, "Generalized, miniaturized, dual-band Wilkinson power divider with series RLC circuit," in 2013 Asia-Pacific Microw. Conf., Proc. Nov. 5-8, 2013, Seoul, Korea, T3B-5, pp.372-374
- [20] Takahiro MATSUMOTO, Yasuaki OHIRA, Satoshi MURANAGA, Hideyuki TORII, Yuta IDA, Shinya MATSUFUJI, "Trial of Free-Space Parallel Transmission System Based on Optical ZCZ-CDMA System," Proc. of the 6th International Workshop on Signal Design and Its Applications in Communications, pp. 84-87, 2013年10月.
- [21] T. Nakabayashi, T. Sasaki, T., and T. Kondo, Dynamic BTB Resizing for Variable Stages Superscalar Architecture, Proceedings of the First International Symposium on Computing and Networking Across Practical Development and Theoretical Research (CANDAR 2013), pp. 352-358, (2013/12/4-6).
- [22] T. Okamoto, T. Nakabayashi, T.Sasaki, T. Kondo, FabCache, Cache Design Automation for Heterogeneous Multi-core Processors, Proceedings of the First International Symposium on Computing and Networking Across Practical Development and Theoretical Research (CANDAR 2013), pp.602-606, (2013/12/4-6).
- [23] Tomoyuki SUGIYAMA, Takahiro SASAKI, Toshio KONDO, Development of C++/RTL co-simulation environment for accelerating VLSI design of an embedded processor, Proc. of Int. ITC-CSCC 2013, pp.281-284 (2013/6/30-7/3), Yeosu, South Korea.
- [24] Yusuke SETO, Takahiro SASAKI, Toshio KONDO, FabBus, A Bus Framework for Heterogeneous Multi-core processor, Proc. of Int. ITC-CSCC 2013, pp.254-257 (2013/6/30-7/3), Yeosu, South Korea.
- [25] Hitoshi NAKAMURA, Takahiro SASAKI, Toshio KONDO, Fabrication and Evaluation of Variable Stages Pipeline Processor Chip with Fine-grain Mode Transition Controller, Proc. of Int. ITC-CSCC 2013, pp.258-261 (2013/6/30-7/3), Yeosu, South Korea.
- [26] Mori M., Itou T., Ikebe M., Asai T., Kuroda T., and Motomura M., "FPGA-based design for motion-vector estimation exploiting high-speed imaging and its application to machine learning," Proceedings of the 2014 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, pp. 145-148, Waikiki Beach Marriott Resort & Spa, Honolulu, Hawaii, USA (Feb. 28-Mar. 3, 2014).
- [27] Sanada Y., Ohata K., Ogaki T., Matsuyama K., Ohira T., Chikuda S., Igarashi M., Kuroda T., Ikebe M., Asai T., and Motomura M., "FPGA implementation of a memory-efficient stereo vision algorithm based on 1-D guided filtering," Proceedings of the 2014 International Conference on Circuits, Systems, and Control, pp. 25-30, Lindner Grand Hotel Beau Rivage, Interlaken, Switzerland (Feb. 22-24, 2014).
- [28] Hirao T., Kim D., Hida I., Asai T., and Motomura M., "A restricted dynamically reconfigurable architecture for low power processors," 2013 International Conference on ReConFigurable Computing and FPGAs, Hotel Iberostar Cancun, Cancun, Mexico (Dec. 9-11, 2013).
- [29] Ohata K., Sanada Y., Ogaki T., Matsuyama K., Ohira T., Chikuda S., Igarashi M., Ikebe M., Asai T., Motomura M., and Kuroda T., "Hardware-oriented stereo vision algorithm based on 1-D guided filtering and its FPGA implementation," Proceedings of the 2013 IEEE International Conference on Electronics, Circuits, and Systems, pp. 169-172, Yas Viceroy Hotel, Abu Dhabi, UAE (Dec. 8-11, 2013).
- [30] Fukuda E.S., Takenaka T., Inoue H., Kawashima H., Asai T., and Motomura M., "High level synthesis with stream query to C parser, Eliminating hardware development difficulties for software developers," Proceedings of the The 18th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp. 310-315, Hotel Sapporo Garden Palace, Sapporo, Japan (Oct. 21-22, 2013).
- [31] Hirao T., Kim D., Hida I., Asai T., and Motomura M., "A restricted dynamically reconfigurable architecture for low power processors," Proceedings of the The 18th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp. 267-268, Hotel Sapporo Garden Palace, Sapporo, Japan (Oct. 21-22, 2013).
- [32] Chikuda S., Ohira T., Sanada Y., Igarashi M., Ikebe M., Asai T., and Motomura M., "FPGA implementation of 60-FPS QVGA-to-VGA single-image super resolution," in Proc. of the 2013 International

- Conference on Solid State Devices and Materials, PS-5-11, pp. 136-137, Hilton Fukuoka Sea Hawk, Fukuoka, Japan (Sep. 24-27, 2013).
- [33] Gonzalez-Carabarin L., Asai T., and Motomura M., "Asynchronous digital circuit design using noise-driven stochastic gates," 2013 International Symposium on Nonlinear Theory and its Applications, Santa Fe Community Convention Center, Santa Fe, USA (Sep. 8-12, 2013).
- [34] Ishimura K., Schmid A., Asai T., and Motomura M., "Image steganography based on hardware-oriented reaction-diffusion models," 2013 International Symposium on Nonlinear Theory and its Applications, Santa Fe Community Convention Center, Santa Fe, USA (Sep. 8-12, 2013).
- [35] Ishimura K., Schmid A., Asai T., and Motomura M., "Image steganography on digital reaction-diffusion processor," Nonlinear Dynamics of Electronic Systems 2013, Palazzo Ateneo, Bari, Italy (Jul. 10-12, 2013).
- [36] Gonzalez-Carabarin L., Asai T., and Motomura M., "Towards asynchronous digital circuit design based on stochastic resonance," The 1st International Conference on Nanoenergy, Hotel Gio, Perugia, Italy (Jul. 10-13, 2013).
- [37] Fukuda E.S., Kawashima H., Inoue H., Asai T., and Motomura M., "Exploiting hardware reconfigurability on window join," The 2013 International Conference on High Performance Computing & Simulation, Hilton Strand Hotel, Helsinki, Finland (Jul. 1-5, 2013).
- [38] H. Myoren, Y. Akamatsu, R. Sato, S. Sato, M. Naruse, T. Taino, "SFQ digital signal processing circuits for multi-quantum beam detectors using STJ array with neutron absorbers", 2013 IEEE 14th International Superconductive Electronics Conference (ISEC), 6604290, 2013年7月.
- [39] H. Myoren, "SFQ Readout Circuit for Photon-Number-Resolving SNSPDs", Superconducting SFQ VLSI Workshop SSV2013, O-7, 2013年11月.
- [40] H. Nakagawa, M. Naruse, T. Taino, H. Myoren, "Design of SFQ Logic Cells with Magnetic Shield Structure for Digital SQUID", Superconducting SFQ VLSI Workshop SSV2013, P-25, 2013年11月.
- [41] 武田俊亮, 成瀬雅人, 田井野 徹, 明連広昭, "単一磁束量子論理によるデジタルSQUIDを用いたSNSPD光子数検出器", 電子情報通信学会2013年総合大会講演論文集, C-8-12, 2014年3月.
- [42] K. Takatoku, M. Naruse, T. Taino, H. Myoren, "Design of Digital SQUID with sub-flux quantum resolution", Superconducting SFQ VLSI Workshop SSV2014 for Young Scientists, P-22, 2014年3月.
- [43] B. Zhang, M. Naruse, T. Taino, H. Myoren, "Design of 8-bit Low-energy SFQ Up/Down Counter for Digital DROS", Superconducting SFQ VLSI Workshop SSV2014 for Young Scientists, P-12, 2014年3月.
- [44] Tomohiro Yamazaki, Toshinori Otaka, Takayuki Hamamoto, "Segmented-base CMOS Image Sensor for Machine Vision Application", Image sensor workshop (IISW'13), 5.05, 4pages (2013)
- [45] Hiroshi Iwata, Sayaka Satonaka and Ken'ichi Yamaguchi, "An Efficient Test Pattern Generator -Mersenne Twister-", The 18th Workshop on Synthesis And System Integration of Mixed Information Technologies, R1-12, pp.62-67, Oct. 2013.
- [46] Ryo Ogawa, Hiroshi Iwata and Ken'ichi Yamaguchi, "Threshold Power-Aware Test Pattern Ordering for Deterministic Circular Self Test Path," 14th IEEE Workshop on RTL and High Level Testing, III.5.S, pp.1-4, Nov. 2013.
- [47] Shin'ya Ueoka, Hiroshi Iwata and Ken'ichi Yamaguchi, "Tree-focused Graph Bipartition for Asynchronous LIL2* Scan Design," 14th IEEE Workshop on RTL and High Level Testing, IV.3.F, pp.1-6, Nov. 2013.
- [48] Takanori Moriyasu and Satoshi Ohtake, "A method of LFSR seed generation for scan-based BIST using constrained ATPG," in Proceedings of 2013 Seventh International Conference on Complex, Intelligent, and Software Intensive Systems (5th International Workshop on Virtual Environment and Network-Oriented Applications), pp.755-759, July 2013.
- [49] James S. Tandon, Takahiro J. Yamaguchi, Satoshi Komatsu, and Kunihiro Asada, "A Stochastic Sampling Time-to-Digital Converter with Tunable 180-770fs Resolution, INL less than 0.6LSB, and Selectable Dynamic Range Offset," IEEE Custom Integrated Circuits Conference, Sep. 2013.
- [50] Takahiro. J. Yamaguchi, James S. Tandon, Satoshi Komatsu, and Kunihiro Asada, "A Novel Test Structure for Measuring Variance of Threshold Voltage in MOSFETs," IEEE International Test

- Conference, Sep. 2013.
- [51] R.Ito, K.Sekine, and K.Wada, "Spiral Inductor Evaluation for LC Voltage Controlled Oscillators in 0.18 μ m CMOS", International Conference on Analog VLSI Circuits
- [52] T. Sato, S. Chivapreecha, P. Moungnoul, "A Logic Block for Wave-Pipelining," Proc. of IMETI 2013, pp. 130-134, 2013.
- [53] Y. Guo, K. Miyamoto, T. Wagner, M. J. Schoening and T. Yoshinobu, "Theoretical Study and Simulation of Light-Addressable Potentiometric Sensors", Engineering of Functional Interfaces Workshop 2013 (EnFI2013), Hasselt, Belgium, 8-9 July 2013.
- [54] Y. Guo, K. Miyamoto, T. Wagner, M.J. Schoening and T. Yoshinobu, "Device-level Simulation of the Light-addressable Potentiometric Sensor for High-speed and High-resolution Chemical Imaging", 2013 International Conference on Solid State Devices and Materials (SSDM 2013), Fukuoka, 24-27 September, 2013.
- [55] Y. Miyake, Y. Sato, S. Kajihara and Y. Miura, "A Flexible Temperature and Voltage Monitor for Field Test," IEEE Workshop on RTL and High Level Testing (WRTL) 2013, S3.3, pp. 1-6, 2013-11.
- [56] H.Kawakami, S.Igarashi, Y.Sasada, J.Akita, Column-Parallel Architecture for Line-of-Sight Detection Image Sensor Based on Centroid Detection, Proceedings of International Image Sensor Workshop 2013, pp.149-152, 2013.6.
- [57] Fujita Tomohiro, SinNyoung Kim, and Hidetoshi Onodera, "Computer Simulation of Radiation-Induced Clock-Perturbation in Phase-Locked Loop with Analog Behavioral Model", Proceedings of 15th International Symposium on Quality Electronic Design (ISQED), to appear, March 2014.
- [58] A.K.M. Mahfuzul Islam, Tohru Ishihara, and Hidetoshi Onodera, "Reconfigurable Delay Cell for Area-efficient Implementation of On-chipMOSFETMonitor Schemes", IEEE Asian Solid State Circuits Conference, Nov. 2013.
- [59] A.K.M. Mahfuzul Islam, Norihiro Kamae, Tohru Ishihara, and Hidetoshi Onodera, "Energy-efficient Dynamic Voltage and Frequency Scaling by P/N-performance Self-adjustment using Adaptive Body Bias", Proceedings of SASIMI, Oct. 2013.
- [60] A.K.M. Mahfuzul Islam, and Hidetoshi Onodera, "Area-efficient Reconfigurable Ring Oscillator for Characterization of Static and Dynamic Variations", International Conference on Solid State Devices and Materials, Sep. 2013, pp. 132-133.
- [61] SinNyoung Kim, Akira Tsuchiya, and Hidetoshi Onodera, "Perturbation-immune radiation-hardened PLL with a switchable DMR structure", Proceedings of IEEE 19th International On-Line Testing Symposium (IOLTS), pp. 128 - 132, July 2013.
- [62] Taro Amagai, Akira Tsuchiya, Shinsuke Nakano, Masafumi Nogawa, Hiroshi Koizumi, and Hidetoshi Onodera, "A Slow-Wave Transmission Line with Thin Pillars for Millimeter-Wave CMOS", 17th IEEE Workshop on Signal and Power Integrity, May 2013.
- [63] J. Furuta, K. Kobayashi, H. Onodera, "Impact of Cell Distance and Well-contact Density on Neutron-induced Multiple Cell Upsets", Proc. of 2013 IEEE International Reliability Physics Symposium (IRPS), pp.6C.3.1-6C.3.4, April 2013, DOI:10.1109/IRPS.2013.6532053.
- [64] Y. Fukazawa, T. Iwagaki, H. Ichihara and T. Inoue, "A transient fault tolerant test pattern generator for on-line built-in self-test," Proc. 22nd IEEE Asian Test Symposium (ATS '13), pp. 85-90, Nov. 2013.
- [65] Y. Fukazawa, T. Iwagaki, H. Ichihara and T. Inoue, "A Design of Error Correctable Response Analyzers for Reliable Built-in Self-test," Digest of Papers 14th IEEE Workshop on RTL and High Level Testing (WRTL '13), Nov. 2013.
- [66] Fujita, Kim, Onodera, "Computer Simulation of Radiation-Induced Clock-Perturbation in Phase-Locked Loop with Analog Behavioral Model", Inter. Symp. Quality Electronic Design
- [67] Y. Midoh, A. Osaki, and K. Nakamae, "A shape-modification strategy of electron beam direct writing considering circuit performance in LSI interconnects," in Proc. SPIE Advanced Lithography, San Jose, USA, 9049-68, 23-27 Feb. 2014
- [68] H. Mashiko, Y. Kohira, "A Tuning Method of Programmable Delay Element with Two Values for Yield Improvement", SASIMI, pp.159-164, 2013年10月.
- [69] Y. Kim, M. Takenaka, T. Osada, M. Hata, S. Takagi, "Strain-induced enhancement of free-

carrier effects in SiGe for optical modulator and VOA applications," Optical Fiber Communication Conference (OFC2014), Th1C.4, San Francisco, 13 March 2014.

- [70] S.-H. Kim, M. Yokoyama, R. Nakane, M. Ichikawa, T. Osada, M. Hata, M. Takenaka, S. Takagi, "High performance sub-20-nm-channel-length extremely-thin body InAs-on-Insulator tri-gate MOSFETs with high short channel effect immunity and V_{th} tunability," International Electron Devices Meeting (IEDM' 13), 16.4, Washington D. C., 10 December 2013.
- [71] R. Zhang, W. Chern, X. Yu, M. Takenaka, J. L. Hoyt, S. Takagi, "High mobility strained-Ge pMOSFETs with 0.7-nm ultrathin EOT using plasma post oxidation HfO₂/Al₂O₃/GeO_x gate stacks and strain modulation," International Electron Devices Meeting (IEDM' 13), 26.1, Washington D. C., 11 December 2013.
- [72] M. Noguchi, S. Kim, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, S. Takagi, "High Ion/Ioff and low subthreshold slope planar-type InGaAs tunnel FETs with Zn-diffused source junctions," International Electron Devices Meeting (IEDM' 13), 28.1, Washington D. C., 11 December 2013.
- [73] J.-H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of Ge composition on the interface trap density at Al₂O₃/Si- x Ge x MOS interface with plasma post-nitridation," IEEE Semiconductor Interface Specialists conference (SISC2013), 1.3, Washington D.C., 4 December 2013.
- [74] K. Nishi, M. Yokoyama, S. H. Kim, H. Yokoyama, M. Takenaka, and S. Takagi, "Impact of interfacial InAs layers on GaSb MOS interface properties," IEEE Semiconductor Interface Specialists conference (SISC2013), 11.11, Washington D.C., 6 December 2013.
- [75] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Electrical properties of metal/GaSb junctions using metal-GaSb alloys," IEEE Semiconductor Interface Specialists conference (SISC2013), 9.4, Washington D.C., 6 December 2013.
- [76] M. Takenaka and S. Takagi, "III-V/Ge device engineering for CMOS photonics," International Conference on Processing & Manufacturing of Advanced Materials (THERMEC2013), L3-5, Las Vegas, 3 December 2013 (invited).
- [77] M. Takenaka and S. Takagi, "Heterogeneous integration for CMOS photonics," 3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013), E-3, Tokyo, 20 November 2013 (invited).
- [78] T. Kayoda, J. Han, M. Takenaka, and S. Takagi, "Feasibility study of high-performance optical modulators using semiconductor-metal transition in graphene," 3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013), P-14, Tokyo, 19 November 2013.
- [79] T. J. Kang, R. Zhang, M. Takenaka, and S. Takagi, "Surface leakage reduction for Ge metal-semiconductor-metal photodetector by GeO_x passivation," 3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013), P-18, Tokyo, 19 November 2013.
- [80] Y. Ikku, M. Yokoyama, M. Noguchi, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Reduction in crosstalk of carrier-injection mach-zehnder interferometer optical switches by using III-V CMOS photonics platform," 3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013), P-27, Tokyo, 19 November 2013.
- [81] J. -H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "EOT scaling of plasma post-nitrided SiGe gate stack for high performance MOS optical modulators," 3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013), P-40, Tokyo, 19 November 2013.
- [82] Y. Kim, J. Han, M. Takenaka, and S. Takagi, "Low temperature Al₂O₃ surface passivation for carrier injection type Si/strained SiGe/Si waveguide modulator," 3rd International Symposium on Photonics and Electronics Convergence (ISPEC2013), P-41, Tokyo, 19 November 2013.
- [83] Y. Cheng, Y. Ikku, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Waveguide InGaAs MSM photodetector for chip-scale optical interconnects on III-V CMOS photonics platform," Asia Communications and Photonics Conference (ACP2013), ATH3A.4, Beijing, 14 November 2013.
- [84] S.-H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi,

- "Physical understanding of electron mobility in uniaxially strained InGaAs-OI MOSFETs," 43rd European Solid-State Device Research Conference (ESSDERC' 13), B4L-A1, Bucharest, 18 September 2013.
- [85] Y. Ikku, M. Yokoyama, N. Noguchi, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Low-crosstalk 2  2 InGaAsP photonic-wire optical switches using III-V CMOS photonics platform," European Conference on Optical Communication (ECOC' 13), London, P.2.19, 24 September 2013.
- [86] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "GaSb-on-insulator metal-oxide-semiconductor field-effect transistors on Si fabricated by direct wafer bonding technology," International Conference on Solid State Devices and Materials (SSDM2013), PS-6-33, Fukuoka, 26 September 2013 (Late News).
- [87] M. Kim, Y. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka and S. Takagi, "Electrical characteristics of Ge/Si hetero-junction tunnel field-effect transistors and their post annealing effects," International Conference on Solid State Devices and Materials (SSDM2013), B-6-2, Fukuoka, 27 September 2013.
- [88] W. K. Kim, Y. Kin, Y. H. Kim, S.H. Kim, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Sb-diffused source/drain ultra-thin body Ge-on insulator nMOSFETs fabricated by Ge condensation," International Conference on Solid State Devices and Materials (SSDM2013), D-6-5L, Fukuoka, 27 September 2013 (Late News).
- [89] Y. Kim, J. Han, M. Takenaka and S. Takagi, "Low temperature surface passivation for carrier injection type SiGe optical modulator," International Conference on Group IV Photonics (GFP2013), ThD4, Seoul, 29 August 2013.
- [90] T. Kayoda, J. Han, M. Takenaka and S. Takagi, "Evaluation of Chemical potential for graphene optical modulators based on the semiconductor-metal transition," International Conference on Group IV Photonics (GFP2013), ThD5, Seoul, 29 August 2013.
- [91] J. Kang, R. Zhang, M. Takenaka and S. Takagi, "Dark current suppression for germanium metal-semiconductor-metal photodetector by plasma post-oxidation passivation," International Conference on Group IV Photonics (GFP2013), FA6, Seoul, 30 August 2013.
- [92] J. -H. Han, R. Zhang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of plasma post-nitridation on HfO₂/Al₂O₃/SiGe gate stacks toward EOT scaling," 18th Conference on Insulating Films on Semiconductors (INFOS' 13), Cracow, 27 June 2013.
- [93] C.-Y. Chang, M. Yokoyama, S.-H. Kim, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of metal gate electrodes on electrical properties of InGaAs MOS gate stacks," 18th Conference on Insulating Films on Semiconductors (INFOS' 13), Cracow, 27 June 2013.
- [94] R. Zhang, J.-C. Lin, X. Yu, M. Takenaka, and S. Takagi, "Examination of physical origins limiting effective mobility of Ge MOSFETs and the improvement by atomic deuterium annealing," VLSI Symposium., 3.1, Kyoto, 11 June 2013.
- [95] S. H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Strained extremely-thin body In_{0.53}Ga_{0.47}As-On-Insulator MOSFETs on Si substrates," VLSI Symposium., 5.1, Kyoto, 11 June 2013.
- [96] S. H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "High performance extremely-thin body InAs-On-Insulator MOSFETs on Si with Ni-InGaAs metal S/D by contact resistance reduction technology," VLSI Symposium., 5.2, Kyoto, 11 June 2013.
- [97] Y. H. Kim, T. Osada, M. Hata, M. Takenaka, S. Takagi, "Evaluation of propagation loss of Si/SiGe/Si photonic-wire waveguides for Si based optical modulator," 8th International Conference on Silicon Epitaxy and Heterostructures (ICSI-8), pp. 213-214, Fukuoka, 3 June 2013.
- [98] M. Kim, Y. H. Kim, M. Yokoyama, R. Nakane, S. H. Kim, M. Takenaka and S. Takagi, "Tunnel field-effect transistors with germanium/strained-silicon hetero-junctions for low power applications," 8th International Conference on Silicon Epitaxy and Heterostructures (ICSI-8), pp. 197-198, Fukuoka, 3 June 2013.
- [99] Matsuo, Takagi, Nakahara, Yamashita, "A Variable-Length String Matching Circuit Based On SeqBDDs", Proc. Workshop on Synthesis And System Integration of Mixed Information

- Technologies (SASIMI), pp. 282 - 287, Oct. 2013
- [100] Shigetoshi Nakatake, Toru Fujimura, "DC Characteristics and Variability on 90 nm CMOS Transistor Array-style Analog Layout", AVIC 2013, Oct. 2013.
- [101] Yu Zhang, Gong Chen, Mingyu Li, Qing Dong, Shigetoshi Nakatake, "A Delay-locked Loop with Multi-level Channel Length Decomposed Programming Delay Elements", ICDV 2013, Nov. 2013.
- [102] Zhengfan Xia, Masanori Hariyama, Michitaka Kameyama, "A Low-Power FPGA Based on Self-Adaptive Multi-Voltage Control", Proc. International SoC Design Conference (ISOC), pp. 166-169, 2013-11-19.
- [103] Xu Bai, Michitaka Kameyama, "Design and Evaluation of a Voltage-Mode/Current-Mode Hybrid Logic Circuit for a Low-Power Fine-Grain Reconfigurable VLSI", Proc. International SoC Design Conference (ISOC), pp. 384-387, 2013-11-19.
- [104] Yoshiya KOMATSU, Masanori HARIYAMA and Michitaka KAMEYAMA, "An Area-Efficient Asynchronous FPGA Architecture for Handshake-Component-Based Design", Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA), pp. 15-18, July 2013.
- [105] Xu Bai, Michitaka Kameyama, "An Area-Efficient Multiple-Valued Reconfigurable VLSI Architecture Using an X-Net", Proceedings of the 43rd IEEE International Symposium on Multiple-Valued Logic, 272-277, 2013-05-24.
- [106] Xu Bai, Michitaka Kameyama, "Low-Power Multiple-Valued Source-Coupled Logic Circuits Using Dual-Supply Voltages for a Reconfigurable VLSI", Proceedings of the 43rd IEEE International Symposium on Multiple-Valued Logic, 164-169, 2013-05-22.
- [107] Shintaro Harada, Xu Bai, Yoshichika Fujioka, Michitaka Kameyama, "Logic-in-Memory Architecture for a Multiple-Valued Reconfigurable VLSI Based on Packet Data Transfer Scheme", Proceedings of the 22nd International Workshop on Post-Binary ULSI Systems, 65-68, 2013-05-21.
- [108] Xu Bai, Michitaka Kameyama, "Voltage-Mode/Current-Mode Hybrid Logic Circuit for a Low-Power Fine-Grain Reconfigurable VLSI", Proceedings of the 22nd International Workshop on Post-Binary ULSI Systems, 62-64, 2013-05-21.
- [109] Y. Umeki, K. Yanagida, S. Yoshimoto, S. Izumi, M. Yoshimoto, H. Kawaguchi, K. Tsunoda, T. Sugii, "A 0.38-V Operating STT-MRAM with Process Variation Tolerant Sense Amplifier", IEEE Asian Solid-State Circuits Conference (ASSCC), Nov. 2013.
- [110] K. Takagi, K. Mizuno, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "A SUB-100-MILLIWATT DUAL-CORE HOG ACCELERATOR VLSI FOR REAL-TIME MULTIPLE OBJECT DETECTION" 2013 IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP2013), pp.2533-2537, May, 2013.
- [111] K. Okuno, S. Izumi, T. Konishi, S. Dae-Woo, M. Yoshimoto, H. Kawaguchi, "Temperature Compensation Using Least Mean Squares for Fast Settling All-Digital Phase-Locked Loop," Proceedings of 11th IEEE New Circuits and Systems Conference (NEWCAS), June, 2013.
- [112] S. Yoshimoto, S. Miyano, M. Takamiya, H. Shinohara, H. Kawaguchi, and M. Yoshimoto, "A 40-nm 8T SRAM with Selective Source Line Control of Read Bitlines and Address Preset Structure," IEEE Custom Integrated Circuits Conference (CICC), Sep. 2013.
- [113] G. He, Y. Miyamoto, K. Matsuda, S. Izumi, H. Kawaguchi, M. Yoshimoto, "A 40-nm 54-mW $3 \times$ -Real-time VLSI Processor for 60-KWORD Continuous Speech Recognition," Proceeding of IEEE Workshop on Signal Processing Systems (SiPS)
- [114] Shiyi Zhang, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato, "Histogram Propagation Based Statistical Timing Analysis using Dependent Node Selection," The 28th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC) (Yeosu, Korea), pp.321-324, June 2013.
- [115] Takashi Imagawa, Masayuki Hiromoto, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato, "Place-and-Route Algorithms for a Reliability-Oriented Coarse-Grained Reconfigurable Architecture using Time Redundancy," in Proc. of the 18th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2013) (Hotel Sapporo Garden Palace, Sapporo, Hokkaido,

- Japan), pp.76-81, Oct. 2013.
- [116] Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "Statistical Observation of NBTI and PbtI Degradations," in Proc. of Workshop on variability modeling and characterization (VMC) (San Jose, CA), Nov. 2013.
- [117] T. Sekine and H. Asai, "Unconditionally Stable Explicit Method for the Fast 3-D Simulation of On-Chip Power Distribution Network," in Proc. IEEE ECTC 2013, Las Vegas, NV, May 2013, pp. 1094-1099.
- [118] S. Okada, T. Sekine, and H. Asai, "Nonlinear Locally Implicit LIM for the Simulation of PDN Modeled by Triangular Meshes," in Proc. IEEE EDAPS 2013, Nara, Japan, Dec. 2013, pp. 84-87.
- [119] H. Hojo, S. Okada, T. Sekine, and H. Asai, "Fast Transient Analysis of Power/Ground Planes Based on Multi-Rate Locally Implicit Latency Insertion Method," in Proc. IEEE EDAPS 2013, Nara, Japan, Dec. 2013, pp. 80-83.
- [120] D. Nagata, T. Sekine, and H. Asai, "Fast Transient Analysis of 3-D Stacked On-Chip Power Distribution Network with Power/Ground Through Silicon Vias by Using Block Latency Insertion Method," in Proc. IEEE EDAPS 2013, Nara, Japan, Dec. 2013, pp. 64-67.
- [121] X. Yang, Y. Uchida, K. Xu, W. Wang, T. Yoshimasu, "2.4 GHz-band ultra-low-voltage class-C LC-VCO in 65 nm CMOS Technology," Asia Pacific Microwave Conference, pp.325-327, Nov., 2013
- [122] Toshiyuki Shimotori, Kazuaki Maekita, Ryoichi Gyobu, Takeo Maruyama, and Koichi Iiyama, "Optimizing interdigital electrode spacing of CMOS APD for 10 Gb/s application", 18th OptoElectronics and Communications Conference (OECC 2013), MM1-3, Kyoto, Japan (July 2013).
- [123] Jun Tsukamoto, Motoki Wada, Yumi Shimada, Ryuichi Sakamoto, Mikiko Sato, Masaaki Kondo, Kimiyoshi Usami, Hideharu Amano, Hiroshi Nakamura, Mitaro Namiki, A Basic Study on Leakage Power Reduction for FPU by Fine-grained Power Gating Control, IEEE Symposium on Low-Power and High-Speed Chips(CoolChips) XVI, Poster, April 18, 2013.
- [124] Y. Mizugaki, Y. Sato, H. Shimada, and M. Maezawa, "Demonstration of a 1000-fold voltage multiplier using double-flux-quantum generation," 11th European Conference on Applied Superconductivity (EUCAS 2013), Genova, Italy, September 15-19, 2013.
- [125] Y. Mizugaki, "Nonlinear Characteristics of RF-Driven Asymmetric DC-SQUID Applied for Digital-to-Analog Conversion," The 7th East Asia Symposium on Superconductor Electronics (EASSE 2013), Taipei, Taiwan, October 22-26, 2013.
- [126] Y. Takahashi, H. Shimada, M. Maezawa, and Y. Mizugaki, "Design and operation of 6-bit, 0.25-mVpp quasi-sine voltage waveform generator based on SFQ pulse-frequency modulation," 26th International Symposium on Superconductivity (ISS 2013), Funabori, Japan, November 18-20, 2013.
- [127] Y. Urai, T. Watanabe, Y. Takahashi, and Y. Mizugaki, "Mutually-coupled dc/SFQ converter tested using an on-chip pulse generator," Superconducting SFQ VLSI Workshop (SSV 2013), Tsukuba, Japan, November 21-22, 2013.
- [128] Y. Mizugaki, K. Kuroiwa, Y. Sato, Y. Takahashi, Y. Urai, H. Shimada, and M. Maezawa, "Development of Single-Chip Voltage Waveform Generators Based on SFQ Pulse-Frequency Modulation," Superconducting SFQ VLSI Workshop (SSV 2013), Tsukuba, Japan, November 21-22, 2013.
- [129] H. Konoura, D. Alnajjar, Y. Mitsuyama, H. Ochi, T. Imagawa, S. Noda, K. Wakabayashi, M. Hashimoto, and T. Onoye, "Mixed-Grained Reconfigurable Architecture Supporting Flexible Reliability and C-Based Design," Proceedings of International Conference on ReConFigurable Computing and FPGAs (ReConFig), December 2013.
- [130] S. Iizuka, M. Mizuno, D. Kuroda, M. Hashimoto, and T. Onoye, "Stochastic Error Rate Estimation for Adaptive Speed Control with Field Delay Testing," Proceedings of International Conference on Computer-Aided Design (ICCAD), pp. 107-114, November 2013.
- [131] T. Amaki, M. Hashimoto, and T. Onoye, "A Process and Temperature Tolerant Oscillator-Based True Random Number Generator with Dynamic 0/1 Bias Correction," Proceedings of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 133-136, November 2013.
- [132] D. Alnajjar, H. Konoura, Y. Mitsuyama, H. Shimada, K. Kobayashi, H. Kanbara, H. Ochi,

- T. Imagawa, S. Noda, K. Wakabayashi, M. Hashimoto, T. Onoye, and H. Onodera, "Reliability-Configurable Mixed-Grained Reconfigurable Array Supporting C-To-Array Mapping and Its Radiation Testing," Proceedings of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 313-316, November 2013.
- [133] R. Harada, M. Hashimoto, and T. Onoye, "NBTI Characterization Using Pulse-Width Modulation," IEEE/ACM Workshop on Variability Modeling and Characterization, November 2013.
- [134] M. Hashimoto, "Soft Error Immunity of Subthreshold Sram (Invited)," Proceedings of IEEE International Conference on ASIC, pp. 91-94, October 2013.
- [135] T. Shinada, M. Hashimoto, and T. Onoye, "Proximity Distance Estimation Based on Capacitive Coupling between 1mm^3 Sensor Nodes," Proceedings of International NEWCAS Conference, June 2013.
- [136] Y. Higuchi, K. Shinkai, M. Hashimoto, R. Rao, and S. Nassif, "Extracting Device-Parameter Variations Using a Single Sensitivity-Configurable Ring Oscillator," Proceedings of IEEE European Test Symposium (ETS), pp. 106-111, May 2013.
- [137] Mannan, Tanno, Tamura, Tayama, Agung, "Expandable MVL Inverter Compatible with Standard CMOS Process and Its Application to MVL Hysteresis Comparator", IEEE 43rd International Symposium on Multiple-Valued Logic (ISMVL 2013), pp.45-50, May 2013.
- [138] Mannan, Tamura, Tanno, "Asynchronous Delta-Sigma Modulator with Multiple-Valued Output", The 5th International Conference on Information Technology and Electrical Engineering (ICITEE 2013), pp.432-437, Oct. 2013.
- [139] IWASAKI, TAMURA, TOYAMA, TANNO, "Low-Cost CMOS Noise Filter for Power Supply Noise", International Joint Symposium on Applied Mechanics and Robotics, アブストラクト集 pp.5-8, July 2013.
- [140] MIYAGAWA, TAMURA, TOYAMA, TANNO, "Design of a High-Gain Three-Stage Operational Amplifier With Multipath Nested Miller Compensation", International Joint Symposium on Applied Mechanics and Robotics, アブストラクト集 pp.9-12, July 2013.
- [141] Daiki Tabira and Kenichi Ohhata, A $6.5\text{-}\mu\text{V}/^\circ\text{C}$ Offset Drift Compensation Technique for Dynamic Comparator, SCIEI International Conference on Solid-State and Integrated Circuits, Vol.1, No.1, pp.44-47 (2013).
- [142] Y. Zhang, Y. Tanaka and S. Wei, Recoding Algorithms for Minimal Signed-Digit Numbers in Residue Number System, IEEE TENCON 2013, P422, Xi'an, Chaaanxi, China, October (2013)
- [143] Y. Tanaka, Y. Zhang and S. Wei, Efficient Implementations of Canonical Signed-Digit Recoding Algorithm, The 2013 Intl. Conf. on Integrated Circuits, Design, and Verification (ICDV 2013), 67-72, Ho Chi Minh city, Vietnam, November (2013).
- [144] I. Mori, M. Kubota and Y. Mita, "A Test Structure of Bypass Diodes for On-chip High-Voltage Silicon Photovoltaic Cell Array," The 27th International Conference on Microelectronic Test Structures (ICMTS 2014), Udine, Italy, March, 2014.
- [145] Kota Hosaka, Satoshi Morishita, Isao Mori, Masanori Kubota, and Yoshio Mita, "An Integrated CMOS-MEMS Probe Having Two-Tips per Cantilever for Individual Contact Sensing and Kelvin Measurement with Two Cantilevers", 25th IEEE International Conference on Microelectronic Test Structures (ICMTS), 25-28 March, Osaka University Nakanoshima Center, Japan, pp. 3-6, 2013.
- [146] Hidefumi Inoue, Moritoshi Yasunaga, Kenji Kanazawa and Noriyuki Aibe, "Signal Integrity Evaluation of Segmental Transmission Line under Real-world Application," Proc. of 2013 IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2013), pp. 108-111, Dec. 2013
- [147] K. Seki, K. Kanazawa and M. Yasunaga, "Crosstalk-noise Reduction in GHz Domain Using Segmental Transmission Line," Proc. of 2013 IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2013), pp. 96-99, Dec. 2013.
- [148] Shibasaka, Kazuma; Kanazawa, Kenji; Yasunaga, Montoshi, "Decoupling-capacitor allocation problem solved by genetic algorithm," Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2013 IEEE, vol., no., pp.225,228, 12-15 Dec. 2013
- [149] Tuan Anh To, Dang Anh Tuan, Vo Chi Thanh,

- Umair F. Siddiqi, Yoichi Shiraishi and Kazuhiro Motegi "Hybrid Particle Swarm Optimization for Component Placement in 3D IC Design", pp.68-71, EDAPS 2013 Decembe
- [150] Satoshi Maruyama, Toshifumi Konishi, Katsuyuki Machida, Noboru Ishihara, Kazuya Masu, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A Time-multiplexed Electrostatic Drive and Sample Interface Circuit for MEMS Optical Scanners," in Proc. IEEE Int. Conf. on Optical MEMS and Nanophotonics (OMN 2013), Kanazawa, Japan, Aug. 18-22, 2013, pp. 15-16.
- [151] Amakawa, Orii, Katayama, Takano, Motoyoshi, Yoshida, Fujishima, "Process parameter calibration for millimeter-wave CMOS back-end device design with electromagnetic field analysis", ICMTS 2014.
- [152] Tanvir AHMED, Jun YAO, and Yasuhiko NAKASHIMA, "A Two-Order Increase in Robustness of Partial Redundancy Under Radiation Stress Test by Using SDC Prediction", In 2013 IEEE Conference on Radiation Effects on Components and Systems (RADECS), C-7, pp.1-7, Sep. (2013)
- [153] Yuko HARA-AZUMI, Masaya KUNIMOTO, and Yasuhiko NAKASHIMA, "Emulator-Oriented Tiny Processors for Unreliable Post-Silicon Devices, A Case Study", ASP-DAC, 19th Asia and South Pacific Design Automation Conference, pp.85-90, Jan. (2014)
- [154] Jinjia Zhou, Dajiang Zhou, Gang He, and Satoshi Goto, "A 1.59Gpixel/s motion estimation processor with -211-to-211 search range for UHDTV video encoder, Symposium on VLSI Circuits (VLSI), Kyoto, Japan, pp. 286-287, June, 2013
- [155] Hideki Naganuma, Takaharu Tani, Hisashi Kino, Kouji Kiyoyama, and Tetsu Tanaka, "Ultralow Power Operation of 3-D Stacked Retinal Prosthesis Chip with Edge Enhancement Function," Extended Abstracts of the 2013 International Conference on Solid State Devices and Materials, pp. 374-375, September 2013.
- [156] Takaharu Tani, Hideki Naganuma, Hisashi Kino, Kouji Kiyoyama, and Tetsu Tanaka, "Development of Multi-Biosignal Recording Circuit with Adjustable Gain-Bandwidth LNA and Variable Resolution ADC," 7th East Asian Consortium on Biomedical Engineering, pp. 53-54, November 2013.
- [157] H. Kino, J. -C. Bea, M. Murugesan, K. -W. Lee, T. Fukushima, M. Koyanagi, and T. Tanaka, "Impacts of Static and Dynamic Local Bending of Thinned Si chip on MOSFET Performance in 3-D Stacked LSI," 2013 Electronic Components & Technology Conference, pp. 360-365, 2013.
- [158] O. Wada, T. Tan, S. Tanifuji, S. Kameda, N. Suematsu, T. Takagi, K. Tsubouchi, "5 GHz-Band CMOS Direct Digital RF Modulator Using Current-Mode DAC with Idle Current," International Wireless Symposium 2013 (IWS2013), WE3B-1, April 2013.
- [159] T. Matsuda, K. Yamada, H. Iwata, T. Hatakeyama, M. Ishizuka and T. Ohzone, "A Test Structure for Analysis of Temperature Distribution in Stacked IC with Sensing Device Array," Proc. IEEE Int. Conf. on Microelectronic Test Structures, March, 2014
- [160] A.Suda, H.Takase, K.Takagi, N.Takagi, "High-Level Synthesis for Nested Loop Kernels with Non-Uniform Dependencies", SASIMI2013, 2013年10月.
- [161] A.Suda, H.Takase, K.Takagi, N.Takagi, "A Buffering Method for Parallelized Loop with Non-Uniform Dependencies in High-Level Synthesis", ICA3PP2013, 2013年12月.
- [162] T.Watanabe and H.Asai, "A Comparison of Equivalent Circuit Models of Power/Ground Planes Based on Delaunay Triangulation in Transient Analysis", The IEEE Electrical Design of Advanced Packaging & Systems (EDAPS) symposium 2013, Dec. 2013.
- [163] Kazuma SHIMODA, Kazunori HATAISHI, Sumio FUKAI and Akio SHIMIZU, "Design of a four-valued arithmetic and logic unit with FG-MOS transistors," The 28th International Technical Conference on Circuits/Systems Computers and Communications (ITC-CSCC), pp.303-304, July 2013.
- [164] K. Kishine, H. Inaba, Analysis and design based on small-signal equivalent circuit for a 10-GHz ring VCO with 65-nm CMOS, MWSCAS2013, pp. 904-907
- [165] Konishi, K., Tanaka, T., & Koide, T. (2013, October). Power electronics education using the integrated circuit consistent education system and TCAD. In *Frontiers in Education Conference*, 2013

- IEEE (pp. 1456-1458). IEEE
- [166] Kato, E.;Sato, H.;Ikeda, H.;Sugimoto, Y.; et al; "Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)", 2012 IEEE pp.562-570
- [167] K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, "Low-Powered Self-Timed Pipeline with Variable-Grain Power Gating and Suspend-Free Voltage Scaling," Proceedings of the 2013 International Conference on Parallel and Distributed Processing Techniques and Applications(PDPTA'13), pp.618-624, July 2013.
- [168] R. Taguchi, H. Ohiso, K. Mendori, K. Miyagi, and M. Iwata, "Self-Timed Single Circular Pipeline for Multiple FFTs," Proceedings of the 2013 International Conference on Parallel and Distributed Processing Techniques and Applications(PDPTA'13), pp.625-630, July 2013.
- [169] T. Yasuda, S. S. Senanayaka, S. Izumiya, and T. Adachi;"433 MHz Wide-tunable High Q SAW Oscillator", Proceedings of 2013 IEEE International Frequency Control Symposium, pp. 744 - 746, July 2013.
- [170] Y. Kita, H. Matsuoka, S. Miyajima, M. Tanaka, and A. Fujimaki, "Noise reduction in RSFQ logic gates for increasing operating speed and widening margins," IEEE 14th International Superconductive Electronics Conference (ISEC), Boston, MA, USA, July 2013.
- [171] M. Tanaka, A. Kitayama, T. Takinami, Y. Komura, and A. Fujimaki, "Bit error rate in low-voltage RSFQ circuits with small critical currents/ lowered bias voltages," IEEE 14th International Superconductive Electronics Conference (ISEC), Boston, MA, USA, July 2013.
- [172] M. Tanaka, Y. Hayakawa, K. Takata, and A. Fujimaki, "Design of Low-Voltage RSFQ Microprocessor Prototypes," 11th European Conference on Applied Superconductivity (EUCAS), Genova, Italy, Sep. 2013.
- [173] M. Tanaka, Y. Hayakawa, K. Takata, and A. Fujimaki, "Sub-Milliwatt, 30-GHz Microprocessor Based on Low-Voltage Rapid Single-Flux-Quantum Circuit Technology," 2013 International Conference on Solid State Devices and Materials (SSDM 2013), Fukuoka, Japan, Sep. 2013.
- [174] K. Takata, Y. Hayakawa, M. Tanaka, and A. Fujimaki, "Fifty giga-hertz demonstration of RSFQ adders for bit slice microprocessors," 26th International Superconductivity Symposium (ISS2013), Tokyo, Japan, Nov. 2013.
- [175] K. Ito, G. Yu, Y. Kita, M. Tanaka, and A. Fujimaki, "Demonstration of address generation circuits based on RSFQ time-to-digital converter for the imaging applications of superconducting detectors array," 26th International Superconductivity Symposium (ISS2013), Tokyo, Japan, Nov. 2013.
- [176] M. Tanaka and A. Fujimaki, "Design and implementation of low-power, high-density RSFQ shift-registers for random access memories," 26th International Superconductivity Symposium (ISS2013), Tokyo, Japan, Nov. 2013.
- [177] Makoto Nagata, Daisuke Fujimoto, Daichi Tanaka, "Power Current Modeling of Cryptographic VLSI Circuits for Analysis of Side Channel Attacks," in Proc. 2013 IEEE Asia-Pacific International Symposium and Exhibition on Electromagnetic Compatibility (APEMC 2013), #103, pp. 1-4, May 2013.
- [178] Yuji Harada, Kumpei Yoshikawa, Noriyuki Miura, Makoto Nagata, Akitaka Murata, Syuji Agatsuma, Kouji Ichikawa, "Power-Noise Measurements of Small-Scale Inverter Chains," in Proc. IEEE 2013 International Meeting for Future of Electron Devices, Kansai (IMFEDK 2013), #PS-03, pp. 102-103, May 2013.
- [179] Daisuke Fujimoto, Noriyuki Miura, Makoto Nagata, Yuichi Hayashi, Naofumi Homma, Yohei Hori, Toshihiro Katashita, Kazuo Sakiyama, Thanh-Ha Le, Julien Bringer, Pirouz Bazargan-Sabet, Jean-Luc Danger, "On-Chip Power Noise Measurements of Cryptographic VLSI Circuits and Interpretation for Side-Channel Analysis," in Proc. 2013 IEEE International Symposium on Electromagnetic Compatibility in Europe (EMC Europe 2013), pp. 405-410, Sep. 2013.
- [180] Naoya Azuma, Tetsuya Makita, Shinichiro Ueyama, Makoto Nagata, Satoru Takahashi, Motoki Murakami, Kazuaki Hori, Satoshi Tanaka, Masahiro Yamaguchi, "In-System Diagnosis of RF ICs for Tolerance against On-Chip In-Band Interferers," in Proc. 2013 IEEE International Test Conference (ITC 2013), #12.3, pp. 12.3.1-12.3.9, Sep. 2013.
- [181] Shunsuke Shimazaki, Shota Taga, Tetsuya Makita, Naoya Azuma, Noriyuki Miura, Makoto Nagata,

- "Emulation of High Frequency Substrate Noise in CMOS Digital Circuits with Effects of Adjusting Clock Skew," in Extended Abstracts of the 2013 International Conference on Solid State Devices and Materials (SSDM 2013), #PS-5-5, pp. 124, Sep. 2013.
- [182] Makoto Nagata, Shunsuke Shimazaki, Naoya Azuma, Satoru Takahashi, Motoki Murakami, Kazuaki Hori, Satoshi Tanaka, Masahiro Yamaguchi, "Measurement-Based Diagnosis of Wireless Communication Performance in the Presence of In-Band Interferers in RF ICs," in Proc. 2013 IEEE 9th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo), #SS-3, pp. 37-41, Dec. 2013.
- [183] Kumpei Yoshikawa, Yuji Harada, Noriyuki Miura, Noriaki Takeda, Yoshiyuki Saito, Makoto Nagata, "Immunity Evaluation of Inverter Chains against RF Power on Power Delivery Network," in Proc. 2013 IEEE 9th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo), #IM1-4, pp. 232-237, Dec. 2013.
- [184] Noriyuki Miura, Shiro Dosho, Satoshi Takaya, Daisuke Fujimoto, Takumi Kiriya, Hiroyuki Tezuka, Takuji Miki, Hiroto Yanagawa, Makoto Nagata, "A 1mm-Pitch 80×80-Channel 322Hz-Frame-Rate Touch Sensor with Two-Step Dual-Mode Capacitance Scan," in Dig. Tech. Papers, 2014 IEEE Intl. Solid-State Circuits Conference (ISSCC), #12.4, pp. 216-217, Feb. 2014.
- [185] Zhe DU, Yu JIN, Shinji KIMURA (Waseda University), "Controlling-Value-Based Power Gating Considering Controllability Propagation and Power-off Probability," Proc. of IEEE 10th International Conference on ASIC, pp. 368-372, Oct. 2013.
- [186] Yu JIN, Zhe DU, Shinji KIMURA "An Advanced Pseudo Power Gating for Gate Level Power Optimization," Proc. ITC-CSCC, pp.270-273, July 2013.
- [187] M. Shibatani, M. Shiozaki, Y. Hashimoto, T. Kubota, and T. Fujino, "Power Analysis Resistant IP Core using IO-Masked Dual-Rail ROM for Easy Implementation into Low-Power Area-Efficient Cryptographic LSIs," SASIMI 2013, Oct. 2013.
- [188] Shintaro Ukai, Tsunato Nakai, Mitsuru Shiozaki, Takaya Kubota, and Takeshi Fujino. "Tamper-Resistant AES Cryptographic Circuit utilizing Hybrid Masking Dual-Rail ROM", NCSP2014, February.2014.
- [189] Nakai, Shiozaki, Kubota, Fujino. "Evaluation of On-Chip Decoupling Capacitor's Effect on AES Cryptographic Circuit", The 18th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2013), 2013 Oct.
- [190] M. TANIGUCHI, M. SHIOZAKI, H. KUBO and T. FUJINO, "A Stable Key Generation from PUF Responses with a Fuzzy Extractor for Cryptographic Authentications," GCCE2013, October, 2013.
- [191] Ryohei Hori, Taisuke Ueoka, Taku Otani, Masaya Yoshikawa, Takeshi Fujino, "The implementation of DES circuit on via-programmable structured ASIC architecture VPEX3", 2013 International Symposium on VLSI Design, Automation, and Test (VLSI-DAT2013), pp.241-244, April 2013.
- [192] Otani, Hori, Yoshikawa, Fujino "Improved Via-Programmable Structured ASIC VPEX3S and Its Evaluation", NCSP'14, Feb. 2014.
- [193] Tatsuro Hitomi, Toshiya Honda, Ryohei Hori, Takeshi Kumaki and Takeshi Fujino, "Hardware Controller of camera sensor node using IR array sensor and CMOS image sensor for ultra-low-power operation", 2014 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, 口頭発表, 2014年3月.
- [194] Tsubaki, Hirose, Kuroki, Numa, "A 32.55-kHz, 472-nW, 120ppm/C, Fully on-Chip, Variation Tolerant CMOS Relaxation Oscillator for a Real-Time Clock Application," The 39th IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 315-318, Sep. 2013
- [195] Hirose, "Design of an Ultra-Low Power CMOS Amplifier for Low-Voltage Power-Aware Analog LSIs," The IEEE 10th international Conference on ASIC (ASICON), pp. 99-102, Oct. 2013.
- [196] D. Alnajjar, H. Konoura, Y. Mitsuyama, H. Shimada, K. Kobayashi, H. Kanbara, H. Ochi, T. Imagawa, S. Noda, K. Wakabayashi, M. Hashimoto, T. Onoye, and H. Onodera, "Reliability-Configurable Mixed-Grained Reconfigurable Array Supporting C-to-Array Mapping and Its Radiation Testing," IEEE AsiaSolid-State Circuits

Conference 2013 (A-SSCC 2013), pp. 313-316, Singapore / Singapore, Nov. 2013.n

- [197] S. Uenohara, D. Atuti, K. Matsuzaka, H. Tamukoh, and T. Morie, Robustness to CMOS Device Mismatches of Time-domain Voltage/Current Sampling Circuits for Implementing Large-scale Coupled Nonlinear Dynamical Systems, 2014 RISP Int. Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP 2014), Honolulu, Hawaii, USA, March 1-3(1), 2014.
- [198] T. Morie, VLSI Implementation and Nanostructure for Time-domain Spike-based Computing), The 1st Int. Symp. on Neuromorphic and Nonlinear Engineering (ISNNE 2014), Tokyo, Japan, Feb. 20-21(21), 2014.
- [199] S. Uenohara, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, A PWM-Mode CMOS Threshold-Coupled-Map Circuit Robust to Device Mismatches, Abs. Collection of the 2013 Int. Symp. on Nonlinear Theory and its Applications (NOLTA2013), pp. 503-506, Santa Fe, USA, Sept. 8-11(11), 2013.
- [200] K. Matsuzaka, Y. Hata, H. Nishi, Y. Kawashima, D. Atuti and T. Morie, A Coupled MRF Model for Coarse Image Region Segmentation and Its VLSI Implementation, Int. Workshop on Machine Vision for Industrial Innovation (MVII2013), p. 147, Kitakyushu, Japan, Oct. 20-21(20), 2013.
- [201] T. Morie and K. Matsuzaka, Coupled MRF Models for Coarse Image Region Segmentation and Their VLSI Implementation, Int. Workshop on Machine Vision for Industrial Innovation (MVII2013), pp. 111-115, Kitakyushu, Japan, Oct. 20-21(21), 2013.
- [202] M. Maeda, H. Liang, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, A Spiking Neural Network System with a Merged Analog/Digital LSI Chip Controlled by an FPGA, The 3rd Int. Symp. on Innovative Mathematical Modelling, p. 60, Tokyo, Japan, Nov. 12-15(12), 2013.
- [203] S. Uenohara, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, A PWM-mode CMOS Coupled Map Lattice Circuit Robust to Device Mismatches, The 3rd Int. Symp. on Innovative Mathematical Modelling, p. 125, Tokyo, Japan, Nov. 12-15(15), 2013.
- [204] T. Fujimori, M. Watanabe, "Color configuration method for an optically reconfigurable gate array," International Conference on Field-Programmable Technology, pp. 406-409, Kyoto, Japan, Dec., 2013.
- [205] Y. Shirahashi, M. Watanabe, "Many-module redundancy implementation of mono instruction set computers for 3D optical FPGAs," IEEE Electrical Design of Advanced Packaging & Systems, pp. 169-172, Nara, Japan, Dec., 2013.
- [206] H. Ito, M. Watanabe, "Mono-instruction set computer architecture on a 3D optically reconfigurable gate array," IEEE Electrical Design of Advanced Packaging & Systems, pp. 173-176, Nara, Japan, Dec., 2013.
- [207] T. Kubota, M. Watanabe, "A dynamic optically reconfigurable gate array using a blue laser," International Conference on Photonics, pp. 124-126, Melaka, Malaysia, Oct., 2013.
- [208] A. Ogiwara, H. Maekawa, M. Watanabe, R. Moriwaki, "Angle-multiplexing recording of multi-context for optically reconfigurable gate array in holographic memory using liquid crystal composites," Microoptics Conference (MOC' 13), Tokyo, Japan, Oct., 2013.
- [209] R. Moriwaki, M. Watanabe, "A fine-grained dependable optically reconfigurable gate array as a multi-soft-core processor platform," IEEE 7th International Symposium on Embedded Multicore SoCs, pp. 7-12, Tokyo, Japan, Sep., 2013.
- [210] Y. Kamikubo, M. Watanabe, S. Kawahito, "Image recognition operation on a dynamically reconfigurable vision architecture," International Conference on Field Programmable Logic and Applications, pp. 1-4, Porto, Portugal, Sep., 2013.
- [211] H. Ito, M. Watanabe, "Fourier Transformation on an Optically Reconfigurable Gate Array," IEEE International Midwest Symposium on Circuits & Systems, pp. 193-196, USA, Aug., 2013.
- [212] R. Moriwaki, M. Watanabe, A. Ogiwara, "Configuration on an optically reconfigurable gate array under the maximum 120°C temperature condition," OptoElectronics and Communications Conference, pp. 1-2, Kyoto, Japan, July, 2013.
- [213] A. Ogiwara, H. Maekawa, M. Watanabe, R. Moriwaki, "Formation of Holographic Memory by Recording of Multi-context in Liquid Crystal Composites," Conference on Lasers and Electro-Optics Pacific Rim, pp. 1-2, Kyoto, Japan, July, 2013.
- [214] Y. Yamaji, M. Watanabe, "A 4-configuration-context optically reconfigurable gate array with a MEMS

- interleaving method," NASA/ESA Conference on Adaptive Hardware and Systems, pp. 172-177, Torino, Italy, June, 2013.
- [215] A. Tanigawa, M. Watanabe, "A dependability-increasing demonstration for a 16-configuration context optically reconfigurable gate array," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, pp. 129-132, Edinburgh, United Kingdom, June, 2013.
- [216] Y. Yamaji, M. Watanabe, "MEMS interleaving method for optically reconfigurable gate arrays," IEEE International Conference on Electro/Information Technology, CD-ROM, South Dakota, USA, May, 2013.
- [217] T. Kubota, M. Watanabe, "0.18 um CMOS process photodiode memory," IEEE International Symposium on Circuits and Systems, pp. 1464 - 1467, Beijing, China, May, 2013.
- [218] A. Tanigawa, M. Watanabe, "A dependability-increasing technique on a multi-context optically reconfigurable gate array," IEEE International Symposium on Circuits and Systems, pp. 1568 - 1571, Beijing, China, May, 2013.
- [219] H. Ito, M. Watanabe, "Power consumption of mono-instruction set computers (MISCs)," IEEE Symposium on Low-Power and High-Speed Chips, CD-ROM, Yokohama, Japan, April, 2013.
- [220] Y. Miyake, Y. Sato, S. Kajihara, Y. Miura, "A Flexible Temperature and Voltage Monitor for Field Test," WRLTL2013, Nov. 2013.
- [221] Takemichi Ishikawa, Shuma Yokoyama, Noboru Harashima, Dai Takahashi, Jun Shiozawa, Michitaka Yoshino, Akira Yasuda, "A Highly Directional Speaker with Amplitude-Phase Control Using a Digitally Direct- Driven System," IEEE International Conference on Consumer Electronics, Jun, 2014.
- [222] Satoshi Saikatsu, Michitaka Yoshino and Akira Yasuda, "A Delta - Sigma Modulator with a FIR Filter Reducing Quantization Noise in Signal - band," 2013 International Conference on Analog VLSI Circuits, pp. 17-pp. 20, Oct., 2013.
- [223] Takahisa Kawabe, Satoshi Saikatsu, Michitaka Yoshino, and Akira Yasuda, "Background Calibration Technique for a Pipelined ADC Using a Noise-Shaping and Feedback Structure," 2013 International Conference on Analog VLSI Circuits, pp. 64-pp. 68, Oct., 2013.
- [224] Takashi Tokuda, "CMOS-based Bio-Implantable Neural Observation and Stimulation Device,"(invited), International Workshop on Biomedical Engineering Translational Research, Dec. 10, 2013, National Chiao Tung University, Hsinchu City, Taiwan
- [225] Jun Ohta, "Challenges for high performance stimulation in a retinal prosthesis,"(invited), Symposium on Grand Challenges in Neural Technology 2013, Dec. 4, 2013, Centre for Life Sciences, National University of Singapore, SINGAPORE
- [226] Norimitsu Wakama, Kazuhiro Uejima, Kimitada Terao, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yasuhiro Nishiyama, Kiyomi Kakiuchi, Jun Ohta, "A palm-sized in-line optical measurement device with polarization-analyzing CMOS image sensor for in situ chiral analysis," (poster), GIST-NCTU-NAIST International Joint Symposium 2013, Nov. 21, 2013, Nara Institute of Science and Technology, JAPAN
- [227] Makito Haruta, Chikara Kitsumoto, Yoshinori Sunaga, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Implantable device for intrinsic signals imaging in cortices of freely moving rats," Neuroscience2013, MMM11 871.15, Nov. 13, 2013, San Diego Convention Center, USA
- [228] Takashi Tokuda, Shun Nakajima, Yasuyo Maezawa, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "Device Packaging of CMOS-Based Optoelectronic Neural Interface Device for in Vitro and in Vivo Optogenetics," International IEEE EMBS Conference on Neural Engineering (NER2013), Paper FrDT8.3, Nov. 8, 2013, Sheraton San Diego Hotel & Marina, San Diego, CA, USA
- [229] Takashi Tokuda, Shun Nakajima, Yasuyo Maezawa, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "CMOS-based Neural Interface Device with Integrated Micro Light Source Array for Optogenetics," International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2013 (Bio4Apps 2013) & 5th Sensing Biology Symposium, O-2F-6, Oct. 31, 2013, Tokyo Medical and Dental University, JAPAN
- [230] Jun Ohta, "Integrated Microphotonic Devices for Biomedical Applications,"(keynote), International



Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2013 (Bio4Apps 2013), KEY-1A-1, Oct. 30, 2013, Tokyo Medical and Dental University, Japan.

- [231] Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yasuo Terasawa, Hiroyuki Tashiro, Hiroyuki Kanda, Takashi Fujikado, Jun Ohta, "Intelligent Retinal Prosthetic Device Employs Smart Electrode Array Integrated with CMOS Microchips," International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2013 (Bio4Apps 2013), O-1C-5, Oct. 29, 2013, Tokyo Medical and Dental University, Japan.
- [232] Kiyotaka Sasagawa, Soo Hyeon Kim, Kazuya Miyazawa, Hironari Takehara, Toshihiko Noda, Takashi Tokuda, Ryota Iino, Hiroyuki Noji, Jun Ohta, "LENSLESS CMOS-BASED IMAGING DEVICE FOR FLUORESCENT FEMTOLITER DROPLET ARRAY COUNTING," International Conference on Miniaturized Systems for Chemistry and Life Sciences (MicroTAS 2013), W.070c, Oct. 30, 2013, Messe Freiburg, GERMANY
- [233] Takashi Tokuda, Makito Haruta, Yasumi Ohta, Mayumi Motoyama, Toshihiko Noda, Kiyotaka Sasagawa, Yasuyuki Ishikawa, Sadao Shiosaka, Jun Ohta, "CMOS-Based Implantable Brain Imaging Technology," 2013 International Conferences on Active Media Technology / Brain and Health Informatics (AMT-BHI 2013), SB7203, Oct. 30, 2013, Maebashi Terra, JAPAN
- [234] Makito Haruta, Yoshinori Sunaga, Takahiro Yamaguchi, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Development of an Implantable Imaging Device for Observation of Intrinsic Signals in the Brain," International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2013 (Bio4Apps 2013), PM-3, Oct. 30, 2013, Tokyo Medical and Dental University, Japan.
- [235] Norimitsu Wakama, Kazuhiro Uejima, Kimitada Terao, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yasuhiro Nishiyama, Kiyomi Kakiuchi, Jun Ohta, "Application Demonstration of Polarization-Analyzing CMOS Image Sensor

for Micro-Chemical Systems," International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2013 (Bio4Apps 2013), PE-2, Oct. 30, 2013, Tokyo Medical and Dental University, Japan.

- [236] Toshikazu Kawamura, Masayuki Takahashi, Kazuhiro Uejima, Yasumi Ohta, Mayumi Motoyama Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Teru Okitsu, Shoji Takeuchi, Jun Ohta, "Development of a CMOS-Based Implantable Glucose Monitoring Device Using Glucose-Sensitive Fluorescent Hydrogel," International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2013 (Bio4Apps 2013), PS-1, Oct. 30, 2013, Tokyo Medical and Dental University, Japan.
- [237] Hironari Takehara, Kazuya Miyazawa, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Soo Hyeon Kim, Ryota Iino, Hiroyuki Noji, Jun Ohta, "A CMOS Image Sensor Having Stacked Photodiodes for Fluorescence Observation of Digital Enzyme-linked Immunosorbent Assay (ELISA)," International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2013 (Bio4Apps 2013), PNM-4, Oct. 30, 2013, Tokyo Medical and Dental University, Japan.
- [238] Makito Haruta, Chikara Kitsumoto, Yoshinori Sunaga, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Functional brain imaging under freely moving experiments by an implantable CMOS imaging device," Asian Symposium on Advanced Image Sensors and Imaging Systems, Oct. 8, 2013, Shizuoka University, JAPAN
- [239] Makito Haruta, Chikara Kitsumoto, Yoshinori Sunaga, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "An implantable CMOS device for functional brain imaging under freely moving experiments of rat," 2013 International Conference on Solid State Devices and Materials (SSDM), G-1-5, Sep. 25, 2013, Hilton Fukuoka Sea Hawk, JAPAN
- [240] Hironari Takehara, Kazuya Miyazawa, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Soo Hyeon Kim, Ryota Iino, Hiroyuki Noji, Jun Ohta, "A CMOS Image Sensor Having Stacked

- Photodiodes for Lensless Observation System of Digital Enzyme-linked Immunosorbent Assay (ELISA)," 2013 International Conference on Solid State Devices and Materials (SSDM), G-4-4, Sep. 26, 2013, Hilton Fukuoka Sea Hawk, JAPAN
- [241] Jun Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, "Implantable micro CMOS imaging devices for biomedical applications,"(invited), Optical MEMS and Nanophotonics 2013, MM-S2.1, Aug. 19, 2013, Kanazawa Bunka Hall, JAPAN
- [242] Jun Ohta, "Implantable Biomedical Devices Based on Microelectronics Technology,"(invited), 2013 Tsukuba Nanotechnology Symposium (TNS' 13), Jul. 27, 2013, AIST Tsukuba West, JAPAN
- [243] Takashi Tokuda, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "Bio-Implantable CMOS Neural Interface Device with Integrated Micro LED Array for Optogenetics,"(invited), CMOS-Emerging Technology 2013, Session A3 Bio Interfaces, Jul. 18, 2013, Hilton Whistler Resort and Spa Whistler, BC Canada
- [244] Jun Ohta, "Integrated Bio-Circuits for in Vivo and in Vitro Monitoring and Control of Biological Systems -Introduction and Bio-Circuits in Vivo- (I),"(invited), Minisymposium, the IEEE Engineering in Medicine and Biology Society (EMBC2013), FrA08.1, Jul. 5, 2013, Osaka International Convention Center, Osaka, JAPAN
- [245] Jun Ohta, "CMOS Image Sensor Design and Application to in vivo Brain Activity Measurement,"(invited), the IEEE Engineering in Medicine and Biology Society (EMBC2013), Jul. 5, 2013, Osaka International Convention Center, Osaka, JAPAN
- [246] Takashi Tokuda, Shun Nakajima, Yasuyo Maezawa, Toshihiko Noda, Kiyotaka Sasagawa, Yasuyuki Ishikawa, Sadao Shiosaka, Jun Ohta, "An in Vitro Demonstration of CMOS-Based Optoelectronic Neural Interface Device for Optogenetics," the IEEE Engineering in Medicine and Biology Society (EMBC2013), ThB13.14, Jul. 4, 2013, Osaka International Convention Center, Osaka, JAPAN
- [247] Kiyotaka Sasagawa, Yoshiaki Ishii, Shogo Yokota, Takashi Matsuda, Peter Davis, Bing Zhang, Keren Li, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Implantable Image Sensor Based on Intra-Brain Image Transmission," the IEEE Engineering in Medicine and Biology Society (EMBC2013), ThD07.2, Jul. 4, 2013, Osaka International Convention Center, Osaka, JAPAN
- [248] Jun Ohta, "Implantable CMOS Imaging Devices,"(invited), the IEEE Engineering in Medicine and Biology Society (EMBC2013), Jul. 3, 2013, Osaka International Convention Center, Osaka, JAPAN
- [249] Kiyotaka Sasagawa, H. Takehara, Kazuya Miyazawa, Daisuke Okabayashi, Toshihiko Noda, Takashi Tokuda, Soo Hyeon Kim, Ryota Iino, Hiroyuki Noji, Jun Ohta, "Lensless Imaging Device for Digital Counting of Fluorescent Microdroplet Chambers," The 10th Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR 2013), TuJ2-1, Jul. 2, 2013, Kyoto International Conference Center, Kyoto, JAPAN
- [250] Yoshinori Sunaga, Chikara Kitsumoto, Mayumi Motoyama, Yasumi Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Yasuyuki Ishikawa, Takashi Tokuda, Sadao Shiosaka, Jun Ohta, "Needle Type CMOS Imaging Device for Fluorescence Imaging of Deep Brain Activities,"(Young Scientist Award), The 10th Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR 2013), TuJ1-3, Jul. 2, 2013, Kyoto International Conference Center, Kyoto, JAPAN
- [251] Takashi Tokuda, "Optoelectronics Devices for Biomedical Applications,"(invited), The 10th Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR 2013), C10, Jul. 2, 2013, Kyoto International Conference Center, Kyoto, JAPAN
- [252] Jun Ohta, "Implantable CMOS Image Sensors for Biomedical Applications,"(invited), (plenary), International Symposium on Photoelectronic Detection and Imaging 2013 (ISPDI 2013), Plenary talks-7, Jun. 26, 2013, China National Convention Center, Beijing, CHINA
- [253] Jun Ohta, Chiakra Kitsumoto, Makito Haruta, Yoshinori Sunaga, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Mayumi Motoyama, Yasumi Ohta, "A Low-Invasive Micro Imaging Device for Measuring Neural Activities Implanted in the Mouse Deep Brain," 2013 International Image Sensor Workshop (IISW2013), 7.05, Jun. 14, 2013, Snowbird Ski & Summer Resort, Utah, USA

- [254] Takashi Tokuda, Norimitsu Wakama, Toshihiko Noda, Kiyotaka Sasagawa, Kiyomi Kakiuchi, Jun Ohta, "Application Demonstration Of Polarization-Analyzing CMOS Image Sensor and Performance Improvement Using 65 nm Standard CMOS Process," 2013 International Image Sensor Workshop (IISW2013), 5.09, Jun. 13, 2013, Snowbird Ski & Summer Resort, Utah, USA
- [255] Hironari Takehara, Kiyotaka Sasagawa, Toshihiko Noda, Takashi Tokuda, Kazuya Miyazawa, Soo Hyeon Kim, Ryota Iino, Hiroyuki Noji, Jun Ohta, "A CMOS Image Sensor with Low Fixed Pattern Noise Suitable for Lensless Observation System of Digital Enzyme-linked Immunosorbent Assay (ELISA)," International Meeting for Future of Electron Devices, Kansai (IMFEDK 2013), A-5, Jun. 5, 2013, Kansai University, JAPAN
- [256] Jun Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yasuo Terasawa, Hiroyuki Kanda, Takashi Fujikado, "A CMOS Microchip-Based Retinal Prosthetic Device for Large Numbers of Stimulation in Wide Area," International Symposium on Circuits and Systems (ISCAS), A3L-L.3, May 20, 2013, China National Convention Center, Beijing, CHINA
- [257] Jun Ohta, "Implantable CMOS Devices for Biomedical Applications,"(invited), International Conference on Electronics Packaging (ICEP2013), FB3-3, Apr. 12, 2013, Osaka International Convention Center
- [258] He Li, Yimeng Zhang, Tsutomu Yoshihara, "Clocked CMOS Adiabatic Logic with Low-Power Dissipation", ISOCC2013
- [259] Yudong Lin, Hao Zhang, Tsutomu Yoshihara, "A CMOS Low-Voltage Reference Based on Body Effect and Switched-Capacitor Technique", ISOCC2013
- [260] Kousuke Miyaji, Toshikazu Suzuki and Ken Takeuchi, "A 6T-SRAM with a Post-Process Electron Injection Scheme that Pinpoints and Simultaneously Repairs Disturb Fails for 57 % Less Read Delay and 31 % Less Read Energy," IEEE J. of Solid-State Circuits, vol. 48, no. 9, pp. 2239-2249, September, 2013.
- [261] (4)Ken Takeuchi, "Storage Class Memory & NAND Flash Memory Hybrid Solid-State Drives (SSD)" Electrochemical Society Meeting (ECS) Transactions, vol. 58, no. 5, pp 3-8, October 2013.
- [262] Chao Sun, Kousuke Miyaji, Koh Johguchi and Ken Takeuchi, "A High Performance and Energy-Efficient Cold Data Eviction Algorithm for 3D-TSV Hybrid ReRAM/MLC NAND SSD," IEEE Transactions on Circuits and Systems I, vol. 61, no. 2, pp. 382-392, February 2014.
- [263] Ken Takeuchi, "NAND Flash Application and Solution," IEEE Solid-State Circuits Magazine, vol. 5, no. 4, pp. 34-40, December, 2013.
- [264] Chao Sun, Hiroki Fujii, Kousuke Miyaji, Koh Johguchi, Kazuhide Higuchi and Ken Takeuchi, "Over 10-times High-speed, Energy Efficient 3D TSV-Integrated Hybrid ReRAM/MLC NAND SSD by Intelligent Data Fragmentation Suppression," 18th Asia and South Pacific Design Automation Conference (ASP-DAC 2013) University LSI Design Contest, January 2013.
- [265] Teruyoshi Hatanaka, Koh Johguchi and Ken Takeuchi, "Investigation of Program-Voltage Generator Integration for ReRAM and NAND Flash Memory Hybrid Three-Dimensional Solid-State Drive," International Conference on Electronics Packaging, pp. 473-477, April 2013.
- [266] Ken Takeuchi, "Solid-State Drives (SSDs) with Flash Memories and Storage Class Memories," IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT) and IEEE International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), April 2013.
- [267] Kousuke Miyaji, Daisuke Kobayashi, Shinji Miyano and Ken Takeuchi, "Analysis on Static Noise Margin Improvement in 40 nm 6T-SRAM with Post-Process Local Electron Injected Asymmetric Pass Gate Transistor," IEEE International Reliability Physics Symposium (IRPS), 3B.6.1-3B.6.5, April 2013.
- [268] Koh Johguchi, Toru Egami and Ken Takeuchi, "Highly Reliable, Low-Power Super-Lattice Phase-Change Memory without Melting and Write-Pulse Down Slope," IEEE International Reliability Physics Symposium (IRPS), MY.5.1-MY.5.4, April 2013.
- [269] Chao Sun, Kousuke Miyaji, Koh Johguchi, and Ken Takeuchi, "SCM Capacity and NAND Over-Provisioning Requirements for SCM/NAND Flash Hybrid Enterprise SSD," IEEE International Memory Workshop, pp.64-67, May 2013.
- [270] Ken Takeuchi, "Storage Class Memory and

- NAND Flash Memory Hybrid Solid-State Storage System for Big-Data Application," IEEE Symp. on VLSI Circuits, Workshop, June 2013.
- [271] Ken Takeuchi, "3D Hybrid SSD with Storage Class Memory and NAND Flash Memory for Big-Data Application," IEEE Symp. on VLSI Circuits, Joint Rump Session, June 2013.
- [272] Ken Takeuchi, "Scaling Challenges of NAND Flash Memory and Hybrid Memory System with Storage Class Memory & NAND flash memory," IEEE Custom Integrated Circuits Conference (CICC), pp. 1-6, September 2013.
- [273] Toru Egami, Koh Johguchi, Senju Yamazaki and Ken Takeuchi, "Investigation of Multi-Level-Cell Operation with 2-Step SET Pulse and SET Operation on Super-Lattice Phase Change Memories," International Conference on Solid State Devices and Materials (SSDM), pp. 548-549, September 2013.
- [274] Shogo Hachiya, Koh Johguchi, Kousuke Miyaji and Ken Takeuchi, "TLC/MLC NAND Flash Mix-and-Match Design with Exchangeable Storage Array," International Conference on Solid State Devices and Materials (SSDM), pp. 894-895, September 2013.
- [275] Kousuke Miyaji, Chao Sun and Ken Takeuchi, "Co-Design of Application Software and NAND Flash Memory for Database Storage System," International Conference on Solid State Devices and Materials (SSDM), pp.130-131, September 2013.
- [276] Ken Takeuchi, "Storage Class Memory & NAND Flash Memory Hybrid Solid-State Drives (SSD)" 224th Electrochemical Society Meeting (ECS) Transactions, vol. 58, no. 5, pp 3-8, October 2013.
- [277] Koh Johguchi, Toru Egami, Koueuke Miyaji and Ken Takeuchi, "Write Voltage and Read Reference Current Generator for MLC-PCM Considering with Temperature Characteristics" Phase Change Oriented Science (PCOS), pp. 71-72, November 2013.
- [278] Koh Johguchi, Toru Egami and Ken Takeuchi, "Low-Power Super-Lattice Phase-Change Memory without Melting and Write-Pulse Down Slope" Phase Change Oriented Science (PCOS), pp. 73-74, November 2013.
- [279] Chao Sun, Ayumi Soga, Takahiro Onagi, Koh Johguchi and Ken Takeuchi, "A Workload-Aware Design of 3D-NAND Flash Memory for Enterprise SSDs," The International Symposium on Quality Electronic Design (ISQED), pp.-, March 2014.
- [280] T. Nagayama, A. Sanada "Physical equivalent circuit model for 2D full-tensor anisotropic metamaterials," IEEE International Microwave Symposium 2013 Proceedings, pp. 1-3, Seattle, USA, 2-7 June 2013
- [281] Y. Takahashi, H. Sato, and T. Sekine, "Design and reliability analysis of voltage reference circuit in 180 nm CMOS process," Proc. IEEE IMPACT-IAAC 2013, pp. 480-483, Oct. 22-25, Taipei, Taiwan.
- [282] C. Monteiro, Y. Takahashi, and T. Sekine, "Low power secure CSSAL bit-parallel multiplier over GF(24) in 0.18 μ m CMOS technology," Proc. IEEE ECCTD 2013, Digital Circuit Design (USB), 4pages, Sept. 8-12, Dresden, Germany.
- [283] C. Monteiro, Y. Takahashi, and T. Sekine, "Low power bit-parallel cellular multiplier implementation in secure dual-rail adiabatic logic," Proc. IACSIT ICCSS 2013, pp.329-332, Aug. 10-11, Barcelona, Spain.
- [284] C. Monteiro, Y. Takahashi, and T. Sekine, "Robust secure charge-sharing symmetric adiabatic logic against side-channel attacks," Proc. IEEE TSP 2013, pp. 736-739, July 2-4, Roma, Italy.
- [285] C. Monteiro, Y. Takahashi, and T. Sekine, "Low power secure AES S-box using adiabatic logic circuit," Proc. IEEE FTFC 2013, Regular session 3 (USB), 4pages, June 20-21, Paris, France.
- [286] Akihiro Tanaka, Zhigang Qin, and Hirokazu Yoshizawa, "A 0.5-V 85-nW Rail-to-Rail Operational Amplifier with a Cross-Coupled Output Stage", Proc. IEEE International Conference on Electronics, Circuits and Systems, pp.137-140, 2013.
- [287] Sho Ikeda, Tatsuya Kamimura, Sang yeop Lee, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A Transformer-Based Current-Reuse QVCO with a Capacitor Coupling Technique in 180 nm CMOS," European Microwave Integrated Circuits Conference 2013 (EuMIC2013), NCC Nuremberg, Germany, Oct. 7-9, 2013, pp.93-96.
- [288] Motohiro Takayasu, Atsushi Shirane, Sangyeop Lee, Daisuke Yamane, Hiroyuki Ito, Mi Xiaoyu, Hiroaki Inoue, Fumihiko Nakazawa, Satoshi Ueda, Noboru Ishihara, and Kazuya Masu, "An 8-ch, 20-V Output CMOS Switching Driver with

3.3-V Power Supply for Integrated MEMS Devices Controlling," Proc. 2013 Int. Conf. on Solid State Devices and Materials (SSDM 2013), Hilton Fukuoka Sea Hawk, Fukuoka, Japan, Sep. 24-27, 2013, pp.116-117.

[289] Kazuya Masu "Recent CMOS Miniaturization Trend (Keynote Talk)," The 3rd Sino-Japan Symposium on Information and Electronic Materials, Shanghai, Sep. 9, 2013

[290] Sho Ikeda, Tatsuya Kamimura, Sangyeop Lee, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A Sub-1mW 5.5-GHz PLL with Digitally-Calibrated ILFD and Linearized Varactor for Low Supply Voltage Operation," IEEE Radio Frequency Integrated Circuit 2013 (RFIC 2013), Washington State Convention Center, Seattle, Washington, USA, pp. 439-442, Jun. 2-4, 2013.

[291] Wataru Nakayama, Yohei Yasuda, Takuya Kawashima, Nobuhiko Nakano, "A Design of Parasitic Impedance Compensation Circuits for Patch Clamp Measurement System on a Chip", Analog Integrated Circuits and Signal Processing, 2014年2月

[292] S. Suenaga, M. Hashizume, H. Yotsuyanagi, T. Tada and S-K. Lu, "Built-in IDDT Appearance Time Sensor for Detecting Open Faults in 3D IC", Proc. of IEEE CPMT Symposium Japan (ICSJ2013), pp.247-250, Kyoto, Nov. 2013.

[293] E. Haraguchi, M. Hashizume, K. Manabe, H. Yotsuyanagi, T. Tada, S-K. Lu and Z. Roth, "Reduction Method of Number of Electromagnetic Simulation Times for Estimating Output Voltage at Hard Open TSV in 3D IC", Proc. of IEEE CPMT Symposium Japan (ICSJ2013), pp.251-254, Nov. 2013.

[294] M. Hashizume, T. Konishi, H. Yotsuyanagi and S-K. Lu, "Testable Design for Electrical Testing of Open Defects at Interconnects in 3D ICs", Proc. of IEEE 22th Asian Test Symposium, pp.13-18, Nov. 2013.

[295] S. Suenaga, M. Hashizume, H. Yotsuyanagi, S-K. Lu and Z. Roth, "DFT for Supply Current Testing to Detect Open Defects at Interconnects in 3D ICs", Proc. of IEEE Electrical Design of Advanced Packaging & Systems (EDAPS) Symposium, pp.60-63, Dec. 2013.

[296] 中山, 林, "A Miniaturized Lumped-element In-phase Power Divider with a Simple Layout,"

UKSim2014, Mar. 2013 (To be presented).

[297] T. Nishiyama, T. Koizuka, H. Okamura, T. Yamanokuchi, and K. Nakamura, "A Stabilization Technique for Intermediate Power Level in Stacked-Vdd ICs using Parallel I/O Signal Coding", International Conference on Solid State Devices and Materials, vol.2013, pp.120-121, Sep. 2013.

[298] Wu, J. Pan, K. Mizumaki, M. Mori, K. Maezawa, "Ultrashort pulse generators using resonant tunneling diodes with improved power performance", The 25th International Conference on Indium Phosphide and Related Materials, 2013年5月

[299] K. Maezawa, "InSb quantum well MOSFETs based on ultra thin InSb layers grown directly on Si", The 37th Workshop on Compound Semiconductor Devices and Integrated Circuits, 2013年5月

[300] J. Nakano, T. Shibata, H. Morita, H. Sakamoto, M. Mori, K. Maezawa, "Fluidic self-assembly for heterogeneous integration of high performance resonant tunneling diodes using molten gallium bumps", The 37th Workshop on Compound Semiconductor Devices and Integrated Circuits, 2013年5月

[301] K. Hosotani, T. Ito, Y. Yasui, K. Nakayama, A. Kadoda, M. Mori, K. Maezawa, "Low resistance ohmic contacts to n-InSb employing Sn-alloys", 2013 International Meeting for Future of Electron Devices, Kansai (IMFEDK), 2013年6月

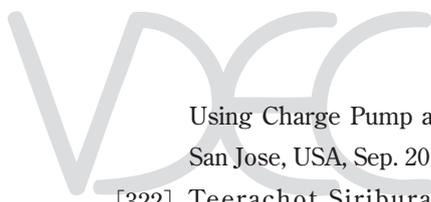
[302] S. Fujino, Y. Mizuno, K. Takaoka, M. Mori, K. Maezawa, "MEMS microphones on InP substrates for high performance digital ultrasonic sensors", 2013 International Meeting for Future of Electron Devices, Kansai (IMFEDK), 2013年6月

[303] H. Shimoyama, Y. Yasui, T. Sakamoto, M. Mori, K. Maezawa, "Growth of InSb thin films on a V-grooved Si(001) substrate", 4th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2013), 2013年6月

[304] X. Wang, M. Mori, K. Maezawa, "Growth of InSb thin films on a V-grooved Si(001) substrate", 4th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2013), 2013年6月

[305] J. Pan, D. Wu, M. Mori, K. Maezawa, "RF large signal characterization of active transmission lines loaded with InGaAs/AlAs resonant tunneling diode pairs", 10th Topical Workshop on

- Heterostructure Microelectronics (TWHM 2013), 2013年9月
- [306] Y. Kakutani, Dongpo Wu, J. Pan, J. Nakano, M. Mori, K. Maezawa, "Fabrication and characterization of micromachined cantilever loaded with a resonant tunneling diode for delta-sigma type strain sensor applications", 2013 International Conference on Solid State Devices and Materials (SSDM 2013), 2013年9月
- [307] J. Nakano, T. Shibata, H. Morita, H. Sakamoto, M. Mori, K. Maezawa, "Fluidic Self-Assembly Using Molten Ga Bumps and Its Application to Resonant Tunneling Diodes", *Jpn. J. Appl. Phys.* Vol.52, 116501, 2013年
- [308] 2014 International Conference on Electronics, Information and Communication (ICEIC), A Comparative Review of Application Dependencies of Deconvolution Errors between Algebraic and Nonlinear Optimization in SRAM Margin Analyses, 2014/Jan. 154-155
- [309] Shin-ya Abe, Youhua Shi, Kimiyoshi Usami, Masao Yanagisawa, and Nozomu Togawa, "An Energy-efficient High-level Synthesis Algorithm Incorporating Interconnection Delays and Dynamic Multiple Supply Voltages," 2013 International Symposium on VLSI Design, Automation & Test (VLSI-DAT 2013), pp. 54-57, Hsinchu, Taiwan, April 22, 2013.
- [310] Kazushi. Kawamura, Sho. Tanaka, Masao. Yanagisawa, and Nozomu. Togawa, "A partial redundant fault-secure high-level synthesis algorithm for RDR architectures," 2013 IEEE International Symposium on Circuits and Systems (ISCAS 2013), pp. 1736-1739, Beijing, China, May 21, 2013.
- [311] Hiroaki. Igarashi, Youhua. Shi, Masao. Yanagisawa, and Nozomu. Togawa, "Concurrent Faulty Clock Detection for Crypto Circuits against Clock Glitch based DFA," 2013 IEEE International Symposium on Circuits and Systems (ISCAS 2013), pp. 1432-1435, Beijing, China, May 21, 2013.
- [312] Shin-ya. Abe, Youhua. Shi, Kimiyoshi. Usami, Masao. Yanagisawa, and Nozomu. Togawa, "Floorplan Driven Architectures and High-level Synthesis Algorithm for Dynamic Multiple Supply Voltages," 2013 ACM/EDAC/IEEE Design Automation Conference (DAC 2013), WIP session, Austin, U.S.A., Jun 5, 2013.
- [313] Yuta Hagio, Masao Yanagisawa, and Nozomu Togawa, "High-Level Synthesis with Post-Silicon Delay Tuning for RDR Architectures," in Proc. of International SoC Design Conference (ISODC), pp. 194-197, Busan, Korea, November 19, 2013.
- [314] Yuta Atobe, Youhua Shi, Masao Yanagisawa and Nozomu Togawa, "Secure Scan Design with Dynamically Configuravle Connection," in Proc. 2013 IEEE 19th Pacific Rim International Symposium on Dependable Computing, pp. 256-262, Vancouver, Canada, Dec. 4, 2013.
- [315] James S. Tandon, Takahiro J. Yamaguchi, Satoshi Komatsu, and Kunihiro Asada, "A Stochastic Sampling Time-to-Digital Converter with Tunable 180-770fs Resolution, INL less than 0.6LSB, and Selectable Dynamic Range Offset," IEEE Custom Integrated Circuits Conference, Sep. 2013.
- [316] Takahiro. J. Yamaguchi, James S. Tandon, Satoshi Komatsu, and Kunihiro Asada, "A Novel Test Structure for Measuring Variance of Threshold Voltage in MOSFETs," IEEE International Test Conference, Sep. 2013.
- [317] Teerachot Siriburanon, Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A Constant-Current-Controlled Class-C VCO using a Self-Adjusting Replica Biasing Scheme," European Microwave Integrated Circuits Conference (EuMIC), Nuremberg, Germany, pp.109-112, Oct. 2013.
- [318] Satoshi Kondo, Tatsuya Yamaguchi, Yuuki Tsukui, Ryo Minami, Yasuaki Takeuchi, Ahmed Musa, Kenichi Okada, and Akira Matsuzawa, "A 60-GHz CMOS Direct-Conversion Trasmitter with Injection-Locking I/Q Calibration," European Microwave Integrated Circuits Conference (EuMIC), Nuremberg, Germany, pp.300-303, Oct. 2013.
- [319] Korkut Kaan Tokgoz, Lim Kimsrun, Seitarou Kawai, Kenichi Okada and Akira Matsuzawa, "Crossing Transmission Line Modeling Using Two-port Measurements", SSDM, Fukuoka, Japan, Sep. 2013.
- [320] James Lin, Daehwa Paik, Seungjong Lee, Masaya Miyahara, and Akira Matsuzawa, "A 0.55 V 7-bit 160 MS/s Interpolated Pipeline ADC Using Dynamic Amplifiers", IEEE CICC, San Jose, USA, Sep. 2013.
- [321] Z. Xu, S.J. Lee, M. Miyahara, and A. Matsuzawa, "A 0.84ps-LSB 2.47mW Time-to-Digital Converter



Using Charge Pump and SAR-ADC", IEEE CICC, San Jose, USA, Sep. 2013.

- [322] Teerachot Siriburanon, Wei Deng, Ahmed Musa, Kenichi Okada, and Akira Matsuzawa, "A 13.2 % Locking-Range Divide-by-6, 3.1mW, ILFD using Even-Harmonic-Enhanced Direct Injection Technique for Millimeter-Wave PLLs," IEEE European Solid-State Circuits Conference (ESSCIRC), pp.403-406, Sep. 2013.
- [323] Teerachot Siriburanon, Wei Deng, Kenichi Okada, Akira Matsuzawa, "A Current-Reuse Class-C VCO using Dynamic Start-up Circuits", 2013 IEICE Society Conference(at Fukuoka Institute of Technology), C-12-32, Sep. 2013.
- [324] Korkut K. Tokgoz, Lim Kimsrun, Seitarou Kawai, Kenichi Okada, Akira Matsuzawa, "Crossing Transmission Line Modeling Using Two-port Measurements", 2013 IEICE Society Conference(at Fukuoka Institute of Technology), C-12-21, Sep. 2013.
- [325] Hyunui Lee, Masaya Miyahara, and Akira Matsuzawa, "Design of Interpolated Pipeline ADC using Low-Gain Open-Loop Amplifiers," IEICE Transactions on Electronics, Vol. E96-C, No. 6, pp. 838-849, Jun. 2013.
- [326] Teerachot Siriburanon, Takahiro Sato, Ahmed Musa, Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A 20GHz Push-Push Voltage-Controlled Oscillator Using Second-Harmonic Peaking Technique for a 60GHz Frequency Synthesizer," IEICE Transactions on Electronics, Vol.E96-C, No.6, pp. 804-812 Jun. 2013.
- [327] Zule Xu, Masaya Miyahara, and Akira Matsuzawa, "A 1ps-Resolution Integrator-Based Time-to-Digital Converter Using a SAR-ADC in 90 nm CMOS", New Circuits and Systems Conference (NEWCAS), 2013 IEEE 11th International, 16-19 June 2013.
- [328] Hyunui Lee, Masaya Miyahara, and Akira Matsuzawa, "A 12-bit Interpolated Pipeline ADC using Body Voltage Controlled Amplifier," New Circuits and Systems Conference (NEWCAS), 2013 IEEE 11th International, 16-19 June 2013.
- [329] Hyunui Lee, Masaya Miyahara, and Akira Matsuzawa, "A 6-bit Subranging ADC with Single CDAC Interpolation," IEEE EDSSC, Hong Kong, Paper ID. 41, June 2013.
- [330] Seitaro Kawai, Ryo Minami, Yuki Tsukui, Yasuaki Takeuchi, Hiroki Asada, Ahmed Musa, Rui Murakami, Takahiro Sato, Qinghong Bu, Ning Li, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "A Digitally-Calibrated 20-Gb/s 60-GHz Direct-Conversion Transceiver in 65-nm," IEEE RFIC Symp., June 2013.
- [331] Yuki Tsukui, Kenichi Okada and Akira Matsuzawa, "A 60 GHz up-conversion mixer using asymmetric layout with -41.1 dBc LO leakage," IEEE Latin American Symposium on Circuits and Systems(LASCAS), Cusco, Peru, Feb. 2013.
- [332] Hyunui Lee, Yusuke Asada, Masaya Miyahara, and Akira Matsuzawa, "A 6 bit, 7 mW, 700 MS/s Subranging ADC using CDAC and Gate-Weighted Interpolation," in IEICE Transactions on Fundamentals, Vol. E96-A, No. 2, pp. 422-433, Feb. 2013.
- [333] Wei Deng, Ahmed Musa, Kenichi Okada, and Akira Matsuzawa, "A Fractional-N Harmonic Injection-locked Frequency Synthesizer with 10MHz-6.6GHz Quadrature Outputs for Software-Defined Radios," IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), Yokohama, Japan, pp. 99-100, Jan. 2013.
- [334] Seitaro Kawai, Ryo Minami, Ahmed Musa, Takahiro Sato, Ning Li, Tatsuya Yamaguchi, Yasuaki Takeuchi, Yuki Tsukui, Kenichi Okada, and Akira Matsuzawa, "A Full 4-Channel 60 GHz Direct Conversion Transceiver," IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), Yokohama, Japan, pp.97-98, Jan. 2013.
- [335] Teerachot Siriburanon, Wei Deng, Ahmed Musa, Kenichi Okada, and Akira Matsuzawa, "A Sub-harmonic Injection-locked Frequency Synthesizer with Frequency Calibration Scheme for Use in 60GHz TDD Transceivers," IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), Yokohama, Japan, pp.97-98, Jan. 2013.
- [336] Kosuke Shimazaki, Shingo Yoshizawa, Yasuyuki Hatakawa, Tomoko Matsumoto, Satoshi Konishi, Yoshikazu Miyanaga, "A VLSI Design of an Arrayed Pipelined Tomlinson-Harashima Precoder for MU-MIMO Systems," Proceedings of Asia-Pacific Signal and Information Processing Association, Annual Summit and Conference 2013 (APSIPA ASC 2013), OS.46-SPS.5, 166, 1 Nov. 2013.
- [337] X. Peng, Y. Sasaki, H. Jin, K. Kuwabara, Y.

- Yamanashi, N. Yoshikawa, "Demonstration of Fully Functional 64-kb Josephson/CMOS Hybrid Memory," International Superconductive Electronics Conference (ISEC2013), Cambridge, USA, July 8, 2013.
- [338] T. Miyoshi et al., 'Monolithic pixel detectors with FD-SOI pixel process technology', Nucl. Instr. and Meth. A732(2013)530-534.
- [339] A. Takeda et al., 'Design and Evaluation of a SOI Pixel Sensor for X-ray Trigger-driven Readout', IEEE Trans. on Nucl. Sci., 2013, doi:10.1109/TNS.2012.2225072
- [340] Y. Ono et al., 'Development of the Pixel OR SOI Detector for High Energy Physics Experiments', Nucl. Instr. and Meth. A, 2013, <http://dx.doi.org/10.1016/j.nima.2013.06.044i>.
- [341] Tsubasa Mishima, Satoshi Shigemi, Anh-Tuan Hoang, Tetsushi Koide, Toru Tamaki, Bisser Raytchev, Kazufumi Kaneda, Yoko Kominami, Rie Miyaki, Taiji Matsuo, Shigeto Yoshida, Shinji Tanaka, "A simple and effective hardware oriented feature extraction algorithm for colorectal endoscopic images with nbi magnification," Proc. of the 28th International Conference on Circuits / Systems, Computers and Communications (ITC-CSCC2013), pp. 567-570, 2013.
- [342] Satoshi Shigemi, Yoshimasa Sakashita, Tsubasa Mishima, Anh-Tuan Hoang, Tetsushi Koide, Toru Tamaki, Bisser Raytchev, Kazufumi Kaneda, Yoko Kominami, Rie Miyaki, Taiji Matsuo, Shigeto Yoshida, Shinji Tanaka, "An fpga implementation of support vector machine identifier for colorectal endoscopic images with nbi magnification," Proc. of the 28th International Conference on Circuits / Systems, Computers and Communications (ITC-CSCC2013), pp. 571-572, 2013.
- [343] Anh-Tuan Hoang, Mutsumi Omori, Masaharu Yamamoto and Tetsushi Koide, "Compact pipeline hardware architecture for pattern matching on real-time traffic signs detection," Proc. of the 18th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2013), pp. 100-105, 2013.
- [344] Masaharu Yamamoto, Anh-Tuan Hoang, Mutsumi Omori, Tetsushi Koide, "Speed traffic-sign recognition algorithm for real-time driving assistant system," Proc. of the 18th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2013), pp. 195-200, 2013.
- [345] Tsubasa Mishima, Satoshi Shigemi, Anh-Tuan Hoang, Tetsushi Koide, Toru Tamaki, Bisser Raytchev, Kazufumi Kaneda, Yoko Kominami, Rie Miyaki, Taiji Matsuo, Shigeto Yoshida, Shinji Tanaka, "High speed approximation feature extraction in cad system for colorectal endoscopic images with nbi magnification," Proc. of the 18th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2013), pp. 209-213, 2013.
- [346] Satoshi Shigemi, Tsubasa Mishima, Anh-Tuan Hoang, Tetsushi Koide, Toru Tamaki, Bisser Raytchev, Kazufumi Kaneda, Yoko Kominami, Rie Miyaki, Taiji Matsuo, Shigeto Yoshida, Shinji Tanaka, "Customizable hardware architecture of support vector machine in cad system for colorectal endoscopic images with nbi magnification," Proc. of the 18th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2013), pp. 298-303, 2013.
- [347] H. Fuketa, Y. Shinozuka, K. Ishida, M. Takamiya, T. Fujii, H. Shimizu, K. Kobayashi, T. Sato, and T. Sakurai, "Efficiency Increase in On-Chip Buck Converter by Introduction of High Permeability Material to Inductor on Interposer," International Conference on Ferrites (ICF), p. 75, Apr. 2013.
- [348] Qian Zhao, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi, "An Automatic Design and Implementation Framework for Reconfigurable Logic IP Core," Proc. International Conference on ENGINEERING OF RECONFIGURABLE SYSTEMS AND ALGORITHMS (ERSA2013), pp. 36-42, Las Vegas, Nevada, July 2013.
- [349] M. Amagasaki, Kazuki Inoue, Qian Zhao, M. Iida, M. Kuga and T. Sueyoshi, "DEFECT-ROBUST FPGA ARCHITECTURES FOR INTELLECTUAL PROPERTY CORES IN SYSTEM LSI," Proc. of 23th International Conference on Field Programmable Logic and Applications (FPL2013), porto, portugal, Sep. 2013.
- [350] Q. Zhao, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi, "An Automatic Design and Implementation Framework for Reconfigurable Logic IP Core," Proc. of 23th International Conference on Field Programmable Logic and Applications (FPL2013), porto, portugal, Sep. 2013.

- [351] T.Hamada, Q.Zhao, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, "Three-Dimensional Stacking FPGA Architecture Using Face-to-Face Integration," Proc. of IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC2013), pp.196-201, Istanbul, Turkey, Oct. 2013.
- [352] A. Kosuge, S. Ishizuka, L. Liu, A. Okada, M. Taguchi, H. Ishikuro, and T. Kuroda, "An Electromagnetic Clip Connector for In-Vehicle LAN to Reduce Wire Harness Weight by 30 %," IEEE International Solid-State Circuits Conference (ISSCC'14), Dig. Tech. Papers, pp. 496-497, Feb. 2014
- [353] K. Ohata, Y. Sanada, T. Ogaki, K. Matsuyama, T. Ohira, S. Chikuda, M. Igarashi, M. Ikebe, T. Asai, M. Motomura, and T. Kuroda, "Hardware-Oriented Stereo Vision Algorithm based on 1-D Guided Filtering and its FPGA Implementation," IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. 169-172, Dec. 2013
- [354] Y. Miyahara, K. Ishikawa, and T. Kuroda, "A Sub-threshold Region Operating Ultra-low Power 2.4GHz VCO and Frequency Divider," JSAP International Conference on Solid State Devices and Materials (SSDM'13), Sep. 2013
- [355] Y. Ono, A. Raziz and T. Kuroda, "Adaptive Window Search Using Semantic Texton Forests For Real-time Object Detection," IEEE International Conference on Image Processing (ICIP), Sep. 2013.
- [356] N. Lu, K. Chang, F. Chang, T. Kuroda, K. Matsudera, L. Madden, S. Borkar, T. Pawlowski, K. Sohn, E. Tsern, "The Best Logic and Memory Interface Technology for 2D/2.5D/3D ICs," IEEE Symposium on VLSI Circuits, Rump Sessions, June 2013.
- [357] K. Yoshioka, A. Shikata, R. Sekimoto, T. Kuroda, and H. Ishikuro, "A 0.0058mm² 7.0 ENOB 24MS/s 17fJ/conv. Threshold Configuring SAR ADC with Source Voltage Shifting and Interpolation Technique," IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp. C266-C267, June 2013
- [358] L. Liu, K. Ishikawa, and T. Kuroda, "A 720uW 873MHz-1.008GHz Injection-Locked Frequency Multiplier with 0.3V Supply Voltage in 90 nm CMOS," IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp. C140-C141, June 2013.
- [359] M. Nomura, A. Muramatsu, H. Takeno, S. Hattori, D. Ogawa, M. Nasu, K. Hirairi, S. Kumashiro, S. Moriwaki, Y. Yamamoto, S. Miyano, Y. Hiraku, I. Hayashi, K. Yoshioka, A. Shikata, H. Ishikuro, M. Ahn, Y. Okuma, X. Zhang, Y. Ryu, K. Ishida, M. Takamiya, T. Kuroda, H. Shinohara, and T. Sakurai, "0.5V Image Processor with 563 GOPS/W SIMD and 32bit CPU Using High Voltage Clock Distribution (HVCD) and Adaptive Frequency Scaling (AFS) with 40 nm CMOS," IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp. C36-C37, June 2013
- [360] Tomochika Harada, "A 0.5V Analog Differential Absolute Distance Circuit using Pulse Width Modulation and Multi-input Comparator in Weak Inversion Region", 2013 International Conference on Analog VLSI Circuits (AVIC2013), Oct. 2013
- [361] T. Sugitani, S. Kubota, M. Hafiz, A. Toya, T. Kikkawa, "A breast cancer detection system using 198 ps Gaussian monocycle pulse CMOS transmitter and UWB antenna array", Published in., Proceedings of 2013 URSI International Symposium on Electromagnetic Theory (EMTS), Date of Conference, 20-24 May 2013, Conference Location, Hiroshima, Japan, Page(s) 372 - 375
- [362] A. Azhari, K. Sogo, M. Wang, A. Toya and T. Kikkawa, "A 0-27 GHz -30 dB Isolation Tx/Rx Single Pole Double Throw (SPDT) Switch for Gaussian Monocycle Pulse Transmission", Ext. Abstract of the 2013 International Conference on Solid State Devices and Materials (SSDM 2013), pp. 882-883, Fukuoka, Japan, Sept. 24-27, 2013.
- [363] K. Itoh and T. Endoh, "Novel Alternative Voltage Controlled Current Sensing Method for Suppressing Thermal Dependency", Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), pp. 288-292, Seoul, Korea, June 26 ~ 28 2013.
- [364] Takuya Imamoto and Tetsuo Endoh, "Improvement of Self-Heating Effect Employing Vertical-Channel Field-Effect-Diode 1T-DRAM", 16th International Workshop on Computational Electronics (IWCE), pp. 102-103, Nara, Japan, June 4-7, 2013.
- [365] Takuya Imamoto and Tetsuo Endoh, "Impact of Tapered Silicon Channel on the Asymmetric I-V Characteristics of nanoscale Double Gate MOSFETs", 2013 Asia-Pacific Workshop on

- Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), pp. 211-215, Seoul, Korea, June 26-28, 2013.
- [366] Takuya Imamoto and Tetsuo Endoh, "Excellent Scalability Including Self-Heating Phenomena of Vertical-Channel Field-Effect-Diode (FED) Type Capacitorless One Transistor DRAM Cell", 2013 International Conference on Solid State Devices and Materials (SSDM), A-2-4, pp. 540-541, Fukuoka Japan, September 24-27, 2013.
- [367] Takuya Imamoto and Tetsuo Endoh, "Suppression of Self-Heating Effect Employing Bulk Vertical-Channel Bipolar Junction Transistor (BJT) Type Capacitorless 1T-DRAM Cell", IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference, pp. 140-141, Hyatt Regency Monterey Hotel and Spa, Monterey, California, October 7-10, 2013.
- [368] Satoru Tanoi, Tetsuo Endoh, "A low voltage operated current mirror for analog designs with deep submicron vertical MOSFETs", 2013 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2013), pp. 233-237, Seoul, Korea, June 26 ~ 28, 2013.
- [369] Kaoru Hashimoto, Yutaka Akiyama, Chihiro Ueda, Tsuneo Ito, and Kanji Otsuka, "Power/Ground Wiring for High Speed Driver," Proc. IEEE CPMT Symposium Japan 2013 (November 11-13, 2013) pp. 183-186.
- [370] K. Yoshioka, Y. Toyama, T. Jyo, and H. Ishikuro, "A voltage scaling 0.25 - 1.8 V delta-sigma modulator with inverter-opamp self-configuring amplifier," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 809-812, Beijing, China, May, 2013.
- [371] H. Haibi, I. Akita, and M. Ishida, "A 27-nV/ $\sqrt{\text{Hz}}$ 0.015-mm² three-stage operational amplifier with split active-feedback compensation," in Proc. IEEE Asian Solid-State Circuits Conf. (A-SSCC), Singapore, pp. 365-368, Nov. 2013.
- [372] Takayuki Okazawa, Ippei Akita, and Makoto Ishida, "A low-offset-voltage dynamic comparator using automatic differential-pair matching for low-power ADCs," in Proc. Int. Conf. Analog VLSI Circuits (AVIC), Montreal, Canada, pp. 47-51, Oct. 2013.
- [373] Ippei Akita, Shochi Asai, and Makoto Ishida, "A low-power capacitor-less LDO regulator with adjustable charge injection technique for OOK transmitter," in Proc. Int. Conf. Solid-State Devices and Materials (SSDM), Fukuoka, Japan, H-6-2, pp. 904-905, Sept. 2013.
- [374] Kenji Okabe, Ippei Akita, and Makoto Ishida, "An implantable wireless medical system with a high-gain on-chip antenna using sapphire substrate," in Proc. Int. Conf. Solid-State Devices and Materials (SSDM), Fukuoka, Japan, PS-11-8, pp. 370-371, Sept. 2013.
- [375] Masaaki Kondo, Hiroaki Kobayashi, Ryuichi Sakamoto, Motoki Wada, Jun Tsukamoto, Mitaro Namiki, Weihan Wang, Hideharu Amano, Kensaku Matsunaga, Masaru Kudo, Kimiyoshi Usami, Toshiya Komoda and Hiroshi Nakamura, "Design and Evaluation of Fine-Grained Power-Gating for Embedded Microprocessors", DATE 2014, March 2014
- [376] Hiroki Matsutani, Michihiro Koibuchi, Ikki Fujiwara, Takahiro Kagami, Yasuhiro Take, Tadahiro Kuroda, Paul Bogdan, Radu Marculescu and Hideharu Amano, "Low-Latency Wireless 3D NoCs via Randomized Shortcut Chips", DATE 2014, March 2014
- [377] Kimiyoshi Usami, Masaru Kudo, Kensaku Matsunaga, Tsubasa Kosaka, Yoshihiro Tsurui, Weihan Wang, Hideharu Amano, Hiroaki Kobayashi, Ryuichi Sakamoto, Mitaro Namiki, Masaaki Kondo, Hiroshi Nakamura, "Design and Control Methodology for Fine Grain Power Gating based on Energy Characterization and Code Profiling of Microprocessors", ASP-DAC 2014. Jan. 2014
- [378] M. Izawa, N. Ozaki, Y. Koizumi, R. Uno, H. Amano, "A co-processor design of an energy efficient reconfigurable accelerator CMA," CANDAR 2013, Dec. 2013
- [379] Y. Koizumi, N. Miura, Y. Take, H. Matsutani, T. Kuroda, H. Amano, R. Sakamoto, M. Namiki, K. Usami, M. Kondo, H. Nakamura, "Demonstration of a Heterogeneous Multi-Core Processor with 3-D Inductive Coupling Links", FPL2013, Sept. 2013
- [380] A. Tsusaka, M. Izawa, R. Uno, H. Amano, "A Hardware Complete Detection Mechanism for an Energy Efficient Reconfigurable Accelerator CMA," FPL2013, Sept. 2013
- [381] N. Miura, Y. Koizumi, E. Sasaki, Y. Take, H. Matsutani, K. Usami, T. Kuroda, H. Amano,

- R.Sakamoto, M.Namiki, K.Usami, M.Kondo, H.Nakamura, "A Scalable 3D Heterogeneous Multi-Core Processor with Inductive-Coupling ThruChip Interface,"(Poster) HOTCHIPS 2013, August 2013
- [382] D.Sasaki, H.Matsutani, M.Koibuchi, H.Amano, "Deadlock-Free Routing Strategy for Stacking 3-D NoCs with Different Topologies," Proc. of International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART2013) pp. 88-90, June 2013
- [383] M. Kudo, K. Usami, "Sleep Control Using Detection of Virtual Ground Voltage for Fine-Grain Power Gating", The 28th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC'13), pp.392-395, June 30 - July 3, 2013.
- [384] Yoshinori Matsumoto (Invited), "CMOS sensor and circuit for networked radiation monitoring system", Proc. of 2013 Collaborative Conference on 3D & Material Research(CC3DMR) pp. 527-529, June 24-28 2013.
- [385] Qiang Li, Dan Niu, and Yasuaki Inoue, "A Wide Input Amplitude Range, Highly Efficient Rectifier for Energy Harvesting Systems," Proceedings 2013 International Conference on Analog VLSI Circuits, Montreal, Canada, pp.31-35, October 2013.
- [386] Xiao WU, Zhou JIN, Xiuming LIAN, Dan NIU, and Yasuaki INOUE, "An Effective Switching Algorithm for the Damped Pseudo-Transient Analysis," Proceedings The 28th International Technical Conference on Circuits/Systems, Computer and Communications (ITC-CSCC2013), Yeosu, Korea, pp. 922-925, June 2013.
- [387] Zhou JIN, Xiao WU, Xiaoli GUAN, Dan NIU, and Yasuaki INOUE, "An Effective Ramping PTA Method for the DC Analysis of Nonlinear Circuits," Proceedings The 28th International Technical Conference on Circuits/Systems, Computer and Communications (ITC-CSCC2013), Yeosu, Korea, pp.317-320, June 2013.
- [388] Yawen Yang, Qiang Li, and Yasuaki Inoue, "Optimum Capacitance Ratio for Cockcroft-Walton Charge Pump," Proceedings The 28th International Technical Conference on Circuits/Systems, Computer and Communications (ITC-CSCC2013), Yeosu, Korea, pp.208-211, June 2013.
- [389] Li Ding, Jing Wang, Zhangcai Huang, Atsushi Kurokawa, and Yasuaki Inoue, "An Analytical Model of the Overshooting Effect for Multiple-Input Gates in Nanometer Technologies," Proceedings IEEE International Symposium on Circuits and Systems (ISCAS), Beijing, China, pp.1712-1715, May 2013.
- [390] Sho Muroga, Kaoru Arai, Dhungana Sandeep, Okuta Ryosuke, Yasushi Endo, Masahiro Yamaguchi, "3-D Magnetic-Near-Field Scanner for IC Chip-Level Noise Coupling Measurements," IEEE Transactions on Magnetics, Vol. 49, pp. 3886-3889, 2013.
- [391] Hiroshi Ando, Kenichi Takizawa, Takeshi Yoshida, Kojiro Matsushita, Masayuki Hirata, Toshiki Yoshimine and Takafumi Suzuki, "Multi-channel ECoG recording system with UWB wireless data transmitter for fully implantable Brain-Machine Interfaces", EMBC2013
- [392] Kojiro Matsushita, Masayuki Hirata, Takafumi Suzuki, Hiroshi Ando, Yuki Ota, Fumihiro Sato, Shyne Morris, Takeshi Yoshida, Hidetoshi Matsuki, Toshiki Yoshimine, "Development of an Implantable Wireless ECoG 128ch Recording Device for Clinical Brain Machine Interface", EMBC2013
- [393] Takafumi Suzuki, Hiroshi Ando, Takeshi Yoshida, Kojiro Matsushita, Masayuki Hirata, Toshiki Yoshimine, Kenichi Takizawa, "Multi-channel recording system with UWB wireless data transmitter for ECoG-BMI", Neuroscience 2013
- [394] M. HIRATA, K. MATSUSHITA, T. SUZUKI, T. YOSHIDA, F. SATO, H. ANDO, T.UMEDA, Y. NISHIMURA, S. MORRIS, T. YANAGISAWA, H. KISHIMA, M. KAWATO, T. YOSHIMINE, "A fully-implantable wireless system for human brain-machine interfaces using brain surface electrodes, W-HERBS", Neuroscience 2013
- [395] Takafumi Suzuki, Hiroshi Ando, Takeshi Yoshida, Hirohito Sawahata, Keisuke Kawasaki, Isao Hasegawa, Kojiro Matsushita, Masayuki Hirata, Toshiki Yoshimine, Kenichi Takizawa, "Super multi-channel recording system for BMI", EMBC2013
- [396] Toshiro Hiramoto, Ryota Suzuki, and Takuya Saraya, "Integration of Room-Temperature Operating Silicon Single-Electron Transistors and CMOS Circuits for Novel Information Processing",

- 9th International Nanotechnology Conference on Communication and Cooperation (INC9), Berlin, Germany, May 16, 2013.
- [397] Seung-Min Jung, Tomoko Mizutani, and Toshiro Hiramoto, Impact of Drain-Induced Barrier Lowering on Ultra-Low Supply Voltage CMOS Circuits Operating in Subthreshold Region, Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, pp. 23-24, June 9, 2013.
- [398] Yuma Tanahashi, Ryota Suzuki, Takuya Saraya, and Toshiro Hiramoto, "Peak Position Control of Coulomb Oscillations in Silicon Single-Electron Transistors with Floating Gate Operating at Room Temperature", 2013 International Conference on Solid State Devices and Materials (SSDM), Hilton Fukuoka Sea Hawk, Fukuoka, pp. 778 - 779, September 26, 2013
- [399] Matuo, Khan, Hamabe, Takeuchi, Imai, "A Processor Architecture for Motion Sensing Systems", SASIMI 2013, pp. 269-274, 2013年10月
- [400] N. Itoh, Y. Itano, S. Morimoto, S. Yoshitomi "Striped Inductor for Quasi Millimeter Wave Voltage-Controlled Oscillator" Proc. of the 2013 Asia-Pacific Microwave Conference (APMC2013), Seoul, Nov. 2013.
- [401] Koji Kotani, "Synergistic Ambient Energy Harvesting, Highly Efficient CMOS Rectifier with Photovoltaic-Assisted Vth Cancellation for Effective Energy Harvesting from Ambient Radio Waves," 2013 Symposium, CMOS Emerging Technologies Research, (2013)
- [402] Koji Kotani, "Highly Efficient CMOS Rectifier Assisted by Symmetric and Voltage-Boost PV-Cell Structures for Synergistic Ambient Energy Harvesting," IEEE Custom Integrated Circuits Conference (CICC2013), M-14, San Jose, September, 2013.
- [403] K. O. Okeyo, Y. Hayashi, O. Kurosawa, H. Oana, H. Kotera, M. Washizu, "On-Chip Electroporation Device for Direct Introduction of Plasmids into Cell Nucleus and Observation of Cell Reprogramming Process", 17th Int. Conf. Miniaturised Systems for Chemistry and Life Sciences (MicroTAS 2013), 27-31 Oct. 2013, Freiburg, Germany, pp.113-115
- [404] K. O. Okeyo, N. Omasa, O. Kurosawa, H. Oana, H. Kotera, M. Washizu, "Cell Adhesion Control Initiate Cell Sheet Formation in a Medium Suspension", 17th Int. Conf. Miniaturised Systems for Chemistry and Life Sciences (MicroTAS 2013), 27-31 Oct. 2013, Freiburg, Germany, pp.1057-1059
- [405] Junho Choi, Hideyuki Tokioka, Wonsoon Park, Yuuki Hirata, Takahisa Kato, "DLC coating on a micro-trench using bipolar PBII", CC3DMR 2013, Jeju, Korea, 24-28, June 2013
- [406] Ken Takahashi, Keisuke Nagato, Toshimi Sato, Daisuke Suehiro, Tetsuya Hamaguchi, Masayuki Nakao, "Laser-assisted roller imprinting of nanostructures with real-time monitoring of replication degree", American Society for Precision Engineering (ASPE) Annual Meeting 2013, Oct 2013, St. Paul, Minnesota, USA, pp. 20-25
- [407] Takanori Matsuki, Shinichi Warisawa, Ichiro Yamada, "Calculation and measurement of magnetic and transport properties of rectangle anti-dots arrays", ASME Information Storage and Processing Systems Conference, Santa Clara, CA, USA. 2013.6.17-18, ISPS2013-2913
- [408] S. Yoshida, K. Hanashima, I. Ohta, T. Matsushita, and Takashi Kondo, "Reduced propagation losses in quasi-phase-matched GaAs/AlGaAs waveguides", Conference on LASERs and Electro Optics (CLEO 2013), 8-13, June 2013, San Jose, USA, JW2A.35
- [409] T. Matsushita, Y. Nakamura, S. Matsumoto, T. Onda, I. Shoji, and T. Kondo, "Fabrication of AlGaAs/AlOx waveguides with inversion-stacked core structure for higher-order modal-phase matching devices", Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR 2013), 30 June-4 July Kyoto International Conference Center, Kyoto, Japan, WA3-3
- [410] Yutaka TOMIMATSU, Hidetoshi TAKAHASHI, Takeshi KOBAYASHI, Kiyoshi MATSUMOTO, Isao SHIMOYAMA, Toshihiro ITOH and Ryutaro MAEDA, "A wake-up switch using a piezoelectric differential pressure sensor", 2013 IEEE Eighth International Conference on Intelligent Sensors, Sensor Networks and Information Processing, Melbourne, VIC, AUS, pp.23-26
- [411] Akihiro Isozaki, Tetsuo Kan, Kiyoshi, Matsumoto and Isao Shimoyama, "Measurement Method of Light Transmittance of Layered Metal-Dielectric Metamaterial", The 8th IEEE International Conference on Nano/MicroEngine+D208er+D185ed and Molecular

- Systems, Suzhou, CHN, 2013/04/07-10, pp.151-154
- [412] Tomoyuki Takahata, Kiyoshi Matsumoto and Isao Shimoyama, "A SILICON-GLASS HYBRID LENS FOR SIMULTANEOUS COLOR-AND-THERMAL IMAGING ", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.1408-1411
- [413] Nguyen Minh-Dung, Phan Hoang-Phuong, Kiyoshi Matsumoto and Isao Shimoyama, "A HYDROPHONE USING LIQUID TO BRIDGE THE GAP OF A PIEZO-RESISTIVE CANTILEVER", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.70-73
- [414] Minako Hosono, Kentaro Noda, Kiyoshi Matsumoto and Isao Shimoyama, "DYNAMIC RESPONSE OF TACTILE SENSOR APPLYING CANTILEVER IN ELASTOMER", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.102-105
- [415] Akihiro Isozaki, Tetsuo Kan, Keisuke Takano, Masanori Hangyo, Kiyoshi Matsumoto and Isao Shimoyama, "DOUBLE-LAYER WIRE GRID POLARIZER FOR IMPROVING EXTINCTION RATIO", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.530-533
- [416] K.Noda N.Binh-Khiem, Y.Takei, T.Takahata, K.Matsumoto, and I.Shimoyama, "MULTI-AXIAL CONFOCAL DISTANCE SENSOR USING VARIFOCAAL LIQUID LENS", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.1499-1502
- [417] K. Ishizu, Y. Takei, M. Honda, K.Noda, A. Inaba, T. Itoh, R. Maeda, K. Matsumoto and I. Shimoyama, "CARBON DIOXIDE GAS SENSOR WITH IONIC GEL", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.1633-1636
- [418] W. J. Chen, T. Kan, Y. Ajiki, K Matsumoto and I. Shimoyama, "Wavelength-selective silicon near-infrared photodetector using surface plasmon resonance enhancement", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.2337-2340
- [419] Feng. Y., and Suzuki, Y., "All-polymer High-aspect-ratio Spring with Embedded Electrode", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.1569-1572
- [420] Minakawa. Y., Chen, R., and Suzuki, Y., "X-shaped-spring Enhanced MEMS Electret Generator for Energy Harvesting", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.2241-2244
- [421] Kei Shioya, Tetsuji Dohi, "Blood Pressure Measurement Device Based on the Arterial Tonometry Method with Micro Triaxial Force Sensor", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.2389-2392
- [422] N. Lafitte, T. Takahashi, M. Tani, M. Akamatsu, Y. Yasuda, H. Fujita, and H. Toshiyoshi, "DIGITALLY PROGRAM- MABLE RESONATOR BY PZT-SOI PROCESS", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.494-497
- [423] M. Hori, M. Hosono, H. Takahashi, K. Matsumoto and I. Shimoyama, "3-AXIS FINGERTIP FORCE DURING PLAYING THE STRING INSTRUMENT", The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, Barcelona, Spain, 2013/06/16-20, pp.2745-2748
- [424] Nguyen Thanh-Vinh, Hidetoshi Takahashi, Kiyoshi Matsumoto, and Isao Shimoyama, "INTERACTION FORCES DURING THE SLIDING OF A WATER DROPLET ON A TEXTURED SURFACE", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.979-982
- [425] Dinh Hoang-Giang, Nguyen Thanh-Vinh, Kentaro Noda, Phan Hoang-Phuong, Nguyen Binh-Khiem, Tomoyuki Takahata, Kiyoshi Matsumoto and Isao Shimoyama, "MICRO LIQUID-BASED THERMO-ACOUSTIC TRANSMITTER FOR EMITTING ULTRASOUND IN LIQUID MEDIUM ", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.765-768

- [426] Takahiro Suzuki, Yasumasa Ichikawa, Tomoyuki Takahata, Kiyoshi Matsumoto and Isao Shimoyama, "CALORIMETRIC DEVICE FOR NON-DESTRUCTIVE MEASUREMENT OF THE THERMAL DIFFUSIVITY DEPENDENCY BY PHASE DELAY", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.1151-1154
- [427] Akihiro Isozaki, Tetsuo Kan, Hidetoshi Takahashi, Natsuki Kanda, Natsuki Nemoto, Kuniaki Konishi, Makoto Kuwata-Gonokami, Kiyoshi Matsumoto and Isao Shimoyama, "TUNABLE METAMATERIALS BY CONTROLLING SUB-MICRON GAP FOR THE THZ RANGE", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.1221-1224
- [428] Akira Inaba, Yusuke Takei, Kiyoshi Matsumoto, and Isao Shimoyama, "IONIC LIQUID-GATED GRAPHENE FET ARRAY WITH ENHANCED SELECTIVITY FOR ELECTRONIC NOSE", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.326-329
- [429] Tetsuo Kan, Akihiro Isozaki, Hidetoshi Takahashi, Kiyoshi Matsumoto and Isao Shimoyama, "LONG STROKE OUT-OF-PLANE ACTUATOR USING COMBINATION OF ELECTROSTATIC AND PNEUMATIC FORCES", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.913-916
- [430] Kazuma Matsui, Akira Inaba, Yuta Oshidari, Yusuke Takei, Hidetoshi Takahashi, Tomoyuki Takahata, Reo Kometani, Kiyoshi Matsumoto and Isao Shimoyama, "MECHANICAL PROPERTIES OF FEW LAYER GRAPHENE CANTILEVER", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.1087-1090
- [431] U. G. Jung, T. Tsukagoshi, H. Takahashi, T. Kan, K. Matsumoto and I. Shimoyama, "TRACTION FORCE OF SMOOTH MUSCLE CELL DURING GROWTH ON A RIGID SUBSTRATE", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.290-293
- [432] Pham Quang-Khang, Nguyen Minh-Dung, Nguyen Binh-Khiem, Hoang-Phuong Phan, Kyoshi Matsumoto and Isao Shimoyama, "MULTI-AXIS FORCE SENSOR WITH DYNAMIC RANGE UP TO ULTRASONIC", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.769-772
- [433] Yoshiharu Ajiki, Tetsuo Kan, Masayuki Yahiro, Akiko Hamada, Junji Adachi, Chihaya Adachi, Kiyoshi Matsumoto and Isao Shimoyama, "NEAR INFRARED PHOTO-DETECTOR USING SELF-ASSEMBLED FORMATION OF ORGANIC CRYSTALLINE NANOPILLAR ARRAYS", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.147-150
- [434] Yusuke Takei, Tomonori Kaneko, Kentaro Noda, Kiyoshi Matsumoto, and Isao Shimoyama, "MEASURING FLOW VELOCITY OF SWALLOWED LIQUID IN THE HUMAN PHARYNX BY TONGUE PRESSURE SENSOR AND SWALLOWING SOUND SENSOR", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.849-852
- [435] Tomonori Kaneko, Nguyen Minh-Dung, Ryo Aoki, Tomoyuki Takahata, Kiyoshi Matsumoto and Isao Shimoyama, "MEASUREMENT OF MECHANOMYOGRAM", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.845-848
- [436] Feng, Y., and Suzuki, Y., "All-polymer Piezoelectret Energy Harvester with Embedded PEDOT Electrode", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.374-377
- [437] Fu, Q., and Suzuki, Y., "MEMS Vibration Electret Energy Harvester with Combined Electrodes", The 27th IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.409-412
- [438] K. Hatakeyama, E. Sarajlic, M.H. Siekman, L. Jalabert, H. Fujita, N. Tas, and L. Abelmann, "WAFER-SCALE FABRICATION OF SCANNING THERMAL PROBES WITH INTEGRATED METAL NANOWIRE RESISTIVE ELEMENTS FOR SENSING AND HEATING", The 27th

IEEE International Conference on Micro Electro Mechanical Systems, San Francisco, CA, USA, 2014/1/26-30, pp.1111-1114

- [439] Fumiya Kusa, Satoshi Ashihara, "Electric-field enhancement of mid-infrared light by using Au nano-rod structures", Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR 2013), 30 June-4 July Kyoto International Conference Center, Kyoto, Japan, ThB1-3
- [440] K. Igarashi, T. Tsuritani, and I. Morita, "Higher-Order Mode Conversion Using Cascaded Phase Plates", Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR 2013), 30 June-4 July Kyoto International Conference Center, Kyoto, Japan, MR2-3
- [441] H. Tabata, M. Seki, and H. Matsui, "Surface Plasmon and Exciton Coupling: Plexiton At NIR in Oxide", Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR 2013), 30 June-4 July Kyoto International Conference Center, Kyoto, Japan, WC4-7
- [442] Shiho Takahama, Junichi Tanida, Minami Takato, Fumio Uchikoba and Ken Saito, "Biomimetics Micro Robot with CMOS IC Neural Networks Locomotion Control", 39th Annual Conference of the IEEE Industrial Electronics Society, Vienna, 2013/11/10-13, pp.6371-6376
- [443] Song, K.-Y., Morimoto, K., and Suzuki, Y., "New Mathematical Model for Electrostatic Stability of the Cassie State on MEMS-based Pillard Surface", 17th Int. Conf. Miniaturised Systems for Chemistry and Life Sciences (MicroTAS 2013), 27-31 Oct. 2013, Freiburg, Germany, T.001a
- [444] M. Kumemura, "ISOTHERMAL AMPLIFICATION OF DNA ON TIPS OF SILICON NANOTWEEZERS AND ITS ELECTRICAL AND MECHANICAL CHARACTERIZATION", 17th Int. Conf. Miniaturised Systems for Chemistry and Life Sciences (MicroTAS 2013), 27-31 Oct. 2013, Freiburg, Germany, pp. 1992-1994
- [445] Fu, Q., and Suzuki, Y., "Large-Dynamic-Range MEMS Electret Energy Harvester with Gap-closing/Overlapping-area-change Electrodes", 13th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2013), London, UK, pp.542-546
- [446] S.-H. Kim, M. Yokoyama, R. Nakane, "High performance sub-20-nm-channel-length extremely-thin body InAs-on-Insulator tri-gate MOSFETs with high short channel effect immunity and V_{th} tunability", International Electron Devices Meeting (IEDM' 13), Washington D. C., 2013/12/9-11, pp.16.4.1-16.4.4
- [447] Y. Kim, M. Takenaka, "Strain-induced enhancement of free-carrier effects in SiGe for optical modulator and VOA applications", Optical Fiber Communication Conference (OFC2014), San Francisco, 2014.3.11-13, Th1C.4
- [448] E. E. Tamayo Ruiz, R. Tamaki, K. Watanabe, M. Sugiyama, Y. Shoji, D. J. Farrell, Y. Okada, K. Miyano, "Antireflection Structures on Fresnel Lenses Fabricated by Induced Coupled Plasma Etching for Improving CPV Systems", The 28th European Photovoltaic Solar Energy Conference and Exhibition (EU-PVSEC), Paris, France, 2013/9/29-10/4, pp.94-97
- [449] R.E.E. Tamayo, K. Watanabe, M. Sugiyama, T. Hoshii, Y. Shoji, Y. Okada, and K. Miyano, "Fabrication of broadband antireflection structures on glass substrates by Reactive Ion Etching for application on homogenizers in CPV systems", 2013 IEEE 39th Photovoltaic Specialists Conference (PVSC), Tampa, FL, USA, 16-21 June 2013, pp.0489-0492
- [450] 本間浩章, 高橋一浩, 石井仁, 石田誠, 澤田和明, "A 3.3 V operated variable transmission attenuator based on subwavelength grating", IEEE Optical MEMS & Nanophotonics 2013, Kanazawa Bunka Hall, Japan, 18-22 Aug 2013, WA-P5
- [451] Satoshi Maruyama, Toshifumi Konishi, Katsuyuki Machida, Noboru Ishihara, Kazuya Masu, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A TIME-MULTIPLEXED ELECTROSTATIC DRIVE AND SAMPLE INTERFACE CIRCUIT FOR MEMS OPTICAL SCANNERS", IEEE Optical MEMS & Nanophotonics 2013, Kanazawa Bunka Hall, Japan, 18-22 Aug 2013, pp. 15-16
- [452] Sungho Jeon, Hiroyuki Fujita, and Hiroshi Toshiyoshi, "A MEMS Interactive Laser Projection Display with a Built-in Laser Range Finder", IEEE Optical MEMS & Nanophotonics 2013, Kanazawa Bunka Hall, Japan, 18-22 Aug 2013, pp. 21-22
- [453] Zhengli Han, Kenta Kohno, Tomi Haatainen, Tapio Makela, Hiroyuki Fujita, Kazuhiko Hirakawa, Hiroshi Toshiyoshi, "ELECTROSTATIC MEMS

- TUNABLE SPLIT-RING RESONATORS FOR THZ FILTER APPLICATIONS", IEEE Optical MEMS & Nanophotonics 2013, Kanazawa Bunka Hall, Japan, 18-22 Aug 2013, pp.155-156
- [454] M. Goto, K. Hagiwara, Y. Iguchi, H. Ohtake, T. Saraya, E. Higurashi, H. Toshiyoshi, and T. Hiramoto, "Three-Dimensional Integrated Circuits with NFET and PFET on Separate Layers Fabricated by Low Temperature Au/SiO₂ Hybrid Bonding", 2013 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S) Monterey, CA, USA, Oct. 7-10, 2013, pp.1-2
- [455] Agnes Tixier-Mita, Eric Lebrasseur, Takuya Takahashi, Yoshio Mita, Hiroyuki Fujita, Hiroshi Toshiyoshi, Olivier Francais, and Le Pioufle Bruno, "Compressively-Stressed Test Structures for Opaque Micro-Structures Releasing Visualization", 2014 IEEE International Conference on Microelectronic Test Structures (ICMTS), 24-27 Mar. Udine, Italy (2014.3), pp.170-173
- [456] K. Maezumi, S. Yamasaki, H. Obara, Y. Naito, K. Iwata, M. Tatani, Y. Okane, Y. Ishihara, T. Hidaka, Y. Asano, H. Oku, M. Takato, K. Saito, F. Uchikoba, "Hexapod-Type SMA Driven MEMS Microrobot with Mounted Bare Chip Artificial Neural Networks IC", Nineteenth International Symposium on Artificial Life and Robotics 2014, B-Con Plaza, Beppu, Oita, Japan
- [457] Minami Takato, Ken Saito, and Fumio Uchikoba, "Insect Type MEMS Miniaturized Robot with Hardware Neural Networks Control System", International Symposium on Highly-Controlled Nano- and Micro-Scale Functional Surface Structures for Frontier Smart Materials 2013, Yokohama, Kanagawa, Japan
- [458] Ken Saito, Shiho Takahama, Shinpei Yamasaki, Minami Takato, Yoshifumi Sekine, and Fumio Uchikoba, "IC Chip of Pulse-Type Hardware Neural Networks for Hexapod Walking MEMS Micro Robot", International Joint Conference on Neural Networks, Dallas, Texas, USA
- [459] Minami Takato, Shinpei Yamasaki, Shiho Takahama, Junichi Tanida, Ken Saito, Fumio Uchikoba, "Insect Type MEMS Micro Robot Controlled by CMOS IC of Hardware Neural Networks", Twelfth European Conference on the Synthesis and Simulation of Living Systems, Taormina, Italy
- [460] H. Matsui, "Oxide Surface Plasmon for Sensing Applications in the Near-infrared Range", The 6th International Conference on Surface Plasmon Photonics, Ottawa, Canada
- [461] H. Matsui, "Enhancement and manipulation of near-infrared Er³⁺ fluorescence by oxide plasmonic nanoparticles", The 6th International Conference on Surface Plasmon Photonics, Ottawa, Canada
- [462] H. Yamahara, D. Sun, M. Seki, and H. Tabata, "Diversity of Myoblast Cells Differentiation on Nano/micro-structural", The 20th Workshop on Oxide Electronics (WOE20), the UTown, National University of Singapore, Singapore
- [463] S. Kawabe, K. Fukuda, and H. Tabata, "Studies on Terahertz Time Domain Spectroscopy for Hydrated States of Ionic Molecules", IRMMW-THz 2013 in Mainz on the Rhine, Mainz, Germany
- [464] H. Matsui, "Crystal Growth and Optoelectronics in Quantum Nanostructures on Nonpolar Oxide", Collaborative Conference on Crystal Growth (3CG 2013 Meeting), Cancun, Mexico
- [465] M. Seki, H. Yamahara, M. Takahashi, T. Ohshima, and H. Tabata, "Enhanced UV/VIS and near-IR photocurrent in α -Fe₂O₃ films", The 20th Workshop on Oxide Electronics (WOE20), the UTown, National University of Singapore, Singapore
- [466] H. Tabata, "Studies on Hydration State of Bio Related Molecules Measured by THz Surface Wave", ICECom 2013, Dubrovnik, Croatia
- [467] H. Tabata, "Band-structure Control of Ferrite (Iron-oxide) Compounds by a Non-equilibrium Film Growth Technique. - For Spin Electronics and Solar Energy Harvesting-", UTokyo Forum 2013, Santiago, Chile
- [468] H. Matsui, "Surface Plasmons on oxide semiconductors for nano-biosensing in the infrared", The 6th Medical Biotech Forum 2013, Shenzhen, China
- [469] H. Tabata, "Ferrite engineering for oxide spintronics and photonics", SPIE Photonics West 2014, San Francisco, U.S.A
- [470] M. Seki, "Ferrite-based heterostructures for solar energy conversion and room temperature spintronics", EMN SPRING MEETING 2014, Las Vegas, USA

- [471] Satoshi Yamamoto, "Galactic Studies, Astrochemistry", 2013 EA ALMA Development Workshop, 国立天文台, 三鷹市
- [472] R. Gautam, S. Ishihara, H. Kaneshige, T. Arakawa, and Y. Kokubun, "Thermo-Optically Controlled Silicon Microring Resonator Mach-Zehnder Modulator with Cascaded and Push-Pull Microring Configuration", 18th OptoElectronics and Communications Conf. 2013 (OECC2013), 京都
- [473] H. Ikehara, H. Kamiya, T. Arakawa, and Y. Kokubun, "Improvement of Extinction Ratio of Wavelength-Selective Switch Using Quantum Well Double-Series-Coupled Microring Resonators", 18th OptoElectronics and Communications Conf. 2013 (OECC2013), 京都
- [474] H. Tominaga, J.-H. Noh, and T. Arakawa, "Potential-Tailored Strained InGaAs Quantum Well for Polarization-Dependent Optical Switch", 18th OptoElectronics and Communications Conf. 2013 (OECC2013), 京都
- [475] R. Gautam, S. Ishihara, H. Kaneshige, T. Arakawa, and Y. Kokubun, "Low Driving Power Push-Pull Modulator for Multi-Wavelength Modulation and 4×4 Switch Using Silicon Microring Resonator Loaded Mach-Zehnder Interferometers by Thermo-Optic Effect", 18th Microoptics Conference (MOC'13), 東工大
- [476] T. Miyamoto, S. Umehara, H. Kobayashi, R. Taniguchi, R. Katouf, T. Arakawa, and Y. Kokubun, "All optical flip-flop and inverter using adjacent lasing wavelengths emitting from semiconductor microring laser", 18th Microoptics Conference (MOC'13), 東工大
- [477] R. Gautam, T. Arakawa, and Y. Kokubun, "Mach-Zehnder Optical Switch Thermo-Optically Controlled Silicon Microring Resonator Mach-Zehnder Modulator for Low Power Operation on Cascaded and Push-Pull Microring Design", Int. Symp. Materials Science and Surface Technology 2013 (MSST2013), 関東学院大学
- [478] H. Ikehara, H. Kamiya, T. Arakawa, and Y. Kokubun, "Improvement of Extinction Ratio of Wavelength-Selective Switch Using Quantum Well Double-Series-Coupled Microring Resonators", Int. Symp. Materials Science and Surface Technology 2013 (MSST2013), 関東学院大学
- [479] M. Nishimura, T. Arakawa, and Y. Kokubun, "Design of Low-Voltage 2×2 Optical Switch Based on Quantum Well Microring-Enhanced Mach-Zehnder Interferometer", Int. Symp. Materials Science and Surface Technology 2013 (MSST2013), 関東学院大学
- [480] N. Kawasaki, J.-H. Noh, and T. Arakawa, "Fabrication of Electro-Optic Tunable 1×2 Multimode Interference Splitter", Int. Symp. Materials Science and Surface Technology 2013 (MSST2013), 関東学院大学
- [481] T. Sakamoto, R. Gautam, S. Ishihara, S. Kita, T. Arakawa, and Yasuo Kokubun, "Proposal of Ion Sensor Based on Compound Semiconductor Microring Resonator-Loaded Mach-Zehnder Interferometer", Int. Symp. Materials Science and Surface Technology 2013 (MSST2013), 関東学院大学
- [482] Hiroshi Toshiyoshi, "Turning an SOI into MEMS Devices for Optics and RF", the 223rd Meeting of the Electrochemical Society, Toronto, Canada
- [483] H. Toshiyoshi, "Global Emergence of Frontier Knowledge", UTokyo Forum 2013, Universidad de Chile Santiago Chile and Pontificia Universidad Catolica de Chile
- [484] Miho Ishii, Kentaro Iwami, Norihiro Umeda, "Microfabricated half-waveplate based on Gold Fin Array", The 9th Asia-Pacific Conference on Near-Field Optics 2013, Riverview Hotel, Singapore
- [485] D. Ogawa, T. Fukumura, M. Osada, T. Sasaki, "Insulating and Dielectric Properties of an Individual Titania Nanosheet", 2013 MRS Fall Meeting, Hynes Convention Center, Boston, The USA
- [486] D. Ogawa, T. Fukumura, M. Osada, T. Sasaki, "Insulating Properties of Single Nanosheet", The 9th Annual Symposium on Academic English for Chemistry, The University of Tokyo, Tokyo, Japan
- [487] D. Ogawa, T. Fukumura, M. Osada, T. Sasaki, "Insulating Properties of Single Nanosheet", G-COE Career Symposium, The University of Tokyo, Tokyo, Japan
- [488] K.O. Okeyo, N.Omasa, O. Kurosawa, H. Oana, H. Kotera, and M. Washizu, "Cell function manipulation using MEMS devices: From cells to sheets", Frontiers of Single Cell Analysis, Stanford University, Palo Alto City, California, USA
- [489] N. Wada, M.-A. Tran, T. Kawazoe, and M. Ohtsu, "THz coherent phonon generation using dressed-photon-phonons in a Si homojunction-structured

- LED", The 9th Asia-Pacific Conference on Near-field Optics, Singapore, Singapore
- [490] H. Tanaka, T. Kawazoe, and M. Ohtsu, "Si photodetectors with optical gain using dressed-photon-phonons", The 9th Asia-Pacific Conference on Near-field Optics, Singapore, Singapore
- [491] M. Yamaguchi, M.-A. Tran, T. Kawazoe, and M. Ohtsu, "EL emission with the higher photon energy than the bandgap energy from a Silicon homojunction LED based on dressed photon-phonons", The 9th Asia-Pacific Conference on Near-field Optics, Singapore, Singapore
- [492] M.-A. Tran, M. Yamaguchi, T. Kawazoe, and M. Ohtsu, "Dressed photon phonon assisted electroluminescence mechanism in Si homojunction visible LED", The 9th Asia-Pacific Conference on Near-field Optics, Singapore, Singapore
- [493] S. Sakamoto, K. O. Okeyo, O. Kurosawa, H. Oana and M. Washizu, "Study of cell reprogramming by electrofusion of somatic cells with PEG-fused ESCs", The Frontier of Single Cell Analysis, スタンフォード大学 カルフォルニア州 アメリカ
- [494] Y. K. Kato, "Optical coupling of carbon nanotube emission to silicon photonic structures", 5th Workshop on Nanotube Optics and Nanospectroscopy (WONTON13), Santa Fe, New Mexico, USA
- [495] M. Yoshida, Y. Kumamoto, A. Ishii, A. Yokoyama, T. Shimada, Y. K. Kato, "Spontaneous exciton dissociation in carbon nanotubes", March Meeting of the American Physical Society, Denver, Colorado, USA
- [496] R. Miura, S. Imamura, T. Shimada, R. Ohta, S. Iwamoto, Y. Arakawa, Y. K. Kato, "Photoluminescence microscopy on air-suspended carbon nanotubes coupled to photonic crystal nanobeam cavities", March Meeting of the American Physical Society, Denver, Colorado, USA
- [497] M. Jiang, Y. Kumamoto, A. Ishii, M. Yoshida, Y. K. Kato, "Alternating gate-voltage effects on photoluminescence of air-suspended carbon nanotubes", March Meeting of the American Physical Society, Denver, Colorado, USA
- [498] A. Ishii, M. Yoshida, Y. K. Kato, "Diffusion-related exciton decay processes in air-suspended single-walled carbon nanotubes studied by photoluminescence microscopy", March Meeting of the American Physical Society, Denver, Colorado, USA
- [499] M. Yoshida, A. Yokoyama, A. Ishii, Y. K. Kato, "Giant circular dichroism in individual carbon nanotubes", 7th International School and Conference on Spintronics and Quantum Information Technology (Spintech 7), Chicago, Illinois, USA
- [500] A. Ishii, M. Yoshida, A. Yokoyama, T. Shimada, Y. K. Kato, "Chirality dependence of exciton diffusion in air-suspended single-walled carbon nanotubes", 7th International School and Conference on Spintronics and Quantum Information Technology (Spintech 7), Chicago, Illinois, USA
- [501] A. Yokoyama, M. Yoshida, A. Ishii, Y. K. Kato, "Giant circular dichroism in individual carbon nanotubes", FIRST International Symposium on Topological Quantum Technology, Tokyo, Japan
- [502] M. Yoshida, Y. Kumamoto, A. Ishii, A. Yokoyama, T. Shimada, Y. K. Kato, "Spontaneous exciton dissociation in carbon nanotubes", FIRST International Symposium on Topological Quantum Technology, Tokyo, Japan
- [503] S. Imamura, R. Watahiki, R. Miura, T. Shimada, Y. K. Kato, "Optical control of individual carbon nanotube emitters by spectral double resonance in silicon microdisk resonators", FIRST International Symposium on Topological Quantum Technology, Tokyo, Japan
- [504] S. Chiashi, T. Inoue, K. Otsuka, D. Hasegawa, S. Badar, S. Maruyama, "Density-controlled CVD growth and Selective Removal by Thermal-lithography for Horizontally-aligned Single-walled Carbon Nanotubes", NT13: Fourteenth International Conference on the Science and Application of Nanotubes, Aalto University, Espoo, Finland
- [505] S. Kim, T. Thurakitserree, S. Aikawa, T. Inoue, S. Chiashi, S. Maruyama, "Transport Characteristics of Nitrogen-Doped Horizontally Aligned Single-walled Carbon Nanotubes", The 4th Symposium of Emerging Electronics: Nanomaterials for Energy and Electronics, Jeju Island, Korea
- [506] Yasutaka Mizuno, Naoyuki J. Kawai, Kazumi Wada, "Submicron scale germanium selective epitaxial growth at different growth temperatures", SPIE Microtechnologies 2013, Grenoble, France
- [507] J. Cai, T. Kubota, S. Samukawa and K. Wada, "Trimming of Silicon Optical Waveguide

by Neutral Beam Oxidation", The Eighth International Symposium on Advanced Fluid Information and Transdisciplinary Fluid Integration, Nov. 2013., 仙台, 宮城

- [508] Matthieu Denoual, "Smart Infrared Detector (Invited)", 2013 International Conference on Solid State Devices and Materials, ヒルトン福岡シーフォーク, 福岡
- [509] T. Sato, T. Ishida, "MEMS combined with TEM Setup for Nanotribology", The 23rd ASME Annual Conference on Information Strage and Process Systems, Santa Clara, CA, USA
- [510] Y. F. Li, "Patterning ability of a mass-production-ready anti-wear probe", MNC2013, Sapporo, Hokkaido

3. 国内会議, 研究会等

- [1] 山岸史弥, 谷井宏成, 佐川守一, 牧本三夫, 和田光司, "両端開放型スパイラル共振器を用いた有極形ミリ波CMOSデュアルバンドBPFに関する一検討," 電子情報通信学会研究技術報告, vol. 113, no. 460, MW2013-215, pp. 107-112 (2014年3月)
- [2] 鈴木雄祐, 牧本三夫, 和田光司, " $\lambda/2 - 1$ 次CRLH伝送線路共振器と $\lambda/4 - 1$ 次CRLH伝送線路共振器を用いた有極形ミリ波CMOS - BPF," 電子情報通信学会東京支部学生会研究発表会(第19回 118) (2014年3月)
- [3] 川合, 小林, 嶋田, "レジスタ値の部分更新による低消費エネルギー指向ヘテロジニアス・クラスタ型プロセッサ", 電子情報通信学会信学技法CPSY, Vol.113, No.282, pp.1-6, 2013年11月.
- [4] A. Azhari, K. Sogo, M. Wang, A. Toya and T. Kikkawa, "A DC-27 GHz -30 dB Isolation Tx/Rx Single Pole Double Throw (SPDT) Switch for Gaussian Monocycle Pulse Transmission", 第74回応用物理学会秋季学術講演会, 講演予稿集, 18p-P10-13
- [5] 豊田, 田中, 堀尾, 合原, "並列更新カオスタブーサーチハードウェアシステムに用いるSIカオスニューロン集積回路プロトタイプ," 信学技報, vol. 113, no. 383, NLP2013-140, pp. 63-66, 2014年1月.
- [6] 小林, "集積回路の信頼性 ~ソフトウェアとは~", no.ICD2013-134, pp. 81, 電子情報通信学会技術報告(集積回路設計)(2014)
- [7] 岸田, 籾内, 大島, 小林, "バルクとSOTBにお

けるアンテナダメージによるリングオシレータの発振周波数ばらつきの評価", no.VDL2013-84, pp. 159-164, 電子情報通信学会技術報告(VLSI設計技術)(2013)

- [8] 神田, 小林, "FDSOIソフトエラー耐性の回路シミュレーションによる評価", no.C-12-38, pp. 98, 電子情報通信学会エレクトロニクスソサイエティ大会(2013)
- [9] 岸田, 小林, "Verilog-Aを用いた経年劣化現象の過渡解析用トランジスタレベルモデル", pp. 67-72, DAシンポジウム(2013)
- [10] 山口恭平, 塩谷亮太, 安藤秀樹, "資源リサイジングとクロック周波数ブーストを適応的に切り替えるデュアルターボブースト," 2013年先進的計算基盤システムシンポジウムSACSIS 2013, pp.20-17, 2013年5月.
- [11] 金子達哉, 佐藤真平, 吉瀬謙二, ArchHDLで記述したハードウェアの論理シミュレーションの高速化, 情報処理学会研究報告2013-ARC-206, No.25, 於北九州国際会議場(2013年8月1日発表), pp.1-8 (July 2013).
- [12] 佐藤真平, 吉瀬謙二, ArchHDLによるハードウェア記述の実践, 情報処理学会研究報告2014-ARC-208, No.21, 於東工大岡山キャンパス(2014年1月24日発表), pp.1-8 (January 2014).
- [13] Dong, Ramesh, Kanaya, Yoshida "A High Efficiency CMOS UWB Impulse Radio Transmitter for Low Power Applications", 信学技報, vol. 112, no. 459, MW2012-188, pp.157-162, 2013年3月
- [14] 兼本, 牟田, 福永, 古川, 金谷, 吉田, "定包絡線変調受信機のための1bit量子化A/D変換器の構成と性能評価", 信学技報, vol. 113, no. 8, RCS2013-22, pp.119-124, 2013年4月
- [15] 坂上岩太, 山岸裕人, "2周波高低特性インピーダンススタブのインピーダンス変換について," 電子情報通信学会技術研究報告 IEICE Technical Report MW2013-25(2013-5), pp.89-93.
- [16] 小林, 中司, "インバータコンパレータによる確率的フラッシュ型ADCの検討", 第66回電気関係学会九州支部連合大会, 02-1P-4, 2013年9月.
- [17] 岸上, 安村, 中司, "弱反転領域動作オペアンプを用いた低消費電力SCフィルタの設計", 第66回電気関係学会九州支部連合大会, 02-1P-10, 2013年9月.
- [18] 安部, 中司, "プリントコイルを用いた磁界共鳴型ワイヤレス給電システムの検討", 第66回電気関係学会九州支部連合大会, 02-1A-10, 2013年9

- 月.
- [19] 大平, 村永, 松元, 鳥井, 井田, 松藤, "等利得合成を用いた光ZCZ-CDMA方式の伝送実験," 平25電気・情報関連学会中国支部連合大会講演論文集, p.219, 2013年10月.
- [20] 三好聖二, 中林智之, 佐々木敬泰, 近藤利夫, FabScalarを用いた可変段数パイプライン構造を有するスーパースカラコアの詳細設計, 電子情報通信学会技術報告, (2013/7/31-8/2), 北九州市, 福岡県.
- [21] Gonzalez-Carabarin L., 浅井哲也, 本村真人, "Stochastic Circuit Design for Molecular Architectonics," 第4回分子アーキテクトニクス研究会, 東京大学山上会館(東京), 2014年3月11-12日.
- [22] 金多厚, 平尾岳志, 肥田格, 浅井哲也, 本村真人, "命令キャッシュ導入によるフラッシュメモリ搭載マイコンの低電力化," 情報処理学会計算機アーキテクチャ研究会, 東京工業大学(東京), 2014年1月23-24日.
- [23] 松山健人, 真田祐樹, 大畑克樹, 大平貴徳, 築田聡史, 五十嵐正樹, 池辺将之, 浅井哲也, 本村真人, 黒田忠広, "省メモリ指向ステレオマッチングアルゴリズムのLSIアーキテクチャ," STARCシンポジウム2014, 新横浜国際ホテル(横浜), 2014年1月29日.
- [24] 森政文, 伊藤健之, 池辺将之, 浅井哲也, 黒田忠広, 本村真人, "高速撮像を前提とする動きベクトル演算の簡素化アーキテクチャとその機械学習応用," 電子情報通信学会集積回路研究会学生・若手研究会, 京都大学(京都), 2014年1月28-29日.
- [25] 石村憲意, 小室勝郎, Schmid Alexandre, 浅井哲也, 本村真人, "縞・斑点画像を生成/修復する反応拡散モデルのFPGA実装," 第3回バイオメトリクスと認識・認証シンポジウム, 日本科学未来館(東京), 2013年11月26-27日.
- [26] 小室勝郎, 石村憲意, Schmid Alexandre, 浅井哲也, 本村真人, "ハードウェア向け反応拡散モデルの電子透かし応用とそのFPGA実装," 計測自動制御学会システム・情報部門学術講演会2013, ピアザ淡海(大津), 2013年11月18-20日.
- [27] 福田駿, 川島英之, 井上浩明, 藤井太郎, 古田浩一郎, 浅井哲也, 本村真人, "リコンフィギュラブルハードウェアを用いた高速ストリーム処理の一検討," 電子情報通信学会リコンフィギュラブルシステム研究会, 北陸先端科学技術大学院大学(能美), 2013年9月18-19日.
- [28] 平尾岳志, 金多厚, 肥田格, 浅井哲也, 本村真人, "低消費電力プロセッサのための限定的動的再構成アーキテクチャ," 電子情報通信学会リコンフィギュラブルシステム研究会, 北陸先端科学技術大学院大学(能美), 2013年9月18-19日.
- [29] 松山健人, 真田祐樹, 大畑克樹, 大垣哲郎, 大平貴徳, 築田聡史, 五十嵐正樹, 池辺将之, 浅井哲也, 本村真人, 黒田忠広, "ハードウェア指向ステレオマッチングアルゴリズムのアーキテクチャとそのFPGA実装," VDECデザイナーズフォーラム2013, 東京大学武田先端知ビル(東京), 2013年8月25-26日.
- [30] Gonzalez-Carabarin L., 浅井哲也, 本村真人, "ゆらぎ利用しきい論理素子による非同期式論理回路の設計," 2013年度第2回電子情報通信学会NetSci/CCS研究会合同ワークショップ, (新篠津), 2013年8月.
- [31] 福田駿, 川島英之, 井上浩明, 浅井哲也, 本村真人, "C言語による動的リコンフィギュラブルハードウェアへのWindow Joinの実装," 電子情報通信学会情報ネットワーク研究会, (福井), 2013年6月.
- [32] 石村憲意, Alexandre Schmid, 浅井哲也, 本村真人, "ハードウェア実装に向けた反応拡散ステガノグラフィモデル," 2013年度第1回電子情報通信学会複雑コミュニケーションサイエンス時限研究会, (草津), 2013年6月.
- [33] 平尾岳志, 安達琢, 浅井哲也, 本村真人, "低消費電力プロセッサのための限定的動的再構成アーキテクチャの提案," 先進的計算基盤システムシンポジウム, (仙台), 2013年5月.
- [34] 大平貴徳, 真田祐樹, 築田聡史, 五十嵐正樹, 池辺将之, 浅井哲也, 本村真人, "省メモリ指向一枚超解像アーキテクチャとそのFPGA実装," LSIとシステムのワークショップ, (北九州), 2013年5月.
- [35] 染谷慎人, 内田大輔, 池辺将之, 本久順一, 浅井哲也, 本村真人, "CMOSイメージセンサ用シングルスロープA/D変換器の高速化および低電力化," LSIとシステムのワークショップ, (北九州), 2013年5月.
- [36] 高崎博行, 成瀬雅人, 田井野徹, 明連広昭, "エピタキシャルTiN/AlN/TiN接合の作製," 第74回応用物理学会学術講演会, 17p-C14-17, 2013年9月.
- [37] 佐藤翔治, 渡邊剛, 成瀬雅人, 田井野徹, 明連広昭, "多量子ビーム検出器用STJ素子の極低温特性," 第74回応用物理学会学術講演会, 17p-C10-



- 21, 2013年9月.
- [38] 石塚達雄, 田井野徹, 戸塚裕太, 成瀬雅人, 青柳昌宏, 明連広昭, "埋め込み型STJフォトン検出器の作製と評価", 第74回応用物理学会学術講演会, 17p-C10-20, 2013年9月.
- [39] 中川裕仁, 成瀬雅人, 田井野 徹, 明連広昭, "デジタルSQUID用磁気シールド構造を持つSFQ論理セルの設計", 電子情報通信学会2013年ソサイエティ大会, C-8-7, 2013年9月.
- [40] 武田俊亮, 成瀬雅人, 田井野 徹, 明連広昭, 陳健, 呉 培亨, "光子数検出用SFQ光子数識別回路の設計", 電子情報通信学会2013年ソサイエティ大会, C-8-8, 2013年9月.
- [41] 佐々木 亮, 赤松祐太, 佐藤翔治, 田井野 徹, 明連広昭, "多量子ビーム検出器用時分割多重化SFQ信号処理回路の設計", 電子情報通信学会2013年ソサイエティ大会, C-8-9, 2013年9月.
- [42] 武田俊亮, 成瀬雅人, 田井野 徹, 明連広昭, 陳健, 呉 培亨, "超伝導ナノワイヤ検出器を用いた光子数検出器用単一磁束量子論理デジタル信号処理回路", 電子情報通信学会超伝導エレクトロニクス研究会, SCE2013-34, pp.83-87, 2013年10月.
- [43] 佐藤翔治, 成瀬雅人, 田井野徹, 明連広昭, "10B中性子吸収体を付加したSTJ検出器の作製", 第61回応用物理学会春季学術講演会, 18a-D5-4, 2014年3月.
- [44] 箱石広之, 大高俊徳, 浜本隆之, "撮像面分割型イメージセンサを用いた環境認識に適した画像の取得", 映像情報メディア学会技術報告, vol.37, no.22, pp.25-28(2013)
- [45] 齊藤富明, 山岸大紀, 浜本隆之, "リアルタイム任意視点画像合成のための距離推定の高速化", 映像情報メディア学会技術報告, vol.37, no.27, pp.41-44(2013)
- [46] 小林嵩, 宮本佳昭, 浜本隆之, "ブロック単位で蓄積パターン制御可能なイメージセンサとその撮像方式", 映像情報メディア学会技術報告, vol.37, IST2013-52, pp.41-44(2013)
- [47] 喜々津雅菜, 浜本隆之, "合焦距離の異なる2眼カメラ画像による距離推定眼カメラ画像による距離推定", Image Media Processing Symposium (IMPS13), I-4-17, 2pages (2013)
- [48] 片山七海, 岩田大志, 山口賢一, "等価検証技術を用いた縮退故障の冗長判定手法の提案", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-1, p.54, (2014).
- [49] 上岡真也, 岩田大志, 山口賢一, "4相式東データ法による非同期式ベンチマーク回路の設計", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-3, p.56, (2014).
- [50] 松本和高, 岩田大志, 山口賢一, "並列演算を用いたn回故障検出テスト手法の提案", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-4, p.57, (2014).
- [51] 小河亮, 岩田大志, 山口賢一, "Deterministic Circular Self Test Path適用ツールの開発", 第18回電子情報通信学会関西支部学生会研究発表会講演論文集, D1-5, p.58, (2014).
- [52] 小松巡, 岩田大志, 山口賢一, "モジュール間結合増加率に基づくスキャンチェーン接続法", 信学技報 (DC2013-79), Vol.113, No.430, pp. 1-5, 2014.
- [53] 水谷早苗, 岩田大志, 山口賢一, "非同期式QDI回路における任意の故障に対する検出手法", 信学技報 (DC2013-81), Vol.113, No.430, pp. 13-18, 2014.
- [54] 小河亮, 岩田大志, 山口賢一, "DCSTP回路に対する最適電力テストパターン順序付け手法", 信学技報 (DC2013-82), Vol.113, No.430, pp. 19-24, 2014.
- [55] 里中沙矢香, 岩田大志, 山口賢一, "メルセンヌ・ツイスタアルゴリズムにもとづいた効果的なテストパターン生成器の提案", 信学技報 (DC2013-86), Vol.113, No.430, pp. 43-48, 2014.
- [56] 森保孝憲, 大竹哲史, "制約付きテスト生成を用いたスキャンBISTのLFSRシード生成法", 電子情報通信学会技術報告 (DC2013-11), Vol.113, No.104, pp.7-12, June 2013.
- [57] 本田太郎, 大竹哲史, "遅延故障BIST向けLFSRシード生成法", 電子情報通信学会技術報告 (DC2013-58), Vol.113, No.321, pp.227-231, Nov. 2013.
- [58] 中島寛之, 大竹哲史, "RTL情報を用いた高品質遷移故障テスト生成法", 電子情報通信学会技術報告 (DC2013-60), Vol.113, No.321, pp.239-244, Nov. 2013.
- [59] 佐藤秀一, 大竹哲史, "東データ方式の非同期式回路に対する遅延測定機構", 情報処理学会研究会報告 (九州支部火の国情報シンポジウム2014論文集), 1A-2, pp.1-8, Mar. 2014.
- [60] 小野廉二, 大竹哲史, "遷移故障向け診断テスト生成の一手法", 情報処理学会研究会報告 (九州支部火の国情報シンポジウム2014論文集), 4A-4, pp.1-6, Mar. 2014.
- [61] R.Ito, K.Wada, and K.Sekine, "On-Chip Inductor and MOS varactor Evaluation for LC Voltage-

- Controlled Oscillators in 0.18 um CMOS"電気学会
電子・情報・システム部門 Englishセッション
- [62] 佐藤雅紀, 関根かをり "LDMOSの温度検知用組み込み温度センサの設計" 電子回路研究会 ECT-13-049
- [63] 佐藤雅紀, 関根かをり, 新谷悟, 井上俊輔, 譲原浩, 白井誉浩, 中野慎也 "kT/Cノイズを考慮したオフセットサンプリング列アンプ設計考察" 電子回路研究会 ECT-13-065
- [64] 安田信孝, 石原貴大, 森山誠二郎, 関根かをり "アナログ集積回路研究室における設計データ管理の試み" 電子回路研究会
- [65] 満田亮, 和田和千, 関根かをり "弱反転領域MOSFETカレントミラーを用いたローパスフィルタの温度特性の改善", 電子回路研究会
- [66] 福丸, 田中, "フローティング型可変抵抗回路の設計に関する研究", 平成25年度第12回電子情報系高専フォーラム講演論文集, pp.45-48, 2013年11月.
- [67] 長尾, 田中, "折り返し接続型トランスコンダクタンス増幅器の設計と評価", 平成25年度第12回電子情報系高専フォーラム講演論文集, pp.49-52, 2013年11月.
- [68] 加藤, 喜納, 三宅, 佐藤, 梶原, "論理BISTにおけるスキランイン電力制御のTEG評価について," 電子情報通信学会技術研究報告DC2013-59, pp.233-238, 2013年11月.
- [69] 西澤真一, 石原亨, 小野寺秀俊, "低電圧動作に向けたXOR論理ゲートの構成法の検討", DAシンポジウム2013, 2013年8月.
- [70] 近藤正大, 小野寺秀俊, 石原亨, "ニアスレシヨルド電圧動作に適したスタンダードセルの駆動力集合の決定法", DAシンポジウム2013, 2013年8月.
- [71] Islam A.K.M. Mahfuzul, 小野寺秀俊, "チップ間およびチップ内ばらつきを評価可能な再構成可能遅延モニタ回路", DAシンポジウム2013, 2013年8月.
- [72] 修斉, 石原亨, 小野寺秀俊, "電源電圧・閾値電圧・パイプライン段数の同時スケーリングによるプロセッサのエネルギー高効率化設計手法", DAシンポジウム2013, 2013年8月.
- [73] SinNyoung KIM, Akira Tsuchiya, Hidetoshi Onodera, "Analysis of Radiation-Induced Timing Vulnerability on Phase-locked Loops", DAシンポジウム2013, 2013年8月.
- [74] 竹下俊宏, 西澤真一, Islam A.K.M. Mahfuzul, 石原亨, 小野寺秀俊, "動作状況に応じた電源電圧と基板バイアスの同時調節によるLSIのエネルギー効率最大化", 電子情報通信学会2014年総合大会, 2014年3月.
- [75] 砂盛, 大石, 石井, 市原, 岩垣, 井上, "ストカスティックコンピューティングによる画像処理のFPGA実装," 機能集積情報システム研究会, 2013年11月.
- [76] 石森, 中祖, 岩垣, 市原, 井上, "耐マルチサイクル過渡故障を指向した高位合成におけるコントローラの設計について," 信学技報 (DC2013-34), Vol. 113, No. 321, pp. 45-50, 2013年11月.
- [77] 蝶野尋紀, 三浦克介, 中前幸治, "健康モニタリングセンサーチップのための心電図圧縮センシング回路のテストおよび高信頼化II", 第33回ナノテストニングシンポジウム (NANOTS) 会議録, pp.155-160, 13-15 Nov. 2013.
- [78] 三浦克介, 黒川敦, 宮崎浩, 中前幸治, "信頼性考慮EDAソフトウェア開発のためのMOSFETおよび配線tegチップの開発と測定", 第33回ナノテストニングシンポジウム (NANOTS) 会議録, pp.161-164, 13-15 Nov. 2013.
- [79] 日野恭佑, 三浦克介, 中前幸治, "電磁場波形のデコンボリューション処理による遅延故障絞り込み手法", 第33回ナノテストニングシンポジウム (NANOTS) 会議録, pp.177-182, 13-15 Nov. 2013.
- [80] 川口, 小平, "一般同期方式における低電力化のためのテクノロジーマッピング", 電気関係学会東北支部連合大会, 1C05, 2013年8月.
- [81] H. Mashiko, Y. Kohira, "A Tuning Method of Programmable Delay Element with an Ordered Finite Set of Delay Values for Yield Improvement", 信学会技報, VLD2013-99, Vol.113, No.320, pp.275-280, 2013年11月.
- [82] 金栄現, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「歪SiGe光変調器における歪誘起自由キャリア効果の増大」, 第61回応用物理学会春季学術講演会, 19a-F8-9, 青山学院大学相模原キャンパス, 2014年3月19日.
- [83] 一宮佑希, 横山正史, 野口宗隆, 市川磨, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「InGaAsP細線導波路光スイッチにおける低クロストーク動作」, 第61回応用物理学会春季学術講演会, 17p-PA2-8, 青山学院大学相模原キャンパス, 2014年3月17日.
- [84] 程勇鵬, 一宮佑希, 市川磨, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「III-V CMOSフォトニクス•プラットフォーム上導波路型InGaAs

MSMフォトディテクタの作製」, 第61回応用物理学会春季学術講演会, 17p-PA2-9, 青山学院大学相模原キャンパス, 2014年3月17日.

- [85] 金佑彊, 金栄現, 金相賢, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「Sb拡散ソース・ドレインを有する酸化濃縮基板上反転型極薄膜 Ge-on-Insulator nMOSFET」, 第61回応用物理学会春季学術講演会, 18p-PA12-5, 青山学院大学相模原キャンパス, 2014年3月18日.
- [86] 西康一, 金相賢, 横山正史, 横山春喜, 竹中充, 高木信一, 「金属 GaSb 合金を用いた金属/GaSb 接合の電気特性」, 第61回応用物理学会春季学術講演会, 19p-F12-19, 青山学院大学相模原キャンパス, 2014年3月19日.
- [87] 金ミンス, 若林勇希, 中根了昌, 横山正史, 竹中充, 高木信一, 「Type-II staggered hetero-junction tunnel FETs with Ge sources and biaxial tensile strain Si channels」, 第61回応用物理学会春季学術講演会, 19p-PG4-4, 青山学院大学相模原キャンパス, 2014年3月19日.
- [88] 金栄現, 韓在勳, 竹中充, 高木信一, 「Si / 歪 SiGe/Si 導波路コア・キャリア注入型光変調器に向けた低温表面パシベーション」, 電子情報通信学会第20回シリコンフォトンクス研究会, P18, 東京工業大学大岡山キャンパス, 2013年10月18日.
- [89] 韓在勳, 張睿, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「MOS光変調器の高性能化に向けたプラズマ後窒化SiGeゲートスタックのEOTスケーリング」, 電子情報通信学会第20回シリコンフォトンクス研究会, P14, 東京工業大学大岡山キャンパス, 2013年10月18日.
- [90] 嘉陽田達矢, 韓在勳, 竹中充, 高木信一, 「半導体-金属遷移を利用したグラフェン光変調器の実現に向けたグラフェン中化学ポテンシャルの評価」, 電子情報通信学会第20回シリコンフォトンクス研究会, P17, 東京工業大学大岡山キャンパス, 2013年10月18日.
- [91] 亢健, 張睿, 竹中充, 高木信一, 「GeOxパシベーションによるGe MSM受光器の暗電流削減」, 電子情報通信学会第20回シリコンフォトンクス研究会, P15, 東京工業大学大岡山キャンパス, 2013年10月18日.
- [92] 嘉陽田達矢, 韓在勳, 竹中充, 高木信一, 「半導体-金属遷移を利用したグラフェン光変調器の検討」, 第74回応用物理学会秋季学術講演会, 19a-P2-18, 同志社大学京田辺キャンパス, 2013年9月19日.
- [93] 金栄現, 韓在勳, 竹中充, 高木信一, 「歪 SiGe キャリア注入型光変調器に向けた低温パシベーション」, 第74回応用物理学会秋季学術講演会, 19a-P2-22, 同志社大学京田辺キャンパス, 2013年9月19日.
- [94] 西康一, 金相賢, 横山正史, 横山春喜, 竹中充, 高木信一, 「GaSb pMOSFETのMetal Source/Drainに向けたNi-GaSb/GaSbショットキー接合の低温における形成」, 第74回応用物理学会秋季学術講演会, 19p-C8-12, 同志社大学京田辺キャンパス, 2013年9月19日.
- [95] キム ミンス, 若林勇希, 中根了昌, 横山正史, 竹中充, 高木信一, 「Electrical Characteristics of Ge/Si Hetero-Junction Tunnel Field-Effect Transistors and their Post Annealing Effects」, 第74回応用物理学会秋季学術講演会, 19a-P5-12, 同志社大学京田辺キャンパス, 2013年9月19日.
- [96] 韓在勳, 張睿, 長田剛規, 畑雅彦, 竹中充, 高木信一, 「プラズマ後窒化によるHfO₂/Al₂O₃/SiGeゲートスタックのEOTスケーリングに関する検討」, 第74回応用物理学会秋季学術講演会, 17p-B5-8, 同志社大学京田辺キャンパス, 2013年9月17日.
- [97] 一宮佑希, 野口宗隆, 横山正史, 市川磨, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「InGaAsP 細線導波路光スイッチに向けたZn拡散によるp+InGaAsPの形成」, 第74回応用物理学会秋季学術講演会, 19a-P2-15, 同志社大学京田辺キャンパス, 2013年9月19日.
- [98] 金佑彊, 忻宇飛, 金栄現, 金相賢, 長田剛規, 秦雅彦, 竹中充, 高木信一, 「酸化濃縮基板へのSbドーピングにより作製した極薄膜 Ge-on-Insulator nMOSFETs」, 第74回応用物理学会秋季学術講演会, 18p-P10-2, 同志社大学京田辺キャンパス, 2013年9月18日.
- [99] 竹中充, 高木信一, 「III-V/Ge CMOSフォトンクス実現に向けたデバイス技術」, 電気化学会電子材料委員会第77回半導体・集積回路技術シンポジウム, 神奈川工科大学, 2013年7月11日(招待講演).
- [100] ホン, 本行, 長尾, 尾知, "2次元ソーターを使用した低演算量準最適MLD MIMOデコーダ", 電子情報通信学会信学技報, vol. 113, no.284, pp.59-64, 2014年1月.
- [101] 白旭, 亀山充隆, "電流モード論理に基づく多値細粒度リコンフィギャラブルVLSIの新概念アーキテクチャ", 信学技報, vol. 113, no. 236, ICD2013-81, pp. 59-64, 2013-10-08.

- [102] 原田伸太郎, 白旭, 藤岡与周, 亀山充隆, "ビットシリアルパケット転送に基づくロジックインメモリ多値リコンフィギャラブルVLSI", 多値論理研究ノート, Vol.36, No.9, pp.9-1-9-6, 2013.
- [103] 原田伸太郎, 白旭, 藤岡与周, 亀山充隆, "パケット転送制御に基づくロジックインメモリ構造多値リコンフィギャラブルVLSI", 電気関係学会東北支部連合大会, 1C06, 2013.
- [104] 岡崎剛, 筒井弘, 越智裕之, 佐藤高史, "準ゼロ分散推定と誤差平滑化処理を併用するランダムウォーク電源網解析", 第26回路とシステムワークショップ(於淡路夢舞台国際会議場), pp.472-477, 2013年7月.
- [105] 木村和紀, 筒井弘, 越智裕之, 佐藤高史, "SRAM回路解析における最小ノルム不良サンプルと歩留まりの関係", 第26回路とシステムワークショップ(於淡路夢舞台国際会議場), pp.374-379, 2013年7月.
- [106] 栗野皓光, 佐藤高史, "トランジスタアレイを用いたBTI劣化の統計的観測", 情報処理学会DAシンポジウム2013(於岐阜県下呂市ホテル下呂温泉水明館), pp.85-90, 2013年8月.
- [107] 藤田隆史, 川島潤也, 廣本正之, 筒井弘, 越智裕之, 佐藤高史, "低電源電圧におけるフリップフロップの故障モードの解析", 電子情報通信学会技術研究報告(於函館), Vol.113, No.112, pp.129-134, 2013年7月.
- [108] 新谷道広, 佐藤高史, "最大動作周波数テストの枠組みを用いたデバイスパラメータ推定手法", 電子情報通信学会技術研究報告(於機械振興会館), Vol.113, No.430, DC2013-85, pp.37-42, 2014年2月.
- [109] 霜鳥敏之, 刑部僚一, 丸山武男, 飯山宏一: "標準CMOSプロセスで作製したアバランシェ光検出器の高速応答特性", 電子情報通信学会レーザー・量子エレクトロニクス研究会, LQE2013-16 (2013.5)
- [110] 飯山宏一, 丸山武男: "標準CMOSプロセスによる高感度・高速光検出器の開発(招待講演)", 平成25年電気関係学会北陸支部連合大会, D-I, 金沢大学(2013.9)
- [111] 刑部僚一, 霜鳥敏之, 菱木拓哉, 丸山武男, 飯山宏一: "CMOS-APDの青色波長帯における高感度・高速動作", 平成25年電気関係学会北陸支部連合大会, D-7, 金沢大学(2013.9)
- [112] 丸山武男, 飯山宏一: "CMOSフォトリソCMOS互換プロセスとCMOS標準プロセスの違い(招待講演)", 電子情報通信学会シリコン・フォトリソ研究会, SIPH2013-22, 東京工業大学(2013.10)
- [113] 刑部僚一, 霜鳥敏之, 菱木拓哉, 飯山宏一, 丸山武男, "CMOS-APDの青色波長帯における高感度・高速動作", 電子情報通信学会2014年総合大会, C-4-12, 新潟大学(2014.3)
- [114] 丸山武男, 飯山宏一: "CMOS標準プロセスを用いた光デバイスの現状(依頼講演)", 電子情報通信学会2014年総合大会, C-4-6, 新潟大学(2014.3)
- [115] 高橋春菜, 守屋雅隆, 徳山貴斗, 島田宏, 水柿義直, "磁場応答が非対称なジョセフソン接合でのゼロ・クロッシング・シャピロ・ステップ生成", 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2013-37, 2014年1月23日
- [116] 水柿義直, 高橋春菜, 島田宏, "Nbインライン接合でのゼロ・クロッシング・シャピロ・ステップ生成", 2014年第61回応用物理学会春季学術講演会, 2014年3月
- [117] 橋本昌宜, "オンチップばらつきモニタリングによる適応的性能補償(Invited)", 電子情報通信学会集積回路研究会, January 2014.
- [118] 尾上孝雄, 橋本昌宜, 密山幸男, Dawood Alnajjar, 郡浦宏明, "VLSIの信頼性を向上させる再構成可能アーキテクチャ(Invited)", 電子情報通信学会リコンフィギャラブルシステム研究会, November 2013.
- [119] 飯塚翔一, 水野雅文, 黒田弾, 橋本昌宜, 尾上孝雄, "適応的速度制御における連続時間マルコフ過程を用いた故障発生時間高速評価手法", 情報処理学会DAシンポジウム, August 2013.
- [120] 郡浦宏明, Dawood Alnajjar, 密山幸男, 越智裕之, 今川隆司, 野田真一, 若林一敏, 橋本昌宜, 尾上孝雄, "Cベース設計に対応した信頼性可変粒度複合型再構成可能アーキテクチャ", "LSIとシステムのワークショップ", May 2013.
- [121] 原田諒, 密山幸男, 橋本昌宜, 尾上孝雄, "放射線起因一過性パルスが信頼性に与える影響の実験的評価", "LSIとシステムのワークショップ", May 2013.
- [122] 郡浦宏明, Dawood Alnajjar, 密山幸男, 越智裕之, 今川隆司, 野田真一, 若林一敏, 橋本昌宜, 尾上孝雄, "動作合成に対応した信頼性可変混合粒度再構成可能アーキテクチャの検討", 電子情報通信学会リコンフィギャラブルシステム研究会, May 2013.
- [123] 笹川, 田村, 外山, 淡野, "CMOSスイッチにおけるホールド誤差低減手法", 第34回多値論理フォーラム, 2013年9月.

- [124] 田邊, 田村, 外山, 淡野, "容量アレイ型D/A変換器のレイアウト設計に関する一考察", 2013年度電子情報通信学会九州支部学生会講演会, C-26, 2013年9月.
- [125] 下山, 田村, 外山, 淡野, "生体信号処理のための超低消費電力, 低利得変動CMOSオペアンプの設計", 平成25年度電気関係学会九州支部連合大会, 2013年9月.
- [126] 春山, 田村, 外山, 淡野, "フォールデッドカスコードオペアンプのためのレプリカバイアス回路の提案とバイアス電流依存についての検討", 平成25年度電気関係学会九州支部連合大会, 2013年9月.
- [127] 上村, 淡野, 田村, 外山, "受信強度比較方式を用いた赤外線受信回路の設計と解析", 多値論理とその応用研究会, 2014年1月.
- [128] 崔冀, 岩崎紘介, 出井良明, 松岡俊匡, "無線給電微粒子操作チップのための超低電圧電源モニタリング回路", 電気学会電子回路研究会, 2013年10月.
- [129] 崔冀, 岩崎紘介, 出井良明, 松岡俊匡, "無線給電微粒子操作チップのための超低電圧電源モニタリング回路", 電子情報通信学会集積回路研究会, 2014年1月.
- [130] 趙益均, 裴正男, 松岡俊匡, 海老沼拓史, "トリプルバンドGPS CMOS受信機RFフロントエンドの設計", 電子情報通信学会集積回路研究会, 2014年1月.
- [131] 岩崎紘介, 出井良明, 上田瞬, 宮脇裕介, 岸和田泰, 崔冀, 松岡俊匡, 藤井秀司, "低電圧動作液中オンチップ微粒子操作に関する研究", 応用物理学会関西支部講演会, 2013年10月.
- [132] S. T. Radhapuram, J. Bae, I. Jo, T. Matsuoka, "A Low-Power 100 MHz-2 GHz 32/33 Dual-Modulus Prescaler Based on NAND D Flip-Flop", 電子情報通信学会総合大会, 2014年3月.
- [133] J. Bae, S. T. Radhapuram, I. Jo, T. Matsuoka, "Low-Power Design of Digital-Controlled Oscillator with $\Delta \Sigma$ Modulator for MICS Applications", 電子情報通信学会総合大会, 2014年3月.
- [134] 岩元雅太郎, 吉村渉, 下藺太, 田平大基, 大島賢一, "1 GHz, 8 bit サプレジシング型AD変換器(1) —低電力化技術—", 電子情報通信学会集積回路研究会, 2013年7月.
- [135] 吉村渉, 岩元雅太郎, 下藺太, 田平大基, 大島賢一, "1 GHz, 8 bit サプレジシング型AD変換器(2) —評価結果と不良解析—", 電子情報通信学会集積回路研究会, 2013年7月.
- [136] 下藺太, 大島賢一, "低電圧化に適したコンパレータトポロジー", 電子情報通信学会ソサイエティ大会, 2013年9月.
- [137] 吉村渉, 大島賢一, "高速・低電力AD変換器における抵抗ラダーの歪自動補正技術", 電子情報通信学会デザインガイア2013, 2013年11月.
- [138] 大島賢一, "AD変換器におけるデジタルアシスト技術の動向", Microwave Workshop & Exhibition, 2013年11月.
- [139] 吉村, 大島, "高速・低電力AD変換器における抵抗ラダーの歪自動補正技術", 電子情報通信学会総合大会, 2014年3月.
- [140] 岩元, 大島, "クロック昇圧回路の低電力化技術", 電子情報通信学会総合大会, 2014年3月.
- [141] 田中, 魏, "SD数の非零桁数削減回路の改良", 第26回回路とシステムワークショップ, pp.209-214, 2013年7月.
- [142] Y. Tanaka, "Some implementations of canonical signed-digit recoding circuits", AMDE 2013, Kiryu, Japan, Dec, (2013).
- [143] 坂本直之, 塩見英久, 久保田雅則, 岡村康行, 三田吉郎, "非接触MEMS駆動を目指したマイクロ電磁界共鳴電力伝送回路に関する研究", 電子情報通信学会集積回路研究会 (ICD) 学生・若手研究会, 京都, 2014年1月.
- [144] Kota Hosaka, Masanori Kubota, Yu-Tang Chen, and Yoshio Mita, "High precision measurement of on-wafer LED devices by CMOS-MEMS probe card with electrical contact sensing function", The 30th SENSOR SYMPOSIUM on Sensors, Micromachines and Applied Systems, 5-7 Nov, 2013.
- [145] 米田佳祐, 久保田雅則, テイクシェ三田アニエス, 森下賢志, 森功, 保坂航太, 三田吉郎, "省電力・長寿命MEMSメモリを目指すマイクロラッチ機構設計と作製", LSIとシステムのワークショップ2013, 2013年5月.
- [146] 施英漢, 久保田雅則, 三田吉郎, "MEMS技術を用いた音波の熱的な検知に関する研究", 電気学会マイクロマシンセンサシステム研究会, 東京, 2013年8月.
- [147] 井上栄史, 安永守利, 相部範之, "画像伝送によるセグメント分割伝送線の信号品質評価," 第51回機能集積情報システム研究会 (FIIS), 2013年7月.
- [148] 小林伸彰, 榎本忠儀, "ワード線電位を適応的に降圧して読み出しマージンを拡大した低電圧6Tr CMOS SRAM", 信学技報, vol. 113, no. 236,

- ICD2013-82, pp. 65-70, 2013年10月8日.
- [149] 小林伸彰, 榎本忠儀, 「読み・書きマージンを拡大した低電圧動作6-Tr CMOS SRAM」, 信学ソ大会講演論文集2, エレクトロニクス講演論文集2, C-12-36, p.135, 2013年9月19日.
- [150] 國本将也, 原祐子, 中島康彦, "永久故障回避のための等価命令列置換手法", 信学技報, Vol.113, No.169, CPSY2013-30, pp.121-126, Jul. (2013)
- [151] 藤原知広, 姚駿, 原祐子, 中島康彦, "リング型アレイアクセラレータのマクロパイプライン化による性能見積り", 研究報告計算機アーキテクチャ (ARC), 2013-ARC-206, No.14, pp1-6, Jul. (2013)
- [152] 早苗駿一, 原祐子, 山下茂, 中島康彦, "Partially-Programmable Circuitの歩留まり向上のためのLUT最適化手法", 情報処理学会DAシンポジウム, pp.27-32, 下呂, Aug. (2013)
- [153] 長沼秀樹, 谷卓治, 笹木悠一郎, 木野久志, 清山浩司, 田中徹, "完全埋め込み型人工網膜のためのエッジ強調機能を有する37x37ピクセル人工網膜チップ", "LSIとシステムのワークショップ2013, pp. 193-195, May 2013.
- [154] 和泉, 松田, 岩田, 水島, 小幡勤, "圧力センサ用多チャンネルCV変換回路の設計", 電気関係学会北陸支部連合大会, 2013年9月
- [155] 道用, 松田, 岩田, "実際の構造を有するナノMOSFETのシミュレーション解析", 電気関係学会北陸支部連合大会, 2013年9月
- [156] 山口, 鬼頭, 高木, "剰余符号を用いたオンライン誤り検出可能な浮動小数点乗算器", FTC研究会, 2013年7月.
- [157] 山口, 鬼頭, 高木, "剰余検査によるオンライン誤り検出可能な浮動小数点乗算器", DAシンポジウム, 2013年8月.
- [158] 須田, 高瀬, 高木, 高木, "高位合成における非一様依存性を持つ入れ子ループ向けのバッファ構成手法", デザインガイア2013, 2013年11月.
- [159] 渡邊, "電源プレーンの三角形メッシュを用いた等価回路モデルの比較とその過渡解析の高速化", 第26回回路とシステムワークショップ, pp.102-107, 2013年7月.
- [160] 清水暁生, 花桐詩瑞香, 古賀圭介, 荻島真澄, 石川洋平, 野口卓朗, 深井澄夫, "学内向け演算増幅器設計コンテストの実施とその教育効果について", 日本産業技術教育学会 第26回九州支部大会 講演要旨集, B27, pp.69-70, Oct. 2013.
- [161] 畑石和慶, 下田和馬, 深井澄夫, 清水暁生, 石川洋平, "4値加算器における生成回路部分の比較," 平成25年度電気関係学会九州支部連合大会, 02-1P-14, Sep. 2013.
- [162] 下田和馬, 畑石和慶, 深井澄夫, 清水暁生, 石川洋平, "FG-MOSFETを用いた4値マイコンの設計," 平成25年度電気関係学会九州支部連合大会, 02-1P-14, Sep. 2013.
- [163] 森智博, 畑石和慶, 下田和馬, 深井澄夫, 清水暁生, 石川洋平, "FG-MOSFETを用いた4値乗算器の設計," 2013年度電子情報通信学会九州支部学生会講演会・講演論文集, C-25, Sep. 2013.
- [164] 眞崎瑛里, 大塩悠貴, 花桐詩瑞香, 野口卓朗, 清水暁生, 深井澄夫, 石川洋平, "SKILL言語を用いたICレイアウト環境の拡張," 2013年度電子情報通信学会九州支部学生会講演会・講演論文集, C-28, Sep. 2013.
- [165] 江中祐貴, 清水暁生, 石川洋平, 深井澄夫, "カレントミラーに用いる電流電圧変換回路の測定," 2013年度電子情報通信学会九州支部学生会講演会・講演論文集, C-31, Sep. 2013.
- [166] 笹原昭平, 畑石和慶, 下田和馬, 深井澄夫, 清水暁生, 石川洋平, "多値加算器における最適レベルの比較・検討," 2013年度電子情報通信学会九州支部学生会講演会・講演論文集, C-33, Sep. 2013.
- [167] 中山恭綺, 松元聡志, 深井澄夫, 清水暁生, "D/A変換器に適した多出力ニューロンMOSカレントミラーの検討," 2013年度電子情報通信学会九州支部学生会講演会・講演論文集, C-35, Sep. 2013.
- [168] 田中, 桂井, 井上, 岸根, 野河, 稲葉, "25Gbit/s動作に向けたプリアンパシス機能付き65nm-CMOS出力バッファ回路の検討", 利用ファシリテイ: Cadence, Synopsys, Mentor, 電子情報通信学会総合大会2014, C12-5
- [169] 井上, 岸根, 土谷, 稲葉 "65nm-CMOSを用いたインダクティブピーキング型低雑音VCO", 電子情報通信学会総合大会2014, C12-39
- [170] 尾本, 岸根, 稲葉 "遅延検波回路を用いたラベリング信号検出回路の検討", 電子情報通信学会総合大会2014, A-1-25
- [171] 森田峻介, 深山正幸, 松田吉雄, "アフィン動きモデル推定プロセッサの顔器官追跡への応用", 電子情報通信学会集積回路研究会技術研究報告, 2013年8月.
- [172] 深山正幸, "画像認識プロセッサの研究", 電子情報通信学会リコンフィギャラブルシステム研究会技術研究報告, 2013年9月.
- [173] 早川雄飛, 高田賢介, 田中雅光, 藤巻朗, "低消

費電力化単一磁束量子マイクロプロセッサにおけるデータパスの設計と評価, "超伝導エレクトロニクス研究会, 2013年7月.

- [174] 高田賢介, 早川雄飛, 田中雅光, 藤巻朗, "10kA/cm²プロセスを用いた2-bitビットスライス・アダプターの設計と評価, "超伝導エレクトロニクス研究会, 2013年7月.
- [175] 喜多祐真, 松岡宏弥, 宮嶋茂之, 田中雅光, 藤巻朗, "RSFQ回路のシャント抵抗の接続方法変更による低雑音化の手法の提案と実証, "超伝導エレクトロニクス研究会, 2013年7月.
- [176] 早川雄飛, 高田賢介, 田中雅光, 藤巻朗, "電力化単一磁束量子マイクロプロセッサにおけるデータパスの低速試験, "電子情報通信学会2013年ソサイエティ大会, 2013年9月.
- [177] 高田賢介, 早川雄飛, 田中雅光, 藤巻朗, "10kA/cm² Nbプロセスを用いた2-bitビットスライス・アダプターの動作実証, "電子情報通信学会2013年ソサイエティ大会, 2013年9月.
- [178] 幸村勇斗, 滝波拓海, 北山敦史, 田中雅光, 藤巻朗, "低電圧駆動RSFQ回路におけるANDゲートでの干渉の評価, "電子情報通信学会2013年ソサイエティ大会, 2013年9月.
- [179] 滝波拓海, 伊藤将人, 幸村勇斗, 田中雅光, 藤巻朗, "低電圧駆動単一磁束量子回路における受動伝送線路リング発振器の評価, "電子情報通信学会2013年ソサイエティ大会, 2013年9月.
- [180] 伊藤圭介, 于国偉, 喜多祐真, 田中雅光, 藤巻朗, "電流バイアス運動インダクタンス検出器アレイに向けたアドレス生成回路の評価, "2013年第74回応用物理学会秋季学術講演会, 2013年9月.
- [181] 喜多祐真, 田中雅光, 藤巻朗, "シャント抵抗接続方式の変更によるSFQコンパレータの雑音量の評価, "2013年第74回応用物理学会秋季学術講演会, 2013年9月.
- [182] 早川雄飛, 高田賢介, 田中雅光, 藤巻朗, "低電力化単一磁束量子マイクロプロセッサにおけるデータパスの試験, "第88回低温工学・超電導学会, 2013年12月.
- [183] 田中雅光, 早川雄飛, 高田賢介, 藤巻朗, "低電圧単一磁束量子回路によるビットシリアルマイクロプロセッサの動作実証, "第88回低温工学・超電導学会, 2013年12月.
- [184] 高田賢介, 早川雄飛, 田中雅光, 藤巻朗, "10kA/cm² Nbプロセスを用いた4bitビットスライスALUの設計と評価, "電子情報通信学会2014年総合大会, 2014年3月.
- [185] 上阪岬, 喜多祐真, 田中雅光, 藤巻朗, 永沢秀一, 日高陸夫, "20kA/cm²プロセスによる単一磁束量子回路の動作実証, "電子情報通信学会2014年総合大会, 2014年3月.
- [186] 田中雅光, 大桃由紀雄, 高木一義, 高木直史, 藤巻朗, "単一磁束量子32ビットマイクロプロセッサに向けたビットスライスバレルシフタの設計と実装, "電子情報通信学会2014年総合大会, 2014年3月.
- [187] 幸村勇斗, 田中雅光, 永沢秀一, 吉川信行, 藤巻朗, "10kA/cm² Nbプロセスを用いたジョセフソンランダムアクセスメモリの設計, "電子情報通信学会2014年総合大会, 2014年3月.
- [188] 喜多祐真, 伊藤圭介, 于国偉, 藤巻朗, 日高陸夫, 石田武和, "100万画素中性子イメージングシステムに向けた単一磁束量子回路の設計, "2014年第61回応用物理学会春季学術講演会, 2014年3月.
- [189] 黒川綜太, 田中雅光, 藤巻朗, 喜多祐真, "素子特性のばらつきが単一磁束量子シフトレジスタ回路のバイアスマージンに与える影響の調査, "2014年第61回応用物理学会春季学術講演会, 2014年3月.
- [190] 藤巻朗, 日高陸夫, 石田武和, "単一磁束量子読み出し回路による中性子検出器, "電子情報通信学会2014年総合大会, 2014年3月.
- [191] 樺沢皓介, 杉林直彦, 柳澤政生, 木村晋二, "フィルタ向け定数乗算のメモリベース実現による低電力化, "信学技法, VLD2013-29, pp.101-106, July 2013.
- [192] 糸井優大・木村晋二, 書込み電力最小カット部探索とそれを用いた不揮発論理回路の低電力化信学技法, Vol.113, No.320, pp.147-152, Nov. 2013.
- [193] 篠原寛行・柳澤政生・木村晋二, "差分を用いた不揮発メモリの書込み回数削減による低電力回路設計, "信学技法, Vol. 113, No. 416, pp.167-172, Jan. 2014.
- [194] 柴谷恵, 汐崎充, 中井綱人, 藤野毅, "IO-masked dual-rail ROMのEMリーク低減手法," SCIS 2014, Jan. 2014.
- [195] 鶴飼慎太郎, 中井綱人, 北村俊樹, 久保田貴也, 汐崎充, 藤野毅, "耐タンパ性向上のためのHybrid Masking Dual-Rail ROMを用いたAES暗号回路の性能評価",信学技報, vol. 113, no. 323, ICD2013-88, pp. 19-24, 2013年11月.
- [196] 中野将志, 鶴飼慎太郎, 柴谷恵, 久保田貴也, 汐崎充, 藤野毅, "サイドチャネル攻撃対策AES暗号とPUF技術を用いた車載向け耐タンパ認証

- システムの設計と実装", ETNET2014, 2014年3月.
- [197] 菅谷周平, 西村隆志, 竹内章浩, 汐崎充, 藤野毅 "サイドチャンネル攻撃耐性を持つIO-Masked Dual-Rail ROMのデータ読み出し遅延差を用いたPUFの検討と設計", SCIS2014, 2014年1月.
- [198] 竹内章浩, 久保田貴也, 汐崎充, 藤野毅, "AES暗号回路に対するテンプレートを用いたサイドチャンネル攻撃評価", LSIとシステムのワークショップ2013, ポスター発表, 2013年5月.
- [199] 竹内章浩, 谷口雅人, 汐崎充, 藤野毅, "PUFの環境変化も考慮した鍵生成システムの実装評価", SCIS 2014, Jan. 2014.
- [200] 西村, 小川, 岡本, 寺村, 汐崎, 藤野 "機械学習による遅延時間差検出型アービター PUFモデルを用いたチップ認証" 2013年5月 LSIとシステムのワークショップ p175
- [201] 西村, 菅谷, 竹内, 汐崎, 藤野 "サイドチャンネル攻撃耐性を持つIO-Masked Dual-Rail ROMに統合可能なPUF回路の検討と設計" 信学技報, vol.113, no.322, CPM2013-112, ICD2013-89, pp.25~30, 2013年11月
- [202] 堀遼平, 大谷拓, 人見達郎, 上口翔大, 吉川雅弥, 藤野毅, "ビアプログラマブルアーキテクチャ VPEX4 (1) ~配線混雑度改善と低消費電力性能向上のための基本論理素子の改良~", 信学技報, vol.113, no.320, VLD2013-71, pp.81-86, 2013年11月
- [203] 大谷, 堀, 吉川, 藤野 "ビアプログラマブルアーキテクチャ VPEX3S - 動作速度を改善するための基本論理素子の改良 -", 信学技報, vol. 113, no. 320, VLD2013-70, pp. 75-80, 2013年11月.
- [204] 上田佳祐, 堀遼平, 汐崎充, 熊本敏夫, 藤田智弘, 藤野毅 "ビアプログラマブルアナログ (VPA) 回路設計とプログラマブルアナログ回路との性能比較" 信学技報, vol. 113, no. 323, ICD2013-87, pp. 13-18, 2013年11月.
- [205] 人見達郎, 堀遼平, 上岡泰輔, 吉川雅弥, 藤野毅, "ビアプログラマブルストラクチャードASICアーキテクチャ VPEXのDES暗号回路における消費電力性能評価", LSIとシステムのワークショップ2013, ポスター発表, 2013年5月.
- [206] 上口, 堀, 大谷, 吉川, 藤野 "ビアプログラマブルデバイス VPEX4のベンチマーク回路を用いた性能評価", 電子情報通信学会技術研究報告, 2013年11月27日~29日, pp.87-92.
- [207] 尾崎, 廣瀬, 椿, 黒木, 沼, "適応バイアス電流生成技術を用いた超低電力・高速Rail-to-Railオペアンプ," LSIとシステムのワークショップ2013, pp. 235-237, 2013年5月.
- [208] 中澤, 廣瀬, 大崎, 椿, 黒木, 沼, "ばらつき補正技術を用いたシングルスロープADコンバータ," LSIとシステムのワークショップ2013, pp. 184-186, 2013年5月.
- [209] 長井, 廣瀬, 椿, 黒木, 沼, "低電圧エネルギー・ハーベスティングに向けた0.27-V入力, 効率75%, オンチップ・チャージポンプ回路," 第26回回路とシステムワークショップ, pp.319-324, 2013年8月.
- [210] 杉本俊貴, 谷本洋, 吉澤真吾, "確率的フラッシュ型AD変換器の線形化手法," 電気学会, 電子回路研究会資料, ECT-14-029, pp.153-160, Jan. 2014.
- [211] 佐々木大地, 吉澤真吾, 谷本洋, "自律自己学習による可変語長制御OFDM受信機の低消費電力化," 電子情報通信学会 SIS研究会, SIS2013-52, pp.137-142, Dec. 2013.
- [212] 高橋孝国, 谷本洋, 吉澤真吾, "広い同相入力範囲を持つ0.5V動作CMOSインバータ増幅器," 電気関係学会北海道支部連合大会講演論文集, pp. 13, Oct. 2013.
- [213] 川合翔麻, 小林良太郎, 嶋田創, "レジスタ値の部分更新による低消費エネルギー指向ヘテロジニアス・クラスタ型プロセッサ," 電子情報通信学会技術報告CPSY2013-39, pp. 1-6, 広島県東広島市, 2013年11月.
- [214] 浅井, 吉川, "FDTD法を用いた暗号サイドチャンネルリークの設計評価手法", 信学技報, Vol.113, No.217, pp.1-7
- [215] 浅井, 吉川, "設計段階での暗号サイドチャンネルリークの解析と対策", 暗号と情報セキュリティシンポジウム2014, 2A3-1
- [216] 佐藤謙介, 今井雅, "多ビット記憶素子を用いた高性能非同期式回路設計方式," 電気学会電子・情報・システム部門大会, pp.864-869, Sep., 2013
- [217] 今井雅, 米田友洋, "マルチクロック・デュアルエッジトリガフリップフロップを用いたヘテロタイミング回路設計," 電気学会電子・情報・システム部門大会, pp.870-875, Sep., 2013
- [218] 今井雅, 米田友洋, "2相ハンドシェイクプロトコル非同期式回路向けマルチクロック・マルチエッジトリガ・フリップフロップの提案," 電子情報通信学会技術研究報告VLD2013-47, ICD2013-71, IE2013-47, pp.7-12, Oct., 2013
- [219] 寺山, 今井, "MOUSETRAPパイプライン回路のスキヤンテスト," 2014年電子情報通信学会総合大会, Mar., 2014

- [220] 上ノ原誠二, 厚地泰輔, 松坂建治, 田向権, 森江隆, 合原一幸, デバイスマスマッチに頑健なPWM方式CMOS結合回路, 電気学会電子回路研究会, ECT-14-011, pp. 53-57, 2014年1月23日, しいのき迎賓館(金沢)
- [221] 松坂建治, 田中秀樹, 大久保悟, 東原敬, 森江隆, 脳型情報処理ハードウェア実現に向けたパルス結合位相振動子に基づくスパイクベース演算, 2013年度人工知能学会全国大会, 講演番号3H3-OS-05b-5in, 2013年6月4-7(6)日, 市民プラザ(富山)
- [222] 宮代祐也, 松坂建治, 東原敬, 田中宙夫, 田向権, 森江隆, パルス結合位相振動子ネットワークのCMOS集積回路化とその評価, 電気学会電子回路研究会, ECT-13-117, pp. 29-34, 2013年11月29日, 日本大(東京)
- [223] 瀬尾真人, 渡邊 実, 「差分光再構成型ゲートアレイの放射線耐性向上実装手法」電子情報通信学会技術研究報告(リコンフィギャラブルシステム研究会)Vol. 113, No. 325, pp. 83-86, 鹿児島県文化センター(宝山ホール), 11月28日, 2013.
- [224] 上窪勇貴, 渡邊実, 川人祥二, 「フーリエ変換を用いた光再構成型ビジョンチップによる画像認識」電気関係学会 東海支部連合大会, 静岡大学, 9月24日, 2013.
- [225] 藤森卓巳, 渡邊 実, 「光再構成型ゲートアレイへの色構成手法」, 電子情報通信学会技術研究報告(リコンフィギャラブルシステム研究会)Vol. 113, No. 221, pp. 103-108, 北陸先端科学技術大学院大学, 9月19日, 2013.
- [226] 赤木昂太, 渡邊 実, 「光再構成型ゲートアレイへの可変サイズスポット構成手法」電子情報通信学会技術研究報告(リコンフィギャラブルシステム研究会)Vol. 113, No. 221, pp. 109-112, 北陸先端科学技術大学院大学, 9月19日, 2013.
- [227] 前川輝, 荻原昭文, 渡邊実, 森脇烈, 「光再構成用コンテキストデータの液晶ホログラムへの角度多重記録」, 応用物理学会秋季学術講演会, 同志社大学, 9月, 2013.
- [228] 岩崎, 齋藤, "サイクルタイム制約を考慮した低消費電力な東データ方式による非同期式AVRプロセッサの設計", vol.2013-SLDM-163, no.28, 2013年11月.
- [229] 吉田, 安藤, 鈴木, 平田, "テレスコピック型OPAの1/f雑音低減技術", 2014年電子情報通信学会総合大会, C-12-2, 2014年3月.
- [230] 清水祐希, 安田 彰, 吉野理貴, 北原義大, "FIRフィルタを用いてクロックジッタと過剰ループ遅延の影響を抑えた連続時間型 $\Delta\Sigma$ 変調器の設計", 電気学会, 電子回路研究会, ECT-13-058, Mar., 29, 2013.
- [231] 石川武道, 清水祐希, 吉野理貴, 安田 彰, 森山誠二郎, 設計情報を容易に共有可能なドキュメント化に関する考察電気学会, 電子回路研究会, ECT-13-084, Oct., 3, 2013.
- [232] 春田牧人, 橋本力, 竹原浩成, 須永圭紀, 野田俊彦, 笹川清隆, 徳田 崇, 太田淳, "脳内内因性光シグナル計測用埋植型CMOSイメージングデバイス", "(ポスター, 優秀ポスター発表賞), 情報センシング研究会, IST2013-26, 2013/5/31, 埼玉大学東京ステーションカレッジ
- [233] 宮澤和也, 竹原浩成, 岡林大恭, 笹川清隆, 野田俊彦, 徳田崇, Soo Hyeon Kim, 飯野亮太, 野地博行, 太田淳, "デジタルELISA法に向けた画像処理によるレンズレスオンチップ蛍光検出デバイスの開発", "(ポスター), 情報センシング研究会, IST2013-25, 2013/5/31, 埼玉大学東京ステーションカレッジ
- [234] 須永圭紀, 春田牧人, 元山真由美, 太田安美, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "励起光波長制御による生体埋植型蛍光イメージングデバイスの高感度化", "映像情報メディア学会年次大会, 15-5, 2013/8/30, 工学院大学 新宿キャンパス
- [235] 竹原浩成, 宮澤和也, 笹川清隆, 野田俊彦, 徳田崇, Soo Hyeon Kim, 飯野亮太, 野地博行, 太田淳, "レンズレスデジタルELISAシステム向け積層フォトダイオードCMOSイメージセンサの開発", "映像情報メディア学会年次大会, 15-7, 2013/8/30, 工学院大学 新宿キャンパス
- [236] 宮澤和也, 竹原浩成, 笹川清隆, 野田俊彦, 徳田崇, Kim Soo Hyeon, 飯野亮太, 野地博行, 太田淳, "Digital ELISAに向けた高感度CMOSイメージセンサと画像処理によるレンズレスオンチップ蛍光計測デバイスの開発", "応用物理学会秋季学術講演会, 16a-C4-1, 2013/9/16, 同志社大学 京田辺キャンパス
- [237] 中島駿, 前澤安代, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "オプトジェネティクス応用に向けたCMOSベース光-電気神経インターフェースデバイス", "応用物理学会秋季学術講演会, 16a-C4-2, 2013/9/16, 同志社大学 京田辺キャンパス
- [238] 石井孔明, 笹川清隆, 野田俊彦, 徳田崇, 太田淳, "完全埋植型CMOSイメージセンサのための電池駆動実験", "応用物理学会秋季学術講演会, 16a-C4-3, 2013/9/16, 同志社大学 京田辺キャンパス

- ス
- [239] 徳田崇, 黒木渉平, 石井孔明, 野田俊彦, 笹川清隆, 太田淳, "RF駆動型人工視覚向けフレキシブル網膜刺激デバイス, "応用物理学会秋季学術講演会, 16a-C4-4, 2013/9/16,同志社大学 京田辺キャンパス
- [240] 藤本裕介, 黒木渉平, 野田俊彦, 笹川清隆, 徳田崇, 寺澤靖雄, 太田淳, "CMOSチップを電極内部に組込んだ人工視覚用スマート電極アレイの作製,"応用物理学会秋季学術講演会, 16a-C4-5, 2013/9/16,同志社大学 京田辺キャンパス
- [241] 上嶋和弘, 高橋正幸, 太田安美, 元山真由美, 野田俊彦, 笹川清隆, 徳田崇, 興津輝, 竹内昌治, 太田淳, "CMOSイメージセンサによる蛍光方式生体内グルコース計測技術の開発,"応用物理学会秋季学術講演会, 16a-C4-7, 2013/9/16,同志社大学 京田辺キャンパス
- [242] 石井孔明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "生体内イメージングにおける無線通信システムの開発, "(ポスター),情報フォトンクス研究会秋合宿, 2013/9/23,研修保養施設倶楽部錦浜, 札幌
- [243] 須永圭紀, 春田牧人, 竹原浩成, 元山真由美, 太田安美, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "GFP計測用埋植型CMOSイメージングデバイスの開発, "(ポスター),情報フォトンクス研究会秋合宿, 2013/9/23,研修保養施設倶楽部錦浜, 札幌
- [244] 徳田崇, 高橋正幸, 上嶋和弘, 河村敏和, 太田安美, 元山真由美, 野田俊彦, 笹川清隆, 興津輝, 竹内昌治,太田淳, "生体埋め込みCMOSイメージセンサによる蛍光方式グルコースセンシング技術, "情報センシング研究会, 2013/9/30,機会振興会館, 東京
- [245] 竹原浩成, 宮澤和也, 笹川清隆, 野田俊彦, 徳田崇, Soo Hyeon Kim,飯野亮太, 野地博行, 太田淳, "デジタルELISA蛍光観察向け積層フォトダイオードCMOSイメージセンサ, "(ポスター),応用物理学会関西支部平成25年度第2回講演会「関西のグリーン・バイオエレクトロニクス研究の現状と若手からの発信」, P-39, 2013/10/9,ミレニアムホール, 奈良先端科学技術大学院大学
- [246] 春田牧人, 須永圭紀, 竹原浩成, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, "埋植型CMOSイメージングデバイスによる脳表の血流計測, "(ポスター),応用物理学会関西支部平成25年度第2回講演会「関西のグリーン・バイオエレクトロニクス研究の現状と若手からの発信」, P-37, 2013/10/9,ミレニアムホール, 奈良先端科学技術大学院大学
- [247] 若間範充, 上嶋和弘, 寺尾公維, 野田俊彦, 笹川清隆, 徳田崇, 西山靖浩, 垣内喜代三, 太田淳, "偏光分析CMOSイメージセンサを用いたin situ不斉計測システム, "(ポスター),応用物理学会関西支部平成25年度第2回講演会「関西のグリーン・バイオエレクトロニクス研究の現状と若手からの発信」, P-38, 2013/10/9,ミレニアムホール, 奈良先端科学技術大学院大学
- [248] 河村敏和, 高橋正幸, 上嶋和弘, 太田安美, 元山真由美, 野田俊彦, 笹川清隆, 徳田崇, 興津輝, 竹内昌治, 太田淳, "グルコース応答性蛍光ハイドロゲル搭載体内埋込みCMOSイメージセンサによるグルコース計測, "映像情報メディア学会冬季大会, 1-1, 2013/12/19,芝浦工業大学
- [249] 竹内健, "ストレージクラスメモリを用いたメモリシステム", 日本学術振興会 第131委員会・154委員会, 2013年1月.
- [250] 竹内健, "日本の半導体・ナノ・マイクロ技術が世界で勝ち残るために", ナノ・マイクロビジネス展記念講演会, 2013年1月.
- [251] 竹内健, "ストレージ・クラス・メモリを用いたビッグデータ情報処理システム", 最先端研究開発支援プログラム「グリーン・ナノエレクトロニクスのコア技術開発」成果報告会, 2013年3月.
- [252] 竹内健, "日本のエレクトロニクスが世界で勝ち残るために", 組込み総合技術展関西2013, 2013年6月.
- [253] 竹内健, "ビッグデータに向けたストレージ・クラス・メモリとフラッシュメモリのハイブリッドSSD", 第77回半導体・集積路技術シンポジウム, 2013年7月.
- [254] 竹内健, "ストレージ・クラス・メモリが実現するリアルタイム性に優れたビッグデータのサービス", TEL Advanced Technology Forum 2013, 2013年8月.
- [255] 竹内健, "企業も個人も, 分野を越境することが, 生き残りの条件", アゴラ夏休み特別セミナー「グローバル時代の日本人」, 2013年8月.
- [256] 竹内健, "「電子立国日本の自叙伝」から20年何が勝者と敗者を分けたのか", BDTIセミナー, 2013年8月.
- [257] 竹内健, "ストレージクラスメモリとフラッシュメモリが切り拓くリアルタイムのビッグデータのサービス", 日経BP半導体リサーチ, 2013年8月.

- [258] 竹内健, “フラッシュメモリとストレージ・クラス・メモリで構成するビッグデータ向けハイブリッド・ストレージ”, IDEMAセミナー, 2013年10月.
- [259] 竹内健, “ストレージクラスメモリとフラッシュメモリが切り拓くビッグデータのサービス”, 産総研新アプリ研究会, 2013年10月.
- [260] 竹内健, “日本の個性を活かし, 世界で勝負するには”, 連合技術者フォーラム, 2013年11月.
- [261] 竹内健, “ストレージクラスメモリとフラッシュメモリが切り拓くビッグデータのサービス”, 産総研新アプリ研究会, 2013年10月.
- [262] 竹内健, “日本の個性を活かし, 世界で勝負するには”, 連合技術者フォーラム, 2013年11月.
- [263] 竹内健, “半導体メモリが切り拓くビッグデータのアプリケーション”, 京都賞先端技術部門記念ワークショップ「集積回路の発展50年とその未来 超高集積メモリ・超省電力LSIに向けて」, 2013年11月.
- [264] 竹内健, “集積回路の未来”, 京都賞先端技術部門記念ワークショップ「集積回路の発展50年とその未来 超高集積メモリ・超省電力LSIに向けて」パネル討論, 2013年11月.
- [265] 竹内健, “3次元NAND型フラッシュメモリによる大容量ストレージの構築に向けて”, Electronic Journal Technical Seminar, 2013年12月.
- [266] 竹内健, “IT融合に向けた次世代メモリストレージ制御技術”, 第25回コンピュータシステム・シンポジウム (ComSys2013), 2013年12月.
- [267] 竹内健, “ReRAM/NAND Flash Memory Hybrid Memory System for Big Data Application”, 応用物理学学会, 2014年3月.
- [268] 竹内健, “フラッシュメモリが切り拓く新しいアプリケーション”, 舩岡富士雄先生 文化功労者ご顕彰記念フラッシュメモリシンポジウム, 2014年3月.
- [269] 蜂谷尚悟, 宮地幸祐, 上口光, 竹内健, “3次元実装 ReRAM/MLC NAND ハイブリッドSSDにおける, データマネジメント手法の提案と性能評価”, 集積回路研究会, 信学技報, vol. 112, no. 425, ICD2012-125, pp. 39-43, 2013年1月.
- [270] 宮地幸祐, 柳原裕貴, 竹内健, “BiCS型三次元積層NANDフラッシュメモリにおけるゲート長, ゲート間隔及び積層数の設計方針”, 応用物理学関係連合講演会, 28a-G9-1, 2013年3月.
- [271] 宮地幸祐, 宮野信治, 竹内健, “不良セルへの電荷同時注入による修復技術を用いた低消費電力6T-SRAM”, 応用物理学関係連合講演会, 28a-G9-6, 2013年3月.
- [272] 上口光, 吉岡和顕, 竹内健, “ブロック消去アーキテクチャを用いたNAND型高集積相変化メモリ”, 応用物理学関係連合講演会, 27p-PB5-12, 2013年3月.
- [273] 畑中輝義, 上口光, 竹内健, “3次元実装SSD用昇圧回路のEMC距離依存性評価”, 応用物理学関係連合講演会, 27p-PB5-11, 2013年3月.
- [274] 宮地幸祐, 藤井裕大, 上口光, 樋口和英, 孫超, 竹内健, “SCM及びMLC NANDフラッシュメモリを用いたハイブリッドSSDと断片化防止アルゴリズムによる性能向上”, 集積回路研究会, 信学技報, vol. 113, no. 1, ICD2013-15, pp. 73-78, 2013年4月.
- [275] 畑中輝義, 上口光, 蜂谷尚悟, 竹内健, “SCM及びMLC NANDフラッシュメモリを用いたハイブリッドSSDと断片化防止アルゴリズムによる性能向上”, 集積回路研究会, 信学技報, vol. 113, no. 1, ICD2013-16, pp. 79-84, 2013年4月.
- [276] 宮地幸祐, 上口光, 樋口和英, 竹内健, “MLC相変化メモリとNANDフラッシュメモリを用いた三次元ハイブリッドSSDのための正負温度係数を有する読み出し参照源”, 集積回路研究会, 信学技報, vol. 113, no. 1, ICD2013-17, pp. 85-90, 2013年4月.
- [277] 宮地幸祐, 小林大介, 宮野信治, 竹内健, “40nm世代6T-SRAMにおけるパスゲートトランジスタへの非対称電荷注入によるスタティックノイズマージン改善の解析”, IEEE International Reliability Physics Symposium (IRPS) 報告会, July 2013.
- [278] 下村和也, 寧渉洋, 竹内健, “Carbon nanotube (CNT) を用いた不揮発性メモリデバイスの書き込み特性の検証”, 集積回路研究会, 信学技報, vol. 113, no. 419, ICD2013-121, p. 51, 2014年1月.
- [279] 石井智也, 上口光, 竹内健, “低電力ハイブリッドSSD (Solid State Drive) の3次元実装方法に関する検討”, 集積回路研究会, 信学技報, vol. 113, no. 419, ICD2013-121, p. 47, 2014年1月.
- [280] C. Monteiro, 高橋康宏, 関根敏和, “Measurement of CSSAL Multiplier over GF(24) LSI Implemented in 0.18 μ m CMOS Technology,” 2014年電子情報通信学会総合大会講演論文集, vol.2014, p.2 (A-1-2), March 2014.
- [281] 加藤和成, 高橋康宏, 関根敏和, “サブスレッショルド断熱的論理回路の消費エネルギー比較,” 2014年電子情報通信学会総合大会講演論文

- 集, vol.2014, p.3 (A-1-3), March 2014.
- [282] 高橋康宏, C. Monteiro, 関根敏和, "負荷容量均一化対称構造断熱的論理回路CSSAL ~論理回路設計と暗号回路設計の事例~, "信学技報, vol. 113, no. 224, CAS2013-49, pp. 71-75, Sept. 2013.
- [283] C. Monteiro, 高橋康宏, 関根敏和, "LSI implementation of a secure low-power CSSAL cellular multiplier," 信学技報, vol. 113, no. 224, CAS2013-52, pp. 89-94, Sept. 2013.
- [284] C. Monteiro, 高橋康宏, 関根敏和, "LSI implementation of a bit-parallel cellular multiplier over $GF(2^4)$ using charge-sharing symmetric adiabatic logic," 2013年電子情報通信学会ソサイエティ大会講演論文集, vol.2013, p. 101 (C-12-41), Sept. 2013.
- [285] C. Monteiro, 高橋康宏, 関根敏和, "Low power CSSAL bit-parallel multiplier over $GF(2^4)$ in 0.18 μ m CMOS technology," 信学技報, vol. 113, no. 2, EMCJ2013-3, pp. 13-18, April 2013.
- [286] 秦志剛, 吉澤浩和, "スイッチトキャパシタ積分回路にパルス入力を与えたときの高調波歪みについての検討", 電子情報通信学会ソサイエティ大会講演論文集, p.68, (2013).
- [287] 崔文杰, 吉澤浩和, "Low Dropout レギュレータ回路における過渡応答時間の改善について", 第16回電気学会東京支部埼玉支所研究発表会講演論文集, pp.23-24 (2013).
- [288] 伊部泰貴, 高木辰則, 及川直也, 伊藤浩之, 小栗康範, 市川浩司, 石原昇, 益一哉, 「CAN伝送における電磁放射特性の解析評価と抑圧回路の提案」, 第28回エレクトロニクス実装学会春季講演大会, 2014年3月5日.
- [289] 高安基大, 白根篤史, 李尚曄, 山根大輔, 伊藤浩之, ミイシャオユウ, 井上広章, 中澤文彦, 石原昇, 益一哉, 「CMOS技術による8-ch 20-V出力MEMSドライバ回路」, 電子情報通信学会第34回アナログRF研究会, 2013年11月19日.
- [290] 加賀谷賢, 小西敏文, 山根大輔, 松島隆明, 佃真文, 伊藤浩之, 石原昇, 年吉洋, 町田克之, 益一哉, 「エネルギーハーベストデバイスの小型化の検討」, 応用物理学会集積化MEMS技術研究会第5回集積化MEMSシンポジウム, 2013年11月5日-7日, 6PM3-PIM-003.
- [291] 高安基大, 白根篤史, 李尚曄, 山根大輔, 伊藤浩之, ミイシャオユウ, 井上広章, 中澤文彦, 上田知史, 石原昇, 益一哉, 「MEMS制御用高電圧CMOSスイッチングドライバ回路」, 応用物理学会集積化MEMS技術研究会第5回集積化MEMSシンポジウム, 2013年11月5日-7日, 7AM2-E-6.
- [292] 伊藤浩之, 小西敏文, 山根大輔, 石原昇, 町田克之, 益一哉, 「ミキサファーストRF受信機のためのMEMS共振器ミキサの検討」, 応用物理学会集積化MEMS技術研究会第5回集積化MEMSシンポジウム, 2013年11月5日-7日, 7AM2-E-8.
- [293] 加賀谷賢, 小西敏文, 山根大輔, 松島隆明, 佃真文, 伊藤浩之, 石原昇, 年吉洋, 町田克之, 益一哉, 「エネルギーハーベストデバイスの検討(1)」, 第74回応用物理学会秋季學術講演会・半導体A (MEMS, NEMSの基礎と応用 : 異種機能集積化), 2013年9月18日, 18p-P11-5.
- [294] 椎野雄介, 藤原琢, 伊藤浩之, 石原昇, 山内悠, 田邊裕貴, 野村聡, 小西敏文, 町田克之, 益一哉, 「ISFETを用いたワイヤレスpHモニタリング用低電力FM送信IC」, 電子情報通信学会2013ソサイエティ大会, 2013年9月17日-20日, C-12-24.
- [295] 池田翔, 上村龍也, 李尚曄, 伊藤浩之, 石原昇, 益一哉, 「デジタル自動校正付き注入同期型分周器および線形バラクタを用いた低電圧位相同期回路」, 電子情報通信学会2013ソサイエティ大会, 2013年9月17日-20日, C-12-34.
- [296] 高安基大, 白根篤史, 李尚曄, 伊藤浩之, 石原昇, 益一哉 「MEMSスイッチ制御用昇降圧回路に関する研究」, 電子情報通信学会集積回路研究専門委員会, LSIとシステムのワークショップ, 2013年5月13日-15日, pp.247-248.
- [297] 渡邊, 小野, 野村, 中野, "0.18 μ m CMOS プロセスによるマイクロシステム送信器用900MHz発振器", 第35回アナログRF研究会, 2014年3月
- [298] 小野, 野村, 中野, マイクロシステム用オンチップ太陽電池とレギュレータ付きDC-DCコンバータ電源回路の設計, LSIとシステムのワークショップ, 2013年5月
- [299] 川島, 中山, 安田, 中野, "パッチクランプ用CMOSオンチップIVコンバータの特性評価", 第8回再生可能集積システム時限研究会, 2013年10月
- [300] 四ツ田, 安田, 中山, 川島, 中野, "LSIパッチクランプシステム用可変利得増幅回路の設計", 第35回アナログRF研究会, 2014年3月
- [301] 日下, 四柳, 橋爪, "同一信号線上のピアオープン故障の隣接線影響を用いる診断可能性評価", 電気関係学会四国支部連合大会講演論文集, p.101, 2013年9月.

- [302] 原口, 四柳, 多田, S-K. Lu, Z. Roth, 橋爪, "電磁界シミュレーション値を用いた完全断線TSV出力電圧の高精度推定法", 電気関係学会四国支部連合大会講演論文集, p.102, 2013年9月.
- [303] 藤原, 四柳, 橋爪, "隣接TSVの影響を考慮するTSV故障検査用リングオシレータの提案と評価", 電気関係学会四国支部連合大会講演論文集, p.103, 2013年9月.
- [304] 中村, 四柳, 橋爪, "TSV故障検出回路制御用TSVの検査手法の検討", 電気関係学会四国支部連合大会講演論文集, p.104, 2013年9月.
- [305] 池地, 四柳, 橋爪, "遅延故障検査容易化回路を用いた複数経路の同時検査可能性調査", 電気関係学会四国支部連合大会講演論文集, p.105, 2013年9月.
- [306] 二宮, 四柳, 橋爪, "TDC組込み型バウンダリスキャンを用いる製造ばらつきを考慮した遅延故障検査法", 電気関係学会四国支部連合大会講演論文集, p.106, 2013年9月.
- [307] 西條, 四柳, 橋爪, "レイアウト設計した検査容易化CMOSセンサ回路の電氣的検査可能性調査", 電気関係学会四国支部連合大会講演論文集, p.111, 2013年9月.
- [308] 末永, 四柳, 橋爪, "組込み型IDDT出現時間検出回路の実験による評価用設計", 電気関係学会四国支部連合大会講演論文集, p.112, 2013年9月.
- [309] 梅津, 橋爪, 四柳, "ESD入力保護能力を低下させない検査容易化設計によるIC間配線の電気検査可能性調査", 電気関係学会四国支部連合大会講演論文集, p.114, 2013年9月.
- [310] 山下, 四柳, 橋爪, 樋上, 高橋, "SAT手法による隣接線影響を考慮した微小遅延故障検査用テストパターン生成に関する一考察", 電気関係学会四国支部連合大会講演論文集, p.126, 2013年9月.
- [311] 大栗, 四柳, 橋爪, "信号の伝送方向を考慮した半断線故障配線の遅延解析", 電気関係学会四国支部連合大会講演論文集, p.129, 2013年9月.
- [312] 櫻井, 四柳, 橋爪, "TDC組込み型バウンダリスキャン回路による遅延検出能力評価", 電子情報通信学会技術研究報告, Vol.113, No.430, pp.7-12, 2014年2月.
- [313] 遠藤翔, 李陽, 本間尚文, 崎山一男, 藤本大介, 永田真, 太田和夫, 青木孝文, "故障感度隠蔽のための効率的な対策とその評価", 2013年暗号と情報セキュリティシンポジウム, Vol. 1E1-5, pp. 1-8, January 2013.
- [314] 下山, 森, 前澤, "V溝(111)面を形成したSi(100)基板上へのInSb薄膜の成長", 第74回応用物理学会学術講演会, 19a-P8-7, 2013年9月16-20日
- [315] 坂本, 中野, 柴田, 森田, 森, 前澤, "異種材料デバイス集積化のための低融点金属バンプの信頼性", 応用物理学会北陸・信越支部学術講演会, 22p-C-2, 2013年11月
- [316] 呉, 水牧, 潘, 森, 前澤, "共鳴トンネルダイオードを用いた極短パルス生成器の高出力化", 電子情報通信学会電子デバイス研究会, ED2013-37, 2013年8月
- [317] 中野, 柴田, 森田, 坂本, 森, 前澤, "高性能共鳴トンネルダイオードのための溶融ガリウムバンプを用いたFluidic Self-Assembly", 電子情報通信学会電子デバイス研究会, ED2013-38, 2013年8月
- [318] 藤野, 水野, 高岡, 森, 前澤, "超高性能デジタルマイクロフォンセンサのためのInP基板へのMEMSマイクロフォン作製プロセス", 電子情報通信学会電子デバイス研究会, ED2013-44, 2013年8月
- [319] 前澤, 潘, 角谷, 中野, 森, "共鳴トンネル発信機のセンサー応用", 電子情報通信学会 電子デバイス研究会, 2014年2月
- [320] 松本, 田中, 園田, 神田, 藤田, 前中, "心電と加速度に着目した特徴量抽出デジタルASIC", 2013年8月センサマイクロマシン部門総合研究会
- [321] 川村一志, 柳澤政生, 戸川望, "RDRアーキテクチャを対象とした時間及び面積オーバーヘッドのないフォールトセキュア高位合成手法," 信学技報, vol. 113, no. 30, VLD2013-9, pp. 67-72, 北九州市, 2013年5月16日.
- [322] 塩雅史, 柳澤政生, 戸川望, "セレクトラ論理を利用した線形補間演算器設計とその評価," 信学技報, vol. 113, no. 30, VLD2013-6, pp. 49-54, 北九州市, 2013年5月16日.
- [323] 阿部晋矢, 史又華, 宇佐美公良, 柳澤政生, 戸川望 "HDR-mcdを対象としたマルチクロックドメイン指向の低電力化高位合成手法," 第26回回路とシステムワークショップ, C1-2-2, pp. 185-190, 淡路市, 2013年7月29日.
- [324] 川村一志, 柳澤政生, 戸川望, "RDRアーキテクチャを対象とした時間・面積制約にもとづくフォールトセキュア高位合成手法," 第26回回路とシステムワークショップ, C2-1-3, pp. 454-459, 淡路市, 2013年7月30日.
- [325] 跡部悠太, 史又華, 柳澤政生, 戸川望, "ランダムオーダースキャンによるセキュアスキャン設計," 第26回回路とシステムワークショップ, C2-1-2, pp. 448-453, 淡路市, 2013年7月30日.

- [326] 塩雅史, 柳澤政生, 戸川望, “セレクトラ論理を利用した線形補間演算器の実装と評価,” 第26回回路とシステムワークショップ, C1-4-3, pp. 215-220, 淡路市, 2013年7月29日.
- [327] 赤坂宏行, 阿部晋矢, 柳澤政生, 戸川望, “HDRアーキテクチャを対象とした多段階クロックゲーティングを用いた低電力化高位合成手法,” 情報処理学会DAシンポジウム2013論文集, pp.43-48, 下呂市, 2013年8月21日.
- [328] 萩尾勇太, 柳澤政生, 戸川望, “製造後遅延調整機能を持つRDRアーキテクチャ向け高位合成手法,” 情報処理学会DAシンポジウム2013論文集, pp.133-138, 下呂市, 2013年8月22日.
- [329] 阿部晋矢, 史又華, 宇佐美公良, 柳澤政生, 戸川望, “フロアプラン統合化アーキテクチャを対象とした複数クロックドメインおよび複数電源電圧による低電力化高位合成手法,” 情報処理学会DAシンポジウム2013論文集, pp.139-144, 下呂市, 2013年8月22日.
- [330] 跡部悠太, 史又華, 柳澤政生, 戸川望, “トロイパスによるハードウェアトロイ検出の一手法,” 2013年電子情報通信学会基礎・境界ソサイエティ大会, A-3-5 VLSI設計技術, 福岡市, 2013年9月18日.
- [331] 萩尾勇太, 柳澤政生, 戸川望, “製造後遅延調整機能を持つRDRアーキテクチャ向け高位合成手法の評価,” 信学技報, vol.113, no.235, VLD2013-54, pp. 41-46, 弘前市, 2013年10月8日.
- [332] 塩雅史, 柳澤政生, 戸川望, “セレクトラ論理を利用した線形補間演算器の実装と評価,” 信学技報, vol.113, no.235, VLD2013-56, pp. 53-58, 弘前市, 2013年10月8日.
- [333] 川村一志, 柳澤政生, 戸川望, “信頼性と時間オーバーヘッド間のトレードオフを考慮した面積制約にもとづくRDRアーキテクチャ向けフォールトセキュア高位合成手法,” 信学技報, vol. 113, no. 320, VLD2013-79, pp. 129-134, 鹿児島市, 2013年11月28日.
- [334] 五十嵐博昭, 史又華, 柳澤政生, 戸川望, “チェックポイント観測によるタイミングエラー予測手法,” 信学技報, vol. 113, no. 320, VLD2013-67, pp. 39-44, 鹿児島市, 2013年11月27日.
- [335] 阿部晋矢, 史又華, 宇佐美公良, 柳澤政生, 戸川望, “HDR-mcdを対象としたクロックエネルギー優位な高位合成と実験評価,” 信学技報, vol. 113, no. 320, VLD2013-97, pp. 263-268, 鹿児島市, 2013年11月29日.
- [336] 木村健将, 岡田健一, 松澤昭, “3Dインダクタによるノイズフィルタリングを施した2次高調波を利用した電圧制御型発振器の検討”, 2013年電子情報通信学会ソサイエティ大会(於福岡工業大学), C-12-31, Sep. 2013.
- [337] 金子徹, 宮原正也, 松澤昭, “CMOS入力高線形アンプの検討”, 2013年電子情報通信学会ソサイエティ大会(於福岡工業大学), C-12-25, Sep. 2013.
- [338] 近藤智史, 河合誠太郎, 岡田健一, 松澤昭, “ミリ波帯における注入同期を用いたI/Qミスマッチ補償手法”, 2013年電子情報通信学会ソサイエティ大会(於福岡工業大学), C-12-20, Sep. 2013.
- [339] 河合誠太郎, 近藤智史, 岡田健一, 松澤昭, “IQミスマッチ補償を用いた20Gbps 60GHz帯送受信機”, 2013年電子情報通信学会ソサイエティ大会(於福岡工業大学), C-12-19, Sep. 2013.
- [340] 中田憲吾, 木村健将, 竹内康揚, 岡田健一, 松澤昭, “Class-C型電圧制御発振器における適応バイアス回路の低雑音化の検討”, 2013年電子情報通信学会ソサイエティ大会(於福岡工業大学), C-12-18, Sep. 2013.
- [341] 眞木翔太郎, 河合誠太郎, 岡田健一, 松澤昭, “ミリ波帯低インピーダンス素子のシャント接続測定の検討”, 2013年電子情報通信学会ソサイエティ大会(於福岡工業大学), C-12-17, Sep. 2013.
- [342] 川嶋理史, 宮原正也, 松澤昭, “低雑音ダイナミック比較器の低消費電力化の検討”, 2013年電子情報通信学会ソサイエティ大会(於福岡工業大学), C-12-14, Sep. 2013.
- [343] Nurul Fajri・河合誠太郎・岡田健一・松澤昭, “A research on the coupling of transmission lines in 60 GHz circuit design,” 電子情報通信学会 総合大会(於 岐阜大学), C-12-21, Mar. 2013.
- [344] 佐藤慎司・津久井裕基・岡田健一・松澤昭, “非対称レイアウトを用いた60GHz帯低LOリークアップコンバージョンミキサ,” 電子情報通信学会 総合大会(於 岐阜大学), C-12-21, Mar. 2013.
- [345] リムキムスルン・南亮・津久井裕基・岡田健一・松澤昭, “ミリ波帯キャパシティブクロスカップリング差動増幅器のための対称交差レイアウトの提案,” 電子情報通信学会 総合大会(於 岐阜大学), C-12-21, Mar. 2013.
- [346] 瀬尾有輝・Qinghong Bu・岡田健一・松澤昭, “ミリ波帯カスコード回路におけるMAGおよび安定性の改善,” 電子情報通信学会 総合大会(於 岐阜大学), C-12-21, Mar. 2013.
- [347] 金子徹・宮原正也・松澤昭, “CMOS入力演算増幅器の高利得化の検討,” 電子情報通信学会 総合大会(於 岐阜大学), C-12-21, Mar. 2013.

- [348] Wei Deng · Ahmed Musa · Teerachot Siriburanon · Masaya Miyahara · Kenichi Okada · Akira Matsuzawa, "A Dual-Loop Injection-Locked PLL with All-Digital PVT Calibration System," 電子情報通信学会 総合大会 (於 岐阜大学), C-12-21, Mar. 2013.
- [349] 木村健将 · 竹内康揚 · 岡田健一 · 松澤昭, "電圧制御発振器における電源電圧変動耐性向上のための電源ダンピングの検討," 電子情報通信学会 総合大会 (於 岐阜大学), C-12-21, Mar. 2013.
- [350] 上野智大 · 岡田健一 · 松澤昭, "矩形波信号を利用したサブサンプリング位相比較器の検討," 電子情報通信学会 総合大会 (於 岐阜大学), C-12-21, Mar. 2013.
- [351] 近藤智史 · 岡田健一 · 松澤昭, "ミリ波帯LC型電圧制御発振器のレイアウトにおける寄生インダクタ成分の影響についての検討," 電子情報通信学会 総合大会 (於 岐阜大学), C-12-21, Mar. 2013.
- [352] 岩泉洋紀, 杉谷将宏, 齊培恒, 筒井弘, 宮永喜一, "ASIPを用いた高精度8×8 MIMO-OFDMシステムの設計," 電子情報通信学会信学技報, Vol. 113, No. 343, pp. 35-40, SIS2013-33, 12-13 Dec. 2013.
- [353] 杉谷将宏, 岩泉洋紀, 齊培恒, 筒井弘, 宮永喜一, "9ステップ型MIMO検出器を用いた8×8MIMO-OFDMシステムの開発," 電子情報通信学会信学技報, Vol. 113, No. 343, pp. 41-46, SIS2013-34, 12-13 Dec. 2013.
- [354] 井上孔佑, 古市真也, 吉川信行, "容量性カップリングを用いたCMOS可逆論理回路の研究", 電子情報通信学会2013年ソサイエティ大会, A-1-15, 福岡工業大学, 2013年9月.
- [355] 井上孔佑, 古市真也, 吉川信行, "容量性カップリングを用いたCMOS可逆論理回路の動作実証", 2014電子情報通信学会総合大会, A-1-1, 新潟大学, 2014年3月.
- [356] 篠塚康大, 更田裕司, 石田光一, 高宮真, 佐藤敏郎, 桜井貴康, "インターポーザ上インダクタの高透磁率材導入によるオンチップBuckコンバータ回路の高効率化の検討," 電気学会基礎・材料・共通部門大会, 12-A-p-6, 2013年9月.
- [357] 柳原裕貴, 更田裕司, 高宮真, 桜井貴康, "オンチップCMOSバック・コンバータの電流不連続モードでの効率最適化," 電子情報通信学会ソサイエティ大会, C-12-1, 2013年9月.
- [358] 吉岡和顕, 更田裕司, 福田浩一, 森貴洋, 太田裕之, 高宮真, 桜井貴康, "トンネルFETを用いたSRAMにおけるマージン改善手法の提案," 電子情報通信学会ソサイエティ大会, C-12-37, 2013年9月.
- [359] 更田裕司, 高宮 真, 桜井貴康, "多値アンチ・ヒューズの実現に向けたゲート酸化膜の破壊位置制御手法の提案と実証," 電子情報通信学会総合大会, C-12-49, 2014年3月.
- [360] 小菅敦丈, 水原渉, 四手井綱章, 竹谷勉, 三浦典之, 田口真男, 石黒仁揮, 黒田忠広, "方向性結合器を用いた携帯機器用途向け0.15mm厚非接触コネクタ," シリコン材料・デバイス研究会 (SDM)/集積回路研究会 (ICD), Aug. 2013
- [361] 黒田忠広, "近接場ワイヤレス通信が拓く集積システムとユビキタスセンサ (招待講演)," 電子情報通信学会 (ASN) (NS) (RCS) (SR) (RRRC) 合同研究会, July 2013
- [362] 山田雄二, 富岡涼太, 高橋隆一, "マイクロアーキテクチャのCTL演繹体系を用いた検証," 信学技報 Vol.113, No.30, pp.31-36 (2013)
- [363] 竹内宏介, 梅津哲也, 原田知親, 「回路への組み込みが可能なる多端子MOSFET温度検出素子の作製及び評価」, 第26回回路とシステムワークショップ, Ba2-2-1, pp.340-345, 2013年8月
- [364] 原田知親, 梅津哲也, 竹内宏介, 「5端子MOSFET型応力検出素子の応力検出動作の評価」, 第26回回路とシステムワークショップ, Ba2-2-2, pp.346-350, 2013年8月
- [365] 原田知親, 「極低電圧動作3入力2出力アナログ比較器の設計と評価」, 電子情報通信学会2013年ソサイエティ大会, A-1-9, 2013年9月
- [366] 渡辺晃輔, 原田知親, 「同期後の動作が簡略化可能な0.5V駆動サブスレッショルドDPLLの設計」, 電子情報通信学会集積回路研究会, ICD2013-129, 2014年1月
- [367] 王密田, Afreen Azhari, 十河 健太, 吉川 公磨, "オンチップインダクタの超帯域特性" 第74回応用物理学会秋季学術講演会, 講演予稿集 13-143,18p-P10-12 2013年9月16日-9月20日. 同志社大学
- [368] A. Azhari, K. Sogo, M. Wang, A. Toya and T. Kikkawa, "A DC-27 GHz -30 dB Isolation Tx/Rx Single Pole Double Throw (SPDT) Switch for Gaussian Monocycle Pulse Transmission", Abstract of JSAP Autumn Meeting (domestic), Abs. No. 18p-P10-13, Kyoto, p.144, 2013.
- [369] 王密田, アフリーン・アズハリ, 吉川公磨, "UWBアンテナアレイ制御用CMOSスイッチングマトリックス回路" 第15回IEEE広島支部学

- 生シンポジウム, 論文集 (a) 電気P127-138 2013年11月16日-11月17日, 鳥取大学
- [370] 橋本憲治, 杉谷拓海, 十河健太, 裴力剣, 吉川公磨, "オンチップアンテナ搭載CMOSガウシアンモノサイクルパルス生成・送信回路"第15回IEEE広島支部 学生シンポジウム, 論文集 (a) 電気P129-130 2013年11月16日-11月17日, 鳥取大学
- [371] 谷口, 柳澤, 多画素, 高ダイナミックレンジかつ高速動画撮影のための低消費電力CMOSイメージセンサーアーキテクチャの一考察, 電気学会電子回路研究会, 2013年7月.
- [372] 樺沢, 杉林, 柳澤, 木村, フィルタ向け定数乗算のメモリベース実現による低電力化, 電子情報通信学会VLSI設計技術研究会, 2013年7月.
- [373] 谷口, 史, 戸川, 柳澤, 故障差分解析に耐性を持つデータ修復可能なAES暗号回路, 電子情報通信学会基礎・境界ソサイエティ大会, 2013年9月.
- [374] 篠原, 柳澤, 木村, 差分を用いた不揮発メモリの書き込み回数削減による低電力回路設計, 電子情報通信学会VLSI設計技術研究会, 2014年1月.
- [375] 史, 谷口, 戸川, 柳澤, 故障解析に耐性を持つラッチを利用したAES暗号回路, 電子情報通信学会VLSI設計技術研究会, 2014年3月.
- [376] 櫛田, 史, 戸川, 宇佐美, 柳澤, サブスレッショルド回路における遅延・エネルギーの温度依存性に関する実験および考察, 電子情報通信学会VLSI設計技術研究会, 2014年3月.
- [377] 中村昌平, 宇佐美公良, "薄膜BOX-SOIを用いた超低電圧向けレベルシフト回路の検討", 電子情報通信学会VLD研究会, 2013年5月.
- [378] 渡辺優一, 山本泰輔, 吉田雄揮, 谷川一哉, 弘中哲夫, "小規模再構成可能デバイス用ソフトコア・マイクロプロセッサ", 信学技報, vol.113, No.325, RECONF2013-46, pp.39-44, 2013
- [379] 吉田雄揮, 道田拓巳, 谷川一哉, 弘中哲夫, 下舞賢一, 石黒隆, "再構成型デバイスMPLDにおけるパストランジスタ・ロジックによる面積削減の検討", 信学技報, vol. 113, no. 221, RECONF2013-28, pp. 49-54, 2013年
- [380] 道田拓巳, 谷川一哉, 弘中哲夫, 下舞賢一, 石黒隆, "相変化物質を用いた不揮発性再構成型デバイス開発プラットフォーム", 信学技報, vol. 113, no. 221, RECONF2013-25, pp. 31-36, 2013年
- [381] 吉田雄揮, 高木健太郎, 谷川一哉, 弘中哲夫, 石黒隆, 下舞賢一, "ECC技術を用いたディペ
ンダブル細粒度再構成型デバイスの提案", 信学技報, vol. 113, no. 52, RECONF2013-6, pp. 31-36, 2013年5月.
- [382] 中井, 小泉, 米田, "車載制御用ディペンダブルNoCプラットフォームの評価キット構築", 電子情報通信学会技術研究報告, 2014. 3.14
- [383] 太田 壮思, 松本 佳宣, "20 μ W駆動低電圧CMOS温度センサ", 電気学会マイクロマシン・フィジカルセンサ研究会, PHS-13-36, pp. 77-82,(2013.8.9)
- [384] Yingqian Dai*, Qiang Li*, Yasuaki Inoue, "An Almost 3VDD Rail-to-Rail Output Amplifier Using VDD CMOSFETs," 第21回電子情報通信学会九州支部学生会講演会論文集- The 21th IEICE Kyushu Section Gakuseikaikoenkai -, p. C-29, 2013年9月
- [385] Wei ZHOU*, Zhangcai HUANG*, Jing WANG*, Qiang LI*, and Yasuaki INOUE "A low temperature coefficient low-voltage CMOS voltage reference," 第21回電子情報通信学会九州支部学生会講演会論文集- The 21th IEICE Kyushu Section Gakuseikaikoenkai -, p. C-23, 2013年9月
- [386] Yu LI, Li DING, Jin WANG, Yasuaki INOUE, "An Effective Method to Calculate the Overshooting Time of Multi-Input Gates," 第21回電子情報通信学会九州支部学生会講演会論文集- The 21th IEICE Kyushu Section Gakuseikaikoenkai -, p. A-9, 2013年9月.
- [387] Qian Li, Jing Wang, Dan Niu, and Yasuaki Inoue, "A Wide Input Amplitude Range, Highly Efficient Rectifier for Low Power Energy Harvesting Systems," Proceedings 2013 The International Conference on Electrical Engineering (ICEE2013), Xiamen, China, pp. 199-203, July 2013.
- [388] 木村, 宇野, 増澤, "2次元集積化磁気センサにおける画素微細化のための構造最適化に関する検討", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 2013年11月.
- [389] 安藤博士, 滝沢賢一, 吉田毅, 松下光次郎, 平田雅之, 吉峰俊樹, 鈴木隆文, "超多点皮質脳波BMIシステムの開発", 第7回MC研究会2013
- [390] 安藤博士, 滝沢賢一, 吉田毅, 松下光次郎, 平田雅之, 吉峰俊樹, 鈴木隆文, "Multi-channel ECoG recording system for Brain-Machine Interface", LE2013
- [391] 安藤博士, 滝沢賢一, 吉田毅, 松下光次郎, 平田雅之, 吉峰俊樹, 鈴木隆文, "超多チャンネルECoG-BMIシステムの開発", 応用物理学会関西

- [392] Seung-Min Jung, Tomoko Mizutani and Toshiro Hiramoto, 「Performance Degradation Due to Drain-Induced Barrier Lowering in Ultra-Low Supply Voltage CMOS Circuits Operating in Subthreshold Region」, 2013年第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 19a-C8-10, 2013年9月19日.
- [393] 棚橋裕麻, 鈴木龍太, 更屋拓哉, 平本俊郎, 「浮遊ゲートを有する室温動作シリコン単電子トランジスタにおけるクーロンブロッケード振動のピーク位置制御」, 2014年第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 19p-F12-5, 2014年3月19日.
- [394] 五十嵐浩司, 釣谷剛宏, 森田逸郎, "複数位相板を用いたLP21およびLP31へのモード変換", 電子情報学会情報通信学会ソサイエティー大会, 福岡工業大学, 福岡
- [395] H. Yamahara, Z. Wang, D.Sun, M. Seki, and H. Tabata, "Differentiation of C2C12 Myoblasts on Nanostructured Ga₂O₃ Scaffolds", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [396] H. Tabata, T. Mashimo, and M. Seki, "Ferrite engineering for light energy harvesting system -Solid- liquid type solar cells formed by Fe₂O₃-hetero structures-", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [397] H. Matsui and H. Tabata, "Oxide quantum wells with symmetry-broken heterointerfaces and highly polarized optical devices", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [398] A. Portela¹, C.Santschi², G. Suarez², S. Dutta-Gupta, A. Lovera², H. Cabral¹, O. J.F Martin², H. Tabata¹, "Nanofabrication of Bioconjugated Plasmonic Nanoantennas for Detection of Circulating Tumor Cells using Localized Surface Plasmon Resonance", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [399] Alejandro Portela¹, Christian Santschi², Guillaume Suarez², Horacio Cabral¹, Andrea Lovera², Olivier J.F. Martin², 片岡一則¹, 田畑仁¹, "High-spatial resolved detection of focal adhesion of single living cells by dipole plasmonic nanoantennas", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [400] 田代裕之, 林照剛, 道畑正岐, 高谷裕浩, "DNAの相補性を用いたマイクロ部品自律的組み立てに関する研究", 精密工学会2013年度秋季大会, 関西大学千里山キャンパス, 大阪
- [401] 岡田啓太郎, "X線をプローブとする分光分析におけるチャージアップの過渡現象", UVSORシンポジウム2013, 自然科学研究機構岡崎コンファレンスセンター, 岡崎市
- [402] 本間浩章, 高橋一浩, 石井仁, 石田誠, 澤田和明, "サブ波長格子を用いた3.3V駆動透過型可変減衰器", 第5回集積化MEMSシンポジウム, 仙台国際センター, 宮城
- [403] 大橋亮太, 高橋一浩, 石田誠, 澤田和明, "高感度質量センサに向けたグラフェンMEMS共振器の製作", 第61回応用物理学会春季学術講演会, 青山学院大学, 相模原市
- [404] 荒川太郎, 神谷宙, 池原広樹, カトフレドワン, 國分泰雄, "高次直列結合量子井戸マイクロリング波長選択スイッチ", 電子情報通信学会研究会, 稚内
- [405] 富永寛輝, 盧柱亨, 荒川太郎, "InGaAsポテンシャル制御量子井戸を用いた偏光無依存2x2光スイッチの理論検討", 電子情報通信学会研究会, 函館
- [406] 宮本富成, 梅原周, 小林広樹, 谷口理一, カトフレドワン, 荒川太郎, 國分泰雄, "半導体量子井戸マイクロリングレーザの隣接発振波長を用いた全光フリップフロップとインバータ動作", 電子情報通信学会研究会, 函館
- [407] 池原広樹, 荒川太郎, 國分泰雄, "4次直列結合量子井戸マイクロリング波長選択スイッチのバーニャ効果による波長シフト量の拡大", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [408] 坂本達哉, 荒川太郎, 國分泰雄, "化合物半導体マイクロリング共振器マッハ・ツェンダー干渉計を利用した高感度イオンセンサの提案", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [409] 川崎直道, 盧柱亨, 荒川太郎, "電界制御型分岐比可変多モード干渉カプラの作製", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [410] 宮本富成, 小林広樹, 梅原周, 谷口理一, カトフレドワン, 荒川太郎, 國分泰雄, "半導体マイクロリングレーザを用いた全光フリップフロップおよびインバータの実現(報告書のタイトル)", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都

- [411] 荒川太郎, 國分泰雄, "半導体マイクロリング共振器光変調器・光スイッチ", 日本學術振興会光エレクトロニクス第130委員会第290回研究会, 東京理科大学
- [412] 西村真樹, ラジディーブ・ゴータム, 荒川太郎, 國分泰雄, "マイクロリング共振器装荷マッハ・ツェンダー光スイッチの設計", 電子情報通信学会研究会, 東京
- [413] Rajdeep Gautam, Shinaro Ishihara, Hiroki Kaneshige, Redouane Katouf, Taro Arakawa, and Yasuo Kokubun, "Thermo-Optic Silicon Microring-Loaded Mach-Zehnder Modulator and Switch", 電子情報通信学会研究会, 同志社大学
- [414] 川崎直道, 盧柱亨, 荒川太郎, "電界制御型分岐比可変 1×2 量子井戸多モード干渉カプラー", 電子情報通信学会集積光デバイスと応用技術(IPDA)研究会, 鬼怒川
- [415] 宮本富成, 小林広樹, 谷口理一, 梅原周, カトフレドワン, 荒川太郎, 國分泰雄, "半導体量子井戸マイクロリングレーザを用いた全光インバータの静特性", 第61回応用物理学会春季學術講演会, 青山学院大学相模原キャンパス, 神奈川県
- [416] 牛山大樹, 盧柱亨, 荒川太郎, "多幅多モード干渉カプラーを用いた偏波分離器の提案", 第61回応用物理学会春季學術講演会, 青山学院大学相模原キャンパス, 神奈川県
- [417] 早坂伸之, 池原広樹, 荒川太郎, 國分泰雄, "バーニャ効果を用いた量子井戸ダブルマイクロリング波長選択スイッチの設計", 第61回応用物理学会春季學術講演会, 青山学院大学相模原キャンパス, 神奈川県
- [418] 金子慎, 盧柱亨, 荒川太郎, "電界制御型分岐比可変多モード干渉カプラーのテーパ構造を用いた縮小化の検討", 第61回応用物理学会春季學術講演会, 青山学院大学相模原キャンパス, 神奈川県
- [419] 後藤正英, 萩原 啓, 井口義則, 大竹 浩, "撮像デバイスの3次元構造化に向けた画素内A/D変換回路の設計", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城
- [420] N. Lafitte, T. Takahashi², M. Tani³, M. Akamatsu³, Y. Yasuda³, H. Fujita², and H. Toshiyoshi², "Development of Programmable Resonators in PZT-SOI Technology", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城
- [421] Zhengli Han, 河野 健太, Makela Tapio, Haatainen Tomi, 平川一彦, 藤田博之, 年吉洋, "静電駆動型 Split-Ring 共振子アレイのTHz応用", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城
- [422] Agnes Tixier-Mita, Isao Mori, Takuya Takahashi, Olivier Francais, Bruno Le Pioufle, Yoshio Mita, Hiroshi Toshiyoshi, "Micro-fluidic channel integration on thick-SOI LSI device for cells analyses", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城
- [423] 金栄現, "歪SiGe光変調器における歪誘起自由キャリア効果の増大", 第61回応用物理学会春季學術講演会, 青山学院大学相模原キャンパス
- [424] 藤田一慧, 花村克悟, "周期的ピラー構造表面の光学的特性に関する研究", 第34回日本熱物性シンポジウム講演, 富山
- [425] Miho Ishii, O Kentaro Iwami, Norihiro Umeda, "Plasmonic half-waveplate based on gold nanoslit and its application to ultrasmall radial polarization converter", 2013 Optics+Photonics, San Diego, United States
- [426] Miho Ishii, Kentaro Iwami, Norihiro Umeda, "アルミニウムナノスリット構造によるマイクロ近紫外 $1/2$ 波長板", 第74回応用物理学会秋季學術講演会, 同志社大学京田辺キャンパス, 京都
- [427] 荒川哲朗, 岩見健太郎, 梅田倫弘, "近接場光エッチングを用いたSi側壁スカロップの低温平坦化プロセス", 日本機械学会関東学生会第53回学生員卒業研究発表講演会, 東京農工大学, 小金井市
- [428] 佐藤勝久, 岩見健太郎, 梅田倫弘, "プラズモン共鳴を援用した熱電子発電素子に関する研究", 日本機械学会関東支部第20期講演会, 東京農工大学, 小金井市
- [429] Miho Ishii, Kentaro Iwami, Norihiro Umeda, "金属ナノスリット構造を用いた微小光学位相子", 日本機械学会関東支部第20期講演会, 東京農工大学, 小金井市
- [430] 那順, 岩見健太郎, "波長選択性表面のためのNiW合金膜の電気めっき成膜", 第61回応用物理学会春季學術講演会, 青山学院大学相模原キャンパス, 神奈川県
- [431] Efrain E. Tamayo R., Ryo Tamaki, Kentaroh Watanabe, Masakazu Sugiyama, Yasushi Shoji, Takuya Hoshii, Daniel J. Farrell, Yoshitaka Okada, and Kenjiro Miyano, "Lithography-free nanostruc-

tures for optical management in CPV system", 第6回革新的太陽光発電国際シンポジウム, 東京工業大学, 東京都

- [432] オケヨ・ケネディ, 大政直也, 黒澤修, 小穴英廣, 鷺津正夫, "細胞接着領域制御を利用した細胞シート政策およびその機能性評価", 日本機械学会第26回バイオエンジニアリング講演会, 東北大学片平キャンパス, 仙台市
- [433] 若林貴之, 西川香里, 小穴英廣, ○オケヨ・ケネディ, 鷺津正夫, "抗体修飾マイクロビーズを用いたゲノムDNA・蛋白質複合体の単分子操作技術の開発", 化学とマイクロ・ナノシステム学会第27回大会, 東北大学片平キャンパス, 仙台市
- [434] 大政直也, K. O. Okeyo, 小穴英廣, 黒澤修, 成島三長, 鷺津正夫, "細胞接着領域制限の新技术を用いた細胞機能制御の検討", 化学とマイクロ・ナノシステム学会第27回大会, 東北大学片平キャンパス, 仙台市
- [435] 植田 誠(鳥取コスモサイエンス(株)), 鈴木 雄二, "エレクトレット振動発電器を用いた無線センサノードの性能評価", 第5回マイクロ・ナノ工学シンポジウム, 仙台国際センター, 宮城
- [436] 鈴木 雄二, "マイクロ燃焼研究の現状と展望", 日本機械学会2013年度年次大会, 岡山
- [437] K.-Y. Song, 森本賢一, 鈴木雄二, "MEMSピラー構造を用いた超撥水面におけるピッチの影響に関する研究", 第50回日本伝熱シンポジウム, 仙台
- [438] 田中肇, 川添忠, 大津元一, "フォノン援用Siレーザーの効率向上のための光利得評価", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [439] 和田直樹, 水島彩子, 川添忠, 大津元一, "ホモ接合Si-LED内のフォノン操作による発光スペクトル制御", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [440] 山口真生, 水島彩子, 川添忠, 大津元一, "Si-LEDにおける電子正孔対とフォノンの結合強度の評価", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [441] 山口真生, 川添忠, 大津元一, "ドレスト光子-フォノン散乱モデルによるSi-LEDの発光スペクトルの考察", 2014年第14回レーザー学会東京支部研究会, 東海大学高輪キャンパス, 東京
- [442] 和田直樹, 水島彩子, 川添忠, 大津元一, "講演奨励賞受賞記念講演: ELスペクトルの評価によるホモ接合Si-LED内のフォノンと電子正孔対との結合制御と評価", 第61回応用物理学会春季学

術講演会, 青山学院大学相模原キャンパス, 神奈川

- [443] 山口真生, 水島彩子, 川添忠, 大津元一, "ドレスト光子フォノン援用アニールを用いた可視発光Si-LEDの光取り出し効率向上", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [444] 阪本 祥太, オケヨ ケネディ, 小穴 英廣, 鷺津正夫, "1対1細胞融合技術を用いた体細胞初期化に必要なES細胞核数の検討", 化学とマイクロナノシステム学会第28回研究会, イーグレ姫路, 兵庫
- [445] 海和達史, 石川靖彦, 和田一実, "フォトルミネセンス測定によるGe微細梁構造のバンドギャップ評価", 電子情報通信学会シリコン・フォトニクス時限研究専門委員会第20回シリコンフォトニクス研究会, 東京工業大学大岡山キャンパス, 東京
- [446] 永友翔, 石川靖彦, "Si上薄膜Ge pin フォトダイオードにおける成長後アニールの影響", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [447] S. Imamura, R. Watahiki, R. Miura, ○T. Shimada, Y. K. Kato, "Optical control of individual carbon nanotube emitters by spectral double resonance in silicon microdisk resonators", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [448] M. Yoshida, A. Yokoyama, A. Ishii, Y. K. Kato, "Giant circular dichroism in individual carbon nanotubes", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [449] R. Watahiki, ○T. Shimada, P. Zhao, S. Chiashi, S. Iwamoto, Y. Arakawa, S. Maruyama, Y.K. Kato, "Enhancement of carbon nanotube photoluminescence by photonic crystal nanocavities", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [450] A. Ishii, A. Yokoyama, M. Yoshida, T. Shimada, Y. K. Kato, "Chirality dependence of exciton diffusion in air-suspended single-walled carbon nanotubes", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [451] T. Uda, Y. Kumamoto, M. Yoshida, A. Ishii, Y. K. Kato, "Photoconductivity spectroscopy of individual suspended carbon nanotubes", 第46回フラーレン・ナノチューブ・グラフェン総合シンポジウム, 東京大学本郷キャンパス, 東京

- [452] M. Yoshida, Y. Kumamoto, A. Ishii, A. Yokoyama, ○T. Shimada, Y.K. Kato, "Spontaneous exciton dissociation in carbon nanotubes", 第46回フラーレン・ナノチューブ・グラフェン総合シンポジウム, 東京大学本郷キャンパス, 東京
- [453] Y. Ueda, M. Yoshida, A. Ishii, T. Uda, and Y. K. Kato, "Observation of a gate-induced photoluminescence peak in individual carbon nanotubes", 第46回フラーレン・ナノチューブ・グラフェン総合シンポジウム, 東京大学本郷キャンパス, 東京
- [454] 大塚 慶吾, 井ノ上 泰輝, 長谷川 大祐, 千足昇平, 丸山 茂夫, "金属単層カーボンナノチューブの選択的除去に向けたナノ熱リソグラフィ", 第50回日本伝熱シンポジウム, ウェスティンホテル仙台, 仙台
- [455] 井ノ上 泰輝, 長谷川 大祐, 千足 昇平, 丸山 茂夫, "ラマン分光法による水平配向単層カーボンナノチューブのカイラリティ分析", 第45回フラーレン・ナノチューブ・グラフェン総合シンポジウム, 大阪大学, 大阪
- [456] S. Kim, P. Zhao, S. Aikawa, E. Einarsson, S. Chiashi, S. Maruyama, "Highly Stable n-Doped Graphene Field-Effect Transistors via Polyvinyl Alcohol Films ", 5th International Conference on Recent Progress in Graphene Research, Tokyo, Japan
- [457] K. Otsuka, T. Inoue, S. Chiashi, S. Maruyama, "Removal of Metallic Single-Walled Carbon Nanotubes using Molecular Glass Thin Films", 26th International Microprocesses and Nanotechnology Conference, Sapporo, Hokkaido, Japan
- [458] 大塚 慶吾, 井ノ上 泰輝, 千足 昇平, 丸山 茂夫, "半導体単層カーボンナノチューブアレイ作製に向けた有機薄膜中の全長ブレイクダウン", 第46回フラーレン・ナノチューブ・グラフェン総合シンポジウム, 東京大学本郷キャンパス, 東京
- [459] 海野 貴典, 井ノ上 泰輝, 千足 昇平, 丸山 茂夫, "チューブ端からの単層CNTのクローニング成長", 第46回フラーレン・ナノチューブ・グラフェン総合シンポジウム, 東京大学本郷キャンパス, 東京
- [460] 大塚 慶吾, 井ノ上 泰輝, 千足 昇平, 丸山 茂夫, "有機薄膜中ブレイクダウンによる金属単層カーボンナノチューブの広範囲除去", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [461] 伊藤翼, 土肥徹次, "スルーホール接続による二重構造をもったマイクロソレノイドコイル", 第31回日本ロボット学会学術講演会, 首都大学東京, 東京
- [462] 遠藤優祐, 土肥徹次, "クロストークを低減可能なトノメトリ法を用いた血圧計測デバイスの研究", 第5回マイクロナノ工学シンポジウム, 仙台国際センター, 宮城
- [463] 芦原聡, "赤外強光子場の生成と応用展開", 東北大学電気通信研究所 共同プロジェクト研究会「新しい光科学の創成とナノ情報デバイスへの展開」, 東北大学, 仙台
- [464] 草史野, 芦原聡, "金属ナノ構造を用いた中赤外超短パルス電磁場の増強", 第74回応用物理学学術講演会, 同志社大学京田辺キャンパス, 京都
- [465] 磯崎瑛宏¹, 菅哲朗¹, 高野恵介², 萩行正憲², 松本潔¹, 下山勲¹, "テラヘルツ帯メタマテリアルにおけるSRRのカップリング現象", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [466] 海法克享, 高橋英俊, 富松大, 小林健, 松本潔, 下山勲, 伊藤寿浩, 前田龍太郎, "PZTカンチレバーを用いた高感度低消費電力の差圧センサ", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城
- [467] 竹井裕介, 浜島朋希, 野田堅太郎, 松本潔, 下山勲, "MEMSせん断力センサを用いたスティック型粘度計", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城
- [468] Nguyen Thanh-Vinh, Kiyoshi Matsumoto and Isao Shimoyama, "Three-dimensional tactile sensor with a cavity underneath piezoresistive cantilevers for sensitivity enhancement", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城
- [469] 野田堅太郎, 松本潔, 下山勲, "イオン性液体を用いたフレキシブル三軸力センサ", 第30回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台国際センター, 宮城
- [470] 塚越拓哉, 鄭宜珍, 高橋英俊, 菅哲朗, 松本潔, 下山勲, "マイクロピラーアレイ上で成長したフィブロブラスト細胞の大きさや形状", 第51回日本生物物理学会年会, Kyoto, Kyoto, JPN
- [471] 松井一真, 稲葉亮, 竹井裕介, 高畑智之, 松本潔, 下山勲, "集束イオンビームを用いたグラフェンの片持ち梁構造への加工", 平成25年度電気学会E部門総合研究会マイクロマシン・センサシステム研究会, Ohta-ku, Tokyo, JPN

- [472] 孫健, 野田堅太郎, 高畑智之, 松本潔, 下山勲, "表面ドープとサイドドープを用いた6軸応力センサの設計", 平成25年度電気学会E部門総合研究会マイクロマシン・センサシステム研究会, Ohta-ku, Tokyo, JPN
- [473] 金子智則, Nguyen Minh Dung, 高畑智之, 松本潔, 下山勲, "ピエゾ抵抗カンチレバーを用いた筋音計測用圧力センサ", 日本機械学会ロボティクス・メカトロニクス部門 ロボティクス・メカトロニクス講演会2013, Tsukuba, Ibaraki, JPN
- [474] 平川真之介, 高橋英俊, 高畑智之, 松本潔, 下山勲, "翅脈の弾性が異なる羽ばたき機を用いた翼面圧力差計測", 日本機械学会ロボティクス・メカトロニクス部門 ロボティクス・メカトロニクス講演会2013, Tsukuba, Ibaraki, JPN
- [475] 中村勇貴, 松下智紀, 恩田友美, 庄司一郎, 近藤高志, "高次モード位相整合AlGaAs/Alox反転積層高屈折率差導波路の作製", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [476] 檜崎亮太, 松下智紀, 近藤高志, "As₂を用いたMBE成長による周期空間反転GaAsの段差形成抑制", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [477] 吉田成輝, 松下智紀, 近藤高志, "周期空間反転GaAs/AlGaAs導波路における3.4 mm帯差周波発生の変換効率の精密評価", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [478] 大塚温, 松下智紀, 近藤高志, "周期空間反転AlGaAs導波路におけるQPM SHG偏光特性", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [479] 水野泰孝, 河合直行, 和田一実, "CVDで?のGe選択成長における(311)面上成長速度の温度依存性", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [480] 尾上貴洋, 裕和輝, 福田修平, 津坂佳幸, 高野秀和, 籠島靖, 水野泰孝, 石川靖彦, 和田一実, 松井純爾, "高平行度X線マイクロヒートによる光導波路用Ge結晶の結晶性評価", 第74回応用物理学会秋季学術講演会, 同志社大学京田辺キャンパス, 京都
- [481] 潘撼, "nタイプGe量子井戸短波長発光素子のためのGe仮想基板に関する研究", 第61回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス, 神奈川
- [482] 高橋賢, 長藤圭介, 矢鳴里奈, 佐藤淑美, 濱口哲也, 中尾政之, "レーザー表面加熱を用いた微細構造のロール熱ナノインプリント技術の開発", 精密工学会2013年秋季大会, 関西大学千里山キャンパス, 大阪
- [483] 庄原理子, 長藤圭介, 高橋賢, 濱口哲也, 中尾政之, "熱ナノインプリントにおける断熱ロールを用いた熱流束一方向制御", 精密工学会2014年春季大会, 東京大学本郷キャンパス, 東京
- [484] 高橋賢, 長藤圭介, 濱口哲也, 中尾政之, "レーザー表面加熱を用いた微細構造のロール熱ナノインプリント技術の開発~第2報: パワー密度が転写性に与える影響", 精密工学会2014年春季大会, 東京大学本郷キャンパス, 東京
- [485] 宮崎俊平, 長藤圭介, 渡辺康章, 高橋賢, 鹿園直毅, 中尾政之, "ナノインプリントを用いた沸騰伝熱面の熱流束向上", 精密工学会2014年春季大会, 東京大学本郷キャンパス, 東京
- [486] 千田 竜太郎, 石野 裕二, 水野 毅, 高崎 正, "超音波支持におけるギャップ内圧力測定の検討", 第25回電磁力関連のダイナミクスシンポジウム, 箱根ホテル小涌園, 神奈川
- [487] 千田 竜太郎, 石野 裕二, 水野 毅, 高崎 正, "超音波支持におけるギャップ内圧力測定" 第一報測定用センサ", 精密工学会2013年度秋季大会, 関西大学千里山キャンパス, 大阪
- [488] 千田 竜太郎, 石野 裕二, 水野 毅, 高崎 正也, "超音波支持におけるギャップ内圧力測定" 第二報質量付きダイアフラムを用いた圧力センサ", 精密工学会2014年度春季大会, 東京大学本郷キャンパス, 東京
- [489] 平田祐樹, 朴元淳, 下園隼人, 崔竣豪, 加藤孝久, "バイポーラPBII法によるマイクロトレンチへのDLCコーティング", マイクロ・ナノ工学シンポジウム, 仙台国際センター, 宮城

4. 著書

- [1] Ken Saito, Minami Takato and Fumio Uchikoba "Silicon Micro Robot with Neural Networks" IGI Global Engineering Creative Design in Robotics and Mechatronics, pp.1-10, (2013.6)
- [2] Asai T., "Reaction-diffusion media with excitable Oregonators coupled by memristors," Memristor Networks, Adamatzky A. and Chua L., eds., Springer (2014).
- [3] Asai T., "Memristor-CMOS-hybrid synaptic devices exhibiting spike-timing-dependent plasticity," VLSI! Circuits for Emerging Applications, Wojcicki

- T. and Iniewski I., Eds., CRC Press (2014).
- [4] Asai T. and Peper F., "Explorations in Morphic Architectures," *Emerging Nanoelectronic Devices*, Chen A., Ed., John Wiley & Sons (2014), in press.
- [5] Masanori Hashimoto, Raj Nair, "Power Integrity for Nanoscale Integrated Systems," *McGraw-Hill Professional*, March 2014.
- ブ付き伝送線路用スタブ部
- [2] 田中啓文, 小川琢治, 浅井哲也, "分子電気素子," 特願2013-179578 (2013年8月30日).
- [3] 下山勲, 松本潔, 高畑智之, 菅哲朗, 竹井裕介, 野田堅太郎, 阮平謙, 安食嘉晴, 唐木幸一: 撮像装置及び撮像方法, 特開2013-180120
- [4] 本多祐仁, 下山勲, 松本潔, 竹井裕介: ガスセンサおよびガスセンシング方法, 特開2014-006128

5. 特許

- [1] 坂上岩太, 王小龍 : 分配／合成器, 及び, スタ

B.1 概要

VDEC は、全国の大学・高専向けに様々な支援事業を実施している。

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会 (8-9 月・3 月)
4. 社会人リフレッシュ教育 (12 月-1 月, 学生も参加可能)
5. VLSI デザイナーフォーラム (若手の会)
6. 大型装置利用

CAD ベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC 設立以来、これまでの実績では、CAD の利用・CAD 講習会は無償、LSI 試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザには VDEC を利用する「顧客」ではなく、VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDEC の担当者 (vdec@vdec.u-tokyo.ac.jp) に必ず相談いただきたい。その他のサービスについては VDEC の裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が 51% 以上のイニシアチブを取る研究であることが必要である。

また、CAD の申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDEC のシステムは、Internet と Unix operating system の上になりたっているため、Internet の仕組や Unix に

ついでにの素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

B.2 まずはじめに

VDEC からのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDEC の WEB ページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP) アドレスによって制限をかけている。

従って、VDEC を利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な (サービス開始前 1 ヶ月以上) 時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEB ページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字 2 字 + 半角数字 5 桁 (例: VD00000) からなる。

申込で特に注意する点は、VDEC の WEB にアクセスしたい研究室のマシンの IP アドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxy サーバのアドレス登録は禁止する。入力の際は、133.11.58.4, 133.11.58.5 のように、IP アドレスを全て「半角」の英数字で、「,」(半角カンマ) で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT (IP masquerade というプログラム名で呼ばれることもある。機能としては NAT が正しい。) で研究室内をローカルネットワークにしている場合は、NAT サーバのアドレスを入力する。よくある間違いとして、ローカルネットワークの IP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などで IP アドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古い IP が使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じ E-Mail アドレスを入力することで上書き変更が可能である。

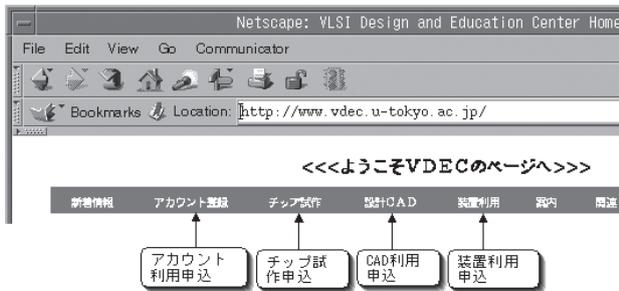


図 B.1 VDEC ホームページのインデックスフレーム

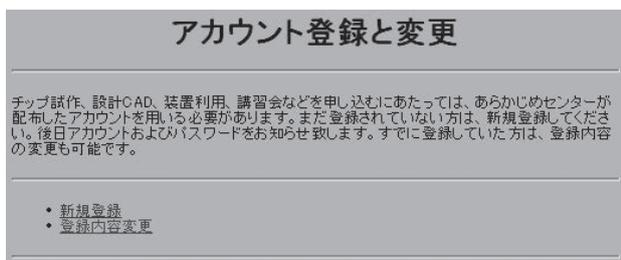


図 B.2 アカウント登録・変更ページの入口

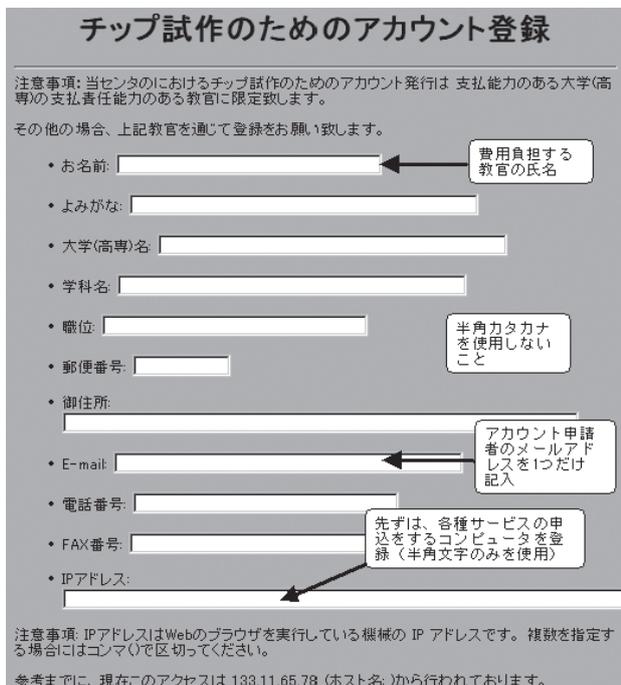


図 B.3 アカウントの新規登録の注意点

【登録する IP アドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残っ

てしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

B.3 CAD ツールの共同利用

VDEC では、集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している。これらのソフトウェアは、VDEC の VLSI 試作以外のアカデミック用途（MOSIS-VDEC を通じた試作，教育用の演習，EB 等 VDEC の大型装置利用のためのデータ作成用，等）の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーから CAD を選べる状況（二重化）を理想としている。LSI の設計には、CAD ソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD 申込の WEB ページに教員がアクセスする（WEB アカウントが必要である）。NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後、CAD の申請ができる。

- 申請時に WEB から入力する内容は以下のとおり。
- ソフトウェアライセンス数（研究室で同時に使用するとされる最低数を入力）
- 用途
- メディアリクエスト（使用する Operating System を選んでチェックする）。
- 利用する研究室所有ワークステーションのホストネーム（VDEC、端的には usr1 から名前→IP アドレスの解決ができる、「.ac.jp」で終わるホスト名であることが条件。）

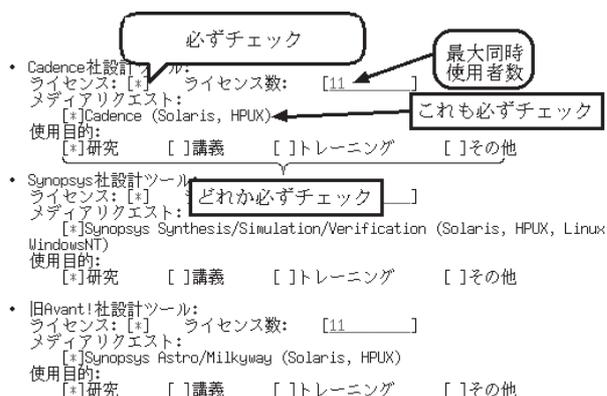


図 B.4 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

ソフトウェアのCDROM（メディア）について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザーアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を（ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを開ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わ

るアドレスを利用し、メールはプロバイダ等に転送しないこと（情報漏洩の観点から）。

2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること（必須ではないが、ネット利用のエチケットといえる）。

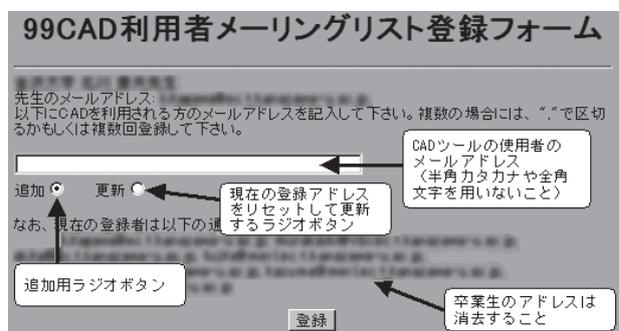


図 B.5 CAD 利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけしている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点。熟読必須。】

1. VDECでは毎月、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザーに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪一ヶ月以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録さ

れていることを確認しなければならない。

- 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマークを強くお勧めする。
- IP アドレス (ホスト名) registered という表示が出ていれば登録されている。
- false (false (ホスト名)) FAIL という表示が出ていれば登録に失敗しているの、原因を探る。

一般的に、DNS の逆引き (ホスト名から IP アドレスを引く) に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDEC のサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

B.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEB ページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対する NDA 契約を行う。これは VDEC ホームページの「試作関係> 試作案内> 機密保持契約 (NDA) の文面」より、希望プロセスの NDA にサインして VDEC に郵送し、VDEC 側で手続き終了後に NDA 締結となり、設計規則やライブラリにアクセスできるようになる。設計規則は WEB 経由のアクセスならびに、WEB での公開を禁止している会社の場合は CDROM 等で送付される。NDA の対象は教員であるが、研究室の職員・学生にも同じ NDA が適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の 6～3ヶ月前、キャンセルのメ切は 1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点 (図 5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

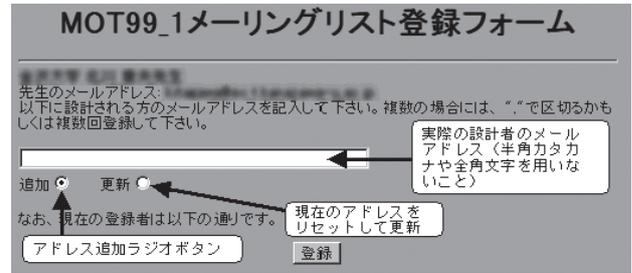


図 B.6 VLSI 試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDEC が提供する最新の Design Rule Check ファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通して、提出しようとする回路が本当に動作しうである確信を持つておくことは最低限必要であろう。デザインの提出は指定された VDEC ページから行う。提出時に VDEC 側で最終 DRC を実行する。ここでエラーが出たチップは提出できない。必ず自分の環境で DRC フリーにしてからチップを提出すること。

提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC 側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどは VDEC からの連絡に注意願いたい。

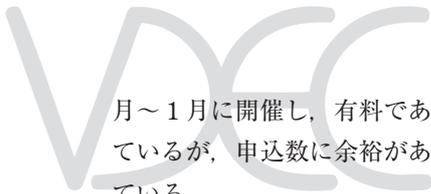
デザイン提出から数ヶ月後に、VLSI チップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

B.5 CAD ツール講習会

CAD ベンダーとの契約により、個々のサポートは提供しないかわりに、毎年 2 回、夏と春と CAD 講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なり CAD 利用を行うことをお勧めしている。アナウンスは CADUser メーリングリストで流れる。また、申込は、VDEC の WEB ページから行う。

B.6 社会人リフレッシュ教育

CAD ツール講習会からさらに進んだ形で、Verilog である回路を実際に設計し、レイアウト合成したり、FPGA による実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」コースならびに一線の研究者による設計事例の講演会などを企画している。12



月～1月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

B.7 デザイナーフォーラム (若手の会)

毎年6月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

B.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置につ

いては、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

C. IP データベースの整備

IP データベースの整備

設計資産の再利用のために、VDEC では Web 上でのデータベースの構築および公開を行っている (<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>, 図 C. 1)。本データベースの利用対象は、IP 登録に関しては VDEC ユーザーに限定しているが、IP 利用に関しては任意対象となっている。本データベースについての VDEC の役割は、

IP のカタログデータの整理、公開および登録者－利用者間の仲介と機密情報の取り扱いの監督である。

平成 12 年度から平成 14 年度の 3 年間、(株)半導体理工学研究所 (STARC) との共同研究として IP プロジェクトを行ってきたが、その最終成果として IP 開発グループの各参加者へ完成 IP の登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みの IP を表 C. 1 に示す。

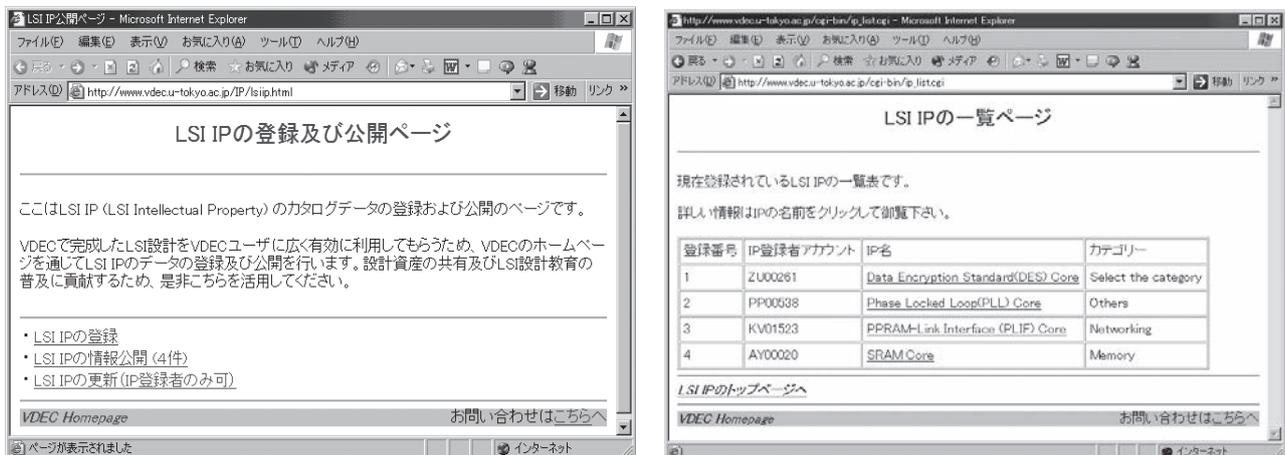


図 C.1 VDEC LSI IP Web データベースの例

表 C. 1 VDEC LSI IP データベースに登録済みの IP (平成 24 年 3 月現在)

登録番号	IP名	カテゴリー
1	Data Encryption Standard(DES) Core	Others
2	Phase Locked Loop(PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

平成 25 年度
東京大学大規模集積システム設計教育研究センター年報

2014 年 8 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4 階 401 号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)