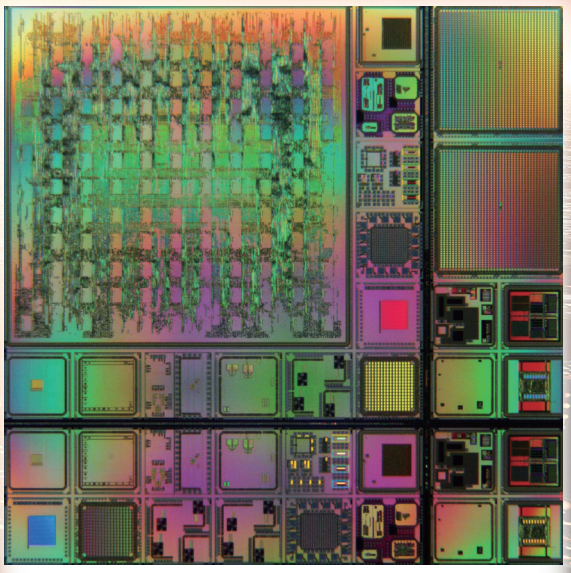
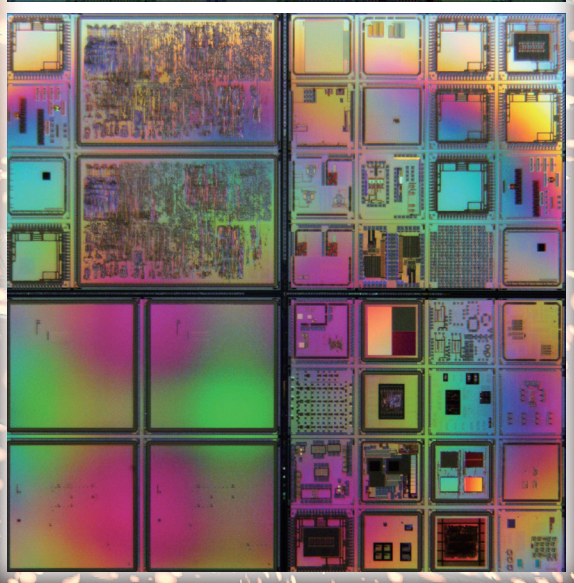
VDEC

平成27年度

2015
VLSI Design and Education Center, The University of Tokyo
Annual Report

東京大学
大規模集積システム設計教育研究センター
年 報





VLSI Design and Education Center The University of Tokyo 2015

VLSI Design and Education Center
The University of Tokyo

大規模集積システム設計教育研究センター（VDEC）の 2014 年度活動報告をお送りします．

2014 年度，VDEC では集積回路の付加価値を高めるための共同利用装置として「高密度ベアチップ実装システム」の導入を行いました．これは近年増加しつつある武田先端知ビルクリーンルームの利用者も考慮した措置ですが，フリップチップボンダーを中心としたベアチップの高密度実装システムです．ベアチップ実装のための高密度基板作成にはすでに導入済みの電子ビームリソグラフィを用い，ベアチップを直接高密度基板に実装するためのシステムです．これにより VDEC 等で試作したベアチップを異種のデバイスとともに効率的に集積化でき，センサーシステムや集積化 MEMS システム，超高周波システム等の付加価値の高いシステムを構築，実証できるようになると期待しています．

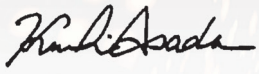
一方，我が国での 40 nm 以降の新規技術開発が望めない状況の中，一昨年度に実施した ST マイクロの 28 nmFDSOI/CMOS のテストランは関係者の協力で無事終了し，昨年度からは一般からのチップ試作申し込み受け付けを開始しています．しかしチップ試作費の面積単価が高いことなどから，運営協議会の委員の方々からはもっと使いやすい 40 nm～90 nm CMOS 技術利用への要望がだされており，VDEC では海外のファウンドリを含めて可能性を検討してきました．そのような中で幸いにも，国家プロジェクトとして超低電圧デバイス技術研究組合（LEAP）が開発した「65 nm CMOS/SOTB 技術」を，プロジェクト終了後もルネサスエレクトロにクスを通じて利用できることとなり，本年度より試作メニューに加えることができました．大学で利用する場合はアカデミック CAD ライセンスの制約には十分注意する必要がありますが，この技術は商業用途や海外からも利用でき，大学の研究開発から産業化まで切れ目なく利用できる技術として期待しているところです．同時に大学での LSI 研究の成果を直接産業化するためには商業用 CAD ライセンスが重要であると考えており各方面に働きかけていますが，VDEC として提供できるようになるにはまだ時間がかかりそうです．クラウド上での商業 CAD ツール利用や第二，第三の CAD ベンダーで安価な代替 CAD ツール開発なども進んでおり，大学としてはこの種の CAD の利用環境を整備していくことも重要であると考えています．

㈱アドバンテストからの寄附研究部門（D2T：Design-to-Test）では，昨年 8 月 26 日に第 9 回の定例シンポジウムを開催しました．内外からの講師の方々，多くの参加者の方々に対し改めて御礼申し上げます．本年 8 月 21 日には第 10 回の定例シンポジウムを「Reliability for automotive and other applications」をテーマとして開催予定です．本活動に対する㈱アドバンテストからの継続的支援に対し心から感謝申し上げます．

VDEC では半導体技術の価値を高めるための研究教育をめざし，今後とも「実践的チップ設計・試作を通じた学生教育と研究者育成」の基本方針のもと，社会に貢献していきたいと考えています．引き続き皆様からのご支持をお願い申し上げます．

2015 年 6 月

（全国共同利用施設）
東京大学大規模集積システム設計教育研究センター
センター長 浅 田 邦 博



VLSI Design and Education Center, The University of Tokyo
Annual Report 2015

CONTENTS

巻頭言

第 1 章 VDEC 事業の紹介と平成 26 年度事業報告 …… 2

1.1 VDEC 事業の紹介と平成 26 年度事業報告 …… 2
1.2 CAD ソフトウェアの整備 …… 5
1.3 VLSI チップ試作 …… 6
1.4 セミナー …… 9
1.5 装置の整備・運用・利用公開 …… 13
1.6 平成 27 年度の活動計画 …… 15
1.7 VDEC 発ベンチャー …… 16
1.8 超微細リソグラフィー・ナノ計測拠点 …… 17

第 2 章 「アドバンテスト D2T 寄附研究部門」平成 26 年度活動報告 …… 18

2.1 「アドバンテスト D2T 寄附研究部門」の紹介 …… 18
2.2 「第 9 回 D2T シンポジウム」開催報告 …… 19
2.3 研究活動報告 …… 21
2.4 研究発表 …… 22

第 3 章 チップ試作結果報告 …… 23

3.1 試作ラン別一覧 …… 24
3.2 チップ種別一覧 …… 30
3.3 各チップの詳細 …… 35

第 4 章 VDEC 概要 …… 94

4.1 組織概要 …… 94
4.2 人事報告 …… 95
4.3 決算報告 …… 99

第 5 章 研究報告 …… 100

5.1 全体概況 …… 100
5.2 研究室構成員（平成 26 年度） …… 101
5.3 研究概要 …… 103
5.4 研究発表 …… 111
5.5 特許，受賞等 …… 120

Appendix …… 121

A. Publication list …… 121
B. VDEC の利用規定・申し込みガイド …… 180
C. IP データベースの整備 …… 185

第 1 章　VDEC 事業の紹介と平成 26 年度事業報告

1.1　VDEC 事業の紹介と平成 26 年度事業報告

東京大学大規模集積システム設計教育研究センター（VDEC）は，平成 8 年の発足以来『LSI 教育情報の発信拠点形成』，『VLSI 設計支援教育用 CAD ソフトウエアの整備』，『VLSI チップ試作支援』を 3 つの柱として，円滑な運営を目指した事業を展開した．図 1.1 に示す VDEC の活動内容に基づき，以下に平成 26 年度の概要を報告する．

VDEC の使命は全国の国公私立大学および高専の LSI 設計研究・教育を高度化し，産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである．VDEC の発足より 18 年経過し，各大学における CAD ソフトウエアの利用技術教育や LSI 設計・設計フローに関する教育の充実が図られている．その一方で，先端の LSI 設計技術およびそれに対応する CAD ソフトウエアは一層複雑化し続けている．そのため，CAD ツールの導入に際しては，CAD ベンダーから講師を招いてのセミナーの開催を継続しており，参加者の利便を図るために平成 21 年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている．VDEC としては各ユーザ研究室内で“技術伝承”され，VDEC 主催のセミナーがトリガーとなって最新の CAD 利用技術が全国的に広がることを期待している（1.3 章参照）．また，各社のツールチェインが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み，各ツールベンダーの推奨するツールチェインに関する講演会もツールセミナーの開催に合わせる形で実施した．

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である．この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを開催してきた．平成 26 年度は，従来の 11 月～1 月の時期を 5 月～7 月に変更し，“アナログ設計コース”，“RF 設計コース”，平成 24 年から開始した“MEMS 設計コース”に加え“ディジタル設計コース”の実施を行った．いずれも演習を伴う体験教育コースであり，主要大学の経験豊かな教官を講師に招いて実施している．加えて各プロセスに特化した設計フローに関するセミナー“VDEC 環境におけるトランジスタレベル設計講習会”，“VDEC

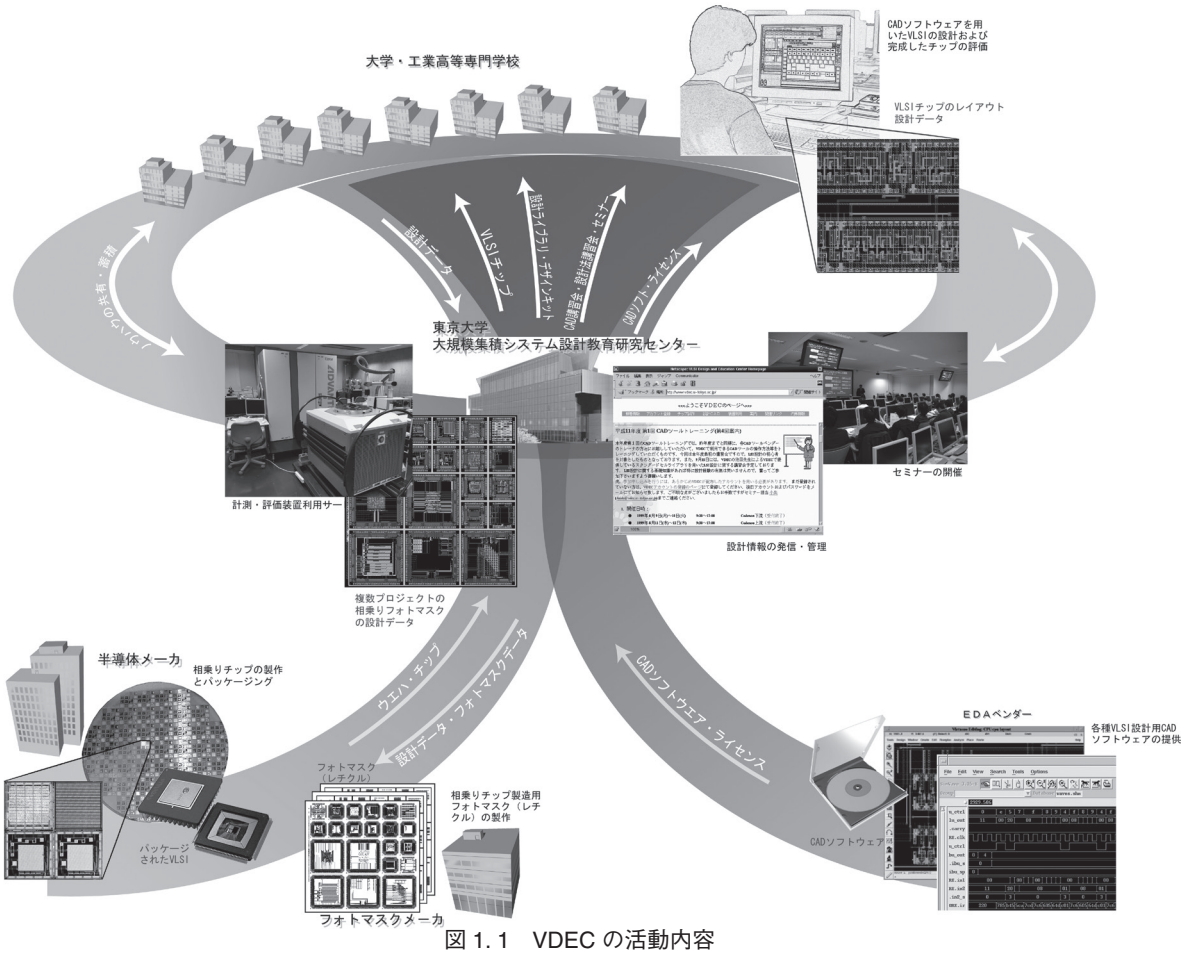


図 1.1　VDEC の活動内容

EDA 環境におけるディジタルル設計手法講習会”を大学における設計者に向けて実施している．なお，平成 26 年度から本設計フローに関するセミナーに関しても有料化して実施している．

これらセミナーに加えて VDEC では年 1 回，若手教官と学生を中心とした VDEC デザイナー・フォーラムを開催している．これはワークショップ形式の会合であり，企業・大学からの招待講演に交えて，参加者が設計事例を持ち寄ってその成功談，失敗談を交換する．これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる．特に平成 23 年度から，VDEC 活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰を VDEC デザイナー・フォーラムの場で行っており，平成 26 年は，IEEE SSCS Japan Chapter VDEC Design Award として，奈良先端科学技術大学院大学の河村敏和さん，4 件の VDEC デザインアワード優秀賞，（モンテイロカンシオさん(岐阜大学)，山口貴大さん(奈良先端科学技術大学院大学)，速水一さん(奈良先端科学技術大学院大学)，臼井隆弘さん(静岡大学)），6 件の VDEC デザインアワード敢闘賞(王森レイさん(九州工業大学)，望月風太さん(静岡大学)，山崎翔悟さん(広島大学)，大島梓さん(京都工芸繊維大学)，神田翔平さん(京都工芸繊維大学)，上ノ原誠二さん(九州工業大学)）を授与した．

このようなセミナー，フォーラムを通じた教育システムにより LSI 設計の基本的項目を学習できるようになっているが，それでも実際の LSI 設計の場面では，さまざまな困難に直面することが多い．初心者にとっては CAD ソフトウエアのセットアップは最大の問題である．セットアップの後も CAD ソフトウエアが発する“難解なエラーメッセージ”でとまどうことも多い．このような場合に力を発揮するものが VDEC メールグループである．VDEC ユーザは VDEC のホームページから CAD メールグループや試作技術対応のユーザグループに登録することができ，そこに直面する疑問点を投稿し，助けを求めることができる．メールグループの登録ユーザはそれに回答する義務を負っているわけではないが，ほとんどの場合，数時間から数日以内に経験豊かなユーザからの支援を得ることができる．また，今まで蓄積されてきたメールグループの情報が VDEC の WEB 上で認証された VDEC ユーザへ公開され，教育上の資産として残していく仕組みになっている．ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図 1.2)．

VLSI チップ試作支援に関しては，STMicro 28 nm FDSOI CMOS 試作を定常試作として開始し，ローム 0.18 μm CMOS，オンセミ−三洋半導体 0.8 μm CMOS 試作を実施した．

平成 20 年 10 月に設置されたアドバンテスト社から寄附部門「Design To Test（D2T)」では，LSI のテストに関する教育の充実とともに，設計とテストの架け橋を目指した研究が進められている．これまでの活動を振り返ると，VDEC 発足以来の活動の中で LSI 設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している．図 1.4 に VDEC を利用した研究成果の指標として，VDEC に関係する発表文件数の推移を示す．単純に比較はできないが発表文献の数は増加傾向にあり，VDEC 発足以来，集積回路に関係する研究が活性化されていることが確認できる．

図 1.5 に VDEC に関係する発表文献の VDEC ファシリティー利用状況を示す．論文執筆にあたり CAD ソフトウエアが幅広く利用されていることが確認できる．CAD ソフトウエアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため，研究の基本アイデアを実証するツールとしての貢献度も大きい．ま

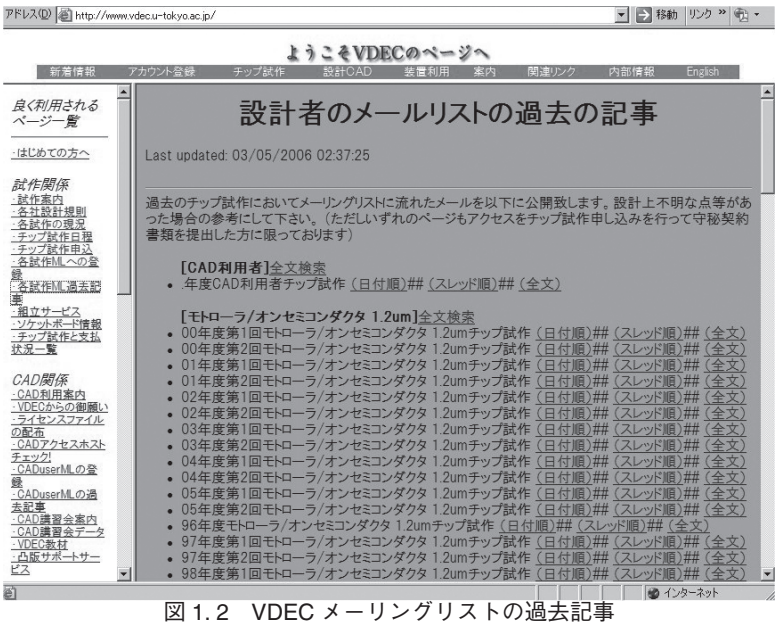


図 1.2　VDEC メーリングリストの過去記事

た，研究論文には最先端のプロセステクノロジが好んで利用される傾向にあり世界的には 32 nm CMOS, 22 nm CMOS による設計事例報告が増加しており，VDEC においても最先端プロセステクノロジメニューの充実をはかっていきたい．加えて，More than Moore が叫ばれており，MEMS 混載 CMOS メニューなどの充実を図っていきたい．そのほかのファシリティーとして，LSI テスターや FIB 加工装置，EB 描画装置などが研究目的に幅広く利用されることを期待する．

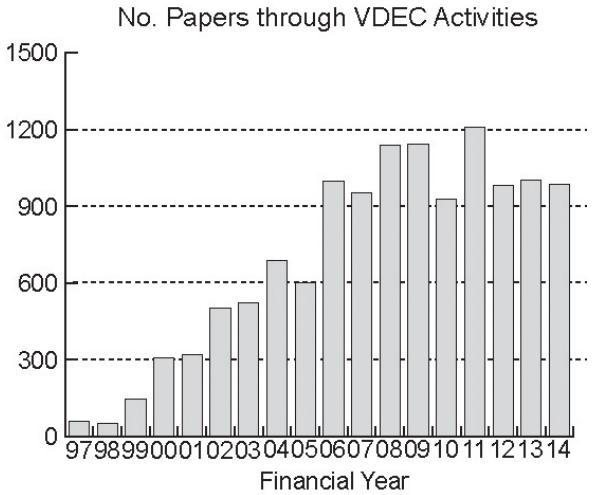


図 1. 3　VDEC を利用した発表文献数の推移

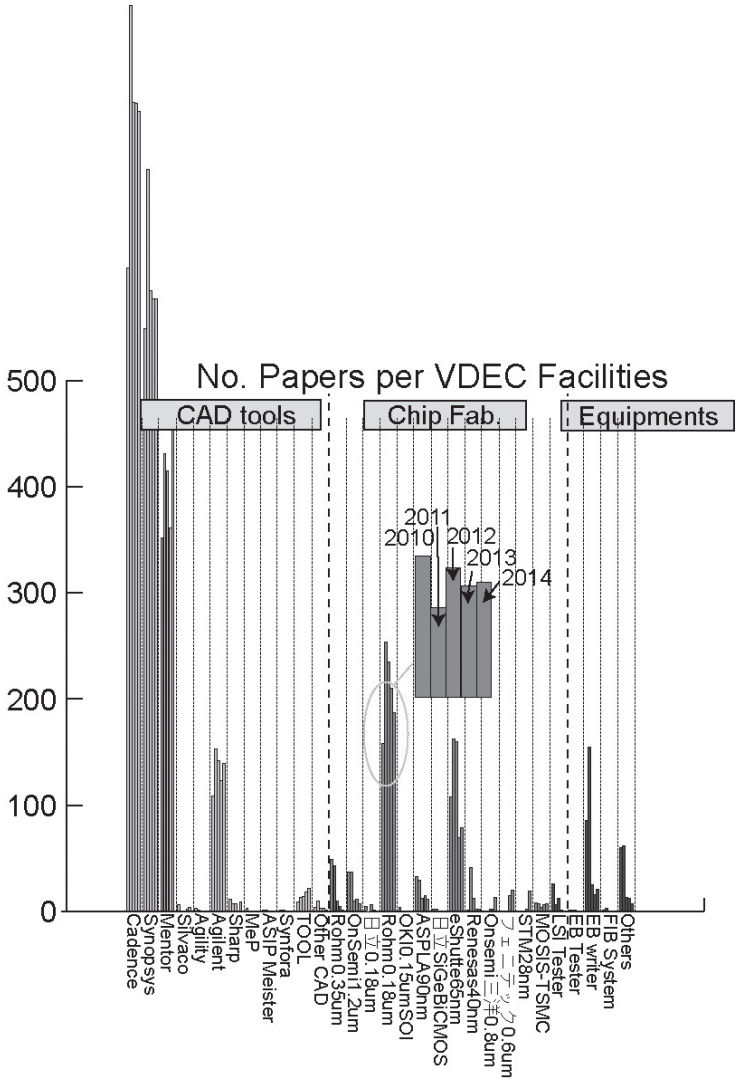


図 1. 4　VDEC ファシリティー利用状況

1.2　CAD ソフトウェアの整備

平成 8 年度から整備を行っている CAD ソフトウエアは，平成 21 年度は表 1.2.1 に示すツール群を全国の大学に提供している. CAD ソフトウエアの利用は, 図 1.2.1 に示す全国地域拠点校 10 箇所にライセンスサーバを設置し，全国各大学の利用者が手許の計算機にインストールした CAD ソフトウエアを，最寄のライセンスサーバにおいて認証を行うことで，ネットワークを利用した運用形態となっている．ライセンス数は CAD の項目ごとに 100 から 1000 程度のフローティングライセンスとなっており，全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている.

VDEC の CAD の利用，および「1.3 章」のチップ試作の利用のためには，あらかじめユーザ登録が必要となっているが，これまで VDEC に利用登録をしている (a) 全国教官数および (b) その所属する大学数および (c) CAD の利用申請があった研究室 (教官) 数の推移は図 1.2.2 の通りである.

表 1.2.1　導入された CAD システム

名称	用途	メーカ
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力，シミュレーション，論理合成，テスト生成，マクロセルを含むセルベースの配置配線とバックアノテーション，会話型の回路図およびマスクレイアウト入力，アナログ機能・回路シミュレーション，設計検証，回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション，論理合成，テスト生成．マクロセルを含むセルベースの配置配線設計とバックアノテーション，回路シミュレーション，デバイスシミュレーション	Synopsys, Inc.
Mentor 社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco 社設計ツール	高速回路シミュレーション,	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路 / システムの設計，検証	Agilent Technologies
Bach	BachC 言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL

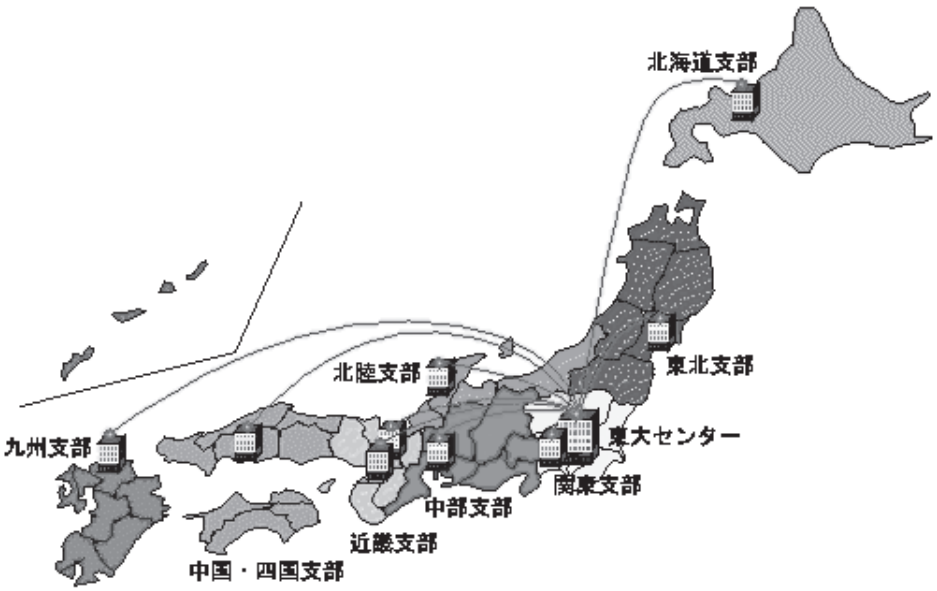


図 1.2.1　全国地域拠点校

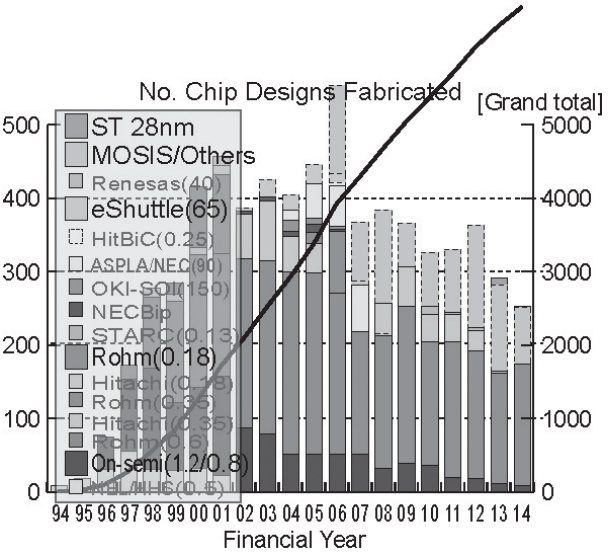
1.3　VLSI チップ試作

1.3.1　VLSI チップ試作の推移

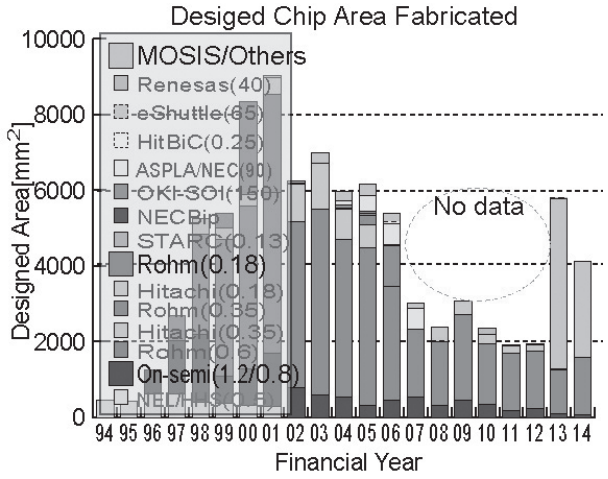
図 1.3.1 は，VDEC および，それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである．

VLSI チップ試作は，平成 6，7 年度（1994，1995 年度）のパイロットプロジェクトでは，ファウンドリは NEL 社の CMOS 0.5 μm（当該プロセスはその後日立北海セミコンダクタ社に継続）1 社であったが，平成 8 年度（1996 年度）の VDEC 発足後，日本モトローラ社の CMOS 1.2 μm（平成 11 年度からは，オン・セミコンダクターにて継続）が協力を開始し，平成 9 年度からはローム社の CMOS 0.6 μm が加わった．さらに平成 10 年度には日立製作所の CMOS 0.35 μm，平成 11 年度にはローム社 0.35 μm がそれぞれ加わった．また，IP 開発プロジェクトの一環として STARC 0.13 μm の試作を行った．平成 13 年度から，日立製作所の CMOS 0.18 μm のサービスを実施している．平成 14 年度は，広島大学岩田先生の主導の下に，VDEC と MOSIS の協力による試作サービスを試行的に実施した．これは，TSMC，IBM といった海外のファブを MOSIS を経由することで格安で提供するものである．さらに，東京大学柴田先生主導の元に，NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った．平成 16 年からテスト試作として沖電気 CMOS SOI 0.15 μm プロセスおよび ASPLA 90 nm（現在は STARC において継続）プロセスの試作を開始し，90 nm 試作については平成 17 年度より通常の試作として公募の形で運用を行っている．さらに平成 18 年度からはローム社 0.18 μm の試作を開始し，日立製作所 0.25 μm SiGeBiCMOS のテスト試作を実施した．平成 19 年度で終了した 90 nm CMOS の後継の先端プロセスの検討を平成 19 年度から開始し，平成 20 年度に eShuttle 社の 65 nm CMOS による試作を開始した．さらに経済産業省 -STARC のプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として，ルネサスエレクトロニクス社の 40 nm CMOS による試作も開始した．一方で平成 23 年 9 月試作をもって CMOS 1.2 μm を終了することとなったほか，平成 24 年度をもってルネサスエレクトロニクス社の 40 nm CMOS 試作が終了，平成 25 年 8 月シャトルをもって eShuttle 社の 65 nm CMOS 試作が終了した．CMOS 1.2 μm の後継として，オンセミ−三洋半導体製造社の協力により平成 24 年 10 月に CMOS 0.8 μm のテスト試作を実施し，平成 25 年度から定常試作として継続している．最先端試作としては，平成 25 年度からフランス CMP を介して ST マイクロ社 FD-SOI 28 nm CMOS 試作を開始した．

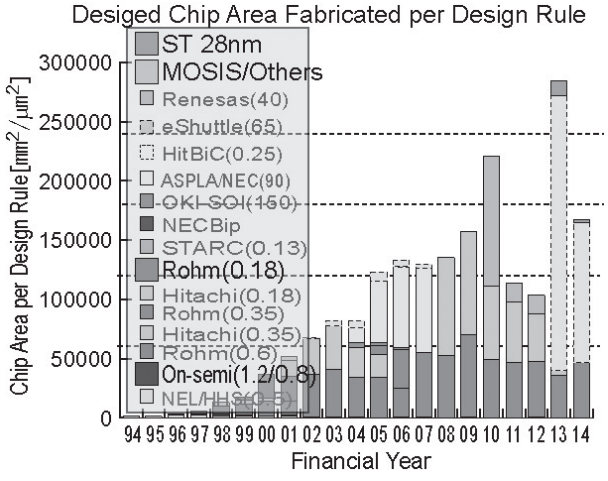
図 1.3.1(a) は設計されたチップ品種数を示す．図中の棒グラフは，試作品種数の順調な増加を表しており，VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから，研究・教育効果が劇的に向上していることが想像される．試作されたチッ



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1　チップ試作数・面積推移

プの品種数は，平成 14 年度に減少しているが，これは ROHM 社の 0.6 um プロセスを終了したことによる現象が考えられる．またそれ以降ほぼ 400 品種程度で推移しているが，その中でより微細なプロセスへ試作の中心が推移していることが読み取れる．また平成 18 年度に 0.35 μm が終了し，平成 19 年度以降 0.18 μm への移行したことにより，試作数が 130 品種程度減少し，さらに平成 19 年度に ASPLA 90 nm CMOS 試作が終了し，eShuttle 65 nm CMOS への移行に伴う試作数の減少がみられる．

この減少傾向は試作面積においてさらに顕著で，試作プロセスの微細化進展に伴い，集積度が向上することも重なり，試作面積が大幅に減少する結果となっている．図 1. 3. 1(b)に設計されたチップ面積を示す．一方設計量の指標として，図 1. 3. 1(c)に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した，規格化試作面積の傾向も併せて示す．こちらはまだ増加し続けていることから，プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数，試作面積の減少主要因になっていることが考えられる．

また，図 1. 3. 2 にこれまでに試作に参加した教員数，大学数の推移およびその累計を示す．また，チップ試作に必要な設計規則などの，試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は，ローム の 0.18 um プロセスが 262 名，オンセミ三洋 0.8 um プロセスが 32 名となっている．

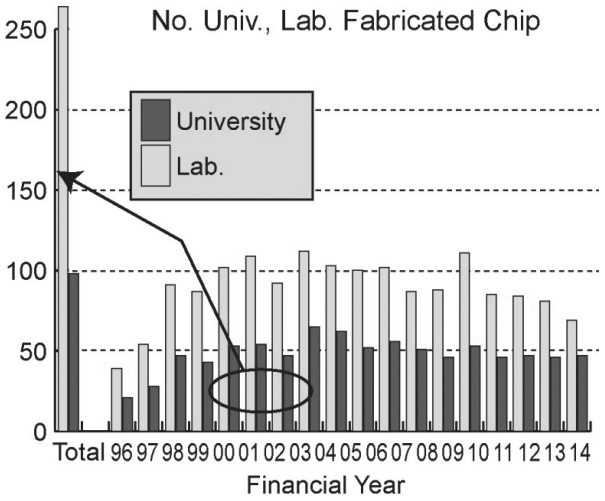


図 1. 3. 2　VDEC チップ試作参加教員数・大学数の推移とその累計

1. 3. 2　平成 26 年度チップ試作概況

平成 24 年度は，表 1. 3. 1 に示す日程でチップ試作を行った．チップ試作の参加者・試作の内容は，第 2 章のチップ試作報告を参照されたい．

表 1. 3. 1　平成 26 年度チップ試作日程

○ CMOS 0.8 um（オンセミコンダクター三洋半導体製造）

	試作申込締切	設計締切	納品・試作完了
平成26年度第1回	2014/ 7/14	2014/10/ 6	2014/12/18
平成26年度第2回	2014/12/29	2015/ 3/23	2015/6（予定）

○ CMOS 0.18 um（ローム）

	試作申込締切	設計締切	納品・試作完了
平成25年度第5回	2013/11/ 4	2014/ 1/27	2014/ 5/14
平成26年度第1回	2014/ 1/27	2014/ 4/21	2014/ 8/ 5
平成26年度第2回	2014/ 4/14	2014/ 7/ 7	2014/10/21
平成26年度第3回	2014/ 6/ 9	2014/ 9/ 1	2014/ 1/28
平成26年度第4回	2014/ 8/25	2014/11/17	2014/ 3/12
平成26年度第5回	2014/11/ 3	2015/ 1/26	2015/5予定

○ CMOS 28 nm（STMicro/CMP）

	試作申込締切	設計締切	納品・試作完了
平成27年1月シャトル		2015/ 1/ 5	2015/8予定

1.3.3 ライブラリ・設計フロー整備状況

VDEC におけるチップ試作(主にディジタル LSI 試作)では, 設計ライブラリの整備が重要である．VDEC では, VDEC 提供 CAD ソフトウエア中のライブラリ生成ツールを利用して，平成 8 年度から順次ライブラリ整備事業を行ってきている．平成 21 年度にはアナログ設計向けの設計キット(PDK)の構築をローム 0.18 um CMOS 向けに行った．現状では，VDEC における各プロセスの試作において，利用可能なライブラリは表 1.3.2 に示すとおりとなっている．

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
ローム 0.18 μm	ローム提供ライブラリ	ローム提供 スタンダードセル，IO セル，RAM（セルはすべてブラックボックス)(CDROM にて配布)	・Synopsys 用論理合成ライブラリ	
			・VerilogXL用シミュレーションライブラリ	
			・配置配線用 LEF/DEF ファイル	
	京大ライブラリ	京都大学小野寺研究室	・Synopsys 用論理合成ライブラリ	
			・VerilogXL用シミュレーションライブラリ	
			・Astro 用配置配線ライブラリ	
	東大ライブラリ	ライブラリ情報は京都大学小野寺研究室，東大VDEC にてフロー構築	・Cadence RTL Compiler 用論理合成ライブラリ	
			・VerilogXL用シミュレーションライブラリ	
			・Cadence Encounter 用配置配線ライブラリ	
	PDK	東京大学VDEC	IC6.1 向け PDK	

1.4　セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である．平成 25 年度にも，CAD 利用のための技術セミナー，社会人のためのリフレッシュセミナー，若手教官・学生のためのデザイナーズフォーラム等のセミナー，フォーラムを企画，実施した．

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは，VDEC で使用可能な Cadence，Synopsys，Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている．また，VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している．平成 25 年度は，8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した．この技術セミナーでは，Cadence のツールを 2 種・5 日間，Synopsys ツールを 3 種・5 日間，Agilent のツールを 1 種・1 日間，に加え，VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC 環境におけるデジタル LSI 測定講習会を VDEC 教員が講師となり開催した．各コースに 40 名までの教員・学生の受講があり，各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している．また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 2 種・5 日間，Synopsys 3 種・4 日間，Agilent 1 種・1 日間行った（表 1.4.1）．これら CAD 技術セミナーへの参加要望は非常に大きく，これは CAD 技術セミナーに対する需要が依然として大きなことを表しており，VDEC はこの状況に対応し，大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた．従来，東大もしくは VDEC 拠点校での開催であったが，今年度からは東大で開催し，それを VDEC 拠点校へストリーミング配信を行い，各拠点校でも CAD 講習会の受講か可能となっている．

表 1.4.1　平成 24 年度 CAD 技術セミナー開催状況

2014/08/04-05	Synopsys IC Compiler 講習会	東京大学	9
2014/08/04-06	Synopsys IC Compiler 講習会	金沢大学	1
2014/08/04-07	Synopsys IC Compiler 講習会	名古屋大学	2
2014/08/04-08	Synopsys IC Compiler 講習会	京都大学	2
2014/08/04-09	Synopsys IC Compiler 講習会	広島大学	1
2014/08/06-07	Cadence OrCAD 講習会	東京大学	13
2014/08/06-08	Cadence OrCAD 講習会	東北大学	3
2014/08/06-09	Cadence OrCAD 講習会	名古屋大学	1
2014/08/06-10	Cadence OrCAD 講習会	長崎大学	5
2014/08/20	Agilent EMPro 講習会	東京大学	12
2014/08/21	Agilent EMPro 講習会	名古屋大学	3
2014/08/22	Agilent EMPro 講習会	京都大学	2
2014/08/23	Agilent EMPro 講習会	大阪大学	3
2014/08/21	Synopsys HSPICE 講習会	東京大学	17
2014/08/22	Synopsys HSPICE 講習会	東北大学	2
2014/08/23	Synopsys HSPICE 講習会	名古屋大学	1
2014/08/24	Synopsys HSPICE 講習会	京都大学	1
2014/08/25	Synopsys HSPICE 講習会	大阪大学	5
2014/08/26	Synopsys HSPICE 講習会	長崎大学	3
2014/09/02-03	VDEC EDA環境におけるデジタル設計手法	東京大学	23
2014/09/04-05	VDEC環境におけるトランジスタレベル設計講習会	東京大学	25

2014/09/17-18	Synopsys Design Compiler+Power Compiler 講習会	東京大学	13
2014/09/17-19	Synopsys Design Compiler+Power Compiler 講習会	金沢大学	1
2014/09/17-20	Synopsys Design Compiler+Power Compiler 講習会	京都大学	1
2014/09/17-21	Synopsys Design Compiler+Power Compiler 講習会	大阪大学	6
2014/09/24-26	Cadence IC61 Virtuoso Layout 講習会	東京大学	22
2014/09/24-27	Cadence IC62 Virtuoso Layout 講習会	金沢大学	3
2014/09/24-28	Cadence IC63 Virtuoso Layout 講習会	広島大学	1

2015/03/06	Synopsys TCAD 講習会	東京大学	10
2015/03/07	Synopsys TCAD 講習会	東北大学	7
2015/03/08	Synopsys TCAD 講習会	金沢大学	2
2015/03/09	Synopsys TCAD 講習会	名古屋大学	1
2015/03/10	Synopsys TCAD 講習会	大阪大学	4
2015/03/11	Synopsys TCAD 講習会	広島大学	3
2015/03/10	Agilent ADS Momentum 講習会	東京大学	10
2015/03/11	Agilent ADS Momentum 講習会	東北大学	4
2015/03/12	Agilent ADS Momentum 講習会	名古屋大学	1
2015/03/11	Synopsys XA+VCS mixed sim 講習会	東京大学	7
2015/03/12	Synopsys XA+VCS mixed sim 講習会	北海道大学	5
2015/03/13	Synopsys XA+VCS mixed sim 講習会	東北大学	5
2015/03/14	Synopsys XA+VCS mixed sim 講習会	広島大学	1
2015/03/18	Synopsys HSPICE 講習会	東京大学	17
2015/03/19	Synopsys HSPICE 講習会	北海道大学	3
2015/03/20	Synopsys HSPICE 講習会	東北大学	5
2015/03/21	Synopsys HSPICE 講習会	名古屋大学	1
2015/03/22	Synopsys HSPICE 講習会	京都大学	1
2015/03/23	Synopsys HSPICE 講習会	大阪大学	5
2015/03/24	Synopsys HSPICE 講習会	広島大学	1
2015/03/25	Synopsys HSPICE 講習会	長崎大学	2
2015/03/26	Synopsys HSPICE 講習会	宮崎大学	6
2015/03/12-13	Cadence OrCAD 講習会	東京大学	5
2015/03/12-14	Cadence OrCAD 講習会	北海道大学	4
2015/03/12-15	Cadence OrCAD 講習会	東北大学	3
2015/03/25-27	Cadence EDI 講習会	東京大学	6
2015/03/25-28	Cadence EDI 講習会	北海道大学	5
2015/03/25-29	Cadence EDI 講習会	名古屋大学	1
2015/03/25-30	Cadence EDI 講習会	大阪大学	7
2015/03/25-31	Cadence EDI 講習会	広島大学	1

【社会人のためのリフレッシュセミナー】

平成 25 年度には，平成 24 年度に引き続き，集積回路産業に携わる職業人を対象にリフレッシュ教育として VLSI 設計に関する最新かつ高度の知識・技術の習得を目的として，社会人向けの「VLSI 設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表 1. 4. 3).

このセミナーは主に社会人を対象として，演習を伴う最新の VLSI 設計技術の実践的教育を行うもので，平成 10 年度に文部省専門教育課の支援のもとでスタートしたが，今年度は(財)電気電子情報振興財団の協力(共催)を得，また文部省高等教育局専門教育課，日本電子機械協会(EIAJ)，システム LSI 開発支援センター（VSAC)，半導体理工学研究センター（STARC)，日本応用物理学会，情報処理学会，電気学会，電子情報通信学会の協賛をあわせて得ることが

でき，大変効果的で有意義なセミナーとなった.

本年度は VLSI 設計に関する 5 つのコース，コース A：アナログ集積回路設計と演習(5/26〜5/28 実施)，コース D: デジタル集積回路設計と演習(6/3〜6/5 実施)，コース M1: MEMS 設計と演習(6/12〜6/13 実施)，コース M2: MEMS 試作と評価(6/25-6/27)，コース R: RF-CMOS 集積回路設計と演習(7/3〜7/4 実施)を開催した．講師として大学・企業の集積回路研究・教育に携わる教官や研究者を招聘し，VLSI 設計に関する講義や最新の CAD ツールを使用した実習をはじめ，最先端の VLSI 設計技術の紹介を行った．参加者はコース A，D，M1，M2，R それぞれ 22 名，21 名，7 名，6 名，17 名であった.

図 1. 4. 2　リフレッシュ教育会場風景(東大 VDEC セミナー室)

表 1. 4. 3　リフレッシュセミナー開催状況

コース A : アナログ集積回路設計と演習（3 日間）
回路設計，回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計，検証（DRC, LVS）
杉本泰博（中央大学), 小野寺秀俊（京都大学） 小谷光司（東北大学）

コース M1 : MEMS 設計と演習（2 日間）
MEMS の基礎 1: 作製法 MEMS の基礎 2: 動作原理 機構設計 レイアウト設計
三田吉郎（東京大学）
コース M2 : MEMS 試作と評価（3 日間）

CAD 設計・解析 リソグラフィ，エッチング，リリース 振動解析測定
三田吉郎（東京大学）

コースD : デジタル集積回路設計と演習（3日間）
VerilogHDL 記述 論理合成，配置配線，レイアウト検証 SRAM やアナログマクロの埋め込み
池田誠（東京大学）

コースR : CMOS-RF 集積回路設計と演習（2日間）
変復調，多次元接続方式 回路の基本性能，トランシーバアーキテクチャ 要素回路，設計フロー
伊藤浩之（東京工業大学）

【若手教官･学生のためのデザイナーズフォーラム】

学生および若手教官を対象とした VDEC LSI デザイナーフォーラム（VDEC LSI Designers Forum）を開催している．VDEC LSI デザイナーフォーラムは，LSI 設計者が，互いの研究成果だけではなく，チップ設計で苦労した点，失敗事例と解決策，CAD 業界の裏話，研究室に於ける設計環境の構築法など，通常の研究会や学会などでは得ることのできない情報を共有し，大学または研究室の枠を越えて研究者が連携を深めることを目的としている．今年は，8 月に DA シンポジウムと共同で下呂温泉で開催された．31 人の参加者が集まる盛況であった．

表 1. 4. 4　デザイナーズフォーラムプログラム

8/29（金）

時間	
10:30-11:00	会場受付
11:00-13:00	VDEC デザインアワード2次選考 : ショートプレゼン＆ポスターセッション＆投票集計
13:00-14:00	休憩（昼食）
14:20-14:30	開会の挨拶
14:30-15:20	プレナリー講演 富士通次世代テクニカルコンピューティング開発本部 LSI 開発統括部 第一技術部部長吉田利雄様 SPARC64 XIfx: Fujitsu’s Next Generation Processor for HPC
	（小休憩）
15:30-18:00	VDEC デザインアワード ファイナリスト発表会
18:00-20:00	デザインアワード最終審査＆表彰式＆懇親会準備

8/30（土）　Ph.D. 企画セッション

時間	
10:00-12:00	Ph.D. 企画セッション

1.5　装置の整備・運用・利用公開

VDECでは，大型装置公開すなわち，1研究室では取得・維持管理が困難な装置をVDECで代表して管理し，ユーザーは無償または廉価に利用するというスキームを，「CAD」「LSIマルチチップ」「テスト」とならぶ4本柱の一つとして継続的に運用している．表1.5.1に装置の一覧と利用公開の状況を示す．装置はVLSI用大型テスターと，その他のプロセス装置とに大別でき，テスターは武田先端知ビル1F，プロセス装置は武田地下クリーンルームにある．プロセス装置は平成24年度より文部科学省「ナノテクノロジー・プラットフォーム」に参加したことで，さらに多くのユーザーに対する支援体制を整備することができている(ナノテクノロジー・プラットフォームについては1.8節を参照いただきたい.)．平成26年度は，VLSIチップの高密度実装のための装置が導入されたことが特筆事項である．テレビカメラを通じた目視による位置合わせ精度：XY ± 0.5 μm, θ ± 1 mradを実現するフリップチップボンディング装置(Finetech Fineplacer Lamda，図1)，金ボールによるワイヤーボンディングまたはバンプ接合を可能とするセミオートボンダー（Westbond 4700E)がクリーンルーム内で利用可能である．さらに，MEMS構造リリースプロセスの安定化のためにIdonus社の気相フッ酸エッチング装置を導入した．

電子線描画装置F5112+VD01の平成26年4月~27年3月の利用実績は，合計2074枚で，前年(合計1594枚)に比べて大幅に増加した．これは新型電子線描画装置が年度後半から本格稼働したためで，月平均描画枚数も160枚→173枚と，増加した．

装置の利用については，限られたスタッフのなかで，できるだけ多く利用機会を設けたいという思想から，免許を持っている人間から一定期間装置利用法を習得し，試験に合格したのち利用資格を与える「徒弟免許制度」を基本とした運用を行っている．利用者資格を有する者もしくはその同伴の場合によるスポット利用も可能である．個別の装置についての利用相談は，VDECの教職員までお寄せいただきたい．

表1.5.1　装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSIテストシステム	EBテスター：IDS10000	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う．通常LSIテスターと組み合わせて使用するため，上述テスターとのドッキング治具を備える 384ピン，1 GHzまでのデジタル回路のテストを行える.	整備中	equipment@vdec.u-tokyo.ac.jp
	LSIテスター：ADVANTEST T2000	256ピン，512 MHzまでのデジタル回路のテストを行える．アナログオプションを整備中.	試験公開中	equipment@vdec.u-tokyo.ac.jp
	回路修正用FIB：IDSP2X	LSIパターンの設計ミス等による配線ショート，オープンに対して，配線の切断，白金膜の生成によるジャンパーの生成が可能	公開中	IDSP2X@vdec.u-tokyo.ac.jp
	回路修正用　FIB：V400ACE	LSIパターンの設計ミス等による配線ショート，オープンに対して，配線の切断，白金膜の生成によるジャンパーの生成が可能．加工ガスによりバルクシリコンを裏面から高速にポイントエッチング可能.	公開中	equipment@vdec.u-tokyo.ac.jp
	オートプローバ:PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ．上述のLSIテスターとドッキングして使用することが可能で，VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	equipment@vdec.u-tokyo.ac.jp
	アナログ・RF測定装置一式：HP4156B, HP4284, etc	DCパラメータ測定，容量測定，ネットワークアナライザ，スペクトラムアナライザ等の測定装置	希望に応じ利用可能．但しVDECの業務による利用を優先とする	equipment@vdec.u-totokyo.ac.jp

アナログ・RF測定システム	低雑音マニュアルプローバ：Cascade社	マニュアルにて6インチまでのウエハ上のチップの測定が可能．測定には，通常のプローブ針（6本まで）のほか，50 GHzまでの測定が可能な高周波プローブを2本備える	希望に応じ利用可能．但しVDECの業務による利用を優先とする 公開中	equipment@vdec.u-tokyo.ac.jp
	低雑音・温度制御機構付きセミオートプローバ：Süss Microtec社	8インチまでのウエハ上のチップの測定が可能．ウエハ温度を－50℃から200℃まで制御可能．プローブカードによる測定．GPIBを介した制御を行うことで半自動測定も可能		
ナノテクノロジー・プラットフォームの主な装置	マスク描画・ウエハ直描装置：F5112+VD01	半導体製造用2.3 mm厚5インチマスクの描画およびエッチング，2-8インチ並びに不定形ウエハへの直接描画が可能．参考描画寸法50 nm L/S.	公開中	nanotech@sogo.t.u-tokyo.ac.jp
	大面積高速電子線描画装置：F7000S-VD02	半導体製造用2.3 mm厚5インチマスクの描画およびエッチング，2-8インチ並びに不定形ウエハへの直接描画が可能．キャラクタプロジェクション機能により，円形や三角形，斜め線などの高速・高精細描画が可能．参考描画寸法1X nm L/S.	公開中	
	塩素系プラズマエッチャー CE-S	Cl_2，BCl_3を使った金属のプラズマエッチングが可能.	公開中	
	シリコン深掘りエッチング装置MUC-21 ASE-Pegasus	ボッシュプロセスによる高速・高アスペクト比シリコン深掘りが可能.	公開中	
	FIB装置：SII XVision 200TB	ガラスマスクの欠陥修正の他，断面観測のための加工等が可能．ナノテクノロジー・プラットフォームにて利用可能.	公開中	
精密ボンディングシステム系	ウェッジボンダー：Westbond 7476D	25 μm ϕアルミまたは金線によるウェッジボンディングが可能	公開中	
	エポキシダイボンダー Westbond7200C	精密マニュピレータにより，エポキシや銀ペーストを用いたチップ配置，細線の配線が可能		
	セミオートボンダー Westbond4700E	18～25 μm ϕの金細線を用いたボールボンディングまたはボールバンプの形成が可能		
	精密マニュアルフリップチップボンダー Finetech Fineplacer Lamda	15 mm角までのチップ同士をテレビカメラで目視しながら接合することが可能．ランプ加熱による熱接合（超音波オプション購入可能）位置合わせ精度XY ± 0.5 μm, θ =1 mrad.		

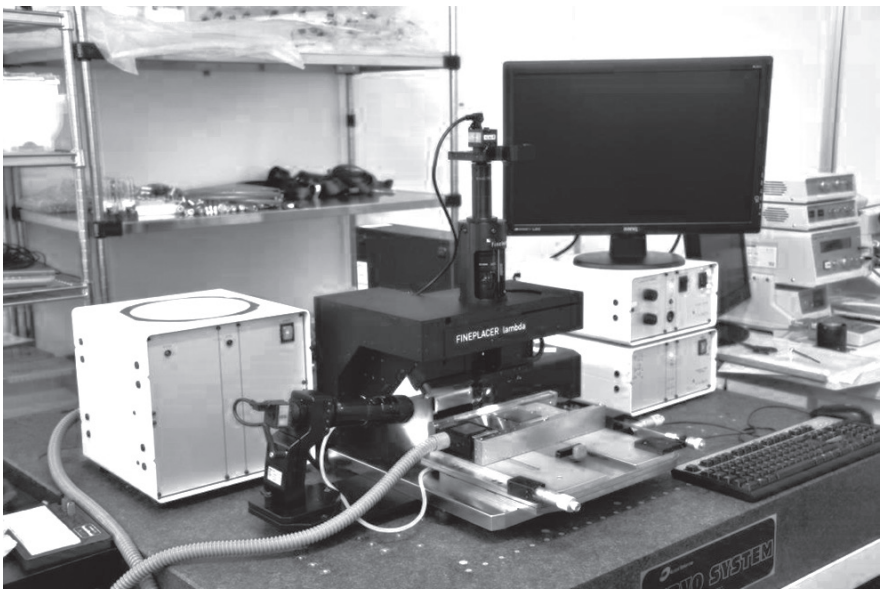


図1　導入した精密マニュアルフリップチップボンダー（Finetech Fineplacer Lambda）

1.6　平成 27 年度の活動計画

平成 27 年度においても，従来の設計情報発信，CAD ツール提供，チップ支援，寄附部門「D2T」の活動を継続する．

【設計情報発信・セミナー開催】

本年度は，平成 9 年度より継続している CAD ツール利用法に関する技術セミナー，平成 10 年度から継続している社会人向けの「リフレッシュセミナー」，平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する．教科書，教材の整備充実を行なうことを予定している．試作チップ数の増加にともない，チップ動作検証に対する要望が増大していくものと予想されるが，LSI テスト技術および，VDEC および拠点校に設置されている LSI テスター利用法のセミナーも継続して開催するとともに，寄附部門「D2T」主導によるテスト技術に関するワークショップ開催，遠隔地からのテスト利用に関す試みなどを推進する．

【CAD ツール提供】

上流設計（Cadence, Synopsys），中流設計（Synopsys, Cadence），下流設計（Cadence）の各基本ツールを，平成 27 年度もサポートしていく．これに加え平成 14 年度から導入した設計検証（Mentor: Caribra, ModelSim, Handel-C 等），平成 16 年度から導入したアナログ RF 設計ツール（Agilent: GoldenGate, ADS/RFDE）を継続してサポートするとともに，平成 17 年度より提供を受けている Sharp 社 C ベース設計ツール（BachC）を継続してサポートする．平成 20 年度より提供を開始している TOOL 社レイアウト表示プラットフォーム（Lavis）に関しても利用状況に基づき継続を行うとともに，平成 23 年度からの SpringSoft 社の検証ツールは，SpringSoft 社が Cadence 社に買収され Cadence 社のツール群としてのサポートが継続されることになっている．また，回路シミュレーションツール（Silvaco）ツールに関してもサポートを継続する．

【チップ試作支援】

平成 27 年度は，平成 26 年度から引き続きローム株式会社の 0.18 μm CMOS プロセス，CMP シャトルに乗る形で ST CMOS FDSOI 28 nm およびオンセミ−三洋半導体 0.8 μm CMOS を定常試作として継続する（すでに一部の試作は進行中である）さらに平成 26 年度末で終了した NEDO プロジェクトの成果を受ける形でルネサスエレクトロニクス社により SOTB CMOS 65 nm 試作を開始する．チップの組み立てはジェイデバイス社への委託を中心として，多様な組立に応じられる仕組みの構築を目指す．なお，一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある．

表 1. 7. 1　VDEC チップ試作スケジュール（平成 27 年度）

【CMOS 0.8 μm 2P2M】 オン・セミコンダクタ

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成27年度第1回	2015/ 4/13	2015/ 7/ 6	2015/ 9/28	2015/12/28
平成27年度第2回	2015/10/ 6	2015/12/29	2016/ 3/22	2016/ 6/20

【CMOS 0.18 μm 1P5M（+MiM）】 ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成27年度第2回	2015/ 1/19	2015/ 4/13	2015/ 7/ 6	2015/10/30
平成27年度第3回	2015/ 3/ 9	2015/ 6/ 1	2015/ 8/24	2015/12/11
平成27年度第4回	2015/ 6/ 1	2015/ 8/24	2015/11/16	2016/ 3/18
平成27年度第5回	2015/ 8/10	2015/11/ 2	2016/ 1/25	2016/ 5/20

【FD-SOI CMOS 28 nm 1P10M】 ST マイクロ社

CMP の予定の通り．

【SOTB CMOS 65 nm】 ルネサスエレクトロニクス社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成27年度第1回	2015/ 1/26	2015/ 6/ 1	2015/ 7/13	2016/ 1/ 5
平成27年度第2回	2015/ 7/28	2015/12/ 1	2016/ 1/12	2016/ 7/ 6

1.7　VDEC 発ベンチャー

VDEC での設計 / 試作経験，人材育成が有効には機能した事例といたしまして，VDEC と関連があった(ある)教員が起業したベンチャー企業のリスト(順不同)を以下に示します.

[1] エイ・アイ・エル株式会社　(http://www.ailabo.co.jp/)

代表の先生：　神戸大学　瀧和男教授　(同社，代表取締役社長)

事 業 内 容：　(1) Hyper LSI Design

(2)汎用コアの低消費電力，小面積，高速化ハードニング

(3)オリジナルライブラリ／ IP の販売

(4)チップ受託開発

[2] 株式会社シンセシス　(http://www.synthesis.co.jp/)

代表の先生：　大阪大学　白川功名誉教授　(同社，取締役)

事 業 内 容：　(1)システム LSI 開発・設計受託

(2) IP 開発及び販売

(3)システムソリューション提供 / 設計支援ツール開発及び販売

[3] 株式会社ナノデザイン　(http://www.nanodesign.co.jp/)

代表の先生：　九州工業大学　中村和之教授　(同社，代表取締役)

事 業 内 容：　(1)アナログ LSI 設計用 CAD ツールの開発

(2)メモリ LSI 自動設計ツールの開発

[4] 株式会社エイアールテック　(http://www.a-r-tec.jp/)

代表の先生：　広島大学　岩田穆名誉教授　(同社，代表取締役)

事 業 内 容：　(1)アナログ・RF 回路混載 SoC 設計開発業務

(2)基板雑音解析業務

(3)企業との協力と人材育成

[5] 有限会社石島電子技研　(http://www.ops.dti.ne.jp/~ishijima/rd/)

事 業 内 容：(1)ハードウエア開発

(2)ソフトウエア開発

(3) システム・コンサルティング

1.8　超微細リソグラフィー・ナノ計測拠点

VDEC では，武田先端知ビルスーパークリーンルームを工学部総合研究機構と共同で運用し，オープンな拠点として全国の学・産・官に広く公開している．H23 年で終了したナノテクノロジーネットワーク事業に引き続き，東京大学を代表して H24 年度より開始された文部科学省ナノテクノロジープラットフォームの微細加工実施機関となって,「超微細リソグラフィー・ナノ計測拠点」を運営している．一研究室では取得維持が困難な装置群を，組織的に維持管理し，学内外，特に学外の企業に公開するというプロジェクトである．VDEC の微細加工拠点は，株式会社アドバンテスト社製の量産向け高速電子線描画装置を改造して，1 cm 角から 8 インチ丸までの任意形状にまで描画できるようにした F5112+VD01 ならびに後継機 F7000S-VD02 を核に，武田先端知スーパークリーンルームでの活動を支援している．また，VLSI ファウンドリ活動の日本代表という立ち位置を最大限利用し，「フェニテックセミコンダクター」プロジェクトとの協業により，VLSI を VDEC で試作し，ナノテクプラットで後加工するという新たな「More-Than-Moore」系の研究支援スキームを運用している．実績は極めて好調であり，平成 26 年度の「利用報告書」は 179 件で，前年度比 20％増の大幅増加であった．内訳は，①大企業による利用 17(9) 件，②中小企業による利用 10(3) 件，③東京大学以外の大学による利用 36(32) 件，④公的機関による利用 7(6) 件，⑤東京大学による利用（共同研究を含む）109(100) 件である．企業による利用が激増していることが特筆され，これはナノプラット開始後 3 年目を迎え，制度の存在を前年度以前に知った利用者が実際に利用を開始したためと考えられる．最も利用されている装置は電子線描画装置 F5112+VD01 であり，ナノプラット支援開始日 2014 年 4 月～2015 年 3 月の間に，月平均 154.74 枚（1857 枚）描画を行った．外部共用率は 99％，すなわち，利用可能な日には必ず誰かが利用をしていたという結果であった．月平均利用回数が前年比で 6 描画減少した理由は，利用の一部が新型装置 F7000S に移行したためで，2014 年 7 月～2015 年 3 月の F7000S-VD02 の利用回数（217 枚）を加えると月平均 172.8 枚（2074 枚）となり，統計を取り始めた 2000 年（当時の年間描画枚数は 460 枚）以来過去最高の利用記録となった．年度による利用枚数の変化を図 1 に示す通り，右肩上がりの成長を続けている．経験豊富な技術支援者のアテンドによる技術補助利用，技術代行利用も好評を博しており，さらなる利用の向上が期待できる．

URL：http://nanotechnet.t.u-tokyo.ac.jp/

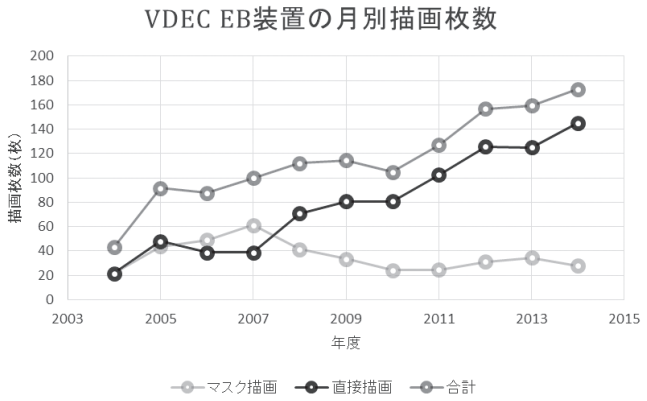


図 1　VDEC 電子線描画装置の月あたり平均描画枚数

第２章「アドバンテスト D2T 寄附研究部門」平成 26 年度活動報告

2.1 「アドバンテスト D2T 寄附研究部門」の紹介

2.1.1 アドバンテスト D2T 寄附研究部門設立の趣旨

これまでの VDEC の活動を通じ，多くの大学・高専で VLSI 設計・試作文化が根付き，活発な設計研究・教育活動が行われています．

このような状況の中，株式会社アドバンテストからの寄附金により，「アドバンテスト D2T 寄附研究部門」が 2007 年 10 月に VDEC 内に設立されました．「アドバンテスト D2T 寄附研究部門」は，全国の学生に VLSI の設計からテストまで一貫した研究・教育環境を提供することで，テスト設計の専門家となりえる人材を育成するとともに，SoC の設計に関する研究を支援することを目的としております．従来, VDEC では VLSI の「設計･試作」という面からの活動を重点的に行ってまいりましたが,「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく“Design to Test(D2T)”の理念のもと，国内の大学･高専における「テスト研究･教育」の拠点としての活動を行っています．

当部門はこれまで 2007 年 10 月～2010 年 9 月にかけての第 1 期と 2010 年 10 月～2013 年 9 月にかけての第 2 期の各 3 年間のプロジェクトを遂行してきました．現在は，株式会社アドバンテストのご厚意により，2013 年 10 月からの 3 年間を第 3 期プロジェクト期間として，活動を継続させていただいています．今年度は，第 3 期の中間年度にあたり，研究，教育，シンポジウム等の多岐にわたる活動を行ってまいりました．これらについては，続く各章においてそれぞれ報告いたします．

D2T 寄附研究部門では，今後も設計とテストの融合された分野での研究活動を行うとともに，上記のような活動を継続して参ります．

2.1.2 アドバンテスト D2T 寄附研究部門構成員

特 任 講 師　池野理門
助　　教　Nguyen Ngoc Mai Khanh
共同研究員　山口隆弘（株式会社アドバンテスト研究所）
共同研究員　石田雅裕（株式会社アドバンテスト）
事務補佐員　岡崎真紀子

2.2 「第 9 回 D2T シンポジウム」開催報告

2014 年 8 月 26 日(木)に，東京大学武田ホールにおいて「第 9 回 D2T シンポジウム」を開催いたしました．

“System, Circuit, and Testing of Ultra-Low Voltage VLSI”のテーマ通り，LSI の極低電圧動作に関連するプロセス・デバイス・テクノロジー，回路設計，システム設計，そしてテスト技術に至るまでの幅広い分野における国内外からの 8 件の講演と，“FD SOI for analog-digital compatibility in ultra-low voltage era”と題したパネルディスカッション，さらに夜の懇親会まで盛りだくさんのシンポジウムとなりました．また，ご参加者頂いた人数も過去最多となる 180 名超を数え，大学・企業を問わずこちらも幅広い方々にご参加頂けましたこと，改めて御礼申し上げます．

招待講演者の方々はいずれもそれぞれの分野での第一人者であり，また講演会やパネルディスカッションでは会場も含めて多くの質疑が交わされるなど，参加者の皆様にも有意義な一日を過ごして頂けたのではないでしょうか．

D2T シンポジウムは今後も継続的に開催していく予定であり，すでに次回の「第 10 回 D2T シンポジウム」の準備も始まっています．次回も第 9 回と同じ時期に開催することが決定しておりますので，また多くの皆様に参加いただければと願っております．

第 9 回 D2T シンポジウム開催プログラム

10:00	**Opening Remarks** Kunihiro Asada (Director, VLSI Design and Education Center, The University of Tokyo) Yoshiaki Yoshida (Director, Advantest Corporation)
10:15	*"Activities of ADVANTEST D2T Research Division, VDEC"* Rimon Ikeno (The University of Tokyo)
10:25	**Session 1** *"Phase Noise and Jitter in Circuits: Origins, and How They Affect Signals"* Asad A. Abidi (University of California, Los Angeles) *"Numerical and Theoretical Analysis on Voltage and Time Domain Dynamic Range of Scaled CMOS Circuits"* Toru Nakura (The University of Tokyo) *"A Subsampling Stochastic Coarse-Fine ADC with SNR 55.3dB and >5.8TS/s Effective Sample Rate for an on-Chip Signal Analyzer"* Takahiro J. Yamaguchi (Advantest Laboratories)
12:00	**Lunch**
13:15	**Session 2** *"Present Status of Characteristics Variability in Advanced MOSFETs"* Toshiro Hiramoto (The University of Tokyo) *"Process and Design Differentiations at Ultra-Low-Voltage in UTBB FDSOI 28nm"* Philippe Roche (ST Microelectronics) *"Ultralow-Voltage Design and Technology of Silicon-on-Thin-Buried-Oxide (SOTB) CMOS for Highly Energy Efficient Electronics in IoT Era"* Nobuyuki Sugii (Low-power Electronics Association & Project)
15:15	**Coffee Break**
15:45	**Session 3** *"Cross-Layer Approaches for Variation-aware System Design"* Mehdi B. Tahoori (Karlsruhe Institute of Technology) *"30-Gb/s Optical and Electrical Test Solution for High-Volume Testing"* Daisuke Watanabe (Advantest Corporation)
16:50	**Break**
17:00	**Panel Discussion** *"FD SOI for analog-digital compatibility in ultra-low voltage era"* Moderator: Toshiro Hiramoto (The University of Tokyo) Panelists: Asad A. Abidi (University of California, Los Angeles), Philippe Roche (ST Microelectronics), Nobuyuki Sugii (Low-power Electronics Association & Project), Mehdi B. Tahoori (Karlsruhe Institute of Technology)
18:20	**Closing Remarks**
18:30	**Reception**

2.3　研究活動報告

連続時間量子化法のタイミング雑音測定への応用

山口隆弘，Nguyen Ngoc Mai Khanh，池野理門，小松聡，浅田邦博

確率的コンパレータ群を用いた新しい信号遷移エッジ検知回路を考案した．この回路は確率的性質を利用してデータの収集を高速化しテスト品質を向上する．

また，コンパレータのオフセット特性や対称性の向上を目指し，差動動作に基づく試作回路を作成した．このチップにより，回路の確率的挙動のより高精度な評価が期待される．またこのチップはサブレンジ・オンチップサンプラ・アーキテクチャのための回路要素を全て実装しており，今後システムレベルの実証実験の準備を進めている．

電源品質試験技術の研究

石田雅裕，松川慧，池野理門，名倉徹，浅田邦博

半導体プロセスの微細化により電源電圧が低下する一方で，高集積化により半導体デバイスの電源電流は増加傾向にある．このため，相対的にデバイス電源の電圧誤差・ノイズが増大し，デバイス試験時／実動作時の電源品質（パワーインテグリティ）が重要となっている．

本研究では，半導体デバイスのオンチップ電源ノードにおける電源品質を評価する技術（電源品質試験技術, 電源ネットワーク･モデル化技術）の構築を目指す．

本年度は，電源品質不良を検出する電源品質試験手法の原理確認のために試作したTEGチップの評価実験系構築をおこなった．電源ネットワーク・モデル化技術については，電源品質の測定に基づいてオンチップ電源ネットワークの回路モデルを導出するアルゴリズムを検討し，計算機シミュレーションによる原理確認を行った．また，実用性評価のため，CMOSで設計した回路レイアウトから抽出した電源ネットワークと提案手法で算出された電源ネットワーク・モデルの比較実験を進めた．

多様な露光対象に対応した高速かつ高精度な電子線直描露光手法の研究

池野理門，丸山智史，三田吉郎，池田誠，浅田邦博

電子線直描（Electron Beam Direct Writing; EBDW）によるマスクレス露光は，安価かつ短turn-around time（TAT）の露光技術としての期待が大きい一方で低いスループットや，ビーム形状に起因する図形再現性に課題があるとされている．本研究では，キャラクタプロジェクション（Character Projection; CP）方式を活用しながら上記の課題を克服し，MEMSやフォトニクス等の幅広い露光対象に対して有効な高速電子線直描環境の研究を行っている．

今年度は，可変成形ビーム（Variable Shaped Beam; VSB）方式において図形歪を生じ易い円弧や斜辺図形を高精度に露光するためのレイアウト・データ変換手法を提案した．本手法を光導波路等の実用的なデバイス構造に適用することにより，EBショット数の削減効果が確認された．さらに，こうしたデバイス構造を試作して加工形状の評価を進めるとともに，他大学等の研究グループとも協力しながら，デバイス性能への影響についても評価の準備を進めている．

2.4　研究発表

論文誌

[1] Satoshi Komatsu, Takahiro J. Yamaguchi, Mohamed Abbas, Nguyen Ngoc Mai Khanh, James S. Tandon, Kunihiro Asada, “A Flash TDC with 2.6-4.2ps Resolution Using a Group of Unbalanced CMOS Arbiters,” IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences Vol.E97-A No.3 pp. 777-780, March 2014.

[2] Rimon Ikeno, Takashi Maruyama, Satoshi Komatsu, Tetsuya Iizuka, Makoto Ikeda, Kunihiro Asada, “A Structured Routing Architecture for Practical Application of Character Projection Method in Electron-Beam Direct Writing,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E97-A, No. 8, pp. 1688-1698, August 2014.

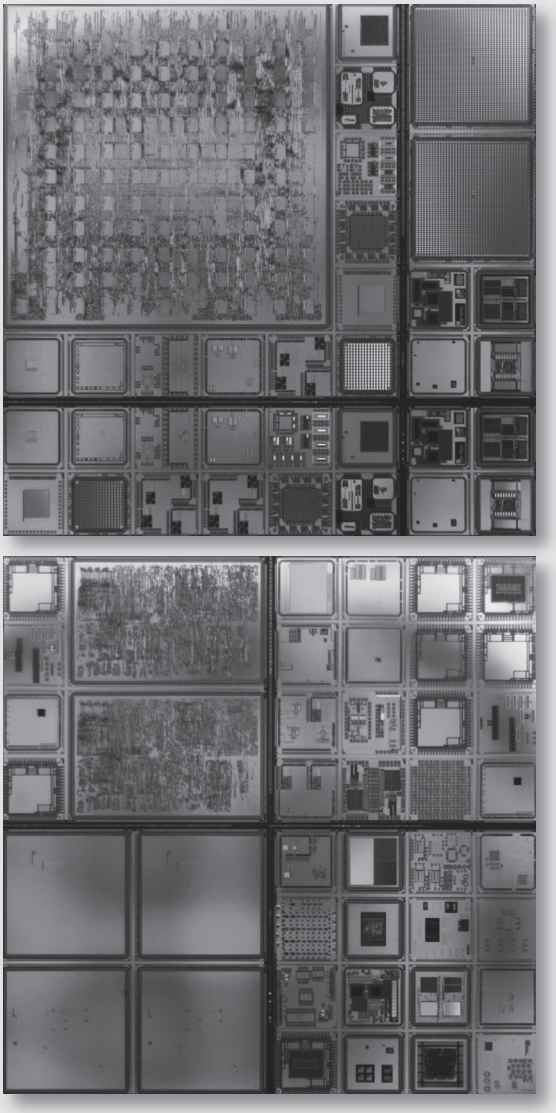
国際会議・国際シンポジウム・国際ワークショップ

[1] James S. Tandon, Takahiro J. Yamaguchi, Satoshi Komatsu, Kunihiro Asada, “A subsampling stochastic coarse-fine ADC with SNR 55.3 dB and >5.8 TS/s effective sample rate for an on-chip signal analyzer,” 2014 IEEE International Symposium on Circuits and Systems（ISCAS）, pp. 93-96, June 2014.

[2] Masahiro Ishida, Takashi Kusaka, Toru Nakura, Satoshi Komatsu, and Kunihiro Asada, “Statistical Silicon Results of Dynamic Power Integrity Control of ATE for Eliminating Overkills and Underkills,” IEEE International Test Conference, pp. 1-10, October 2014.

[3] Takahiro J. Yamaguchi, James S. Tandon, Satoshi Komatsu, Kunihiro Asada, “A Novel Circuit for Transition-Edge Detection: Using a Stochastic Comparator Group to Test Transition-Edge,” 2014 IEEE 23rd Asian Test Symposium（ATS）, pp. 168-173, November 2014.

第3章
チップ試作結果報告



3. 1　試作ラン別一覧

平成２５年度第２回オンセミコンダクター―三洋 CMOS 0.8um 試作 （OS08132）

題　　名	大　学　名	研　究　者	掲載頁
ニューロン CMOS インバータを用いたＡＤ変換回路	東海大学大学院産業工学研究科	藤本 邦昭，原田 裕二郎	35
PLL 信号追跡に基づく検波機構の試作	大阪大学基礎工学研究科	本谷 進二，塩見 英久	35
0.8um CMOS プロセスを用いた高速光検出器の検討	金沢大学理工研究域 金沢大学大学院自然科学研究科	飯山 宏一 刑部 遼一	35
MEMS マイクロロボットの歩行動作を生成するパルス形ハードウェアニューロンモデル	日本大学理工学部	日高 智浩，内木場 文男，齊藤 健	36
パルス形ハードウェアニューロンモデルの素子測定用 TEG チップ	日本大学理工学部	日高 智浩，内木場 文男，齊藤 健	36

平成２６年度第１回オンセミコンダクター―三洋 CMOS 0.8um 試作 （OS08141）

題　　名	大　学　名	研　究　者	掲載頁
アナログ TEG	金沢大学理工研究域	北川 章夫	37
シュミットトリガ回路を用いた電圧制御発振器	東海大学大学院産業工学研究科	藤本 邦昭，原田 裕二郎	37
アクティブノイズコントロール用アナログ回路	名古屋工業大学工学研究科	加藤 正史，山中 星良	37
ハウリング低減用アナログ回路	名古屋工業大学工学研究科	加藤　正史，Nallathambi Anusuya	38
低消費電力アナログ TEG	都城工業高等専門学校電気情報工学科 都城工業高等専門学校専攻科機械電気工学専攻	田中 寿 福丸 元	38
MEMS マイクロロボットの歩行動作の駆動回路に用いるパルス形ハードウェアニューロンモデル	日本大学理工学部	杉田 和貴，内木場 文男，齊藤 健	38

平成２５年度第５回ローム CMOS 0.18um 試作 （RO18135）

題　　名	大　学　名	研　究　者	掲載頁
SPAD アレイの出力回路	東京大学工学系研究科	楊 驍，朱　弘博，名倉　徹，浅田 邦博	39
ストレス印加による閾値電圧変化について初期検討するための単体トランジスタ TEG	東京大学生産技術研究所	Anil Kumar，水谷 朋子，平本 俊郎	39
低電圧動作レベルシフタ	東京大学生産技術研究所	染谷 晃基，更田 裕司，高宮 真，桜井 貴康	39
低電力可逆演算回路	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	井上 孔佑 吉川 信行	40
超高速ローリングシャッターCMOS イメージセンサの実証実験用チップ	東京理科大学工学研究科	大高 俊徳，浜本 隆之	40
低周波数発振可能な CPG モデルの試作	日本大学理工学研究科電子工学専攻 日本大学理工学部	二瓶 乃亮 佐伯 勝敏	40
高集積化のための低周波発振可能な細胞体モデルの試作	日本大学理工学研究科電子工学専攻 日本大学理工学部	奥山 敦司 佐伯 勝敏	41
３状態制御方式電流モード昇圧型 DC-DC コンバータと電力計算回路の試作	中央大学大学院理工学研究科	杉本　泰博，古川　達也，小舘　直人，渡辺 啓，土田 高志，安倍 幹織	41
集積化神経プローブシステム用信号処理回路	東北大学医工学研究科 長崎総合科学大学工学部 東北大学工学研究科	田中 徹 清山 浩司 長沼 秀樹，谷 卓治	41
Time analog to digital converter プロトタイプの試作	横浜国立大学工学府	林 賢志，足立 武彦	42
テキストを音声に合成するシステム （ TTS ）	University of Science Ho Chi Minh CityFaculty of Electronics and Telecommunications 電気通信大学情報理工学研究科	Le Duc Hung，Hoang Trong Thuc，Luu Xuan Vy 範 公可，石橋 孝一郎	42
遅延故障および断線故障テスト用回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院ソシオテクノサイエンス研究部	梅津 翔一，櫻井 浩希，山下 淳，宮本 陽平，西條 慎吾，末永 翔平 四柳 浩之，橋爪 正樹	42
視線検出機能を統合した列並列処理構成 CMOS イメージセンサ	金沢大学理工学域	秋田 純一	43
チューニング機構を搭載した可変 RCPF と確率的フラッシュ AD 変換器の試作	北見工業大学大学院工学研究科	杉本 俊貴，伴内 優貴，吉澤 真吾，谷本 洋	43

アナログ回路用ライブラリおよび素子評価 TEG の試作	高知工科大学システム工学群 高知工科大学大学院基盤工学専攻	橘 昌良，板坂 直哉，山田 健太 坂東 拓弥	43
ΔΣ-Time to Digital Converter	法政大学理工学研究科 法政大学理工学部	嘉藤 貴博 安田 彰	44
偶数段リング発振回路の設計マージン及び特性評価用 TEG	九州工業大学情報工学府	福田 智宏	44
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科	石毛 勇也，藤井 達矢，森谷 雄太，満田 亮	44
Wide Input range CMOS rectifier and Low voltage, low power reference circuits design	Waseda UniversityIPS	LI QIANG, Wang Jing, Yasukaki Inoue	45
電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによる HMDR ROM を利用した AES 暗号回路	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中井 綱人，浅川 俊介 汐崎 充 藤野 毅	45
サイドチャネル攻撃対策 AES と PUF 技術を用いた耐タンパ認証システム向けのセキュア LSI	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中井 綱人，浅川 俊介 汐崎 充 藤野 毅	45
漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用 TEG チップ	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中井 綱人，浅川 俊介 汐崎 充 藤野 毅	46
レーザ照射によるフォールト攻撃の検証用 TEG チップ	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中野 将志，浅川 俊介 汐崎 充 藤野 毅	46
0.18μmCMOS プロセスを用いたパッチクランプ測定システムの改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 川島 拓也，四ツ田 大樹	46
オンチップ太陽電池の開発	東洋大学総合情報学部	堀口 文男	47
オンチップ太陽電池の開発	東洋大学総合情報学部	堀口 文男	47
液中オンチップ微粒子操作用非接触電力伝送集積回路	大阪大学大学院工学研究科	出井 良明，山根 梨江，井上 泰佑，松岡 俊匡	47
ReRAM / NAND フラッシュメモリハイブリッド SSD 向け電源回路	中央大学理工学部 中央大学研究開発機構	石井 智也，竹内 健 上口 光，蜂谷 尚悟	48
ホールセンサアレイ TEG チップ	豊橋技術科学大学電気・電子情報工学系	村上 裕二，井美 椋太	48

平成２６年度第１回ローム CMOS 0.18um 試作 （RO18141）

題　　名	大 学 名	研 究 者	掲載頁
Parallel Nearest-Hamming-Distance Search Circuits based on a Competitive Latching Technique	東京大学大規模集積システム設計教育研究センター	朱 弘博，浅田 邦博	49
CMOS 単一光子アバランシェダイオード	東京大学工学系研究科	楊 驍，朱 弘博，名倉 徹，浅田 邦博	49
High-Precision Probe System for Near-Field Magnetic Measurements on Cryptographic LSIs	東京大学 VDEC	Mai-Khanh Nguyen N.	49
統計処理型コンパレータ，センサ TEG	金沢大学自然科学研究科	真田 圭，藪見 啓輔	50
シリアルインターフェイス，擬似乱数発生回路，スキュー調整回路，フラッシュ ADC の試作	芝浦工業大学理工学研究科 芝浦工業大学工学部	加島 祐大，山崎 浩平，矢崎 裕太郎，石井 雅樹 佐々木 昌浩	50
無線通信回路（ミキサ、振幅ディテクタ、発振器）	東京大学生産技術研究所	井口 俊太，李 承俊，濵松 昌宗，更田 裕司，高宮 真，桜井 貴康	50
標準 CMOS プロセスを用いたオンチップスピーカー	東京大学生産技術研究所	更田 裕司，高宮 真，桜井 貴康	51
単一磁束量子/CMOS ハイブリッドメモリシステム試作	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	佐々木 悠太 吉川 信行	51
ΔΣ変調器および逐次比較 A/D 変換器の基本検討用 TEG	上智大学理工学部	石田 宇一，小原 一馬，山﨑 雄介，和保 孝夫	51
InAs ナノワイヤ/CMOSΔΣ変調器集積化の基本検討用チップ	上智大学理工学部	島本 一成，和保 孝夫	52
メモリネットワークベースアクセラレータ	奈良先端大情報科学研究科	姚 駿，中島 康彦，清水 怜	52
レーザ照射によるフォールト攻撃対策の検証用 TEG チップ	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中野 将志，浅川 俊介 汐崎 充 藤野 毅	52
MDR-ROM を用いたサイドチャネル攻撃対策 AES 兼用 PUF 回路	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	西村 隆志，竹内 章浩，浅川 俊介 汐崎 充 藤野 毅	53
0.18μmCMOS プロセスを用いたパッチクランプ測定システムの改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 川島 拓也，四ツ田 大樹	53
断熱的サブスレッショルド論理回路	岐阜大学大学院工学研究科	加藤 和成，高橋 康宏，関根 敏和	53

パワーインテグリティチップ 1	芝浦工業大学理工学研究科	市村 航	54
パワーインテグリティチップ 2	芝浦工業大学理工学研究科	市村 航	54

平成２６年度第２回ローム CMOS 0.18um 試作 （RO18142）

題　　名	大 学 名	研 究 者	掲載頁
リングオシレータを用いたアンテナダメージ評価回路	京都工芸繊維大学電子システム工学専攻	岸田 亮，大島 梓，小林 和淑	55
動的電化注入による電源共振ノイズ低減回路試作チップ	東京大学工学部	鹿野 真弘	55
ストレス印加によるノイズマージンの影響を調べる SRAMTEG	東京大学生産技術研究所	長尾 光晋，水谷 朋子，小林 正治，平本 俊郎	55
無線通信回路（サンプラー・復調器，コンパレータ，発振器）	東京大学生産技術研究所	李 承俊，濵松 昌宗，更田 裕司，高宮 真，桜井 貴康	56
低電力 40MHz リラクゼーションオシレータ	東京大学生産技術研究所	本田 雅宣，羅 丹，更田 裕司，高宮 真，桜井 貴康	56
環境 RF 発電向け Gate Controlled Diode、整流回路の寄生容量評価 TEG	金沢工業大学工学部電気系	九里 悠太，馬渕 将成，井田 次郎	56
低電力可逆演算回路	横浜国立大学大学院工学府 横浜国立大学理工学部 横浜国立大学大学院工学研究院	井上 孔佑 安井 雄紀 吉川 信行	57
単一磁束量子/CMOS ハイブリッドメモリシステム試作 1	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	佐々木 悠太 吉川 信行	57
単一磁束量子/CMOS ハイブリッドメモリシステム試作 2	横浜国立大学大学院工学府 横浜国立大学大学院工学研究院	佐々木 悠太 吉川 信行	57
方形波発振回路を用いた CPG モデルと高集積細胞体モデルの試作	日本大学理工学研究科電子工学専攻 日本大学理工学部	奥山 敦司，二瓶 乃亮 佐伯 勝敏	58
集積化イメージセンサのノイズ特性評価用 TEG	茨城大学工学部	木村 孝之	58
ダイナミック共通ソース積分器を用いた低消費電力ΔΣ変調器	上智大学理工学部	小原 一馬，和保 孝夫	58
Time analog to digital converter の試作	横浜国立大学工学府	林 賢志，足立 武彦	59
インダクタおよび発振器評価 TEG	呉工業高等専門学校電気情報工学科	外谷 昭洋	59
ジッターシェーパー回路	法政大学理工学研究科 法政大学理工学部	渡邉 裕紀 安田 彰	59
偶数段リング発振回路、スタック型回路構造による中間電位安定性評価回路、及び低消費電力 Ratioless SRAM 回路	九州工業大学情報工学府	福田 智宏，久保 直也，近藤 敬宏	60
赤外線アレイセンサの間欠動作制御と人物検知演算を行うコントローラ	立命館大学理工学研究科 立命館大学理工学部	人見 達郎 藤野 毅	60
人物検知用赤外線アレイセンサ対応低消費電力 AFE 回路	立命館大学理工学研究科 大阪産業大学工学部 立命館大学総合理工研究機構 立命館大学理工学部	上口 翔大，浅川 俊介 熊本 敏夫 汐崎 充 藤野 毅	60
サイドチャネル攻撃評価用 AES 暗号回路	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中井 綱人，堤 大樹，浅川 俊介 汐崎 充 藤野 毅	61
レーザフォールト攻撃におけるメタルシールドの影響検証用 TEG チップ（1）	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中野 将志，浅川 俊介 汐崎 充 藤野 毅	61
0.18μmCMOS プロセスを用いたパッチクランプ測定システムの改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 川島 拓也，四ツ田 大樹	61
低電圧 CMOS オペアンプおよび電流リファレンス回路	埼玉工業大学大学院工学研究科	秦 志剛，吉澤 浩和	62
オンチップ太陽電池の開発	東洋大学総合情報学部	堀口 文男	62
オンチップ太陽電池の開発	東洋大学総合情報学部	堀口 文男	62
磁性微粒子および磁性二次元体の高周波磁気特性伝送線路の試作	東北大学工学研究科	重田 洋二郎，山口　正洋	63
センサ用高分解能ΔΣADC	慶應義塾大学理工学部電子工学科	山田 耕平，石黒 仁揮	63
リングアンプを用いた反転増幅器	慶應義塾大学理工学部電子工学科	勝呂 拓馬，石黒 仁揮	63
容量型センサの CMOS インターフェイス回路	山梨大学大学院教育学研究科	永井 正成，小川 覚美	64
並列処理指向・光再構成型ゲートアレイ	静岡大学工学研究科	藤森 卓巳，渡邊 実	64
エナジーハーベスト電源を想定した ReRAM 書き込み電圧生成回路	中央大学理工学部 中央大学研究開発機構	石井 智也，田中 誠大，竹内 健 蜂谷 尚悟	64
位相同期回路の干渉ノイズ検証用 TEG 改訂版	大阪工業大学大学院工学研究科	清水 真司，森下 宗瑛，肥田 晃一郎，藤居 尚博，吉村 勉	65
パワーインテグリティチップ 4	芝浦工業大学理工学研究科	市村 航	65

パワーインテグリティチップ 3	芝浦工業大学理工学研究科	市村 航	65
パワーインテグリティチップ 5	芝浦工業大学理工学研究科	市村 航	66
パワーインテグリティチップ 6	芝浦工業大学理工学研究科	市村 航	66
エネルギーハーベスティング向け昇圧回路及び非接触給電向け整流器 TEG	信州大学大学院理工学研究科 信州大学工学部	篠原 秀樹 吉田 穣理，宮地 幸祐	66

平成２６年度第３回ローム CMOS 0.18um 試作 （RO18143）

題　　名	大 学 名	研 究 者	掲載頁
学習と認識再構成可能な LVQ ニューラルネットワーク	広島大学工学研究科 広島大学先端物質科学研究科 広島大学 HiSIM 研究センター 広島大学ナノデバイス・バイオ融合研究所	安 豊偉 張 湘イク 陳 蕾 Mattausch Hans Juergen	67
アドレス出力回路付き CMOS SPAD アレイ	東京大学工学系研究科	楊 驍，朱 弘博，名倉 徹，浅田 邦博	67
オンチップ太陽電池と昇圧回路	立命館大学情報理工学部	木村 知也，越智 裕之	67
ストレス印加による閾値電圧変化の物理的原因を調べる単体トランジスタ TEG	東京大学生産技術研究所	長尾 光晋，水谷 朋子，小林 正治，平本 俊郎	68
周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用 AES 暗号回路	名城大学理工学部情報工学科	浅井 稔也，吉川 雅弥	68
周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャネル攻撃評価用 AES 暗号回路	名城大学理工学部情報工学科	浅井 稔也，吉川 雅弥	68
半導体電力分配器	中部大学全学共通教育部	宮本 順一	69
宇宙用 CVSL 回路及び性能比較解析用 CMOS 回路	静岡理工科大学理工学部	中村 文哉，新村 昇平，鈴木 雅人，金子 尚，小幡 秀和，波多野 裕	69
センサ TEG	金沢大学理工研究域 電子情報学系 金沢大学自然科学研究科 電子情報科学専攻 金沢大学理工学域 電子情報学類	北川 章夫，秋田 純一 真田 圭 池田 昇平	69
自動設計可能な確率的並列型 ADC，論理合成可能なコンパレータに関する TEG	金沢大学理工学域電子情報学類	今村 竜	70
ラジカルセンサ、ReRAM、3.3V 仕様の各種回路、以上 3 つに関する TEG	金沢大学理工学域電子情報学類 金沢大学理工研究域電子情報系 金沢大学医薬保健研究域保健学系	蔭田 大貴 北川 章夫 中山 和也	70
In-situ タイミングエラー予測回路の試作	早稲田大学高等研究所 早稲田大学理工学術院	史 又華 戸川 望，柳澤 政生	70
無線通信回路（サンプラー・復調器、コンパレータ、発振器）	東京大学生産技術研究所	濵松 昌宗，李 承俊，井口 俊太，更田 裕司，高宮 真，桜井 貴康	71
低電力可逆演算回路試作２	横浜国立大学大学院工学府 横浜国立大学理工学部 横浜国立大学大学院工学研究院	井上 孔佑 安井 雄紀 吉川 信行	71
単一磁束量子/CMOS ハイブリッドメモリシステム試作３	横浜国立大学大学院工学府 横浜国立大学理工学部 横浜国立大学大学院工学研究院	佐々木 悠太 今野 元 吉川 信行	71
ブロック単位で蓄積パターン制御可能なイメージセンサ	東京理科大学工学研究科	小林 嵩，浜本 隆之	72
個別駆動が可能な複数の撮像面を有するイメージセンサ	東京理科大学工学研究科	箱石 広之，浜本 隆之	72
歩留まり率を考慮した CPG モデルの試作	日本大学理工学研究科電子工学専攻 日本大学理工学部	二瓶 乃亮 佐伯 勝敏	72
高集積化のための低周波数発振可能な細胞体モデルの試作	日本大学理工学研究科電子工学専攻 日本大学理工学部	奥山 敦司 佐伯 勝敏	73
アウトフェーズ変調のための CMOS VCO	大阪大学基礎工学研究科	高橋 勇人，塩見 英久	73
オンチップ A/D 変換器によるデバイス特性変動の測定	京都大学大学院情報学研究科	粟野 皓光，廣本 正之，佐藤 高史	73
溶液バイオケミカルセンシング回路	立命館大学理工学部	宇野 重康	74
Time analog to digital converter の試作	横浜国立大学工学府	林 賢志，足立 武彦	74
ニューロンＣＭＯＳインバータを用いた連想記憶メモリ	東海大学大学院産業工学研究科	藤本 邦昭，原田 裕二郎	74
CMOS Rail-to-Rail オペアンプクロスオーバー歪低減	電気通信大学情報理工学研究科	大澤 衛，範 公可，石橋 孝一郎	75
エネルギーハーベスティング電源向けシュミット・トリガ付き LDO 回路	電気通信大学情報理工学部 電気通信大学情報理工学研究科	高橋 史帆 範 公可，石橋 孝一郎	75
遅延故障テスト容易化回路および IC 間断線テスト用組込み型電流センサ回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院ソシオテクノサイエンス研究部	梅津 翔一，櫻井 浩希，菅 大介，宮本 陽平，濱田 圭吾 四柳 浩之，橋爪 正樹	75
High-resolution and high-speed stochastic ADC system	東京大学 VDEC，D2T	Mai-Khanh Nguyen N.	76

アナログ回路用ライブラリおよび素子評価 TEG の試作-1	高知工科大学システム工学群 高知工科大学大学院基盤工学専攻	橘 昌良，山下 崇仁，庄司 大輝 板坂 直哉，Wannaboon Chatchai	76
アナログ回路用ライブラリおよび素子評価 TEG の試作-2	高知工科大学システム工学群 高知工科大学大学院基盤工学専攻	橘 昌良，庄司 大輝 坂東 拓弥，板坂 直哉，山田 健太	76
各種要素回路の設計	明治大学理工学部 明治大学理工学研究科	和田 和千 鬼頭 良太，國貞 健吾，谷村 直哉，中村 太郎，三村 優	77
片側接地型圧力センサ用 CV 変換回路の設計	富山県立大学工学研究科	久々湊 竜童，和泉 幸司，松田 敏弘，岩田 栄之	77
CMOS LSI チップ内の温度分布の解析	富山県立大学工学部 情報システム工学科	松田 敏弘，岩田 栄之	77
多チャンネル皮質脳波信号計測チップ	大阪大学大学院生命機能研究科 広島大学大学院先端物質科学研究科	鈴木 隆文，安藤 博士 吉田 毅	78
多チャンネル神経スパイク信号計測チップ	大阪大学大学院生命機能研究科 広島大学大学院先端物質科学研究科	鈴木 隆文，安藤 博士 吉田 毅	78
漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用 TEG チップ	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中井 綱人 汐崎 充 藤野 毅	78
サイドチャネル攻撃対策と侵襲攻撃対策を両立する暗号回路	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	竹内 章浩，西村 隆志，浅川 俊介 汐崎 充 藤野 毅	79
0.18μmCMOS プロセスを用いたパッチクランプ測定システムの改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦，高坂 太郎 川島 拓也，四ツ田 大樹	79
低電圧 CMOS オペアンプおよび電流リファレンス回路	埼玉工業大学工学部情報システム学科	高谷 直美，吉澤 浩和	79
超低消費電力心電取得用アナログフロントエンドの試作	兵庫県立大学工学部 兵庫県立大学大学院工学研究科	藤原 潤 松田 貴文，松本 裕貴，前中 一介，藤田 孝之，神田 健介	80
低電源電圧向け微粒子操作用容量変化検出回路	大阪大学大学院工学研究科	山根 梨江，井上 泰佑，松岡 俊匡	80
誤り訂正符号を用いた不揮発メモリの書き込み削減手法によるエンコーダ回路	早稲田大学基幹理工学部	多和田 雅師	80
レジスタ集中型・分散型アーキテクチャ比較のための FSMD 回路	早稲田大学基幹理工学研究科	川村 一志	81
スピニングカレントシステムホールセンサアレイ TEG チップ	豊橋技術科学大学電気・電子情報工学系	村上 裕二，井美 椋太	81

平成２６年度第４回ローム CMOS 0.18um 試作 （RO18144）

題　　名	大 学 名	研 究 者	掲載頁
周波数校正機能付き PWPLL，完全差動型タイムモード積分器	東京大学工学系研究科	都井 敬，矢野 智比古	82
STO 薄膜キャパシタの特性評価回路チップ	東京大学工学部	鹿野 真弘	82
Regeneration-based microwave pulse generator	東京大学 VDEC	Mai-Khanh Nguyen N.	82
アドレス出力回路付き CMOS SPAD アレイ	東京大学工学系研究科	楊 驍，朱 弘博，名倉 徹，浅田 邦博	83
STO 薄膜キャパシタの特性評価回路チップ	東京大学工学部	鹿野 真弘	83
STO 薄膜キャパシタの特性評価回路チップ	東京大学工学部	鹿野 真弘	83
STO 薄膜キャパシタの特性評価回路チップ	東京大学工学部	鹿野 真弘	84
ストレス印加によるノイズマージンの影響を調べる SRAMTEG サイズ再設計	東京大学生産技術研究所	長尾 光晋，水谷 朋子，小林 正治，平本 俊郎	84
生体信号増幅回路および発振回路の試作	山梨大学大学院総合研究部	佐藤 隆英	84
軽量暗号回路（LED)の試作	早稲田大学大学院基幹理工学研究科 早稲田大学高等研究所 早稲田大学理工学術院	後藤 慶太 史 又華 柳澤 政生	85
無線通信回路（サンプラー・復調器，コンパレータ，発振器）	東京大学生産技術研究所	濵松 昌宗，李 承俊，井口 俊太，更田 裕司，高宮 真，桜井 貴康	85
Single-Inductor Multiple-Output DC-DC コンバータ	東京大学生産技術研究所	山内 善高，更田 裕司，高宮 真，桜井 貴康	85
運動立体視 LSI 用 SRAM 回路の試作	東北大学電気通信研究所	秋間 学尚，守谷 哲，佐藤 茂雄	86
圧縮センシングイメージセンサ	京都大学大学院情報学研究科	小西 慧，廣本 正之，佐藤 高史	86
TDC と基本アナログ回路ブロック	神奈川大学電気電子情報工学科	島 健，ニコデムス レディアン，岡部 孝之介，紙田 貴大，永井 達也，原田 幹大	86
C-DCS 積分器を用いた低消費電力ΔΣ変調器	上智大学理工学部	小原 一馬，和保 孝夫	87

トッププレートサンプリングを用いた完全差動逐次比較型 A/D 変換器	上智大学理工学部	山崎 雄介，和保 孝夫	87
High-resolution and high-speed stochastic ADC system	東京大学 VDEC，D2T	Mai-Khanh Nguyen N.	87
Evaluation circuits for high-resolution and high-speed stochastic ADC system	東京大学 VDEC，D2T	Mai-Khanh Nguyen N.	88
リアルタイム音響シミュレーション用 ASIC	北陸先端科学技術大学院大学情報社会基盤研究センター	井口 寧，Tan Yiyu	88
各種フィルタと増幅回路	明治大学理工学部	和田 和千，今井 博之，江川 和穂，柏木 彬，木谷 嘉孝，須藤 千裕，大門 佑	88
低電圧 CMOS アナログ回路の試作	明治大学理工学部 明治大学理工学研究科	網野 賢太，三屋 伸明，山崎 大輝 藤井 達矢	89
ヘテロジニアスマルチコアプロセッサの性能予測用チップ	三重大学大学院工学研究科	佐々木 敬泰，川島 弘晃，武藤 郡，近藤 利夫	89
３次元積層 LSI における発熱温度解析に向けたチップ	芝浦工業大学理工学研究科 芝浦工業大学工学部	和田 達矢 宇佐美 公良	89
Low power and Low voltage analog circuit design and verification	Waseda UniversityIPS waseda UniversityIPS	LI QIANG Wang Jing，Inoue Yasuaki	90
レーザフォールト攻撃におけるメタルシールドの影響検証用 TEG チップ（2）	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中野 将志，浅川 俊介 汐崎 充 藤野 毅	90
サイドチャネル攻撃評価用 AES 暗号回路(1)	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中井 綱人，堤 大樹，浅川 俊介 汐崎 充 藤野 毅	90
サイドチャネル攻撃評価用 AES 暗号回路(2)	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中井 綱人，浅川 俊介 汐崎 充 藤野 毅	91
電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによる HMDR ROM を利用した AES 暗号回路	立命館大学理工学研究科 立命館大学総合理工研究機構 立命館大学理工学部	中井 綱人，浅川 俊介 汐崎 充 藤野 毅	91
マイクロシステム電源回路	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦，南 快優 小野 東輝，渡邊 淳史，折原 大地	91
0.5V 駆動サブスレッショルド DPLL と 0.6V 駆動温度センサ回路	山形大学大学院理工学研究科 山形大学工学部電気電子工学科	渡辺 晃輔，山口 遼，山崎 義人，原田 知親 近野 拓哉	92
超低消費電力心拍取得 ASIC 及びアナログフロントエンドの研究	兵庫県立大学工学部 兵庫県立大学大学院工学研究科	藤原 潤 松田 貴文，松本 裕貴，前中 一介，藤田 孝之，神田 健介	92
光伝送用高速アバランシェ光検出器および光レシーバ	金沢大学理工研究域 金沢大学大学院自然科学研究科	飯山 宏一 刑部 遼一，菱木 拓哉	92
低電圧動作昇圧回路、非接触給電向け整流器、光電流変換 CMOS アナログフロントエンド回路 TEG	信州大学大学院理工学研究科 信州大学工学部	篠原 秀樹 吉田 穣理，小柳 洸介，宮地 幸祐	93

3. 2 チップ種別一覧

MEMS

ラン名	タ イ ト ル	研 究 者	掲載頁
RO18135	テキストを音声に合成するシステム （ TTS ）	Le Duc Hung, Hoang Trong Thuc, Luu Xuan Vy, 範 公可, 石橋 孝一郎	42

TEG(特性評価回路など)

ラン名	タ イ ト ル	研 究 者	掲載頁
OS08132	0.8um CMOSプロセスを用いた高速光検出器の検討	飯山 宏一, 刑部 遼一	35
OS08132	パルス形ハードウェアニューロンモデルの素子測定用TEGチップ	日高 智浩, 内木場 文男, 齊藤 健	36
OS08141	アナログTEG	北川 章夫	37
RO18135	ストレス印加による閾値電圧変化について初期検討するための単体トランジスタTEG	Anil Kumar, 水谷 朋子, 平本 俊郎	39
RO18135	低電圧動作レベルシフタ	染谷 晃基, 更田 裕司, 高宮 真, 桜井 貴康	39
RO18135	遅延故障および断線故障テスト用回路の試作	梅津 翔一, 櫻井 浩希, 山下 淳, 宮本 陽平, 西條 慎吾, 末永 翔平, 四柳 浩之, 橋爪 正樹	42
RO18135	偶数段リング発振回路の設計マージン及び特性評価用TEG	福田 智宏	44
RO18135	漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用TEGチップ	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	46
RO18135	レーザ照射によるフォールト攻撃の検証用TEGチップ	中野 将志, 浅川 俊介, 汐崎 充, 藤野 毅	46
RO18135	オンチップ太陽電池の開発	堀口 文男	47
RO18135	オンチップ太陽電池の開発	堀口 文男	47
RO18141	CMOS単一光子アバランシェダイオード	楊 驍, 朱　弘博, 名倉　徹, 浅田　邦博	49
RO18141	統計処理型コンパレータ，センサTEG	真田 圭, 藪見 啓輔	50
RO18141	無線通信回路（ミキサ、振幅ディテクタ、発振器）	井口 俊太, 李 承俊, 濵松 昌宗, 更田 裕司, 高宮 真, 桜井 貴康	50
RO18141	標準CMOSプロセスを用いたオンチップスピーカー	更田 裕司, 高宮 真, 桜井 貴康	51
RO18141	レーザ照射によるフォールト攻撃対策の検証用TEGチップ	中野 将志, 浅川 俊介, 汐崎 充, 藤野 毅	52
RO18141	MDR-ROMを用いたサイドチャネル攻撃対策AES兼用PUF回路	西村 隆志, 竹内 章浩, 浅川 俊介, 汐崎 充, 藤野 毅	53
RO18142	リングオシレータを用いたアンテナダメージ評価回路	岸田 亮, 大島 梓, 小林 和淑	55
RO18142	ストレス印加によるノイズマージンの影響を調べるSRAMTEG	長尾 光晋, 水谷 朋子, 小林 正治, 平本 俊郎	55
RO18142	低電力40MHzリラクゼーションオシレータ	本田 雅宣, 羅 丹, 更田 裕司, 高宮 真, 桜井 貴康	56
RO18142	環境RF発電向けGate Controlled Diode、整流回路の寄生容量評価TEG	九里 悠太, 馬渕 将成, 井田 次郎	56
RO18142	集積化イメージセンサのノイズ特性評価用TEG	木村 孝之	58
RO18142	レーザフォールト攻撃におけるメタルシールドの影響検証用TEGチップ（1）	中野 将志, 浅川 俊介, 汐崎 充, 藤野 毅	61
RO18142	オンチップ太陽電池の開発	堀口 文男	62
RO18142	オンチップ太陽電池の開発	堀口 文男	62
RO18142	位相同期回路の干渉ノイズ検証用TEG改訂版	清水 真司, 森下 宗瑛, 肥田 晃一郎, 藤居 尚博, 吉村 勉	65
RO18142	エネルギーハーベスティング向け昇圧回路及び非接触給電向け整流器TEG	篠原 秀樹, 吉田 穣理, 宮地 幸祐	66
RO18143	ストレス印加による閾値電圧変化の物理的原因を調べる単体トランジスタTEG	長尾 光晋, 水谷 朋子, 小林 正治, 平本 俊郎	68
RO18143	宇宙用CVSL回路及び性能比較解析用CMOS回路	中村 文哉, 新村 昇平, 鈴木 雅人, 金子 尚, 小幡 秀和, 波多野 裕	69
RO18143	センサTEG	北川 章夫, 秋田 純一, 真田 圭, 池田 昇平	69
RO18143	自動設計可能な確率的並列型ADC，論理合成可能なコンパレータに関するTEG	今村 竜	70
RO18143	ラジカルセンサ、ReRAM、3.3V仕様の各種回路、以上3つに関するTEG	蔭田 大貴, 北川 章夫, 中山 和也	70
RO18143	In-situ タイミングエラー予測回路の試作	史 又華, 戸川 望, 柳澤 政生	70
RO18143	オンチップA/D変換器によるデバイス特性変動の測定	粟野 皓光, 廣本 正之, 佐藤 高史	73
RO18143	CMOS Rail-to-Rail オペアンプクロスオーバー歪低減	大澤 衛, 範 公可, 石橋 孝一郎	75
RO18143	エネルギーハーベスティング電源向けシュミット・トリガ付きLDO回路	高橋 史帆, 範 公可, 石橋 孝一郎	75
RO18143	遅延故障テスト容易化回路およびIC間断線テスト用組込み型電流センサ回路の試作	梅津 翔一, 櫻井 浩希, 菅 大介, 宮本 陽平, 濱田 圭吾, 四柳 浩之, 橋爪 正樹	75

RO18143	CMOS LSIチップ内の温度分布の解析	松田 敏弘, 岩田 栄之	77
RO18143	漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用TEGチップ	中井 綱人, 汐崎 充, 藤野 毅	78
RO18143	サイドチャネル攻撃対策と侵襲攻撃対策を両立する暗号回路	竹内 章浩, 西村 隆志, 浅川 俊介, 汐崎 充, 藤野 毅	79
RO18144	STO薄膜キャパシタの特性評価回路チップ	鹿野 真弘	82
RO18144	STO薄膜キャパシタの特性評価回路チップ	鹿野 真弘	83
RO18144	STO薄膜キャパシタの特性評価回路チップ	鹿野 真弘	83
RO18144	STO薄膜キャパシタの特性評価回路チップ	鹿野 真弘	84
RO18144	ストレス印加によるノイズマージンの影響を調べるSRAMTEG サイズ再設計	長尾 光晋, 水谷 朋子, 小林 正治, 平本 俊郎	84
RO18144	３次元積層LSIにおける発熱温度解析に向けたチップ	和田 達矢, 宇佐美 公良	89
RO18144	レーザフォールト攻撃におけるメタルシールドの影響検証用TEGチップ（2）	中野 将志, 浅川 俊介, 汐崎 充, 藤野 毅	90
RO18144	光伝送用高速アバランシェ光検出器および光レシーバ	飯山 宏一, 刑部 遼一, 菱木 拓哉	92
RO18144	低電圧動作昇圧回路、非接触給電向け整流器、光電流変換CMOSアナログフロントエンド回路TEG	篠原 秀樹, 吉田 穣理, 小柳 洸介, 宮地 幸祐	93

アナデジ混載

ラン名	タ イ ト ル	研 究 者	掲載頁
RO18135	集積化神経プローブシステム用信号処理回路	田中 徹, 清山 浩司, 長沼 秀樹, 谷 卓治	41
RO18135	サイドチャネル攻撃対策AESとPUF技術を用いた耐タンパ認証システム向けのセキュアLSI	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	45
RO18135	ホールセンサアレイTEGチップ	村上 裕二, 井美 椋太	48
RO18141	Parallel Nearest-Hamming-Distance Search Circuits based on a Competitive Latching Technique	朱 弘博 , 浅田 邦博	49
RO18141	シリアルインターフェイス，擬似乱数発生回路，スキュー調整回路，フラッシュADCの試作	加島 祐大, 山崎 浩平, 矢崎 裕太郎, 石井 雅樹, 佐々木 昌浩	50
RO18143	半導体電力分配器	宮本 順一	69
RO18143	片側接地型圧力センサ用CV変換回路の設計	久々湊 竜童, 和泉 幸司, 松田 敏弘, 岩田 栄之	77
RO18143	多チャンネル皮質脳波信号計測チップ	鈴木 隆文, 安藤 博士, 吉田 毅	78
RO18143	多チャンネル神経スパイク信号計測チップ	鈴木 隆文, 安藤 博士, 吉田 毅	78
RO18143	スピニングカレントシステムホールセンサアレイTEGチップ	村上 裕二, 井美 椋太	81

アナログ/デジタル信号処理プロセッサ

ラン名	タ イ ト ル	研 究 者	掲載頁
RO18135	低電圧CMOSアナログ回路の試作	石毛 勇也, 藤井 達矢, 森谷 雄太, 満田 亮	44
RO18141	High-Precision Probe System for Near-Field Magnetic Measurements on Cryptographic LSIs	Mai-Khanh Nguyen N.	49
RO18141	パワーインテグリティチップ1	市村 航	54
RO18141	パワーインテグリティチップ2	市村 航	54
RO18142	赤外線アレイセンサの間欠動作制御と人物検知演算を行うコントローラ	人見 達郎, 藤野 毅	60
RO18142	パワーインテグリティチップ4	市村 航	65
RO18142	パワーインテグリティチップ3	市村 航	65
RO18142	パワーインテグリティチップ5	市村 航	66
RO18142	パワーインテグリティチップ6	市村 航	66
RO18143	High-resolution and high-speed stochastic ADC system	Mai-Khanh Nguyen N.	76
RO18143	超低消費電力心電取得用アナログフロントエンドの試作	藤原 潤, 松田 貴文, 松本 裕貴, 前中 一介, 藤田 孝之, 神田 健介	80
RO18144	Regeneration-based microwave pulse generator	Mai-Khanh Nguyen N.	82
RO18144	TDCと基本アナログ回路ブロック	島 健, ニコデムス レディアン, 岡部 孝之介, 紙田 貴大, 永井 達也, 原田 幹大	86
RO18144	High-resolution and high-speed stochastic ADC system	Mai-Khanh Nguyen N.	87
RO18144	Evaluation circuits for high-resolution and high-speed stochastic ADC system	Mai-Khanh Nguyen N.	88
RO18144	リアルタイム音響シミュレーション用ASIC	井口 寧, Tan Yiyu	88

RO18144	低電圧CMOSアナログ回路の試作	網野 賢太, 三屋 伸明, 山崎 大輝, 藤井 達矢	89
RO18144	超低消費電力心拍取得ASIC及びアナログフロントエンドの研究	藤原 潤, 松田 貴文, 松本 裕貴, 前中 一介, 藤田 孝之, 神田 健介	92

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タ イ ト ル	研 究 者	掲載頁
OS08132	ニューロンCMOSインバータを用いたＡＤ変換回路	藤本 邦昭, 原田 裕二郎	35
OS08132	PLL信号追跡に基づく検波機構の試作	本谷 進二, 塩見 英久	35
OS08141	シュミットトリガ回路を用いた電圧制御発振器	藤本 邦昭, 原田 裕二郎	37
OS08141	アクティブノイズコントロール用アナログ回路	加藤 正史, 山中 星良	37
OS08141	ハウリング低減用アナログ回路	加藤 正史, Nallathambi Anusuya	38
RO18135	低周波数発振可能なCPGモデルの試作	二瓶 乃亮, 佐伯 勝敏	40
RO18135	高集積化のための低周波発振可能な細胞体モデルの試作	奥山 敦司, 佐伯 勝敏	41
RO18135	３状態制御方式電流モード昇圧型DC-DCコンバータと電力計算回路の試作	杉本 泰博, 古川 達也, 小舘 直人, 渡辺 啓, 土田 高志, 安倍 幹織	41
RO18135	Time analog to digital converter プロトタイプの試作	林 賢志, 足立 武彦	42
RO18135	チューニング機構を搭載した可変RCPFと確率的フラッシュAD変換器の試作	杉本 俊貴, 伴内 優貴, 吉澤 真吾, 谷本 洋	43
RO18135	アナログ回路用ライブラリおよび素子評価TEGの試作	橘 昌良, 板坂 直哉, 山田 健太, 坂東 拓弥	43
RO18135	ΔΣ-Time to Digital Converter	嘉藤 貴博, 安田 彰	44
RO18135	Wide Input range CMOS rectifier and Low voltage, low power reference circuits design	LI QIANG, Wang Jing, Yasukaki Inoue	45
RO18135	0.18μmCMOSプロセスを用いたパッチクランプ測定システムの改良	中野 誠彦, 川島 拓也, 四ツ田 大樹	46
RO18135	ReRAM / NANDフラッシュメモリハイブリッドSSD向け電源回路	石井 智也, 竹内 健, 上口 光, 蜂谷 尚悟	48
RO18141	ΔΣ変調器および逐次比較A/D変換器の基本検討用TEG	石田 宇一, 小原 一馬, 山﨑 雄介, 和保 孝夫	51
RO18141	InAsナノワイヤ/CMOSΔΣ変調器集積化の基本検討用チップ	島本 一成, 和保 孝夫	52
RO18141	0.18μmCMOSプロセスを用いたパッチクランプ測定システムの改良	中野 誠彦, 川島 拓也, 四ツ田 大樹	53
RO18142	動的電化注入による電源共振ノイズ低減回路試作チップ	鹿野 真弘	55
RO18142	方形波発振回路を用いたCPGモデルと高集積細胞体モデルの試作	奥山 敦司, 二瓶 乃亮, 佐伯 勝敏	58
RO18142	ダイナミック共通ソース積分器を用いた低消費電力ΔΣ変調器	小原 一馬, 和保 孝夫	58
RO18142	Time analog to digital converter の試作	林 賢志, 足立 武彦	59
RO18142	インダクタおよび発振器評価TEG	外谷 昭洋	59
RO18142	ジッターシェーパー回路	渡邉 裕紀, 安田 彰	59
RO18142	人物検知用赤外線アレイセンサ対応低消費電力AFE回路	上口 翔大, 浅川 俊介, 熊本 敏夫, 汐崎 充, 藤野 毅	60
RO18142	0.18μmCMOSプロセスを用いたパッチクランプ測定システムの改良	中野 誠彦, 川島 拓也, 四ツ田 大樹	61
RO18142	低電圧CMOSオペアンプおよび電流リファレンス回路	秦 志剛, 吉澤 浩和	62
RO18142	センサ用高分解能ΔΣADC	山田 耕平, 石黒 仁揮	63
RO18142	リングアンプを用いた反転増幅器	勝呂 拓馬, 石黒 仁揮	63
RO18142	容量型センサのCMOSインターフェイス回路	永井 正成, 小川 覚美	64
RO18142	エナジーハーベスト電源を想定したReRAM書き込み電圧生成回路	石井 智也, 田中 誠大, 竹内 健, 蜂谷 尚悟	64
RO18143	オンチップ太陽電池と昇圧回路	木村 知也, 越智 裕之	67
RO18143	歩留まり率を考慮したCPGモデルの試作	二瓶 乃亮, 佐伯 勝敏	72
RO18143	高集積化のための低周波数発振可能な細胞体モデルの試作	奥山 敦司, 佐伯 勝敏	73
RO18143	アウトフェーズ変調のためのCMOS VCO	高橋 勇人, 塩見 英久	73
RO18143	Time analog to digital converter の試作	林 賢志, 足立 武彦	74
RO18143	アナログ回路用ライブラリおよび素子評価TEGの試作-1	橘 昌良, 山下 崇仁, 庄司 大輝, 板坂 直哉, Wannaboon Chatchai	76
RO18143	アナログ回路用ライブラリおよび素子評価TEGの試作-2	橘 昌良, 庄司 大輝, 坂東 拓弥, 板坂 直哉, 山田 健太	76
RO18143	0.18μmCMOSプロセスを用いたパッチクランプ測定システムの改良	中野 誠彦, 高坂 太郎, 川島 拓也, 四ツ田 大樹	79
RO18143	低電圧CMOSオペアンプおよび電流リファレンス回路	高谷 直美, 吉澤 浩和	79
RO18144	周波数校正機能付きPWPLL, 完全差動型タイムモード積分器	都井 敬, 矢野 智比古	82
RO18144	生体信号増幅回路および発振回路の試作	佐藤 隆英	84
RO18144	Single-Inductor Multiple-Output DC-DCコンバータ	山内 善高, 更田 裕司, 高宮 真, 桜井 貴康	85

RO18144	C-DCS積分器を用いた低消費電力ΔΣ変調器	小原 一馬, 和保 孝夫	87
RO18144	トッププレートサンプリングを用いた完全差動逐次比較型A/D変換器	山﨑 雄介, 和保 孝夫	87
RO18144	Low power and Low voltage analog circuit design and verification	LI QIANG, Wang Jing, Inoue Yasuaki	90
RO18144	マイクロシステム電源回路	中野 誠彦, 南 快優, 小野 東輝, 渡邊 淳史, 折原 大地	91
RO18144	0.5V駆動サブスレッショルドDPLLと0.6V駆動温度センサ回路	渡辺 晃輔, 山口 遼, 山崎 義人, 原田 知親, 近野 拓哉	92

イメージセンサ/スマートセンサ

ラン名	タ イ ト ル	研 究 者	掲載頁
RO18135	SPADアレイの出力回路	楊 驍, 朱 弘博, 名倉 徹, 浅田 邦博	39
RO18135	超高速ローリングシャッターCMOSイメージセンサの実証実験用チップ	大高 俊徳, 浜本 隆之	40
RO18135	視線検出機能を統合した列並列処理構成CMOSイメージセンサ	秋田 純一	43
RO18135	液中オンチップ微粒子操作用非接触電力伝送集積回路	出井 良明, 山根 梨江, 井上 泰佑, 松岡 俊匡	47
RO18143	アドレス出力回路付きCMOS SPADアレイ	楊 驍, 朱 弘博, 名倉 徹, 浅田 邦博	67
RO18143	ブロック単位で蓄積パターン制御可能なイメージセンサ	小林 嵩, 浜本 隆之	72
RO18143	個別駆動が可能な複数の撮像面を有するイメージセンサ	箱石 広之, 浜本 隆之	72
RO18143	溶液バイオケミカルセンシング回路	宇野 重康	74
RO18143	低電源電圧向け微粒子操作用容量変化検出回路	山根 梨江, 井上 泰佑, 松岡 俊匡	80
RO18144	アドレス出力回路付きCMOS SPADアレイ	楊 驍, 朱 弘博, 名倉 徹, 浅田 邦博	83
RO18144	圧縮センシングイメージセンサ	小西 慧, 廣本 正之, 佐藤 高史	86

ニューテクノロジ

ラン名	タ イ ト ル	研 究 者	掲載頁
RO18142	並列処理指向・光再構成型ゲートアレイ	藤森 卓巳, 渡邊 実	64

マイクロプロセッサ

ラン名	タ イ ト ル	研 究 者	掲載頁
RO18141	メモリネットワークベースアクセラレータ	姚 駿, 中島 康彦, 清水 怜	52
RO18142	磁性微粒子および磁性二次元体の高周波磁気特性伝送線路の試作	重田 洋二郎, 山口 正洋	63
RO18143	学習と認識再構成可能なLVQニューラルネットワーク	安 豊偉, 張 湘イク, 陳 蕾, Mattausch Hans Juergen	67
RO18144	ヘテロジニアスマルチコアプロセッサの性能予測用チップ	佐々木 敬泰, 川島 弘晃, 武藤 郡, 近藤 利夫	89

メモリ

ラン名	タ イ ト ル	研 究 者	掲載頁
RO18141	単一磁束量子/CMOSハイブリッドメモリシステム試作	佐々木 悠太, 吉川 信行	51
RO18142	単一磁束量子/CMOSハイブリッドメモリシステム試作1	佐々木 悠太, 吉川 信行	57
RO18142	単一磁束量子/CMOSハイブリッドメモリシステム試作2	佐々木 悠太, 吉川 信行	57
RO18142	偶数段リング発振回路、スタック型回路構造による中間電位安定性評価回路、及び低消費電力Ratioless SRAM回路	福田 智宏, 久保 直也, 近藤 敬宏	60
RO18143	単一磁束量子/CMOSハイブリッドメモリシステム試作3	佐々木 悠太, 今野 元, 吉川 信行	71
RO18143	ニューロンＣＭＯＳインバータを用いた連想記憶メモリ	藤本 邦昭, 原田 裕二郎	74
RO18144	運動立体視LSI用SRAM回路の試作	秋間 学尚, 守谷 哲, 佐藤 茂雄	86

演算回路(乗算器，除算器など)

ラン名	タ イ ト ル	研 究 者	掲載頁
OS08141	低消費電力アナログTEG	田中 寿, 福丸 元	38
RO18135	電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによるHMDR ROMを利用したAES暗号回路	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	45
RO18141	断熱的サブスレッショルド論理回路	加藤 和成, 高橋 康宏, 関根 敏和	53
RO18142	サイドチャネル攻撃評価用AES暗号回路	中井 綱人, 堤 大樹, 浅川 俊介, 汐崎 充, 藤野 毅	61
RO18143	周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用AES暗号回路	浅井 稔也, 吉川 雅弥	68

RO18143	周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャネル攻撃評価用AES暗号回路	浅井 稔也, 吉川 雅弥	68
RO18143	誤り訂正符号を用いた不揮発メモリの書き込み削減手法によるエンコーダ回路	多和田 雅師	80
RO18143	レジスタ集中型・分散型アーキテクチャ比較のためのFSMD回路	川村 一志	81
RO18144	軽量暗号回路（LED)の試作	後藤 慶太, 史 又華, 柳澤 政生	85
RO18144	サイドチャネル攻撃評価用AES暗号回路(1)	中井 綱人, 堤 大樹, 浅川 俊介, 汐崎 充, 藤野 毅	90
RO18144	サイドチャネル攻撃評価用AES暗号回路(2)	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	91
RO18144	電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによるHMDR ROMを利用したAES暗号回路	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	91

通信(RF回路，ATMなど)

ラン名	タ イ ト ル	研 究 者	掲載頁
RO18142	無線通信回路（サンプラー・復調器, コンパレータ, 発振器）	李 承俊, 濵松 昌宗, 更田 裕司, 高宮 真, 桜井 貴康	56
RO18143	無線通信回路（サンプラー・復調器、コンパレータ、発振器）	濵松 昌宗, 李 承俊, 井口 俊太, 更田 裕司, 高宮 真, 桜井 貴康	71
RO18144	無線通信回路（サンプラー・復調器, コンパレータ, 発振器）	濵松 昌宗, 李 承俊, 井口 俊太, 更田 裕司, 高宮 真, 桜井 貴康	85

その他

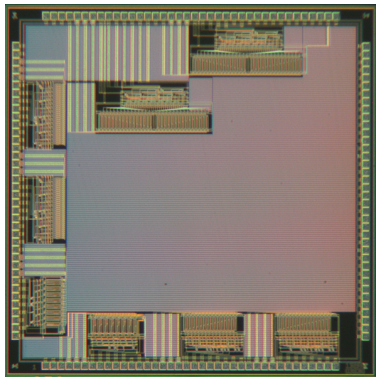
ラン名	タ イ ト ル	研 究 者	掲載頁
OS08132	MEMSマイクロロボットの歩行動作を生成するパルス形ハードウェアニューロンモデル	日高 智浩, 内木場 文男, 齊藤 健	36
OS08141	MEMSマイクロロボットの歩行動作の駆動回路に用いるパルス形ハードウェアニューロンモデル	杉田 和貴, 内木場 文男, 齊藤 健	38
RO18135	低電力可逆演算回路	井上 孔佑, 吉川 信行	40
RO18142	低電力可逆演算回路	井上 孔佑, 安井 雄紀, 吉川 信行	57
RO18143	低電力可逆演算回路試作２	井上 孔佑, 安井 雄紀, 吉川 信行	71
RO18143	各種要素回路の設計	和田 和千, 鬼頭 良太, 國貞 健吾, 谷村 直哉, 中村 太郎, 三村 優	77
RO18144	各種フィルタと増幅回路	和田 和千, 今井 博之, 江川 和穂, 柏木 彬, 木谷 嘉孝, 須藤 千裕, 大門 佑	88

3. 3　各チップの詳細

平成25年度第2回オンセミコンダクター―三洋 CMOS 0.8um 試作（OS08132）

ニューロンCMOSインバータを用いたＡＤ変換回路

東海大学大学院産業工学研究科　　藤本 邦昭，原田 裕二郎

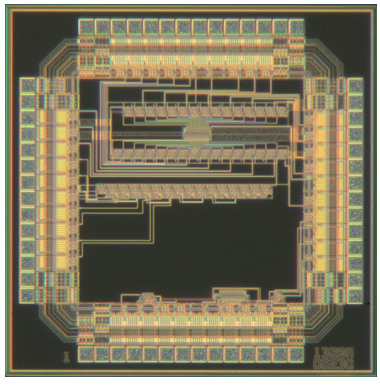


概要：ＡＤ変換回路の消費電力は，ディジタル機器の消費電力の大きな部分を占めており，その低減が望まれている．しかし，現在使用されているＡＤ変換回路の大半はオペアンプやアナログコンパレータを使用しているため消費電力の低減は困難である．そこで，オペアンプやコンパレータに比べて消費電力の少ないニューロンＣＭＯＳインバータを用いた3種類のAD変換回路（基準電圧生成回路が不要なフラッシュ型，基準電圧生成回路を必要とするフラッシュ型，回路規模を約半分に縮小した基準電圧生成回路が不要なフラッシュ型）を提案している．今回の試作では，その性能を，実チップを用いた実験により確認するつもりであったが，全く動作しなかった．チップに配置したレイアウトから抽出したネットリストを用いたシミュレーションでは動作しており，レイアウトとネットリストも対応しており，動作しなかった理由は現時点で不明である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Diva，Synopsys社 HSPICE（RF）　**トランジスタ数**：10,000～100,000　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 5.0mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

PLL信号追跡に基づく検波機構の試作

大阪大学基礎工学研究科　　本谷 進二，塩見 英久

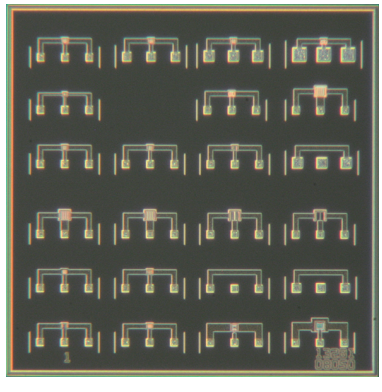


概要：狭帯域信号の位相と振幅を検出するための新しい機構を検討するために試作を行った．電源電圧の低下に伴うアナログ回路性能の劣化を補う機構として，PLLの制御パルスを観測することに着目した．入力信号と一致するようにPLL発振器の出力を制御すると，PLLの制御パルスは入力信号の位相情報を反映したものとなる．ここから，AD変換を伴わずに位相を検出できると期待した．また，二台のPLL出力を制御して入力信号を追跡すると，ふたつのPLLの制御信号は入力信号の位相と振幅の情報が反映されたものとなる．これらの仕組みを活用することで，制御パルスの時間幅に，入力信号の位相及び振幅情報を反映させることができ，デジタル無線機に適した構成とできると期待した．現在は評価の準備を進めており，所望の信号を補足できるかどうか確認する予定である．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：10～100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

0.8um CMOSプロセスを用いた高速光検出器の検討

金沢大学理工研究域　　飯山 宏一
金沢大学大学院自然科学研究科　　刑部 遼一

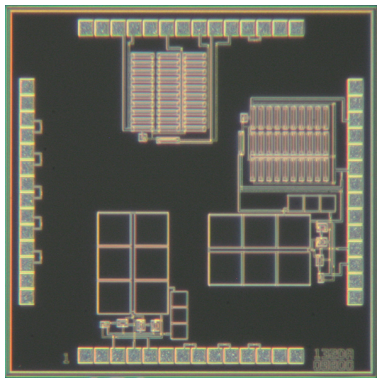


概要：CMOSプロセスで光検出器を作製することは，集積回路との集積化による低コスト化・高信頼化や集積回路上の伝送速度の高速化の観点からも重要である．当研究室ではこれまでにローム社0.18um CMOSプロセスを利用した高速光検出器を設計・実証してきたが，このチップではより安価なプロセスであるオンセミ三洋社の0.8um CMOSプロセスを利用して高速光検出器を設計・試作した．櫛形電極構造を持つ横型PIN構造とし，電極間隔1um，受光面積20x20 um2，高周波測定のためのパッド面積40x40 um2の光検出器を設計・試作し，暗電流10 pA，降伏電圧17 Vを得た．受光特性は波長850nm帯で評価し，零バイアスでの感度0.01 A/W，アバランシェ利得147倍，最大帯域4.2 GHzを得た．なお，チップ設計に当たりAl（dg）レイヤーの取り扱いが不明であったが，All（dg）レイヤーが受光部も覆っている素子のみ動作し，覆っていない素子は短絡状態であった．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso　**トランジスタ数**：10～100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

MEMS マイクロロボットの歩行動作を生成するパルス形ハードウェアニューロンモデル

日本大学理工学部　　日高 智浩，内木場 文男，齊藤 健

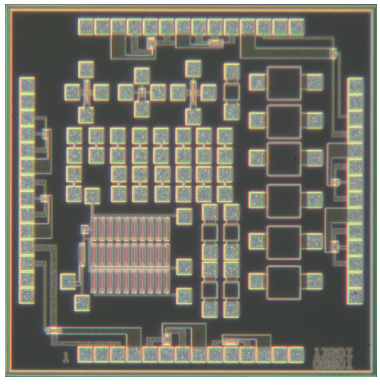


概要：マイクロロボットは医療分野における体内での医療補助などの分野での活躍が期待されている．従来の制御方法であるプログラム制御では，不測の事態への対応が困難である．そこで，新たな制御方法の第一歩として，マイクロロボットを駆動するパルス波形を出力する細胞体モデルの試作を行った．OS0812 の試作では，設計した細胞体モデルからパルス波形が得られなかった．以前の試作ではサブストレートが MOSFET 全体を囲っていなかったため，本試作ではサブストレートで全体を囲った MOSFET を設計し，細胞体モデルを構成した．試作したチップでは，細胞体モデルおよび 30 段のカレントミラーを設計した．細胞体モデルはパルス波形を出力する発振器であり，生体のニューロンと同様に不応期，閾値などの特徴を持つ．測定した結果，細胞体モデルからパルス波形を確認することができず，サブストレートが発振を得られない原因ではなかった．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Dracula，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10～100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm 角チップ　**チップ種別**：その他

パルス形ハードウェアニューロンモデルの素子測定用 TEG チップ

日本大学理工学部　　日高 智浩，内木場 文男，齊藤 健



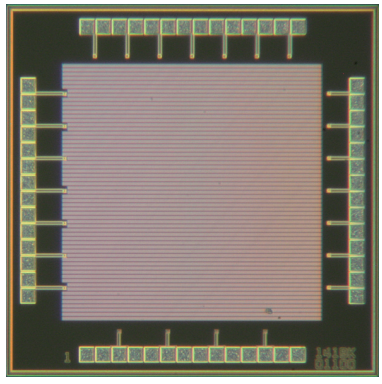
概要：我々は，MEMS マイクロロボットの新たな制御方法として，従来のプログラムによる制御とは異なる，生物の脳を模倣したパルス形ハードウェアニューロンモデルを用いた制御について研究を行っている．試作したチップでは，MEMS マイクロロボットの歩行動作を制御するためのパルス波形を出力する，細胞体モデルを構成する素子の特性測定用 TEG チップの試作を行った．OS0812 の試作では，サブストレートが MOSFET 全体を囲っていなかったため，本試作ではサブストレートで全体を囲った MOSFET を設計し，細胞体モデルを構成した．細胞体モデルは，出力するパルス波形の特性が抵抗やコンデンサの値により敏感に変化するため，素子ごとの特性を測定する必要がある．試作したチップでは，抵抗（27Ω，50Ω，70Ω，130Ω，240Ω），コンデンサ（1pF，5pF，25pF），n 型 MOSFET（W/L=0.3，8.3，10，50），p 型 MOSFET（W/L=0.1，0.12，4，8.3，10，100）を設計した．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Dracula，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10～100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

平成26年度第1回オンセミコンダクター―三洋 CMOS 0.8um 試作（OS08141）

アナログ TEG

金沢大学理工研究域　　北川 章夫

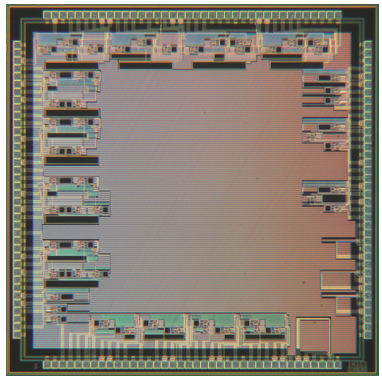


概要：スペクトラムセンサおよび簡易イメージセンサに使用することを目的として，可視光領域の分光感度特性を調べるためのフォトダイオード TEG を作成した．この TEG により，5um～50um の各種サイズと Substrate，Well，S/D の各種接合の特性比較を行うことができる．また，エナジーハベスティング電源回路の基準電圧を生成することを目的として，DC 特性を調べるための pnp バイポーラトランジスタ TEG を作成した．この TEG により，5um～50um 角の各種サイズにおける特性を比較することができる．想定する発電素子は，磁歪型振動発電デバイスであり，低電圧，高電流出力が特長である．このため，電圧ロスを最小限に抑えた整流回路，過電圧保護回路，最大電力点追従回路，および低電圧入力で動作する DC-DC コンバータが必要となる．本試作デバイスの測定結果に基づき独自の高効率整流回路と精密な最大電力点追従回路を開発する．

設計期間：0.1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Cadence 社 Dracula　**トランジスタ数**：～10　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

シュミットトリガ回路を用いた電圧制御発振器

東海大学大学院産業工学研究科　　藤本 邦昭，原田 裕二郎

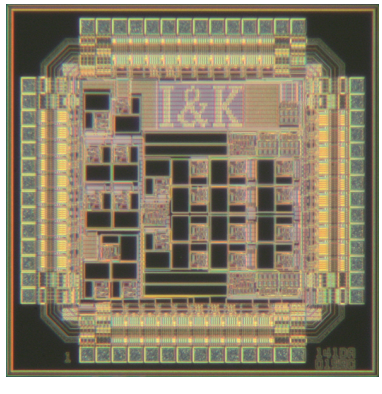


概要：オペアンプを用いたシュミットトリガ回路とオペアンプを用いたミラー積分回路を組み合わせる事で，電圧制御発振器を構成できる事が知られている．しかし，この回路は発振周波数が高くなるとシュミットトリガ回路の遅延のために理論値と実験値が一致しなくなる．そこで，シュミットトリガ回路をオペアンプではなくＣＭＯＳインバータを用いて構成し，発振周波数が高い場合にも，入力電圧に比例した発振出力が得られる電圧制御発振器を提案した．また，ＣＭＯＳインバータを用いたシュミットトリガ回路は，オペアンプを用いたシュミットトリガ回路と違い閾電圧を持ち，このため出力信号に直流分が発生するが，これをキャンセルする回路も同時に提案している．本試作は，これらの回路の有効性を確認するために行ったものである．なお，本回路は昨年度試作において，入力バッファ回路の接続を間違えて動作させることができなかったため再度試作を行ったものである．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Dracula，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10,000～100,000　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 5.0mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

アクティブノイズコントロール用アナログ回路

名古屋工業大学工学研究科　　加藤 正史，山中 星良

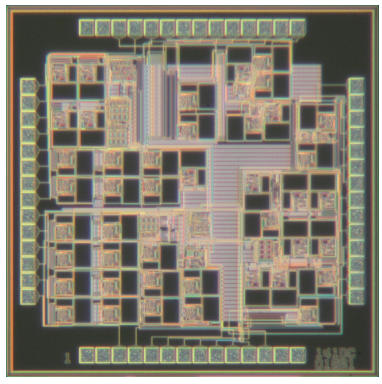


概要：騒音に対して逆位相の音を重ね合わせて騒音除去を行う技術としてアクティブノイズコントロール（ANC）がある．現在，ダクト内騒音のような一次元音場に対してディジタル回路にて実用化されているが，ディジタル ANC 回路では信号処理の速度が遅いことが問題となっている．本研究室では高速動作可能なアナログ回路にて ANC 回路を作製し問題解決を図る．アナログ ANC 回路はニューラルネットワークを基に 2 入力 ANC 回路を提案しており，乗算器，積分器，加算器で構成されている．また，性能向上のためオールパスフィルタを挿入している．これらの回路は全て差動信号で構成されているため，差動信号発生器や差動信号合成器も利用している．本試作チップには大容量の抵抗，コンデンサを外付けとしたアナログ 2 入力 ANC 回路がレイアウトされている．また，各回路の動作確認が行なえるよう，オペアンプ，差動オペアンプ，乗算器，加算器，差動信号発生器，差動信号合成器が個別にレイアウトされている．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Dracula　**トランジスタ数**：100～1,000　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

ハウリング低減用アナログ回路

名古屋工業大学工学研究科　　加藤 正史, Nallathambi Anusuya

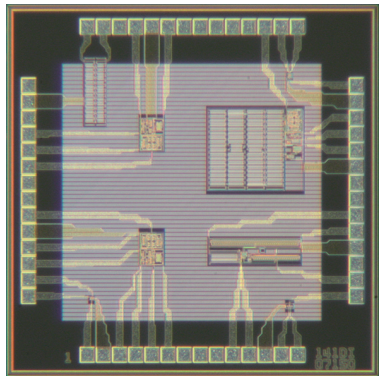


概要：音響システムに生じるノイズのうちの1つがハウリングであり，これを防ぐためにアナログ回路用いたハウリング低減回路を設計された．ハウリングを低減するには振幅を制御するアナログANC回路だけでは不十分であり，周波数制御が可能な回路である位相同期回路（PLL）も併せて用いた．PLLによりハウリングと同じ周波数の信号を発生し，90°遅延回路を用いて位相調整し，アナログANC回路により振幅を揃えてハウリング信号に加算することでハウリングの低減を図る．上述の三つの回路だけで構成された回路に以下の二つの問題がある：PLLのロックされていない状態での任意の周波数の出力とPLLがハーモ二クス周波数にロックする状態．これらの問題を防ぐため微分スイッチと擬似ロック回避回路の二つの制御回路も含めて構成された．本チップにコンデンサ外付けにしたPLL，アナログノイズコントロラ，遅延回路，微分スイッチ及び擬似ロック回避回路をレイアウトされている．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Verilog-XL，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Dracula　**トランジスタ数**：100〜1,000　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

低消費電力アナログTEG

都城工業高等専門学校電気情報工学科　　田中 寿
都城工業高等専門学校専攻科機械電気工学専攻　　福丸 元



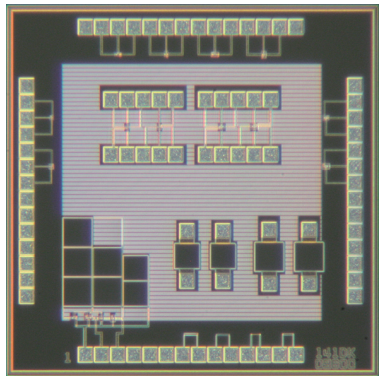
概要：本試作では，MOSFETの線形領域を用いた可変抵抗回路を試作した．本試作回路の特徴として，バイアス回路を構成しているMOSFETが強反転領域あるいは弱反転領域での動作が可能であるため，低消費電力動作が可能であることが挙げられる．このバイアス回路は，差動対とレベルシフト回路を用いて構成しているため，レイアウトにおいてトランジスタのマッチングが重要となった．特性評価において，DC特性を簡易的に行った．その結果，シミュレーションで得られた結果と同じ傾向が得られていることが分かったが，抵抗値にばらつきがあったことから，さらなる改善が必要である．なお，オンセミ－三洋CMOS 0.8um プロセスでは初めての試作であったため，本試作チップには，MOSFET単体とCMOSオペアンプも搭載している．

参考文献：福丸，田中，"MOSFETの線形領域を用いた可変抵抗回路の一設計"，信学会九州支部 第22回学生会講演会講演論文集，A-10，2014年9月．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Dracula，Synopsys社 HSPICE（RF）　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：演算回路（乗算器，除算器など）

MEMSマイクロロボットの歩行動作の駆動回路に用いるパルス形ハードウェアニューロンモデル

日本大学理工学部　　杉田 和貴, 内木場 文男, 齊藤 健



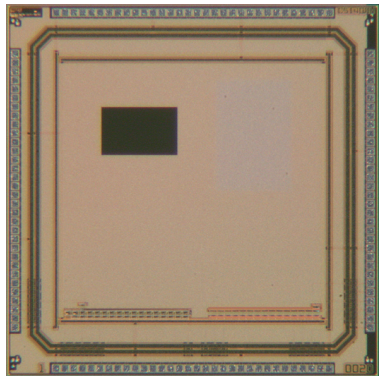
概要：現在，生物の優れた能力を模倣し，その機能を実現するために多くの研究が行われている．我々は，MEMSマイクロロボットの新たな制御方法として，従来のプログラムとは異なる，生物の脳を模倣したパルス形ハードウェアニューロンモデルを用いた制御について研究を行っている．OS0813_2で試作したチップでは，細胞体モデルからパルス波形が得られなかった．細胞体モデルは発振器であり，その特性はビアやコンタクトの抵抗の影響を受けやすい．本試作では，ビアやコンタクトの抵抗を考慮し，レイアウトを見直した．試作したチップは，細胞体モデルおよび細胞体モデルを構成する素子である抵抗（8Ω，10Ω，70Ω，110Ω），コンデンサ（15pF，30pF），n型MOSFET（W/L=0.3，1，4.75，8.3），p型MOSFET（W/L=0.12，3.8，1，8.3）を設計した．測定した結果，細胞体モデルからパルス波形を確認できた．パルス波形の周波数は印加する電圧により変化し，測定値は設計値と比較し約半分の周波数であった．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Dracula，Synopsys社 HSPICE（RF）　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：その他

平成25年度第5回ローム CMOS 0.18um 試作
（RO18135）

SPAD アレイの出力回路

東京大学工学系研究科　　楊 驍, 朱　弘博, 名倉　徹, 浅田　邦博

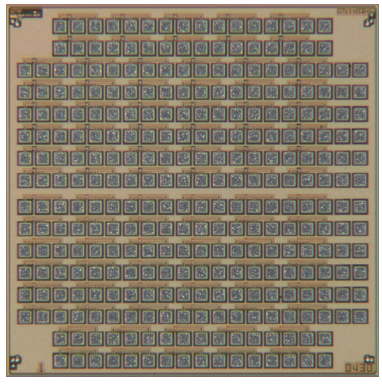


概要：単一光子アバランシェダイオード（SPAD）は，PN ダイオードのブレークダウン電圧より高い電圧領域で動作し，電流利得が非常に高いため，光子が一個でも入ってくるとブレークダウンが起こるデバイスである．ただ，光子がなくても，ブレークダウンを起こる可能性もあるので，SPAD のノイズとなる．本試作は，SPAD のノイズの影響について，2 種類の回路を試作した［1］：1）SPAD アレイ全体について，Adder を使わずに，一サイクルでブレークダウンを起こるピクセルの数を計算する回路．同時ブレークダウン数が設定したしきい値より大きい場合のみ，光が入射されて，データを出力する．2）ブレークダウンを起こったピクセルのみのアドレスを出力する回路．ただ，チップ設計したときに，動作できる SPAD がまだ確認しなかったので，回路の入力がシフトレジスタを用いた．二つ回路が測定を行って，回路の動作を検証した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：イメージセンサ/スマートセンサ

ストレス印加による閾値電圧変化について初期検討するための単体トランジスタ TEG

東京大学生産技術研究所　　Anil Kumar, 水谷 朋子, 平本 俊郎



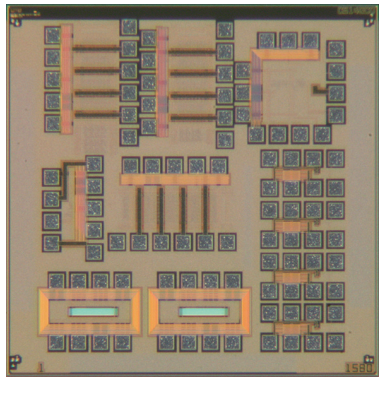
概要：本試作では，電気的ストレスによるローム 180nm プロセスのトランジスタの閾値電圧変化を初期検討するための単体トランジスタ TEG を設計した．具体的にはローム 180nm のロジックルールに基づいて単体トランジスタを設計した．トランジスタのサイズは，ゲート長を 0. 18um から 1um までふり，ゲート幅は 0. 22um から 1um までふった．各トランジスタのすべてのノードからパッドを引き出すためにチップ内のトランジスタ数はパッドの配置で決まる．最終的に 2. 5mm x 2. 5mm のチップに 68 個のトランジスタを配置した．本チップはプローブステーションで直接プローブするベアチップである．設計の簡略化のために ESD 保護素子は入れていない．本試作チップを用いて電気的ストレスによるローム 180nm プロセスのトランジスタの閾値電圧変化を系統的に調査できる．

参考文献：未発表

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

低電圧動作レベルシフタ

東京大学生産技術研究所　　染谷 晃基, 更田 裕司, 高宮 真, 桜井 貴康

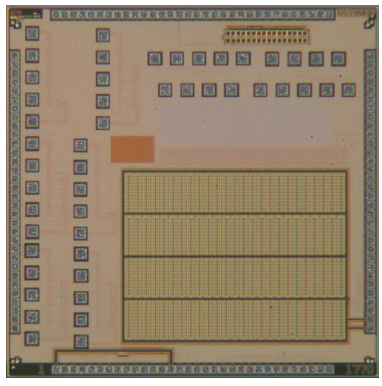


概要：ロジック回路の低消費電力化を実現するには回路の動作電圧を低下させることが有効である．近年，更なる低消費電力化を実現するにあたり，LSI をトランジスタの閾値電圧付近，またはそれ以下で動作させる極低電圧 LSI 技術が提案されている．一方で，I/O デバイスの動作電圧は比較的高いものが多く，低電圧動作 LSI を実現させるにあたっては低電圧信号に対して高い変換能力を有するレベルシフタが必要となる．本試作では低電圧下においても高速動作を実現するカレントミラー形のレベルシフタの待機時消費電力を改善する手法を検討した．試作したチップの評価によって，提案手法は低電圧下での動作速度を損ねることなく，レベルシフタの待機時消費電力を 1nW 未満とできることを確認した．しかしながらプロセスばらつき等によって提案手法は正しく機能しない場合があり，また提案回路を追加することによりレベルシフタの動作時のエネルギーが増大することが確認された．今後の課題としてばらつきに対する耐性と動作時エネルギーを改善することが挙げられる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

低電力可逆演算回路

横浜国立大学大学院工学府　　井上 孔佑
横浜国立大学大学院工学研究院　　吉川 信行

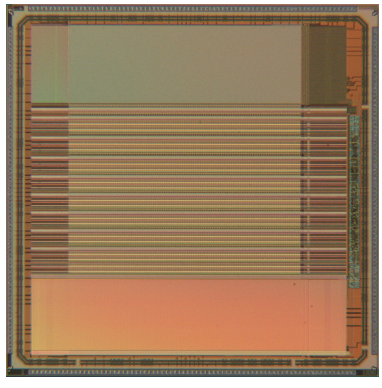


概要：我々はCMOS集積回路を用いた低電力化技術として，可逆演算回路を研究している．可逆演算回路は一般的な論理演算回路と異なり，情報の消去により生じるエネルギーが生じないため，消費エネルギーを極限まで下げることができる．また低消費電力で動作可能な回路で断熱的論理回路がある．この回路は電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である．この断熱的論理回路を可逆的に動作させることにより低消費電力で動作させる方法を提案している．本チップには，4相の台形波で動作する可逆演算回路の段数が異なるもの，およびカップリング容量の大きさが異なる物が載っている．また，大規模な回路での動作を実証するため段数を極端に増やした物も載せている．測定を行った結果，正常動作を確認することができた．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Astro，Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：その他

超高速ローリングシャッターCMOSイメージセンサの実証実験用チップ

東京理科大学工学研究科　　大高 俊徳，浜本 隆之

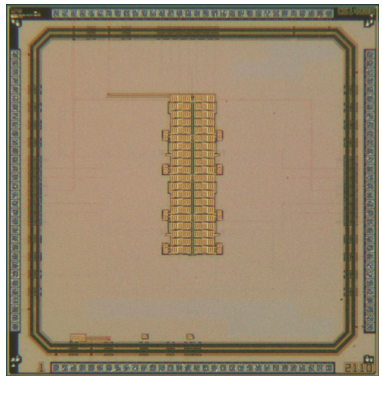


概要：CMOSイメージセンサのローリングシャッター動作が低速な場合，動きの速い被写体やパンニング動作，カメラ振れなどによって，撮像した被写体の像が歪む．従来のCCD撮像素子と比較し，CMOSイメージセンサの画質がCCDを超えた現在，このローリングシャッター歪の低減は求められている技術要素の一つである．我々の研究では，超高速に画素アレイを読出すことで，一般的な撮影条件において，歪を機械式シャッターと同等以下に抑えることを狙った，CMOSイメージセンサを試作した．本イメージセンサは，列ごとに可変利得回路，10-bitパイプラインAD変換器とディジタルADCメモリを設けている．パイプラインADCは，250ns/cycleで動作できるように設計しており，384（H）x128（V）の画素アレイでは3.4Kfpsで読出しが完了できるように設計した．評価の結果，残念ながら回路設計ミスが判明し，最後まで実機評価を完遂することはできなかった．しかしながら，本研究はディジタルカメラの機械的シャッターを完全電子式に置き換えることができる重要な技術と考えるため，今後は回路の見直しと新しいアイデアの盛込みなどの充分な検討を行った後，再度試作を予定する．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF），Synopsys社 HSIM，Synopsys社 Formality　**トランジスタ数**：1,000,000〜10,000,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

低周波数発振可能なCPGモデルの試作

日本大学理工学研究科電子工学専攻　　二瓶 乃亮
日本大学理工学部　　佐伯 勝敏

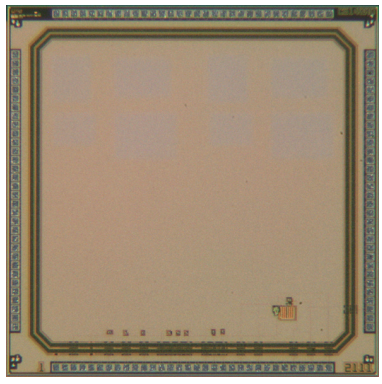


概要：近年，四足歩行ロボットにCPGモデルを搭載して適応的な歩行パターンを生成する研究が行われている．動物は，脊髄に存在するとされるCPG（Central Pattern Generator）で歩行・遊泳・飛行といったリズム運動の生成・制御を行っており，さらに脳などの上位中枢からの入力を受け，環境に適したリズム運動の生成・調整を行う．CPGの機能をロボットに工学的に応用することで自律的に環境に適した歩行動作を行わせることができると考えられている．先に我々は，介在細胞集団と呼ばれる神経回路間の接続を回路構成に応用することにより，低容量でもロボットの歩行制御に適した数［Hz］程度の周波数でリズムパターンを生成することが可能であるCPGの電子回路モデルを提案した．今回は，その集積化を行い，歩留まり率に対する検討を行った．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

高集積化のための低周波発振可能な細胞体モデルの試作

日本大学理工学研究科電子工学専攻　　奥山 敦司
日本大学理工学部　　佐伯 勝敏

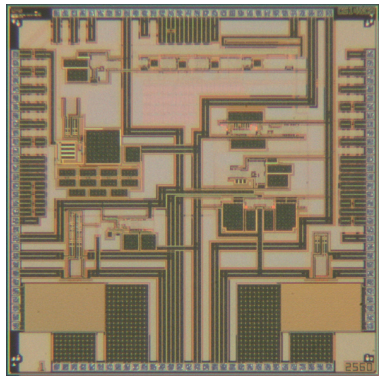


概要：生体の情報処理機構をモデル化し工学的に応用することは，生体の優れた能力を実現するだけでなく，生体の情報処理機構を解明することも可能であり，現在まで，生体のダイナミクスに着目した様々な観点からの解析が行われている．生体の機能を有するニューラルネットワーク（Neural Network，以下 NN）をハードウェアで再現する場合，生体の細胞体と同様に，低周波数で発振するモデルが必要である．また，生体のように大規模な NN の構築を行う場合は，素子数や回路規模は小さいことが要求される．生体内に存在する細胞体の特徴を有したモデルを構築する上で，Λ 型負性抵抗素子を用いた細胞体モデルは簡単な回路で構成できる．しかし，CMOS プロセスで集積化を行う場合，低周波数の発振を得るためには大容量が必要であり，コンデンサや P チャネルエンハンスメント型 MOSFET（以下，PMOS）の面積は大きく，大規模 NN を構築する場合は実装面積が大きくなる．今回，細胞体モデルの高集積化を目的として，NMOS で構築した負性抵抗回路を用いて設計を行った細胞体モデルおよび，高集積化のための低周波発振可能な細胞体モデルの試作を行った．また，従来モデルとの比較を行うため，以前提案を行った低容量で発振可能な細胞体モデルの試作を行った．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Cosmos，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

3 状態制御方式電流モード昇圧型 DC-DC コンバータと電力計算回路の試作

中央大学大学院理工学研究科　　杉本 泰博，古川 達也，小舘 直人，渡辺 啓，土田 高志，安倍 幹織



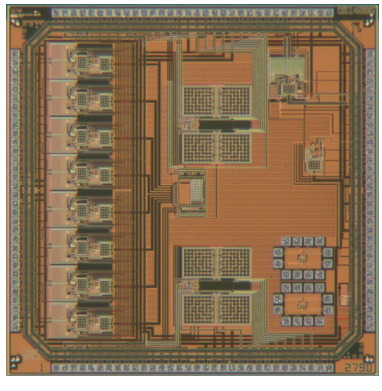
概要：電流モード昇圧型 DC-DC コンバータでは昇圧比が高くなると，出力部に右半面の零点が発生し，系が不安定になるという問題点がある．そこで我々は，3 状態制御方式を昇圧型電流モード DC-DC コンバータに適用し，入出電圧に依らずに一定の周波数特性を実現出来ることをシミュレーションにて確認した．また一般的に DC-DC コンバータに用いられるスロープ補償を施さないことによって過補償になる問題を解決した．本試作では 2013 年第三回の試作チップ評価結果をフィードバックし，より低電圧での三状態制御動作を図るとともにフィードバックシステム全体をオンチップ化した上での動作を目指した．また，太陽電池の MPPT 制御に応用するための電流検出による電力計算回路を試作し，太陽電池の発電効率向上を目指す．

参考文献：寺師裕人，Isaac Cohen，二宮保 "リアクトル電流保持時間制御による DC-DC コンバータの動作性改善について" 電子情報通信学会，25-31，AUGUST 2002. 2

設計期間：8 人月以上，9 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

集積化神経プローブシステム用信号処理回路

東北大学医工学研究科　　田中 徹
長崎総合科学大学工学部　　清山 浩司
東北大学工学研究科　　長沼 秀樹，谷 卓治

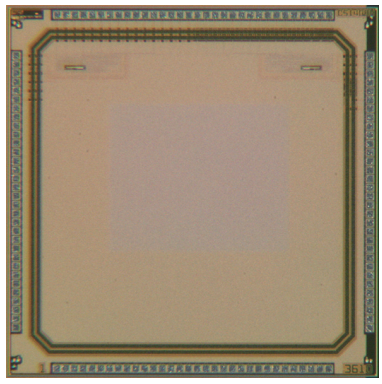


概要：脳疾患治療や脳機能解明，BMI （Brain Machine Interface）などの研究が近年盛んに行われており，脳波の高度計測システムの実現が神経科学者や医療従事者から強く要望されている．我々は，種々の脳波を計測できる多機能集積化神経プローブシステムの開発を進めている．脳波は，種類によって信号特性が異なり，取得できる信号強度は記録電極の設置位置や対象により変化する．本研究では，記録する脳波や状況に応じて，ゲイン及び帯域を切り替えることが可能な信号処理回路を設計・試作した．試作した信号処理回路は，増幅器，マルチプレクサ，アナログ-デジタル変換器で構成され，実際にゲイン，低域遮断周波数，高域遮断周波数を設計通りに調節できることを確認した．チップと記録電極の一体化モジュールを作製し，評価を行っている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナデジ混載

Time analog to digital converter プロトタイプの試作

横浜国立大学工学府　　**林 賢志, 足立 武彦**



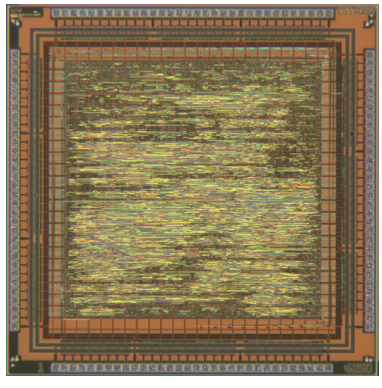
概要：A/D 変換器の高分解能化や低電源電圧化などに伴い，Time-to-Digital Conveter（TDC）に関する研究開発が活発化している．TDC の 1 つとしてリングディレイライン（RDL）を用いた Time Analog to Digital Converter（TAD）がある．TAD は，サンプリング周波数により，ビット数を変えることができる．また，サンプリング周期間の平均電圧がデジタル出力となるため，TAD はローパスフィルタ効果を有する．本試作では，TAD のプロトタイプの試作を行った．試作 TAD は，RDL，エンコーダ，ラッチ，カウンタ，減算器等により構成されている．RDL は，インバータ 2 段で構成される遅延ユニット DU 32 段をリング状に接続した回路で，DU の電源電圧を A/D 変換器の入力とする．RDL にパルスを引火し，サンプリング周期間にパルスが通過する DU の段数をカウンタとラッチで計数して，デジタル出力を得る．カウンタは 8 ビット，減算器は 13 ビットである．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

テキストを音声に合成するシステム　（TTS）

University of Science Ho Chi Minh CityFaculty of Electronics and Telecommunications　　Le Duc Hung, Hoang Trong Thuc, Luu Xuan Vy

電気通信大学情報理工学研究科　　**範 公可, 石橋 孝一郎**



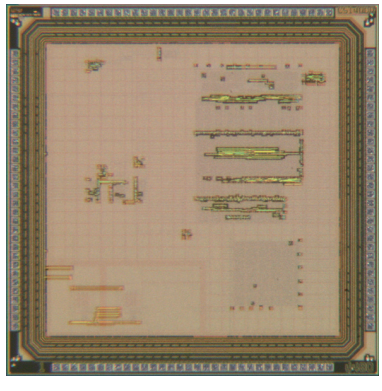
概要：本システムはテキストを音声に合成するものである．このシステムのアルゴリズムは 3 段階からなる HMM に基づいている．ベトナム語での検証は正常に動作した．The system is built to synthesize the text to speech（TTS）. The TTS algorithm based on the Hidden Markov Model（HMM）with 3 stages of computation: sentence HMM construction（SHC），speech parameter generation（SPG），and synthesized speech generation（SSG）. Chip is designed to compute the second and third stage of the HMM, SPG and SSG, respectively. The system has built and verified successfully with the Vietnamese language. However, due to the first stage of SHC has been processed off-chip, the chip can process any language which is given by the first stage. In order to operate, the chip needs access to the off-chip memory, where the result from the first stage is given, and the floating-point unit（FPU）. The output result of synthesized audio also is written back into the off-chip memory. With the memory and FPU are shared between blocks, the TTS co-processor chip achieved the optimized resources cost while maintains high accuracy and good timing performance. The chip has maximum frequency at 145 MHz, about 32, 000+ logic elements, and 19, 000+ registers. To compare with other platforms, with the same text being used the TTS co-processor chip gives less delay than the others. For specific, it saves 73. 09% processing time in the comparison with PC, 93. 45% with Raspberry PI, and 96. 43% with Beagle Bone.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT）　**トランジスタ数**：100, 000〜1, 000, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：MEMS

遅延故障および断線故障テスト用回路の試作

徳島大学大学院先端技術科学教育部　　**梅津 翔一, 櫻井 浩希, 山下 淳, 宮本 陽平, 西條 慎吾, 末永 翔平**

徳島大学大学院ソシオテクノサイエンス研究部　　**四柳 浩之, 橋爪 正樹**



概要：遅延故障のテスト容易化回路，IC 間断線のテスト容易化入力保護回路，検査容易化 CMOS センサ回路，組込み型 IDD センサ回路，抵抗性断線を模擬した回路の 5 つの回路を試作した．1）遅延検出回路組込み型バウンダリスキャン回路を設計した．遅延ゲートのばらつきの影響について実測評価を行った．また，遅延検出用回路 Vernier Delay Line を試作し特性評価を行った．2）IC 間断線の電気的検査用組込み型電流センサを実装し，本センサによる断線故障検出可能性評価を行った．3）CMOS センサの電気的検査法のために検査容易化 CMOS センサ回路を実装し，動作確認を行った．4）IC の電流テストのために組込み型 IDDT センサ回路を実装した．実測により検査入力による動的電源電流の継続時間の差異が観測された．5）抵抗性断線をオン抵抗により模擬し，抵抗性断線が発生した回路における隣接線影響による微小遅延量の調査を行なった．

設計期間：6 人月以上，7 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 DesignCompiler，BSDCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，TOOL 社 Lavis，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

視線検出機能を統合した列並列処理構成 CMOS イメージセンサ

金沢大学理工学域　　秋田 純一

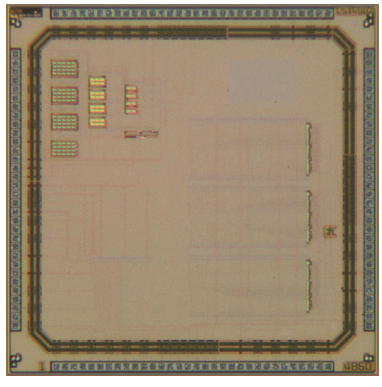
概要：視線情報は HMD 等のウエアラブルデバイスとの高い親和性から次世代のユーザインタフェースとして期待が高い．しかし現状の視線計測装置は，ビデオレートのカメラと処理回路・システムを用いるものが一般的であり，サイズやコストに加えて，サッケードと呼ばれる高速な眼球運動をリアルタイムで追尾するための処理速度と処理遅れの問題があり．著者らは眼球画像からの視線検出処理として輝度二値化と銃身計算処理を用い，CMOS イメージセンサに列並列構成の処理回路を統合し，1000fps 程度の高速撮像・処理と 1 フレーム分の低いレイテンシ，および画素ピッチ 10um クラスの高解像度を両立するアーキテクチャを提案してきた．本試作チップでは，画素ピッチを 10um と設定し，QCIF 解像度（176×144 画素）の CMOS イメージセンサと列並列処理回路を統合した視線検出向け CMOS イメージセンサを試作した．出力は 1 フレームごとに重心の X・Y 座標が SPI インタフェースで得られる．評価実験の結果，画素平面への配線にミスがあり，動作を確認することはできなかった．またがその感度は，1000fps 程度の高速撮像には不十分であることが確認された．今後は，画素のフォトダイオードの感度向上をはかり，再試作の予定である．

参考文献：H. Kawakami, S. Igarashi, Y. Sasada, J. Akita, Column-Parallel Architecture for Line-of-Sight Detection Image Sensor Based on Centroid Calculation, ITE Trans. on Media Technology and Applications, Vol. 2, No. 2, pp. 161-166, 2014. 4.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mmx5. 0mm チップ　**チップ種別**：イメージセンサ/スマートセンサ

チューニング機構を搭載した可変 RCPF と確率的フラッシュ AD 変換器の試作

北見工業大学大学院工学研究科　　杉本 俊貴，伴内 優貴，吉澤 真吾，谷本 洋

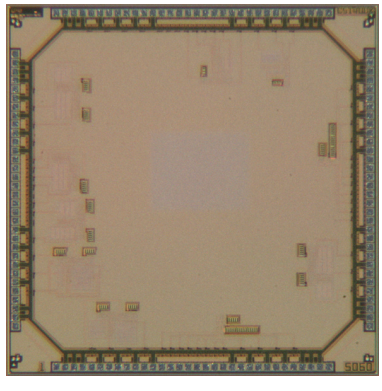


概要：本チップでは，以下に述べる 2 種の回路を試作した．（1）自動チューニング可能な RC ポリフェーズフィルタを実現するため，チューニング機構を搭載した RCPF を提案している．アナログフィルタを集積化する際は，R や C など素子値の絶対精度のバラツキが問題となる．MOS 抵抗を用いた可変 RCPF の設計において，MOS 抵抗の閾値電圧のバラツキの問題を解決するために，MOS スイッチを用いた可変 RCPF を試作し，チューニング可能であることを確かめた．（2） オフセット電圧バラツキを AD 変換の参照電圧として利用する AD 変換方式に確率的フラッシュ AD 変換器（SFADC）がある．我々の研究室ではオフセット電圧分布が正規分布である場合の SFADC の精度の見積もり手法を明らかにしている．本試作では，実際のチップにおけるオフセット電圧バラツキ分布を知る目的で SFADC を試作した．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：1, 000〜10, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

アナログ回路用ライブラリおよび素子評価 TEG の試作

高知工科大学システム工学群　　橘 昌良，板坂 直哉，山田 健太
高知工科大学大学院基盤工学専攻　　坂東 拓弥

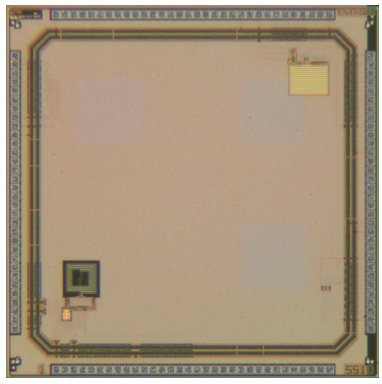


概要：本チップの目的はアナログ回路用ライブラリの設計である．試作した回路は ΔΣ 変調器，1 段オペアンプを用いたバンドギャップリファレンス（BGR），2 段オペアンプを用いたバンドギャップリファレンス（BGR）である．バンドギャップリファレンス（BGR）は第 3 回で試作した 1 段セルフバイアスオペアンプ内蔵型 BGR の抵抗レイアウトに対する工夫の効果を確かめるため，抵抗レイアウトに工夫をした BGR と工夫がされていない BGR が搭載されている．ΔΣ 変調回路は第 3 回で試作した 1 次のフィードバックループ部分と出力部分をバッファで分けフィードバックループ部分へのひずみを考慮したものの設計を行った．最後に 2 段オペアンプを用いたバンドギャップリファレンス（BGR）は抵抗値のバラツキがバンドギャップリファレンス（BGR）の動作に与える影響を検証するために抵抗を外付にした回路と，9 月に試作した BGR に内蔵した抵抗の抵抗値を調整した回路を設計した．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Dracula，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DC コンバータなど）

ΔΣ-Time to Digital Converter

法政大学理工学研究科　　嘉藤 貴博
法政大学理工学部　　安田 彰



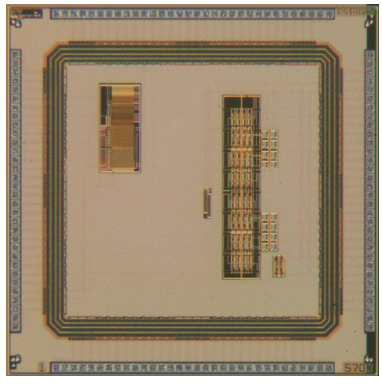
概要：本回路は，Analog PFD + Differential CP + Differential Completer にて構成されるシンプルな回路である．動作としては，Analog PFD でリファレンクロック（REFCLK）とオシレータからの帰還クロック（VCOCLK）の位相差を Pulse Width Modulation（PWM）信号に変換し，そのパルス幅を一次ΔΣでデジタル化している．図2に Differential CP の回路図を示す．二個の CP があり，Analog PFD の PWM をうける入力と，Differential Completer からの Digital OUT を受け入力があり，CP の出力はキャパシタが接続されており，この回路が図1の破線部分となる．この回路で差分をとり，1/S 要素をかけ，比較動作を行う．従来の TDC では，時間分解能を多位相 CLK の skew 時間差に頼ったが，本回路は多位相の CLK を必要としない．また，キャパシタの電荷で位相量を表すので，TDC の位相に対する，切り上げ，切り下げが発生しない．本回路は，VDEC_Rom_0.18um_CMOS で設計した．（注1. 試作 TEG として，Differential Completer を 1GHz で動作させるため，LC_DCO（Digital Controlled OSC）と，評価用 CP（CP2）を搭載した．

参考文献：嘉藤貴博，安田　彰，吉野理貴，ΔΣTDC（ΔΣ-Time to Digital Converter）の検討および設計，電子情報通信学会全国大会，C-12-72，Mar.，2013.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

偶数段リング発振回路の設計マージン及び特性評価用 TEG

九州工業大学情報工学府　　福田 智宏

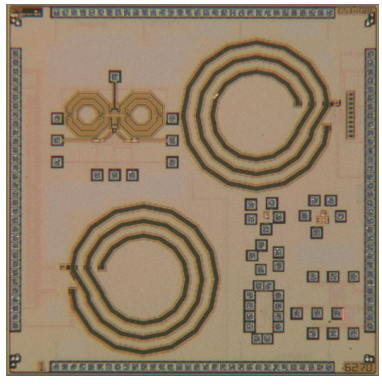


概要：近年 LSI は急激に微細化，高集積化が進んでいるが加工技術などの物理的限界から半導体デバイスの微細化は限界を迎えるといわれている．そのため，限られた面積の中でいかに機能を搭載できるかが重要であると言える．本研究で扱う発振回路において従来の発振回路では直交位相変調信号を出力するために位相シフト回路を用いるため専有面積が大きくなってしまう．そこで発振回路単体で直交位相変調信号を出力できる偶数段リング発振回路（Even State Ring Oscillator：ESRO）が提案された．しかし，ESRO には発振する条件として設計パラメータが重要であるため，その設計マージンの評価が不可欠である．そこで今回の試作チップでは単一回路で複数の設計パラメータを擬似的に再現できる U-ESRO-TEG により ESRO の設計マージン及び特性を評価することが目的である．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：nanodesign 社 ns-draw，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

低電圧 CMOS アナログ回路の試作

明治大学理工学研究科　　石毛 勇也，藤井 達矢，森谷 雄太，満田 亮



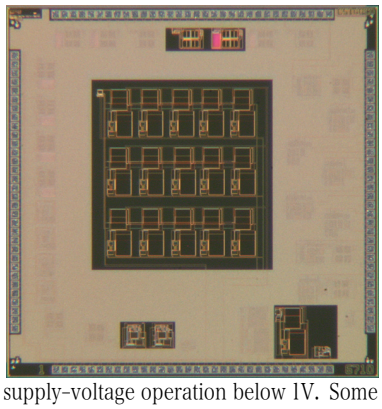
概要：低電圧駆動・低消費電力というテーマを根底に置き，各々の研究において提案した回路，評価に必要な回路の試作を行った．以下が試作した回路の概略となる．形を変換する波形変換回路と，信号の電流を増幅するためのバッファ回路．負の温度依存性を持ったしきい値電圧抽出のための回路，温度センサ（PTAT），発振回路（VCO），ボンディングのための無線給電システムのコイル，蓄積 MOS バラクタと通常 MOS バラクタ，非線形伝送線路，PTAT 電流発生のための OTA 回路，パワーMOSFET のための温度センサ回路．これらの回路は測定器による動作確認を通して妥当性の検証を行い，これからの試作につながるような評価を行っている．

参考文献：Moonkyun Maeng，Franklin Bien，Youngsik Hur，Hyoungsoo Kim，Soumya Chandramouli，Edward Gebara，and Joy Laskar：“0.18-μm CMOS Equalization Techniques for 10-Gb/s Fiber Optical Communication Links”，IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES，VOL.53，NO.11，2005

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

Wide Input range CMOS rectifier and Low voltage, low power reference circuits design

Waseda UniversityIPS　　LI QIANG, Wang Jing, Yasukaki Inoue

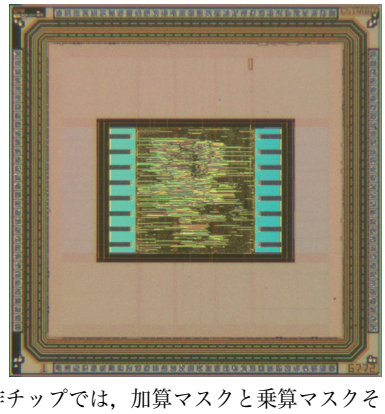


概要：The chip tape out this time included the circuits listed below: 1. Wide input range CMOS recitifer for low power energy harvesting system: A highly efficient and wide input amplitude range CMOS rectifier is presented, By using full bridge structure and a novel active diode, the rectifier can work at a wide range of input voltage amplitudes of 0.45V up to 1.8V under a standard 0.18um CMOS process. The proposed rectifier can achieve a peak voltage conversion efficiency of over 96% and a power efficiency over 90%. Power consumption of the rectifier is 264.35nW at 500mW. 2. Sub-1-V Operation Bandgap Reference Circuit without Resistors: A CMOS bandgap reference (BGR) circuit without resistors is proposed, which can successfully operate under 1V supply voltage. The output voltage Vref of the conventional BGR is the sum of the built-in voltage of the diode VD and the thermal voltage VT of kT/q multiplied be a constant. In this case, the Vref is about 1.25V, which limits a low supply-voltage operation below 1V. Some proposed circuits realizing the minimum supply voltage below 1V only by the using of resistors. In the proposed circuit, the minimum supply voltage can be under 1V, which is generated by adding a CMOS voltage divider. The simulation, which is done under the standard 0.18um process, showing that, Vref value is around 0.55V with the minimum supply voltage of 0.95V. 3. A CMOS Sub-1-V Low Power Current and Voltage Reference without Resistors: A CMOS sub-1-V low power reference is proposed, which is realized without resistors and with only standard CMOS transistors. The proposed circuit has the most attractive merit that it can afford reference current and reference voltage simultaneously. Moreover, the supply rejection is high over a wide frequency band. The proposed circuit is implemented in the standard 0.18um CMOS technology, and the temperature coefficient of the reference voltage and reference current are 0.0026%/℃ and 0.0069%/℃, respectively. Moreover, the sensitivity to power supply voltage variation is reduced by adding only one transistor. Also, the power supply voltage can be as low as 0.85V.

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT）　**トランジスタ数：**100～1,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ（PLL，A-D/DC-DCコンバータなど）

電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによるHMDR ROMを利用したAES暗号回路

立命館大学理工学研究科　　中井 綱人，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅

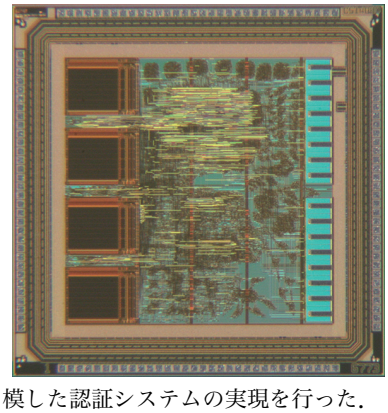


概要：ICカードに代表される暗号回路を搭載したLSIにおいて，消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている．そこで，我々はどのような値が入出力されても消費電力が一定となるS-Box回路と，乱数を利用した加算マスキング対策と乗算マスキング対策を用いることにより暗号処理動作と消費電力との相関を切り離した電力／電磁波解析攻撃耐性を実現したHMDR-ROM AES暗号回路を提案した．本試作チップは提案したHMDR-ROM AES暗号回路のサイドチャネル攻撃耐性を評価するために試作した．加算マスキング対策は主に電力解析攻撃対策として機能し，乗算マスキング対策は電磁波解析攻撃で明らかとなるアクティブなワードライン位置に依存した情報リークを隠すのに使用している．試作チップでは，加算マスクと乗算マスクそれぞれをオン／オフ切り替える機能と，使用乱数を8bitと128bitを切り替える機能を搭載して，それぞれの比較評価を行えるようにした．

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 NCVerilog，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 HSPICE（RF），Synopsys社 HSIM　**トランジスタ数：**100,000～1,000,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**演算回路（乗算器，除算器など）

サイドチャネル攻撃対策AESとPUF技術を用いた耐タンパ認証システム向けのセキュアLSI

立命館大学理工学研究科　　中井 綱人，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅

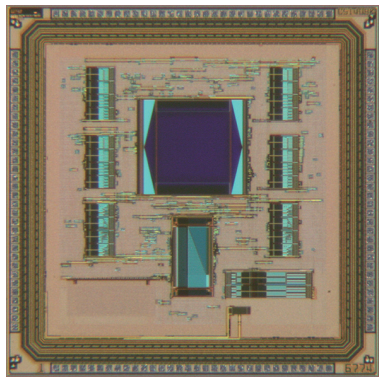


概要：近年，暗号回路を搭載したICチップはクレジットカードや電子マネー，利用者認証など様々な用途で使用されている．しかし，秘密情報をサイドチャネル攻撃により窃取される，もしくは不揮発メモリに格納している秘密情報を物理解析により窃取され，偽造・複製されてしまう危険性が指摘されている．我々はこれらの防止対策として，提案してきたHybrid Masking Dual-Rail ROM（HMDR-ROM）方式を用いたサイドチャネル攻撃対策AES暗号とランダムな製造時のばらつきからチップ固有の情報を生成するPhysical Unclonable Function（PUF）技術を組み合わせた高セキュア認証システムを開発した．本試作チップはこの高セキュア認証システムに搭載するチップであり，キーレスエントリーを模した認証システムの実現を行った．

設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 NCVerilog，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 HSPICE（RF），Synopsys社 HSIM　**トランジスタ数：**100,000～1,000,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナデジ混載

漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用TEGチップ

立命館大学理工学研究科　　中井 綱人，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅

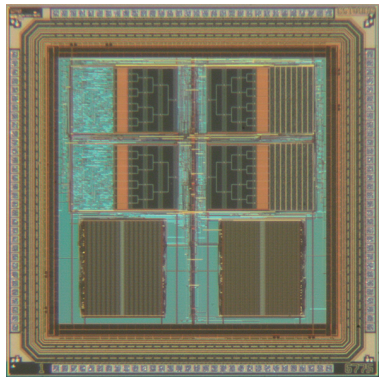


概要：暗号回路を搭載したLSIにおいて，消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている．消費電力と漏洩電磁波との間には相関があり電力解析攻撃の対策が電磁波解析攻撃においても有効であると考えられてきたが，漏洩電磁波によるリーク要因には消費電力とは異なるものが含まれていることが指摘されはじめた．しかしながら，電磁波解析攻撃のリーク要因が何か，どの程度脅威と成り得るのか実験的には明らかとなっていない．本試作チップには，漏洩電磁波のリーク要因を調べるためのTEG回路を搭載した．前回のリーク要因検証用TEGチップでは，実測により論理ゲート単体における電流経路リーク，メモリのアドレスに起因するリークが確認できた．今回のリーク要因検証用TEGチップでは，さらなる論理ゲート単体における電流経路リークの追及するために，論理ゲートのサイズ違いやミラーゲートなどを搭載した．また，電流経路リーク要因追及用の配線をアレイしたTEG回路やD型フリップフロップから発生するリークを調査するTEG回路を搭載した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社NCVerilog，Synopsys社DesignCompiler，Synopsys社ICCompiler，Cadence社Virtuoso，Mentor社Calibre，Cadence社Spectre，Synopsys社HSPICE（RF），Synopsys社HSIM　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

レーザ照射によるフォールト攻撃の検証用TEGチップ

立命館大学理工学研究科　　中野 将志，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅



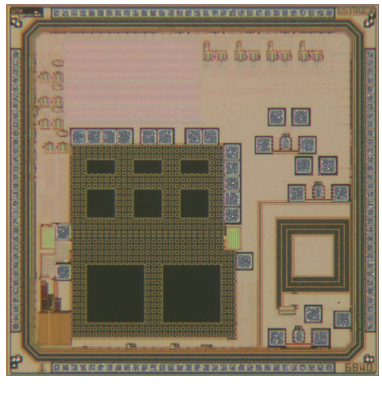
概要：暗号回路を搭載したLSIにおいて，レーザ照射によるフォールト攻撃によって暗号鍵情報が窃取される危険性が指摘されている．本試作チップには，クロックバッファへのレーザ照射によるクロックグリッチ挿入が可能であることを検証するため，クロックツリーとクロック異常検出回路からなるTEGを搭載した．また，レーザフォールト攻撃の基礎実験としてインバータ回路，DFF回路へのレーザ照射の影響を調べるためのTEGを搭載した．そして実験結果から，“一時的に”論理回路の出力電圧を変化させることやレジスタの値を変えられること，“恒久的に”論理回路の出力電圧やレジスタの値を固定できること確認し，SCIS2015で発表を行った．

参考文献：中野将志，汐崎充，藤野毅，「レーザフォールト攻撃に耐性のある論理ゲートの基礎検討と実験評価」，暗号と情報セキュリティシンポジウム，2B1-3，2015

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社NCVerilog，Synopsys社DesignCompiler，Synopsys社ICCompiler，Cadence社Virtuoso，Mentor社Calibre，Cadence社Spectre，Synopsys社HSPICE（RF），Synopsys社HSIM　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

0.18μmCMOSプロセスを用いたパッチクランプ測定システムの改良

慶應義塾大学理工学部　　中野 誠彦
慶應義塾大学理工学研究科　　川島 拓也，四ツ田 大樹



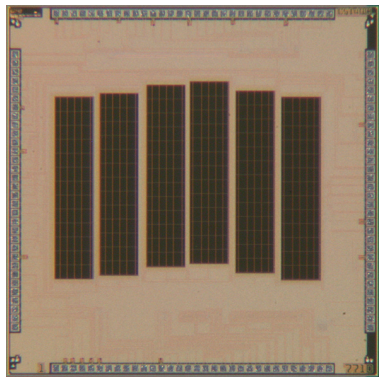
概要：現在，電気生理学の分野において神経細胞によるイオン電流を測定することが盛んに行われている．この神経細胞を測定することで神経疾患の治療に貢献するだけでなく，ブレインマシンインタフェース技術と呼ばれる，脳と機械間の双方向通信技術の応用にも期待されている．我々はこのイオン電流を測定する手法の1つであるパッチクランプ法のためのLSIシステムの設計を行っている．今回のチップでは以前に試作した抵抗をフィードバックに用いたI-Vコンバータの改良を行った．また，フィードバック抵抗にOTAを用いたI-Vコンバータの設計も行った．

参考文献：浅井, 上野, 浅井, 雨宮, "温度依存性を考慮したサブスレッショルドCMOS高抵抗回路", 電子情報通信学会総合大会, 2009年

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社Verilog-XL，Synopsys社ICCompiler，Cadence社Virtuoso，Mentor社Calibre，Cadence社Spectre，Synopsys社StarRC（XT），Synopsys社Hercules，Agilent社ADS　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

オンチップ太陽電池の開発

東洋大学総合情報学部　　堀口 文男



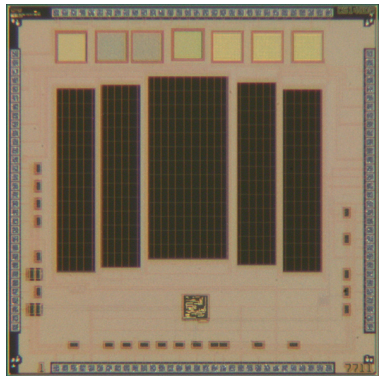
概要：1．目的　通常のリングオシレータのp-wellをDeep-nwell，n-wellで囲むとp-wellがフローティングとなる．また，n-wellも基板のp-substrateとは接合分離されている．太陽電池もトリプルウェル構造とすることで，CMOS回路の基板とは独立に直列接続が可能になる．2．方法　各測定は151段のリングオシレータを用いる．通常のリングオシレータの断面構造ではp-substrateがp-wellと共通となるために太陽電池の直列接続はできない．しかし，フローティング構造のリングオシレータはp-wellがDeep-n-wellで囲まれているため，通常のリングオシレータと違いnmosに太陽電池とは独立して基板バイアスを印加することが可能となっている．3．結果　太陽電池を直列に接続し，0.9V，1.3Vの高電圧をCMOSリングオシレータに印加することができることが確認できた．

参考文献：堀口，”オンチップ太陽電池のダイナミック電圧・電流制御”，信学論（C），Vol. J97-C, No. 2, pp. 77-78, 2014年2月.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

オンチップ太陽電池の開発

東洋大学総合情報学部　　堀口 文男



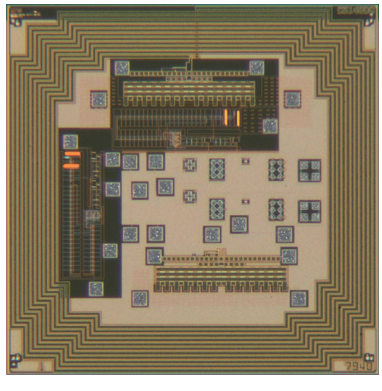
概要：1．目的　通常のリングオシレータのp-wellをDeep-nwell，n-wellで囲むとp-wellがフローティングとなる．また，n-wellも基板のp-substrateとは接合分離されている．太陽電池もトリプルウェル構造とすることで，CMOS回路の基板とは独立に直列接続が可能になる．2．方法　各測定は151段のリングオシレータを用いる．通常のリングオシレータの断面構造ではp-substrateがp-wellと共通となるために太陽電池の直列接続はできない．しかし，フローティング構造のリングオシレータはp-wellがDeep-n-wellで囲まれているため，通常のリングオシレータと違いnmosに太陽電池とは独立して基板バイアスを印加することが可能となっている．3．結果　太陽電池を直列に接続し，0.9V，1.3Vの高電圧をCMOSリングオシレータに印加することができることが確認できた．

参考文献：堀口，“オンチップ太陽電池のダイナミック電圧・電流制御”，信学論（C），Vol. J97-C, No. 2, pp. 77-78, 2014年2月.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

液中オンチップ微粒子操作用非接触電力伝送集積回路

大阪大学大学院工学研究科　　出井 良明，山根 梨江，井上 泰佑，松岡 俊匡



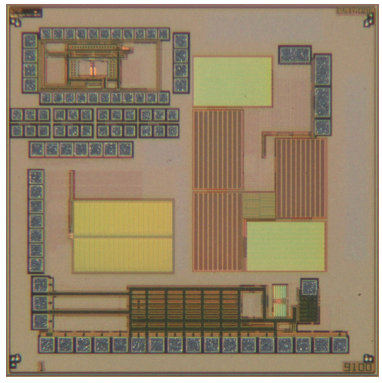
概要：小型バイオ・センサの実現に向けて，微粒子や細胞を任意に操作できる技術が必要になっている．本チップの構成は，溶液中での非接触電力伝送を想定したオンチップ・コイルによって外部から交流電力を供給することができ，その電力を電源電圧および微粒子操作信号へ変換され，誘電泳動による微粒子操作を可能とするものになっている．前回の設計より，安定した微粒子操作の実現に向けて，微粒子操作用信号の電圧振幅を引き上げて，補正回路の再検討を行っている．また，テスト回路としてバッファ回路の出力を分離した補正回路付きリングオシレータも配置している．

参考文献：Y. Dei, Y. Kishiwada, R. Yamane, T. Inoue, and T. Matsuoka, "On-chip Microparticle Manipulation with Efficient Wireless Power Transfer, " International Conference on Solid State Devices and Materials, pp. 966-967, 2014年9月.

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

ReRAM / NAND フラッシュメモリハイブリッド SSD 向け電源回路

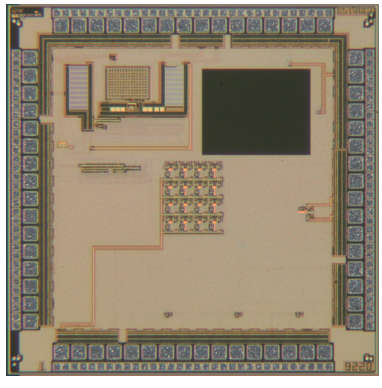
中央大学理工学部　　**石井 智也, 竹内 健**
中央大学研究開発機構　　**上口 光, 蜂谷 尚悟**



概要：我々の研究グループでは，これまでに ReRAM / NAND 型フラッシュメモリハイブリッド・ソリッド・ステート・ドライブ（Hybrid SSD）向けの書き込み電圧生成回路を設計してきた．Hybrid SSD は複数のチップを三次元方向に積層することを想定しており，昇圧回路と周辺回路の電源電圧を共通化することによりチップ面積の削減が期待される．また，インダクタをインターポーザ上に作成することで回路の高効率化が期待できる．本試作では，低電圧化のためにブーストコンバータ回路とチャージポンプ回路を組み合わせた書き込み電圧生成回路を作成した．検証の結果，従来よりも低電圧で動作することを確認した．今後は，より詳細な実測・評価を行っていく予定である．
設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Cosmos，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

ホールセンサアレイ TEG チップ

豊橋技術科学大学電気・電子情報工学系　　**村上 裕二, 井美 椋太**

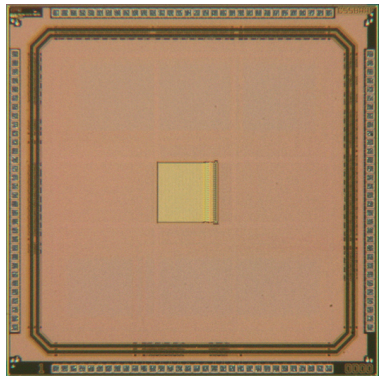


概要：血糖値を推定可能な経皮連続モニタリングセンサ LSI システムの設計を行っている．センサ LSI と永久磁石とグルコース応答性ゲルを重ねて置いて，ゲル包埋鉄粉がゲル膨潤に伴い乱す磁場を検出してグルコースセンサとする．予備検討の結果，100um 以下のピッチでのホールセンサアレイ が必要になった．そこで，R. S. Popovic らの報告による Nwell のクロスパターン構造を採用し，既設計の 10bit 逐次変換方式 AD 変換器，およびその AD 変換器とマッチングできる既設計のメインアンプはチップ上に 1 つだけもち，8x4=32 個のホールセンサアレイを設計した．前回設計の不具合点を修正を主目的にした．本試作 LSI 上に永久磁石を置き，その磁石と LSI との間に微小な鉄粉塊をおいてマイクロメーター鉄粉をスライドさせると磁場変化から鉄粉の移動を定量的に検出できることが確認された．
参考文献：A Hall Sensor LSI System to Measure the Swelling of Glucose Responsive Gel toward Transdermal Continuous Blood Sugar Monitoring，27th International Microprocesses and Nanotechnology Conference，15B-3-3
設計期間：3 人月以上，4 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナデジ混載

平成26年度第1回ローム CMOS 0.18um 試作
（RO18141）

Parallel Nearest-Hamming-Distance Search Circuits based on a Competitive Latching Technique

東京大学大規模集積システム設計教育研究センター　　朱 弘博，浅田 邦博

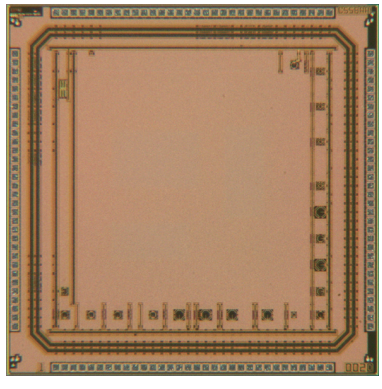


概要：Nearest-Hamming-distance search （NHDS） is widely used in intelligent data processing such as image processing and pattern recognition. For time critical applications the NHDS must be completed within a very limited time. Therefore, high efficient NHDS circuits are developed in this work. The concept of the proposed circuits is introduced as follows. Firstly the hamming distances are converted into analog voltages in which a smaller distance generates a lower voltage. Then, all these voltages are converted into a time-domain pulses in which a lower voltage corresponds to an earlier rising pulse. Finally, each pulse is connected to trig a latch. All latches are designed in a manner that if one latch was triggered to record a high voltage, all the other latches are disabled to be triggered. As a result, only the earliest pulse has a high voltage and all the others keep low. The operations of the circuits are demonstrated via simulation using Hspice.

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），Synopsys社 NanoSim　**トランジスタ数：**10,000～100,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナデジ混載

CMOS単一光子アバランシェダイオード

東京大学工学系研究科　　楊 驍, 朱　弘博, 名倉　徹, 浅田　邦博

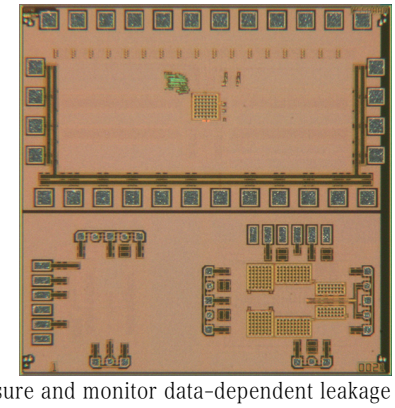


概要：単一光子アバランシェダイオード（SPAD）は，PNダイオードのブレークダウン電圧より高い電圧領域で動作し，電流利得が非常に高いため，光子が一個でも入ってくるとブレークダウンが起こるデバイスである．小型微弱光検出素子として，医療，3Dイメージセンサーといった用途において有益である．低ノイズなSPADを設計するために，1）アバランシャブレークダウン領域，2）エッジ効果を防止用のガードリングが必要となる．試作したSPADは，P+-NwellとPwell-DeepNwell二種類のアバランシャブレークダウン領域及び，1.8V，3.5V二種類のS/D領域を用いた，計8種類のSPADである．この試作チップは，昨年試作されたチップを一部修正・改良したものである．測定結果より，本研究室の設計環境で設計したSPADが期待通りの動作することとPwell-DeepNwellのポリゲート付きSTIガードリングの構造が最も良い特性を示すことを確認した．

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Virtuoso　**トランジスタ数：**～10　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**TEG（特性評価回路など）

High-Precision Probe System for Near-Field Magnetic Measurements on Cryptographic LSIs

東京大学 VDEC　　Mai-Khanh Nguyen N.

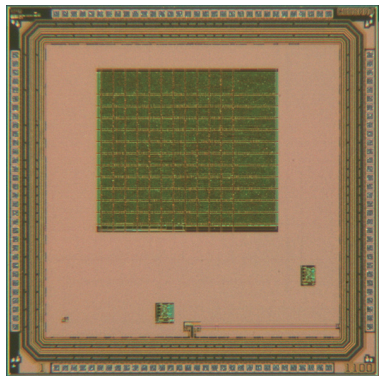


概要：Sensing leakage physical properties of a cipher chip during its operating cryptographic core can reveal corresponding secret key and secure data in side-channel non-destructive attacks such as exploiting operating time, power consumption, or electromagnetic （EM） emanations. By measuring and monitoring data dependent emissions of the electromagnetic near-field of a chip, related secret key of the chip can be revealed. The higher the integrating ability of integrated circuits and operating frequencies are, the more electromagnetic field is emitted around. Therefore, there is a strong demand to evaluate and identify vulnerable electric-magnetic portions of cryptographic LSIs for the protection solution. Compared to power consumption analysis methods, micromagnetic sensing approach is preferred due to its ability of not only susceptible locations to attacks but also leakage magnetic field direction. By using magnetic sense coils closing to the chip’s surface to measure and monitor data-dependent leakage magnetic emanations of a chip, related secret information could be captured. This design includes an integrated low-noise amplifier to amplify the induced voltage at an on-glass coil array. In details, an on-glass coil array is use to pick up magnetic field by employing the relationship of magnetic flux, current and voltage of the coil well-known Faraday’s induction law. The proposed probe chip and high precision mechanical scanning system can be used to identify and evaluate vulnerable surfaces of LSIs from magnetic based side attacks.

設計期間：3人月以上，4人月未満　**設計ツール：**Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Synopsys社 Cosmos，Synopsys社 Hercules，Synopsys社 HSPICE（RF），Agilent社 ADS　**トランジスタ数：**100～1,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ/デジタル信号処理プロセッサ

統計処理型コンパレータ，センサ TEG

金沢大学自然科学研究科　　真田 圭，藪見 啓輔

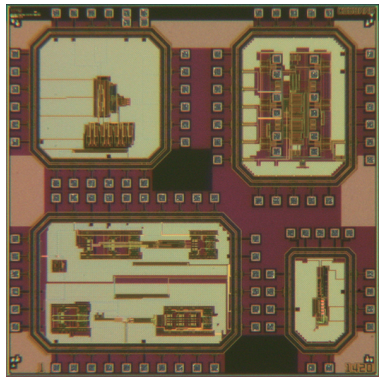


概要：静電容量式触覚センサの微小容量変化を検出するために容量–周波数変換器及び温度補償用の PTAT 回路を設計した．温度センサである PTAT 回路については，温度と出力電圧間で線形性の高い結果が得られたが，出力電圧範囲が非常に小さく低感度であった．測定した 20℃～100℃の間では 80mV 程度しか変化せず，その感度は 1.12 mV/℃となった．温度補償精度を高くするためには温度感度を大きくし，出力電圧範囲を広げる必要がある．容量–周波数変換器では，感度が 3.36 MHz/fF となり，温度に対するばらつき補正を行うことで 0.2fF 以下の非常に微小な検出精度が得られる結果となった．この回路により静電容量式触覚センサの検出感度を高くすることが可能となり，広ダイナミックレンジかつ高感度な触覚センサの実現が期待できる．論理合成可能なコンパレータを 1000 個並べ，それらの出力を統計処理する回路を設計を行った．しかし，いずれも回路の不具合により動作していないことを確認した．原因の解明には至っていない．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：10, 000～100, 000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

シリアルインターフェイス，擬似乱数発生回路，スキュー調整回路，フラッシュ ADC の試作

芝浦工業大学理工学研究科　　加島 祐大，山崎 浩平，矢崎 裕太郎，石井 雅樹
芝浦工業大学工学部　　佐々木 昌浩

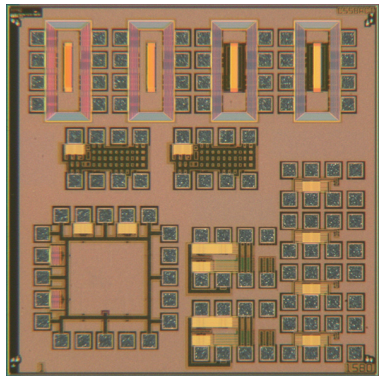


概要：本試作では，4 種類の回路を実装している．1 つ目は以前 65nm で試作した 3 線 3 相式シリアルインターフェイスと同様な回路構成を 0.18μm で実現した回路の試作である．今回，ロジックが適切に動作するようにインバータ等の追加を行っている．2 つ目はデータレート 10Gbps の擬似乱数（PRBS）発生回路の試作である．本回路では線形帰還シフトレジスタ（LFSR）を並列化させ，マルチプレクサを用いてまとめることで高速化を図っている．3 つ目はリング型のスキュー調整回路である．この回路も 1 つ目の回路と同様に 65nm で試作を行っているが，今回は内部の可変遅延回路をより細かな遅延制御を行うために回路の改良を行っている．4 つ目は 6bit フラッシュ型 ADC の試作である．この回路は高速・低消費電力動作を実現するために，コンパレータ部やプリアンプを構成している．

設計期間：5 人月以上，6 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF），Agilent 社 ADS　**トランジスタ数**：10, 000～100, 000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナデジ混載

無線通信回路（ミキサ，振幅ディテクタ，発振器）

東京大学生産技術研究所　　井口 俊太，李 承俊，濵松 昌宗，更田 裕司，高宮 真，
桜井 貴康

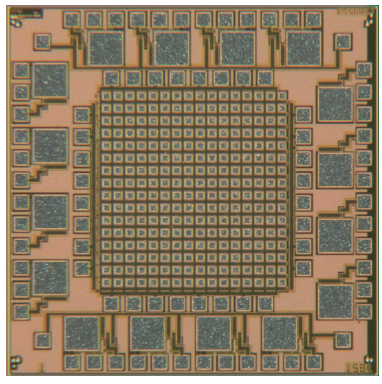


概要：低電力無線通信回路用のパッシブミキサ及び発振回路，振幅ディテクタを設計した．Rohm 社のプロセスで本格的な無線通信用回路を設計するのは初めてであったので，本試作では主にシミュレーション値と実測値の誤差の検証を目的としている．また，本試作で設計した振幅ディテクタは連続型コンパレータと制御ブロックで構成されており，プロセスバラつきやノイズの影響を受けやすいため，これらの項目に関しても実測によって評価を行う必要があった．試作の結果，それぞれの回路ブロックにおけるシミュレーション値と実測値の相違はさほど大きくないことが確認できた．特に，連続型コンパレータを用いた振幅ディテクタの性能はシミュレーション値とほぼ一致しており，Rohm 社のモデリング精度が良好であることを確認できた．また，複数サンプル測定によるプロセスバラつきの検証及び外来ノイズの影響に関しても評価を行うことができた．今後は，本試作で得られた結果をもとに，新たな無線通信回路アーキテクチャを提案し，実証していく予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：100～1, 000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

標準CMOSプロセスを用いたオンチップスピーカー

東京大学生産技術研究所　　更田 裕司，高宮 真，桜井 貴康

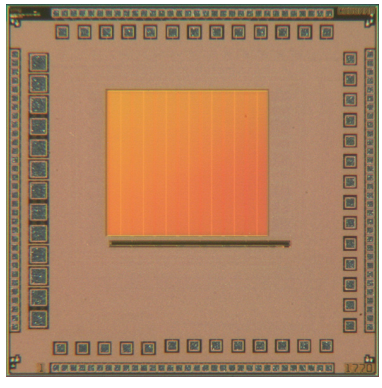


概要：小型のスピーカーを実現する手法として，MEMS技術を用いたものが既に実用化されている．本研究は，標準CMOSプロセスのみでスピーカーを実現する技術の確立を目指すものである．従来のスピーカーは，特定の振動体を用いて音を発生させるが，このような振動体を標準CMOSプロセスのみで実現するのは困難である．そこで本研究では，振動体を用いないスピーカーである，サーモホンを用いた．サーモホンは，電気信号を熱に変え，その熱が回りの空気を膨張させる事で音に変換するスピーカーである．試作チップでは，チップ上のメタル配線を抵抗（熱源）として用い，そこに流れる電流をトランジスタで変調することで，CMOSチップ上でサーモホンを実現した．実装したサーモホンの面積は0.4mm x 1.7mmで，チップから2cmの距離で測定した最大音圧レベルは，9kHz以上の周波数の音で37dBであった．この時の消費電力は440mWであった．本測定結果から，出力可能な音の大きさに対して，消費電力が非常に大きい事が分かった．したがって，今後は低消費電力化手法の検討を行う必要がある．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

単一磁束量子/CMOSハイブリッドメモリシステム試作

横浜国立大学大学院工学府　　佐々木 悠太
横浜国立大学大学院工学研究院　　吉川 信行

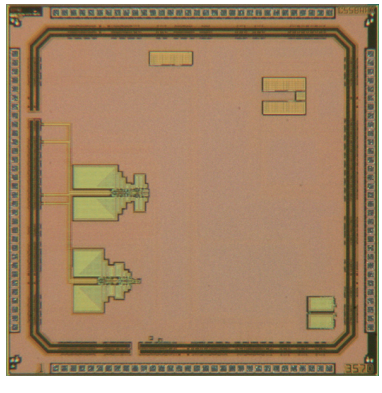


概要：我々は半導体回路に代わる次世代回路として単一磁束量子（SFQ）論理回路の研究を行っている．高速性，低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し，かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している．このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ（容量64-kb），最適化したデコーダ，及び21個のセルフバイアス型差動増幅器（アンプ）が実装されている．目的は従来のCMOSメモリより消費電力を下げる，またSFQ-in，SFQ-outのハイブリッドメモリの全チャンネル動作を実証することである．測定を行った結果，実装した21チャンネル全てにおいて正常動作が得られたが，アクセスタイムは1.8 nsと従来の1.32 nsよりも遅い結果となった．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Astro，Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：メモリ

ΔΣ変調器および逐次比較A/D変換器の基本検討用TEG

上智大学理工学部　　石田 宇一，小原 一馬，山﨑 雄介，和保 孝夫

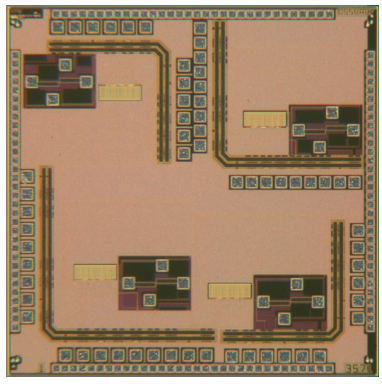


概要：デジタル信号処理技術の発達により，音や光などのアナログ信号をデジタル値に変換するアナログ/デジタル変換器（ADC）が非常に重要な役割を果たすようになってきた．特にモバイル機器やセンサ用途では，高分解能かつ低消費電力で動作するADCが求められている．ADCには様々な方式があるが，この試作ではADCの低消費電力化を図るための基礎検討を行うことを目的として，インバータベース積分器およびダイナミック共通ソース積分器を用いたΔΣ変調器を設計し，搭載した．また，低消費電力化に有利な逐次比較型ADCも同時に搭載した．インバータベース積分器を用いたΔΣ変調器では，シングルエンド型と差動型を設計した．また，ダイナミック共通ソース積分器を用いたΔΣ変調器では，フィードフォワード型，フィードバック型の2つの回路を試作した．逐次比較型ADCでは，容量アレイにトッププレートサンプリングを用いた従来型回路を採用し，今後の検討のための基本データの取得を目的とした．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Diva，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

InAsナノワイヤ/CMOSΔΣ変調器集積化の基本検討用チップ

上智大学理工学部　　島本 一成，和保 孝夫

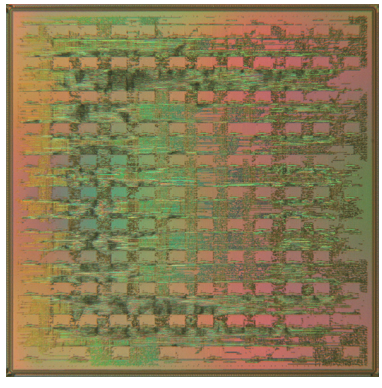


概要：近年，次世代半導体材料としてナノワイヤやナノチューブが注目されている．これらは体積に対する表面積の割合が大きく，表面吸着に対して電気伝導率が敏感に変化すると考えられるため，センサ応用が期待されている．InAsは表面に自然反転層が形成されることが知られていて，ナノワイヤにしても導電性を確保できるため，バックゲートが不要なである．この試作では，ナノワイヤとΔΣ変調器を組み合わせ，ナノワイヤの抵抗変化をデジタル的に検知できる構造を実現することを目標とした．このため，CMOS基板上にInAsナノワイヤを堆積させるための制御電極を配置し，最上層メタル配線を用いた電界支援自己整合プロセスによりナノワイヤを堆積できるようにした．また，パッドパターンを用いてナノワイヤとCMOS回路を接続できるようにした．ΔΣ変調器には，オペアンプの代わりにインバータを用い，低消費電力化を図った．これらを集積化させることで，低消費電力かつ高感度センサの実現が期待できる．現在，ΔΣ変調器の基本動作の確認を終え，化学センサとしての応用可能性を検討している．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Diva，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

メモリネットワークベースアクセラレータ

奈良先端大情報科学研究科　　姚 駿，中島 康彦，清水 怜



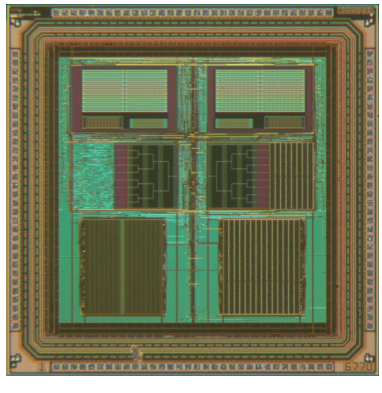
概要：EMAX（Energy-aware Multimode Accelerator eXtension）と名付けたＣＧＲＡ型アクセラレータを開発した．ローカルメモリと演算器（整数演算および単精度浮動小数点積和演算が可能）を組にした基本構成（ユニット）を64個搭載しており，さらに，演算器間ネットワークにＦＩＦＯを組み込むことにより，効率の良いＸ・Ｙ方向のデータ再利用を可能としている．また，評価用プラットホームを開発し4チップ構成にて様々な浮動小数点ステンシル計算を高速実行する実証実験に成功した．ステンシル計算やグラフ処理において，主記憶参照を大幅に削減することができ，測定の結果，従来型GPUやメニコアシステムを凌駕する高いメモリバンド幅あたり性能を達成した．

参考文献：Yoshikazu Inagaki, Shinya Takamaeda-Yamazaki, Jun Yao, Yasuhiko Nakashima: "Performance Evaluation of a 3D-Stencil Library for Distributed Memory Array Accelerators", Proc. 2nd Int'l Workshop on Computer Systems and Architectures (CSA'14), held in conjunction with CANDAR'14, Shizuoka, Japan, pp. 388-393, Dec. (2014)

設計期間：10人月以上　**設計ツール**：Cadence社 NCVerilog，Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Mentor社 ModelSim，Cadence社 Dracula，Cadence社 Diva，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 Formality　**トランジスタ数**：10,000,000〜　**試作ラン**：ローム CMOS 0.18μm 12.5mm角チップ　**チップ種別**：マイクロプロセッサ

レーザ照射によるフォールト攻撃対策の検証用TEGチップ

立命館大学理工学研究科　　中野 将志，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅



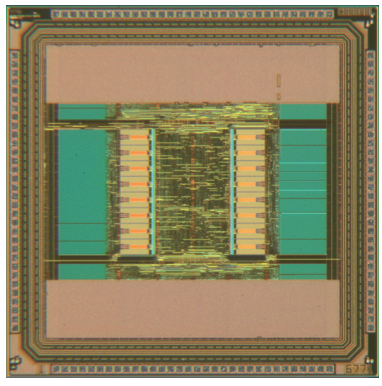
概要：暗号回路を搭載したLSIにおいて，レーザ照射によるフォールト攻撃によって暗号鍵情報が窃取される危険性が指摘されている．本試作チップには，レーザ照射時に流れる電流とソフトエラー発生時に流れる電流が似ていることに着目して，ソフトエラー対策回路がレーザフォールト攻撃の対策として有効であるかを調べるため，ソフトエラー対策のDICE（Dual Interlocked Storage Cell）を用いたラッチのTEG回路を搭載した．さらにメタルシールドによる影響を調べるため，通常のFFにメタルシールドを行ったTEG回路も搭載した．そして実験結果から，DICEラッチ回路によりレーザフォールト攻撃に対する耐性が向上できること確認し，SCIS2015で発表を行った．

参考文献：中野将志，汐崎充，藤野毅，「レーザフォールト攻撃に耐性のある論理ゲートの基礎検討と実験評価」，暗号と情報セキュリティシンポジウム，2B1-3，2015

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 NCVerilog，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 HSPICE（RF），Synopsys社 HSIM　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

MDR-ROMを用いたサイドチャネル攻撃対策AES兼用PUF回路

立命館大学理工学研究科　　西村 隆志，竹内 章浩，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅



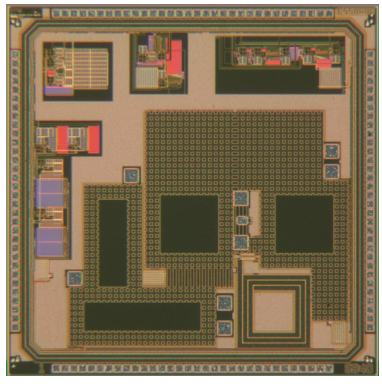
概要：サイドチャネル攻撃や物理解析を用いて暗号回路を攻撃することでICカードなどの秘密情報を窃取可能であり，それによって暗号回路を偽造・複製される危険が存在することが近年指摘されている．よって，サイドチャネル攻撃や偽造・複製への対策が必要不可欠となっている．我々はこれらの対策を単一の回路を用いて両立するため，偽造・複製対策回路として近年注目されているPUF（Physical Unclonable Function）をサイドチャネル攻撃対策MDR-ROM回路に統合する手法を提案してきた．本チップでは，実際にPUFの動作とAES暗号回路のサイドチャネル攻撃対策を単一のMDR-ROM回路を用いて実現した．また，実測評価を通してAES暗号回路としての動作と，PUF回路としての動作を行えることを確認した．

参考文献：西村隆志，竹内章浩，汐崎充，藤野毅，「サイドチャネル攻撃耐性を持つMDR-ROMに統合可能なPUF回路の設計と評価」，デザインガイア，（43）ICD，2015

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社NCVerilog，Synopsys社DesignCompiler，Synopsys社ICCompiler，Cadence社Virtuoso，Mentor社Calibre，Cadence社Spectre，Synopsys社HSPICE（RF），Synopsys社HSIM　**トランジスタ数**：10,000～100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

0.18μmCMOSプロセスを用いたパッチクランプ測定システムの改良

慶應義塾大学理工学部　　中野 誠彦
慶應義塾大学理工学研究科　　川島 拓也，四ツ田 大樹

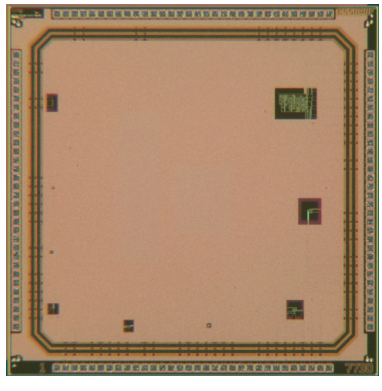


概要：現在，電気生理学の分野で神経細胞によるイオン電流を測定することが盛んに行われている．この神経細胞を測定することができるメリットの1つに神経疾患の治療に貢献することが挙げられる．また，ブレインマシンインタフェース技術と呼ばれる，脳と機械間の双方向通信技術の応用にも貢献できると期待されている．我々はこのイオン電流を測定する手法の1つであるパッチクランプ法のためのLSIシステムの設計を行っている．今回のチップでは以前に試作を行った容量をフィードバックに用いたI-Vコンバータの改良を行った．また，アンチエイリアシングフィルタの設計と測定対象および測定システムにより生じる寄生成分を補償する回路の改良も行った．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社Verilog-XL，Synopsys社ICCompiler，Cadence社Virtuoso，Mentor社Calibre，Cadence社Spectre，Synopsys社StarRC（XT），Synopsys社Hercules，Agilent社ADS　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

断熱的サブスレッショルド論理回路

岐阜大学大学院工学研究科　　加藤 和成，高橋 康宏，関根 敏和



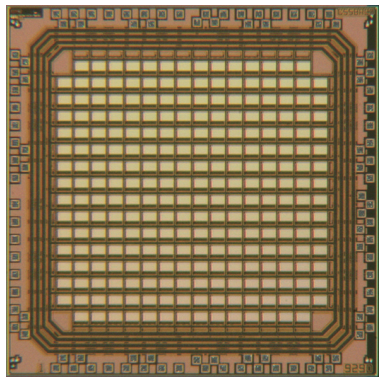
概要：断熱的論理とサブスレッショルド論理を組み合わせた新しい論理回路を提案した．提案回路は，2相交流波電源で駆動し，その波形は0-Vdd/2および0-Vddを振幅とする波形で，2つの周波数差は2倍である．また，電源電圧（Vdd）は0.5Vで動作する．提案回路を用いた4×4ビットアレイ型乗算器を設計し，動作検証を行ったところ，その動作速度の上限は1kHzであった．また，消費電力を検証したところ，サブスレッショルドCMOS論理回路と比較し，約40%の電力を削減することが可能であった．これら結果から，提案する断熱的サブスレッショルド論理回路は，センサネットワークなどのエネルギーハーベスティング用集積回路に応用できると考えられる．

参考文献：K. Kato, Y. Takahashi, and T. Sekine, “Two phase clocking subthreshold adiabatic logic,” Proc. IEEE ISCAS 2014, pp. 598-601, June 1-5, Melbourne, Australia.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社Astro，Cadence社Virtuoso，Cadence社ASSURA，Synopsys社HSPICE（RF）　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：演算回路（乗算器，除算器など）

パワーインテグリティチップ1

芝浦工業大学理工学研究科　　市村 航

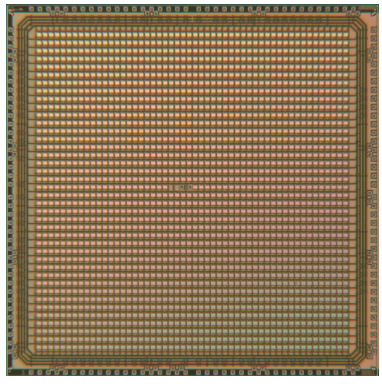


概要：近年，CMOS LSI システムはより高い周波数のクロックかつ低い供給電圧で動作するようになり，デジタル電子システムを安定動作させるためにパワーインテグリティが重要になってきた．特に，オンチップ容量とパッケージインダクタンスの並列共振によってチップ・パッケージの電源分配ネットワーク（PDN）に反共振ピークが発生することが問題となっている．本試作では反共振ピークを抑え，電源ノイズを抑制することを目標としている．設計したチップは主としてノイズ源回路とノイズを受ける回路を配置している．電源構造は，チップ内部に可変用 MOS スイッチを配置し，外部スイッチの ON/OFF 切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し，臨界制動領域を実現することで電源ノイズを抑えることを想定したものである．また，フリップチップ実装を想定し，チップのパッド間隔は広めに設計した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

パワーインテグリティチップ2

芝浦工業大学理工学研究科　　市村 航



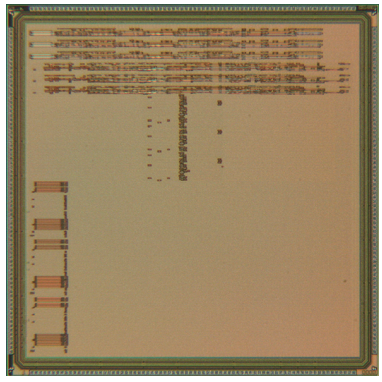
概要：近年，CMOS LSI システムはより高い周波数のクロックかつ低い供給電圧で動作するようになり，デジタル電子システムを安定動作させるためにパワーインテグリティが重要になってきた．特に，オンチップ容量とパッケージインダクタンスの並列共振によってチップ・パッケージの電源分配ネットワーク（PDN）に反共振ピークが発生することが問題となっている．本試作では反共振ピークを抑え，電源ノイズを抑制することを目標としている．設計したチップは主にノイズ源回路とノイズを受ける回路を配置している．電源構造は，チップ内部に可変用 MOS スイッチを配置し，外部スイッチの ON/OFF 切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し，臨界制動領域を実現することで電源ノイズを抑えることを想定したものである．また，フリップチップ実装を行うためチップのパッド間隔は広めに設計した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数**：100, 000〜1, 000, 000　**試作ラン**：ローム CMOS 0. 18μm 5. 0mm 角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

平成26年度第2回ローム CMOS 0.18um 試作
（RO18142）

リングオシレータを用いたアンテナダメージ評価回路

京都工芸繊維大学電子システム工学専攻　　岸田 亮，大島 梓，小林 和淑

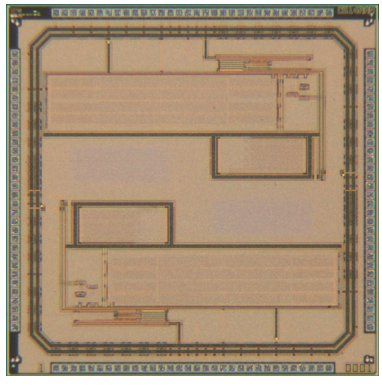


概要：アルミ配線によるアンテナダメージの影響を調べる回路を試作した．リングオシレータの最終段に面積を大きくしたアンテナとなる配線を接続し，発振周波数を測定することでアンテナダメージが回路へおよぼす影響を評価する．リングオシレータはNORのみで構成されている．NORの入力端子の接続方法を工夫することで，アンテナダメージを受ける最終段のNORのみにNBTI（Negative Bias Temperature Instability）を発生させ，アンテナダメージによるNBTIの影響を評価する．銅配線プロセスと比較することで，配線製造工程の違いによるアンテナダメージの影響も評価できる．アンテナルールを違反しても，トランジスタが壊れることはなかった．アンテナダメージによる発振周波数減少を確認したが，他のばらつき成分と比べると十分小さいものであることがわかった．

設計期間：3人月以上，4人月未満　**設計ツール**：Synopsys社ICCompiler，Cadence社Virtuoso，Mentor社Calibre，Synopsys社StarRC（XT），Synopsys社HSPICE（RF）　**トランジスタ数**：100,000～1,000,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：TEG（特性評価回路など）

動的電化注入による電源共振ノイズ低減回路試作チップ

東京大学工学部　　鹿野 真弘

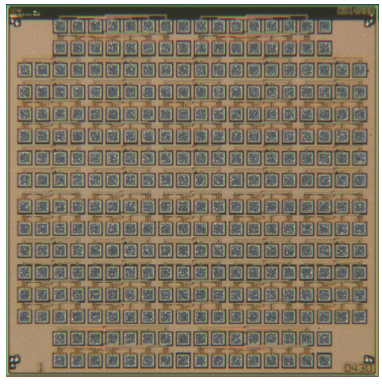


概要：近年の微細化により，パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり，それに伴い発生するdi/dtノイズや電源共振ノイズが無視できなくなっている．一般にこれらの電源ノイズの低減にはパッシブキャップが用いられるが，大きな容量を得るには大きな面積を必要とする．よってこの面積コストを低減するために，これら電源ノイズをオンチップで検知し動的に電荷を注入する回路を設計した．ノイズ検出器には，電圧降下を遅延時間の差として取り出すためのDLLと遅延時間差をデジタルサーモメータに変換するVernier TDCの2つを用いている．このVernier TDCの出力を元に，MOSキャパシタから電荷を注入し，電源電圧ドロップを改善する．MOSキャパシタには，4つを1セットとして2セット用意し，合計8つ用いている．MOSキャパシタ1つの容量は約50pFである．この2セットを順々に使うことでキャパシタの使用効率を高めている．シミュレーションでは，提案手法により22%のノイズ低減がなされており，従来のパッシブデキャップと比較して約3倍の面積効果を示している．このシミュレーション結果を実証するためのテストチップである．この試作チップは，昨年試作されたチップを一部修正・改良したものである．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社Virtuoso，Mentor社Calibre，Synopsys社StarRC（XT），Synopsys社Hercules　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

ストレス印加によるノイズマージンの影響を調べるSRAMTEG

東京大学生産技術研究所　　長尾 光晋，水谷 朋子，小林 正治，平本 俊郎



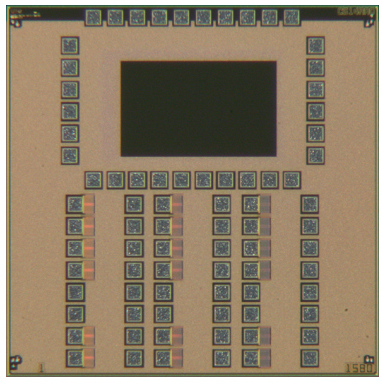
概要：本試作では電気的ストレスのSRAMのノイズマージンへの影響を調べるためのSRAM　TEGを設計した．具体的にはローム180nmのロジックルールに基づいて，通常の6トランジスタSRAMと，アクセストランジスタを省いた4トランジスタSRAMを設計した．セルトランジスタのサイズは，ゲート長を0.5umに固定して，ゲート幅を0.22umから1umまで振った．パッドはプローブカードのピッチに合わせて，サイズを80um x 80um，ピッチを120umとした．6トランジスタSRAMについては，内部ノードにコンタクトを打ち，直接電位観察ができるように設計した．各SRAMセルに対してすべてのノードからパッドを引き出すためにチップ内のSRAM数はパッドの配置で決まる．最終的に2.5mm x 2.5mmのチップに68個のSRAMを配置した．本試作チップを用いて各ノードからの電気的ストレスによるSRAMセルのノイズマージンへの影響について統計的なデータをとることができる．

参考文献：未発表

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社Virtuoso　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

無線通信回路（サンプラー・復調器，コンパレータ，発振器）

東京大学生産技術研究所　　李 承俊，濵松 昌宗，更田 裕司，高宮 真，桜井 貴康

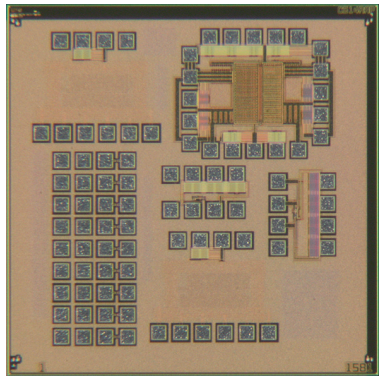


概要：近年注目されているセンサネットワークでは，各センサノードに無線機が使われ，多数運用することでネットワークとして機能する．一般的に，使用するアプリケーションや地域により無線規格が異なるため，多様なアプリケーションを実現するためにはそれぞれの無線規格に沿った専用回路を製作しなければならなかった．その結果，無線回路が少量多品種となり，開発費の高騰により高コストなシステムとなる．また，センサネットワーク向けの無線機では，電池の寿命を考慮すると，低消費電力化が必須であるが，従来のソフトウェア無線は10mW以上の電力を消費する．本試作では，低電力無線通信の受信システムにおける要素回路の提案を行う．まず受信システムで必要となるサンプラー・復調器を提案する．提案回路にはソフトウェア無線技術を応用することで複数の無線通信規格に対応させている．またコンパレータはオフセットの校正回路の高解像度化手法を提案することでより高精度な位相比較を実現する．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：通信（RF回路，ATMなど）

低電力40MHzリラクゼーションオシレータ

東京大学生産技術研究所　　本田 雅宣，羅 丹，更田 裕司，高宮 真，桜井 貴康

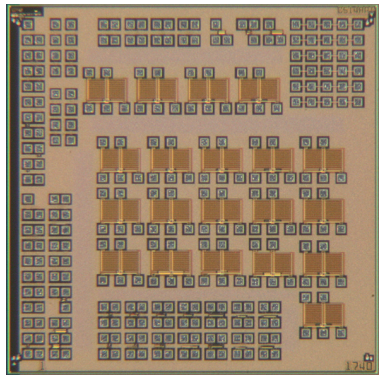


概要：新人研修を目的として，低電力かつ高精度なリラクゼーションオシレータの設計及び試作を行った．本試作では，シミュレーションやCADの使用方法を習得するために2つのコンパレータ及びSRフリップフロップで構成される発振回路を試作し，測定方法やシミュレーション値と実測値の相違に関して考察を行った．リラクゼーションオシレータの設計では，主にコンパレータの性能によって発振回路の性能（消費電力や周波数精度など）が決定されるため，消費電力と動作速度のトレードオフを理解した上でコンパレータの設計を行う必要がある．そこで本試作では，ある周波数精度を仮定した場合にどれだけ消費電力を下げられるかという課題のもとコンパレータの設計を行った．設計及び実測による評価の結果，配線抽出後の遅延の見積りに誤りがあったため発振周波数が大きく変動してしまうことがわかった．また，発振回路の発振波形を出力するアナログバッファの設計が適切でなかったため，目標とする位相ノイズを得ることができなかった．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

環境RF発電向けGate Controlled Diode，整流回路の寄生容量評価TEG

金沢工業大学工学部電気系　　九里 悠太，馬渕 将成，井田 次郎

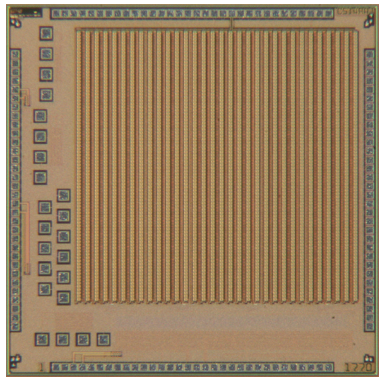


概要：エネルギー・ハーベスティング技術の一つである環境RF発電を研究テーマとしている．具体的には，地上デジタルTV波からの電力取得をターゲットとしている．最大の課題は，極低入力での高効率整流である．これまで，Gate Controlled Diode（GCD）に使われるトランジスターの閾値を最適化することで高効率を達成できることが分かってきた．さらなる高効率化には，GCD，及び，整流回路の寄生容量の削減が重要であることも判明している．ここでは，GCDのレイアウト，回路のレイアウトを要素に分け，寄生容量を確認するTEGを作製した．現在，評価中であるが，PAD間の容量，トランジスター・レイアウトによる容量差などが確認された．さらに，整流回路での寄生容量を測定しシミュレーション結果と比較することで回路での寄生容量も分析できつつある．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Agilent社 ADS　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

低電力可逆演算回路

横浜国立大学大学院工学府　　**井上 孔佑**
横浜国立大学理工学部　　**安井 雄紀**
横浜国立大学大学院工学研究院　　**吉川 信行**

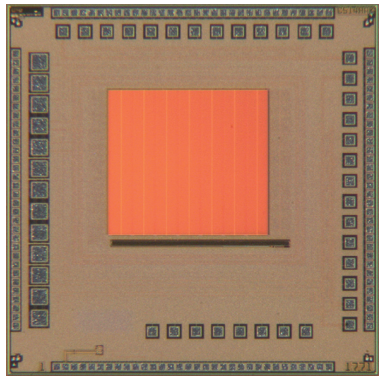


概要：我々はCMOS集積回路を用いた低電力化技術として，可逆演算回路を研究している．可逆演算回路は一般的な論理演算回路と異なり，情報の消去により生じるエネルギーが生じないため，消費エネルギーを極限まで下げることができる．また低消費電力で動作可能な回路で断熱的論理回路がある．この回路は電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である．この断熱的論理回路を可逆的に動作させることにより低消費電力で動作させる方法を提案している．本チップには，4相の台形波で動作する可逆演算回路を敢えて非対称に作成した回路を載せている．さらに，電力測定用に大規模な回路も載せた．測定を行った結果，正常動作を確認することができ，動作実証に成功した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Astro，Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：その他

単一磁束量子/CMOSハイブリッドメモリシステム試作1

横浜国立大学大学院工学府　　**佐々木 悠太**
横浜国立大学大学院工学研究院　　**吉川 信行**

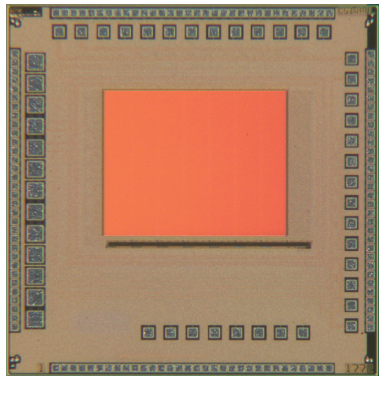


概要：我々は半導体回路に代わる次世代回路として単一磁束量子（SFQ）論理回路の研究を行っている．この高速性，低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し，かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している．このチップには8T-SRAMセルで構成されるメモリアレイ（容量64-kb），デコーダ，及び21個のセルフバイアス型差動増幅器（アンプ）が実装されている．目的はハイブリッドメモリの全チャンネル動作を実証するためのCMOSメモリチップを確保するために従来設計したCMOSメモリと同様のものを載せている．測定を行った結果，アクセスタイムは1.3 nsが得られ，実装した21チャンネル全てにおいて正常動作が得られた．またアクセスタイムのアドレス依存性を確認した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Astro，Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：メモリ

単一磁束量子/CMOSハイブリッドメモリシステム試作2

横浜国立大学大学院工学府　　**佐々木 悠太**
横浜国立大学大学院工学研究院　　**吉川 信行**

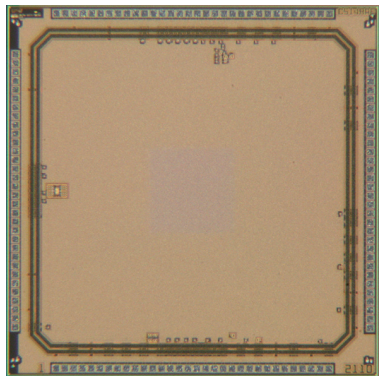


概要：我々は半導体回路に代わる次世代回路として単一磁束量子（SFQ）論理回路の研究を行っている．この高速性，低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し，かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している．このチップには電流量差を利用したメモリセルのマルチ読み出しを可能にしたCMOSメモリを載せている．この機構をメモリに組み込むことでデコーダの回路規模を小さくしより消費電力を下げることができる．容量は64-kbとなっており，最適化したデコーダ，及び21個のセルフバイアス型差動増幅器（アンプ）が実装されている．目的は従来のCMOSメモリより消費電力を下げる，またSFQ-in，SFQ-outのハイブリッドメモリの全チャンネル動作を実証することである．測定を行った結果，レイアウトミスにより正常出力を得ることができなかった．メモリセル単体では正常動作を得ることができた．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 Astro，Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：メモリ

方形波発振回路を用いたCPGモデルと高集積細胞体モデルの試作

日本大学理工学研究科電子工学専攻　　奥山 敦司，二瓶 乃亮
日本大学理工学部　　佐伯 勝敏

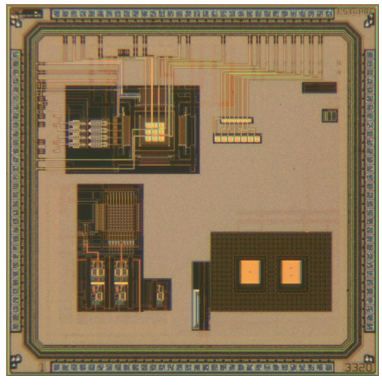


概要：動物は歩行や飛行，遊泳といった周期的な運動において，周囲の環境に突発的な変化が生じても，それによる変化を抑制し，これまで通りの運動機能を維持することのできる優れた環境適応能力，すなわちロバスト性を有している．動物がもつ優れたロバスト性は，Central Pattern Generator（以降，CPGと略す）と称される脊髄に存在するとされる神経回路網が備えた機能であるとされている．CPGの基本的な機能は，歩行などの周期性を持つ運動のリズムパターンの生成・制御を行っており，CPGは上位中枢からの入力を受け，歩行パターンの生成や環境に適した運動の調整を行う．ロボットにCPGを工学的に応用することで自律的に環境に適した歩行動作を行わせることが出来ると考えられている．そこで，我々は高い歩留まり率を有するハードウェアCPGモデルの作成を目指し，方形波発振回路を用いて構成したCPGモデルを提案し，今回集積化を行った．また，細胞体モデルの高集積化を目的として，NMOSで構築した負性抵抗回路を用いて設計を行った細胞体モデルの試作を行った．さらに，細胞体モデルは，従来モデルと同様に外部より出力周波数を調整可能とし，複数のパラメータを用いたパターンを作成した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

集積化イメージセンサのノイズ特性評価用TEG

茨城大学工学部　　木村 孝之



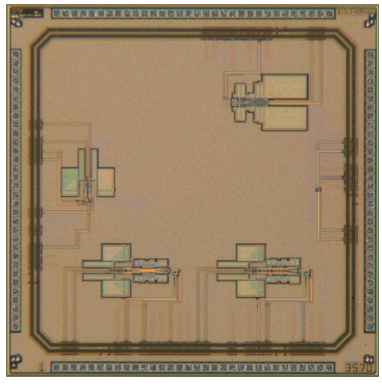
概要：CMOSイメージセンサでは標準CMOSプロセスを使う事により低コスト化が可能である．これまでプロセスの微細化によりイメージセンサの画素サイズは小さくなってきている．画素サイズが小さくなると画素内のアンプ回路も小さくなる．アンプ回路を構成するMOSFETが小さくなるとそれに伴い1/fノイズの増加など問題が発生する．本試作では，この様なアンプ回路を構成するMOSFETが微細化した際に，発生するノイズを測定するために評価用のTEGを試作した．評価用のTEGとして読み出し用のnチャネルのソースフォロア（L/W=0.2μm/1.2μm）とpチャネルソースフォロア（L/W=0.2μm/1.2μm），さらにオペアンプによるボルテージフォロアとゲイン10倍の差動増幅回路を設計した．4つの回路に超低ノイズの定電圧（4.2Vrms）を入力した際に出力された電圧を測定した．その結果，pチャネルソースフォロアで測定された1/fノイズ（1.0e+5 $\mu V^2/Hz$）が支配的であった．1/fノイズのピークツーピークの電圧は300μVであり，これは過去の研究［1］で測定された値と良い一致が見られた．イメージセンサの低ノイズ化を実現するためにはpチャネルソースフォロアで発生する1/fノイズの低減が重要で有る事が明らかとなった．

参考文献：［1］Ming-Horn Tsai，Tso-ping Ma，"The Impact of Device Scaling on the Current Fluctuations in MOSFET's"，IEEE Transactions on Electron Devices，Vol. 41，No. 11 （1994）

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

ダイナミック共通ソース積分器を用いた低消費電力ΔΣ変調器

上智大学理工学部　　小原 一馬，和保 孝夫

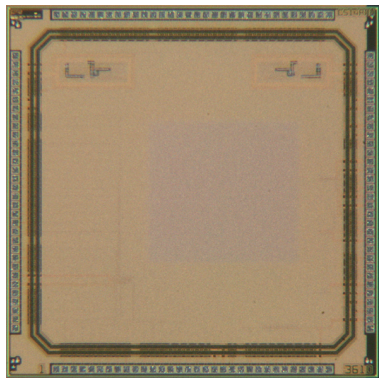


概要：センサ用途やオーディオ用途などで，高分解能かつ低消費電力で動作するADCが求められている．ΔΣ変調器は高分解能動作が可能であるが，従来型では積分器に使うオペアンプには定常的に電流が流れるため，低消費電力化が難しいという問題点があった．この消費電力は動作周波数によらずほぼ一定であるため，サンプリング周波数を低くするとΔΣ変調器の電力使用効率（FOM）が劣化することが知られていた．我々はこの課題を解決するため，積分動作終了と同時に電流を遮断できるダイナミック共通ソース積分器を提案した．本試作ではそれを用いた2次ΔΣ変調器を搭載した．また，容量の不要な充放電過程を省いて，さらに消費電力を削減したコンプリメンタリ型ダイナミック共通ソース積分器を提案し，それを用いた2次ΔΣ変調器も搭載した．変調器はそれぞれ2次差動フィードフォワード型で構成し，サンプリング周波数は1 MHzを想定して設計した．シミュレーションでは，バンド幅4 kHzでSNDR = 71 dBを得ている．動作実験を行ったところ，2次のノイズシェイピング特性が確認できた．しかし，予想よりノイズフロアと高調波歪みが大きかったため，その対策を考察し，次回試作に反映させることにした．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Diva，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

Time analog to digital converter の試作

横浜国立大学工学府　　林 賢志, 足立 武彦

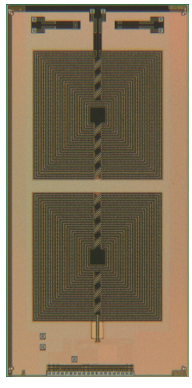


概要：A/D 変換器の高分解能化や低電源電圧化などに伴い，Time-to-Digital Conveter（TDC） に関する研究開発が活発化している．TDC の 1 つとしてリングディレイライン（RDL）を用いた Time Analog to Digital Converter （TAD） がある．TAD は，サンプリング周波数によりビット数を変えることができることやローパスフィルタ効果を有すること等の特徴を有する．TAD は，RDL，エンコーダ，ラッチ，カウンタ，減算器等により構成される．本試作では，前回の試作で作成した TAD プロトタイプの見直しを行い，各要素回路のチューニングを行った．また，前回の試作で明かとなった各要素回路へのクロック配線長の相違による誤動作を防ぐための改良を行い，電源ラインによるノイズ対策を追加した．試作チップの A/D 変換特性，直線性，消費電力等を評価する予定である．また，TAD を構成する要素回路の特性の確認を行うため，RDL 単体も実装した．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

インダクタおよび発振器評価 TEG

呉工業高等専門学校電気情報工学科　　外谷 昭洋

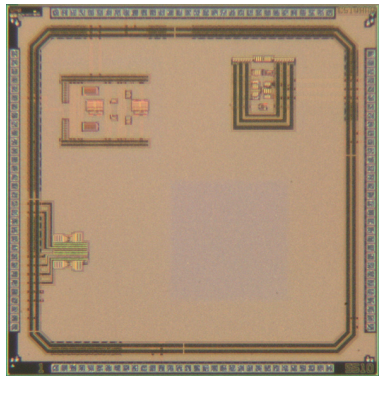


概要：本チップは可変ゲインのアンプを搭載した LC 型電圧制御発振器（LC-VCO）および, LC-VCO に含まれるインダクタの評価 TEG となっている. LC-VCO は発振周波数を決定する LC 共振回路部と正帰還を掛けて発振を持続させるアンプ部からなり, LC 共振回路部で生じた損失をアンプ部が補うことで発振を持続させている. LC-VCO においては周囲の環境や内部の素子バラツキなどによって最低限必要なアンプのゲインが変化してしまう. また, アンプのゲインを上げることは消費電力の増大につながり, 余分な電力を消費してしまうため, 本チップでは発振可能な最低限のゲインを選択し, 低消費電力で発振が持続できるよう, 可変ゲインのアンプを採用している. また, LC 共振回路部に含まれるインダクタについては, LC-VCO の発振特性に影響を与えるため, 評価 TEG を用いて検証を行った.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules　**トランジスタ数**：1, 000〜10, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mmx5. 0mm チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

ジッターシェーパー回路

法政大学理工学研究科　　渡邉 裕紀
法政大学理工学部　　安田 彰



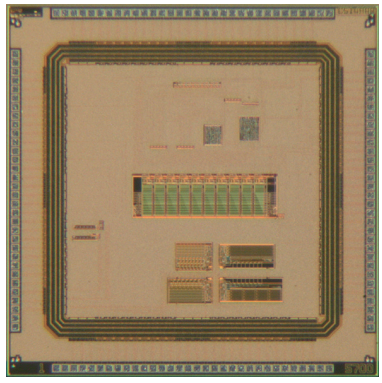
概要：オーバーサンプリングとノイズシェーピング特性により高精度な変換を実現することができるため，オーディオ用の高精度なデジタル-アナログ変換器（DAC）には ΔΣ DAC が一般的によく用いられている．ΔΣDAC は，アナログ信号出力時にクロックジッタと高域の量子化ノイズとの位相変調作用により，ホワイトノイズやスプリアストーンが発生し，特性が悪化する．従来の対策法として，ΔΣ 変調器（DSM）の後ろにローパス型のスイッチトキャパシタフィルタや FIR フィルタを挿入し，高域の量子化ノイズを低減する方法が知られている．しかし，これらフィルタの挿入は，アナログ回路や bit 数の増加により DAC 回路規模が増大する．本試作では，内部システムの DSM にあらかじめナイキスト周波数に零点を挿入し，アナログ加算部にジッタシェーパ（JS）を導入することで，クロックジッタの影響を低減する方法を実装する．

参考文献：渡邉裕紀，西勝　聡，安田　彰，吉野理貴，“ナイキスト周波数に零点を持たせクロックジッタの影響を低減した ΔΣ DAC,” 電子情報通信学会，　全国大会，C-12-10，3 月 18 日，2014 年

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

偶数段リング発振回路，スタック型回路構造による中間電位安定性評価回路，及び低消費電力 Ratioless SRAM 回路

九州工業大学情報工学府　　**福田 智宏，久保 直也，近藤 敬宏**

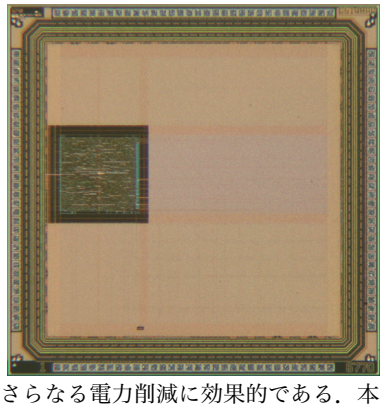


概要：本チップには片ドライブ片ラッチ型偶数段リング発振回路と比較用の奇数段リング発振回路，スタック型回路構造による中間電位安定性評価回路，低消費電力 Ratioless SRAM 回路と比較用の従来の SRAM 回路が搭載されている．偶数段リング発振回路は単体で直交位相変調信号を出力可能な発振回路であり，本研究で提案する片ドライブ片ラッチ型偶数段リング発振回路は構成するインバータを片チャネル化した偶数段リング発振回路となっている．今回の試作チップでは片ドライブ片ラッチ型偶数段リング発振回路の特性を奇数段リング発振回路のものと比較することが目的である．電源スタック型コーディング回路には 2 種類のコーディング回路と 6T-SRAM が搭載されている．今回の試作チップでは，電源スタック型回路におけるコーディングを利用した場合の中間電位安定化効果を比較検証することが目的である．本研究で提案する Ratioless SRAM はメモリセルを選択する際，半選択状態となるメモリセルが存在するため不要な電力消費が行われるという問題点があった．今回の試作チップでは，この問題点を解消した低消費電力 Ratioless SRAM の消費電力を従来の Ratioless SRAM，6T-SRAM，及び 8T-SRAM のものと比較することが目的である．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：nanodesign 社 ns-d raw，Cadence 社 SoC Encounter，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：メモリ

赤外線アレイセンサの間欠動作制御と人物検知演算を行うコントローラ

立命館大学理工学研究科　　**人見 達郎**
立命館大学理工学部　　**藤野 毅**



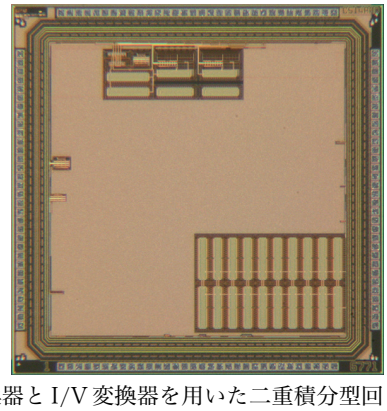
概要：近年，物理情報を取得するセンサを用いた情報収集に，センサノードと呼ばれる電子制御機器が利用されている．センサノードの構成要素は，センサ本体，記憶媒体，無線通信モジュール，それらを制御する MCU（Micro Controller Unit）及び電池等である．センサノードは，あらゆる場所に設置が可能であることが望ましいため，超小型かつ限られた電力源での長時間動作が求められる．しかし，画像情報を取得するイメージセンサを搭載したカメラセンサノードの実用化に向けては，小型電池による稼働時間が短いという課題がある．そこで，低消費電力な赤外線アレイセンサを用いて，人物の有無を判定し，撮影が必要な場合のみ高消費電力なイメージセンサを起動する間欠動作によって，消費電力の削減が可能である．間欠動作時は赤外線アレイセンサの制御と人物検知演算を行う MCU の電力が，センサノード全体電力の半分以上を占めるため，センサ制御機構の改良が，さらなる電力削減に効果的である．本試作の目的は，MCU と同等の赤外線アレイセンサ制御と人物検知演算を行うデジタルハードウェア回路の消費電力を測定し，ソフトウェアを用いた MCU 制御との比較を行い，電力削減効果を検証することである．

参考文献：Tatsuro Hitomi，Takeshi Kumaki，and Takeshi Fujino "The Intermittent-Operation Control LSI for Ultra-Low-Power Camera: Green Smart Secure Eyes"，NCSP2015，2015 年 3 月．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

人物検知用赤外線アレイセンサ対応低消費電力 AFE 回路

立命館大学理工学研究科　　**上口 翔大，浅川 俊介**
大阪産業大学工学部　　**熊本 敏夫**
立命館大学総合理工研究機構　　**汐崎 充**
立命館大学理工学部　　**藤野 毅**

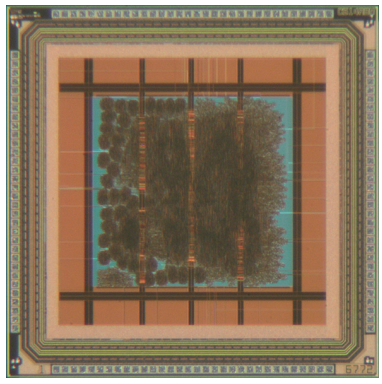


概要：小型電池で年間駆動する人物監視カメラを実現するための技術開発を行っている．本システムでは 1 秒毎に，赤外線アレイセンサ像を用いて人物の有無を判定し，撮影が必要な場合のみ高消費電力なイメージセンサを起動することで，消費電力の削減を行っている．上記の間欠動作の制御をマイコンから専用ハードウエアで行うことにより，3 か月程度の連続駆動が可能となった．駆動時間の更なる延長のためには，イベントを検知する赤外線アレイセンサの低消費電力化が必須である．そこで，素子出力の増幅およびデジタル変換する AFE 回路の省電力設計を行っている．今回は，赤外線アレイセンサ向けの AFE 回路の基本的なファンクション確認のため，要素回路 TEG を試作した．その要素回路の構成は，V/I 変換器と I/V 変換器を用いた二重積分型回路である．この方式を採用した理由は，数百 μV オーダーと非常に微弱な素子出力を，シンプルな回路構成で，かつ積分時間を長くするほど信号を増幅することができるからである．また，トランジスタの製造ばらつきとフリッカノイズの検証を行うため，サイズの異なる数種類の単体トランジスタも搭載しその特性を評価した．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

サイドチャネル攻撃評価用 AES 暗号回路

立命館大学理工学研究科　　中井 綱人，堤 大樹，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅



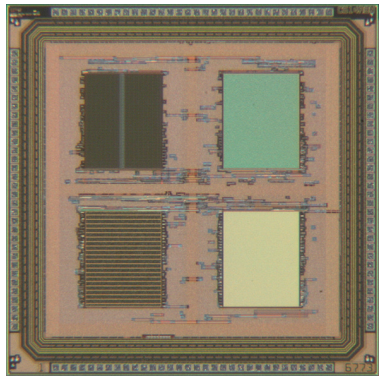
概要：IC カードに代表される暗号回路を搭載した LSI において，消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている．何の対策も施さず設計された暗号回路は，動作時における内部ノードの論理値と消費電力の間に相関があるため，消費電力波形を多数収集し，差分電力解析 DPA（Differential Power Analysis）および相関電力解析 CPA（Correlation Power Analysis）を行うことで， 秘密鍵を特定することができる．本試作チップは，電力・電磁波解析攻撃やフォールト攻撃実験なども含めた新たな攻撃評価を行うために 3 種類の未対策 AES 暗号回路と 1 種類の対策が施された AES 暗号回路を搭載した．3 種類の未対策 AES 暗号回路は，合成体方式 S-Box を実装したもの，32bit 単位で処理を行うことで小面積化を図った合成体方式 S-Box とテーブル方式 S-Box を実装したものである．対策が施された AES 暗号回路は，サイドチャネル攻撃対策 RSM（Rotating S-Boxes Masking）方式を実装した．

参考文献：堤大樹，中井綱人，汐崎充，久保田貴也，「サイドチャネル攻撃対策 RSM 方式を用いた AES 暗号回路の電力解析攻撃耐性評価」，暗号と情報セキュリティシンポジウム，3A3-4，2015

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 HSPICE（RF），Synopsys 社 HSIM　**トランジスタ数**：100, 000〜1, 000, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：演算回路（乗算器，除算器など）

レーザフォールト攻撃におけるメタルシールドの影響検証用 TEG チップ（1）

立命館大学理工学研究科　　中野 将志，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅

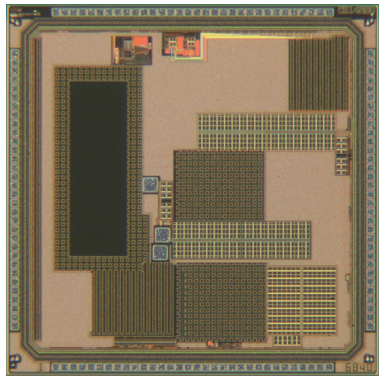


概要：暗号回路を搭載した LSI において，レーザ照射によるフォールト攻撃によって暗号鍵情報が窃取される危険性が指摘されている．そこで我々は，レーザ照射が LSI へ与える影響やフォールトの要因を調査してきた．本試作チップには，メタルシールドの形状がレーザフォールト攻撃に及ぼす影響を調査するため，アレー状に並べた DFF 上に異なる 4 種類のメタルシールドを形成させた TEG 回路を搭載した．また 2014 年 11 月の“レーザフォールト攻撃におけるメタルシールドの影響検証用 TEG チップ（2）”にて本試作チップを追加で作成した．TEG 回路の動作は確認済みであるが，レーザ照射の実験に関しては今後行う予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 HSPICE（RF），Synopsys 社 HSIM　**トランジスタ数**：100, 000〜1, 000, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

0. 18μmCMOS プロセスを用いたパッチクランプ測定システムの改良

慶應義塾大学理工学部　　中野 誠彦
慶應義塾大学理工学研究科　　川島 拓也，四ツ田 大樹

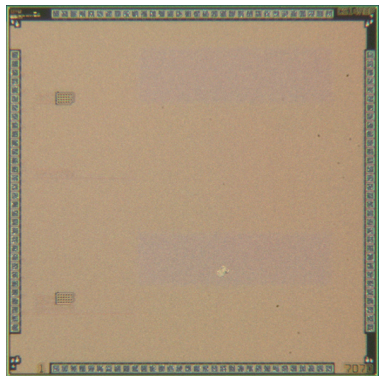


概要：現在，電気生理学の分野で神経細胞によるイオン電流を測定することが盛んに行われている．この神経細胞を測定することができるメリットの 1 つに神経疾患の治療に貢献することが挙げられる．また，ブレインマシンインタフェース技術と呼ばれる，脳と機械間の双方向通信技術の応用にも貢献できると期待されている．我々はこのイオン電流を測定する手法の 1 つであるパッチクランプ法のための LSI システムの設計を行っている．今回のチップでは，以前に試作した可変利得増幅回路を改良したものと寄生成分補償回路に含まれる可変利得増幅回路，およびそれをデジタル制御するためのシリアルパラレルコンバータの設計，レベルシフタの設計を行った．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Agilent 社 ADS　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

低電圧CMOSオペアンプおよび電流リファレンス回路

埼玉工業大学大学院工学研究科　　秦 志剛，吉澤 浩和



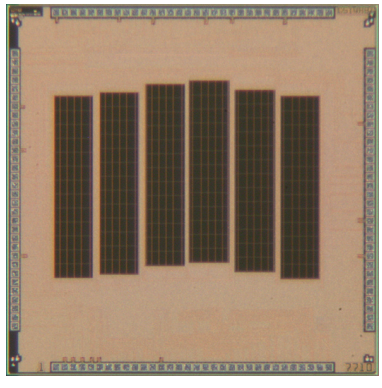
概要：近年，集積回路の電源電圧は1V未満であることが珍しくなくなっている．低電圧化により，消費電力の低減や電池の軽量化が可能になるなどのメリットがある．しかしながらアナログ回路において，電源電圧の低下は振幅の減少およびS/N比の低下につながるため，オペアンプには入出力レールトゥレール動作が求められる．本試作では，0.5V動作のレールトゥレールCMOSオペアンプの動作を確認するため，文献［1］　（Akihiro Tanaka，Zhigang Qin，and Hirokazu Yoshizawa，“A 0.5-V 85-nW Rail-to-Rail Operational Amplifier with a Cross-Coupled Output Stage，”Proc. IEEE International Conference on Electronics，Circuits and Systems，pp. 137-140，2013.）に記載された回路を0.18μm CMOSプロセスを用いて試作を行った．同時に低電圧電流リファレンス回路の試作も行った．試作したオペアンプは電源電圧0.5Vから動作することを確認した．

参考文献：［1］ A. Tanaka，et al.，Proc. IEEE International Conference on Electronics，Circuits and Systems，pp. 137-140，2013.

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：10～100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

オンチップ太陽電池の開発

東洋大学総合情報学部　　堀口 文男



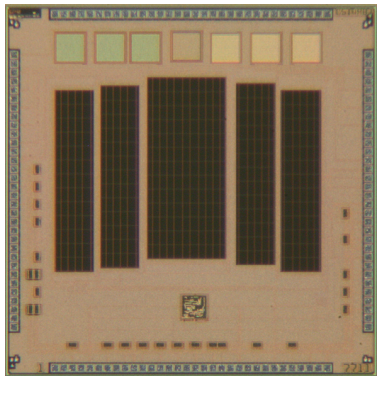
概要：1．目的　通常のリングオシレータのp-wellをDeep-nwell，n-wellで囲むとp-wellがフローティングとなる．また，n-wellも基板のp-substrateとは接合分離されている．太陽電池もトリプルウェル構造とすることで，CMOS回路の基板とは独立に直列接続が可能になる．2．方法　各測定は151段のリングオシレータを用いる．通常のリングオシレータの断面構造ではp-substrateがp-wellと共通となるために太陽電池の直列接続はできない．しかし，フローティング構造のリングオシレータはp-wellがDeep-n-wellで囲まれているため，通常のリングオシレータと違いnmosに太陽電池とは独立して基板バイアスを印加することが可能となっている．3．結果　太陽電池を直列に接続し，0.9V，1.3Vの高電圧をCMOSリングオシレータに印加することができることが確認できた．

参考文献：堀口，“オンチップ太陽電池のダイナミック電圧・電流制御”，信学論（C），Vol. J97-C，No. 2，pp. 77-78，2014年2月．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：1，000～10，000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

オンチップ太陽電池の開発

東洋大学総合情報学部　　堀口 文男



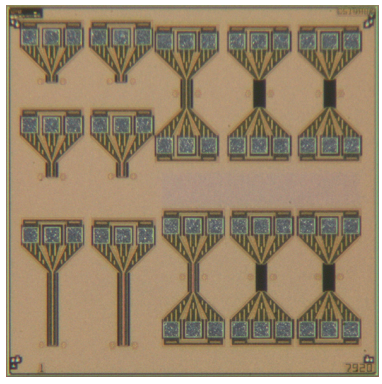
概要：1．目的　通常のリングオシレータのp-wellをDeep-nwell，n-wellで囲むとp-wellがフローティングとなる．また，n-wellも基板のp-substrateとは接合分離されている．太陽電池もトリプルウェル構造とすることで，CMOS回路の基板とは独立に直列接続が可能になる．2．方法　各測定は151段のリングオシレータを用いる．通常のリングオシレータの断面構造ではp-substrateがp-wellと共通となるために太陽電池の直列接続はできない．しかし，フローティング構造のリングオシレータはp-wellがDeep-n-wellで囲まれているため，通常のリングオシレータと違いnmosに太陽電池とは独立して基板バイアスを印加することが可能となっている．3．結果　太陽電池を直列に接続し，0.9V，1.3Vの高電圧をCMOSリングオシレータに印加することができることが確認できた．

参考文献：堀口，“オンチップ太陽電池のダイナミック電圧・電流制御”，信学論（C），Vol. J97-C，No. 2，pp. 77-78，2014年2月．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：1，000～10，000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

磁性微粒子および磁性二次元体の高周波磁気特性伝送線路の試作

東北大学工学研究科　　重田 洋二郎, 山口　正洋



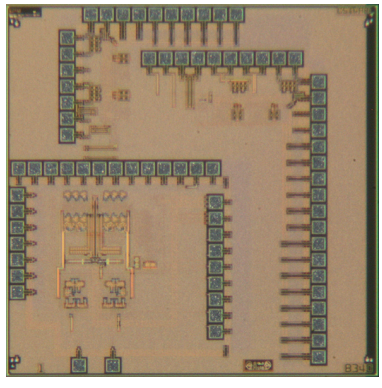
概要：電源回路の集積化およびワンチップ化には，半導体と比べてエネルギー密度が低いインダクタおよびキャパシタの小形・低背化が必要とされる．そのため，数 MHz で DC-DC コンバータを動作させることを前提として，必要な電気特性を低下させることにより小形化を可能にしたパワーマイクロインダクタも研究されている．しかしながら，高周波化にともない，磁性体による損失が課題となっている．磁性微粒子や磁性二次元構造体は次世代高周波デバイスへの応用を目的として，その高周波磁気特性が注目されている．本チップ試作では，磁性微粒子および二次元構造体の高周波磁気特性を評価するために，1.0 と 3.0 の信号線幅の用するプレーナ線路を設計した．信号線の長さは，100, 200, 500μm と変化させて磁性体の強磁性共鳴によるＧＨｚ帯での微弱な信号変化をとり出せるように設計した．また，ＧＨｚ帯における浮遊容量等の除去を目的とした de-embedding を行うため，開放器（オープン），短絡器（ショート）および整合負荷（ロード）の３つの標準反射器も設計した．

参考文献：“Transmission-Line Design Handbook”，Brian C. Wadell

設計期間：0.1 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 Astro，Cadence 社 Virtuoso，Cadence 社 QRC　**トランジスタ数**：～10　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：マイクロプロセッサ

センサ用高分解能 ΔΣADC

慶應義塾大学理工学部電子工学科　　山田 耕平, 石黒 仁揮

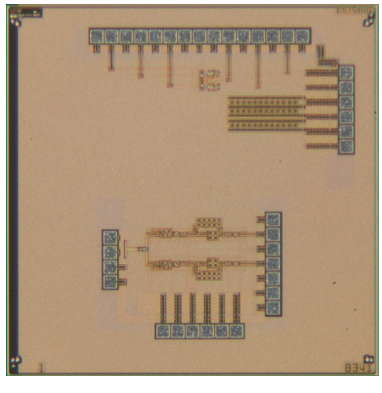


概要：現在注目されているセンサアプリケーション全般において，センサーモジュール内部の ADC は必要不可欠で重要な役割を果たし，さらなる，低電圧，低消費電力化が要求されている．本試作では，温度センシングで用いることを念頭に置いた高分解能 ADC を，低電力で動作させることができる回路を設計，搭載した．本回路は分解能 10bit を目標とし，過去の試作で開発済みの設計資産を用いた２次の離散時間型 ΔΣADC のトポロジーを選択した．積分器に用いるアンプは通常のオペアンプではなく，C 級インバータアンプを用いることで流れる電流量を極力減らし，低消費電力化を目指した．電源電圧 1.2V，サンプリング速度 4.096MHz，バンド幅 10kHz で SNR60dB をシミュレーション上で確認し，コア面積は 0.4mm2 となった．今後，試作チップの測定結果とシミュレーション結果を比較検討し，今後の設計にフィードバックをかける予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

リングアンプを用いた反転増幅器

慶應義塾大学理工学部電子工学科　　勝呂 拓馬, 石黒 仁揮

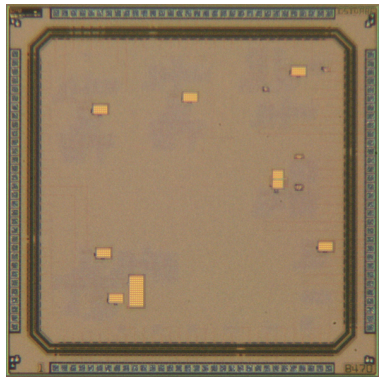


概要：高速低電力アンプとしてのリングアンプの動作検証のために反転増幅器を作成した．コア部分はインバータとスイッチ，オフセット用のキャパシタのみで構成されている．擬似差動構成，サンプルアンドホールドによる離散時間動作である．フィードバックループを組むことでリング発振器としての側面が現れ，デッドゾーンバイアスを外部から与えることで発振を抑制し，オペアンプとして機能する．デッドゾーンによって速度・消費電力・精度にトレードオフが発生する．シミュレーション上での仕様は電源電圧 1.8V，消費電力 750uW，利得はインバータ３つ分の 75dB，スルーレートは 110V/us，コア面積 0.025mm2 であった．微細化によってオペアンプの利得と出力レンジの確保が課題となる中，簡素な構成で十分な利得を持ったフルレンジのオペアンプを作成できることは有用であり，加えてリングアンプは位相補償を必要としないというメリットも存在する．ADC 回路への応用を検討しており，本回路はその前段階としてその特性を検証することを目的とし，今後測定を進めていきたい．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

容量型センサの CMOS インターフェイス回路

山梨大学大学院教育学研究科　　永井 正成，小川 覚美

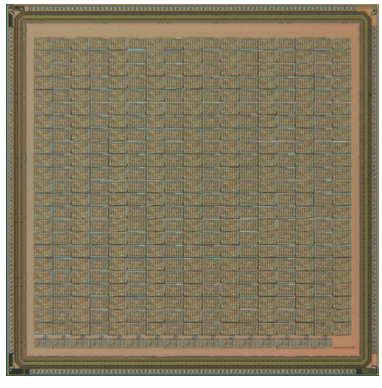


概要：容量型センサは圧力，加速度，回転角度等の物理量の検知に広く使われている．ここでは低消費電力の差動容量型センサのインターフェイス回路として，容量・時間（Capacitance-to-Time：CT）変換回路と，その基本構成素子であるシングルエンドオペアンプ，全差動オペアンプ，コンパレータ，CMOS アナログスイッチ，カレントミラーを試作した．また，素子の基本特性を評価するために，アスペクト比の異なる MOS トランジスタも試作した．CT 変換回路は差動容量型センサの容量の変化を容量差と容量和の比に比例した時間信号に変換する．この回路は素子の非理想的な特性を回路的に補償できる構成となっているため，高精度の信号処理が可能となる．試作 CT 変換回路についてセンサの代わりにマイカキャパシタを用いて特性を評価する．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

並列処理指向・光再構成型ゲートアレイ

静岡大学工学研究科　　藤森 卓巳，渡邊 実

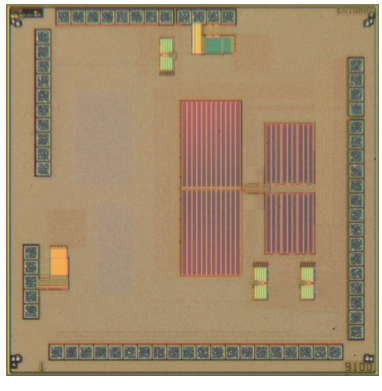


概要：並列処理に特化した光再構成型ゲートアレイ VLSI を試作した．プログラマブルゲートアレイに並列処理を実装した場合，コンテキストメモリの多数の領域に同じデータを書き込むことになり，無駄が生じる．もし，これら複数領域のデータを 1 つの領域で取り扱うことができれば，プログラマブルゲートアレイのコンテキストメモリの総量を削減し，ゲートアレイの高密度化が可能になる．この考え方は，光再構成型ゲートアレイにも同様に適用できる．この度，4 つのプログラマブルゲートアレイを実装した，4 並列の光再構成型ゲートアレイを試作した．この 4 つのプログラマブルゲートアレイでは 1 つのコンテキストメモリ（フォトダイオード）を共有している．それぞれのゲートアレイには 4 入力の LUT を 2 つ持つ論理ブロックを 184 個実装した．チップ全体では論理ブロックが 736 個実装され，25,024 ゲート規模を実現した．

設計期間：0.1 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Mentor 社 ModelSim　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm 角チップ　**チップ種別**：ニューテクノロジ

エナジーハーベスト電源を想定した ReRAM 書き込み電圧生成回路

中央大学理工学部　　石井 智也，田中 誠大，竹内 健
中央大学研究開発機構　　蜂谷 尚悟

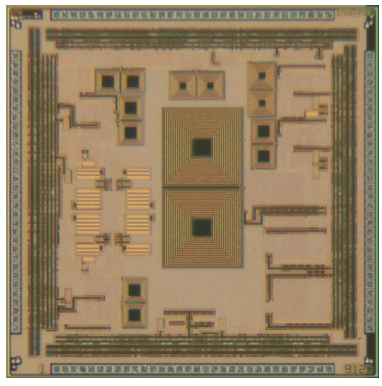


概要：近年，周囲の環境に存在する熱や振動，光などの微小なエネルギーを収集して電力に変換するエナジーハーベスティング技術が注目を集めている．本試作では，エナジーハーベスティング電源を用いて ReRAM（抵抗変化型メモリ）の書き込みを行うための電力変換回路を作成した．エナジーハーベスティングにより得られる電源は起電力が低く，電力が非常に微弱である．一方で ReRAM のメモリセルへの書き込みにはエナジーハーベスティング電源電圧と比較して高い電圧が要求されるため，高効率に電力変換を行う必要がある．本試作では，二種類の異なる回路を作成した．今後は，試作チップの動作確認を行い，二種類の回路について面積や変換効率のベンチマークを取る予定である．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Cosmos，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

位相同期回路の干渉ノイズ検証用TEG改訂版

大阪工業大学大学院工学研究科　　清水 真司，森下 宗瑛，肥田 晃一郎，藤居 尚博，吉村 勉

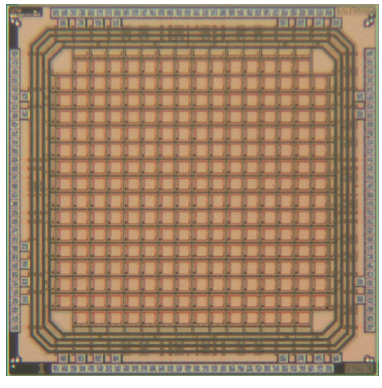


概要：本試作は，PLL回路における外部干渉ノイズや自己干渉ノイズの内部発振器への影響を検証するTEGの2次試作版である．昨年の第4回ローム CMOS0.18um 試作で製作・評価した4つのブロックTEGのうち，干渉テストTEGにおいて，複数のPLL回路を自己干渉・相互干渉させることでオンチップの回路間干渉を測定した．その際，入出力回路の動作に伴うノイズが干渉経路に影響を与える問題が生じたため，今回，入出力回路に小振幅CML回路を採用することで，入出力回路の影響を出来る限り抑制した回路構成をとった．その結果，干渉テストTEGにおいて，入出力回路の動作に伴うジッタ増加の現象が抑制され，人為的に挿入した自己干渉および相互干渉による回路間干渉測定が可能となった．また干渉信号にパルス波を用いることで，印加ノイズの周波数成分を調整する機能も今回新たに設けている．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Dracula，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

パワーインテグリティチップ4

芝浦工業大学理工学研究科　　市村 航

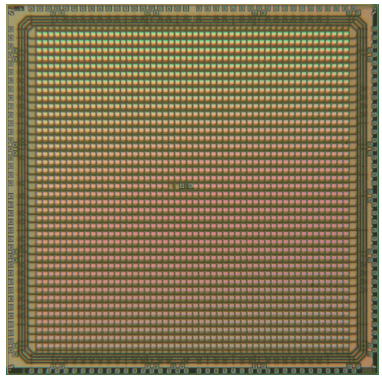


概要：近年，CMOS LSIシステムはより高い周波数のクロックかつ低い供給電圧で動作するようになり，デジタル電子システムを安定動作させるためにパワーインテグリティが重要になってきた．特に，オンチップ容量とパッケージインダクタンスの並列共振によってチップ・パッケージの電源分配ネットワーク（PDN）に反共振ピークが発生することが問題となっている．本試作ではLSIのノイズ発生源であるチップ自体にキャパシタを実装（オンチップキャパシタ）することによってノイズの低減化を図ることを目標とする．電源構造はチップ内部に配置したMOSスイッチのON/OFFを切り替えることによりオンチップキャパシタを付加する/付加しないを選択することができる構造になっている．本試作ではオンチップキャパシタとしてMOSキャパシタを採用した．MOSキャパシタの種類はNMOSを使用したNMOSキャパシタ，PMOSを使用したPMOSキャパシタ，両方を使用したCMOSキャパシタの3種類である．それぞれ異なるMOSキャパシタを配置した3種類のチップの電源ノイズ，統合電源インピーダンスを比較することでどのMOSキャパシタがノイズ対策に有効なのか検証することができる．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

パワーインテグリティチップ3

芝浦工業大学理工学研究科　　市村 航

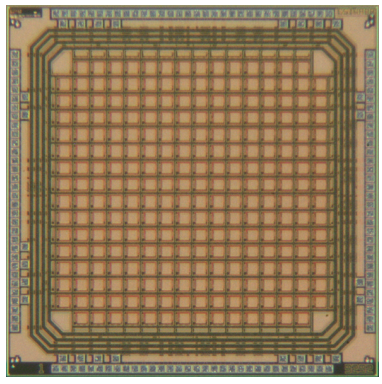


概要：近年，CMOS LSIシステムはより高い周波数のクロックかつ低い供給電圧で動作するようになり，デジタル電子システムを安定動作させるためにパワーインテグリティが重要になってきた．特に，オンチップ容量とパッケージインダクタンスの並列共振によってチップ・パッケージの電源分配ネットワーク（PDN）に反共振ピークが発生することが問題となっている．本試作では反共振ピークを抑え，電源ノイズを抑制することを目標としている．設計したチップは主としてノイズ源回路とノイズを受ける回路を配置している．電源構造は，チップ内部に可変用MOSスイッチを配置し，外部スイッチのON/OFF切り替えによりチップ内部のキャパシタンスと抵抗の値を可変し，臨界制動領域を実現することで電源ノイズを抑えることを想定したものである．また，フリップチップ実装を想定し，チップのパッド間隔は広めに設計した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

パワーインテグリティチップ5

芝浦工業大学理工学研究科　　市村 航

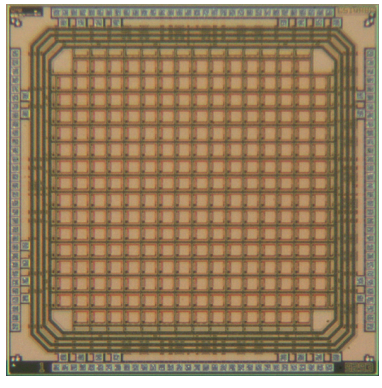


概要：近年，CMOS LSI システムはより高い周波数のクロックかつ低い供給電圧で動作するようになり，デジタル電子システムを安定動作させるためにパワーインテグリティが重要になってきた．特に，オンチップ容量とパッケージインダクタンスの並列共振によってチップ・パッケージの電源分配ネットワーク（PDN）に反共振ピークが発生することが問題となっている．本試作ではLSIのノイズ発生源であるチップ自体にキャパシタを実装（オンチップキャパシタ）することによってノイズの低減化を図ることを目標とする．電源構造はチップ内部に配置したMOSスイッチのON/OFFを切り替えることによりオンチップキャパシタを付加する/付加しないを選択することができる構造になっている．本試作ではオンチップキャパシタとしてMOSキャパシタを採用した．MOSキャパシタの種類はNMOSを使用したNMOSキャパシタ，PMOSを使用したPMOSキャパシタ，両方を使用したCMOSキャパシタの3種類である．それぞれ異なるMOSキャパシタを配置した3種類のチップの電源ノイズ，統合電源インピーダンスを比較することでどのMOSキャパシタがノイズ対策に有効なのか検証することができる．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

パワーインテグリティチップ6

芝浦工業大学理工学研究科　　市村 航

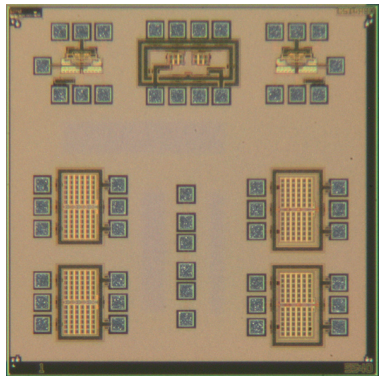


概要：近年，CMOS LSI システムはより高い周波数のクロックかつ低い供給電圧で動作するようになり，デジタル電子システムを安定動作させるためにパワーインテグリティが重要になってきた．特に，オンチップ容量とパッケージインダクタンスの並列共振によってチップ・パッケージの電源分配ネットワーク（PDN）に反共振ピークが発生することが問題となっている．本試作ではLSIのノイズ発生源であるチップ自体にキャパシタを実装（オンチップキャパシタ）することによってノイズの低減化を図ることを目標とする．電源構造はチップ内部に配置したMOSスイッチのON/OFFを切り替えることによりオンチップキャパシタを付加する/付加しないを選択することができる構造になっている．本試作ではオンチップキャパシタとしてMOSキャパシタを採用した．MOSキャパシタの種類はNMOSを使用したNMOSキャパシタ，PMOSを使用したPMOSキャパシタ，両方を使用したCMOSキャパシタの3種類である．それぞれ異なるMOSキャパシタを配置した3種類のチップの電源ノイズ，統合電源インピーダンスを比較することでどのMOSキャパシタがノイズ対策に有効なのか検証することができる．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

エネルギーハーベスティング向け昇圧回路及び非接触給電向け整流器 TEG

信州大学大学院理工学研究科　　篠原 秀樹
信州大学工学部　　吉田 穣理，宮地 幸祐



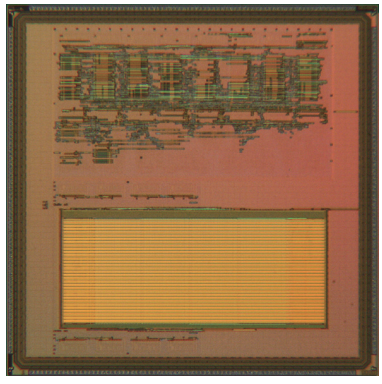
概要：本試作では，サブスレッショルド動作を目指した低電圧チャージポンプ，非接触給電用整流電源回路，完全差動型広帯域オペアンプ試作した．エネルギーハーベスティング向け低電圧チャージポンプでは1）ゲート電圧をブーストし，基板順バイアスを用いる構成の3段型チャージポンプと2）比較用に基板順バイアスを用いる構成の3段型チャージポンプの2種類設計・試作した．その他に3）13.56MHz非接触給電向けのアクティブダイオードを用いた整流回路を設計・試作した．アクティブダイオードの遅延に伴う電荷の逆流を防止するためDLLを用いた制御を組み込んだ．外部信号により遅延回路の遅延時間を変化することができるようになっている．4）最後に，GBWが100MHzの完全差動型広帯域オペアンプを設計した．今後はこれら試作チップの測定を行い，動作確認，検討を行う予定である．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

平成26年度第3回ローム CMOS 0.18um 試作
（RO18143）

学習と認識再構成可能なLVQニューラルネットワーク

広島大学工学研究科　　安 豊偉
広島大学先端物質科学研究科　　張 湘イク
広島大学 HiSIM 研究センター　　陳 蕾
広島大学ナノデバイス・バイオ融合研究所　　Mattausch Hans　Juergen

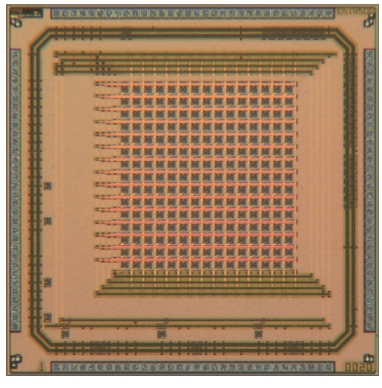


概要：A dual-mode system, namely, on-chip learning based on learning vector quantization （LVQ）, and recognition based on nearest-neighbor matching is designed. The LVQ neural network algorithm is implemented by one chip with a pipeline with parallel p-word input （PPPI） architecture and a dedicated learning circuit. Nearest-neighbor matching, which results in high computational demand in both learning mode and recognition mode, is solved by the dedicated PPPI and reused for the two modes so that a significant reduction in power consumption and area is achieved. The dual-mode system is highly flexible for reference-vector number and feature-vector dimension so that many different applications are able to be implemented on the same hardware platform.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 DesignCompiler，Synopsys 社 PowerCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Mentor 社 ModelSim　**トランジスタ数**：～10　**試作ラン**：ローム CMOS 0.18μm 5.0mm 角チップ　**チップ種別**：マイクロプロセッサ

アドレス出力回路付き CMOS SPAD アレイ

東京大学工学系研究科　　楊 驍, 朱　弘博, 名倉　徹, 浅田　邦博

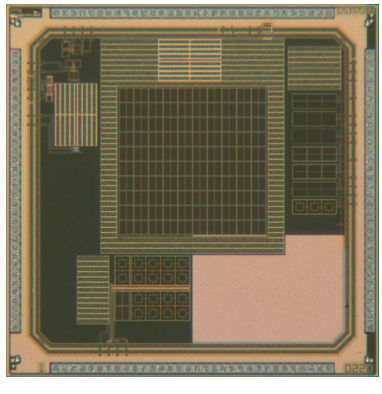


概要：単一光子アバランシェダイオード（SPAD）は，PN ダイオードのブレークダウン電圧より高い電圧領域で動作し，電流利得が非常に高いため，光子が一個でも入ってくるとブレークダウンが起こるデバイスである．小型微弱光検出素子として，医療，3D イメージセンサーといった用途において有益である．ただ，光子がなくても，ブレークダウンを起こる可能性もあるので，SPAD のノイズとなる．本試作は，SPAD のノイズの影響について，SPAD アレイの出力効率を高めるために，2014 年 2 月試作したアドレス出力回路を使用した．また，SPAD が 2014 年 4 月試作した 8 種類の SPAD の中に，最も良い Pwell-DeepNwell のポリゲート付き STI ガードリングの構造を利用した．15x15 ピクセルの SPAD アレイを設計した．また，SPAD 素子単体の性能を改善するために，同じ構造で，STI と P-diff 間の距離及び SPAD のサイズと形を変化した SPAD および Passive Quenching 回路を試作した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：イメージセンサ/スマートセンサ

オンチップ太陽電池と昇圧回路

立命館大学情報理工学部　　木村 知也, 越智 裕之

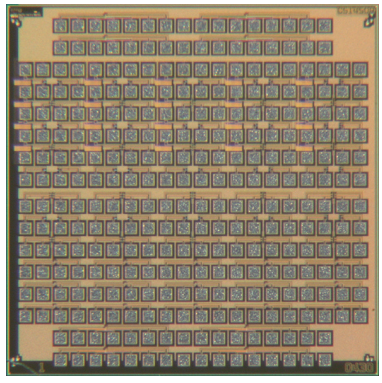


概要：集積回路上に PN 接合ダイオードを形成して光を照射すると太陽電池として機能するため，これを同一チップ上の回路の電源として利用すれば，エネルギーを自給自足する単一ダイのシステムが構築できると期待される．しかし単一の PN 接合ダイオードに光を照射して得られる電圧は 0.6V 程度である．より高い電圧を得るために，バルク CMOS プロセスの単一チップ内に複数の PN 接合ダイオードを形成して直列接続することは，素子分離の観点から容易ではない．本試作チップは，単一のオンチップ太陽電池セルから得られる 0.6V 程度の電圧を効率よく昇圧するための回路を搭載した TEG である．昇圧回路は，低い入力電圧でも動作するチャージポンプ回路と，電圧変動の影響を受けにくいリングオシレータなどからなる．直射日光相当の照明光を照射して測定した結果，昇圧回路の動作を確認することができた．

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

ストレス印加による閾値電圧変化の物理的原因を調べる単体トランジスタ TEG

東京大学生産技術研究所　　長尾 光晋，水谷 朋子，小林 正治，平本 俊郎



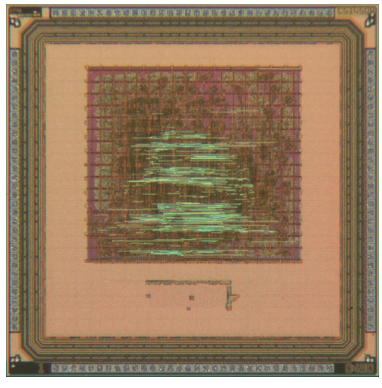
概要：本試作では，電気的ストレスによるトランジスタの閾値電圧変化の物理的原因を調べるための単体トランジスタ TEG を設計した．具体的にはローム 180nm のロジックルールに基づいて単体トランジスタを設計した．トランジスタのサイズは，ゲート長を 0.5um から 10um までふり，ゲート幅は 100um に固定した．ゲート幅が大きいため高周波測定時のゲート抵抗の影響を減らすために 10 フィンガーまで分割したものを追加した．ゲート長を短く，ゲート幅を長く設計したのはチャージポンピングと CV 測定を精度よく行うためである．各トランジスタのすべてのノードからパッドを引き出すためにチップ内のトランジスタ数はパッドの配置で決まる．最終的に 2.5mm x 2.5mm のチップに 68 個のトランジスタを配置した．本試作チップを用いて電気的ストレスによるトランジスタの閾値電圧変化の物理的要因を系統的に調査できる．

参考文献：未発表

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso　**トランジスタ数**：1, 000〜10, 000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用 AES 暗号回路

名城大学理工学部情報工学科　　浅井 稔也，吉川 雅弥

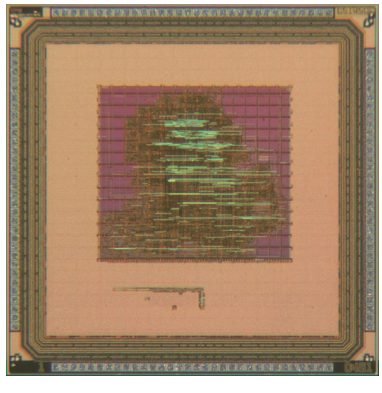


概要：動作中の暗号回路に対し，消費電流や放射電磁波などの波形，レーザー照射によるデータエラー，などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている．本チップは AES 暗号化/復号コアと内蔵クロック発生器を搭載している．AES コア自体は合成体方式の SubBytes，ループアーキテクチャによる実装であり，特にサイドチャネル漏洩対策を含まない．この AES コアを外部のシステムクロックと独立した内部クロックで駆動させる．内部クロック発生器はリングオシレータであるが，発振周波数をクロック毎に動的に変動させ，離散的なジッターを付加することができる．また，発生させたクロックに対して，LFSR で周期をランダムにしたり，AES のラウンド処理ループでビット間スキューを発生させることができる．これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 VCS，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 Formality　**トランジスタ数**：100, 000〜1, 000, 000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：演算回路（乗算器，除算器など）

周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャネル攻撃評価用 AES 暗号回路

名城大学理工学部情報工学科　　浅井 稔也，吉川 雅弥

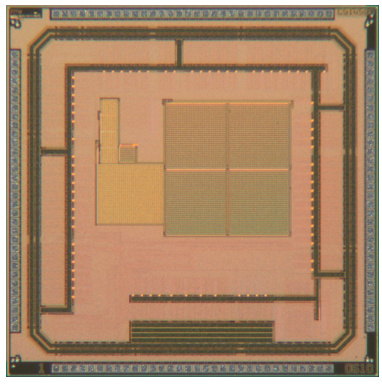


概要：動作中の暗号回路に対し，消費電流や放射電磁波などの波形，レーザー照射によるデータエラー，などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている．本チップは AES 暗号化/復号コアと内蔵クロック発生器を搭載している．AES コア自体は合成体方式の SubBytes，ループアーキテクチャによる実装であり，加えてレーザー照射等によるエラー注入の有無を検出する機構を搭載している．この AES コアを外部のシステムクロックと独立した内部クロックで駆動させる．内部クロック発生器はリングオシレータであるが，発振周波数をクロック毎に動的に変動させ，離散的なジッターを付加することができる．また，発生させたクロックに対して，さらに LFSR で周期をランダムにさせることができる．これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Synopsys 社 VCS，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 ModelSim，Synopsys 社 Formality　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：演算回路（乗算器，除算器など）

半導体電力分配器

中部大学全学共通教育部　　宮本 順一



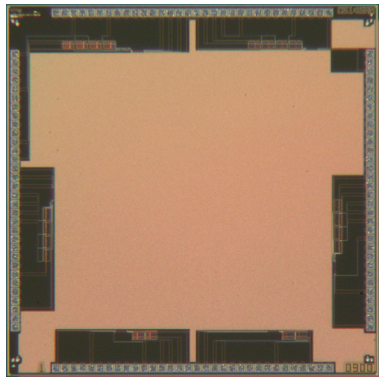
概要：一般的に，太陽電池など再生可能エネルギーを電力に変換する素子単体の出力電圧は，0.6V～1.0V と極めて低く，現状では非発電状態での漏れ電流を防止するために，素子を多数個直列接続し，そこにブロッキングダイオードを使用する方法が用いられている．しかし，この方法は，電力損失が発生するため，直列接続に難がある発電素子ではこの方式はとれず，実用化に向けたフィールドでの実験は不可能であった．そこで，この漏れ電流防止対策として，低電圧出力素子でも高効率で電力を取り出せる「半導体電力分配器」を考案した．しかも，集積回路技術により，個々に取り出せる電力が微弱であっても，それを多数個並列接続することにより，その総和を出力電力として取り出すことが可能とした．昨年度，VDEC の利用を開始し，この基本回路の動作は確認し，今年度の試作にあたっては，その評価結果を設計にフィードバックし改良するとともに，接続可能な素子数を拡張した．現在，学内で試作した色素増感太陽電池を用い，フィールドでの接続実験を開始したところである．今後は，この接続実験で得られた知見を生かして，さらなる改良を重ねると共に，新たに考案した機能も順次搭載予定である．なお，得られた知見については都度，特許化を考えており，現在3件を特許提案済である．

参考文献：J. Miyamoto, et, al ” Development of a Power Delivery IC for Wavelength Selective

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 Cosmos，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF）　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナデジ混載

宇宙用 CVSL 回路及び性能比較解析用 CMOS 回路

静岡理工科大学理工学部　　中村 文哉，新村 昇平，鈴木 雅人，金子 尚，小幡 秀和，波多野 裕

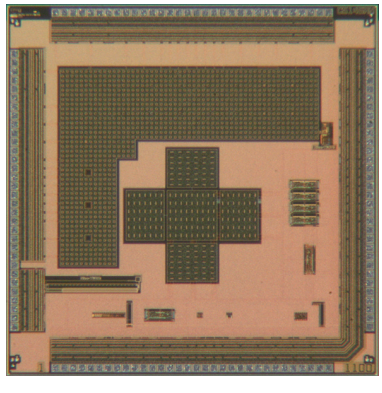


概要：スタティック型ＣＶＳＬ ＮＡＮＤ回路，スタティック型ＣＶＳＬ ＮＯＲ回路，スタティック型ＣＶＳＬ ＥＸＯＲ回路，スタティック型ＣＶＳＬ半加算回路，スタティック型ＣＶＳＬ全加算回路，クロック型ＣＶＳＬ ＮＡＮＤ回路，クロック型ＣＶＳＬ ＮＯＲ回路，クロック型ＣＶＳＬ半加算回路，クロック型ＣＶＳＬ全加算回路，複合ゲートＣＭＯＳ半加算回路，複合ゲートＣＭＯＳ全加算回路，ＣＭＯＳ比較回路，ＤフリップフロップＣＭＯＳ回路２種類，ＪＫフリップフロップＣＭＯＳ回路２種類を，2014 年度第３回試作と 2014 年度第５回試作の２回に分けて設計した．2014 年度第３回試作では，スタティック型ＣＶＳＬ半加算回路，スタティック型ＣＶＳＬ全加算回路，クロック型ＣＶＳＬ半加算回路，クロック型ＣＶＳＬ全加算回路，複合ゲートＣＭＯＳ半加算回路，複合ゲートＣＭＯＳ全加算回路を設計し，試作チップを実測して機能動作を確認した．2014 年度第５回試作では，スタティック型ＣＶＳＬ ＮＡＮＤ回路，スタティック型ＣＶＳＬ ＮＯＲ回路，スタティック型ＣＶＳＬ ＥＸＯＲ回路，クロック型ＣＶＳＬ ＮＡＮＤ回路，クロック型ＣＶＳＬ ＮＯＲ回路，クロック型ＣＶＳＬ ＥＸＯＲ回路，ＣＭＯＳ比較回路，ＤフリップフロップＣＭＯＳ回路２種類，ＪＫフリップフロップＣＭＯＳ回路２種類を設計した．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence 社 Dracula，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

センサ TEG

金沢大学理工研究域 電子情報学系　　北川 章夫，秋田 純一
金沢大学自然科学研究科 電子情報科学専攻　　真田 圭
金沢大学理工学域 電子情報学類　　池田 昇平

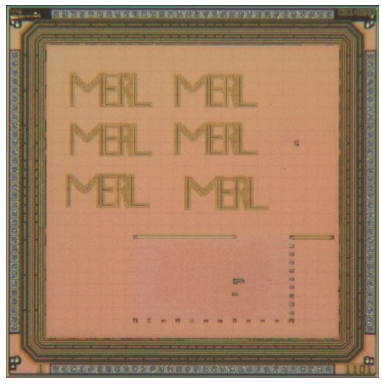


概要：・触覚センサ：静電容量式触覚センサの微小容量変化を検出するために容量-周波数変換器及び温度補償用の PTAT 回路を設計した．温度センサである PTAT 回路については，温度と出力電圧間で線形性の高い結果が得られたが，出力電圧範囲が非常に小さく低感度であった．測定した 20℃～100℃の間では 80mV 程度しか変化せず，その感度は 1.12 mV/℃となった．温度補償精度を高くするためには温度感度を大きくし，出力電圧範囲を広げる必要がある．容量-周波数変換器では，感度が 3.36 MHz/fF となり，温度に対するばらつき補正を行うことで 0.2fF 以下の非常に微小な検出精度が得られる結果となった．この回路により静電容量式触覚センサの検出感度を高くすることが可能となり，広ダイナミックレンジかつ高感度な触覚センサの実現が期待できる．・スペクトラムセンサ：光の波長を分析するためのスペクトラムセンサを設計した．スペクトラムセンサは，受光用フォトダイオードの上に分光用のメタル層が配置された構造となっている．測定結果は，分光自体には成功したと考えられるものの，迷光の影響が極めて大きいという結果となった．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

自動設計可能な確率的並列型 ADC，論理合成可能なコンパレータに関する TEG

金沢大学理工学域電子情報学類　　今村 竜

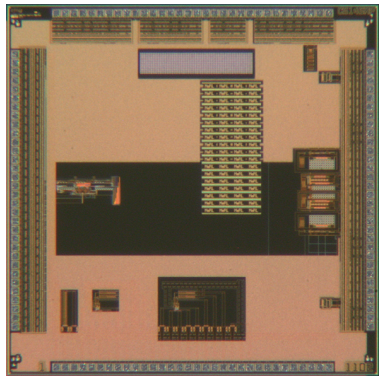


概要：論理合成可能なコンパレータを用いた自動合成可能な確率的並列型 ADC の特性を評価することを目的として，自動設計可能な確率的並列型 ADC を作成した．この ADC はコンパレータ 1024 個，及び加算器から構成される．Verilog HDL で ADC 全てを記述し，論理合成，自動配置配線を行うことで確率的並列型 ADC の自動設計を実施した．しかし，設計時のミスにより所望の ADC の動作を評価することができないことが予想される．また，論理合成可能なコンパレータ単体の特性を評価することを目的として，論理合成可能なコンパレータを作成した．こちらも，自動設計可能な確率的並列型 ADC と同様に，Verilog HDL でコンパレータを記述し，論理合成，自動配置配線を行い，自動設計を実施した．このコンパレータの各種特性を測定することによりオフセットの大まかな標準偏差，平均を求めることができ，確率的 ADC を設計する際の指標を得ることができる．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

ラジカルセンサ，ReRAM，3. 3V 仕様の各種回路，以上 3 つに関する TEG

金沢大学理工学域電子情報学類　　蔭田 大貴
金沢大学理工研究域電子情報系　　北川 章夫
金沢大学医薬保健研究域保健学系　　中山 和也

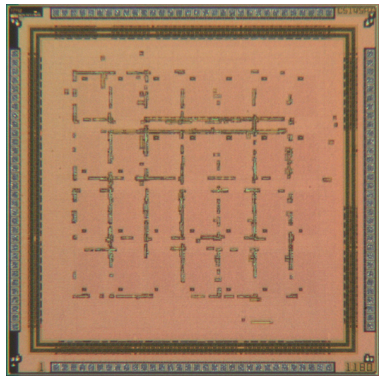


概要：今回の試作ではチップに 3 人分の研究を相乗りしたので 3 種類の TEG を載せた．1 つ目はラジカルセンサに関する特性評価回路作成で，フリーラジカルセンサに利用するための広レンジ VCO および RF 出力バッファを試作した．この回路により，100MHz から 2GHz 程度までの周波数レンジで，フリーラジカルに高周波磁界を印加しチップ上のスピン数を計測することができる．2 つ目は ReRAM に関する特性評価回路である．試作したのはカレントミラー回路を利用した多値書き込み回路の TEG であり，書き込み回路の他に簡単なセルアレイ，セルデコーダ，カウンターなども実装してある．これにより従来の研究よりも高精度な抵抗ばらつき制御を行うことが出来る．3 つ目は 3. 3V 仕様の各種回路に関する TEG である．詳細としては，トライステートインバータ，インバータ 5 段，それと VSRC（ReRAM の多値書き込み回路）の 3 つの回路を，普通チップに搭載する 1. 8V 用ではなく 3. 3V 用として作成したのでそれらの回路の特性評価を行う．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：1, 000〜10, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

In-situ タイミングエラー予測回路の試作

早稲田大学高等研究所　　史 又華
早稲田大学理工学術院　　戸川 望，柳澤 政生



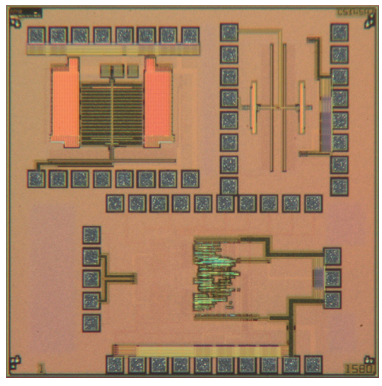
概要：半導体プロセスの微細化に伴って，チップのばらつきの増加が回路設計における大きな問題となりつつある．従来の LSI（大規模集積回路）設計手法は，設計時タイミングマージンを十分確保することを前提条件とした，ワーストケースに基づいた方法である．ばらつきが増大していくと大きなタイミングマージンを要し，結果として見込み通りの高速化あるいは低エネルギー化の効果が得られるとは限らない．そのため，ばらつきを考慮したワーストケース設計からの脱却を実現する LSI 設計技術として，In-situ タイミングエラー予測回路の試作を行った．試作した回路は，タイミングエラーを検出するのでなく，処理途中の信号遷移を監視し，その信号変化のタイミングを用いてタイミングエラーが起きるかどうかを予測する．そしてタイミングエラーが予測される場合には，エラー回避のために，クロック制御（クロックゲーティング）する．

参考文献：Youhua Shi，Hiroaki Igarashi，Masao Yanagisawa，and Nozomu Togawa，Suspicious Timing Error Prediction with In-Cycle Clock Gating，in Proc. IEEE International Symposium on Quality Electronic Design （ISQED），pp. 335-340，Mar. 2013

設計期間：3 人月以上，4 人月未満　**設計ツール**：Synopsys 社 VCS，Synopsys 社 DesignCompiler，Synopsys 社 PowerCompiler，Synopsys 社 ICCompiler，Cadence 社 SoC Encounter，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF），Synopsys 社 HSIM　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

無線通信回路（サンプラー・復調器，コンパレータ，発振器）

東京大学生産技術研究所　　**濵松 昌宗，李 承俊，井口 俊太，更田 裕司，高宮 真，桜井 貴康**

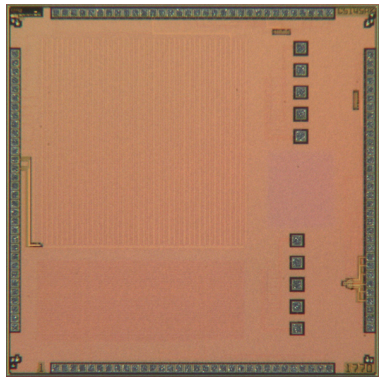


概要：低電力無線通信回路用のサンプラー・復調器，コンパレータを設計した．本試作では低消費電力化実現のため，最終端のコンパレータ以外にアンプのない回路構成によりソフトウェア無線受信機を実現することを目標としている．そのためには従来と比較し，要素回路の更なる高精度化が必要となる．前回試作において提案したサンプラー・復調器は外来雑音に対する耐性が不足していることがシミュレーションにより確認された．そこで本試作では雑音の平均化処理用の回路を追加することでこれを改善した．また，受信回路で必要となる高精度コンパレータを実現する上ではコンパレータ自身の内部雑音を正しく評価する必要がある．本試作では，シミュレーションによって内部雑音の影響を評価し，高精度化実現に適したコンパレータの回路定数を調査し，それに基づく試作を行った．これらの回路の測定の結果，設計時の雑音の見積もりが正確でなかったため目標を実現できないことが確認された．今後，雑音に対する検証をさらに深める必要がある．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：通信（RF 回路，ATM など）

低電力可逆演算回路試作 2

横浜国立大学大学院工学府　　**井上 孔佑**
横浜国立大学理工学部　　**安井 雄紀**
横浜国立大学大学院工学研究院　　**吉川 信行**

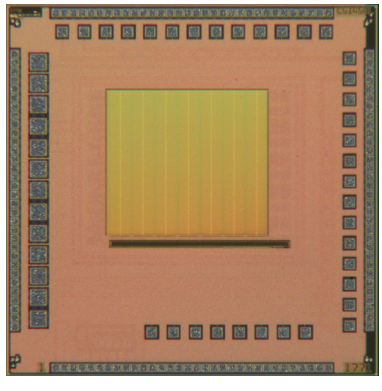


概要：我々は CMOS 集積回路を用いた低電力化技術として，可逆演算回路を研究している．可逆演算回路は一般的な論理演算回路と異なり，情報の消去により生じるエネルギーが生じないため，消費エネルギーを極限まで下げることができる．また低消費電力で動作可能な回路で断熱的論理回路がある．この回路は電圧変化にかかる時間を長くすることで消費電力を小さくできる回路である．この断熱的論理回路を可逆的に動作させることにより低消費電力で動作させる方法を提案している．本チップには，4 相の台形波で動作する可逆演算回路を敢えて非対称に作成した回路を載せている．また，非対称にした回路を用いて論理回路を構成した物も載せている．測定を行った結果，正常動作を確認することができ，動作実証に成功した．

設計期間：0. 5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 Astro，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：その他

単一磁束量子/CMOS ハイブリッドメモリシステム試作 3

横浜国立大学大学院工学府　　**佐々木 悠太**
横浜国立大学理工学部　　**今野 元**
横浜国立大学大学院工学研究院　　**吉川 信行**

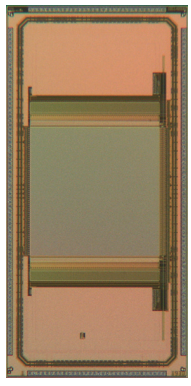


概要：我々は半導体回路に代わる次世代回路として単一磁束量子（SFQ）論理回路の研究を行っている．この高速性，低消費電力性に優れた SFQ 論理回路による演算回路と集積性に優れた CMOS 回路によるメモリを組み合わせる事によって高速読み出し，かつ低消費電力が可能な SFQ/CMOS ハイブリッドメモリシステムを提案している．このチップには 8T-SRAM セルで構成されるメモリアレイ（容量 64-kb），デコーダ，及び 21 個のセルフバイアス型差動増幅器（アンプ）が実装されている．デコーダのサイズを変更し再最適化を行った．目的は従来の CMOS メモリの消費電力を下げる，また全チャネルでの CMOS メモリの動作実証である．測定を行った結果，正常出力を得ることができなかった．現在，レイアウトミスまた，各回路の駆動力なども含め原因を究明中である．

設計期間：0. 5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 Astro，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：100, 000〜1, 000, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：メモリ

ブロック単位で蓄積パターン制御可能なイメージセンサ

東京理科大学工学研究科　　小林 嵩，浜本 隆之

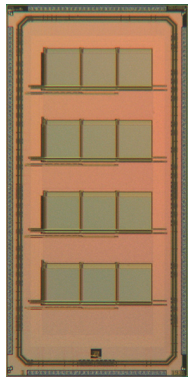


概要：画素ブロック内でフォトダイオードに蓄積された電荷のリセットおよび読み出しタイミングのパターンを制御できるイメージセンサの試作を行った．画素ブロックのサイズは2×2画素ブロック，4×4画素ブロックでの制御が可能となっている．ブロック単位での制御は，垂直・水平走査回路に読み飛ばし選択，読み飛ばしリセット機能を追加することで実現する．本イメージセンサは，256×256画素の画素アレイ，画素信号読み出し回路，列並列シングルスロープA/D変換器，8bitバイナリカウンタから構成される．本イメージセンサの機能により，撮像面内で蓄積時間の異なる画素情報を同時に得ることができる．検証では，FPGAを用いた撮像システムを構築し，リアルタイムで蓄積パターンの制御が可能であることを確認した．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF）　**トランジスタ数**：100,000～1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mmx5.0mmチップ　**チップ種別**：イメージセンサ/スマートセンサ

個別駆動が可能な複数の撮像面を有するイメージセンサ

東京理科大学工学研究科　　箱石 広之，浜本 隆之

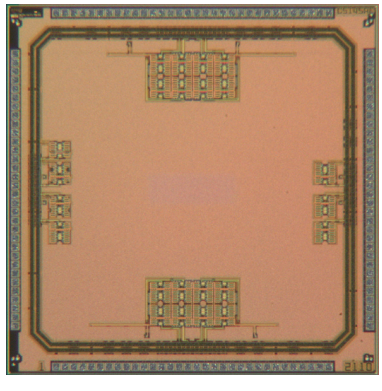


概要：単一デバイス上に複数の撮像面を有するイメージセンサの試作を行った．本センサは，単一チップ上に小型の撮像面を12個有している．本センサの各小撮像面にレンズを搭載することで，複数枚の画像を同時に取得できる．各撮像面はそれぞれ個別の読み出し回路を有しているため，小撮像面毎に個別に読み出しを行うことが出来る．また，各小撮像面はそれぞれ専用の走査回路，リセット制御回路を有しているため，各小撮像面の露光時間，フレームレートをそれぞれ異なる値に設定することができる．本センサを用いることで，従来の多眼カメラシステムと同様に，異なるパラメータで撮像された画像を同時に取得できる．これらの画像を合成することで，広ダイナミックレンジかつ高フレームレートな画像を再構成できると考える．また，各小撮像面から取得した画像間には視差が含まれるため，視差推定を用いた距離情報の取得が可能であると考える．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF）　**トランジスタ数**：10,000～100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mmx5.0mmチップ　**チップ種別**：イメージセンサ/スマートセンサ

歩留まり率を考慮したCPGモデルの試作

日本大学理工学研究科電子工学専攻　　二瓶 乃亮
日本大学理工学部　　佐伯 勝敏

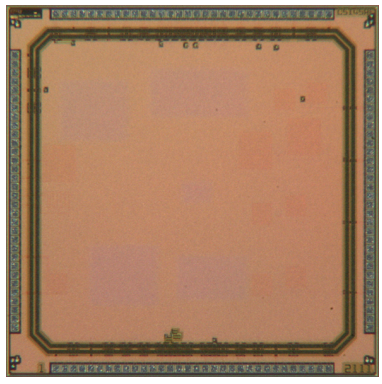


概要：近年，四足歩行ロボットにCPGモデルを搭載して適応的な歩行パターンを生成する研究が行われている．動物は，脊髄に存在するとされるCPG（Central Pattern Generator）で歩行・遊泳・飛行といったリズム運動の生成・制御を行っており，さらに脳などの上位中枢からの入力を受け，環境に適したリズム運動の生成・調整を行う．CPGの機能をロボットに工学的に応用することで自律的に環境に適した歩行動作を行わせることができると考えられている．先に我々は，介在細胞集団と呼ばれる神経回路間の接続を回路構成に応用することにより，低容量でもロボットの歩行制御に適した数［Hz］程度の周波数でリズムパターンを生成することが可能であるCPGの電子回路モデルを提案した．しかし，提案したモデルは歩留まり率が低く，思うような特性が測定出来ない欠点が存在する．そこで我々は，回路構造のどの部分が歩留まり率を低下させているのかを見直すことで，歩留まり率改善へ向けた対策を講じることを考え，今回，CPGモデル並びにCPGモデルを構成する回路の集積化を行った．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

高集積化のための低周波数発振可能な細胞体モデルの試作

日本大学理工学研究科電子工学専攻　　奥山 敦司
日本大学理工学部　　佐伯 勝敏

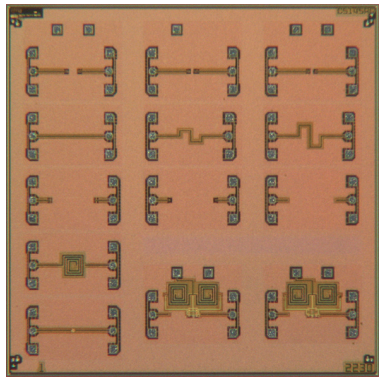


概要：生体の情報処理機構をモデル化し工学的に応用することは，生体の優れた能力を実現するだけでなく，生体の情報処理機構を解明することも可能であり，現在まで，生体のダイナミクスに着目した様々な観点からの解析が行われている．生体の機能を有するNNをハードウェアで再現する場合，生体の細胞体と同様に，低周波数で発振するモデルが必要である．また，生体のように大規模なNNの構築を行う場合は，素子数や回路規模は小さいことが要求される．生体内に存在する細胞体の特徴を有したモデルを構築する上で，Λ 型負性抵抗素子を用いた細胞体モデルは簡単な回路で構成できる．しかし，CMOSプロセスで集積化を行う場合，低周波数の発振を得るためには大容量が必要であり，コンデンサやPMOSの面積は大きく，大規模NNを構築する場合は実装面積が大きくなる．今回，細胞体モデルの高集積化を目的として，NMOSで構築した負性抵抗回路を用いて高集積細胞体モデルおよび，高集積化のための低周波発振可能な細胞体モデルの試作を行った．また，高集積細胞体モデルは，従来モデルと同様に外部より出力周波数を調整可能とし，複数のパラメータのパターンを作成した．さらに，直接針を当てて測定を行うための，レイアウトパターンの作成を行った．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

アウトフェーズ変調のための CMOS VCO

大阪大学基礎工学研究科　　高橋 勇人，塩見 英久



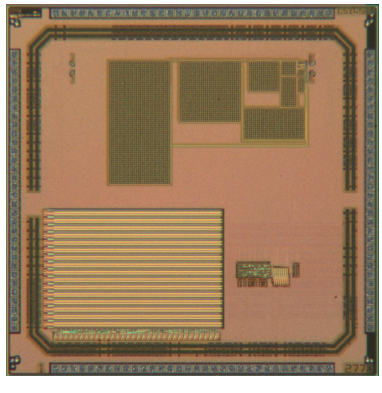
概要：将来のミリ波帯通信やさらなる高周波帯無線通信では，通信システムの低消費電力化や簡素化が求められている．簡素な構成にするためは，VCOの位相を直接変調する構成が考えられる．その際に，アウトフェーズの構成にすることで，振幅制御も必要なQAMなどの複雑な信号生成にも対応でき，さらに非線形増幅器を用いて高い電力効率とリニアリティを実現することが可能となる．この構成をミリ波帯通信への適用をするために，VCOは高い周波数の発振が必要となるため，周波数逓倍機構を持つプッシュプッシュ発振器やDLLといった構成が適すると考えられる．本試作ではアウトフェーズ変調に向けた，クロスカップル型プッシュプッシュ発振器と3逓倍注入同期リングオシレータついて検討した．試作した3逓倍注入同期リングオシレータは電源電圧1.8Vで-25.7dBm@12.5GHzで発振し，基本波抑圧比が15dBとなった．変調感度は最大で10.8GHz/V得られ，出力変動の小さい範囲では7.0GHz/Vが得られた．アウトフェーズ変調の信号制御には十分であると考えられる．

参考文献：高橋, 塩見, 岡村, "アウトフェーズ変調のためのCMOS VCOに関する検討", 信学技報, vol. 114, no. 433, EST2014-128, pp. 309-314, 2015年1月.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Agilent社 ADS　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

オンチップ A/D 変換器によるデバイス特性変動の測定

京都大学大学院情報学研究科　　栗野 皓光，廣本 正之，佐藤 高史



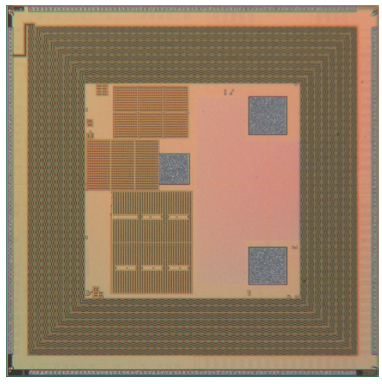
概要：バイアス温度不安定性（BTI）に代表されるトランジスタの経時特性変動は，今後の集積回路の信頼性を決定づける重要な要素である．本チップでは，1） 多数デバイスに対するBTI劣化と回復特性の測定を可能とするBTIアレイと，2） BTIストレスによる過渡的なデバイス特性の劣化とその回復をオンチップで測定する論理合成可能なアナログ-ディジタル（A/D）変換器を設計した．A/D変換器は，電圧制御発振器（VCO）の制御端子に変換対象の電圧を印加してVCOの発振周波数変化から入力電圧を推定する方式として構成した．アナログ設計が必要となる回路部分を極力少なくすることで，設計期間の短縮を目指した．

参考文献：H. Awano, M. Hiromoto, and T. Sato, "BTIarray: A time-overlapping transistor array for efficient statistical characterization of bias temperature instability, " IEEE Transactions on Device and Materials Reliability, Vol. 14, No. 3, pp. 833-843, Sept. 2014.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

溶液バイオケミカルセンシング回路

立命館大学理工学部　　宇野 重康

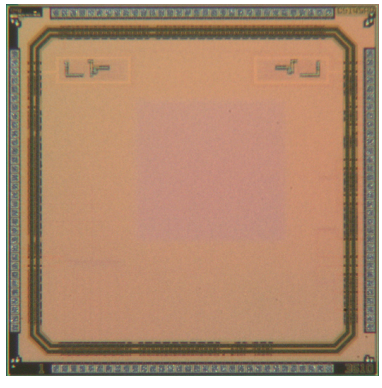


概要：水溶液中の生化学物質を電気化学的に検出あるいは定量することを目的としたバイオケミカルセンサ回路と，その電源回路およびアナログデジタル変換回路を集積した．電気化学測定原理としては電流方式と電位方式を想定し，それぞれに対してポテンショスタット回路および計装増幅回路を設計し集積した．いずれも演算増幅回路を組み合わせた構成となっており，実際のバイオセンシング実験データに基づいた設計仕様とした．具体的には，集積回路チップ上の電極によるフェロシアン化イオンあるいはフェリシアン化イオンの酸化還元反応による電流測定結果，これらの混合溶液を用いた電位測定結果，溶液中グルコースおよびアルコール測定結果などに基づき，実用的な範囲内で測定を可能とするような回路設計仕様とした．これらに加え，AC/DC 変換回路や電源電圧安定化回路などの電源回路を搭載するとともに，センサー回路からのアナログ出力電圧をデジタル信号へ変換するためのデルタシグマ変調回路を搭載した．更に，電磁誘導方式によるエネルギー獲得を目的としたオンチップスパイラルインダクタ，電圧制限回路，負荷変調回路などを搭載した．

設計期間：10 人月以上　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 5. 0mm 角チップ　**チップ種別**：イメージセンサ/スマートセンサ

Time analog to digital converter の試作

横浜国立大学工学府　　林 賢志，足立 武彦

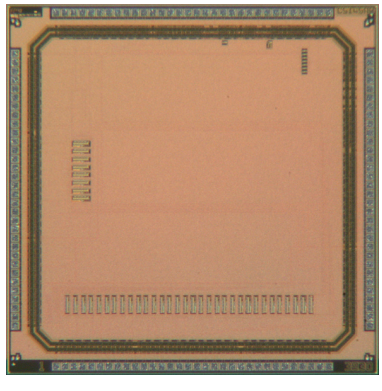


概要：A/D 変換器の高分解能化や低電源電圧化などに伴い，Time-to-Digital Conveter（TDC） に関する研究開発が活発化している．TDC の 1 つとしてリングディレイライン（RDL）を用いた Time Analog to Digital Converter （TAD） がある．TAD は，RDL，エンコーダ，ラッチ，カウンタ，減算器等により構成される．RDL は，インバータ 2 段で構成される遅延ユニット DU 32 段をリング状に接続した回路で，DU の電源電圧を A/D 変換器の入力とする．このように TAD はデジタル回路のみで構成される A/D 変換器であるため，プロセスの微細化によるスケーリングが容易で低電源電圧，低消費電力動作にに適している．本試作では，前回の試作結果を踏まえ，チップ面積の削減やノイズ対策の強化を行った．また，TAD を構成する要素回路である RDL，カウンタ，減算器，それぞれの設計を評価するため，各要素回路の実装も行った．

設計期間：3 人月以上，4 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

ニューロンＣＭＯＳインバータを用いた連想記憶メモリ

東海大学大学院産業工学研究科　　藤本 邦昭，原田 裕二郎

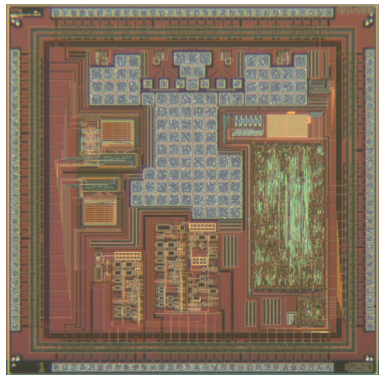


概要：連想記憶メモリ（Content Addressable Memory：CAM）は，入力データと記憶した参照パターンを比較し，一致または類似する参照パターンを検索し出力するメモリであり，画像認識，音声認識など様々な領域での応用が期待されている．その記憶方式はアドレスを使用せず人間の記憶方式に類似している．そこで，我々は神経細胞に似た特性を持つニューロンＣＭＯＳインバータを用いれば，簡単な構成の連想メモリが実現できるのではないかと考えて本研究に着手し，新しい方式の CAM を提案した．この回路は，レイアウトサイズも小さく簡単な回路でありながら，入力データに完全に一致した記憶データを検索する機能に加え，入力データとハミング距離が最も近い記憶データを検索する機能も有している．また，ニューロンＣＭＯＳインバータを用いる場合に大きな問題となっていたフローティングゲートの初期電荷の影響および閾電圧の変動の影響を受けない回路構成となっている．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Dracula，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：メモリ

CMOS Rail-to-Rail オペアンプクロスオーバー歪低減

電気通信大学情報理工学研究科　　大澤 衛，範 公可，石橋 孝一郎

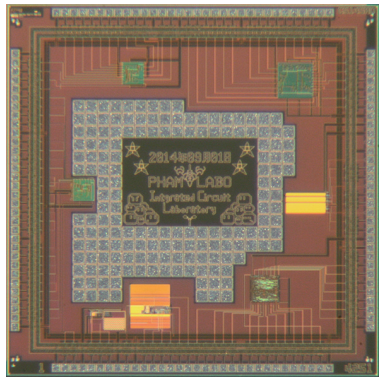


概要：今回の試作では，Rail-to-Rail オペアンプ，電流モード SAR ADC，VLRO，リング VCO，CAM の設計を行った．今回は Rail-to-Rail オペアンプについて報告する．トランスコンダクタンス gm を一定にする回路構成が報告されてきた．しかし，低消費電力のために，バイアス電流を小さくすると，回路にとって入力トランジスタのオン・オフによる変化した電流量が無視できない．結果，利得の変動やクロスオーバー歪みが生じる．この問題を解決するために，全入力範囲で入力段の gm が一定となる Feed Forward Canceling Stage （FFCS） 構成に加えて，電流補償段を新たに追加し，利得の変動やクロスオーバー歪みを抑えた Rail-to-Rail オペアンプの回路構成を提案する．提案回路構成により入力同相電圧によって変化する回路に流れる電流量が一定に保たれる．シミュレーション結果と同様に試作回路の測定結果により，従来回路と比較した時，利得の変動を抑えることができることが分かった．さらに提案した Rail-to-Rail オペアンプのクロスオーバー歪みの低減が確認できた． また，他の回路でも動作を確認し，今回得た知見を踏まえてさらなる回路構成を検討していく．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT）　**トランジスタ数**：10, 000～100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

エネルギーハーベスティング電源向けシュミット・トリガ付き LDO 回路

電気通信大学情報理工学部　　高橋 史帆
電気通信大学情報理工学研究科　　範 公可，石橋 孝一郎

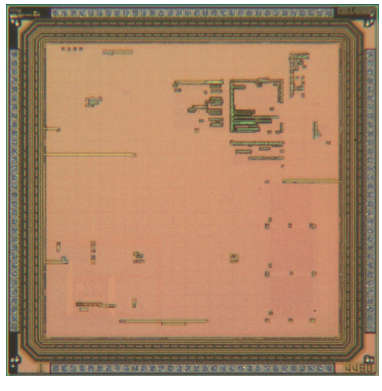


概要：今回の試作では，LDO 回路，二段オペアンプ，発振回路，画像処理デジタル回路の設計を行った．　今回は，エネルギーハーベスティング電源向けシュミット・トリガ付き LDO 回路について報告する．試作回路は，電源に環境発電から得られる僅かなエネルギーを想定し，回路外部に取り付けた大容量キャパシタに特定の電圧になるまで電荷を蓄えてから，LDO 回路が動作し始める．設計する際には回路全体が低消費電流となることを心がけた．なお，入力電圧の幅を決定するためにシュミット・トリガ回路を取り付けた．測定結果はシミュレーションどおりのシュミット・トリガ回路の動作が確認できた．また，LDO 回路が非動作時のリーク電流が 3. 9094uA に抑えることが出来たが，電流源での消費電流をさらに抑えることでこの値を減らすことができるという見込みを得，今後検討が必要であると考えた．また，他の回路でも動作を確認し，今回得た知見を踏まえてさらなる回路構成を検討していく．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT）　**トランジスタ数**：10, 000～100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

遅延故障テスト容易化回路および IC 間断線テスト用組込み型電流センサ回路の試作

徳島大学大学院先端技術科学教育部　　梅津 翔一，櫻井 浩希，菅 大介，宮本 陽平，濱田 圭吾
徳島大学大学院ソシオテクノサイエンス研究部　　四柳 浩之，橋爪 正樹

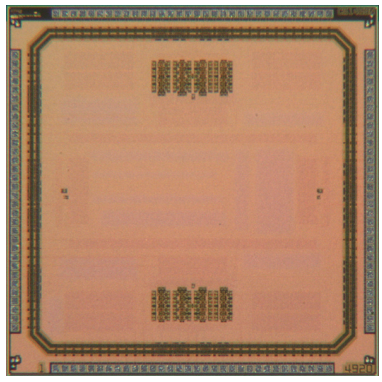


概要：遅延故障のテスト容易化回路，IC 間断線のテスト容易化入力保護回路，組込み型 IDD センサ回路の 3 つの回路を試作した．1）遅延検出回路組込み型バウンダリスキャン回路を設計した．スキャン設計を行ったベンチマーク回路を検査対象回路とし検査可能性調査を行った．また，遅延検出 VDL 回路を実装し，遅延時間の測定実験を行った．2）IC 間断線の電気的検査用組込み型電流センサに繋がる配線変更および DFT I/O 内 MOS スイッチのバルク切り離しを行なった．以上の改良により実測実験において本センサの断線故障検出能力の向上を確認した．3）IC の電流テストのために組込み型 IDD センサ回路を実装した．RAM を検査対象として実装し，実測により検査入力による電源電流量の差異が観測された．

設計期間：6 人月以上，7 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，TOOL 社 Lavis，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF），Synopsys 社 HSIM　**トランジスタ数**：10, 000～100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

High-resolution and high-speed stochastic ADC system

東京大学 VDEC，D2T　　Mai-Khanh Nguyen N.

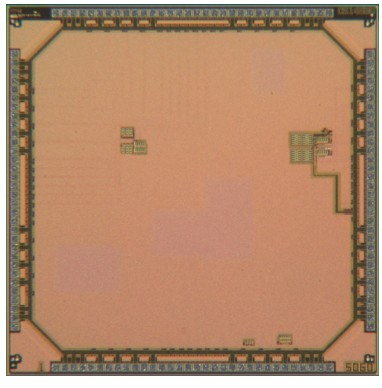


概要：This work proposes a sub-ranging stochastic analog to digital （ADC） circuit. A differential analog input signal is fed into this circuit through a sample and holds circuit and then connected to a “coarse” analog to digital converter circuit. The sample and hold circuit holds and tracks the differential analog input signals with an input clock. The design of the sample and hold circuit is aimed to achieve a trade-off between high linearity, wide operating bandwidth, as well as high speed operation. Moreover, the design avoids Pedestal errors by using a dummy half NMOS. The proposal is to implement a high resolution ADC by using two converter stages, which are “coarse” and “fine” ones. The coarse converter circuit includes an on-chip comparator array and a voltage reference circuit designed in on-chip resistor type while the fine converter stage includes a stochastic comparator array. There are sixty-four comparators used in the “fine” stochastic compartor array. The comparator is designed not only with differential clock inputs but also with Vin and Vref inputs. The comparator has two stages, which consists of an amplifier stage and a latch circuit. The output of the comparators are buffered and fed into a digital encoder circuit. The capacitors of each single comparator and MOS transistors are designed and simulated by ADS. In addition, simulation in Hspice of post-layout extraction netlist is performed. To achieve the delay balance and clock distrubition, H-type clock tree paths are used. In addition, input signals are fed by employing a co-planar line type. Simulations in both schematic and post-layout are conducted to validate the new circuit, which provides variable time difference ranges by controlling the slope of input signals. The chip has sixty four comparator cells and the half of them was just duplication of the other. Among these comparators, DC power supplies, input paths, and clock feeding path are distributed in an H tree distribution to achieve equal length electrical and delay transmission and distribution.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF），Agilent社 ADS　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

アナログ回路用ライブラリおよび素子評価 TEG の試作-1

高知工科大学システム工学群　　橘 昌良，山下 崇仁，庄司 大輝
高知工科大学大学院基盤工学専攻　　板坂 直哉，Wannaboon Chatchai

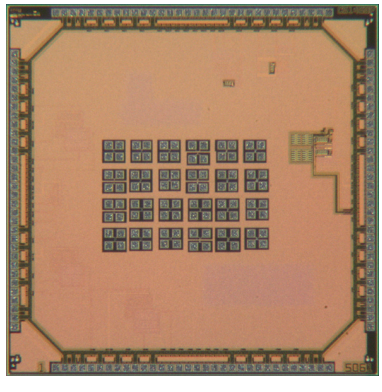


概要：本チップの目的はアナログ回路用ライブラリの設計およびMIMキャパシタの特性評価である．試作した回路は，連続時間2次ΔΣ変調回路，ΔΣ変調回路の故障検出回路，ダイナミックコンパレータである．ΔΣ変調回路において，抵抗・キャパシタを用いた積分器を使用して設計を行った．信号帯域は22kHz，オーバーサンプリング比は128として設計した．ΔΣ変調器の故障検出回路ではBISTを設計し評価した．差動増幅回路とインバータを用いたコンパレータではノイズ・遅延・オフセットなどの影響が出てきてしまう．そこでこれらの影響を少なくすることができるダイナミックコンパレータを設計し，回路の出力遅延を評価した．MIMキャパシタは300fFと1pFを試作した．評価項目として，製造ばらつきを調査する．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Dracula，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

アナログ回路用ライブラリおよび素子評価 TEG の試作-2

高知工科大学システム工学群　　橘 昌良，庄司 大輝
高知工科大学大学院基盤工学専攻　　坂東 拓弥，板坂 直哉，山田 健太

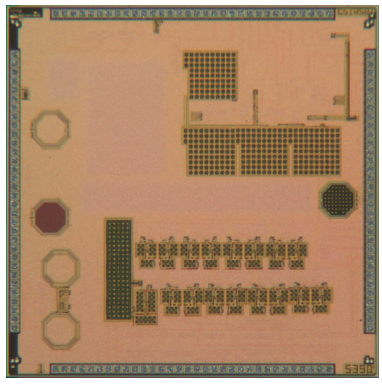


概要：本チップの目的はアナログ回路用ライブラリの設計およびMOSトランジスタの特性評価である．試作した回路は，ΔΣ変調回路，バンドギャップリファレンス（BGR），素子評価TEGとしてトランジスタサイズの異なったMOSFETとマルチにしたMOSFET，ダミーを接続したMOSFETを試作した．バンドギャップリファレンス（BGR）は，電源電圧依存性を比較するために，利得が違うオペアンプをそれぞれ用いて設計した．さらに，出力電圧値のバラツキを検証するために，抵抗をコモン・セントロイド配置にしたものと，そうでないものについて設計した．ΔΣ変調回路は，抵抗・キャパシタを用いた積分器を使用して設計を行い，量子化器にダイナミックコンパレータΔΣ変調回路のSNRを評価した．評価TEGでは基本特性のドレイン電流特性やしきい値および製造ばらつきを調査する．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Dracula，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

各種要素回路の設計

明治大学理工学部　　和田 和千
明治大学理工学研究科　　鬼頭 良太, 國貞 健吾, 谷村 直哉, 中村 太郎, 三村 優



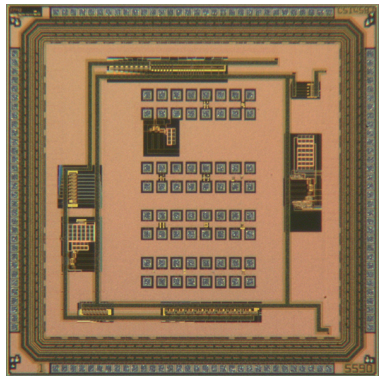
概要：学生5名がそれぞれ修士論文の研究の準備段階で設計した，次の回路の試作である．①LC共振による狭帯域カスコード電力増幅回路，②電源電圧0.6Vで動作するログドメインOTAと，それによって構成した2次ログドメイン低域通過フィルタ，③分解能8bit逐次比較型アナログ・ディジタル変換回路，④8つのMOSFETを用いた2段構成0.5V入力1.5V出力のチャージポンプ回路，⑤短距離パルス通信を目指したゲート接地型低雑音増幅器．これら5つの回路のシミュレーション，レイアウト設計および測定という一連の設計に習熟することを目的としている．

参考文献：國貞, 和田, 関根「遮断周波数が調整可能かつ広い温度範囲で歪を低減したログドメインフィルタ」，電子回路研資，ECT-14-031

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 HSPICE（RF）　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：その他

片側接地型圧力センサ用CV変換回路の設計

富山県立大学工学研究科　　久々湊 竜童, 和泉 幸司, 松田 敏弘, 岩田 栄之

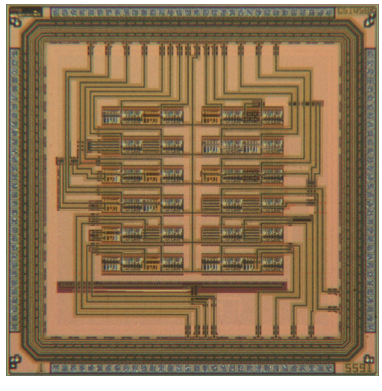


概要：医療や介護，健康機器などの民生分野では，従来より部品点数が少なく，小型・低コスト化が可能な圧力センサが望まれている．本研究室では，圧力を静電容量の変化として検出する静電容量型センサのためのCV（容量-電圧）変換回路の開発を行っている．従来のCV変換回路では，センサ容量を直接指などで触れると，電位が変化し，静電容量差を正しく検出できなくなるため，絶縁対策が必要であった．センサの可動電極側をグランドに接続する片側接地とすれば，指などで直接触れることが可能となり，センサの応用範囲を広げることができる．本研究では，片側接地型センサに対応するCV変換回路を設計した．本チップには，2チャンネルの信号を検出可能な片側接地型2チャンネルCV変換回路，縦と横に8個ずつ並べた合計64個の2次元配置されたセンサに対応する従来の8チャンネル×8チャンネルCV変換回路，クロック発生のための発振回路およびタイミング信号発生回路を搭載した．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

CMOS LSIチップ内の温度分布の解析

富山県立大学工学部　情報システム工学科　　松田 敏弘, 岩田 栄之

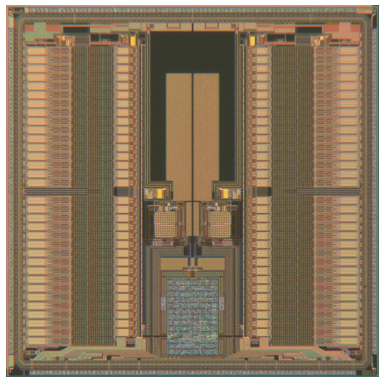


概要：MOSFETの微細化によるVLSIの高集積化が進んでおり，消費電力の増大が深刻化してきている．その結果，VLSI内に局所的な高温箇所が発生し，回路の特性や信頼性などに影響するチップ内温度分布の不均一性が問題となっている．したがって，LSIに内蔵可能な，小型で高精度な温度センサが求められている．また，現在提供されている熱伝導シミュレータはLSIの設計に非常に有用であるが，シミュレーションの精度をさらに高めるためにも，実験による実測 値とシミュレーション結果の検証は必要不可欠である．本研究では，熱源となる抵抗とそのまわりに配置されたダイオードまたはMOSFETアレイからなるテ スト回路をLSIとして設計・試作し，実測とシミュレーションを用いてLSI内の温度分布を解析することを目的としている．本テストチップ中の1ブロック には，熱源となる抵抗1個と，温度センサとなるダイオードまたはMOSFETが32個で構成されている．テストチップ内には，温度センサブロックを24個 配置し，熱源や配線パターン等による温度分布の変化を解析できるようにした．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

多チャンネル皮質脳波信号計測チップ

大阪大学大学院生命機能研究科　　鈴木 隆文，安藤 博士
広島大学大学院先端物質科学研究科　　吉田 毅



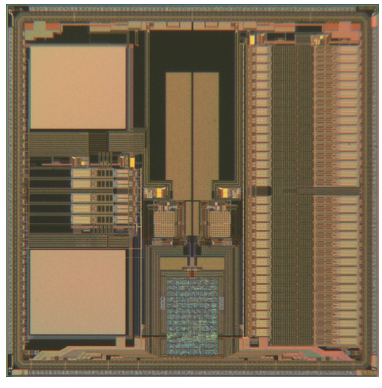
概要：脊髄損傷などにより運動機能を失った人の生活の質を向上させるため，考えるだけで義肢などを操作できるブレインーマシン・インタフェース（BMI）の実現が期待され，その信号源として侵襲性と情報量とのバランスなどから皮質脳波信号（ECoG）が注目されている．本研究では，更に小型な埋込み型 BMI システムを実現するために，ピン配置の最適化を行った多チャンネル皮質脳波安定計測チップの改良試作を行った．搭載回路は，64 チャネルの低雑音増幅回路，12bitAD 変換器，システム制御回路である．設計した低雑音増幅回路は，振幅が数 μV～1mV 程度で，信号帯域が 0.1～100Hz 程度である ECoG を検出するために，弱反転領域で動作する MOSFET を用いたフィードバック構成で実現した．また 12bitAD 変換器は 32kSps で動作した．

参考文献：吉田，他，"ブレイン・マシン・インタフェース 64ch ニューラルレコーディングチップ"，信学技報 ICD2011-23，pp. 25-30，2011

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 Astro，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 NanoSim　**トランジスタ数**：1，000～10，000　**試作ラン**：ローム CMOS 0.18μm 5.0mm 角チップ　**チップ種別**：アナデジ混載

多チャンネル神経スパイク信号計測チップ

大阪大学大学院生命機能研究科　　鈴木 隆文，安藤 博士
広島大学大学院先端物質科学研究科　　吉田 毅



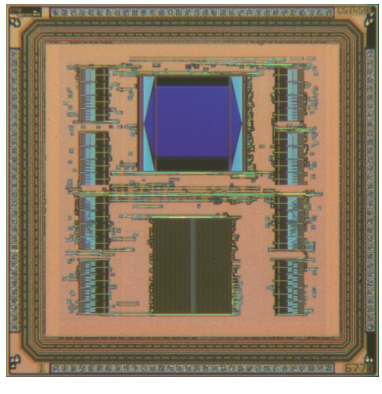
概要：運動機能を失った人の運動機能再建のため，また，脳科学研究の新しいツールとしてブレインーマシン・インタフェース（BMI）の実現が期待されている．本研究では，生体に埋め込み可能な小型の BMI システムを実現するために，多チャンネル神経信号計測チップの改良試作を行った．神経信号としては，脳表面に貼りつけたアレイ型の電極により計測される皮質脳波信号と，脳内部に刺入することにより神経細胞近傍において計測される神経スパイク信号の両者を想定した．搭載回路は，36ch の低雑音増幅回路，12bitAD 変換器，システム制御回路である．設計した低雑音増幅回路は，振幅が数 uV～1mV 程度で，32ch は信号帯域が～100Hz 程度である皮質脳波信号，および，4ch は信号帯域が～5kHz 程度である神経スパイク信号及び局所電場電位を検出するために，弱反転領域で動作する MOSFET を用いたフィードバック構成で実現した．また 12bitAD 変換器は 32kSps で動作した．

参考文献：Takeshi Yoshida，et al.，"A 36-channel Neural Recoding Chip for Brain Machine Interface"，SSDM2012，pp. 1124-1125，2012.

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 Astro，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 NanoSim　**トランジスタ数**：1，000～10，000　**試作ラン**：ローム CMOS 0.18μm 5.0mm 角チップ　**チップ種別**：アナデジ混載

漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用 TEG チップ

立命館大学理工学研究科　　中井 綱人
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅

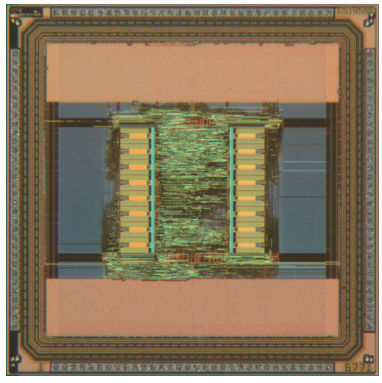


概要：暗号回路を搭載した LSI において，消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている．消費電力と漏洩電磁波との間には相関があり電力解析攻撃の対策が電磁波解析攻撃においても有効であると考えられてきたが，漏洩電磁波によるリーク要因には消費電力とは異なるものが含まれていることが指摘されはじめた．しかしながら，電磁波解析攻撃のリーク要因が何か，どの程度脅威と成り得るのか実験的には明らかとなっていない．本試作チップには，漏洩電磁波のリーク要因を調べるための TEG 回路を搭載した．前回のリーク要因検証用 TEG チップでは，実測により論理ゲート単体における電流経路リーク，D 型フリップフロップが保持する 0/1 の情報に起因するリークが確認できた．今回のリーク要因検証用 TEG チップでは，さらなる D 型フリップフロップから発生する情報リークの追及するために，D 型フリップフロップを 16X64 個アレイした TEG 回路を搭載した．フリップフロップから発生する情報リークは電源電圧の変動に起因することが考えられるため，回路の電源電圧は，アナログパッドから与えるように設計した．また，論理ゲートや電流経路から発生するリークの要因を追及する TEG 回路も搭載した．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre　**トランジスタ数**：100，000～1，000，000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

サイドチャネル攻撃対策と侵襲攻撃対策を両立する暗号回路

立命館大学理工学研究科　　竹内 章浩，西村 隆志，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅



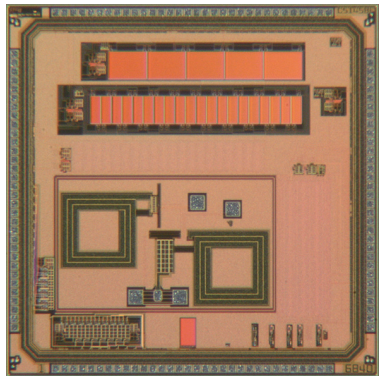
概要：IC カードなどの暗号デバイスにおいて，サイドチャネル攻撃や侵襲攻撃によって秘密情報が窃取される危険性が指摘されている．我々はサイドチャネル攻撃対策として MDR-ROM 方式を提案し，これに統合可能な PUF についても提案してきた．本試作チップでは，両技術と誤り訂正技術，及び鍵生成技術を統合した．これにより，電力解析や電磁波解析といったサイドチャネル攻撃には MDR-ROM で対策し，侵襲攻撃に対しては PUF を用いてチップ固有の鍵を生成し，秘密鍵に暗号処理を施して扱うことで，不揮発性メモリに格納された秘密鍵を直接読み出すような侵襲攻撃に対策することができる．実測によりサイドチャネル攻撃の耐性と，PUF レスポンスからチップ固有鍵が生成できることを確認した．

参考文献：竹内章浩，西村隆志，汐崎充，藤野毅，「MDR-ROM を用いてサイドチャネル攻撃対策 AES と PUF を実現した鍵生成 LSI の実装評価，」，暗号と情報セキュリティシンポジウム，2B2-2，2015

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 HSPICE（RF），Synopsys 社 HSIM　**トランジスタ数**：10,000～100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

0.18μmCMOS プロセスを用いたパッチクランプ測定システムの改良

慶應義塾大学理工学部　　中野 誠彦，高坂 太郎
慶應義塾大学理工学研究科　　川島 拓也，四ツ田 大樹

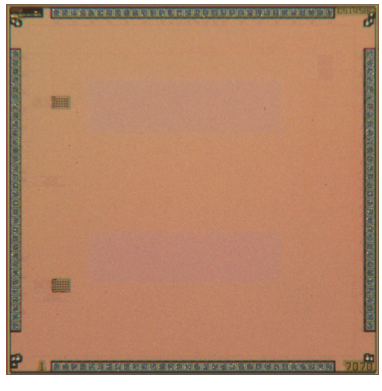


概要：現在，電気生理学の分野において神経細胞によるイオン電流を測定することが盛んに行われている．この神経細胞を測定することができるメリットの 1 つとして神経疾患の治療に貢献することが挙げられる．また，ブレインマシンインタフェース技術と呼ばれる，脳と機械間の双方向通信技術の応用にも貢献できると期待されている．我々はこのイオン電流を測定する手法の 1 つであるパッチクランプ法のための LSI システムの設計を行っている．今回のチップでは以前に設計を行ったフィードバックに抵抗を用いた I-V コンバータの改良を行った．また，以前に設計を行ったフィードバックの抵抗に OTA を使用した I-V コンバータの改良も行った．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Agilent 社 ADS　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

低電圧 CMOS オペアンプおよび電流リファレンス回路

埼玉工業大学工学部情報システム学科　　高谷 直美，吉澤 浩和



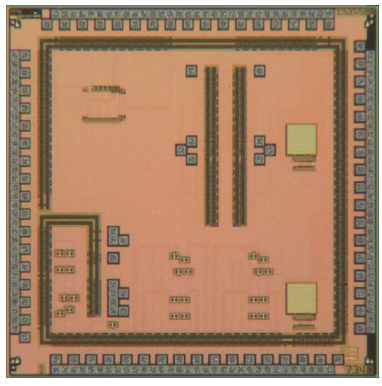
概要：近年，集積回路の電源電圧は 1V 未満であることが珍しくなくなっている．低電圧化により，消費電力の低減や電池の軽量化が可能になるなどのメリットがある．しかしながらアナログ回路において，電源電圧の低下は振幅の減少および S/N 比の低下につながるため， オペアンプには入出力レールトゥレール動作が求められる．本試作では，0.5V 動作のレールトゥレール CMOS オペアンプの動作を確認するため，文献［1］　(Akihiro Tanaka，Zhigang Qin，and Hirokazu Yoshizawa，“A 0.5-V 85-nW Rail-to-Rail Operational Amplifier with a Cross-Coupled Output Stage，”Proc. IEEE International Conference on Electronics，Circuits and Systems，pp. 137-140，2013.）に記載された回路を 0.18μm CMOS プロセスを用いて試作を行った．同時に低電圧電流リファレンス回路の試作も行った．試作したオペアンプは電源電圧 0.5V から動作することを確認した．

参考文献：［1］ A. Tanaka，et al.，Proc. IEEE International Conference on Electronics，Circuits and Systems，pp. 137-140，2013.

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10～100　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

超低消費電力心電取得用アナログフロントエンドの試作

兵庫県立大学工学部　藤原 潤
兵庫県立大学大学院工学研究科　松田 貴文，松本 裕貴，前中 一介，藤田 孝之，神田 健介

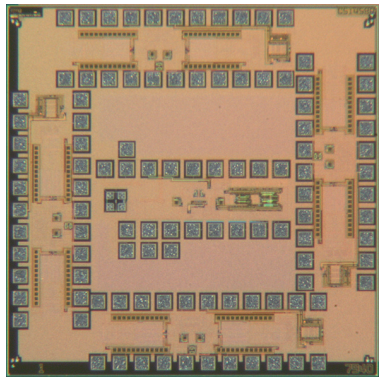


概要：本研究室では，身体に張り付けることで生体情報を測定する小型システムの研究・開発を行っている．複数の MEMS センサとアナログ/デジタル信号処理 LSI を組み合わせることにより，超低消費電力で小型なデバイスの開発を目指している．本試作では，身体から得られる心電を低消費電力で取得しデジタル値に変換する，ECG ヘッドアンプ，A/D 変換回路を含めた心電取得用アナログフロントエンドを試作した．市販の専用 IC では脳波や筋電も測定できるようにある程度の周波数特性を持たせている事や汎用回路の搭載により低消費電力化が難しい．本試作では測定対象を心電に絞ることで狭帯域でも動作が可能であり，汎用回路を取り除き，1 チャネル構成にすることで特別な製造プロセスを使用しなくても低消費電力で設計することができる．試作結果はプロセスばらつきにより電源電圧 1.8V では動作せず，2.0V まで上げることで動作が可能となる結果となった．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Cadence 社 NCVerilog，Cadence 社 Encounter RTL Compiler，Cadence 社 SoC Encounter，Cadence 社 Virtuoso，Synopsys 社 Cosmos，Mentor 社 Calibre，Mentor 社 ModelSim，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF），Synopsys 社 NanoSim　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

低電源電圧向け微粒子操作用容量変化検出回路

大阪大学大学院工学研究科　山根 梨江，井上 泰佑，松岡 俊匡



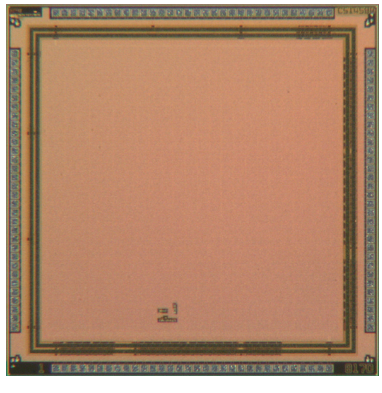
概要：微小分析システムの実現のために，CMOS 技術と誘電泳動技術を用いたオンチップ微粒子操作のためのセンシングシステムの確立を目指している．先行研究による，微粒子の有無を電気信号で検出する回路システムを利用した．本チップは液中での使用を目的としており，消費電力の発熱により溶液が変性するのを防ぐため，低電源電圧で動作するよう工夫を施した回路を搭載した．低電圧動作において問題となっていたカレントミラー部分に，負帰還回路を加えることによって，カレントミラーにかかるゲート電圧を制御し，電流をより精度よくコピーできる構成とした．容量差をオンチップで確認するために 4 種類の容量変化検出回路を配置した．また，実際に微粒子操作を行い，容量変化を測定するため，従来の容量変化検出回路にセンサ電極を接続したものを配置した．

参考文献：R. Yamane, H. Iwasaki, Y. Dei, J. Cui, and T. Matsuoka, "A Capacitance Detection Circuit for On-chip Microparticle Manipulation, " IEEE International Meeting for Future of Electron Devices, Kansai, pp. 102-103, 2014 年 6 月

設計期間：6 人月以上，7 人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Cadence 社 SoC Encounter，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：イメージセンサ/スマートセンサ

誤り訂正符号を用いた不揮発メモリの書き込み削減手法によるエンコーダ回路

早稲田大学基幹理工学部　多和田 雅師

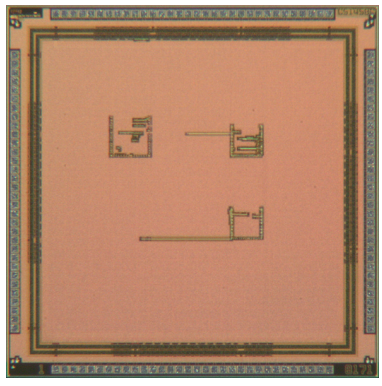


概要：近年不揮発性などの性質から不揮発メモリが注目されている．不揮発メモリは通常のメモリに比べて書き込み動作における消費エネルギーが大きいという問題がある．消費エネルギーを小さくするためにビットレベルでの書き込み数を削減することが考えられる．書き込むビット数を少なくするためにメモリを冗長化する手法がある．誤り訂正符号を用いて書き込みビット数を削減する手法のエンコーダ回路を実装する．エンコーダ回路は冗長化回路部分と誤り訂正回路部分に分けられる．冗長化回路部分はメモリに書き込みたい値をビット数を冗長化した値に変換する．誤り訂正回路部分は誤り訂正符号を用いた数学的処理により，書き込みビット数が最も少ない書き込みが行われる．

設計期間：0.1 人月以上，0.5 人月未満　**設計ツール**：Synopsys 社 VCS，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Mentor 社 Calibre，Synopsys 社 Formality　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：演算回路（乗算器，除算器など）

レジスタ集中型・分散型アーキテクチャ比較のためのFSMD回路

早稲田大学基幹理工学研究科　　川村 一志



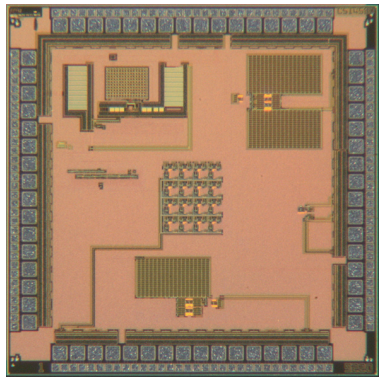
概要：レジスタ分散型アーキテクチャとレジスタ集中型アーキテクチャの比較を目的とし，同じ動作をする2つのFSMD回路を1チップ上に実装した．動作は3次FIRフィルタで，元となるRTL記述は動作記述から高位合成システムを通して生成した．実装したレジスタ集中型アーキテクチャは1つの大きな正方区画に加算器と乗算器を1個持ち，入出力を除くすべてのデータはその区画内でやり取りされる．一方，レジスタ分散型アーキテクチャは2つの小さな正方区画にそれぞれ加算器1個と乗算器1個を持ち，データ転送は区画内及び区画間でやり取りされる．実装の際は，各区画をマクロブロックとして設計した後，チップレベルで全体を設計した．

参考文献：スタンダードセルライブラリ自動生成システム，小野寺秀俊，平田昭夫，北村晃男，小林和淑，田丸啓吉，情報処理学会論文誌，vol. 40，no. 4，pp. 1660–1669，1999/04

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社VCS，Synopsys社DesignCompiler，Synopsys社ICCompiler，Mentor社Calibre，Synopsys社Formality　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：演算回路（乗算器，除算器など）

スピニングカレントシステムホールセンサアレイTEGチップ

豊橋技術科学大学電気・電子情報工学系　　村上 裕二，井美 椋太



概要：経皮連続血糖測定に向けたホールセンサシステムLSIの試作を行っている．従来から搭載している個別に計装アンプを有するクロス型ホールセンサのアレイ（4×4 pixel），SAR型の10bitADコンバータ，それぞれの制御を行う制御シーケンサ回路を追試作した．またさらに，ホールセンサに発生するオフセット電圧を低減する手法としてスピニングカレントシステム回路を設計した．これはクロス型ホールセンサの縦読みと横読みの差分をとることで，センサの製造ばらつきに基づくオフセットをキャンセル手法として知られているものである．またその計装アンプは2×2のホールセンサで共有し，アンプの個体差による差の低減を試みた．

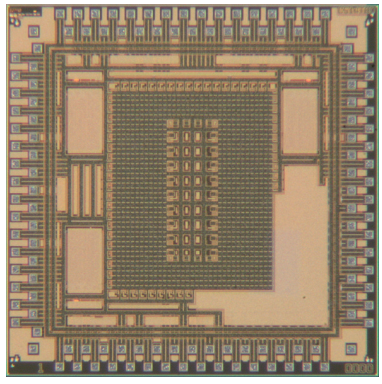
参考文献：井美，村上「非侵襲 連続血糖値計測のためのオンチップスピニングカレント法を用いたホールセンサシステムLSI」電気学会BMS-14-036

設計期間：3人月以上，4人月未満　**設計ツール**：Synopsys社DesignCompiler，Synopsys社ICCompiler，Cadence社Virtuoso，Mentor社Calibre，Cadence社Spectre　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

平成26年度第4回ローム CMOS 0.18um 試作
（RO18144）

周波数校正機能付き PWPLL，完全差動型タイムモード積分器

東京大学工学系研究科　　都井 敬，矢野 智比古



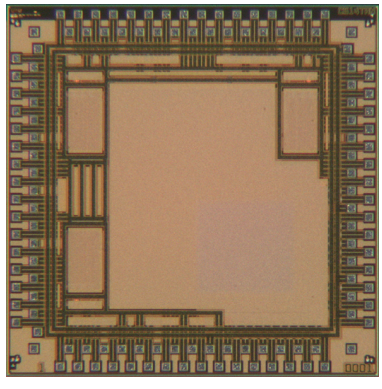
概要：パルス幅制御位相同期回路（Pulse Width controlled PLL:PWPLL）とは，Thermometer Codeに一つのアナログ値を含めることで量子化ノイズの抑制に成功した新しい制御方式のPLLである［1］．PWPLLは，出力周波数帯域がリングオシレータの段数に制約されPVTばらつきへの対応が不十分である．そこでリングオシレータの段数を可変にして，PLLのロックがはずれると適切なリング段数に変更し，再びロックをすることでPVTばらつきに対応したのが今回の試作チップである．refクロックとfbkクロックを数え上げ，数を比較することでリング段数を増やすか減らすかを決める仕組みになっている．今回の試作チップではリング段数は7，9，11段で可変とした．また，プロセスの微細化に伴いアナログ回路が直面している電圧ヘッドルームの低下やノイズ耐性などの困難を乗り越える方法として，時間領域信号処理回路が注目されている．本試作では，時間領域信号処理系の基本要素としての積分器を試作した．このアナログ積分器は入出力共にデジタル信号のエッジの時間差で表現されるものであり，全てロジック素子によって実装がなされている．

参考文献：［1］ Toru Nakura，Kunihiro Asada，"Low Pass Filter-Less Pulse Width Controlled PLL Using Time to Soft Thermometer Code Converter"，IEICE TRANS. ELECTRON.，VOL. E95・C，NO. 2 FEBRUARY 2012.

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules　**トランジスタ数：**1,000〜10,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ（PLL，A-D/DC-DCコンバータなど）

STO薄膜キャパシタの特性評価回路チップ

東京大学工学部　　鹿野 真弘

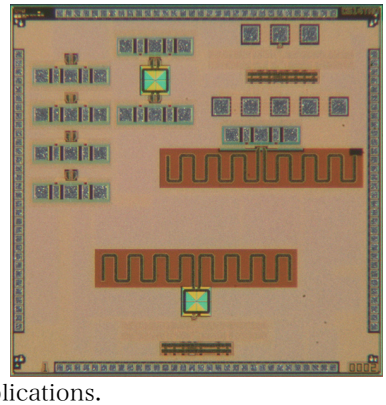


概要：近年の微細化により，パッケージのボンディングをはじめとする電源ライン上の寄生インダクタンスの影響が大きくなり，それに伴い発生するdi/dtノイズや電源共振ノイズが無視できなくなっている．一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが，大きな容量を得るには大きな面積を必要とし，貴重なシリコン領域を消費してしまう．1つの解決策として，薄膜のキャパシタをダイ上に直接取り付けることにより，低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる．この試作チップは，そのキャパシタをノイズに敏感な回路にのみ接続することで，周辺回路の発生させるノイズからその回路を守ることができると考え，設計したものである．回路としては，動作状況を変えられるノイズ発生源が3つ配置されているだけである．このノイズ発生源は分周機及びD-フリップフロップ，そして多くのインバータ列からなる回路である．また，直接キャパシタを取り付けられるようにパッドが多く配置されている．

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules　**トランジスタ数：**1,000〜10,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**TEG（特性評価回路など）

Regeneration-based microwave pulse generator

東京大学 VDEC　　Mai-Khanh Nguyen N.

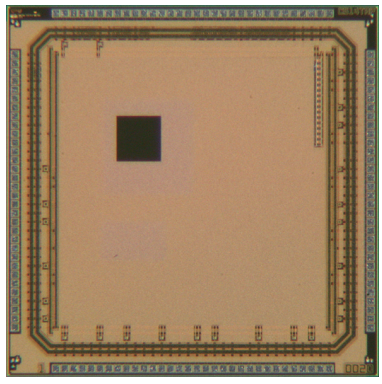


概要：Previous microwave pulse generation circuits generated pulses by employing inverter chains or sharping-edge schemes which required a large amount of power and die areas. In this implementation, we proposed a new pulse generator by applying our regeneration method, which consists of simple transitors and small chip area. The output of the pulse generator is coupled to a transformer and a dipole antenna, which are integraetd on the same chip. Other testing circuits for the transformer and the antenna are also included for the de-embedded process on the probe station. Another stand-alone pulse generator is included with in/out pads for the post-processing MEMS procedures. By applying this idea into the chip, the pulse generator requires less power and less dia area then the conventional ones while can produce microwave pulses for the purpose of radar sensing applications.

設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Synopsys社 Cosmos，Synopsys社 StarRC（XT），Synopsys社 Hercules，Agilent社 ADS　**トランジスタ数：**100〜1,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ/デジタル信号処理プロセッサ

アドレス出力回路付きCMOS SPADアレイ

東京大学工学系研究科　　楊 驍, 朱　弘博, 名倉　徹, 浅田　邦博

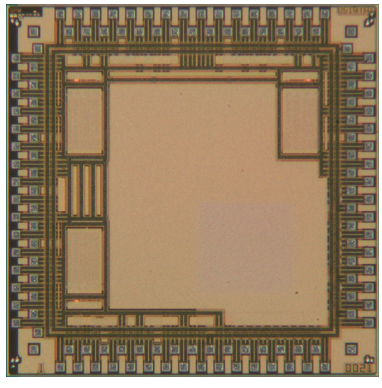


概要：単一光子アバランシェダイオード（SPAD）は，PNダイオードのブレークダウン電圧より高い電圧領域で動作し，電流利得が非常に高いため，光子が一個でも入ってくるとブレークダウンが起こるデバイスである．小型微弱光検出素子として，医療，3Dイメージセンサーといった用途において有益である．ただ，光子がなくても，ブレークダウンを起こる可能性もあるので，SPADのノイズとなる．本試作は，SPADのノイズの影響について，SPADアレイの出力効率を高めるために，2014年2月試作したアドレス出力回路を使用した．また，SPADが2014年4月試作した8種類のSPADの中に，最も良いPwell-DeepNwellのポリゲート付きSTIガードリングの構造を利用した．1x15ピクセルのSPADアレイを設計した．本試作は，2014年8月試作したSPADアレイの改良したものである．また，SPAD素子単体の性能を改善するために，同じ構造で，STIとP-diff間の距離及びSPADのサイズと形を変化したSPADおよびPassive Quenching回路を試作した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

STO薄膜キャパシタの特性評価回路チップ

東京大学工学部　　鹿野 真弘

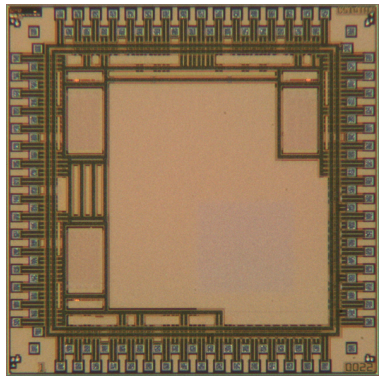


概要：近年の微細化により，パッケージのボンディングをはじめとする電源ライン上の寄生インダクタンスの影響が大きくなり，それに伴い発生するdi/dtノイズや電源共振ノイズが無視できなくなっている．一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが，大きな容量を得るには大きな面積を必要とし，貴重なシリコン領域を消費してしまう．1つの解決策として，薄膜のキャパシタをダイ上に直接取り付けることにより，低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる．この試作チップは，そのキャパシタをノイズに敏感な回路にのみ接続することで，周辺回路の発生させるノイズからその回路を守ることができると考え，設計したものである．回路としては，動作状況を変えられるノイズ発生源が3つ配置されているだけである．このノイズ発生源は分周機及びD-フリップフロップ，そして多くのインバータ列からなる回路である．また，直接キャパシタを取り付けられるようにパッドが多く配置されている．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

STO薄膜キャパシタの特性評価回路チップ

東京大学工学部　　鹿野 真弘

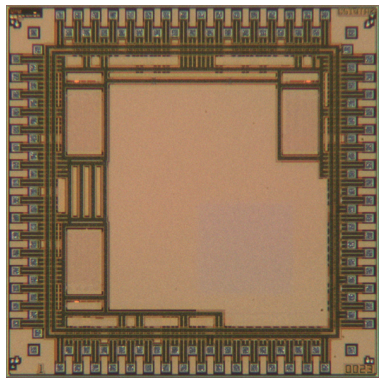


概要：近年の微細化により，パッケージのボンディングをはじめとする電源ライン上の寄生インダクタンスの影響が大きくなり，それに伴い発生するdi/dtノイズや電源共振ノイズが無視できなくなっている．一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが，大きな容量を得るには大きな面積を必要とし，貴重なシリコン領域を消費してしまう．1つの解決策として，薄膜のキャパシタをダイ上に直接取り付けることにより，低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる．この試作チップは，そのキャパシタをノイズに敏感な回路にのみ接続することで，周辺回路の発生させるノイズからその回路を守ることができると考え，設計したものである．回路としては，動作状況を変えられるノイズ発生源が3つ配置されているだけである．このノイズ発生源は分周機及びD-フリップフロップ，そして多くのインバータ列からなる回路である．また，直接キャパシタを取り付けられるようにパッドが多く配置されている．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

STO 薄膜キャパシタの特性評価回路チップ

東京大学工学部　　鹿野 真弘

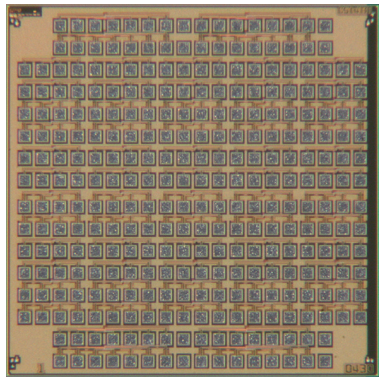


概要：近年の微細化により，パッケージのボンディングをはじめとする電源ライン上の寄生インダクタンスの影響が大きくなり，それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている．一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが，大きな容量を得るには大きな面積を必要とし，貴重なシリコン領域を消費してしまう．1 つの解決策として，薄膜のキャパシタをダイ上に直接取り付けることにより，低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる．この試作チップは，そのキャパシタをノイズに敏感な回路にのみ接続することで，周辺回路の発生させるノイズからその回路を守ることができると考え，設計したものである．回路としては，動作状況を変えられるノイズ発生源が 3 つ配置されているだけである．このノイズ発生源は分周機及び D-フリップフロップ，そして多くのインバータ列からなる回路である．また，直接キャパシタを取り付けられるようにパッドが多く配置されている．

設計期間：0.5 人月以上，1 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

ストレス印加によるノイズマージンの影響を調べる SRAMTEG　サイズ再設計

東京大学生産技術研究所　　長尾 光晋，水谷 朋子，小林 正治，平本 俊郎



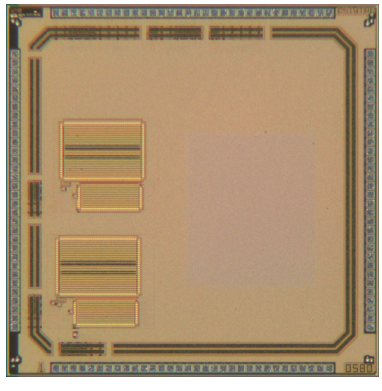
概要：本試作では電気的ストレスの SRAM のノイズマージンへの影響を調べるための SRAM　TEG を設計した．具体的にはローム 180nm のロジックルールに基づいて，通常の 6 トランジスタ SRAM と，アクセストランジスタを省いた 4 トランジスタ SRAM を設計した．セルトランジスタのサイズは，ゲート長を 0.3um に固定して，ゲート幅を 0.22um から 1um まで振った．パッドはプローブカードのピッチに合わせて，サイズを 80um x 80um，ピッチを 120um とした．6 トランジスタ SRAM については，内部ノードにコンタクトを打ち，直接電位観察ができるように設計した．各 SRAM セルに対してすべてのノードからパッドを引き出すためにチップ内の SRAM 数はパッドの配置で決まる．最終的に 2.5mm x 2.5mm のチップに 68 個の SRAM を配置した．本試作チップを用いて各ノードからの電気的ストレスによる SRAM セルのノイズマージンへの影響について統計的なデータをとることができる．

参考文献：未発表

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

生体信号増幅回路および発振回路の試作

山梨大学大学院総合研究部　　佐藤 隆英



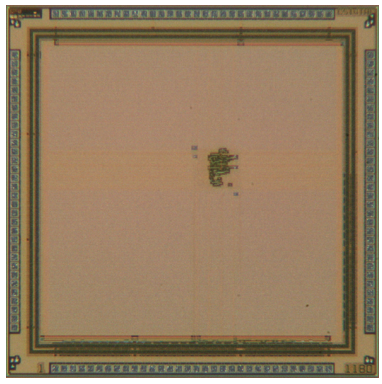
概要：本試作では，以下の 2 種類の回路の設計を行った．1）生体信号処理用増幅回路：生体信号を常時モニタリングするシステムへの応用を想定した生体信号増幅用の増幅回路の試作を行った．生体信号は非常に微小であるため，増幅回路は低雑音かつ大きな電圧利得を有することが望まれる．また，生体信号は低い周波数成分を有するため，生体信号処理用の増幅回路の実現には大きな抵抗または容量の実現が必要となる．本試作では，生体信号用の増幅回路を小チップ面積での集積化を行い，その特性の評価を目的としている．2）容量型レベルシフト回路を用いたリング発振器：リングオシレータは複数のインバータからなるが，インバータの前段にレベルシフト回路を挿入することで発振周波数を向上させることが出来る．レベルシフト回路として容量と MOSFET からなる新たなレベルシフト回路を用いることで定常的なバイアス電流を増加させることなく発信周波数を向上させることが出来る．本試作では，レベルシフト回路の挿入による発振回路の特性の変化を評価することを目的としている．

参考文献：T. Sato, T. Nagata, D. Kanemoto, "High Frequency Ring Oscillator Using Capacitor Based Level Shift Circuits", Proc. of IEEE APCCAS 2014, pp. 149-152, 2014

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

軽量暗号回路（LED）の試作

早稲田大学大学院基幹理工学研究科　後藤 慶太
早稲田大学高等研究所　史 又華
早稲田大学理工学術院　柳澤 政生



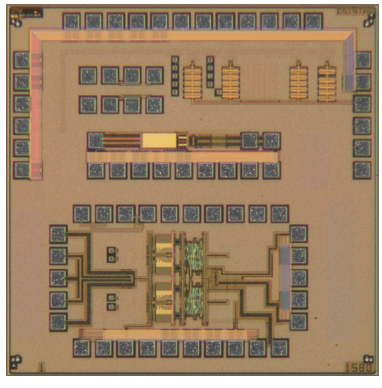
概要：近年，情報化社会やクラウドコンピューティングの発達によりインターネット上での重要な取引や身近な機器で個人情報を取り扱う機会が増加しており，身近な小型機器に実装する事が可能な回路規模の小さい軽量暗号技術（Lightweight Cryptography）が注目されており，特に小さな面積で実装可能な軽量暗号回路（LED）が注目されている．LED 暗号回路は従来のブロック暗号アルゴリズムより小さな面積で実装可能な軽量暗号アルゴリズムであり，小型の電子機器に実装可能でコストや消費電力の観点からも利点が多い．よって，スマートカードや RFID タグ，センサーネットワーク，医療機器をはじめ様々な用途での応用が期待される．そのために，軽量暗号回路（LED）の試作を行い，動作確認・回路特性などを評価した．

参考文献：J. Guo, T. Peyrin, A. Poschmann and M, Robhaw, “The LED Block Cipher,” CHES LNCS 6917, pp. 326 - 391, Sep. 2011.

設計期間：3 人月以上，4 人月未満　**設計ツール**：Synopsys 社 VCS，Synopsys 社 DesignCompiler，Synopsys 社 PowerCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：演算回路（乗算器，除算器など）

無線通信回路（サンプラー・復調器，コンパレータ，発振器）

東京大学生産技術研究所　濵松 昌宗，李 承俊，井口 俊太，更田 裕司，高宮 真，桜井 貴康

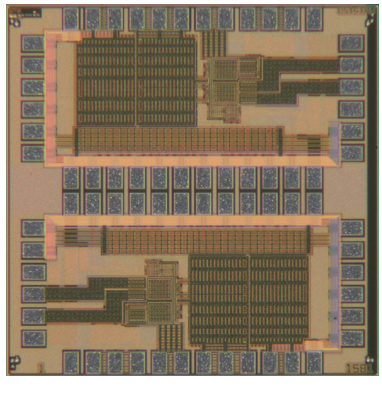


概要：無線通信の受信回路におけるスイッチトキャパシタ型のサンプラー・復調器，コンパレータを設計した．本試作では通信システムで用いられる増幅器を極力減らすことでソフトウェア無線をより低消費電力で実現することを目的としている．低消費電力無線通信における雑音に対する耐性は重要な評価項目の一つであるが，これまでの試作では，熱雑音等の内部雑音の影響を低減させるために付加した容量と，システムの制御回路による面積のオーバーヘッドが課題となっていた．本試作では内部雑音の影響をシミュレーションにおいてより詳細に検証することで，雑音耐性を維持するうえで必要となる容量を正しく見積もり，また制御回路の構成を見直すことで必要面積の改善を行った．その結果，シミュレーションにおける雑音耐性を損なうことなく，スイッチトキャパシタ型のサンプラー・復調器は約 50%，コンパレータは約 70%の面積の削減に成功した．現在測定により提案手法の有効性の検証を行っている．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：通信（RF 回路，ATM など）

Single-Inductor Multiple-Output DC-DC コンバータ

東京大学生産技術研究所　山内 善高，更田 裕司，高宮 真，桜井 貴康

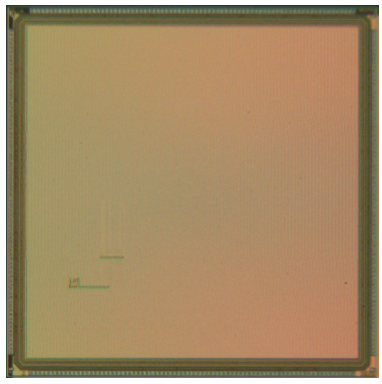


概要：小型な電源回路として，Single-Inductor Multiple-Output（SIMO） DC-DC コンバータが注目されている．本試作では，SIMO DC-DC コンバータを低電力化技術に対応させるため，以下の 2 つに取り組んだ．第 1 は，高速応答化による効果的な DVS への対応である．DVS は回路負荷に応じて電源電圧を調整することで回路の低消費電力化をもくてきとする実現する．その効果的な適用には，時間的に細粒度な電源電圧の調整が必要である．従来の SIMO DC-DC コンバータでは主に線形制御の枠組みのもと，電流モード制御による高速応答化が図られてきた．今回は，フィードバック制御方法を工夫することで，高速応答化による効果的な DVS への対応を目指した．第 2 は，SIMO DC-DC コンバータの出力状態に応じた効率改善である．SIMO DC-DC コンバータは複数の出力を持つ．電流分配方法を複数の出力の状態により工夫することで，SIMO DC-DC コンバータの効率改善を目指した．現在，設計した回路の測定評価により提案手法の有効性を検証している．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

運動立体視LSI用SRAM回路の試作

東北大学電気通信研究所　　秋間 学尚，守谷 哲，佐藤 茂雄

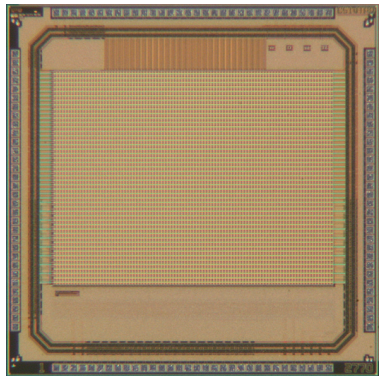


概要：本試作では，今後設計する運動視による局所運動検出LSI（運動立体視LSI）での使用を想定したSRAM回路を作成した．運動立体視LSIでは，時間差のある画像から得られる運動視差を利用することで，Hough変換・時空間相関・逆Hough変換により画像中の局所領域の運動方向ベクトルを検出する．そのために，階層的な神経細胞の応答強度，及びHough・逆Hough変換を実現する神経細胞間結線の情報を保存するメモリが必要となる．そして，システムのスループットを向上させるためには，メモリアクセス時間の短縮が必須となる．また，複数モジュールからのメモリアクセス衝突を回避するために，ダブルバッファリングを行うなどの工夫が必要になる．今回の試作チップで作成した2K words x 16 bits SRAM回路を用いてメモリアクセスのテストを行い，運動立体視LSIの設計に反映させる予定である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 NCVerilog，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Mentor社 Calibre，Synopsys社 Formality　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：メモリ

圧縮センシングイメージセンサ

京都大学大学院情報学研究科　　小西 慧，廣本 正之，佐藤 高史

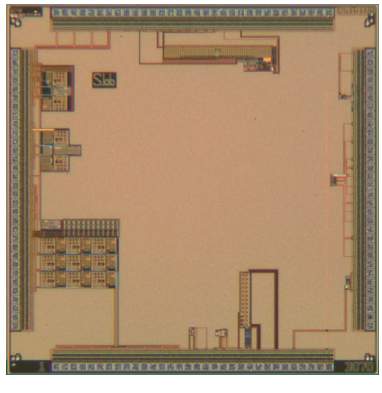


概要：イメージセンサは近年様々な領域で利用されている重要なデバイスである．モバイル機器やセンサネットワーク等においてもイメージセンサの利用が広まりつつあるが，これらの用途においては電源容量に制約があるため，センサデバイスの低消費エネルギー化が重要な課題となる．圧縮センシングは少ないサンプリング回数で画像を取得できる手法であり，これをイメージセンサに応用することで低消費エネルギー化が期待できる．本チップは，8x8画素のブロック単位で画像の圧縮センシングが可能なイメージセンサであり，画質および消費エネルギーの評価を目的とする．本設計では圧縮センシングにおける観測行列の供給方法を工夫しており，シフトレジスタと組合せ回路を併用することで消費エネルギーの削減を狙っている．また，個々の画素センサの特性を測定可能な機構も備えており，ランダムテレグラフノイズ等によるセンサノイズの評価も行うことが可能である．

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），Synopsys社 HSIM　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

TDCと基本アナログ回路ブロック

神奈川大学電気電子情報工学科　　島 健，ニコデムス レディアン，岡部 孝之介，紙田 貴大，永井 達也，原田 幹大

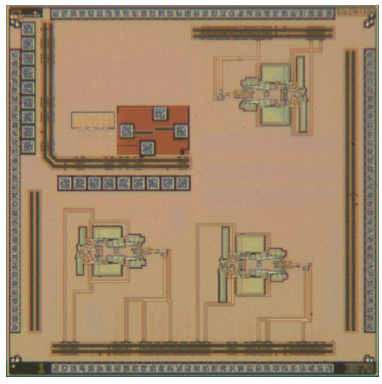


概要：オリガミ発振器の動作確認と，ＴＤＣへの応用の可能性を探る回路の試作である．オリガミ発振器は当研究室で考案されたインバータ回路を組み合わせた回路をリング状に構成することで，リングの段数が奇数段だけでなく，偶数段でも発振するという特徴や，発振周波数がインバータ3段分の発振器による発振周波数になっているという特徴を有している．スイッチトキャパシタ電流電圧変換回路も試作している．主に微小電流センシングへの応用を想定した設計となっており，相関二重サンプリングなどの雑音低減技術を適用している．その他に，20MHzの弛張発振回路や演算増幅器（帯域は〜数MHz），DC-DC変換器（ディクソンチャージポンプ）などの基本アナログブロックを試作した．基本アナログ回路ブロックの試作は研究室内の集積回路設計教育の一環である．

設計期間：5人月以上，6人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

C-DCS積分器を用いた低消費電力ΔΣ変調器

上智大学理工学部　　小原 一馬，和保 孝夫

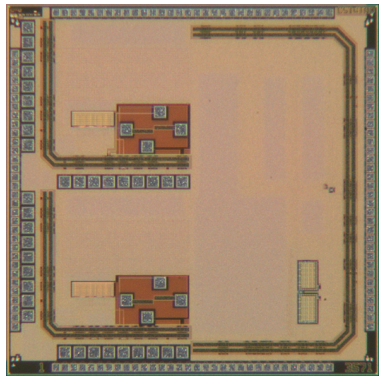


概要：センサ用途やオーディオ用途などで，低消費電力で動作するΔΣ変調器が求められている．しかし，低消費電力化が課題であった．前回の試作（ローム 1814_02）では，低消費電力化の可能性を検討する目的で，定電流源を使わずに動作するダイナミック共通ソース積分器を用いた2次ΔΣ変調器を試作した．今回は一層の低消費電力化のため，主に2段目積分器に着目して，回路構成の改良と回路パラメタの最適化を行った．また，ポストレイアウトシミュレーションに基づき配線を最適化し，寄生容量低減化を図った．変調器は2次差動フィードフォワード（FF）型で構成した．1段目積分器には前回のコンプリメンタリ型を，2段目積分器には新たにレベルシフト型を採用した．今回採用したFF型では2段目積分器にフィードバック経路がなく，コンプリメンタリ型が適用できなかったためである．シミュレーションでは，サンプリング周波数1 MHz，バンド幅4 kHzでSNDR = 68 dBで，低消費電力化の可能性も確認できた．動作確認では2次のノイズシェイピングを確認でき，現在詳細な性能評価を行っている．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Diva，Synopsys社 HSPICE（RF）　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

トッププレートサンプリングを用いた完全差動逐次比較型A/D変換器

上智大学理工学部　　山﨑 雄介，和保 孝夫

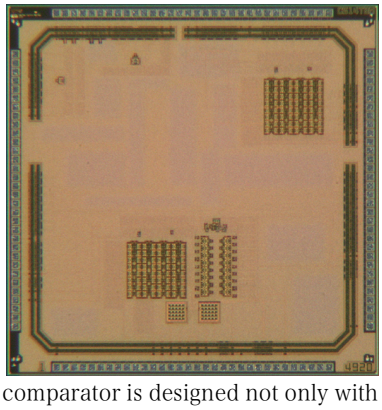


概要：ディジタル信号処理技術の急速な発展に伴い，電子機器における信号処理の大部分がディジタル領域で行われるようになった．しかし，実世界の情報は音や光などのアナログ信号で表現される．そのため，アナログ信号をディジタル値に変換するA/D変換器（ADC）が必須で，求められる性能も年々高まっている．多くのADC方式の中で，逐次比較型ADCはオペアンプを用いないため低消費電力動作が可能であり，センサネットワークやバイオ分野での応用が注目されている．我々はトッププレートサンプリング8ビット完全作動型の逐次比較型ADCを設計し，本チップに搭載した．S/H回路にはブートストラップ型スイッチを採用し，1V動作を可能にした．スイッチには最小寸法のMOSFETを使用し，電荷注入の影響を抑止した．コンパレータに関しては，入出力配線部分も含めて対称なレイアウトパターンを採用し，前回の試作（ローム 1814_01）で問題だったオフセットの低減化を図った．現在，性能評価を進めている．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Diva，Synopsys社 HSPICE（RF）　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DCコンバータなど）

High-resolution and high-speed stochastic ADC system

東京大学 VDEC，D2T　　Mai-Khanh Nguyen N.

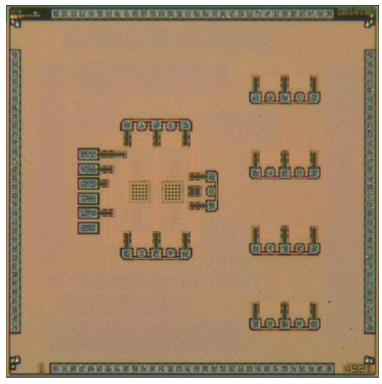


概要：This work proposes a sub-ranging stochastic analog to digital（ADC）circuit. A differential analog input signal is fed into this circuit through a sample and holds circuit and then connected to a “coarse” analog to digital converter circuit. The sample and hold circuit holds and tracks the differential analog input signals with an input clock. The design of the sample and hold circuit is aimed to achieve a trade-off between high linearity, wide operating bandwidth, as well as high speed operation. Moreover, the design avoids Pedestal errors by using a dummy half NMOS. The proposal is to implement a high resolution ADC by using two converter stages, which are “coarse” and “fine” ones. The coarse converter circuit includes an on-chip comparator array and a voltage reference circuit designed in on-chip resistor type while the fine converter stage includes a stochastic comparator array. There are sixty-four comparators used in the “fine” stochastic comparator array. The comparator is designed not only with differential clock inputs but also with Vin and Vref inputs. The comparator has two stages, which consists of an amplifier stage and a latch circuit. The output of the comparators are buffered and fed into a digital encoder circuit. The capacitors of each single comparator and MOS transistors are designed and simulated by ADS. In addition, simulation in Hspice of post-layout extraction netlist is performed. To achieve the delay balance and clock distribution, H-type clock tree paths are used. In addition, input signals are fed by employing a co-planar line type. Simulations in both schematic and post-layout are conducted to validate the new circuit, which provides variable time difference ranges by controlling the slope of input signals. The chip has sixty four comparator cells and the half of them was just duplication of the other. Among these comparators, DC power supplies, input paths, and clock feeding path are distributed in an H tree distribution to achieve equal length electrical and delay transmission and distribution.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Verilog-XL，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF），Agilent社 ADS　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

Evaluation circuits for high-resolution and high-speed stochastic ADC system

東京大学 VDEC，D2T　　Mai-Khanh Nguyen N.

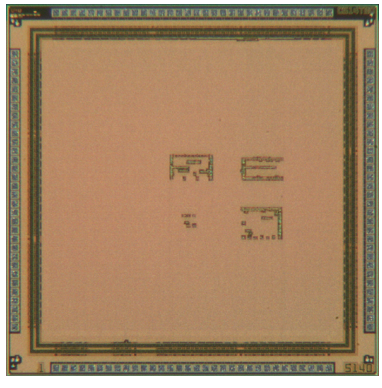


概要：This circuit is proposed in the project of sub-ranging stochastic analog to digital circuit, which is to implement a high resolution and high-speed stochastic analog to digital converter system. In this system, a differential analog input signal is fed into this circuit through a sample and holds circuit and then connected to a "coarse" analog to digital converter circuit. Simulations in both schematic and post-layout are conducted to validate the new circuit, which provides variable time difference ranges by controlling the slope of input signals. The chip has sixty-four comparator cells. There several on-chip circuits are put to evaluate their performance by measuring on a probe station. In addition to the evaluation circuits, de-embedded patterns are included in the chip to calibrate the probe, the pads, and the measuring cables in measurements. A stand-alone sample and a hold circuit are put in the chip to verify its performance.

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF），Agilent 社 ADS　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

リアルタイム音響シミュレーション用 ASIC

北陸先端科学技術大学院大学情報社会基盤研究センター　　井口 寧，Tan Yiyu



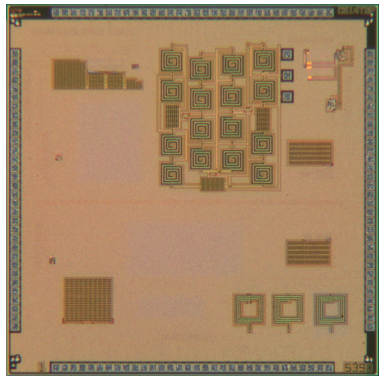
概要：北陸先端科学技術大学院大学では，東北学院大学，同志社大学，信州大学による高精細音空間レンダリングシステムを支援する超高速シミュレーションのための専用 ASIC を設計した．既に NICT 委託研究事業として FPGA を用いたリアルタイムレンダリングに成功しているが，専用 ASIC 化することにより，一層の処理速度の向上が期待できる．従来の音響レンダリングは，ソフトウェア・シミュレーションによって行われており，リアルタイムに音響シムレーションを行う事は困難であった．基礎方程式として，ある音響ノードでの音圧は次の時間ステップで前後左右上下の隣接する音響ノードに圧力として伝わる．これをシミュレートするためには，計算対象ノードから逆に隣接ノードの音圧を得ることができなくてはならない．つまり隣接音響ノードへのメモリアクセスが発生する．専用 ASIC 向けの音響シミュレーションアルゴリズムとして，演算量が少ないばかりでなく，このメモリアクセスを低減させるアルゴリズムを実装した．

参考文献：Tan Yiyu，Yasushi Inoguchi，Yukinori Sato，Makoto Otani，Yukio Iwaya，Hiroshi Matsuoka and Takao Tsuchiya，"A Real-time Sound Rendering System based on the Finite-Difference Time-Domain Algorithm"，Japanese Journal of Applied Physics，Vol. 53，No. 7S，07KC14-1 - 07KC14-8，2014

設計期間：6人月以上，7人月未満　**設計ツール**：Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Mentor 社 Calibre，Mentor 社 ModelSim　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

各種フィルタと増幅回路

明治大学理工学部　　和田 和千，今井 博之，江川 和穂，柏木 彬，木谷 嘉孝，須藤 千裕，大門 佑



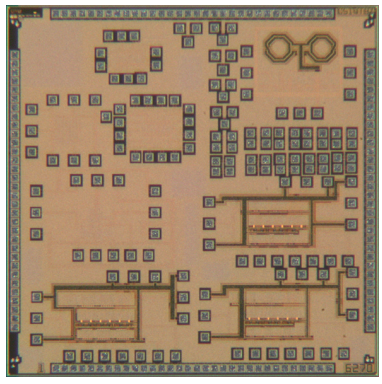
概要：学部4年次の学生6名が卒業研究テーマの基礎を学ぶために試作した回路である．①インダクタとキャパシタで遅延線を模擬し，そこから取り出したタップに MOSFET で実現されるトランスコンダクタンスを接続して構成したアナログ FIR フィルタ，②最少数のスイッチと容量のみで構成した，最も基本的なダイレクトサンプリングミキサ，③遮断周波数 100kHz のログドメインフィルタと，比較対象となるカレントミラーによるフィルタ，④論理回路とアナログ加算回路で実現した連続時間系離散電圧動作の差動増幅回路，⑤演算増幅器設計コンテスト（http://www.ec.ss.titech.ac.jp/opamp）への参加を想定した設計練習のため，2名が設計した演算増幅回路で，一方が，直流利得 54.0 dB，遮断周波数 450 kHz，スルーレート 192 V/μs，回路面積が約 5000 μm^2，他方が直流利得 68 dB，利得帯域幅 51 MHz，スルーレート 80 V/μs，入力範囲 1.2 V である．

参考文献：木谷, 和田, 関根, 中村「伝送線路におけるインピーダンス整合回路の感度」，電子回路研資，ECT-14-094

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence 社 Virtuoso，Synopsys 社 HSPICE（RF）　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：その他

低電圧 CMOS アナログ回路の試作

明治大学理工学部　　網野 賢太, 三屋 伸明, 山崎 大輝
明治大学理工学研究科　　藤井 達矢



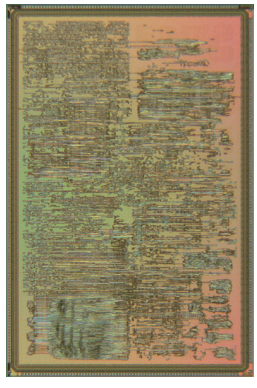
概要：低電圧駆動, 低消費電力というテーマを根底に置き，各々の研究において提案した回路，評価に必要な回路の試作を行った．以下が試作した回路の概略となる．サーマルレギュレーション回路．端子を設けることにより各部分についての動作を確認することが出来る．また抵抗分圧により参照電圧を与える．プローブ 4 本で回路全体の測定可能．波形を直接アナログ演算により処理することで，回路の面積と消費電力を小さくできるアナログ FIR フィルタの IC 化を目標とし，ギルバートセル，インバータを組み合わせてアナログ FIR フィルタを作成した．発振周波数 8GHz の LC－VCO．ソース端子とバルク端子を繋げた基本カレントミラーとゲート端子とバルク端子を繋げた低電圧カレントミラーの形状比とソース面積を変化させた回路.

参考文献：R. JACOB BAKER：「CMOS CIRCUIT DESIGN，LAYOUT，AND SIMULAYION」，A JOHN WILEY & SONS, INC.，2007

設計期間：1 人月以上，2 人月未満　**設計ツール：**Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF）　**トランジスタ数：**10〜100　**試作ラン：**ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別：**アナログ/デジタル信号処理プロセッサ

ヘテロジニアスマルチコアプロセッサの性能予測用チップ

三重大学大学院工学研究科　　佐々木 敬泰, 川島 弘晃, 武藤 郡, 近藤 利夫

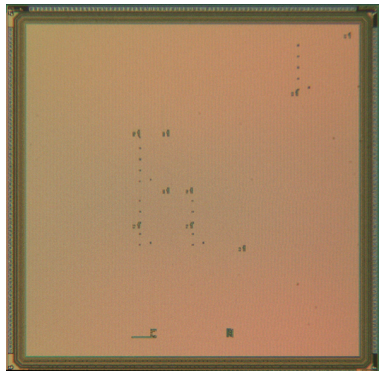


概要：近年，ヘテロジニアスマルチプロセッサ（HMP）への期待が高まっている．中でも，プログラムの動的マイグレーションの容易な単一命令セットアーキテクチャ（Single-ISA）型 HMP の研究が広く行われている．しかしながら，一般にプロセッサコアの設計には膨大な時間が掛かるため，異種のプロセッサコアを複数搭載する HMP の設計には膨大な時間が掛かる．そこで，スーパスカラコアの自動設計ツールである FabScalar をノースカロライナ州立大学と共同で開発を行っている．しかしながら，従来の FabScalar ではオペレーティングシステム（OS）を稼動するのに不可欠なコプロセッサが搭載されていなかった．そこで，本試作 LSI では，従来の FabScalar にコプロセッサを搭載し，より現実的なヘテロジニアスマルチコアプロセッサの性能予測用のプロセッサコアの設計を行った．

設計期間：3 人月以上，4 人月未満　**設計ツール：**Cadence 社 NCVerilog，Synopsys 社 VCS，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，TOOL 社 Lavis，Mentor 社 Calibre，Synopsys 社 NanoSim　**トランジスタ数：**100, 000〜1, 000, 000　**試作ラン：**ローム CMOS 0. 18μm 5. 0mmx7. 5mm チップ　**チップ種別：**マイクロプロセッサ

3 次元積層 LSI における発熱温度解析に向けたチップ

芝浦工業大学理工学研究科　　和田 達矢
芝浦工業大学工学部　　宇佐美 公良

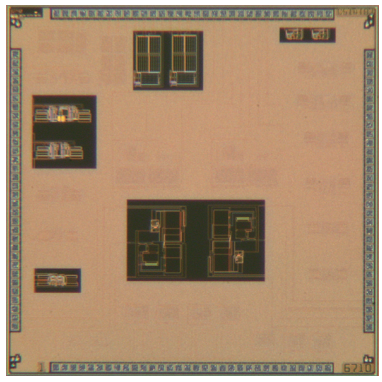


概要：本チップは 3 次元積層チップの電力消費に伴う，発熱の解析を目的としたチップである．消費電力量や時間の変化による発熱温度の差や，発熱回路の位置による温度上昇の差や温度分布を解析するため，4 つの発熱回路と 9 つの温度モニタ回路を搭載している．発熱回路にはリングオシレータ回路をベースとし，電力消費のみを目的とした回路を搭載しており，入力信号によって稼働する回路の数を制御することが可能となっている．また温度モニタ回路には，オンチップリークモニタ回路と呼ばれる，チップ上でモデル回路のリーク電流を測定する回路をベースとして温度変化に伴うリーク電流量の増加からチップ温度を測定する回路を搭載した．また，入出力ピン数削減のため，内部に 2 つのマルチプレクサを搭載している．

設計期間：4 人月以上，5 人月未満　**設計ツール：**Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 HSPICE（RF），Synopsys 社 HSIM　**トランジスタ数：**10, 000〜100, 000　**試作ラン：**ローム CMOS 0. 18μm 5. 0mm 角チップ　**チップ種別：**TEG（特性評価回路など）

Low power and Low voltage analog circuit design and verification

Waseda UniversityIPS　LI QIANG
waseda UniversityIPS　Wang Jing, Inoue Yasuaki

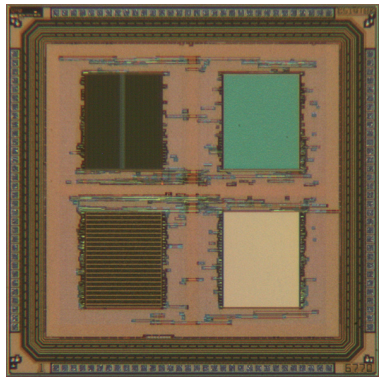


概要：The chip tape out this time included several desing, which are listed below. 1. 13.56 Mhz low voltage and high efficiency rectifier for wireless power transferThis design presents a 1V, high efficiency comparator-based CMOS rectifier for wireless power transfer in biomedical applications. A novel active diode controlled by a cross-coupled comparator is designed to overcome the common-mode voltage limit of traditional structure and improve the efficiency. Reverse current is also reduced by utilizing an switch off response compensation technique considering the charge delay caused by large gate-capacitor of the switch transistors and high frequency. The proposed rectifier is verified using a standard 0.18um CMOS process. 2. Low voltage bandgap circuit. A CMOS bandgap reference (BGR) circuit without resistors or amplifiers is proposed, which can successfully operate under 1V supply voltage. The most attractive merit is that the proposed circuit breaking the bottleneck of low supply voltage design caused by the constant bandgap voltage value (1.25V). The accuracy of Vref temperature coefficient is improved by reducing the dependence on the transistors W/L ratios variation. Moreover, the circuit is almost independent of the VDD by the design of the new current source structure. The simulation results, which is done under the standard CMOS 0.18um process, show that, Vref value can be achieved around 0.56V with the minimum supply voltage of 0.95V, and the peak-to-peak output voltage change is 2.2mV. 3. Low voltage Vth extrator. 4. Low power voltage and current reference circuit. In this design, a CMOS sub-1-V nanopower reference is proposed. The major merit of the proposed are as follows. Firstly, the proposed reference, which is implemented without resistors and with only standard CMOS transistors, can afford reference current and reference voltage simultaneously. Secondly, the temperature coefficient of reference voltage and current are very low for a wide temperature range with only 0.0037%/℃ and 0.0091%/℃. Thirdly, the power supply voltage can be as low as 0.85V, and its power consumption is only 10.9nW. The PSRR (power supply rejection ratios) of the output voltage is about 63.9dB for a DC input, which is improved significantly by adding only one transistor. All these circuit focus on the low voltage and low power design in analog circuit areas. The whole chip size is 2.5mm*2.5mm using a Rohm0.18um CMOS process.

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre　**トランジスタ数：**10～100　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ（PLL, A-D/DC-DCコンバータなど）

レーザフォールト攻撃におけるメタルシールドの影響検証用 TEG チップ（2）

立命館大学理工学研究科　中野 将志, 浅川 俊介
立命館大学総合理工研究機構　汐崎 充
立命館大学理工学部　藤野 毅

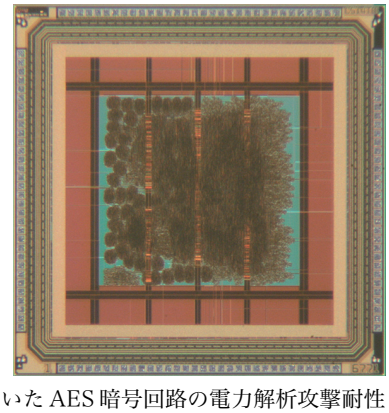


概要：暗号回路を搭載したLSIにおいて，レーザ照射によるフォールト攻撃によって暗号鍵情報が窃取される危険性が指摘されている．そこで我々は，レーザ照射がLSIへ与える影響やフォールトの要因を調査してきた．本試作チップには，メタルシールドの形状がレーザフォールト攻撃に及ぼす影響を調査するため，アレー状に並べたDFF上に異なる4種類のメタルシールドを形成させたTEG回路を搭載した．本試作チップは，2014年7月に試作を行った“レーザフォールト攻撃におけるメタルシールドの影響検証用TEGチップ（1）”の追加チップである．TEG回路の動作は確認済みであるが，レーザ照射の実験に関しては今後行う予定である．

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 NCVerilog，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 HSPICE（RF），Synopsys社 HSIM　**トランジスタ数：**100,000～1,000,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**TEG（特性評価回路など）

サイドチャネル攻撃評価用 AES 暗号回路（1）

立命館大学理工学研究科　中井 綱人, 堤 大樹, 浅川 俊介
立命館大学総合理工研究機構　汐崎 充
立命館大学理工学部　藤野 毅



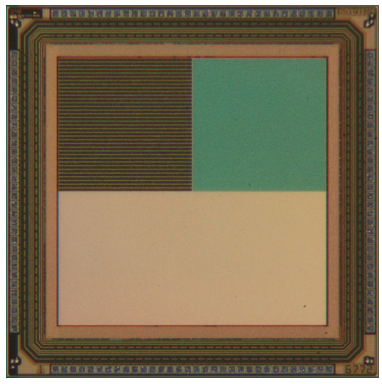
概要：ICカードに代表される暗号回路を搭載したLSIにおいて，消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている．何の対策も施さず設計された暗号回路は，動作時における内部ノードの論理値と消費電力の間に相関があるため，消費電力波形を多数収集し，差分電力解析DPA（Differential Power Analysis）および相関電力解析CPA（Correlation Power Analysis）を行うことで，秘密鍵を特定することができる．本試作チップは，電力・電磁波解析攻撃やフォールト攻撃実験なども含めた新たな攻撃評価を行うために3種類の未対策AES暗号回路と1種類の対策が施されたAES暗号回路を追加提出したものである．

参考文献：堤大樹，中井綱人，汐崎充，久保田貴也，「サイドチャネル攻撃対策RSM方式を用いたAES暗号回路の電力解析攻撃耐性評価」，暗号と情報セキュリティシンポジウム，3A3-4，2015

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 NCVerilog，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 HSPICE（RF），Synopsys社 HSIM　**トランジスタ数：**100,000～1,000,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**演算回路（乗算器，除算器など）

サイドチャネル攻撃評価用 AES 暗号回路（2）

立命館大学理工学研究科　　中井 綱人，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅



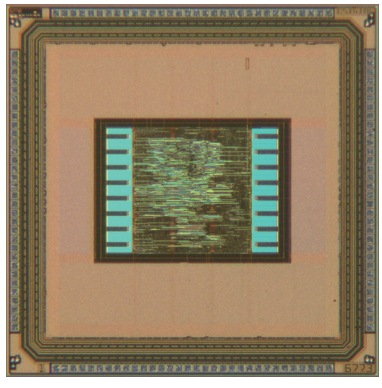
概要：IC カードに代表される暗号回路を搭載した LSI において，消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている．何の対策も施さず設計された暗号回路は，動作時における内部ノードの論理値と消費電力の間に相関があるため，消費電力波形を多数収集し，差分電力解析 DPA（Differential Power Analysis）および相関電力解析 CPA（Correlation Power Analysis）を行うことで， 秘密鍵を特定することができる．本試作チップは，電力・電磁波解析攻撃やフォールト攻撃実験なども含めた新たな攻撃評価を行うために 3 種類の未対策 AES 暗号回路と 1 種類の対策が施された AES 暗号回路を追加提出したものである．評価用の為，METAL5 によるダミー禁止領域を指定した．

参考文献：堤大樹，中井綱人，汐崎充，久保田貴也，「サイドチャネル攻撃対策 RSM 方式を用いた AES 暗号回路の電力解析攻撃耐性評価」，暗号と情報セキュリティシンポジウム，3A3-4，2015

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 HSPICE（RF），Synopsys 社 HSIM　**トランジスタ数**：100, 000〜1, 000, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：演算回路（乗算器，除算器など）

電力・電磁波解析攻撃対策のための乗算マスクと加算マスクによる HMDR ROM を利用した AES 暗号回路

立命館大学理工学研究科　　中井 綱人，浅川 俊介
立命館大学総合理工研究機構　　汐崎 充
立命館大学理工学部　　藤野 毅

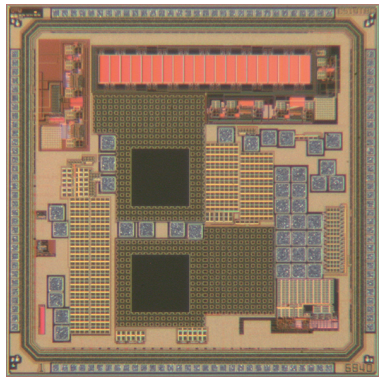


概要：IC カードに代表される暗号回路を搭載した LSI において，消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている．そこで，我々はどのような値が入出力されても消費電力が一定となる S-Box 回路と，乱数を利用した加算マスキング対策と乗算マスキング対策を用いることにより暗号処理動作と消費電力との相関を切り離した電力／電磁波解析攻撃耐性を実現した HMDR-ROM AES 暗号回路を提案した．本試作チップは提案した HMDR-ROM AES 暗号回路のサイドチャネル攻撃耐性を評価するために試作した．加算マスキング対策は主に電力解析攻撃対策として機能し，乗算マスキング対策は電磁波解析攻撃で明らかとなるアクティブなワードライン位置に依存した情報リークを隠すのに使用している．試作チップでは，加算マスクと乗算マスクそれぞれをオン／オフ切り替える機能と，使用乱数を 8bit と 128bit を切り替える機能を搭載して，それぞれの比較評価を行えるようにした．本試作チップは，2014 年 1 月に試作したチップの追加チップである．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 HSPICE（RF），Synopsys 社 HSIM　**トランジスタ数**：100, 000〜1, 000, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：演算回路（乗算器，除算器など）

マイクロシステム電源回路

慶應義塾大学理工学部　　中野 誠彦，南 快優
慶應義塾大学理工学研究科　　小野 東輝，渡邊 淳史，折原 大地

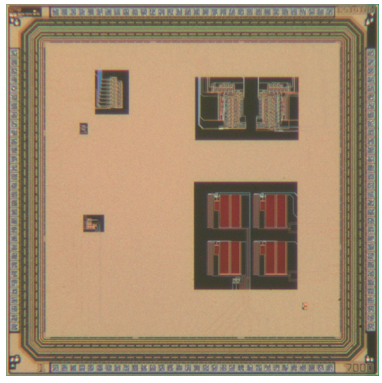


概要：現在，チップ単体で自律的に動作するマイクロシステムの実現を目指し，電源回路とアプリケーション回路の研究を行っている．電源回路の構成は太陽電池，リングオシレータ，ブートストラップ式チャージポンプ昇圧回路，となっている．本チップでは太陽電池に，リングオシレータ，ブートストラップ式チャージポンプ昇圧回路を全て繋いだ，マイクロシステム用電源システムとした．また，ブートストラップ式チャージポンプ昇圧回路の性能改善を求めた電源システムを設計した．上記の電源システムで得られる電圧は 1V 以上を想定しており，その電圧から一定の電圧を取り出すためのレギュレータ回路，リファレンス回路，及び間欠動作回路を設計した．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules　**トランジスタ数**：10, 000〜100, 000　**試作ラン**：ローム CMOS 0. 18μm 2. 5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

0.5V 駆動サブスレッショルド DPLL と 0.6V 駆動温度センサ回路

山形大学大学院理工学研究科　　渡辺 晃輔, 山口 遼, 山崎 義人, 原田 知親
山形大学工学部電気電子工学科　　近野 拓哉



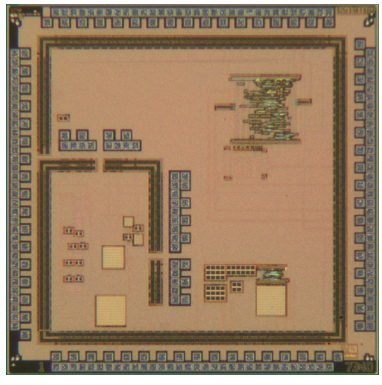
概要：本試作は，サブスレッショルド領域におけるセンサ駆動システムを構築するにあたり，3つの回路を試作した．1つ目は，サブスレショルド領域でも動作が期待でき，同期後の動作をつかさどる回路をできるだけ簡略化して更なる消費電力の削減を目指したデジタル PLL 回路の設計・試作，2つ目は，DEM （Dynamic Element Matching）を用い，従来よりも回路構成を簡素化し低電圧化をはかった温度センサ回路の設計・試作，3つ目は，情報を処理するための回路として 0.5V 駆動 PWM 差動演算回路の設計・試作である．

参考文献：［1］渡辺晃輔，原田知親，「同期後の動作が簡略化可能な 0.5V 駆動サブスレッショルド DPLL の設計」，電子情報通信学会集積回路研究会，ICD2013-129，2014 年 1 月

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ（PLL，A-D/DC-DC コンバータなど）

超低消費電力心拍取得 ASIC 及びアナログフロントエンドの研究

兵庫県立大学工学部　　藤原 潤
兵庫県立大学大学院工学研究科　　松田 貴文, 松本 裕貴, 前中 一介, 藤田 孝之, 神田 健介

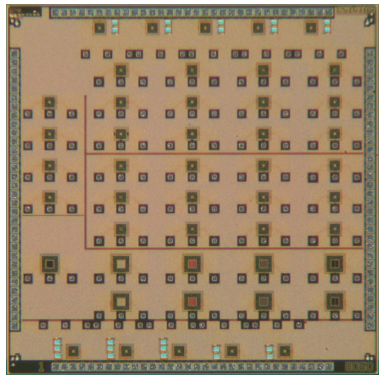


概要：本研究室では，身体に張り付けることで生体情報を測定する小型システムの研究・開発を行っている．複数の MEMS センサとアナログ/デジタル信号処理 LSI を組み合わせることにより，超低消費電力で小型なデバイスの開発を目指している．身体から得られる心電の情報をそのまま処置する場合，MPU を常時駆動させることが必要となり，システムの低消費電力化が難しい．そこで本試作では心電から R-R 間隔を検出し，心拍数を抽出するデジタル信号処理回路を試作した．回路の消費電力を抑えるために，R 波検出アルゴリズムに乗算器を使用しないアルゴリズムを採用し，低クロックで動作可能となるように設計した．加えて心電取得用の ECG ヘッドアンプ，A/D 変換回路を試作した．心拍抽出回路は低サンプリングで動作可能であるため，周波数帯域を狭くすることにより低消費電力で設計する事が可能となる．このシステムが完成すると従来より最大 80% の低消費電力化が可能となる．

設計期間：1 人月以上，2 人月未満　**設計ツール**：Cadence 社 Verilog-XL，Cadence 社 Encounter RTL Compiler，Synopsys 社 ICCompiler，Cadence 社 SoC Encounter，Cadence 社 Virtuoso，Synopsys 社 Cosmos，Mentor 社 Calibre，Mentor 社 ModelSim，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF），Synopsys 社 NanoSim　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

光伝送用高速アバランシェ光検出器および光レシーバ

金沢大学理工研究域　　飯山 宏一
金沢大学大学院自然科学研究科　　刑部 遼一, 菱木 拓哉

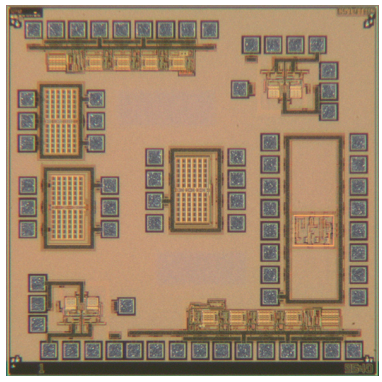


概要：CMOS プロセスで光検出器を作製することは，集積回路との集積化による低コスト化・高信頼化や集積回路上の伝送速度の高速化の観点からも重要である．このチップでは，光配線用のアバランシェ光検出器の構造最適化による高速化と，同光検出器とトランスインピーダンス増幅器を集積化した光レシーバを設計した．前者においては，櫛形電極構造を持つ横型 PIN 構造とし，nMOS 構造を利用（deep N-well と Pwell を利用）した構造とした．同構造の光検出器では既に暗電流 10 pA 程度，降伏電圧は 9.2 V，波長 850nm 帯での零バイアスでの感度は 0.0076 A/W，アバランシェ利得 100 倍以上，最大帯域 7 GHz を得ているが，本チップでは櫛形電極の狭間隔化（0.84 um と 0.6 um），受光面積の縮小（10x10 um^2と 5x5 um2）および高周波測定のためのパッド面積縮小（30x30 um2）とすることにより，10GHz の帯域を目指している．後者については，上記光検出器と CMOS インバータを用いたトランスインピーダンス増幅器，nMOS 増幅器およびインピーダンス整合回路を集積化し，5Gb/s での動作を目指している．チップ納入が年度末であったため，評価を開始始めたところである．

設計期間：4 人月以上，5 人月未満　**設計ツール**：Cadence 社 Virtuoso　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

低電圧動作昇圧回路，非接触給電向け整流器，光電流変換 CMOS アナログフロントエンド回路 TEG

信州大学大学院理工学研究科　　篠原 秀樹
信州大学工学部　　吉田 穣理，小柳 洸介，宮地 幸祐



概要：本試作では，3 種類の低電圧チャージポンプ，2 種類の整流電源回路，2 種類の光電流変換 CMOS アナログフロントエンド（AFE）回路を試作した．エネルギーハーベスティング向けスタートアップ低電圧チャージポンプ TEG として 1） 4kHz で動作する CMOS でゲート電圧をブーストさせる 3 段チャージポンプと，測定比較用として 2） 基板順バイアスを使用する 3 段チャージポンプ，3） PMOS のみゲート電圧をブーストさせる 3 段チャージポンプの 3 種類を設計・試作した．その他に 4） 周波数 13.56MHz を想定した非接触給電向けのアクティブダイオードを用いた整流回路を設計・試作した．アクティブダイオードの遅延に伴う電荷の逆流を防止するため独自の DLL 制御方法を用いた整流回路を試作した．また，光プローブセンサ向け AFE 回路 TEG として 5） 通常の電流電圧変換回路（帯域 5.7MHz）と，6） 電流電圧変換回路の前段にバッファを設けて高域のカットオフ周波数を増加させる構成（帯域 11.6MHz）の 2 種類の AFE 回路を試作した．今後はこれら試作チップの測定を行い，動作確認，検討を行う予定である．

設計期間：2 人月以上，3 人月未満　**設計ツール**：Cadence 社 Virtuoso，Mentor 社 Calibre，Cadence 社 Spectre，Synopsys 社 StarRC（XT），Synopsys 社 Hercules，Synopsys 社 HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm 角チップ　**チップ種別**：TEG（特性評価回路など）

第４章　VDEC 概要

4.1　組織概要

東京大学大規模集積システム設計教育研究センター（略称 VDEC）は，日本の国公私立大学と工業高等専門学校における VLSI 設計教育の充実と研究活動の推進のために平成 8 年 5 月に全国共同利用施設として発足した．

当時は専任教官 5 名と事務官 1 名という小さな組織であったが，平成 9 年度には専任教官 2 名と事務官 1 名が増員され，現在は専任教員 9 名，客員教授 1 名，そして 20 名以上の非常勤スタッフや学外協力研究員が在籍している．

また，平成 9 年 4 月から平成 19 年 3 月まで，全国 9 大学の VDEC サブセンターから連携を密にする目的で，2 年を単位として 2 名の教官を派遣する「流動教官制度」を開始した．（平成 16 年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更）

平成 20 年 4 月からは「協力教員制度」を開始し，現在は 10 大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている．（下記参照）

さらに産業界との連携のため，1 名の客員教授に協力をお願いしている．

センターの事務については，センターの非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとり行っている．

流動教官派遣大学

年　　度	派　遣　大　学
平成9・10年度	東北大学，横浜国立大学
平成11・12年度	金沢大学，広島大学
平成13年度	千葉大学，東京工業大学
平成14年度	千葉大学，東京工業大学，京都大学
平成15年度	京都大学，九州大学
平成16年度	大阪大学，九州大学
平成17年度	名古屋大学，大阪大学
平成18年度	北海道大学，名古屋大学
平成19年度	北海道大学

協力教員派遣大学

北海道大学，東北大学，東京工業大学，金沢大学，京都大学，京都工芸繊維大学，大阪大学，広島大学，九州大学，立命館大学

4.2　人事報告

VDEC 人事

センター長・教授　浅田邦博
教授　藤田昌宏
客員教授　清水剛（平成 27 年 3 月まで）
客員教授　森村浩季（平成 27 年 4 月から）
准教授　高宮真
准教授　飯塚哲也（平成 27 年 4 月から）
特任准教授　名倉徹
特任講師　池野理門
助教　朱弘博
助教　落合秀也（平成 26 年 8 月まで）
助教　Mai Khanh
助教　松本高士（平成 27 年 4 月から）
特任研究員　丸山智史
特任研究員　藤原誠（平成 27 年 5 月から）
主査　大村栄（工学系研究科総務課）
係長　吉野衣子（　〃　）

協力教員

高木信一
（東京大学工学系研究科電気系工学専攻教授）
池田誠
（東京大学工学系研究科電気系工学専攻教授）
三田吉郎
（東京大学工学系研究科電気系工学専攻准教授）
竹中充
（東京大学工学系研究科電気系工学専攻准教授）

新任のご挨拶

森村　浩季

本年度 4 月より客員教授を拝命いたしました．これまで指紋センサ LSI，人体近傍通信技術，nW 級無線センサ端末などの研究開発・実用化・事業展開に携わり，新サービス創出のイネーブラとなるデバイスの実現に向け，材料・デバイス・回路融合の領域で基盤研究の弾込めから実用化マネジメントをしてきました．このような経験を通して，ビジネスの優位性を決定づけるキーデバイスの出現が今まで以上に求められていると実感しています．そのためには，研究から実用化までの効率化とスピードアップはもちろん，従来の枠組みを超えた新たな研究開発マネジメントが必要と考えています．このような状況の中，VDEC の意義は益々重要となり，新たな展開へと舵を切る時期に来ていると感じております．微力ながらお役に立てればと思っておりますので，何卒よろしくお願い致します．

松本　高士

今年 4 月から VDEC 藤田昌宏先生の研究室で勤務しております，助教の松本高士と申します．

今年の 3 月に京都大学大学院情報学研究科小野寺秀俊先生のご指導の下，博士課程を修了いたしました．博士課程の前は企業で勤務しておりました．博士課程，企業勤務の間を通して，トランジスタの微細化に伴って発生した特性ばらつきや信頼性の問題が集積回路に与える影響についての研究を行っておりました．これからは設計の上流部分にも研究対象を拡張してゆくつもりです．時間を見つけて新たな分野も勉強しているところですが，藤田研究室には長年の研究が蓄積されており大変勉強になります．VDEC のスタッフの一員としては，設計 CAD 関係の担当をさせて頂きます．現在は VDEC の先生方から CAD ツールの整備に必要な仕事を 1 つずつ教わって習得している段階です．研究･教育活動に加えて，より快適な設計環境の提供に役立てるように努力いたしますので，どうぞよろしくお願いいたします．

退任のご挨拶

清水　剛

2013 年 4 月より 2 年間，VDEC で客員教授を務めさせていただき，2015 年 3 月に退任いたしました．関係各位には大変お世話になりました．この 2 年間を振り返り，あらためまして御礼申し上げます．

この間 VDEC では，65nm の閉鎖と 28nm の立ち上げを含む試作環境の更新があり，それを含めて様々な改革に取り組まれる先生方の熱意と努力に接し，大きな感銘を受けました．また，その一方で，我々を取り巻く情報通信技術はますます進歩の度合いを速め，半導体技術に支えられて，より多くのモノがネットワーク化され，高度な情報処理を活用し，人を中心とした様々なサービスが実現されて社会に大きな変化が起きようとしていま す．昨今の業界再編についても，環境変化への対応の端緒に過ぎず，今後，我々自身の一層の変革とそのスピードアップが求められているのは明らかです．

そのような環境の中で，ビジョンを持ちグローバルな環境で産業を牽引できる人材の育成については多大な期待があります．VDEC の先生方は国際的にご活躍されているだけでなく，幸運にも（と言ってよいと思います）半導体設計・製造での国際分業のため諸外国ベンダと接する機会も多く，最先端の研究のみならず国際感覚の点でも学生諸君に多くのことを伝え続けていただきたいと思います．

最後に VDEC の各先生および協力教員の先生方の今後の一層のご発展・ご活躍を祈念し，退任の挨拶といたします．ありがとうございました．

久保田　雅則

2006 年の 10 月より 2015 年 3 月まで 8 年半にわたり武田先端知ビルスーパークリーンルームの運営管理に携わらせていただきました．大過なく任期を全うすることができましたのもひとえに皆様のご指導の賜物と感謝申し上げます．

武田クリーンルームは学内でも類を見ない多研究科による共同利用の為のオープンな施設であり，高度な装置を常に最良の状態で多くのユーザーに提供するために VDEC の先生方の多大なご支援をいただきながら維持管理を行って参りました．また，異なるスキル・バックグラウンドを持つユーザーが多く集まる場所でもあるため，使いやすさを損なわずに十分な安全管理を行うべく，現場目線で UI/UX を工夫した自動化の仕組みを開発して運用して参りました．お陰様でベテランの教員・研究者から卒論生まで 100 を超える研究室・企業から毎年 600 名以上のユーザーを受け入れるまでに発展してまいりました. 特に企業ユーザーの増加は産学双方に大きなメリットがあり，今後もユーザー獲得に努力を重ねていく必要があるかと存じます．私自身もいつかユーザーとしてクリーンルームに戻ってくることができればと存じます．

半導体デバイスにおける革新は，これからも社会のあらゆる技術的発展の要であり続けます．VDEC 及び武田クリーンルームが今後も社会の要請に応え続け，次世代を担う人材が各界に輩出することを願っております．末筆ながら皆様のご健康と益々の研究のご発展をお祈り申し上げます．長い間大変ありがとうございました．

落合　秀也

2014 年 9 月より，情報理工学系研究科・電子情報学専攻の講師を務めることになり，同年 8 月末で VDEC を退任いたしました．振り返ってみれば，2011 年 4 月に VDEC の助教に着任してから，およそ 3 年半という短い時間でしたが，皆様方と大変有意義に過ごした，充実した時間だったと思います．

私自身は，VDEC 着任前の大学院生時代は情報系で，センサと通信に関する研究を行ってきました．ただ，チップとの触れ合いは，中学生時代にまで遡り，当時，Z80CPU，紫外線で消す EPROM，SRAM，周辺 LSI などをユニバーサル基板上で配線し，アセンブラでプログラムを組み，自動記録温度計を開発しました．そのときの感動から，この分野にのめり込むことになり，大学院こそ情報系に進んでしまいましたが，VDEC 時代は，電子回路について改めて見つめ直す良い機会となり，自らの研究活動の中で積極的に取り入れていくきっかけとなりました．

VDEC に着任後，チップ試作がどのような業務の中で行われ，またさまざまに移り行く社会情勢や研究動向を踏まえて，どのように業務が改良されていくか，その先生方の絶え間ない努力に感銘を覚えました．私自身は，自らの研究の中では，出来合いのチップを組み合わせて使うことしかできませんでしたが, VDEC の行っている，チップの設計支援，製造，組立て，テスト，シンポジウムなどの一連の活動を知り，その重要性を感じた 3 年半でした．

これから，私は情報理工学系研究科の講師という形で研究・教育活動を行っていくことになります．そこでは，VDEC で学んだ数々の経験を，活かしていきたいと考えています．VDEC のさらなる発展を祈りつつ，東大・電気系では，これからも VDEC と共に活動を行っていくことになりますので，今後ともよろしくお願いいたします．

平成 26 年度大規模集積システム設計教育研究センター運営委員会委員

氏　名	所　属　等
浅田邦博	大規模集積システム設計教育研究センター長
光石　衛	大学院工学系研究科長
保立和夫	大学院工学系研究科　教授
池田　誠	大学院工学系研究科　教授
中野義昭	大学院工学系研究科　教授
坂井修一	大学院情報理工学系研究科　教授
高木信一	大学院工学系研究科　教授
荒川泰彦	生産技術研究所　教授
藤田昌宏	大規模集積システム設計教育研究センター　教授
高宮　真	大規模集積システム設計教育研究センター　准教授

平成 26年度大規模集積システム設計教育研究センター全国運営協議会委員名簿

氏　名	所　属
浅田邦博	東京大学大規模集積システム設計教育研究センター　教授（センター長）
藤田昌宏	東京大学大規模集積システム設計教育研究センター　教授
池田　誠	東京大学大学院工学系研究科電気系工学専攻　教授
高木信一	東京大学大学院工学系研究科電気系工学専攻　教授
本村真人	北海道大学大学院情報科学研究科情報エレクトロニクス専攻　教授
大見忠弘	東北大学未来科学技術共同研究センター　シニアリサーチフェロー
一色　剛	東京工業大学大学院理工学研究科　通信情報工学専攻　准教授
益　一哉	東京工業大学ソリューション研究機構　教授
柳澤政生	早稲田大学基幹理工学部電子光システム学科　教授
北川章夫	金沢大学理工研究域電子情報学系　教授
河口信夫	名古屋大学大学院工学研究科計算理工学専攻　教授
小野寺秀俊	京都大学大学院情報学研究科通信情報システム専攻　教授
松岡俊匡	大阪大学大学院工学研究科電気電子情報工学専攻　准教授
Mattausch Hans Juergen	広島大学ナノデバイス・バイオ融合科学研究所集積システム部門　教授
安浦寛人	九州大学（大学院システム情報科学研究院情報知能工学部門　教授）理事・副学長
藤野　毅	立命館大学理工学部電子情報工学科　教授
兵庫　明	東京理科大学理工学部電気電子情報工学科　教授
黒田忠広	慶応義塾大学理工学部電子工学科　教授
吉本雅彦	神戸大学大学院システム情報学研究科　教授

4.3　決算報告

1.　運営費交付金　　（千円）

事　　項	収入（予算配分）額	支　出　額	過　不　足　額
共　通　経　費	296,401	256,492	39,909
研　究　経　費	10,453	8,694	1,759
計	306,854	265,186	41,668

2.　平成 26 年度受託研究

	教員名	委　託　者	研　究　題　目	受託金額（円）
1	浅田　邦博	文部科学省ナノテクノロジープラットフォームセンター	微細加工プラットフォーム実施機関	55,700,000
2	浅田　邦博	（株）豊通エレクトロニクス	先端集積回路の評価・解析技術高度化の研究	5,000,000
合　　計				60,700,000

3.　平成 26 年度共同研究

	教員名	申　込　者	研　究　課　題	受入金額（円）
1	和田　一実	華為技術日本株式会社日本研究所	シリコンフォトニクスの直接結合技術に関する研究	11,597,000
2	浅田　邦博	（株）アドバンテスト	電子線制御のための微細構造の研究	5,540,000
3	浅田　邦博	（株）野田スクリーン	受動部品内蔵パッケージ用評価チップの研究	2,500,000
4	浅田　邦博	超低電圧デバイス技術研究組合	超低電圧LSIプラットフォーム開発及び実証アプリケーションチップ開発	1,080,000
5	浅田　邦博	森田テック（株）	マイクロ磁界プローブの研究	1,080,000
6	和田　一実	日本電信電話株式会社	革新的Si/Geアクティブフォトニクスデバイスの研究開発	3,000,000
7	高宮　　真	日本電信電話株式会社	高効率エネルギーハーベスティング回路に関する研究	3,000,000
8	浅田　邦博	（株）アドバンテスト	先端LSI開発環境・ラスティング技術	15,000,000
9	藤田　昌宏	アイシン・エイ・ダブリュ株式会社	ソフトウェア開発のための形式的解析技術	150,000
10	藤田　昌宏	アイシン・コムクルーズ株式会社	ソフトウェア開発のための形式的解析技術	150,000
11	藤田　昌宏	アップウィンドテクノロジー・インコーポレイテッド	ソフトウェア開発のための形式的解析技術	150,000
合　　計				43,247,000

4.　平成 26 度寄附金

受入件数：2 件　　受入額計　31,200,000 円

（株式会社半導体エネルギー研究所・株式会社アドバンテスト）

第 5 章　研究報告

5.1　全体概況

	研究室構成人数（名）	研究発表（件）			著書（冊）	特許（件）	受賞（件）
		研究論文	国際会議	その他			
VDEC 教員	34	13	38	12	2	1	1
協力教員	57	30	39	40	1	0	5

5.2　研究室構成員（平成 26 年度）

浅田・池田・名倉・飯塚研究室構成

浅　田　邦　博　教授
名　倉　　徹　准教授
飯　塚　哲　也　准教授（現在　UCLA 留学中）
Nguyen Ngoc Mai Khanh　VDEC 助教
吉　川　俊　之　博士 3 年
Parit Kanjanavirojkul　博士 2 年
楊　　驍　修士 2 年
峠　　仁　人　修士 2 年（現在　ヨーロッパ留学中）
森　　一　倫　修士 2 年
矢　野　智比古　修士 1 年
都　井　　敬　修士 1 年
古　賀　丈　尚　修士 1 年
Md. Maruf Hossain　修士 1 年
織　田　勇　冴　学部 4 年
鹿　野　真　弘　学部 4 年
松　川　　慧　学部 4 年
許　　鍇　学部 4 年

藤田研究室

藤　田　昌　宏　教授
Amir Masoud Gharehbaghi　特任助教
張　　嘉　懿　博士 3 年
Wang Qinhao　博士 1 年
田　口　直　樹　修士 2 年
城　　怜　史　修士 2 年
川　尾　太　郎　修士 1 年
Shridhar Choudhary　修士 1 年
Hossein Izadi Rad　修士 1 年
Conrad JinYong Moore　修士 1 年
Lu Yi　修士 1 年
岩　田　健太郎　学部 4 年
木　村　悠　介　学部 4 年

高宮研究室

高　宮　　真　准教授
井　口　俊　太　博士 2 年
森　　雄　章　修士 2 年
山　内　善　高　修士 1 年
本　田　雅　宣　修士 1 年

池田研究室構成

池　田　　誠　教授
丸　山　智　史　研究員
矢　部　紘　貴　博士 2 年
伊　東　　敦　修士 2 年（現在　日産自動車）
松　島　多佳彦　修士 2 年（現在　ファナック）
田　村　雅　人　修士 1 年
崔　　伝　琪　修士 1 年
上　原　大　典　修士 1 年
池　田　　司　学部 4 年（現在　修士 1 年）
Jacob Shearer　特別聴講生
Anselm Breitenreiter　インターンシップ研修生

三田研究室構成員

三　田　吉　郎　准教授
澤　村　智　紀　特任研究員（ナノテクノロジー・プラットフォーム　技術支援担当・10 月より工学系研究科技術職員・クリーンルーム管理室）
ルブラッスール　エリック　特任研究員（ナノテクノロジー・プラットフォーム　技術支援担当）
小　島　直　子　事務補佐員
渡　邊　かをる　事務補佐員（ナノテクノロジー・プラットフォーム事務局）
佐　藤　　昇　技術補佐員（ナノテクノロジー・プラットフォーム　新川崎担当）
近　藤　尚　子　技術補佐員（ナノテクノロジー・プラットフォーム　利用者支援担当）
関　口　亮　太　工学系共同研究員（キヤノン研究所）
瀧　澤　昌　弘　VDEC 共同研究員（アドバンテスト）
岩　下　竜　馬　VDEC 共同研究員（アドバンテスト）
佐　藤　善　亨　工学系共同研究員（ナノックスジャパン）
山　下　直　也　博士 3 年
夏　　文　軍　博士 3 年（現在　ゴールドマンサックス）
森　　功　博士 2 年
平　川　　淳　修士 2 年（現在　アベイズム株式会社）
米　田　佳　祐　修士 2 年（現在　日立製作所）
坂　本　直　之　修士 1 年
井　上　　周　修士 1 年
安　田　雅　隆　学部 4 年（現在　DeNA）
岡　本　有　貴　学部 4 年　（現在　修士 1 年）
瀬戸口　良　太　学部 4 年　（現在　修士 1 年）

川　原　健太郎　学部４年

高木・竹中研究室構成

高　木　信　一　教授
竹　中　　充　准教授
金　　閔　洙　（特任研究員）
アラム カイラル　（特任研究員）
程　　勇　鵬　博士３年(工学系)
蔡　　偉　立　博士３年(工学系)
一　宮　佑　希　博士３年(工学系)
金　　栄　現　博士３年(工学系)
玉　　虓　博士２年(工学系)
朴　　珍　權　博士２年(工学系)
張　　志　宇　博士２年(工学系)
韓　　在　勲　博士１年(工学系)
亢　　健　博士１年(工学系)
金　　佑　彊　博士１年(工学系)
高　島　成　也　修士２年(工学系)
嘉陽田　達　矢　修士２年(工学系)
西　　康　一　修士２年(工学系)
池　サンミン　修士２年(工学系)
柯　　夢　南　修士１年(工学系)
佐々木　和　哉　修士１年(工学系)
安　　大　煥　修士１年(工学系)
小　澤　悠　平　修士１年(工学系)
武　内　和　治　学部４年(工学部)
植　田　大　貴　学部４年(工学部)

5.3　研究概要

浅田・名倉・飯塚研究室

（http://www.mos.t.u-tokyo.ac.jp）

電源雑音測定・解析・低減手法

浅田邦博，名倉　徹，鹿野真弘，松川　慧

近年，プロセスの微細化や動作周波数の上昇によりパッケージのボンディングや電源網の寄生インダクタンスが無視できなくなってきており，大きなレベルのdi/dtノイズや電源共振ノイズといった種々の電源ノイズが問題となっている．

電源ノイズの低減には一般的に受動デキャップが用いられるが，大きな容量を得るためには大きな面積コストがかかってしまうため，能動的な電荷注入を考え面積コストの低減を目指した．この際，キャパシタによる電荷注入を想定したため面積コストは注入する電荷量に依存し，またパッケージのインダクタンスからの電流を待つためにある一定の範囲の電源電圧変動を許容する必要がある．この制約条件の下で注入電荷量を最少にする注入電流波形を最適化により求める環境を開発し，シミュレーションによってその効果を確認した．結果として受動デキャップに対して約40倍の面積効果を得た．

また，電源ノイズの抑制のためには電源網のインピーダンスを低くすることが重要となるが，チップ内のインピーダンスを直接測定することは難しいため，チップ内の電源網のインピーダンス推定を容易化する手法を提案した．

提案手法ではチップ内にあらかじめ複数の電流負荷を配置しておき，それらを動かしたときの応答を各電源ピンから測定することにより，RLCから成る簡易なモデルを作成する．これらのパラメータをモデルにおける応答とチップの応答の差が最小となるように決定することで，インピーダンスの分布が推定できる．さらに簡易モデルに対してシミュレーションを行うことで，チップの電源網の電圧変動を推定できることを確認した．

超微細プロセスにおける集積回路の信頼性向上

浅田邦博，名倉　徹，森　一倫，Maruf Hossain

微細化されたトランジスタにおいて重要な信頼性問題のひとつにNBTI劣化がある．反応・拡散モデルを用いたNBTIシミュレーションにおいて，論理シミュレーション結果にもとづいて各トランジスタにおけるゲート酸化膜中の水素分布を計算することにより，高精度なNBTI劣化過渡解析を実現し，NBTI劣化の周波数依存性を用いることで，加速シミュレーションを可能にした．また，水素分布を参照することで，入力条件が変化しても続きからシミュレーションを可能にした．

また，ADCにおいて入力信号と基準信号の大小関係を求めるためにコンパレータが使われる．しかし，実際のコンパレータ回路ではこの基準信号がバラつくので変換精度の信頼区間が存在する．統計的サンプラを用いることでこの不確実な区間内のアナログ信号もディジタルコードに変換することが可能となる．そのため，統計的サンプラパラメータ内の関係式を解析的に求めた．この場合，実質的な分解能は基準信号バラツキの確率密度関数とコンパレータの総数に反比例することが導かれた．そして，通常のコンパレータと統合することでサブレンジングADCを構成した．この回路の最適動作点を確率密度関数がガウス分布であるとの仮定のもとで求めた．

THz帯電波を用いたイメージング

浅田邦博，名倉　徹，Parit Kanjanavirojkul

本研究の目標は，サブミリ波近距離イメージングレーダ用途のためのパルス発生器を実現することである．最近の論文は連続波発振器の生成につてが多いである．通常はプッシュプッシュ技術に基づいて提案している．我々はこれらの連続波と対照的に直接サブミリ波パルスバースト発生器を提案している．

伝送線路に基づく回路のFmaxよりも高い周波数を有する広帯域パルスを実現する．我々は，エネルギー変換効率が我々の提案手法によって増加させることができることを示している．回路は，オンチップ·トリガーオとフチップ受動伝送線路共振器で構成されている．テストチップは，標準FR-4基板を用いて検証されていた．プロトタイプ回路によって生成されたパルスがまだ低い出力電力および低い電力変換効率である．私たちは，より良いボードとフリップチップ技術を用いて，より高い周波数に向けて取り組んでいる．

LSIセキュリティ対策のための表面磁界モデリング

浅田邦博，名倉　徹，織田勇冴

近年，暗号化LSI内部の秘密情報を取得するためのサイドチャネル攻撃が発達しており，セキュリティ対策が急務となっている．ハードウェアセキュリティ対策の手法の一つとして，動作中のLSIの表面磁界を利用して異常検出をする手法が挙げられる．この手法ではSPICEシミュレーションによって得られた電流値と配線のレイアウトパターンを用いて，集積回路から放射される磁界マップのモデリングを行い，実際に観測された磁界マップと比較することにより異常検出を行う．しかし，LSI表面磁界は配線に流れる電流だけでなくLSI基板に流れる電流にも影響される．そこで本研究では，電磁界シミュレーターを用いて基板に流れる電流の評価を行った．これにより，基板に流れる電流が作る磁界の影響がどのような条件下で大きくなるかを示した．

時間領域制御を利用した回路設計

浅田邦博，名倉　徹，吉川俊之，矢野智比古，
古賀丈尚，都井　敬

本研究では時間領域制御を用いた回路の研究を行った．

まず，完全差動型の時間領域信号処理の積分器を提案した．提案した積分器では，信号を保持に単一のリングを用いることで，時間オフセットエラー量を低減した．

また，PLLに関する研究にも取り組んだ．DTCを用いることで入力信号を三角波で変調し，その応答をTDCにより測定することでPLLの伝達関数を導出する手法を提案した．さらに，PVT変動に対応するためリング発振器を可変長にした周波数校正機能付きPWPLLを提案した．

最後にPSTDCに関する研究を行った．提案手法では入力のパルス幅に1 nsのオフセットを与え，そのパルス幅が1 ns以下となったときに時間からデジタル信号への変換を終了することで線形性を改善した．

半導体フォトダイオードを用いた放射線検出器

浅田邦博，名倉　徹，朱　弘博，楊　驍，許　鍇

近年注目されているシンチレーション検出器や半導体検出器は，放射線核種の特定や到来角の推定などもでき，様々な分野に応用されている．先行研究はシンチレータ，SPAD（Single Photon Avalanche Diode）アレイ，マルチコート材料，ピンホールで構成された検出器を提案し，発光する電子の軌跡を推定する方法を検証した．しかし検出や推定には時間が大量にかかる．本研究はピンホール配置やSPAD配置の周期性を利用し，高速にシンチレータ内の点光源を検出する手法を提案した．シミュレーションの結果では20 umの精度で20-40sで点光源の検出が可能であることを確認した．SPADについて，p-well/deep-n-well with poly gate型が一番低いDCRを現すことが確認した. そして，SPADアレイの出力回路として，一サイクルでブレークダウンを発生したピクセルの数をカウントする回路及びブレークダウンを発生したピクセルのアドレス出力回路を試作した．回路の動作も確認できた．

藤田研究室

（http://www.cad.t.u-tokyo.ac.jp/）

部分回路合成とエンジニアリングチェンジオーダー（ECO）

藤田昌宏，ガラバギアミルマスード，城　怜史，
岩田健太郎

エンジニアリングチェンジオーダー（ECO）とは，バグの修正や当初の仕様からの変更が原因で起こる，設計に対する仕様変更の要求である．このECOは小さな変更と予想されるので，既に行ったタイミング最適化を可能な限り維持するためにECO前の回路トポロジーとレイアウトを再利用したい. そうすることで，変更を実装するのにかかる時間を削減できる．本研究では，旧回路のトポロジーを維持しつつも最小限の論理ゲートを変更することで機能的に新仕様に適合させようとするECO手法を提案する．この手法では，多数のパラメータ変数を用いたゲート変換モデルを定義して，パラメータ変数を変えることで，ゲートの種類の変更を実現している．ゲートの変換候補が多いほどECO成功率は高く，実行時間が長いという実験結果が示されている．

多様な多重故障に対する自動テストパターン生成（ATPG）

藤田昌宏，ガラバギアミルマスード，田口直樹，
城　怜史

半導体技術の高集積化が進んでいることにより，製造されたチップに小さな誤りや故障が広く分布し，従来の「単一」縮退故障モデルでは回路の状態が表現できなくなっている．多重故障の全ての組み合わせが完全に検査できればより良い検証となる．本研究では，全多重縮退故障，つまり，縮退故障の全ての組み合わ

せを対象にした自動テストパターン生成（ATPG）を提案する．すなわち，回路のn箇所に故障があるとすると，各箇所について1縮退・0縮退・縮退なしの3通りが考えられるので，通りの故障の組み合わせからなる集合が対象となる．従来のATPGフローでは，テストベクタの組により全ての検出可能な故障を除去するために故障シミュレータが用いられていた．この故障シミュレータは，全ての起こりうる故障を故障リストに列挙するという意味で，故障リストを明示的に表すという問題があるため，通りというような非常に大きな故障リストを処理するのは困難である．そのような大きな数の故障を取り扱うには陰的に表現する必要がある．そこで，陰的に検出される故障を除去することにより非常に多くの故障を含む回路のATPGを対象とするSATベースの式を提案する．制約を減らさず増やすだけのSAT問題を解くと，それまでで得た全ての学習を続くSAT問題で利用できるため，全体の過程としては大いに効率的である．アンド・インバータグラフ（AIG）表現したISCAS89回路の組み合わせ回路部分で実験を行った．その結果，論理ゲートの出力でのみ故障が発生すると仮定した完全なテストベクタの生成に成功した．提案するATPG技術は与えられたテストベクタからも開始できる．単一縮退故障のテストベクタを用いてATPGを始める場合，多重縮退故障に必要なテストベクタを加えることができる．また，故障の組み合わせ総数は指数的に大きくなるが，多重故障のために加えるべきテストベクタはごく少数でよいという少しばかり驚くべき結果も得られた．知る限りでは，AIG表現されたISCAS89回路のゲートの出力でのみ故障が発生するという全ての縮退故障に対する完全なテストベクタは初めて得られたものである．

プロセッサアーキテクチャの検証とデバッグ

藤田昌宏，ガラバギアミルマスード

性能と信頼性の向上のため，パイプライン化，投機的実行，エラー訂正といった機能を搭載することにより，プロセッサアーキテクチャはますます複雑になっている．複雑なプロセッサアーキテクチャの正しさを保証するには，それらの検証とデバッグが重要となる．本研究では，プロセッサの設計誤りを自動修正する手法を提案する．シーケンシャルな命令セットアーキテクチャのゴールデンモデルを与え，シンボリックシミュレーションとプロパティ検査を具体的な値を使ったシミュレーションと併用し，それらを繰り返し行うことで誤りのある場所とその修正方法を見つける．

修正が必要な論理関数のモデルは，一般的なモデルである真理値表モデルを用いる．また，真理値表をexplicitに表現せず，バックエンドの形式的検証エンジンから得られる必要なminitermだけを利用する．こうすることで，真理値表を表現するために変数を加える必要がなくなる．そのため，この修正モデルは指数的に増える真理値表の入力値の数に対するスケーラビリティーがある．本手法を複雑なアトミックな演算実行に対応するアウトオブオーダ・スーパースカラプロセッサに適応し，効率を測定した．既存手法と比較して，提案する手法ではモデルの大きさが平均6分の1倍，修正に要する時間が平均12.6分の1倍となった．

FPGA を用いた計算高速化

藤田昌宏，川尾太郎

専用ハードウェアは，汎用機よりも速度やエネルギー効率で優れている．プログラム可能な回路であるFPGAを用いることで，チップを製造することなく，特定の計算に最適化された回路が構築できる．本研究ではニューラルネットワークシミュレーションと電磁界解析を題材としている．

ニューラルネットワークとは脳の機能を数学的に表したモデルである．本研究では，FPGA上に高度にパイプライン化された回路を構築し，スパイク型ニューロン256個のネットワークを生体比320倍で動作させることに成功した．この回路はさらに大きな神経回路網にも対応できるように設計されており，現在は複数のFPGAチップを使った数万ニューロンの大規模化について研究中である．

電子機器の小型化・高性能化に伴い，電磁干渉の問題はより深刻になってきている．電磁界シミュレータの性能が不足しているため，コスト高な実機試験が中心となってしまっている．この問題を解決すべく，洗練されたマルチコアプログラムの数倍の速度で動作する，FPGAを用いた高速シミュレータの研究を進めている．

チップ製造後の検証とデバッグ

藤田昌宏，ガラバギアミルマスード，
チョーダリーシュリダル

VLSIの集積度が向上した結果，チップ製造前の段階ですべてのバグを修正することが困難になり，製造後に発見されるバグが増えている．また，プロセス微細化に伴い，電気的エラーの発生が増加しているという問題がある．本研究では，トレースバッファを用いる製造後デバッグ手法を対象としている．トレースバッファを追加すると回路面積が増大するので，観測できる信号の数が限られてしまうことが，この手法の主要な問題である．したがって，選ばれなかった信号を最も多く復元できるような信号の組み合わせを選ぶ

ことが求められる．観測する信号をヒューリスティックに選び，復元率を最大化する既存研究がある．提案された手法は，ロバストさが不十分で，選択のコスト関数が状況によっては適切に機能していないことがある．本研究では，トレースするフリップフロップを繰り返しスワップすることで復元率の向上を行う手法を考案した. さらに, 一連の過程を高速に行うハードウェアを設計した．ハードウェアも用いることでスワップは数千から数万倍高速化され，スワップ回数の増加と規模の大きい回路への提案手法適用が可能になった．結果としてISCCAS89ベンチマーク回路の信号復元率が最大30％向上した．

回路間で効率的なマッチング

藤田昌宏，ガラバギアミルマスード，
イザヂィ・ラドホセイン

複雑な回路中の似た部分や異なる部分を認識することは，回路を統合したり誤りを検出したり，リバースエンジニアリングしたり，冗長性を確認するために重要であり，IPライブラリを管理するためにも有用である．本研究では，複数の論理回路中で最も大きな共通回路部分を検出する手法を提案した．まずは，与えられたゲートレベルのネットリストをグラフとして表現する．次に，以下に述べるような回路マッチング手法をもちいて最大の同一サブグラフを検出する．まず，conflictグラフをグラフから作成する．次に，我々が提案する近線形的な近似アルゴリズムを用いて，conflictグラフ内の独立したセットを探索することで最大の同一サブグラフを発見する．最後に，グラフノードの近傍を考慮することにより徐々に最大サブグラフのサイズを増やすことを行う. この手法を用いて，OpenCores中の様々なIPやISCAS85ベンチマーク回路などについて幅広く実験を行った．厳密手法から得られた最適解と比較すると10％小さなサブサーキットとなったが，平均20 ～ 30倍の計算速度となった．たとえば，提案手法では100,000ゲートの回路では20分弱で計算することができた. さらに, グラフ操作ツール群によるものと比べて60％程度大きなサブサーキットを得ることができた．

実時間組込みソフトウェア解析のための HW/SW 協調検査

藤田昌宏，木村悠介

組込みシステムのソフトウェアが複雑化する中で，ソフトウェアの検証をより短時間で行うことが重要になっている．割り込み処理は組み込みシステムを特徴付ける機能の1つであり，本研究ではこの割り込み処理の検証方法に注目する．本研究では，コンコリック実行ツールを用いて割り込み処理を網羅的に解析する手法を提案した．

また，膨大な実行パス数を削減するために，検証対象のSimulinkモデルで得られた入出力データから制約情報を抽出し，検証に利用する手法も提案した．

高宮研究室

（http://icdesign.iis.u-tokyo.ac.jp/）

IoT デバイスに向けた低電力・高効率回路

高宮　真，更田裕司，桜井貴康

モノのインターネット（Internet of Things : IoT）を実現するためにはLSIの高エネルギー効率動作が必要である. 高エネルギー効率動作を実現するためには，電源電圧の低電圧化と電源電圧の時空間の細粒度制御が必要なため，1チップ上に複数個の電源回路が必要となる．また，近年，エネルギーハーベスティングで動作するIoTデバイスへのニーズが高いため，エネルギーハーベスティング向けの電源回路も重要となっている．さらに，IoTデバイスはほとんどの時間が待機状態にあるので待機状態から動作状態への起動時間を短縮することが高エネルギー効率動作に重要だが，クロック信号生成用の水晶発振回路が起動時間短縮のネックとなっている．そこで，（1）入力電圧0.5 Vで動作するデジタルLDO（リニアレギュレータ）とゲート昇圧型降圧DC-DCコンバータ，（2）入力電圧0.1 V以下で動作するエネルギーハーベスティング向け昇圧回路，（3）高速起動が可能な39 MHz水晶発振回路などのLSI回路技術群の研究を行った．

有機トランジスタを用いた大面積・フレキシブルエレクトロニクスの新アプリケーション提案と実証

高宮　真，更田裕司，染谷隆夫，桜井貴康

電子機器を身にまとうウエアラブル型デバイスや電子機器を体内に埋め込むインプラント型デバイスではフレキシブルで大面積なエレクトロニクスが求められる．そこで，薄いフィルム上に印刷で作成可能な有機トランジスタを用いた大面積・フレキシブルエレクトロニクスのアプリケーション提案と実証を染谷研究室と共同で行っている．最近では「義手の制御用の筋電測定シート」「オムツ用尿漏れセンサシート」「腕章型やわらか体温計」の提案と実証を行った．

池田研究室

（http://www.mos.t.u-tokyo.ac.jp）

スマートイメージセンサを用いた光切断法による三次元計測

池田　誠，矢部紘貴，上原大典，Jacob Shearer

光切断法とよばれる，シート光を用いた3次元計測のためのイメージセンサについて，作成・評価を行った．まず，デュアルコアイメージセンサを用いた高速テクスチャマッピングの検討を行った．チップに搭載されている2つのピクセルアレイそれぞれが，2-D/3-Dの2つのモードで動作可能である．また，2Dモードでは，以下の2つの露光での条件でのテクスチャマッピングを検討している：①背景光中で，シート光が当たっていない部分のみ露光させる手法，②暗室内で感度を下げ露光させる手法．また，センサチップ上で輝線位置を検出するイメージセンサチップの作成・評価を行っている．これは，チップのカラムごとに埋め込まれた最小電圧検出回路により，すべてのピクセルの輝度値をすべて読み出すことなく，二分探索・線形探索により輝線の位置を検出することができる．これにより，高速･高効率な3次元形状取得を実現できる．

光切断法および ToF 法併用による三次元計測

池田　誠，松島多佳彦

三次元形状取得において，光を対象物に照射し，反射光をセンサで受光するまでの時間差から距離情報を取得するTime-of- Flight（ToF）法，シート光のスキャンにより高精度な計測を達成する光切断法は代表的手法である．本研究では，ToF法と光切断法の両手法を適用可能なセンサチップの構成を検討する．画素構造として2組のロックインピクセルを組み合わせた構造を採用し，ToF法における処理速度と面積の効率化を目指した．また，光切断法においてはシングルスロープADCとプライオリティエンコーダの併用による高速かつ高精度なシート光ポジション検出を実現する構成を検討し，試作センサチップによる評価を行った．

静電駆動型 MEMS ミラーのイメージセンサ混載応用

池田　誠，丸山智史

ここでは，静電MEMS（Micro Electro Mechanical System）ミラーをイメージセンサとの混載に関する研究を行った．マイクロミラーデバイスは，ガルバノミラーよりも小型で，低電圧駆動であり，半導体微細加工技術を用いて，作製するため，電子回路との集積化が可能である．アナログ系の静電マイクロアクチュエータをデジタル素子とみなし，パルス電圧で駆動する際の，制御システムに関する研究を行う．これにより，MEMSデバイス専用のADC，DACの簡略化を目指す．マイクロアクチュエータの容量検出回路の他，ミラーの位置補正回路を組み込むことで，高精度高速低電力スキャナの実現を目指す．

自己同期システムによる暗号エンジンの実現

池田　誠，田村雅人，池田司

私達は自己同期回路を用いた暗号エンジンの研究を行っています．暗号化の処理は多くの計算が必要でありながら，高いスループットを求められる場合があります．そこで，自己同期回路の高速性を利用してその要求に応えます．具体的には，RSAと楕円曲線暗号について研究を行っています．RSAでは様々なアルゴリズムを用いて設計し，ハードウェア量および演算速度の点においてそれらの性能の比較を行っています．また楕円曲線暗号では，デジタル署名アルゴリズムの実装方法について研究を行っています．署名の生成には多数のモジュラー演算を行う必要があり，効率の良いスケジューリングを行うことが鍵となっています．

自己同期システムの自動設計

池田　誠，伊東　敦

本研究では，ゲートレベルパイプライン型自己同期回路を，同期式回路同様の自動設計により実現するための設計フロー構築を目指した．VerilogHDLをシノプシス社のDesignCompilerにより2入力ゲートからなる合成ライブラリを用いて論理合成し，UCBerkeleyで開発されたABCにより3もしくは4入力ゲートに変換の後，さらにABCによりゲート段数をそろえるためのバッファ挿入を行う．また，スループットを最適化するためのループの条件等の検討も行った．

ダイナミック回路を用いた自己同期システムの放射線耐性の検討

池田　誠，崔　伝琪

本研究では，ダイナミック回路を用いた自己同期システムにおける放射線耐性を見積もり，放射線耐性の最適化を目指した検討を行った．回路シミュレーションにより中性子線衝突を模擬した電荷注入を行った際のエラー発生を分類し，かつネットリストから面積を簡易に推定する手法を用いることで，SEU発生確率を時間確率および空間確率から求めることを目指している．

三田研究室（2014 年度）

（http://www.if.t.u-tokyo.ac.jp）

集積化水上走行ロボットを通じたエネルギー自立型分散マイクロシステム

三田吉郎，森　功，岡本有貴，
イファン・リ（英エジンバラ大），
アントニー・ウォルトン（英エジンバラ大）

新しい応用分野を拓くものと近年期待が高まっている集積化MEMS（微小電気機械システム）のトップダウンアプリケーションとして，環境からエネルギーを取得して自立移動できる，完全自走型のマイクロシステムの研究を行っている．「Engineered Nature」すなわち，動物の実装をデッドコピーするのではなく動物に見られる機能を抽出してそれを工学的に最適な形で実現することを通じて工学の発展に寄与することを指導原理としている．大きさ1cm以下のマイクロロボットを多数環境に放出し，個々のロボットは近傍のロボットと通信を行いながら，協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している．1 cm角サイズという小型なマイクロロボットとして知られているものは，安宅（東大）らによるマイクロ繊毛（1992），Ebefords（KTH）らによるマイクロ尺取虫，三木（東大）らによるマイクロヘリコプターなどがあるが，電源供給用に電線が必要であるとか，ミリワット級のエネルギーを投入しなくてはならないとかいった問題のため完全自立というには程遠かった．

既存研究の最大の課題である電力消費を抑えて自立移動するための動力原理として，筆者らはエレクトロウェッティング（EWOD）現象に注目している．むきだしの絶縁電極に電荷を注入して表面エネルギーを変調することで，表面の濡れ性を制御する，19世紀半ばから知られている原理で，2000年代になってマイクロ化学システムの液滴移動原理として再発見されたものである．濡れ性制御に必要なエネルギーが1 μm/cm^{2}と非常に小さいため，世界初の自立移動マイクロロボットの駆動原理として好都合であると考えている．2014年度は前年度までに開発したオンチップエネルギー源としての高圧太陽電池と，武田先端知ビルクリーンルームで試作できるようになった5酸化2タンタルによるEWODアクチュエータを接続し，EWODアクチュエータの光駆動実験に成功した．

マイクロ構造の自由な断面形状制御法とそれを活用する電気機械システム

三田吉郎，澤村智紀，Eric Lebrasseur, 森　功，
平川　淳，安田清隆，久保田雅則（杉山研）

シリコン深掘り微細加工技術は絶え間ない進歩をつづけており，それに伴い微小電気機械（MEMS）に関する新しい応用分野が広がりを見せている．現在主流となっている微細加工技術によって実現可能なマイクロ構造は，平面方向に矩形パターンを組み合わせてそのまま深さ方向に転写する作製プロセスで決定される直方体構造である．しかしながら，例えばレンズの形状を考えるとわかるように，直方体が形状として最適でない機械素子は多数存在するので，理想的なマイクロ加工技術というものは本来，電子機械素子の性能からトップダウン要請される任意曲面を自在に実現できなくてはならない．本研究はこのような，「任意形状の曲面を実現するマイクロ加工技術」に関する総合的知見を得るための試みであり，（1）具体的なトップダウンアプリケーション，（2）最先端技術とアイディアによる作製テクノロジ, の両面で研究を行っている．具体的なトップダウンアプリケーションとして2013年度は，(1-5）熱伝導率を断面形状によって制御した，温度差発電デバイスの研究を行いまた，(2-4）深掘りエッチング断面形状とプロセスパラメータの関連付けの研究を行った．

Smart BlocksII プロジェクト – 紫外線パターン可能なポリイミドを用いたマイクロアクチュエータの無線駆動

三田吉郎，坂本直之，岡本有貴，川原健太郎，
Julien Malapert（仏 FEMTO-ST 研究所），
安宅　学（東大生研），藤田博之（東大生研）

仏FEMTO-ST研究所と，東京大学生産技術研究所集積化マイクロメカトロニクス研究室（LIMMS, CNRS-IIS）と共同で，フランス国立研究機構（ANR）特定領域研究「Smart Blocks II」を受託している．研究最終年度にあたり，感光性ポリイミドによるアクチュエータを集積し，リチウムポリマー電池とZigBee通信が可能な制御回路とを2.5cm立方に集積し，「Smart Blocks II」のデモシステムを実現し，仏ブザンソン市で行われたMICRONORA展示会で展示を行った．

集積化 MEMS による LSI プロービングシステム

三田吉郎，瀬戸口良太，久保田雅則（杉山研）

初期情報処理CMOS回路が集積された，VLSI等の電子部品のテストに用いる「MEMSプローブカー

ド」の研究を行った．研究三年目である平成26年度は，プローブ素子に実際に加わっているひずみ量を定量化するための集積化ひずみセンサの設計試作に取り組んだ．フェニテックセミコンダクター社の0.6 μmテクノロジによるポリシリコン抵抗が搭載されたSOI（Silicon on Insulator）基板を，武田先端知ビルスーパークリーンルームにおいて後加工してデバイスとし，ピエゾ抵抗によるひずみ検出に成功した．ひずみに対するブリッジ回路出力の比（ゲージ率）は文献で知られているものと同等の20前後を得ることができた．

省電力・長寿命 MEMS メモリを目指すマイクロラッチ機構設計と作製

米田佳祐，久保田雅則（杉山研），
ティクシェ三田アニエス（東大先端研），三田吉郎

データ保持時間1000年以上，データ書き込みエネルギーピコジュールレベル，データ保持エネルギーゼロの低消費電力・長寿命メモリの研究を行っている．このメモリの利用シナリオとして，蓄積するハザード（放射線や化学物質等への総暴露量）の記憶を想定する．提案する多値メモリでは記憶のメカニズムとして，バネに蓄えられた弾性エネルギーによる状態記憶を採用する．これによって小さな電力での書き換えと，さらにデータ保持の安定性を確保することができる．研究の結果，無電源で動作する多値メモリ素子の作製に成功した．

右脳型ソフトコンピューティング VLSI：連想プロセッサ・システム

夏　文軍，山下直也，三田吉郎

現在のコンピュータは四則演算の超高速処理に特化したマシンであり，人間のように「ものを見て柔軟に判断・理解し，即座に適切な行動をとる」といった情報処理は非常に不得手である．入力情報に対し，過去の膨大な記憶の中から最も近しい事例を瞬時に想起しこれによって次の行動を決定する．こんなアーキテクチャを持つコンピュータの基本ハードウェアを，シリコン超LSI技術で実現する研究を進めている．論理演算を得意とする現在のマイクロプロセッサに対し，直感・連想・推論といった処理を得意としたLSIチップを設計・試作してシステムを構成する．単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ（ニューロンMOS，neuMOS）を導入，膨大なtemplate群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ，0.18ミクロンCMOS技術を用いた超高速ディジタル連想プロセッサ等を，これまで開発した．現在は，templateの量を精密度を失わない形で削減する手法，認識クラスの弁別性を高めるためのデータ処理手法について研究を行っている．

脆弱 MEMS 機構の置き換えによる「新陳代謝」を可能とする非接触マイクロ共鳴電力伝送

三田吉郎，坂本直之，ブルーノ　ステファネリ（仏ISEN/IEMN-CNRS研究所），アンドレアス　カイザー（仏ISEN/IEMN-CNRS研究所，学長）

SmartBlocksIIのように，環境に直接MEMSアレイ素子を暴露して動作させるシステムの最大の課題は，MEMS素子が利用とともに故障を重ね，最後にはシステムそのものが利用不可能になることである．この原理的な課題に対して，人間の皮膚が新陳代謝によって置き換わるように，脆弱なMEMS機構と，頑強なVLSI制御機構を分離し，MEMS構造を置き換え可能にするというコンセプトを提唱している．同コンセプト実現のためにカギとなる技術は，MEMS構造（アレイ状の大量素子）と，制御回路とを電線で接合することなく電力や信号を伝送する技術である．筆者らは近年注目されている電磁界共鳴による電力伝送技術を，大きさミリメートル未満，搬送波周波数1 GHzの領域に適用することを提唱している．フェニテックセミコンダクター社VDEC相乗り試作によって，LC発振回路を設計試作し，武田先端知ビルスーパークリーンルームで作製した受電素子とカップリング試験を行うことによって電力伝送が可能であることを実験的に示し，あわせて熱駆動型繊毛アクチュエータの無線駆動に成功した．

集積化 MEMS による“第六感”センサ

三田吉郎，井上　周，
マチュー　ドヌアル（仏ENSIカーン校），
エリック　ルブラスール，
カミーユ　ゲ（仏INSAリヨン校），
ジャンベルナール　プーシエル（仏LAAS-CNRS研究所），増沢隆久（東大名誉教授）

“第六感”すなわち，人間の持つ感覚器官では検出不可能な領域の物理・化学量を測定することは，MEMSの持つ大いなるポテンシャルの応用分野の一つである．本研究グループでは特に，VLSIと集積化したコンパクトなマイクロデバイスによってこの課題に取り組んでいる．人間には不可視である，赤外領域の光を，高速・高感度に測定する集積化ボロメータや，ごく微小な細孔中のプロファイルを測定する集積システムの研究開発を行っている．

高木・竹中研究室
（http://www.mosfet.k.u-tokyo.ac.jp/）

III-V/Ge Metal-Oxide-Semiconductor（MOS）FET に関する研究

高木信一，竹中　充，蔡　偉立，玉　虓，金　佑彊，張　志宇，西　康一，柯　夢南

高性能III-V族半導体MOSFETおよびGe MOSFETを実現するため研究を行っている．

III-V MOSFETにおいては，Si上にエピタキシャル成長したInGaAsチャネル層をSi基板上に貼り合せることで大口径化可能なIII-V-OI基板の作製に成功した．作製したIII-V-OI基板上においても良好なInGaAs MOSトランジスタ動作を得ることに成功した．また，ウェハボンディングを用いることでInAs/GaSb CMOSトランジスタ構造の動作実証にも成功した．

Ge MOSETにおいては，高温酸化濃縮法を用いることで良好なGe-on-Insulator（GOI）基板を実現して，良好なGOI MOSFETの動作を得た．

トンネル FET に関する研究

高木信一，竹中　充，金　閔洙，西　康一，池　サンミン，安　大煥，植田　大貴

省電力動作が可能なステープスロープトランジスタとしてトンネルFETの研究を進めている．横型InGaAs TFETにおいては，InGaAs量子移動チャネルを用いることで，高In組成のInGaAs層を用いてもオフリーク電流を抑制可能であり，良好なサブスレショルドスロープが実現可能であることを明らかにした．また歪Si上にGe層を再成長したGe/s-Si TFETの動作に成功し，歪Siによるオン電流向上を実証した．

Si CMOS photonics に関する研究

高木信一，竹中　充，金　栄現，韓　在勲，亢　健，武内和治

高感度Geフォトディテクターの研究を進めている．ウェハーボンディングとウェハスプリッティングを組み合わせることで，結晶性に優れたGe-on-Insulator（GOI）基板の作製に成功した．SiGeを利用した光変調器の研究も進めている．歪SiGeを導波路コアとした横方向PIN型光変調器において，プラズマ分散効果を増大を世界で初めて実証することに成功した．また，MOS型SiGe光変調器を実現に向けたSiGe MOS界面の研究も進めている．プラズマ後窒化を用いることで，（110）面方位に対してもSiGe MOS界面の界面準位が1桁程度低減可能であることを実証した．

III-V CMOS photonics に関する研究

高木信一，竹中　充，テイユウホウ，一宮佑希，パク　ジンゴン，倉持美沙，高島成也

ウェハーボンディングによりSi基板上に形成したIII-V-OIウェハを用いた光電子集積回路に関する研究を進めている．SiイオンSOGからのZn拡散を用いることでIII-V-OI基板上に低抵抗PIN接合が形成可能であることを実証した。InAlAsパッシベーションを用いることで導波路型InGaAs受光器の暗電流を大幅に低減することに成功した。

5.4　研究発表

浅田・名倉・飯塚研究室
研究論文

[1] Toru Nakura, Hiroaki Matsui, Kunihiro Asada, “Comparative study of RF energy harvesting rectifiers and proposal of output voltage universal curves for design guideline”, IEICE Electronics Express, vol.12, no-3, Feb. 2015

[2] Toru Nakura, Masahiro Kano, Masamitsu Yoshizawa, Atsunori Hattori, Kunihiro Asada, “Resonant Power Supply Noise Reduction by STO Capacitors Fabricated on Interposer”, IEICE Trans. Electronics, to be published

[3] Nguyen Ngoc Mai-Khanh, Tetsuya IIZUKA, Akihiko SASAKI, Makoto YAMADA, Osamu MORITA, and Kunihiro ASADA, “A Near-Field Magnetic Sensing System with High-Spacial Resolution and Application for Security of Cryptographic LSIs,” IEEE Trans. on Instrumentation & Measurement, Vol. 64, No. 4, pp. 840-848, Apr. 2015.

[4] Nguyen Ngoc Mai-Khanh, Tetsuya IIZUKA, Shigeru NAKAJIMA, and Kunihiro ASADA, “Spacial Resolution Enhancement of Integrated Magnetic Probe by Two-Step Removal of Si-Substrate Beneath the Coil,” IEEE Trans. on Magnetics, Vol. 51, No. 1, Jan. 2015.

[5] Satoshi Komatsu, Takahiro YAMAGUCHI, Mohamed ABBAS, Nguyen Ngoc MAI-KHANH, James TANDON, and Kunihiro ASADA, “A CMOS Flash TDC with 2.6 - 4.2 ps Resolution Using An Array of Unbalanced Arbiters,” IEICE Letter of Special Section on Analog Circuit Techniques and Related Topics,, Vol. E97-A, No. 3, pp. 777 - 780, Mar. 2014.

国際会議論文

[1] Parit Kanjanavirojkul, Toru Nakura, Kunihiro Asada, “Sub-MMW Burst-Pulse Generator based on Transmission Line,” IEEE Symposium on Design and Diagnostics of Electronics Circuit and System (DDECS), April 2014.

[2] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada “An Asynchronous Projection and Summation Circuit for In-Pixel Processing in Single Photon Avalanche Diode Sensors,” IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems, April 2015, to be presented.

[3] Toru Nakura, Masahiro Kano, Masamitsu Yoshizawa, Seisei Oyamada, Atsunori Hattori, Kunihiro Asada, “Resonant Power Supply Noise Reduction using On-Die Decoupling Capacitors Embedded in Organic Interposer”, IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS), Sess. M-III.7, Dec. 2014.

[4] Toru Nakura, Kunihiro Asada, ``Streaming Seminar: Rudimentary Knowledge for LSI Design'', IEEE European Workshop on Microelectronics Education (EWME), Sess.4-1, May 2014.

[5] Masamitsu Yoshizawa, Seisei Oyamada, Atsunori Hattori, Toru Nakura, Kunihiro Asada, ``Improvement of Power Integrity with Thin Film Capacitors Embedded in Organic Interposer”, IEEE CPMT Symposium Japan (ICSJ), Sess.11-3, Nov. 2014.

[6] Masamitsu Yoshizawa, Seisei Oyamada, Atsunori Hattori, Toru Nakura, Kunihiro Asada, ``Power Integrity with Thin Film Decoupling Capacitors Embedded in Organic Interposer'', Electronic Circuits World Convention (ECWC), No,53 May 2014.

[7] Y. Yakubo, S. Nagatsuka, S. Matsuda, S. Hondo, Y. Hata, Y. Okazaki, Y. Yamamoto, M. Nagai, M. Sakakura, T. Nakura, Y. Yamamoto, S. Yamazaki, ``High-speed and Lowleakage Characteristics of 60-nm C-axis Aligned Crystalline Oxide Semiconductor FET with GHz-ordered Cutoff Frequency'', JJAP Solid State Devices and Materials (SSDM), Sess.E-7-1, Sept. 2014.

[8] Kevin Ngari, Toru Nakura, Kunihiro Asada, ``Numerical and Theoretical Analysis on Voltage and Time Domain Dynamic Range of Scaled CMOS Circuits'', IEEE Symposium on Design and Diagnostics of Electronics Circuit and System (DDECS), April 2014.

[9] Parit Kanjanavirojkul, Toru Nakura, Kunihiro Asada, ``Burst-Pulse Generator based on Transmission Line Toward Sub-MMW”, IEEE Symposium on Design and Diagnostics of Electronics Circuit and System (DDECS), April 2014.

[10] Toru Nakura, ``[Invited] Time Difference Amplifier and Its Application for TDC”, JSAP International Conference on Solid State Devices and Materials (SSDM), Sept. 2014.

[11] Masahiro Ishida, Takashi Kusaka, Toru Nakura, Satoshi Komatsu Kunihiro Asada, “Statistical Silicon Results of Dynamic Power Integrity Control of ATE for Eliminating Overkills and Underkills”, IEEE International Test Conference, Oct. 2014.

[12] Nguyen Ngoc Mai-Khanh, Tetsuya IIZUKA, Shigeru NAKAJIMA, and Kunihiro ASADA, “Spatial Resolution Enhancement for Integrated Magnetic Probe by Two-Step Removal of Si-Substrate Beneath the Coil,” 10th European Conference on Magnetic Sensors and Actuators (EMSA), Vienna, Austria, pp. 11, Jul. 2014.

[13] Nguyen Ngoc Mai-Khanh, Tetsuya IIZUKA, Akihiko SASAKI, Makoto YAMADA, Osamu MORITA, and Kunihiro ASADA, "High-Resolution Measurement of Magnetic Field Generated from Cryptographic LSIs," IEEE Sensor Applications Symposium, Queenstown, New Zealand, Feb. 2014, pp. 111-114.

シンポジウム・研究会・大会等発表

[1] Kazunori Mori, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, "An Accelerating Method of NBTI degradation Transition Analysis Based on Logic Simulation," IEICE ICD Research Workshop, Dec. 2014

[2] Kazunori Mori, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, "An Accelerating Method of NBTI degradation Transition Analysis Utilizing Its Frequency Dependence," IEICE Society Conference, March 2015.

[3] Parit Kanjanavirojkul, N.N.M Khanh, Toru Nakura Kunihiro Asada "A Transmission Line Pulse Generator Towards Sub-MMW on 0.18 um CMOS over FR-4 substrate," in IEICE General Conference,C-2-19, Mar.2015

[4] Xiao Yang, Honbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, "Single Avalanche Photo Diode using Standard CMOS Technology", in IEICE General Conference, Mar. 2015.

藤田研究室
研究論文

[1] Yuki Okamoto, Takashi Nakagawa, Takeshi Aoki, Masataka Ikeda, Munehiro Kozuma, Takeshi Osada, Yoshiyuki Kurokawa, Takayuki Ikeda, Naoto Yamade, Yutaka Okazaki, Hidekazu Miyairi, Masahiro Fujita, Jun Koyama, Shunpei Yamazaki: A Boosting Pass Gate With Improved Switching Characteristics and No Overdriving for Programmable Routing Switch Based on Crystalline In-Ga-Zn-O Technology. IEEE Trans. VLSI Syst. 23(3): 422-434 (2015)

[2] Amir Masoud Gharehbaghi, Masahiro Fujita: Automatic Rectification of Processor Design Bugs Using a Scalable and General Correction Model. IEICE Transactions 97-D (4): 852-863 (2014)

[3] Satoshi Jo, Takeshi Matsumoto, Masahiro Fujita: SAT-based Automatic Rectification and Debugging of Combinational Circuits with LUT Insertions. IPSJ T. on System LSI Design Methodology7: 46-55 (2014)

[4] Hikaru Tamura, Kiyoshi Kato, Takahiko Ishizu, Wataru Uesugi, Atsuo Isobe, Naoaki Tsutsui, Yasutaka Suzuki, Yutaka Okazaki, Yukio Maehashi, Jun Koyama, Yoshitaka Yamamoto, Shunpei Yamazaki, Masahiro Fujita, James Myers, Pekka Korpinen: Embedded SRAM and Cortex-M0 Core Using a 60-nm Crystalline Oxide Semiconductor. IEEE Micro 34(6): 42-53 (2014)

国際会議

[1] Masahiro Fujita: On Implementation of LUT with Large Numbers of Inputs (Abstract Only). FPGA 2015: 277

[2] Takanori Matsuzaki, Tatsuya Onuki, Shuhei Nagatsuka, Hiroki Inoue, Takahiko Ishizu, Yoshinori Ieda, Naoto Yamade, Hidekazu Miyairi, Masayuki Sakakura, Tomoaki Atsumi, Yutaka Shionoiri, Kiyoshi Kato, Takashi Okuda, Yoshitaka Yamamoto, Masahiro Fujita, Jun Koyama, Shunpei Yamazaki: 16.9 A 128kb 4b/cell nonvolatile memory with crystalline In-Ga-Zn oxide FET using Vt, cancel write method. ISSCC 2015: 1-3

[3] Somayeh Sadeghi Kohan, Payman Behnam, Bijan Alizadeh, Masahiro Fujita, Zainalabedin Navabi: Improving polynomial datapath debugging with HEDs. ETS 2014: 1-6

[4] Ying Zhang, Zebo Peng, Jianhui Jiang, Huawei Li, Masahiro Fujita: Temperature-aware software-based self-testing for delay faults. DATE 2015: 423-428

[5] Masahiro Fujita, Naoki Taguchi, Kentaro Iwata, Alan Mishchenko: Incremental ATPG methods for multiple faults under multiple fault models. ISQED 2015: 177-180

[6] Masahiro Fujita: Highly-Pipelined and Energy-Saved Computing with Arrays of Non-Volatile Memories. 2014 International Conference on Interdisciplinary Advances in Applied Computing, Amritapuri, India, Oct, 2014

[7] Masahiro Fujita: Variation-Aware Analysis and Test Pattern Generation Based on Functional Faults. ISVLSI 2014: 273-277

[8] Masahiro Fujita, Alan Mishchenko: Efficient SAT-based ATPG techniques for all multiple stuck-at faults. ITC 2014: 1-10

[9] Sriram Karunagaran, Karuna P. Sahoo, Jayaraj Poroor, Masahiro Fujita: MAESTRO: A time-driven embedded testbed Architecture with Event-driven Synchronization. RTAS 2014: 237-248

[10] Masahiro Fujita, Alan Mishchenko: Logic synthesis and verification on fixed topology. VLSI-SoC 2014: 1-6

高宮研究室
研究論文

[1] K. Mori, Y. Okuma, X. Zhang, H. Fuketa, T. Sakurai, and M. Takamiya, "Analog-Assisted Digital Low Dropout Regulator with Fast Transient Response and Low Output Ripple" Japanese Journal of Applied Physics, Vol. 53, No. 4S, 04EE22, April, 2014.

[2] H. Fuketa, Y. Shinozuka, K. Ishida, M. Takamiya, T. Fujii, H. Shimizu, K. Kobayashi, T. Sato, and T. Sakurai, "Efficiency Increase in On-Chip Buck Converter by Introduction of High Permeability Material to Inductor on Interposer," Journal of the Japan Society of Powder and Powder Metallurgy, Vol. 61, No. S1, pp. S340-S342,

May 2014.
[3] S. Iguchi, A. Saito, K. Watanabe, T. Sakurai, and M. Takamiya, “Design Method of Class-F Power Amplifier with Output Power of -20dBm and Efficient Dual Supply Voltage Transmitter,” IEEE Transactions on Circuits and Systems—I: Regular Papers, Vol. 61, No. 10, pp. 2978 - 2986, Oct. 2014.
[4] X. Zhang, P. -H. Chen, Y. Okuma, K. Ishida, Y. Ryu, K. Watanabe, T. Sakurai, and M. Takamiya, “A 0.6 V Input CCM/DCM Operating Digital Buck Converter in 40 nm CMOS,” IEEE Journal of Solid-State Circuits, Vol.49, No.11, pp. 2377 - 2386, Nov. 2014.
[5] H. Fuketa, K. Yoshioka, Y. Shinozuka, K. Ishida, T. Yokota, N. Matsuhisa, Y. Inoue, M. Sekino, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, “1um-Thickness Ultra-Flexible and High Electrode-Density Surface Electromyogram Measurement Sheet With 2 V Organic Transistors for Prosthetic Hand Control,” IEEE Transactions on Biomedical Circuits and Systems, Vol. 8, No. 6, pp. 824 - 833, Dec. 2014.

国際会議論文

[1] T. Yokota, Y. Terakawa, T. Sekitani, W. Yukita, M. Koizumi, H. Fuketa, K. Yoshioka, M. Sekino, M. Takamiya, T. Sakurai, and T. Someya, “Organic Transistor Based Wireless Sensor System with ESD Protection Circuit,” Materials Research Society（MRS）Spring Meeting, C6.04, San Francisco, USA, April 2014.
[2] H. Fuketa, Y. Shinozuka, K. Ishida, M Takamiya, and T. Sakurai, “On-Chip Buck Converter with Spiral Ferrite Inductor and Reducing IR Drop in 3D Stacked Integration,” International Power Electronics Conference（IPEC）, Hiroshima, Japan, pp. 2228-2231, May 2014.（Invited）
[3] [3] S. Iguchi, H. Fuketa, T. Sakurai, and M. Takamiya, “92 % Start-up Time Reduction by Variation-Tolerant Chirp Injection（CI）and Negative Resistance Booster（NRB）in 39MHz Crystal Oscillator,” IEEE Symposium on VLSI Circuits, Hawaii, pp. 236-237, June 2014.
[4] M. Takamiya, H. Fuketa, K. Ishida, T. Yokota, T. Sekitani, T. Someya, and T. Sakurai, “Flexible, Large-Area, and Distributed Organic Electronics Closely Contacted with Skin for Healthcare Applications,” IEEE International Midwest Symposium on Circuits and Systems（MWSCAS）, College Station, USA, pp. 829 - 832, Aug. 2014.（Invited）
[5] H. Fuketa, K. Yoshioka, K. Fukuda, T. Mori, H. Ota, M. Takamiya, and T. Sakurai, “Design Guidelines of Steep Subthreshold TFET to Minimize Energy of Logic Circuits,” International Conference on Solid State Devices and Materials（SSDM）, Tsukuba, Japan, pp. 832-833, Sep. 2014.
[6] H. Fuketa, Y. Momiyama, A. Okamoto, T. Sakata, M. Takamiya, and T. Sakurai, “An 85-mV Input, 50- μ s Startup Fully Integrated Voltage Multiplier with Passive Clock Boost Using On-Chip Transformers for Energy Harvesting “, 40th European Solid-State Circuits Conference（ESSCIRC）, Venice, Italy, pp. 263-266, Sep. 2014.
[7] H. Fuketa, M. Hamamatsu, T. Yokota, W. Yukita, T. Someya, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, “Energy-Autonomous Fever Alarm Armband Integrating Fully Flexible Solar Cells, Piezoelectric Speaker, Temperature Detector, and 12V Organic Complementary FET Circuits,” IEEE International Solid-State Circuits Conference（ISSCC）, San Francisco, USA, pp. 296-297, Feb. 2015.

シンポジウム・研究会・大会等発表

[1] 井口俊太，更田裕司，桜井貴康，高宮真，“チャープ変調励振信号と負性抵抗ブースタによる 39MHz 水晶発振回路の起動時間の高速化，” 電子情報通信学会，信学技報，ICD2014-28，pp. 81-86, 出雲，2014 年 7 月.
[2] 高宮真，更田裕司，石田光一，横田知之，関谷毅，染谷隆夫，桜井貴康，” フレキシブル・大面積の有機エレクトロニクスの設計技術とヘルスケアデバイスへの展開，” 電気化学会電子材料委員会第 78 回半導体・集積回路技術シンポジウム，東京，2014 年 7 月.（Invited）
[3] 更田裕司，吉岡和顕，横田知之，雪田和歌子，小泉真里，関野正樹，関谷毅，高宮真，染谷隆夫，桜井貴康，“有機エレクトロニクスの研究動向と最新事例：有機トランジスタを集積化したワイヤレス尿漏れ検出センサシート，” 電子情報通信学会，信学技報，ICD2014-52, pp. 115-120, 札幌，2014 年 8 月.（Invited）
[4] 染谷晃基，更田裕司，岡本淳，籾山陽一，高宮真，桜井貴康，“極低電圧回路向けレベルシフタのための帰還形信号電圧ダブラ，” 電子情報通信学会ソサイエティ大会，C-12-7，徳島，2014 年 9 月.
[5] 李承俊，更田裕司，片上朗，籾山陽一，高宮真，桜井貴康，“ボディ電圧制御のアクセストランジスタを用いた極低電圧 SRAM の検討，” 電子情報通信学会ソサイエティ大会，C-12-35，徳島，2014 年 9 月.
[6] 高宮　真，” エネルギー自立型の IoT デバイスとヘルスケアデバイス，” 電子情報技術産業協会知的センシング技術分科会，東京，2014 年 12 月.
[7] 高宮真，”IoT 向け低電圧入力電源回路と高速起動水晶発振回路，” 第 63 回 STARC アドバンストセミナー「低消費電力化技術（4）～エネルギー高効率と極低電圧技術～」，川崎，2015 年 3 月.
[8] 羅丹，更田裕司，松永賢一，森村浩季，桜井貴康，高宮真，”RF エネルギーハーベスティング回路の高感度化設計指針，” 電子情報通信学会総合大会，C-12-17，草津，2015 年 3 月.
[9] 山内善高, 更田裕司, 桜井貴康, 高宮真，” 電流不連続モー

ド降圧型 DC-DC コンバータにおける Single-Inductor Single-Output と Single-Inductor Dual-Output の効率の比較,” 電子情報通信学会総合大会, C-12-18, 草津, 2015 年 3 月.

[10] 濵松昌宗, 井口俊太, 桜井貴康, 高宮真,” 同期型コンパレータのエラーレート低減に向けた一考察,” 電子情報通信学会総合大会, C-12-36, 草津, 2015 年 3 月.

池田研究室
論文

[1] 松島多佳彦, 池田誠,「注目領域画素並列検波による 3 次元形状取得向け CMOS イメージセンサ」, 映像情報メディア学会誌, Vol 69, No. 3, pp. J80-K85, 2015 年 2 月.

[2] H. Yabe, M. Ikeda, “A Structured Light 3-D Acquisition System with a CMOS Image Sensor for Background Suppression and Frequency and Phase Detection,” ITE Transactions on Media Technology and Applications, Vol. 2 (2014) No. 2 p. 154-160, April 2014.

国際会議

[1] Satoshi Maruyama, Toshifumi Konishi, Katsuyuki Machida, Hiroyuki Fujita, and Hiroshi Toshiyoshi, “An Interface Circuit for Time-Multiplexed Electrostatic Drive and Sample of Electrostatic MEMS Mirror,” in Proc. IEEE Design, Test, Integration and Packaging of MEMS/MOEMS Symposium (DTIP2015), Montpellier, France, April 27-30, 2015. (Accepted, Oral)

[2] T. Ohmaru, T. Nakagawa, S. Maeda, Y. Okamoto, M. Kozuma, S. Yoneda, H. Inoue, Y. Kurokawa, T. Ikeda, Y. Ieda, N. Yamade, H. Miyairi, M. Ikeda, S Yamazaki, “25.3 μ W at 60fps 240 × 160-Pixel Vision Sensor for Motion Capturing with In-Pixel Non-Volatile Analog Memory Using Crystalline Oxide Semiconductor FET, “IEEE International Solid-State Circuits Conference (ISSCC 2015), 6.5, pp. 118-119, Feb. 2015.

[3] M. Ikeda, “Image Sensors and Systems,” 2014 USENIX Vail Computer Elements Workshop, June 2014.

国内研究会

[1] 松島多佳彦, 池田誠,「Time-of-Flight 法と光切断法による 3 次元撮像用 CMOS イメージセンサ」, 映像情報メディア学会情報センシング研究会, 映情学技報, Vol. 38, No. 37, IST2014-44, pp. 13-16, 2014 年 9 月.

[2] 伊東 敦, 池田 誠,「ゲートレベルパイプライン型自己同期回路最適化の検討」, 電子情報通信学会信学技法, vol. 114, no. 328, VLD2014-107, pp. 233-238, 2014 年 11 月.

[3] 伊東 敦, 池田 誠,「ゲートレベルパイプライン型自己同期回路における順序回路の最適化」, 電子情報通信学会信学技法, vol. 114, no. 476, VLD2014-177, pp. 135-140, 2015 年 3 月.

[4] 王丸拓郎, 中川貴史, 前田修平, 岡本佑樹, 上妻宗広, 米田誠一, 井上広樹, 黒川義元, 池田隆之, 家田義紀, 山出直人, 宮入秀和, 池田 誠, 山元良高, 山崎舜平,「25.3uW at 60fps 240x160 Pixel Vision Sensor for Motion Capturing with In-Pixel Non-volatility Analog Memory Using Crystalline Oxide Semiconductor FET」, 映像情報メディア学会情報センシング研究会, 映情学技報, vol. 39, no. 16, IST2015-13, pp. 13-16, 2015 年 3 月.

[5] 松島多佳彦, 池田誠,「ロックインピクセルのビニング処理による三次元形状計測用 CMOS イメージセンサ」, 映像情報メディア学会情報センシング研究会, 映情学技報, Vol. 39, No. 16, IST2015-15, pp. 21-24, 2015 年 3 月.

[6] 矢部紘貴, 池田誠,「最小電圧回路を用いた 2 分探索・線形探索による輝線位置検出の精度評価」, 映像情報メディア学会情報センシング研究会, 映情学技報, Vol. 39, No. 16, IST2015-14, pp. 17-20, 2015 年 3 月.

国内大会

[1] 田村雅人, 池田 誠,「終了検知信号を用いた自己同期回路における基板電圧の動的制御」, 電子情報通信学会総合大会, C-12-23, 2015 年 3 月

[2] 崔伝琪, 池田 誠,「SEU 耐性評価のためのレイアウト面積の概算」, 電子情報通信学会総合大会, C-12-25, 2015 年 3 月

三田研究室
学会誌

[1] Matthieu Denoual, D Brouard, A Veith, O de Sagazan, M Pouliquen, P Attia, E Lebrasseur, Y Mita and G Allegre, “A heat balanced sigma-delta uncooled bolometer”, *J. Meas. Sci. Technol.* 25 (2014) 065101 (8pp). doi:10.1088/0957-0233/25/6/065101 (2014.04)

[2] Ya-Lun Ho, Li-Chung Huang, Eric Lebrasseur, Yoshio Mita, and Jean-Jacques Delaunay, “Independent light-trapping cavity for ultra-sensitive plasmonic sensing”, Applied Physics Letters 105, 061112 (2014); doi: 10.1063/1.4893275

国際学会プロシーディング

[1] Isao Mori, Masanori Kubota, Eric Lebrasseur, Yoshio Mita, “Remote power feed and control of MEMS with 58 V silicon photovoltaic cell made by a CMOS post-process dry release and device isolation method”, *Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP 2014)*, 1-4 April, Cannes Côte d’Azur, France, pp.79-82 (2014.04.02)

[2] Agnès Tixier-Mita, Takuya Takahashi, Hiroyuki Fujita, Hiroshi Toshiyoshi, Isao Mori, Yoshio Mita, Olivier Français, Bruno Le Pioufle, “Detection of micro-beads by impedance spectroscopy”, *Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP*

2014), 1-4 April, Cannes Côte d'Azur, France, pp.87-90 (2014.04.02)

[3] Yoshio Mita, Masanori Kubota, Matthieu Denoual, Eric Lebrasseur, and Tomoki Sawamura, "MEMS de Piano" - an Experimental Course of Design, Fabrication, and Testing of MEMS Oscillator", *in the Proceedings of the 10th European Workshop on Micoelectronics Education (EWME 2014)*, 10-14 May, Tallinn, Estonia, S05_03 (2014.5)

[4] Yoshio Mita, Eric Lebrasseur, Tomoki Sawamura, Naoko Kondo, and Kunihiro Asada, "UTokyo VDEC's CMOS-MEMS Technology via Nanotechnology Platform for Prospective Integrated Magnetic Sensor", *20th IMEKO TC4 International Symposium and 18th International Workshop on ADC Modelling and Testing Research on Electric and Electronic Measurement for the Economic Upturn* Benevento, Italy, September 15-17, 2014

[5] Yoshio Mita, Masanori Kubota, Matthieu Denoual, Eric Lebrasseur, and Tomoki Sawamura, "<<MEMS de Piano>> un TP de conception, de fabrication et test de résonateur MEMS(仏語)", *CETSIS2014 : Enseignement des Technologies et des Sciences de l'Information et des Systèmes*, 27-29 oct. 2014 Besançon, France (2014.10)

チュートリアル講演

[1] 三田吉郎,「高アスペクト高速 Si 深掘りエッチング技術」Electronic Journal 第 2190 回 Technical Seminar, 連合会館, 東京, 2014 年 4 月 17 日

[2] 三田吉郎,「TSV 向け大面積・高速 Si 深掘りエッチング技術」Electronic Journal 第 2322 回 Technical Seminar, 連合会館, 東京, 2014 年 7 月 17 日

[3] 三田吉郎,「Si 深掘り加工と集積回路が開く電子デバイスの新展開」,(独)日本学術振興会, 結晶加工と評価技術第 145 委員会第 141 回研究会, 明治大学駿河台キャンパス, 東京, 2014 年 12 月 18 日, pp.7-11

[4] 三田吉郎,「ナノテクプラットフォームと集積化 MEMS による 21 世紀型センサ技術の新展開」, スマート・アクチュエータ／センサ委員会第 108 回定例会講演, 東京大学山上会館, 2015 年 2 月 6 日

雑誌記事

[1] 三田吉郎,「ナノテクノロジープラットフォーム　東京大学 VDEC での教育研究の展開」, 工業材料, Vol.63, No.1, pp.65-68 (2015.01)

著書

[1] 大熊政明・金子成彦・吉田英夫(編)「事例で学ぶ数学活用法」, 4 章 7 節「共振・フィルタ・位相回路」朝倉書店 ISBN978-4-254-11142-2 pp.116-122 (2015/02/20)

高木・竹中研究室
研究論文

[1] Y. Kim, M. Takenaka, and S. Takagi, "Numerical analysis of carrier-depletion strained SiGe optical modulators with vertical p-n junction," *IEEE J. Quantum Electron.,* vol. 51, no. 4, 5200107, 2015. DOI: 10.1109/JQE.2015.2405931

[2] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Impact of interfacial InAs layers on Al_2O_3/GaSb metal-oxide-semiconductor interface properties", *Appl. Phys. Lett.*, vol. 106, 122902, 2015. DOI: 10.1063/1.4914453

[3] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Ultrathin body GaSb-on-insulator p-channel met-al-oxide-semiconductor field-effect transistors on Si fabri-cated by direct wafer bonding", *Appl. Phys. Lett.*, vol. 106, 073503, 2015. DOI: 10.1063/1.4906922

[4] M. Kim, Y. Ki. Wakabayashi, M. Yokoyama, R. Nakane, M. Takenaka, and Shinichi Takagi, "Ge/Si hetero-junction tunnel field-effect transistors and their post metallization annealing effect," *IEEE Trans. Electron Devices,* vol. 62, no. 1, pp. 9–15, 2015. DOI: 10.1109/TED.2014.2371038

[5] K. Nishi, M. Yokoyama, H. Yokoyama, T. Oshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Operation of the GaSb p-channel metal-oxide-semiconductor field-effect transistors fabricated on (111)A surfaces", *Appl. Phys. Lett.*, vol. 105, 233503, 2014. DOI: 10.1063/1.4903837

[6] K. Tanaka, R. Zhang, M. Takenaka, and S. Takagi, "Quantitative evaluation of slow traps near Ge MOS interfaces by using time response of MOS capacitance," *Jpn. J. Appl. Phys.*, Vol. 54, 04DA02, 2015. DOI: 10.7567/JJAP.54.04DA02

[7] W. Kim, M. Takenaka, and S. Takagi, "Properties of ultra-thin-body condensation Ge-on-insulator films thinned by additional thermal oxidation," *Jpn. J. Appl. Phys.*, Vol. 54, 04DA05, 2015. DOI: 10.7567/JJAP.54.04DA05

[8] W. Cai, M. Takenaka, and S. Takagi, "Improvement of S-factor method for evaluation of MOS interface state density," *Jpn. J. Appl. Phys.*, Vol. 54, 04DC07, 2015. DOI: 10.7567/JJAP.54.04DC07

[9] X. Yu, R. Zhang, J. Kang, T. Maeda, T. Itatani, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Ultrathin body germanium-on-insulator (GeOI) pseudo-MOSFETs fabricated by transfer of epitaxial Ge films on III-V substrates," *ECS Solid State Letters*, vol. 4, no. 2, pp. P15-P18, 2015. DOI: 10.1149/2.0031502ssl

[10] S. Takagi, S.-H. Kim, M. Yokoyama, K. Nishi, R. Zhang, and M. Takenaka1, "Material challenges and opportunities in Ge/III-V channel MOSFETs," *ECS Trans.*, vol. 64, no. 11, pp. 99-110, 2014 (*invited*). DOI: 10.1149/06411.0099ecst

[11] R. Zhang, X. Yu, M. Takenaka, and Shinichi Takagi,

"Impact of channel orientation on electrical properties of Ge p- and n-MOSFETs with 1-nm EOT $Al_2O_3/GeO_x/Ge$ gate stacks fabricated by plasma post oxidation," *IEEE Trans. Electron Devices,* vol. 61, no. 11, pp. 3668–3675, 2014. DOI: 10.1109/TED.2014.2359678

[12] K. Alam, S. Takagi, and M. Takenaka, "A Ge ultra-thin-body n-channel tunnel FET: Effects of surface orientation," *IEEE Trans. Electron Devices,* vol. 61, no. 11, pp. 3594–3600, 2014. DOI: 10.1109/TED.2014.2353513

[13] K. Nishi, M. Yokoyama, S.-H. Kim, H. Yokoyama, M. Takenaka and S. Takagi, "Study on electrical properties of metal/GaSb junctions using metal-GaSb alloys," *J. Appl. Phys.,* vol. 115, 034515, 2014. DOI: 10.1063/1.4862486

[14] W. Kim, K. Kuroda, M. Takenaka, and S. Takagi, "Sb-doped S/D ultra-thin body Ge-on insulator nMOSFET fabricated by improved Ge condensation process," *IEEE Trans. Electron Devices,* vol. 61, no. 10, pp. 3379–3385, 2014. DOI: 10.1109/TED.2014.2350457

[15] Y. Cheng, Y. Ikku, M. Takenaka, and S. Takagi, "InGaAs MSM photodetector monolithically integrated with InP photonic-wire waveguide on III-V CMOS photonics platform", *IEICE Electronics Express*, vol. 11, no. 16, pp. 20140609, 2014. DOI: 10.1587/elex.11.20140609

[16] S.H. Kim., Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y.-C. Kao, M. Takenaka, and S. Takagi, "Direct wafer bonding technology for large-scale InGaAs-on-insulator transistors", *Appl. Phys. Lett.*, vol. 105, 043504, 2014. DOI: 10.1063/1.4891493

[17] R. Zhang, X. Yu, M. Takenaka, and Shinichi Takagi, "Physical origins of high normal field mobility degradation in Ge p- and n-MOSFETs with GeO_x/Ge MOS interfaces fabricated by plasma post oxidation," *IEEE Trans. Electron Devices,* vol. 61, no. 7, pp. 2316–2323, 2014. DOI: 10.1109/TED.2014.2325604

[18] S.H. Kim., M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Experimental study on vertical scaling of InAs-on-insulator metal-oxide-semiconductor field-effect transistors", *Appl. Phys. Lett.*, vol. 104, 263507, 2014. DOI: 10.1063/1.4885765

[19] M. Yokoyama, Y. Asakura, H. Yokoyama, M. Takenaka, and S. Takagi, "Impact of process temperature on GaSb metal-oxide-semiconductor interface properties fabricated by ex-situ process", *Appl. Phys. Lett.*, vol. 104, 262901, 2014. DOI: 10.1063/1.4884950

[20] K. Alam, S. Takagi, and M. Takenaka, "Strain-modulated L-valley ballistic-transport in (111) GaAs ultrathin-body nMOSFETs," *IEEE Trans. Electron Devices,* vol. 61, no. 5, pp. 1335–1340, 2014. DOI: 10.1109/TED.2014.2311840

[21] S.-H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and Shinichi Takagi, "High performance tri-gate extremely thin-body InAs-on-insulator MOSFETs with high short channel effect immunity and V_{th} tunability," *IEEE Trans. Electron Devices,* vol. 61, no. 5, pp. 1354–1360, 2014. DOI: 10.1109/TED.2014.2312546

[22] Y. Kim, M. Takenaka, T. Osada, M. Hata, and S. Takagi, "Fabrication and evaluation of propagation loss of Si/SiGe/Si photonic-wire waveguides for Si based optical modulator ", *Thin Solid Films*, Vol. 557, pp. 342-345, 2014. DOI: 10.1016/j.tsf.2013.10.063

[23] N. Yoshida, E. Waki, M. Arai, K. Yamasaki, M. Takenaka, and Shinichi Takagi, "Extraction of Interface State Density at SiO_2/SiC Interfaces based on Impedance Measurements with Different Temperatures", *Thin Solid Films*, Vol. 557, pp. 237-240, 2014. DOI: /10.1016/j.tsf.2013.10.062

[24] M. Kim, Y. Kim, M. Yokoyama, R. Nakane, S.-H. Kim, M. Takenaka, and S. Takagi, "Tunnel field-effect transistors with germanium/strained-silicon hetero-junctions for low power applications", *Thin Solid Films*, Vol. 557, pp. 298-301, 2014. DOI: 10.1016/j.tsf.2013.10.067

[25] Y. Kim, M. Takenaka, T. Osada, M. Hata, and S. Takagi, "Strain-induced enhancement of plasma dispersion effect and free-carrier absorption in SiGe optical modulators", *Scientific Reports*, vol. 4, 4683, 2014. DOI: 10.1038/srep04683

[26] Y. Kim, J. Han, M. Takenaka, and S. Takagi, "Low temperature Al_2O_3 surface passivation for carrier-injection SiGe optical modulator", *Optics Express Letters*, vol. 22. no. 7, pp. 7458-7464, 2014. DOI: 10.1364/OE.22.007458

国際会議論文

[1] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "SiGe-based carrier-injection Mach-Zehnder modulator with enhanced plasma dispersion effect in strained SiGe," *Optical Fiber Communication Conference (OFC2015)*, Tu2A.7, Los Angelas, 24 March 2015.

[2] X. Yu, J. Kang, R. Zhang, M. Takenaka, and S. Takagi, "Mobility improvement of ultrathin-body germanium-on-insulator (GeOI) MOSFETs on flipped smart-cut GeOI substrates," *Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, D4, Bologna, Italy, 28 January 2015. DOI: 10.1109/ULIS.2015.7063798

[3] M. Kim, Y. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka and S. Takagi, "High I_{on}/I_{off} Ge-source ultra-thin body strained-SOI tunnel FETs–Impact of channel strain, MOS interfaces and back gate on the electrical properties," *International Electron Devices Meeting (IEDM'14)*, 13.2, San Francisco, 16 December 2014. DOI: 10.1109/IEDM.2014.7047043

[4] J.-H. Han, M. Takenaka, and S. Takagi, "Comparison of $Al_2O_3/Si_{1-x}Ge_x$ MOS interfaces grown on p-Si (100) and p-Si (110) with plasma post-nitridation,"

IEEE Semiconductor Interface Specialists conference (SISC2014), 13.4, San Diego, USA, 13 December 2014.

[5] C.-Y. Chang, M. Takenaka, and S. Takagi, "Improvement of electrical properties of InGaAs MOS interfaces by inserting La oxide interfacial layers into InGaAs high-k gate stacks," *IEEE Semiconductor Interface Specialists conference (SISC2014)*, 4.5, San Diego, USA, 11 December 2014.

[6] M. Takenaka, "Strained SiGe technology for high-performance optical modulators and attenuators," *4th International Symposium on Photonics and Electronics Convergence (ISPEC2014)*, B-6, Tokyo, 17 November 2014.

[7] Y. Cheng, Y. Ikku, M. Takenaka, and S. Takagi, "InGaAs MSM photodetector with InAlAs and InP cap layers on III-V CMOS photonics platform for low dark current operation," *4th International Symposium on Photonics and Electronics Convergence (ISPEC2014)*, P20, Tokyo, 18 November 2014.

[8] Y. Ikku, M. Yokoyama, M. Takenaka, and S. Takagi, "Low-crosstalk carrier-injection Mach-Zehnder interferometer optical switches with 50- μ m-long phase shifters on III-V CMOS photonics platform," *4th International Symposium on Photonics and Electronics Convergence (ISPEC2014)*, P19, Tokyo, 18 November 2014.

[9] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "Low injection-current variable optical attenuator by using strained SiGe with optimized lateral PIN junction," *4th International Symposium on Photonics and Electronics Convergence (ISPEC2014)*, P54, Tokyo, 18 November 2014.

[10] T. Kayoda, M. Takenaka, and S. Takagi, "Examination of modulation efficiency of graphene optical modulator based on semiconductor-metal transition," *4th International Symposium on Photonics and Electronics Convergence (ISPEC2014)*, P33, Tokyo, 18 November 2014.

[11] J. Kang, X. Yu, M. Takenaka, and S. Takagi, "Ge-on-Insulator Substrate Fabrication for Ge CMOS Photonics Platform," *4th International Symposium on Photonics and Electronics Convergence (ISPEC2014)*, P39, Tokyo, 18 November 2014.

[12] S. Takagi and M. Takenaka, "Material challenges and opportunities in Ge/III-V channel MOSFETS," *226th ECS Meeting*, Symposium P3, 1645, Cancun, Mexico, 7 October 2014 (*invited*).

[13] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "Record-low injection-current strained SiGe variable optical attenuator with optimized lateral PIN junction," *European Conference on Optical Communication (ECOC'14)*, Cannes, P.2.6, 24 September 2014. DOI: 10.1109/ECOC.2014.6963927

[14] K. Tanaka, R. Zhang, M. Takenaka, and S. Takagi, "Quantitative evaluation of slow traps near Ge MOS interfaces by using time response of MOS capacitance," *International Conference on Solid State Devices and Materials (SSDM2014)*, F-2-2, Tukuba, 9 September 2014.

[15] W.K. Kim, M. Takenka, and S. Takagi, "Properties of ultrathin body condensation GOI films thinned by additional thermal oxidation," *International Conference on Solid State Devices and Materials (SSDM2014)*, PS-1-15, Tukuba, 10 September 2014 (*Late News*).

[16] W.-L. Cai, M. Takenka, and S. Takagi, "Improvement of S-factor Method for Evaluation of MOS Interface State Density," *International Conference on Solid State Devices and Materials (SSDM2014)*, J-2-2, Tukuba, 9 September 2014.

[17] S. Takagi and M. Takenaka, "III-V CMOS device technologies on Si platform," *E-MRS Fall Meeting*, Symposium J, 71, Warsaw, Poland, 16 September 2014 (*invited*).

[18] Y. Ikku, and M. Takenaka, and S. Takagi, "Low-resistance lateral junction formation for laser diodes on III-V CMOS photonics platform," *24th IEEE International Semiconductor Laser Conference (ISLC 2014)*, MB3, Palma de Mallorca, Spain, 8 September 2014. 10.1109/ISLC.2014.150

[19] Y. Kim, M. Takenaka and S. Takagi, "Simulation of carrier-depletion strained SiGe optical modulators with vertical p-n junction," *International Conference on Group IV Photonics (GFP2014)*, ThP5, Paris, France, 28 August 2014. DOI: 10.1109/Group4.2014.6961993

[20] S. Takagi and M. Takenaka, "Challenges & advances of MOSFETs using high mobility material channels," *International Conference on the Physics of Semiconductors (ICPS2014)*, Austin, USA, 12 August 2014 (*invited*).

[21] M. Takenaka, Y. Ikku, and S. Takagi, "III-V CMOS photonics platform for low-power and low-crosstalk photonic-wire switches and modulators," *Advanced Photonics for Communications*, JT5C.4, San Dieog, USA, 15 July 2014 (*invited*).

[22] M. Yokoyama, H. Yokoyama, M. Takenaka and S. Takagi, "III-V single structure CMOS by using ultrathin body InAs/GaSb-OI channels on Si," *VLSI Symposium*, 4.2, Hawaii, USA, 10 June 2014. DOI: 10.1109/VLSIT.2014.6894350

[23] S. H. Kim, Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y.-C. Kao, M. Takenaka and S. Takagi, "High performance InGaAs-On-Insulator MOSFETs on Si by novel direct wafer bonding technology applicable to large wafer size Si," *VLSI Symposium*, 4.4, Hawaii, USA, 10 June 2014. DOI: 10.1109/VLSIT.2014.6894352

[24] S. Takagi and M. Takenaka, "III-V/Ge CMOS device technologies for future logic LSIs," *International SiGe Technology and Device Meeting (ISTDM2014)*, 1.1, Singapore, 2 June 2014 (*plenary*). DOI: 10.1109/

ISTDM.2014.6874696
[25] Y. Ikku, M. Takenaka, and S. Takagi, "Surface orientation depdendence of electro-optic effects in InGaAsP for lateral pin-junction InGaAsP photonic-wire modulators," *Indium Phosphide and Related Materials (IPRM'14)*, P27, Montpellier, 11-15 May 2014. DOI: 10.1109/ICIPRM.2014.6880549
[26] Y. Cheng, Y. Ikku, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Waveguide InGaAs photodetector with Schottky barrier enhancement layer on III-V CMOS photonics platform," *Indium Phosphide and Related Materials (IPRM'14)*, We-B1-2, Montpellier, 11-15 May 2014. DOI: 10.1109/ICIPRM.2014.6880578
[27] M. Kuramochi, M. Takenaka, Y. Ikku, and S. Takagi, "Multi-bandgap III-V on insulator wafer fabricated by quantum well intermixing for III-V CMOS photonics platform," *Indium Phosphide and Related Materials (IPRM'14)*, Mo-B1-3, Montpellier, 11-15 May 2014. DOI: 10.1109/ICIPRM.2014.6880518
[28] K. Nishi, M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Thin body GaSb-OI p-MOSFETs on Si wafers fabricated by direct wafer bonding," *Indium Phosphide and Related Materials (IPRM'14)*, Th-D2-6, Montpellier, 11-15 May 2014. DOI: 10.1109/ICIPRM.2014.6880566
[29] M. Kim, Y. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka, and S. Takagi, "Effect of in-situ boron doping in germanium source regions on performance of germanium/strained-silicon-on-insulator tunnel field-effect transistors," *MRS Spring Meeting*, BB2.01, San Francisco, 22 April 2014.
[30] X. Yu, R. Zhang, J. Kang, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Ultrathin body Germanium-on-insulator (GeOI) MOSFETs fabricated by transfer of epitaxial Ge films on III-V substrates," *International Symposium on VLSI technology, System and Applications (VLSI-TSA2014)*, TR22, Hsinchu, Taiwan, 28 April 2014. DOI: 10.1109/VLSI-TSA.2014.6839657
[31] W.-L. Cai, M. Takenaka and S. Takagi, "Effects of biaxially-tensile strain to properties of Si/SiO_2 interface states generated by electrical stress," *IEEE International Reliability Physcis Symposium (IRPS'14)*, XT-5, Waikoloa, Hawaii, USA, 1-5 April 2014. DOI: 10.1109/IRPS.2014.6861183

シンポジウム・研究会・大会等発表

[1] 韓在勲，竹中充，高木信一，「プラズマ後窒化(100)面及び(110)面 SiGe MOS 界面の比較」，第 62 回応用物理学会春季学術講演会，14a-A24-4，東海大学湘南キャンパス，2015 年 3 月 14 日.
[2] Weili Cai, Mitsuru Takenaka, Shinichi Takagi,「Effectiveness of surface potential fluctuation for representing inversion-layer mobility limited by Coulomb scattering in MOSFETs」，第 62 回応用物理学会春季学術講演会，13a-A24-7，東海大学湘南キャンパス，2015 年 3 月 13 日.
[3] 横山春喜，星拓哉，杉山弘樹，西康一，竹中充，高木信一，「GaSb 基板の熱処理条件最適化」，第 62 回応用物理学会春季学術講演会，13p-D4-10，東海大学湘南キャンパス，2015 年 3 月 13 日.
[4] 金相賢，一宮佑希，横山正史，中根了昌，Li Jian，Kao Yung-Chung，竹中充，高木信一，「大口径化可能な貼り合わせ法による Si 上高性能 InGaAs-OI MOSFET の作製」，第 62 回応用物理学会春季学術講演会，13a-A23-8，東海大学湘南キャンパス，2015 年 3 月 13 日(第 6 回シリコンテクノロジー分科会論文賞受賞記念講演).
[5] Jian Kang, Xiao Yu, Mitsuru Takenaka, Shinichi Takagi,「Study of Thermal Annealing Effect on Smartcut Ge-on-Insulator Substrate」，第 62 回応用物理学会春季学術講演会，12p-A16-6，東海大学湘南キャンパス，2015 年 3 月 12 日.
[6] ChihYu Chang, Osamu Ichikawa, Takenori Osada, Hisashi Yamada, Mitsuru Takenaka, Shinichi Takagi,「Improvement of Electrical Properties of InGaAs MOS Interfaces by Inserting La Oxide Interfacial Layers into InGaAs Gate Stacks」，第 62 回応用物理学会春季学術講演会，12a-P12-6，東海大学湘南キャンパス，2015 年 3 月 12 日.
[7] 高島成也，一宮佑希，竹中充，高木信一，「III-V-OI 基板上における量子井戸インターミキシングの検討」，第 62 回応用物理学会春季学術講演会，12p-A17-15，東海大学湘南キャンパス，2015 年 3 月 12 日.
[8] 藤方潤一，野口将高，金栄現，高橋重樹，中村隆宏，竹中充，「歪 SiGe 層を用いた空乏化型 Si 光変調器の検討」，第 62 回応用物理学会春季学術講演会，12a-A16-11，東海大学湘南キャンパス，2015 年 3 月 12 日.
[9] 野口将高，韓在勲，藤方潤一，中村隆宏，竹中充，「Si 光変調器に向けた歪 SiGe 成長に関する検討」，第 62 回応用物理学会春季学術講演会，12a-A16-10，東海大学湘南キャンパス，2015 年 3 月 12 日.
[10] 武内和治，金栄現，竹中充，高木信一，「歪 SiGe インターリーブ PN 接合型光変調器の検討」，第 62 回応用物理学会春季学術講演会，12a-A16-9，東海大学湘南キャンパス，2015 年 3 月 12 日.
[11] Minsoo Kim, Yuki K. Wakabayashi, Ryosho Nakane, Masafumi Yokoyama, Mitsuru Takenaka, Shinichi Takagi,「Effects of strain, interface states and back bias on electrical characteristics of Ge-source UTB strained-SOI tunnel FETs」，第 62 回応用物理学会春季学術講演会，11a-A23-9，東海大学湘南キャンパス，2015 年 3 月 11 日.
[12] Xiao Yu, Jian Kang, Rui Zhang, Mitsuru Takenaka, Shinichi Takagi,「Mobility improvement of ultra-thin-body Germanium-on-insulator (GeOI) MOSFETs on flipped Smart-Cut GeOI substrates」，第 62 回応用物理学会春季学術講演会，11a-A23-2，東海大学湘南キャン

パス，2015 年 3 月 11 日.
[13] ジサンミン，市川磨，長田剛規，山田永，竹中充，高木信一，「高 In 組成 InGaAs 量子井戸層の挿入によるプレーナ型 InGaAs トンネル FET の性能向上の実証」，第 62 回応用物理学会春季学術講演会，11a-A23-10，東海大学湘南キャンパス，2015 年 3 月 11 日.
[14] 植田大貴，金閔洙，竹中充，高木信一，「ひずみ SOI トンネル FET の作製と電気的特性」，第 62 回応用物理学会春季学術講演会, 11a-A23-8, 東海大学湘南キャンパス，2015 年 3 月 11 日.
[15] 西康一, 横山正史, 横山春喜, 星拓也, 杉山弘樹, 竹中充, 高木信一，「Si 上フロントゲート InAs/GaSb-OI p-MOSFET の移動度向上」，第 62 回応用物理学会春季学術講演会，11a-A23-5，東海大学湘南キャンパス，2015 年 3 月 11 日.
[16] 高木信一，野口宗隆，竹中　充「Zn 拡散ソースを用いたプレーナ型 InGaAs トンネル FET」，電子情報通信学会総合大会，CI-4-3, 立命館大学　びわこ・くさつキャンパス，2015 年 3 月 10 日.
[17] 一宮佑希，竹中充，高木信一，「III-V-OI 基板の耐熱性向上技術および低抵抗横型 PIN 接合形成技術」，電子情報通信学会レーザ･量子エレクトロニクス研究会（LQE），8, 機会振興会館，2014 年 12 月 19 日.
[18] 韓在勲，竹中充，高木信一，「プラズマ後窒化 HfO_2/Al_2O_3/$SiGe_{0.32}$ MOS 界面の電極依存性」，第 75 回応用物理学会秋季学術講演会，19p-A17-7，北海道大学札幌キャンパス，2014 年 9 月 19 日.
[19] 蔡偉立，竹中充，高木信一，「Improvement of S-factor method for evaluation of MOS interface state density」，第 75 回応用物理学会秋季学術講演会，19a-A17-12，北海道大学札幌キャンパス，2014 年 9 月 19 日.
[20] 佐々木和哉，竹中充，高木信一，「グラフェンフォトディテクタの高性能化に向けた金属 / グラフェン界面におけるフェルミ準位変化の評価」，第 75 回応用物理学会秋季学術講演会，18p-A18-15，北海道大学札幌キャンパス，2014 年 9 月 18 日.
[21] 亢健，玉姚，竹中充，高木信一，「Ge-on-Insulator fabrication by smartcut technology for Ge CMOS photonics platform」，第 75 回応用物理学会秋季学術講演会，18p-A18-14，北海道大学札幌キャンパス，2014 年 9 月 18 日.
[22] 金佑彊，高木信一，竹中充，「Effects of thinning condensation UTB GOI films by additional thermal oxidation on GOI Characteristics」，第 75 回応用物理学会秋季学術講演会，18p-A16-11，北海道大学札幌キャンパス，2014 年 9 月 18 日.
[23] 一宮佑希，横山正史，竹中充，高木信一，「小型低クロストーク InGaAsP 細線導波路光スイッチの作製」，第 75 回応用物理学会秋季学術講演会，18a-C6-4，北海道大学札幌キャンパス，2014 年 9 月 18 日.
[24] 嘉陽田達矢，竹中充，高木信一，「半導体 - 金属遷移を利用したグラフェン光変調器の変調効率の検討」，第 75 回応用物理学会秋季学術講演会，17p-PA3-5，北海道大学札幌キャンパス，2014 年 9 月 17 日.
[25] Y. Cheng，一宮佑希，竹中充，高木信一，「Dark current reduction of waveguide InGaAs MSM photodetector on III-V CMOS photonics platform by InAlAs cap layer」，第 75 回応用物理学会秋季学術講演会，17p-C6-4，北海道大学札幌キャンパス，2014 年 9 月 17 日.
[26] 西康一, 横山正史, 横山春喜, 星拓也, 杉山弘樹, 竹中充, 高木信一，「基板貼り合わせ法により作製した Si 上フロントゲート GaSb-OI p-MOSFET の動作実証」，第 75 回応用物理学会秋季学術講演会，17a-PA3-4，北海道大学札幌キャンパス，2014 年 9 月 17 日.
[27] 金ミンス，若林勇希，中根了昌，竹中充，高木信一，「Ge/Si hetero-junction TFETs with in-situ boron-doped Ge-source」，第 75 回応用物理学会秋季学術講演会，17a-PA3-2，北海道大学札幌キャンパス，2014 年 9 月 17 日.

5.5　特許，受賞等

高宮研究室
特許

[1] 井口俊太，高宮　真，桜井貴康，“発振回路，”特願 2014-102428, 2014 年 5 月 16 日出願

三田研究室
受賞

[1] 2015 年岡本有貴（B4）　電気学術奨励賞（社団法人電気学会東京支部）（2015.3.25）

高木・竹中研究室
受賞

[1] IEEE EDS Paul Rappaport Award（2014）R. Zhang, P.-C. Huang, J.-C. Lin, N. Taoka, M. Takenaka, and S. Takagi

[2] 第 6 回応用物理学会シリコンテクノロジー分科会論文賞 SangHyeon Kim, Yuki Ikku, Masafumi Yokoyama, Ryosho Nakane, Jian Li, Yung-Chung Kao, Mitsuru Takenaka, and Shinichi Takagi

[3] 植之原留学生学術奨励賞，程　勇鵬

Appendix

A. Publication list

1. 研究論文

[1] 姚，斎藤，岡田，小林，中島，"EReLA: A Low-Power Reliable Coarse-Grained Reconfigurable Architecture Processor and Its Irradiation Tests", vol.61, no.6, pp. 3250-3257, IEEE Trans. on Nuclear Science（2014）

[2] 籔内，岸田，小林，"Correlations between BTI-Induced Degradations and Process Variations on ASICs and FPGAs", vol.E97-A, no.12, pp. 2367-2372, IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences（2014）

[3] 張，古田，小林，小野寺，"Dependence of Cell Distance and Well-Contact Density on MCU Rates by Device Simulations and Neutron Experiments in a 65-nm Bulk Process ", vol.61, no.4, pp. 1583-1589, IEEE Trans. on Nuclear Science（2014）

[4] 小林，久保田，増田，万沢，古田，神田，小野寺，"A Low-Power and Area-Efficient Radiation-Hard RedundantFlip-Flop, DICE ACFF, in a 65 nm Thin-BOX FD-SOI ", vol.61, no.4, pp. 1881-1888, IEEE Trans. on Nuclear Science（2014）

[5] Satoshi Abo, Ri Pei, Yao Xin Yuan, Fujio Wakaya, Mikio Takai, "Analysis technique for ultra shallow junction using medium energy ion scattering time-of-flight elastic recoil detection analysis", Surface and Interface Analysis 46（2014）1192-1195

[6] Y. Kora, K. Yamaguchi, and H. Ando, "MLP-Aware Dynamic Instruction Window Resizing in Superscalar Processors for Adaptively Exploiting Available Parallelism," IEICE Transactions on Information and Systems, Vol.E97-D, No.12,pp.3110-3123, December 2014.

[7] T. Okazaki, D. Kanemoto, R. Pokharel, K. Yoshida, H. Kanaya,"A design methodology for SAR ADC optimal redundancy bit", IEICE Electronics Express Vol. 11, No. 10 pp. 1-6, 2014 年 4 月.

[8] W. Yamamoto, D. Kanemoto, R. Pokharel, K. Yoshida and H. Kanaya,"A Low Power 2.4GHz LNA Operated in Subthreshold Region", Future Information Engineering Volume I, WIT Transactions on Communications and Information Technologies, Volume 49, pp.199-296, 2014 年 5 月.

[9] X. Wang, I. Sakagami, A. Mase and M. Ichimura "Trantanella Wilkinson power divider with additional transmission lines for simple layout," IET Microwaves antennas & propagation, vol. 8, iss. 9, pp.666-672, June 2014.

[10] I. Sakagami, M. Tahara and X. Wang, "Realization of a planar dual-band fork three-way power divider using an impedance scale factor," IEICE Trans. Electron., Vol. E97-C, No.10, pp.948-956, Oct. 2014（Special Selection on Recent Progress in Microwave and Millimeter-wave Technologies）.

[11] X. Wang, I. Sakagami, Z.Ma, A. Mase and M. Yoshikawa "Generalized, miniaturized, dual-band Wilkinson power divider with a parallel RLC circuit," Int. J. Electron. Commun.（AEU）, vol.69, issue 1, pp. 418-423, Jan. 2015（Doi: 10.1016/j.aeue.2014.10.020

[12] R. Soejima, K. Okina, K. Dohi, Y. Shibata, K. Oguri, "A Memory Profiling Framework for Stencil Computation on an FPGA Accelerator with High Level Synthesis", ACM SIGARCH Computer Architecture News 42（4）, pp.69-74, 2014 年 12 月.

[13] K. Dohi, K. Okina, R. Soejima, Y. Shibata, K. Oguri, "Performance Modeling of Stencil Computing on a Stream-Based FPGA Accelerator for Efficient Design Space Exploration", IEICE TRANS. INF. & SYST., E98-D（2）, pp.298-308, 2015 年 2 月.

[14] T. Matsumoto, H. Torii, Y. Ida, S. Matsufuji, "A Compact Matched Filter Bank for a Mutually Orthogonal ZCZ Sequence Set Consisting of Ternary Sequence Pairs", IEICE Trans. Fundamentals, Vol. E97-A, No.12, pp.2595-2600, 2014 年 12 月.

[15] Kazuhito Ito, "Energy Minimization of Full TMR Design with Optimized Selection of Temporal/Spatial TMR Mode and Supply Voltage," IEICE Trans. Fundamentals, Vol. E97-A, No. 12, pp.2530-2539, 2014 年 12 月

[16] Ken Saito, Kazuaki Maezumi, Yuka Naito, Tomohiro Hidaka, Kei Iwata, Yuki Okane, Hirozumi Oku, Minami Takato and Fumio Uchikoba "Neural Networks Integrated Circuit for Biomimetics MEMS Microrobot" Journal of robotics, 2014, Vol.3 pp. 235-246 June 2014.

[17] Minami Takato, Masaki Tatani, Hirozumi Oku, Yuki Okane, Junichi Tanida, Shinpei Yamasaki, Ken Saito, Fumio Uchikoba, "A Millimeter-Sized Robot by a Piezoelectric Impact-type Rotary Actuator and a Hardware Neuron Model," International Journal of Advanced Robotic Systems, Vol. 11, pp. 1-8, June 2014.

[18] S. Komatsu, T. J. Yamaguchi, M. Abbas, N. N. Mai-Khanh, J. Tandon, and K. Asada, "A Flash TDC with 2.6-4.2ps Resolution Using a Group of Unbalanced CMOS Arbiters," IEICE Transactions on

Fundamentals of Electronics, Communications and Computer Sciences, Vol. E97-A, No. 3, pp. 780-783, 2014

[19] El-Sankary K., Asai T., Kuroda T., and Motomura M., "Crosstalk rejection in 3D-stacked inter-chip communication with blind source separation," IEEE Transactions on Circuits and Systems II, vol. 62, (2015), in press.

[20] Ishimura K., Komuro K., Schmid A., Asai T., and Motomura M., "FPGA implementation of hardware-oriented reaction-diffusion cellular automata models," Nonlinear Theory and Its Applications, vol. 6, (2015), in press.

[21] Fukuda E.S., Inoue H., Takenaka T., Kim D., Sadahisa T., Asai T., and Motomura M., "Enhancing memcached by caching its data and functionalities at network interface," IPSJ Journal, vol. 56, (2015), in press.

[22] Kim D., Hida I., Fukuda E.S., Asai T., and Motomura M., "Reducing power and energy consumption of nonvolatile microcontrollers with transparent on-chip instruction cache," Circuits and Systems, vol. 5, no. 11, pp. 253-264 (2014).

[23] Gonzalez-Carabarin L., Asai T., and Motomura M., "Application of nonlinear systems for designing low-power logic gates based on stochastic resonance," Nonlinear Theory and Its Applications, vol. 5, no. 4, pp. 445-455 (2014).

[24] Ishimura K., Komuro K., Schmid A., Asai T., and Motomura M., "Image steganography based on reaction diffusion models toward hardware implementation," Nonlinear Theory and Its Applications, vol. 5, no. 4, pp. 456-465 (2014).

[25] Gonzalez-Carabarin L., Asai T., and Motomura M., "Low-power asynchronous digital pipeline based on mismatch-tolerant logic gates," IEICE Electronics Express, vol. 11, no. 15, pp. 20140632/1-9 (2014).

[26] Mori M., Itou T., Ikebe M., Asai T., Kuroda T., and Motomura M., "FPGA-based design for motion-vector estimation exploiting high-speed imaging and its application to motion classification with neural networks," Journal of Signal Processing, vol. 18, no. 4, pp. 165-168 (2014).

[27] Toshinori Otaka, Tomohiro Yamazaki, Takayuki Hamamoto, "An Extended Dynamic Range Imaging by Selective Exposure Time Control for a Macro-Pixel Based CMOS Image Sensor in Machine Vision Application", ITE Transactions on Media Technology and Applications, Vol.2, No.2, pp.145-153 (2014)

[28] 山﨑智裕，大高俊徳，浜本隆之，"時空間の露光制御機能を持つイメージセンサと画質向上のための撮像・処理方式"，映像情報メディア学会誌，Vol.69, No.3, p.J106-J112 (2015)

[29] Wenpo Zhang, Kazuteru Namba and Hideo Ito, "Improving Small-Delay Fault Coverage of On-Chip Delay Measurement by Segmented Scan and Test Point Insertion," IEICE Trans. Inf. & Syst., Vol.E97-D, No.10, pp.2719-2729, Oct. 2014.

[30] Y. Guo, K. Miyamoto, T. Wagner, M. J. Schöing and T. Yoshinobu, "Theoretical Study and Simulation of Light-Addressable Potentiometric Sensors", physica status solidi A, 211 (2014) pp.1467-1472.

[31] Y. Guo, K. Seki, K. Miyamoto, T. Wagner, M. J. Schöing and T. Yoshinobu, "Novel Photoexcitation Method for Light-Addressable Potentiometric Sensor with Higher Spatial Resolution", Applied Physics Express, 7 (2014) 067301.

[32] Y. Guo, K. Miyamoto, T. Wagner, M. J. Schöing and T. Yoshinobu, "Device Simulation of the Light-Addressable Potentiometric Sensor for the Investigation of the Spatial Resolution", Sensors and Actuators B 204 (2014) pp.659-665.

[33] F. An, T. Akazawa, S. Yamasaki, L. Chen, and H.J. Mattausch, "VLSI Realization of Learning Vector Quantization with Hardware/Software Co-design for Different Applications", JJAP, 54 04DE05, 2015.

[34] H.Kawakami, S.Igarashi, Y.Sasada, J.Akita, Column-Parallel Architecture for Line-of-Sight Detection Image Sensor Based on Centroid Calculation, ITE Trans. on Media Technology and Applications, Vol.2, No.2, pp.161-166, 2014.4.

[35] M. Maeda, J. Hirotani, R. Matsui, K. Higuchi, S. Kishimoto, T. Tomura, M. Takesue, K. Hata, and Y. Ohno, "Printed, short-channel, top-gate carbon nanotube thin-film transistors on flexible plastic film", Appl. Phys. Exp. 8, 045102-1-4 (2015). Doi:10.7567/APEX.8.045102

[36] F. Wang, D. Kozawa, Y. Miyauchi, K. Hiraoka, S. Mouri, Y. Ohno, and K. Matsuda, "Considerably improved photovoltaic performance of carbon nanotube-based solar cells using metal oxide layers", Nature Commn. 6, 6305-1-4 (2015). Doi:10.1038/ncomms7305

[37] N. Fukaya, D. Y. Kim, S. Kishimoto, S. Noda, and Y. Ohno, "One-Step Sub-10 um Patterning of Carbon-Nanotube Thin Films for Transparent Conductor Applications", ACS Nano 8, 3285-3293 (2014). Doi:10.1021/nn4041975

[38] SinNyoung Kim, Akira Tsuchiya, Hidetoshi Onodera, "Radiation-Hardened PLL with a Switchable Dual Modular Redundancy Structure," IEICE Transactions on Electronics, vol E97-C, no 4, pp. 325-331, April, 2014.

[39] A.K.M. Mahfuzul Islam, Hidetoshi Onodera, "Area-efficient Reconfigurable Ring Oscillator for Characterization of Static and Dynamic Variations," Japanese Journal of Applied Physics, vol. 53, no. 4S, pp.

04EE08, 2014.

[40] H. Mashiko, Y. Kohira, "A Tuning Method of Programmable Delay Element with an Ordered Finite Set of Delays for Yield Improvement", IEICE Trans. Fundamentals, Vol.E97-A, No.12, pp.2443-2450, 2014.

[41] Y. Kim, M. Takenaka, and S. Takagi, "Numerical analysis of carrier-depletion strained SiGe optical modulators with vertical p-n junction," IEEE J. Quantum Electron., vol. 51, no. 4, 5200107, 2015.

[42] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Ultrathin body GaSb-on-insulator p-channel met-al-oxide-semiconductor field-effect transistors on Si fabri-cated by direct wafer bonding", Appl. Phys. Lett., vol. 106, 073503, 2015.

[43] X. Yu, R. Zhang, J. Kang, T. Maeda, T. Itatani, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Ultrathin body germanium-on-insulator (GeOI) pseudo-MOSFETs fabricated by transfer of epitaxial Ge films on III-V substrates," ECS Solid State Letters, vol. 4, no. 2, pp. P15-P18, 2015.

[44] S. Takagi, S.-H. Kim, M. Yokoyama, K. Nishi, R. Zhang, and M. Takenaka1, "Material challenges and opportunities in Ge/III-V channel MOSFETs," ECS Trans., vol. 64, no. 11, pp. 99-110, 2014 (invited).

[45] R. Zhang, X. Yu, M. Takenaka, and Shinichi Takagi, "Impact of channel orientation on electrical properties of Ge p- and n-MOSFETs with 1-nm EOT Al2O3/GeOx/Ge gate stacks fabricated by plasma post oxidation," IEEE Trans. Electron Devices, vol. 61, no. 11, pp. 3668-3675, 2014.

[46] K. Nishi, M. Yokoyama, S.-H. Kim, H. Yokoyama, M. Takenaka and S. Takagi, "Study on electrical properties of metal/GaSb junctions using metal-GaSb alloys," J. Appl. Phys., vol. 115, 034515, 2014.

[47] W. Kim, K. Kuroda, M. Takenaka, and S. Takagi, "Sb-doped S/D ultra-thin body Ge-on insulator nMOSFET fabricated by improved Ge condensation process," IEEE Trans. Electron Devices, vol. 61, no. 10, pp. 3379-3385, 2014.

[48] Y. Cheng, Y. Ikku, M. Takenaka, and S. Takagi, "InGaAs MSM photodetector monolithically integrated with InP photonic-wire waveguide on III-V CMOS photonics platform", IEICE Electronics Express, vol. 11, no. 16, pp. 20140609, 2014.

[49] S.H. Kim., Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y.-C. Kao, M. Takenaka, and S. Takagi, "Direct wafer bonding technology for large-scale InGaAs-on-insulator transistors", Appl. Phys. Lett., vol. 105, 043504, 2014.

[50] R. Zhang, X. Yu, M. Takenaka, and Shinichi Takagi, "Physical origins of high normal field mobility degradation in Ge p- and n-MOSFETs with GeOx/Ge MOS interfaces fabricated by plasma post oxidation," IEEE Trans. Electron Devices, vol. 61, no. 7, pp. 2316-2323, 2014.

[51] S.H. Kim., M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Experimental study on vertical scaling of InAs-on-insulator metal-oxide-semiconductor field-effect transistors", Appl. Phys. Lett., vol. 104, 263507, 2014.

[52] M. Yokoyama, Y. Asakura, H. Yokoyama, M. Takenaka, and S. Takagi, "Impact of process temperature on GaSb metal-oxide-semiconductor interface properties fabricated by ex-situ process", Appl. Phys. Lett., vol. 104, 262901, 2014.

[53] S.-H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and Shinichi Takagi, "High performance tri-gate extremely thin-body InAs-on-insulator MOSFETs with high short channel effect immunity and Vth tunability," IEEE Trans. Electron Devices, vol. 61, no. 5, pp. 1354-1360, 2014.

[54] Y. Kim, M. Takenaka, T. Osada, M. Hata, and S. Takagi, "Fabrication and evaluation of propagation loss of Si/SiGe/Si photonic-wire waveguides for Si based optical modulator ", Thin Solid Films, Vol. 557, pp. 342-345, 2014.

[55] M. Kim, Y. Kim, M. Yokoyama, R. Nakane, S.-H. Kim, M. Takenaka, and S. Takagi, "Tunnel field-effect transistors with germanium/strained-silicon hetero-junctions for low power applications", Thin Solid Films, Vol. 557, pp. 298-301, 2014.

[56] Y. Kim, M. Takenaka, T. Osada, M. Hata, and S. Takagi, "Strain-induced enhancement of plasma dispersion effect and free-carrier absorption in SiGe optical modulators", Scientific Reports, vol. 4, 4683, 2014.

[57] Thi Hong Tran, Yuhei Nagao, and Hiroshi Ochi, "Algorithm and Hardware Design of A 2D Sorter-basedK-best MIMO Decoder, "EURASIP Journal on Wireless Communications and Networking.2014, 2014:93, DOI:10.1186/1687-1499-2014-93, Jun. 2014.

[58] Kazuki Hiraishi, Toshiki Wada, Keishi Kubo, Yutaro Otsu, Masayuki Ikebe, Eiichi Sano, Low-power, small-size transmitter module with metamaterial antenna,Analog Integr Circ Sig Process (2015) 83, 1-9

[59] Zhengfan Xia, Masanori Hariyama and Michitaka Kameyama, "Asynchronous Domino Logic Pipeline Design Based on Constructed Critical Data Path," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, vol.23, no.4, pp.619,630, April, 2015.

[60] Xu Bai and Michitaka Kameyama, "Multiple-Valued Fine-Grain Reconfigurable VLSI Using a Global Tree Local X-Net Network", IEICE Transactions on Information & Systems, Vol.E97-D, No.9, pp.2278-2285 (2014).

[61] Xu Bai and Michitaka Kameyama, "Implementation of Voltage-Mode/Current-Mode Hybrid Circuits for a Low-Power Fine-Grain Reconfigurable VLSI",

IEICE Transactions on Electronics, Vol.E97-C, No.10, pp.1028-1035(2014).

[62] Y. Nakata, Y. Kimi, S. Okumura, J. Jung, T. Sawada, T. Toshikawa, M. Nagata, H. Nakano, M. Yabuuchi, H. Fujiwara, K. Nii, H. Kawai, H. Kawaguchi and M. Yoshimoto, "A 40-nm Resilient Cache Memory for Dynamic Variation Tolerance Delivering × 91 Failure Rate Improvement under 35% Supply Voltage Fluctuation," IEICE Trans. Electron., Vol. E97-C, No. 4, pp. 332-341, Apr. 2014.

[63] Michihiro Shintani and Takashi Sato, "IDDQ Outlier Screening Through Two-Phase Approach: Clustering-Based Filtering and Estimation-Based Current-Threshold Determination," IEICE Transactions on Information and Systems, Vol.E97-D, No.8, pp.2095-2104, Aug. 2014.

[64] Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "BTIarray: a Time-Overlapping Transistor Array for Efficient Statistical Characterization of Bias Temperature Instability," IEEE Transactions on Device and Materials Reliability, Vol.14, No.3, pp.833-843, Sep. 2014.

[65] X. Yang, Y. Uchida, K. Xu, W. Wang, T. Yoshimasu, "A 0.3-V Power Supply 2.4-GHz-Band Class-C VCO IC With Amplitude Feedback Loop in 65-nm CMOS," Springer Journal, Analog Integrated Circuits and Signal Processing, Vol.80 July, 2014.

[66] T. Watanabe, Y. Urai, H. Shimada, and Y. Mizugaki, "Pulse response of mutually-coupled dc-to-SFQ converter investigated using an on-chip pulse generator," IEICE Transactions on Electronics, vol.E98-C, no.3, pp.238-241, March, 2015.

[67] Y. Mizugaki, Y. Takahashi, H. Shimada, and M. Maezawa, "9-bit superconductive single-flux-quantum digital-to-analog converter," Electronics Letters, vol.50, no.22, pp.1637-1639, October, 2014.

[68] Y. Mizugaki, Y. Sato, H. Shimada, and M. Maezawa, "Input-Output Characteristics of a 999-Stage Double-Flux-Quantum Amplifier Designed for 1000-Fold Voltage Multiplication," Japanese Journal of Applied Physics, vol.53, no.4, pp.053101-1-4, May, 2014.

[69] H. Konoura, D. Alnajjar, Y. Mitsuyama, H. Shimada, K. Kobayashi, H. Kanbara, H. Ochi, T. Imagawa, K. Wakabayashi, M. Hashimoto, T. Onoye, and H. Onodera, "Reliability-Configurable Mixed-Grained Reconfigurable Array Supporting C-Based Design and Its Irradiation Testing," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E97-A, no. 12, pp. 2518–2529, December 2014.

[70] T. Amaki, M. Hashimoto, and T. Onoye, "A Process and Temperature Tolerant Oscillator-Based True Random Number Generator," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E97-A, no. 12, pp. 2393–2399, December 2014.

[71] R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "SET Pulse-Width Measurement Suppressing Pulse-Width Modulation and Within-Die Process Variation Effects," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E97-A, no. 7, pp. 1461–1467, July 2014.

[72] H. Konoura, T. Kameda, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "NBTI Mitigation Method by Inputting Random Scan-In Vectors in Standby Time," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E97-A, no. 7, pp. 1483–1491, July 2014.

[73] I. Jo, J. Bae, T. Matsuoka, and T. Ebinuma, "RF front-end architecture for a triple-band CMOS GPS receiver," Microelectronics Journal, vol. 46, no. 1, pp. 27-35, Jan. 2015.

[74] S. Radhapuram, J. Bae, I. Jo, T. Kihara, and T. Matsuoka, "A low-power CMOS programmable frequency divider with novel retiming scheme," IEICE Electronics Express, vol. 12, no. 6, p. 20141233, Mar. 2015.

[75] K. Ohhata, "1-GHz, 17.5-mW, 8-bit Subranging ADC Using Offset-Cancelling Charge-Steering Amplifier," IEICE Transactions on Electronics, Vol. E97-C, No. 4, pp.289-297, Apr. 2014

[76] K. Ohhata, W. Yoshimura, D. Tabira, F. Shimozono, M. Iwamoto, "A 1-GHz, 7-mW, 8-Bit Subranging ADC without Resistor Ladder Using Built-In Threshold Calibration," Scientific Research, Circuits and Systems, Vol.5, No.4, pp.76-88, Apr. 2014

[77] W. Yoshimura, K. Ohhata, "Automatic Technique of Distortion Compensation in Resistor Ladder for High-Speed and Low-Power ADC," IEICE Electronics Express, Vol.11, No.11, pp.1-7, June 2014

[78] 升井，石川，上田，谷岡，"CMOS 演算増幅器における熱雑音低減手法 "，電子情報通信学会論文誌 C, Vol. J98-C,No.2,2015 年 2 月

[79] Tanvir Ahmed, Jun Yao, and Yasuhiko Nakashima, "A Two-Order Increase in Robustness of Partial Redundancy Under a Radiation Stress Test by Using SDC Prediction", IEEE Transactions on Nuclear Science, Vol.61, Issue.4, pp.1567-1574, DOI=10.1109/TNS.2014.2314691, Aug. (2014)

[80] Yukihiro SASAGAWA, Jun YAO, Yasuhiko NAKASHIMA, "Understanding Variations for Better Adjusting Parallel Supplemental Redundant Executions to Tolerate Timing Faults", IEICE Trans., Vol.J97-D, No.12, pp.3083-3091, Dec. (2014)

[81] Jun YAO, Yasuhiko NAKASHIMA, Naveen DEVISETTI, Kazuhiro YOSHIMURA, Takashi NAKADA, "A Tightly Coupled General Purpose

Reconfigurable Accelerator LAPP and Its Power States for HotSpot-Based Energy Reduction", IEICE Trans., Vol.E97-D, No.12, pp.3092-3100, Dec. (2014)

[82] Jun Yao, Yasuhiko Nakashima, Mitsutoshi Saito, Yohei Hazama, Ryosuke Yamanaka, "A Flexible, Self-Tuning, Fault-Tolerant Functional Unit Array Processor", IEEE Micro, pp.54-63, Issue 6, Nov.-Dec. (2014)

[83] Jun Yao, Mitsutoshi Saito, Shogo Okada, Kazutoshi Kobayashi, and Yasuhiko Nakashima, "EReLA: a Low-Power Reliable Coarse-Grained Reconfigurable Architecture Processor and Its Irradiation Tests", IEEE Transactions on Nuclear Science, Vol.61, No.6, pp.3250-3257, DOI=10.1109/TNS.2014.2367541, Dec. (2014)

[84] T. Matsuda, H. Hanai, T. Tohjo, H. Iwata, D. Kondo, T. Hatakeyama, M. Ishizuka, and T. Ohzone "Temperature Distribution Analysis of CMOS LSI With On-Chip Sensing Device Arrays," IEEE Transactions on Semiconductor Manufacturing, vol. 27, no.2, pp. 151-158, 2014.

[85] A.Suda, H.Takase, K.Takagi, N.Takagi, "Nested Loop Parallelization Using Polyhedral Optimization in High-Level Synthesis," IEICE Trans. Fundamentals, Vol.E97-A, No.12, pp.2498-2506, Dec. 2014.

[86] 深山正幸, 松田吉雄, "VGA 91 fps 画像認識用アフィン動き分割プロセッサ, "電子情報通信学会和文論文誌 D, Vol.J97-D No.6, pp.1122-1132, (2014.6).

[87] 林, 鈴木, 渡辺, 山内, 田口, 増田, 足立, "Time Analog to Digital Converter の線形性向上法 ", 電気学会論文誌 C, Vol. 135, No. 1, pp.35-36, 2015 年 1 月.

[88] M. Tanaka, M. Kozaka, Y. Kita, A. Fujimaki, S. Nagasawa, and M. Hidaka, "Rapid Single-Flux-Quantum Circuits Fabricated Using 20-kA/cm2 Nb/AlOx/Nb Process," IEEE Trans. Appl. Supercond., vol. 25, art. 1100304, 2015.

[89] Shunsuke Shimazaki, Shota Taga, Tetsuya Makita, Naoya Azuma, Noriyuki Miura, Makoto Nagata, "Emulation of high-frequency substrate noise generation in CMOS digital circuits," Japanese Journal of Applied Physics, Vol. 53, No. 4S, pp. 04EE06-1-04EE06-6, Apr. 2014.

[90] Daisuke Fujimoto, Noriyuki Miura, Makoto Nagata, Yuichi Hayashi, Naofumi Homma, Takafumi Aoki, Yohei Hori, Toshihiro Katashita, Kazuo Sakiyama, Thanh-Ha Le, Julien Bringer, Pirouz Bazargan-Sabet, Jean-Luc Danger, "Power Noise Measurements of Cryptographic VLSI Circuits Regarding Side-Channel Information Leakage," IEICE Transactions on Electronics, Vol. E97-C, No. 4, pp. 272-279, Apr. 2014.

[91] 糸井優大, 木村晋二, "最大フロー最小カット定理に基づく不揮発状態保存回路の低電力化, "電子情報通信学会論文誌, Vol. J97-A, No. 10, pp.648-656, Oct. 2014.

[92] Jiayi Zhu, Dajiang Zhou, Shinji Kimura, and Satoshi Goto, "Fast SAO estimation algorithm and its implementation for 8Kx4K@120fps HEVC encoding," IEICE Trans. on Fundamentals, Vol. E97-A, No. 12, pp.2488-2497, Dec. 2014.

[93] S. Miyajima, T. Okamoto, H. Matsumoto, H. T. Huy, M. Hayashi, M. Maezawa, M. Hidaka, T. Ishida, "Vector Pickup System Customized for Scanning SQUID Microscopy," IEEE. Trans. Appl. Supercond., Vol. 25, No. 3, Art. No. 1600704

[94] Y. Narukami, S. Miyajima, A. Fujimaki, M. Hidaka, T. Ishida, "20 ps Pulsed Laser Irradiation to Current-Biased Kinetic Inductance Detector Made of Nb Nanowires," IEEE. Trans. Appl. Supercond., Vol. 25, No. 3, Art. No. 2400904

[95] S. Miyajima, Y. Narukami, H. Shishido, N. Yoshioka, A. Fujimaki, M. Hidaka, K. Oikawa, M. Harada, T. Oku, M. Arai, T. Ishida, "Time-Dependent Flux from Pulsed Neutrons Revealed by Superconducting Nb Current-Biased Kinetic Inductance Detector with 10B Converter Operated at 4 K," JPS Conf. Proc., accepted

[96] Y. Narukami, S. Miyajima, H. Shishido, A. Fujimaki, M. Hidaka, K. Oikawa, M. Harada, T. Oku, M. Arai, T. Ishida, "Signal from a Single Neutron by using Current-Biased Kinetic Inductance Detector made of Superconducting Nb Nanowire," JPS Conf. Proc., accepted

[97] Tsubaki, Hirose, Osaki, Shiga, Kuroki, Numa, "A Fully On-Chip, 6.66-kHz, 320-nA, 56ppm/ ℃, CMOS Relaxation Oscillator with PVT Variation Compensation Circuit", IEICE Transactions on Electronics, vol. E97-C, no. 6, pp. 512-518, 2014.

[98] Shizuku, Hirose, Kuroki, Numa, Okada, "Energy-Efficient AES SubBytes Transformation Circuit Using Asynchronous Circuits for Ultra-Low Voltage Operation", IEICE Electronics Express, vol. 12, no. 4, pp. 1-10, 2015.

[99] Shingo Yoshizawa, Mai Nozaki, Hiroshi Tanimoto, "VLSI Implementation of an Interference Canceller Using Dual-Frame Processing for OFDM-IDMA Systems," IEICE Transactions on Fundamentals, Vol. E98-A, No.3, pp.811-819, Mar. 2015.

[100] 杉本俊貴, 谷本洋, 吉澤真吾, "確率的フラッシュ AD 変換器に必要なコンパレータ数の見積もり手法, "電気学会論文誌 C, Vol. 135, No.1, pp.18-25, Jan. 2015.

[101] 浅井, 旭, 汐崎, 藤野, 吉川, "暗号ハードウェア実装回路のサイドチャネル攻撃対策評価 ", 電気学会論文誌, 134(12) , pp.1767-1774, 2014

[102] K. Matsuzaka, H. Tanaka, S. Ohkubo, and T. Morie, VLSI Implementation of a Coupled MRF Model Using Pulse-coupled Phase Oscillators, Electronics Letters, Vol. 51, Issue 1, pp 46-48, 2015.

[103] Y. Kim and T. Morie, A PWM-mode Pixel-parallel

Image Processing Circuit Performing Directional State-propagation and Its Application to Subjective Contour Generation, Circuits, Systems & Signal Processing, Vol. 34, Issue 2, pp. 605-623, 2015.

[104] Hironari Takehara, Kazuya Miyazawa, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Soo Hyeon Kim, Ryota Iino, Hiroyuki Noji, Jun Ohta, "A CMOS image sensor with stacked photodiodes for lensless observation system of digital enzyme-linked immunosorbent assay," Japanese Journal of Applied Physics (Jpn. J. Appl. Phys.) 53(4S), pp.04EL02-1-04EL02-5, 2014.

[105] Makito Haruta, Chikara Kitsumoto, Yoshinori Sunaga, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "An implantable CMOS device for blood-flow imaging under freely moving experiments of rats," Japanese Journal of Applied Physics (Jpn. J. Appl. Phys.) 53(4S), pp.04EL05, 2014.

[106] Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yasuo Terasawa, Hiroyuki Tashiro, Hiroyuki Kanda, Takashi Fujikado, Jun Ohta, "Performance improvement and functionalization of an electrode array for retinal prosthesis by iridium oxide coating and introduction of smart-wiring technology using CMOS microchips," Sensors and Actuators A, Physical 211pp.27-37, 2014.

[107] Takashi Tokuda, Kiyotaka Sasagawa, Norimitsu Wakama, Toshihiko Noda, Kiyomi Kakiuchi, and Jun Ohta, "Demonstrations of polarization imaging capability and novel functionality of polarization-analyzing CMOS image sensor with 65 nm standard CMOS process," ITE Transactions on Media Technology and Applications 2(2), pp.131-138, 2014.

[108] Hajime Hayami, Yoshiaki Ishii, Kiyotaka Sasagawa, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Digital signal transmission from fully implantable CMOS image sensor in simulated body environment," Electronics Letters 50(12), pp.851-853, 2014.

[109] Takashi Tokuda, Norimitsu Wakama, Kimitada Terao, Keita Masuda, Ryota Mori, Toshihiko Noda, Kiyotaka Sasagawa, Yasuhiro Nishiyama, Kiyomi Kakiuchi, Jun Ohta, "CMOS sensor-based palm-sized in-line optical analysis device for microchemistry systems," Electronics Letters 2014 50(17), pp.1222 - 1224, 2014.

[110] Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Hiroyuki Kanda, Yasuo Terasawa, Hiroyuki Tashiro, Takashi Fujikado, Jun Ohta, "Fabrication of Fork-Shaped Retinal Stimulator Integrated with CMOS Microchips for Extension of Viewing Angle," Sensors and Materials 26(8), pp.637-648, 2014.

[111] Takashi Tokuda, Masayuki Takahashi, Kazuhiro Uejima, Keita Masuda, Toshikazu Kawamura, Yasumi Ohta, Mayumi Motoyama, Toshihiko Noda, Kiyotaka Sasagawa, Teru Okitsu, Shoji Takeuchi, Jun Ohta, "CMOS image sensor-based implantable glucose sensor using glucose-responsive fluorescent hydrogel," Biomedical Optics Express 5(11), pp.3859-3870, 2014.

[112] Minjie Chen, Xutao Li, Hao Zhang, Tsutomu Yoshihara,"A Novel Soft-Switching Modular Inverter for Photovoltaic PCU with High Efficiency and Reduced Size" IEEJ,Transaction on Electronics, Information and Systems, Vol.134,No.11, pp.1647,1655,2014 年 11 月

[113] Manami Kubo, Junki Taniguchi, Masashi Kato "Howling Reduction by Analog Phase-Locked Loop and Active Noise Control Circuits" Applied Acoustics 87C (2015) pp. 174-182.

[114] Y. Takahashi, N. A. Nayan, T. Sekine, and M. Yokoyama, "Low power adiabatic 9T static random access memory," IET J. Engineering, 6 pages, June 2014.

[115] T. Orita, K. Shimazoe, H. Takahashi, The dynamic time-over-threshold method for multi-channel APD based gamma-ray detectors, Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, Volume 775, 1 March 2015, Pages 154-161

[116] K. Shimazoe, H. Takahashi, K. Kamada, A. Yoshikawa, K. Kumagai, J. Kataoka, S. Itoh, H. Sato, Y. Usuki, Development of a prototype of time-over-threshold based small animal PET scanner, Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, Volume 753, 21 July 2014, Pages 84-90

[117] Sho Ikeda, Sang_yeop Lee, Tatsuya Kamimura, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A Sub-1mW Class-C-VCO-Based Low Voltage PLL with Ultra-Low-Power Digitally-Calibrated ILFD in 65 nm CMOS," IEICE TRANSACTIONS on Electronics, Vol. E97-C, No.6, pp.495-504, Jun. 2014.

[118] Katsuyuki Machida, Toshifumi Konishi, Daisuke Yamane, Hiroshi Toshiyoshi, and Kazuya Masu, "Integrated CMOS-MEMS Technology and Its Applications," ECS Transactions, vol. 61, issue 6, May 2014, pp. 21-39. DOI:10.1149/06106.0021ecst

[119] Sang yeop Lee, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A Novel Direct Injection-Locked QPSK Modulator Based on Ring VCO in 180 nm CMOS," IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, Vol.24, No.4, pp.269-271, Apr. 2014. (DOI: 10.1109/LMWC.2014.2299534)

[120] 安田，中野，"神経信号取得用多チャンネル低雑音低消費電力増幅器の周波数特性ばらつき補償"，電気学会論文誌 C(電子・情報・システム部門誌)，Vol.135,No1,pp.2-11,2015 年

[121] Takahiro_Kondo, Hiromasa Yamamoto, Satoko

Hoketsu, Hitoshi Imi, Hitoshi Okamura, Kazuyuki Nakamura, "A Ratioless Full-complementary 12-transistor SRAM for Ultra Low Supply Voltage Operation", Japanese Journal of Applied Physics, to be issued in Vol.54 No.4S2, April 2015

[122] S. Tanoi and T. Endoh, "A High Output Resistance 1.2-V VDD Current Mirror with Deep Submicron Vertical MOSFETs", IEICE Trans. electron.,Vol.E97-C,No.5 pp.423-430, May 2014.

[123] S. Tanoi and T. Endoh, "High-frequency level-up shifter based on 0.18 μm vertical metal-oxide-semiconductor field-effect transistors with 70% reduction of overshoot voltage above power supply voltage", Japanese Journal of Applied Physics, Vol 54, No. 4S, 04DE03, March 2015.

[124] J. Pan, Y. Kakutani, T. Nakayama, M. Mori, K. Maezawa, "Resonant Tunneling Super Regenerative Detectors Detecting Higher Frequency Signals than Their Free-Running Oscillation Frequency,"IEICE TRANS. ELECTRON., Vol.E98-C, No.3, pp. 260-266 (2015)

[125] 鈴木良輝，水谷　豊，杉浦貴光，坂井尚貴，大平孝，"電化道路をタイヤ集電で走行する電気自動車の1/32スケールモデル試作実験，"電学論D, vol.134, no.7, pp.675-682, July 2014.

[126] K. Yasutomi, T. Usui, S-M. Han, T. Takasawa, K. Kagawa, S. Kawahito, "An indirect time-of-flight measurement technique with impulse photocurrent response for sub-millimeter range resolved imaging," OPTICS EXPRESS, Vol.22, No.16, pp. 18904-18913, August. 2014

[127] H. Lv, S. Sato, Y. Omura and A. Mallik, "An Analytical Modeling for Asymmetric Double Gate Tunnel FET", ECS Transaction, in print

[128] K. Sano, Y. Yamanashi, N. Yoshikawa, "Design and Demonstration of a Single-Flux-Quantum Multi-Stop Time-to-Digital Converter for Time-of-Flight Mass Spectrometry," IEICE Trans. Electron., vol. E97-C, 2014, pp. 182-187.

[129] X. Peng, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, N. Takagi, K. Takagi, M. Hidaka, "Design and High-Speed Demonstration of Single-Flux-Quantum Bit-Serial Floating-Point Multipliers Using a 10kA/cm2 Nb Process," IEICE Trans. Electron., vol. E97-C, 2014, pp. 188-193.

[130] K. Sano, Y. Muramatsu, Y. Yamanashi, N. Yoshikawa, N. Zen, M. Ohkubo, "Reduction of the Jitter of Single-Flux-Quantum Time-to-Digital Converters for Time-of-Flight Mass Spectrometry," Physica C, vol. 504, 2014, pp. 97-101.

[131] N. Takeuchi, T. Ortlepp, Y. Yamanashi, N. Yoshikawa, "Novel latch for adiabatic quantum-flux-parametron logic," Journal of Appl. Physics, vol. 115, 2014, 103910.

[132] N. Takeuchi, T. Ortlepp, Y. Yamanashi, N. Yoshikawa, "(Invited) High-speed Experimental Demonstration of Adiabatic Quantum-Flux-Latches," IEEE Trans. Appl. Supercond., vol. 24, 2014,1300204.

[133] N. Takeuchi, Y. Yamanashi, N. Yoshikawa, "Reversible logic gate using adiabatic superconducting devices," Scientific Reports 4, 6354 (2014).

[134] R. Zhang, M. Kaneko, and T. Shibata, "An analog VLSI implementation of one-class support vector machine for multiclass classification of highly dimensional vectors," Jpn. J. Appl. Phys., vol. 53, no. 4. pp. 04EE03. (2014)

[135] R. Zhang, and M. Kaneko, "Robust and Low-Power Digitally-Programmable-Delay-Element Designs Employing Neuron-MOS Mechanism", ACM Tran. Des. Autom. Electron. Syst. (TODAES), to appear, 2015.

[136] M. Amagasaki, Q. Zhao, M. Iida, M. Kuga and T. Sueyoshi, "Fault-tolerant FPGA: Architectures and design for Programmable Logic Intellectual Property Core in SoC", IEICE Transactions, Vol.E98-D, No.2, pp. 252-261, Feb. 2015

[137] S. Kubota, A. Toya, T. Sugitani, T. Kikkawa, 5-Gb/s and 10-GHz Center-frequency Gaussian monocycle pulse transmission using 65-nm logic CMOS with on-chip dipole antenna and high-k interposer," IEEE Trans. Comp. Package and Manufact. Technol., vol. 4, 2014, pp.1193-1200.

[138] T. Sugitani, S. Kubota, A. Toya, X. Xiao, T. Kikkawa,"Three-dimensional confocal imaging for breast cancer detection using CMOS Gaussian monocycle pulse transmitter and 4 × 4 ultra wideband antenna array with impedance matching layer," Japanese Journal of Applied Physics 53 (2014) 04EL03

[139] Toru Okazaki, Daisuke Kanemoto, Ramesh Pkharel, Keiji Yoshida, Haruichi Kanaya: "A Design Methodology for SAR ADC Optimal Redundancy Bit," IEICE Electron. Express Vol.11,No.10,pp.1-6 (2014)

[140] K. Itoh and T. Endoh, "A Novel Alternating Voltage Controlled Current Sensing Method for Suppressing Thermal Dependency," IEICE Trans. electron., Vol. E97-C, No.05, pp.431-437, May 2014.

[141] Takuya Imamoto, Yitao Ma, Masakazu Muraguchi, and Tetsuo Endoh, "Low-Frequency Noise Reduction in Vertical MOSFETs Having Tunable Threshold Voltage Fabricated with 60 nm CMOS Technology on 300 mm Wafer Process", Japanese Journal of Applied Physics, vol. 54, no. 4S, pp. 04DC11-1-04DC11-7, March 2015.

[142] S. Tanoi and T. Endoh, "A High Output Resistance 1.2-V VDD Current Mirror with Deep Submicron Vertical MOSFETs", IEICE Trans. electron.,Vol.E97-C,No.5 pp.423-430, May 2014.

[143] 苅谷隆，田野井聡，森田治彦，加藤忍，遠藤哲郎，「ス

ピントロニクス不揮発性ロジックのパワーゲーティング時における電源ノイズ評価とパッケージへのチップキャパシタ搭載効果の検討」，電子情報通信学会論文誌 C， Vol. J98-C, No.1,pp.8-17, January 2015.

[144] S. Tanoi and T. Endoh, "High-frequency level-up shifter based on 0.18 μm vertical metal?oxide?semiconductor field-effect transistors with 70% reduction of overshoot voltage above power supply voltage", Japanese Journal of Applied Physics, Vol 54, No. 4S, 04DE03, March 2015.

[145] Takayuki Okazawa, Ippei Akita, Makoto Ishida, "A digitally calibrated dynamic comparator using time-domein offset detection, "Analog Integr. Circuits Signal Process.（AICSP）, vol. 81, no. 3, pp. 561-570, Dec. 2014.

[146] Ippei Akita, Makoto Ishida, "A chopper-stabilized instrumentation amplifier using area-efficient self-trimming technique, "Analog Integr. Circuits Signal Process.（AICSP）, vol. 81, no. 3, pp. 571-582, Dec. 2014.

[147] Mai Izawa, Nobuaki Ozaki, Yusuke Koizumi, Rie Uno, Hideharu Amano, "A Co-Processor Design for an Energy Efficient Reconfigurable Accelerator CMA", International Journal of Networking and Computing, Vol.4, No.2, 2014.

[148] Takahiro Kagami, Hiroki Matsutani, Michihiro Koibuchi, Yasuhiro Take, Tadahiro Kuroda, Hideharu Amano, "Efficient 3-D Bus Architectures for Inductive-Coupling ThruChip Interfaces", IEEE Transactions on Very Large Scale Integration Systems（TVLSI）, Vol. x, No.x, pp.xx-xx, 2015.（to appear）

[149] Takayuki AKAMINE, Mohamad Sofian ABU TALIP, Yasunori OSANA, Naoyuki FUJITA, Hideharu AMANO, Reconfigurable Out-of-Order System for Fluid Dynamics Computation Using Unstructured Mesh, IEICE TRANSACTIONS on Information and Systems Vol.E97-D No.5 pp.1225-1234

[150] 内田建，＂シリコンナノ構造デバイスのキャリア輸送特性と熱配慮設計，＂応用物理，vol. 83, no. 4, pp262-267, April, 2014.

[151] 川村，松本，＂センサ用低電圧 CMOS インバータ型差動増幅回路の設計と評価＂，電気学会論文誌 E 134 巻 8 号，pp.276-277，2014 年 8 月.

[152] Qiang Li, Jing Wang, Dan Niu & Yasuaki Inoue "A Two-stage CMOS Integrated Highly Efficient Rectifier for Vibration Energy Harvesting Applications"

[153] Roni Khazaka and Yasuaki Inoue. Introduction to the special issue on"High performance analog circuits and design methodologies"

[154] Xiao Wu, Zhou Jin, Dan Niu, Yasuaki Inoue, "A PTA method using numerical intergration algorithms with artifical damping for solving nolinear analog circuits"

[155] Qiang Li, Jing Wang, Li Ding, Yasuaki Inoue, "A wide input range, highly efficiency rectifier for low power energy harvesting system"

[156] Seung-Min Jung, Tomoko Mizutani, and Toshiro Hiramoto, "Effect of drain-induced barrier lowering on performance of ultralow-supply-voltage CMOS circuits operating in subthreshold region", Japanese Journal of Applied Physics, Vol. 53, No. 12, 124301, December, 2014

[157] 上田晃頌，鄭承旻，水谷朋子，Anil Kumar，更屋拓哉，平本俊郎，「しきい値電圧自己調整 MOSFET と SRAM セルの超低電圧（0.1V）動作」，応用物理学会シリコンテクノロジー分科会第 175 回研究集会，機械振興会館（東京），p. 11，2014 年 8 月 8 日

[158] Koji Kotani, Takumi Bando, and Yuki Sasaki, "A Photovoltaic-Assisted CMOS Rectifier for Synergistic Energy Harvesting from Ambient Radio Waves," IEICE Transactions on Electronics, Vol.E97-C, No.4, pp.245-252, Apr. 2014.

[159] Koji Kotani, "Efficiency Improvement in Photovoltaic-Assisted CMOS Rectifier with Symmetric and Voltage-Boost PV-Cells," IEICE Transactions on Fundamentals, Vol.E98-A, No.2, pp.500-507, Feb. 2015.

[160] Koji Kotani, "Improvement of power conversion efficiency in photovoltaic-assisted UHF rectifiers by non-silicide technique applied to photovoltaic cells," Jpn. J. Appl. Phys. 54 04DE02, 2015

[161] Toru Shimada (Hirosaki Univ.), Kohei Imura (Waseda Univ., PRESTO), Hiromi Okamoto (IMS), Masahiro Kitajima (NDA),"Spatial distribution of enhanced optical fields in one-dimensional linear arrays of gold nanoparticles studied by scanning near-field microscopy", Phys. Chem. Chem. Phys.,15 (2013), 4265-4269.

[162] Keigo Otsuka (Univ of Tokyo), Taiki Inoue (Univ of Tokyo), Shohei Chiashi (Univ of Tokyo), Shigeo Maruyama (Univ of Tokyo),"Selective removal of metallic single-walled carbon nanotubes in full length by organic film-assisted electrical breakdown", Nanoscale, Vol 6 (2014), pp 8831-8835

[163] Pei Zhao (Zhejiang Univ), Sungjin Kim (Univ of Tokyo), Xiao Chen (Univ of Tokyo), Erik Einarsson (Univ at Buffalo), Miao Wang (Zhejiang Univ), Yenan Song (Zhejiang Univ), Hongtao Wang (Zhejiang Univ), Shohei Chiashi (Univ of Tokyo), Rong Xiang (Univ of Tokyo), Shigeo Maruyama (Univ of Tokyo),"Equilibrium Chemical Vapor Deposition Growth of Bernal-Stacked Bilayer Graphene", ACS Nano, Vol 8 (2014) pp 11631-11638

[164] Y. Kim, M. Takenaka, T. Osada, M. Hata, and S. Takagi (The University of Tokyo),"Fabrication and evaluation of propagation loss of Si/SiGe/Si photonic-wire waveguides for Si based optical modulator", Thin Solid Films, Vol.557, pp.342-345, 2014

[165] Y. Kim, M. Takenaka, T. Osada, M. Hata, and S. Takagi

(The University of Tokyo),"Strain-induced enhancement of plasma dispersion effect and free-carrier absorption in SiGe optical modulators", Scientific Reports, vol.4, 4683, 2014

[166] 伊藤 浩(東京工業高等専門学校), 新國広幸(東京工業高等専門学校), "フォトリソグラフィを用いたMOEMS技術の教材開発ー第4報 ダイヤフラム作製プロセスの基礎特性の評価ー", 東京工業高等専門学校研究報告書, vol.46, no 2, 2015, pp.50-55

[167] Jiayu Wang(東京大学), Minh Do-Quang (KTH Royal Institute of Technology), James J. Cannon(東京大学), Feng Yue(東京大学), Yuji Suzuki(東京大学), Gustav Amberg (KTH Royal Institute of Technology), Junichiro Shiomi(東京大学), "Surface structure determines dynamic wetting", Scientific Reports, Vol.5 (2015) 8474

[168] Ahmed Haroun (The University of Tokyo), Ichiro Yamada (The University of Tokyo), Shin'ichi Warisawa (The University of Tokyo),"Study of Electromagnetic Vibration Energy Harvesting with Free/Impact Motion for Low Frequency Operation", Journal of Sound and Vibration, 印刷中

[169] Ahmed Haroun (The University of Tokyo), Ichiro Yamada (The University of Tokyo), Shin'ichi Warisawa (The University of Tokyo),"Micro electromagnetic vibration energy harvester based on free/impact motion for frequency-large amplitude operation", Sensors and Actuators A, 2015, 87

[170] Y.-L. Ho, L.-C. Huang, E. Lebrasseur, Y. Mita, and J.-J. Delaunay,"Independent light-trapping cavity for ultra-sensitive plasmonic sensing", Apllied Physics Letters, Vol.105, No.6, pp.061112, August, 2014

[171] Y.-L. Ho, G. Lorendel, and J.-J. Delaunay,"Plasmonic hybrid cavity-channel structure for tunable narrow-band optical absorption", IEEE Photonics Technology Letters, Vol.26, No.19, pp.1979-1982, October, 2014

[172] Y.-L. Ho, Y. Lee, and J.-J. Delaunay,"Light trapping in finite arrays of metallic U-shaped cavities for sensing with high figure of merits", IEEE Photonics Technology Letters, Vol.26, No.16, pp.1645-1648, August, 2014

[173] M. Yoshida, Y. Kumamoto, A. Ishii, A. Yokoyama, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo),"Stark effect of excitons in individual air-suspended carbon nanotubes", Appl. Phys. Lett.,105, 161104 (2014).

[174] R. Miura, S. Imamura, R. Ohta, A. Ishii, X. Liu, T. Shimada, S. Iwamoto, Y. Arakawa, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo),"Ultralow mode-volume photonic crystal nanobeam cavities for high-efficiency coupling to individual carbon nanotube emitters", Nat. Commun.,5, 5580 (2014).

[175] X. Liu, T. Shimada, R. Miura, S. Iwamoto, Y. Arakawa, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo),"Localized guided-mode and cavity-mode double resonance in photonic crystal nanocavities", Phys. Rev. Applied, 3, 014006 (2015).

[176] M. Jiang, Y. Kumamoto, A. Ishii, M. Yoshida, T. Shimada, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo),"Gate-controlled generation of optical pulse trains using individual carbon nanotubes", Nat. Commun.,6, 6335 (2015).

[177] A. Ishii, M. Yoshida, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo),"Exciton diffusion, end quenching, and exciton-exciton annihilation in individual air-suspended carbon nanotubes", Phys. Rev. B,91, 125427 (2015).

[178] Hidehiro Oana, Kaori Nishikawa, Hirotada Matsuhara, Ayumu Yamamoto, Takaharu G. Yamamoto, Tokuko Haraguchi, Yasushi Hiraokade and Masao Washizu, The University of Tokyo,"on-destructive handling of individual chromatin fibers isolated from single cells in a microfluidic device utilizing an optically driven microtool", Lab Chip, 2014,14, 696-704

[179] 長藤圭介(東京大学), "Injection compression molding of replica molds for nanoimprint lithography", Polymers,6 (2014) 604-612

[180] 長藤圭介, 高橋賢, 佐藤淑美, 崔埈豪, 濱口哲也, 中尾政之(東京大学), "Laser-assisted replication of large-area nanostructures", J. Mater. Process. Technol.,214 (2014) 2444-2449

[181] 王磊, 長藤圭介, 岩崎至貢, 濱口哲也, 中尾政之(東京大学), "Fabrication of through-hole membrane with anodic-alumina nanohole array", Microelectron. Eng.,141 (2015) 62-67

[182] 高橋賢, 長藤圭介, 濱口哲也, 中尾政之(東京大学), "High-Speed Replication of Light-Extraction Structure with Thermal roller Nanoimprinting", Microelectron. Eng., 印刷中

[183] T. Kawazoe (University of Tokyo), N. Wada (University of Tokyo), and M. Ohtsu (University of Tokyo),"Emission Spectral Control of a Silicon Light Emitting Diode Fabricated by Dressed-Photon-Phonon Assisted Annealing Using a Short Pulse Pair", Advances in Optical Technologies, Vol.2014, July 2014, Article ID 958327

[184] T. Kawazoe (University of Tokyo), and M. Ohtsu (University of Tokyo),"Bulk crystal SiC blue LED with p-n homojunction structure fabricated by dressed-photon-phonon-assisted annealing", Appl. Phys. A, Volume 115, Issue 1, April 2014, pp.127-133 (Invited Paper)

[185] Minh Anh Tran (University of Tokyo), Tadashi Kawazoe (University of Tokyo), Motoichi Ohtsu (University of Tokyo),"Fabrication of a bulk silicon p?n

homojunction-structured light-emitting diode showing visible electroluminescence at room temperature", Appl. Phys. A-Materials Science & Processing, Vol.115, Issue 1, pp.105-111 (2014)

[186] Naoki Wada (University of Tokyo), Minh Anh Tran (University of Tokyo), Tadashi Kawazoe, and Motoichi Ohtsu (University of Tokyo),"Measurement of multimode coherent phonons in nanometric spaces in a homojunction-structured silicon light emitting diode", Appl. Phys. A-Materials Science & Processing, Vol.115, Issue 1, pp.113-118 (2014)

[187] Maiku Yamaguchi (University of Tokyo), Tadashi Kawazoe (University of Tokyo), and Motoichi Ohtsu (University of Tokyo),"valuating the coupling strength of electron?hole pairs and phonons in a 0.9 μ m-wavelength silicon light emitting diode using dressed-photon?phonons", Appl. Phys. A-Materials Science & Processing, Vol.115, Issue 1, pp.113-118 (2014)

[188] Takashi Yatsui (University of Tokyo), Wataru Nomura (University of Tokyo), and Motoichi Ohtsu (University of Tokyo),"Realization of Ultraflat Plastic Film using Dressed-Photon?Phonon-Assisted Selective Etching of Nanoscale Structures", Advances in Optical Technologies, February 2015, Article ID 701802

[189] Takashi Yatsui (University of Tokyo), Daisuke Takeuchi (AIST), Satoshi Koizumi (NIMS), Kazuki Sato (AIST), Kohei Tsuzuki (Tokyo Institute of Technology), Takayuki Iwasaki (Tokyo Institute of Technology), Mutsuko Hatano (Tokyo Institute of Technology), Toshiharu Makino (AIST), Masahiko Ogura (AIST), Hiromitsu Kato (AIST), Hideyo Okushi (AIST), and Satoshi Yamasaki (AIST),"Polarization-controlled dressed-photon?phonon etching of patterned diamond structures", physica status solidi (a), Vol.211, No.10, October 2014, pp.2339-2342

[190] 酒井，榛葉，有松，小谷，神保(東京大学)，"神経細胞 - オリゴデンドロサイト共培養環境下における活動伝導評価系の構築"，電気学会論文誌，C 134, pp.1056-1063, 2014

[191] Saito A.(電中研)，Takayama Y.(産総研)，Kotani K., Jimbo Y.(東京大学)，"Induced Current-Pharmacological Split Stimulation System for Neuronal Networks", IEEE Trans. BME, 61, pp.463-472, 2014

[192] Suzurikawa, J., Nakao M., Jimbo Y., Takahashi H.(東京大学)，"A light addressable electrode with a TiO2 nanocrystalline film for localized electrical stimulation of cultured neurons", Sensor. Actuat. B-Chem.,192, pp.393-398, 2014

[193] Yuki K. Wakabayashi(東京大学)，Yoshisuke Ban(東京大学)，Shinobu Ohya(東京大学)，and Masaaki Tanaka(東京大学)，"Important role of the non-uniform Fe distribution for the ferromagnetism in group-IV based ferromagnetic semiconductor GeFe", J. Appl. Phys.,116 (2014), pp.173906/1-7

[194] Yuki K. Wakabayashi(東京大学)，Shinobu Ohya(東京大学)，Yoshisuke Ban(東京大学)，and Masaaki Tanaka(東京大学)，"Annealing-induced enhancement of ferromagnetism and nanoparticle formation in the ferromagnetic semiconductor GeFe", Phys. Rev., B90 (2014), pp.205209/1-7

[195] 石井美帆，○岩見健太郎，梅田倫弘，"Al ナノスリットアレイを用いた可視－紫外域用透過型位相子"，レーザー研究，印刷中

[196] Nashun, ○ K. Iwami, N. Umeda,"Microfabrication of a free-standing NiW alloy film as a wavelength-selectve surface", J. Computational and Theoretical Nanoscience, 印刷中

[197] Hidetoshi Takahashi, Kiyoshi Matsumoto and Isao Shimoyama (The University of Tokyo),"Differential pressure distribution measurement for the development of insect-sized wings", Measurement Science and Technology, vol.24, no.5, article no.055304, 2013

[198] Hidetoshi Takahashi, Kiyoshi Matsumoto and Isao Shimoyama (The University of Tokyo),"Differential pressure distribution measurement for the development of insect-sized wings", Measurement Science and Technology, vol.24, no.5, article no.055304, 2013

[199] Uijin G. Jung, Kenta Kuwana, Yoshiharu Ajiki, Hidetoshi Takahashi, Tetsuo Kan, Yusuke Takei, Kentaro Noda, Eiji Iwase, Kiyoshi Matsumoto and Isao Shimoyama (The University of Tokyo),"A photoresponse-compensated parallel piezoresistive cantilever for cellular force measurements", Journal of Micromechanics and Microengineering, ol. 23, no.5, article no.045015, 2013

[200] Tetsuo Kan, Hidetoshi Takahashi, Nguyen Binh-Khiem, Yuichiro Aoyama, Yusuke Takei, Kentaro Noda, Kiyoshi Matsumoto and Isao Shimoyama (The University of Tokyo),"Design of a piezoresistive triaxial force sensor probe using the sidewall doping method", Journal of Micromechanics and Microengineering, vol.23, no.3, article no.035027, 2013

[201] Minhyeok Lee, Yoshihiro Kawahara, Kenichi Morimoto and Yuji Suzuki (Univ. of Tokyo),"MEMS Wireless Temperature Sensor for Combustion Studies", J. Phys.: Conf. Ser., Vol.557, No.012077

[202] Qianyan Fu, and Yuji Suzuki (Univ. of Tokyo),"A Design Method of In-plane MEMS Electret Energy Harvester with Comb Drives", J. Phys.: Conf. Ser., Vol.557, No.012011

[203] Seonwoo Kim, Qianyan Fu, Kei Hagiwara, and Yuji Suzuki (Univ. of Tokyo),"Development of A Prepackaged MEMS Electret Energy Harvester Before Charging", J. Phys.: Conf. Ser., Vol.557, No.012063

[204] Jonathan Reeder, Martin Kaltenbrunner, Taylor Ware, David Arreaga-Salas, Adrian Avendano-

Bolivar, Tomoyuki Yokota, Yusuke Inoue, Masaki Sekino, Walter Voit, Tsuyoshi Sekitani, and Takao Someya,"Mechanically Adaptive Organic Transistors for Implantable Electronics", Advanced Materials, vol.26, pp.4967-4973, DOI:10.1002/adma.201400420

[205] Sung Won Lee, Yusuke Inoue, Dong Min Kim, Amir Reuveny, Kazunori Kuribara, Tomoyuki Yokota, Jonathan Reeder, Masaki Sekino, Tsuyoshi Sekitani, Yusuke Abe, and Takao Someya,"A Strain-Absorbing Design for Biotissue/Machine Interfaces Using Tunable Adhesive Gel", Nature Communications, vol.5, no.5898

[206] F. Kusa(農工大), S. Ashihara(東京大), "Spectral Response of Localized Surface Plasmon in Resonance with Mid-Infrared Light", J. Appl. Phys., Vol.116, No.15, 153103 (2014).

[207] 芦原聡(東京大学), 草史野(農工大), "金属ナノ構造による中赤外域の電場増強効果", レーザー研究, Vol.43, No.5 (2015).

[208] 細野美奈子(静岡県 / 工業技術研究所), 野田堅太郎(東京大学大学院情報理工学系研究科), 松本潔(東京大学 IRT 研究機構), 下山勲(東京大学大学院情報理工学系研究科, 東京大学 IRT 研究機構), "Dynamic Performance Analysis of a Micro Cantilever Embedded in Elasomer", Sensors and Actuators A, 印刷中

[209] 野田堅太郎(東京大学情報理工学系研究科), 松本潔(東京大学 IRT 研究機構), 下山勲(東京大学情報理工学系研究科), "Stretchable tri-axis force sensor using conductive liquid", Sensors and Actuators A, VOL.213, pp123-129, 2015

[210] 野田堅太郎(東京大学情報理工学系研究科), 松本潔(東京大学 IRT 研究機構), 下山勲(東京大学情報理工学系研究科), "Stretchable tri-axis force sensor using conductive liquid", Sensors and Actuators A, VOL.213, pp123-129, 2014

[211] 野田堅太郎(東京大学情報理工学系研究科), グエンビンキエム(東京大学情報理工学系研究科), 松本潔(東京大学 IRT 研究機構), 下山勲(東京大学情報理工学系研究科, 東京大学 IRT 研究機構), "Focal length measurement of a varifocal liquid lens with capacitance detection", Applied Physics B, Volume 115, Issue 1, pp 69-76, 2014

[212] Ryota Narasaki, Tomonori Matsushita and Takashi Kondo(東京大学), "Corrugation reduction in periodically inverted GaAs by molecular beam epitaxy growth using arsenic dimers", Appl. Phys. Express,8 (2015) 025601

[213] Toru Shimada (Hirosaki Univ.), Kohei Imura (Waseda Univ., PRESTO), Hiromi Okamoto (IMS), Masahiro Kitajima (NDA),"All optical Flip-Flop and Inverter Using Adjacent Lasing Wavelengths by Semiconductor Microring Laser", Jpn. J. Appl. Phys.,08MB04

2. 国際会議

[1] Kawaguchi, Horio, "Preliminary measured results from a beta-encoder integrated circuit," Porc. of NOLTA, pp. 898-901. 2014 年 9 月

[2] 岸田, 大島, 籔内, 小林, "Initial Frequency Degradation and Variation on Ring Oscillators from Plasma Induced Damage in Fully-Depleted Silicon on Insulator Process", IEEE/ACM Workshop on Variability Modeling and Characterization(2014)

[3] 松本, 小林, 小野寺, "Impact of Random Telegraph Noise on CMOS Logic Circuit Reliability", pp. 14-4, Custom Integrated Circuit Conference(2014)

[4] 岸田, 大島, 籔内, 小林, "Initial and Long-Term Frequency Degradation on Ring Oscillators from Plasma Induced Damage in 65 nm Bulk and Silicon On Thin BOX processes", pp. 52-53, International Conference on Solid State Devices and Materials (2014)

[5] 曽根崎, 古田, 小林, "Radiation Hardness Evaluations of 65 nm FD-SOI and Bulk processes by Measuring SET Pulse Widths and SEU Rates", pp. 840-841, International Conference on Solid State Devices and Materials(2014)

[6] 神田, 古田, 小林, "28 nm UTBB FD-SOI プロセスにおける冗長化によらない耐ソフトエラーフリップフロップ構造の検討 ", pp. 197-201, DA シンポジウム (2014)

[7] Sugimoto,Y. Sai,T. Watanabe,K. Abe,M. "Feedback Loop Analysis and Optimized Compensation Slope of the Current-Mode Buck DC-DC Converter in DCMope of the Current-Mode Buck DC-DC Converter in DCM"Circuits and Systems I: Regular Papers, IEEE Transactions (Volume:62,Issue:1)}, pp.311-319, Jan 2015

[8] J. Tada, R. Egawa and H. Kobayashi, "An Impact of Circuit Scale on the Performance of 3-D Stacked Arithmetic Units", IEEE International Conference on 3D System Integration (3DIC2014), 2014 年 12 月

[9] Thiem Van Chu, Shimpei Sato, and Kenji Kise, KNoCEmu: High Speed FPGA-Emulator for a Kilo-Node Scale NoC, IEEE 8th International Symposium on Embedded Multicore SoCs (MCSoC-14), pp.215-222 (University of Aizu, Aizu-Wakamatsu, Presentation 2014-09-24) (September 2014).

[10] Haruka Mori, and Kenji Kise, Design and Performance Evaluation of a Manycore Processor for Large FPGA, IEEE 8th International Symposium on Embedded Multicore SoCs (MCSoC-14), pp.207-214 (University of Aizu, Aizu-Wakamatsu, Presentation 2014-09-24) (September 2014).

[11] A. Barakat, A. Allam, H. Elsadek, H. Kanaya, H. Jia, K. Yoshitomi, R. Pokharel,"Back radiation reduc-

tion of 60 GHz CMOS slot Antenna-on-Chip (AoC) using Artificial Dielectric Layer (ADL) for Area Reuse", Proc. 2014 IEEE International Symposium on Antennas and Propagation and USNC-URSI National Radio ScienceMeeting, pp.USB_1, 2014 年 6 月.

[12] A. Barakat, A. Allam, H. Elsadek, H. Kanaya, R. K. Pokharel,"Small Size 60 GHz CMOS Antenna-on-Chip", Proc. 44th European Microwave Conference pp.104-107,2014 年 10 月.

[13] K. I. Yousef, H. Jia, R. Pokharel, A. Allam, M. Ragab, H. Kanaya,"A 0.18 CMOS Current Reuse Ultra-Wideband Low Noise Amplifier (UWB-LNA) with Minimized Group Delay Variations", Proc. 44th European Microwave Conference pp. 1392-1395,2014 年 10 月.

[14] Y. Esaki, A. Anand, S. Tanaka, M. Esashi, K. Kanaya, and R. K. Pokharel,"Design of a Tunable CMOS PA for TV White Space Application", Proc. 2014 Korea-Japan Microwave Workshop, pp.1-4,2014 年 11 月.

[15] H. Kanaya, N. Iizasa, and T. Oda,"One-Sided Directional Slot Antenna with Impedance Matching Circuit for 3D Packaging", Proc. of the 16th Electronics Packaging Technology Conference, pp.734-737,2014 年 12 月.

[16] D. Kanemoto, K. Oshiro, K. Yoshida,H. Kanaya,"A Tri-level 50MS/s 10-bit Capacitive-DAC for Bluetooth Applications", Proc. 20th Asia and South Pacific Design Automation Conference, pp.34-35, 2015 年 1 月.

[17] S. Hekal, A. Rahman, A, Allam, R, Pokharel, H, Kanaya, H, Jia,"Strong resonant coupling for short-range wireless power transfer using defected ground structures", Proc. 3rd International Japan-Egypt Conference on Electronics, Communications and Computers, pp.100-101, 2015 年 3 月.

[18] A. Iwasaki, K. Dohi, Y. Shibata, K. Oguri, R. Harasawa, "A soft-core processor for finite field arithmetic with a variable word size accelerator", Proc. FPL2014, 2014 年 9 月.

[19] K. Hamasaki, K. Dohi, Y. Shibata, K. Oguri, "FPGA Implementation of a Video Based Abnormal Action Detection System with Real-Time Cubic Higher Order Local Auto-Correlation Analysis", Proc. ARC2014, pp.191-196, 2014 年 4 月.

[20] A. Iwasaki, K. Dohi, Y. Shibata, K. Oguri, R. Harasawa, "A Configurable Finite Field Arithmetic Accelerator for Soft-cores", Proc. COOL Chips XVII, 2014 年 4 月.

[21] M. Oishi, K. Dohi, Y. Shibata, K. Oguri, "Cool FPGA Implementation of Human Detection", Proc. COOL Chips XVII, 2014 年 4 月.

[22] M. Oishi, Y. Shibata, K. Oguri, "Highly Efficient and Compact FPGA Implementation of Image-based Human Detection", Proc. ACSI2015, 2015 年 1 月.

[23] Takaki Okamoto, Tomoyuki Nakabayashi, Takahiro Sasaki and Toshio Kondo, "Detail Design and Evaluation of FabCache", Proceedings of the International Symposium on Computing and Networking, pp.591-595, 2014.

[24] Kazuhito Ito, Takumi Negishi,"Minimization of Register Area Cost for Soft-Error Correction in Low Energy DMR Design," Proc. Workshop on Synthesis and System Integration of Mixed Information Technologies, pp. 56-61, March 2015.

[25] Ken Saito, Minami Takato, Yoshifumi Sekine, and Fumio Uchikoba "MEMS Microrobot System with Locomotion Rhythm Generator Using Artificial Neural Networks" Proceedings of the 1st International Conference on Robotics and Mechatronics, Structural Analysis (ROMESA 2014) , pp. 27-32. Nov. 2014.

[26] Minami Takato, Yuka Naito, Kazuaki Maezumi, Yuki Ishihara, Yuki Okane, Hirozumi Oku, Masaki Tatani, Ken Saito, and Fumio Uchikoba, "Development of Impact-Type Rotary Actuator and Application for MEMS Microrobot by Bare Chip IC of Hardware Neuron Model," Proc. of The Twentieth International Symposium on Artificial Life and Robotics 2015 (AROB 20th 2015) , pp. 764-769, B-Con Plaza, Beppu, Oita, Japan, 2015. 1.

[27] Yuki Ishihara, Yuka Naito, Kazuaki Maezumi, Yuki Okane, Hirozumi Oku, Masaki Tatani, Minami Takato, Ken Saito and Fumio Uchikoba, "IC design of driving circuit of MEMS microrobot using pulse-type hardware neuron model," Proc. of The Twentieth International Symposium on Artificial Life and Robotics 2015 (AROB 20th 2015) , pp. 770-775, B-Con Plaza, Beppu, Oita, Japan, 2015. 1.

[28] Ken Saito, Tomohiro Hidaka, Yuki Ishihara, Minami Takato, Shinpei Yamasaki, Kazuaki Maezumi, Yuka Naito, Kei Iwata, Yuki Okane, Yohei Asano and Fumio Uchikoba, "Actuation of Artificial Muscle Wire for MEMS Microrobot Using Current Output-Type Artificial Neural Networks IC Bare Chip" Proceedings of the 14th Mechatronics Forum International Conference, Mechatronics 2014, Karlstad, Sweden, June 4-9, pp.585-588, 2014.6

[29] Ikebe M., Uchida D., Take Y., Someya M., Chikuda S., Matsuyama K., Asai T., Kuroda T., and Motomura M., "Image sensor/digital logic 3D stacked module featuring inductive coupling channels for high speed/low-noise image transfer," 2015 Symposia on VLSI Technology and Circuits, Rihga Royal Hotel, Kyoto, Japan (Jun. 15-19, 2015) .

[30] Yamamoto K., Fukuda E.S., Asai T., and Motomura M., "An accelerator for frequent Itemset mining from data stream with parallel item tree," The 19th Workshop on Synthesis And System Integration of Mixed Information Technologies, Evergreen Resort Hotel, Yilan, Taiwan (Mar. 16-17, 2015) .

[31] Itou T., Mori M., Ikebe M., Asai T., Kuroda T., and Motomura M., "A new architecture for feature extraction to perform machine learning by using motion vectors and its implementation in an FPGA," Proceedings of the 2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, pp. 294-207, Universiti Teknologi Malaysia, Kuala Lumpur, Malaysia (Feb. 27-Mar. 2, 2015).

[32] Ueyoshi K., Asai T., and Motomura M., "Scalable hardware architecture for restricted boltzmann machines," Proceedings of the 2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, pp. 369-372, Universiti Teknologi Malaysia, Kuala Lumpur, Malaysia (Feb. 27-Mar. 2, 2015).

[33] Ushida M., Ishimura K., Asai T., and Motomura M., "A reaction-diffusion algorithm for texture generation towards motion-vector estimation of textureless-objects," Proceedings of the 2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, pp. 361-364, Universiti Teknologi Malaysia, Kuala Lumpur, Malaysia (Feb. 27-Mar. 2, 2015).

[34] Fukuda E.S., Inoue H., Takenaka T., Kim D., Sadahisa T., Asai T., and Motomura M., "Achieving higher performance of memcached by caching at network interface," The 2014 International Conference on Field Programmable Technology, Parkyard Hotel, Shanghai, China (Dec. 10-12, 2014).

[35] Kim D., Hida I., Fukuda E.S., Asai T., and Motomura M., "A study of transparent on-chip instruction cache for NV microcontrollers," The 7th International Conference on Advances in Circuits, Electronics and Micro-electronics, Mercure Lisboa, Lisbon, Portugal (Nov. 16-20, 2014).

[36] Hida I., Kim D., Asai T., and Motomura M., "A 4.5 to 13 times energy-efficient embedded microprocessor with mainly-static/partially-dynamic reconfigurable array accelerator," Proceedings of Asian Solid-State Circuits Conference 2014, pp. 37-40, 85 Sky Tower Hotel, KaoHsiung, Taiwan (Nov. 10-12, 2014).

[37] Kim D., Fukuda E.S., Sadahisa T., Asai T., and Motomura M., "Hardware architecture for accelerating key-value retrieval implemented on FPGA," The 3rd Japan-Korea Joint Workshop on Complex Communication Sciences, Paradise Hotel, Busan, Korea (Oct. 27-28, 2014).

[38] Gonzalez-Carabarin L., Asai T., and Motomura M., "Dual-rail asynchronous pipeline based on stochastic resonance logic gates," Proceedings of the 2014 International Symposium on Nonlinear Theory and its Applications, pp. 85-88, Cinema of Bourbaki Panorama, Luzern, Switzerland (Sep. 14-18, 2014).

[39] Ishimura K., Komuro K., Schmid A., Asai T., and Motomura M., "Stochastic resonance in a unidirectional network of nonlinear oscillators driven by internal noise," Proceedings of the 2014 International Symposium on Nonlinear Theory and its Applications, pp. 89-92, Cinema of Bourbaki Panorama, Luzern, Switzerland (Sep. 14-18, 2014).

[40] Fukuda E.S., Inoue H., Takenaka T., Kim D., Sadahisa T., Asai T., and Motomura M., "Caching memcached at reconfigurable network interface," The 24th International Conference on Field Programmable Logic and Applications, Technische Universitä München, Munich, Germany (Sep. 2-4, 2014).

[41] H. Myoren, S. Takeda, M. Naruse, T. Taino, J. Chen, P. Wu, "SFQ Readout Circuits for Photon-Number-Resolving Superconducting Nanowire Single Photon Detectors", Applied Superconductivity Conference 2014, 3EPo2C-09, 2014 年 8 月

[42] K. Takatoku, M. Naruse, T. Taino, H. Myoren, "Performance of Digital SQUID with sub-flux quantum resolution", Superconducting SFQ VLSI Workshop SSV2014, P-16, 2014 年 12 月

[43] R. Kobayashi, M. Naruse, T. Taino, H. Myoren, "7 GHz Operation Design for Digital DROS coupled with Relaxa-tion Oscillation Circuit", Superconducting SFQ VLSI Workshop SSV2014, P-18, 2014 年 12 月

[44] N. Hirosaki, M. Naruse, T. Taino, H. Myoren, "Fabrication Process of STJ Array with Boron Neutron Absorbers for Multi-Quantum Beam Detectors", Superconducting SFQ VLSI Workshop SSV2014, P-19, 2014 年 12 月

[45] S. Takeda, M. Naruse, T. Taino, J. Chen, P. Wu, H. Myoren, "SFQ Readout Circuits for Photon-Number-Resolving SNSPDs", Superconducting SFQ VLSI Workshop SSV2014, P-21, 2014 年 12 月

[46] Takashi Kobayashi Yoshiaki Miyamoto and Takayuki Hamamoto, "Interleave-Integration-Control Image Sensor", The Seventh International Workshop on Image Media Quality and its Applications, OS1-2, pp.21-24 (2014)

[47] Takanori Moriyasu and Satoshi Ohtake, "A method of one-pass seed generation for LFSR-based deterministic/pseudo-random testing of static faults," in Proceedings of Latin American Test Symposium, March 2015. (To appear.)

[48] Shuichi Sato and Satoshi Ohtake, "A delay measurement mechanism for asynchronous circuits of bundled-data model," 14th IEEE Workshop on RTL and High Level Testing (WRTLT'14), pp.84-89, Nov. 2014.

[49] Taro Honda and Satoshi Ohtake, "A method of LFSR seed generation for delay fault BIST using constrained ATPG," 14th IEEE Workshop on RTL and High Level Testing (WRTLT'14), pp.20-25, Nov. 2014.

[50] Wenpo Zhang, Kazuteru Namba and Hideo Ito, "Area

Overhead Reduction for Small-Delay Defect Detection Using On-chip Delay Measurement, "Proc. IEEE 12th Int'l Conf. Solid-State & Integr. Circuit Technol., Oct. 2014.

[51] Imi, Murakami, "A Hall Sensor LSI System to Measure the Swelling of Glucose Responsive Gel toward Transdermal Continuous Blood Sugar Monitoring", 27th International Microprocesses and Nanotechnology Conference, 15B-3-3

[52] S. Baba and S. Sasaki, "Reduction technique for power supply noise of Analog-Digital Mixed Circuit Boards -Adjustment of Attached Resistor Methhod-", Proc. IEICE EMC'14/TIKYO,14A2-B2, pp.342-345(2014年5月)

[53] T. Sato, S. Chivapreecha and P. Moungnoul, "Design and Analysis of Crossbar Switch Circuits for Reconfigurable Wave-Pipelined Circuits," Proc. of CreTech 2014, pp. 12-15, Aug. 2014.

[54] T. Sato, S. Chivapreecha and P. Moungnoul, "Wiring Control by RTL Design for Reconfigurable Wave-Pipelined Circuits," Proc. of APSIPA ASC 2014, pp. WP1-3-1-WP1-3-6, Dec. 2014.

[55] T. Sato, S. Chivapreecha, P. Moungnoul, "A Crossbar Switch Circuit Design for Reconfigurable Wave-Pipelined Circuits," Proc. of WMSCI 2014, Vol. II, pp. 200-2005, Jul. 2014.

[56] T. Sato, S. Chivapreecha, P. Moungnoul, "Evaluation of Logic Blocks for Reconfigurable Wave-Pipelined Circuits with 45 nm CMOS Technology," Proc. of ITC-CSCC2014, pp. 464-465, Jul. 2014.

[57] T. Sato, P. Moungnoul, S. Chivapreecha and K. Higuchi, "Performance Estimates of an Embedded CPU for High-Speed Packet Processing," Proc. of ECTI-CON 2014, pp.1298.1-1298-5, May. 2014.

[58] Y. Guo, K. Seki, K. Miyamoto, T. Wagner, M. J. Sch ☒ ing and T. Yoshinobu, "Device Simulation of the Light-Addressable Potentiometric Sensor with a Novel Photoexcitation Method for a Higher Spatial Resolution", Eurosensors 2014, Brescia, Italy, 7-10 September 2014.

[59] S. Nagai, T. Kambe, G. Fujita, "Hardware Implementation of Motion Estimation Technology Using High Level Synthesis and Investigations into Techniques for Improvements," The proceeding of 19th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.386 - 390, 2015.

[60] G. Moriguchi, T. Kambe, G. Fujita, "An Improved Rate-Distortion Optimized Quantization Algorithm and Its Hardware Implementation," The proceeding of 19th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.386 - 390, 2015.

[61] Y.Sasada, J.Akita, High Speed and Low Latency Eye Direction Measurement Camera System and Saccade Prediction Algorithm, Proceedings of 2nd Asian Image Sensors and Imaging Systems Symposium, pp.31-32, 2014.12.

[62] Y. Ohno, "Carbon nanotube thin films for transparent and flexible electronics", US JSPS Alumni Association 5th Multidisciplinary Science Forum, 2014.11.07, Gainesville, USA. [Invited]

[63] Y. Ohno, "Electronic/optoelectronic device applications of carbon nanotube thin films", 5th A3 Symposium of Emerging Materials, 2014.10.19, Tianjin, China. [Invited]

[64] Y. Ohno, "Carbon nanotube thin films for transparent and flexible electronics", 1st Annual Bis-Ocean Carbon Nanotube International Workshop, 2014.09.26, Seoul, Korea. [Invited]

[65] Y. Ohno, "Carbon nanotube thin-film devices for transparent and flexible electronics", Japan-Korea Joint Symposium on Semiconductor Physics and Technology・Nano-carbon materials including graphene・2014.09.17, Sapporo, Japan, 17p-S1-6. [Invited]

[66] Y. Ohno, "Flexible electronics applications of carbon nanotube thin films", The 6th IEEE International Nanoelectronics Conference, 2014.07.28, Sapporo, Japan. [Invited]

[67] Y. Ohno, "Flexible electronics applications of carbon nanotube thin films", CARBON2014, 2014.06.30, Jeju, Korea. [Invited]

[68] Y. Ohno, "Flexible electronics applications of carbon nanotube thin films", The 41st International Symposium on Compound Semiconductor, 2014.05.11, Montpellier, France. [Invited]

[69] A.K.M. Mahfuzul Islam, Hidetoshi Onodera, "Characterization and compensation of performance variability using on-chip monitors," 2014 International Symposium on VLSI Design, Automation and Test (VLSI-DAT), pp. 19-22, April, 2014.

[70] Tatsuya Kamakari, Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera "Variation-Aware Flip-Flop Energy Optimization for Ultra Low Voltage Operation" IEEE International System-On-Chip Conference, pp.17-22, Sep., 2014.

[71] Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, "Design Methodology of Process Variation Tolerant D-Flip-Flops for Low Voltage Circuit Operation," IEEE International System-On-Chip Conference, pp. 42-47, Sep., 2014.

[72] A.K.M. Mahfuzul Islam, Jun Shiomi, Tohru Ishihara, and Hidetoshi Onodera, "Wide-Supply- Range All-Digital Leakage Variation Sensor for On-chip Process and Temperature Monitoring," IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 45-48, Nov., 2014.

[73] Norihiro Kamae, A.K.M. Mahfuzul Islam, Akira

Tsuchiya, Hidetoshi Onodera, "A Body Bias Generator with Wide Supply-Range down to Threshold Voltage for Within-Die Variability Compensation," IEEE Asian Solid State Circuit Conference (A-SSCC), Nov., 2014.

[74] Norihiro Kamae, A.K.M. Mahfuzul Islam, Akira Tsuchiya, Tohru Ishihara, Hidetoshi Onodera, "Energy Reduction by Built-in Body Biasing with Single Supply Voltage Operation," 16th International Symposium on Quality Electronic Design (ISQED), Mar., 2015.

[75] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Microarchitectural-Level Statistical Timing Models for Near-Threshold Circuit Design," 20th Asia and South Pacific Design Automation Conference (ASP-DAC 2015), 1B-3, pp.87-93, Jan., 2015.

[76] A.K.M. Mahfuzul Islam, and Hidetoshi Onodera, "Sensitivity-Independent Extraction of Vth Variation Utilizing Log-normal Delay Distribution," IEEE International Conference on Microelectronic Test Structures, Mar., 2015.

[77] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "An Energy-Efficient On-Chip Memory Structure for Variability-Aware Near-Threshold Operation," 16th International Symposium on Quality Electronic Design (ISQED), pp.23-28, Mar., 2015.

[78] Tsuyoshi Iwagaki, Tatsuya Nakaso, Ryoko Ohkubo, Hideyuki Ichihara, Tomoo Inoue, "A scheduling algorithm in datapath synthesis for long duration transient fault tolerance," Proc. 17th IEEE Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT'14), pp. 128–133, Oct. 2014.

[79] Tsuyoshi Iwagaki, Yutaro Ishimori, Tatsuya Nakaso, Hideyuki Ichihara, Tomoo Inoue, "A controller design in high-level synthesis for long duration transient fault tolerance," Digest of Papers 15th IEEE Workshop on RTL and High Level Testing (WRTLT'14), Nov. 2014.

[80] Hideyuki Ichihara, Daiki Sunamori, Shota Ishii, Tsuyoshi Iwagaki, Tomoo Inoue, "Compact and Accurate Stochastic Circuits with Shared Random Number Sources," Proc. IEEE International Conference on Computer Design, Oct. 2014.

[81] J. Kawaguchi, Y. Kohira, "Technology Mapping Method for Low Power Consumption and High Performance in General-Synchronous Framework", The 19th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2015), pp.665-670, March 2015.

[82] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "SiGe-based carrier-injection Mach-Zehnder modulator with enhanced plasma dispersion effect in strained SiGe," Optical Fiber Communication Conference (OFC2015), Tu2A.7, Los Angelas, 24 March 2015.

[83] M. Kim, Y. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka and S. Takagi, "High Ion/Ioff Ge-source ultrathin body strained-SOI tunnel FETs - Impact of channel strain, MOS interfaces and back gate on the electrical properties," International Electron Devices Meeting (IEDM'14), 13.2, San Francisco, 16 December 2014.

[84] J.-H. Han, M. Takenaka, and S. Takagi, "Comparison of Al2O3/Si1-xGex MOS interfaces grown on p-Si (100) and p-Si (110) with plasma post-nitridation," IEEE Semiconductor Interface Specialists conference (SISC2014), 13.4, San Diego, USA, 13 December 2014.

[85] C.-Y. Chang, M. Takenaka, and S. Takagi, "Improvement of electrical properties of InGaAs MOS interfaces by inserting La oxide interfacial layers into InGaAs high-k gate stacks," IEEE Semiconductor Interface Specialists conference (SISC2014), 4.5, San Diego, USA, 11 December 2014.

[86] M. Takenaka, "Strained SiGe technology for high-performance optical modulators and attenuators," 4th International Symposium on Photonics and Electronics Convergence (ISPEC2014), B-6, Tokyo, 17 November 2014.

[87] Y. Cheng, Y. Ikku, M. Takenaka, and S. Takagi, "InGaAs MSM photodetector with InAlAs and InP cap layers on III-V CMOS photonics platform for low dark current operation," 4th International Symposium on Photonics and Electronics Convergence (ISPEC2014), P20, Tokyo, 18 November 2014.

[88] Y. Ikku, M. Yokoyama, M. Takenaka, and S. Takagi, "Low-crosstalk carrier-injection Mach-Zehnder interferometer optical switches with 50- μ m-long phase shifters on III-V CMOS photonics platform," 4th International Symposium on Photonics and Electronics Convergence (ISPEC2014), P19, Tokyo, 18 November 2014.

[89] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "Low injection-current variable optical attenuator by using strained SiGe with optimized lateral PIN junction," 4th International Symposium on Photonics and Electronics Convergence (ISPEC2014), P54, Tokyo, 18 November 2014.

[90] J. Kang, X. Yu, M. Takenaka, and S. Takagi, "Ge-on-Insulator Substrate Fabrication for Ge CMOS Photonics Platform," 4th International Symposium on Photonics and Electronics Convergence (ISPEC2014), P39, Tokyo, 18 November 2014.

[91] S. Takagi and M. Takenaka, "Material challenges and opportunities in Ge/III-V channel MOSFETS," 226th ECS Meeting, Symposium P3, 1645, Cancun, Mexico, 7 October 2014 (invited).

[92] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "Record-low injection-current strained SiGe variable optical attenuator with optimized lat-

eral PIN junction," European Conference on Optical Communication (ECOC'14), Cannes, P.2.6, 24 September 2014.

[93] W.K. Kim, M. Takenka, and S. Takagi, "Properties of ultrathin body condensation GOI films thinned by additional thermal oxidation," International Conference on Solid State Devices and Materials (SSDM2014), PS-1-15, Tukuba, 10 September 2014 (Late News).

[94] Y. Ikku, and M. Takenaka, and S. Takagi, "Low-resistance lateral junction formation for laser diodes on III-V CMOS photonics platform," 24th IEEE International Semiconductor Laser Conference (ISLC 2014), MB3, Palma de Mallorca, Spain, 8 September 2014.

[95] Y. Kim, M. Takenaka and S. Takagi, "Simulation of carrier-depletion strained SiGe optical modulators with vertical p-n junction," International Conference on Group IV Photonics (GFP2014), ThP5, Paris, France, 28 August 2014.

[96] S. Takagi and M. Takenaka, "Challenges & advances of MOSFETs using high mobility material channels," International Conference on the Physics of Semiconductors (ICPS2014), Austin, USA, 12 August 2014 (invited).

[97] M. Takenaka, Y. Ikku, and S. Takagi, "III-V CMOS photonics platform for low-power and low-crosstalk photonic-wire switches and modulators," Advanced Photonics for Communications, JT5C.4, San Dieog, USA, 15 July 2014 (invited).

[98] M. Yokoyama, H. Yokoyama, M. Takenaka and S. Takagi, "III-V single structure CMOS by using ultrathin body InAs/GaSb-OI channels on Si," VLSI Symposium, 4.2, Hawaii, USA, 10 June 2014.

[99] S. H. Kim, Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y.-C. Kao, M. Takenaka and S. Takagi, "High performance InGaAs-On-Insulator MOSFETs on Si by novel direct wafer bonding technology applicable to large wafer size Si," VLSI Symposium, 4.4, Hawaii, USA, 10 June 2014.

[100] S. Takagi and M. Takenaka, "III-V/Ge CMOS device technologies for future logic LSIs," International SiGe Technology and Device Meeting (ISTDM2014), 1.1, Singapore, 2 June 2014 (plenary).

[101] Y. Cheng, Y. Ikku, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Waveguide InGaAs photodetector with Schottky barrier enhancement layer on III-V CMOS photonics platform," Indium Phosphide and Related Materials (IPRM'14), We-B1-2, Montpellier, May 2014.

[102] K. Nishi, M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Thin body GaSb-OI p-MOSFETs on Si wafers fabricated by direct wafer bonding," Indium Phosphide and Related Materials (IPRM'14), Th-D2-6, Montpellier, May 2014.

[103] M. Kim, Y. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka, and S. Takagi, "Effect of in-situ boron doping in germanium source regions on performance of germanium/strained-silicon-on-insulator tunnel field-effect transistors," MRS Spring Meeting, BB2.01, San Francisco, 22 April 2014.

[104] Toshihiro Goto, Yasunori Takagi and Shigeru Yamashita, "Evaluation of Approximate SAD Circuits with Error Compensation," Proc. of Proc. Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI), pp. 140-145, March 2014.

[105] Reina Hongyo, Thi Hong Tran, Leonardo Lanante, Hiroshi Ochi, Yuhei Nagao," Lecture:A Design of Low Complex Log Likelihood Ratio for MIMO Decoder Using the Bit Shift," 2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS),pp. 727-730, Ishigaki Island, Okinawa, Japan, Nov. 2014.

[106] Daisuke Uchida, Masayuki Ikebe, Junichi Motohisa, Eiichi Sano, A 12-bit, 5.5- μ W single-slope ADC using intermittent working TDC with multi-phase clock signals. ICECS 2014, 770-773

[107] Daisuke Uchida, Masayuki Ikebe, Junichi Motohisa, Eiichi Sano, Low Power Single-Slope ADC with Intermittent-Working Time to Digital Converter, NCSP2015

[108] Yoshiya Komatsu, Masanori Hariyama and Michitaka Kameyama, "An Asynchronous High-Performance FPGA Based on LEDR/Four-Phase-Dual-Rail Hybrid Architecture ", Proceedings of the 5th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies(HEART), pp.111-114, 2014-06-10.

[109] Shintaro Harada, Xu Bai, Michitaka Kameyama and Yoshichika Fujioka, "Design of a Logic-in-Memory Reconfigurable VLSI Based on a Bit-Serial Packet Data Transfer Scheme", IEEE 44th International Symposium on Multiple-Valued Logic, pp.214-219 (2014).

[110] K. Okuno, T. Konishi, S. Izumi, M. Yoshimoto, and H.Kawaguchi, "An 8-bit I/O-Sized ADC with Second-Order TDC and MOMCapacitor Voltage-to-Time Converter," IEEE International Conference onElectronics, Circuits, and Systems (ICECS), pp. 223-226, Dec. 2014.

[111] K. Okuno, K. Masaki, S.Izumi, T. Konishi, H. Kawaguchi andM. Yoshimoto, "A 2.23 ps RMS Jitter 3 μ s Fast Settling ADPLL usingTemperature Compensation PLL Controller," IEEE International Conferenceon Electronics, Circuits, and Systems (ICECS), pp. 68-71, Dec. 2014.

[112] Hiromitsu Awano, Masayuki Hiromoto, and Takashi

Sato, "Variability in Device Degradations: Statistical Observation of NBTI for 3996 Transistors," in Proc. of European Solid-State Device Research Conference (ESSDERC), pp.218-221, Sep. 2014.

[113] Michihiro Shintani and Takashi Sato, "Sensorless Estimation of Global Device-Parameters Based on Fmax Testing," in Proc. of ACM/IEEE International Conference on Computer-Aided Design (ICCAD), pp.498-503, Nov. 2014.

[114] Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "ECRIPSE: an Efficient Method for Calculating RTN-Induced Failure Probability of an SRAM Cell," Design, Automation & Test in Europe (DATE), pp.549-554, Mar. 2015.

[115] Tsuyoshi Okazaki, Masayuki Hiromoto, and Takashi Sato, "Accelerating Random-Walk-Based Power Grid Analysis Through Error Smoothing," in Proc. of the 19th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2015), pp.362-367, Mar. 2015.

[116] Yuta Inoue and Hideki Asai, "Accelerating the Large-Scale Simulation of Power Distribution Networks by Using the Multi-GPU LIM," in Proc. 2014 IEEE International Symposium on EMC, Raleigh, NC, Aug. 2014, pp. 861-865.

[117] Shingo Okada and Hideki Asai, "A Locally Implicit Leapforg Scheme for Fast Simulation of Triangle-Meshed PDN with Nonlinear Circuit," in Proc. EMC Europe 2014, Gothenburg, Sweden, Sep. 2014, pp. 211-216.

[118] Tadatoshi Sekine and Hideki Asai, "Locally Stabilized Explicit Method for Fast Transient Analysis of Inhomogeneously-Meshed Plane Structures," in Proc. 2014 IEEE International Symposium on EMC, Raleigh, NC, Aug. 2014, pp. 888-893.

[119] Tadatoshi Sekine and Hideki Asai, "Fast Transient Simulation of Multilayered Power Delivery Network by Using the Stabilized Explicit Method," in Proc. 2015 IEEE International Symposium on EMC&SI, Santa Clara, CA, Mar. 2015.

[120] Fumito Yamaguchi and Hiroaki Nishi, "High-throughput and Low-cost Hardware Accelerator for Privacy Preserving Publishing", The 22nd IEEE International Symposium on Field-Programmable Custom Computing Machines, pp.242, May 11-13, Boston, Massachusetts, 2014

[121] Fumito Yamaguchi, Kanae Matsui and Hiroaki Nishi, "RAM-based Hardware Accelerator for Network Data Anonymizaion", 24th International Conference on Field Programmable Logic and Applications, pp. 1-4, September 1 - 5, 2014

[122] T. Kurniawan, X. Yang, Z. Sun, X. Xu, T. Yoshimasu, "A 2.5-GHz 1-V High Efficiency CMOS Class-E Power Amplifier IC Using Back-gate Voltage Injection," in Asia Pacific Microwave Conference, 4 pages, Nov., 2014.

[123] X. Yang, T. Sugiura, N. Otani, T. Murakami, E. Otobe, T. Yoshimasu, "5-GHz Band SiGe HBT Linear Power Amplifier IC With Novel CMOS Active Bias Circuit For WLAN Applications," European Microwave Conf. 4 pages, Oct., 2014.

[124] Z. Sun, X. Xu, X. Yang, T. Shibata, T. Yoshimasu, "A 0.03mm2 Highly Balanced Balun IC For Millimeter-Wave Applications in 180-nm CMOS," IEEE International Symposium on Radio-Frequency Integration Technology, TH1A, 4 pages, August, 2014.

[125] H. Xiao, X. Yang, T. Yoshimasu, "24-80 GHz, 0.024mm2 Miniaturized Balun Using Defected Ground Structure for Si-based RF IC Applications," IEEE International Conference on Electron Devices and Solid-State Circuits, T10, 3 pages, June, 2014.

[126] K. Iiyama, T. Shimotori, R. Gyobu, T. Hishiki, T. Maruyama, "10 GHz bandwidth of Si avalanche photodiode fabricated by standard 0.18 um CMOS process", 19th OptoElectronics and Communications Conference (OECC 2014), TU4C-3, Melbourne, Australia, (July 2014).

[127] M.Wada, M.Sato, M.Namiki, A Fine Grained Power Management supported by Just-In-Time Compiler, IEEE Symposium on Low-Power and High-Speed Chips(CoolChips) XVII, No.3, April 16, 2014.

[128] Y. Takahashi, H. Shimada, M. Maezawa, and Y. Mizugaki, "Design and operation of 6-bit, 0.25-mVpp quasi-sine voltage waveform generator based on SFQ pulse-frequency modulation," Physics Procedia, vol.58, pp.220-223, 2014.

[129] Y. Mutoh, K. Sawada, T. Watanabe, Y. Urai, and Y. Mizugaki, "7-bit Single-Flux-Quantum Maximum-Length-Sequence Generator Implemented with 32-Fold Pulse Number Multiplier," Superconducting SFQ VLSI Workshop (SSV 2014), Kobe, Japan, December 1-2, 2014.

[130] K. Sawada, T. Watanabe, Y. Urai, Y. Mutoh, and Y. Mizugaki, "Splitter-Based SFQ Sequential Read Only Memory," Superconducting SFQ VLSI Workshop (SSV 2014), Kobe, Japan, December 1-2, 2014.

[131] T. Watanabe, Y. Takahashi, H. Shimada, M. Maezawa, and Y. Mizugaki, "4-bit Bipolar Triangle Voltage Waveform Generator Using Single-Flux-Quantum Circuit," 27th International Symposium on Superconductivity (ISS 2014), Funabori, Japan, November 25-27, 2014.

[132] Y. Mizugaki, Y. Takahashi, H. Shimada, and M. Maezawa, "Design and Operation of a 9-Bit Single-Flux-Quantum Pulse-Frequency Modulation Digital-to-Analog Converter," 27th International Symposium

on Superconductivity (ISS 2014), Funabori, Japan, November 25-27, 2014.

[133] S. Iizuka, Y. Higuchi, M. Hashimoto, and T. Onoye, "Area Efficient Device-Parameter Estimation Using Sensitivity-Configurable Ring Oscillator," Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 731–736, January 2015.

[134] M. Hashimoto, D. Alnajjar, H. Konoura, Y. Mitsuyama, H. Shimada, K. Kobayashi, H. Kanbara, H. Ochi, T. Imagawa, K. Wakabayashi, T. Onoye, and H. Onodera, "Reliability-Configurable Mixed-Grained Reconfigurable Array Compatible with High-Level Synthesis," Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 14--15, January 2015.

[135] T. Amaki, M. Hashimoto, and T. Onoye, "An Oscillator-Based True Random Number Generator with Process and Temperature Tolerance," Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 4–5, January 2015.

[136] M. Hashimoto, "Stochastic Verification of Run-Time Performance Adaptation with Field Delay Testing," Proceedings of Asia Pacific Conference on Circuits and Systems (APCCAS), pp. 751–754, November 2014.

[137] M. Hashimoto, "Opportunities and Verification Challenges of Run-Time Performance Adaptation (Invited)," Proceedings of Asian Test Symposium (ATS), pp. 248–253, November 2014.

[138] M. Hashimoto, "Toward Robust Subthreshold Circuit Design, Variability and Soft Error Perspective," Proceedings of SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), October 2014.

[139] R. Harada, S. Hirokawa, and M. Hashimoto, "Measurement of Alpha- and Neutron-Induced Seu and Mcu on Sotb and Bulk 0.4 V Srams," IEEE Nuclear and Space Radiation Effects Conference (NSREC), July 2014.

[140] Hirata, Nishino, Nakatake, Shimoyama, Miyagawa, Tanno, Yamada, "Layout-dependent Manufacturability Evaluation of Instrumentation Amplifier", IEEE/ACM Workshop on Variability Modeling and Characterization (VMC), No. 7, pp. 13-14, Nov. 6, 2014.

[141] Y. Dei, Y. Kishiwada, R. Yamane, T. Inoue, and T. Matsuoka, "On-chip Microparticle Manipulation with Efficient Wireless Power Transfer," International Conference on Solid State Devices and Materials, Sep. 9-11, 2014, Tsukuba, Japan, pp. 966-967.

[142] R. Yamane, H. Iwasaki, Y. Dei, J. Cui, and T. Matsuoka, "A Capacitance Detection Circuit for On-chip Microparticle Manipulation," IEEE International Meeting for Future of Electron Devices, Kansai, June 19-20, 2014, Kyoto, Japan, pp. 102-103.

[143] Isao Mori, Masanori Kubota, Eric Lebrasseur, Yoshio Mita, "Remote power feed and control of MEMS with 58 V silicon photovoltaic cell made by a CMOS post-process dry release and device isolation method", Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP 2014), 1-4 April, Cannes C\^ote d'Azur, France, pp.79-82 (2014.04.02)

[144] Agnes Tixier-Mita, Takuya Takahashi, Hiroyuki Fujita, Hiroshi Toshiyoshi (CIRMM, The Univ. of Tokyo, - Japan), Isao Mori, Yoshio Mita (The Univ. of Tokyo - Japan), Olivier Fran\ccais, Bruno Le Pioufle (SATIE/IFR, ENS de Cachan - France), "Detection of micro-beads by impedance spectroscopy", Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP 2014), 1-4 April, Cannes C\^ote d'Azur, France, pp.87-90 (2014.04.02)

[145] Yoshio Mita, Masanori Kubota, Matthieu Denoual, Eric Lebrasseur, And Tomoki Sawamura, ""MEMS de Piano" - an Experimental Course of Design, Fabrication, and Testing of MEMS Oscillator", in the Proceedings of the 10th European Workshop on Micoelectronics Education (EWME 2014), 10-14 May, Tallinn, Estonia, S05_03 (2014.5)

[146] Yoshio Mita, Eric Lebrasseur, Tomoki Sawamura, Naoko Kondo, and Kunihiro Asada, "UTokyo VDEC's CMOS-MEMS Technology via Nanotechnology Platform for Prospective Integrated Magnetic Sensor", 20th IMEKO TC4 International Symposium and 18th International Workshop on ADC Modelling and Testing Research on Electric and Electronic Measurement for the Economic Upturn Benevento, Italy, September 15-17, 2014

[147] Yoshio Mita, Masanori Kubota, Matthieu Denoual, Eric Lebrasseur, and Tomoki Sawamura, "<<MEMS de Piano>> un TP de conception, de fabrication et test de r\'esonateur MEMS (in French)", CETSIS2014, Enseignement des Technologies et des Sciences de l'Information et des Systemes, 27-29 oct. 2014 Besan\c con France (2014.10)

[148] Wenjun Xia, Yoshio Mita, Tadashi Shibata, "A Nearest Neighbor Classifier Employing Critical Boundary Vectors for Efficient On-Chip Template Reduction", IEEE Transactions on Neural Networks and Learning Systems.

[149] Moritoshi Yasunaga, Hiroki Shimada, Shohei Akita, and Ikuo Yoshihara, "Segmental Transmission Line: Its Practical Application -The Optimized PCB Trace Design Using a Genetic Algorithm-," Proc. The IEEE Symposium Series on Computational Intelligence 2014/ International Conference on Evolvable Systems 2014, pp.23-30, Orlando, Florida, U.S.A., December 2014.

[150] N. Kito, K. Takagi, and N. Takagi, "Conversion of a CMOS logic circuit design to an RSFQ design con-

sidering latching function of RSFQ logic gates," 2014 Applied Superconductivity Conference (ASC2014), 2EPo2D-06, Charlotte, USA, Aug. 2014.

[151] Yousuke Miyake, Yasuo Sato, Seiji Kajihara and Yukiya Miura, "Temperature and Voltage Estimation Using Ring-Oscillator-Based Monitor for Field Test," Proc. IEEE Asian Test Symp., pp. 156-161, 2014.

[152] Seiji Kajihara, Yousuke Miyake, Yasuo Sato and Yukiya Miura, An On-Chip Digital Environment Monitor for Field Test," Proc. IEEE Asian Test Symp., pp.254-257, 2014.

[153] Senling Wang, Toshiya Nishida, Yasuo Sato, Seiji Kajihara and Hiroshi Takahashi, "Power Evaluation of a Low Power Logic BIST Scheme using TEG Chip," Digest of IEEE Workshop on RTL and High Level Testing, pp.1-6, Hangzhou, China, Nov. 2014.

[154] Amakawa, Katayama, Takano, Yoshida, Fujishima, "On-wafer transmission line measurement above 100 GHz," Thailand-Japan Microwave, pp.1・, November 2014.

[155] Amakawa, "Theory of gain and stability of small-signal amplifiers with lossless reciprocal feedback," Asia-Pacific Microwave Conference, pp.1184・186, November 2014.

[156] Amakawa, Orii, Katayama, Takano, Motoyoshi, Yoshida, Fujishima, "Design of well-behaved low-loss millimetre-wave CMOS transmission lines," 18th IEEE Workshop on Signal and Power Integrity, pp.1-4, May 2014.

[157] Jun Yao, Yasuhiko Nakashima, Mitsutoshi Saito, Yohei Hazama, Ryosuke Yamanaka, "A Flexibly Fault-Tolerant FU Array Processor and its Self-Tuning Scheme to Locate Permanently Defective Unit", IEEE Symposium on Low-Power and High-Speed Chips 2014, Apr. (2014)

[158] Yuttakon Yuttakonkit, Jun Yao, Yasuhiko Nakashima, "A Globally Asynchronous Locally Synchronous DMR Architecture for Aggressive Low-Power Fault Toleration", IEEE Symposium on Low-Power and High-Speed Chips 2014, Apr. (2014)

[159] Jun Yao, Mitsutoshi Saito, Shogo Okada, Kazutoshi Kobayashi, and Yasuhiko Nakashima, "EReLA: a Low-Power Reliable Coarse-Grained Reconfigurable Architecture Processor and Its Irradiation Tests", " IEEE Nuclear and Space Radiation Effects Conference 2014 (poster), Jul. (2014)

[160] Hisashi Kino, Hideto Hashiguchi, Yohei Sugawara, Seiya Tanikawa, Takafumi Fukushima, Kangwook Lee, Mitsumasa Koyanagi, and Tetsu Tanaka, "Minimization of Keep-Out-Zone (KOZ) in 3D IC by Local Bending Stress Suppression with Low Temperature Curing Adhesive," 2014 Electronic Components & Technology Conference, pp. 1110-1115, 2014.

[161] T. Matsuda, K. Yamada, H. Iwata, T. Hatakeyama, M. Ishizuka and T. Ohzone, "A Test Structure for Analysis of Temperature Distribution in Stacked IC with Sensing Device Array," Proc. IEEE Int. Conf. on Microelectronic Test Structures, pp.104-108, 2014.

[162] K. Yamada, T. Matsuda, H. Iwata, T. Hatakeyama, M. Ishizuka, and T. Ohzone, "Analysis of Temperature Distribution in Stacked IC with a Thermal Simulation and a Specially Designed Test Structure," Proc. International Conference on Electronics Packaging, pp.724-727, 2014.

[163] R. Kuguminato, T. Matsuda, K. Izumi, H. Iwata, M. Mizushima, and T. Obata, "Multichannel Capacitance to Voltage Converter for Pressure Sensor Front-end," Ext. Abst. International Conference on Solid State Devices and Materials, pp.114-115, 2014.

[164] G.Tang, K.Takagi, N.Takagi, "Comparison of Bit-Slice Arithmetic Logic Units for 32-bit RSFQ Microprocessors," Superconducting SFQ VLSI Workshop (SSV2014), O-5, Dec. 2014.

[165] M.Moriya, K.Takagi, N.Takagi, "Minimum Depth Logic Circuits for Five-Variable Logic Functions Using Three-Input Majority Gates," Superconducting SFQ VLSI Workshop (SSV2014), P-3, Dec. 2014.

[166] Y.Ando, M.Tanaka, K.Takagi, N.Takagi, "Design of an 8-bit Bit-Serial SFQ Microprocessor CORE e4 with Four Registers," Superconducting SFQ VLSI Workshop (SSV2014), P-7,Dec. 2014.

[167] Akio SHIMIZU, Yohei ISHIKAWA and Sumio FUKAI, "Current Mirror with Neuron MOSFETs for Low-Voltage Applications," 1st Asian Conference on Electrical Installation & Applied Technology and 3rd Japan-Thailand Friendship International Workshop on Science, Technology & Education, pp.13-16, Aug. 2014.

[168] Shodai MORITA, Akio SHIMIZU, Yohei ISHIKAWA, Takuro NOGUCHI, Sumio FUKAI, "Reducing the area of Multi-Valued NOT with FG-MOS," 1st Asian Conference on Electrical Installation & Applied Technology and 3rd Japan-Thailand Friendship International Workshop on Science, Technology & Education, pp.33-36, Aug. 2014.

[169] Keiji Kishine, Hiroshi Inoue, Hiromi Inaba, Makoto Nakamura, Akira Tsuchiya, Hidetoshi Onodera, Hiroaki Katsurai, "A 65-nm CMOS burst-mode CDR based on a GVCO with symmetric loops", ISCAS 2014, pp. 2704-2707.

[170] Tomoki Tanaka, Keiji Kishine, HiromiInaba and Akira Tsuchiya, "25-Gb/s inductorless output buffer circuit with a pre-emphasis in 65-nm CMOS", ISOCC 2014, pp. 94-95.

[171] K. Konishi, K. Mukai, H. Noguchi, Y. Masui, H. Kozai, T. Tanaka, "Construction of an elementary education

system on semiconductor processes for power devices using TCAD" Energy Conversion (CENCON), 2014 IEEE Conference on, pp. 43-48(2014)

[172] K. Mukai, K. Konishi, H. Noguchi, Y. Masui, H. Kozai, T. Tanaka, "Construction of an elementary education system using power devices" Energy Conversion (CENCON), 2014 IEEE Conference on, pp. 31-36 (2014)

[173] Shohei Okamune, Kei Miyagi, and Makoto Iwata, "DL Timing-Error Detection and Recovery Circuit for Self-Timed Pipeline," Proceedings of the 2014 International Conference on Parallel and Distributed Processing Techniques and Applications(PDPTA'14), pp.528-533, July 2014.

[174] Norifumi Uno, Ryuichi Taguchi, and Makoto Iwata, "Spatial Parallelization of Self-Timed FFT Circuit," Proceedings of the 2014 International Conference on Parallel and Distributed Processing Techniques and Applications(PDPTA'14), pp.521-527, July 2014.

[175] M. Tanaka, Y. Hayakawa, K. Takata, A. Fujimaki, Y. Ohmomo, T. Kawaguchi, K. Takagi, and N. Takagi, "Development of Datapath for RSFQ High-Performance, Energy-Efficient Microprocessors Based on Bit-Slice Microarchitecture," 4th International Conference on Superconductivity and Magnetism (ISCM 2014), Antalya, Turkey, April 2014.

[176] M. Tanaka, M. Kozaka, Y. Kita, A. Fujimaki, S. Nagasawa, and M. Hidaka, "Low-Voltage Rapid Single-Flux-Quantum Circuits Fabricated Using 20-kA/cm2 Nb/AlOx/Nb Process," Applied Superconductivity Conference (ASC 2014), Charlotte, USA, August 2014.

[177] M. Tanaka, Y. Hayakawa, K. Takata, and A. Fujimaki, "35-GHz Demonstration of Energy-Efficient Microprocessor Based on Low-Voltage RSFQ Circuit," Applied Superconductivity Conference (ASC 2014), Charlotte, USA, August 2014.

[178] A. Fujimaki, Y. Kita, K. Ito, M. Kozaka, M. Tanaka, M. Hidaka, and T. Ishida, "Monolithic Integrated Circuits Composed of 1000 Neutron Detectors and Rapid Single Flux Quantum Readout Circuits," Applied Superconductivity Conference (ASC 2014), Charlotte, USA, August 2014.

[179] S. Kurokawa, A. Tsune, K. Ishikawa, S. Taniguchi, H. Ito, M. Tanaka, H. Akaike, and A. Fujimaki, "Low-Excitation-Current Operation of Quantum-Flux-Parametron Circuit Using Magnetic Flux Biasing," 17th International Symposium on Superconductivity (ISS 2014), Tokyo, Japan, November 2014.

[180] M. Tanaka, K. Takata, R. Satoh, A. Fujimaki, T. Kawaguchi, Y. Ando, K. Takagi, N. Takagi, N. Yoshikawa, "Design of RSFQ Microprocessors Integrated with RAMs Based on Bit-Serial Processing," 7th Superconducting SFQ VLSI Workshop (SSV 2014), Kobe, Japan, December 2014.

[181] Y. Kita, M. Kouzaka, K. Kamiya, M. Hidaka, T. Ishida, A. Bozbey, and A. Fujimaki, "Design and Optical Response of Monolithic ICs Composed of Superconducting Detectors and Readout Circuits," 7th Superconducting SFQ VLSI Workshop (SSV 2014), Kobe, Japan, December 2014.

[182] Y. Komura, M. Tanaka, A. Fujimaki, N. Yoshikawa, and S. Nagasawa, "Development of Vortex Transition Memory Cells for a Josephson RAM," 7th Superconducting SFQ VLSI Workshop (SSV 2014), Kobe, Japan, December 2014.

[183] K. Takata, M. Tanaka, A. Fujimaki, G. Tang, K. Takagi, and N. Takagi, "Demonstration of 4-Bit-Parallel Bit-Slice ALU," 7th Superconducting SFQ VLSI Workshop (SSV 2014), Kobe, Japan, December 2014.

[184] R. Sato, K. Takata, M. Tanaka, A. Fujimaki, K. Takagi, and N. Takagi, "Design and Implementation of Bit-Serial SFQ Microprocessor CORE e3," 7th Superconducting SFQ VLSI Workshop (SSV 2014), Kobe, Japan, December 2014.

[185] T. Noda, W. Someya, Y. Iikura, Y. Umeda, Y. Kozawa, "Bi-level Quadrature-modulation Low-pass EPWM transmitter Using Half Side of Tri-level Δ Σ Modulator", Proc. of RWW 2015, San Diego, CA, USA, Jan.2015.

[186] Taisuke Hayashi, Noriyuki Miura, Kumpei Yoshikawa, Makoto Nagata, "A Passive Supply-Resonance Suppression Filter Utilizing Inductance- Enhanced Coupled Bonding-W Coils," Proc. IEEE 2014 International Symposium on VLSI Design, Automation and Test (VLSI-DAT 2014), #DR52, pp. 121-124, Apr. 2014.

[187] Daisuke Fujimoto, Daichi Tanaka, Noriyuki Miura, Makoto Nagata, Yu-ichi Hayashi, Naofumi Homma, Shivam Bhasin, Jean-Luc Danger, "Side-Channel Leakage on Silicon Substrate of CMOS Cryptographic Chip," Proc. 2014 IEEE International Symposium on Hardware-Oriented Security and Trust (HOST 2014), #3-3, pp. 32-37, May 2014.

[188] Yuuki Araga, Ranto Miura, Nao Ueda, Noriyuki Miura, Makoto Nagata, "In-Stack Monitoring of Signal and Power Nodes in Three Dimensional Integrated Circuits," Proc. 2014 International Symposium on Electromagnetic Compatibility, Tokyo, #14P2-B1, pp. 362-365, May 2014.

[189] Daisuke Fujimoto, Noriyuki Miura, Makoto Nagata, Yuichi Hayashi, Naofumi Homma, Takafumi Aoki, Yohei Hori, Toshihiro Katashita, Kazuo Sakiyama, Thanh-Ha Le, Julien Bringer, Pirouz Bazargan-Sabet, Shivam Bhasin, Jean-Luc Danger,"Correlation Power Analysis using Bit-Level Biased Activity Plaintexts

against AES Cores with Countermeasures,"Proc. 2014 International Symposium on Electromagnetic Compatibility, Tokyo, #14P2-B1, pp. 306-309, May 2014.

[190] Noriyuki Miura, Daisuke Fujimoto, Daichi Tanaka, Yu-ichi Hayashi, Naofumi Homma, Takafumi Aoki, Makoto Nagata,"A Local EM-Analysis Attack Resistant Cryptographic Engine with Fully-Digital Oscillator-Based Tamper-Access Sensor," IEEE 2014 Symposium on VLSI Circuits, Dig. of Tech. Papers, #16.4, pp. 172-173, June 2014.

[191] Noriyuki Miura, Daisuke Fujimoto, Yu-ichi Hayashi, Naofumi Homma, Takafumi Aoki, Makoto Nagata, "Integrated-Circuit Countermeasures Against Information Leakage Through EM Radiation," Proc. 2014 IEEE Intl. Symposium on Electromagnetic Compatibility, #TH-AM-3-3, pp. 748-751, Aug. 2014.

[192] Naofumi Homma, Yu-ichi Hayashi, Noriyuki Miura, Daisuke Fujimoto, Daichi Tanaka, Makoto Nagata, Takafumi Aoki, "EM Attack Is Non-Invasive? – Design Methodology and Validity Verification of EM Attack Sensor," IACR Workshop on Cryptographic Hardware and Embedded Systems 2014 (CHES 2014), #1-1, LNCS 8731, pp. 1-16, Sep. 2014.

[193] Noriyuki Miura, Daisuke Fujimoto, Rie Korenaga, Kohei Matsuda, Makoto Nagata, "An Intermittent-Driven Supply-Current Equalizer for 11x and 4x Power-Overhead Savings in CPA-Resistant 128bit AES Cryptographic Processor," Proc. 2014 IEEE Asian Solid-State Circuits Conference (A-SSCC 2014), #14-5, pp. 225-228, Nov. 2014.

[194] Daisuke Fujimoto, Noriyuki Miura, Yu-ichi Hayashi, Naofumi Homma, Takafumi Aoki, Makoto Nagata, "A DPA/DEMA/LEMA-Resistant AES Cryptographic Processor with Supply-Current Equalizer and Micro EM Probe Sensor,"Proc. 20th Asia and South Pacific Design Automation Conference (ASP-DAC 2015), #1S-13, pp. 26-27, Jan. 2015.

[195] Daisuke Fujimoto, Makoto Nagata, Shivam Bhasin, Jean-Luc Danger, "A Novel Methodology for Testing Hardware Security and Trust Exploiting On-Chip Power Noise Measurement," Proc. 20th Asia and South Pacific Design Automation Conference (ASP-DAC 2015), #8C-3, pp. 749-754, Jan. 2015.

[196] Makoto Nagata, Daisuke Fujimoto, Noriyuki Miura, "On-Chip Monitoring for In-Place Diagnosis of Undesired Power Domain Problems in IC Chips," The 23rd Asian Test Symposium (ATS 2014), #6C-3, pp. 258-262, 2014.11.

[197] Heming Sun, Dajiang Zhou, Shinji Kimura, and Satoshi Goto, "An area-efficient 4/8/16/32-point inverse DCT architecture for UHDTV HEVC decoder," Proc. IEEE Visual Communications and Image Processing (VCIP), Valletta, Malta, pp.197-200, Dec. 2014.

[198] Jiayi Zhu, Dajiang Zhou, Shinji Kimura, and Satoshi Goto, "Fast SAO estimation algorithm and its VLSI architecture," Proc. of IEEE International Conference on Image Processing (ICIP), pp.1278-1282, Oct. 2014.

[199] Hiroyuki Shinohara, Masao Yanagisawa, Shinji Kimura, "A Reduction Method of Writing Operations to Non-volatile Memory by Keeping Data Difference for Low-Power Circuit Design," Proc. of International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), pp. 363-366, July 2014.

[200] 葛西，及川，小川，三島，中村，"Threshold Voltage Control of GaN MISFETs Using Tilt Angle Ion Implantation of Magnesium"，IWN2014,2014 年 8 月

[201] Tatsuro Hitomi, Shota Ueguchi, Takeshi Kumaki, and Takeshi Fujino "The Intermittent-Operation Control LSI for Ultra-Low-Power Camera: Green Smart Secure Eyes"，2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing,2015 年 3 月.

[202] Nakai, Shibatani, Shiozaki, Kubota, Fujino,"Side-Channel Attack Resistant AES Cryptographic Circuit with ROM Reducing Address-Dependency EM Leaks"，The 2014 IEEE International Symposium on Circuits and Systems, Jun., 2014.

[203] Tsutsumi, Nakai, Shiozaki, Kubota, Fujino"Power Analysis Attacks on AES using RSM Countermeasure"，The 2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, Feb., 2015.

[204] Ozaki, Hirose, Nagai, Tsubaki, Kuroki, Numa, "A 0.21-V Minimum Input, 73.6% Maximum Efficiency, Fully Integrated 3-Terminal Voltage Converter with MPPT for Low-Voltage Energy Harvesters"，The 20th Asia and South Pacific Design Automation Conference (ASP-DAC), 1S-16, pp.30-31, Jan. 19-22, 2015.

[205] Ozaki, Hirose, Nagai, Tsubaki, Kuroki, Numa, "A 0.21-V Input, 73.6% Efficiency, Fully Integrated Voltage Boost Converter with Maximum Power Point Tracking for Low-Voltage Energy Harvesters"，Proceedings of the 40th European Solid-State Circuits Conference (ESSCIRC), pp. 255-258, Venice, Italy, Sep. 22-26, 2014.

[206] Ozaki, Hirose, Tsubaki, Kuroki, Numa, "A Nano-Watt Power Rail-to-Rail CMOS Amplifier with Adaptive Biasing for Ultra-Low Power Analog LSIs"，Extended abstract of the 2014 International Conference on Solid State Devices and Materials (SSDM 2014), pp. 964-965, Sep. 8-11, 2014.

[207] Shizuku, Hirose, Kuroki, Numa, Okada, "A 24-Transistor Static Flip-Flop Consisting of NORs and Inverters for Low-Power Digital VLSIs"，12th IEEE International NEWCAS conference, pp. 137-140, Trois-Rivieres, Canada, Jun. 22-25, 2014.

[208] Mai Nozaki, Shingo Yoshizawa, Hiroshi Tanimoto, "VLSI Design of an Interference Canceller for QPSK OFDM-IDMA Systems," IEEE Asia Pacific Conference on Circuits and System (APCCAS), pp.715-718, Nov. 2014

[209] Toshiki Sugimoto, Hiroshi Tanimoto, Shingo Yoshizawa, "SFDR Improvement of Stochastic Flash ADC by Using Dynamic Element Matching Technique," 17th International Conference on Analog VLSI Circuits (AVIC), pp.112-116, Oct. 2014.

[210] Masashi Imai, Tomohiro Yoneda, "Multiple-Clock Multiple-Edge-Triggered Multiple-Bit Flip-flops for Two-Phase Handshaking Asynchronous Circuits," Proc. ISCAS2014, Jun., 2014

[211] Nanako Niioka, Masayuki Watanabe, Rosely Karel, Tetsuya Kobayashi, Masashi Imai, Masa-aki Fukase, and Atsushi Kurokawa "Impact of On-Chip Interconnects on Vertical Signal Propagation in 3D ICs," Proc. of APCCAS2014, pp.607-610, Nov., 2014

[212] Tomohiro Yoneda, Masashi Imai, Hiroshi Saito, Takahiro Hanyu, Kenji Kise, Yuichi Nakamura, "An NoC-based Evaluation Platform for Safety-Critical Automotive Applications," Proc. of APCCAS2014, pp.679-682, Nov., 2014

[213] Masayuki Watanabe, Rosely Karel, Nanako Niioka, Tetsuya Kobayashi, Masa-aki Fukase, Masashi Imai, Atsushi Kurokawa, "Effect of Substrate Contacts on Reducing Crosstalk Noise between TSVs," Proc. of APCCAS2014, pp.763-766, Nov., 2014

[214] Masashi Imai, Tomohiro Yoneda, "Energy-and-Performance Efficient Differential Domino Logic Cell Libraries for QDI-model-based Asynchronous Circuits," Proc. of APCCAS2014, pp.687-690, Nov., 2014

[215] Masayuki Watanabe, Nanako Niioka, Tetsuya Kobayashi, Rosely Karel, Masa-aki Fukase, Masashi Imai, and Atsushi Kurokawa, "An effective model for evaluating vertical propagation delay in TSV-based 3-D ICs," Proc. ISQED15, Mar., 2015

[216] Kyohei Terayama, Atsushi Kurokawa, Masashi Imai, "Scan test of latch-based asynchronous pipeline circuits under 2-phase handshaking protocol," Proc. SASIMI15, pp.128-133, Mar. 2015.

[217] T. Yoza, M. Watanabe, "Enhanced radiation tolerance of an optically reconfigurable gate array by exploiting an inversion/ non-inversion implementation," International Workshop on Applied Reconfigurable Computing, Lecture Notes in Computer Science, Vol. 8405, pp. 156-166, Algarve, Portugal, April, 2014.

[218] M. Seo and M. Watanabe, "Dependable optically differential reconfigurable gate array," International Conference on Space Optical Systems and Applications, 6 pages, Kobe, Japan, May, 2014.

[219] Y. Kamikubo, M. Watanabe, Shoji Kawahito, "Image recognition system using an optical Fourier transform on a dynamically reconfigurable vision architecture," IEEE International Symposium on Circuits and Systems, pp. 1528 - 1531, Melbourne, Australia, June, 2014.

[220] R. Moriwaki, H. Maekawa, A. Ogiwara, M. Watanabe, "An optically reconfigurable gate array with an angle-multiplexed holographic memory," IEEE/ACM Great Lake Symposium on Very Large Scale Integrated circuits, pp. 341-346, Texas, USA, May, 2014.

[221] T. Fujimori, M. Watanabe, "Radiation tolerance of color configuration on an optically reconfigurable gate array," Reconfigurable Architectures Workshop, pp. 205-210, Phoenix, USA, May, 2014.

[222] M. Watanabe, "A parallel-operation-oriented FPGA architecture," International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies, pp. 123-126, Sendai, Japan, June, 2014.

[223] M. Watanabe, S. Kawahito, "Radiation tolerance experiment for a dynamically reconfigurable vision architecture," International Conference on Advances in Computing, Electronics and Electrical Technology, pp. 1-4, Kuala Lumpur, Malaysia, Dec., 2014.

[224] R. Moriwaki, H. Ito, M. Watanabe, A. Ogiwara, H. Maekawa, "Radiation tolerance of optically reconfigurable gate arrays," International Symposium Toward the Future of Advanced Researches in Shizuoka University, Shizuoka, Japan, Jan., 2015.

[225] T. Fujimori, M. Watanabe, "Parallel-operation-oriented optically reconfigurable gat e array," GI/ITG International Conference on Architecture of Computing Systems, pp.***, Porto, Portugal, March, 2015.

[226] T. Yoshida, K. Takano, C.Y. Li, K. Katayama, S. Amakawa, M. Fujishima, "79 GHz CMOS Power Amplifier Considering Time- and Temperature-Degradation Model", Asia-Pacific Microwave Conference Proceedings (APMC) 2014, pp.637-639, Nov. 2014.

[227] uki Watanabe, Takahisa Kawabe, Satoshi Saikatsu, Michitaka Yoshino, and Akira Yasuda, "A Delta-Sigma DAC with a Jitter Shaper Reducing Jitter Noise," 2014 International Conference on Analog VLSI Circuits, pp. 123-pp. 128, Oct., 2014.

[228] Takemichi Ishikawa, Shuma Yokoyama, Noboru Harashima, Dai Takahashi, Jun Shiozawa, Michitaka Yoshino, Akira Yasuda, "A Highly Directional Speaker with Amplitude-Phase Control Using a Digitally Direct-Driven System," IEEE International Conference on Consumer Electronics, Jan, 2014.

[229] Yoshinori Sunaga, Makito Haruta, Hironari Takehara, Mayumi Motoyama, Yasumi Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta,

"Implantable CMOS imaging device with absorption filters for green fluorescence imaging," Photonics West, [8928-20], Feb. 2, 2014

[230] Kiyotaka Sasagawa, Hironari Takehara, Kazuya Miyazawa, Soc Heyen Kim, Toshihiko Noda, Takashi Tokuda, Ryota Iino, Hiroyuki Noji, Jun Ohta, "Dual-mode lensless imaging device for digital enzyme linked immunosorbent assay," Photonics West, [8933-22], Feb. 2, 2014

[231] Kiyotaka Sasagawa, Norimitsu Wakama, Toshihiko Noda, Takashi Tokuda, Kiyomi Kakiuchi, Jun Ohta, "On-chip polarizer on image sensor using advanced CMOS technology,"(invited),(Invited Paper), Photonics West, [8974-17], Feb. 4, 2014

[232] Jun Ohta, "Progress with artificial retina technology and applications,"(invited), Image Sensor 2014, Mar. 20, 2014

[233] Jun Ohta, "Implantable CMOS photonic devices for biomedical applications,"(invited), Delft University of Technology, Mar. 21, 2014

[234] Jun Ohta, Chung-Yu Wu, "The Research on Self-Powered Sub-Retinal Devices for Visual Prostheses," Taiwan-Japan Workshop on "Bioelectronics" and "Biophotonics" 2014, O-5, Apr. 8, 2014

[235] Toshihiko Noda, Hiroaki Takehara, Kiyotaka Sasagawa, Takashi Tokuda, Chung-Yu (Peter) Wu, Jun Ohta, "Fabrication of high performance electrodes for retinal prosthesis," Taiwan-Japan Workshop on "Bioelectronics" and "Biophotonics" 2014

[236] Kiyotaka Sasagawa, Yasumi Ohta, Mayumi Motoyama, Toshihiko Noda, Takashi Tokuda, Jun Ohta, Sadao Shiosaka, "An Implantable Micro Imaging Device for Molecular Imaging in a Brain of Freely-Moving Mouse," IEEE International Symposium on Bioelectronics and Bioinformatics (IEEE ISBB 2014), S1.4, Apr. 12, 2014

[237] Jun Ohta, "CMOS Image Sensor Technologies for Biomedical Applications,"(invited),(Plenary Talk), IEEE International Symposium on Bioelectronics and Bioinformatics (IEEE ISBB 2014), P1, Apr. 12, 2014

[238] Jun Ohta, "CMOS Image Sensor Technologies for Biomedical Applications,"(invited), International Conference on Electronics Packaging (ICEP 2014), TE2-4, Apr. 24, 2014

[239] Yasuo Terasawa, Hiroyuki Tashiro, Y. Nakano, Koji Osawa, Motoki Ozawa, Toshihiko Noda, Takashi Tokuda, Jun Ohta, Takashi Fujikado, "Charge Injection Capacities of Femtosecond Laser-induced Porous Electrodes measured in vitro and in vivo: Comparison between porous and smooth electrodes," Association for Research in Vision and Ophthalmology(ARVO 2014), May 5, 2014

[240] Hiroyuki Tashiro, Yasuo Terasawa, Y. Nakano, Koji Osawa, Motoki Ozawa, Toshihiko Noda, Takashi Tokuda, Jun Ohta, Takashi Fujikado, "Safety Assessment of Chronic Suprachoroidal-Transretinal Stimulation in Normal Rabbits by the Femtosecond Laser-induced Porous Electrodes," Association for Research in Vision and Ophthalmology(ARVO 2014), May 5, 2014

[241] un Ohta, "Implantable Micro-Photonics Technologies for Biomedical Applications,"(invited),(Plenary Talk), The Advance Study Institute on Global Healthcare Challenges, Jun. 10, 2014

[242] Jun Ohta, "Miniaturized CMOS Imaging Devices to Measure Brain Neural Activities of Freely-moving Mice,"(invited), CIMTEC 2014, 6th Forum on New Materials, FO-2:IL02, Jun. 17, 2014

[243] Hajime Hayami, Yoshiaki Ishii, Kiyotaka Sasagawa, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Body Channel Digital Pulse Transmission for Biometric Measurement by Fully Implantable CMOS Image Sensor," The 2014 International Meeting for Future of Electron Devices, Kansai(IMFEDK2014), A-2, Jun. 19, 2014

[244] Takahiro Yamaguchi, Yoshinori Sunaga, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Noise Performance of an Implantable Self-reset CMOS Image Sensor," (poster), The 2014 International Meeting for Future of Electron Devices, Kansai(IMFEDK2014), PC-03, Jun. 19, 2014

[245] Jun Ohta, "Implantable Micro CMOS Imaging Devices for Biomedical Applications,"(invited), CMOS-ET 2014, Jul. 8, 2014

[246] Toshikazu Kawamura, M. Takahashi, Keita Masuda, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, T. Okitsu, S. Takeuchi, Jun Ohta, "A Miniaturized Implantable Glucose Sensor Based on CMOS Line Sensor Using Glucose-Responsive Fluorescent Hydrogel," International Conference on Solid State Devices and Materials (SSDM), D-3-3, Sep. 10, 2014

[247] Hajime Hayami, Kiyotaka Sasagawa, Hiroaki Takehara, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "An Implantable Subminiature PWM Image Sensor Based on Body Channel Communication," International Conference on Solid State Devices and Materials (SSDM), D-7-1, Sep. 11, 2014

[248] Makito Haruta, Yoshinori Sunaga, Takahiro Yamaguchi, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "A multi-modal implantable CMOS imaging device with two-color light source for intrinsic signal detection in a brain," International Conference on Solid State Devices and Materials (SSDM), D-7-3, Sep. 11, 2014

[249] Jun Ohta, "Implantable microimaging devices for biomedical applications,"(invited), 2014 Summer School

on the Circuits Design for Medical & Bionics Systems, Sep. 13, 2014

[250] Hiroaki Takehara, "Lab-on-a-brain: In vivo neural cell analysis using implantable multi-functional microdevices," (poster), MGH-UTokyo Symposium 2014

[251] Toshihiko Noda, Takumi Fujisawa, Kiyotaka Sasagawa, Takashi Tokuda, Hiroaki Takehara, Yasuo Terasawa, Hiroyuki Tashiro, Hiroyuki Kanda, Takashi Fujikado, Jun Ohta, "Fabrication of a smart electrode array with built-in CMOS microchips for STS retinal prosthesis," (poster), The 8th Biennial World Congress on the Relationship between Neurobiology and Nano-Electronics Focusing on Artificial Vision (The Eye & the Chip), Sep. 29, 2014

[252] Po-Kang Lin, Po-Han Kuo, Yueh-Chung Tsai, Meng-Jiun Sui, Chuan-Chin Chiao, Toshihiko Noda, Jun Ohta, Chung-Yu Wu, "The Ex Vivo and In Vivo Electrophysiological Investigations of a Subretinal Photovoltaic Prosthesis Embedded with Solar Cells and Divisional-Power-Supply-Scheme," The 8th Biennial World Congress on the Relationship between Neurobiology and Nano-Electronics Focusing on Artificial Vision (The Eye & the Chip), Sep. 28, 2014

[253] Kiyotaka Sasagawa, Soo Hyeon Kim, Lisa Yamauchi, Kazuki Kitaguchi, H. Takehara, Toshihiko Noda, Takashi Tokuda, Ryota Iino, Hitoyuki Noji, Jun Ohta, "SINGLE-MOLECULE ENZYME ASSAY WITH A LENSLESS FLOUORESTCENT IMAGING DEVICE," (poster), International Conference on Miniaturized Systems for Chemistry and Life Sciences (MicroTAS 2014), W.650g, Oct. 29, 2014

[254] Takashi Tokuda, M. Takahashi, Keita Masuda, Toshikazu Kawamura, Yasumi Ohta, Mayumi Motoyama, Toshihiko Noda, Kiyotaka Sasagawa, T. Okitsu, S. Takeuchi, Jun Ohta, "CMOS-BASED IMPLANTABLE GLUCOSE SENSOR USING GLUCOSE-RESPONSIVE FLUORESCENT HYDROGEL," (poster), International Conference on Miniaturized Systems for Chemistry and Life Sciences (MicroTAS 2014), M.551g, Oct. 27, 2014

[255] Yoshinori Sunaga, Makito Haruta, Takahiro Yamaguchi, Mayumi Motoyama, Yasumi Ohta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "An Implantable Green Fluorescence Imaging Device Using Absorption Filters with High Excitation Light Rejection Ratio," Biomedical Circuits and Systems Conference (BioCAS 2014), 1160, Oct. 23, 2014

[256] Jun Ohta, "Communication with cells by electricity and light - Implantable microelectronics devices,"(invited), (keynote), Sensors 2014, Nov. 5, 2014,

[257] Makito Haruta, Shun Nakajima, Naoya Kamiyama, Hironari Takehara, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Juna Ohta, "An implantable optogenetics device based on CMOS integrated circuit technology for a freely moving animal," (poster), Neuroscience2014, TT83 271.08, Nov. 16, 2014

[258] Takumi Fujisawa, Toshihiko Noda, Yasuo Terasawa, Hiroaki Takehara, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Smart electrode devices with CMOS microchips for retinal prosthesis," International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2014 (Bio4Apps 2014), Nov., 2014

[259] Toshihiko Noda, Hiroaki Takehara, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Smart electrode devices with CMOS microchips for retinal prosthesis,"(invited), (keynote), International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS and Applications 2014 (Bio4Apps 2014), Nov., 2014

[260] Jun Ohta, "CMOS Image Sensor Technologies in Biomedical Applications,"(invited), THE 21ST INTERNATIONAL DISPLAY WORKSHOPS, INP4 - 2, Dec. 4, 2014

[261] Takashi Tokuda, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "Implantable bioimaging device based on CMOS image sensor technology," (invited), 2nd Asian Image Sensors and Imaging Systems Symposium, Dec. 2, 2014

[262] Tomoya Ishii, Koh Johguchi, and KenTakeuchi, "Vertical and Horizontal Location Design of Program Voltage Generator for 3D-Integrated ReRAM/NAND Flash Hybrid SSD," IEEE International Conference on Electronics Packaging, pp.113-116, April 2014.

[263] C. Monteiro, Y. Takahashi, and T. Sekine, "Effectiveness of dual-rail CSSAL against power analysis attack under CMOS process variation," Proc. IEEE APCCAS 2014, pp.121-124, Nov. 17-20, Okinawa, Japan.

[264] K. Kato, Y. Takahashi, and T. Sekine, "Skey tolerance analysis and layout design of 4 × 4 multiplier using two phase clocking subthreshold adiabatic logic," Proc. IEEE APCCAS 2014, pp.495-498, Nov. 17-20, Okinawa, Japan.

[265] C. Monteiro, Y. Takahashi, and T. Sekine, "Process variation verification of low-power secure CSSAL AES S-box," Proc. IEEE MWSCAS 2014, pp.21-24, Aug. 3-6, College Station, TX.

[266] K. Kato, Y. Takahashi, and T. Sekine, "Two phase clocking subthreshold adiabatic logic," Proc. IEEE ISCAS 2014, pp.598-601, June 1-5, Melbourne, Australia.

[267] C. Monteiro, Y. Takahashi, and T. Sekine, "An LSI implementation of a bit-parallel cellular multiplier over GF(24) using secure charge-sharing symmetric adia-

batic logic," Proc. IEEE ISCAS 2014, pp.826-829, June 1-5, Melbourne, Australia.

[268] Y.Kabata, T. Hirose, N. Kuroki, and M. Numa, An ECO-friendly Designt Style Based on Reconfigurable Cells," The 19th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2015), pp. 319-324, Mar. 2015."

[269] Sho Ikeda, Sang_yeop Lee, Shin Yonezawa, Yiming Fang, Motohiro Takayasu, Taisuke Hamada, Yosuke Ishikawa, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu. "A 0.5-V 5.8-GHz Low-Power Asymmetrical QPSK/OOK Transceiver for Wireless Sensor Network," IEEE/ACM 20th Asia South Pacific Design Automation Conference, Makuhari Messe, Chiba, Japan, Jan. 19-22, 2015, pp. 40-41.

[270] Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "Ultra-Low Power RF Circuit Technology for Wireless Sensor Networks," Thailand-Japan MicroWave (TJMW), TH1-1_69720, Nov. 26-28, 2014. (Invited)

[271] Yosuke Ishikawa, Sang_yeop Lee, Shin Yonezawa, Sho Ikeda, Yiming Fang, Motohiro Takayasu, Taisuke Hamada, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, "A 0.5-V 5.8-GHz Low Power RF Transceiver for a Wireless Sensor Network," Thailand-Japan MicroWave 2014, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand, Nov. 26-28, 2014

[272] Sho Ikeda, Sang_yeop Lee, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, "A 0.5-V 5.8-GHz Current-Reuse-VCO-Based PLL with Amplitude Regulation Technique," Thailand-Japan MicroWave 2014, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand, Nov. 26-28, 2014

[273] Yosuke Ishikawa, Sang_yeop Lee, Shin Yonezawa, Sho Ikeda, Yiming Fang, Motohiro Takayasu, Taisuke Hamada, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, "A 0.5-V 5.8-GHz Low Power RF Transceiver for a Wireless Sensor Network," Vietnam Japan MicroWave 2014, VNU-University of Engineering and Technology, Hanoi, Vietnam, Nov. 24-25, 2014

[274] Sho Ikeda, Sang_yeop Lee, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, "A 0.5-V 5.8-GHz Current-Reuse-VCO-Based PLL with Amplitude Regulation Technique," Vietnam Japan MicroWave 2014, VNU-University of Engineering and Technology, Hanoi, Vietnam, Nov. 24-25, 2014

[275] Kazuya Masu, Hiroyuki Ito and Noboru Ishihara, "Recent Progress of RF CMOS Circuit Technology" The First Joint Workshop on Electrical Engineering between Tokyo Tech & KAIST, Korea Advanced Institute of Science and Technology(KAIST), Korea, Nov.21, 2014, pp.13.

[276] Daisuke Yamane, Katsuyuki Machida, and Kazuya Masu, "MEMS for sensing sub-1G" The First Joint Workshop on Electrical Engineering between Tokyo Tech & KAIST, Korea Advanced Institute of Science and Technology(KAIST), Korea, Nov.21, 2014, pp.19.

[277] Taisuke Hamada, Hao Jiang, Yiming Fang, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A 0.5-V 2.5-GHz High-Gain Low-Power Regenerative Amplifier Based on Colpitts Oscillator Topology in 65-nm CMOS" 2014 IEEE Asia Pacific Conferences on Circuits and Systems, ANA Intercontinental Ishigaki Resort Hotel, Okinawa, Japan, Nov.17-20, 2014, pp. 340-343.

[278] Sho Ikeda, Sang_yeop Lee, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, "A 0.52-V 5.7-GHz Low Noise Sub-Sampling PLL with Dynamic Threshold MOSFET," IEEE Asian Solid-State Circuits Conference, 85 Sky Tower Hotel, KaoHsiung, Taiwan, Nov. 10-12, 2014, pp. 365-368

[279] Hiroyuki Ito, Yoshihiro Yoneda, Taiki Ibe, Taisuke Hamada, Noboru Ishihara, Kazuya Masu, Shoichi Masui, Youichi Momiyama, "An Ultra-Low-Power RF Transceiver with a 1.5-pJ/bit Maximally-Digital Impulse-Transmitter and an 89.5- μ W Super-Regenerative RSSI," IEEE Asian Solid-State Circuits Conference, 85 Sky Tower Hotel, KaoHsiung, Taiwan, Nov. 10-12, 2014, pp. 265-268

[280] Takaaki Matsushima, Toshifumi Konishi, Daisuke Yamane, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, "A MEMS Energy Harvesting Device for Integrated CMOS-MEMS Technology," in Proc. 27th Int. Microprocesses and Nanotechnology Conference (MNC 2014), Hilton Fukuoka Sea Hawk, Fukuoka, Japan, Nov. 4-7, 2014, pp. 6C-5-5.

[281] Daisuke Yamane, Toshifumi Konishi, Takaaki Matsushima, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, "A 1mG-to-20G Integrated MEMS Inertial Sensor," in Proc. IEEE SENSORS 2014, Valencia Conference Center, Valencia, Spain, Nov. 2-5, 2014, pp. 1591-1594.

[282] Toshifumi Konishi, Takaaki Matsushima, Daisuke Yamane, Kazuya Masu, Hiroshi Toshiyoshi, and Katsuyuki Machida, "A Novel Electromechanical Model of a MEMS Energy Harvesting Device for a Multi-physics Simulation Platform on a Circuit Simulator," in Proc. Int. Conf. on Solid-State Devices and Materials (SSDM 2014), Tsukuba International Congress Center, Tsukuba, Japan, Sep. 8-11, 2014, pp.100-101.

[283] Daisuke Yamane, Toshifumi Konishi, Takaaki Matsushima, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, "A Sub-1G Tri-axis MEMS Capacitive Sensor for Integrated CMOS-MEMS Accelerometers," in Proc. Int. Conf. on Solid-State Devices and Materials (SSDM 2014), Tsukuba

International Congress Center, Tsukuba, Japan, Sep. 8-11, 2014, pp.974-975.

[284] Sho Ikeda, Sang_yeop Lee, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A 0.5-V 5.8-GHz Highly Linear VCO with Back-Gate Tuning Technique," in Proc. Int. Conf. on Solid-State Devices and Materials (SSDM 2014), Tsukuba International Congress Center, Tsukuba, Japan, Sep. 8-11, 2014, pp.984-985.

[285] Daisuke Yamane, Toshifumi Konishi, Takaaki Matsushima, Hiroshi Toshiyoshi, Katsuyuki Machida, and Kazuya Masu, "A Sub-1G Capacitive Sensor for Integrated CMOS-MEMS Accelerometers,"in Proc. 7th Asia-Pacific Conference on Transducers and Micro/Nano Technologies (APCOT2014), Jun. 29 - Jul. 2, 2014, EXCO, Daegu, Korea. P2-55.

[286] Hiroyuki Ito, Shoichi Masui, Youichi Momiyama, Atsushi Shirane, Motohiro Takayasu, Yoshihiro Yoneda, Taiki Ibe, Taisuke Hamada, Sho Ikeda, Daisuke Yamane, Noboru Ishihara, and Kazuya Masu, "2.3 pJ/bit Frequency-Stable Impulse OOK Transmitter Powered Directly by an RF Energy Harvesting Circuit with -19.5 dBm Sensitivity," IEEE Radio Frequency Integrated Circuits Symposium, Tampa Convention Center, USA, pp.13-15, Jun. 1-3, 2014.

[287] Sho Ikeda, Sang_yeop Lee, Shin Yonezawa, Yiming Fang, Motohiro Takayasu, Taisuke Hamada, Yosuke Ishikawa, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A 0.5-V 5.8-GHz Ultra-Low-Power RF Transceiver for Wireless Sensor Network in 65 nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, Tampa Convention Center, USA, Jun. 1-3, 2014, pp.29-32.

[288] Daisuke Yamane, Toshifumi Konishi, Takaaki Matsushima, Hiroshi Toshiyoshi, Katsuyuki Machida, and Kazuya Masu, "A Tri-Axis MEMS Capacitive Sensor Using Multi-Layered High-density Metal for an Integrated CMOS-MEMS Accelerometer," in Proc. 2014 IEEE International Interconnect Technology Conference/Advanced Metallization Conference (IITC/AMC 2014), San Jose, CA, USA, May 20-23, 2014, pp.113-116.

[289] Katsuyuki Machida, Toshifumi Konishi, Daisuke Yamane, Hiroshi Toshiyoshi, and Kazuya Masu, "Integrated CMOS-MEMS Technology and its Application,"The 2nd Int. Symp. on More-than-Moore, the 225th Meeting of the Electrochemical Society, Orland, Florida, USA, May, 11-16, 2014 (invited).

[290] Daisuke Yamane, Takaaki Matsushima, Toshifumi Konishi, Hiroshi Toshiyoshi, Katsuyuki Machida, and Kazuya Masu, "A Dual-Axis MEMS Inertial Sensor Using Multi-Layered High-density Metal for an Arrayed CMOS-MEMS Accelerometer," in Proc. Symp. on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP2014), Cannes, Cote d'Azur, France, Apr. 1-4, 2014, pp.69-72.

[291] 四ツ田, 川島, 中野, "A Design of I-V Converter for Measurement of Ion Current in Analyzing Lipid Bilayer Membrane", The Joint Conference 4S-2014/AVIC2014,2014 年 10 月

[292] S. Umezu, M. Hashizume and H. Yotsuyanagi, "A Built-in Supply Current Test Circuit for Pin Opens in Assembled PCBs", Proc. International Conference on Electronics Packaging 2014, pp.227-230, April 2014.

[293] H. Yotsuyanagi, H. Sakurai and M. Hashizume, "Delay Line Embedded in Boundary Scan for Testing TSVs", Fifth IEEE International Workshop on Testing Three-Dimensional Stacked Integrated Circuits, Oct. 2014.

[294] K. Nambara, S. Umezu, H. Yotsuyanagi, M. Hashizume and S-K. Lu, "Threshold Value Estimation of Electrical Interconnect", Proc. of IEEE CPMT Symposium Japan 2014, pp.158-161, Nov. 2014.

[295] T. Kondo, H. Yamamoto, H. Imi, H. Okamura and K. Nakamura,"2014 SSDM Kondo,"A Measurement of Ratio-less 12-transistor SRAM cell Operation at Ultra-low Supply-voltage", PS-4-8,2014 International Conference on Solid State Devices and Materials (SSDM), @Tsukuba Japan, 2014.09.10

[296] H. Akima, Y. Katayama, K. Nakajima, M. Sakuraba, and S. Sato, Majority neuron circuit having large fan-in with non-volatile synaptic weight, Proc. 2014 Int. Joint Conf. on Neural Networks (IJCNN 2014), 4266-4271, 2014.

[297] Satoru Tanoi, Tetsuo Endoh, "A high-frequency level-up shifter based on 0.18 μm vertical MOSFETs with more than 70% reduction of overshoot-voltage above VDD", Extended Abstracts of the 2014 International Conference on Solid State Devices and Materials, PS-5-8, pp.108-109, Tsukuba, Japan, September 2014.

[298] K. Maezawa, J. Nakano, T. Shibata, H. Morita, H. Sakamoto, M. Mori, "Thermal Reliability of Transplanted Devices by Fluidic Self-Assembly Using Molten Ga Bumps," 2014 Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE 2014), 2014 年 6 月.

[299] H. Sakamoto, S. Yamada, J. Nakano, H. Morita, M. Mori and K. Maezawa, "Ultra short pulse generators using a resonant tunneling diode transplanted on Si substrate," 2014 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2014), 2014 年 7 月.

[300] J. Pan, Y. Kakutani, T. Nakayama, M. Mori and K. Maezawa, "Experimental Demonstration of Resonant Tunneling Super Regenerative Detectors Detecting High Order Harmonic Signals on Si substrate," 2014 International Conference on Solid State Devices and Materials (SSDM 2014), 2014 年 9 月.

[301] F. Mochizuki, K. Kagawa, S-I. Okihara, W-M. Seo, B. Zhang, T. Takasawa, K. Yasutomi, S. Kawahito, "Single-Shot 200Mfps 5 × 3-Aperture Compressive CMOS Imager", International Solid-State Circuits Conference(ISSCC 2015), 6.4, San Francisco, USA, 2015.2.23.

[302] K. Kagawa, H, Nieda, Y. Nishioka, T. Takasawa, M-W. Seo, K. Yasutomi, S. Kawahito, "CMOS Image Sensor for Multi-beam Multi-functional Confocal Microscopy," Photonics West 2015, 9330-15, San Francisco, USA, 2015.2.10.

[303] F. Mochizuki, T. Takasawa, K. Kagawa, M-W. Seo, K. Yasutomi, S. Kawahito, "An ultra-high-speed compressive multi-aperture CMOS image sensor", Imaging systems and applications, IW1C.4 Imaging and Applied Optics, pp.34, Seattle,USA, 2014.7.16.

[304] K. Mars, K. Egawa, L-D. Xing, S-M. Han, T. Takasawa, K. Yasutomi, K. Kagawa, M. Hashimoto, S. Kawahito, "Lock-in Pixels Readout Circuit Using a High Speed Lateral Electric Field Modulator with Differential Charge Accumulation for Stimulated Raman Scattering Imager", The 12th IEEE International New Circuits and Systems Conference (NEWCAS 2014), pp.249-252, Canada, 2014.6.24.

[305] Z. Wei, T. Wang, S. Kawahito, "A 12-bit Folding-Integration/Cyclic ADC using DMOS capacitors for CMOS image sensors", 映像情報メディア学会, 情報センシング研究会(IST) 2nd Asian Image Sensors and Imaging Systems Symposium, 映像情報メディア学会技術報告, vol.38, no.47, IST2014-77, pp.49-50, 東京, 2014.12.1.

[306] L-D. Xing, M. Kamel, S-M. Han, T, Takasawa, K. Yasutomi, K. Kagawa, M. Hashimoto, S. Kawahito, "A low-noise stimulated Raman scattering CMOS imager using high-speed lock-in pixels", 映像情報メディア学会, 情報センシング研究会(IST) 2nd Asian Image Sensors and Imaging Systems Symposium, 映像情報メディア学会技術報告, vol.38, no.47, IST2014-76, pp.47-48, 東京, 2014.12.1.

[307] H. Suzuki, K. Kagawa, B. Zhang, M-W, Seo, T. Takasawa, K. Yasutomi, S. Kawahito, "A 4T-PWM CMOS image sensor for low power", 映像情報メディア学会, 情報センシング研究会(IST) 2nd Asian Image Sensors and Imaging Systems Symposium, 映像情報メディア学会技術報告, vol.38, no.47, IST2014-79, pp.53-54, 東京, 2014.12.1.

[308] A 28 nm 256kb 6T-SRAM with 280mV Improvement in VMIN Using a Dual-Split-Control Assist Scheme, M-F. Chang, C-F. Chen, T-H. Chang, C-C. Shuai,Y-Y. Wang,H. Yamauchi,2015 IEEE International Solid-State Circuits of Conference

[309] M. Oya, Y. Atobe, Y. Shi, M. Yanagisawa and N. Togawa,"Secure scan design using improved random order and its evaluations,"in Proc. Asia Pacific Conference on Circuits and Systems (APCCAS), pp. 555-558, Ishigaki, Japan, Nov, 2014.

[310] Masashi Shio, Masaso Yanagisawa, Nozomu Togawa, "Linear and Bi-linear Interpolation Circuits Using Selector Logics and their Evaluations," 2014 IEEE International Symposium on Circuits and Systems (ISCAS 2014), pp. 1436-1439, Melbourne, Australia, June 3, 2013.

[311] Kazushi Kawamura and Nozomu Togawa,"Floorplan-Driven Architecture and High-Level Synthesis for Hot-Spot Temperature Optimization," in Proc. of the 29th International Technical Conference on Circuit/Systems Computers and Communications (ITC-CSCC 2014), pp. 741-744, Phuket, Thailand, July 2, 2014.

[312] Shin-ya Abe and Nozomu Togawa,"Floorplan-Driven Architecture and High-Level Synthesis Algorithm for Energy Optimization," in Proc. of the 29th International Technical Conference on Circuit/Systems Computers and Communications (ITC-CSCC 2014), pp. 733-736, Phuket, Thailand, July 2, 2014.

[313] Kotaro Terada, Masao Yanagisawa, and Nozomu Togawa, "A Floorplan-Driven High-Level Synthesis Algorithm with Operation Chainings Using Chaining Enumeration," in Proc. of 2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2014), pp. 248-251, Ishigaki, Japan, November 19, 2014.

[314] Shinnosuke Yoshida, Youhua Shi, Masao Yanagisawa, and Nozomu Togawa, "An Area-Overhead-Oriented Monitoring-Path Selection Algorithm for Suspicious Timing Error Prediction," in Proc. of 2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2014), pp. 300-303, Ishigaki, Japan, November 19, 2014.

[315] M. Oya, Y. Atobe, Y. Shi, M. Yanagisawa and N. Togawa,"Secure scan design using improved random order and its evaluations,"in Proc. Asia Pacific Conference on Circuits and Systems (APCCAS), pp. 555-558, Ishigaki, Japan, Nov, 2014.

[316] M. Oya, Y. Shi, M. Yanagisawa and N. Togawa,"A score-based classification method for identifying hardware-trojans at gate-level netlists," in Proc. Design, Automation and Test in Europe (DATE), pp. 465–470, Grenoble, France, March 11, 2015.

[317] Teerachot Siriburanon, Satoshi Kondo, Kento Kimura, Tomohiro Ueno, Satoshi Kawashima, Tohru Kaneko, Wei Deng, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "A 2.2-GHz -242dB-FoM 4,2-mW ADC-PLL Using Digital Sub-Sampling Architecture," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, pp.440-441, Feb. 2015.

[318] Rui Wu, Seitaro Kawai, Yuuki Seo, Kento Kimura, Shinji Sato, Satoshi Kondo, Tomohiro Ueno, Nurul

Fajri, Shoutarou Maki, Noriaki Nagashima, Yasuaki Takeuchi, Tatsuya Yamaguchi, Ahmed Musa, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "An HCI-healing 60GHz CMOS transceiver," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, pp.350-351, Feb. 2015.

[319] Wei Deng, Dongsheng Yang, Aravind Tharayil Narayanan, Kengo Nakata, Teerachot Siriburanon, Kenichi Okada, and Akira Matsuzawa, "A 0.048mm2 3mW Synthesizable Fractional-N PLL with a Soft Injection-Locking Technique," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, pp.252-253, Feb. 2015.

[320] Kento Kimura, Kenichi Okada, and Akira Matsuzawa, "A 20GHz Class-C VCO Using Noise Sensitivity Mitigation Technique," IEEE Silicon Monolithic Integrated Circuits in RF Systems (SiRF), pp. 48-51, San Diego, CA, USA, Jan. 2015.

[321] Seitaro Kawai, Korkut Kaan Tokgoz, Kenichi Okada, and Akira Matsuzawa, "L-2L De-embedding Method with Double-T-type PAD Model for Millimeter-wave Amplifier Design," IEEE Silicon Monolithic Integrated Circuits in RF Systems (SiRF), pp. 43-45, San Diego, CA, USA, Jan. 2015.

[322] Korkut Kaan Tokgoz, Kimsrun Lim, Yuuki Seo, Seitaro Kawai, Kenichi Okada, and Akira Matsuzawa, "Cross-Line Characterization for Capacitive Cross Coupling in Differential Millimeter-Wave CMOS Amplifiers," IEEE Silicon Monolithic Integrated Circuits in RF Systems (SiRF), pp. 46-48, San Diego, CA, USA, Jan. 2015.

[323] Teerachot Siriburanon, Tomohiro Ueno, Kento Kimura, Satoshi Kondo, Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A 58.3-to-65.4 GHz 34.2 mW Sub-Harmonically Injection-Locked PLL with a Sub-Sampling Phase Detection," IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), Tokyo, Japan, Jan. 2015.

[324] Dongsheng Yang, Wei Deng, Tomohiro Ueno, Teerachot Siriburanon, Satoshi Kondo, Kenichi Okada, and Akira Matsuzawa, "An HDL-Synthesized Gated-Edge-Injection PLL with A Current Output DAC," IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC), Tokyo, Japan, Jan. 2015.

[325] S. Sato, T. Ito and Y. Omura, "Circuit Architecture and Measurement Technique to Reduce the Leakage Current Stemming from Peripheral Circuits with an Array Structure in Examining the Resistive Element", Proc. of ICMTS, 2015, in print

[326] Hiroki Iwaizumi, Masahiro Sugitani, Baiko Sai, Hiroshi Tsutsui, Yoshikazu Miyanaga, "Video Wireless Communication Based on High Speed 8 × 8 MIMO-OFDM System," Proceedings of International Symposium on Communications, Control, and Signal Processing (ISCCSP), pp. 627-630, 21-23 May. 2014.

[327] Toshinobu Miyoshi, M.I. Ahmed, Yasuo Arai, Yowichi Fujita, Yukiko, Ikemoto, Ayaki Takeda, and Kazuya Tauchi, "SOI Monolithic Pixel Detector", J. of Instrumentation, JINST_095P_1213, 2014, doi:10.1088/1748-0221/9/05/C05044.

[328] A. Takeda, T. G. Tsuru, T. Tanaka, H. Matsumura,Y. Arai, K. Mori, Y. Nishioka, R. Takenaka, T. Kohmura,S. Nakashima, S. Kawahito, K. Kagawa, K. Yasutomi,H. Kamehama and S. Shrestha, "Development and Evaluation of an Event-Driven SOI Pixel Detector for X-Ray Astronomy", PoS(TIPP2014) 138, http://pos.sissa.it/

[329] R. Zhang, and M. Kaneko, "A Feasibility Study on Robust Programmable Delay Element Design based on Neuron-MOS Mechanism", Great Lake Symposium on VLSI, pp. 21-26, May 2014.

[330] R. Zhang, and M. Kaneko, "A Temperature and Process Variation Insensitive PDE Circuit Employing Neuron-MOS", IEEE/ACM Int. Conf. Computer Aided Design, Workshop on VMC, San Jose, USA, Nov. 2014.

[331] R. Zhang, and M. Kaneko, "A Quaternary Master-Slave Flip-Flop with Multiple Functions for Multi-Valued Logics", the 19th Workshop on Synthesis and System Integration of Mixed Information Technologies, Yilan, Taiwan, March 16-17. 2014.

[332] R. Zhang, and M. Kaneko, "A Feasibility Study of Quaternary FPGA Designs by Implementing Neuron-MOS Mechanism", IEEE Int. Symp. Circ.s and Syst.s, (ISCAS), Lisbon, Portugal, May 24-27. 2014.

[333] K. Mori, Y. Okuma, X. Zhang, H. Fuketa, T. Sakurai, and M. Takamiya, "Analog-Assisted Digital Low Dropout Regulator with Fast Transient Response and Low Output Ripple" Japanese Journal of Applied Physics, Vol. 53, No. 4S, 04EE22, April, 2014.

[334] S. Iguchi, H. Fuketa, T. Sakurai, and M. Takamiya, "92% Start-up Time Reduction by Variation-Tolerant Chirp Injection (CI) and Negative Resistance Booster (NRB) in 39MHz Crystal Oscillator," IEEE Symposium on VLSI Circuits, Hawaii, pp. 236-237, June 2014.

[335] A. Kosuge, S. Ishizuka, M. Abe, S. Ichikawa and T. Kuroda, "A 6.5Gb/s Shared Bus using Electromagnetic Connectors for Downsizing and Lightening Satellite Processor System by 60 % ," IEEE International Solid-State Circuits Conference (ISSCC'15), Dig. Tech. Papers, pp. 434-435, Feb. 2015

[336] A. Kosuge, S. Ishizuka, J. Kadomoto, and T. Kuroda,"A 6Gb/s 6pJ/b 5mm-Distance Non-Contact Interface for Modular Smartphones Using Two-Fold

Transmission Line Coupler and EMC-Qualified Pulse Transceiver,"IEEE International Solid-State Circuits Conference (ISSCC'15), Dig. Tech. Papers, pp. 176-177, Feb. 2015

[337] Tomochika Harada, Kousuke Takeuchi, "A Circuit Implementable 5-Output nMOSFET Shearing Stress Sensor", The 19th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2015), pp. 146-148, Mar. 2015

[338] T. Sugitani, K. Hashimoto, Y. Seo, H. Kono and T. Kikkawa,"Time Domain Reflectometry Using IR-UWB CMOS Integrated Circuits for Breast Cancer Detection," Proc. 2014 IEEE International Conference on Ultra-wideband, 1-3 Sept. 2014, Pris, France, S11.2

[339] A. Azhari, S. Takumi, S. Kenta, T. Kikkawa, and X. Xiao, "A 17 GHz Bandwidth 1.2 mW CMOS Switching Matrix for UWB Breast Cancer Imaging," Proc. IEEE Biomedical Circuits and Systems Conference, 22-24 Oct. 2014, Lausanne, Switzerland.

[340] Y. Seo, K. Sogo, A. Toya, T. Sugitani, A. Azhari, T. Kikkawa, X. Xiao, "CMOS Equivalent Time Sampling of Gaussian Monocycle Pulse for Confocal Imaging," Proc. IEEE Biomedical Circuits and Systems Conference, 22-24 Oct. 2014, Lausanne, Switzerland.

[341] A. Azhari, S. Takumi, S. Kenta, T. Kikkawa, "A CMOS 65 nm DC-17GHz Single Pole Eight Throw Switch for 8GHz Radar Impulse Communication," APMC 2014, November 4-7, 2014, Sendai, Japan.

[342] Daisuke Kanemoto, Osamu Muta, Hiroshi Furukawa, Takahide Sato and Makoto Ohki: "A Novel Idea of One Bit Resolution ADC for Small Analog Hardware Wireless Receivers," IEEE Symposium on Low-Power and High-Speed Chips COOL Chips XVII,P-11,Yokohama, April.,2014.

[343] Daisuke Kanemoto,Osamu Muta, Hiroshi Furukawa, Takahide Sato and Makoto Ohki, "Linearity Enhancement Technique for One Bit A/D Converter in Wireless Communication Devices," The 18th IEEE International Symposium on Consumer Electronics, Jeju, pp.199-200, June, 2014.

[344] Daisuke Kanemoto, Keigo Oshiro, Keiji Yoshida, and Haruichi Kanaya, "A Tri-level 50MS/s 10-bit Capacitive-DAC for Bluetooth Applications," 20th Asia and South Pacific Design Automation Conference (ASP-DAC 2015), chiba, pp.34–35, Jan.2015

[345] Hiroaki Ohtsuka, Masakazu Muraguchi, Yitao Ma and Tetsuo Endoh, "Output Voltage Stability of SPMC Type AC-AC Converter for Power Management in IT System," 2014 IEEE International Meeting for Future of Electron Devices, Kansai(IMFEDK), pp.1-2, Kyoto, Japan, June 2014.

[346] Satoru Tanoi, Tetsuo Endoh, "A high-frequency level-up shifter based on 0.18?m vertical MOSFETs with more than 70% reduction of overshoot-voltage above VDD", Extended Abstracts of the 2014 International Conference on Solid State Devices and Materials, PS-5-8, pp.108-109, Tsukuba, Japan, September 2014.

[347] R. Kataoka, K. Kondo, J. Akimichi, Y. Akiyama, K. Hashimoto, and Kanji Otsuka, "300 mm Wiring Enabling 28 Gbps Transmission on LCP Board, IMPACT-EMAP 2014 (October 2014).

[348] Kentaro Yoshioka and Hiroki Ishikuro, "A 13b SAR ADC with Eye-Opening VCO Based Comparator," 40th European Solid-State Circuits Conference, Venice, Italy, Sept., pp.411-414, 2014

[349] Naoki Kitazawa, Kaoru Kohira, and Hiroki Ishikuro "Intermittently Operating RF Frontend with 5ns Startup Time for 10Gbps Proximity Wireless Communication," IEEE Radio & Wireless Week (RWW2015), San Diego, USA, Jan., pp.24-26, 2015.

[350] Nobuaki Kobayashi, Ryusuke Ito and Tadayoshi Enoomto, "A High Stability, Low Supply Voltage and Low Standby Power Six-Transistor CMOS SRAM", in Proc. of ASP-DAC2015, University LSI Design Contest, 1S-5, pp. 10-11, in Chiba, Japan, Jan. 2015.

[351] Youhua Shi, Hiroaki Igarashi, Nozomu Togawa, and Masao Yanagisawa,InTimeTune, A Throughput Driven Timing Speculation Architecture for Overscaled Designs, ACM/EDAC/IEEE Design Automation Conference, Work-in-process session, Jun. 2014

[352] Ryuta Kawano, Seiichi Tade, Ikki Fujiwara, Hiroki Matsutani, Hideharu Amano, Michihiro Koibuchi, "Optimized Core-links for Low-latency NoCs", Proc. of the 23rd Euromicro International Conference on Parallel, Distributed, and Network-Based Processing (PDP'15), pp.172-176, Mar 2015.

[353] Johannes Maximilian Kühn, Hideharu Amano, Oliver Bringmann, Wolfgang Rosenstiel, "Spatial and Temporal Granularity Limits of Body Biasing in UTBB-FDSOI", Proc. of DATE 2015, Mar 2015.

[354] Masashi Imai, Tomohiro Yoneda, "Multiple-Clock Multiple-Edge-Triggered Multiple-Bit Flip-flops for Two-Phase Handshaking Asynchronous Circuits", Proc. of ISCAS2014 pp.141-144 2014年6月.

[355] Tomohiro Yoneda, Masashi Imai, Hiroshi Saito, Takahiro Hanyu, Kenji Kise, Yuichi Nakamura, "An NoC-based Evaluation Platform for Safety-Critical Automotive Applications", Proc. of APCCAS2014 pp.679-682 2014年11月.

[356] Masashi Imai, Tomohiro Yoneda, "Energy-and-Performance Efficient Differential Domino Logic Cell Libraries for QDI-model-based Asynchronous Circuits", Proc. of APCCAS2014 pp.687-690 2014年11月.

[357] K. Uchida and T. Takahashi, "Extending the FETs: Challenges and Opportunities for New Materials and

Structures," ECS Trans. vol. 64, pp3-11, Oct, 2014.
[358] K. Uchida, A. Shindome, and T. Takahashi, "Evaluation of Thermal Properties of Nanoscale MOSFETs and Thermal Aware Device Design of Nano Devices," 45th IEEE Semiconductor Interface Specialists Conference, San Diego, USA, Dec 10-13, 2014 (Invited).
[359] K. Uchida and T. Takahashi, "Thermal-aware Device Design of Nano-scale Devices," 2014 IEEE 12th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), O02_02, Guilin, China, Oct 28-31, 2014 (Invited).
[360] T. Takahashi, T. Matsuki, T. Shinada, Y. Inoue, and K. Uchida, "Comprehensive Investigation of Self-Heating Effect (SHE) in Nanoscale Planar and Fin FETs: Impacts of Device Parameters on SHE and Analog Performance Optimization," International Conference on Solid State Devices and Materials (SSDM), J-2-1, Tsukuba, Japan, Sep 9-11, 2014 (Invited).
[361] K. Uchida and T. Takahashi, "Thermal-aware device design of nanoscale MOSFETs," 6th International Nanoelectronics Conference (INEC) 2014, CMOS3-3, Sapporo, Japan, July 28-31 (Invited).
[362] K. Uchida, A. Shindome, and T. Takahashi, "Thermal-aware Device Desing of Nano-scale MOS Transistors and Graphene ReRAM Formed by Joule-Heating in Nano-dimensions," 8th US & Japan Joint Seminar on Nanoscale Transport Phenomena, Santa Cruzu, USA, July13-16, 2014 (Invited).
[363] Zhou JIN, Xiao WU, Yasuaki INOUE,Niu DAN "A Ramping Method Combined with the Damped PTA Algorithm to Find the DC Operating Points for Nonlinear Circuits"
[364] Xiao WU,Zhou JIN,Dan NIU,Yasuaki INOUE"The Limitation for the Growth of Step of DPTA Method"
[365] Qiang Li,Jing Wang,Yasuaki Inoue"A high efficiency CMOS rectifier with ON-OFF response compensation for wireless power transfer in biomedical applications"
[366] Ting Wang, Yingqian Dai, Qiang Li, Jing Wang, Hui Zhu and Yasuaki Inoue "An Almost 3VDD Rail-to-Rail Op-Amp with Constant Gm"
[367] Hui Zhu, Qiang Li, Jing Wang, Ting Wang and Yasuaki Inoue "A 1-V Rail-to-Rail Bulk-Driven Op-Amp with Enhanced Transconductance"
[368] Jing Wang, Qiang Li, Li Ding, Hui Zhu, Ting Wang and Yasuaki Inoue "A Sub-1-V Supply-Insensitive Bandgap Reference Circuit without Resistors"
[369] Hiroshi Ando, Kenichi Takizawa, Takeshi Yoshida, Kojiro Matsushita, Masayuki Hirata and Takafumi Suzuki, "A Wireless Multichannel Neural Recording System for Implantable Brain-Machine Interfaces", CBMI2015, March, 2015.
[370] Takafumi Suzuki, Hiroshi Ando, Takeshi Yoshida, Hirohito Sawahata, Keisuke Kawasaki, Isao Hasegawa, Kojiro Matsushita, Masayuki Hirata, Toshiki Yoshimine, Kenichi Takizawa, "Super multi-channel recording systems with UWB wireless transmitter for BMI", EMBC2014, August, 2014.
[371] Takafumi Suzuki, Hiroshi Ando, Takeshi Yoshida, Masayuki Hirata, Kenichi Takizawa, "Multi-channel recording system with UWB wireless data transmitter for Brain-Machine Interface", SSDM2014, September, 2014.
[372] Toshiro Hiramoto, Yuma Tanahashi, and Takuya Saraya, "Non-Volatile Peak Position Control of Coulomb Blockade Oscillations in Silicon Single-Electron Transistors Operating at Room-Temperature", 10th International Nanotechnology Conference on Communication and Cooperation (INC10), National Institute of Standard and Technology (NIST), Gaithersburg, MD, USA, May 14, 2014
[373] Toshiro Hiramoto, Seung-Min Jung, and Tomoko Mizutani, "Effects of Drain-Induced Barrier Lowering on Ultra-Low Supply Voltage CMOS Circuits Operating in Subthreshold Region", 10th International Nanotechnology Conference on Communication and Cooperation (INC10), National Institute of Standard and Technology (NIST), Gaithersburg, MD, USA, May 14, 2014
[374] Seung-Min Jung, Takuya Saraya, and Toshiro Hiramoto, "Analysis of Delay Time in Subthreshold CMOS Circuits Operating at Ultra-Low Supply Voltage", IEEE Silicon Nanoelectronics Workshop, Hilton Hawaiian Village, Honolulu, HI. USA, pp. 87 - 88, June 9, 2014
[375] "[375] Akitsugu Ueda, Seung-Min Jung, Tomoko Mizutani, Anil Kumar, Takuya Saraya, and Toshiro Hiramoto, "Ultra-Low Voltage (0.1V) Operation of Vth Self-Adjusting MOSFET and SRAM Cell", VLSI Symposium on Technology, Hilton Hawaiian Village, Honolulu, HI. USA, pp. 198 - 199, June 12, 2014"
[376] Toshiro Hiramoto (Invited), "Carrier Transport in Nanowire MOSFETs: An Experimental Viewpoint", SISPAD Workshop "Carrier Transport in Nano-Transistors: Theories and Experiments", 2014 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Mielparque Yokohama, Yokohama, September 8, 2014
[377] Toshiro Hiramoto, Akitsugu Ueda, Seung-Min Jung, Tomoko Mizutani, and Takuya Saraya (Invited), "Toward 0.1V Operation of MOSFETs for Ultra-Low Power Applications", IEEE 12th International Conference on Solid-State Integrated Circuit Technology (ICSICT), Grand Link Hotel, Guilin, China, pp. 189-192, October 29, 2014
[378] 上田晃頌，鄭承旻，水谷朋子，Anil Kumar，更屋拓哉，

平本俊郎，「しきい値電圧自己調整 MOSFET および SRAM セルの超低電圧(0.1V)動作」，2014 年第 75 回応用物理学会秋季学術講演会，北海道大学札幌キャンパス，18a-A16-6，2014 年 9 月 18 日

[379] N. Itoh, R. Ohnishi, Y. Itano, T. Ogawa, H. Tsuji, K. Komoku, T. Morishita, S. Yoshitomi, "Scalable Analytical MOSFET Model for Analog Cirtcuit Design," The 17th International Conference on Analog VLSI Circuits (AVIC2014), pp.272-275, Ho Chi Minh, Oct. 2014.

[380] H. Tsuji, Y. Itano, K. Komoku, T. Morishita, S. Yoshitomi, and N. Itoh, "Millimeter-Wave VCO using Striped Inductor," Proc. of Asia-Pacific Microwave Conference (APMC2014) 2014, pp. 959-961, Sendai, Nov. 2014.

[381] Yusuke Shuto, Shuu'ichirou Yamamoto, Satoshi Sugahara, "Comparative study of power-gating architectures for nonvolatile FinFET-SRAM using spintronics-based retention technology", 18th Design, Automation and Test in Europe (DATE15), Grenoble, France, March 9-13, 2015, paper 7.7.3.

[382] Yusuke Shuto, Shuu'ichirou Yamamoto, Satoshi Sugahara, "Comparative Study of Power-Gating Architectures for Nonvolatile SRAM Cells Based on spintronics Technology", 2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2014), Ishigaki, Okinawa, Japan, November 17-20, 2014.

[383] Yusuke Shuto, Shuu'ichirou Yamamoto, and Satoshi Sugahara, "0.5V operation and performance of nonvolatile SRAM cell based on pseudo-spin-FinFET architecture", 2014 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD 2014), Yokohama, Japan, September 9-11, 2014, paper 11-4.

[384] Y. Shuto, S. Yamamoto, and S. Sugahara, "Design and performance of nonvolatile SRAM cells based on pseudo-spin-FinFET architecture", 2014 IEEE Silicon Nanotechnology Workshop (SNW2014), Honolulu, HI, USA, June 8-9, 2014, paper P2-13.

[385] Yusuke Shuto, Shuu'ichirou Yamamoto, and Satoshi Sugahara, "Near-threshold voltage operation of nonvolatile SRAM cell based on pseudo-spin-FinFET architecture", 2014 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S Conference 2014), Millbrae, CA, USA, October 6-10, 2014, paper 9b.4.

[386] K. Kotani and T. Bando, "Improvement of Power Conversion Efficiency in Photovoltaic-Assisted UHF Rectifiers by Adopting Non-Silicide PV Cells," Extended Abstract of the 2014 International Conference on Solid State Devices and Materials, Tsukuba, Sep. 2014, pp.980-981.

[387] Koji Kotani, "Synergistic Energy Harvesting from Radio Waves by Photovoltaic-Assisted CMOS Rectifier," Proceedings of the 2014 International Conference on Integrated Circuits, Design, and Verification, pp.24-29, Hanoi, Nov. 14-15, 2014.

[388] Y. Ikku, and M. Takenaka, and S. Takagi (The University of Tokyo),"Low-resistance lateral junction formation for laser diodes on III-V CMOS photonics platform", 24th IEEE International Semiconductor Laser Conference, Palma de Mallorca, Italy (2014/9/8)

[389] Y.-L. Ho, Y. Lee, E. Maeda, and J.-J. Delaunay(東京大学), "High-aspect-ratio plasmonic U-shaped nano-cavity with high sensitivity and figure of merit", IEEE International Conference on Nano/Micro Engineered and Molecular Systems, Hawaii, USA (2014/4/14)

[390] グェン ミンジュン，松本潔，下山勲(東京大学)，"MEASUREMENT OF SURFACE ACOUSTIC WAVES PROPAGATION USING A PIEZORESISTIVE CANTILEVER ARRAY"，The 28th IEEE International Conference on Micro Electro Mechanical Systems, Estril Portugal (2015/1/21)

[391] 金子智則，グェンミンジュン，竹井祐介，高畑智之，松本潔，下山勲(東京大学)，"PULSE WAVE MEASUREMENT IN HUMAN USING PIEZORESISTIVE CANTILEVER ON LIQUID", The 28th IEEE International Conference on Micro Electro Mechanical Systems, Estril Portugal (2015/1/20)

[392] 渡辺諒，グェンミンジュン，高橋英俊，高畑智之，松本潔，下山勲(東京大学)，"FUSION OF CANTILEVER AND DIAPHRAGM PRESSURE SESORS ACCORDING TO THEIR FREQUENCY CHARACTERISTICS", The 28th IEEE International Conference on Micro Electro Mechanical Systems, Estril Portugal (2015/1/22)

[393] K.O. Okeyo, R. Yanaru, O. Kurosawa, H. Oana(東大), H. Kotera(京大), and M. Washizu(東大), "Generation of epithelial cell sheets with defined cell orientation using microstructured mesh sheets as a substrate for cell culture", μTAS2014, San Antonio, Texas (2014/10/28)

[394] K.O. Okeyo, T. Isozaki, O. Kurosawa, H. Oana(東大), H. Kotera(京大), and M. Washizu(東大), "Stable and long term culture of stem cells under shear flow on a microstructured mesh sheet embedded in a fluidic chamber", μTAS2014, San Antonio, Texas (2014/10/28)

[395] Yutaro Itagaki, Kennedy O. Okeyo, Osamu Kurosawa, Hidehiro Oana(東大), Miwako Narita(新潟大), Hidetoshi Kotera(京大), and Masao Washizu(東大), "Cytoplasmic transfer without nuclei mixing between dentritic cells and tomour cells achieved by one-to-one electrofusion via microorifices in a microfluidic device", μTAS2014, San Antonio, Texas (2014/10/28)

[396] 高橋賢，長藤圭介，濱口哲也，中尾政之(東京大学)，

"High-Speed Replication of Light-Extraction Structure with Thermal Roller Nanoimprinting", 40th Micro and Nano Engineering (MNE), ローザンヌ, スイス (2014/9/25)

[397] 王家林, 長藤圭介, 高橋賢, 濱口哲也, 中尾政之 (東京大学), "Novel Patterning of Metal Trace on Flexible Substrate by Nanoimprinting and Screen Printing", 40th Micro and Nano Engineering (MNE), ローザンヌ, スイス (2014/9/25)

[398] 王磊, 長藤圭介, 岩崎至貢, 濱口哲也, 中尾政之(東京大学), "Through-hole membrane with anodic-alumina nanohole array", 40th Micro and Nano Engineering (MNE), ローザンヌ, スイス (2014/9/23)

[399] T. Shimura,, ○ K. Iwami, M. Ishii, N. Umeda(東京農工大学), "CONFIGURABLE OPTICAL RETARDER BASED ON PLASMONIC GRATING INTEGRATED WITH BIMORPH ACTUATOR", 2014 International Conference on Optical MEMS and Nanophotonics, Glasgow, UK (2014/8/22)

[400] Ryohei Kazama, Hidetoshi Takahashi, Tomoyuki Takahata, Kiyoshi Matsumoto and Isao Shimoyama (The University of Tokyo),"Airflow shear stress sensor using side-wall doped piezoresistive plate", The 28th IEEE International Conference on Micro Electro Mechanical Systems, Estoril, Portugal (2015/1/19)

[401] Hidetoshi Takahashi, Akihiro Isozaki, Kiyoshi Matsumoto and Isao Shimoyama (The University of Tokyo),"A cantilever with comb structure modeled by a bristled wing of thrips for slight air leak", The 28th IEEE International Conference on Micro Electro Mechanical Systems, Estoril, Portugal (2015/1/19)

[402] Minhyeok Lee, Yoshihiro Kawahara, Kenichi Morimoto and Yuji Suzuki (Univ. of Tokyo),"MEMS Wireless Temperature Sensor for Combustion Studies", 14th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2014), Awaji, Japan (2014/11/20)

[403] Qianyan Fu, and Yuji Suzuki (Univ. of Tokyo),"A Design Method of In-plane MEMS Electret Energy Harvester with Comb Drives", 14th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2014), Awaji, Japan (2014/11/20)

[404] Seonwoo Kim, Qianyan Fu, Kei Hagiwara, and Yuji Suzuki (Univ. of Tokyo),"Development of A Prepackaged MEMS Electret Energy Harvester Before Charging", 14th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2014), Awaji, Japan (2014/11/20)

[405] T. Yokota1,2, Y. Terakawa1, J.Reeder1,3, M. Kaltenbrunner1,2, T. Ware3, W. Voit3, T. Sekitani2,4 and T. Someya1,2, 1Univ. Of Tokyo, 2 JST ERATO, 3 Univ.of Texas and 4Univ. of Osaka,"Heat Protection Circuit with Polymer PTC for Flexible Electronics", 47th International Conference on Solid State Devices and Materials (SSDM2014), Tsukuba International Congress Center, Japan (2014/9/9)

[406] Sho Nagatomo, Yuta Kawamata, and Yasuhiko Ishikawa(東京大学), "Impact of Post-Growth Annealing for Thin-Film Ge Photodiodes on Si", 47th International Conference on Solid State Devices and Materials (SSDM2014), Tsukuba International Congress Center, Japan (2014/9/9)

[407] K. E. Echternkamp(ゲッティンゲン大), F. Kusa(東京農工大学), G. Herink, S. V. Yalunin, S. Ashihara(東京大学), and C. Ropers(ゲッティンゲン大), "Electron Tunneling and Acceleration at Gold Nanostructures Driven by Ultrashort Mid-Infrared Pulses", Conference on Lasers and Electro-Optics (CLEO) 2014, FM2J.7, San Jose (US) (2014/6/9)

[408] Z. Zhang{東京大学), M. Yako{東京大学), K.Ju{東京大学), N.J. Kawai, {東京大学) T. Tsuchizawa(NTT), H. Fukuda(NTT), K. Yamada(NTT) and ○ K. Wada {東京大学), " A Silicon Photonics Platform by Physical Vapor Deposition for Dense Wavelength Division Multiplexing on Chip", IEEE International Conference on Group IV Photonics, GFP 2014, Cite Internationale Universitaire de Paris 17, bd Jourdan Paris, France (2014/8/28)

[409] S. Maruyama (Univ of Tokyo), T. Thurakitseree (Univ of Tokyo), S. Kim (Univ of Tokyo), C. Kramberger (Univ of Vienna), S. Chiashi (Univ of Tokyo), E. Einarsson (Univ at Buffalo),"Nitrogen-Incorporated Single-Walled Carbon Nanotubes for Devices", 8th International Workshop on Metrology, Standardization and Industrial Quality of Nanotubes (MSIN14), Los Angeles, California, USA

[410] S. Kim (Univ of Tokyo), T. Thurakitseree (Univ of Tokyo), S. Aikawa (Kogakuin Univ), T. Inoue (Univ of Tokyo), S. Chiashi (Univ of Tokyo), S. Maruyama (Univ of Tokyo),"Fabrication and Characterization of Nitrogen-Induced Single-Walled Carbon Nanotubes Field-Effect Transistors", The 15th International Conference on the Science and Application of Nanotubes, Los Angeles, California, USA

[411] S. Chiashi (Univ of Tokyo), T. Umino (Univ of Tokyo), T. Inoue (Univ of Tokyo), S. Maruyama (Univ of Tokyo),"Growth of Single-walled Carbon Nanotubes from Opened Edges of Carbon Nanotubes", The 15th International Conference on the Science and Application of Nanotubes, Los Angeles, California, USA

[412] K. Otsuka (Univ of Tokyo), T. Inoue (Univ of Tokyo), S. Chiashi (Univ of Tokyo), S. Maruyama (Univ of

Tokyo),"Full-length selective removal of metallic single-walled carbon nanotubes by organic film-assisted electrical breakdown", The 15th International Conference on the Science and Application of Nanotubes, Los Angeles, California, USA

[413] S. Chiashi (Univ of Tokyo), T. Inoue (Univ of Tokyo), K. Otsuka (Univ of Tokyo), S. Maruyama (Univ of Tokyo),"Fabrication of Semi-conducting Single-wall Carbon Nanotube Arrays", The 8th US-Japan Joint Seminar on Nanoscale Transport Phenomena, Santa Cruz, USA

[414] S. Chiashi (Univ of Tokyo), T. Inoue (Univ of Tokyo), K. Otsuka (Univ of Tokyo), D. Hasegawa (Univ of Tokyo), S. Maruyama (Univ of Tokyo),"Growth and Applications of Horizontally Aligned Single-walled Carbon Nanotubes", The 15th International Heat Transfer Conference (IHTC-15), Kyoto International Conference Center, Kyoto, Japan

[415] Y. Kim, J. Fujikata, S. Takahashi, ○ M. Takenaka, and S. Takagi(The University of Tokyo), "SiGe-based carrier-injection Mach-Zehnder modulator with enhanced plasma dispersion effect in strained SiGe", Optical Fiber Communication Conference, Los Angeles

[416] T. Inoue (Univ of Tokyo), K. Otsuka (Univ of Tokyo), S. Chiashi (Univ of Tokyo), ○ S. Maruyama (Univ of Tokyo),"Manipulation of horizontally aligned single-wall carbon nanotubes", The 5th A3 Symposium on Emerging Materials: sp2 Nanocarbon for Energy 2014, Nankai University, Tianjin, China

[417] P. Zhao (Zhejian Univ), X. Chen (Univ of Tokyo), S. Kim (Univ of Tokyo), R. Xiang (Univ of Tokyo), S. Chiashi (Univ of Tokyo), S. Maruyama (Univ of Tokyo),"Controlled CVD Growth of Graphene from Ethanol", The 5th A3 Symposium on Emerging Materials: sp2 Nanocarbon for Energy 2014, Nankai University, Tianjin, China

[418] M. Takenaka (The University of Tokyo),"Strained SiGe technology for high-performance optical modulators and attenuators", 4th International Symposium on Photonics and Electronics Convergence, Tokyo

[419] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi (The University of Tokyo),"Low injection-current variable optical attenuator by using strained SiGe with optimized lateral PIN junction", 4th International Symposium on Photonics and Electronics Convergence, Tokyo

[420] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi (The University of Tokyo),"Record-low injection-current strained SiGe variable optical attenuator with optimized lateral PIN junction", European Conference on Optical Communication, Cannes

[421] S. Kim (Univ of Tokyo), X. Chen (Univ of Tokyo), K. Cui (Univ of Tokyo), K. Nagashio (Univ of Tokyo), S. Chiashi (Univ of Tokyo), S. Maruyama (Univ of Tokyo),"Alcohol chemical vapor deposition growth of millimeter-sized single-crystal of graphene", The 5th A3 Symposium on Emerging Materials: sp2 Nanocarbon for Energy 2014, Nankai University, Tianjin, China

[422] M. Takenaka, Y. Ikku, and S. Takagi (The University of Tokyo),"III-V CMOS photonics platform for low-power and low-crosstalk photonic-wire switches and modulators", Advanced Photonics for Communications, San Diego

[423] Hayato Sone (Gunma University), Yuya Sakurai (Gunma University), Takashi Izumi (Gunma University) and Sumio Hosaka (Gunma University),"Fabrication of N-type Silicon Nanowire Using Electron Beam Lithography for Biomolecule Detection", 1st International Symposium of Gunma University Medical Innovation and 6th International Conference on Advanced Micro-Device Engineering, Kiryu, Japan

[424] R. Tanaka, J. Kikkawa, Y. Fujii, K. Kuribayashi-Shigetomi, A. Subagyo, K. Sueoka, T. Okajima (Hokkaido University),"Atomic force microscopy for mapping mechanical property of whole cell assembly", 25th 2014 International Symposium on Micro-NanoMechatronics and Human Science, Nagoya

[425] R. Takahashi, K. Kuribayashi-Shigetomi, A. Subagyo, K. Sueoka, T. Okajima (Hokkaido University),"Quantitative rheological measurements of confluent cell using atomic force microscopy", 25th 2014 International Symposium on Micro-NanoMechatronics and Human Science, Nagoya

[426] Agnes Tixier-Mita, Isao Mori, Yoshio Mita, Takuya Takahashi (Univ of Tokyo), Olivier Fran, Bruno Le Pioufle (SATIE/IFR, ENS de Cachan), Hiroyuki Fujita, and Hiroshi Toshiyoshi (Univ of Tokyo),"Detection of Micro-Beads by Impedance Cytometry-Towards a Wholly Integrated Electronic Device for Biological Cells Applications", Design, Test, Integration Packaging of MEMS/MOEMS (DTIP2014), Cannes, Cote d'Azur, France

[427] Keiji Isamoto (Santec), Kiyotaka Yamashita (Santec), Mohammed Saad Khan, Nicolas Lafitte(東大), Kouki Totsuka, Changho Chong, Nobuhiko Nishiyama, and Hiroshi Toshiyoshi(東大), "A MEMS based electrically pumped tunable VCSEL operating at 1060 nm for SS-OCT", SPIE Photonics West 2015, MOEMS and Miniaturized Systems, The Moscone Center, San Francisco, CA.USA

[428] Keiji Isamoto (Santec), Kiyotaka Yamashita (Santec), Mohammed Saad Khan, Nicolas Lafitte(東大), Kouki Totsuka, Changho Chong, Nobuhiko Nishiyama, and Hiroshi Toshiyoshi(東大), "A MEMS based electri-

cally pumped tunable VCSEL operating at 1060 nm for SS-OCT,\\\" XIV --", SPIE Photonics West 2015, MOEMS and Miniaturized Systems, The Moscone Center, San Francisco, CA.USA

[429] Keiichi Ikegami, Takaaki Koyama, Takao Saito, Yoshiaki Yasuda (Stanley Electric Co., Ltd.), and Hiroshi Toshiyoshi(東 大), "A biaxial PZT optical scanner for pico-projector applications", SPIE Photonics West 2015, MOEMS and Miniaturized Systems XIV, The Moscone Center, San Francisco, CA.USA

[430] T. Fukuda, S. Sato, S. Ueno, M. Biyani and T. Ichiki (東大), "Rapid compartmentalization of microwell arrays using a microfluidic device", 26nd International Microprocesses and Nanotechnology Conference, Hokaido

[431] 岩崎至貢, 長藤圭介, 王磊, ヤンボ・リ, ジャンジャックドロネー, 中尾政之(東京大学), "Morphology Control of Anodic Porous Alumina Using Nanoimprinting", 58th international conference on electron, ion, and photon beam technology and nanofabrication (EIPBN), ワシントン DC

[432] 宮崎俊平, 長藤圭介, 渡邊康章, 高橋賢, 鹿園直毅, 中尾政之(東京大学), "High-Heat-Transfer Boiling Surface with Micropattern Replicated by Nanoimprinting", 58th international conference on electron, ion, and photon beam technology and nanofabrication (EIPBN), ワシントン DC

[433] 高橋賢, 長藤圭介, 王家林, 濱口哲也, 中尾政之(東京大学), "High-Speed and Low-Energy-Consumption Replication of Nanostructures with Laser-Assisted Roller Nanoimprinting", 58th international conference on electron, ion, and photon beam technology and nanofabrication (EIPBN), ワシントン DC

[434] 長藤圭介, 三田村圭, 品川俊太, 中尾政之(東京大学), "Real-Time Observation of Paste during Mico-Via Filling in Screen Printing", The 5th International Conference on Nanomanufacturing (nanoMan2014), ブレーメン, ドイツ

[435] 長藤圭介, 高橋賢, 中尾政之(東京大学), "Thermal Roller Nanoimprinting ?Multilayered Structures, Laser-Assisted Replication?", 14th International Conference on Nanoimprint and Nanoprint Technology (NNT 2014), 京都

[436] 長藤圭介, 高橋賢, 中尾政之(東京大学), "Laser-Assisted Replication of Large-Area Nanostructures and Antireflection Structure", Asian Workshop on Polymer Processing (AWPP), ケンティン, 台湾

[437] H. Tanaka (University of Tokyo), T. Kawazoe (University of Tokyo), M. Ohtsu (University of Tokyo), K. Akahane (NICT), "Ultralow-threshold current density Si lasers using dressed photons", Core-to-Core Japan Workshop 2014 Nanoscale electron-photon interactions via energy dissipation and fluctuation, University of Tokyo, Tokyo

[438] M. Yamaguchi (University of Tokyo), T. Kawazoe (University of Tokyo), and M. Ohtsu (University of Tokyo), "Visible Si-LED with lateral pn junction for efficient light extraction", Core-to-Core Japan Workshop 2014 Nanoscale electron-photon interactions via energy dissipation and fluctuation, University of Tokyo, Tokyo

[439] Takashi Yatsui (University of Tokyo), "Realization of ultimate surface by dressed-photon and phonon etching(招待講演)", JSPS Core-to-Core Japan Workshop 2014, University of Tokyo, Tokyo

[440] Takashi Yatsui (University of Tokyo), "Dressed Photon-Phonon Polishing for Ultra-Smooth Surfaces (招待講演)", Optical Fabrication and Testing (OF&T), Hawaii, USA

[441] Takashi Yatsui (University of Tokyo), "Challenge in realizing ultraflat surfaces using a dressed photon (招待講演)", Pacific-Rim Laser Damage (PLD'14), Yokohama, Japan

[442] Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Single carbon-nanotube photonics and optoelectronics", March Meeting of the American Physical Society, San Antonio, Texas, USA

[443] Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Single carbon nanotube devices for integrated photonics", JSAP-OSA Joint Symposia, the 75th JSAP Autumn Meeting 2014, Sapporo, Japan

[444] Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Single-carbon-nanotube devices for integrated photonics", The Fourth International Workshop on Nanocarbon Photonics and Optoelectronics (NPO2014), Polvijarvi, Finland

[445] Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Single carbon nanotube devices for integrated photonics", The Fifteenth International Conference on the Science and Application of Nanotubes (NT14), Los Angeles, California, USA

[446] M. Yoshida, Y. Kumamoto, A. Ishii, A. Yokoyama, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Stark effect of excitons in individual air-suspended carbon nanotubes", March Meeting of the American Physical Society, San Antonio, Texas, USA

[447] X. Liu, T. Shimada, R. Miura, S. Iwamoto, Y. Arakawa, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Localized guided-mode and cavity-mode double resonance in photonic crystal nanocavities", March Meeting of the American Physical Society, San Antonio, Texas, USA

[448] Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Single carbon nanotube devic-

es for integrated photonics", Pacific Rim Symposium on Surfaces, Coatings and Interfaces (PacSurf 2014), Kohala Coast, Hawaii

[449] M. Yoshida, Y. Kumamoto, A. Ishii, A. Yokoyama, T. Shimada, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Spontaneous exciton dissociation and Stark effect in carbon nanotubes", 8th International Workshop on Metrology, Standardization and Industrial Quality of Nanotubes (MSIN14), Los Angeles, California, USA

[450] T. Uda, Y. Kumamoto, M. Yoshida, A. Ishii, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Photoconductivity spectroscopy of individual suspended carbon nanotubes", 8th International Workshop on Metrology, Standardization and Industrial Quality of Nanotubes (MSIN14), Los Angeles, California, USA

[451] A. Ishii, M. Yoshida, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Exciton diffusion and related exciton decay processes in air-suspended single-walled carbon nanotubes", 8th International Workshop on Metrology, Standardization and Industrial Quality of Nanotubes (MSIN14), Los Angeles, California, USA

[452] Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Integrating carbon nanotube light emitters with silicon photonic structures", New Diamond and Nano Carbons Conference (NDNC 2014), Chicago, Illinois, USA

[453] A. Yokoyama, M. Yoshida, A. Ishii, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Giant circular dichroism in individual carbon nanotubes induced by extrinsic chirality", The fifteenth International Conference on the Science and Application of Nanotubes (NT14), Los Angeles, California, USA

[454] A. Ishii, M. Yoshida, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Exciton diffusion and related exciton decay processes in air-suspended single-walled carbon nanotubes", The Fifteenth International Conference on the Science and Application of Nanotubes (NT14), Los Angeles, California, USA

[455] M. Yoshida, Y. Kumamoto, A. Ishii, A. Yokoyama, T. Shimada, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Spontaneous exciton dissociation and Stark effect in carbon nanotubes", The Fifteenth International Conference on the Science and Application of Nanotubes (NT14), Los Angeles, California, USA

[456] T. Uda, Y. Kumamoto, M. Yoshida, A. Ishii, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Photoconductivity spectroscopy of individual suspended carbon nanotubes", The Fifteenth International Conference on the Science and Application of Nanotubes (NT14), Los Angeles, California, USA

[457] A. Yokoyama, M. Yoshida, A. Ishii, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), "Giant circular dichroism in individual carbon nanotubes induced by extrinsic chirality", New Diamond and Nano Carbons Conference (NDNC 2014), Chicago, Illinois, USA

[458] Oiwa K., Shimba K., Numata T., Takeuchi A., Yunokuchi K., Kotani K., Jimbo Y. (Univ. Tokyo), "Towards micro-magnetic stimulation of autonomic neurvous system -development of in vitro system-", 19th Int. Conf. Biomagnetism, Halifax, Canada

[459] Kenta Shimba, Koji Sakai, Kiyoshi Kotani, Jimbo Y.(Univ. Tokyo), "Changes of Axonal Conduction in Bursting Activity", 9th International Meeting on Substrate-Integrated Microelectrode Arrays, Reutlingen, Germany

[460] Lui Yoshida, Kiyoshi Kotani, Jimbo Y.(Univ. Tokyo), "Norepinephrine Modulates Bursting Activity Differently During Development", 9th International Meeting on Substrate-Integrated Microelectrode Arrays, Reutlingen, Germany

[461] T. Isomura, K. Kotani, Y. Jimbo (Univ. Tokyo), "Cultured cortical neurons use the inverse recognition model for blind source separation", 9th FENS Forum of Neuroscience, Milan Italy

[462] K. Sakai, K. Shimba, K. Kotani, Y. Jimbo (Univ. Tokyo), "Changes of action potential conduction velocity in neuron-oligodendrocyte co-culture", 9th FENS Forum of Neuroscience, Milan Italy

[463] Ziyi Zhang｛東京大学), Kazumi Wada｛東京大学), Motoki Yako｛東京大学), Ju Kan｛東京大学), Naoyuki J. Kawai｛東京大学), Koji Yamada(NTT), Tai Tsuchizawa(NTT), Hiroshi Fukuda(NTT), "A new Si photonics platform for DWDM implementationa", SPIE/COS Photonics Asia, Beijing International Convention Center Beijing, China

[464] Nashun, K. Iwami, N. Umeda(東京農工大学), "Measurement of work function of NiW alloy for thermionic energy converter", The 9th International Forum on Advanced Material Science and Technology, Xiamen, China

[465] Nashun, K. Iwami, N. Umeda(東京農工大学), "Microfabrication of a free-standing NiW film as a wavelength-selective surface", 2014 AMEE Workshop on Nanomaterials and Nanodevices, Hong Kong

[466] Papichaya Chaisakul(東京大学), Vladyslav Vakarin (Univ. Paris-Sud 11), Delphine Marris-Morini (Institut d'Electronique Fondamentale), Jacopo Frigerio (Politecnico di Milano), Giovanni Isella (Politecnico di

Milano), Kazumi Wada(東京大学), Laurent Vivien (Institut d'Electronique Fondamentale), "Mid-refractive index contrast GeSi photonics for telecommunication applications", SPIE/COS Photonics Asia, Beijing International Convention Center Beijing, China

[467] H. Pan(東京大学), R. Takahashi(東京大学), K. Takinai(東京大学)and K. Wada(東京大学), "Photoluminescence quenching effect by Si cap in n+ Ge on Si", SPIE Photonics West, San Francisco, USA

[468] Y. Mizuno(東京大学), ○M. Yako(東京大学), N.M. Luan(東京大学), and K. Wada(東京大学), "Strain tuning of germanium bandgap by selective epitaxial growth for electro-absorption modulators", SPIE Photonics West, San Francisco, USA

[469] 岡田光信 (Astroscale Pte. Ltd.), "Astroscale-lunar dream capsule project", Start Up Asia, Singapore

[470] Minhyeok Lee and Yuji Suzuki (Univ. of Tokyo), "Non-contact Wall Temperature Measurement Using MEMS Wireless Sensor", 35th Int. Symp. Combustion (Combustion 2014), San Francisco

[471] Ki-Young Song, Kenichi Morimoto, and Yuji Suzuki (Univ. of Tokyo), "Investigation of Cassie-to-Wenzel Transition of Liquid Droplets on MEMS-based Pillared Surface", 7th Asia-Pacific Conference on Transducers and Micro/Nano Technologies, Daegu, Korea

[472] Yu-Chung Chen, Ki-Young Song, Kenichi Morimoto, and Yuji Suzuki (Univ. of Tokyo), "Liquid-Tolerant Electret Using Super-Lyophobic Pillar Surface", 28th IEEE Int. Conf. Micro Electro Mechanical Systems (MEMS'15), Estoril, Portugal

[473] Hirotaka Nakajima, Ai Ueno, Kenichi Morimoto, and Yuji Suzuki (Univ. of Tokyo), "High-Fill-Factor MEMS Radiator Using Near-Field Thermal Radiation", First SNU-UT workshop on mechanical and aerospace engineering, Seoul, Korea

[474] Qianyan Fu, and Yuji Suzuki (Univ. of Tokyo), "Development of Micron-gap Electret Charged with Soft X-ray and Its Application to Vibration Energy Harvesting", IEEE 15th Int. Symp. Electrets (ISE15), Baltimore, Maryland, USA

[475] Tomoyuki Yokota, Yuki Terakawa, Tsuyoshi Sekitani, Wakako Yukita, Mari Koizumi, Hiroshi Fuketa, Kazuaki Yoshioka, Masaki Sekino, Makoto Takamiya, Takayasu Sakurai, and Takao Someya, "Organic Transistor Based Wireless Sensor System with ESD Protection Circuit", the 2014 MRS Spring Meeting, the Moscone West Convention Center, and the San Francisco Marriott Marquis and Westin San Francisco Market Street Hotels in San Francisco, California

[476] T. Yokota1,2, Y. Terakawa1, J.Reeder1,3, M. Kaltenbrunner1,2, T. Ware3, W. Voit3, T. Sekitani2,4 and T. Someya1,2, 1Univ. Of Tokyo, 2 JST ERATO, 3 Univ.of Texas and 4Univ. of Osaka, "Sensitive Range Controllable Temperature Sensor Based on Polymer", MRS fall meeting, Boston, Massachusetts, USA

[477] Takao Someya, Tsuyoshi Sekitani, Tomoyuki Yokota, Dongmin Kim, Yusuke Inoue, and Masaki Sekino, "Ultraflexible organic devices and electrodes for implantable electronics", ICOE satellite Workshop on Implantable Organic Electronics, Accademia Nazionale di Scienze, Lettere e Arti di Modena, Italy

[478] Naoji Matsuhisa, Martin Kaltenbrunner, Hiroaki Jinno, Tomoyuki Yokota, Tsuyoshi Sekitani, and Takao Someya, "Printable, highly conductive elastic conductors for stretchable organic transistors", 2014 MRS Fall Meeting Exhibit, Boston, Massachusetts, USA

[479] Tomoyuki Yokota, Tsuyoshi Sekitani, Martin Kaltenbrunner, Siegfried G. Bauer, and Takao Someya, "Organic ultrathin-film photonic and electronic devices on 1 μm thick ultra-flexible substrate", SPIE. PHOTONICS WEST BIOS, The Moscone Center San Francisco, California, USA

[480] Sung Won Lee, Amir Reuveny, Jonathan Reeder, Tomoyuki Yokota, Tsuyoshi Sekitani, Takashi Isoyama, Yusuke Abe, and Takao Someya, "Realizing E-skin Pressure Sensor; Beyond High Sensitivity", IBEC 2014, Kimdaejung Convention Center, Gwangju, Korea

[481] Takao Someya, Tsuyoshi Sekitani, Tomoyuki Yokota, Masaki Sekino, Martin Kaltenbrunner, and Sungwon Lee," Ultraflexible and Stretchable Organic Thin-Film Devices for Implantable and Wearable Electronics\\\", 2014 MRS Fall Meeting Exhibit, Boston, Massachusetts, USA

[482] S. Ashihara(東京大学), "Optical field emission from resonant gold nanorods driven by mid-infrared pulses", 12th International workshop on theory for attosecond quantum dynamics (IWTAQD), Tokyo

[483] F. Kusa(東京農工大学), K. Echternkamp, G. Herink, C. Ropers(ゲッティンゲン大), S. Ashihara(東京大学), "Photoelectron Emission from Resonant Nanoantennas Driven by Femtosecond Mid-infrared Pulses", International Conference on Ultrafast Phenomena (UP), 08.Tue.B.4, Naha (Japan)

[484] S. Usui, F. Kusa, K. Kohmura(東京農工大学), S. Ashihara(東京大学), "Mid-IR imaging of the localized plasmonic mode by the scanning near-field optical microscopy", 1st Optical Manipulation Conference in OPTICS & PHOTONICS International Congress, Yokohama (Japan)

[485] 草史野(東京農工大学), エヒテルンカンプカタリナ, ロパスクラウス(ゲッティンゲン大), 芦原聡(東京大学), "中赤外域における金ナノロッドのプラズモン共鳴を利用した光電界電子放出", International Symposium on Optical Memory (ISOM), 東大生研

[486] Naomichi Kawasaki(横浜国大), Joo-Hyong Noh(関

東学院大), and Taro Aarakawa(横浜国大), "Electro-Optic Tunable Quantum Well Multimode Interference 3-dB Splitter for High-Extinction-Ratio Mach-Zehnder Modulators", The 6th PCGMR-NCKU Symp. on Nano-Technology/-Materials for Future Devices and Bio/Medical Applications, National Cheng Kung University, Taiwan

[487] Taiju Ushiyama(横浜国大), Joo-Hyong Noh(関東学院大), and Taro Aarakawa(横浜国大), "Compact Polarization Beam Splitter Based on Multi-Width Multimode Interference Device", The 6th PCGMR-NCKU Symp. on Nano-Technology/-Materials for Future Devices and Bio/Medical Applications, National Cheng Kung University, Taiwan

[488] H. Fuketa, M. Hamamatsu, T. Yokota, W. Yukita, T. Someya, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai,"Energy-Autonomous Fever Alarm Armband Integrating Fully Flexible Solar Cells, Piezoelectric Speaker, Temperature Detector, and 12V Organic Complementary FET Circuits", the 2015 IEEE international Solid-State Circuits Conference (ISSCC), pp.296-298, DOI:10.1109/ISSCC.2015.7063043

3. 国内会議，研究会等

[1] 林，和田，"マイクロストリップ結合線路トランスバーサルフィルタを用いたダイプレクサに関する検討"，電子情報通信学会研究技術報告，vol. 114/ no. 376,2014 年 12 月

[2] 外谷昭洋，石井佑樹，升井義博，吉川公麿，"LC 発振器を応用した複素誘電率測定用回路の提案"，第 62 回応用物理学会春季学術講演会講演予稿集，12a-P11-6,2015 年 3 月

[3] 外谷昭洋，北林翔，升井義博，吉川公麿，"複素誘電率測定用オンチップインダクタモデルの提案"，第 62 回応用物理学会春季学術講演会講演予稿集，12a-P11-5,2015 年 3 月

[4] 森岡俊樹，山本浩平，密山幸男，"再構成可能配線構造検討のための性能評価環境の構築，"情報処理学会研究報告(システムと LSI の設計技術研究会)，2015-SLDM-170, 2015 年 3 月.

[5] 森岡俊樹，山本浩平，密山幸男，"再構成可能アレイのための配線構造評価環境の構築，"電子情報通信学会総合大会，D-18-8, 2015 年 3 月.

[6] 森岡俊樹，密山幸男，"粗粒度再構成可能デバイスの配線構造に関する一検討，"電気関係学会四国支部連合大会，10-14, 2014 年 9 月.

[7] 松田裕貴，小川愛理，味曽野智礼，藤枝直輝，市川周一，吉瀬謙二，"MieruSys プロジェクト：複数の FPGA を用いた先進的な計算機システムの開発，"電子情報通信学会研究報告 RECONF2015, 於慶応義塾大学日吉キャンパス(2015 年 1 月 30 日発表)，pp.211-216 (January 2015).

[8] Chu Van Thiem, Shimpei Sato, and Kenji Kise: Challenge for Ultrafast 10K-Node NoC emulation on FPGA, 電子情報通信学会研究報告 RECONF2014-21, 於広島県廿日市杜の宿(2014 年 9 月 18 日発表)，pp.23-28 (September 2014).

[9] 森悠，吉瀬謙二，大規模 FPGA をターゲットとするメニーコアプロセッサの設計と性能評価，電子情報通信学会研究報告 CPSY2014-18, 於新潟市朱鷺メッセ新潟コンベンションセンター(2014 年 7 月 29 日発表)，pp.49-54 (July 2018).

[10] Ryohei Kobayashi, and Kenji Kise: Ultra High-speed FPGA Accelerator for Sorting Application, 情報処理学会第 77 回全国大会，京都大学吉田キャンパス(2015 年 3 月 18 日発表予定) (March 2015).

[11] Thiem Van Chu，and Kenji Kise, A Novel Time-Division Multiplexing Approach for Emulating NoC Architectures on FPGAs, 情報処理学会第 77 回全国大会，京都大学吉田キャンパス(2015 年 3 月 18 日発表予定) (March 2015).

[12] 森悠，吉瀬謙二，DRAM リソースに着目したメニーコアソフトプロセッサの性能チューニング，情報処理学会第 77 回全国大会，京都大学吉田キャンパス(2015 年 3 月 18 日発表予定) (March 2015).

[13] 小川愛理，吉瀬謙二，Linux の動く FPGA システムを 3 倍速くする試み，情報処理学会第 77 回全国大会，京都大学吉田キャンパス(2015 年 3 月 18 日発表予定) (March 2015).

[14] 金谷，ダヤング，ポカレ，石田，吉田，"MEMS 技術融合による RF-CMOS front-end"，応用物理学会　第 8 回集積化 MEMS 技術研究会予稿集, p.6, 2014 年 5 月.

[15] 兼本，牟田，古川，金谷，大木，"IF サンプリング 1bit A/D 変換方式を採用した無線受信機の構成検討と試作による評価"，第 27 回　回路とシステムワークショップ論文集，pp.306-311, 2014 年 8 月.

[16] F. Ghazal，金谷，"A high linearity and current reused UWB low noise amplifier (LNA) for 3.1 -10.6 GHz wireless applications in 0.18 μm CMOS process"，第 67 回平成 26 年度電気・情報関係学会九州支部連合大会予稿集，p.256, 2014 年 9 月.

[17] 衛藤，宮川，内田，金谷，"5GHz 帯高効率 E 級パワーアンプモジュールの開発"，第 67 回平成 26 年度電気・情報関係学会九州支部連合大会予稿集，p.403, 2014 年 9 月.

[18] 江藤，V.T.Son，下ノ村，Charbon，Zhang，鎌倉，松岡，"1Gfps を目指した超高速撮像素子の新展開：ISIS，BSI，マルチ電荷収集ゲート，3D 積層，"　映像情報メディア学会技術報告，vol.IST-39, no.16, pp.49-52, 2015 年 3 月.

[19] 安部，中司，"プリントコイルを用いた磁界共鳴型ワイヤレス給電システムの開発"，第 67 回電気・情報

関係学会九州支部連合大会，2014 年 9 月
[20] 杉山智之，佐々木敬泰，近藤利夫，" 機器への組み込み容易なソフトマクロプロセッサの開発 "，電子情報通信学会技術報告書，Vol.114, No.506, pp.37-42, 2014.
[21] 深澤祐樹，市原英行，井上智生，" 組込み自己テストのための耐故障応答圧縮器 " 信学技報，Vol. 114,No. 99, pp. 27-32, 2014 年 6 月.
[22] 伊藤和人，" 乗算器数を削減した低電力シンドローム基本方程式求解手法，" 電子情報通信学会 2014 年ソサイエティ大会講演論文集，A-3-4, 2014 年 9 月.
[23] 内藤友香，石原優毅，多谷大樹，岡根佑樹，奥大純，高藤美泉, 内木場文男, 齊藤健 "CMOSIC によるニューロンモデルを用いた圧電素子インパクト型 MEMS マイクロロボットの駆動波形の生成，" 電気学会電子・情報・システム部門大会講演論文集，pp.1400-1405, 2014 年 9 月.
[24] 日高智浩, 内藤友香, 岡根佑樹, 高藤美泉, 内木場文男, 齊藤健 " 人工筋肉ワイヤ型 MEMS マイクロロボットを駆動するニューラルネットワークの CMOSIC 設計，" 電気学会電子・情報・システム部門大会講演論文集，pp.1406-1411, 2014 年 9 月.
[25] 定久紀基，山本佳生，金多厚，福田駿エリック，浅井哲也，本村真人，"Locality-Sensitive Hashing のスケーラブルなハードウェアアーキテクチャの FPGA 実装，" 電子情報通信学会総合大会，立命館大学びわこ・くさつキャンパス（草津）, 2015 年 3 月 10-13 日.
[26] 森政文，伊藤健之，池辺将之，浅井哲也，黒田忠広，本村真人，" 動きベクトルの機械学習アーキテクチャとその FPGA 実装，" STARC シンポジウム 2015, 新横浜国際ホテル（横浜）, 2015 年 1 月 30 日
[27] 定久紀基，山本佳生，金多厚，福田駿エリック，浅井哲也，本村真人，" 類似検索を行う Locality-Sensitive Hashing のスケーラブルなハードウェアアーキテクチャ，" 電子情報通信学会集積回路研究会・コンピュータシステム研究会合同平成 26 年度若手研究会，機械振興会館（東京）, 2014 年 12 月 1-2 日.
[28] 金多厚，肥田格，浅井哲也，本村真人，" 不揮発性メモリ搭載マイコンの低電力化を目的とした透過型命令キャッシュの提案と評価，" 電子情報通信学会集積回路研究会・コンピュータシステム研究会合同平成 26 年度若手研究会，機械振興会館（東京）, 2014 年 12 月 1-2 日.
[29] 石村憲意, 小室勝郎, Schmid A., 浅井哲也, 本村真人, " 興奮性媒体の自発的活動による自己確率共鳴，" 第 3 回情報ネットワーク科学研究会・複雑コミュニケーションサイエンス研究会合同ワークショップ，CCS-016, 丸駒温泉（千歳）, 2014 年 8 月 7-8 日.
[30] Gonzalez-Carabarin L., 浅井哲也，本村真人，"Noise-driven computing architectures for coarse-grained devices towards molecular architectonics," 文部科学省科学研究費補助金「新学術領域研究」分子アーキテクトニクス領域会議，天童温泉「滝の湯」（山形）, 2014 年 6 月 6-7 日.
[31] 石村憲意，小室勝郎，浅井哲也，本村真人，" 興奮場における持続的集団ノイズ生成のメカニズム：外部雑音源を使わない確率共鳴，" 文部科学省科学研究費補助金「新学術領域研究」分子アーキテクトニクス領域会議，天童温泉「滝の湯」（山形）, 2014 年 6 月 6-7 日
[32] 小室勝郎，石村憲意，浅井哲也，本村真人，" 反応拡散モデルを応用した生物的ステガノグラフィシステムとその回路実装，" 文部科学省科学研究費補助金「新学術領域研究」分子アーキテクトニクス領域会議，天童温泉「滝の湯」（山形）, 2014 年 6 月 6-7 日.
[33] Gonzalez-Carabarin L., 浅井哲也，本村真人，"Mismatch-tolerant stochastic logic gates and their application to low-power asynchronous VLSI circuits," LSI とシステムのワークショップ，P27, 北九州国際会議場（北九州市），2014 年 5 月 26-28 日
[34] 石村憲意，小室勝郎，Schmid A., 浅井哲也，本村真人，" 統計的解析法に耐性のあるステガノグラフィアルゴリズムとその FPGA 実装，" LSI とシステムのワークショップ，北九州国際会議場（北九州市）, 2014 年 5 月 26-28 日
[35] 肥田格，平尾岳志，金多厚，浅井哲也，本村真人，" 組み込みプロセッサの低電力化に向けた限定的動的再構成アクセラレータの設計と評価，" LSI とシステムのワークショップ，北九州国際会議場（北九州市），2014 年 5 月 26-28 日
[36] 明連広昭，小林亮太，成瀬雅人，田井野　徹，" 外部弛張振動回路によるデジタル DROS センサの高安定動作 "，2014 年度春季低温工学・超電導学会，2D-a10, 2014 年 5 月
[37] 廣崎直也，成瀬雅人，田井野徹，明連広昭，"Si 深掘り溝を利用した多量子ビーム検出器の作製 "，第 75 回応用物理学会学術講演会，19p-A22-9, 2014 年 9 月
[38] 高徳耕平，明連広昭，成瀬雅人，田井野徹，" サブ磁束量子分解能をもつデジタル SQUID 磁束計の設計 "，電子情報通信学会 2014 年ソサイエティ大会，C-8-1, 2014 年 9 月
[39] 張　氷，明連広昭，成瀬雅人，田井野　徹，" デジタル SQUID 用低消費電力 8 ビットアップダウンカウンタの設計 "，電子情報通信学会 2014 年ソサイエティ大会，C-8-14, 2014 年 9 月
[40] 安楽隆寛，浜本隆之，" 可変蓄積時間イメージセンサの FPGA 制御による広ダイナミックレンジ撮像 "，映像情報メディア学会技術報告，vol.38, no.20, pp.9-12（2014）
[41] 田畑秀徳，浜本隆之，"3 次元構造撮像デバイスに向けた PFM 型画素回路の高感度化 "，映像情報メディア学会技術報告，vol.38, no.20, pp.31-34（2014）
[42] 箱石広之，大高俊徳，浜本隆之，" 単一デバイスで多視点画像を取得する CMOS イメージセンサ "，Picture Coding Symposium（PCSJ14）, P4-16, 2pages（2014）
[43] 松本和高，山口賢一，岩田大志，" 消費電力を考慮し

た微小遅延欠陥テスト"，2015 年電子情報通信学会総合大会 ISS 特別企画「学生ポスターセッション」，ISS-SP-196, P.196,（2015）.

[44] 吉田拓弥，山口賢一，岩田大志，" メルセンヌ・ツイスタを用いた STUMPS の改良 "，2015 年電子情報通信学会総合大会 ISS 特別企画「学生ポスターセッション」，ISS-SP-197, P.197,（2015）.

[45] 片山七海，岩田大志，山口賢一，" 等価検証技術を用いた縮退故障の冗長判定手法 "，2015 年電子情報通信学会総合大会 ISS 特別企画「学生ポスターセッション」，ISS-SP-198, P.198,（2015）.

[46] 福岡久和，岩田大志，山口賢一，" モジュール間結合増幅率に基づく実配線長の予測 "，2015 年電子情報通信学会総合大会 ISS 特別企画「学生ポスターセッション」，ISS-SP-199, P.199,（2015）.

[47] 矢鋪知哉，岩田大志，山口賢一，" パスの類似度を用いたテストポイント挿入法 "，平成 26 年電気関係学会関西連合大会ポスターセッション，G9-5,（2014）.

[48] 佐脇光亮，大竹哲史，" 階層 BIST 向け LFSR シード生成法，" 電子情報通信学会技術報告（DC2014-85），Vol.114, No.446, pp.43-48, Feb. 2015.

[49] 網野賢太，水戸亮祐，関根かをり，和田和千，中村守里也，"0.18 μ mCMOS プロセスを用いた CMOS インバータとギルバートセル構成による 1.8V 駆動アナログ FIR フィルタの特性評価 "，ECT-14-095-

[50] 崔，難波，" クロック発生器を用いた DVMC の較正，" 信学技報，FIIS, 2015 年 3 月

[51] 福丸，田中，"MOSFET の線形領域を用いた可変抵抗回路の一設計 "，電子情報通信学会九州支部第 22 回学生会講演会講演論文集，A-10，2014 年 9 月.

[52] 井美，村上「非侵襲連続血糖値計測のためのオンチップスピニングカレント法を用いたホールセンサシステム LSI」電気学会 BMS-14-036, 2014 年 12 月

[53] 南　龍司，佐々木伸一，馬場俊輔，" 抵抗付加法によるプリント配線板電源層からの放射雑音低減　～薄い基板への適用～ "，電子情報通信学会環境電磁研究会，信学技法 Vol.114 No.398,EMCJ2014-85, pp.5-8,2015 年 1 月.

[54] 木原大輔，佐々木伸一，蘆塚信博，" パッチキャパシタを用いた遠端クロストークの低減　～屈曲線路への適用評価～ "，電子情報通信学会環境電磁研究会，信学技法 Vol.114 No.398,EMCJ2014-86, pp.9-12,2015 年 1 月.

[55] 馬場俊輔，佐々木伸一，" アナログ・デジタル混載配線板における電源雑音の低減 - シート状抵抗の適用 -"，平成 26 年電気関係学会九州支部連合大会，14-2A-10,2014 年 9 月.

[56] 木村祐介，佐々木伸一，蘆塚信博，" パッチキャパシタ付加による遠端クロストークの低減　- 平衡伝送路への適用 "，平成 26 年電気関係学会九州支部連合大会，14-2A-11,2014 年 9 月.

[57] 蘆塚信博，佐々木伸一，" パッチキャパシタ付加による遠端クロストークの低減　- 放射雑音評価 -"，平成 26 年電気関係学会九州支部連合大会，14-2A-12,2014 年 9 月.

[58] 中辻，南部，神戸：" 多重ループの自動パイプライン化手法とその評価，" 情報処理学会研究報告，2014-SLDM-166（11）, pp1-6, 2014.

[59] 永井，神戸，藤田：　" 高位合成技術による動き検出技術のハードウェア化の一検討，" 電子情報通信学会，信学技報，vol. 113, no. 454, VLD2013-146, pp. 73-77, 2014.

[60] 森口，澤野，神戸，藤田：" レート歪み最適化による量子化プロセスの高速化手法とその評価，"　電子情報通信学会，信学技報，vol. 113, no. 454, VLD2013-145, pp. 67-72, 2014.

[61] 森口，神戸，藤田：　" レート歪み最適化による量子化プロセスの高速化とその定量的評価，"　情報処理学会 DA シンポジム，pp.79-84, 2014.

[62] 永井，神戸，藤田：　" 高位合成技術による動き検出技術のハードウェア化及び改良手法の検討，"　情報処理学会 DA シンポジム，pp.85 - 90, 2014.

[63] 永井，神戸，藤田：" 高位合成技術を用いた EPZS のハードウェア化とその高速化，"　電気関連学会関西連合大会，2014

[64] 森口，神戸，藤田：" レート歪み最適化による量子化プロセスの高速化とそのハードウェア化，"　電気関連学会関西連合大会，2014

[65] 松谷宏紀，"Open Cell Library を用いたデジタル VLSI 設計 "，電子情報通信学会 2014 年ソサイエティ大会，チュートリアル，Sep 2014.

[66] 野中，針屋，宮木，廣田，石塚，"1 μ s 以下にむだ時間を抑制可能なディジタル PFM 制御回路の開発 "，2014 年電子情報通信学会電子通信用エネルギー技術研究会信学技報，vol. 114，no. 466，EE2014-44，pp. 19-24，2015 年 2 月.

[67] 丹治，" 大規模 RLC 回路の解析における行列分割手法と回路分割手法の比較 "，信学技法 CAS2014-55 NLP2014-49, pp.23-28, 2014 年 10 月.

[68] 大野雄高，「カーボンナノチューブ薄膜によるフレキシブルエレクトロニクス」，附置研究所間アライアンス G1 分科会，2015.03.05，名古屋．[招待講演]

[69] 大野雄高，「カーボンナノチューブ薄膜のウェアラブルセンサーデバイス応用」，環境調和セラミックス材料研究会，2015.01.15，名古屋工業大学．[招待講演]

[70] 大野雄高，「カーボンナノチューブ薄膜の形成とデバイス応用」，第 6 回窒化物半導体研究会，2014.07.25，名城大学．[招待講演]

[71] Islam A.K.M. Mahfuzul, 小野寺秀俊，" トポロジー可変な遅延モニタ回路を用いたトランジスタ毎の静的及び動的特性ばらつきの評価，" 情報処理学会 DA シンポジウム 2014 論文集，pp.9-14，2014 年 8 月.

[72] 鎌苅達也，西澤真一，石原亨，小野寺秀俊，" 製造ばらつきを考慮した極低電圧動作向けフリップフロップの設計手法，" 情報処理学会 DA シンポジウム 2014

論文集，pp.91-96，2014 年 8 月.
[73] 塩見準，石原亨，小野寺秀俊，"ニアスレッショルド電圧動作に適した単一電源で動作する高歩留まりオンチップメモリの設計，"情報処理学会 DA シンポジウム 2014 論文集，pp.103-108, 2014 年 8 月.
[74] 釜江典裕，土谷亮，石原亨，小野寺秀俊，"PLL の物理レイアウト自動生成を目指した設計手法，"情報処理学会 DA シンポジウム 2014 論文集，pp.127-132, 2014 年 8 月.
[75] 塩見準，石原亨，小野寺秀俊，"ニアスレッショルド回路設計のための基本定理，"電子情報通信学会技術報告 VLD2014-172, pp.109-114, 2015 年 3 月.
[76] 竹下俊宏，西澤真一，Islam A.K.M. Mahfuzul, 石原亨，小野寺秀俊，"電源電圧としきい値電圧の同時最適化が集積回路の消費エネルギーに与える影響の解析，"電子情報通信学会技術研究報告 VLD2014-129, pp.111-116, 2015 年 1 月.
[77] 西澤真一，石原亨，小野寺秀俊，"電源電圧に応じてトランジスタサイズを最適化可能なセルライブラリの生成システム，"情報処理学会 DA シンポジウム 2014 論文集，pp.97-102，2014 年 8 月.
[78] 猪谷孝太，岩垣剛，市原英行，井上智生，"依存性グラフを用いた 4 相 2 線式非同期回路の高位設計支援システム，"機能集積情報システム研究会，2015 年 3 月.
[79] 中屋，内田，田中，"天文観測用画像センサー読み出し IC の試作"，日本天文学会 2014 年秋季年会，2014 年 9 月
[80] 三浦克介，則松研二，中前幸治，"ソフトウェア故障診断結果とそれに基づく局所的なレイアウト抽出回路を用いた発光解析支援システムの検討，"ナノテスティングシンポジウム /2014 会議録，p.269-273, 12-14 Nov. 2014.
[81] 川口，小平，"一般同期方式における低電力化と高速化を実現するためのテクノロジーマッピング手法"，電子情報通信学会技術報告書（VLD2014-83），pp.87-92, 2014 年 11 月.
[82] 一宮佑希，竹中充，高木信一，「III-V-OI 基板の耐熱性向上技術および低抵抗横型 PIN 接合形成技術」，電子情報通信学会レーザ・量子エレクトロニクス研究会（LQE），8, 機会振興会館，2014 年 12 月 19 日.
[83] 韓在勲，竹中充，高木信一，「プラズマ後窒化 HfO2/Al2O3/SiGe0.32 MOS 界面の電極依存性」，第 75 回応用物理学会秋季学術講演会，19p-A17-7，北海道大学札幌キャンパス，2014 年 9 月 19 日.
[84] 佐々木和哉，竹中充，高木信一，「グラフェンフォトディテクタの高性能化に向けた金属 / グラフェン界面におけるフェルミ準位変化の評価」，第 75 回応用物理学会秋季学術講演会，18p-A18-15，北海道大学札幌キャンパス，2014 年 9 月 18 日.
[85] 亢健，玉姚，竹中充，高木信一，「Ge-on-Insulator fabrication by smartcut technology for Ge CMOS photonics platform」，第 75 回応用物理学会秋季学術講演会，18p-A18-14，北海道大学札幌キャンパス，2014 年 9 月 18 日.
[86] 金佑彊，高木信一，竹中充，「Effects of thinning condensation UTB GOI films by additional thermal oxidation on GOI Characteristics」，第 75 回応用物理学会秋季学術講演会，18p-A16-11，北海道大学札幌キャンパス，2014 年 9 月 18 日.
[87] 一宮佑希，横山正史，竹中充，高木信一，「小型低クロストーク InGaAsP 細線導波路光スイッチの作製」，第 75 回応用物理学会秋季学術講演会，18a-C6-4，北海道大学札幌キャンパス，2014 年 9 月 18 日.
[88] Y. Cheng，一宮佑希，竹中充，高木信一，「Dark current reduction of waveguide InGaAs MSM photodetector on III-V CMOS photonics platform by InAlAs cap layer」，第 75 回応用物理学会秋季学術講演会，17p-C6-4，北海道大学札幌キャンパス，2014 年 9 月 17 日.
[89] 西康一，横山正史，横山春喜，星拓也，杉山弘樹，竹中充，高木信一，「基板貼り合わせ法により作製した Si 上フロントゲート GaSb-OI p-MOSFET の動作実証」，第 75 回応用物理学会秋季学術講演会，17a-PA3-4，北海道大学札幌キャンパス，2014 年 9 月 17 日.
[90] 金ミンス，若林勇希，中根了昌，竹中充，高木信一，「Ge/Si hetero-junction TFETs with in-situ boron-doped Ge-source」，第 75 回応用物理学会秋季学術講演会，17a-PA3-2，北海道大学札幌キャンパス，2014 年 9 月 17 日.
[91] 本行，トランティホン，尾知，"最大値計算を不要とする LLR 近似を用いた MIMO デコーダの設計，"IEICE Technical Report，Vol. 114，No.86，RCS2014-39，pp. 43-38，Jun. 2014.
[92] 染谷槙人，内田大輔，池辺将之，本久順一，佐野栄一，間欠動作 TDC を用いたシングルスロープ ADC 構成の検討，電子情報通信学会，集積回路研究会 2014 年 7 月
[93] 謝侃，池辺将之，本久順一，佐野栄一，"自動しきい値補正型 Dickson Charge Pump による整流特性の効率化，"電子情報通信学会，集積回路研究会 2014 年 7 月
[94] 小松与志也，張山昌論，亀山充隆，"LEDR/4 相 2 線ハイブリッドアーキテクチャに基づく高性能非同期 FPGA"，電子情報通信学会技術報告（信学技報），RECONF2014-6，pp.27-31（2014-06-12）
[95] 原田伸太郎，亀山充隆，藤岡与周，"マイクロパケット転送方式に基づく多値リコンフィギャラブル VLSI の構成と評価"，多値論理研究ノート，Vol.37，No.8, pp.8-1 - 8-6（2014）.
[96] 木村和紀，廣本正之，佐藤高史，"高次元回路歩留まり解析高速化のための最急降下法を用いた不良領域探索"，第 27 回回路とシステムワークショップ，pp.229-234, 2014 年 8 月.
[97] Xiaolun Cao, Masayuki Hiromoto, and Takashi Sato, "An Experimental Study on Interdigital Capacitance Sensor for Detecting Heart Rate," 第 27 回回路とシス

テムワークショップ，pp.138-143, Aug. 2014.
[98] 粟野皓光，廣本正之，佐藤高史，"3996 トランジスタにおける NBTI 劣化の統計的ばらつき "，情報処理学会 DA シンポジウム 2014, pp.3-8, 2014 年 8 月
[99] 岡崎剛，廣本正之，佐藤高史，" ランダムウォーク電源網解析の高速化に向けた節点解析順序の検討 "，情報処理学会研究報告，Vol.2014-SLDM-166, No.9, pp.1-6, 2014 年 5 月.
[100] 佐川善彦，廣本正之，佐藤高史，越智裕之，" 低電圧起動回路を用いた省電力チップ間非接触通信回路 "，情報処理学会研究報告，Vol.2014-SLDM-166, No.10, pp.1-6, 2014 年 5 月.
[101] 粟野皓光，廣本正之，佐藤高史，"RTN を考慮した SRAM 不良確率の高速計算 "，電子情報通信学会技術研究報告（デザインガイア 2014 -VLSI 設計の新しい大地 -）, Vol.114, No.328, VLD2014-74, DC2014-28, pp.15-20, 2014 年 11 月.
[102] 高垣勇登，三舩洋嗣，日高青路，廣本正之，佐藤高史，"3 端子コンデンサにおける周波数特性の有理関数近似と等価回路表現 "，電子情報通信学会技術研究報告（環境電磁工学研究会）, Vol.114, No.398, EMCJ2014-101, pp.89-94, 2015 年 1 月.
[103] 吉永幹，粟野皓光，廣本正之，佐藤高史，"RTN 起因のリングオシレータ発振周波数変動を利用した PUF"，電子情報通信学会技術研究報告（VLSI 設計技術研究会）, Vol.114, No.476, VLD2014-174, pp.117-122, 2015 年 3 月.
[104] 辺松，新谷道広，Zheng Wang，廣本正之，Anupam Chattopadhyay，佐藤高史，" 命令セットアーキテクチャによる劣化抑止ゲート制御を用いたプロセッサ NBTI 劣化緩和手法 "，電子情報通信学会技術研究報告（VLSI 設計技術研究会）, Vol.114, No.476, VLD2014-161, pp.49-54, 2015 年 3 月.
[105] 新谷道広，廣本正之，佐藤高史，" パワー MOSFET デバイスモデルに向けた自動モデルパラメータ決定手法に関する一検討 ", 電気学会全国大会講演論文集, Vol.4, p.2, 4-002, 2015 年 3 月.
[106] 岡田慎吾，浅井秀樹，" 局所陰的 LIM による非線形素子を含む不均一分布定数回路網の高速過渡解析 "，信学技報，vol. 114, no. 381, pp. 1-6, 2014 年 12 月
[107] 坂本和基，關根惟敏，浅井秀樹，" ブロック LIM を用いたシリコン貫通ビアを伴う三次元集積回路の高速解析 "，2015 年電子情報通信学会総合大会，2015 年 3 月
[108] 菱木，丸山，飯山，" 光速光受信機のためのトランスインピーダンス増幅回路に関する研究 "，平成 26 年度応用物理学会北陸・信越支部学術講演会，8-E-3, 富山大学（2014.11）
[109] 水柿義直，高橋義隆，島田宏，前澤正明，"9 ビット・2.5 mVpp 単一磁束量子パルス周波数変調型ディジタル－アナログ変換器の試作と動作検証，" 2014 年電子情報通信学会ソサイエティ大会，2014 年 9 月 23 日
[110] 浦井芳彰，高橋義隆，島田宏，前澤正明，水柿義直，" パルス数増倍器を入力に備えた 200 倍 DFQ アンプの高周波入力応答，" 2014 年第 75 回応用物理学会秋季学術講演会，2014 年 9 月 17 日
[111] 渡邉智希，浦井芳彰，島田宏，水柿義直，" オンチップのパルス電流生成器による磁気結合 dc/SFQ 変換器のパルス応答検証，" 2014 年第 75 回応用物理学会秋季学術講演会，2014 年 9 月 17 日
[112] 水柿義直，黒岩桂介，佐藤裕介，高橋義隆，島田宏，前澤正明，" 単一磁束量子パルス周波数変調方式を利用した電圧波形発生器の試作，" 電子情報通信学会技術研究報告（超伝導エレクトロニクス），SCE2014-, 2014 年 7 月 23 日
[113] 佐藤雅紘，飯塚翔一，粟野皓光，橋本昌宜，尾上孝雄，"NBTI による閾値電圧変化の確率的モデル化に関する一考察，" 2015 年電子情報通信学会総合大会講演論文集，March 2015.
[114] S. Iizuka, Y. Higuchi, M. Hashimoto, and T. Onoye, "Area Efficient Device-Parameter Estimation Using Sensitivity-Configurable Ring Oscillator," 電子情報通信学会 VLSI 設計技術研究会，March 2015.
[115] 飯塚翔一，樋口裕磨，橋本昌宜，尾上孝雄，" 感度可変リングオシレータを用いた省面積デバイスパラメータばらつき推定手法，" 情報処理学会 DA シンポジウム，pp. 15–20, August 2014.
[116] 増田豊，橋本昌宜，尾上孝雄，" 電源ノイズ起因電気的故障を対象としたソフトウェアベース高速エラー検出手法の性能評価，" 情報処理学会 DA シンポジウム，pp. 203–208, August 2014.
[117] 飯塚翔一，水野雅文，黒田弾，橋本昌宜，尾上孝雄，" プロセッサの適応的速度制御における故障発生時間見積り高速化に関する研究，" LSI とシステムのワークショップ，May 2014.
[118] 河野仁，鵜川翔平，信田龍哉，塚元瑞穂，田中勇気，中島康祐，伊藤雄一，廣瀬哲也，橋本昌宜，" リアルタイム 3 次元モデリングシステム iClay の実現に向けた 1mm^3 級センサノードの要素技術開発，" LSI とシステムのワークショップ，May 2014.
[119] 宮川，下山，淡野，平田，西埜，中武，山田，" オペアンプ対のブロック融合レイアウトとその製造ばらつき評価 "，電子情報通信学会技術研究報告書，VLD2014-48，pp.207-212，2014 年 7 月.
[120] 平田，西埜，中武，宮川，下山，淡野，山田，" ブロック融合レイアウト方式に基づく計装アンプ開発及びその製造性評価手法の検討 "，情報処理学会 DA シンポジウム，pp.133-138，2014 年 8 月.
[121] 宮内，淡野，成瀬，田村，外山，" 携帯端末を用いた生体信号計測機器の一検討 ", 第 37 回多値論理フォーラム，2014 年 9 月.
[122] 工藤，田村，外山，淡野，" チョッパースタビライゼーションを用いた増幅器における増幅回路の周波数帯域に関する一考察とその試作 "，平成 26 年度（第 67 回）電気・情報関係学会九州支部連合大会，12-2A-09, 2014 年 9 月.

[123] 成瀬，宮内，淡野，田村，外山，"スマートフォンのセンサーインターフェイス拡張のための電源用 IC の設計と試作"，平成 26 年度（第 22 回）電子情報通信学会九州支部学生会講演会，C-23，2014 年 9 月.

[124] 岸和田，岩崎，上田，出井，宮脇，松岡，"特性ばらつき補償を用いた低電力非接触給電微粒子操作集積回路"，電子情報通信学会ソサイエティ大会，C-12-2, 2014 年 9 月

[125] 出井，岸和田，山根，井上，松岡，"液中オンチップ微粒子操作用非接触電力伝送の高効率化"，電子情報通信学会ソサイエティ大会，C-12-11, 2014 年 9 月.

[126] 山根，岩崎，出井，崔，松岡，"オンチップ微粒子操作のための容量変化検出回路の低電源電圧化"，信学会集積回路研究会，ICD2014-29, 2014 年 7 月.

[127] 岩崎，瀬脇，早川，岩元，大畠，"比較器の PD 積低減技術（1） ―ボディーバイアス制御技術―"，電子情報通信学会アナログ RF 研究会，2014 年 7 月

[128] 岩元，大畠，"比較器の PD 積低減技術（2） ―昇圧技術―"，電子情報通信学会アナログ RF 研究会，2014 年 7 月

[129] 堀田，大畠，"Single Slope ADC 用高出力抵抗カレントミラー回路に関する検討"，電気・情報関係学会九州支部連合大会，2014 年 9 月

[130] 山口，大畠，"並列型 AD 変換器用高速コンパレータの提案"，電気・情報関係学会九州支部連合大会，2014 年 9 月

[131] 堀田，大畠，"300-MS/s, 8-bit, 2 ステップ Single Slope ADC の設計"，電子情報通信学会ソサイエティ大会，2014 年 9 月

[132] 岩元，大畠，"一時昇圧技術を用いた低エネルギーコンパレータ"，電子情報通信学会ソサイエティ大会，2014 年 9 月

[133] 堀田，大畠，"Single Slope ADC における連続時間型比較器に関する考察"，電子情報通信学会アナログ RF 研究会，2014 年 12 月

[134] 大畠，"SAR ADC における CDAC のセトリング時間に関する一考察"，電子情報通信学会アナログ RF 研究会，2014 年 12 月

[135] 岩元，大畠，"一時昇圧比較器を用いた 0.5-V, 1.2-GHz, 6-bit Flash ADC"，電子情報通信学会総合大会，2015 年 3 月

[136] 田中，魏，"二進数用マルチオペランド加算器の SD 数乗算器への適用，"第 27 回回路とシステムワークショップ，pp.74-49,2014 年 8 月.

[137] Tanaka, "On modulo 2n+-1 multiplier for Signed-Digit number system," Proc. 6th. Intl. conf. on AMDE, pp.149, Dec., 2014.

[138] 三田吉郎，"TSV 向け大面積・高速 Si 深掘りエッチング技術 "Electronic Journal 第 2322 回 Technical Seminar，連合会館，東京，2014 年 7 月 17 日

[139] 三田吉郎，"Si 深掘り加工と集積回路が開く電子デバイスの新展開"，（独）日本学術振興会，結晶加工と評価技術第 145 委員会第 141 回研究会，明治大学駿河台キャンパス，東京，2014 年 12 月 18 日，pp.7-11

[140] 三田吉郎，"ナノテクプラットフォームと集積化 MEMS による 21 世紀型センサ技術の新展開", スマート・アクチュエータ／センサ委員会第 108 回定例会講演，東京大学山上会館

[141] 根間，田中，茂木，魏　書剛，"剰余 SD 数演算回路を用いた算術演算誤り検出"，信学技報 VLD2014-135,pp.151-156,2015 年 1 月.

[142] 松田茂郷，木原崇雄，野々村尚樹，吉村勉，"オンチップバランを用いた CMOS 差動低雑音増幅器の設計"，電子情報通信学会総合大会，C-12-3, 2015 年 3 月.

[143] 鬼頭，秋元，高木，"部分二重化を用いたオンライン誤り検出可能な浮動小数点乗算器の設計と評価，"電子情報通信学会技術研究報告，vol. 114, no. 507, DC2014-107, pp. 125-130, 2015 年 3 月.

[144] 鬼頭，秋元，高木，"部分二重化を用いた微小誤りを許容するオンライン誤り検出可能な浮動小数点乗算器，"電子情報通信学会技術研究報告，vol. 114, no. 99, DC2014-15, pp. 33-38, 2014 年 6 月.

[145] 鬼頭，吉田，"オンライン誤り検出可能な 3 オペランド複素数乗算回路，"電子情報通信学会 2015 年総合大会，D-10-1, 2015 年 3 月 12 日.

[146] 和田康太郎，田中武，升井義博，"センサーネットワークのための非同期型 AD 変換器"，電子情報通信学会 2015 総合大会，ISS-SP-185, 2015 年 3 月.

[147] 西田敏也，王森レイ，佐藤康夫，梶原誠司，"低電力 BIST 手法におけるキャプチャ電力の TEG 評価，"信学技報，vol. 114, no. 99, DC2014-13, pp. 21-26, 2014-06.

[148] 清水怜，田ノ元正和，高前田（山崎）伸也，姚駿，中島康彦，"メモリネットワークベースアクセラレータの試作と評価"，信学技報 CPSY2014-81, pp.51-56, Nov.（2014）

[149] 谷卓治，長沼秀樹，原島卓也，岩上卓磨，木野久志，清山浩司，Minna KellomÄki，Jari Hyttinen，田中徹，"利得切替機能付き増幅回路チップとシリコン神経プローブを用いた脳信号記録用一体化モジュールの開発，"第 53 回日本生体医工学会大会，O3-10-4, June 2014.

[150] 谷卓治，長沼秀樹，原島卓也，川原岬，岩上卓磨，木野久志，清山浩司，田中徹，"帯域及び利得の切替機能を有する脳信号多点記録用神経プローブモジュールの開発，"生体医工学シンポジウム 2014, pp.35, September 2014.

[151] 谷卓治，原島卓也，長沼秀樹，川原岬，岩上卓磨，伊藤圭汰，鈴木雄策，後藤大輝，木野久志，清山浩司，田中徹，"ゲイン・帯域切替可能生体信号処理 LSI 及び神経プローブモジュールの開発と評価，"ME とバイオサイバネティックス研究会，pp.51-54, November 2014.

[152] 永藤弘嵩，谷卓治，長沼秀樹，岩上卓磨，川原岬，伊藤圭汰，清山浩司，田中徹，"多点高密度計測のためのノイズキャンセリング回路の設計，"第 62 回応

用物理学会春季学術講演会，11-024, May 2015.
[153] 岩上卓磨，谷卓治，長沼秀樹，川原岬，伊藤圭汰，永藤弘嵩，清山浩司，田中徹，"多点高密度計測のためのインピーダンス補正回路の設計，"第 62 回応用物理学会春季学術講演会，11-025, May 2015.
[154] 久々湊，松田，岩田，水島，小幡，"片側接地型圧力センサ用 CV 変換回路の開発"，電気関係学会北陸支部連合大会，D-17，2014 年 9 月，富山高専（富山）
[155] 宇賀神，小林，東原，"3 相複素 RC バンドパスフィルタを用いた高精度イメージ抑圧無線受信機構成の検討"，第 37 回アナログ RF 研究会，2014 年 12 月
[156] 伊藤，東原，"高周波複素バンド・パスフィルタを用いた直交変調器の高精度化の研究"，電気学会電子回路研究会，pp-17-21, 2015 年 1 月 22 日
[157] 西内，東原，"RF CMOS 広帯域受信フロントエンドの設計"，情報処理学会東北支部研究会，A2-2, 2015 年 1 月 31 日
[158] 西村，高木，高木，"単一磁束量子回路のパルス到着タイミングを最適化する配置配線手法，"電子情報通信学会 2015 年総合大会，C-8-8, 2015 年 3 月.
[159] 荒牧恵悟，清水暁生，石川洋平，深井澄夫，"広出力電圧範囲を有する 14 ビットカレントステアリング型 D/A 変換器の検討"，IEEE 主催 2014 年度第 1 回学生研究発表会，IEEE_IM-S14 － 10，Nov. 2014.
[160] 佐藤貴章，吉田崇将，荒牧恵悟，石川洋平，深井澄夫，清水暁生，"TIA を用いた DAC におけるトランジスタミスマッチの影響，"2014 年度電子情報通信学会九州支部学生会講演会・講演論文集，A-06，Sep. 2014
[161] 吉田崇将，佐藤貴章，荒牧恵悟，石川洋平，清水暁生，深井澄夫，"ベニューロン MOS カレントミラーにおけるオフセット電流の影響，"2014 年度電子情報通信学会九州支部学生会講演会・講演論文集，C-17，Sep. 2014.
[162] 田中友規，岸根桂路，土谷　亮，尾本大地，稲葉博美，"プリエンファシス機能付き 25Gb/s 動作出力バッファ回路の試作評価"，2015 電子情報通信学会　総合大会 C12-29.
[163] 尾本大地，岸根桂路，稲葉博美，田中友規，"ラベリング信号検出回路における FM 遅延検波回路の高分解能化検討"，2015 電子情報通信学会　総合大会 A1-29.
[164] 竹内高伸，小西恵介，田中武，"TCAD を用いた LED 教育システムの構築"，平成 26 年度（第 65 回）電気・情報関連学会中国支部連合大会講演論文集，pp. 20-21,2014 年 10 月
[165] 吉川知秀，平石一貴，和田敏輝，池辺将之，佐野栄一，"2.4 GHz 帯ブリバイアス型整流回路の試作と評価"，映像情報メディア学会技術報告，Vol.38, No.26, pp.55-59, 2014 年 7 月
[166] 田中雅光，上阪岬，喜多祐真，藤巻朗，永沢秀一，日高睦夫，"20kA/cm2 プロセスによる低エネルギ単一磁束量子回路の評価，"2014 年度春季低温工学・超電導学会，東京，2014 年 5 月.
[167] 田中雅光，佐藤諒，藤巻朗，"上部グランド面を有する大規模単一磁束量子回路の評価，"2014 年度秋季低温工学・超電導学会講演会，福島，2014 年 11 月.
[168] 津根彰久，黒川綜太，谷口壮耶，伊藤大，田中雅光，赤池宏之，藤巻朗，"磁性体を用いた磁束量子パラメトロン回路の低電流化に関する研究，"電子情報通信学会 2014 年ソサイエティ大会，徳島，2014 年 9 月
[169] 高田賢介，田中雅光，藤巻朗，唐光明，高木一義，高木直史，"4 ビット並列ビットスライス高スループット ALU の動作実証，"電子情報通信学会 2014 年ソサイエティ大会，徳島，2014 年 9 月
[170] 田中雅光，高田賢介，高木一義，高木直史，藤巻朗，"単一磁束量子 32 ビットマイクロプロセッサに向けたビットスライスレジスタファイルの設計，"電子情報通信学会 2014 年ソサイエティ大会，徳島，2014 年 9 月
[171] 上阪岬，喜多佑真，伊藤圭介，日高睦夫，石田武和，藤巻朗，"直流バイアス運動インダクタンス検出器のアレイ化のためのバイナリ変換回路の評価，"電子情報通信学会 2014 年ソサイエティ大会，徳島，2014 年 9 月
[172] 幸村勇斗，田中雅光，永沢秀一，吉川信行，藤巻朗，"10kA/cm2 Nb プロセスを用いたジョセフソンランダムアクセスメモリのための要素回路の測定結果，"電子情報通信学会 2014 年ソサイエティ大会，徳島，2014 年 9 月
[173] 田中雅光，藤巻朗，"高密度単一磁束量子シフトレジスタメモリシステムの実装，"電子情報通信学会 2015 年総合大会，草津，2015 年 3 月.
[174] 佐藤諒，高田賢介，田中雅光，藤巻朗，高木一義，高木直史，"機能を拡張した 8 ビットシリアル単一磁束量子マイクロプロセッサの設計，"電子情報通信学会 2015 年総合大会，草津，2015 年 3 月.
[175] 上阪岬，喜多佑真，神谷恭平，藤巻朗，"中性子イメージングに向けた単一磁束量子エンコーダの設計と評価，"電子情報通信学会 2015 年総合大会，草津，2015 年 3 月.
[176] 喜多祐真，上阪岬，伊藤圭介，日高睦夫，石田武和，藤巻朗，"直流バイアス運動インダクタンス検出器アレイの光照射実験とその評価，"第 75 回応用物理学会秋季学術講演会，札幌，2014 年 9 月.
[177] 田中雅光，佐藤諒，藤巻朗，永沢秀一，日高睦夫，"20kA/cm2 Nb/AlOx/Nb 接合を用いた RSFQ 100 GHz ビットシリアル加算器，"第 62 回応用物理学会春季学術講演会，平塚，2015 年 3 月.
[178] 黒川綜太，津根彰久，伊藤大，谷口壮耶，田中雅光，赤池宏之，藤巻朗，"磁性体を用いた再構成可能な磁束量子パラメトロン回路，"第 62 回応用物理学会春季学術講演会，平塚，2015 年 3 月.
[179] 神谷恭平，喜多祐真，上阪岬，Bozbey Ali，藤巻朗，田中雅光，"直列接続多元超伝導検出器アレイの個別読出し，"第 62 回応用物理学会春季学術講演会，平塚，2015 年 3 月.

[180] 飯倉祥晴，楳田洋太郎，小澤佑介，"OFDM 伝送における D 級増幅器を用いたポーラ変調型 EPWM 送信機の特性評価 "，信学技報，vol.114, no.318, pp.89-94, Nov.2014.

[181] 染谷和，野田昂志，楳田洋太郎，小澤佑介，"3 値出力 Δ Σ 変調器を用いた直交変調型 EPWM 送信機における D 級電力増幅器の 2 値および 3 値駆動の比較 "，信学技報，vol.114, no.392, pp.99-104, Jan.2015.

[182] 野田昂志，染谷和，飯倉祥晴，楳田洋太郎，小澤佑介，"3 値 Δ Σ 変調器により生成した 2 値包絡線パルス幅変調信号を用いる直交変調型送信機 "，信学技報，vol.114, no.318, pp.83-88, Nov.2014.

[183] 藤本大介，三浦典之，永田真，林優一，本間尚文，Shivam Bhasin，Jean-Luc Danger, "CMOS 暗号回路におけるシリコン基板からのサイドチャネル漏洩，" 電子情報通信学会技術報告 EMCJ2014-10, 1-6, 2014.6.

[184] 三浦典之，藤本大介，永田真，" サイドチャネル情報漏洩対策のための集積回路技術，" 電子情報通信学会技術報告 ICD2014-67, 9-14, 2014.11.

[185] 永田真，"（招待講演）VLSI チップにおける電源雑音の評価とモデリング，" 電気学会電子回路研究会 ECT-14-107, 1-6, 2014.12.

[186] 本間尚文，林優一，三浦典之，藤本大介，永田真，青木孝文，" 電磁波攻撃センサの設計と実証，" 電子情報通信学会・2015 年暗号と情報セキュリティシンポジウム 2F4-4, 1-6, 2015.1.

[187] 永田真，"VLSI チップにおける電源雑音の評価とモデリング，" 電気学会電子・情報・システム部門大会，TC6-5，pp. 355-360, 2014.9.3.

[188] 後藤智哉，柳澤政生，木村晋二，"RISC プロセッサの内部レジスタの不揮発化に向けた書き込み削減手法，" 信学技法 VLD2014-49, Vol. 114, No. 123, pp.1-6, July 2014.

[189] 葛西，及川，木村，三島，中村，"Mg イオン注入を用いた GaN MISFET のノーマリーオフ化 "，第 75 回応用物理学会秋期学術講演会，2014 年 9 月

[190] MDR-ROM を用いてサイドチャネル攻撃対策 AES と PUF を実現した鍵生成 LSI の実装評価，SCIS 2015, Jan. 2015.

[191] 西村隆志，竹内章浩，汐崎充，藤野毅，" サイドチャネル攻撃耐性を持つ MDR-ROM に統合可能な PUF 回路の設計と評価 "，デザインガイア 2014-VLSI 設計の新しい大地 -，信学技報，vol.114, no.333, ICD2014-68, pp.15-20, 2014 年 11 月.

[192] 中井，汐崎，久保田，菅原，鈴木，藤野，" レジスタに値を保持しているだけで生じる静的なサイドチャネルリーク "，暗号と情報セキュリティシンポジウム 2015，2015 年 1 月.

[193] 堤，中井，汐崎，久保田，藤野，" サイドチャネル攻撃対策 RSM 方式を用いた AES 暗号回路の電力解析攻撃耐性評価 "，暗号と情報セキュリティシンポジウム 2015，2015 年 1 月.

[194] 中野将志，久保田貴也，汐崎充，藤野毅，" 暗号回路に対するレーザフォールト攻撃の対策手法の検討 "，LSI とシステムのワークショップ 2014, 2014 年 5 月.

[195] 中野将志，汐崎充，藤野毅，" レーザフォールト攻撃に耐性のある論理ゲートの基礎検討と実験評価 "，SCIS2015, 2015 年 1 月.

[196] 廣瀬，" 環境エネルギーを利用した超低電力集積回路設計の取り組み "，電子情報通信学会集積回路研究専門委員会シリコン RF 研究会，鹿児島，2014 年 7 月.

[197] 椿，廣瀬，尾崎，黒木，沼，" 時間計測アプリケーションに向けた超低電力弛張発振回路 "，電子情報通信学会集積回路研究専門委員会集積回路研究会，pp. 99-104,（札幌）, 2014 年 8 月.

[198] 小國，廣瀬，椿，尾崎，黒木，沼，"PWM 制御方式を用いた時間分解能型 AD コンバータの低電力化，" 第 27 回回路とシステムワークショップ，pp. 300-305,（兵庫）, 2014 年 8 月.

[199] 松本，廣瀬，椿，黒木，沼，" 高耐圧 CMOS トランジスタによる低電力バンドギャップリファレンス回路，" 第 27 回回路とシステムワークショップ，pp. 31-35,（兵庫）, 2014 年 8 月.

[200] 浅野，廣瀬，椿，尾崎，黒木，沼，" 電力変換効率の負荷電流依存性を考慮したオンチップチャージポンプの高効率化，" 第 27 回回路とシステムワークショップ，pp. 25-30,（兵庫）, 2014 年 8 月.

[201] 上田，廣瀬，山内，椿，黒木，沼，" 逐次比較 AD コンバータに向けたコンパレータのオフセット補正アーキテクチャ，" 電子情報通信学会集積回路研究専門委員会アナログ RF 研究会，no. 5,（鹿児島）, 2014 年 7 月.

[202] 加島祐大，佐々木昌浩，" 自己同期式シリアルインターフェイスにおける出力オフセット電圧の検討，" 電子情報通信学会ソサイエティ大会，2014 年 9 月（徳島大）

[203] 杉本俊貴，谷本洋，吉澤真吾，" 確率的フラッシュ AD 変換器の線形化に関する検討，" 電気学会電子・情報・システム部門大会講演論文集，pp.1545-1549, Sep. 2014.

[204] 伴内優貴，谷本洋，吉澤真吾，" 集積化可変 RC ポリフェーズフィルタの設計，" 電気学会，電子回路研究会資料，ECT-14-053, pp.7-12, July 2014.

[205] 竹端久登，谷本洋，吉澤真吾，"CMOS 標準ロジックを用いた確率的フラッシュ型 AD 変換器の試作と評価，" 電気学会，電子回路研究会資料，ECT-14-058, pp.37-42, July 2014.

[206] 野崎麻衣，吉澤真吾，谷本洋，"OFDM-IDMA 方式における干渉キャンセラの回路設計，" 電子情報通信学会 SIS 研究会，SIS2014-27, pp.141-146, July 2014.

[207] 今井雅，五十嵐大将，工藤三四郎，"DDL セルライブラリを用いた非同期式回路設計支援環境の構築，" 電子情報通信学会技術研究報告 CPSY2014-2, pp.3-8, 2014 年 4 月

[208] 今井雅，"DDL 素子を用いた非同期式細粒度パイプライン回路の論理合成用ライブラリ，" IPSJ DAS2014, pp.73-78, 2014 年 8 月

[209] 寺山恭平，今井雅，黒川敦，"2Phase ハンドシェイク

プロトコルに基づく非同期式回路のスキャンテスト，"平成 26 年度電気学会電子･情報･システム部門大会，pp.765-770, 2014 年 9 月

[210] 今井雅，黒川敦，"高速通信非同期式回路における多入力調停回路の構成方式に関する考察，"平成 26 年度電気学会電子・情報・システム部門大会，pp.771-776, 2014 年 9 月

[211] 星誠，深瀬政秋，今井雅，黒川敦，"高効率遅延セルの実測による性能評価，"電子情報通信学会総合大会講演論文集，2015 年 3 月

[212] 小林徹哉，今井雅，深瀬政秋，新岡七奈子，黒川敦，"ウィンドウベース L 逆行列による TSV 間容量抽出，"電子情報通信学会総合大会講演論文集，2015 年 3 月

[213] 山口正登志，上ノ原誠二，森江隆，スパイク列フィルタとして動作するスパイキングカオス振動子回路，電子情報通信学会 NLP 研究会，Vol. 114，No. 414，pp. 77-82, 2015 年 1 月 26-27(26)日，コンパルホール(大分)

[214] 小峰，齋藤，"SystemC モデルから束データ方式による非同期式回路を合成する合成フローの提案"，信学技報，vol.114, no.59, pp.21-26, 2014 年 5 月.

[215] 小峰，齋藤，"高位合成ツールからの非同期式回路生成に関する研究"，信学技報，vol. 114, no. 476, VLD2014-165, pp. 73-78, 2015 年 3 月.

[216] 古賀，大塩，川添，野口，荻島，清水，深井，石川，"Processing と Arduino を用いた LSI 計測環境の改良"，第 22 回電子情報通信学会九州支部学生会講演会，C14, 2014 年 9 月

[217] 池田，三浦幸也，"リング発振器を用いた LSI の劣化推定法"，電子情報通信学会 DC 研究会，DC2014-11, pp.7-14, 2014 年 6 月.

[218] 石川武道，吉野理貴，安田　彰，森山誠二郎，"設計手順やノウハウのデータ管理によるデジタルスピーカシステム設計効率化の試み"，電気学会，電子回路研究会，ECT-15-013，1 月，2014 年　(高知県)

[219] 高橋壮佳, 戸野村厚樹, 原島　昇, 安田　彰, 吉野理貴，"デジタル直接駆動スピーカの大電力化"，電子情報通信学会　ソサエティ大会大会，A-10-2，9 月 24 日，2014 年.

[220] 戸野村厚樹, 高橋壮佳, 西勝　聡, 安田　彰, 吉野理貴，"マルチビット信号によるパラメトリックスピーカのデジタル直接駆動，"電子情報通信学会　ソサエティ大会大会，A-10-1，9 月 24 日，2014 年.

[221] 松田隆志，笹川清隆，Peter Davis，李可人，太田淳，張兵，"生体内センシングのためのシート状媒体を用いたデータ転送の評価，"知的環境とセンサネットワーク研究会(ASN)，(66) ASN, 2014/1/24

[222] 徳田崇，野田俊彦，笹川清隆，太田淳，"CMOS イメージセンサをベースとした生体埋め込みデバイス，"(invited)，集積光デバイスと応用技術時限研究専門委員会，2014/1/31

[223] 太田淳，"バイオ・医療の進化を支える半導体集積回路と実装技術，"(invited)，機能性ハイブリッド材料研究会　公開研究会，2014/2/24

[224] 太田淳，"CMOS 集積回路技術と統合化バイオサーキット，"(invited)，日本学術振興会　薄膜第 131 委員会第 263 回委員会・第 269 研究会，2014/2/27

[225] 宮澤和也，竹原浩成，北口一樹，神山直也，笹川清隆，野田俊彦，徳田崇，山内理沙，Soo Hyeon Kim，飯野亮太，野地博行，太田淳，"デジタル ELISA に向けたレンズレス CMOS イメージングデバイスの高感度化，"(ポスター)，関西学生研究論文講演会，2014/3/10

[226] 須永圭紀, 春田牧人, 山口貴大, 元山真由美, 太田安美, 野田俊彦，笹川清隆，徳田崇，太田淳，"生体埋植型 CMOS イメージングデバイスに向けた緑色蛍光観察用フィルタの開発，"(ポスター優秀講演賞)，関西学生研究論文講演会，2014/3/10

[227] 須永圭紀, 春田牧人, 竹原浩成, 山口貴大, 元山真由美, 太田安美，野田俊彦，笹川清隆，徳田崇，太田　淳，"生体埋植型 CMOS イメージングデバイスの緑色蛍光検出感度改善，"バイオ･マイクロシステム研究会，BMS-14-5, 2014/3/12

[228] 竹原浩成，宮澤和也，笹川清隆，野田俊彦，徳田崇，Soo Hyeon Kim，飯野亮太，野地博行，太田淳，"デジタル酵素結合免疫吸着法に向けた積層フォトダイオード CMOS イメージセンサの開発，"応用物理学会春季学術講演会，17a-E14-2, 2014/3/17

[229] 藤沢匠，黒木渉平，石井孔明，野田俊彦，笹川清隆，徳田崇，太田淳，"AC 駆動型人工視覚向け網膜刺激デバイスの駆動検証，"応用物理学会春季学術講演会，17a-E14-8, 2014/3/17

[230] 河村敏和，高橋正幸，上嶋和弘，増田啓太，太田安美，元山真由美，野田俊彦，笹川清隆，徳田崇，興津輝，竹内昌治，太田淳，"CMOS イメージセンサによる蛍光方式生体内グルコース計測技術の開発(Ⅱ)，"応用物理学会春季学術講演会，17a-E14-6, 2014/3/17

[231] 春田牧人，須永圭紀，山口貴大，野田俊彦，笹川清隆，徳田崇，太田淳，"生体埋植 CMOS イメージングデバイスを用いた血流計測による自由行動下脳機能イメージング，"応用物理学会春季学術講演会，18p-E15-4, 2014/3/18

[232] 神山直也，中島駿，前澤安代，野田俊彦，笹川清隆，徳田崇，太田淳，"オプトジェネティクスのための CMOS ベース光刺激デバイス，"電気学会全国大会，3-125, 2014/3/18

[233] 山口貴大，須永圭紀，春田牧人，野田俊彦，笹川清隆，徳田崇，太田淳，"自己リセット機能を備えた高 SNR 生体埋植型イメージセンサ，"電気学会全国大会，3-124, 2014/3/18

[234] 北口一樹，宮澤和也，山内里紗，竹原浩成，笹川清隆，野田俊彦，徳田崇，Soo Hyeon Kim，飯野亮太，野地博行，太田淳，"レンズレス CMOS 蛍光計測デバイスによる酵素アッセイ，"電気学会全国大会，3-123, 2014/3/18

[235] 増田啓太，高橋正幸，上嶋和弘，河村敏和，太田安美，元山真由美，野田俊彦，笹川清隆，徳田崇，興津輝，竹内昌治，太田淳，"生体埋込み CMOS イメージセンサとグルコース応答性蛍光ハイドロゲルによる体内血糖計測デバイス，"電気学会全国大会，3-122, 2014/3/18

[236] 徳田崇，野田俊彦，笹川清隆，太田淳，"CMOS ベースマイクロバイオメディカルフォトニックデバイスの研究開発，"(invited), 電子情報通信学会総合大会，C-3-29 , 2014/3/20

[237] 河村敏和，高橋正幸，増田啓太，野田俊彦，笹川清隆，徳田崇，興津輝，竹内昌治，太田淳，"生体埋込みグルコースセンサに向けたCMOSラインセンサの開発，"E 部門総合研究会バイオ・マイクロシステム研究会，BMS-14-011, 2014/5/27

[238] 速水一，笹川清隆，野田俊彦，徳田崇，太田淳，"生体埋植型 CMOS イメージセンサによる生体内通信，"(ポスター), 情報センシング研究会(IST)映情学技報，2014/6/2

[239] 竹原浩成，笹川清隆，野田俊彦，徳田崇，Soo Hyeon Kim，飯野亮太，野地博行，太田淳，"デジタル ELISA 向けレンズレス蛍光観察システムの設計，"(ポスター), 情報センシング研究会(IST)映情学技報，2014/6/2

[240] 笹川清隆，春田牧人，野田俊彦，徳田崇，太田淳，"生体埋植型 CMOS イメージセンサの開発と脳機能イメージング応用，"有機分子・バイオエレクトロニクス分科会　研究会(M&BE 研究会)，2014/6/20

[241] 笹川清隆，野田俊彦，徳田崇，垣内喜代三，太田淳，"集積回路プロセスによる偏光計測 CMOS イメージセンサ，"光応用電磁界計測(PEM)時限研究専門委員会第 1 回研究会信学技報告，PEM2014-04, 2014/7/4

[242] 太田淳，"半導体集積回路のバイオ・医療への応用，"(invited), 半導体・集積回路技術シンポジウム，6, 2014/7/17

[243] 春田牧人，"生体内埋植型マイクロフォトニックデバイスによる自由行動下脳機能センシング技術，"(ポスター), 第 4 回先端フォトニクスシンポジウム，2014/8/8

[244] 速水一，"生体内通信に向けた超小型 PWM 出力イメージセンサ，"VDEC デザイナーズフォーラム 2014, 2014/8/29

[245] 山口貴大，"自己リセット機能を備えた高 SNR 生体埋植 CMOS イメージセンサ，"VDEC デザイナーズフォーラム 2014, 2014/8/29

[246] 河村敏和，"蛍光方式埋め込み型グルコースセンサに向けた CMOS センサ，"VDEC デザイナーズフォーラム 2014, 2014/8/29

[247] 河村敏和，"蛍光方式埋め込み型グルコースセンサに向けた CMOS センサ，"VDEC デザイナーズフォーラム 2014, 2014/8/29

[248] 増田啓太，高橋正幸，河村敏和，竹原宏明，野田俊彦，笹川清隆，徳田崇，興津輝，竹内昌治，太田淳，"CMOS センサベース蛍光方式体内埋込みグルコースセンサの機能評価，"映像情報メディア学会年次大会，19-2, 2014/9/2

[249] 北口一樹，竹原浩成，笹川清隆，竹原宏明，野田俊彦，徳田崇，Soo Hyeon Kim，飯野亮太，野地博行，太田淳，"レンズレスデジタル ELISA 法に向けた高感度蛍光計測用 CMOS イメージセンサの設計，"映像情報メディア学会年次大会，19-3, 2014/9/2

[250] 山口貴大，須永圭紀，春田牧人，竹原宏明，野田俊彦，笹川清隆，徳田崇，太田淳，"自己リセット機能を備えた生体埋植用 CMOS イメージセンサの開発，"映像情報メディア学会年次大会，20-1, 2014/9/2

[251] 春田牧人，須永圭紀，山口貴大，竹原浩成，野田俊彦，笹川清隆，徳田崇，太田淳，"行動実験を目的とした埋植用 CMOS イメージングデバイスによる脳機能イメージング，"(ポスター), 日本神経科学大会(Neuroscience2014), P2-397, 2014/9/12

[252] 藤沢匠，野田俊彦，寺澤靖雄，田代洋行，竹原宏明，笹川清隆，徳田崇，太田淳，"人工視覚用 CMOS チップ内蔵型スマート電極デバイスの刺激機能実証，"応用物理学会秋季学術講演会，17a-A7-4, 2014/9/17

[253] 河村敏和，増田啓太，竹原宏明，野田俊彦，笹川清隆，徳田崇，高橋正幸，興津輝，竹内昌治，太田淳，"蛍光方式生体内グルコース計測技術に向けた CMOS ラインセンサの開発，"応用物理学会秋季学術講演会，17a-A7-6, 2014/9/17

[254] 神山直也，竹原宏明，野田俊彦，笹川清隆，徳田崇，太田淳，"オプトジェネティクスのための CMOS ベース光・電気神経インターフェイスデバイス，"応用物理学会秋季学術講演会，17a-A7-7, 2014/9/17

[255] 竹原宏明, 太田安美, 元山真由美, 春田牧人, 野田俊彦, 笹川清隆，徳田崇，塩坂貞夫，太田淳，"遺伝子改変マウスの生体内蛍光イメージングに向けた埋植型イメージデバイスの開発，"応用物理学会秋季学術講演会，17a-A7-8, 2014/9/17

[256] 笹川清隆，北口一樹，竹原浩成，野田俊彦，徳田崇，Soo Hyeon Kim，山内里紗，飯野亮太，野地博行，太田淳，"マイクロ液滴アレイ観察用デュアルモードレンズレスイメージングデバイス，"応用物理学会秋季学術講演会，17a-A7-9, 2014/9/17

[257] 太田淳，"半導体技術によるバイオメディカルデバイス，"(invited), 応用物理学会秋季学術講演会，2014/9/17

[258] 笹川清隆，竹原浩成，Soo Hyeon Kim，山内里紗，北口一樹，野田俊彦，徳田　崇，飯野亮太，野地博行，太田　淳，"1 分子計測に向けたレンズレス CMOS 蛍光観察デバイス，"情報センシング研究会，2014/9/29

[259] 竹原宏明，"Lab-on-a-brain: In vivo 神経細胞研究のための埋め込み型マイクロ流体デバイス技術，"(invited)第 43 回サイエンスカフェ講演会，2014/11/10

[260] 太田淳，徳田崇，"CMOS イメージセンサのバイオ・医療応用，"(invited), 光とレーザーの科学技術フェア，

2014/11/18

[261] Hironari Takehara, Kazuya Miyazawa, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Soo Hyeon Kim, Ryota Iino, Hiroyuki Noji, Jun Ohta, "A CMOS Image Sensor Having Stacked Photodiodes for Lensless Observation System of Digital Enzyme-linked Immunosorbent Assay (ELISA)","(invited), 第14回「関西コロキアム電子デバイスワークショップ」, 2014/11/17

[262] 徳田崇，竹原宏明，野田俊彦，笹川清隆，太田淳，"CMOSセンサ技術をベースとしたバイオメディカルフォトニックデバイスの研究開発，"(invited)光エレクトロニクス研究会(OPE)，2014/11/21

[263] 増田啓太，高橋正幸，河村敏和，竹原宏明，野田俊彦，笹川清隆，徳田崇，興津輝，竹内昌治，太田淳，"CMOSイメージセンサ搭載体内埋込み蛍光方式血糖計測デバイスの長期動作評価，"映像情報メディア学会冬季大会，7-1, 2014/12/18

[264] 太田淳，"新たな脳科学・脳機能診断を切り拓くCMOS技術，"(invited), JPC関西定例講演会，2014/12/16

[265] 田中誠大，石井智也，蜂谷尚悟，竹内健，"低電圧動作可能なReRAM向けプログラム電圧生成回路"，電子情報通信学会，集積回路研究会，信学技報，vol. 114，no 345，p.65，2014年12月

[266] 石井智也，上口光，竹内健，"三次元積層ReRAM/NANDフラッシュメモリハイブリッドSSDの設計"，応用物理学会，応用物理学会春季学術講演会，2015年3月

[267] C. Monteiro，高橋康宏，関根敏和，"Security evaluation of CSSAL countermeasure against side-channel attacks using frequency spectrum analysis," 信学技報，vol.114, no.381, EMCJ2014-82, pp.75-80, Dec. 2014.

[268] 加藤和成，高橋康宏，関根敏和，"サブスレッショルド断熱的論理回路による4 × 4-bit乗算器のシミュレーション，"2014年電子情報通信学会ソサイエティ大会講演論文集，vol.2014, p.18 (A-1-18), Sept. 2014.

[269] C. Monteiro，高橋康宏，関根敏和，"Measurement of CSSAL Multiplier over GF(2^4) LSI Implemented in 0.18 μm CMOS Technology," 2014年電子情報通信学会総合大会講演論文集，vol.2014, p.2 (A-1-2), March 2014.

[270] 加藤和成，高橋康宏，関根敏和，"サブスレッショルド断熱的論理回路の消費エネルギー比較，"2014年電子情報通信学会総合大会講演論文集，vol.2014, p.3 (A-1-3), March 2014.

[271] 秦，吉澤，"超低電圧高利得オペアンプ回路に関する研究"，埼玉工業大学第12回若手研究フォーラム研究発表論文集，pp.40-41, 2014年7月

[272] 小西敏文，山根大輔，松島隆明，益一哉，年吉洋，町田克之，"エネルギーハーベスティングデバイスの検討(5)"，第62回応用物理学会春季学術講演会，13.4 Siプロセス・配線・MEMS・集積化技術，2015年3月11日－14日，東海大学湘南キャンパス [11p-A29-5], pp. 12-125

[273] 山根大輔，小西敏文，松島隆明，年吉洋，町田克之，益一哉，"Sub-1Gから20Gまで検知可能な集積化MEMS加速度センサの検討"，第62回応用物理学会春季学術講演会，分科企画シンポジウム13半導体，2015年3月11日－14日，東海大学湘南キャンパス [12p-D15-3], pp. 17-189

[274] 富樫祐太，伊藤浩之，石原昇，益一哉，"土壌水分量の1次元測定のための伝送線路プローブの検討"，電子情報通信学会2015年総合大会, 2015年3月10-13日，立命館大学びわこ・くさつキャンパス，C-2-99, エレクトロニクス講演論文集1, p.119.

[275] 石川洋介，李尚曄，米澤慎，池田翔，方一鳴，高安基大，濱田泰輔，伊藤浩之，石原昇，益一哉，"低消費電力RF CMOS送受信回路におけるインピーダンス整合回路設計および基板実装技術"，電子情報通信学会2015年総合大会，2015年3月10-13日，立命館大学びわこ・くさつキャンパス，C-2-102, エレクトロニクス講演論文集1, p.122.

[276] 池田翔，伊藤浩之，石原昇，益一哉，"集団同期型周波数生成実現に向けた位相雑音キャンセルの検討"，信学技報 MW2014-225, pp.127-132, Mar. 2015.

[277] 池田翔，石原昇，"電流再利用型VCOを用いた0.5V 5.8GHz低消費電力周波数シンセサイザ"，STARCシンポジウム2015, Jan. 2015.

[278] 池田翔，李尚曄，伊藤浩之，石原昇，益一哉，"DTMOSを用いた低電圧サブサンプリングPLL"，アナログRF研究会，キャンパスプラザ京都，Dec. 2014. 3-4,

[279] 小西敏文，松島隆明，山根大輔，益一哉，年吉洋，町田克之，"回路シミュレータを用いたMEMSエネルギーハーベスティングデバイスの検討"，応用物理学会集積化MEMS技術研究会　第6回集積化MEMSシンポジウム(同時開催:第31回電気学会「センサ・マイクロマシンと応用システム」シンポジウム)，2014年10月20日-22日，くにびきメッセ，島根県松江市 [22am2-C1].

[280] 松島隆明，山根大輔，小西敏文，年吉洋，益一哉，町田克之，"Au積層形成技術による3軸MEMS加速度センサの検討"，応用物理学会集積化MEMS技術研究会　第6回集積化MEMSシンポジウム(同時開催：第31回電気学会「センサ・マイクロマシンと応用システム」シンポジウム), 2014年10月20日-22日，くにびきメッセ，島根県松江市 [22am2-C5].

[281] 山根大輔，小西敏文，松島隆明，亀井将太，益一哉，町田克之，"高感度静電容量型センサにおけるブラウニアン・ノイズ評価の検討"，応用物理学会集積化MEMS技術研究会　第6回集積化MEMSシンポジウム(同時開催：第31回電気学会「センサ・マイクロマシンと応用システム」シンポジウム)，2014年10月20日-22日，くにびきメッセ，島根県松江市 [22am2-C4].

[282] 山根大輔，小西敏文，松島隆明，年吉洋，益一哉，町田克之，"集積化 CMOS − MEMS 技術による Sub-1G 加速度センサの基礎検討 " 応用物理学会集積化 MEMS 技術研究会　第 6 回集積化 MEMS シンポジウム（同時開催：第 31 回電気学会「センサ・マイクロマシンと応用システム」シンポジウム），2014 年 10 月 20 日 -22 日，くにびきメッセ，島根県松江市 [22am2-C3].

[283] 池田翔，李尚曄，伊藤浩之，石原昇，益一哉，" 振幅誤差補正機構を有する電流再利用型 VCO による 0.5-V 5.8-GHz 位相同期回路 "，電子情報通信学会 2014 年ソサイエティ大会，2014 年 9 月 25 日，徳島大学常三島キャンパス，C-12-23, p.75.

[284] 石川洋介，李尚曄，米澤慎，池田翔，方一鳴，高安基大，濱田泰輔，伊藤浩之，石原昇，益一哉，" フォワードボディバイアスを用いた 0.5V 5.8GHz 低消費電力インバータベース RFCMOS 送受信回路 "，電子情報通信学会 2014 年ソサイエティ大会，2014 年 9 月 25 日，徳島大学常三島キャンパス，C-12-24, p.76.

[285] 亀井将太，山根大輔，小西敏文，松島隆明，年吉洋，町田克之，益一哉，" 集積化 CMOS − MEMS 加速度センサへ向けた sub-1G 静電容量型センサの検討 "，第 75 回応用物理学会秋季学術講演会・半導体 A（13.3 Si プロセス・配線・MEMS・集積化技術），2014 年 9 月 17 日 -20 日，北海道大学札幌キャンパス [17p-PA1-4], p.13-065.

[286] 松島隆明，小西敏文，山根大輔，年吉洋，益一哉，町田克之，" 積層メタル構造による 3 軸加速度センサの検討 "，第 75 回応用物理学会秋季学術講演会・半導体 A（13.3 Si プロセス・配線・MEMS・集積化技術），2014 年 9 月 17 日 -20 日，北海道大学札幌キャンパス [17p-PA1-5], p.13-066.

[287] 小西敏文，山根大輔，松島隆明，益一哉，年吉洋，町田克之，" エネルギーハーベスティングデバイスの検討（4）"，第 75 回応用物理学会秋季学術講演会・半導体 A（13.3 Si プロセス・配線・MEMS・集積化技術），2014 年 9 月 17 日 -20 日，北海道大学札幌キャンパス [17p-PA1-6], p.13-067.

[288] 池田翔，李尚曄，伊藤浩之，石原昇，益一哉，" 低電圧発振回路の設計・評価 "，第 36 回アナログ RF 研究会，2014 年 7 月 16 日，屋久島観光旅館田代別館.

[289] 小西敏文，山根大輔，松島隆明，益一哉，年吉洋，町田克之，" マルチフィジックスシミュレータを用いた CMOS-MEMS 加速度センサの検討 "，応用物理学会集積化 MEMS 技術研究会第 5 回集積化 MEMS 技術研究ワークショップ，2014 年 7 月 11 日，豊橋技術科学大学，P7.

[290] 松島隆明，小西敏文，山根大輔，亀井将太，年吉洋，益一哉，町田克之，" 積層メタルによる静電容量型 3 軸加速度センサの基礎検討 "，応用物理学会集積化 MEMS 技術研究会第 5 回集積化 MEMS 技術研究ワークショップ，2014 年 7 月 11 日，豊橋技術科学大学，P5.

[291] 山根大輔，亀井将太，小西敏文，松島隆明，年吉洋，益一哉，町田克之，" 集積化 CMOS-MEMS 加速度センサへ向けた sub-1G センサ "，応用物理学会集積化 MEMS 技術研究会第 5 回集積化 MEMS 技術研究ワークショップ，2014 年 7 月 11 日，豊橋技術科学大学，P4.

[292] 山根大輔，松島隆明，小西敏文，年吉洋，町田克之，益一哉，" 集積化 CMOS-MEMS へ向けた 2 軸加速度センサの基礎検討 "，平成 26 年電気学会センサ・マイクロマシン部門総合研究会, 2014 年 5 月 27 日 -28 日，東京大学生産技術研究所，MSS-14-002.

[293] 川島，四ツ田，中野，" 微小電流測定用オンチップ I-V コンバータ "，第 36 回アナログ RF 研究会，2014 年 7 月 16 日，17 日

[294] 中野，" ブレインマシーンインターフェース実現に向けた生体信号取得 LSI 設計 "，第 27 回　回路とシステムワークショップ，2014 年 8 月

[295] 小野，渡邊，中野，" 自律型マイクロシステム用オンチップ電源システム "，STARC シンポジウム，2015 年 1 月

[296] 渡邊，小野，折原，南，中野，" マイクロシステム送信器のためのオンチップアンテナの検討 "，第 38 回アナログ RF 研究会，2015 年 3 月

[297] 菅，四柳，橋爪，"IC への電荷注入量による電流テストの可能性評価 "，電気関係学会四国支部連合大会講演論文集，p.101, 2014 年 9 月.

[298] 南原，四柳，橋爪，" 検査容易化入力保護回路を有する IC の IC 間断線の電気検査法の不良判定しきい値の導出 "，電気関係学会四国支部連合大会講演論文集，p.102, 2014 年 9 月.

[299] 松田，四柳，橋爪，" 隣接線論理割当の重複を抑制するビアオープン故障診断用テスト生成を用いた診断可能性調査 "，電気関係学会四国支部連合大会講演論文集，p.110, 2014 年 9 月.

[300] 石場，四柳，橋爪，" 順序回路におけるパスの微小遅延故障を測定する遅延付加回路設計 "，電気関係学会四国支部連合大会講演論文集，p.111, 2014 年 9 月.

[301] 濱田，四柳，橋爪，" 遅延故障検査容易化設計用タイミング余裕計測回路の提案 "，電気関係学会四国支部連合大会講演論文集，p.112, 2014 年 9 月.

[302] 櫻井，四柳，橋爪，"TDC 組込み型バウンダリスキャン回路を用いた実測によるタイミング余裕の検証 "，電子情報通信学会ソサイエティ大会講演論文集，p.46, 2014 年 9 月.

[303] 藤原，四柳，橋爪，" 複数リングオシレータを用いた格子状 TSV 故障検査に関する研究 "，電子情報通信学会ソサイエティ大会講演論文集，p.47, 2014 年 9 月.

[304] 梅津，四柳，橋爪，"3D IC 内半断線配線検出用組み込み型電気検査回路 "，電子情報通信学会ソサイエティ大会講演論文集，p.85, 2014 年 9 月.

[305] 宮本，四柳，橋爪，"TSV 故障検出回路の制御部改良および観測部における面積削減の検討 "，電子情報通信学会技術研究報告，Vol.114, No.329, pp.3-8, 2014 年

11 月.
[306] 久保　直也, 肥塚　大輝, 西山　智史, 山之口　誠将, 中村　和之, "コーディング法による電源スタック型回路の中間電位安定化に関する評価チップの開発と測定による性能実証", LSI とシステムのワークショップ 2014, 2014.5.26
[307] 伊見　仁, 徳丸　翔吾, 岡村　均, 中村　和之, "CMOS SRAM セルのしきい値電圧ばらつき耐性評価用 TEG の設計及び評価", , LSI とシステムのワークショップ 2014, 2014.5.26
[308] 前澤, 森, 潘, 角谷, "共鳴トンネル超再生検波回路における基本波を超える高周波信号の検波", 電子情報通信学会電子デバイス研究会(ED)報告 ED2014-146, 2015 年 2 月.
[309] 中野, 森, 前澤, 石井, 安藤, "THz 帯域を目指した新構造可変位相シフタ", 2015 年電子情報通信学会総合大会, C-10-11, 2015 年 3 月.
[310] 藤野, 水野, 山岡, 森, 前澤, "HEMT と空洞共振器を用いたデジタルマイクロフォンセンサ", 2014 年電子情報通信学会ソサイエティ大会, C-10-8, 2014 年 9 月.
[311] 中山, 呉, 角谷, 潘, 森, 前澤, "共鳴トンネルダイオードを用いたサンプリング回路の作製と評価", 2014 年電子情報通信学会ソサイエティ大会, C-10-9, 2014 年 9 月.
[312] 角谷, 中山, 潘, 森, 前澤, "RTD 装荷微小カンチレバーを用いたΔΣ型歪みセンサーのための発振回路の検討", 2014 年電子情報通信学会ソサイエティ大会, C-10-10, 2014 年 9 月.
[313] 中野, 柴田, 森田, 坂本, 森, 前澤, "溶融 Ga バンプを用いた Fluidic Self-Assembly で配置された微小デバイスの熱的信頼性", 2014 年電子情報通信学会ソサイエティ大会, C-10-11, 2014 年 9 月.
[314] 前澤, "MEMS/ 共鳴トンネル素子融合によるオンチップ THz システムの創成", 北陸マイクロナノプロセス研究会富山大学研究シーズ発表会, 2014 年 8 月.
[315] K. Kimura, K. Hosotani, T. Ito, H. Shimoyama, T. Sakamoto, M. Mori, and K. Maezawa, "Electrical Characterization of n+-InSb/p-Si Heterojunctions Grown by Surface Reconstruction Controlled Epitaxy," 2014 International Meeting for Future of Electron Devices, Kansai (IMFEDK 2014) , 2014 年 6 月.
[316] 宮崎陽一朗, 坂井尚貴, 大平　孝, "逆ドハティ整流回路の原理提案とシミュレーション検証―直流負荷変動耐性トポロジー―", 信学技報 WPT2014-82, vol.114, no.399, pp.25-29, Jan. 2015.
[317] 望月風太, 香川景一郎, 沖原伸一朗, ソミンウン, 張　博, 高澤大志, 安富啓太, 川人祥二, "画素内圧縮型マルチアパーチャ超高速イメージセンサによる 200Mfps バースト撮影", 情報センシング研究会(IST), 東京, 2015.3.27.
[318] H. Kamehama, S, Sumeet, K.Yasutomi, K. Kagawa, A. Takeda, T-G. Tsuru, Y. Arai, S. Kawahito, "Fully Depleted SOI Pixel Photo Detectors With Surface Potential Pinning", 映像情報メディア学会, 情報センシング研究会(IST) 2nd Asian Image Sensors and Imaging Systems Symposium, 映像情報メディア学会技術報告, vol.38, no.47, IST2014-81, pp.57-58, 東京, 2014.12.1.
[319] 香川景一郎, Sivakumar Panneer Selvam, 高澤大志, 張博, 徐珉雄, 山本条太郎, 金城政孝, 安富啓太, 川人祥二, "多点蛍光相関分光 CMOS イメージセンサの特性評価", Optics and Photonics Japan 2014, 5pD1, 東京, 2014.11.5.
[320] D-X. Lioe, K. Mars. S-M. Han, T. Takasawa, K. Yasutomi, K. Kagawa, M, Hashimoto, S. Kawahito, "A 1/f noise reduction technique for a high speed stimulated Raman Scattering CMOS imager", Optics and Photonics Japan 2014, 5pD2, 東京都, 2014.11.5
[321] 望月風太, 高澤大志, 香川景一郎, ソミンウン, 安富啓太, 川人祥二, "画素内圧縮型マルチアパーチャ超高速イメージセンサによる撮像実験", Optics and Photonics Japan 2014, 5aDS21, 東京都, 2014.11.5.
[322] 香川景一郎, 鈴木裕貴, 張博, 徐珉雄, 高澤大志, 安富啓太, 川人祥二, "4T-PWM イメージセンサの低電圧・低消費電力化の検討", 情報センシング研究会(IST), 映像情報メディア学会技術報告, Vol.38, No.37, pp. 5-8, 東京, 2014.9.29.
[323] 望月風太, 高澤大志, 香川景一郎, ソミンウン, 安富啓太, 川人祥二, "画素内圧縮型マルチアパーチャ超高速イメージセンサの検討", 映像情報メディア学会情報センシング研究会(IST) , 映像情報メディア学会技術報告, vol. 38, no.20, pp. 1-4, 東京, 2014.6.2.
[324] 望月風太, 高澤大志, 香川景一郎, ソミンウン, 安富啓太, 川人祥二, "画素内圧縮型マルチアパーチャ超高速イメージセンサと撮像実験", LSI とシステムのワークショップ 2014, 学生部門 -6, PS-6-1 ～ PS-6-8, 北九州市, 2014.5.26
[325] 臼井隆弘, 安富啓太, 韓相萬, 高澤大志, 香川景一郎, 川人祥二, "カラム並列スキュー補正回路を有する高距離分解能 Time − of − Flight 距離画像センサ", LSI とシステムのワークショップ 2014, 学生部門 -33PS-33-1 ～ PS-33-9 福岡県北九州市 2014.5.26
[326] 吉田慎之介, 史又華, 柳澤政生, 戸川望, "回路面積を考慮した Suspicious Timing Error Prediction 回路の挿入位置決定手法", 第 27 回回路とシステムワークショップ, C2-3-1, pp. 416-421, 淡路市, 2014 年 8 月 5 日.
[327] 吉田慎之介, 史又華, 柳澤政生, 戸川望, "Suspicious Timing Error Prediction を用いた回路全体の遅延ばらつきに対するロバスト設計" DA シンポジウム 2014, pp.61-66, 下呂市, 2014 年 8 月 28 日.
[328] 萩尾勇太, 柳澤政生, 戸川望, "遅延ばらつき許容量を調整できる RDR アーキテクチャ向け高位合成手法" DA シンポジウム 2014, pp.55-60, 下呂市, 2014 年 8 月 28 日.

[329] 五十嵐啓太，柳澤政生，戸川望，"セレクタ論理に帰着させたバイリニア補間演算器を用いた画像拡大縮小回路の FPGA 実装 " DA シンポジウム 2014, 下呂市，2014 年 8 月 29 日.

[330] 塩雅史，柳澤政生，戸川望，"4-to-1 セレクタ論理及び 2-to-1 セレクタ論理を利用したバイリニア補間演算器の設計と評価 " DA シンポジウム 2014, pp.163-168, 下呂市，2014 年 8 月 29 日

[331] 川村一志，柳澤政生，戸川望，" フロアプラン統合化アーキテクチャを対象とした低面積指向フォールトセキュア高位合成，" 電子情報通信学会 2014 年ソサイエティ大会，A-3-12，pp.56，徳島市，2014 年 9 月 24 日

[332] 大屋優，史又華，柳澤政生，戸川望，ハードウェアトロイに含まれるネットに着目したハードウェアトロイ検出手法，vol. 114, no. 328, VLD2014-91, pp. 135-138, 別府市，2014 年 11 月 26 日.

[333] 吉田慎之介，史又華，柳澤政生，戸川望，" 回路面積を考慮した Suspicious Timing Error Prediction 回路の挿入位置決定手法の改良と評価，" 信学技報，vol. 114, no. 328, VLD2014-81, pp. 57-62, 別府市，2014 年 11 月 26 日.

[334] 多和田雅師，木村晋二，柳澤政生，戸川望，不揮発メモリの書き込み削減手法のための小面積なエンコーダ / デコーダ回路構成，vol. 114, no. 328, VLD2014-106, pp. 227-232, 別府市, 2014 年 11 月 26 日.

[335] 古城辰朗，多和田雅師，柳澤政生，戸川望，" 不揮発メモリを対象とした最大ハミング距離と最小ハミング距離を制約した符号による書き込み手法のエネルギー評価，" 信学技報，vol. 114, no. 328, VLD2014–105, pp. 221–226, 別府市，2014 年 11 月 28 日.

[336] 萩尾勇太，柳澤政生，戸川望，" 遅延ばらつき耐性を最適化する RDR アーキテクチャ向け高位合成手法，" 信学技報，vol. 114, no. 328, VLD2014--103, pp.209--214, 別府市，2014 年 11 月 28 日.

[337] 伊東光希，川村一志，柳澤政生，戸川望，田宮豊，" マルチプレクサ木分割によるフィールドデータ抽出器の構成手法，" 進学技法，vol.114，no.328，VLD2014-101, pp.197-202, 別府市, 2014 年 11 月 28 日.

[338] 阿部晋矢，史又華，宇佐美公良，柳澤政生，戸川望，"HDR-mcv を対象とした複数クロックドメインおよび複数電源電圧による低電力化高位合成手法，" 信学技法，vol.114，no.328，VLD2014--102，pp.203--208，別府市，2014 年 11 月 28 日.

[339] 井川昂輝，阿部晋矢，柳澤政生，戸川望，"HDR アーキテクチャを対象とした製造ばらつき耐性と低レイテンシを両立可能なマルチシナリオ高位合成手法，" 信学技報，vol. 114, No. 328, VLD2014-86, pp. 105-110, 別府市，2014 年 11 月 26 日.

[340] 大屋優，史又華，柳澤政生，戸川望，" トロイネットの特徴に基づくハードウェアトロイ検出手法 "，vol. 114, no. 426, VLD2014–137, pp. 157–162, 横浜市，2015 年 1 月 30 日.

[341] 大屋優, 史又華, 柳澤政生, 戸川望, " ゲートレベルネットリストを対象としたスコアに基づくハードウェアトロイ識別手法，" vol. 114, no. 476, VLD2014–182, pp. 165–170, 那覇市，2015 年 3 月 4 日.

[342] 井川昂輝，阿部晋矢，柳澤政生，戸川望，" 製造ばらつきと配線遅延を同時に考慮した低レイテンシ指向のマルチシナリオ高位合成の評価，" 情処研報，vol. 2015-SLDM-170, no. 48, pp. 1-6, 奄美市，2015 年 3 月 7 日.

[343] 呂，佐藤，大村，A. Mallik，" 非対称ダブル・ゲート横型トンネル FET の解析モデル "，シリコン材料・デバイス研究会，pp.1-6, 2014 年 11 月

[344] 高橋，塩見，岡村，" アウトフェーズ変調のための CMOS VCO に関する検討 "，信学技報，vol.IEICE-114，no.433，pp.309-314，2015 年 1 月.

[345] 山本，家城，呉，高橋，"SOI-MOSFET における重イオン照射誘起寄生バイポーラ効果 "，第 62 回応用物理学会学術講演会，12p-A27-14, 2015.3.12.

[346] 呉，山本，家城，高橋，" トンネル FET のシングルイベント耐性 "，第 62 回応用物理学会学術講演会，11a-A27-10, 2015.3.11.

[347] 内藤，中村，" マルチパス構成 CML 型 VCO の広帯域化の検討 "，電子情報通信学会ソサイエティ大会，C-12-21，2014 年 9 月

[348] 滝，内藤，中村，" バースト対応 TIA の低電圧化に関する基本検討 "，電子情報通信学会総合大会，A-1-30，2015 年 3 月.

[349] 伊藤，内藤，中村，"FET を用いた可変インダクティブピーキングによる光受信器の周波数帯域可変技術の基本検討 "，電子情報通信学会総合大会，A-1-31，2015 年 3 月.

[350] R. Zhang, and M. Kaneko, "A Feasibility Study of Robust and Low-Power Programmable Delay Elements Based on Neuron-MOS Mechanism", IEEJ Technical meeting on Electronic Circuits, ECT-14-015, pp. 75-80 Jan. 2014.

[351] 井口俊太，更田裕司，桜井貴康，高宮真，" チャープ変調励振信号と負性抵抗ブースタによる 39MHz 水晶発振回路の起動時間の高速化，" 電子情報通信学会，信学技報，ICD2014-28，pp. 81-86, 出雲，2014 年 7 月.

[352] 梶原拓也，尼崎太樹，飯田全広，久我守弘，末吉敏則，" 高速シリアル通信を用いた 3 次元 FPGA の検討，" 信学技報 RECONF2014-7，vol.114，no.75，pp.31-36，June 2014.

[353] 尼崎太樹，梶原拓也，藤澤賢太郎，趙　謙，飯田全広，久我守弘，末吉敏則，"65nmCMOS プロセスを用いた耐故障 FPGA の試作と評価，" 信学技報 RECONF2014-18，vol.114，no.223，pp.7-12，Sep. 2014.

[354] 趙　謙，尼崎太樹，飯田全広，久我守弘，末吉敏則，" レイヤ間接続を削減した 3 次元 FPGA アーキテクチャの検討，" 信学技報 RECONF2014-53，vol.114，no.428，pp.41-46，Jan. 2015.

[355] 山﨑義人，竹内宏介，渡辺晃輔，原田知親，"9 端子 MOSFET 型温度検出素子の検出動作および温度特性の評価 "，LSI とシステムのワークショップ 2014, No. 21, 2014 年 5 月

[356] 渡辺晃輔, 原田知親, "0.5V で駆動するサブスレッショルド動作デジタル PLL 回路の設計と評価 "，平成 26 年電気関係学会度東北支部連合大会，2G02, 2014 年 8 月

[357] 山口遼，原田知親，"Dynamic Element Matching を用いた安定・低電圧駆動の温度センサ "，電子情報通信学会 2014 年ソサイエティ大会，C-12-10, 2014 年 9 月

[358] 山崎義人，貝和航陽，原田知親，"8 角形 MOSFET 型温度検出素子の作製評価 "，電子情報通信学会 2015 年総合大会，C-6-9, 2015 年 3 月

[359] 貝和航陽，山﨑義人，原田知親，"8 角形 MOSFET 型応力検出素子の試作評価 "，電子情報通信学会 2015 年総合大会，C-12-30, 2015 年 3 月

[360] 原田知親，寒河江貴之，竹内宏介，山崎義人，" 多端子 MOSFET 型電流検出素子の試作評価 "，電気学会電子回路研究会，ECT-14-092, 2014 年 12 月

[361] Afreen Azhari，Takumi Sugitani，Kenta Sogo，Takamaro Kikkawa,"A 2-12 GHz 1 mW 65 nm CMOS Double Pole Eight Throw Switching. Matrix," 第 75 回応用物理学会秋季学術講演会，講演予稿集，17a-PA31　2014 年 9 月 17 日 - 9 月 20 日．北海道大

[362] 兼本大輔，牟田修，古川浩，金谷晴一，大木真，"IF サンプリング 1bit A/D 変換方式を採用した無線受信機の構成検討と試作による評価，" 第 27 回　回路とシステムワークショップ，Aug., 2014

[363] 兼本大輔，牟田修，古川浩，佐藤隆英，大木真 "1bit 分解能 A/D 変換器を用いた無線機の検討 " 電子回路研究会，ECT-14-041,2014 年 3 月

[364] 兼本大輔，佐藤隆英，大木真，" 内部 A/D 変換器の等価ゲインを活用したデルタシグマ変調器設計 " 電子情報通信学会，アナログ RF 研究会，2014 年 6 月

[365] 兼本大輔，佐藤隆英，大木真，" 外乱により発生する雑音がデルタシグマ変調器へ与える影響 " 電気学会　C 部門大会，2014 年 9 月

[366] 中澤康二，兼本大輔，佐藤隆英，大木真，" 太陽電池で動作する Bluetooth のためのパワーアンプの設計 " 日本生体医工学会甲信越支部大会，2014 年 10 月

[367] 兼本大輔，大木真，" 軽量脳波測定ヘッドギアに用いる低消費電力デルタシグマ A/D 変換 LSI" 日本生体医工学会甲信越支部大会，2014 年 10 月

[368] 兼本大輔，佐藤隆英，大木真，" 内部 A/D 変換器の等価ゲインを活用したデルタシグマ変調器 " 電子回路研究会，ETC-14-102,2014 年 12 月

[369] 畑石，森，野口，清水，石川，深井，"FG-MOSFET を用いた 4 値加算器の設計・レイアウト "，電気・情報関係学会九州支部第 67 回連合大会，12-2A-07, 2014 年 9 月.

[370] 森，畑石，野口，清水，石川，深井，"FG-MOSFET を用いた 4 値除算器の設計 "，電気・情報関係学会第 67 回連合大会，12-2A-06，2014 年 9 月.

[371] 松永，森，畑石，野口，清水，石川，深井，"4 値 ALU に用いる 4 値 AND 回路・OR 回路の比較・検討 "，第 22 回電子情報通信学会九州支部学生会講演会，C-15，2014 年 9 月.

[372] 野口浩，森，畑石，野口卓，清水，石川，深井，"4 値 NOT 回路を用いた減算器の比較・検討 "，第 22 回電子情報通信学会九州支部学生会講演会，C-16, 2014 年 9 月.

[373] 小林伸彰，伊藤隆祐，榎本忠儀，「メモリセル電位を適応的に降圧して書き込み動作範囲を低電圧化した 1 電源 6-Tr CMOS SRAM の開発」，信学技報，ICD2014-45, pp. 33-38, 2014 年 10 月 2 日.

[374] 伊藤隆祐，小林伸彰，榎本忠儀，「待機時のデータ保持と待機時消費電力の低減を両立した 1 電源 6-Tr CMOS SRAM の開発」，信学技報，ICD2014-42, pp.59-64，2014 年 8 月 5 日.

[375] 小林伸彰，伊藤隆祐，本島浩二，榎本忠儀，「高速，低電圧，低リーク電流 6-Tr CMOS SRAM」，信学ソ大会講演論文集 2，エレクトロニクス講演論文集 2, C-12-36，p.88，2014 年 9 月 26 日.

[376] 鈴木大渡, 史　又華, 戸川　望, 宇佐美公良, 柳澤政生, " タイミングエラーへの耐性を持つフリップフロップ設計，" デザインガイア 2014, 2014 年 11 月.

[377] 福留祐治, 史　又華, 戸川　望, 宇佐美公良, 柳澤政生, "DTMOS を用いたサブスレッショルド回路の高速化設計，" デザインガイア 2014, 2014 年 11 月.

[378] 新井孝将，史　又華，戸川　望，宇佐美公良，柳澤政生（早大），" 可変パイプラインのローカルなパルス生成による低消費エネルギー化手法，" システムと LSI 設計技術研究会，2014 年 10 月.

[379] 田島咲季，史又華，戸川望，柳澤政生，" 低電力耐ソフトエラーラッチの設計，" VLSI 設計技術研究会，2015 年 3 月.

[380] 蓼　誠一，加賀美崇紘，河野隆太，松谷宏紀，鯉渕道紘, 天野英晴, " ランダム NoC のためのコンフィギャラブルスイッチ機構 "，信学技報，vol. 113, no. 418, RECONF2013-77, pp. 125-130, 2014 年 1 月.

[381] 安戸僚汰，松谷宏紀，鯉渕道紘，天野英晴，中村維男，" トランスペアレントラッチを用いた NoC 向け分散ルータアーキテクチャ "，信学技報，vol. 114, no. 330, CPSY2014-80, pp. 45-50, 2014 年 11 月.

[382] 渡辺優一，谷川一哉，弘中哲夫，" 小規模 SoC のための小型プロセッサ Yukiyama の FPGA 実装 "，信学技報，vol.114，No.223，RECONF2014-33，pp.81-86, 2014 年 9 月 19 日.

[383] 高橋綱己，内田建，" 自己加熱効果の抑制による FinFET 低消費電力化の検討 "，第 62 回応用物理学会春季学術講演会（2015 春　東海大学），13. 半導体　分科企画シンポジウム「未来を担う若手科学者の在り方　～集積化技術の新たな価値創造を目指して～」，12p-A29-3，2015 年 3 月 12 日（一般講演）.

[384] 宮田耕，竹内豪，高橋綱己，内田建，"SOI トランジ

スタの自己加熱による水素センサの低消費電力化 ", 第 62 回応用物理学会春季学術講演会(2015 春　東海大学), 13.5 デバイス／集積化技術, 13p-A23-6, 2015 年 3 月 13 日(一般講演)

[385] 永藤, 他 7 名, " 多点高密度計測のためのノイズキャンセリング回路の設計(集積化脳神経プローブシステムの開発 1)", 平成 26 年度(第 62 回)応用物理学会春季学術講演会

[386] Hiroshi Ando, Kenichi Takizawa, Takeshi Yoshida, Hirohito Sawahata, Keisuke Kawasaki, Isao Hasegawa, Kojiro Matsushita Masayuki Hirata, Toshiki Yoshimine, and Takafumi Suzuki, "Development of ECoG based multi-channel recording BMI system using UWB wireless communications", 第 53 回生体工学会大会シンポジウム, 2014 年 6 月.

[387] 木谷嘉孝, 和田和千, 関根かをり, 中村守里也, " 伝送線路におけるインピーダンス整合回路の感度 ", 電子回路研究会 ECT-14-094,2014 年

[388] 今井博之, 和田和千, " 複素極を有するダイレクトサンプリングミキサにおけるエイリアシングの除去方法 ", 電子回路研究会 ECT-14-100,2014 年

[389] 三村優, 和田和千, " チャージポンプ回路内における Vth 降下分を補償するための手法 ", 電子回路研究会 ECT-15-034,2015 年

[390] 谷村直哉, 和田和千, " 確率的な手法を用いて出力誤差を低減した極低電圧逐次比較型 AD 変換回路 ", 電子回路研究会 ECT-15-043,2015 年

[391] 中村, 和田, " 短距離パルス通信用受信機のための広帯域化技術を用いたゲート接地増幅回路の設計 ", 東京支部学生会「研究発表会」, 2015 年

[392] 鬼頭, 和田, "Derivative Superposition を用いて歪みを低減した差動型 A-AB 級電力増幅回路 ", 東京支部学生会「研究発表会」, 2015 年

[393] 國貞, 和田, " 広い温度範囲で歪を低減したログドメインフィルタ ", 東京支部学生会「研究発表会」, 2015 年

[394] 神保潮, 山田淳二, 五島正裕, 坂井修一, " ダイナミック・ロジックへのタイミング・フォールト検出手法の適用 ", 情報処理学会研究報告　システムソフトウェアとオペレーティング・システム, 2014(18), 1-8.

[395] 平本俊郎, 更屋拓哉, " 室温動作単電子トランジスタと CMOS との融合 ", 公開シンポジウム「ナノ量子情報エレクトロニクスの新展開」, 東京大学本郷キャンパス伊藤謝恩ホール, p. 16, 2014 年 5 月 19 日

[396] 平本俊郎, 上田晃頌, 鄭　承旻, 水谷朋子, 更屋拓哉(招待講演), " しきい値電圧自己調整 MOS トランジスタおよび SRAM セルの超低電圧(0.1V)動作 ", 電子情報通信学会シリコン材料・デバイス研究会兼集積回路研究会, 北海道大学情報教育館, SDM2014-71, ICD2014-40, 2014 年 8 月 5 日

[397] 平本俊郎, 小林正治(招待講演), " しきい値電圧制御による低電圧低消費電力デバイス ", シンポジウム「低消費電力スティープスロープ FET 技術の現状と展望」, 電子情報通信学会エレクトロニクスソサイエティ大会, 立命館大学びわこ・くさつキャンパス(滋賀), CI-4-7, 2015 年 3 月 10 日

[398] 由井, 劉, 武内, 今井, " コンパイラ生成のための ASIP 必要命令セット判定手法, " DA シンポジウム 2014 論文集, Vol. 2014, pp. 151-156, 2014 年 8 月

[399] 小川巧馬, 板野由佳, 小椋清孝, 森下賢幸, 伊藤信之, " キャリア・アグリゲーション対応 2 バンド同時受信低雑音増幅器の研究, " 第 16 回 IEEE Hiroshima Student Symposium(HISS2014), B-18, 広　島, Nov. 2014.

[400] 伊藤信之, 板野由佳, 辻大輝, 小椋清孝, 森下賢幸, 吉富貞幸 "[招待講演] 高周波領域における LC 共振器の Q 値向上手法の検討 " 電子情報通信学会集積回路研究会, ICD2014-24, 出雲, 2014 年 7 月 4 日

[401] 辻大輝, 板野由佳, 小椋清孝, 森下賢幸, 吉富貞幸, 伊藤信之 " ストライプドインダクタを用いた CMOS LC VCO の位相雑音改善に関する研究, " 電気学会電子回路研究会高周波集積回路の先端化技術と応用技術, ECT-15-001, pp.1-7, 高知, 2015 年 1 月 22 日

[402] 小川巧馬, 森下賢幸, 小椋清孝, 伊藤信之, " 微細 MOSFET を用いたインダクティブディジェネレーション LNA における外付ゲート・ソース間キャパシタの影響 " 電子情報通信学会総合大会, C-12-2, 草津, 2015 年 3 月 11 日

[403] 中嶋洋(弘前大院理工), 碇亜紀彦(弘前大理工), 石郷侑汰(弘前大理工), 津島将導(弘前大理工), 熊谷遊太(弘前大教育), 島田透(弘前大教育), 鈴木裕史(弘前大院理工), “金ナノ粒子配列における赤外吸収増大スペクトルのシミュレーション”, 第 62 回応用物理学会春季学術講演会, 東海大学

[404] 中嶋洋(弘前大院理工), 碇亜紀彦(弘前大理工), 石郷侑汰(弘前大理工), 津島将導(弘前大理工), 熊谷遊太(弘前大教育), 島田透(弘前大教育), 鈴木裕史(弘前大院理工), “電子線リソグラフィ法を用いて作成した金ナノ粒子配列薄膜における赤外吸収増大現象”, 第 75 回応用物理学会秋季学術講演大会, 北海道大学

[405] 井ノ上泰輝(東京大学), 海野貴徳(東京大学), 千足昇平(東京大学), 丸山茂夫(東京大学), “開口ナノチューブ端からの単層カーボンナノチューブの繰り返し合成”, 第 51 回日本伝熱シンポジウム, アクトシティ浜松, 静岡

[406] 大塚慶吾(東京大学), 井ノ上泰輝(東京大学), 千足昇平(東京大学), 丸山茂夫(東京大学), “有機薄膜中のジュール発熱燃焼による金属単層カーボンナノチューブの選択的除去”, 第 51 回日本伝熱シンポジウム, アクトシティ浜松, 静岡

[407] 津島幸平(東京大学), 曽田将来(東京大学), 陳嘯(東京大学), 金成眞(東京大学), 千足昇平(東京大学), 丸山茂夫(東京大学), “銅箔上での mm スケール単結晶グラフェンのアルコール CVD 成長”, 第 47 回フラー

レン・ナノチューブ・グラフェン総合シンポジウム，名古屋大学，名古屋

[408] 井ノ上泰輝(東京大学)，大塚慶吾(東京大学)，千足昇平(東京大学)，丸山茂夫(東京大学)，“単層カーボンナノチューブのネットワーク構造制御のための操作方法”，第 47 回フラーレン･ナノチューブ･グラフェン総合シンポジウム，名古屋大学，名古屋

[409] 津島幸平(東京大学)，曽田将来(東京大学)，陳嘯(東京大学)，千足昇平(東京大学)，丸山茂夫(東京大学)，“アルコール CVD 法による大面積単結晶グラフェンドメインの成長”，第 57 回応用物理学会秋季学術講演会，北海道大学札幌キャンパス，北海道

[410] 竹崎大輝(東京大学)，海野貴徳(東京大学)，井ノ上泰輝(東京大学)，千足昇平(東京大学)，丸山茂夫(東京大学)，“開口ナノチューブをテンプレートとした単層カーボンナノチューブの繰り返し合成”，第 57 回応用物理学会秋季学術講演会，北海道大学札幌キャンパス，北海道

[411] 大塚慶吾(東京大学)，下村勇貴(東京大学)，井ノ上泰輝(東京大学)，千足昇平(東京大学)，丸山茂夫(東京大学)，“基板上の単層カーボンナノチューブナノギャップの制御形成と電界放出”，第48回フラーレン・ナノチューブ・グラフェン総合シンポジウム，東京大学，東京

[412] X. Chen (Univ of Tokyo), K. Tsushima (Univ of Tokyo), M. Sota (Univ of Tokyo), R. Xiang (Univ of Tokyo), S. Chiashi (Univ of Tokyo), S. Maruyama (Univ of Tokyo),“CVD synthesis of single-crystal single-layer graphene and bi-layer graphene from ethanol”，第 48 回フラーレン・ナノチューブ・グラフェン総合シンポジウム，東京大学，東京

[413] Y. Ikku, M. Yokoyama, M. Takenaka, and S. Takagi (The University of Tokyo),“Low-crosstalk carrier-injection Mach-Zehnder interferometer optical switches with 50- μ m-long phase shifters on III-V CMOS photonics platform”, 4th International Symposium on Photonics and Electronics Convergence, Tokyo

[414] 曽根順治(東京工芸大学)，“MOVPE 法による析出率の検討”，東北大学金属材料研究所　松岡研研究フォロー会，東北大学金属材料研究所

[415] 一宮佑希, 横山正史, 竹中充, 高木信一(東京大学),“小型低クロストーク InGaAsP 細線導波路光スイッチの作製”，第 75 回応用物理学会秋季学術講演会，北海道大学札幌キャンパス

[416] 藤田一慧(東工大)，平島大輔(東工大)，花村克悟(東工大)，“周期的チャネル構造表面の光学的特性に関する研究”，第 35 回日本熱物性シンポジウム，東京工業大学

[417] 朱？峰，繁富(栗林)香織，蔡萍根，スバギョ･アグス，末岡和久，岡嶋孝治(北海道大学)，“マイクロパターン上に培養した単一細胞の細胞核の動態”，第 52 回日本生物物理学会年会，札幌

[418] 日野了介(中央大)，中井亮仁(東大)，土肥徹次(中央大)，“フレキシブルマイクロ 3 軸力センサを用いた足底と足側面に加わる力の計測”，第 27 回バイオエンジニアリング講演会，新潟

[419] 五嶋亮祐(中央大)，土肥徹次(中央大)，“マイクロ力センサを用いたウェアラブル血圧計測デバイス”，日本機械学会第 6 回マイクロ・ナノ工学シンポジウム，島根

[420] 遠藤優祐(中央大)，土肥徹次(中央大)，“血圧計測におけるクロストークを低減可能な凸型マイクロセンサアレイ”，日本機械学会第 6 回マイクロ・ナノ工学シンポジウム，島根

[421] 野口篤史 A，山崎歴舟 A，安宅学 B，藤田博之 B，牧瀬圭正 C，三木茂人 C，寺井弘高 C，田渕豊 A，石川豊史 A，宇佐見康二 A，中村泰信 A，D (A) 東大先端研，(B) 東大生産研，(C)NICT 未来 ICT，(D) 理研 CEMS,“薄膜振動子と超伝導量子回路の結合系の構築”，日本物理学会第 70 回年次大会，早稲田大学早稲田キャンパス

[422] 嶋紘平(東大院工)，佐藤登(東大院工)，舩門佑一(東大院工)，杉浦秀俊(東大院工)，福島康之(IHI 株式会社)，百瀬健(東大院工)，霜垣幸浩(東大院工)，“モノメチルトリクロロシランを用いた SiC-CVD プロセスにおける製膜種付着確率の詳細解析 (3)”，化学工学会第 80 年会，東京

[423] 谷茉莉(お茶の水女子大学)，奥村剛(お茶の水女子大学)，“微細加工表面での濡れ転移 II”，日本物理学会第 70 回年次大会，早稲田大学

[424] 中山和貴(東京大学)，松井朋裕(東京大学)，Eric Lebrasseur(東京大学)，三田吉郎(東京大学)，福山寛(東京大学)，“原子・分子修飾したグラフェンの低温電気伝導特性 Low Temperature Transport Properties of Graphene Modified by Atoms/Molecules”，第 6 回低温センター研究交流会，東京大学(小柴ホール)

[425] 中山和貴(東京大学), 松井朋裕(東京大学), 福山寛(東京大学)，“原子・分子吸着したグラフェンの伝導度測定 (II)Transport Properties of Graphene Decorated by Atoms / Molecules (II)”，日本物理学会　第 70 回年次大会，早稲田大学

[426] 長藤圭介，高橋賢，中尾政之(東京大学)，“レーザアシストロールナノインプリントを用いた反射防止構造の製作”, 2014 年度精密工学会秋季大会学術講演会，鳥取大学，鳥取県

[427] 長藤圭介，高橋賢，中尾政之(東京大学)，“レーザアシストロールナノインプリントを用いた光取出しフィルムの製造”，日本機械学会第 10 回生産加工・工作機械部門講演会，徳島大学，徳島県

[428] 日紫喜賢太，長藤圭介，高橋賢，濱口哲也，中尾政之(東京大学)，“ロール熱ナノインプリントにおける成形状態のリアルタイム測定―第 2 報：回折格子形状の成形”, 2015 年度精密工学会春季大会，東洋大学，東京都

[429] 川添忠(東京大学)，大津元一(東京大学)，“ドレスト光子フォノン援用アニールで作製された Si-LED 中の

ドーパント分布の特徴”，第 62 回応用物理学会春季学術講演会，東海大学，神奈川

[430] 西岡克紘（東京大学），川添忠（東京大学），大津元一（東京大学），“フォトンブリーディング効果による Si-LED の偏光制御”，第 62 回応用物理学会春季学術講演会，東海大学，神奈川

[431] 山口真生（東京大学），西岡克紘（東京大学），川添忠（東京大学），大津元一（東京大学），“レーサ？ート？ーヒ？ンク？による可視発光 Si-LED の開発”，第 62 回応用物理学会春季学術講演会，東海大学，神奈川

[432] 池川晶貴（東京大学），川添忠（東京大学），大津元一（東京大学），“ドレスト光子を用いた増幅型の Si 青 - 紫外光検出器”，第 62 回応用物理学会春季学術講演会，東海大学，神奈川

[433] 田中肇（東京大学），川添忠（東京大学），大津元一（東京大学），赤羽浩一（NICT），山本直克（NICT），“ドレスト光子を利用した Si レーザー導波路の光増幅利得の評価”，第 62 回応用物理学会春季学術講演会，東海大学，神奈川

[434] 山口真生（東京大学），水島彩子（東京大学），川添忠（東京大学），大津元一（東京大学），“熱拡散法による可視発光 Si-LED の開発”，第 75 回応用物理学会秋季学術講演会，北海道大学，北海道

[435] 田中肇（東京大学），川添忠（東京大学），大津元一（東京大学），赤羽浩一（NICT），“ドレスト光子を利用した Si レーザーの超低しきい値化”，第 75 回応用物理学会秋季学術講演会，北海道大学，北海道

[436] 野村航（東京大学），川添忠（東京大学），八井崇（東京大学），大津元一（東京大学），“ドレスト光子フォノンエッチングによる半導体の表面損傷の修復”，第 62 回応用物理学会春季学術講演会，東海大学，神奈川

[437] 南雲亮佑（東京大学），Felix Brandenburg（東京大学），八井崇（東京大学），Anna Ermakova（ドイツ・ウルム大），Fedor Jelezko（ドイツ・ウルム大），“DPP エッチングを利用したナノダイヤモンドの発光制御”，第 62 回応用物理学会春季学術講演会，東海大学，神奈川

[438] 南雲亮佑（東京大学），八井崇（東京大学），“ドレスト光子エッチングを利用したナノダイヤモンドの発光制御”，第 7 回ナノフォトニクス学生研究講演会，東京大学

[439] 坪井俊樹（東京大学），八井崇（東京大学），坂野 斎（山梨大），信定克幸（分子研），Fabrice Stehlin（フランス・IS2M），Olivier Soppera（フランス・IS2M），川添 忠（東京大学），Daniel Bloch（フランス・パリ 13 大），東條賢（中央大），大津元一（東京大学），“ドレスト光子エッチングにおける偏光および形状依存性に関する検討”，第 75 回応用物理学会秋季学術講演会，北海道大学，北海道

[440] F. Brandenburg (University of Tokyo) and T. Yatsui (University of Tokyo), “Localized magnetic field induced by DPP”，第 6 回ナノフォトニクス学生研究講演会，慶應義塾大学，神奈川

[441] 鳴海紘也（東大），杉本雅明 (AgIC 株式会社)，清水信哉 (AgIC 株式会社)，川原圭博（東大），浅見徹（東大），“銀ナノインクでの回路プロトタイピングにおける書き直し特性の計測”，電子情報通信学会ソサイエティ大会，徳島

[442] Hiroki Makino, Zhu Jing and Norio Tagawa Graduate School of System Design, Tokyo Metropolitan University, “A Study for High-Sensitive and Wideband FET-Based Ultrasound Receiver Directly Driven by Piezoelectric Effect”，第 35 回超音波エレクトロニクスの基礎と応用に関するシンポジウム，明治大学駿河台キャンパス

[443] 牧野 紘樹（首都大学東京大学院，システムデザイン研究科 情報通信システム学域），“圧電効果直接駆動による FET 型高感度・広帯域超音波受信器の検討”，第 29 回エレクトロニクス実装学会春季講演大会，東京大学本郷キャンパス

[444] Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), “Single carbon-nanotube photonics and optoelectronics”, The 48th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, Japan

[445] A. Ishii, M. Yoshida, Y. K. Kato, “Exciton diffusion, end quenching, and exciton-exciton annihilation in individual air-suspended carbon nanotubes”, The 48th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, Japan

[446] M. Yoshida, Y. Kumamoto, A. Ishii, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), “Stark effect of excitons in individual air-suspended carbon nanotubes”, The 48th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, Japan

[447] H. Machiya, R. Miura, S. Imamura, R. Ohta, A. Ishii, X. Liu, T. Shimada, S. Iwamoto, Y. Arakawa, Y. K. Kato, “Ultralow mode-volume photonic crystal nanobeam cavities for high-efficiency coupling to individual carbon nanotube emitters”, The 48th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, Japan

[448] N. Higashide, M. Jiang, T. Uda, M. Yoshida, A. Ishii, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), “Electroluminescence from individual air-suspended carbon nanotubes within split-gate structures”, The 48th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, Japan

[449] M. Jiang, Y. Kumamoto, A. Ishii, M. Yoshida, T. Shimada, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo), “Gate-controlled generation of optical pulse trains using individual carbon nanotubes”, The 48th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, Japan

[450] A. Popert, M. Yoshida, Y. K. Kato (Institute

of Engineering Innovation, The University of Tokyo),"Trions in individual air-suspended carbon nanotubes", The 48th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, Japan

[451] T. Uda, M. Yoshida, A. Ishii, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo),"Bias-voltage induced absorption peaks in individual suspended carbon nanotubes", The 48th Fullerenes-Nanotubes-Graphene General Symposium, Tokyo, Japan

[452] M. Yoshida, Y. Kumamoto, A. Ishii, A. Yokoyama, T. Shimada, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo),"Spontaneous exciton dissociation and the Stark effect in carbon nanotubes", 第 75 回応用物理学会学術講演会，北海道大学（北海道札幌市）

[453] A. Ishii, M. Yoshida, Y. K. Kato (Institute of Engineering Innovation, The University of Tokyo),"Exciton diffusion and related decay processes in individual air-suspended carbon nanotubes", 第 75 回応用物理学会学術講演会，北海道大学（北海道札幌市）

[454] 永村真也，石毛剛志，石橋孝一郎（電気通信大学），"くし歯型 MEMS 共振器の共振特性と蓄積エネルギー"，電子情報通信学会 H27 年総合大会，立命館大学

[455] 門倉智之助，磯村拓哉，小谷潔，神保泰彦（東京大学），"培養神経回路網における可塑性に対するノルアドレナリン修飾作用"，電気学会電子情報システム部門大会，島根大学，松江市

[456] 榛葉健太，酒井洸児，小谷潔，神保泰彦（東京大学），"培養神経細胞の成熟過程における活動伝導の変化"，電気学会電子情報システム部門大会，島根大学，松江市

[457] 金子翔一，榛葉健太，酒井洸児，小谷潔，神保泰彦（東京大学），"視床下部 - 下垂体 - 副腎系の in vitro 再構築に向けた培養副腎細胞の活動評価"，電気学会電子情報システム部門大会，島根大学，松江市

[458] 田中幸美，門倉智之助，磯村拓哉，榛葉健太，小谷潔，神保泰彦（東京大学），"神経新生 in vitro モデルの構築と空間パターン刺激に対する応答評価"，電気学会電子情報システム部門大会，島根大学，松江市

[459] 高山祐三（産総研），鈴木，満渕邦彦，神保泰彦（東京大学），"精密工学技術に基づく in vitro 神経回路活動の計測と制御"，第 53 回日本生体医工学会大会，仙台

[460] 穴澤勇人，那順，岩見健太郎，梅田倫弘（東京農工大学），"高効率熱光発電のための NiW 熱輻射光源の分光計測"，応用物理学会第 62 回春季学術講演会，東海大学

[461] 志村崇，石井美帆，岩見健太郎，梅田倫弘（東京農工大学），"熱駆動型金属ナノスリットを用いたマイクロ光学位相変調器"，第 31 回センサ・マイクロマシンと応用システムシンポジウム，くにびきメッセ

[462] 岩見健太郎，那順，穴澤勇人，河田晋弥，梅田倫弘（東京農工大学），"波長選択性熱輻射光源のための NiW 自立膜微細加工技術の開発"，第 6 回マイクロ・ナノ工学シンポジウム，くにびきメッセ

[463] 小川大輔，赤塚公章，福村知昭，長田実，佐々木高義，長谷川哲也（東京大学），"単一の酸化チタンナノシートの絶縁・誘電特性"，日本ゾル - ゲル学会第 12 回討論会，つくば国際会議場

[464] 小川大輔，赤塚公章，福村知昭，長田実，佐々木高義，長谷川哲也（東京大学），"単一 Ti0.87O20.52? ナノシートの絶縁・誘電特性"，第 75 回応用物理学会秋季学術講演会，北海道大学札幌キャンパス

[465] 石井美帆，岩見健太郎，梅田倫弘（東京農工大学），"ナノコーティングプロセスによる金ナノフィン光学位相子"，第 75 回応用物理学会秋季学術講演会，北海道大学札幌キャンパス

[466] 那順，岩見健太郎，梅田倫弘（東京農工大学），"NiW 合金膜を利用した波長選択性熱輻射光源"，第 39 回光学シンポジウム，東京大学生産技術研究所

[467] 岩見健太郎，志村崇，石井美帆，梅田倫弘（東京農工大学），"金属ナノグレーティングを用いた可視・紫外光学位相子と可変メタマテリアルへの応用"，第 39 回光学シンポジウム，東京大学生産技術研究所

[468] 志村崇，石井美帆，岩見健太郎，長﨑秀昭，梅田倫弘（東京農工大学），"熱駆動するプラズモニック Au ナノグレーティングの複屈折変調"，日本光学会ナノオプティクス研究グループ　第 21 回研究討論会，山梨大学

[469] 岩見健太郎，那順，梅田倫弘（東京農工大学），"NiW 合金膜の電解めっき成膜と波長選択性楓への応用"，電気学会センサ・マイクロマシン部門総合研究会，東京大学生産技術研究所

[470] 前田祐人（大阪大学），塩見英久（大阪大学），岡村康行（大阪大学），"アウトフェーズ増幅器における電力回収機構に関する検討"，電子情報通信学会 2014 年 12 月 MW 研究会（マイクロ波研究会），青山学院大青山キャンパス

[471] 志村崇，石井美帆，岩見健太郎，梅田倫弘（東京農工大学），"熱バイモルフを利用したアクティブナノスリット光学位相変調器"，電気学会センサ・マイクロマシン部門総合研究会，東京大学生産技術研究所

[472] 石井美帆，岩見健太郎，梅田倫弘（東京農工大学），"可視域におけるマイクロ軸対称偏光子アレイのための金ナノスリット光学位相子"，電気学会センサ・マイクロマシン部門総合研究会，東京大学生産技術研究所

[473] Papichyaya Chaisakul（東京大学），Vladyslav Vakarin (institut d\'Electronique Fondamentale, Jniv.Paris-Sud)，Delphine Marris-Morini (institut d\'Electronique Fondamentale, Jniv.Paris-Sud)，Jacopo Frigerio (L-NESS, Politecnico di Milano)，Giavanni Isella (L-NESS, Politecnico di Milano)，Kaxumi Wada（東京大学），Laurent Vivien (institut d\'Electronique

Fondamentale, Jniv.Paris-Sud),“18a-A18-1 Mid-refractive index GeSi photonics for Telecommunication applications”, 題 75 回 応用物理学会秋期学術講演会, 北海道大学札幌キャンパス

[474] 張梓懿 {東京大学), 八子基樹(東京大学), 寿寛(東京大学), 河合直行(東京大学), 土澤泰(NTT), 山田浩治(NTT), 福田浩(NTT), 和田一実(東京大学), “18a-A18-5 チップ上における高密度波長多重通信のための物理蒸着による窒化シリコンプラットフォームに関する研究”, 題 75 回 応用物理学会秋期学術講演会, 北海道大学札幌キャンパス

[475] 岡田光信(Astroscale Pte. Ltd.),” Can we remove space debris ourselves?
- Who Astroscale is
- What project we have done”, 6th JAXA Space Debris Workshop, JAXA 調布市

[476] 岡田光信 (Astroscale Pte. Ltd.),“Astroscale の取り組みについて”, the 55th world meeting at Fuji TV network, フジテレビ本社

[477] 繁富香織(北海道大学), “マイクロプレートデバイスを用いた細胞操作”, 第 3 回蛍光イメージングミニシンポジウム, 札幌

[478] 永江剛典 1, 彼谷高敏 1, 中村幸登 1, 野崎昭俊 1, 井出陽一 1, 石田賢治 1, 須田美彦 1, 田和圭子 2 (1. コニカミノルタ(株), 2. 産総研), “回折格子結合型表面プラズモン共鳴励起増強蛍光分光 (GC-SPFS) を用いた肝細胞癌マーカー (AFP) の免疫測定系の開発”, 第 62 回応用物理学会春季学術講演会, 東海大学湘南キャンパス

[479] 佐藤彰一(東京大学), 中根了昌(東京大学), 田中雅明(東京大学), “3T-Hanle signals of Fe/SiO2/Si junctions measured with various magnetic field directions”, 2014 年秋季第 75 回応用物理学会学術講演会, 北海道大学

[480] 佐藤彰一(東京大学), 中根了昌(東京大学), 田中雅明(東京大学), “Theoretical analysis of 3 teriminal Hanle signals”, 2014 年秋季第 75 回応用物理学会学術講演会, 北海道大学

[481] 佐藤彰一(東京大学), 中根了昌(東京大学), 田中雅明(東京大学), “Fe/SiO2/Si 接合における三端子ハンルシグナルの起源”, 第 19 回「半導体スピン工学の基礎と応用」研究会, 東京大学本郷キャンパス武田先端知ビル 5 階武田ホール

[482] 風間涼平, 高橋英俊, 平川真之介, 髙畑智之, 松本潔, 下山勲(東京大学), “羽ばたき機を用いた 8 の字羽ばたき運動時の翼面圧力差計測”, ロボティクス・メカトロニクス講演会 2014, 富山市総合体育館, 富山

[483] 高橋英俊, 松本潔, 下山勲(東京大学), “アリの登攀時の床裏反力の計測”, 日本機械学会 2014 年度年次大会, 東京電機大学北千住キャンパス, 東京

[484] 海法克享(セイコーインスツル(株)), 高橋英俊(東京大学), 富松大(セイコーインスツル(株)), 小林健(産総研), 松本潔, 下山勲(東京大学), 伊藤寿浩, 前田龍太郎(産総研), “無線センサネットワーク端末のための微小圧力変化検出スイッチ”, 第 31 回「センサ・マイクロマシンと応用システム」シンポジウム, くにびきメッセ, 松江

[485] 李敏赫, 鈴木雄二(東京大学), “MEMS ワイヤレス温度センサの開発”, 第 52 回燃焼シンポジウム, 岡山

[486] Yu-Chung Chen, Ki-Young Song, Kenichi Morimoto, and Yuji Suzuki (Univ. of Tokyo),“Liquid Interface Behavior on Pillared Surface with Implanted Charges”, 第 6 回マイクロ・ナノ工学シンポジウム, 松江

[487] 金善右, 付乾炎, 萩原啓, 鈴木雄二(東京大学), “パッケージ後に荷電された MEMS エレクトレット環境振動発電器の試作”, 第 6 回マイクロ・ナノ工学シンポジウム, 松江

[488] 横田知之, “ポリマー材料を用いた印刷可能なフレキシブル温度センサ”, 第 75 回応用物理学会秋季学術講演会, 北海道大学札幌キャンパス

[489] Naoji Matsuhisa, Martin Kaltenbrunner, Hiroaki Jinno, Tomoyuki Yokota, Tsuyoshi Sekitani, Takao Someya,“銀フレーク・フッ素ゴム系伸縮性導体の作製と評価 /Fabrication and Evaluation of Elastic Conductor comprising of Silver Flakes and Fluorine Rubber”, 第 75 回応用物理学会秋季学術講演会, 北海道大学札幌キャンパス

[490] 北之迫浩輝, Martin Kaltenbrunner, 横田知之, 関谷毅, 染谷隆夫, “極薄フィルム基板上への有機光検出器の作製”, 第 75 回応用物理学会秋季学術講演会, 北海道大学札幌キャンパス

[491] 甚野裕明, 立花勇太郎, Kaltenbrunner Martin, 横田知之, 松久直司, 関谷毅, 染谷隆夫, “酸化チタン絶縁膜を用いた低電圧駆動有機トランジスタ”, 第 75 回応用物理学会秋季学術講演会, 北海道大学札幌キャンパス

[492] 依田玲央奈, 横田知之, 関谷毅, 染谷隆夫, “生分解性電極を用いた有機薄膜トランジスタ”, 第 75 回応用物理学会秋季学術講演会, 北海道大学札幌キャンパス

[493] 染谷隆夫, 横田知之, 関谷毅, 関野正樹, “Flexible devices for biomedical electronics”, 第 75 回応用物理学会秋季学術講演会, 北海道大学札幌キャンパス

[494] 李元領, “フレキシブル電気化学薄膜トランジスタの生体医療応用”, 3 研究領域合同第 2 回公開シンポジウム, コクヨホール 東京ショールーム 2 階

[495] 平田郁恵, 石井智章, Ute Zschieschang, 横田知之, 栗原一徳, Hagen Klauk, 関谷毅, 高橋琢二, 染谷隆夫, “ゲート絶縁膜表面電位による有機トランジスタのしきい値電圧操作”, 第 29 回エレクトロニクス実装学会講演大会, 東京大学 本郷キャンパス工学部 2 号館教室

[496] 横田知之, 井上雄介, Jonathan Reeder, Taylor Ware, Voit Walter, 関野正樹, 関谷毅, 染谷隆夫,

“ポリマーを用いた高感度温度センサの生体・医療デバイス応用”，第 62 回応用物理学会春季学術講演会，東海大学湘南キャンパス

[497] 横田知之（東京大学），“羽毛よりも軽いヘルスケアセンサ向け有機トランジスタ回路”，第 24 回 MEMS 講習会「ロボット産業，新産業革命インダストリー 4.0 における MEMS/ センサへの期待」，一般財団法人マイクロマシンセンター・新テクノサロン

[498] 横田知之（東京大学），“有機エレクトロニスの生体・医療デバイス応用”，応用物理学会有機分子・バイオエレクトロニス科会 3 月研究～医療・医療・バイオ・福祉分野に貢献する次世代ウェアラブルエレクトロニスの開発最前線～，東京大学山上会館大会議室

[499] 永友翔，川俣勇太，石川靖彦（東京大学），“レーザーアニールを用いた Si 上 Ge pin フォトダイオードの高性能化”，第 75 回応用物理学会秋季学術講演会，北海道大学

[500] Akinobu Fujimoto, Tatsuji Kaiwa, Gaku Hodoshima, Sho Nagatomo, and Yasuhiko Ishikawa（東京大学），“Narrowing of direct bandgap in Ge induced by micro-mechanical stress”，第 33 回電子材料シンポジウム，ラフォーレ修善寺

[501] 宮坂祐司，石川靖彦（東京大学），“SiGe と Ge のヘテロ接合を用いた受光デバイス？断崖を入口に？”, NTT サイエンスプラザ 2014, NTT 物性科学基礎研究所

[502] 宮坂祐司，石川靖彦（東京大学），開達郎，岡﨑功太，武田浩太郎，土澤泰，山田浩治（NTT 先端集積デバイス研，NTT ナノフォトニクスセンタ），和田一実（東京大学），“Ge/SiGe ヘテロ接合アバランシェフォトダイオード”，第 62 回応用物理学会春季学術講演会，東海大学

[503] 東垂水直樹，石川靖彦（東京大学），“Ge の顕微フォトルミネセンスにおける励起光強度密度の影響”，第 62 回応用物理学会春季学術講演会，東海大学

[504] 芦原聡（東京大学），“中赤外超短パルス電場の共鳴増強と光電界電子放出”，日本光学会光波シンセシス研究グループ主催 第 21 回研究会，九州大学

[505] 芦原聡（東京大学），“赤外パルス電磁場の共鳴増強と非線形光学応用”，一般社団法人電子情報通信学会超高速エレクトロニクス第 5 回研究会，熱海

[506] 草史野（東京農工大学），エヒテルンカンプカタリナ，ロパスクラウス（ゲッティンゲン大），芦原聡（東京大学），“金ナノロッドによる中赤外超短パルス電場の共鳴増強と光電界放出”，第 62 回応用物理学会春季学術講演会 11a-A12-1, 東海大学

[507] 竹上明伸，草史野，生嶋健司（東京農工大学），芦原聡（東京大学），“ナノロッドアレイによる赤外域での電場増強と表面増強赤外吸収”，第 62 回応用物理学会春季学術講演会 13p-P3-8, 東海大学

[508] 萬大輔，草史野（東京農工大学），田山純平，西弘泰，立間徹，芦原聡（東京大学），“近赤外域に共鳴をもつ金ナノロッドの合成とその非線形光学応答の評価”，第 62 回応用物理学会春季学術講演会 13p-P3-9, 東海大学

[509] 草史野（東京農工大学），エヒテルンカンプカタリナ，ロパスクラウス（ゲッティンゲン大），芦原聡（東京大学），“中赤外超短パルスの共鳴増強を利用した光電界電子放出”，日本光学会年次学術講演会 OPJ2014, 7aB8, 筑波大学東京キャンパス

[510] 萬大輔（東京農工大学），芦原聡（東京大学），“赤外域にプラズモン共鳴を有する金属ナノロッドを用いた分子の光学応答の増大”，日本光学会年次学術講演会 OPJ2014，7pP7, 筑波大学東京キャンパス

[511] 草史野（東京農工大），芦原聡（東京大学），Katharina Echternkamp，Claus Ropers（ゲッティンゲン大），“中赤外超短パルスを用いた金ナノロッドからの光電界電子放出”，第 75 回応用物理学学術講演会，17p-C1-6, 北海道大学

[512] 野田堅太郎（東京大学大学院情報理工学系研究科），グエンビンキエム（東京大学大学院情報理工学系研究科），松本潔（東京大学 IRT 研究機構），下山勲（東京大学大学院情報理工学系研究科，東京大学 IRT 研究機構），“可変周波数アンテナのための大変形貫通流路型液体アクチュエータ”，第 32 回「センサ・マイクロマシンと応用システム」シンポジウム，朱鷺メッセ（新潟コンベンションセンター）

[513] 中村勇貴，松下智紀，近藤高志（東京大学工学部），“AlGaAs/AlOx 高屈折率差 U 字導波路における第二高調波発生の位相整合特性”，第 62 回応用物理学会春季学術講演会，東海大学湘南キャンパス

[514] 楢崎亮太，松下智紀，近藤高志（東京大学工学部），“周期空間反転 AlGaAs の As2 を用いた MBE 成長”，第 62 回応用物理学会春季学術講演会, 東海大学湘南キャンパス

[515] Rajdeep Gautam（横浜国大），Shinaro Ishihara（横浜国大），Hiroyuki Homma（横浜国大），Redouane Katouf（横浜国大），Taro Arakawa（横浜国大），and Yasuo Kokubun（横浜国大），“Thermo-Optic Silicon Microring-Enhanced Mach-Zehnder Switch”，International Symposium on Highly-Controlled Nano- and Micro-Scale Functional Surface Structures for Frontier Smart Materials 2014, Kanto Gakuin University

[516] Taiju Ushiyama（横浜国大），Joo-Hyong Noh（関東学院大学），and Taro Arakawa（横浜国大），“Design of Compact Polarization Beam Splitter Based on Semiconductor Multi-Width Multimode Interference Device”，International Symposium on Highly-Controlled Nano- and Micro-Scale Functional Surface Structures for Frontier Smart Materials 2014, Kanto Gakuin University

[517] Naomichi Kawasaki（横浜国大），Makoto Kaneko（横浜国大），Joo-Hyong Noh（関東学院大），and Taro Arakawa（横浜国大），“Tunable Multimode Interference Coupler Based on Electrorefractive Index Change in Multiple Quantum Well”，International

Symposium on Highly-Controlled Nano- and Micro-Scale Functional Surface Structures for Frontier Smart Materials 2014, Kanto Gakuin University

[518] Taiju Ushiyama(横浜国大), Joo-Hyong Noh(関東学院大), and Taro Aarakawa(横浜国大), "Proposal of Compact Polarization Beam Splitter Based on Semiconductor Multimode Interference Device", The 15th IUMRS-International Conference in Asia (IUMRS-ICA 2014), Fukuoka University

[519] Naomichi Kawasaki(横浜国大), Joo-Hyong Noh(関東学院大), and Taro Aarakawa(横浜国大), "Electro-Optic Tunable Quantum Well Multimode Interference 3-dB Splitter for High-Extinction-Ratio Mach-Zehnder Modulators", The 15th IUMRS-International Conference in Asia (IUMRS-ICA 2014), Fukuoka University

[520] H. Honma(横浜国大), R. Gautam(横浜国大), T. Arakawa(横浜国大), and Y. Kokubun(横浜国大), "Theoretical Analysis of Silicon Microring Resonator-Loaded Mach-Zehnder Optical Modulator with Interleaved PN Junctions", International Symposium on Materials Science and Surface Technology (MSST) 2014, Kanto Gakuin Univ.

[521] M. Kaneko(横浜国大), N. Kawasaki(横浜国大), J.-H. Noh(関東学院大), and T. Arakawa(横浜国大), "Compact Tunable 1 × 2 Optical Multi-Mode Interference 3 dB Coupler Using Tapered Structure", International Symposium on Materials Science and Surface Technology (MSST) 2014, Kanto Gakuin Univ.

[522] K. Hori(関東学院大), S. Inoue(関東学院大), M. Nishimura(関東学院大), T. Arakawa(関東学院大), and Y. Kokubun(関東学院大), "Design of Low-Voltage Double Microring Resonator-Loaded Mach-Zehnder Optical Switch", International Symposium on Materials Science and Surface Technology (MSST) 2014, Kanto Gakuin Univ.

[523] N. Hayasaka(関東学院大), H. Ikehara(関東学院大), T. Arakawa(関東学院大), and Y. Kokubun(関東学院大), "Design of Quadruple Series-Coupled Quantum Well Microring Wavelength-Selective Switch Considering Chebyshev Condition for Optical Communications", International Symposium on Materials Science and Surface Technology (MSST) 2014, Kanto Gakuin Univ.

[524] S. Ishihara(横浜国大), T. Arakawa(横浜国大), and Y. Kokubun(横浜国大), "Design of Silicon Microring-Enhanced Mach-Zehnder Interferometer Biosensor", International Symposium on Materials Science and Surface Technology (MSST) 2014, Kanto Gakuin Univ.

[525] 川崎直道(横浜国大), 金子慎(横浜国大), 盧柱亨(関東学院大), 荒川太郎(横浜国大), "電界制御型多重量子井戸分岐比可変多モード干渉カプラー", 電子情報通信学会光エレクトロニクス(OPE)研究会, 熱海

[526] 牛山大樹(横浜国大), 盧柱亨(関東学院大), 荒川太郎(横浜国大), "幅多モード干渉カプラを用いた小型偏波分離器の設計", 電子情報通信学会光エレクトロニクス(OPE)研究会, 熱海

[527] 宮本富成(横浜国大), 梅原周(横浜国大), 小林広樹(横浜国大), 谷口理一(横浜国大), カトフ・レドワン(横浜国大), 荒川太郎(横浜国大), 國分泰雄(横浜国大), "量子井戸マイクロリングレーザの隣接波長を用いた全光インバータの動作条件の検討", 電子情報通信学会光エレクトロニクス研究会, 熱海

[528] 早坂伸之(横浜国大), 池原広樹(横浜国大), 荒川太郎(横浜国大), 國分泰雄(横浜国大), "チェビシェフ条件を用いた4次直列結合異径リング波長選択スイッチの損失を考慮した設計", 第75回応用物理学会秋季学術講演会, 北海道大学

[529] 本間洋行(横浜国大), Rajdeep Gautam(横浜国大), 荒川太郎(横浜国大), 國分泰雄(横浜国大), "インターリーブ型PN接合を有するシリコンマイクロリング装荷型マッハ・ツェンダー光変調器の解析", 第75回応用物理学会秋季学術講演会, 北海道大学

[530] 早坂伸之(横浜国大), 池原広樹(横浜国大), 荒川太郎(横浜国大), 國分泰雄(横浜国大), "4次直列結合異径リング波長選択スイッチのチェビシェフフィルタ条件を用いた設計", 電子情報通信学会光エレクトロニクス研究会, 東京

[531] 金子慎(横浜国大), 川崎直道(横浜国大), 盧柱亨(横浜国大), 荒川太郎(横浜国大), "テーパー構造を有する電界制御型分岐比可変多モード干渉カプラーの損失低減の検討", 第62回応用物理学会春季学術講演会, 東海大学

[532] 堀健人(横浜国大), 西村真樹(横浜国大), 荒川太郎(横浜国大), 國分泰雄(横浜国大), "マイクロリング装荷型マッハツェンダー2 × 2光スイッチの設計", 第62回応用物理学会春季学術講演会, 東海大学

4. 著書

[1] 山本綱之, "高効率なRF-DC変換回路と無線LAN電波を利用した環境発電, "ウエアラブル・エレクトロニクス通信・入力・電源センサから材料開発, 応用事例, セキュリティまで, 第1章第3節, pp.73-83, 株式会社エヌ・ティー・エス, 2014年6月.

[2] 山本綱之, "微弱電磁波の電力変換技術徹底解説～電磁波利用の環境発電向け微小電力用整流回路を詳解～, " Electronic Jounal Archives, no.1269, pp.1-96, 株式会社電子ジャーナル, 2015年2月.

[3] 電磁波を利用する環境発電とRF-DC変換回路, 月刊機能材料, vol.34, no.5, pp.19-27, 株式会社シーエムシー出版, 2014年5月.

[4] Ken Saito, Minami Takato Yoshifumi Sekine and Fumio Uchikoba "Silicon Micro Robot with Neural Networks" IGI Global, Handbook of Research on Advancements in Robotics and Mechatronics, pp.18-35,

2014.12.
[5] Asai T. and Peper F., "Explorations in Morphic Architectures," Emerging Nanoelectronic Devices, Chen A., Hutchby J., ZhirnovV, and Bourianoff G., Eds, Wiley, New Jersey (2015).
[6] Asai T., "Memristor-CMOS-hybrid synaptic devices exhibiting spike-timing-dependent plasticity," VLSI: Circuits for Emerging Applications, Wojcicki T. and Iniewski I., Eds., CRC Press (2014).
[7] 大野雄高，"透明で柔軟なオールカーボン電子デバイス"，応用物理 84, 142-145 (2015).
[8] 大野雄高，"True Nano の世界：カーボンナノチューブ：特異な物性を活かした電子デバイス"，パリティ 29, 18-21 (2014).
[9] 大野雄高，"CNT 薄膜による柔軟で透明な集積デバイスの開発"，カーボンナノチューブ応用最前線，シーエムシー出版 , 311-317 (2014).
[10] 大野雄高，"カーボンナノチューブ薄膜で実現した柔軟で透明な集積回路"，マテリアルステージ 14, 54-57 (2014).

5. 特許

[1] F. An, L. Chen, X. Zhang, H. J. Mattausch, LVQ neural network, Japan patent application No. 2015-034063.
[2] 東原，"複素型直交変調器，複素型直交復調器及びこれらに用いる直交ミキサ，"特許 5574293 号，2014 年 7 月 11 日登録
[3] 下山 勲，松本 潔，竹井 裕介，野田 堅太郎，外山 義雄，大森 敏弘，舘村 卓：口腔センサ，WO2013/085038 (2012/12/07)
[4] 下山 勲，松本 潔，竹井 裕介，高橋 英俊，氣駕 昇，本多 祐仁：ガスセンサ，201280060963.X/WO2013/105449 (2012/12/27)
[5] 下山 勲，松本 潔，菅 哲朗，竹井 裕介，高橋 英俊，石津 光太郎，本多 祐仁：ガスセンサ，201280060964.4/WO2013/105450 (2012/12/27)
[6] 下山 勲，松本 潔，グェン ビン キェム：(出願中)，2013032003/2014163963 (2013/2/21)
[7] 下山 勲，松本 潔，野田 堅太郎，グェン ビン キェム，ディン ホアン ジャン：(出願中)，2013032004/2014163964 (2013/2/21)
[8] 下山 勲，松本 潔，グェン ビン キェム，グェン ミンジューン，ファン ホアン フォン：(出願中)，PCT/JP2013/084804/WO2014/104163 (2013/12/26)
[9] 下山 勲，松本 潔，竹井 裕介，稲葉 亮，ユ クァンヒョン，本多 祐仁，今本 浩史：(出願中)，PCT/JP2013/084795/WO2014/104156(2013/12/26)
[10] 下山勲，松本潔，高畑智之，菅哲朗，竹井裕介，野田堅太郎，阮平謙(東京大学)，安食嘉晴，唐木幸一(オリンパス株式会社)：撮像装置及び撮像方法，特願２０１２－４７０５７/特開２０１３－１８０１２０(2012/03/02/2013/09/12)
[11] 下山勲、松本潔、野田堅太郎、グエンビンキェム、グエンタンヴィン、ディンホアンジャン、ファンホアンフォング(東京大学)：(出願中)，特願 2014-011704(2014/01/24)

B. VDEC の利用規程・申し込みガイド

B. 1 概要

VDEC は，全国の大学・高専向けに様々な支援事業を実施している．

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会(8–9 月・3 月)
4. 社会人リフレッシュ教育(12 月–1 月，学生も参加可能)
5. VLSI デザイナーフォーラム(若手の会)
6. 大型装置利用

CAD ベンダー，試作会社等のアカデミック向けの協力により，それぞれのサービスを大幅なアカデミックディスカウントで提供している．VDEC 設立以来，これまでの実績では，CAD の利用・CAD 講習会は無償，LSI 試作サービスは海外での類似サービスの半額以下，大型装置は消耗品実費負担のみとなっている．見返りとして，ユーザには VDEC を利用する「顧客」ではなく，VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している．全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし，限られたスタッフの中，日々支援活動を行っている．

サービスの対象は基本的には，大学・高専であり，端的にはメールアドレスとして「. ac.jp」を持つ教員と，その研究室内の教職員と学生を対象とする．それ以外の研究所の利用や，企業との共同研究については個別の判断を要する．特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため，VDEC の担当者(vdec@vdec.u-tokyo.ac.jp)に必ず相談いただきたい．その他のサービスについては VDEC の裁量範囲が広くなるので可能性が高くなるが，こちらもあらかじめ相談いただきたい．企業との共同研究については，少なくとも非営利，アカデミック側が 51%以上のイニシアチブを取る研究であることが必要である．

また，CAD の申込や試作申込，装置利用申込など，契約にかかわる作業は全て，代表の教員の方々に行っていただくことをお願いしている．研究室のメンバが代理で行うことも現実には可能であるが，その場合もあくまで教員の了解をとり，代理としての心構えで望んでいただきたい．

VDEC のシステムは，Internet と Unix operating system の上になりたっているので，Internet の仕組や Unix についての素養はあらかじめ付いていることを期待している．従って，利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって，問題を切りわけながら対処することが勧められる．

B. 2 まずはじめに

VDEC からのおしらせ，また講習会・リフレッシュ教育を除く全ての申込や問い合わせには，VDEC の WEB ページ http://www.vdec.u-tokyo.ac.jp/ を用いている．一部のページは秘密等が含まれるため，WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP)アドレスによって制限をかけている．

従って，VDEC を利用したい場合，前もって教員によるアカウントの申請が必要である．登録は無料．資格の審査を行うため十分な(サービス開始前 1 ヶ月以上)時間的余裕をもって，申込をお願いしたい．申込から概ね数週間が経過した後，WEB ページアクセス用のアカウントとパスワードが発行される．アカウントは，半角英大文字 2 字 + 半角数字 5 桁(例 : VD00000)からなる．

申込で特に注意する点は，VDEC の WEB にアクセスしたい研究室のマシンの IP アドレスを入力することである．学校の中にあるマシンからのみアクセスを許可しており，プロバイダーのアドレスならびに，Proxy サーバのアドレス登録は禁止する．入力の際は，133.11.58.4,133.11.58.5 のように，IP アドレスを全て「半角」の英数字で，「, 」(半角カンマ)で区切って，途中改行を入れずに入力する．また，ここで入力するアドレスは，「ネットワークの外部から見えるアドレス」であることに注意する．特に，NAT(IP masquerade というプログラム名で呼ばれることもある．機能としては NAT が正しい．)で研究室内をローカルネットワークにしている場合は，NAT サーバのアドレスを入力する．よくある間違いとして，ローカルネットワークの IP，例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある．

ネットワークが変更になるとか，研究室のマシン増設などで IP アドレスを変更する場合は同じく，申込のページから「登録内容変更」を行う．特に，古い IP が使えなくなるといった大幅なネットワークの変更がわかっている場合は，まえもって新旧両方のアドレスを登録しておく．万一アクセスできなくなった場合は，「新規登録」を行い，同じ E-Mail アドレスを入力することで上書き変更が可能である．

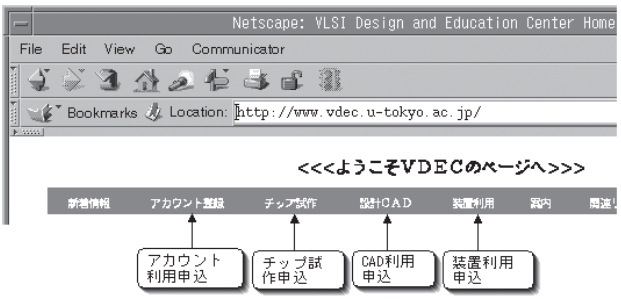


図 B.1　VDEC ホームページのインデクスフレーム

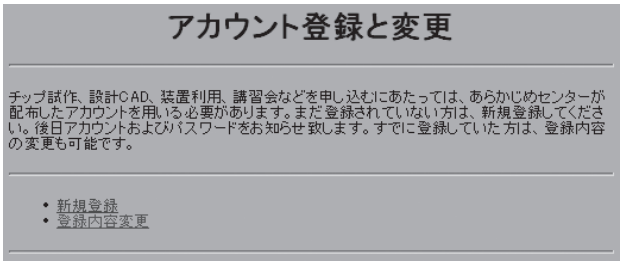


図 B.2　アカウント登録・変更ページの入口

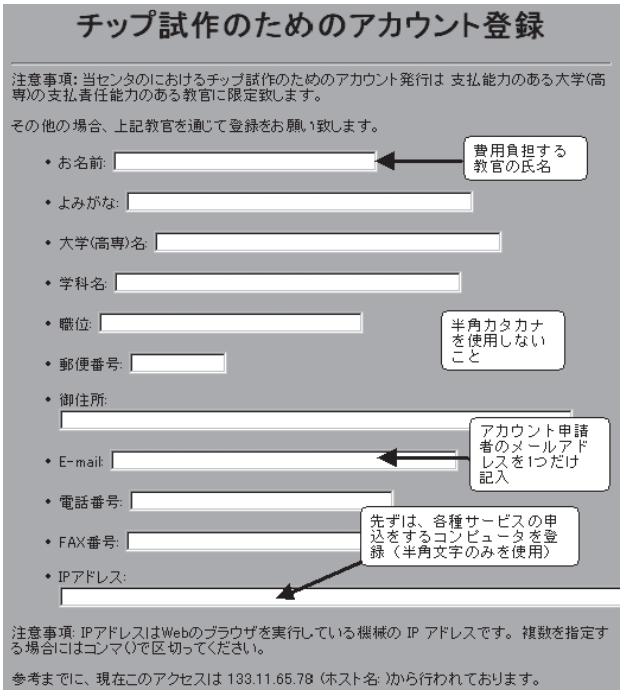


図 B.3　アカウントの新規登録の注意点

【登録する IP アドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが，管理の行き届いたコンピュータのみに限定すること
- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない(しても意味が無い)
- Proxy サーバ等を介さないアドレスを指定すること．これは，設計規則等の機密情報が Proxy サーバに残ってしまい，機密漏洩につながることを防ぐためである

ので守っていただきたい．但し，ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

B.3　CAD ツールの共同利用

VDEC では，集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している．これらのソフトウェアは，VDEC の VLSI 試作以外のアカデミック用途(MOSIS-VDEC を通じた試作，教育用の演習，EB 等 VDEC の大型装置利用のためのデータ作成用，等)の利用も可能である．アカデミック向けであるから，企業との研究の際は利用の可･不可が場合により異なるので，心配な場合あらかじめ相談いただきたい．

1 つの設計作業を行うために，2 つ以上のベンダーから CAD を選べる状況(二重化)を理想としている．LSI の設計には，CAD ソフトと共に，パラメータやライブラリが必要であるが，これも職員や関連研究室のボランティアにより，充実のための努力が払われている．ボランティアとしての協力は大変に歓迎される．

CAD 申込の WEB ページに教員がアクセスする(WEB アカウントが必要である)．NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後，CAD の申請ができる．

申請時に WEB から入力する内容は以下のとおり．

- ソフトウェアライセンス数(研究室で同時に使用すると思われる最低数を入力)
- 用途
- メディアリクエスト(使用する Operating System を選んでチェックする)．
- 利用する研究室所有ワークステーションのホストネーム(VDEC，端的には usr1 から名前→ IP アドレスの解決ができる，「.ac.jp」で終わるホスト名であることが条件．)

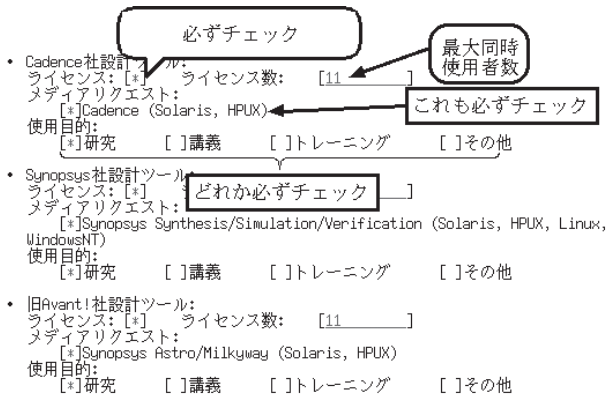


図 B.4　CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

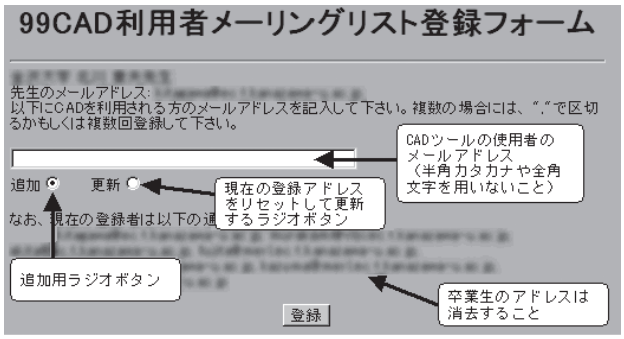
ソフトウェアのCDROM(メディア)について，VDECの創設期においては，メディアを近隣の研究室で「回覧」していたが，インターネットの発達により回線が豊富になったので，現在ではCDに書き込めるISOイメージファイルで提供している．VDECホームページの「ライセンスファイルの配布＞ここから」からダウンロードできるようにある．当然ながら，VDECのユーザアカウントとパスワードが必要となるため，CADを申請してから数週間程度の時間差が必要となるであろう．

メディアをダウンロードした後，プログラムをインストールし，初期設定ファイルを整備する．特に，ライセンスファイルはWEB経由で別途取得の上設定するか，環境変数LM_LICENSE_FILE等を(ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する．また，/etc/hostsファイル等を設定し，ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する．端的には，手元のワークステーションにおいて，例えば「vdec-cad1」と指定するだけで，FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する．

CADツールを実行するためには，VDECまたは地域拠点校のライセンスサーバによる認証が必要である．ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので，VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも，稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である．また，ライセンスサーバの認証は，CADツール起動後も数分おきに行われるので，CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない．また，ファイアーウォールを使用しているネットワーク環境では，VDECのWebサーバとVDECおよび地域拠点校に対して，ライセンス認証用の特定のポートを空ける必要がある．この場合，各大学・高専のネットワーク管理者と相談すること．

初期設定等はやり方を一度経験すれば簡単であるが，はじめてのときは様々な問題が起こることもある．VDECに対する大幅なアカデミックディスカウントの引き換えとして，各研究室はCADベンダーによる直接のサポートを受けられない．かわりにVDECでは，「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している．質問はこちらのメーリングリストを利用いただきたい．CADを利用する研究室の構成員のどなたでも投稿，返答してよい．CADuser MLの注意点は以下のとおり．

1. WEBページから，利用するメンバのE-Mailアドレスを登録すること．特にその際，「．ac.jp」で終わるアドレスを利用し，メールはプロバイダ等に転送しないこと(情報漏洩の観点から)．
2. リストの更新は頻繁におこない，卒業生へのメール配信は速やかに停止すること．特に4月に注意．
3. メールをする前に，あらかじめCADuser MLの過去記事検索がWEBからできるので，類似の質問が無いかどうか検索してから投稿すること．
4. 機密保持にかかわるような内容のメールは，CADuserに送ってはならない．各試作のメーリングリストに送ること
5. 問題解決したら，問題，原因，解決法をまとめて投稿すること(必須ではないが，ネット利用のエチケットといえる)．



図B.5　CAD利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけしている．各CADベンダーとVDECとの交渉がまとまる毎年3月末に，CADuser MLとWEB上に，次年度のCAD利用申込案内が出るので忘れずに申込する．4月中は移行期間として前年度申込のライセンスも有効にしてあるが，4月末に切れるため，そのときになって慌てる例が毎年発生している．「永久ライセンスではない」ことに十分ご注意いただきたい．

【毎月注意を払うべき点．熟読必須．】

1. VDECでは，CADを使用できる計算機のリスト(アクセスリストと呼ぶ)を半年毎に更新している．このときDNSの逆引きができなくなっていた等の何らかの不具合で，アクセスリストに自分の計算機が登録されない場合がある．その場合，CADが使えなくなるので，アクセスリスト更新前に対処する必要がある．サーバの停止は，全国ユーザに影響が及ぶため頻繁には行えないので，万が一アクセスリストの不備に気づかなかった場合は，最悪半年以上CADが使用できなくなる．
2. 以上の理由で，VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合，必ずチェックを行い，自分のコンピュータが登録されていることを確認しなければならない．
3. 登録確認のページは，http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである．ブックマー

クを強くお勧めする.

4. IP アドレス(ホスト名) registered　という表示が出ていれば登録されている.
5. false(false(ホスト名))　FAIL という表示が出ていれば登録に失敗しているので，原因を探る.

一般的に，DNS の逆引き(ホスト名から IP アドレスを引く)に失敗していることが多い. 研究室のネットワーク管理者とも相談して，VDEC のサーバから，当該ホスト名の逆引きができるまで原因の除去を行う.

B. 4　VLSI 試作サービスの共同利用

VLSI 試作サービスは，教育研究目的に限って認められる．WEB ページに本年度のランが掲示され，数ヶ月前から試作が申込可能になり，リンクが張られる．まず，試作会社の持つ機密情報に対する NDA 契約を行う．これは VDEC ホームページの「試作関係 > 試作案内 > 機密保持契約(NDA)の文面」より，希望プロセスの NDA にサインして VDEC に郵送し，VDEC 側で手続き終了後に NDA 締結となり，設計規則やライブラリにアクセスできるようになる．設計規則は WEB 経由のアクセスならびに，WEB での公開を禁止している会社の場合は CDROM 等で送付される．NDA の対象は教員であるが，研究室の職員・学生にも同じ NDA が適用されるため，取扱には細心の注意を支払っていただきたい．尚，秘密保持契約内容は，以降の同一プロセスによるチップ試作全てにおいて有効である.

試作申込はデザイン提出〆切日の 6〜3 ヶ月前，キャンセルの〆切は 1 ヶ月前である．1 ヶ月前より遅くなったキャンセルには，原則として試作代金をお支払いいただくので注意いただきたい．特にはじめて試作に参加される場合は，1 ヶ月前には回路ができているくらいの，余裕をもったスケジュールを組まれることを強くお勧めする.

VLSI 申込フォームの入力に関する注意点(図 5. 8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること．チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては，各試作についてメーリングリストを用意してあるので，設計者全員のメールアドレスを登録する．「. ac.jp」で終わるアドレスであり，プロバイダに転送をしないよう注意願いたい．これらメーリングリストの過去記事検索もできる.

レイアウトを設計した後，VDEC が提供する最新の Design Rule Check ファイルでチェックを行い，エラーフリーになったものを提出する．また，シミュレーションはもちろんのこと，レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS)チェックを通しておいて，提出しようとする回路が本当に動作しそうである確信を持っておくことは最低限必要であろう．デザインの提出は指定された VDEC ページから行う．提出時に VDEC 側で最終 DRC を実行する．ここでエラーが出たチップは提出できない．必ず自分の環境で DRC フリーにしてからチップを提出すること.

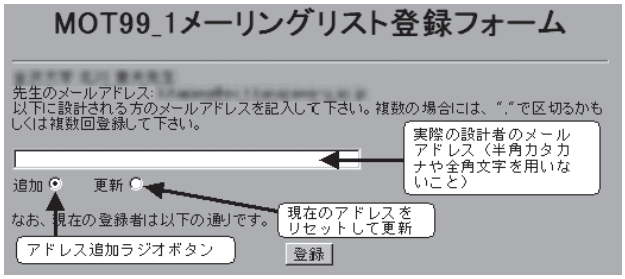


図 B. 6　VLSI 試作メーリングリスト登録ページの注意点

提出〆切は月曜日に設定されていることが多いが，できる限り余裕をもって，前の週などに提出をいただきたい．また，月曜日に締め切った後，VDEC 側でさらにデザインルールをチェックしている．この際本来出てはいけないエラーが出ることがあり，出た場合設計者に修正のお願いを連絡するので，提出したからといって安心せず，1 週間ほどは VDEC からの連絡に注意願いたい.

デザイン提出から数ヶ月後に，VLSI チップが納品され，請求書も送付されるので，遅滞なく支払をお願いする.

B. 5　CAD ツール講習会

CAD ベンダーとの契約により，個々のサポートは提供しないかわりに，毎年 2 回，夏と春と CAD 講習会を開催している．夏は基本的に東京大学の武田先端知ビルセミナー室において，春は各地方の拠点校を中心として開催される．まずはこういった講習会に参加して，大体の知識を付けてから実際の試作なり CAD 利用を行うことをお勧めしている．アナウンスは CADUser メーリングリストで流れる．また，申込は，VDEC の WEB ページから行う.

B. 6　社会人リフレッシュ教育

CAD ツール講習会からさらに進んだ形で，Verilog である回路を実際に設計し，レイアウト合成したり，FPGA による実験を行う「ディジタルコース」，アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」，「RF」コースならびに一線の研究者による設計事例の講演会などを企画している．12 月〜1 月に開催し，有料である．社会人を主に対象としているが，申込数に余裕がある場合学生の参加も歓迎している.

B. 7　デザイナーフォーラム（若手の会）

毎年 6 月頃，VDEC を利用する若手が合宿を行い，最

近の動向や研究内容について話しあう機会を設けている．発足当初の「若手」の定義は年齢が 5 ビット．最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている．

B. 8　大型装置利用

LSI テスターや，EB 装置など，公開可能な装置については，利用の案内を WEB ページに掲載している．その手順に従って利用方法の学習と申請を行う．基本的なスタンスは以下のとおり．

公開の対象は教員であり，研究室メンバは教員の代理として責任をもって使っていただく．

利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能

数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので，免許保持者に積極的な教育をお願いすることがあるので，協力いただきたい．

C. IP データベースの整備

設計資産の再利用のために，VDEC では Web 上でのデータベースの構築および公開を行っている（http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html，図 C. 1）．本データベースの利用対象は，IP 登録に関しては VDEC ユーザに限定しているが，IP 利用に関しては任意対象となっている．本データベースに関しての VDEC の役割は，IP のカタログデータの整理，公開および登録者－利用者間の仲介と機密情報の取り扱いの監督である．

平成 12 年度から平成 14 年度の 3 年間，（株）半導体理工学研究センター（STARC）との共同研究として IP プロジェクトを行ってきたが，その最終成果として IP 開発グループの各参加者へ完成 IP の登録を働きかけ，上記データベースによって公開を行っている．

現在までに登録済みの IP を表 C. 1 に示す．

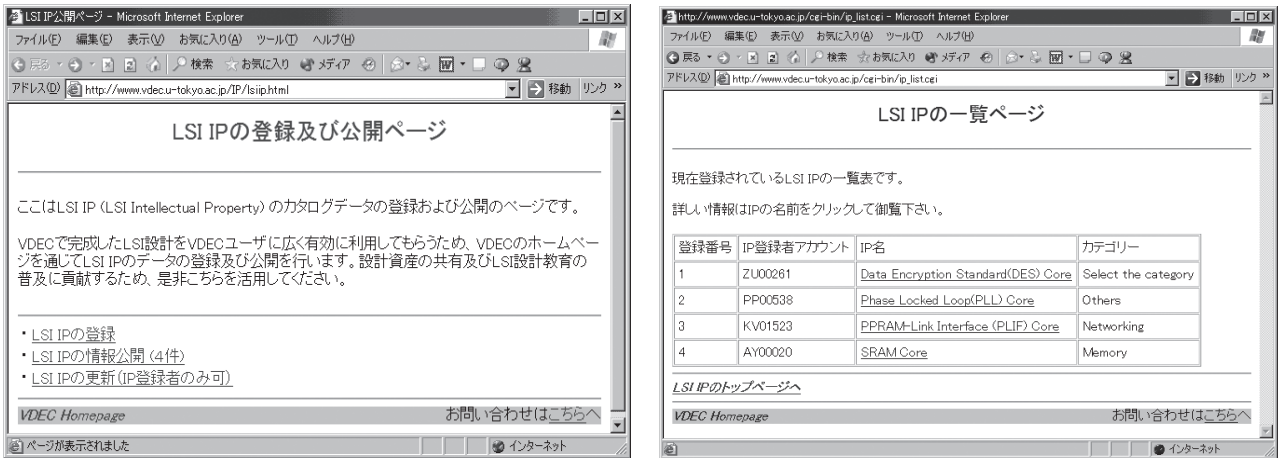


図 C. 1　VDEC LSI IP Web データベースの例

表 C. 1　VDEC LSI IP データベースに登録済みの IP（平成 24 年 3 月現在）

登録番号	IP名	カテゴリー
1	Data Encryption Standard（DES）Core	Others
2	Phase Locked Loop（PLL）Core	Others
3	PPRAM-Link Interface（PLIF）Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

平成 26 年度
東京大学大規模集積システム設計教育研究センター年報

2015 年 7 月

編集・発行　東京大学
大規模集積システム設計教育研究センター
センター長　浅田　邦博
〒 113-0032　東京都文京区弥生 2-11-16
武田先端知ビル　4 階 401 号室
電話　03-5841-8901

印刷・製本　三美印刷株式会社
東京都荒川区西日暮里　5-9-8
電話　03-3803-3131（大代表）

VDEC

VLSI Design and Education Center The University of Tokyo 2015