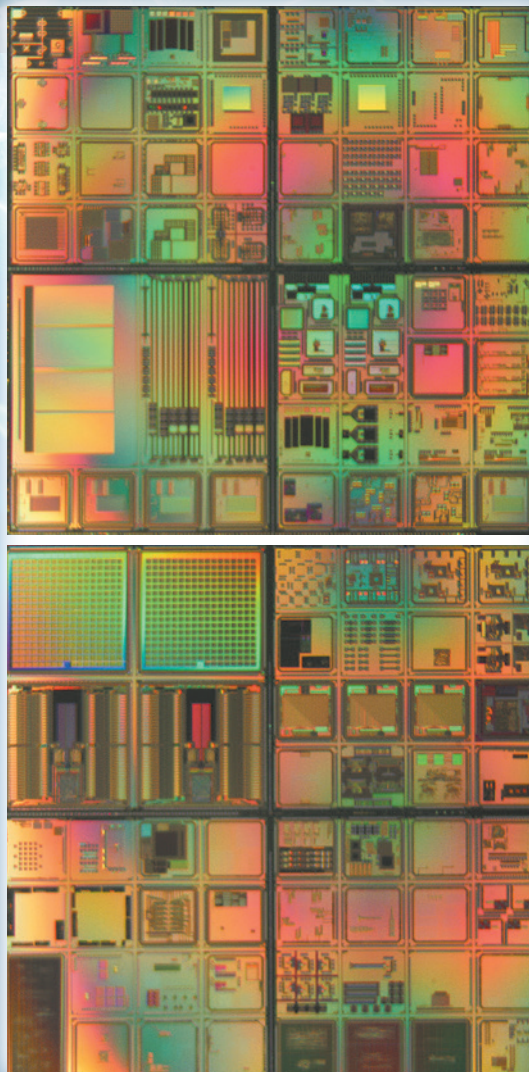


2016
VLSI Design and Education Center, The University of Tokyo
Annual Report

東京大学 大規模集積システム設計教育研究センター 年報





VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター (VDEC) の 2015 年度活動報告をお送りします。

2015 年度はチップ試作およびナノテク微細加工に関する活動を順調に続けてまいりましたが、東京大学では中期 6 年計画の最終年度にあたり、次期中期計画に向けた新しい取り組みの議論が活発に行われました。特に重要業績評価指標 (KPI) を新たに導入し動的に各部局への予算配分を変えていく原則が定められ、VDEC でも KPI を定めて活動する方針を立てました。活動の基本部分であるチップ試作とナノテク微細加工に関する KPI は言うまでも無く試作案件や加工案件数ですが、前者は安定状態にあり後者は増加状態にあると理解しています。また活動の新規部分には従来から準備を進めてきた国際化と産業展開を目標に定め、改めて推進する方針を定めたところです。

KPI の変動により次年度予算が変動することは全国共同利用活動の安定的運営には好ましくなく、幸い大学当局の理解を得て次期中期計画期間は運営費の大部分を安定的に運用することができるとなりました。しかし、これまでと同様に文科省からの運営費交付金は年率 1~2% で減少することには変わりなく、全国運営協議会の委員の方々と相談を重ねた結果、2016 年度より CAD 利用者の方々には「CAD 利用分担金」をお願いするに至りました。これは利用の多寡に応じて年額 5~10 万円をご負担いただくものですが、演習・実験等の教育目的での利用は従来どおり無料とするものです。アカデミック CAD ライセンスを必要十分な数量、安定に提供するための措置として是非ご理解いただければと存じます。

アカデミック CAD ライセンスの利用は教育・研究用に限定されており、産業化・商用化を意図した設計には利用できません。今日、我が国の半導体産業の状況は必ずしも順調とはいえず、IoT や AI に象徴される今後の情報化社会に高等教育機関が積極的に貢献するために、この限界を超えた研究・開発活動が求められる国策研究プロジェクトが目立ってきています。国際共同研究のケースも新興国の産業化を意図した場合は同様です。アカデミアでの教育研究と産業界での商業活動との橋渡しをする CAD ライセンスが必要となってきていると認識しています。VDEC としてはアカデミック CAD ライセンス環境で培った設計力をそのまま産業展開できる環境を少しでも構築できないかと模索しているところです。

テスト・検証分野の教育研究促進の目的で設置されている(株)アドバンテストからの寄附研究部門 (D2T: Design-to-Test) では、昨年 8 月 21 日に第 10 回の定例シンポジウムを開催しました。内外からの講師の方々、多くの参加者の方々に対し改めて御礼申し上げます。本年 9 月 21 日には第 11 回の定例シンポジウムを開催予定です。本活動に対する(株)アドバンテストからの継続的支援に対し心から感謝申し上げます。

VDEC では半導体技術の価値を高めるための教育研究活動をめざし、今後とも「実践的チップ設計・試作を通じた学生教育と研究者育成」の基本方針のもと、社会に貢献していきたいと考えています。引き続き皆様からのご支持をお願い申し上げます。

2016 年 5 月

(全国共同利用施設)
東京大学大規模集積システム設計教育研究センター
センター長 浅田 邦博

巻頭言

第 1 章	VDEC 事業の紹介と平成 27 年度事業報告	2
	1.1 VDEC 事業の紹介と平成 27 年度事業報告	2
	1.2 CAD ソフトウェアの整備	5
	1.3 VLSI チップ試作	6
	1.4 セミナー	9
	1.5 装置の整備・運用・利用公開	13
	1.6 平成 28 年度の活動計画	15
	1.7 VDEC 発ベンチャー	16
	1.8 超微細リソグラフィー・ナノ計測拠点	17
第 2 章	「アドバンテスト D2T 寄附研究部門」平成 27 年度活動報告	18
	2.1 「アドバンテスト D2T 寄附研究部門」の紹介	18
	2.2 「第 10 回 D2T シンポジウム」開催報告	19
	2.3 研究活動報告	21
	2.4 研究発表	22
第 3 章	チップ試作結果報告	23
	3.1 試作ラン別一覧	24
	3.2 チップ種別一覧	30
	3.3 各チップの詳細	35
第 4 章	VDEC 概要	91
	4.1 組織概要	91
	4.2 人事報告	92
	4.3 決算報告	94
第 5 章	研究報告	95
	5.1 全体概況	95
	5.2 研究室構成員(平成 27 年度)	96
	5.3 研究概要	98
	5.4 研究発表	106
	5.5 特許, 受賞等	116
Appendix	117
	A. Publication list	117
	B. VDEC の利用規定・申し込みガイド	160
	C. IP データベースの整備	165

第1章 VDEC 事業の紹介と平成 27 年度事業報告

1.1 VDEC 事業の紹介と平成 27 年度事業報告

東京大学大規模集積システム設計教育研究センター (VDEC) は、平成 8 年の発足以来『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を 3 つの柱として、円滑な運営を目指した事業を展開した。図 1.1 に示す VDEC の活動内容に基づき、以下に平成 27 年度の概要を報告する。

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。VDEC の発足より 19 年経過し、各大学における CAD ソフトウェアの利用技術教育や LSI 設計・設計フローに関する教育の充実が図られている。その一方で、先端の LSI 設計技術およびそれに対応する CAD ソフトウェアは一層複雑化し続けている。そのため、CAD ツールの導入に際しては、CAD ベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために平成 21 年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDEC としては各ユーザ研

究室内で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって最新の CAD 利用技術が全国的に広がることを期待している(1.3 章参照)。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを開催してきた。平成 27 年度は、5 月～7 月に、“アナログ設計コース”、“RF 設計コース”、平成 24 年から開始した”MEMS 設計コース”を実施した。いずれも演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関するセミナー”VDEC 環境におけるトランジスタレベル設計講習会”、“VDEC EDA 環境におけるデジタル設計手法講習会”を大学における設計者に向け

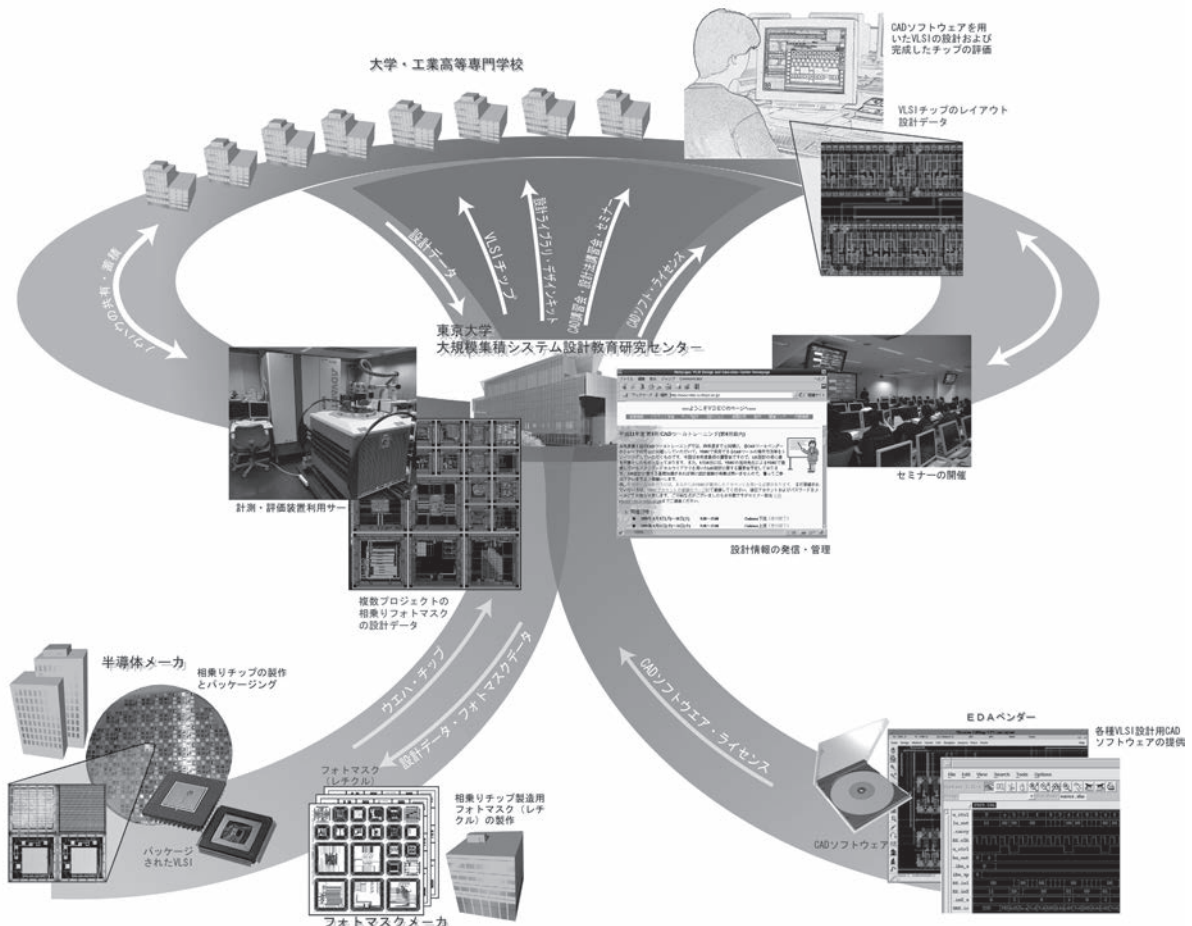


図 1.1 VDEC の活動内容

て実施している。なお、平成26年度から本設計フローに関するセミナーに関して有料化して実施している。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。特に平成23年度から、VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDECデザイナー・フォーラムの場で行っており、平成27年は、IEEE SSCS Japan Chapter VDEC Design Awardとして、神戸大学の尾崎年洋さん、3件のVDECデザインアワード優秀賞、(速水一(奈良先端科学技術大学院大学)、中田憲吾(東京工業大学)、貝和航陽(山形大学))、3件のVDECデザインアワード敢闘賞(奥原颯(慶応大学)、松塚凌(神戸大学)、川尻徹(慶応大学))、1件のVDECデザインアワードエキストラ部門共有賞(竹原浩成(奈良先端科学技術大学院大学))、3件のVDECデザインアワードアイデアコンテスト部門囑望賞(山口貴大(奈良先端科学技術大学院大学)、夕川諒平(立命館大学)、渡辺晃輔(山形大学))を授与した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCAD

メールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図1.2)。

VLSIチップ試作支援に関しては、ルネサスエレクトロニクス社SOTB 65 nm CMOS試作を呈上試作として開始し、STMicro 28 nm FDSOI CMOS, ローム 0.18 μm CMOS, オンセミ-三洋半導体 0.8 μm CMOS 試作とともに実施した。

平成20年10月に設置されたアドバンテスト社から寄附部門「Design To Test (D2T)」では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められている。これまでの活動を振り返ると、VDEC発足以来の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している。図1.3にVDECを利用した研究成果の指標として、VDECに関係する発表件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC発足以来、集積回路に関する研究が活性化されていることが確認できる。

図1.4にVDECに関係する発表文献のVDECファシリティー利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。ま

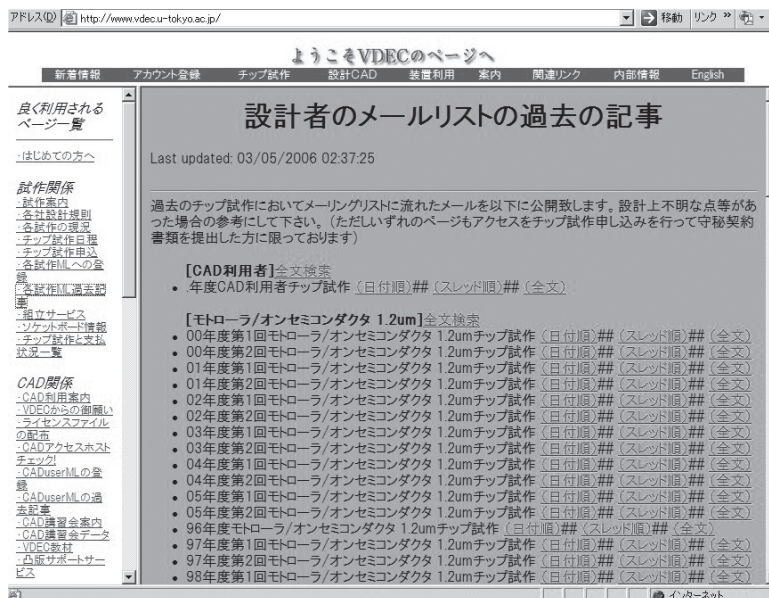


図 1.2 VDEC メールリストの過去記事

た、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり世界的には 32 nm CMOS, 22 nm CMOS, 14 nm CMOS による設計事例報告が増加しており、VDEC においても最先端プロセステクノロジーメニューの充実をはかっていきたい。加えて、More than

Moore が叫ばれており、MEMS 混載 CMOS メニューなどの充実を図っていきたい。そのほかのファシリティーとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

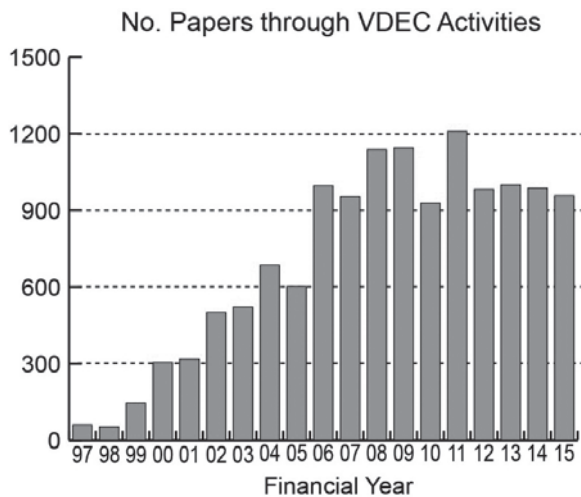
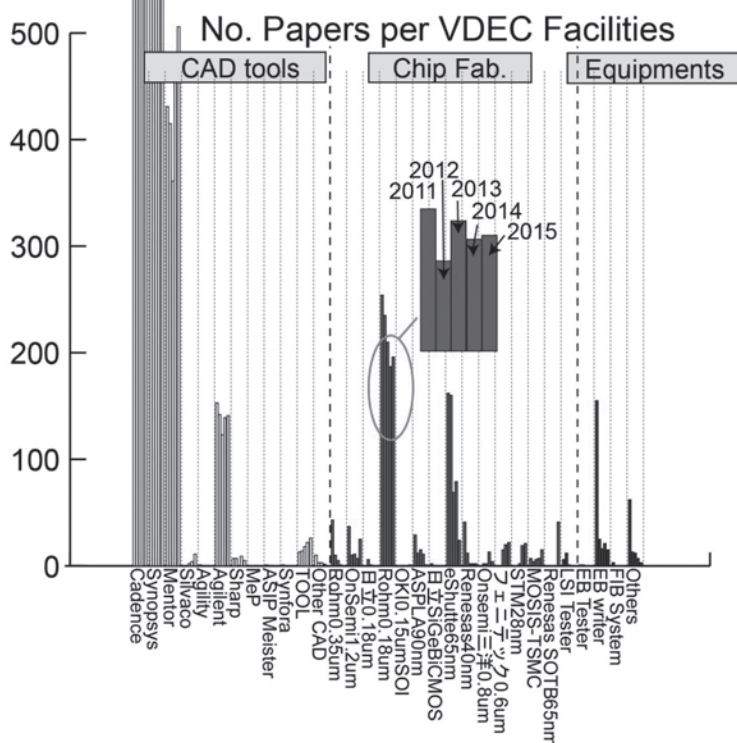


図 1.3 VDEC を利用した発表文献数の推移



1.2 CAD ソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成28年度は表1.2.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2.1に示す全国地域拠点校10箇所をライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運

用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

表 1.2.1 導入されたCADシステム

名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力, シミュレーション, 論理合成, テスト生成, マクロセルを含むセルベースの配置配線とバックアノテーション, 会話型の回路図およびマスクレイアウト入力, アナログ機能・回路シミュレーション, 設計検証, 回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション, 論理合成, テスト生成。マクロセルを含むセルベースの配置配線設計とバックアノテーション, 回路シミュレーション, デバイスシミュレーション	Synopsys, Inc.
Mentor 社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco 社設計ツール	高速回路シミュレーション、	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC 言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL

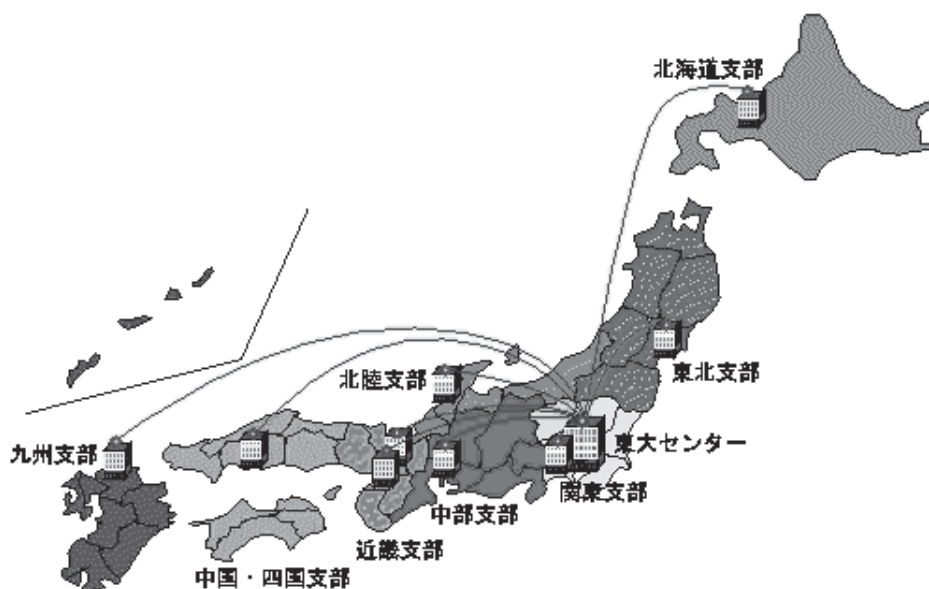


図 1.2.1 全国地域拠点校

1.3 VLSI チップ試作

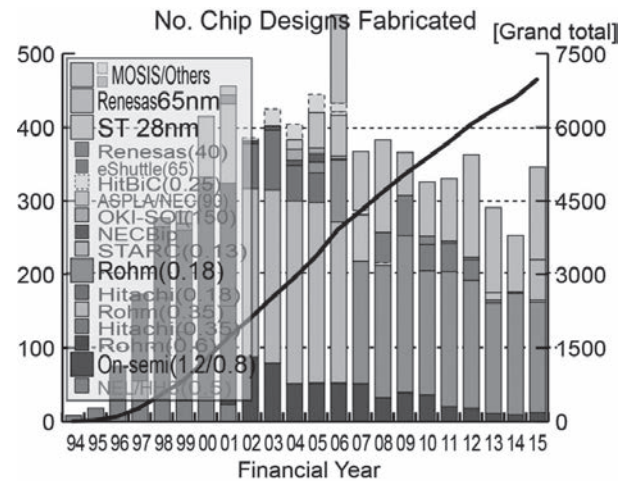
1.3.1 VLSI チップ試作の推移

図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

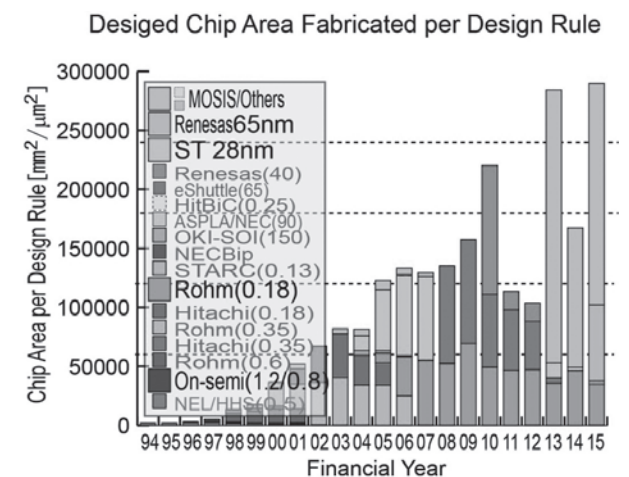
VLSI チップ試作は、平成 6, 7 年度(1994, 1995 年度)のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS 0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続)1社であったが、平成 8 年度(1996 年度)の VDEC 発足後、日本モトローラ社の CMOS 1.2 μm (平成 11 年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成 9 年度からはローム社の CMOS 0.6 μm が加わった。さらに平成 10 年度には日立製作所の CMOS 0.35 μm 、平成 11 年度にはローム社 0.35 μm がそれぞれ加わった。また、IP 開発プロジェクトの一環として STARC 0.13 μm の試作を行った。平成 13 年度から、日立製作所の CMOS 0.18 μm のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。これは、TSMC, IBM といった海外のファブを MOSIS を経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。平成 16 年からテスト試作として沖電気 CMOS SOI 0.15 μm プロセスおよび ASPLA 90 nm(現在は STARC において継続)プロセスの試作を開始し、90 nm 試作については平成 17 年度より通常の試作として公募の形で運用を行っている。さらに平成 18 年度からはローム社 0.18 μm の試作を開始し、日立製作所 0.25 μm SiGeBiCMOS のテスト試作を実施した。平成 19 年度で終了した 90 nm CMOS の後継の先端プロセスの検討を平成 19 年度から開始し、平成 20 年度に eShuttle 社の 65 nm CMOS による試作を開始した。さらに経済産業省-STARC のプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の 40 nm CMOS による試作も開始した。一方で平成 23 年 9 月試作をもって CMOS 1.2 μm を終了することとなったほか、平成 24 年度をもってルネサスエレクトロニクス社の 40 nm CMOS 試作が終了、平成 25 年 8 月シャトルをもって eShuttle 社の 65 nm CMOS 試作が終了した。CMOS 1.2 μm の後継として、オンセミー三洋半導体製造社の協力により平成 24 年 10 月に CMOS 0.8 μm のテスト試作を実施し、平成 25 年度から定常試作として継続している。最先端試作としては、平成 25 年度からフランス CMP を介して ST マイクロ社 FD-SOI 28 nm CMOS 試作を開始した。

また、平成 27 年度から呈上し咲くとして、ルネサスエレクトロニクス社 SOTB 65 nm CMOS 試作を開始した。

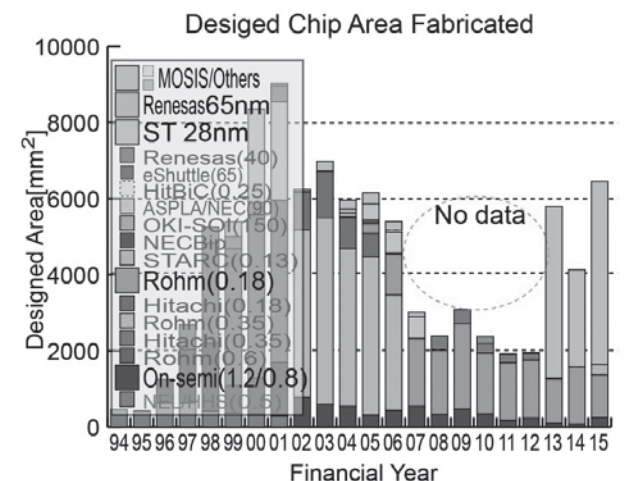
図 1.3.1(a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1 チップ試作数・面積推移

VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成14年度に減少しているが、これはROHM社の0.6 μm プロセスを終了したことによる現象が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に0.35 μm が終了し、平成19年度以降0.18 μm への移行したことにより、試作数が130品種程度減少し、さらに平成19年度にASPLA 90 nm CMOS 試作が終了し、eShuttle 65 nm CMOS への移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図1.3.1(b)に設計されたチップ面積を示す。一方設計量の指標として、図1.3.1(c)に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図1.3.2にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作

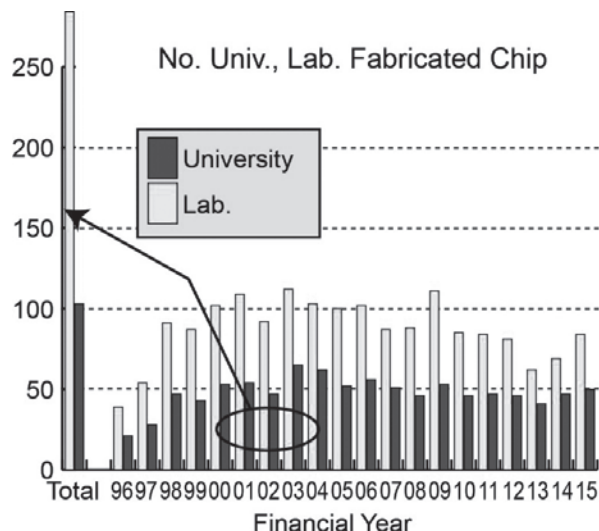


図 1.3.2 VDEC チップ試作参加教員数・大学数の推移とその累計

に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ルネサスの65 nm プロセスが64名、ロームの0.18 μm プロセスが274名、オンセミ三洋0.8 μm プロセスが36名となっている。

1.3.2 平成27年度チップ試作概況

平成27年度は、表1.3.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第2章のチップ試作報告を参照されたい。

表 1.3.1 平成27年度チップ試作日程

○ CMOS 0.8 μm (オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
平成27年度第1回	2015/7/6	2015/9/28	2015/12/13
平成27年度第2回	2015/12/29	2016/3/22	2016/6/24

○ CMOS 0.18 μm (ローム)

	試作申込締切	設計締切	納品・試作完了
平成27年度第5回	2014/11/3	2015/1/26	2015/5/21
平成27年度第2回	2015/4/13	2015/7/6	2015/10/21
平成27年度第3回	2015/6/1	2015/8/24	2015/12/4
平成27年度第4回	2015/8/24	2015/11/16	2016/2/26
平成27年度第5回	2015/11/2	2016/1/25	2016/6/22

○ CMOS 28 nm (STMicro/CMP)

	試作申込締切	設計締切	納品・試作完了
平成27年11月シャトル		2015/10/末	2016/6/17
平成28年3月シャトル		2016/3/頭	2016/9頃

1.3.3 ライブラリ・設計フロー整備状況

VDECにおけるチップ試作(主にデジタルLSI試作)では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ整備事業

を行ってきている。平成21年度にはアナログ設計向けの設計キット(PDK)の構築をローム0.18um CMOS向けに行った。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表1.3.2 VDECで利用可能なライブラリ

プロセス	名称	作成者	内容	状況
ローム 0.18μm	ローム提供 ライブラリ	ローム提供 スタンダードセル, IOセル, RAM (セルはすべてブラック ボックス) (CDROMにて配布)	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ 配置配線用LEF/DEFファイル	
	京大ライ ブラリ	京都大学小野寺研究室	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Astro用配置配線ライブラリ	
	東大ライ ブラリ	ライブラリ情報は京都大学小 野寺研究室, 東大VDECにて フロー構築	・ Cadence RTL Compiler用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Cadence Encounter用配置配線ライブラリ	
	PDK	東京大学VDEC	IC6.1向けPDK	

1.4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 27 年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している。平成 27 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 2 種・4 日間、Synopsys ツールを 3 種・4 日間、Agilent のツールを 1 種・1 日

間、に加え、VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC 環境におけるデジタル LSI 測定講習会を VDEC 教員が講師となり開催した。各コースに 40 名までの教員・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 3 種・5 日間、Synopsys 4 種・4 日間行った(表 1.4.1)。これら CAD 技術セミナーへの参加要望は非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。従来、東大もしくは VDEC 拠点校での開催であったが、今年度からは東大で開催し、それを VDEC 拠点校へストリーミング配信を行い、各拠点校でも CAD 講習会の受講が可能となっている。

表 1.4.1 平成 27 年度 CAD 技術セミナー開催状況

2015/07/27	Cadence ADE 講習会	東京大学	13
2015/07/27	Cadence ADE 講習会	北海道大学	5
2015/07/27	Cadence ADE 講習会	東北大学	4
2015/07/27	Cadence ADE 講習会	金沢大学	1
2015/07/27	Cadence ADE 講習会	名古屋大学	7
2015/07/27	Cadence ADE 講習会	長崎大学	5
2015/07/29-31	Cadence Virtuoso 講習会	東京大学	21
2015/07/29-32	Cadence Virtuoso 講習会	北海道大学	5
2015/07/29-33	Cadence Virtuoso 講習会	東北大学	3
2015/07/29-34	Cadence Virtuoso 講習会	金沢大学	1
2015/07/29-35	Cadence Virtuoso 講習会	名古屋大学	3
2015/07/29-36	Cadence Virtuoso 講習会	京都大学	4
2015/07/29-37	Cadence Virtuoso 講習会	広島大学	2
2015/07/29-38	Cadence Virtuoso 講習会	長崎大学	5
2015/09/09	Synopsys DesignCompiler+PowerCompiler 講習会	東京大学	15
2015/09/09	Synopsys DesignCompiler+PowerCompiler 講習会	東北大学	4
2015/09/09	Synopsys DesignCompiler+PowerCompiler 講習会	大阪大学	5
2015/09/09	Synopsys DesignCompiler+PowerCompiler 講習会	広島大学	4
2015/09/11	Keysight GoldenGate 講習会	東京大学	10
2015/09/11	Keysight GoldenGate 講習会	東北大学	1
2015/09/14	Synopsys VCS-AMS 講習会	東京大学	13

2015/09/14	Synopsys VCS-AMS 講習会	北海道大学	1
2015/09/14	Synopsys VCS-AMS 講習会	東北大学	6
2015/09/14	Synopsys VCS-AMS 講習会	大阪大学	7
2015/09/17-18	Synopsys IC Compiler+Milkyway 講習会	東京大学	28
2015/09/17-20	Synopsys IC Compiler+Milkyway 講習会	東北大学	4
2015/09/17-23	Synopsys IC Compiler+Milkyway 講習会	大阪大学	6

2016/03/09	Synopsys StarRCXT 講習会	東京大学	11
2016/03/09	Synopsys StarRCXT 講習会	北海道大学	5
2016/03/09	Synopsys StarRCXT 講習会	東北大学	3
2016/03/09	Synopsys StarRCXT 講習会	京都大学	2
2016/03/09	Synopsys StarRCXT 講習会	広島大学	1
2016/03/10	Synopsys Tetra Max 講習会	東京大学	8
2016/03/10	Synopsys Tetra Max 講習会	京都大学	2
2016/03/10	Synopsys Tetra Max 講習会	広島大学	2
2016/03/11	Synopsys Milkyway 講習会	東京大学	10
2016/03/11	Synopsys Milkyway 講習会	東北大学	1
2016/03/11	Synopsys Milkyway 講習会	京都大学	2
2016/03/11	Synopsys Milkyway 講習会	大阪大学	3
2016/03/11	Synopsys Milkyway 講習会	広島大学	1
2016/03/23	Synopsys Prime Time 講習会	東京大学	4
2016/03/23	Synopsys Prime Time 講習会	北海道大学	2
2016/03/23	Synopsys Prime Time 講習会	東北大学	1
2016/03/23	Synopsys Prime Time 講習会	京都大学	2
2016/03/23	Synopsys Prime Time 講習会	広島大学	2
2016/03/24	Cadence Verilog-A 講習会	東京大学	14
2016/03/24	Cadence Verilog-A 講習会	東北大学	6
2016/03/24	Cadence Verilog-A 講習会	大阪大学	7
2016/03/24	Cadence Verilog-A 講習会	広島大学	3
2016/03/24	Cadence Verilog-A 講習会	宮崎大学	2
2016/03/28	Cadence Stratus 講習会	東京大学	11
2016/03/28	Cadence Stratus 講習会	北海道大学	3
2016/03/28	Cadence Stratus 講習会	東北大学	1
2016/03/28	Cadence Stratus 講習会	京都大学	4
2016/03/28	Cadence Stratus 講習会	広島大学	6
2016/03/15-16	Cadence Skill 言語プログラミング講習会	東京大学	18
2016/03/15-17	Cadence Skill 言語プログラミング講習会	北海道大学	1
2016/03/15-18	Cadence Skill 言語プログラミング講習会	大阪大学	5

【社会人のためのリフレッシュセミナー】

平成 27 年度には、平成 26 年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育として VLSI 設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI 設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表 1.4.3)。

このセミナーは主に社会人を対象として、演習を伴う最新の VLSI 設計技術の実践的教育を行うもので、平成 10 年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システム LSI 開発支援センター (VSAC)、

半導体理工学研究センター (STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることが

でき、大変効果的で有意義なセミナーとなった。

本年度は VLSI 設計に関する 4 つのコース、コース A: アナログ集積回路設計と演習(6/22~24 実施)、コース M1: MEMS 設計と演習(6/9~6/10 実施)、コース M2: MEMS 試作と評価(6/29~7/1)、コース R: RF-CMOS 集積回路設計と演習(5/21~22 実施)を開催した。講師として大学・企業の集積回路研究・教育に携わる教官や研究者を招聘し、VLSI 設計に関する講義や最新の CAD ツールを使用した実習をはじめ、最先端の VLSI 設計技術の紹介を行った。参加者はコース A, M1, M2, R それぞれ 15 名、12 名、8 名、13 名であった。



図 1.4.2 リフレッシュ教育会場風景 (東大VDECセミナー室)

表 1.4.3 リフレッシュセミナー開催状況

コース A: アナログ集積回路設計と演習 (3 日間)
回路設計, 回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証 (DRC, LVS)
杉本泰博 (中央大学), 小野寺秀俊 (京都大学) 小谷光司 (東北大学)

コース M1: MEMS 設計と演習 (2 日間)
MEMS の基礎 1: 作製法 MEMS の基礎 2: 動作原理 機構設計 レイアウト設計
三田吉郎 (東京大学)

コースM2 : MEMS 試作と評価 (3日間)

CAD 設計・解析
リソグラフィ, エッチング, リリース
振動解析測定

三田吉郎 (東京大学)

コース R : CMOS-RF 集積回路設計と演習 (2日間)

変復調, 多次元接続方式
回路の基本性能, トランシーバアーキテクチャ要素回路,
設計フロー

伊藤浩之 (東京工業大学)

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム(VDEC LSI Designers Forum)を開催している。VDEC LSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、CAD 業界の裏話、研究室

に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今年は、8月にDAシンポジウムと共同で山代温泉で開催された。48人の参加者が集まる盛況であった。

表 1.4.4 デザイナーズフォーラムプログラム

8/28 (金)

時間	
10:30-11:00	会場受付
11:00-12:00	基調講演 NTT 森村 浩季様 IoT時代のLSI技術の役割と期待～新サービス創出のイネーブラとして～
12:00-13:00	休憩 (昼食)
13:00-15:00	Ph.D企画セッション ぼくのかんがえたさいきょうのけんきゅうしつ
15:15-18:30	VDECデザインアワードファイナリスト発表会
	(小休憩)
20:00	デザインアワード表彰式&懇親会

8/29 (土)

時間	
10:00-12:00	エキストラ部門・アイディアコンテスト部門発表会
12:00-12:30	エキストラ部門・アイディアコンテスト部門表彰式

1.5 装置の整備・運用・利用公開

VDECでは、大型装置公開すなわち、1研究室では取得・維持管理が困難な装置をVDECで代表して管理し、ユーザーは無償または廉価に利用するというスキームを、「CAD」「LSIマルチチップ」「テスト」となる4本柱の一つとして継続的に運用している。表1.5.1に装置の一覧と利用公開の状況を示す。装置はVLSI用大型テスターと、その他のプロセス装置とに大別でき、テスターは武田先端知ビル1F、プロセス装置は武田地下クリーンルームにある。プロセス装置は平成24年度より文部科学省「ナノテクノロジー・プラットフォーム」に参加したことで、さらに多くのユーザーに対する支援体制を整備することができている(ナノテクノロジー・プラットフォームについては1.8節を参照いただきたい.)。

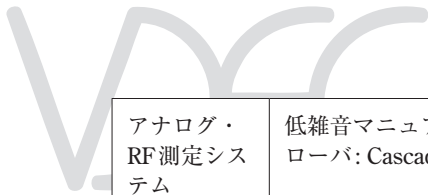
電子線描画装置平成26年4月～27年3月の利用実績は、2台の合計で2115枚と、前年(合計2074枚)に比べ

て微増した。装置別に見るとF5112+VD01が1406枚で、前年度1845枚から△439枚の減少。この原因は2016年2月から「ドライポンプコントローラー」が故障し、生産終了品のため調達に手間がかかり、2か月近く装置停止を余儀なくされたためである。代替品F7000S-VD02の描画枚数は709枚であり、前年度の201枚と比較して+508枚の大幅利用増であった。

装置の利用については、限られたスタッフのなかで、できるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を基本とした運用を行っている。利用者資格を有する者、資格者の同伴、ナノテク支援員の同伴、代行といった様々な形態のスポット利用が可能である。個別の装置についての利用相談は、VDECの教職員までお寄せいただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジック LSI テストシス テム	EBテスター:IDS10000	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384ピン、1GHzまでのデジタル回路のテストを行える。	整備中	nanotech@sogo.t.u-tokyo.ac.jp
	LSIテスター:ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	nanotech@sogo.t.u-tokyo.ac.jp
	回路修正用 FIB:V400ACE	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能。加工ガスによりバルクシリコンを裏面から高速にポイントエッチング可能。	公開中	nanotech@sogo.t.u-tokyo.ac.jp
	オートプローバ: PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	nanotech@sogo.t.u-tokyo.ac.jp
	アナログ・RF測定 装置一式:HP4156B, HP4284, etc	DCパラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但しVDECの業務による利用を優先とする	nanotech@sogo.t.u-tokyo.ac.jp



アナログ・RF測定システム	低雑音マニュアルプローバ: Cascade社	マニュアルにて6インチまでのウエハ上のチップの測定が可能。測定には、通常のプローブ針（6本まで）のほか、50 GHzまでの測定が可能な高周波プローブを2本備える	希望に応じ利用可能。但しVDECの業務による利用を優先とする 公開中	nanotech@sogo.t.u-tokyo.ac.jp
	低雑音・温度制御機構付きセミオートプローバ: Süss Microtec社	8インチまでのウエハ上のチップの測定が可能。ウエハ温度を-50℃から200℃まで制御可能。プローブカードによる測定。GPIBを介した制御を行うことで半自動測定も可能		
ナノテクノロジー・プラットフォームの主な装置	マスク描画・ウエハ直描装置: F5112+VD01	半導体製造用2.3mm厚5インチマスクの描画およびエッチング。2-8インチ並びに不定形ウエハへの直接描画が可能。参考描画寸法50nm L/S.	公開中	nanotech@sogo.t.u-tokyo.ac.jp
	大面積高速電子線描画装置: F7000S-VD02	半導体製造用2.3mm厚5インチマスクの描画およびエッチング。2-8インチ並びに不定形ウエハへの直接描画が可能。キャラクタプロジェクト機能により、円形や三角形、斜め線などの高速・高精細描画が可能。参考描画寸法1Xnm L/S.	公開中	
	塩素系プラズマエッチャー CE-S	Cl ₂ , BCl ₃ を使った金属のプラズマエッチングが可能。	公開中	
	シリコン深掘りエッチング装置 MUC-21 ASE-Pegasus	ボッシュプロセスによる高速・高アスペクト比シリコン深掘りが可能。	公開中	
	FIB装置: SII XVision 200TB	ガラスマスクの欠陥修正の他、断面観測のための加工等が可能。ナノテクノロジー・プラットフォームにて利用可能。	公開中	
精密ボンディングシステム系	ウェッジボンダー: Westbond 7476D	25μmφアルミまたは金線によるウェッジボンディングが可能	公開中	
	エポキシダイボンダー Westbond7200C	精密マニピレータにより、エポキシや銀ペーストを用いたチップ配置、細線の配線が可能		
	セミオートボンダー Westbond4700E	18～25μmφの金細線を用いたボールボンディングまたはボールバンプの形成が可能		
	精密マニュアルフリップチップボンダー Finetech Fineplacer Lamda	15mm角までのチップ同士をテレビカメラで目視しながら接合することが可能。ランプ加熱による熱接合（超音波オプション購入可能）位置合わせ精度 XY±0.5μm, θ=1mrad.		

1.6 平成 28 年度の活動計画

平成 28 年度においても、従来の設計情報発信、CAD ツール提供、チップ支援、寄附部門「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、平成 9 年度より継続している CAD ツール利用法に関する技術セミナー、平成 10 年度から継続している社会人向けの「リフレッシュセミナー」、平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

【CAD ツール提供】

上流設計(Cadence, Synopsys)、中流設計(Synopsys, Cadence)、下流設計(Cadence)の各基本ツールを、平成 27 年度もサポートしていく。これに加え平成 14 年度から導入した設計検証(Mentor: Caribra, ModelSim, Handel-C 等)、平成 16 年度から導入したアナログ RF 設計ツール(Agilent: GoldenGate, ADS/RFDE)を継続してサポートするとともに、平成 17 年

度より提供を受けている Sharp 社 C ベース設計ツール(BachC)を継続してサポートする。平成 20 年度より提供を開始している TOOL 社レイアウト表示プラットフォーム(Lavis)に関しても利用状況に基づき継続を行うとともに、平成 23 年度からの SpringSoft 社の検証ツールは、SpringSoft 社が Cadence 社に買収され Cadence 社のツール群としてのサポートが継続されることになっている。また、回路シミュレーションツール(Silvaco)ツールに関してもサポートを継続する。

【チップ試作支援】

平成 28 年度は、平成 27 年度から引き続きルネサスエレクトロニクス社 SOTB 65 nm CMOS, ローム株式会社の 0.18 μm CMOS プロセス, CMP シャトルに乗る形で ST CMOS FDSOI 28 nm およびオンセミ-三洋半導体 0.8 μm CMOS を定常試作として継続する(すでに一部の試作は進行中である)。なお、一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある。

表 1.7.1 VDEC チップ試作スケジュール (平成 28 年度)

【CMOS 0.8 μm 2P2M】 オン・セミコンダクタ

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 28 年度第 1 回	2016/ 4/15	2016/ 7/ 8	2016/ 9/30	2016/12/23
平成 28 年度第 2 回	2016/10/ 7	2016/12/30	2017/ 3/24	2016/ 6/20

【CMOS 0.18 μm 1P5M (+MiM)】 ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 28 年度第 1 回		2016/ 3/ 7	2016/ 5/30	2016/ 9/16
平成 28 年度第 2 回	2016/ 2/ 8	2016/ 5/ 2	2016/ 7/25	2016/11/11
平成 28 年度第 3 回	2016/ 4/ 5	2016/ 6/28	2016/ 9/20	2016/12/27
平成 28 年度第 5 回	2016/ 9/ 5	2016/11/28	2017/ 2/20	2017/ 6/16

【FD-SOI CMOS 28 nm 1P10M】 ST マイクロ社

CMP の予定の通り。

【SOTB CMOS 65 nm】 ルネサスエレクトロニクス社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 28 年度第 1 回	2016/ 1/18	2016/ 5/23	2016/ 7/ 4	2016/12/15
平成 28 年度第 2 回	2016/ 8/ 8	2016/12/12	2017/ 1/23	2017/ 7/ 6

VDEC での設計 / 試作経験, 人材育成が有効には機能した事例といたしまして, VDEC と関連があった(ある)教員が起業したベンチャー企業のリスト(順不同)を以下に示します.

[1] **エイ・アイ・エル株式会社** (<http://www.ailabo.co.jp/>)

代表の先生: 神戸大学 瀧和男教授 (同社, 代表取締役社長)

事業内容: (1) Hyper LSI Design

(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング

(3) オリジナルライブラリ / IP の販売

(4) チップ受託開発

[2] **株式会社シンセシス** (<http://www.synthesis.co.jp/>)

代表の先生: 大阪大学 白川功名誉教授 (同社, 取締役)

事業内容: (1) システム LSI 開発・設計受託

(2) IP 開発及び販売

(3) システムソリューション提供 / 設計支援ツール開発及び販売

[3] **株式会社ナノデザイン** (<http://www.nanodesign.co.jp/>)

代表の先生: 九州工業大学 中村和之教授 (同社, 代表取締役)

事業内容: (1) アナログ LSI 設計用 CAD ツールの開発

(2) メモリ LSI 自動設計ツールの開発

[4] **株式会社エイアールテック** (<http://www.a-r-tec.jp/>)

代表の先生: 広島大学 岩田穆名誉教授 (同社, 代表取締役)

事業内容: (1) アナログ・RF 回路混載 SoC 設計開発業務

(2) 基板雑音解析業務

(3) 企業との協力と人材育成

[5] **有限会社石島電子技研** (<http://ishi.main.jp/>)

事業内容: (1) ハードウェア開発

(2) ソフトウェア開発

(3) システム・コンサルティング

1.8 超微細リソグラフィ・ナノ計測拠点

VDECでは、武田先端知ビルスーパークリーンルームを工学部総合研究機構と共同で運用し、オープンな拠点として全国の学・産・官に広く公開している。平成23年度で終了したナノテクノロジーネットワーク事業に引き続き、東京大学を代表して平成24年度より開始された文部科学省ナノテクノロジープラットフォームの微細加工実施機関となつて、「超微細リソグラフィ・ナノ計測拠点」を運営している。一研究室では取得維持が困難な装置群を、組織的に維持管理し、学内外、特に学外の企業に公開するというプロジェクトである。平成27年度より「微細加工プラットフォーム代表機関(京都大学)」のサブセンターとして、主に東日本を担当するコーディネータ業務を受託することになった。VDECの微細加工拠点は、株式会社アドバンテスト社製の量産向け高速電子線描画装置を改造して、1cm角から8インチ丸までの任意形状にまで描画できるようにしたF5112+VD01ならびに、8インチまでの任意形状に描画できる柔軟性・大面積描画性はそのままに、20nmを切る解像度向上と、機器中のステンシルの影像を精密に縮小投影する「キャラクタ(セル)プロジェクション」に正式対応した後継機F7000S-VD02を核に、武田先端知ビルスーパークリーンルームでの活動を支援している。さらに、VLSIファウンドリ活動の日本代表という立ち位置を最大限利用し、「フェニテックセミコンダクター」プ

ロジェクトとの協業により、VLSIをVDECで試作し、ウエーハ状態のLSIの供給を受け、ナノテクプラットでMEMS後加工するという新たな「More-Than-Moore」系の研究支援スキームを安定的に運用している。実績は極めて好調であり、平成27年度の「利用報告書」は159件であった。内訳は、①大企業による利用22件、②中小企業による利用4件、③東京大学以外の大学による利用29件、④公的機関による利用4件、⑤東京大学による利用(共同研究を含む)100件である。企業による利用が順調に増加していることが特筆され、これはナノプラット開始後4年目を迎え、制度の存在を前年度以前に知った利用者が実際に利用を開始したためと考えられる。最も利用されている装置は電子線描画装置であり、ナノプラット支援開始日2015年4月～2016年3月の間に、月平均176.3枚(合計2115枚)描画を行った。外部共用率は99%、すなわち、利用可能な日には必ず誰かが利用をしていたという結果であった。年度による利用枚数の変化を図1に示す通り、右肩上がりの成長を続けている。経験豊富な技術支援者のアテンドによる技術補助利用、技術代行利用も好評を博しており、さらなる利用の向上が期待できる。

URL:<http://nanotechnet.t.u-tokyo.ac.jp/>

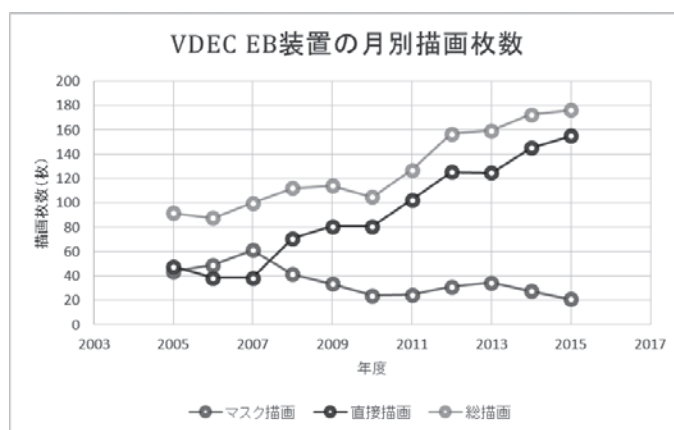


図1 VDEC電子線描画装置の月あたり平均描画枚数

VDEC

第2章 「アドバンテスト D2T 寄附研究部門」 平成27年度活動報告

2.1 「アドバンテスト D2T 寄附研究部門」の紹介

2.1.1 アドバンテスト D2T 寄附研究部門 設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテスト D2T 寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテスト D2T 寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく“Design to Test (D2T)”の理念のもと、国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月にかけての第1期と2010年10月～2013年9月にかけての第2期の各3年間のプロジェクトを遂行してきました。現在は、株式会社アドバンテストのご厚意により、2013年10月からの3年間の第3期プロジェクト期間として、活動を継続させていただいています。2015年度は、第3期の折り返しから最終年度に向けて研究、教育、シンポジウム等の多岐にわたる各活動を充実させる時期にあたりました。また、2015年8月から12月にかけてKarlsruhe Institute of TechnologyのMehdi B. Tahoori教授を特任教授として招聘し、同教授の幅広い研究領域においてVDECならびに学内外の研究機関や企業との共同研究および研究交流を支援しました。

当研究部門の活動の詳細については、続く各章においてそれぞれ報告いたします。

2.1.2 アドバンテスト D2T 寄附研究部門 構成員

特任教授 Mehdi B. Tahoori (2015年8月～12月)

特任講師 池野理門

助教 Nguyen Ngoc Mai Khanh

共同研究員 山口隆弘(株式会社アドバンテスト研究所)

共同研究員 石田雅裕(株式会社アドバンテスト)

事務補佐員 岡崎真紀子

2.2 「第10回 D2T シンポジウム」開催報告

2015年8月21日(金)に、東京大学武田ホールにおいて「第10回 D2T シンポジウム」を開催し、160名を超える皆様にご参加を頂きました。

今回は“Reliability for automotive and other applications”をテーマに、半導体とその重要な応用分野である車載電子システムの高信頼性に関わる国内外の著名な研究者による講演、D2T 寄附研究部門からの活動報告、講演者によるパネルディスカッションなどが行われました。

招待講演では、東芝・JEITAの瀬戸屋孝氏、Stanford UniversityのSubhasish Mitra 教授、Karlsruhe Institute

of TechnologyのMehdi B. Tahoori教授、TU WienのTibor Grasser教授から、それぞれ貴重なご講演を頂きました。また、“Reliability / dependability of industrial standards for automotive systems”と題したパネルディスカッションでは、招待講演者に加えて国立情報学研究所の米田友洋教授、東陽テクニカの二上貴夫氏をパネリストに迎え、幅広い見地から車載電子システム等の高信頼性技術やその標準化についての議論が交わされました。閉会後の懇親会まで多くの方にご参加を頂き、大変盛況な会となりましたこと、改めて御礼申し上げます。

D2Tシンポジウム

第10回

東京大学 大規模集積システム設計教育研究センター VLSI Design and Education Center **VDEC**

東京大学 VDEC 「アドバンテスト D2T 寄附研究部門」

2015 FRI
8/21
10:00-18:00

【参加費】
無料
各講演には
同時通訳が付きます

東京大学大規模集積システム設計教育研究センターは、株式会社アドバンテストからの寄附による「アドバンテスト D2T 寄附研究部門」において、「D2T (Design-to-Test)」の理念に基づき、「設計」と「テスト」の高度化を目的とした研究・教育活動を行っています。その一環として開催いたしました「D2T シンポジウム」も、節目となる第10回の開催を迎えることとなりました。今回は半導体とその応用分野の高信頼性に関する国内外の著名な研究者・技術者による招待講演と本寄附研究部門に関連する研究・教育活動によるパネルディスカッションなどを、下記のとおり予定しております。多くの皆様のご参加をお待ち申し上げます。

プログラム / Program

10:00 開会の挨拶 / Opening
浅田 邦博 (東京大学 大規模集積システム設計教育研究センター長) / **Kunihiro Asada** (Director, VDEC, The University of Tokyo)

10:15 セッション 1 / Session 1
“車載用半導体集積回路の高信頼性化と工程管理手法”
瀬戸 屋孝 (東芝、JEITA) / **Takashi Setoya** (Toshiba Corp., JEITA)
“Cross-layer Resilient Design for Automotive Electronics”
Mehdi B. Tahoori (Karlsruhe Institute of Technology)

11:45 昼食 / Lunch

13:00 セッション 2 / Session 2
“Robust Systems: Overcoming Complexity and Reliability Challenges”
Subhasish Mitra (Stanford University)
“Advanced Modeling and Characterization of Bias Temperature Instabilities and Hot Carrier Degradation”
Tibor Grasser (TU Wien)

14:30 休憩 / Coffee break

15:00 セッション 3 / Session 3
Introduction of ADVANTEST D2T Research Division, VDEC
池野理門 (東京大学) / **Rimon Ikeno** (The University of Tokyo)
FET-R-C Circuits: A Unified Treatment
飯塚哲也 (東京大学) / **Tetsuya Iizuka** (The University of Tokyo)
A Novel Circuit for Transition-Edge Detection
山口 隆弘 (株式会社アドバンテスト研究所) / **Takahiro Yamaguchi** (ADVANTEST Laboratories Ltd.)
Dynamic Power Integrity Control of ATE for Eliminating Overkills and Underkills
石田 雅裕 (株式会社アドバンテスト) / **Masahiro Ishida** (ADVANTEST Corp.)

16:25 休憩 / Break

16:40 パネルディスカッション / Panel discussion

18:00 閉会 / Closing
懇親会 / Reception

東京大学 武田先端知ビル 5階 武田ホール

【参加申し込み方法】以下のウェブサイトからの事前申込制
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2015.html>

主催：東京大学大規模集積システム設計教育研究センター (VDEC)
後援：株式会社アドバンテスト
協賛：(一社) 電子情報通信学会、(一社) 情報処理学会
(一社) 電子情報技術産業協会、IEEE SSCS Japan Chapter
応用物理学会 集積化 MEMS 技術研究会、ナノアステック学会
(一社) パワーデバイス・イネープリング協会、SEMI ジャパン

お問い合わせ：東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
〒113-0032 東京都文京区弥生2-11-16 武田先端知ビル 404号室
Tel. 03-5841-0233 FAX: 03-5841-1093
<http://www.vdec.u-tokyo.ac.jp/> E-Mail: ikeno@vdec.u-tokyo.ac.jp

第10回 D2T シンポジウム開催プログラム

10:00	Opening Remarks 浅田邦博（東京大学大規模集積システム設計教育研究センターセンター長） 黒江真一郎（株式会社アドバンテスト代表取締役）
10:15	Session 1 (Chairman: Toru Nakura, The University of Tokyo) 「車載用半導体集積回路の高信頼性化と工程管理手法」 “High reliability and process control technique of LSI for Automotive product” [Invited] 瀬戸屋孝 / Takashi Setoya（東芝 / Toshiba, JEITA） “Cross-layer Resilient Design for Automotive Electronics” [Invited] Mehdi B. Tahoori (Karlsruhe Institute of Technology)
11:45	Lunch
13:00	Session 2 (Chairman: Shinichi Takagi, The University of Tokyo) “Robust Systems: Overcoming Complexity and Reliability Challenges” [Invited] Subhasish Mitra (Stanford University) “Advanced Modeling and Characterization of Bias Temperature Instabilities and Hot Carrier Degradation” [Invited] Tibor Grasser (TU Wien)
14:30	Coffee Break
15:00	Session 3 (Chairman: Makoto Ikeda, The University of Tokyo) “Activities of VDEC Advantest D2T Research Division” Rimono Ikeno (The University of Tokyo) “FET-R-C Circuits: A Unified Treatment” Tetsuya Iizuka (The University of Tokyo) “A Novel Circuit for Transition-Edge Detection” Takahiro Yamaguchi (Advantest Laboratories) “Dynamic Power Integrity Control of ATE for Eliminating Overkills and Underkills” Masahiro Ishida (Advantest Corporation)
16:25	Break
16:40	Panel Discussion Theme: “Reliability / dependability of industrial standards for automotive systems” Moderator: Masahiro Fujita (VDEC, The University of Tokyo) Panelists: Tomohiro Yoneda (National Institute for Informatics) Takao Futagami (Toyo Corporation / SESSAME) Mehdi B. Tahoori (Karlsruhe Institute of Technology) Subhasish Mitra (Stanford University)
18:00	Closing
18:15	Reception

2.3 研究活動報告

確率的量子化法のタイミング雑音測定への応用

山口隆弘, Nguyen Ngoc Mai Khanh, 池野理門, 浅田邦博

確率的コンパレータを利用したオンチップ・ディジタイザの研究において、その核となるコンパレータ回路の開発とその高精度評価系の構築をすすめている。

確率的コンパレータの理論検証では、James S. Tandon博士が65 nm CMOSテクノロジーで設計試作したシングルエンド型のコンパレータの基礎実験結果に基づいた検証をすすめた。

また、ノイズ耐性とオフセット特性の対称性の向上を目指して回路システムの差動信号化をすすめ、180 nm CMOSプロセスおよび65 nm SOTB CMOSプロセスによる回路の設計試作を行った。差動信号化した試作回路の評価に関しては、これまで実現例が限られ高難度と考えられるDC差動信号系の低ノイズ高精度測定環境の構築を行っている。

電源品質試験技術の研究

石田雅裕, 寺尾直樹, 名倉徹, 池野理門, 浅田邦博

半導体プロセスの微細化により電源電圧が低下する一方で、高集積化により半導体デバイスの電源電流は増加傾向にある。このため相対的にデバイス電源の電圧誤差・ノイズが増大し、デバイス試験時/実動作時の電源品質（パワーインテグリティ）が重要となっている。

本研究では、半導体デバイスのオンチップ電源ノードにおける電源品質を評価する技術（電源ネットワーク・モデル化技術）と従来方式よりもATEに適した新しい電源品質制御技術の構築を目指す。

本年度は、電源ネットワーク・モデル化技術について、電源から半導体デバイスに供給される電流値の測定に基づいてオンチップ電源ネットワークの回路モデルを導出するアルゴリズムを検討し、実際の電源ネットワーク・レイアウトをもちいた計算機シミュレーションによる実用性評価をすすめた。また、電源品質制御技術については、フィードバック制御で任意の電源特性を模擬する技術を開発し、FPGAをもちいた実機検証により提案方式の原理と実用性を確認した。

多様な露光対象に対応した高速かつ高精度な電子線直描露光手法の研究

池野理門, 丸山智史, 三田吉郎, 池田誠, 浅田邦博

電子線直描（Electron Beam Direct Writing; EBDW）によるマスクレス露光は安価かつ短turn-around time (TAT) の露光技術としての期待が大きい一方で低いスループットやビーム形状に起因する図形再現性に課題があるとされている。我々はキャラクタプロジェクト（Character Projection; CP）方式を活用しながら上記の課題を克服し、MEMSやフォトリソ等の幅広い露光対象に対して有効な高速電子線直描処理環境を構築するための研究を行っている。

今年度は、円弧や斜辺図形のCP方式を利用した高精度描画のためのレイアウト・データ変換手法を、光導波路等の実用的なデバイス構造に適用して描画、現像、エッチング等の実証実験を進めた。高解像レジストを採用することで、データ変換とエッジラフネス等の加工形状との相関が確認できる基本プロセスフローと観察手法が確立され、デバイス性能と描画速度の要求に応じたデータ変換パラメータ探索が可能となった。

論文誌

- [1] Masahiro Ishida, Toru Nakura, Takashi Kusaka, Satoshi Komatsu, and Kunihiro Asada, "Dynamic Power Integrity Control of ATE for Eliminating Overkills and Underkills in Device Testing," to be published on *Journal of Electronic Testing: Theory and Applications*, 2016.

**国際会議・国際シンポジウム・
国際ワークショップ**

- [1] Takahiro J. Yamaguchi, Katsuhiko Degawa, Masayuki Kawabata, Masahiro Ishida, Kouichiro Uekusa, and Mani Soma, "A new method for measuring alias-free aperture jitter in an ADC output," in *Proceedings of IEEE International Test Conference*, Anaheim, CA, October 6-8, 2015.
- [2] Masahiro Ishida, Toru Nakura, Akira Matsukawa, Rimono Ikeno, and Kunihiro Asada, "A Technique for Analyzing On-chip Power Supply Impedance," *Asian Test Symposium (ATS) 2015*, 6B-1, November 2015.
- [3] Rimono Ikeno, Satoshi Maruyama, Yoshio Mita, Makoto Ikeda, and Kunihiro Asada, "Electron beam lithogra-

phy with character projection exposure for throughput enhancement with line-edge quality optimization," *Proceedings of SPIE 9781, Design-Process-Technology Co-optimization for Manufacturability X*, 978110, March 2016.

- [4] Md. Maruf Hossain, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "Analytical design optimization of sub-ranging ADC based on stochastic comparator," 5.7.3, *Design, Automation and Test in Europe (DATE) 2016*, March 2016.

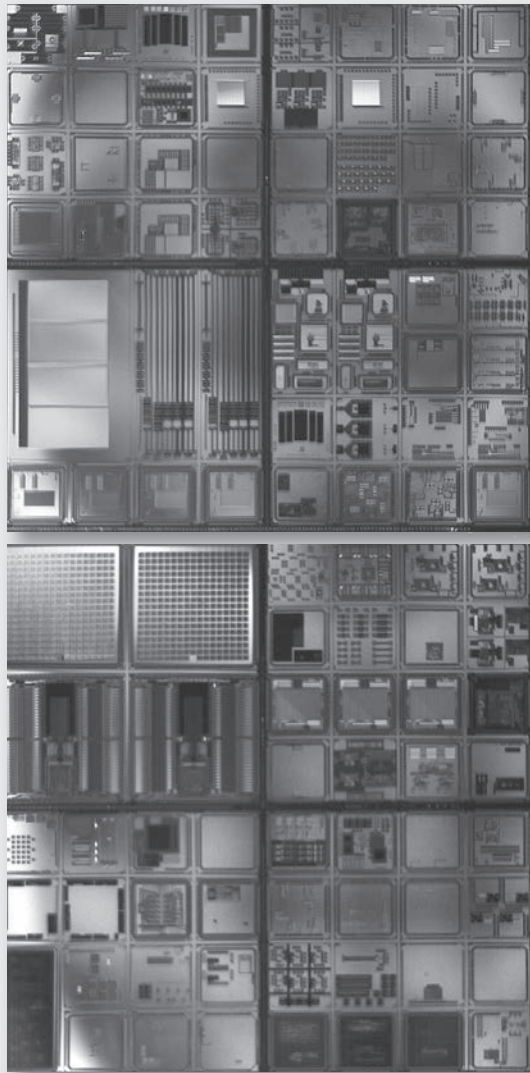
国内会議・研究会等

- [1] 池野理門「VDEC 新型電子線描画装置による任意図形の微細描画」文部科学省ナノテクノロジー・プラットフォーム事業東京大学微細加工&微細構造解析拠点合同特別講演会, 2015年11月.

特許

- [1] 石田雅裕, 日下崇, 池野理門, 浅田邦博, 名倉徹, 寺尾直樹, 「電源インピーダンス特性を模擬する電源装置およびその方法」, 特願 2016-014282, 2016年1月28日出願.

第3章 チップ試作結果報告



3. 1 試作ラン別一覧

平成26年度オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08142)

題名	大学名	研究者	掲載頁
12 GHz の T 型クォーター波長伝送線路共振器のテスト構造	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 浅田邦博	35
12 GHz のクォーター波長伝送線路共振器のテスト構造	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 浅田邦博	35
CMOS デジタル・アナログ回路の試作	東京電機大学工学部 東京電機大学大学院工学研究科	小松 聡 湯本 涼介, 宮澤 悠一, 川島 三明	35
LSI テスト教育のための疑似故障モードを有する 4 ビットカウンタ回路	東京大学大規模集積システム設計教育研究センター	池野 理門	36
LSI テスト教育のための疑似故障モードを有する ATPG 実習チップ	東京大学大規模集積システム設計教育研究センター	池野 理門	36
MEMS マイクロロボット用のパルス形ハードウェアニューロンモデル TEG チップ	日本大学理工学部	杉田 和貴, 内木場 文男, 齊藤 健	36
UWB パルス発生器のための 12 GHz 帯伝送線路共振器	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 浅田邦博	37

平成27年度オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08151)

題名	大学名	研究者	掲載頁
LSI テスト教育のための疑似故障モードを有する 4 ビットカウンタ回路 (修正版)	東京大学大規模集積システム設計教育研究センター	池野 理門	38
2 段オペアンプ	電気通信大学情報理工学部 電気通信大学情報理工学研究科	伊藤 孝幸 範 公司	38

平成26年度第5回ローム CMOS 0.18um 試作 (RO18145)

題名	大学名	研究者	掲載頁
パルス幅メモリ	東京大学 VDEC 東京大学工学部	名倉 徹 矢野 智彦	39
周波数変動とスキューを伴う非同期クロックを用いたサイドチャンネル攻撃評価用 AES 暗号回路(1)	名城大学理工学部	浅井 稔也, 吉川 雅弥	39
周波数変動とスキューを伴う非同期クロックを用いたサイドチャンネル攻撃評価用 AES 暗号回路(2)	名城大学理工学部	浅井 稔也, 吉川 雅弥	39
周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャンネル攻撃評価用 AES 暗号回路(1)	名城大学理工学部	浅井 稔也, 吉川 雅弥	40
周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャンネル攻撃評価用 AES 暗号回路(2)	名城大学理工学部	浅井 稔也, 吉川 雅弥	40
ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャンネル攻撃評価用 AES 暗号回路(1)	名城大学理工学部	浅井 稔也, 吉川 雅弥	40
ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャンネル攻撃評価用 AES 暗号回路(2)	名城大学理工学部	浅井 稔也, 吉川 雅弥	41
ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャンネル攻撃評価用 AES 暗号回路(3)	名城大学理工学部	浅井 稔也, 吉川 雅弥	41
宇宙用 CVSL 回路及び性能比較用 CMOS 回路	静岡理科大学理工学部	中村 文哉, 新村 昇平, 鈴木 雅人, 金子 尚, 小幡 秀和, 波多野 裕	41
宇宙用 CVSL 回路及び性能比較用 CMOS 回路	静岡理科大学理工学部	中村 文哉, 新村 昇平, 鈴木 雅人, 金子 尚, 小幡 秀和, 波多野 裕	42
ラジカルセンサ、多値 ReRAM 回路 TEG、イメージセンサ要素回路 TEG	金沢大学集積回路工学研究室 金沢大学医薬保健学域	北川 章夫 中山 和也	42
フラッシュ型 ADC、疑似乱数発生回路、送受信回路の試作	芝浦工業大学工学部 芝浦工業大学大学院理工学研究科	佐々木 昌浩 石井 雅樹, 山崎 浩平, 森 直之	42
トランジスタ特性評価回路	東京大学生産技術研究所	井口 俊太, 濃松 昌宗, 山内 善高, 高宮 真, 桜井 貴康	43
運動視による局所運動検出回路	東北大学電気通信研究所	秋間 学尚, 守谷 哲, 佐藤 茂雄	43

低電力型 SFQ/CMOS ハイブリッドメモリシステム用 64kb RAM	横浜国立大学工学部	今野 元, 吉川 信行	43
DC/DC コンバータのスイッチとなるパワー-MOSFET とサイクリック A/D 変換器	中央大学理工学部 中央大学大学院理工学研究科	杉本 泰博, 森川 逸太 金子 成悟, 桐生 健人, 落合 洋夫, 彦坂 慎吾	44
電力計算回路と高周波における電流源の HiZ 回路とオンチップインダクタによる高周波 VCO 回路	中央大学理工学部 中央大学大学院理工学研究科	杉本 泰博 小館 直人, 薬師寺 祐介, 坂東 和馬, 安倍 幹雄	44
デバイス劣化のオンチップ測定	京都大学情報学研究科	栗野 皓光, 吉永 幹, 佐藤 高史	44
電流制御型 Time analog to digital conveter の試作	横浜国立大学工学部	林 賢志, 有富 雅人, 足立 武彦	45
テスト電力制御の評価用 TEG チップ	九州工業大学大学院情報工学研究科 九州工業大学大学院情報工学部	宮瀬 紘平, 佐藤 康夫, 梶原 誠司 加藤 隆明, 三宅 庸資	45
周波数分解能の高い DCO を用いた All-Digital PLL	電気通信大学情報理工学部 電気通信大学情報理工学研究科	荒井 深太 範 公司, 石橋 孝一郎	45
レーザー照射によるフォールト攻撃の検証用 TEG チップ	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	中野 将司, 浅川 俊介 汐崎 充 藤野 毅	46
レーザー照射によるフォールト攻撃の検証用 TEG チップ (2)	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	中野 将司, 浅川 俊介 汐崎 充 藤野 毅	46
漏洩電磁波を用いたサイドチャンネル攻撃のリーク要因検証用 TEG チップ	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	中井 綱人, 浅川 俊介 汐崎 充 藤野 毅	46
漏洩電磁波を用いたサイドチャンネル攻撃のリーク要因検証用 TEG チップ (2)	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	中井 綱人, 浅川 俊介 汐崎 充 藤野 毅	47
サイドチャンネル攻撃評価用 AES 暗号回路	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	中井 綱人, 浅川 俊介 汐崎 充 藤野 毅	47
サイドチャンネル攻撃対策と傍聴攻撃対策を両立する暗号回路	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	竹内 章浩, 西村 隆志, 浅川 俊介 汐崎 充 藤野 毅	47
オンチップキャパシタ付きサイドチャンネル攻撃評価用 AES 暗号回路	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	山田 康平 久保田 貴也, 汐崎 充 藤野 毅	48
オンチップキャパシタ付きサイドチャンネル攻撃評価用 AES 暗号回路 (2)	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	山田 康平 久保田 貴也, 汐崎 充 藤野 毅	48
赤外線アレイセンサの間欠動作制御と人物検知演算を行うコントローラ	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	人見 達郎 白畑 正芳 藤野 毅	48
0.18μm CMOS プロセスを用いたパッチクランプ測定システム用デジタル回路	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 四ツ田 大樹, 久保 勝弘, 高坂 太郎	49
抵抗素子及び MOSFET の信頼性評価用アレイ TEG	関西大学システム理工学部	佐藤 伸吾	49
Quaternary FPGA Designs with Floating Gate Technology	北陸先端科学技術大学院大学セキュリティ・ネットワーク領域	張 任遠, 金子 峰雄	49

平成27年度第2回ローム CMOS 0.18um 試作 (RO18152)

題 名	大 学 名	研 究 者	掲載頁
31x31 単一光子アバランシェダイオードアレイセンサー	東京大学工学系研究科 東京大学 VDEC	楊 驍 朱 弘博, 名倉 徹, 飯塚 哲也, 浅田 邦博	50
高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚	50
電源ノイズ検出器及び動的電荷注入ノイズ低減回路	東京大学工学系研究科 東京大学 VDEC	鹿野 真弘 名倉 徹, 浅田 邦博	50
広帯域パルスジェネレータ用 CMOS トリガー	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 浅田 邦博	51
A new microwave pulse generator circuit based on Regenerated Trigger Switch	東京大学 VDEC	Mai-Khanh Nguyen Ngoc	51
A regenerated-trigger based microwave pulse generator circuit with on-chip dipole antenna	東京大学 VDEC	Mai-Khanh Nguyen Ngoc	52

電氣的ストレスの統計的評価のための SRAM DMA TEG	東京大学生産技術研究所	小林 正治, 平本 俊郎	52
胎児の心拍測定用増幅回路の試作	山梨大学工学部	佐藤 隆英	52
半導体分配器 Ver.3	中部大学全学共通教育部	宮本 順一	53
ADC, DAC, フェーズインターポレーター, オンチップ温度センサ及びレシーバー回路の試作	芝浦工業大学工学部 芝浦工業大学大学院理工学研究科	佐々木 昌浩, 黒部 友朗 森 直之, 石井 雅樹, 園田 哲也, 白杵 明広, 手代木 翔太, 三宅 慶治	53
パワーデバイス近傍の放射ノイズ測定 TEG	東京大学生産技術研究所	朴 志焄, 蔡 定勲, 高橋 亮, 高宮 真, 桜井 貴康	53
低電力型 SFQ/CMOS ハイブリッドメモリシステム用 64kb RAM	横浜国立大学工学部	今野 元, 吉川 信行	54
低電力型 SFQ/CMOS ハイブリッドメモリ用ツリーデコーダ	横浜国立大学工学部	今野 元, 吉川 信行	54
二足歩行用ハードウェア CPG モデルの試作	日本大学理工学部	二瓶 乃亮, 佐伯 勝敏	54
スパイクタイミングと発振周波数に依存するシナプスモデルの構築	日本大学理工学部	杉戸 俊樹, 山下 大地, 佐伯 勝敏	55
デバイスパラメータ抽出用トランジスタ TEG	京都大学大学院情報学研究所	新谷 道広, 周 瑞, 廣本 正之, 佐藤 高史	55
無線 RFID センサーチップ	立命館大学理工学部	宇野 重康	55
能動/受動併用ダイナミック共通ソース積分器を用いた $\Delta\Sigma$ 変調器(1)	上智大学理工学部	小原 一馬, 和保 孝夫	56
受動積分器を用いた $\Delta\Sigma$ 変調器	上智大学理工学部	小原 一馬, 和保 孝夫	56
HA-CORDIC - Hybrid Adaptive Coordinate Rotation Digital Computer	電気通信大学情報理工学研究科	Nguyen Thi Hong Thu, 範 公可, 石橋 孝一郎	56
遅延故障検査容易化回路および IC 間配線の電氣的検査容易化回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院ソシオテクノサイエンス研究部	菅 大介, 宮本 陽平, 濱田 圭吾, 石場 隆之, 伊喜利 勇貴, 踊場 明宏 四柳 浩之, 橋爪 正樹	57
300GHz 帯伝送線路評価 TEG	広島大学先端物質科学研究科	國武 寛司, 高野 恭弥, 片山 光亮, 吉田 毅, 天川 修平, 藤島 実	57
アナログ回路用ライブラリ及び素子評価	高知工科大学システム工学群 高知工科大学大学院基板工学専攻	橋 昌良, 岡崎 泰士, 佐竹 宏太, 山田 健太, Wannaboon Chatchai	57
ジッターシェーパを用いた高精度 DAC	法政大学理工学部 法政大学理工学研究科	安田 彰 渡辺 渡邊, 嘉藤 貴博, 西勝 聡	58
低電圧 CMOS アナログ回路の試作	明治大学理工学部	渡辺 正之助, 奥 達哉, 大里 侑生	58
人物検知用赤外線アレクセンサ対応アナログフロントエンド回路	立命館大学理工学研究科 大阪産業大学工学部 立命館大学総合科学技術研究機構 立命館大学理工学部	上口 翔大 熊本 敏夫 白畑 正芳, 汐崎 充 藤野 毅	58
0.18 μ m CMOS プロセスを用いたバッチクランプ測定 4ch システム	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 四ツ田 大樹, 久保 勝弘, 高坂 太郎	59
Prototype for high frequency magnetic sensor	東北大学工学研究科	Sai Ranajit	59
容量型センサの CMOS インターフェイス回路	山梨大学大学院総合研究部	小川 寛美	59
位相同期回路の干渉ノイズ低減回路検証用 TEG1	大阪工業大学大学院工学研究科	森下 宗瑛 肥田 晃一郎, 藤居 尚博, 吉村 勉	60
位相同期回路の干渉ノイズ低減回路検証用 TEG2	大阪工業大学大学院工学研究科	森下 宗瑛 肥田 晃一郎, 藤居 尚博, 吉村 勉	60
Hexadecimal FPGA Designs with Floating Gate Technology	北陸先端科学技術大学院大学セキュリティ・ネットワーク領域	張 任遠, 金子 峰雄	60

平成27年度第3回ローム CMOS 0.18 μ m 試作 (RO18153)

題 名	大 学 名	研 究 者	掲載頁
改善された広帯域パルス発生器用 CMOS トリガー	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	61
オンチップ 40 GHz の広帯域パルス発生器	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	61
PVT 自動調整機能付きパルス幅 PLL	東京大学 VDEC 東京大学工学部	名倉 徹 都井 敬	61

オンチップ太陽電池と昇圧回路ほか	立命館大学大学院情報理工学研究所 立命館大学情報理工学部	木村 知也 宮川 尚之, 越智 裕之	62
宇宙用 CVSL 回路及び性能比較用 CMOS 回路	静岡理工科大学理工学部	山中 兼一, 大関 啓太, 松原 孝 紘, 富岡 聖龍, 松下 倭樹, 鶴窪 匠, 波多野 裕	62
宇宙用 CVSL 回路及び性能比較用 CMOS 回路	静岡理工科大学理工学部	山中 兼一, 大関 啓太, 松原 孝 紘, 富岡 聖龍, 松下 倭樹, 鶴窪 匠, 波多野 裕	62
確率的 ADC を用いたランダムばらつきモニタ回路	東京電機大学工学部第二部 東京電機大学工学部	高谷 翔平 小松 聡	63
単体トランジスタと低電圧 CMOS アナログ回路 TEG	広島工業大学工学部/電子情報工学科	升井 義博	63
単体デバイスと論理回路の評価回路	東京大学生産技術研究所	イスラム マーフズル	63
歩留まり率を考慮した細胞体モデルの試作	日本大学理工学部	戸泉 孝太, 佐伯 勝敏	64
アウトフェーズ増幅のための CMOS VCO 及び増幅器	大阪大学大学院基礎工学研究科	塩見 英久, 逸藤 健	64
画像認識向け量込み演算回路	京都大学大学院情報学研究所	大荷 唯明, 廣本 正之, 佐藤 高史	64
指数減衰カオスタブサーチ用スイッチト・カレントニューロ ン回路(1 of 3)	東京電機大学	田中秀, 新井正樹, 堀尾喜彦	65
指数減衰カオスタブサーチ用スイッチト・カレントニューロ ン回路(2 of 3)	東京電機大学	田中秀, 新井正樹, 堀尾喜彦	65
指数減衰カオスタブサーチ用スイッチト・カレントニューロ ン回路(3 of 3)	東京電機大学	田中秀, 新井正樹, 堀尾喜彦	65
集積化イメージセンサのノイズ特性評価用 TEG	茨城大学工学部	木村 孝之	66
能動/受動併用ダイナミック共通ソース積分器を用いた $\Delta\Sigma$ 変調 器(2)	上智大学理工学部	小原 一馬, 和保 孝夫	66
チャージシェア型逐次近似 A/D 変換器	上智大学理工学部	山崎 雄介, 和保 孝夫	66
粘菌コンピューティングを模したニューラルネットワーク型 A/ D 変換器	上智大学理工学部	石田 宇一, 和保 孝夫	67
InAs ナノワイヤ/CMOS 異種技術集積化による Lab-on-a-chip	上智大学理工学部	島本 一成, 和保 孝夫	67
Pipeline unfolded radix-2 CORDIC	電気通信大学情報理工学部 電気通信大学情報理工学研究所	市川 陽平 範 公可, 石橋 孝一郎	67
Differential comparator Stochastic Array and Coarse Flash ADC	東京大学 VDEC, D2T	Mai-Khanh Nguyen Ngoc, Ri- mon Ikeno	68
アナログ回路用ライブラリ及び素子評価	高知工科大学システム工学群 高知工科大学大学院基板工学専攻	橘 昌良, 佐竹 宏太 山田 健太, Wannaboon Chatch- ai	68
アナログ回路用ライブラリ及び素子評価	高知工科大学システム工学群 高知工科大学大学院基板工学専攻	橘 昌良, 佐竹 宏太 山田 健太, Wannaboon Chatch- ai	68
耐ソフトエラー性を有するラッチ回路	千葉大学工学部 千葉大学融合科学研究科	上野 弘貴, 羽田 伶 難波 一輝	69
各種要素回路の設計	明治大学理工学部 明治大学理工学研究所	和田 和千, 山下 良満, 鈴木 博俊 今井 博之, 江川 和穂, 木谷 嘉 孝, 大門 佑	69
ジッターシェーパー型 DAC と $\Delta\Sigma$ 型位相比較器	法政大学理工学部 法政大学理工学研究所	安田 彰 嘉藤 貴博, 西勝 聡, 渡邊 裕紀	69
CMOS LSI チップ内の温度分布の解析	富山県立大学工学部	松田 敏弘, 出町 治香	70
多チャンネル皮質脳波信号計測チップ	大阪大学大学院生命機能研究科 広島大学大学院先端物質科学研究科	鈴木 隆文, 安藤 博士 吉田 毅	70
人物検知用赤外線アレクセンサ対応二重積分型アナログ/デジ タル変換回路	立命館大学理工学研究所 大阪産業大学工学部 立命館大学総合科学技術研究機構 立命館大学理工学部	上口 翔大 熊本 敏夫 白畑 正芳, 汐崎 充 藤野 毅	70
0.18 μ m CMOS プロセスを用いた生体信号用低雑音増幅器の改 良	慶應義塾大学理工学部 慶應義塾大学理工学研究所	中野 誠彦, 伊藤 孝太 四ツ田 大樹, 久保 勝弘, 高坂 太 郎, 宮脇 貴統	71
自律動作可能 LSI チップの動作範囲拡大に向けた検討	慶應義塾大学理工学部 慶應義塾大学理工学研究所	中野 誠彦, 五十嵐 一真, 杉浦 隆 弥 渡邊 淳史, 折原 大地, 南 快優	71
復号回路	上智大学理工学部	林 等	71
生体情報処理用 CPU 及び周辺 ASIC の試作	兵庫県立大学工学研究科 兵庫県立大学工学部	藤原 潤, 神田 健介, 藤田 孝之, 前中 一介 服部 喜優	72

オフチップ共振回路を用いた断熱的論理用低消費電力電源回路	岐阜大学工学部	高橋 康宏	72
Fabrication of CPW structures with various dimensions and de-embedding structures	東北大学工学研究科	Sai Ranajit	72
耐ハードウェアトロイ回路	早稲田大学基幹理工学研究所	大屋 優, 戸川 望	73
包絡線パルス幅変調方式送信機に用いる D 級増幅器のバンドパスフィルタ狭帯域化検討用回路	東京理科大学理工学部	渡邊 邦彦, 榎田 洋太郎, 小澤 佑介	73
包絡線パルス幅変調 (EPWM: Envelope Pulse-Width Modulation) 方式送信機に用いる D 級増幅器のバンドパスフィルタ狭帯域化検討用 TEG	東京理科大学理工学部	渡邊 邦彦, 榎田 洋太郎, 小澤 佑介	73
包絡線パルス幅変調 (EPWM: Envelope Pulse-Width Modulation) 方式送信機に用いる D 級増幅器のバンドパスフィルタ狭帯域化検討用 TEG	東京理科大学理工学部	渡邊 邦彦, 榎田 洋太郎, 小澤 佑介	74
Hadamard ゲートおよび制御 R _k ゲートのエミュレータ実現	琉球大学大学院理工学研究所電気電子工学専攻 琉球大学工学部	比嘉 識人 金城 光永, 島袋 勝彦	74
耐放射線・光再構成型ゲートアレイ	静岡大学創造科学技術大学院	藤森 卓巳, 渡邊 実	74
IoT に向けた NAND 型フラッシュメモリ書き込み電圧生成回路	中央大学理工学部	石井 智也, 田中 誠大, 鶴見 光太, 竹内 健	75
光受信用アナログフロントエンド回路 TEG	岐阜大学大学院工学研究科	滝 孝介, 内藤 文哉, 久米 沢弥, 久保 尚也, 中村 誠	75

平成27年度第4回ローム CMOS 0.18um 試作 (RO18154)

題 名	大 学 名	研 究 者	掲載頁
A CMOS-MEMS hybrid design for microwave pulse generator circuit	東京大学 VDEC	Mai-Khanh Nguyen Ngoc	76
サンプルホールド回路の非線形歪み測定用回路	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 伊藤 貴亮	76
三角波状アクティブ電荷注入による電源共振ノイズ低減回路	東京大学工学系研究科 東京大学 VDEC	鹿野 真弘 名倉 徹, 飯塚 哲也, 浅田 邦博	77
A CMOS-MEMS hybrid microwave pulse transmitter	東京大学 VDEC	Mai-Khanh Nguyen Ngoc	77
3値 CAM 及びハミング距離検索機能付き CAM	東海大学大学院情報通信学研究科 情報通信学専攻 東海大学情報通信学部 組込みソフトウェア工学科	早川 翔 福原 雅朗	78
IoT ノード端子の微小容量変化の検出回路	東京大学生産技術研究所	朴 志焄, 染谷 晃基, 高宮 真, 桜井 貴康	78
低電力型 SFQ/CMOS ハイブリッドメモリシステム用 64kb RAM	横浜国立大学工学府	今野 元, 吉川 信行	78
HOG および SURF 特徴抽出を有するコプロセッサ	広島大学工学研究科 広島大学先端物質科学研究科 広島大学 HISIM 研究センター 広島大学ナノデバイス・バイオ融合科学研究所	An Fengwei Zhang Xiangyu, Luo Aiwen, 藤田 勇貴, 中島 一紀 Chen Lei Mattausch Hans Juergen	79
電源電圧の変化による遅延変動の評価回路	会津大学コンピュータ理工学部	増子 駿, 小平 行秀	79
溶液バイオケミカルセンシング回路	立命館大学理工学部	宇野 重康	79
An Improvement of Stochastic ADC Sub-ranging System	東京大学 VDEC, D2T	Mai-Khanh Nguyen Ngoc, Rimon Ikeno	80
高精細音空間コンテンツのための主観的最適化音空間ディスプレイの研究開発	北陸先端科学技術大学院大学情報社会基盤研究センター	井口 寧	80
電圧 CMOS アナログ回路の試作	明治大学理工学部	渡辺 正之助, 奥 達哉, 大里 侑生	81
汎用プロセッサ改良による高速動き検出実行用チップ	三重大学大学院工学研究科	深澤 祐樹, 王 宝康, 丹後 嘉浩, 近藤 利夫, 佐々木 敬泰	81
0.18μm CMOS プロセスを用いたバッチクランプ測定システムの部品改良	慶應義塾大学理工学部 慶應義塾大学理工学研究所	中野 誠彦, 伊藤 孝太 四ツ田 大樹, 久保 勝弘, 高坂 太郎, 宮脇 貴統	81
符号化・復号回路	上智大学理工学部	林 等	82
トリプルウェルを用いた on-chip 太陽電池の集積化	東洋大学総合情報学部	堀口 文男	82
トリプルウェルを用いた on-chip 太陽電池の集積化	東洋大学総合情報学部	堀口 文男	82
測定器が直接接続困難なポートを持つ回路の S パラメータを推測するための TEG	岐阜大学工学部	高橋 康宏, 関根 敏和	83

エネルギーハーベスティング向け昇圧電源及び非接触給電向け送受電回路、光プローブセンサ向け光電流変換 CMOS アナログフロントエンド回路	信州大学大学院理工学系研究科 信州大学工学部	篠原 秀樹, 吉田 穰理, 小柳 洸介, 宮地 幸祐 上倉 宇晴, 小林 瑞季, 福岡 篤志	83
--	---------------------------	---	----

平成27年度第1回ルネサス CMOS 65nm 試作 (RS65151)

題 名	大 学 名	研 究 者	掲載頁
高速ロックを実現する完全デジタル型クロック・データ・リカバリ回路	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 峠 仁人	84
オフチップキャパシタによる電源ノイズ低減効果実証 TEG	東京大学工学系研究科 東京大学 VDEC	鹿野 真弘 名倉 徹, 飯塚 哲也, 浅田 邦博	84
誘導結合 TCI を持つマイクロプロセッサ GCSOTB	芝浦工大情報工学科 慶應義塾大学情報工学科 東京農工大学情報工学科	小暮 俊輔, 工藤 優, 安田 匠吾, 宇佐美 公良 奥原 颯, 天野 英晴 並木 美太郎	84
誘導結合 TCI を持つアクセラレータ CCSOTB	慶應義塾大学理工学部	天野 英晴, 藤田 悠, 奥原 颯	84
細粒度ボティバイアス制御を行う動的リコンフィギュラブルプロセッサ MuCCRA-4BB	慶應義塾大学理工学部 University of Tübingen Computer Science	奥原 颯, Armed Akram Ben, 天野 英晴 Johanes Kuehn	85
IEEE 754 準拠単精度浮動小数点除算器ほか	立命館大学情報理工学部	越智 裕之, 新納 一樹	85
低電圧安定動作のための要素回路および設計技術の開発	京都大学大学院情報学研究所通信情報システム専攻	小野寺 秀俊, 石原 亨, 鎌刈 竜也, 塩見 準, 都築 祐亮, 中井 辰哉	85
2 ステップ確率的 ADC TEG, 発振回路 TEG	金沢大学自然科学研究科	今村 竜	85
オンチップバランを用いた差動低雑音増幅器の試作	大阪工業大学大学院工学研究科	木原 崇雄, 松田 茂郷, 高橋 克樹, 高橋 知也, 吉尾 恒洋	86
複数のスキャンウィンドウの並列処理と特徴ベクトルの抽出を有する物体認識プロセッサ	広島大学工学研究科 広島大学先端物質科学研究科 広島大学 HiSIM 研究センター 広島大学ナノデバイス・バイオ融合科学研究所	An Fengwei Luo Aiwen, Zhang Xiangyu Chen Lei Mattausch Hans Juergen	86
0.1V で起動する完全集積可能な昇圧電源回路	産業技術総合研究所ナノエレクトロニクス研究部門	更田 裕司, 大内 真一	86
ミリ波フェーズドアレイ回路用評価素子	大阪大学大学院基礎工学研究科	塩見 英久	86
スケラブルデバイスアレイ	京都大学情報学研究所	栗野 皓光, 吉永 幹 佐藤 高史	87
画像認識向け畳み込み演算回路	京都大学大学院情報学研究所	大荷 唯明, 廣本 正之, 佐藤 高史	87
先端 SOTB プロセスにおける集積化イメージセンサの構成回路評価用 TEG	茨城大学工学部	木村 孝之	87
DTMOS トランジスタとダイオード接続トランジスタの整流特性比較	電気通信大学情報理工学研究所	高橋 史帆, 範 公可, 石橋 孝一郎	87
未知の入力データに対する出力を推定するパーセプトロン IC	電気通信大学情報理工学部 電気通信大学情報理工学研究所	岩瀬 龍矢 範 公可, 石橋 孝一郎	88
Unfolded radix-2 CORDIC	電気通信大学情報理工学部 電気通信大学情報理工学研究所	市川 陽平 範 公可, 石橋 孝一郎	88
誘導結合マルチドロップバスと磁界衝突検知回路の検証用 TEG	慶應義塾大学大学院理工学系研究科	門本 淳一郎, 宮田 知輝, 竹 康宏	88
畳み込みニューラルネットワーク演算向け矩形読み出しメモリ	神戸大学システム情報学研究所 神戸大学科学技術イノベーション研究科	梅木 洋平, 北原 弘登, 森 陽紀, 河本 優太, 奥野 圭祐, 吉本 雅彦 黒津 弘明, 川口 博	88
低消費電力センササイザブル PLL	東京工業大学工学院電気電子系	岡田 健一, 中田 憲吾, 寺嶋 友樹, 吉岡 透, Ngo Huy Cu	89
SOTB 構造を用いたサイドチャネル攻撃評価用 AES 暗号回路	立命館大学理工学系研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	中野 将司, 浅川 俊介 汐崎 充 藤野 毅	89
自律的に動作するマイクロシステムのための電源システムに用いる要素単体	慶應義塾大学理工学部 慶應義塾大学理工学系研究科	中野 誠彦, 五十嵐 一真, 杉浦 隆弥 渡邊 淳史, 折原 大地, 南 快優	89
低電源電圧動作並列型確率的 A/D 変換器	大阪大学大学院工学研究科	松岡 俊匡, 浅野 智大, 山根 梨江, 井上 泰佑	89
エネルギー最小点の動的追従を可能にするプロセッサの試作	京都大学大学院情報学研究所	塩見 準, 石原 亨, 小野寺 秀俊	90
Approximate Computing のための Key-Value Store チップ	慶應義塾大学理工学部	松谷 宏紀	90
1kb 不揮発性 SRAM	東京工業大学像情報工学研究所	周藤 悠介, 山本 修一郎, 菅原 聡	90
FD-SOI プロセスの信頼性評価回路	京都工芸繊維大学グリーンイノベーションセンター 京都工芸繊維大学電子システム工学専攻	古田 潤 駒脇 拓弥, 岸田 亮, 小林 和淑	90

3. 2 チップ種別一覧

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08142	MEMSマイクロロボット用のパルス形ハードウェアニューロンモデルTEGチップ	杉田 和真, 内木場 文男, 齊藤 健	36
RO18145	宇宙用CVSL回路及び性能比較用CMOS回路	中村 文哉, 新村 昇平, 鈴木 雅人, 金子 尚, 小幡 秀和, 波多野 裕	41
RO18145	宇宙用CVSL回路及び性能比較用CMOS回路	中村 文哉, 新村 昇平, 鈴木 雅人, 金子 尚, 小幡 秀和, 波多野 裕	42
RO18145	トランジスタ特性評価回路	井口 俊太, 濱松 昌宗, 山内 善高, 高宮 真, 桜井 貴康	43
RO18145	デバイス劣化のオンチップ測定	栗野 皓光, 吉永 幹, 佐藤 高史	44
RO18145	テスト電力制御の評価用TEGチップ	宮瀬 紘平, 佐藤 康夫, 梶原 誠司, 加藤 隆明, 三宅 庸資	45
RO18145	レーザー照射によるフォールト攻撃の検証用TEGチップ	中野 将司, 浅川 俊介, 汐崎 充, 藤野 毅	46
RO18145	漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用TEGチップ	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	46
RO18145	漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用TEGチップ(2)	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	47
RO18145	サイドチャネル攻撃対策と侵襲攻撃対策を両立する暗号回路	竹内 章浩, 西村 隆志, 浅川 俊介, 汐崎 充, 藤野 毅	47
RO18145	オンチップキャパシタ付きサイドチャネル攻撃評価用AES暗号回路	山田 康平, 久保田 貴也, 汐崎 充, 藤野 毅	48
RO18145	オンチップキャパシタ付きサイドチャネル攻撃評価用AES暗号回路(2)	山田 康平, 久保田 貴也, 汐崎 充, 藤野 毅	48
RO18145	抵抗素子及びMOSFETの信頼性評価用アレイTEG	佐藤 伸吾	49
RO18152	電氣的ストレスの統計的評価のためのSRAM DMA TEG	小林 正治, 平本 俊郎	52
RO18152	半導体分配器Ver.3	宮本 順一	53
RO18152	パワーデバイス近傍の放射ノイズ測定TEG	朴 志焄, 蔡 定勲, 高橋 亮, 高宮 真, 桜井 貴康	53
RO18152	デバイスパラメータ抽出用トランジスタTEG	新谷 道広, 周 瑞, 廣本 正之, 佐藤 高史	55
RO18152	遅延故障検査容易化回路およびIC間配線の電氣的検査容易化回路の試作	菅 大介, 宮本 陽平, 濱田 圭吾, 石場 隆之, 伊喜利 勇貴, 踊場 明宏, 四柳 浩之, 橋爪 正樹	57
RO18152	位相同期回路の干渉ノイズ低減回路検証用TEG1	森下 宗瑛, 肥田 晃一郎, 藤居 尚博, 吉村 勉	60
RO18152	位相同期回路の干渉ノイズ低減回路検証用TEG2	森下 宗瑛, 肥田 晃一郎, 藤居 尚博, 吉村 勉	60
RO18153	宇宙用CVSL回路及び性能比較用CMOS回路	山中 兼一, 大関 啓太, 松原 孝紘, 富岡 聖龍, 松下 倭樹, 鶴窪 匠, 波多野 裕	62
RO18153	宇宙用CVSL回路及び性能比較用CMOS回路	山中 兼一, 大関 啓太, 松原 孝紘, 富岡 聖龍, 松下 倭樹, 鶴窪 匠, 波多野 裕	62
RO18153	確率的ADCを用いたランダムばらつきモニタ回路	高谷 翔平, 小松 聡	63
RO18153	単体トランジスタと低電圧 CMOS アナログ回路TEG	升井 義博	63
RO18153	単体デバイスと論理回路の評価回路	イスラム マーフズル	63
RO18153	集積化イメージセンサのノイズ特性評価用TEG	木村 孝之	66
RO18153	CMOS LSIチップ内の温度分布の解析	松田 敏弘, 出町 治香	70
RO18153	Hadamardゲートおよび制御R _k ゲートのエミュレータ実現	比嘉 識人, 金城 光永, 島袋 勝彦	74
RO18154	IoTノード端子の微小容量変化の検出回路	朴 志焄, 染谷 晃基, 高宮 真, 桜井 貴康	78
RO18154	電源電圧の変化による遅延変動の評価回路	増子 駿, 小平 行秀	79
RO18154	トリプルウェルを用いたon-chip太陽電池の集積化	堀口 文男	82
RO18154	トリプルウェルを用いたon-chip太陽電池の集積化	堀口 文男	82
RO18154	測定器が直接接続困難なポートを持つ回路のSパラメータを推測するためのTEG	高橋 康宏, 関根 敏和	83
RS65151	オフチップキャパシタによる電源ノイズ低減効果実証TEG	鹿野 真弘, 名倉 徹, 飯塚 哲也, 浅田 邦博	84
RS65151	低電圧安定動作のための要素回路および設計技術の開発	小野寺 秀俊, 石原 亨, 鎌苅 竜也, 塩見 準, 都築 祐亮, 中井 辰哉	85
RS65151	2ステップ確率的ADC TEG, 発振回路TEG	今村 竜	85
RS65151	ミリ波フェーズドアレイ回路用評価素子	塩見 英久	86
RS65151	先端SOTBプロセスにおける集積化イメージセンサの構成回路評価用TEG	木村 孝之	87
RS65151	誘導結合マルチドロップバスと磁界衝突検知回路の検証用TEG	門本 淳一郎, 宮田 知輝, 竹 康宏	88
RS65151	SOTB構造を用いたサイドチャネル攻撃評価用AES暗号回路	中野 将司, 浅川 俊介, 汐崎 充, 藤野 毅	89
RS65151	FD-SOIプロセスの信頼性評価回路	古田 潤, 駒脇 拓弥, 岸田 亮, 小林 和淑	90

アナデジ混載

ラン名	タイトル	研究者	掲載頁
OS08142	CMOSデジタル・アナログ回路の試作	小松 聡, 湯本 涼介, 宮澤 悠一, 川島 三明	35
RO18145	フラッシュ型ADC, 擬似乱数発生回路, 送受信回路の試作	佐々木 昌浩, 石井 雅樹, 山崎 浩平, 森 直之	42
RO18145	低電力型SFQ/CMOSハイブリッドメモリシステム用64kb RAM	今野 元, 吉川 信行	43
RO18145	周波数分解能の高いDCOを用いたAll-Digital PLL	荒井 溪太, 範 公可, 石橋 孝一郎	45
RO18145	Quaternary FPGA Designs with Floating Gate Technology	張 任遠, 金子 峰雄	49
RO18152	ADC, DAC, フェーズインターポレーター, オンチップ温度センサ及びレシーバー回路の試作	佐々木 昌浩, 黒部 友朗, 森 直之, 石井 雅樹, 園田 哲也, 臼杵 明広, 手代木 翔太, 三宅 慶治	53
RO18152	低電力型SFQ/CMOSハイブリッドメモリ用ツリーデコーダ	今野 元, 吉川 信行	54
RO18152	HA-CORDIC - Hybrid Adaptive Coordinate Rotation Digital Computer	Nguyen Thi Hong Thu, 範 公可, 石橋 孝一郎	56
RO18152	Hexadecimal FPGA Designs with Floating Gate Technology	張 任遠, 金子 峰雄	60
RO18153	Pipeline unfolded radix-2 CORDIC	市川 陽平, 範 公可, 石橋 孝一郎	67
RO18153	多チャンネル皮質脳波信号計測チップ	鈴木 隆文, 安藤 博士, 吉田 毅	70
RO18153	オフチップ共振回路を用いた断熱的論理用低消費電力電源回路	高橋 康宏	72
RS65151	誘導結合TCIを持つアクセラレータCCSOTB	天野 英晴, 藤田 悠, 奥原 颯	84
RS65151	細粒度ボディアバイアス制御を行う動的リコンフィギャラブルプロセッサ MuCCRA-4BB	奥原 颯, Armed Akram Ben, 天野 英晴, Johannes Kuehn	85
RS65151	DTMOSトランジスタとダイオード接続トランジスタの整流特性比較	高橋 史帆, 範 公可, 石橋 孝一郎	87
RS65151	未知の入力データに対する出力を推定するパーセプトロニック	岩瀬 龍矢, 範 公可, 石橋 孝一郎	88
RS65151	Unfolded radix-2 CORDIC	市川 陽平, 範 公可, 石橋 孝一郎	88

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO18145	電流制御型 Time analog to digital conveter の試作	林 賢志, 有富 雅人, 足立 武彦	45
RO18145	赤外線アレイセンサの間欠動作制御と人物検知演算を行うコントローラ	人見 達郎, 白畑 正芳, 藤野 毅	48
RO18152	胎児の心拍測定用増幅回路の試作	佐藤 隆英	52
RO18152	低電圧CMOSアナログ回路の試作	渡辺 正之助, 奥 達哉, 大里 侑生	58
RO18154	高精細音空間コンテンツのための主観的最適化音空間ディスプレイの研究開発	井口 寧	80
RO18154	電圧CMOSアナログ回路の試作	渡辺 正之助, 奥 達哉, 大里 侑生	81

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
OS08151	2段オペアンプ	伊藤 孝幸, 範 公可	38
RO18145	DC/DCコンバータのスイッチとなるパワー-MOSFETとサイクリックA/D変換器	杉本 泰博, 森川 逸太, 金子 成悟, 桐生 健人, 落合 洋夫, 彦坂 慎吾	44
RO18145	電力計算回路と高周波における電流源のHiZ回路とオンチップインダクタによる高周波VCO回路	杉本 泰博, 小館 直人, 業師寺 祐介, 坂東 和馬, 安倍 幹雄	44
RO18145	0.18 μ m CMOS プロセスを用いたパッチクランプ測定システム用デジタル回路	中野 誠彦, 四ツ田 大樹, 久保 勝弘, 高坂 太郎	49
RO18152	高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚	50
RO18152	電源ノイズ検出器及び動的電荷注入ノイズ低減回路	鹿野 真弘, 名倉 徹, 浅田 邦博	50
RO18152	二足歩行用ハードウェアCPGモデルの試作	二瓶 乃亮, 佐伯 勝敏	54
RO18152	スパイクタイミングと発振周波数に依存するシナプスモデルの構築	杉戸 俊樹, 山下 大地, 佐伯 勝敏	55
RO18152	能動/受動併用ダイナミック共通ソース積分器を用いた $\Delta\Sigma$ 変調器(1)	小原 一馬, 和保 孝夫	56
RO18152	受動積分器を用いた $\Delta\Sigma$ 変調器	小原 一馬, 和保 孝夫	56
RO18152	アナログ回路用ライブラリ及び素子評価	橘 昌良, 岡崎 泰士, 佐竹 宏太, 山田 健太, Wannaboorn Chatchai	57
RO18152	ジッターシェーバーを用いた高精度DAC	安田 彰, 渡辺 渡邊, 嘉藤 貴博, 西勝 聡	58
RO18152	人物検知用赤外線アレイセンサ対応アナログフロントエンド回路	上口 翔太, 熊本 敏夫, 白畑 正芳, 汐崎 充, 藤野 毅	58
RO18152	0.18 μ m CMOS プロセスを用いたパッチクランプ測定4chシステム	中野 誠彦, 四ツ田 大樹, 久保 勝弘, 高坂 太郎	59
RO18152	容量型センサのCMOSインターフェイス回路	小川 寛美	59

RO18153	PVT自動調整機能付きバルス幅PLL	名倉 徹, 都井 敬	61
RO18153	オンチップ太陽電池と昇圧回路ほか	木村 知也, 宮川 尚之, 越智 裕之	62
RO18153	歩留まり率を考慮した細胞体モデルの試作	戸泉 孝太, 佐伯 勝敏	64
RO18153	アウトフェーズ増幅のためのCMOS VCO及び増幅器	塩見 英久, 遠藤 健	64
RO18153	能動/受動併用ダイナミック共通ソース積分器を用いた $\Delta\Sigma$ 変調器(2)	小原 一馬, 和保 孝夫	66
RO18153	チャージシェア型逐次近似A/D変換器	山崎 雄介, 和保 孝夫	66
RO18153	粘菌コンピューティングを模したニューラルネットワーク型A/D変換器	石田 宇一, 和保 孝夫	67
RO18153	InAsナノワイヤ/CMOS異種技術集積化によるLab-on-a-chip	島本 一成, 和保 孝夫	67
RO18153	Differential comparator Stochastic Array and Coarse Flash ADC	Mai-Khanh Nguyen Ngoc, Rimon Ikeno	68
RO18153	アナログ回路用ライブラリ及び素子評価	橘 昌良, 佐竹 宏太, 山田 健太, Wannaboon Chatchai	68
RO18153	アナログ回路用ライブラリ及び素子評価	橘 昌良, 佐竹 宏太, 山田 健太, Wannaboon Chatchai	68
RO18153	ジッターシェーパ型DACと $\Delta\Sigma$ 型位相比較器	安田 彰, 嘉藤 貴博, 西勝 聡, 渡邊 裕紀	69
RO18153	人物検知用赤外線アレイセンサ対応二重積分型アナログ/デジタル変換回路	上口 翔太, 熊本 敏夫, 白畑 正芳, 汐崎 充, 藤野 毅	70
RO18153	0.18 μ m CMOS プロセスを用いた生体信号用低雑音増幅器の改良	中野 誠彦, 伊藤 孝太, 四ツ田 大樹, 久保 勝弘, 高坂 太郎, 宮脇 貴統	71
RO18153	自律動作可能LSIチップの動作範囲拡大に向けた検討	中野 誠彦, 五十嵐 一真, 杉浦 隆弥, 渡邊 淳史, 折原 大地, 南 快優	71
RO18153	IoTに向けたNAND型フラッシュメモリ書き込み電圧生成回路	石井 智也, 田中 誠大, 鶴見 洸太, 竹内 健	75
RO18153	光受信用アナログフロントエンド回路TEG	滝 孝介, 内藤 文哉, 久米 沢弥, 久保 尚也, 中村 誠	75
RO18154	サンプルホールド回路の非線形歪み測定用回路	飯塚 哲也, 名倉 徹, 浅田 邦博, 伊藤 貴亮	76
RO18154	三角波状アクティブ電荷注入による電源共振ノイズ低減回路	鹿野 真弘, 名倉 徹, 飯塚 哲也, 浅田 邦博	77
RO18154	An Improvement of Stochastic ADC Sub-ranging System	Mai-Khanh Nguyen Ngoc, Rimon Ikeno	80
RO18154	0.18 μ m CMOS プロセスを用いたパッチクランプ測定システムの部品改良	中野 誠彦, 伊藤 孝太, 四ツ田 大樹, 久保 勝弘, 高坂 太郎, 宮脇 貴統	81
RO18154	エネルギーハーベスティング向け昇圧電源及び非接触給電向け送受電回路、光プローブセンサ向け光電流変換CMOSアナログフロントエンド回路	篠原 秀樹, 吉田 稜理, 小柳 洸介, 宮地 幸祐, 上倉 宇晴, 小林 瑞季, 福岡 篤志	83
RS65151	高速ロックを実現する完全デジタル型クロック・データ・リカバリ回路	飯塚 哲也, 名倉 徹, 浅田 邦博, 峠 仁人	84
RS65151	0.1Vで起動する完全集積可能な昇圧電源回路	更田 裕司, 大内 真一	86
RS65151	低消費電力センササイザブルPLL	岡田 健一, 中田 憲吾, 寺嶋 友樹, 吉岡 透, Ngo Huy Cu	89
RS65151	自律的に動作するマイクロシステムのための電源システムに用いる要素単体	中野 誠彦, 五十嵐 一真, 杉浦 隆弥, 渡邊 淳史, 折原 大地, 南 快優	89
RS65151	低電源電圧動作並列型確率的A/D変換器	松岡 俊匡, 浅野 智大, 山根 梨江, 井上 泰佑	89

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18152	31x31 単一光子アバランシェダイオードアレイセンサ	楊 驍, 朱 弘博, 名倉 徹, 飯塚 哲也, 浅田 邦博	50
RO18154	溶液バイオケミカルセンシング回路	宇野 重康	79

その他 (ニューラルネットワーク)

ラン名	タイトル	研究者	掲載頁
RO18153	指数減衰カオスタブサーチ用スイッチト・カレントニューロン回路(1 of 3)	田中秀, 新井正樹, 堀尾喜彦	65
RO18153	指数減衰カオスタブサーチ用スイッチト・カレントニューロン回路(2 of 3)	田中秀, 新井正樹, 堀尾喜彦	65
RO18153	指数減衰カオスタブサーチ用スイッチト・カレントニューロン回路(3 of 3)	田中秀, 新井正樹, 堀尾喜彦	65

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
RO18145	ラジカルセンサ、多値ReRAM回路TEG、イメージセンサ要素回路TEG	北川 章夫, 中山 和也	42
RO18153	耐放射線・光再構成型ゲートアレイ	藤森 卓巳, 渡邊 実	74

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO18145	レーザー照射によるフォールト攻撃の検証用TEGチップ(2)	中野 将司, 浅川 俊介, 汐崎 充, 藤野 毅	46
RO18152	Prototype for high frequency magnetic sensor	Sai Ranajit	59
RO18153	生体情報処理用CPU及び周辺ASICの試作	藤原 潤, 神田 健介, 藤田 孝之, 前中 一介, 服部 喜優	72
RO18153	Fabrication of CPW structures with various dimensions and de-embedding structures	Sai Ranajit	72
RO18153	耐ハードウェアトロイ回路	大屋 優, 戸川 望	73
RO18154	HOGおよびSURF特徴抽出を有するコプロセサー	An Fengwei, Zhang Xiangyu, Luo Aiwen, 藤田 勇貴, 中島 一紀, Chen Lei, Mattausch Hans Juergen	79
RO18154	汎用プロセッサ改良による高速動き検出実行用チップ	深澤 祐樹, 王 宝康, 丹後 嘉浩, 近藤 利夫, 佐々木 敬泰	81
RS65151	誘導結合TCIを持つマイクロプロセッサGCSOTB	小暮 俊輔, 工藤 優, 安田 匠吾, 宇佐美 公良, 奥原 颯, 天野 英晴, 並木 美太郎	84
RS65151	複数のスキャンウィンドウの並列処理と特徴ベクトルの抽出を有する物体認識プロセッサ	An Fengwei, Luo Aiwen, Zhang Xiangyu, Chen Lei, Mattausch Hans Juergen	86
RS65151	スケーラブルデバイスアレイ	栗野 皓光, 吉永 幹, 佐藤 高史	87
RS65151	エネルギー最小点の動的追従を可能にするプロセッサの試作	塩見 準, 石原 亨, 小野寺 秀俊	90
RS65151	Approximate ComputingのためのKey-Value Storeチップ	松谷 宏紀	90

メモリ

ラン名	タイトル	研究者	掲載頁
RO18152	低電力型SFQ/CMOSハイブリッドメモリシステム用64kb RAM	今野 元, 吉川 信行	54
RO18153	耐ソフトエラー性を有するラッチ回路	上野 弘貴, 羽田 伶, 難波 一輝	69
RO18154	3値CAM及びハミング距離検索機能付きCAM	早川 翔, 福原 雅朗	78
RO18154	低電力型SFQ/CMOSハイブリッドメモリシステム用64kb RAM	今野 元, 吉川 信行	78
RS65151	畳み込みニューラルネット演算向け矩形読み出しメモリ	梅木 洋平, 北原 弘登, 森 陽紀, 河本 優太, 奥野 圭祐, 吉本 雅彦, 黒津 弘明, 川口 博	88
RS65151	1kb不揮発性SRAM	周藤 悠介, 山本 修一郎, 菅原 聡	90

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
OS08142	LSIテスト教育のための疑似故障モードを有する4ビットカウンタ回路	池野 理門	36
OS08142	LSIテスト教育のための疑似故障モードを有するATPG実習チップ	池野 理門	36
RO18145	パルス幅メモリ	名倉 徹, 矢野 智彦	39
RO18145	周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用AES暗号回路(1)	浅井 稔也, 吉川 雅弥	39
RO18145	周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用AES暗号回路(2)	浅井 稔也, 吉川 雅弥	39
RO18145	周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャネル攻撃評価用AES暗号回路(1)	浅井 稔也, 吉川 雅弥	40
RO18145	周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャネル攻撃評価用AES暗号回路(2)	浅井 稔也, 吉川 雅弥	40
RO18145	ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用AES暗号回路(1)	浅井 稔也, 吉川 雅弥	40
RO18145	ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用AES暗号回路(2)	浅井 稔也, 吉川 雅弥	41
RO18145	ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用AES暗号回路(3)	浅井 稔也, 吉川 雅弥	41
RO18145	サイドチャネル攻撃評価用AES暗号回路	中井 綱人, 浅川 俊介, 汐崎 充, 藤野 毅	47
RO18153	画像認識向け畳み込み演算回路	大荷 唯明, 廣本 正之, 佐藤 高史	64
RS65151	IEEE 754準拠単精度浮動小数点除算器ほか	越智 裕之, 新納 一樹	85
RS65151	画像認識向け畳み込み演算回路	大荷 唯明, 廣本 正之, 佐藤 高史	87

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
OS08151	LSIテスト教育のための疑似故障モードを有する4ビットカウンタ回路(修正版)	池野 理門	38

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
OS08142	12 GHzのT型クォーター波長伝送線路共振器のテスト構造	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 浅田 邦博	35
OS08142	12 GHzのクォーター波長伝送線路共振器のテスト構造	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 浅田 邦博	35
OS08142	UWBパルス発生器のための12 GHz帯伝送線路共振器	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 浅田 邦博	37
RO18152	広帯域パルスジェネレータ用CMOSトリガー	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 浅田 邦博	51
RO18152	A new microwave pulse generator circuit based on Regenerated Trigger Switch	Mai-Khanh Nguyen Ngoc	51
RO18152	A regenerated-trigger based microwave pulse generator circuit with on-chip dipole antenna	Mai-Khanh Nguyen Ngoc	52
RO18152	無線RFIDセンサーチップ	宇野 重康	55
RO18152	300GHz帯伝送線路評価TEG	國武 寛司, 高野 恭弥, 片山 光亮, 吉田 毅, 天川 修平, 藤島 実	57
RO18153	改善された広帯域パルス発生器用CMOSトリガー	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	61
RO18153	オンチップ40 GHzの広帯域パルス発生器	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	61
RO18153	復号回路	林 等	71
RO18153	包絡線パルス幅変調方式送信機に用いるD級増幅器のバンドパスフィルタ狭帯域化検討用回路	渡邊 邦彦, 榎田 洋太郎, 小澤 佑介	73
RO18153	包絡線パルス幅変調 (EPWM: Envelope Pulse-Width Modulation) 方式送信機に用いるD級増幅器のバンドパスフィルタ狭帯域化検討用TEG	渡邊 邦彦, 榎田 洋太郎, 小澤 佑介	73
RO18153	包絡線パルス幅変調 (EPWM: Envelope Pulse-Width Modulation) 方式送信機に用いるD級増幅器のバンドパスフィルタ狭帯域化検討用TEG	渡邊 邦彦, 榎田 洋太郎, 小澤 佑介	74
RO18154	A CMOS-MEMS hybrid design for microwave pulse generator circuit	Mai-Khanh Nguyen Ngoc	76
RO18154	A CMOS-MEMS hybrid microwave pulse transmitter	Mai-Khanh Nguyen Ngoc	77
RO18154	符号化・復号回路	林 等	82
RS65151	オンチップバランを用いた差動低雑音増幅器の試作	木原 崇雄, 松田 茂郷, 高橋 克樹, 高橋 知也, 吉尾 恒洋	86

その他

ラン名	タイトル	研究者	掲載頁
RO18145	運動視による局所運動検出回路	秋間 学尚, 守谷 哲, 佐藤 茂雄	43
RO18153	各種要素回路の設計	和田 和千, 山下 良満, 鈴木 博俊, 今井 博之, 江川 和穂, 木谷 嘉孝, 大門 佑	69

3. 3 各チップの詳細

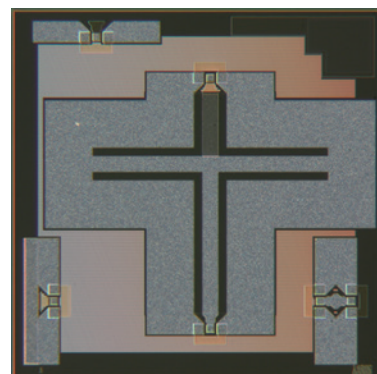
平成26年度オンセミコンダクター—三洋 CMOS 0.8 μ m 試作 (OS08142)

12 GHzのT型クォーター波長伝送線路共振器のテスト構造

東京大学工学系研究科 Kanjanavrojkul Parit

東京大学VDEC Mai-Khanh Nguyen Ngoc, 浅田 邦博

概要：このチップは、UWBパルス発生器のために設計された12GHz帯のT型共振器のテストパターンが含まれている。T型共振器は三つのクォーター波長伝送線路で構成され、中心部のエンドに入力端末とし他の二つのエンドはグラウンドにショートしている。送線は50オームの特性インピーダンスで設計し、第二層金属を用いコプレーナ導波管として設計されている。共振器からエネルギーを抽出するため容量性カップリングを採用されている。T型十文字のところにエンドギャップカプラーで採用している。出力伝送線路は第一層金属で設計している。チップ上ではプロービング用のパッド構造が搭載されている。また同チップにテストパッドを除去するためにショート、オープン、スルーのテストパターンも含まれている。



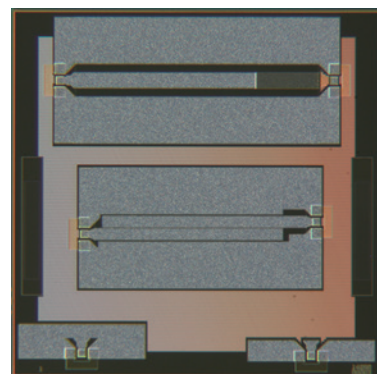
設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS トランジスタ数：～10 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：通信 (RF回路, ATMなど)

12 GHzのクォーター波長伝送線路共振器のテスト構造

東京大学工学系研究科 Kanjanavrojkul Parit

東京大学VDEC Mai-Khanh Nguyen Ngoc, 浅田 邦博

概要：このチップは、UWBパルス発生器のために設計された2つの12GHz帯のクォーター波長共振器のテスト構造が含まれている。伝送線は50オームの特性インピーダンスで設計し、第二層金属を用いコプレーナ導波管として設計されている。共振器からエネルギーを抽出するため容量性カップリングを採用されている。第1の共振器はエンドギャップカプラーで採用している。出力伝送線路は第一層金属で設計しカップリング部はクォーター波長共振器のエンドに重ね合わせてカップリング容量を増加できる。第二の共振器はブロードサイドギャップカプラーで実現している。ブロードサイドであれば容量が高まっているため、一層でも実現できる。また同チップにテストパッドを除去するためのテストパターンも含まれている。



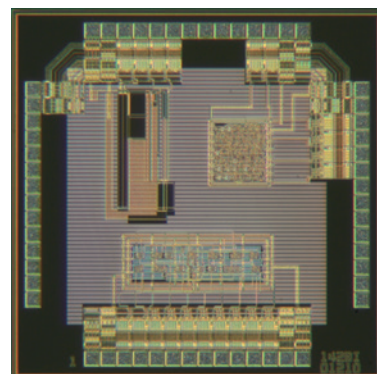
設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Keysight社 ADS トランジスタ数：～10 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：通信 (RF回路, ATMなど)

CMOSデジタル・アナログ回路の試作

東京電機大学工学部 小松 聡

東京電機大学大学院工学研究科 湯本 涼介, 宮澤 悠一, 川島 三明

概要：研究する回路の設計フローを検証するために、試作を行った。試作した回路は、8bitカウンタ回路、4bit時間-デジタル変換器、2段差動増幅器の三点である。8bitカウンタ回路はCMOS 0.8 μ mプロセスにおける、論理合成からLVS、DRCまでの設計フローを検証する目的で試作を行った。本回路の試作によって、CMOSデジタル集積回路設計の設計フローの検証に加え、0.8 μ mプロセス特有の設計に係るノウハウを得ることができた。4bit時間-デジタル変換器は、プロセスばらつきを積極的に活用する確率的手法を用いたTDCである。ばらつきを活用する確率的手法は、極微細プロセスにおける有望な手法である。本試作では、設計方法の単純化とばらつきの導入のためにデジタル設計フローで回路を実現した。2段差動増幅器はアナログ回路のテスト技術研究に向けて、設計、測定の実験として試作したものである。各チップの測定と評価は、今後行う予定である。



参考文献：Satoshi KOMATSU, Takahiro J. YAMAGUCHI, Mohamed ABBAS, Nguyen Ngoc MAI KHANH, James TANDON, Kunihiro ASADA: "A Flash TDC with 2.6–4.2ps Resolution Using a Group of Unbalanced CMOS Arbiters", IEICE TRANSACTIONS ON Fundamentals of Electronics, Communications and Computer Sciences Vol. E97–A No. 3 pp. 777–780

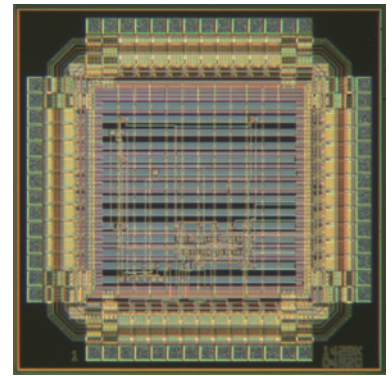
設計期間：0.5人月以上，1人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：10,000～100,000 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナデジ混載

LSIテスト教育のための疑似故障モードを有する4ビットカウンタ回路

東京大学大規模集積システム設計教育研究センター 池野 理門

概要：東京大学VDECでは、VLSIのテストに関する教育の一環として、学部3年生を対象とした実験および大学院学生を対象とした講義と演習を行っている。本チップはこれらのコースに組み込まれたテスターを用いた実習における測定対象チップ（DUT）として使用するために試作したものである。VDECのT2000 LSI テスターの測定ボードとのピン互換性を持つことにより、学生が半導体製造現場で広く利用されているテスター装置を実際に使用して、チップの機能テストや正常動作条件の定量的な測定を行うという経験を積むことができる。本チップは基本的な4ビットカウンタの機能を有する他に、外部制御ピンの状態に応じて3種類の内部故障を模擬的に引き起こすことができる。この機能を利用して、故障チップ検出時の応答や故障内容の推定などの課題も設定が可能となり、より実践的なLSIのテストおよび故障解析の実習が実現できる。

設計期間：0.1人月以上，0.5人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Mentor社 Calibre, Mentor社 ModelSim **トランジスタ数：**100~1,000 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**演算回路（乗算器，除算器など）

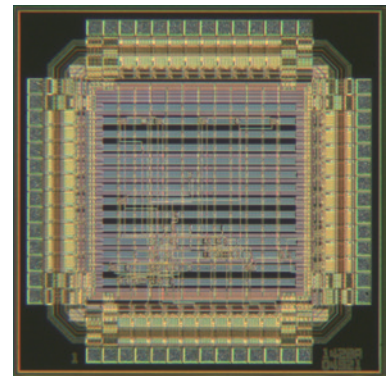


LSIテスト教育のための疑似故障モードを有するATPG実習チップ

東京大学大規模集積システム設計教育研究センター 池野 理門

概要：東京大学VDECでは、VLSIのテストに関する教育の一環として、学部3年生を対象とした実験および大学院学生を対象とした講義と演習を行っている。本チップは主に大学院学生の講義・演習において習得する Automatic Test Pattern Generation（ATPG）技術の演習用として試作された。テストパターン生成手法の評価において広く用いられている IS-CAS85 ベンチマークのうちのC17回路を実装し、VDECのT2000 LSI テスターの測定ボードとのピン互換性を持っている。実習者はまず計算機上のATPGツールあるいは手作業によってスキャンテスト・パターンを作成し、それをテスターに導入することで実際のチップのスキャンテストを行うという経験を積むことができる。さらに本チップは外部制御ピンの状態に応じた4種類の縮退故障を模擬的に引き起こすことができるため、スキャンテストによる故障検出と故障箇所の推定という、より実践に近い演習課題を設定することも可能である。

設計期間：0.1人月以上，0.5人月未満 **設計ツール：**Synopsys社 ICSCompiler, Mentor社 Calibre, Mentor社 ModelSim **トランジスタ数：**100~1,000 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**演算回路（乗算器，除算器など）

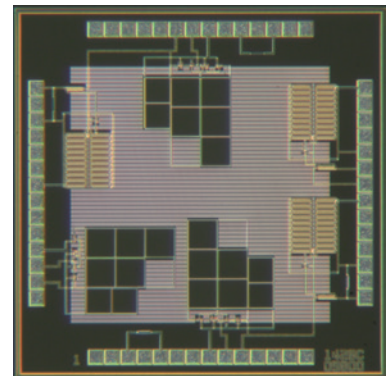


MEMS マイクロロボット用のパルス形ハードウェアニューロンモデル TEGチップ

日本大学理工学部 杉田 和貴, 内木場 文男, 齊藤 健

概要：我々は、ロボットの新たな制御方法として、従来のプログラムによる制御とは異なる、生物の脳が出力するパルス波形を模擬可能なパルス形ハードウェアニューロンモデルを用いた制御について研究を行っている。前回試作したチップにて、パルス形ハードウェアニューロンモデルを試作したが動作しなかった。パルス形ハードウェアニューロンモデルを構成するMOSFET単体のTEGチップの測定により、MOSFETのゲートの接続に用いたVIAおよびコンタクト数が少なく、抵抗が大きくなったため予想した特性が得られなかったと推測した。そこで今回、VIAおよびコンタクト数を増やし設計を行った。その結果、今回試作したパルス形ハードウェアニューロンモデルはパルス波形を出力可能であることを明らかにした。また、ロボットのアクチュエータとの直接接続を考え、多段のカレントミラーを設計した。他段のカレントミラーについても設計通り動作したため、次回の試作にてMEMS マイクロロボットの直接駆動が可能なチップを設計する予定である。

設計期間：0.5人月以上，1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数：**10~100 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**TEG（特性評価回路など）



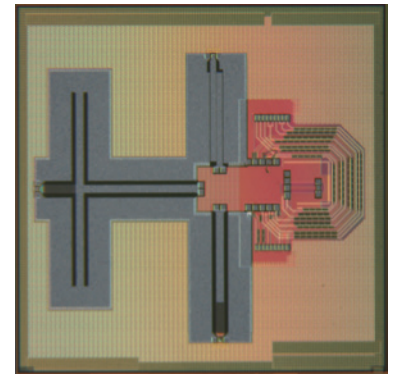
UWBパルス発生器のための12GHz帯伝送線路共振器

東京大学工学系研究科 Kanjanavrojkul Parit

東京大学VDEC Mai-Khanh Nguyen Ngoc, 浅田 邦博

概要：この試験では伝送線路共振器の3種類が設計されている。伝送線は50オームの特性インピーダンスで設計し、第二層金属を用いコプレーナ導波管として設計されている。全ての共振器の設計は12GHz帯で共振される。このチップは、フリップチップボールボンディングによって他180umチップ上のトリガーと統合される。このようにすると大型の受動部品は安価なプロセスに移動され、前進プロセスの領域を節約することができる。この場合は0.8umプロセスに伝送線路を設計し、180umプロセスの領域を節約ことになる。チップ上ではフリップチップ用のパッドと検証プロービング用のパッドが搭載されている。統合パルス発生器は12GHz帯の中心周波数でダンピングパルスを生成するように設計されている。ターゲットアプリケーションは短距離レーダーシステムである。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS **トランジスタ数：**~10 **試作ラン：**オンセミー三洋 CMOS 0.8um 10.0mm角チップ **チップ種別：**通信 (RF回路, ATMなど)



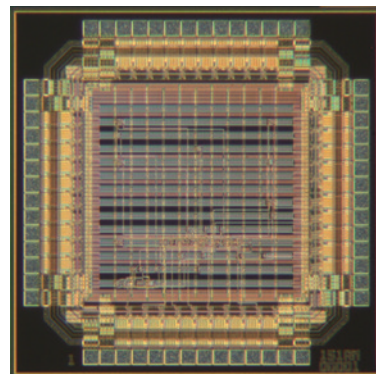
平成27年度オンセミコンダクター—三洋 CMOS 0.8 μ m 試作 (OS08151)

LSIテスト教育のための疑似故障モードを有する4ビットカウンタ回路 (修正版)

東京大学大規模集積システム設計教育研究センター 池野 理門

概要：東京大学VDECでは、VLSIのテストに関する教育の一環として、学部3年生を対象とした実験および大学院学生を対象とした講義と演習を行っている。本チップは、これらのコースに組み込まれたテスターを用いた実習における測定対象チップ (DUT) として以前試作された4ビットカウンタ回路の機能修正版として新たに試作されたものである。VDECのT2000 LSIテスターの測定ボードとのピン互換性を持つことにより、学生が半導体製造現場で広くに利用されているテスター装置を実際に使用して、チップの機能テストや正常動作条件の定量的な測定を行うという経験を積むことができる。本チップでは、基本的な4ビットカウンタの機能に加えて実装された疑似故障を発生する回路機能が当初想定していた仕様を満たしていなかったため、その機能修正が施されている。これにより、故障チップ検出時の応答や故障内容の推定などの課題が正確に行えるようになる。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Synopsys社 IC Compiler, Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS トランジスタ数：100~1,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：演算回路 (乗算器, 除算器など)



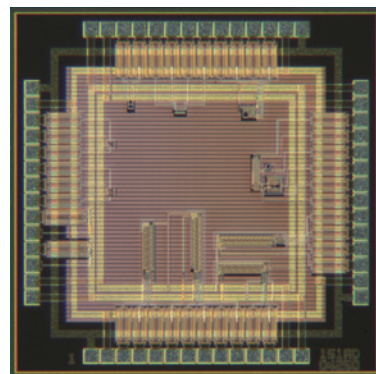
2段オペアンプ

電気通信大学情報理工学部 伊藤 孝幸

電気通信大学情報理工学研究科 範 公可

概要：今回の試作では2段オペアンプと電圧制御発振器 (VCO) の設計を行った。今回は2段オペアンプについて報告する。設計したオペアンプは1段目がPMOS入力の差動増幅回路, 2段目はソース接地増幅回路という, 基本的なオペアンプの構成となっている。特性としては80MHz以上のユニティゲイン周波数となるように設計を行った。本プロセスのMOSトランジスタ単体の特性をシミュレーションしたところ, g_m, g_{ds} が他のプロセスと比較しても決して良い特性ではないことがわかったが, 電源電圧が5Vと高いためドレイン電流が高く, スルーレートの特性が他のプロセスよりも良くなる傾向があることがわかった。試作回路の性能についてシミュレーションでは, ユニティゲイン周波数が95.7MHz, オープンループゲイン周波数は38.9dB, 位相余裕は48.9°, 消費電力は6.59mW, スルーレートは355V/ μ sとなった。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



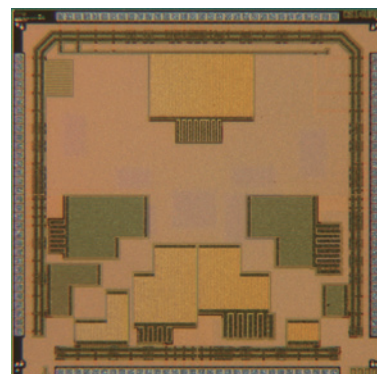
平成26年度第5回ローム CMOS 0.18 μ m 試作 (R018145)

パルス幅メモリ

東京大学 VDEC 名倉 徹
東京大学工学部 矢野 智彦

概要：プロセス技術の進歩とともに、トランジスタのスイッチング速度が向上するのと同時に電源電圧が低下し、アナログ電圧を電圧で表すのではなく、スイッチング時間、すなわちパルス幅で表すほうが SN 比の観点から合理的になってきた。このような時間方向のアナログ演算において、電圧演算のキャパシタに相当する「時間を記憶する回路」が必要となってきた。本研究では、遅延素子をリング状に並べて2つのパルスをリングに走らせることで、2つのパルスの時間差で時間を記憶する回路を構成した。さらに、パルス伝搬をストップ・レジュームする機構を加える事で、一方のパルスをストップしたままもう一方のパルスを走らせることで、時間差を積分する機能を持たせたり、積分値が大きくなりすぎて2つのパルスが衝突・消滅するのを防ぐ衝突防止機構などを持たせた。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路（乗算器，除算器など）

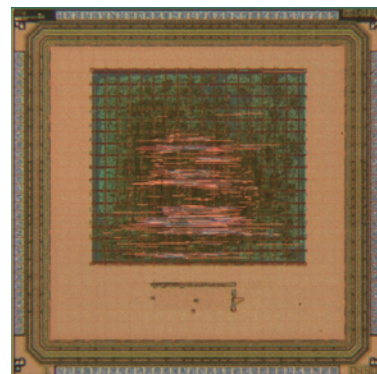


周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用 AES 暗号回路 (1)

名城大学工学部 浅井 稔也, 吉川 雅弥

概要：動作中の暗号回路に対し、消費電流や放射電磁波などの波形、レーザー照射によるデータエラー、などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている。本チップは AES 暗号化/復号コアと内蔵クロック発生器を搭載している。AES コア自体は合成体方式の SubBytes, ループアーキテクチャによる実装であり、特にサイドチャネル漏洩対策を含まない。この AES コアを外部のシステムクロックと独立した内部クロックで駆動させる。内部クロック発生器はリングオシレータであるが、発振周波数をクロック毎に動的に変動させ、離散的なジッターを付加することができる。また、発生させたクロックに対して、LFSR で周期をランダムにしたり、AES のラウンド処理ループでビット間スキューを発生させることができる。これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた。また、本設計はチップ評価のための追加試作である。

設計期間：2 人月以上，3 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Formality トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路（乗算器，除算器など）

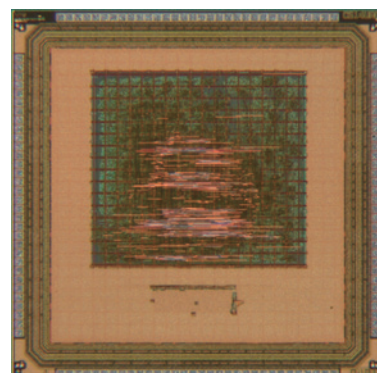


周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用 AES 暗号回路 (2)

名城大学工学部 浅井 稔也, 吉川 雅弥

概要：動作中の暗号回路に対し、消費電流や放射電磁波などの波形、レーザー照射によるデータエラー、などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている。本チップは AES 暗号化/復号コアと内蔵クロック発生器を搭載している。AES コア自体は合成体方式の SubBytes, ループアーキテクチャによる実装であり、特にサイドチャネル漏洩対策を含まない。この AES コアを外部のシステムクロックと独立した内部クロックで駆動させる。内部クロック発生器はリングオシレータであるが、発振周波数をクロック毎に動的に変動させ、離散的なジッターを付加することができる。また、発生させたクロックに対して、LFSR で周期をランダムにしたり、AES のラウンド処理ループでビット間スキューを発生させることができる。これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた。また、本設計は (1) のチップ評価のための追加試作である。

設計期間：2 人月以上，3 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Formality トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路（乗算器，除算器など）

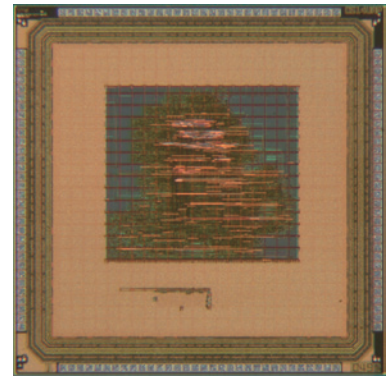


周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャネル攻撃評価用 AES 暗号回路 (1)

名城大学理工学部 浅井 稔也, 吉川 雅弥

概要: 動作中の暗号回路に対し, 消費電流や放射電磁波などの波形, レーザー照射によるデータエラー, などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている. 本チップは AES 暗号化/復号コアと内蔵クロック発生器を搭載している. AES コア自体は合成体方式の SubBytes, ループアーキテクチャによる実装であり, 加えてレーザー照射等によるエラー注入の有無を検出する機構を搭載している. この AES コアを外部のシステムクロックと独立した内部クロックで駆動させる. 内部クロック発生器はリングオシレータであるが, 発振周波数をクロック毎に動的に変動させ, 離散的なジッターを付加することができる. また, 発生させたクロックに対して, さらに LFSR で周期をランダムにさせることができる. これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた. また, 本設計はチップ評価のための追加試作である.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 ModelSim, Synopsys 社 Formality **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

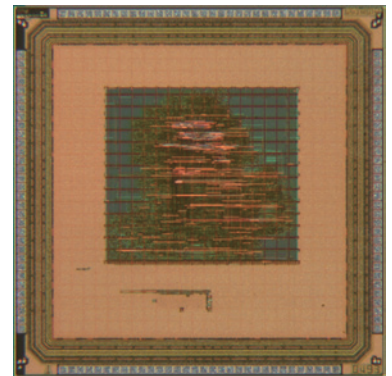


周波数変動を伴う非同期クロックを用いたエラー注入検出機構付サイドチャネル攻撃評価用 AES 暗号回路 (2)

名城大学理工学部 浅井 稔也, 吉川 雅弥

概要: 動作中の暗号回路に対し, 消費電流や放射電磁波などの波形, レーザー照射によるデータエラー, などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている. 本チップは AES 暗号化/復号コアと内蔵クロック発生器を搭載している. AES コア自体は合成体方式の SubBytes, ループアーキテクチャによる実装であり, 加えてレーザー照射等によるエラー注入の有無を検出する機構を搭載している. この AES コアを外部のシステムクロックと独立した内部クロックで駆動させる. 内部クロック発生器はリングオシレータであるが, 発振周波数をクロック毎に動的に変動させ, 離散的なジッターを付加することができる. また, 発生させたクロックに対して, さらに LFSR で周期をランダムにさせることができる. これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた. また, 本設計は (1) のチップ評価のための追加試作である.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 ModelSim, Synopsys 社 Formality **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

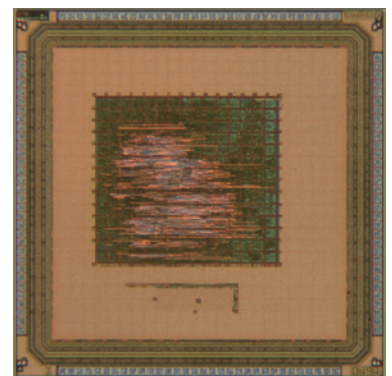


ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用 AES 暗号回路 (1)

名城大学理工学部 浅井 稔也, 吉川 雅弥

概要: 動作中の暗号回路に対し, 消費電流や放射電磁波などの波形, レーザー照射によるデータエラー, などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている. AES は 10 ラウンドで暗号化を行うが, 本チップは, ダミーラウンドを挿入することで, サイドチャネル攻撃における攻撃ポイントを特定させないだけでなく, AES 暗号化/復号コアと内蔵クロック発生器を搭載している. AES コア自体は合成体方式の SubBytes, ループアーキテクチャによる実装であり, 特にサイドチャネル漏洩対策を含まない. この AES コアを外部のシステムクロックと独立した内部クロックで駆動させる. 内部クロック発生器はリングオシレータであるが, 発振周波数をクロック毎に動的に変動させ, 離散的なジッターを付加することができる. また, 発生させたクロックに対して, LFSR で周期をランダムにしたり, AES のラウンド処理ループでビット間スキューを発生させることができる. これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Formality **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

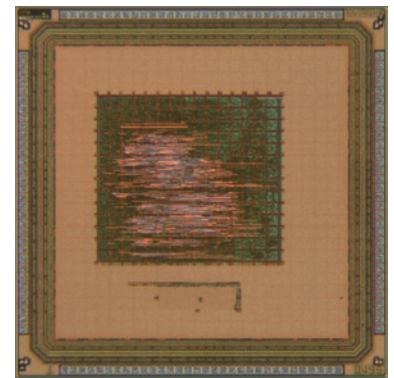


ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用 AES 暗号回路 (2)

名城大学工学部 浅井 稔也, 吉川 雅弥

概要: 動作中の暗号回路に対し, 消費電流や放射電磁波などの波形, レーザー照射によるデータエラー, などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている. AESは10ラウンドで暗号化を行うが, 本チップは, ダミーラウンドを挿入することで, サイドチャネル攻撃における攻撃ポイントを特定させないだけでなく, AES暗号化/復号コアと内蔵クロック発生器を搭載している. AESコア自体は合成体方式のSubBytes, ループアーキテクチャによる実装であり, 特にサイドチャネル漏洩対策を含まない. このAESコアを外部のシステムクロックと独立した内部クロックで駆動させる. 内部クロック発生器はリングオシレータであるが, 発振周波数をクロック毎に動的に変動させ, 離散的なジッターを付加することができる. また, 発生させたクロックに対して, LFSRで周期をランダムにしたり, AESのラウンド処理ループでビット間スキューを発生させることができる. これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた. また, 本設計は (1) のチップ評価のための追加試作である.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Formality **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

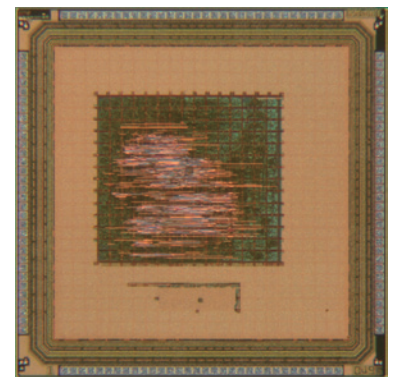


ダミーラウンドを挿入した周波数変動とスキューを伴う非同期クロックを用いたサイドチャネル攻撃評価用 AES 暗号回路 (3)

名城大学工学部 浅井 稔也, 吉川 雅弥

概要: 動作中の暗号回路に対し, 消費電流や放射電磁波などの波形, レーザー照射によるデータエラー, などから秘密鍵を推定するサイドチャネル攻撃の研究が進められている. AESは10ラウンドで暗号化を行うが, 本チップは, ダミーラウンドを挿入することで, サイドチャネル攻撃における攻撃ポイントを特定させないだけでなく, AES暗号化/復号コアと内蔵クロック発生器を搭載している. AESコア自体は合成体方式のSubBytes, ループアーキテクチャによる実装であり, 特にサイドチャネル漏洩対策を含まない. このAESコアを外部のシステムクロックと独立した内部クロックで駆動させる. 内部クロック発生器はリングオシレータであるが, 発振周波数をクロック毎に動的に変動させ, 離散的なジッターを付加することができる. また, 発生させたクロックに対して, LFSRで周期をランダムにしたり, AESのラウンド処理ループでビット間スキューを発生させることができる. これらの時間軸上の攪乱によるサイドチャネル攻撃への影響を評価することができた. また, 本設計は (2) のチップ評価のための追加試作である.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Formality **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



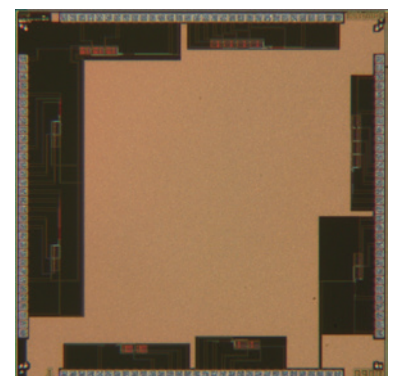
宇宙用 CVSL 回路及び性能比較用 CMOS 回路

静岡理工科大学工学部 中村 文哉, 新村 昇平, 鈴木 雅人, 金子 尚, 小幡 秀和, 波多野 裕

概要: スタティック型 CVSL NAND回路, スタティック型 CVSL NOR回路, スタティック型 CVSL EXOR回路, スタティック型 CVSL 半加算回路, スタティック型 CVSL 全加算回路, クロック型 CVSL NAND回路, クロック型 CVSL NOR回路, クロック型 CVSL 半加算回路, クロック型 CVSL 全加算回路, 複合ゲート CMOS 半加算回路, 複合ゲート CMOS 全加算回路, CMOS 比較回路, Dフリップフロップ CMOS 回路2種類, JKフリップフロップ CMOS 回路2種類を, 2014年度第5回試作では2チップに分けて設計した. チップ1では, スタティック型 CVSL 半加算回路, スタティック型 CVSL 全加算回路, クロック型 CVSL 半加算回路, クロック型 CVSL 全加算回路, 複合ゲート CMOS 半加算回路, 複合ゲート CMOS 全加算回路を設計した. チップ2では, スタティック型 CVSL NAND回路, スタティック型 CVSL NOR回路, スタティック型 CVSL EXOR回路, クロック型 CVSL NAND回路, クロック型 CVSL NOR回路, クロック型 CVSL EXOR回路, CMOS 比較回路, Dフリップフロップ CMOS 回路2種類, JKフリップフロップ CMOS 回路2種類を設計した.

参考文献: H. Hatano, "SET immune spaceborne CVSL and C2VSL circuits", Journal of Electronics and Control Engineering, vol. 3, no. 5, pp. 43-48, 2013.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



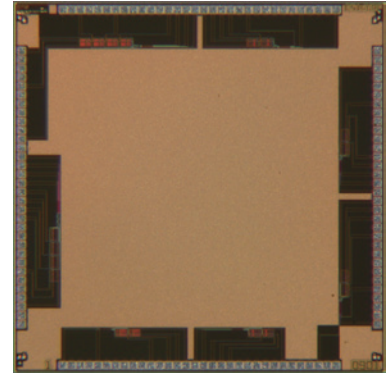
宇宙用 CVSL 回路及び性能比較用 CMOS 回路

静岡理工科大学理工学部 中村 文哉, 新村 昇平, 鈴木 雅人, 金子 尚, 小幡 秀和,
波多野 裕

概要：スタティック型 CVSL NAND 回路, スタティック型 CVSL NOR 回路, スタティック型 CVSL EXOR 回路, スタティック型 CVSL 半加算回路, スタティック型 CVSL 全加算回路, クロック型 CVSL NAND 回路, クロック型 CVSL NOR 回路, クロック型 CVSL 半加算回路, クロック型 CVSL 全加算回路, 複合ゲート CMOS 半加算回路, 複合ゲート CMOS 全加算回路, CMOS 比較回路, D フリップフロップ CMOS 回路 2 種類, JK フリップフロップ CMOS 回路 2 種類を, 2014 年度第 5 回試作では 2 チップに分けて設計した。チップ 1 では, スタティック型 CVSL 半加算回路, スタティック型 CVSL 全加算回路, クロック型 CVSL 半加算回路, クロック型 CVSL 全加算回路, 複合ゲート CMOS 半加算回路, 複合ゲート CMOS 全加算回路を設計した。チップ 2 では, スタティック型 CVSL NAND 回路, スタティック型 CVSL NOR 回路, スタティック型 CVSL EXOR 回路, クロック型 CVSL NAND 回路, クロック型 CVSL NOR 回路, クロック型 CVSL EXOR 回路, CMOS 比較回路, D フリップフロップ CMOS 回路 2 種類, JK フリップフロップ CMOS 回路 2 種類を設計した。

参考文献：H. Hatano, "SET immune spaceborne CVSL and C2VSL circuits", Journal of Electronics and Control Engineering, vol. 3, no. 5, pp. 43-48, 2013.

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Dracula, Synopsys 社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

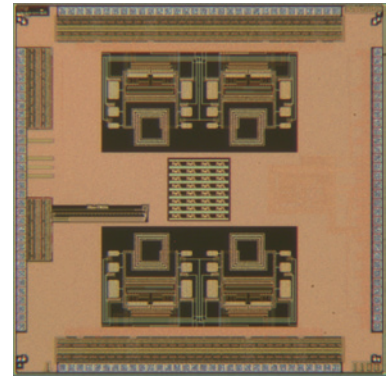


ラジカルセンサ, 多値 ReRAM 回路 TEG, イメージセンサ要素回路 TEG

金沢大学集積回路工学研究室 北川 章夫
金沢大学医薬保健学域 中山 和也

概要：ラジカルセンサ：電子スピン共鳴法 (ESR) を新規に再構築したパラメトリック ESR の測定手法を用いたラジカルセンサのフロントエンド回路を試作した。主要回路が, 900MHz-1100MHz LC-VCO とカウンタから構成される完全な電子式ケミカルセンサであり, VCO を構成するオンチップ-インダクタ上に導入したサンプル中の微量フリーラジカルの ESR スペクトラムを得ることができる。実験の結果, 約 $1e15$ 分子の DPPH (2,2-diphenyl-1-picrylhydrazyl) および TEMPOL (1-Oxyl-2,2,6,6-tetramethyl-4-hydroxypiperidine) のスペクトラムを 10 秒間の測定で得ることができた。多値 ReRAMREG 回路 TEG: ReRAM や相変化メモリに多値記録を行うときに, 書き込んだ値の Verify を行うステップが必要となる。書き込みステップと同時に Verify を行い, Verify 処理を短縮する回路を提案し, この回路の動作確認をするための TEG を試作した。現在評価中である。

設計期間：0.1 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE (RF) トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：ニューテクノロジー

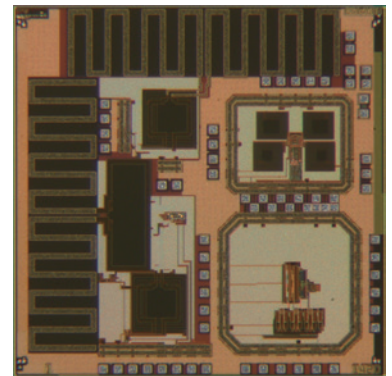


フラッシュ型 ADC, 擬似乱数発生回路, 送受信回路の試作

芝浦工業大学工学部 佐々木 昌浩
芝浦工業大学大学院理工学研究科 石井 雅樹, 山崎 浩平, 森 直之

概要：本試作では, 3 種類の回路を実装している。1 つ目は 6bit フラッシュ型 ADC の試作である。この回路は, コンパレータ部, プリアンプ部, エンコーダ部や CLK 生成部によって構成されており, 高速・低消費電力動作を実現するためにコンパレータ部やプリアンプ部の改良を行っている。2 つ目はデータレート 10Gbps の擬似乱数 (PRBS) 発生回路の試作である。本回路では線形帰還シフトレジスタ (LFSR) を並列化させ, マルチプレクサを用いてまとめることで高速化を図っている。また, 10Gbps の高速動作に対応した LVDS ドライバを搭載することで, 50 Ω 系の測定に対応させている。3 つ目として, チップ間通信を目的としたオンチップアンテナを含む Xバンドの送受信回路の試作を行った。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載

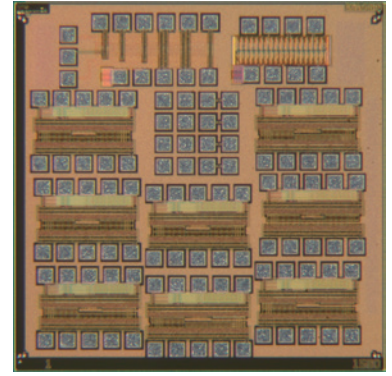


トランジスタ特性評価回路

東京大学生産技術研究所 井口 俊太, 濱松 昌宗, 山内 善高, 高宮 真, 桜井 貴康

概要：シミュレーション用トランジスタモデルの精度を評価するために単体トランジスタや簡単なロジック回路を設計した。特に、無線回路の設計において非常に重要な設計パラメータであるフリッカノイズモデルの精度に関する評価を行い、設計で用いるトランジスタモデルの検証及び修正を行った。複数サンプルの測定結果を用いてフィッティングを行った結果、強反転領域においてシミュレーション結果と実測結果がほぼ一致していることを確認した。また、本試作及び評価によって得られたモデルパラメータを用いて水晶発振回路の位相ノイズシミュレーションを行い、シミュレーション結果と測定結果がほぼ一致していることを確認し、抽出したモデルパラメータの有意性を確認した。今後は、本試作で得られた結果をもとに、新たな無線回路アーキテクチャを提案し、実証していく予定である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



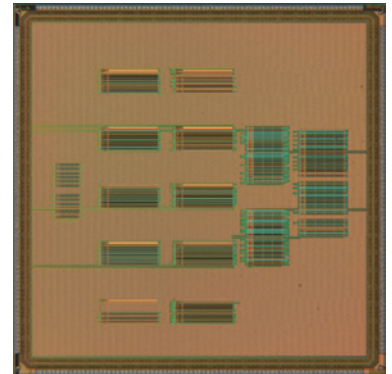
運動視による局所運動検出回路

東北大学電気通信研究所 秋間 学尚, 守谷 哲, 佐藤 茂雄

概要：物の動きや空間的位置関係を把握する空間認識は、自律歩行ロボットや自動運転車を実現する上で重要である。空間認識には奥行き手がかりが必要で、単眼で得られる運動視差を利用した手法として運動立体視(運動視)がある。本試作では、川上・岡本によって提案された運動視の神経回路網モデルに基づき、時間差のある画像から得られる運動視差を利用することで、Hough変換・時空間相関・逆Hough変換により画像中の局所領域の運動方向ベクトルを検出する局所運動検出回路を試作した。階層的な神経細胞の応答強度をSRAMに保存し、神経細胞間の結線を結線テーブルによる仮想配線方式で実現した。また、2次元DoGフィルタの1次元スケルトンフィルタによる置換、及び時空間相関における積の乗算的演算による置換により、ハードウェアリソースを削減した。そして、ダブルバッファリングとパイプライン処理により、スループット70fpsを実現した。

参考文献：秋間 学尚, 佐藤 茂雄, “運動視により局所運動を検出する神経回路網モデルのLSI化”, 日本神経回路学会誌, Vol. 22, No. 4, pp. 152-161, 2015.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICompiler, Mentor社 Calibre トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：その他

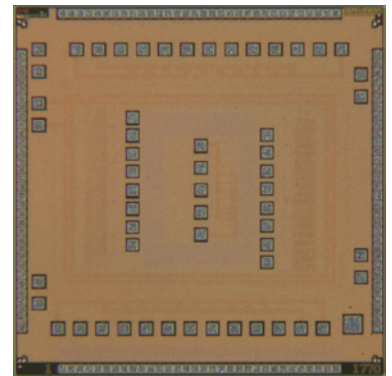


低電力型SFQ/CMOSハイブリッドメモリシステム用64kb RAM

横浜国立大学工学部 今野 元, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子(SFQ)論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはシステムに新たに導入したツリー型デコーダ、及び21個のセルフバイアス型差動増幅器(アンプ)が実装されている。目的は従来のCMOSメモリより消費電力を下げる、またツリー型デコーダの動作を実証することである。測定を行った結果、正常動作を得ることができなかった。原因はアンプ部の電源線及びGNDの配線ミスである。これによりツリー型デコーダへノイズが流入し、正常に動作することができなかった。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載



DC/DCコンバータのスイッチとなるパワーMOSFETとサイクリックA/D変換器

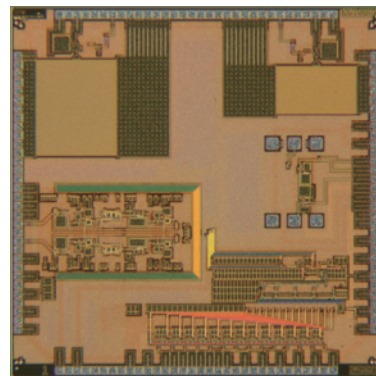
中央大学理工学部 杉本 泰博, 森川 逸太

中央大学大学院理工学研究科 金子 成悟, 桐生 健人, 落合 洋夫, 彦坂 慎吾

概要: 近年, ワイヤレス電力伝送システムはICカードなどに代表されるように実用化が進んでいる. この伝送システムの構成は高周波電源回路, 空間伝送部, 整流負荷回路からなる. 一般的に空間伝送部の検討を行う際には負荷を線形負荷として扱う場合が多いが, 実際には負荷となる回路を動作させるためには交流電圧を直流電圧に変換するためのDC/DCコンバータが必要不可欠となる. そこで今回の試作ではDC/DCコンバータのスイッチとなるパワーMOSFETおよびバッファを試作した. 近年, 汎用性の高いA/D変換器として逐次比型(SAR) A/D変換器が多く用いられている. しかし, その構成上13bit以上の高い精度を実現することは難しいとされている. そこで我々の研究室では14bit精度を実現するA/D変換器として, スイッチトキャパシタの原理を用いたサイクリックA/D変換器を提案する. このA/D変換器の信号処理には, 信号をデジタル値に変換し残差を二倍して次のサイクルへ伝達するビットブロック回路が利用される. 以上のようなビットブロック回路を用いたサイクリックA/D変換器を試作した.

参考文献: U. Chilakapati and T. Fiez, "Settling time design consideration for SC integrators," Proc. ISCAS, May 1998 1, 492-495, 1998

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



電力計算回路と高周波における電流源のHiZ回路とオンチップインダクタによる高周波VCO回路

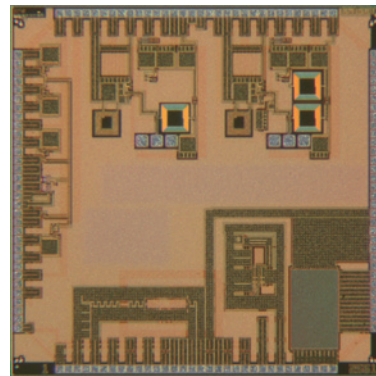
中央大学理工学部 杉本 泰博

中央大学大学院理工学研究科 小館 直人, 薬師寺 祐介, 坂東 和馬, 安倍 幹雄

概要: 太陽電池のMPPT制御を従来のデジタル回路による制御方式と比較して, アナログ回路のみで実現し, 省スペース化を目指す. 本試作では, MPPT制御の一部である入力電圧と入力電流を計算出来る電力計算回路全てを搭載し, 後段の電力比較回路までのアナログ部の回路を搭載した. 本試作により, アナログ回路構成による電力計算回路を完成させ, MPPT制御システム全体の完成を目指してゆく. 大容量高速データ伝送の実現のためには, ノイズ低減とスキュー改善が不可欠である. 以前の試作チップではカスコード電流源の試作を行った. 本試作では, 電流源の高出力インピーダンスを実現する回路を共振法を用いた測定方法で高出力インピーダンスの電流源の測定を行い, 精度の確認を行うため試作した. 電波利用の狭帯域化のため, 位相雑音の小さい局部発振器の実現を目指す. 本試作では高周波VCOで用いるLC共振回路において, オンチップインダクタを回路技術のみでQ値を向上させる回路構成で試作した. Q値を高めることで共振回路の位相雑音を低減させ, 高周波VCOの実現を目指す.

参考文献: [1] Ali Hajimiri, Thomas H. Lee "Phase Noise in CMOS Differential LC Oscillators" Symposium on VLSI Circuits Digest of Technical Papers, 1998

設計期間: 8人月以上, 9人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

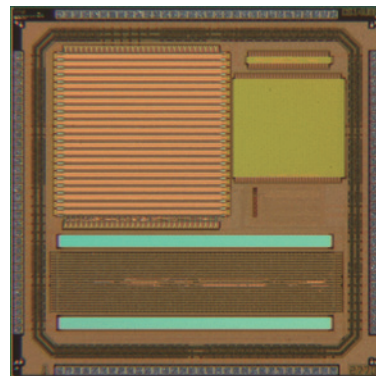


デバイス劣化のオンチップ測定

京都大学情報学研究科 栗野 皓光, 吉永 幹, 佐藤 高史

概要: デバイス特性の経年劣化等, 集積回路の経時的な特性変動の把握が重要な課題となっている. 測定に基づいたモデル化を行い, 設計により劣化を防止すること, およびセンサ等により実行時に劣化を検出した補償すること, 等が求められるようになってきている. 本試作では, デバイス特性の劣化を高速, 高忠実に測定することをめざし, チップ上にデバイス特性(しきい値)測定回路を実装している. アナログ-デジタル変換回路をチップ上に設けることにより, チップ外部に接続される測定装置等の負荷による測定精度の劣化を防止し, 高速な応答を観測できる. デバイス特性の経時的変動を, マイクロ秒から数百秒の広い時間範囲にわたって高精度かつ連続的に測定することが可能となる.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 Design-Compiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

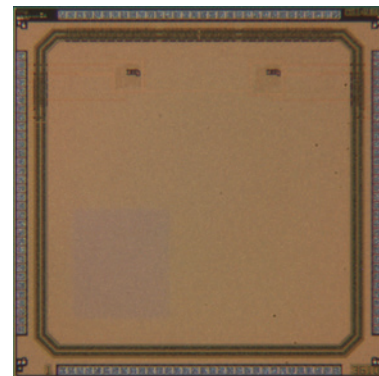


電流制御型 Time analog to digital conveter の試作

横浜国立大学工学府 林 賢志, 有富 雅人, 足立 武彦

概要：Time-to-Digital Converter (TDC) の1つとしてリングディレイライン (RDL) を用いた Time Analog to Digital Converter (TAD) がある。TAD はサンプリング周期間に、RDL を周回するパルス数をカウンタとラッチで計数し出力する。RDL を周回するパルスの遅延時間は入力電圧により変化するため、入力の AD 変換値が得られる。TAD は RDL, エンコーダ, ラッチ, カウンタ, 減算器等により構成される。本試作では、低消費電力化を目的として RDL に電流制御型 RDL を採用した。RDL はインバータ 64 段により構成し、カウンタは 5 ビット, 減算器は 13 ビットである。前回の試作結果を元にレイアウトを見直し、回路面積 $255\mu\text{m}\times 255\mu\text{m}$ を実現した。試作チップの A/D 変換特性を測定した所、電源電圧 1.8V, 入力電圧 1.4V~1.6V, サンプリング周波数 1MHz で、感度 0.8mV/LSB, 積分非直線性 $\pm 0.3\%$ が得られた。出力の実測値はシミュレーション値より約 9% 低い値であったが、入出力特性の実測値はシミュレーション値の傾向とよく一致した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



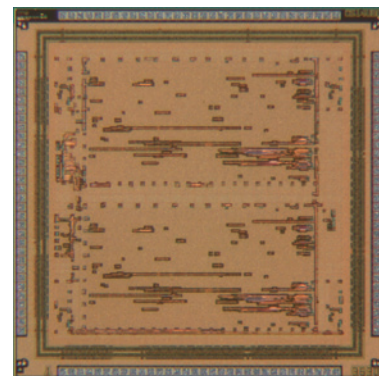
テスト電力制御の評価用 TEG チップ

九州工業大学大学院情報工学研究院 宮瀬 紘平, 佐藤 康夫, 梶原 誠司

九州工業大学大学院情報工学府 加藤 隆明, 三宅 庸資

概要：テスト容易化回路において、テスト時のスキャンベースの論理 BIST の電力制御とチップ内部の温度電圧測定の研究を行っている。今回の TEG には以下の論理機能を搭載し評価を行う。(1) テスト時の電力制御可能な DFT 回路の実装とテスト時の電力測定：TEG 外部からテスト電力制御を可能としスキャンインとスキャンアウトのテスト電力を制御、実行時の電源電流をテスト等で測定、テスト電力を制御することで TEG の電流も線形に変化することを評価する。(2) 温度・電圧モニタを搭載とテスト時の温度・電圧の測定：リングオシレータをベースに当研究グループで提案した回路を搭載し、論理 BIST のテスト電力によって変化する遅延値(周波数)を測定・評価する。

設計期間：4 人月以上, 5 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 Design-Compiler, Synopsys 社 ICSCompiler, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



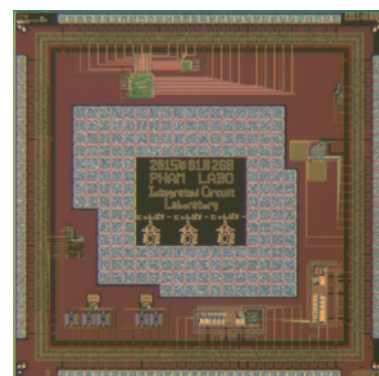
周波数分解能の高い DCO を用いた All-Digital PLL

電気通信大学情報理工学部 荒井 溪太

電気通信大学情報理工学研究科 範 公可, 石橋 孝一郎

概要：今回の試作では、All-Digital PLL (ADPLL), DPLL, FSK 送受信回路, リング発振回路の設計を行った。今回は ADPLL について報告する。従来の PLL は受動素子を含んでいたが、試作回路ではそれらを用いることなく、すべて論理ゲートで設計を行った。試作回路は大きく 4 つのブロックに分けることができる。位相比較器は DFF と組み合わせ回路で構成されており、基準信号と分周器からのフィードバック信号のエッジの立ち上がり立ち下がり両方の時間差を検出する。位相比較器からの信号は、3 種類のカウンタを持つコントローラに入力される。その信号に応じて各カウンタがカウント数を増減させることで、デジタル制御発振回路 (DCO) の発振周波数を制御してロックアップを行う。DCO はループ長が可変のリングオシレータで、並列接続した複数のトライステートインバータの EN を制御することで配線にかかる容量が変化する特性を用いて周波数分解能を向上させた。分周器は分周比 N を 6bit の信号 n によって $N=2(n+1)$ と選択できるようにした。試作回路の性能としては、発振周波数範囲は 567.5~721.5MHz, DCO の周波数分解能の平均値は 4.32ps, ロックアップタイムは約 10us であった。今後は、この試作を参考に発振周波数範囲やロックアップタイムの改善を行いたい。

設計期間：1 人月以上, 2 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：アナデジ混載



レーザー照射によるフォールト攻撃の検証用 TEG チップ

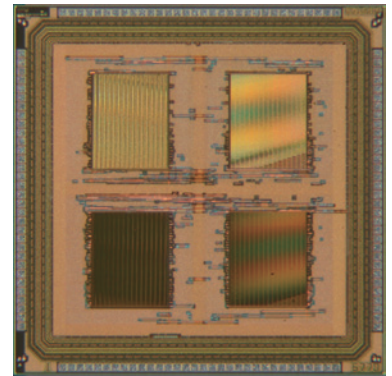
立命館大学理工学研究科 中野 将司, 浅川 俊介

立命館大学総合科学技術研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: 暗号回路を搭載した LSI において、レーザー照射によるフォールト攻撃によって暗号鍵情報が窃取される危険性が指摘されている。本試作チップではレーザーフォールト攻撃の基礎実験として、インバータ回路やフリップフロップ回路へのレーザー照射の影響を調べるための TEG を実装した。加えて、メタルシールドのパターンによるレーザー照射の影響を調査する目的で、4 種類数のダミーメタルパターンを設計して TEG 回路上に搭載した。本試作チップを用いたレーザー照射実験を行い、レーザー照射によりフリップフロップが保持しているデータをビットフリップさせることができることを確認した。また、ダミーメタルによってフリップフロップが完全に覆われているとビットフリップが起こらないことも確認した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSIM **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



レーザー照射によるフォールト攻撃の検証用 TEG チップ (2)

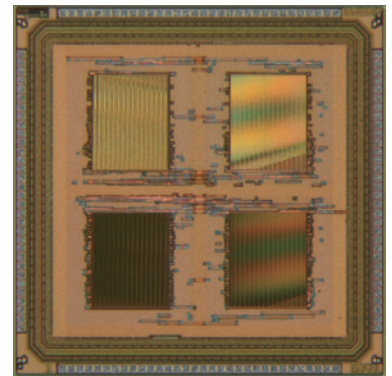
立命館大学理工学研究科 中野 将司, 浅川 俊介

立命館大学総合科学技術研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: 暗号回路を搭載した LSI において、レーザー照射によるフォールト攻撃によって暗号鍵情報が窃取される危険性が指摘されている。本試作チップではレーザーフォールト攻撃の基礎実験として、インバータ回路やフリップフロップ回路へのレーザー照射の影響を調べるための TEG を実装した。加えて、メタルシールドのパターンによるレーザー照射の影響を調査する目的で、4 種類数のダミーメタルパターンを設計して TEG 回路上に搭載した。本試作チップを用いたレーザー照射実験を行い、レーザー照射によりフリップフロップが保持しているデータをビットフリップさせることができることを確認した。また、ダミーメタルによってフリップフロップが完全に覆われているとビットフリップが起こらないことも確認した。本試作チップは「レーザー照射によるフォールト攻撃の検証用 TEG チップ」の追加試作である。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSIM **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用 TEG チップ

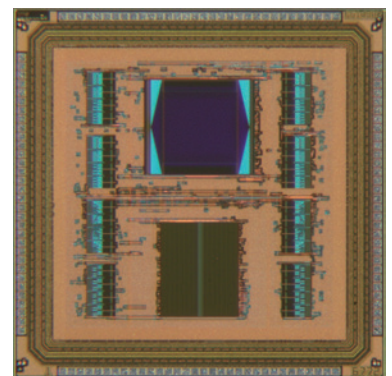
立命館大学理工学研究科 中井 網人, 浅川 俊介

立命館大学総合科学技術研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: 暗号回路を搭載した LSI において、消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。消費電力と漏洩電磁波との間には相関があり電力解析攻撃の対策が電磁波解析攻撃においても有効であると考えられてきたが、漏洩電磁波によるリーク要因には消費電力とは異なるものが含まれていることが指摘されはじめた。しかしながら、電磁波解析攻撃のリーク要因が何か、どの程度脅威と成り得るのか実験的には明らかとなっていない。本試作チップには、漏洩電磁波のリーク要因を調べるための TEG 回路を搭載した。実測により論理ゲート単体における電流経路リーク、D 型フリップフロップが保持する 0/1 の情報に起因するリークが確認できた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用 TEG チップ (2)

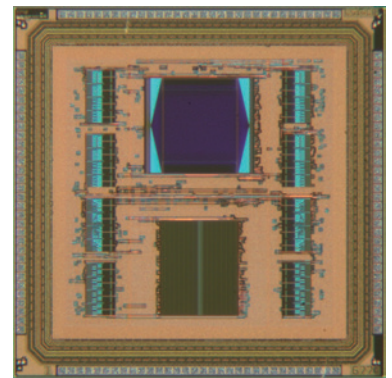
立命館大学理工学研究科 中井 綱人, 浅川 俊介

立命館大学総合科学技術研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: 暗号回路を搭載した LSI において, 消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。消費電力と漏洩電磁波との間には相関があり電力解析攻撃の対策が電磁波解析攻撃においても有効であると考えられてきたが, 漏洩電磁波によるリーク要因には消費電力とは異なるものが含まれていることが指摘されはじめた。しかしながら, 電磁波解析攻撃のリーク要因が何か, どの程度脅威と成り得るのか実験的には明らかとなっていない。本試作チップには, 漏洩電磁波のリーク要因を調べるための TEG 回路を搭載した。実測により論理ゲート単体における電流経路リーク, D 型フリップフロップが保持する 0/1 の情報に起因するリークが確認できた。本試作チップは「漏洩電磁波を用いたサイドチャネル攻撃のリーク要因検証用 TEG チップ」の追加試作である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



サイドチャネル攻撃評価用 AES 暗号回路

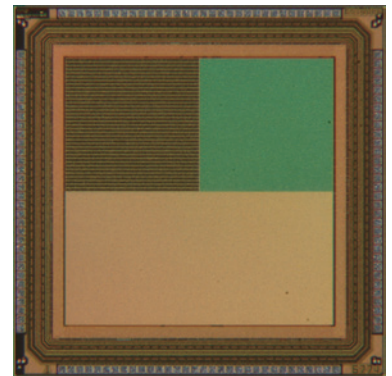
立命館大学理工学研究科 中井 綱人, 浅川 俊介

立命館大学総合科学技術研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: IC カードに代表される暗号回路を搭載した LSI において, 消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。何の対策も施さず設計された暗号回路は, 動作時における内部ノードの論理値と消費電力の間に相関があるため, 消費電力波形を多数収集し, 差分電力解析 DPA (Differential Power Analysis) および相関電力解析 CPA (Correlation Power Analysis) を行うことで, 秘密鍵を特定することができる。本試作チップは, 電力・電磁波解析攻撃やフォールト攻撃実験なども含めた新たな攻撃評価を行うために 3 種類の未対策 AES 暗号回路と 1 種類の対策が施された AES 暗号回路を搭載した。3 種類の未対策 AES 暗号回路は, 合成体方式 SBox を実装したもの, 32bit 単位で処理を行うことで小面積化を図った合成体方式 S-Box とテーブル方式 S-Box を実装したものである。対策が施された AES 暗号回路は, サイドチャネル攻撃対策 RSM (Rotating S-Boxes Masking) 方式を実装した。本試作チップは昨年度の試作チップの追加試作である。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



サイドチャネル攻撃対策と侵襲攻撃対策を両立する暗号回路

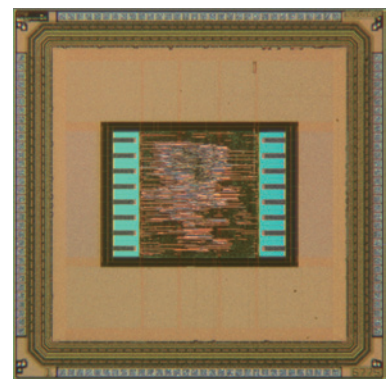
立命館大学理工学研究科 竹内 章浩, 西村 隆志, 浅川 俊介

立命館大学総合科学技術研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: IC カードなどの暗号デバイスにおいて, サイドチャネル攻撃や侵襲攻撃によって秘密情報が窃取される危険性が指摘されている。我々はサイドチャネル攻撃対策として MDR-ROM 方式を提案し, これに統合可能な PUF についても提案してきた。本試作チップでは, 両技術と誤り訂正技術及び鍵生成技術を統合した。これにより, 電力解析や電磁波解析といったサイドチャネル攻撃には MDR-ROM で対策し, 侵襲攻撃に対しては PUF を用いてチップ固有の鍵を生成し, 秘密鍵に暗号処理を施して扱うことで, 不揮発性メモリに格納された秘密鍵を直接読み出すような侵襲攻撃に対策することができる。実測によりサイドチャネル攻撃の耐性と, PUF レスポンスからチップ固有鍵が生成できることを確認した。本試作チップは昨年度の試作チップの追加試作である。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSIM **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



オンチップキャパシタ付きサイドチャネル攻撃評価用 AES 暗号回路

立命館大学理工学研究科 山田 康平

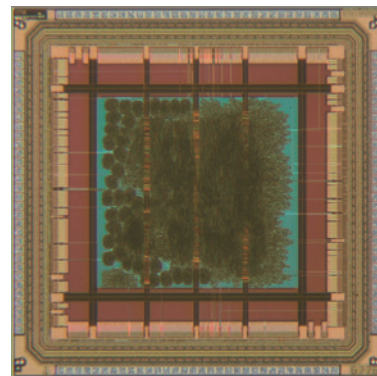
立命館大学総合科学技術研究機構 久保田 貴也, 汐崎 充

立命館大学理工学部 藤野 毅

概要: ICカードに代表される暗号回路を搭載したLSIにおいて、消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。何の対策も施さず設計された暗号回路は、動作時における内部ノードの論理値と消費電力の間に相関があるため、消費電力波形を多数収集し、差分電力解析および相関電力解析を行うことで、秘密鍵を特定することができる。本試作チップは、電力・電磁波解析攻撃やフォールト攻撃実験なども含めた新たな攻撃評価を行うために3種類の未対策AES暗号回路と1種類の対策が施されたAES暗号回路を搭載した。3種類の未対策AES暗号回路は、合成体方式SBoxを実装したもの、32bit単位で処理を行うことで小面積化を図った合成体方式S-Boxとテーブル方式S-Boxを実装したものである。対策が施されたAES暗号回路は、サイドチャネル攻撃対策RSM (Rotating S-Boxes Masking) 方式を実装した。また、オンチップキャパシタの影響を比較調査する目的でMOSキャパシタも実装した。

参考文献: 山田, 久保田, 汐崎, 藤野, "サイドチャネル攻撃における脆弱性評価指標と攻撃可能波形数の関係に対する考察", LSIとシステムのワークショップ2016

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



オンチップキャパシタ付きサイドチャネル攻撃評価用 AES 暗号回路 (2)

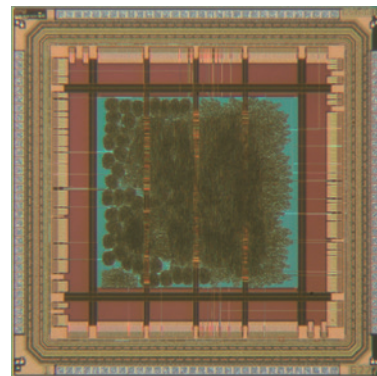
立命館大学理工学研究科 山田 康平

立命館大学総合科学技術研究機構 久保田 貴也, 汐崎 充

立命館大学理工学部 藤野 毅

概要: ICカードに代表される暗号回路を搭載したLSIにおいて、消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。何の対策も施さず設計された暗号回路は、動作時における内部ノードの論理値と消費電力の間に相関があるため、消費電力波形を多数収集し、差分電力解析および相関電力解析を行うことで、秘密鍵を特定することができる。本試作チップは、電力・電磁波解析攻撃やフォールト攻撃実験なども含めた新たな攻撃評価を行うために3種類の未対策AES暗号回路と1種類の対策が施されたAES暗号回路を搭載した。3種類の未対策AES暗号回路は、合成体方式SBoxを実装したもの、32bit単位で処理を行うことで小面積化を図った合成体方式S-Boxとテーブル方式S-Boxを実装したものである。対策が施されたAES暗号回路は、サイドチャネル攻撃対策RSM方式を実装した。また、オンチップキャパシタの影響を比較調査する目的でMOSキャパシタも実装した。本試作は「オンチップキャパシタ付きサイドチャネル攻撃評価用AES暗号回路」の追加試作である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



赤外線アレイセンサの間欠動作制御と人物検知演算を行うコントローラ

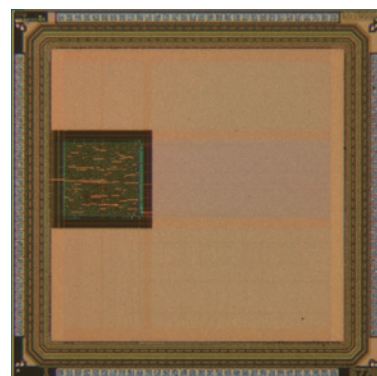
立命館大学理工学研究科 人見 達郎

立命館大学総合科学技術研究機構 白畑 正芳

立命館大学理工学部 藤野 毅

概要: IoT時代の高度情報化社会では情報収集にセンサノードが利用されている。センサノードは、センサ本体、記憶媒体、無線通信モジュール、制御MCU及び電池等で構成される。センサノードは、あらゆる場所に設置可能であることが望ましく、超小型かつ限られた電力源での長時間動作が求められる。しかし画像情報を取得するイメージセンサ搭載のセンサノード実用化に対し、小型電池による稼働時間が短いという課題がある。そこで低消費電力な赤外線アレイセンサにより人物有無を判定し、撮影必要時のみイメージセンサを起動する間欠動作により消費電力削減を実現する。間欠動作時は赤外線アレイセンサ制御と人物検知演算を行うMCU電力がセンサノード全体の半分以上を占め、センサ制御機構の改良が、さらなる電力削減に効果的である。本試作の目的は、MCUと同等の赤外線アレイセンサ制御と人物検知演算を行うデジタルハードウェア回路の消費電力を測定し、ソフトウェアによるMCU制御との比較を行い、電力削減効果を検証することである。試作チップ評価より、シミュレーション見積りより46 μ W (全消費電力の約1%)に対し、実測68 μ Wとなり、全消費電力に占めるデジタル制御部の割合が2%以下になる電力削減効果を確認した。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



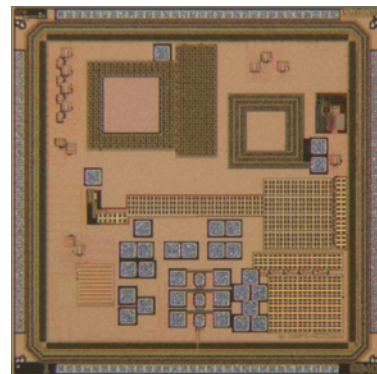
0.18 μ m CMOS プロセスを用いたパッチクランプ測定システム用デジタル回路

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学理工学研究科 四ツ田 大樹, 久保 勝弘, 高坂 太郎

概要: 現在, 電気生理学の分野において神経細胞によるイオン電流を測定することが盛んに行われている. この神経信号を測定することで神経疾患の治療に貢献するだけでなく, プレインマシンインタフェース技術と呼ばれる, 脳と機械間の双方向通信技術の応用にも期待されている. 我々はこのイオン電流を測定する手法の1つであるパッチクランプ法のためのLSIシステムの設計を行っている. 従来のベンチトップシステムでは, 同時に測定できるイオン電流は限られてしまうが, オンチップ上に多チャンネル化することで, 多くの細胞の挙動を調べることができる. 今回のチップには, パッチクランプシステムを多チャンネルにするために使用するシリアルパラレルコンバータや, レベルシフタ, マルチプレクサを設計した.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 QRC, Cadence 社 Spectre, Keysight 社 ADS **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

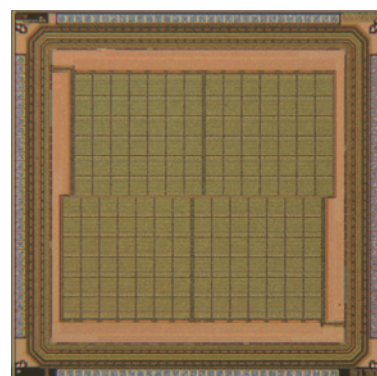


抵抗素子及び MOSFET の信頼性評価用アレイ TEG

関西大学システム理工学部 佐藤 伸吾

概要: CMOS 製造プロセスで作成する抵抗素子や MOSFET の電気特性・信頼性特性取得のため, 電氣的ストレスを印加可能なアレイ TEG を開発・設計した. 評価パターン (DUT) として CONT 数や Via 数変更により抵抗値を調整した CONT チェーン, Via チェーン, Poly 抵抗やチャンネル長, チャンネル幅を調整した MOSFET を搭載し, アレイ TEG の動作確認と電気特性評価を実施中. アレイ TEG 内と共通レイアウトの DUT をチップ内に配置し, 周辺回路の動作検証を兼ねて抵抗値やトランジスタ相関データ取得しアレイ TEG の動作検証を行う. 動作検証後はアレイ TEG 内 MOSFET の面積依存性検証, 周辺回路起因の測定精度変動検証, 電氣的ストレス印加による素子信頼性等を評価する予定. 試作プロセスは Rohm 社 0.18 μ m CMOS 製造プロセス. チップは 1 名で設計. 試作に使用した設計, 検証ツールは IC6.1, spectre, Calibre. 試作に要した日数は約 1.5 人月. トランジスタ数は 64k 程度. チップ径は 2.5mm \square .

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Cadence 社 UltraSim, Synopsys 社 StarRC (XT) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



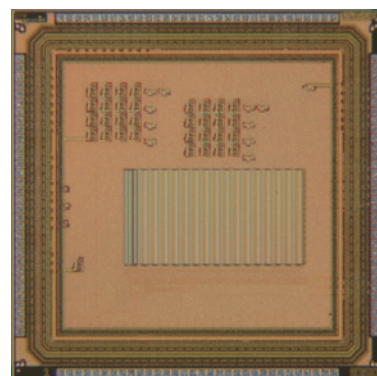
Quaternary FPGA Designs with Floating Gate Technology

北陸先端科学技術大学院大学セキュリティ・ネットワーク領域 張 任遠, 金子 峰雄

概要: This chip was built for verifying the behavior of our proposed quaternary processors including: inverters, flip-flops, look-up tables, and FPGAs, by using standard CMOS technology and ordinary dual-rail of power supply lines. Employing the floating gate technology, a set of inverters with arbitrary threshold voltages are introduced as basic logic gates. Thanks to the multi-threshold inverters, an SRAM architecture is proposed for storing quaternary information. The structure of quaternary memory is a pair of cross-coupled inverters mimicking the binary flip-flop prototype. Compared to some previously proposed works, our proposed SRAM needs no any special devices (such as single-electron transistor) and no additional supply voltage. A look-up table based on Neuron-MOS inverters are designed for function addressing, in which the multiplexer stages are less than traditional binary fashion. A proof-of-concept circuitry for quaternary FPGA with four-by-four configurations is demonstrated. The experiment was made to verify three toy-examples: quaternary maximum, minimum, and a random defined function. From simulation results, the proposed FPGA achieves all the test functions correctly. The scale of this FPGA can be expanded by implementing our proposed two-dimensional quaternary addressing framework with the reduced cost. However, the response speed of proposed quaternary processors are lower than that of ordinary binary ones.

参考文献: R. Zhang, and M. Kaneko, "A Feasibility Study of Quaternary FPGA Designs by Implementing Neuron-MOS Mechanism", IEEE Int. Symp. Circ. s and Syst. s, (ISCAS), Lisbon, Portugal, May 24-27, pp. 942-945. 2015.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



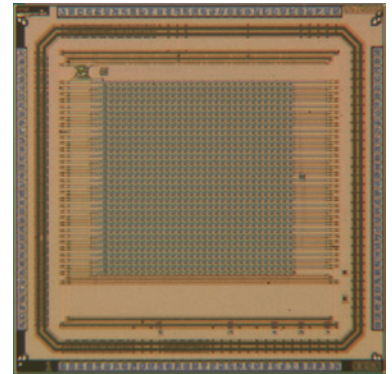
31x31 単一光子アバランシェダイオードアレイセンサー

東京大学工学系研究科 楊 驍

東京大学 VDEC 朱 弘博, 名倉 徹, 飯塚 哲也, 浅田 邦博

概要: 本試作ではダイナミック出力時間を持つ 31x31 単一光子アバランシェダイオード (SPAD) アレイセンサーの設計を行った。すべてのピクセル情報を読み出すのではなく、ブレイクダウンが行ったピクセルのアドレスのみを出力する。また、行パラレル出力手法を用いて、出力時間が一行にブレイクダウンが行ったピクセルの最大数と比例している。そして、各ピクセルに 1 ビットのメモリを付けて、計測と出力が同時に行っている。ダーク状態では、ブレイクダウンを発生したピクセルの数が極めて少ないので、出力時間はセンサーの露光時間より短くて、パイプライン型出力を用いるために、連続観測が可能となる。実際の測定結果より、短時間の弱いレーザーパルスをキャプチャできることが確認した。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



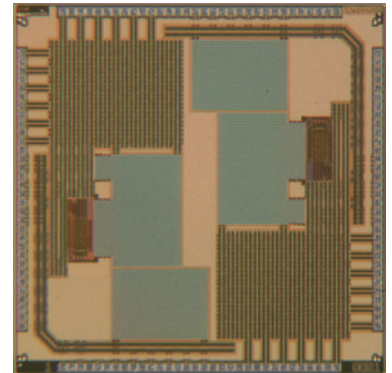
高分解能パルス縮小型時間-デジタル変換器

東京大学 VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 古賀 丈尚

概要: 本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDC の線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



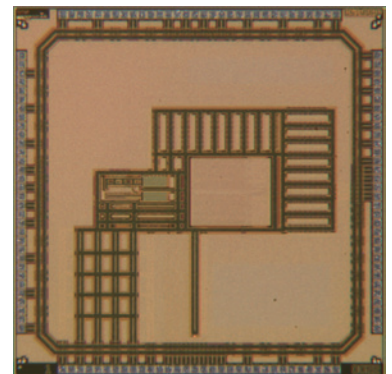
電源ノイズ検出器及び動的電荷注入ノイズ低減回路

東京大学工学系研究科 鹿野 真弘

東京大学 VDEC 名倉 徹, 浅田 邦博

概要: 近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とする。よってこの面積コストを低減するために、これら電源ノイズをオンチップで検知し動的に電荷を注入する回路を設計した。動的な電荷注入によってノイズを低減するためには、ノイズの発生から電荷注入までの時間を短くすることが肝要であるため、電圧降下を遅延時間の差として取り出すための DLL と遅延時間差をデジタルサーモメータに変換する Vernier TDC の 2 つを組み合わせ、発生したノイズを 1 入力クロック分の遅延で出力できる回路を設計した。この Vernier TDC の出力を元に、MOS キャパシタから電荷を注入し、電源電圧ドロップを改善する。MOS キャパシタの容量は 12pF であり合計 8 つ使い、さらにバレルシフトによってキャパシタの再利用を可能としている。シミュレーションでは、提案手法により約 30% のノイズ低減がなされており、従来のパッシブデキャップと比較して約 20 倍の面積効果を示している。このシミュレーション結果を実証するためのテストチップである。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



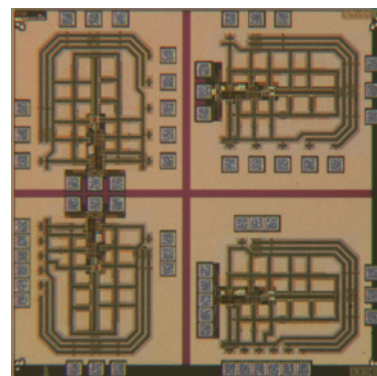
広帯域パルスジェネレータ用 CMOS トリガー

東京大学工学系研究科 Kanjanavrojkul Parit

東京大学 VDEC Mai-Khanh Nguyen Ngoc, 浅田 邦博

概要：この CMOS トリガーはオフチップのパッシブ共振器との統合により、広帯域パルス生成のために設計されている。チップを基板に統合するためフリップチップボールボンディングで行う。基板はシリコンがガラス上で二つの選択肢がある。このチップはトリガーの立ち上がりエッジの遅延を制御するために正確な遅延制御部が構成されている。カレントミラー回路を用いアナログで遅延を制御する方法である。トリガーの遅延が代わりにより、出力パルスの位置も設定できる。それに伴いパルス位置変調ができることにもなる。また含まれている不均衡インバータによって設計エッジ鮮鋭化遅延線も含まれている。トリガの立ち上がり時間が早くなると出力パルスの周波数が上昇できる。チップ上にはフルイプチップ用の回路とパッドに加えて検証用のプロービング回路・パッドも搭載している。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**通信 (RF 回路, ATM など)



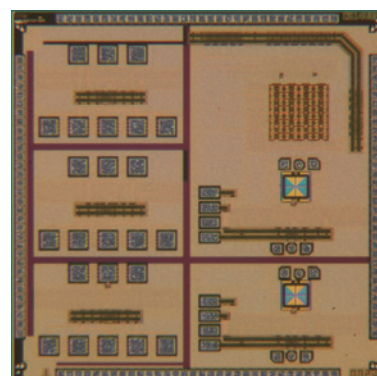
A new microwave pulse generator circuit based on Regenerated Trigger Switch

東京大学 VDEC Mai-Khanh Nguyen Ngoc

概要：The development of wideband wireless sensor networks has been a tremendous interest in low-power and low-cost applications ranging from communications and habitat monitoring to medical applications. Wireless sensor networks require several important technical features for designers including reliability, low power consumption, and low cost. In a low power wireless sensor network, the power consumption of transmitters is of significant interest for both their active time and idle periods. As a result, they suffer several inefficiencies that lead to high power consumption and limited operational lifetimes. Previous microwave pulse generation circuits generated pulses by employing inverter chains or sharpening edge schemes which required a large amount of power and die areas. Pulse generator is a key circuit component for mm-wave pulse transmitters. To generate a microwave damping pulse, a notch filter transient response is employed in but the pulse output is not so symmetric. In addition, the method needs a fast switch and sine wave generator, which require relatively high power consumption. An inductor-less method requires a relatively small chip area but also uses a complex digital edge combiner and requires a large MOS antenna driver. Several methods employ unbalanced inverter chains to enhance clock's rising-edge for the purpose of pulse generation and those require a large amount of power and die areas. However, these pulse sharpeners depend on multiple logic gates as well as the edge delay and hence suffer from process. In this implementation, we proposed a new pulse generator by applying our regeneration method, which consists of simple transistors and small chip area. The output of the pulse generator is coupled to a transformer and a dipole antenna, which are integrated on the same chip. Other testing circuits for the transformer and the antenna are also included for the de-embedded process on the probe station. Another stand alone pulse generator is included with in/out pads for the post-processing MEMS procedures. By applying this idea into the chip, the pulse generator requires less power and less die area than the conventional ones while can produce microwave pulses for the purpose of radar sensing applications. The prototype has been integrated on a standard 0.18- μ m CMOS technology to characterize its operation. By applying this idea, our pulse generator consumes lower stand-by power and smallest chip area than the conventional ones while it can produce high frequency and high amplitude pulses for a variety of applications such as active mm-wave imaging, communication, or medical diagnosis imaging supports.

参考文献：Nguyen Ngoc Mai-Khanh, Tetsuya IIZUKA, and Kunihiro ASADA, "A Damping Pulse Generator Based on Regenerated Trigger Switch," in Proc. of IEEE Radio Frequency Integrated Circuit Symp. (RFIC), pp. 11-14, May 2016.

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**通信 (RF 回路, ATM など)



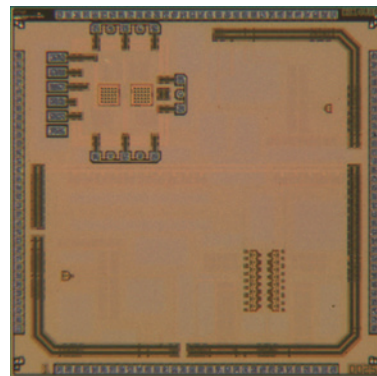
A regenerated-trigger based microwave pulse generator circuit with on-chip dipole antenna

東京大学 VDEC Mai-Khanh Nguyen Ngoc

概要： Nowadays, wireless sensor networks require several important technical features for designers including reliability, low power consumption, and also low cost. The power consumption of transmitters in such a wide band and low power wireless sensor network is of significant interest for both their active time and idle periods. As a result of this, they may suffer several inefficiencies that lead to high power consumption and limited operational lifetimes. Together with the chip of pulse generator (PC514V BN152R0024) which is applied the idea of a new pulse generator with lower stand-by power and smallest chip area than the conventional ones but can produce high frequency and high amplitude output pulses, we implement the second chip of PC514V BN152R0025 for the purpose of testing several patterns for the pulse generation. The testing circuits include variations on the switch sizes and on-chip capacitors of the pulse generation.

An on probe testing pulse generator is also added on this chip. To output the pulse to external equipment for observation, an on-chip transformer is used and connected to the on-chip capacitor at the output. The transformer is on the top metal (M5) for the secondary coil and on the below metal (M4) layer for the primary coil. Each coil has been designed in just one turn. A simulation for the transformer is implemented by both ADS and EMPro tools. In addition, a extra stand alone transformer pattern is added on the same chip for characterizing on the probe station. A corresponding de-embedded step will be applied for this measurement with on-chip patterns of open, short, through and load. A stand alone pulse generator is included with in/out pads for the purpose of flipping on an on-glass radiator. Moreover, another stand alone pulse generator circuit with a on-chip dipole antenna is designed and added in this chip. The on-chip dipole here is proposed with a meandering shape to reduce the size and to increase its operation band width. Simulations of this meandering dipole antenna is performed by using EM simulators, such as ADS EM and EMPro. If the pulse generator works correctly in the measreumtn, the pulse generator achieves the smallest chip area with low power consumption at highest pulse center frequency among other research groups. In a real application in which the pulse generator is connected to an external antenna, a matching network should be designed to satisfy the impedance matching or voltage standing wave ratio requirement.

設計期間： 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Cadence 社 ASSURA, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数：** 10~100 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** 通信 (RF 回路, ATM など)



電氣的ストレスの統計的評価のための SRAM DMA TEG

東京大学生産技術研究所 小林 正治, 平本 俊郎

概要： SRAM メモリセルに与えられる電源電圧を仕様よりも高くして印加することで, システムティックにセル内のトランジスタに電氣的ストレスが印加することができ, SRAM メモリの安定性を示すノイズマージンもシステムティックに変動することが知られている. この特性を利用することで SRAM に不揮発な記憶をもたせることができ, 従来の CMOS 回路にローコストで不揮発性を実装できる可能性がある. 本研究では電氣的ストレスによる SRAM の特性の変動とばらつきを個々のトランジスタを測定しながら統計的に評価をするための DMA TEG をロームの 180nm CMOS プロセスを用いて試作した. DMA TEG とは, SRAM セルの各トランジスタの特性を測定できるよう, SRAM の各ノードから電極を引き出し, 直接プローブできるように設計した TEG である. 有意な統計データを得るため, 1 チップに全部で 4 水準, 1 水準あたり 8kbit, チップ全体で 32kbit の SRAM DMA TEG を設計した.

設計期間： 3 人月以上, 4 人月未満 **設計ツール：** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT) **トランジスタ数：** 1,000~10,000 **試作ラン：** ローム CMOS 0.18 μ m 5.0mmx7.5mm チップ **チップ種別：** TEG (特性評価回路など)



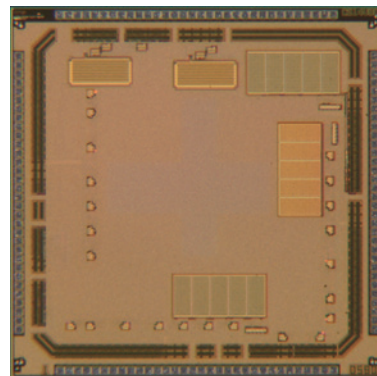
胎児の心拍測定用増幅回路の試作

山梨大学工学部 佐藤 隆英

概要： 胎児の心電信号を母体の表面で計測する胎児の心電信号測定装置のアナログフロントエンドの試作を行った. 母体の体表で観測される信号は, 胎児の心電信号に加えて母体の心電信号や筋電信号, 商用電源からの外来性の雑音などが重畳された信号であるため, 胎児の心電信号は他の信号の埋もれた状態となる. この観測信号から胎児の心電信号を分離抽出するため, 本装置ではコンピュータ上で独立成分分析を行う. 独立成分分析による信号の分離を行うためには, 測定点に含まれる不要な信号の個数よりも多くの測定点で測定した信号が必要となるため, アナログフロントエンドは多入力であればならない. また, 増幅回路は直流付近の 1/f 雑音を除去しつつ, 数十 Hz 程度の生体信号のみを取り出すバンドパス特性とするため, アナログフロントエンドのチップ面積は非常に大きなサイズとなる. 本試作では, アナログフロントエンドにおいて信号のチャンネル間に干渉が存在しても独立成分分析による最終的な信号の分離結果は影響を受けない特長を活かし, 回路の一部を複数のチャンネルで共有化することで回路規模および消費電力の削減を実現した構成としている.

参考文献： 佐藤, 遠藤, 兼本, "独立成分分析を用いた胎児の心電信号測定に適する小面積・低消費電力多チャンネル増幅回路", 電気学会論文誌 C, vol. 136, no.1, pp50-59, 2016 年 1 月

設計期間： 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：** 100~1,000 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** アナログ/デジタル信号処理プロセッサ



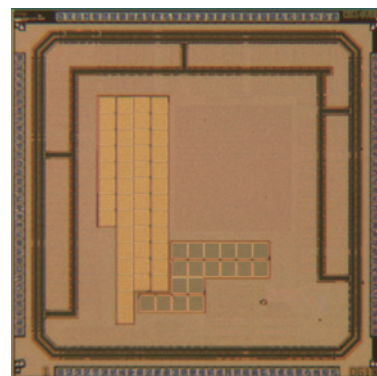
半導体分配器 Ver. 3

中部大学全学共通教育部 宮本 順一

概要：自然界には電力変換可能なエネルギー源が各種存在する。太陽光が代表的ではあるが、その他にも排熱、振動、電波などがあり、その変換素子としては、それぞれ太陽電池、熱電素子、圧電素子、レクテナなどがあげられる。但し、それら自然界のエネルギー源は薄く広く存在し、個々の変換素子についても一般には起電力が1V以下と低く、効率的な回収は不可能であった。ここに半導体技術を適用することにより、この効率的な回収を可能とする方法を考案した。「半導体分配器」と命名した本LSIは、このNo.3のリファイン版である。エネルギー変換デバイスとして色素増感太陽電池を用いて、フィールド実験を実施した結果を一部フィードバックしている。また、今後の機能拡張のための種々のTEG、例えば、起動回路（発振器、昇圧回路）、最適動作点を得るための参照電位トラッキング回路（AD_DA変換器、加算器、乗算回路、メモリ）などの基本回路も搭載されている。

参考文献：J. Miyamoto, et. al., "Field Test of Dye-Sensitized Solar Cells (DSSC) by utilizing a Power Delivery CMOS Integrated Circuits", Extended Abstracts of the 2015 International Conference on Solid State Devices and Materials, Sapporo, 2015, pp530-531,

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)



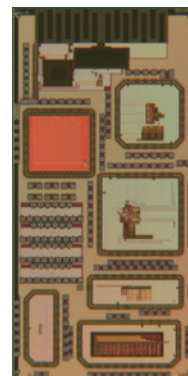
ADC, DAC, フェーズインターポレーター, オンチップ温度センサ及びレシーバー回路の試作

芝浦工業大学工学部 佐々木 昌浩, 黒部 友朗

芝浦工業大学大学院理工学研究科 森 直之, 石井 雅樹, 園田 哲也, 白杵 明広,
手代木 翔太, 三宅 慶治

概要：本試作では、7種類の回路を実装している。1つ目は6bitフラッシュ型ADCの試作である。以前も試作したが、高速化を実現するため、コンパレータ部に改良を行っている。2つ目はフェーズインターポレーターの試作である。この回路では1本のCLKから64種類の異なる位相の出力を得られるように設計を行った。3つ目は選択可能な熱源を組み込んだオンチップ温度分布測定回路の試作である。4つ目はグリッチ低減を実現するよう電流源を構成した8bitセグメント型DAC、5つ目は精度向上を図りつつ、小型化を行った10bit容量型DACの試作である。6つ目はサブレンジング型ADCの試作である。この回路では、高速・低消費電力動作を実現するために、コンパレータ部やプリアンプ部の改良を行っている。また、7つ目としてオンチップアンテナを含むXバンドレシーバー回路の試作を行った。

設計期間：7人月以上, 8人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別：**アナデジ混載

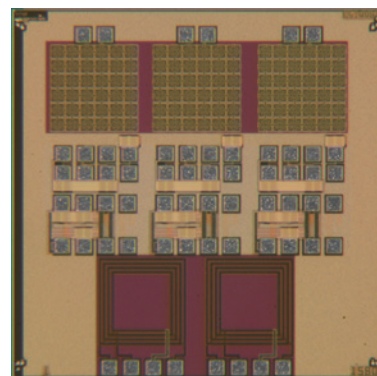


パワーデバイス近傍の放射ノイズ測定TEG

東京大学生産技術研究所 朴 志焄, 蔡 定勲, 高橋 亮, 高宮 真, 桜井 貴康

概要：パワーデバイスのスイッチング・ロスやノイズを抑え、より高度な制御を実現するために、ゲートドライバICの設計開発を行っている。ゲートドライバICをパワーデバイス近傍に近づけた際に、パワーデバイスから発生される放射ノイズ（磁界および電界）がゲートドライバICの動作に及ぼす影響を定量的に評価するために、コイル及び平行平板上に発生する電圧の最大値を連続型コンパレータで測定するTEGを試作した。従来、ゲートドライバの信号の絶縁にはフォトカプラを用いることが多いが、信号の伝播が低速であるため、オンチップでのインダクタンス結合もしくはキャパシタンス結合による信号の絶縁を検討している。本試作では、これら2つの結合方式を用いた場合におけるパルス信号の伝搬特性および各配線層間における絶縁耐圧も併せて評価する。また、アナログIC設計フローについての新人研修を目的として、コンパレータ単体を試作した。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

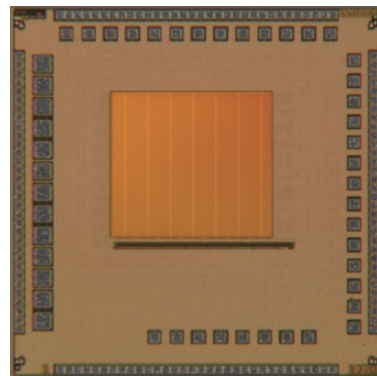


低電力型 SFQ/CMOS ハイブリッドメモリシステム用 64kb RAM

横浜国立大学工学府 今野 元, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として高速性, 低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが, 駆動力や集積度が低いという欠点があり, SFQ 回路単体での大規模回路作製は困難である。そこで高速性, 低消費電力性に優れた SFQ 論理回路による演算回路と集積性に優れた CMOS 回路によるメモリを組み合わせる事によって高速読み出し, かつ低消費電力が可能な SFQ/CMOS ハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した 8T-SRAM セルで構成されるメモリアレイ (容量 64-kb), デコーダ, 及び 21 個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的は SFQ 入力, SFQ 出力のハイブリッドメモリの全チャンネル動作を実証することである。測定を行った結果, 実装した 21 チャンネル中 15 チャンネルにて正常動作が得られた。だが, アンプの駆動可能な電源電圧が 1.8 V より低い 1.5 V でないと駆動できない結果が得られている。

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ

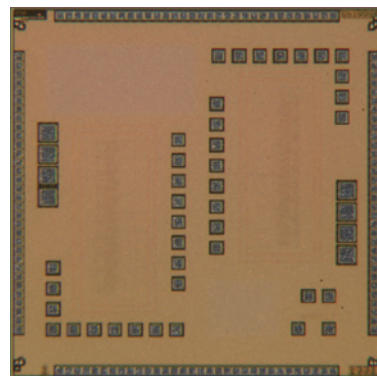


低電力型 SFQ/CMOS ハイブリッドメモリ用 ツリーデコーダ

横浜国立大学工学府 今野 元, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として高速性, 低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが, 駆動力や集積度が低いという欠点があり, SFQ 回路単体での大規模回路作製は困難である。そこで高速性, 低消費電力性に優れた SFQ 論理回路による演算回路と集積性に優れた CMOS 回路によるメモリを組み合わせる事によって高速読み出し, かつ低消費電力が可能な SFQ/CMOS ハイブリッドメモリシステムを提案している。このチップにはシステムに新たに導入したツリー型デコーダが実装されている。目的は従来の CMOS メモリの消費電力を下げる, またツリー型デコーダの動作実証である。測定を行った結果, 全アドレスより正常動作を得ることに成功した。ただし, 動作周波数は 10 MHz 程度までしか正常動作を得ることができなかった。

設計期間: 0.1 人月以上, 0.5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

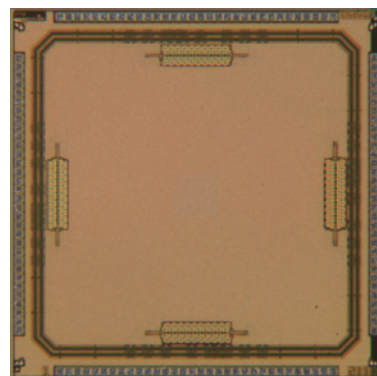


二足歩行用ハードウェア CPG モデルの試作

日本大学理工学部 二瓶 乃亮, 佐伯 勝敏

概要: 近年, 二足歩行ロボットに CPG モデルを搭載して適応的な歩行パターンを生成する研究が行われている。動物は, 脊髄に存在するとされる CPG (Central Pattern Generator) で歩行・遊泳・飛行といったリズム運動の生成・制御を行っており, さらに脳などの上位中枢からの入力を受け, 環境に適したリズム運動の生成・調整を行う。CPG の機能をロボットに工学的に応用することで自律的に環境に適した歩行動作を行わせることができると考えられている。先に我々は, 介在細胞集団と呼ばれる神経回路間の接続を回路構成に応用することにより, 低容量でもロボットの歩行制御に適した数 [Hz] 程度の周波数でリズムパターンを生成することが可能である CPG の電子回路モデルを提案した。しかし, 提案したモデルは運動パターンの位相情報しか有していない。そこで我々は, 二足ロボットの歩行制御を目的とし, 運動パターンの振幅情報を有した二足歩行用ハードウェア CPG モデルの集積化を行った。その結果, 二足歩行の位相情報および振幅情報を有したリズムパターンを生成可能なハードウェア CPG モデルを集積化可能であることを明らかにし, 二足ロボットに搭載し, 歩行動作することを確認した。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

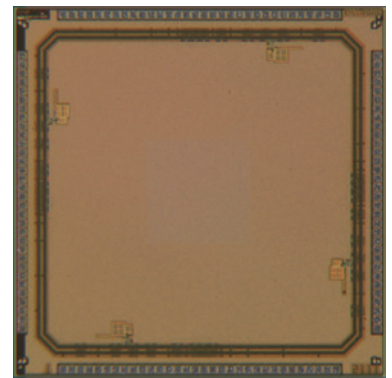


スパイクタイミングと発振周波数に依存するシナプスモデルの構築

日本大学理工学部 杉戸 俊樹, 山下 大地, 佐伯 勝敏

概要: 現在, 脳の優れた情報処理を工学的に応用するために, 脳を構成しているニューラルネットワークの研究が盛んである. 中でも, シナプスの前段に結合している細胞体 (以下, 細胞体 PRE) と後段に結合している細胞体 (以下, 細胞体 POST) の発振タイミング, 発振順序とシナプスの発振周波数に依存して, 増強と抑制を変化させる Triplet STDP (以下, TSTDP) が注目されている. 今回, 我々は生理学データを基に報告された数理モデルの TSTDP 特性を再現可能な電子回路モデルを提案し, 多値画像のパターン認識における色の濃淡識別へ応用するために, 集積化を行った. 特に今回, 従来モデルでは, 周波数が高い場合, 増強が起こるタイミングで, 抑制が起こっている部分があり, 生理学データの TSTDP 特性とは異なる部分があったため, 生理学データを基に報告された数理モデルの TSTDP 特性と定性的に同様な特性を出力可能な電子回路モデルを構築した.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

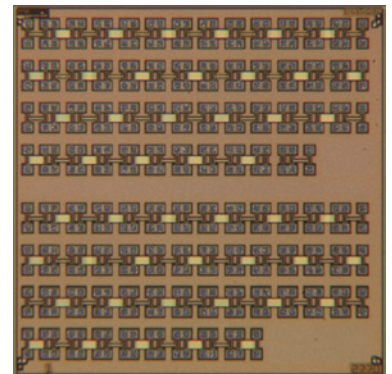


デバイスパラメータ抽出用トランジスタ TEG

京都大学大学院情報学研究所 新谷 道広, 周 瑞, 廣本 正之, 佐藤 高史

概要: デバイスパラメータの抽出は, デバイス特性を回路シミュレータ上で模擬するコンパクトモデルを有効に利用するために重要な工程の 1 つである. レイアウトに依存する様々なデバイスパラメータを抽出するためには, トランジスタ寸法が既知であるデバイスを用いる必要がある. 本チップでは, デバイスパラメータ抽出の手続きを定義し, またそれを自動化することを目的として, 静特性, および容量特性を測定可能な様々な寸法のトランジスタを設計した. 測定した電気特性から, 様々な電気特性の寸法依存性をモデル化すること, およびレイアウト寸法に依存するパラメータを正確に求める手法を検討する. 現在, 試作チップの測定に基づくパワー-MOSFET 向けコンパクトモデルのデバイスパラメータ抽出の手続きをまとめている. 本チップによる測定結果を活用して, 短時間でのパラメータ抽出を行うための自動パラメータ設定ツールを開発する予定である.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Mentor 社 Calibre **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

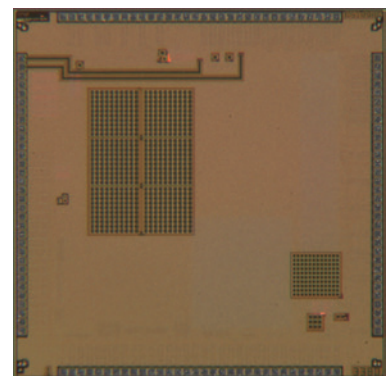


無線 RFID センサーチップ

立命館大学理工学部 宇野 重康

概要: 環境発電し, 溶液中成分のセンシングを行い, データ送信を行うセンサータグチップに必要な基本回路を設計した. 一つは 13.56MHz での磁場結合を用いた RFID タグのための回路であり, 整流昇圧回路, 直流電源回路, クロック発生回路, デルタシグマ変調回路, 電気化学的電流測定のためのポテンショスタット回路などを搭載した. もう一つは数 MHz の超音波を用いて同様の機能を実現するための回路群であり, 上記 RFID 基本回路に加えて, チップ外部に接続した圧電素子を介して給電および負荷変調を行うための回路を追加した. また, 溶液中グルコースにより発電するバイオ燃料電池からの起電力を用いて駆動するサブスレッショルド回路を搭載した. これは, 基準電圧生成回路, コンパレータ, インバータなどによって構成され, グルコース濃度に応じた動作周期での間欠動作を行うものである. 以上のような三種類の回路を混載し, センサーネットワークノードとなりうるタグチップの基本的な機能を検証した.

設計期間: 10 人月以上 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



能動/受動併用ダイナミック共通ソース積分器を用いた $\Delta\Sigma$ 変調器 (1)

上智大学理工学部 小原 一馬, 和保 孝夫

概要: 逐次近似型等と比較して $\Delta\Sigma$ 型は高分解能 A/D 変換が可能である。しかし、通常の $\Delta\Sigma$ 変調器ではループフィルタにオペアンプが使われており、低消費電力化が課題であった。我々はこれまでにオペアンプの代わりにダイナミック共通ソース (DCS) 積分器を用いた $\Delta\Sigma$ 変調器を試作してきた。DCS 積分器では積分動作が終了すると MOSFET が自動的にサブシュレッシュホールド領域に入るため、スタティックな消費電力を大幅に削減できる。今回の設計では、一層の低消費電力化を目指して、サンプリングと能動積分フェーズの間に、新たに受動積分フェーズを入れた 2 次フィードバック型 $\Delta\Sigma$ 変調器を設計した。また、入出力共通モード電圧を一致させるためのレベルシフト容量を付加した DCS 積分器も搭載した。チップ特性を測定した結果、電源電圧 1.2 V、信号帯域 2 kHz、サンプリング周波数 0.5 MHz で 70 dB のピーク SNDR を得た。また、OSR を一定 (=128) としてサンプリング周波数を 100 kHz まで下げたとき、分解能で規格化した消費電力がサンプリング周波数に比例して低下することも確認できた。これは DCS 積分器の特徴であり、低サンプリング周波数領域で従来報告例を凌駕する結果を得た。性能詳細は下記文献に記した。

参考文献: 小原一馬, 和保孝夫, 「ダイナミック積分器を用いた 2 次 $\Delta\Sigma$ 変調器」信学会 2016 年 3 月 C-12-18.

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

受動積分器を用いた $\Delta\Sigma$ 変調器

上智大学理工学部 小原 一馬, 和保 孝夫

概要: 逐次近似型等と比較して $\Delta\Sigma$ 型は高分解能 A/D 変換が可能である。しかし、通常の $\Delta\Sigma$ 変調器ではループフィルタにオペアンプが使われており、低消費電力化が課題であった。我々は、オペアンプの代わりにスイッチトキャパシタ回路で構成した受動積分器のみを用いた 2 次フィードバック型 $\Delta\Sigma$ 変調器を設計し、本チップに搭載した。受動積分器ではサンプリング容量と積分容量の接続状態をスイッチで切り替え、電荷を転送することで積分動作を実現する [1]。このとき、サンプリング容量値より積分容量値を十分に大きくすることで理想的な積分動作に近づく。今回はその比を 1:36 とし、サンプリング容量の値を 0.25 pF から 0.8 pF まで変化させた $\Delta\Sigma$ 変調器を搭載した。さらに、同時に試作した他チップとの比較参照のため、ダイナミック共通ソース積分器を用いた $\Delta\Sigma$ 変調器もチップに含めた。事前の HSPICE シミュレーションによれば、サンプリング周波数 1 MHz、オーバサンプリング比 128 で約 12 bit の実効ビット分解能 (ENOB) が得られた。性能指標 FOM は 52 fJ/conv · step で、低消費電力動作が実現できる可能性がある。

参考文献: [1] Qazi, et al., "Passive SC Sigma Delta Modulator Revisited: Analysis and Design Study," IEEE J. Emerging and Selected Topics in CAS (JETCAS), vol. 5, no. 4, pp. 624–637, 2015.

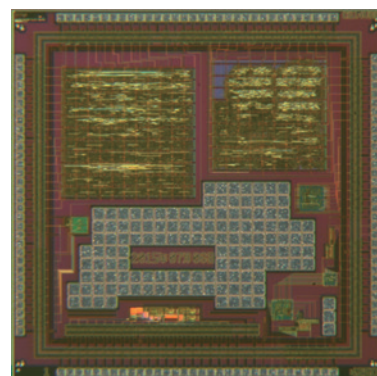
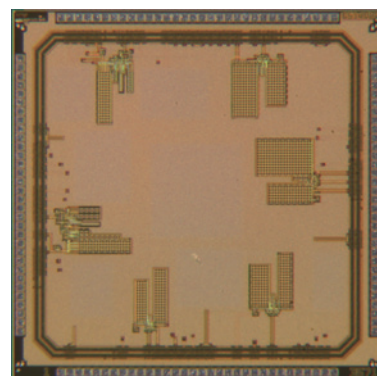
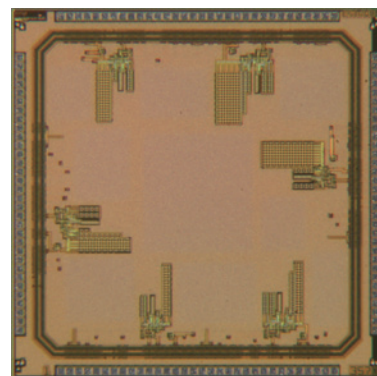
設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

HA-CORDIC - Hybrid Adaptive Coordinate Rotation Digital Computer

電気通信大学情報理工学研究所 Nguyen Thi Hong Thu, 範 公可, 石橋 孝一郎

概要: 今回の試作では、HA-CORDIC, PLL, DBP, Pre-Amplifier, Time-to-Analog Converter (TAD), 加算器, カウンタの設計を行った。今回は HA-CORDIC について報告する。試作した回路は、固定小数点形式の角度を入力として受け取り、浮動小数点形式で入力された角度の正弦と余弦の結果を出力することができる。最大 50 MHz での動作が可能である。Despite being proposed since more than 50 years ago, COordinate Rotation Digital Computer (CORDIC) is still one of the most effective algorithms for elementary function calculation so far. Original CORDIC, however, suffers high latency due to its nature of unvarying number of rotations. As a result, a low-latency hybrid adaptive (HA) CORDIC is proposed and implemented in 180 nm CMOS technology. This circuit can receive the input angles in fixed-point format and return the sine and cosine results of input angles in floating-point format. Firstly, adaptive angle selection decreases total iterations up to 50% with respect to higher accuracy of results. Secondly, hybrid architecture including fixed-point input and floating-point output reduces the total hardware utilization and enhances the dynamic range of final results. In CMOS implementation, the HA-CORDIC hardware architecture costs 10,299 cells with 640 μm times 640 μm area and fully operates at 50-MHz frequency.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナデジ混載



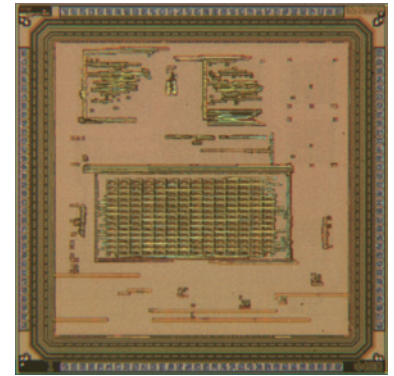
遅延故障検査容易化回路およびIC間配線の電氣的検査容易化回路の試作

徳島大学大学院先端技術科学教育部 菅 大介, 宮本 陽平, 濱田 圭吾, 石場 隆之,
伊喜利 勇貴, 踊場 明宏

徳島大学大学院ソシオテクノサイエンス研究部 四柳 浩之, 橋爪 正樹

概要: 遅延故障の検査容易化回路, IC間配線の検査容易化入力保護回路, 電荷注入量による電流テスト回路の3つの検査容易化回路を試作した. 1) 遅延故障の観測を行う回路として, 遅延検出回路組込み型バウンダリリスクャン回路を設計した. 被検査回路としてXORチェーンからの3信号同時遅延検出回路を設計し, 動作検証および測定値のばらつきについて調査した. また, 遅延検出VDL回路を実装し, 遅延時間の測定実験を行った. また, 三次元積層ICを想定したチップ間接続検査回路の設計・動作検証を行った. 2) IC間配線の電氣的検査用組込み型電流センサとして, 複数のしきい値を選択可能な選択式組込み型電流センサの設計・動作検証を行った. 3) ICの新たな電流テスト法として注入電荷量による電流テスト回路を設計し, 断線故障の検出可能性調査を行った.

設計期間: 9人月以上, 10人月未満 **設計ツール:** Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Synopsys社 NanoSim **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



300GHz帯伝送線路評価TEG

広島大学先端物質科学研究科 國武 寛司, 高野 恭弥, 片山 光亮, 吉田 毅, 天川 修平,
藤島 実

概要: 300GHzミリ波帯では伝送損失が大きいため, 低損失のインターフェースの実現が求められている. 化合物半導体では, 化合物半導体基板を直接導波管に挿入し, 低損失で信号を電磁波に変換する手法などが検討されている. 本試作では, Si半導体基板を直接導波管に挿入し, 信号を電磁波に変換する, マイクロストリップ線路-導波管変換器の設計, 試作を行った. 試作したマイクロストリップ線路-導波管変換器は300GHzミリ波帯で低損失のインターフェースを実現できる.

参考文献: マイクロストリップ線路-導波管変換器 國武, 高野, 片山, 天川, 吉田, 藤島, "300GHz帯差動型的设计", 信学技報, vol. 115, no. 477, ICD2015-126, pp. 169-173, 2016年3月.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx7.5mmチップ **チップ種別:** 通信 (RF回路, ATMなど)



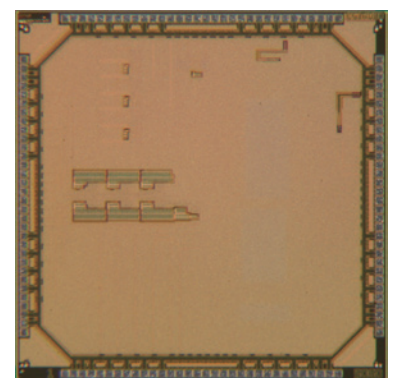
アナログ回路用ライブラリ及び素子評価

高知工科大学システム工学群 橘 昌良, 岡崎 泰士, 佐竹 宏太

高知工科大学大学院基板工学専攻 山田 健太, Wannaboon Chatchai

概要: 本チップの目的はアナログ回路用ライブラリの設計およびMOSトランジスタの特性評価である. 試作した回路は, 6つのインバータで構成された電圧電流変換器 (OTA), バンドギャブリファレンス (BGR), $\Delta\Sigma$ 変調回路の故障検出回路, ダイオードとNMOSと抵抗のばらつきを評価する回路を試作した. OTAはNauta OTAと呼ばれており, 入力信号に対する出力信号を測定した. BGRは, 温度特性を評価するためにバイポーラトランジスタ (BJT) の個数を7-9個に変えた回路を設計した. $\Delta\Sigma$ 変調器の故障検出回路ではBISTを設計し評価した. ばらつきを評価する回路においては, PチャネルMOSFETで構成されるカレントミラー回路の下に外付け抵抗, ダイオード, ゲートとドレインを短絡させたNチャネルMOSFET, 抵抗 (1k Ω) を組み込んだ. 外付け抵抗の抵抗値と発生する電圧からカレントミラーの電流値を計算し, 各素子に発生する電圧からそれぞれのI-V特性を評価した.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



ジッターシェーパーを用いた高精度 DAC

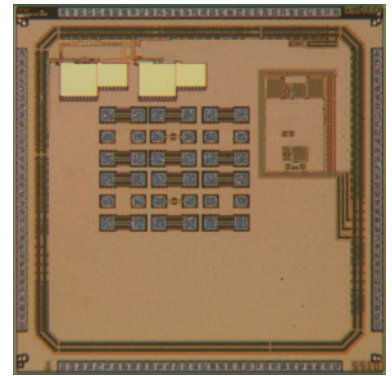
法政大学理工学部 安田 彰

法政大学理工学研究科 渡辺 渡邊, 嘉藤 貴博, 西勝 聡

概要: クロックジッタの影響を大幅に低減したジッターシェーパーを用いた高精度 S/H および DAC を試作した。通常 S/H を駆動するクロックにジッタがあった場合、これによりノイズフロアが上昇する。このノイズに対してノイズシェーピングをかけることにより、クロックジッタの影響を低減できる DAC を構成した。DAC として $\Delta\Sigma$ 変調型を DAC を SC 回路で実現し、この出力をジッターシェーパー回路に直接入力することにより、DAC および S/H 回路にクロックジッタを含むクロック信号を用いても、これらにより生じる雑音に対して信号対域内成分を低減することが可能となる。

参考文献: Yuki Watanabe, Satoshi Saikatsu, Michitaka Yoshino & Akira Yasuda, the “Delta-sigma DAC with jitter-shaperreducing, jitter noise, ” Analog Integrated Circuits and Signal Processing (On line), Vol. 85, Issue 2, pp. 243-251, DOI 10.1007/s10470-015-0600-5, 11, July, 2015.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



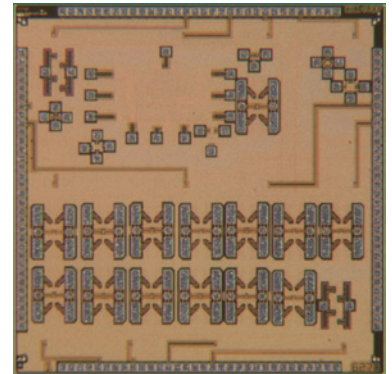
低電圧 CMOS アナログ回路の試作

明治大学理工学部 渡辺 正之助, 奥 達哉, 大里 侑生

概要: 低電圧駆動, 低消費電力というテーマを根底に置き, 各々の研究において提案した回路, 評価に必要な回路の試作を行った。以下が試作した回路の概略となる。ギルバートセルを用いた乗算回路: 波形を直接アナログ演算により処理することで, 回路の面積と消費電力を小さくできるアナログ FIR フィルタの IC 化を目標とし, その要素回路であるギルバートセルは可変利得増幅回路 (VGA) として動作し, 電圧の乗算を行う。PTAT 電圧発生回路: 温度に比例した出力電圧を得ることができる。上下の MOS トランジスタを弱反転領域で動作させることで, 低消費電力・低電源電圧を実現している。今回, PTAT 電圧発生回路を温度センサとして IC チップ上に複数枚置くことによって, チップ上の温度勾配を検知する事を目標とした。MOS の RF-TEG: 高周波における S パラメータの測定。

参考文献: R. JACOB BAKER: 「CMOS CIRCUIT DESIGN, LAYOUT, AND SIMULATION」, A JOHN WILEY & SONS, INC., 2007

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



人物検知用赤外線アレイセンサ対応アナログフロントエンド回路

立命館大学理工学研究科 上口 翔大

大阪産業大学工学部 熊本 敏夫

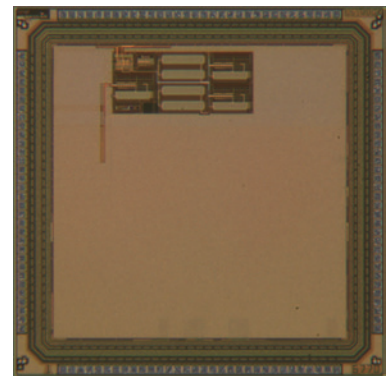
立命館大学総合科学技術研究機構 白畑 正芳, 汐崎 充

立命館大学理工学部 藤野 毅

概要: 小型電池で年間駆動する人物監視カメラを実現するための技術開発を行っている。想定するシステムは, たとえば 1 秒ごと等所定の時間ごとに得た赤外線アレイセンサ像を用いて人物の有無を判断し, 撮影が必要な場合のみ消費電力が大きいイメージセンサを起動することでシステム全体の低消費電力化を図るものである。このシステムの実現のため, 最初にイベントを検知する赤外線アレイセンサの読み出し回路は低消費電力で実現することが必要になる。そこで, 赤外線アレイセンサとしてサーモパイルセンサを想定し, この微小な出力 (1mV 級) を増幅, デジタル値に変換するためのアナログフロントエンド

(AFE) 回路を設計した。低消費電力化のため回路規模が小さく簡単な構成の二重積分型の構成を選択した。つまり, センサの微小電圧出力を電流に変換し, これを所定の時間, 容量素子に充電することでセンサ出力に対応する電圧を生成, これを起点に一定電流で放電し放電完了までの時間を計測することでデジタル値に変換する。内部回路のオフセット電圧はキャンセルできるようオートゼロ技術を導入した。ここではこのアナログ回路部分の TEG を作成した。

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



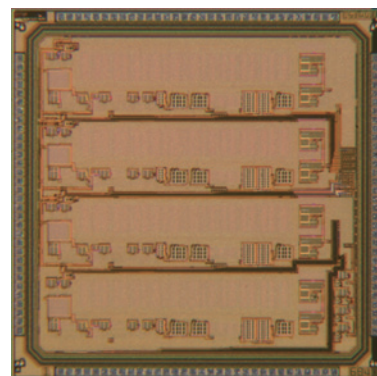
0.18 μ m CMOS プロセスを用いたパッチクランプ測定 4ch システム

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学理工学研究科 四ツ田 大樹, 久保 勝弘, 高坂 太郎

概要：現在、電気生理学の分野において神経細胞によるイオン電流を測定することが盛んに行われている。この神経信号を測定することで神経疾患の治療に貢献するだけでなく、ブレインマシンインタフェース技術と呼ばれる、脳と機械間の双方向通信技術の応用にも期待されている。我々はこのイオン電流を測定する手法の1つであるパッチクランプ法のためのLSIシステム的设计を行っている。今回のチップでは、これまで試作を行ってきた回路ブロックをつなぎこみ、低電流ノイズな4chシステムの試作を行った。しかし、チップの評価を行ったところ、寄生成分を考慮していないレイアウトを行っていたため、所望の帯域を得ることができなかった。また、このチップはチャンネル間に生じるクロストークの評価に用いている。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 QRC, Cadence社 Spectre トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

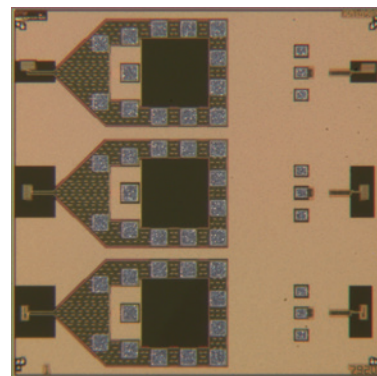


Prototype for high frequency magnetic sensor

東北大学工学研究科 Sai Ranajit

概要：The necessity of high integration density on a semiconductor chip brings analog, RF, and digital circuit component closer to each other. This leads to serious electro-magnetic interference among those components. And the interference occurs along some specific paths depending on the designed layout of the chip. In order to trace the noise coupling paths, a magnetic sensor with high sensitivity and high special resolution is necessary. In the present prototype, we fabricated a sensor assembly comprising of an amplifier and a loop coil among others. Three sensors are designed with three different configurations of loop coils. They are multi-turn coils with varied shapes and sizes. The shapes and sizes are chosen in order to obtain high sensitivity in one of the design while to attain high special resolution for another design. 半導体チップ上に高集積化の必要性は、アナログ、RF、およびデジタル回路部品お互いに近くなった。これは、これらのコンポーネント間に深刻な電磁干渉を引き起こす。そしてチップの設計レイアウトに応じて一部の特定のパスに沿って、障害が起ります。ノイズ結合パスをトレースするためには、高感度かつ高特別決議と磁気センサが必要である。本プロトタイプは、増幅器および他のループコイルの前記センサアセンブリを作製した。ループコイルの3種類の構成で設計された3個のセンサであり、多様な形とサイズを持つマルチターン・コイルがあります。形状及び寸法は別のデザインの特別決議を達成しながら、設計のうちの1つで高感度を得るために選択される。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 SoC Encounter, Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ

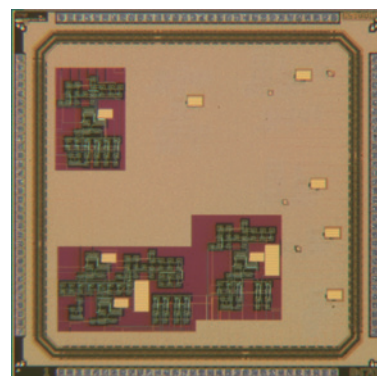


容量型センサのCMOSインターフェイス回路

山梨大学大学院総合研究部 小川 覚美

概要：容量型センサは圧力、加速度、回転角度等の物理量の検知に広く使われている。ここでは、低消費電力の差動容量型センサのインターフェイス回路に用いられる容量・時間 (Capacitance-to-Time: CT) 変換回路を試作した。CT変換回路として、異なる3つの回路が構成されており、それらの特性を比較した。ここで提案するCT変換回路はいずれも差動容量型センサの容量の変化を容量差と容量和の比に比例した時間信号に変換する。この回路は素子の非理想的な特性を回路的に補償できる構成となっているため、高精度の信号処理が可能となる。また、高速オペアンプ、高速コンパレータを用いることなく高精度のCT変換が可能になるため回路の消費電力を低減できる。試作CT変換回路の特性評価には、センサ容量の代わりにマイカキャパシタを用いた。CT変換回路の基本構成素子であるオペアンプ、コンパレータ、CMOSアナログスイッチ、カレントミラーも個別に試作し、これらの素子の特性についても評価した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



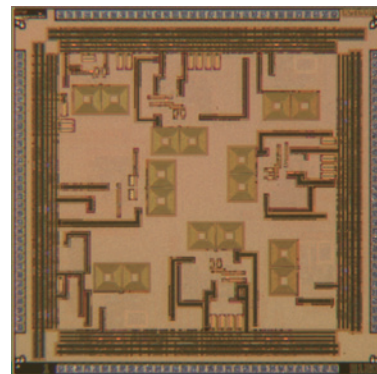
位相同期回路の干渉ノイズ低減回路検証用 TEG1

大阪工業大学大学院工学研究科 森下 宗瑛

肥田 晃一郎, 藤居 尚博, 吉村 勉

概要: PLL 回路における外部干渉ノイズや自己干渉ノイズの影響を、解析・検証するための TEG を搭載。近接する 2 つの位相同期回路を同時動作させることにより干渉ノイズを発生させ、その影響を出力クロックの位相ノイズ測定により評価する。1 チップ内に同じ回路構成のユニットを 3 つ用意し、電源構成やデカップリング容量値を変えて干渉ノイズの影響を比較する。昨年度の TEG と同様、人為的に自己干渉の経路を実装し、その影響についてもあわせて評価する。回路動作に伴う電源電圧の変動を 1% 未満から 5% まで変動するように見積もったデカップリング容量の作振りをを行い、干渉ノイズの影響を測定する。さらに、注入同期回路の広帯域化設計に関する要素 TEG も搭載した。今後、位相ノイズ評価およびノイズ抑制帯域の評価を行う予定。発振器として LC-tank VCO を搭載 (TEG1)。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



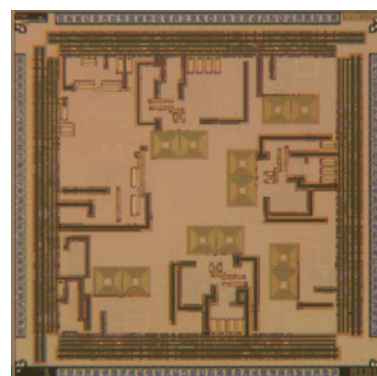
位相同期回路の干渉ノイズ低減回路検証用 TEG2

大阪工業大学大学院工学研究科 森下 宗瑛

肥田 晃一郎, 藤居 尚博, 吉村 勉

概要: PLL 回路における外部干渉ノイズや自己干渉ノイズの影響を、解析・検証するための TEG を搭載。近接する 2 つの位相同期回路を同時動作させることにより干渉ノイズを発生させ、その影響を出力クロックの位相ノイズ測定により評価する。1 チップ内に同じ回路構成のユニットを 3 つ用意し、電源構成やデカップリング容量値を変えて干渉ノイズの影響を比較する。昨年度の TEG と同様、人為的に自己干渉の経路を実装し、その影響についてもあわせて評価する。回路動作に伴う電源電圧の変動を 1% 未満から 5% まで変動するように見積もったデカップリング容量の作振りをを行い、干渉ノイズの影響を測定する。さらに、注入同期回路の広帯域化設計に関する要素 TEG も搭載した。今後、位相ノイズ評価およびノイズ抑制帯域の評価を行う予定。発振器として差動 ring 型 VCO を搭載 (TEG2)。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



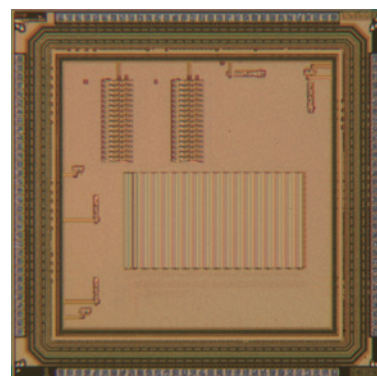
Hexadecimal FPGA Designs with Floating Gate Technology

北陸先端科学技術大学院大学セキュリティ・ネットワーク領域 張 任遠, 金子 峰雄

概要: In the previous fabrication, the quaternary FPGA designs have been implemented. For this fabrication, two improvements were made: 1. the logic representation was expanded to hexadecimal (16-valued logic); 2. the random access analog memory (RAAM) was employed as memory cell. The MVL-based FPGA has a potential to reduce interconnections and improve performances. However, all the blocks and circuits are needed to be specifically designed due to logic scheme. For this purpose, the interface between MVL and binary processors, random access MVL memory, and MVL look-up tables are designed to carry out MVL functions in the fashion of FPGA with reduced interconnections. On the basis of Neuron-MOS mechanism, an efficient MVL-to-binary converter is proposed as the real-time interface. By using the proposed bit-propagation technology, a flash analog-to-digital converter is developed without any operational amplifier and static power. An analog memory cell is designed by eighteen transistors without static power consumption for storing MVL data, which covers the full rail-to-rail range. Two types of look-up table structures are developed for accessing the memory cells by MVL addressing signals. All the circuitries are designed in the standard CMOS technology with ordinary dual-rail supply voltage. From the circuit simulation results, the proof-of-concept FPGA processor correctly implements expected MVL functions. The numbers of transistors in memory array and look-up table are reduced to 37.5% and 29% of conventional binary FPGAs. The robustness against temperature and process variations of proposed circuits is also verified.

参考文献: R. Zhang, and M. Kaneko, "A 16-Valued Logic FPGA Architecture Employing Analog Memory Circuit", IEEE Int. Symp. Circ. s and Syst. s, (ISCAS), Montreal, Canada, May 22-25, 2016.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



平成27年度第3回ローム CMOS 0.18 μ m 試作 (R018153)

改善された広帯域パルス発生器用 CMOS トリガー

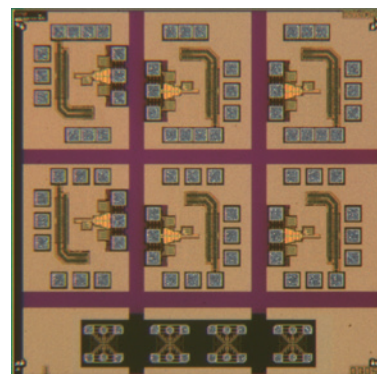
東京大学工学系研究科 Kanjanavrojkul Parit

東京大学 VDEC Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：本チップはオフチップのパスシブ共振器との統合により広帯域パルス生成のために設計されている。チップはトリガーの入力立ち上がりエッジの遅延を制御するために正確な遅延制御部が含まれている。また不均衡インバータによってエッジ鮮鋭化遅延線も含まれている。このチップは、より対称的なレイアウトを使用し、以前のバージョンから改善されている。また、カスタマイズされたトランジスタレイアウトは寄生低減し、トランジスタの F_{max} を増加させるために設計されている。チップ上にはフルイブチップ用の回路とパッドに加えて検証用のプロービング回路・パッドも搭載している。

参考文献：P. Kanjanavrojkul, N. N. M Khanh, T. Iizuka, T. Nakura, K. Asada, "An X-band CMOS-on-Quartz Pulse Generator for Low Power Applications," in Proceedings of the 2016 IEICE General

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



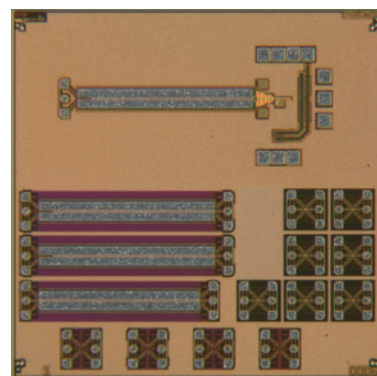
オンチップ 40 GHz の広帯域パルス発生器

東京大学工学系研究科 Kanjanavrojkul Parit

東京大学 VDEC Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：以前に設計されたオンチップトリガーは 40GHz の広帯域パルス生成のためのオンチップ伝送線路共振器と統合されている。伝送線路共振器グラウンドコプレーナ導波管で構成され 40GHz 帯でクォーター波長共振器になる。下のグラウンドは第一層の金属で構成されている。コプレーナは第五層の金属を使用する。オンチップで実現する伝送線路は損失が高いのだが、オフチップとの回線が必要ないため、回線の損失を抑えることができる。ただし、周波数が低い過ぎると伝送線路が長くなり、チップの領域も消費するのである。この理由で今回 40GHz にきまっている。また、チップに含まれるは、オンチップの共振器とカスタム設計されたトランジスタのためのテスト構造である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



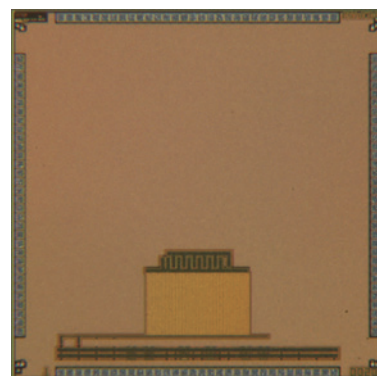
PVT 自動調整機能付きパルス幅 PLL

東京大学 VDEC 名倉 徹

東京大学工学部 都井 敬

概要：プロセス技術の進歩とともに、トランジスタのスイッチング速度が向上するのと同時に電源電圧が低下し、アナログ電圧を電圧で表すのではなく、スイッチング時間、すなわちパルス幅で表すほうが SN 比の観点から合理的になってきた。PLL の発振周波数をパルス幅で制御するパルス幅 PLL は小面積でクロック生成が可能となるが、発振周波数範囲が狭いというのが難点であった。本チップでは、PVT 変動による発振周波数変動を検知し、それに合わせてリングオシレータの弾数を自律的に調整する機能を実現し、PVT 変動が起きても決まった周波数を出力可能なパルス幅制御 PLL を実現した。発振周波数制御の値を中央に固定した状態で入力クロックを決まった数だけカウントし、その間の出力クロック数をカウントし、そのカウント数がある一定範囲の中に入ってくるような段数調整を行う機構を持たせることで、簡易なロジックでの自立調整機能を実現した。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



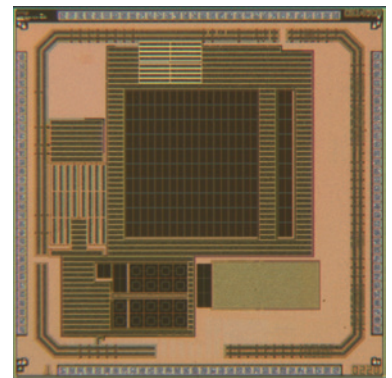
オンチップ太陽電池と昇圧回路ほか

立命館大学大学院情報理工学研究科 木村 知也

立命館大学情報理工学部 宮川 尚之, 越智 裕之

概要: 集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため、これを同一チップ上の回路の電源として利用すれば、エネルギーを自給自足する単一ダイのシステムが構築できると期待される。しかし単一のPN接合ダイオードに光を照射して得られる電圧は0.6V程度である。より高い電圧を得るために、バルクCMOSプロセスの単一チップ内に複数のPN接合ダイオードを形成して直列接続することは、素子分離の観点から容易ではない。本試作チップは、単一のオンチップ太陽電池セルから得られる0.6V程度の電圧を効率よく昇圧するための回路を搭載したTEGである。昇圧回路は、低い入力電圧でも動作するチャージポンプ回路と、電圧変動の影響を受けにくいリングオシレータなどからなる。低電圧で動作するリングオシレータはノイズに敏感であると考えられるので、チャージポンプ回路を駆動するバッファとは別の太陽電池を用いて電源供給している。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



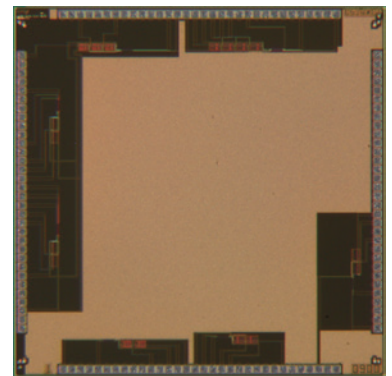
宇宙用CVSL回路及び性能比較用CMOS回路

静岡理工科大学理工学部 山中 兼一, 大関 啓太, 松原 孝紘, 富岡 聖龍, 松下 倭樹,
鶴窪 匠, 波多野 裕

概要: スタティック型CVSL NAND回路, スタティック型CVSL NOR回路, スタティック型CVSL EXOR回路, スタティック型CVSL半加算回路, スタティック型CVSL全加算回路, クロック型CVSL NAND回路, クロック型CVSL NOR回路, クロック型CVSL半加算回路, クロック型CVSL全加算回路, 複合ゲートCMOS半加算回路, 複合ゲートCMOS全加算回路, CMOS比較回路, DフリップフロップCMOS回路2種類, JKフリップフロップCMOS回路2種類を、2015年度第3回試作では2チップに分けて設計した。チップ1では、スタティック型CVSL半加算回路, スタティック型CVSL全加算回路, クロック型CVSL半加算回路, クロック型CVSL全加算回路, 複合ゲートCMOS半加算回路, 複合ゲートCMOS全加算回路を設計した。チップ2では、スタティック型CVSL NAND回路, スタティック型CVSL NOR回路, スタティック型CVSL EXOR回路, クロック型CVSL NAND回路, クロック型CVSL NOR回路, クロック型CVSL EXOR回路, CMOS比較回路, DフリップフロップCMOS回路2種類, JKフリップフロップCMOS回路2種類を設計した。

参考文献: H. Hatano, "SET immune spaceborne CVSL and C2VSL circuits", Journal of Electronics and Control Engineering, vol. 3, no. 5, pp. 43-48, 2013.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



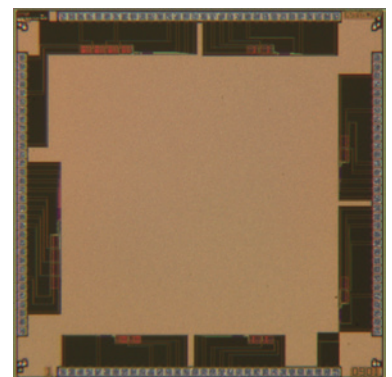
宇宙用CVSL回路及び性能比較用CMOS回路

静岡理工科大学理工学部 山中 兼一, 大関 啓太, 松原 孝紘, 富岡 聖龍, 松下 倭樹,
鶴窪 匠, 波多野 裕

概要: スタティック型CVSL NAND回路, スタティック型CVSL NOR回路, スタティック型CVSL EXOR回路, スタティック型CVSL半加算回路, スタティック型CVSL全加算回路, クロック型CVSL NAND回路, クロック型CVSL NOR回路, クロック型CVSL半加算回路, クロック型CVSL全加算回路, 複合ゲートCMOS半加算回路, 複合ゲートCMOS全加算回路, CMOS比較回路, DフリップフロップCMOS回路2種類, JKフリップフロップCMOS回路2種類を、2015年度第3回試作では2チップに分けて設計した。チップ1では、スタティック型CVSL半加算回路, スタティック型CVSL全加算回路, クロック型CVSL半加算回路, クロック型CVSL全加算回路, 複合ゲートCMOS半加算回路, 複合ゲートCMOS全加算回路を設計した。チップ2では、スタティック型CVSL NAND回路, スタティック型CVSL NOR回路, スタティック型CVSL EXOR回路, クロック型CVSL NAND回路, クロック型CVSL NOR回路, クロック型CVSL EXOR回路, CMOS比較回路, DフリップフロップCMOS回路2種類, JKフリップフロップCMOS回路2種類を設計した。

参考文献: H. Hatano, "SET immune spaceborne CVSL and C2VSL circuits", Journal of Electronics and Control Engineering, vol. 3, no. 5, pp. 43-48, 2013.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Dracula, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



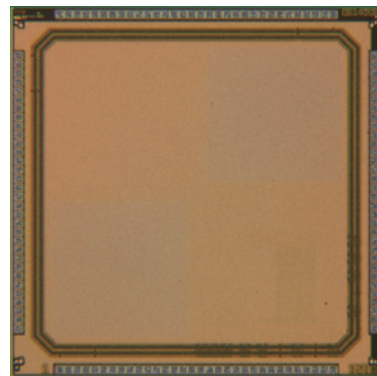
確率的ADCを用いたランダムばらつきモニタ回路

東京電機大学工学部第二部 高谷 翔平

東京電機大学工学部 小松 聡

概要：MOSトランジスタの微細化に伴い、集積回路内のMOSトランジスタのしきい値電圧のばらつきが増大している。MOSトランジスタしきい値電圧のばらつきが増大すると、例えばコンパレータ回路の参照電圧が変化し正しい動作がしないなどの回路性能の低下に繋がる。したがってトランジスタのしきい値電圧のばらつきを測定し、それを回路設計に生かすことで、集積回路性能の向上に繋げることが可能である。また、微細化に伴い集積回路内部のばらつきの測定が困難になっている為、オンチップでのばらつきの測定が必要不可欠である。本研究では、確率的ADCを用いたオンチップばらつきモニタ回路を設計しトランジスタのしきい値電圧のばらつき特性を測定した。測定では、デジタル信号であるクロック信号とシフトレジスタのセレクト信号はDiligent社のAnalogDiscovery (FPGAベースのパターンジェネレータ)を使用し、入力電圧 V_{in} としきい値電圧 V_{ref} は直流電源を用いて測定を行った。測定結果より、提案回路を用いることで、オンチップでのMOSトランジスタのしきい値電圧のばらつきが可能であることを示した。

設計期間：1 月以上、2 月未満 **設計ツール：**Cadence社Virtuoso, Mentor社Calibre, Synopsys社StarRC (XT), Synopsys社Hercules, Synopsys社HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ロームCMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

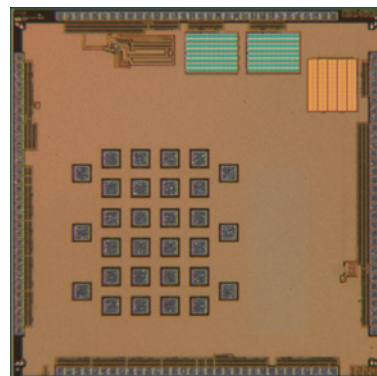


単体トランジスタと低電圧CMOSアナログ回路TEG

広島工業大学工学部/電子情報工学科 升井 義博

概要：学生実験で評価するための単体トランジスタと低電圧で動作するアナログ回路TEGを試作した。本学における電子情報工学科のカリキュラムでは1~2年生で工学に必要な数学、物理、英語といった基礎科目や電気回路、電磁気学といった専門基礎科目を学修する。更に3年生前期に開講される「固体電子工学II」「電子デバイス」「デバイス応用」等で半導体デバイスの構成材料、構造、動作原理等に関して学修する。これらの講義を踏まえ、3年生後期の「電子情報工学実験D」では学修した知識をより深めるため、ベアチップにプロービングしトランジスタの評価を体験する。実際に実験を行った学生からは「実際にベアチップを見たのは初めてだったのでいい経験ができました」、「LSIの評価方法が良く理解できました。扱い方がとても難しく、繊細な取り扱いが必要であることがわかりました。」といった良好な感想が集まっている。

設計期間：5 月以上、6 月未満 **設計ツール：**Cadence社Virtuoso, Mentor社Calibre, Cadence社Spectre **トランジスタ数：**10,000~100,000 **試作ラン：**ロームCMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

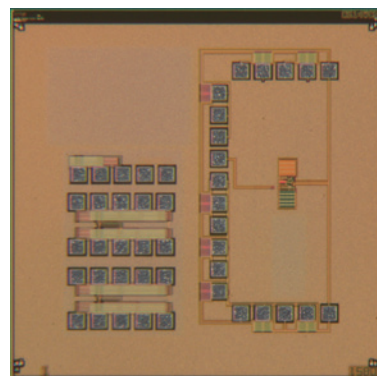


単体デバイスと論理回路の評価回路

東京大学生産技術研究所 イスラム マーフズル

概要：専用ハードウェアの自動合成を目的に、論理セルの特性評価のように複数種類の論理セルの評価回路を搭載した。評価回路としてリング発振回路を搭載し、リングを構成する論理セルの種類を複数搭載している。特に、動作可能な周波数の見積もり、論理段数と論理セル種類を変えた発振回路を複数搭載している。これらの回路を用いて弱反転領域と強反転領域における特性評価し、最適な電源電圧の設定を検討する。また、トランジスタ種類によってリーク電流の変化を測定し、リーク電流と弱反転領域を活かした回路設計と極低消費電力のセンサ回路の検討を行う。その結果、エネルギーハーベスティングで動作するIoTノードにおいてエネルギーを最小化するデジタル処理とアナログ処理の分担方法を検討し、最適な処理手法を検討する。また、

設計期間：0.1 月以上、0.5 月未満 **設計ツール：**Cadence社NCVerilog, Synopsys社DesignCompiler, Synopsys社ICCompiler, Cadence社Virtuoso, Mentor社Calibre, Synopsys社HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ロームCMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

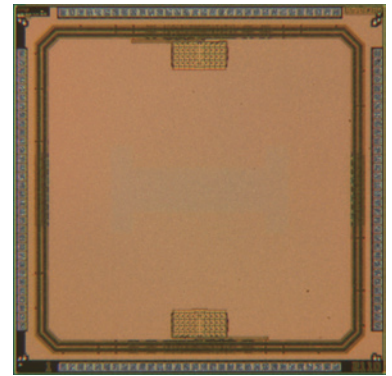


歩留まり率を考慮した細胞体モデルの試作

日本大学理工学部 戸泉 孝太, 佐伯 勝敏

概要: 生体の情報処理機構をモデル化し工学的に応用することは、生体の優れた能力を実現するだけでなく、生体の情報処理機構を解明することも可能であり、現在まで、生体のダイナミクスに着目した様々な観点からの解析が行われている。生体の機能を有するニューラルネットワーク (Neural Network, 以下 NN) をハードウェアで再現する場合、生体の細胞体と同様に、低周波数で発振するモデルが必要である。また、生体のように大規模な NN の構築を行う場合は、素子数や回路規模は小さいことが要求される。生体内に存在する細胞体の特徴を有したモデルを構築する上で、 Λ 型負性抵抗素子を用いた細胞体モデルは簡単な回路で構成できる。今回、先に我々が提案した NMOS で構築した負性抵抗回路を用いて設計を行った細胞体モデル (以下、高集積細胞体モデル) の歩留まり率改善を目的として試作を行った。試作には、 Λ 型負性抵抗素子の NMOS のアスペクト比を小さくすることで、モンテカルロ解析にて歩留まり率改善を確認した。また、高集積細胞体モデルは従来モデルと同様に外部より出力周波数を調整可能とし、複数のパラメータのパターンを作成し、直接針を当てて測定を行うためのレイアウトパターンの作成を行った。

設計期間: 3 月以上, 4 月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

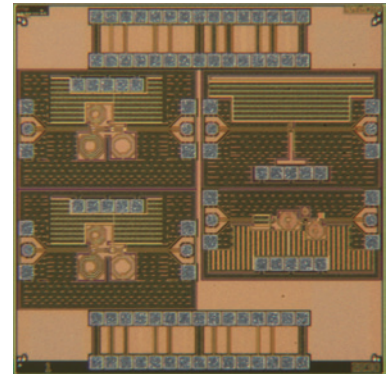


アウトフェーズ増幅のための CMOS VCO 及び増幅器

大阪大学大学院基礎工学研究科 塩見 英久, 遠藤 健

概要: 非線形増幅器の低歪み化を目指したアウトフェーズ増幅器のための発振回路および増幅器を試作した。アウトフェーズ増幅は、複数の非線形増幅器を互いに複素共役で動作させることで、等振幅位相変調波から振幅変調波を得ることができる手法である。増幅器は等振幅動作をするため、高い電力付加効率で高い線型性が期待できる。MIMO-OFDM などの高い PAPR を示す変調波に対して有効であると考えられる。できるだけ高い周波数での動作を考え、12GHz 帯での動作を目指して設計を行った。しかしながら、発振器については発振動作が確認できず、増幅器については十分な利得を得ることができなかった。動作周波数を下げたうえで、新しく設計を見直して再度挑戦したい。

設計期間: 1 月以上, 2 月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

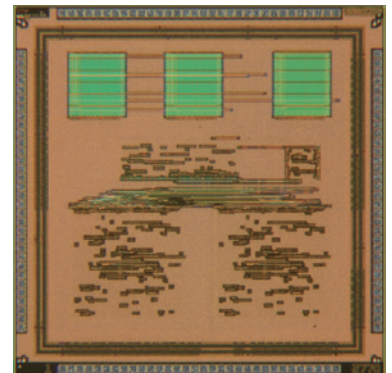


画像認識向け畳み込み演算回路

京都大学大学院情報学研究科 大荷 唯明, 廣本 正之, 佐藤 高史

概要: 高精度な画像認識手法として畳み込みニューラルネットワーク (CNN) が注目されている。CNN は高い認識性能を発揮する反面、必要とされる演算量が膨大であるため、ハードウェア実装による高速化が有用である。本試作では、CNN 向けハードウェアの性能を評価するため、CNN の主要演算である畳み込み演算回路を実装した。本チップは畳み込み演算コアを複数搭載しており、入力された画像に対し、複数のフィルタによる畳み込み演算を並列実行することができる。本チップを用いることにより CNN における畳み込み演算の処理性能や消費電力が評価可能となる。また CNN のアクセラレータとして PC や FPGA と共に用いることで、各種画像認識アルゴリズムを高速に動作させることが可能となる。

設計期間: 0.5 月以上, 1 月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



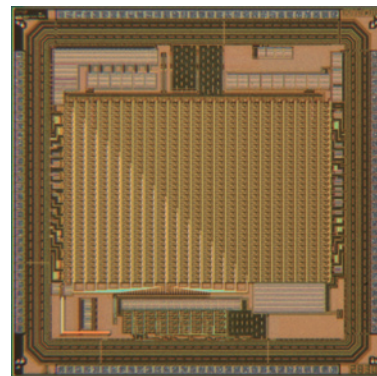
指数減衰カオスタブーサーチ用スイッチト・カレントニューロン回路 (1 of 3)

東京電機大学 田中秀, 新井正樹, 堀尾喜彦

概要：大規模な二次割当問題を高速に解く指数減衰カオスタブーサーチハードウェアシステムに用いるスイッチト・カレントカオスニューロンを750ニューロン集積化した。

参考文献：新井正樹, 堀尾喜彦, 「カオスタブーサーチシステムに用いるスイッチト・カレントカオスニューロン集積回路の測定」電気学会 電気部門大会 電子・情報・システム部門大会講演論文集, TC15-4, pp. 543-548, 2016年9月2日。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：その他 (ニューラルネットワーク)



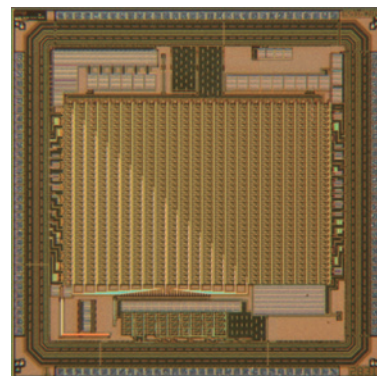
指数減衰カオスタブーサーチ用スイッチト・カレントニューロン回路 (2 of 3)

東京電機大学 田中秀, 新井正樹, 堀尾喜彦

概要：大規模な二次割当問題を高速に解く指数減衰カオスタブーサーチハードウェアシステムに用いるスイッチト・カレントカオスニューロンを750ニューロン集積化した。

参考文献：新井正樹, 堀尾喜彦, 「カオスタブーサーチシステムに用いるスイッチト・カレントカオスニューロン集積回路の測定」電気学会 電気部門大会 電子・情報・システム部門大会講演論文集, TC15-4, pp. 543-548, 2016年9月2日。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：その他 (ニューラルネットワーク)



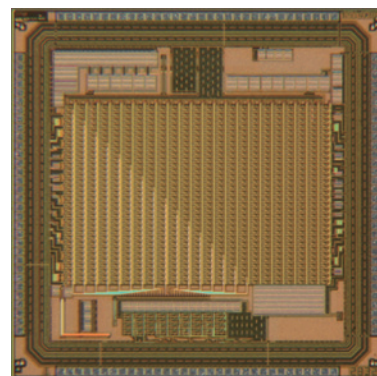
指数減衰カオスタブーサーチ用スイッチト・カレントニューロン回路 (3 of 3)

東京電機大学 田中秀, 新井正樹, 堀尾喜彦

概要：大規模な二次割当問題を高速に解く指数減衰カオスタブーサーチハードウェアシステムに用いるスイッチト・カレントカオスニューロンを750ニューロン集積化した。

参考文献：新井正樹, 堀尾喜彦, 「カオスタブーサーチシステムに用いるスイッチト・カレントカオスニューロン集積回路の測定」電気学会 電気部門大会 電子・情報・システム部門大会講演論文集, TC15-4, pp. 543-548, 2016年9月2日。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：その他 (ニューラルネットワーク)

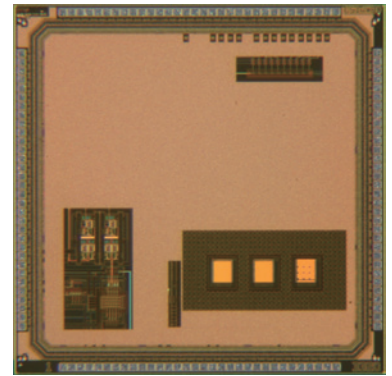


集積化イメージセンサのノイズ特性評価用 TEG

茨城大学工学部 木村 孝之

概要：CMOS イメージセンサでは標準 CMOS プロセスを使う事により低コスト化が可能である。これまでプロセスの微細化によりイメージセンサの画素サイズは小さくなってきている。画素サイズが小さくなると画素内のアンプ回路も小さくなる。アンプ回路を構成する MOSFET が小さくなるとそれに伴い $1/f$ ノイズの増加など問題が発生する。本試作では、この様なアンプ回路を構成する MOSFET が微細化した際に、発生するノイズを測定するために評価用の TEG を試作した。これまでの研究で、 n チャネルの MOSFET で構成したソースフォロアよりも p チャネルの MOSFET で構成したソースフォロアで発生する $1/f$ ノイズが支配的であることは判っている。そのため、 p チャネル MOSFET のゲートサイズを変更することで、どこまで $1/f$ ノイズを低減できるか調べた。ソースフォロアを構成する p チャネル MOSFET の大きさは $L/W=0.2\mu\text{m}/1.2\mu\text{m}$, $0.4\mu\text{m}/2.4\mu\text{m}$, $0.6\mu\text{m}/3.6\mu\text{m}$, $1.0\mu\text{m}/6.0\mu\text{m}$ の 4 種類とした。出力電圧に含まれる $1/f$ ノイズの振幅を調べた所、 $L/W=0.2\mu\text{m}/1.2\mu\text{m}$ の MOSFET からなるソースフォロアを基準にするとそれぞれ 17%, 10%, 4% となった。これは面積比である 4 倍, 9 倍, 25 倍と比較的良好な一致が見られた。これらの結果から、ソースフォロアを構成する p チャネル MOSFET の面積に $1/f$ ノイズの大きさは逆比例することが改めて確かめられた。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

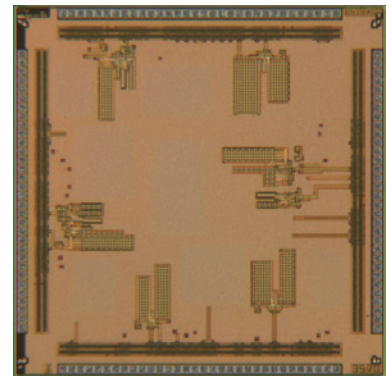


能動/受動併用ダイナミック共通ソース積分器を用いた $\Delta\Sigma$ 変調器 (2)

上智大学理工学部 小原 一馬, 和保 孝夫

概要：逐次近似型等と比較して $\Delta\Sigma$ 型は高分解能 A/D 変換が可能である。しかし、通常の $\Delta\Sigma$ 変調器ではループフィルタにオペアンプが使われており、低消費電力化が課題であった。我々は 2015 年度 2 回目の試作で、オペアンプの代わりに能動受動併用ダイナミック共通ソース (DCS) 積分器を用いた $\Delta\Sigma$ 変調器を搭載したチップを設計した。その後、一部の回路で安定動作が得られない可能性が明らかになったので、その改良版を設計し、本チップに搭載した。具体的には、MOSFET のサブスレッシュホールド電流のためにレベルシフト用の容量が必要以上に充電され、電圧飽和を起こす可能性があった。そのため、積分動作時に大きな容量を並列接続して、過充電を避けることができる回路構成に変更した。また、これとは別に、2 次フィードフォワード (FF) 型 $\Delta\Sigma$ 変調器も設計して搭載した。FF 型ではループフィルタに量子化誤差成分のみを流すことができるため、設計条件が緩和されるが、その反面、コンパレータの前に加算部が必要にで、消費電力の増加が懸念された。今回の加算部分には DCS 形式の能動型を用いたものと、容量接続のみで加算を行う受動型を用いた 2 種類を設計した。詳細性能は現在評価中である。

設計期間：6 人月以上, 7 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



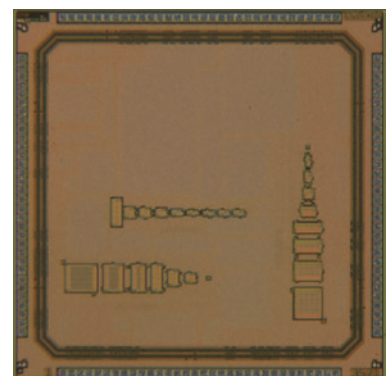
チャージシェア型逐次近似 A/D 変換器

上智大学理工学部 山崎 雄介, 和保 孝夫

概要：容量 DAC とコンパレータ、レジスタからなる逐次近似 A/D 変換器 (SAR ADC) は、定常的に電流が流れるオペアンプが不要なため低消費電力動作に適した ADC として知られており、センサネットや IoT への応用が期待されている。我々は、チャージシェア型 SAR ADC を設計し、本チップに搭載した。チャージシェア型は、サンプリング毎に容量 DAC の全ての容量を 1 回だけ充電し、その後の逐次近似ステップを繰り返す方式であるため、他方式の SAR ADC と比較して無駄な容量充放電がなく、低消費電力動作に適している [1]。S/H 回路にはブートストラップ型スイッチを採用し、1 V 前後の低電圧動作を可能とした。今回は 6 ビットおよび 8 ビット構成とし、単位容量は 20 fF とした。また、クロック発生回路動作を確認する目的で部分回路も搭載した。容量抽出後のシミュレーションでは、電源電圧 1.2 V, サンプリング周波数 25 kHz で実効ビット数 (ENOB) 7.6 ビットが得られた。また、サンプリング周波数 25 kHz で電源電圧を 1.2 V より下げると ENOB が低下したが、サンプリング周波数を 1 kHz まで下げると電源電圧 0.6 V でも 7.5 ビット分解能で動作する可能性があることが分かった。現在チップ性能評価を進めている。

参考文献：[1] J. Craninckx and G. Van der Plas, "A 65fJ/conversion-step 0-to-50MS/s 0-to-0.7mW 9b charge-sharing SAR-ADC in 90nm digital CMOS," ISSCC 2007, pp. 246-247.

設計期間：6 人月以上, 7 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS $0.18\mu\text{m}$ 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



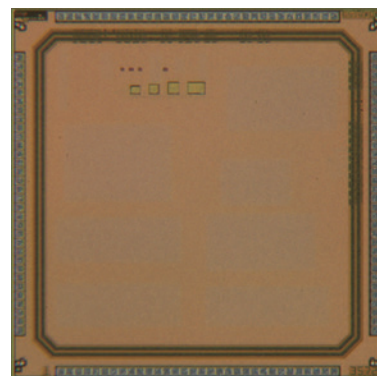
粘菌コンピューティングを模したニューラルネットワーク型 A/D 変換器

上智大学理工学部 石田 宇一, 和保 孝夫

概要: 粘菌コンピューティングは新しい情報処理技術として注目されている。また、その動作を電子的に模した回路が提案され、制約充足問題の解法に応用できることが報告されている [1]。今回、我々は、それを A/D 変換器に応用することを試みた。A/D 変換器を構成するに当たり、ホップフィールド型ニューラルネットとの類似性からフィードバック係数を決めた。ニューラルネット特有の局所解による誤動作を避けるため、フィードバック経路は非対称構成とした。また、今回は初めての試みであることから、回路簡素化のため分解能は 4 ビットとし、基本動作の確認を目的とした。HSPICE シミュレーションでは、電源電圧 1.3 V、サンプリング周波数 0.1 MHz で、有効ビット数 (ENOB) 3.96 ビットが得られ、回路構成の妥当性が検証できた。試作チップを測定したところ、A/D 変換動作が確認でき、上記の条件で 3.6 ビットの ENOB を得た。シミュレーションでは、特定のニューロンユニットへの電流集中による発振現象が見られる場合があり、ENOB 劣化の原因になった可能性がある。また、サンプリング周波数が 0.1 MHz 以上では、ニューロンユニットに用いた容量の充放電が追従せず、分解能が劣化することも分かった。

参考文献: [1] Seiya Kasai 他 "Amoeba-inspired computing architecture implemented using charge dynamics in parallel capacitance network" Applied Physics Letters 103, 163703 (2013)

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



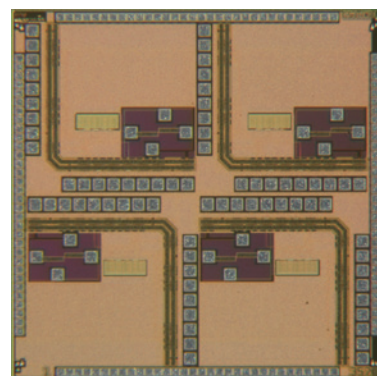
InAs ナノワイヤ/CMOS 異種技術集積化による Lab-on-a-chip

上智大学理工学部 島本 一成, 和保 孝夫

概要: 表面積/体積比が大きいナノワイヤを用いた高感度化学センサの実現が期待されている。そのための基礎検討として、我々は InAs ナノワイヤと CMOS 回路の集積化を検討してきた [1]。MOVPE 法で GaAs 基板上に成長させた InAs ナノワイヤを基板から剥ぎ取り、誘電泳動を利用して CMOS 回路基板上の所定の場所に堆積した。CMOS 基板上には $\Delta\Sigma$ 変調器を搭載し、ナノワイヤ両端の電圧値をデジタル信号に変換して外部に取り出すことを可能とした。電圧測定精度はおよそ 1 mV (1 V フルスケール) である。化学センサ応用の可能性を検討するため、ナノワイヤを純水、メタノールなどの液体に浸し、抵抗変化を評価した。チップのパッド部分を除き、ナノワイヤ堆積領域だけを限定的に液体に浸すため、PDMS (polydimethylsiloxane) マイクロ流路チップを作製し、ブローバステージ上のペアチップに重ねて、測定を行った。今回のチップは、ナノワイヤ両端から配線を引き出し、外部アンプを経て A/D 変換する一連の測定系をオンチップ化した Lab-on-a-chip の一種である。ナノワイヤに印加したパルス電流に対する両端電圧の時間変化を測定したところ、温度変化に起因すると考えられる抵抗変化が見られ、変化量が液体の種類に依存することを見いだした。

参考文献: [1] 島本, 和保, "InAs ナノワイヤ/CMOS $\Delta\Sigma$ 変調器集積化の基本検討用チップ", 2015 年度 VDEC 年報 52 ページ

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



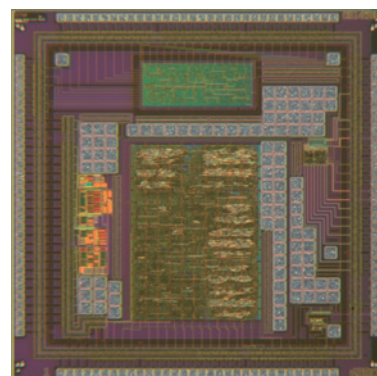
Pipeline unfolded radix-2 CORDIC

電気通信大学情報理工学部 市川 陽平

電気通信大学情報理工学研究科 範 公可, 石橋 孝一郎

概要: 今回の試作では、Pipeline unfolded radix-2 CORDIC, Parallel Pipeline CORDIC, All-Digital PLL, LDO, ベースバンドアンプの設計を行った。今回は Pipeline unfolded radix-2 CORDIC について報告する。近年、無線通信の発展に伴って OFDM は広範に用いられる様になった。OFDM では FFT, IFFT を計算する必要があるが、これは複素平面上での座標回転演算を含む。本試作では、この座標回転を高速に行なうことを目指し、CORDIC の実装を行った。通常の CORDIC では漸化式を逐次計算するが、今回はこれを Unfolding し、ループの各ステージをパイプライン化することにより高速化を図った。本回路では回転対象のベクトルを [1, 0]^T に固定し、回転角 θ を可変にすることで出力として $\cos\theta$ と $\sin\theta$ を観測できるように構成している。入出力はそれぞれ 16bit, 有効桁は 15bit であり、回転されたベクトルのどの成分を出力するかをマルチプレクサで選択できるようになっている。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル混載

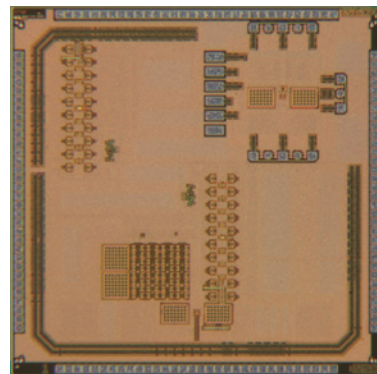


Differential comparator Stochastic Array and Coarse Flash ADC

東京大学 VDEC, D2T Mai-Khanh Nguyen Ngoc, Rimon Ikeno

概要：The design is to perform a sub-ranging analog to digital converter (ADC) based on an array of sixty-three stochastic comparators with the target of fine resolution to the considering of process variation. The chip implemented includes a sample-hold circuit and a coarse-ADC stage circuit for the project of Division of Design to Test. This sample and hold circuit is designed for a wide bandwidth operation for the input analog signals. In addition, linearity characteristic of the system is another priority for this design. Therefore, no active buffer amplifier is used for the sample hold circuit to keep the requirement of linearity. The sampel and hold circuit has a simple structure, with an NMOS operating as an on/off switch and a capacitor. Simulation is performed both in schematic and post-layout RC extraction. In addition, a modification on single comparator circuit is applied in this design. The comparator array is proposed with a fully differential comparator structure and a digital encoder. The encoder is to sum all outputs of the comparator array. The modification on this circuit is with the connection of the clock to perform less noise for the second stage of the differential comparator. The project is to implement a high resolution and high speed stochastic ADC system. The system includes 2-stages of the converter, fine, and coarse ones. The comparator structure is applied with a differential analog input signal which is connected to a “coarse” analog to digital converter circuit. A coarse flash ADC is designed with the upgraded comparator. The stochastic ADC with comparator array employs the same comparator structure but with smaller transistor size. The system includes an input stage of sample-hold circuit, first stage of the converter including flash ADC, and then second conversion stage of stochastic comparator array. Digital debugging signals are included in this sytem for the purpose of tracing each of comparators or internal circuits. For the testing purpose, two testing circuits of single comparators with difference size are performed on the same chip for the purpose of measuring the process variation. A testing stand-alone circuit of coarse flash ADC is designed on the same chip for the purpose of measuring its process-variation performance. A differential measurement setup in DC is performed and applied to this chip to measure the variation performance of the whole stochastic comparators and also of each individual comparator. A revised evaluation for this ADC system operation is performed for the target of the low noise low offset fine resolution sub-ranging ADC.

設計期間：2 人月以上, 3 人月未満 **設計ツール：**Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Cadence 社 Encounter RTL Compiler, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



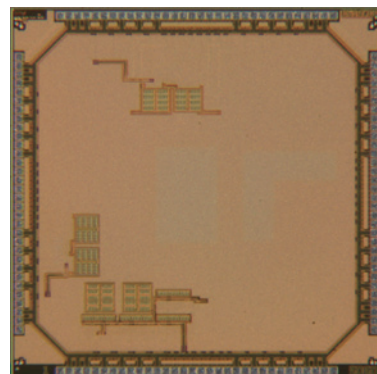
アナログ回路用ライブラリ及び素子評価

高知工科大学システム工学群 橘 昌良, 佐竹 宏太

高知工科大学大学院基板工学専攻 山田 健太, Wannaboon Chatchai

概要：本チップの目的はアナログ回路用ライブラリの設計である。試作した回路は $\Delta\Sigma$ 変調回路である。 $\Delta\Sigma$ 変調器は1次と2次の回路を試作した。1次の $\Delta\Sigma$ 変調器には電圧電流変換回路 (OTA) を用いた。用いた OTA は Nauta OTA と呼ばれ、6つのインバータで構成される回路である。2次の $\Delta\Sigma$ 変調器には入力電圧範囲が広く、利得の大きいフォールデッドカスコードオペアンプを用いた。試作した1次と2次の $\Delta\Sigma$ 変調器の回路構成は抵抗・キャパシタを用いた積分器, 1bitのダイナミック型コンパレータ, 1bitの電流出力 D/A 変換回路である。信号帯域は22kHz, オーバーサンプリング比は256として設計し, S/N比を評価した。 $\Delta\Sigma$ 変調器の故障検出回路ではBISTを設計し評価した。

設計期間：4 人月以上, 5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



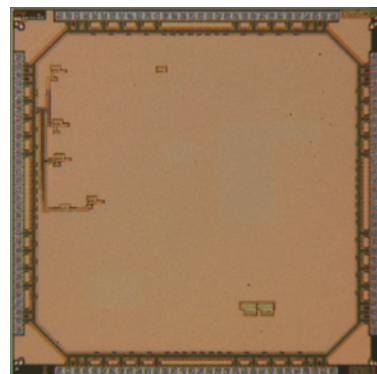
アナログ回路用ライブラリ及び素子評価

高知工科大学システム工学群 橘 昌良, 佐竹 宏太

高知工科大学大学院基板工学専攻 山田 健太, Wannaboon Chatchai

概要：本チップはアナログ回路用ライブラリの設計である。試作した回路は、5種類のバンドギャップリファレンス (BGR) 回路と2次 $\Delta\Sigma$ 変調回路およびその故障検出回路 (BIST) である。BGRは温度特性のピークを調整するためにバイポーラトランジスタ (BJT) の個数を1~15個まで調節できるもの、ダイオードの代わりに弱反転領域で動作するMOSFETを用いたものを3種類、弱反転領域で動作するMOSFETを用いたBGR回路とダイオードをコモンセントロイド配置にしたBGR回路を組み合わせたものを試作し、評価を行った。BGR回路を構成するオペアンプは2段構成で出力電圧からバイアス電圧を生成する自己バイアス型のものを用いた。 $\Delta\Sigma$ 変調器の故障検出回路ではカオス発振器を用いたBISTを設計し評価を行った。

設計期間：4 人月以上, 5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



耐ソフトエラー性を有するラッチ回路

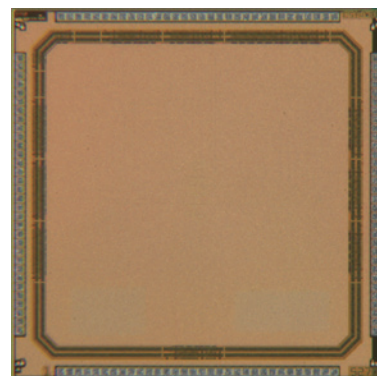
千葉大学工学部 上野 弘貴, 羽田 伶

千葉大学融合科学研究科 難波 一輝

概要: 本試作は, 放射線由来のエラーに対する耐性を持つラッチ回路を対象とした, 中性子線の照射実験のためのチップである. チップ上には通常のラッチ回路を含めた8つの回路が試作されている. 近年, VLSI (Very Large Scale IC) 高集積化による, 臨界電荷量の低下が発生しており, 回路が α 線や中性子線といった外部からの高エネルギー粒子の衝突の影響を受けやすくなっている. それにより, ソフトエラーの発生率が増加している. この問題を解決するため, ラッチ自身でソフトエラーを修正する耐ソフトエラーラッチの設計が必要である. 従来の研究によってフィードバックループや, DICE (Dual Interlocked storage Cell) 構造を利用した手法が提案されており, それらの従来手法はシミュレーションにおいて耐ソフトエラー性を有していることが証明されている. 我々は, 従来手法が実際の中性子線の照射環境下においても期待した動作を行うのか, シミュレーション結果の実証を行うために設計を行った.

参考文献: 坂田 雅俊, 難波 一輝, 伊藤 秀男, "ソフトエラー対策ラッチの調査と分類," 信学技報 FIIS, 2008 年.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ



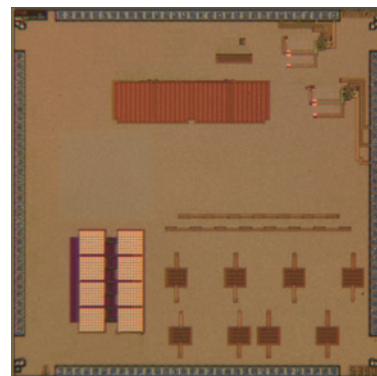
各種要素回路の設計

明治大学理工学部 和田 和千, 山下 良満, 鈴木 博俊

明治大学理工学研究科 今井 博之, 江川 和穂, 木谷 嘉孝, 大門 佑

概要: 学生6名が各々の研究において必要な回路の試作を行った. ①面積の小さいダイレクトサンプリングミキサを実装した. ダミースイッチを用いて設計し, チャージインジェクションの影響が抑えられ良好に動作することを, 測定により確認した. ②論理回路を2値動作させながら, 受動素子を加えることでアナログ信号処理を可能とした差動増幅回路を試作し, 提案回路の実装上の課題を認識した. ③無線電力伝送の受電側回路で振幅0.5V, 周波数100kHzの交流を整流するフルブリッジ型同期整流回路を試作し, 設計値より16%低い350mVの直流を確認した. その他に, ④遮断周波数が0Hzと200kHzであるログドメイン構成の複素フィルタ, ⑤入力電圧1.0Vに対する出力電圧が1.7Vの8段Dicksonチャージポンプ回路, ⑥素子バラツキによる出力誤差を抑圧するレイアウトをしたRCポリフェーズフィルタ, を試作したが, 原因不明の短絡等により正しく評価が出来なかった.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** その他



ジッターシェーパー型DACと $\Delta\Sigma$ 型位相比較器

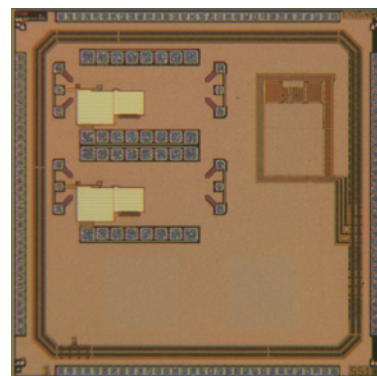
法政大学理工学部 安田 彰

法政大学理工学研究科 嘉藤 貴博, 西勝 聡, 渡邊 裕紀

概要: クロックジッタの影響を大幅に低減したジッターシェーパーを用いた高精度S/HおよびDACを試作した. 通常S/Hを駆動するクロックにジッタがあった場合, これによりノイズフロアが上昇する. このノイズに対してノイズシェーピングをかけることにより, クロックジッタの影響を低減できるDACを構成した. 本試作では, 無歪み構成とすることで, OPAMPにおける信号振幅を低減し, 歪み特性の改善を図った. また, $\Delta\Sigma$ 型位相比較器では, 内部DACを単純な電流源で構成することにより高速動作を可能としている. これにより, $\Delta\Sigma$ のクロック周波数を数100MHz程度まで上げ, オーバーサンプリング比を稼ぐことでSNRの改善を図っている.

参考文献: 嘉藤 貴博, 安田 彰, 吉野 理貴, $\Delta\Sigma$ TDC ($\Delta\Sigma$ -Time to Digital Converter) の検討および設計, 電子情報通信学会 全国大会, C-12-72, Mar., 2013.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Spectre, Synopsys社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

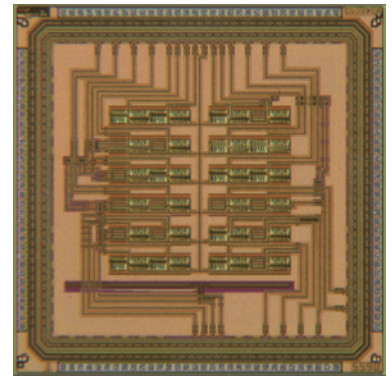


CMOS LSIチップ内の温度分布の解析

富山県立大学工学部 松田 敏弘, 出町 治香

概要: MOSFETの微細化によるVLSIの高集積化が進んでおり、消費電力の増大が深刻化してきている。その結果、VLSI内に局所的な高温箇所が発生し、回路の特性や信頼性などに影響するチップ内温度分布の不均一性が問題となっている。したがって、LSIに内蔵可能な、小型で高精度な温度センサが求められている。また、現在提供されている熱伝導シミュレータはLSIの設計に非常に有用であるが、シミュレーションの精度をさらに高めるためにも、実験による実測値とシミュレーション結果の検証は必要不可欠である。本研究では、熱源となる抵抗とそのまわりに配置されたダイオードまたはMOSFETアレイからなるテスト回路をLSIとして設計・試作し、実測とシミュレーションを用いてLSI内の温度分布を解析することを目的としている。本テストチップ中の1ブロックには、熱源となる抵抗1個と、温度センサとなるダイオードまたはMOSFETが32個で構成されている。テストチップ内には、温度センサブロックを24個配置し、熱源や配線パターン等による温度分布の変化を解析できるようにした。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF) **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



多チャンネル皮質脳波信号計測チップ

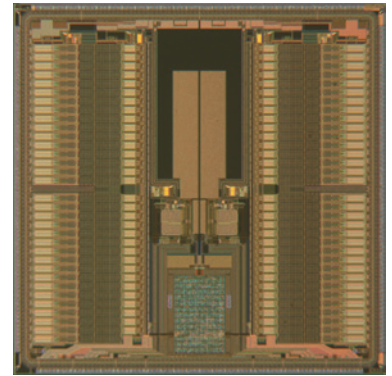
大阪大学大学院生命機能研究科 鈴木 隆文, 安藤 博士

広島大学大学院先端物質科学研究科 吉田 毅

概要: 脊髄損傷などにより運動機能を失った人の生活の質を向上させるため、考えるだけで義肢などを操作できるブレイン・マシン・インタフェース (BMI) の実現が期待され、その信号源として侵襲性と情報量とのバランスなどから皮質脳波信号 (ECoG) が注目されている。本研究では、更に小型な埋込み型BMIシステムを実現するために、ピン配置の最適化を行った多チャンネル皮質脳波安定計測チップの改良試作を行った。搭載回路は、64チャンネルの低雑音増幅回路、12bitAD変換器、システム制御回路である。設計した低雑音増幅回路は、振幅が数 μ V~1mV程度で、信号帯域が0.1~100Hz程度であるECoGを検出するために、弱反転領域で動作するMOSFETを用いたフィードバック構成で実現した。また12bitAD変換器は32kSpsで動作した。

参考文献: 吉田, 他, "ブレイン・マシン・インタフェース64chニューラルレコーディングチップ", 信学技報ICD2011-23, pp.25-30, 2011

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 Astro, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 NanoSim **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** アナデジ混載



人物検知用赤外線アレイセンサ対応二重積分型アナログ/デジタル変換回路

立命館大学理工学研究科 上口 翔大

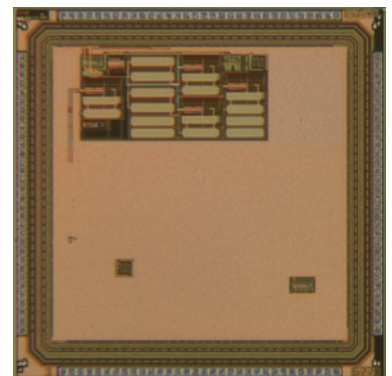
大阪産業大学工学部 熊本 敏夫

立命館大学総合科学技術研究機構 白畑 正芳, 汐崎 充

立命館大学理工学部 藤野 毅

概要: 小型電池で年間駆動する人物監視カメラの技術開発を行っている。想定システムは、所定の時間ごとに得た赤外線アレイセンサ像を用いて人物検知し、撮影が必要な場合のみイメージセンサを起動することでシステム全体の低消費電力化を図るものである。このシステム実現のため、定期的にイベント検知する赤外線アレイセンサ読み出し回路の低消費電力化が必要になる。そこで、赤外線センサとしてサーモパイルセンサを想定し、この微小な出力(1mV級)を増幅しデジタル値に変換するためのアナログ/デジタル変換(A/D変換)回路を設計した。低消費電力化のため回路規模が小さく簡単な構成の二重積分型の構成を選択した。センサの微小電圧出力を電流に変換し、所定の時間、容量素子に充電することでセンサ出力に対応する電圧を生成、これを起点に一定電流で放電し放電完了までの時間を計測しデジタル値に変換する。内部回路のオフセット電圧はキャンセルできるようオートゼロ技術を導入した。ここでは先行して設計したアナログ回路部分(AFE)に、A/D変換まで行うようカウンタ、クロックドライバ等のデジタル部も設計して接続し、A/D変換回路として仕上げた。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



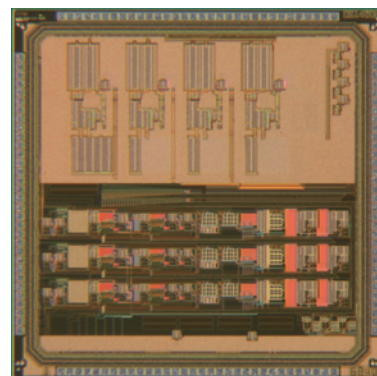
0.18 μ m CMOS プロセスを用いた生体信号用低雑音増幅器の改良

慶應義塾大学理工学部 中野 誠彦, 伊藤 孝太

慶應義塾大学理工学研究科 四ツ田 大樹, 久保 勝弘, 高坂 太郎, 宮脇 貴統

概要: 現在, 電気生理学の分野で脳波や筋電といった生体電位信号をとらえる測定が盛んに行われている. この生体電位信号を測定することができるメリットのとして, ブレインマシンインタフェース技術と呼ばれる, 脳と機械間の双方向通信技術の応用がある. 我々はこの生体電位信号を測定するための LSI システムの設計を行っている. 今回の試作では, 生体電位信号用低雑音増幅器を再設計し, システムの帯域を可変にできる多チャンネルシステムの構築を行った. しかし, 容量の専有面積が大きいく, density rule により設計通りの容量値でチップ試作を行うことができなかった.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 QRC, Cadence 社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



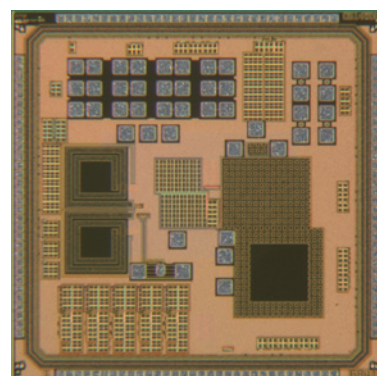
自律動作可能 LSI チップの動作範囲拡大に向けた検討

慶應義塾大学理工学部 中野 誠彦, 五十嵐 一真, 杉浦 隆弥

慶應義塾大学理工学研究科 渡邊 淳史, 折原 大地, 南 快優

概要: 現在, 自立動作可能な LSI チップのための, 電源回路とアプリケーション回路の研究を行っている. 電源回路は太陽電池, クロック生成器, DC-DC コンバータから成り, 太陽電池の出力を 1V 以上に昇圧することで様々なアプリケーション回路の動作を目指す. 現在アプリケーションとしては無線通信を想定しており, 光を当てることで無線通信を行うマイクロシステム送信器の実現を目指している. 本試作では過去に試作したブートストラップ式チャージポンプ回路に対し, 低電圧での動作が見込まれるダブル型とトリプラー型を試作した. 過去に試作した電源システムではクロック周波数が高すぎるという問題があったため, 抵抗によって周波数を調整したリングオシレータを用いて, 太陽電池, リングオシレータ, DC-DC コンバータを繋ぎこんだ電源システムを試作した. また, 更なるクロック周波数の安定化を目指し, バリキャップを用いたリングオシレータを試作した. アプリケーションの無線通信を実現するために, 2.4GHz を出力する LC 発振器とパワーアンプを試作した.

設計期間: 4 人月以上, 5 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



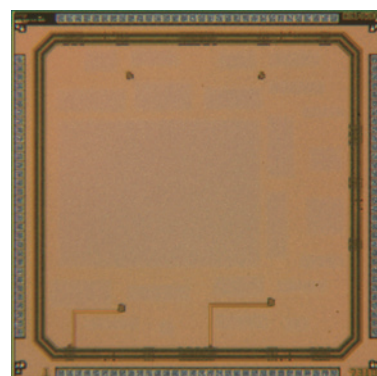
復号回路

上智大学理工学部 林 等

概要: 立ち上がり間隔が一定周期になるように波形を割り当てた符号化方式に対応した復号回路. ○特徴 マンチェスタ符号: 信号の DC オフセットが発生しないため, クロック再生が容易. ただし, クロック再生回路が必要. 起動に時間がかかる. ⇒立ち上がり間隔が一定周期になるように波形を割り当て. ⇒クロック再生回路を使用せずに高速起動が可能・低消費電力化. ⇒クロック同期に時間がかかる位相同期ループを使用せずに, データと同期したクロックを高速に得ることができる. ○想定される用途 ①センサ NW 分野における「キーデバイス」としての活用⇒センサ間通信 ②災害対策等に導入が望まれる RFID システム⇒デュアルタイプ RF タグへの展開 ③「次世代」マイナンバーカード⇒「交通系」非接触 IC カードへの展開

参考文献: 林, "新しい高速起動・低消費電力符号化方式の提案", JST 分野別 ビッグデータ 新技術説明会, 2014 年 2 月

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



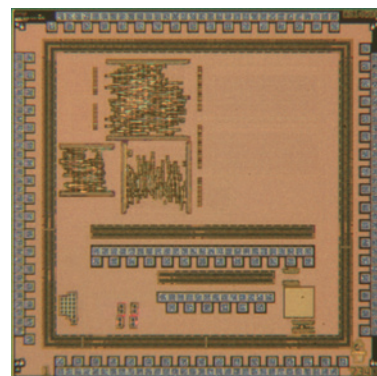
生体情報処理用 CPU 及び周辺 ASIC の試作

兵庫県立大学工学研究科 藤原 潤, 神田 健介, 藤田 孝之, 前中 一介

兵庫県立大学工学部 服部 喜優

概要: 本チップでは, VHDL を用いて 8051 互換の CPU を試作した。このチップは, ウェアラブルセンサに搭載する ASIC の CPU として試作したものである。プログラムメモリ用の SRAM も同時に配置することにより外部からの自由なプログラミングが可能である。また生体処理用に専用設計した歩数計測用 ASIC, 心拍数取得 ASIC も同時搭載している。外部接続の加速度センサから歩数のカウントが可能である。また専用設計した ECG アンプ, A/D 変換器により胸部に外部からの電極を取り付けることで心拍のカウントも可能になる。歩数 ASIC に関しては歩く際の加速度の変化を読み取ることで, 歩数をカウントすることができる。またサンプリングレートの調節により歩行スピードに関わらず算出することが可能である。心拍抽出 ASIC は心拍取得に必要なしきい値を自動算出することにより各パラメータを設定する必要がなく, 計測が可能である。また, 評価の際はひとつのシステムとしてだけでなく, 各回路単体の評価も可能な配線設計にしてある。設計には, 京都大学提供のスタンダードライブラリを利用した。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 Encounter RTL Compiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 NanoSim **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ



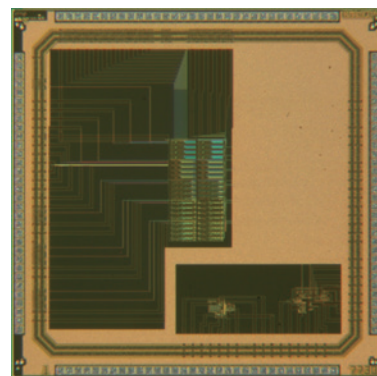
オフチップ共振回路を用いた断熱的論理用低消費電力電源回路

岐阜大学工学部 高橋 康宏

概要: 設計者は, 断熱的論理回路を駆動するための周期波電源を参考文献にて提案している。提案回路は, LC 共振回路, バイアス生成回路, 電流制御回路, および, 共振ピーク制御回路で構成される。本プロセスを用いて SPICE シミュレーションを行ったところ, 100 nA 負荷時の消費電力は 10.8 μ W と低消費電力特性を示した。その後, LC 共振回路に各提案回路を接続し, 周期波電源システムとしての動作確認を行ったところ, システムは 100 kHz の正弦波を安定的に出力し, そのときの消費電力は 35.5 mW であった。本チップは, 電源回路の他に, 断熱的論理回路 2PC2AL を用いた疑似ランダムパルス発生器を搭載している。電源回路とパルス発生器を接続したところ, 回路は正常動作していることを確認した。

参考文献: 高橋, 佐藤, "オフチップ共振回路を用いた断熱的論理用低消費電力電源回路," 電気学会論文誌 C, vol. 133, no. 2, pp. 250-255, Feb. 2013.

設計期間: 0.1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

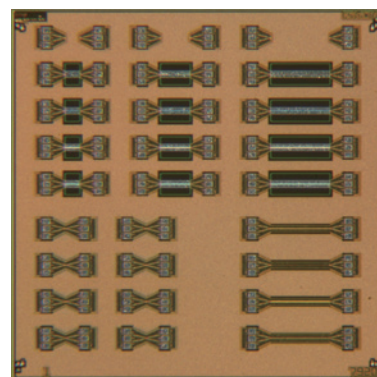


Fabrication of CPW structures with various dimensions and de-embedding structures

東北大学工学研究科 Sai Ranajit

概要: High frequency characterization of magnetic materials is indispensable for the proper uses of the same. The interaction of magnetic fields to the nearby magnetic material can be sensed efficiently by coplanar wave guide (CPW) structure even at a frequency as high as several tens of GHz. However, the amount of current that flows through the CPW lines are usually very low and can produce a magnetic field of just a few Oe at most. Therefore, it is extremely difficult to determine the influence of such a tiny magnetic field to the high frequency characteristics of the test magnetic samples. Meanwhile, the strength of magnetic field obtained from CPW at GHz frequency depends on the width of the central metal line of the CPW, and by reducing the width a large current density can be obtained, which in turn can augment the strength of the magnetic field. In this run of fabrication we designed CPW structures with various lengths such as 100, 200, and 400 microns, and with various widths of central signal line ranging from 0.6 to 4 microns. The purpose of this fabrication is to observe the difference in sensitivities of various CPW lines. Furthermore, several de-embedding structures as well as various calibration structures, such as short, open, through were also designed for fabrication. GHz の周波数における CPW から得られた磁場の強度は CPW の中心金属線の幅に依存し, 幅を小さくすることにより大電流密度を得ることができ, それによって磁界の強さを補強できます。作製のこの実行では, 100, 200, および 400 ミクロンなどのさまざまな長さで, 0.6~4 ミクロンの範囲の中心の信号線の様々な幅の CPW 構造を設計した。この製作の目的は各種の CPW 線の感度の違いを観察することですさらに, いくつかのディエンベディング構造ならびに種々のキャリブレーション構造, ショート, オープン, 等, また製造のために設計されました。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** マイクロプロセッサ

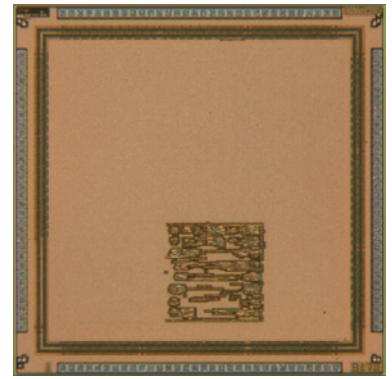


耐ハードウェアトロイ回路

早稲田大学基幹理工学研究所 大屋 優, 戸川 望

概要：チップの設計・製造コストの削減のため、一部の工程を外部に委託することで、ハードウェアトロイと呼ばれる、第三者が挿入した悪意のある回路が問題になっている。今回試作したチップは、耐ハードウェアトロイ研究用途として試作した。今回想定した状況は、悪意のある第三者がAES暗号回路にハードウェアトロイを挿入した設計ファイルが存在し、その設計ファイルに対して耐ハードウェアトロイ回路を挿入して、ハードウェアトロイの動作を防ぐことである。既にシミュレーション上では耐ハードウェアトロイ回路が適切に動作して、ハードウェアトロイの動作を防ぐことを確認している。そのため今回はハードウェアトロイを挿入したAESに対して、耐ハードウェアトロイ回路を挿入したチップを実際に作成して評価を行うことで、耐ハードウェアトロイ回路の実用性を確認した。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Synopsys社 Cosmos, Synopsys社 Formality トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：マイクロプロセッサ



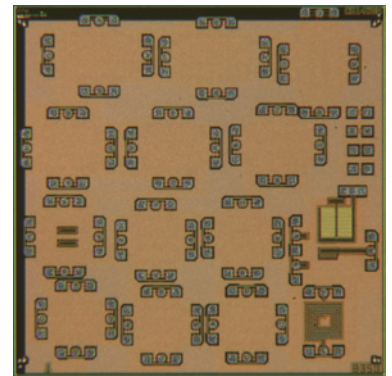
包絡線パルス幅変調方式送信機に用いるD級増幅器のバンドパスフィルタ狭帯域化検討用回路

東京理科大学理工学部 渡邊 邦彦, 榎田 洋太郎, 小澤 佑介

概要：EPWM送信機で発生する量子化雑音をスイッチング動作電力増幅器で増幅すると無駄な電力消費が発生し、信号に対する実効的な効率が低下する。しかし、オンチップインダクタは寄生抵抗および基板間容量が大きいため、EPWM送信機で使用するスイッチング動作電力増幅器の内蔵するバンドパスフィルタの帯域を狭くすることができず、量子化雑音の増幅により信号に対する電力効率が低下する問題があった。このため、本研究では、オンチップインダクタの基板間容量に並列にインダクタを付加することにより並・直列共振器を構成しバンドパスフィルタの狭帯域化を図る構成を提案し、その効果を回路シミュレーションと試作の対比により定量的に評価した。

参考文献：渡邊, 榎田, 小澤, “オンチップインダクタの対基板容量キャンセリングによるEPWM送信機用D級増幅器内蔵バンドパスフィルタの狭帯域化”, 信学技報, vol. 115, no. 477, pp. 189-193, 2016年3月.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF回路, ATMなど)



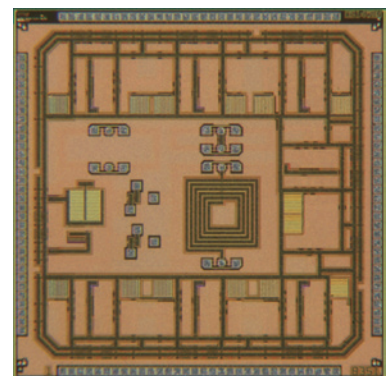
包絡線パルス幅変調 (EPWM: Envelope Pulse-Width Modulation) 方式送信機に用いるD級増幅器のバンドパスフィルタ狭帯域化検討用TEG

東京理科大学理工学部 渡邊 邦彦, 榎田 洋太郎, 小澤 佑介

概要：EPWM送信機で発生する量子化雑音をスイッチング動作電力増幅器で増幅すると無駄な電力消費が発生し、信号に対する実効的な効率が低下する。しかし、オンチップインダクタは寄生抵抗および基板間容量が大きいため、EPWM送信機で使用するスイッチング動作電力増幅器の内蔵するバンドパスフィルタの帯域を狭くすることができず、量子化雑音の増幅により信号に対する電力効率が低下する問題があった。このため、本研究では、オンチップインダクタの基板間容量に並列にインダクタを付加することにより並・直列共振器を構成しバンドパスフィルタの狭帯域化を図る構成を提案し、その効果を回路シミュレーションと試作の対比により定量的に評価した。

参考文献：[1] 渡邊, 榎田, 小澤, “オンチップインダクタの対基板容量キャンセリングによるEPWM送信機用D級増幅器内蔵バンドパスフィルタの狭帯域化”, vol. 115, no. 477, pp. 189-193, 2016年3月.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF回路, ATMなど)



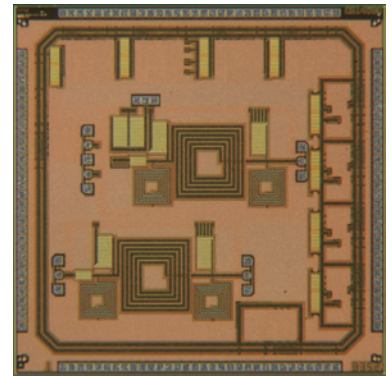
包絡線パルス幅変調 (EPWM: Envelope Pulse-Width Modulation) 方式送信機に用いる D 級増幅器のバンドパスフィルタ狭帯域化検討用 TEG

東京理科大学理工学部 渡邊 邦彦, 榎田 洋太郎, 小澤 佑介

概要: EPWM 送信機で発生する量子化雑音をスイッチング動作電力増幅器で増幅すると無駄な電力消費が発生し、信号に対する実効的な効率が低下する。しかし、オンチップインダクタは寄生抵抗および基板間容量が大きいため、EPWM 送信機で使用するスイッチング動作電力増幅器の内蔵するバンドパスフィルタの帯域を狭くすることができず、量子化雑音の増幅により信号に対する電力効率が低下する問題があった。このため、本研究では、オンチップインダクタの基板間容量に並列にインダクタを付加することにより並・直列共振器を構成しバンドパスフィルタの狭帯域化を図る構成を提案し、その効果を回路シミュレーションと試作の対比により定量的に評価した。

参考文献: [1] 渡邊, 榎田, 小澤, “オンチップインダクタの対基板容量キャンセリングによる EPWM 送信機用 D 級増幅器内蔵バンドパスフィルタの狭帯域化”, vol. 115, no. 477, pp. 189-193, 2016 年 3 月。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre
チップ種別: 通信 (RF 回路, ATM など)



トランジスタ数: 10~100 試作ラン:

Hadamard ゲートおよび制御 R_k ゲートのエミュレータ実現

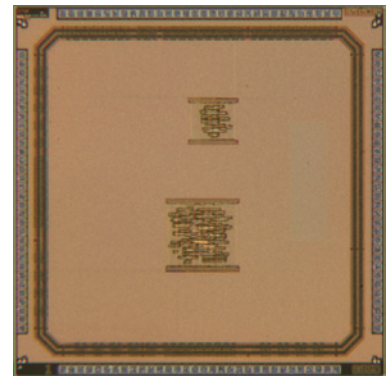
琉球大学大学院理工学専攻電気電子工学専攻 比嘉 識人

琉球大学工学部 金城 光永, 島袋 勝彦

概要: 大規模量子コンピュータのハードウェア実現例報告が増えてきた中、ソフトウェア開発・検証のためのエミュレータ開発が必要である。そこで、これまで行ってきたエミュレータ開発の中から、万能量子論理ゲートである CCN ゲートおよび F ゲートを対象としたエミュレータ設計をベースに、Hadamard ゲートおよび制御 R_k ゲートも実行できるよう機能拡張した新たなエミュレータの設計・検証を行った。その結果チップの正常動作を確認した。今後は、今回設計したエミュレータをさらに機能拡張し、高機能大規模量子ゲートエミュレータ実現を目指す。

参考文献: 比嘉, 金城, 島袋, "Hadamard ゲートのエミュレータ設計に関する考察", 2015 年電気学会九州支部沖繩支所講演論文集, OKI-2015-14, 2015 年 12 月

設計期間: 8 人月以上, 9 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 Astro, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 HSPICE (RF)
チップ種別: TEG (特性評価回路など)



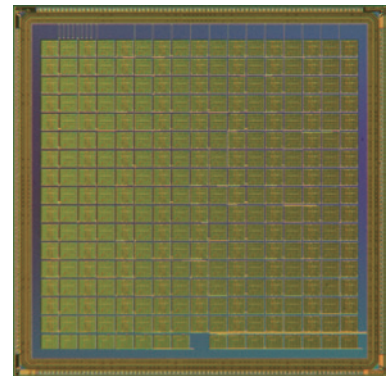
トランジスタ数: 10,000~100,000 試作ラン:

耐放射線・光再構成型ゲートアレイ

静岡大学創造科学技術大学院 藤森 卓巳, 渡邊 実

概要: 耐放射線性能に指向した光再構成型ゲートアレイ VLSI を試作した。光再構成型ゲートアレイはホログラムメモリと共に用いられ、コンテキストはホログラムメモリ内に蓄えられる。それらは共に実装されるレーザアレイにより選択的に読み出され、ゲートアレイ VLSI にフォトダイオードを介して書き込まれる。このフォトダイオードの接合部のサイズは 4.40μm×4.45μm であり、このチップには 17,664 個のフォトダイオードが実装されている。本チップに実装された論理ブロック、スイッチングマトリックスの数はそれぞれ 128 個, 144 個である。論理ブロックには 4 入力の Look-Up Table が 2 個実装されている。基本的なゲートアレイとしての機能は FPGA と同じであるが、構成・再構成はナノ秒台で実行できる。この結果、高速なスクラビングが可能になり、ソフトエラー耐性で既存の FPGA よりも優れる。本チップのゲート規模は 8,704 ゲートである。

設計期間: 0.1 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 Astro, Synopsys 社 ICACompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE (RF)
チップ種別: ニューテクノロジー



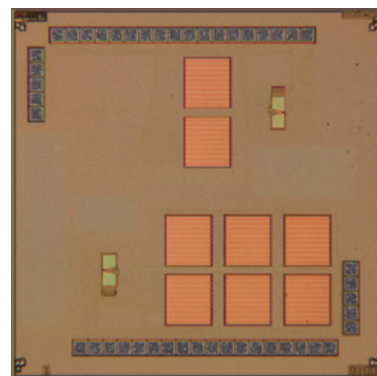
IoTに向けたNAND型フラッシュメモリ書き込み電圧生成回路

中央大学工学部 石井 智也, 田中 誠大, 鶴見 洸太, 竹内 健

概要: 近年, クラウド, ビッグデータに続く重要なトレンドとして Internet of Things (IoT) が注目を集めている. IoT ローカルデバイスは低電力化, 小型化のため, センサや NAND 型フラッシュメモリ, 周辺回路を1パッケージ化することが必要とされている. そのため, NAND 型フラッシュメモリの書き込み電圧生成回路の入力電圧を低電圧化することが求められている. NAND 型フラッシュメモリの書き込みには高い電圧が必要であり, 入力電圧を昇圧する書き込み電圧生成回路が必要である. 本試作では, IoT ローカルデバイスに搭載することを想定し低電圧で動作可能な NAND 型フラッシュメモリ書き込み電圧生成回路を作成した. 今後は試作チップの動作確認を行い, より詳細な変換効率のベンチマークを取る予定である.

参考文献: 検討中

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



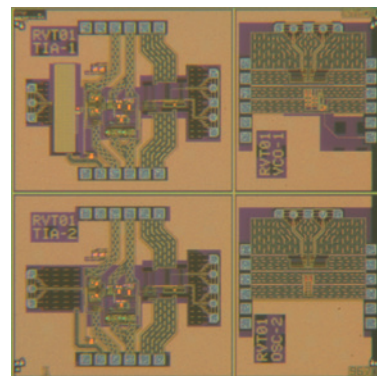
光受信用アナログフロントエンド回路 TEG

岐阜大学大学院工学研究科 滝 孝介, 内藤 文哉, 久米 沢弥, 久保 尚也, 中村 誠

概要: 我々の研究グループでは, 光パケット伝送用アナログフロントエンド回路の設計を行っている. 光アクセス (FTTH) や光パケットルータでは, 信号強度の異なるパケットデータの送受信を行うため, 受信したパケットデータに高速応答可能なアナログフロントエンド回路が求められている. さらに, 低電圧, 低消費電力化も求められており, 高速応答, 入力ダイナミックレンジを確保しつつ低電圧動作を実現する必要がある. これらの課題に対して, 低電圧時でも波形歪みが生じないように増幅回路の線形動作領域の範囲内で信号を受信できるように利得を切り替える高速多段利得切替による低電圧化を提案している. 今回, 多段利得切替機構を備えた光電流を電圧に変換するインピーダンス変換増幅回路と, その後段にてクロック信号生成に用いられる電圧制御発振器について試作を行った. IC 評価により TEG 回路の 1.8V での基本動作を確認することができた. 今後は, 測定結果の詳細な検証とそれをもとに回路の改良を行っていく予定である.

参考文献: [1] 滝孝介, 内藤文哉, 中村誠, "バースト対応 TIA の低電圧化に関する基本検討", 電子情報通信学会総合大会, A-1-30, 2015 年 3 月.

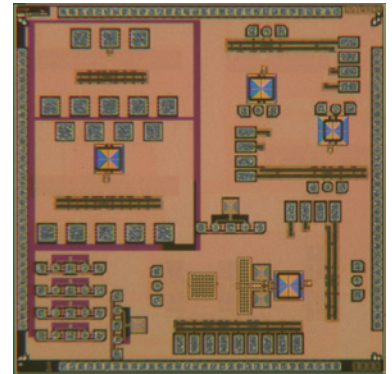
設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



A CMOS-MEMS hybrid design for microwave pulse generator circuit

東京大学 VDEC Mai-Khanh Nguyen Ngoc

概要： Our proposal is for the target of an implementation of an on-chip low power low cost pulse generator for the application of low power wireless sensor network. In a low power wireless sensor network, Pulse generator is a key circuit component for mm-wave pulse transmitters. Therefore, the power consumption of transmitters is of significant interest for both their active time and idle periods. As a result, they suffer several inefficiencies that lead to high power consumption and limited operational lifetimes. Previous microwave pulse generation circuits generated pulses by employing inverter chains or sharpening edge schemes which required a large amount of power and die areas. To generate a microwave damping pulse, a notch filter transient response is employed in but the pulse output is not so symmetric. In this design, we present a new pulse generator employing a regenerated trigger switch. In this proposed architecture, neither edge-sharpener circuit nor unbalanced inverter chain is required. A regenerated trigger switch is used to form a fast on off switch to generate output pulses. Following the previous tape-out chip, we propose a hybrid CMOS and MEMS circuit for this pulse generator. However, there are some modifications on our on-chip pulse generator but still keep the positive feedback current-mirror scheme. The positive feed back scheme is applied to aim for a short wake-up trigger switch operation to generate microwave shock-wave pulses. A prototype has been integrated on a standard 0.18 μ m CMOS technology process to characterize the operation of the pulse generator. While the pulse generator circuit is implemented by a CMOS process radiation elements connecting to the output of the pulse generator such as transformer and antenna are fabricated based on a two metal on-glass MEMS process. The on-glass transformer can be implemented with more turns and structures to achieve higher pulse generation frequency than the previous on-chip transformer one. In addition, the radiation, antenna, can be implemented more flexible by using the 2 metal on-glass process. The on-glass process will be implemented by using VDEC clean-room facilities. By applying this idea of such combination, our pulse generator consumes lower stand-by power and smallest chip area than the conventional ones while it can produce high frequency and high amplitude pulses for a variety of applications such as active mm-wave imaging, communication, or medical diagnosis imaging supports. The circuit produces a short wake up time and a very small die area and hence is suitable for low cost low power wideband sensor network applications.

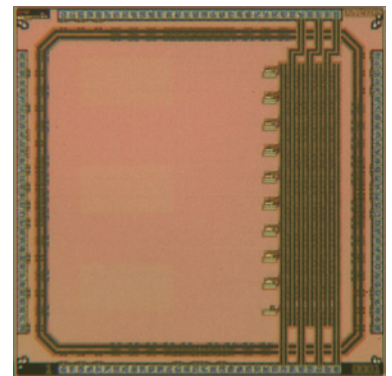


設計期間： 1 人月以上, 2 人月未満 **設計ツール：** Cadence 社 Virtuoso, Cadence 社 ASSURA, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数：** 100~1,000 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** 通信 (RF 回路, ATM など)

サンプルホールド回路の非線形歪み測定用回路

東京大学 VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博
東京大学工学系研究科 伊藤 貴亮

概要： アナログ-デジタル変換回路で用いられるサンプルホールド回路はトランジスタのオン抵抗, チャネルからの電荷注入, ターンオフタイミングのずれ等の原因によって出力信号に非線形な歪みが発生する. この歪みの大きさはスイッチに用いるトランジスタのサイズや電圧保持用のキャパシタのキャパシタンスの大きさ, 入力する信号の振幅や周波数によって変化するとされている. この発生する歪みと各種パラメータの関係性を明らかにし, 実際に測定することはサンプルホールド回路の設計を最適化する際に有用であるとされている. 本試作では測定対象となるサンプルホールド回路及びサンプルホールド回路の出力を測定するためのバッファとなるユニティゲインアンプを作成した. サンプルホールド回路のパラメータによって歪みの大きさが変化することを確認するために, 複数のサイズのサンプルホールド回路を設計して比較が行えるようにしてある. 測定の結果, 事前のシミュレーションで確認したような歪みが発生していることを確認することができた.



設計期間： 3 人月以上, 4 人月未満 **設計ツール：** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT) **トランジスタ数：** 100~1,000 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** アナログ (PLL, A-D/DC-DC コンバータなど)

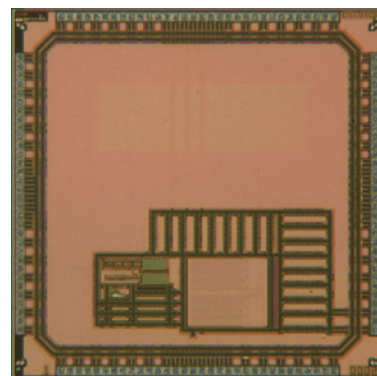
三角波状アクティブ電荷注入による電源共振ノイズ低減回路

東京大学工学系研究科 鹿野 真弘

東京大学 VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要: 近年の微細化により, パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり, それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている. 一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが, 大きな容量を得るには大きな面積を必要とする. よってこの面積コストを低減するために, これら電源ノイズをオンチップで検知し動的に電荷を注入する回路を設計した. 動的に電荷を注入する際必ず遅延が発生してしまうため, 単純な比例制御では予期せぬ発振や期待される効果を得られない可能性がある. そこでノイズの大きさを決定するパラメータのほとんどが設計及びシミュレーション段階で決まることを利用し, 事前に注入電荷量を決めておき, ノイズを検出した段階で注入を始める, という回路を設計した. 具体的には, 電圧ドロップ検出回路, 注入電荷量を制御する注入コントローラ, 実際に電荷を注入するキャパシタ回路を実装した. 注入コントローラには事前に決めた三角波状の電荷注入を電圧ドロップ検出回路の結果に応じて適応させる機能を持たせた. 約 30% のノイズ低減効果を示したシミュレーション結果を実証するためのテストチップである.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

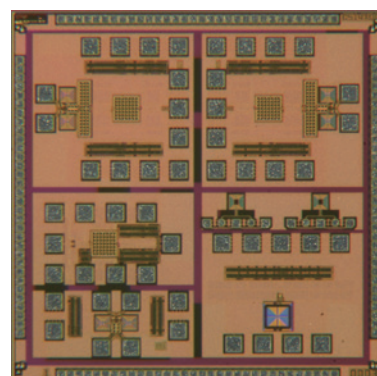


A CMOS-MEMS hybrid microwave pulse transmitter

東京大学 VDEC Mai-Khanh Nguyen Ngoc

概要: For the target of an implementation of a wide band transceiver on-chip low power low cost pulse generator for the application of low power wireless sensor network, we proposed an on-chip wide band receiver for low power wireless sensor network applications. Following by the previous design on a pulse generator, we implement a passive receiver to detect the generating pulse. In this chip, a transceiver is added on the same chip with both pulse transmitter and the synchronous pulse receiver. The power consumption of transceiver is also carefully considered for the significant interest for both their active time and idle periods. In other works, microwave pulse generation circuits generated pulses by employing inverter chains or sharpening edge schemes which required a large amount of power and die areas or a notch filter transient response is employed in but the pulse output is not so symmetric. As the successful measurement of our previous proposal pulse generator in which a new pulse generator is with lower stand-by power and smallest chip area than the conventional ones and can produce high frequency and high amplitude output pulses, an integrated transmitter with on-chip simple receiver is implemented. The receiver is with passive types and then followed by an on-chip LC filter and an on-chip amplifier. The LC filter includes an on-chip inductor and capacitor. Then, an amplifier which has three stages is connected to amplify the low frequency signal output from the LC filter. In addition, the amplifier has an ability of adjusting its gain by using a DC bias supplied from external equipment. There are several testing circuit patterns implemented in this chip tape-out. A stand-alone amplifier with on-chip pads is for the purpose of measuring using the probe station to achieve its parameters. Also, a stand-alone filter and on-probing purpose inductor are placed on the same chip with their de-embedded patterns too. In addition, a version of flipping chip is performed to implement a hybrid combination between CMOS and MEMS in which both radiation elements and passive ones such as transformers or capacitors of the proposed transceiver will be fabricated. The MEM fabrication will be made based on VDEC clean-room facilities. By applying this idea, our pulse transmitter can achieved and consume a low stand-by power and can produce high frequency and high amplitude pulses for a variety of applications such as active mm-wave imaging, sensing, communication, or medical diagnosis imaging supports.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 ASSURA, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF 回路, ATM など)



3値CAM及びハミング距離検索機能付きCAM

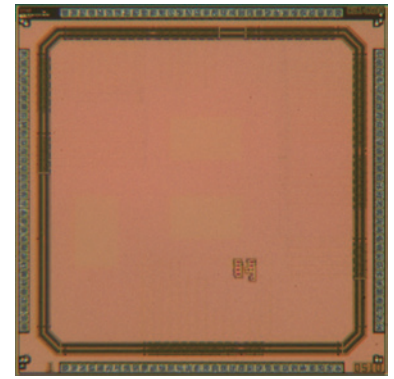
東海大学大学院情報通信学研究科 情報通信学専攻 早川 翔

東海大学情報通信学部 組み込みソフトウェア工学科 福原 雅朗

概要： 従来のSRAMセルを用いた3値CAM (Content Addressable Memory) は1つのセルを構成するのにSRAMセルを2つ必要としていた。そこで我々は1つのSRAMセルを用いて3値CAMを作れないかと考えた。従来3値CAMの”Don't Care”と同じ働きをシミュレーション上で確認できたため、実際にチップ試作を行った。必要とするセルが減ったことで1セルあたりの面積を30%程減らすことができた。また、本チップには、本研究室で新たに提案するハミング距離検索機能付きCAMも搭載した。提案CAMは検索データに対して完全一致 (ハミング距離0) のデータだけでなく1bit 不一致 (ハミング距離1) や2bit 不一致 (ハミング距離2) という類似データをも高速に判別する機能を有している。提案CAMは、検索データと記憶データのハミング距離に応じたアナログ電圧を生成し、A/D変換回路によりそのハミング距離を判別する。このアナログ電圧は非線形な特性を持つため通常のA/D変換回路では設計が困難であったが、ニューロンMOSインパータによるA/D変換回路を適用することでその問題を解決している。

参考文献： Fukuhara, Urakami, Hayakawa, Ueda, Harada, Fujimoto and Yoshida, "Proposal of a Hamming distance search CAM with neuron CMOS A/D converters," Proceedings of ICEIT2016, pp. 80-88, January 2016.

設計期間： 5人月以上, 6人月未満 **設計ツール：** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：** 100~1,000 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：** メモリ

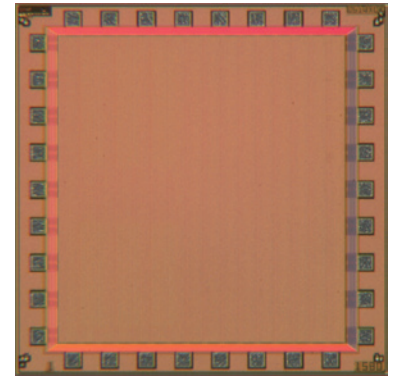


IoT ノード端子の微小容量変化の検出回路

東京大学生産技術研究所 朴志焄, 染谷 晃基, 高宮 真, 桜井 貴康

概要： IoTノード端子に対する物理的な盗聴への対策として、それを検出するための回路の開発を行っている。測定器のプローブをIoTノードの端子に接触させた際に、端子の容量がわずかに増加することを低消費電力で検出するためにスイッチトキャパシタ回路のTEGを試作した。従来のRC時定数を用いて容量を検出する方式は正確なクロックが必要な上、温度バラツキに対する耐性が低いという問題があるため、比較的に温度特性に優れたキャパシタを用いることによる温度特性の改善を検討している。本試作では容量のわずかな変化検出のPVTバラツキ耐性を評価する。また、本試作では100 μ A級の軽負荷に向けたLDOを設計した。増幅器を1 μ Aで動作させることで低消費電力化を実現している。

設計期間： 1人月以上, 2人月未満 **設計ツール：** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF) **トランジスタ数：** 100~1,000 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：** TEG (特性評価回路など)

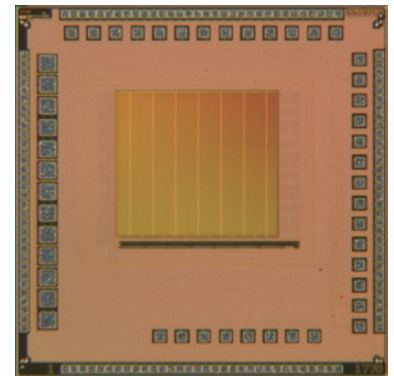


低電力型SFQ/CMOSハイブリッドメモリシステム用64kb RAM

横浜国立大学工学部 今野 元, 吉川 信行

概要： 我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的はSFQ入力、SFQ出力のハイブリッドメモリの全チャンネル動作を実証することである。測定を行った結果、実装した21チャンネル中13チャンネルにて正常動作が得られた。アンプの駆動可能な電源電圧が1.8Vより低い1.5Vでないと駆動できないという ynuR018_15_2_1 と同様な結果が得られている。

設計期間： 0.1人月未満 **設計ツール：** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：** 100,000~1,000,000 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：** メモリ



HOGおよびSURF 特徴抽出を有するコプロセッサ

広島大学工学研究科 An Fengwei

広島大学先端物質科学研究所 Zhang Xiangyu, Luo Aiwen, 藤田 勇貴, 中島 一紀

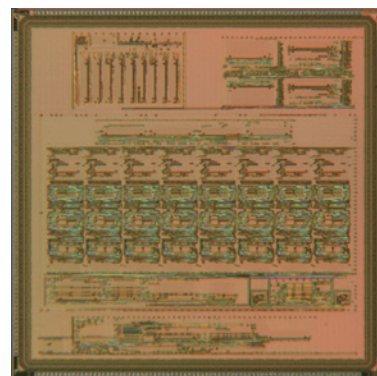
広島大学 HiSIM 研究センター Chen Lei

広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen

概要：Image feature extraction is an important task for image or video analysis in machine vision. The designed prototype chip realizes a feature-extraction coprocessor for Speeded-Up Robust Features (SURF) and Histogram of Oriented Gradients (HOG) feature extraction with a pixel-based pipelined hardware architecture. Instead of the conventional initial pixel-storage in large frame-buffer memories, the coprocessor synchronizes with image-sensor working frequency and immediately processes every input pixel for online feature construction. When the local feature extraction for an image cell

(8x8 pixels) is finished, the result is immediately utilized for feature-vector construction of all scan windows to which this cell belongs. Consequently, the designed prototype chip in 180nm CMOS technology requires only 12 KB of on-chip memory for extracting the 1680-dimensional Haar-like SURF feature descriptor and 2.25 KB of on-chip memory for extracting the 3780-dimensional HOG feature of each sliding scan window and implements additionally a programmable input image size. During 30 fps VGA video input at 12.5 MHz frequency, it consumes only 4.78 mW power for SURF feature extraction at 1.8 V supply voltage. The HOG feature extraction for images with 1024x768 pixels consumes only 42.3 mW at 120 MHz.

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 PowerCompiler, Synopsys社 ICACompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：マイクロプロセッサ

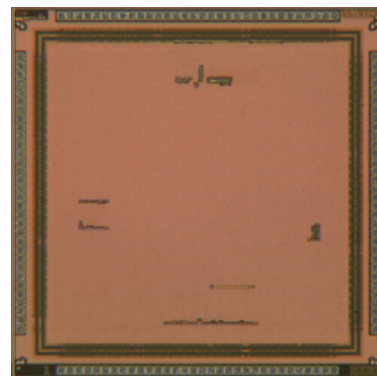


電源電圧の変化による遅延変動の評価回路

会津大学コンピュータ理工学部 増子 駿, 小平 行秀

概要：我々は、クロックスキューを利用する一般同期方式において、高速化と低電力化を同時に実現する集積回路の設計に関する研究を行っている。従来のクロック同期回路では、回路内の最大遅延により回路の速度が決定されるが、一般同期方式では、最小遅延を増加させることで回路が高速に動作することがある。一般的に、電源電圧を下げると遅延が大きくなるので、一般同期方式を採用することで、高速化と低電力化が同時に実現できる可能性がある。本チップには、電源電圧を変化させたときの遅延変動を評価するために、加算器、ALU、カウンタ等の簡単な回路が実装されている。本試作の測定結果を元に、高速化・低電力化を実現する一般同期方式の設計技術を開発する。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICACompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Formality トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

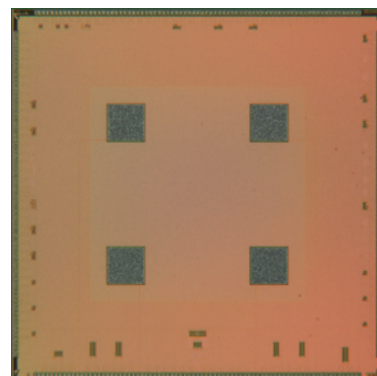


溶液バイオケミカルセンシング回路

立命館大学理工学部 宇野 重康

概要：CMOSチップ上の溶液中成分を検出するバイオセンサーチップとしての回路を搭載した。具体的には、(1) チップ上に4個のパッド領域を作成し、これを用いて溶液中成分を電気化学的に測定した。パッド領域上にカーボンによる電極を作成し、フェロシアン化イオンおよびフェリシアン化イオンの酸化還元電流を測定した。(2) 電気化学的な電流を測定するためのポテンショスタット回路と、そこで用いられる低消費電力オペアンプを設計・搭載した。出力電流を5 μ A程度に設定し帯域幅を狭くすることで低消費電力化を図った。ポテンショスタット回路としての基本動作を確認した。(3) 電気化学的な電位差を測定するための計装アンプを設計し、そこで用いられる低消費電力オペアンプを設計・搭載した。出力電流を上記よりさらに抑えることによりオペアンプ単体での消費電力を低減した。(4) その他に、センサー用途を想定した汎用オペアンプを搭載し、それらの性能比較を行った。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：イメージセンサ/スマートセンサ

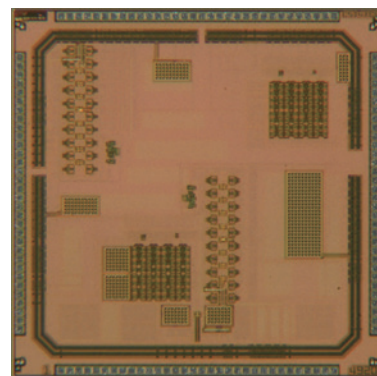


An Improvement of Stochastic ADC Sub-ranging System

東京大学VDEC, D2T Mai-Khanh Nguyen Ngoc, Rimon Ikeno

概要 : The circuit design is aimed to improve the performance of our previous differential comparator. Our project of the sub-ranging analog to digital converter is related to an array of sixty three stochastic comparators with the target of fine resolution to the considering on process variation. The project is to implement a high resolution and high speed stochastic ADC system including two stages of the converters, fine and coarse ones. Each comparator element in the stochastic array is in a full differential type, both for inputs and reference signals. The comparator includes two stages: an input differential amplifier with four PMOS transistors and a decision regeneration stage. The second stage is just a positive feed back scheme of two inverters. In this design, we try to improve to connect the enabling clock to the regeneration stage of the comparator to perform a quick turn on the decision state and to prevent leakage and noise that can be occurred at the second stage. Inputs of all sixty three comparators are connected together in an H shape layout path. Also the same is for the clock distribution for each comparators. Another circuit implemented on the same chip is to upgrade the sample hold circuit for a wider band width and less insertion loss. The sample hold circuit is applied for the analog input stage of the stochastic analog to digital converter system so the requirement of the linear and bandwidth for the operation are mandatory. We also design a whole system of the stochastic analog to digital converter system including input stage of the samp-hold circuit, the first stage of a flash analog to digital converter and then the second stage of the stochastic analog to digital converter. Digital debugging signals are included in this sytem for the purpose of tracing each of comparators or internal circuits. A testing stand alone circuit of the coarse flash analog to digital converter is designed on the same chip for the purpose of measuring its process variation performance. In addition, a testing purpose of sample and hold circuit is implemented following by a source follower circuit. This testing circuit is to obtain the characteristic of source follower itself. The measurement for the testing circuit of the source follower will performed on a probe station. The chip is aimed to achieve process variation through measuring the output yield values with a differential measurement setup for both DC and ac signals.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Cadence 社 Encounter RTL Compiler, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数** : 1,000~10,000 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)



高精細音空間コンテンツのための主観的最適化音空間ディスプレイの研究開発

北陸先端科学技術大学院大学情報社会基盤研究センター 井口 寧

概要 : 音空間ディスプレイの合理的なシステム条件の指針を深化させ、これに基づいた高精細音空間ディスプレイシステムを構築した。北陸先端科学技術大学院大学におけるフェーズ II では、サブの研究開発うち、Sub-DHM 内蔵型音響シミュレーションブロックの開発を行った。前年度にシミュレーションブロックを構築したが、前年度は双方向のシリアル通信であった。シミュレーションブロックを大型化し、片方向ずつ分割することによって、通信回路が簡単にでき性能も向上することが期待できるので、昨年度からの改良として RJ45 コネクタを用いた双方向インターフェースを採用した。用いたチップは、CMOS 0.18 μ m (ローム株式会社) を用いて試作した。

参考文献 : Tan Yiyu, Yasushi Inoguchi, Yukinori Sato, Yukio Iwaya, Makoto Otani, Takao Tsuchiya, "A Scalable Processor for Real-time Sound Rendering", Proceedings of COOL Chips XVIII, 1 page in CD-ROM

設計期間 : 10 人月以上 **設計ツール** : Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 ModelSim **トランジスタ数** : 100,000~1,000,000 **試作ラン** : ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別** : アナログ/デジタル信号処理プロセッサ



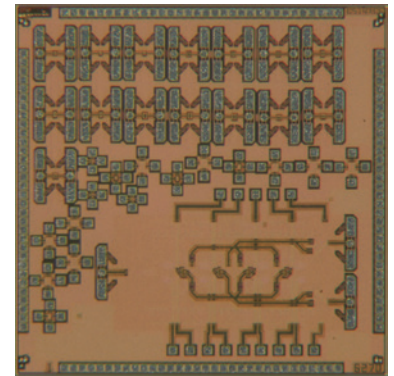
電圧CMOSアナログ回路の試作

明治大学理工学部 渡辺 正之助, 奥 達哉, 大里 侑生

概要: 低電圧駆動, 低消費電力というテーマを根底に置き, 各々の研究において提案した回路, 評価に必要な回路の試作を行った. 以下が試作した回路の概略となる. アナログ FIR フィルタ: 波形を直接アナログ演算により処理することで, 回路の面積と消費電力を小さくできるアナログ FIR フィルタの IC 化を目標とし, 遅延回路を CMOS インバータ, 乗算回路をギルバートセルで構成している. PTAT 電圧発生回路: 温度に比例した出力電圧を得ることができる. 上下の MOS トランジスタを弱反転領域で動作させることで, 低消費電力・低電源電圧を実現している. 今回, PTAT 電圧発生回路を温度センサとして IC チップ上に複数枚置くことによって, チップ上の温度勾配を検知する事を目標とした. MOS の RF-TEG: 高周波における S パラメータの測定.

参考文献: R. JACOB BAKER: 「CMOS CIRCUIT DESIGN, LAYOUT, AND SIMULATION」, A JOHN WILEY & SONS, INC., 2007

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

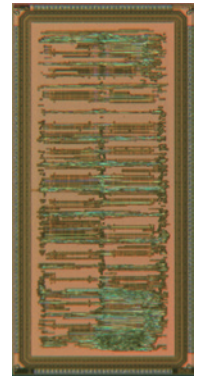


汎用プロセッサ改良による高速動き検出実行用チップ

三重大学大学院工学研究科 深澤 祐樹, 王 宝康, 丹後 嘉浩, 近藤 利夫, 佐々木 敬泰

概要: 近年, 動画画の高精細化が進み, さらなる圧縮率の向上が求められている. 最新の動画画符号化規格 H.265/HEVC では高圧縮率と引き換えに符号化処理に要する演算量が大幅に増加しており, 実時間での符号化が困難となることが予想される. しかしながら, 専用の演算器などで構成したコプロセッサでは高速な符号化処理と引き換えにハードウェアコストの大幅な増加を招くという課題がある. そこで, 汎用の 2-way スーパースカラプロセッサに対し, 既存の演算器への機能拡張, 最小限の専用モジュール追加, 2次元データアクセス可能なキャッシュメモリの採用などにより最小限の追加ハードウェアコストと動画画符号化における高速な動き検出処理の実行を両立するプロセッサコアの設計を行った.

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 Design-Compiler, Synopsys 社 ICCompiler, TOOL 社 Lavis, Mentor 社 Calibre, Mentor 社 ModelSim **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mm チップ **チップ種別:** マイクロプロセッサ



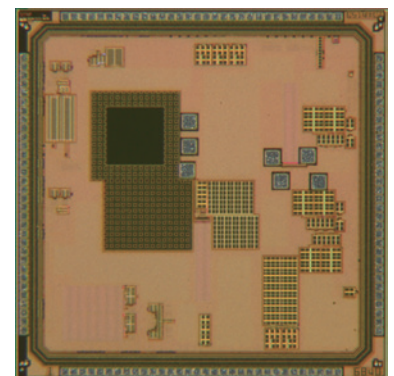
0.18 μ m CMOS プロセスを用いたパッチクランプ測定システムの部品改良

慶應義塾大学理工学部 中野 誠彦, 伊藤 孝太

慶應義塾大学理工学研究科 四ツ田 大樹, 久保 勝弘, 高坂 太郎, 宮脇 貴統

概要: 現在, 電気生理学の分野で神経細胞によるイオン電流を測定することが盛んに行われている. この神経信号を測定することができるメリットの 1 つに神経疾患の治療に貢献することが挙げられる. また, ブレインマシンインタフェース技術と呼ばれる, 脳と機械間の双方向通信技術の応用にも貢献できると期待されている. 我々はこのイオン電流を測定する手法の 1 つであるパッチクランプ法のための LSI システムの設計を行っている. 今回の試作では, 疑似抵抗を用いたローパスフィルタの設計を行った. また, デジタル回路部に使用するレベルシフト回路の再設計を行った.

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 QRC, Cadence 社 Spectre **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



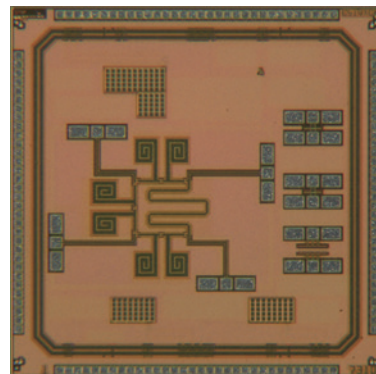
符号化・復号回路

上智大学理工学部 林 等

概要：立ち上がり間隔が一定周期になるように波形を割り当てた符号化方式に対応した符号化・復号回路。○特徴 マンチェスタ符号：信号のDCオフセットが発生しないため、クロック再生が容易。ただし、クロック再生回路が必要。起動に時間がかかる。⇒立ち上がり間隔が一定周期になるように波形を割り当て。⇒クロック同期に時間がかかる位相同期ループを使用せずに、データと同期したクロックを高速に得ることができる。⇒クロック再生回路を使用せずに高速起動が可能・低消費電力化。○想定される用途 ①センサNW分野における「キーデバイス」としての活用⇒センサ間通信 ②災害対策等に導入が望まれるRFIDシステム⇒デュアルタイプRFタグへの展開 ③「次世代」マイナンバーカード⇒「交通系」非接触ICカードへの展開

参考文献：林, "新しい高速起動・低消費電力符号化方式の提案", JST 分野別 ビッグデータ 新技術説明会, 2014年2月

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Keysight社 ADS **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**通信 (RF回路, ATMなど)



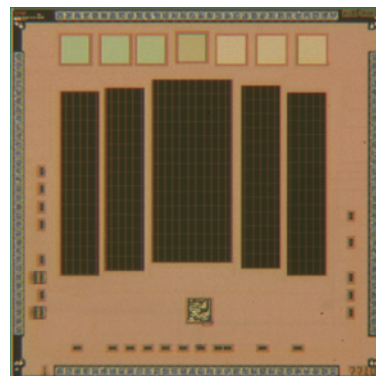
トリプルウェルを用いた on-chip 太陽電池の集積化

東洋大学総合情報学部 堀口 文男

概要：1. 目的 通常のリングオシレータの p-well を Deep-nwell, n-well で囲むと p-well がフローティングとなる。また、n-well も基板の p-substrate とは接合分離されている。太陽電池もトリプルウェル構造とすることで、CMOS回路の基板とは独立に直列接続が可能になる。2. 方法 各測定は151段のリングオシレータを用いる。通常のリングオシレータの断面構造では p-substrate が p-well と共通となるために太陽電池の直列接続はできない。しかし、フローティング構造のリングオシレータは p-well が Deep-n-well で囲まれているため、通常のリングオシレータと違い nmos に太陽電池とは独立して基板バイアスを印加することが可能となっている。3. 結果 太陽電池を直列に接続し、0.9V, 1.3V の高電圧を CMOS リングオシレータに印加することができることが確認できた。

参考文献：堀口ほか, "直列太陽電池を集積したトリプルウェル CMOS LSI の構成法", 信学論, Vol. J94-C, No. 5, pp. -, May (2011)

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)



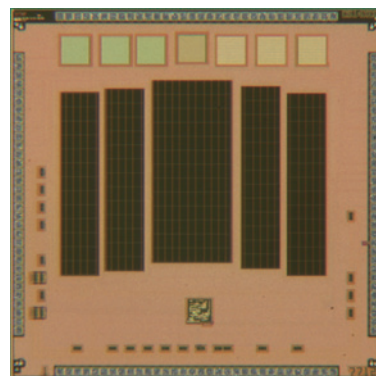
トリプルウェルを用いた on-chip 太陽電池の集積化

東洋大学総合情報学部 堀口 文男

概要：1. 目的 通常のリングオシレータの p-well を Deep-nwell, n-well で囲むと p-well がフローティングとなる。また、n-well も基板の p-substrate とは接合分離されている。太陽電池もトリプルウェル構造とすることで、CMOS回路の基板とは独立に直列接続が可能になる。2. 方法 各測定は151段のリングオシレータを用いる。通常のリングオシレータの断面構造では p-substrate が p-well と共通となるために太陽電池の直列接続はできない。しかし、フローティング構造のリングオシレータは p-well が Deep-n-well で囲まれているため、通常のリングオシレータと違い nmos に太陽電池とは独立して基板バイアスを印加することが可能となっている。3. 結果 太陽電池を直列に接続し、0.9V, 1.3V の高電圧を CMOS リングオシレータに印加することができることが確認できた。

参考文献：堀口ほか, "直列太陽電池を集積したトリプルウェル CMOS LSI の構成法", 信学論, Vol. J94-C, No. 5, pp. -, May (2011)

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

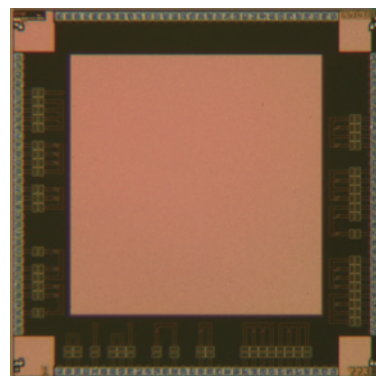


測定器が直接接続困難なポートを持つ回路のSパラメータを推測するためのTEG

岐阜大学工学部 高橋 康宏, 関根 敏和

概要：ICパッケージ内やTEMセル内の回路など、測定器が直接接続困難なポートを持つ回路のSパラメータ、あるいは、表面実装素子の実装状態でのSパラメータなど、プローブを接続することで、その特性が変化してしまう回路の特性を測定によって知るには、測定器のプローブを接続可能にするための治具を介した測定が必要であり、測定値から治具の特性を取り除くことで、被測定回路の特性が求まる。すなわち、治具は測定プローブが接続可能なポートと、被測定回路が接続される測定プローブが接続不可能なポートを持っている。このような治具の特性を何らかの方法で求めて測定値から取り除き、被測定回路の特性を求めなければならない。このチップでは、被測定回路の特性を求めるための治具として抵抗を配し、その評価を行った。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：～10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



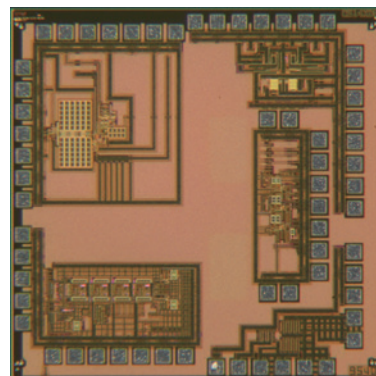
エネルギーハーベスティング向け昇圧電源及び非接触給電向け送受電回路、光プローブセンサ向け光電流変換 CMOS アナログフロントエンド回路

信州大学大学院理工学系研究科 篠原 秀樹, 吉田 穰理, 小柳 洗介, 宮地 幸祐
信州大学工学部 上倉 宇晴, 小林 瑞季, 福岡 篤志

概要：本試作では、1) エネルギーハーベスティング向け低電圧昇圧回路、2) 磁界共振型非接触給電向け送受電回路、3) 光電流変換 CMOS アナログフロントエンド回路を設計した。

1) エネルギーハーベスティング向け低電圧昇圧回路においてはボルテージダブラー型チャージポンプをスタートアップ回路としており、0.2V以下からの昇圧を目指す。スタートアップ回路はMPPT機能を持つブーストコンバータを起動するようになっている。2) では13.56MHz非接触給電向けの受電整流回路と送電D級アンプを設計した。整流器はzero voltage switchingを実現する同期機能と出力電圧を後段にレギュレータを接続せずにレギュレーションできるような構成となっている。また、3) においては10MHz帯域光プローブ電流センサ向け完全差動構成アナログフロントエンド回路を設計した。今後はこれら試作チップの測定を行い、動作確認、検討を行う予定である。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



平成27年度第1回ルネサス CMOS 65nm 試作 (RS65151)

高速ロックを実現する完全デジタル型クロック・データ・リカバリ回路

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博
東京大学工学系研究科 峠 仁人

概要: 高速有線通信分野においてはランダムなデータ列から対応するクロック信号を復元するクロック・データ・リカバリ (CDR) 回路は必須の技術であり広く研究が行われている。CDR回路は、従来PLLを応用したアナログ回路による構成が一般的であったが、近年完全デジタル型の構成を取る All-Digital CDR (ADCDR) も提案されるようになってきた。本試作では、特にモバイル機器等の低消費電力が必要なアプリケーションにおいて、待機電力が極めて低く、かつ待機状態からの瞬時の起動が可能な高速起動完全デジタル CDR 回路を設計した。提案する CDR 回路は数ビットのプリアンブル信号から入力データの周波数を検出することで高速な周波数ロックを実現する。本 CDR 回路はスタンダードセルベースのデジタル回路により構成されており、待機時にはダイナミック電力を消費しない。そのため提案回路は、特に IoT 向けのアプリケーションなど間欠的な動作を行うデバイスの消費電力削減に効果的である。

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)

オフチップキャパシタによる電源ノイズ低減効果実証 TEG

東京大学工学系研究科 鹿野 真弘
東京大学VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要: 近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とし、貴重なシリコン領域を消費してしまう。1つの解決策として、薄膜のキャパシタをダイ上に直接取り付けることにより、低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる。この試作チップには、その効果を確認するため、電源品質というものを回路の最大動作周波数で評価するテスト回路を実装した。8つのノイズ発生源をチップ全体に配置し、ノイズ発生源の位置による電源ノイズ、即ち最大動作周波数への影響を確認できるようにしてある。また、実際の LSI チップの環境に近づけるため、パッドはアレイ状に配置している。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mmx2mm **チップ種別:** TEG (特性評価回路など)

誘導結合 TCI を持つマイクロプロセッサ GCSOTB

芝浦工大情報工学科 小暮 俊輔, 工藤 優, 安田 匠吾, 宇佐美 公良
慶應義塾大学情報工学科 奥原 颯, 天野 英晴
東京農工大学情報工学科 並木 美太郎

概要: GCSOTB は MIPS R3000 互換のマイクロプロセッサ Geysler に誘導結合 TCI (Through Chip Interface) の IP を接続することで、アクセラレータ CCSOTB チップを積層してヘテロジニアスマルチプロセッサシステム Cube-2 を構築することができる。ビルディングブロック型計算システムのホストとして動く。プロセッサはキャッシュと TLB を装備しており、OS を動作させることができる。コアとメモリのボディバイアスを独立に制御することで、消費電力を最適化することが可能である。Geysler 本体は設計通り稼働したが、TCI の電源供給部にバグが発見され、FIB 加工の検討中である。

参考文献: 天野, 他 7 名, "誘導結合 TCI を用いたビルディングブロック型システムの SOTB プロセスによる実装, 2016 年 3 月, 信学報, ICD

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 6mmx3mm **チップ種別:** マイクロプロセッサ

誘導結合 TCI を持つアクセラレータ CCSOTB

慶應義塾大学理工学部 天野 英晴, 藤田 悠, 奥原 颯

概要: CCSOTB は、超低電力粗粒度リコンフィギュラブルアクセラレータ CMA (Cool Mega Array) に誘導結合 TCI (Through Chip Interface) とネットワークルータを接続した構成を持つ。積層することで、簡単にエレベータ型のネットワークを構築することができ、応答パケットのピギーバックにより、TCI の個数を増やさずに 8 種類の仮想チャネルを実現する。CMA 本体は従来の 8x8 の PE アレイを 12x8 に拡張するとともに、自動的にウェーブパイプラインを実現する機構を備えており、従来の CMA よりも高性能なアクセラレータを指向している。処理の終了時に、自動的にストリームデータを転送する DMA 機構を持ち、積層した複数の CMA を用いて簡単にストリーム処理を行うことができる。現在、CMA 本体の動作、TCI の動作は確認済みで、性能評価中である。

参考文献: 天野, 他 7 名, "誘導結合 TCI を用いたビルディングブロック型システムの SOTB プロセスによる実装, 2016 年 3 月, 信学報, ICD

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSIM **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 6mmx3mm **チップ種別:** アナデジ混載

細粒度ボディバイアス制御を行う動的リコンフィギャラブルプロセッサ MuCCRA-4BB

慶應義塾大学理工学部 奥原 颯, Armed Akram Ben, 天野 英晴

University of Tübingen Computer Science Johannes Kuehn

概要: MuCCRA-4BBは、PE (Processing Element) の要素単位でドメイン分割を行った細粒度ボディバイアス制御が可能な動的リコンフィギャラブルプロセッサのテスト回路で、4PE、16 パワードメインから構成されており、パワードメインと演算器割り当ての最適化を行うことができる。MuCCRA-4は、マイクロバクトル命令を持つパイプライン化された動的リコンフィギャラブルプロセッサで高性能指向である。また、多数のパワードメインに電源を供給するための VBBGEN、パワードメインのボディバイアスが有効になったことを検出する検出回路など、ボディバイアス制御に必要なテスト用回路を搭載している。ほぼすべての回路が動作し、ボディバイアス制御に関連するデータを多数採取することができた。

参考文献: 奥原, Kuehn, Akram, 天野, "細粒度ボディバイアス制御を用いた CGRA のリーク電流最適化", 2016 年 5 月信学報 RECONF

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 PowerCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSIM **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mm 角 **チップ種別:** アナデジ混載

IEEE 754 準拠単精度浮動小数点除算器ほか

立命館大学情報理工学部 越智 裕之, 新納 一樹

概要: 引き戻し法および SRT 法を用いた IEEE 754 準拠単精度浮動小数点除算器を SOTB 65nm プロセスによって実装し、性能 (Shmoo Plot) や消費電力を測定するためにチップ試作を行った。このチップには、被測定回路 (浮動小数点除算器) の他に、クロックオシレータ、テストパタン発生回路、テスト応答圧縮回路などを搭載している。クロックオシレータは、100MHz 以上の周波数のクロックをチップ上で発生させるためのものである (今回の試作では PLL マクロが提供されなかったため、その代用品として実装した)。このクロックオシレータは current starved inverter を用いたリングオシレータであり、外部からバイアス電圧を調整してやることにより発振周波数を変化させることが可能である。テストパタン発生回路は LFSR、テスト応答圧縮回路は CRC を用いている。また被測定回路の消費電力測定のため、専用の電源ピンを設けてある。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** 演算回路 (乗算器, 除算器など)

低電圧安定動作のための要素回路および設計技術の開発

京都大学大学院情報学研究所通信情報システム専攻 小野寺 秀俊, 石原 亨, 鎌刈 竜也, 塩見 準, 都築 祐亮, 中井 辰哉

概要: 低電圧安定動作のための設計基盤の開発を目標とし、低電圧動作に適した回路素子の評価回路や静的/動的ばらつきの評価回路を作成した。多種類の RO をアレイドに多数並べた回路により各スタセルの特性やばらつきを評価できる。再構成可能なモニタ回路によりトランジスタの特性を評価できる。低電圧向け構造である完全デジタル型メモリを搭載し、メモリの低電圧における特性のモデル化を目標とする。FF をシフトレジスタとして多段接続した回路により FF の最低動作電圧の評価やトポロジー間の特性比較ができる。

設計期間: 5 人月以上, 6 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSIM **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mm 角 **チップ種別:** TEG (特性評価回路など)

2 ステップ確率的 ADC TEG, 発振回路 TEG

金沢大学自然科学研究科 今村 竜

概要: 2 ステップ確率的 ADC TEG: 確率的フラッシュアナログデジタル変換器 (SFADC) は比較器のオフセットのばらつきを比較器の基準に用いる ADC であり、高精度、オールデジタル回路、コンパレータ数のみをパラメータとして製造後の ENOB を決定できること、などの特徴を持つ。しかし、入力範囲が小さいことが問題として挙げられる。本試作では回路規模を増やさずに入力範囲を拡大する方法を実証するために、インバータ 8 個より構成される比較器を 1 グループ 1023 個として 8 グループ用意して計 8184 個の比較器、加算器、グループ数と比較器数を制御するセレクタを実装した。評価結果はまだ出ていない。発振回路 TEG: コンピュータ断層撮影法 (CT) は X 線を体に照射し、通過した X 線量のデータより体の内部を画像化する検査法である。この方法は X 線を使うため、専門医の診断を必要とするほか、年間の総被ばく量が法律により制限されているために頻りに身体内部の様子を画像化することができない。そこで、本研究ではミリ波による CT を実現する。そのため、本試作では 65nm CMOS での最大発振周波数を測定することを目的として、インバータ 3 段リングオシレータ、NAND1 段インバータ 2 段リングオシレータ、NAND1 段インバータ 2 段リングオシレータ+6 分周期、の計 3 種類の発振回路を実装した。評価の結果、設計ミスにより発振を確認することができなかった。

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** TEG (特性評価回路など)

オンチップバランを用いた差動低雑音増幅器の試作

大阪工業大学大学院工学研究科 木原 崇雄, 松田 茂郷, 高橋 克樹, 高橋 知也, 吉尾 恒洋

概要：2020年までに、500億個の電子機器が無線でインターネットに接続すると予想されており（IoT: Internet of Things）、Bluetooth Low Energy（BLE）等の無線通信機能を有する制御IC（MCU: Micro Controller Unit）の需要はこれまで以上に高まっている。1つのチップ上に無線部とCPU部を集積するSoC（System-on-Chip）の構成を採ることで、IoT関連機器の小型化と電池の長寿命化が可能になる。しかし、CPU部のクロック信号が無線部に漏れ込み、その特性を劣化させてしまう。受信機の初段に設ける低雑音増幅器（LNA）をクロック信号等の影響を受けにくい差動構成とすることで、無線部とCPU部のワンチップの容易化を目指す。これらの実現に向けて、本試作では以下を行った。・0.6V、2.4GHz動作の差動LNA・オンチップトランスを用いた単相-差動変換・ソース接地LNAとゲート接地LNAの特性比較・インダクタのシミュレーション結果と実測の比較

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT) トランジスタ数：100~1,000 試作ラン：ルネサス CMOS SOTB 65nm 2mmx1.5mm チップ種別：通信（RF回路, ATMなど）

複数のスキャンウィンドウの並列処理と特徴ベクトルの抽出を有する物体認識プロセッサ

広島大学工学研究科 An Fengwei

広島大学先端物質科学研究科 Luo Aiwen, Zhang Xiangyu

広島大学 HiSIM 研究センター Chen Lei

広島大学ナノデバイス・バイオ融合科学研究所 Mattausch Hans Juergen

概要：Two feature-vector-based recognition processors with embedded cell-based feature descriptor extraction unit and parallel search-window recognition engine were designed and implemented in this prototype VLSI chip. One of the processors is equipped with a 3780-dimensional Histogram of Oriented Gradient（HOG）descriptor extraction unit, while the other has a 1680-dimensional Speeded-Up Robust Features（SURF）descriptor extraction unit. The feature extraction circuitry with pixel-based pipelined architecture can characterize the target objects among complex backgrounds, only relying on the pixel frequency from the image sensor. Furthermore, a cell-based window-scan algorithm enables parallelized recognition in multiple search windows and scalability to different image sizes. This novel architecture integrates feature-vector extraction and object recognition for sliding search windows into a single energy-efficient hardware structure, thus avoiding the conventional separation of feature extraction as a pre-processing step. Consequently, the designed coprocessors enable high object recognition performance and realize significantly improved energy-efficiency of 910 μ J per frame at 200 MHz and 1 V supply voltage. Additionally, extremely small chip size of about 1.25 square millimeter per processor could be achieved due to the very small required storage capacity.

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim トランジスタ数：100,000~1,000,000 試作ラン：ルネサス CMOS SOTB 65nm 3mm角 チップ種別：マイクロプロセッサ

0.1Vで起動する完全集積可能な昇圧電源回路

産業技術総合研究所ナノエレクトロニクス研究部門 更田 裕司, 大内 真一

概要：近年、環境エネルギーから電力を取り出し、その電力で必要な回路を動作させようとする試みがなされている。温度差発電など出力される電圧が非常に低い（0.1V程度）場合は、その低い電圧を回路が動作可能な電圧まで昇圧する電源回路が必要となる。従来このような電源回路には、インダクタやトランスなどの外付け部品が必要であったり、外付け部品不要のものは効率が悪い、という問題があった。そこで本チップ試作では、外付け部品不要で、かつ、変換効率の良い昇圧電源回路の実現を目指し設計を行った。具体的には、以下の3つの回路技術を実装した。（1）最低の入力電圧は高いが変換効率の良いゲート昇圧型チャージポンプ回路を新たに提案した。（2）0.1Vの低入力電圧を実現する為に、オンチップLCオシレータを使用した昇圧回路を用いる。本回路は変換効率が悪いので起動時のみ使用し、その後（1）で提案した高効率のゲート昇圧型チャージポンプ回路に切り替える。（3）不要となったLCオシレータは基板バイアスを印可する事により停止する。試作チップを測定した結果、0.1Vの入力電圧を最大0.9Vまで昇圧でき、最高変換効率は33%になる事を確認した。これは、従来技術に比べて10倍以上の効率改善に相当する。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ルネサス CMOS SOTB 65nm 6mmx3mm チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）

ミリ波フェーズドアレイ回路用評価素子

大阪大学大学院基礎工学研究科 塩見 英久

概要：本試作では、ミリ波フェーズドアレイアンテナ用各種回路試作のためのデバイス特性評価用素子を試作した。ミリ波帯では素子出力の不足や自由空間伝搬損失を補うために、移相器、電力増幅器、及びアンテナを1組として多数配列して同時に駆動するアクティブフェーズドアレイアンテナを用いる場合がある。これまでアクティブフェーズドアレイアンテナはレーダなどに用いられてきたが、通信用途に応用する際には、増幅器の線形性やスプリアスの抑圧など様々な課題がある。これらの課題に取り組む前段階として、トランジスタ、伝送線路、インダクタ、キャパシタ、ダイオード評価用素子を試作した。また、ダイオードによる全波整流回路を試作した。プローブ等評価系の課題で遅れているが、デバイス特性の評価はこれから実施する予定である。これらの測定結果を基にして、通信用の各種回路の試作検討を行いたいと考えている。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：~10 試作ラン：ルネサス CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG（特性評価回路など）

スケーラブルデバイスアレイ

京都大学情報学研究科 栗野 皓光, 吉永 幹
佐藤 高史

概要: デバイス特性の経年劣化等, 集積回路の経時的な特性変動の把握が重要な課題となっている。NBTIによる劣化は, デバイスごとに異なる確率的な現象と考えられているため, 多数のデバイスについて効率の良い測定を行う必要がある。本試作では, デバイス特性の劣化ばらつきを測定するためのアレイ回路を実装している。デバイスをアレイ状に集積することで, 長時間を要するストレス時間を複数デバイスについて並列に与えることを可能とし, 測定を効率化している。アレイ中では, パスゲートスイッチによりデバイスを選択し, その特性変動を測定できる。アレイ中に集積されるデバイスが多くなるほど, パスゲートスイッチのリーク電流の影響が大きくなるため, リーク電流制御回路を新たに設けることで, デバイス数のスケーラビリティを確保している。本チップにより, 数千デバイスの劣化ばらつき測定が可能となる。

設計期間: 0.1 人月未満 **設計ツール:** Synopsys 社 VCS, Synopsys 社 ICS, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Cadence 社 UltraSim, Synopsys 社 StarRC (XT) **トランジスタ数:** ~10 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** マイクロプロセッサ

画像認識向け畳み込み演算回路

京都大学大学院情報学研究科 大荷 唯明, 廣本 正之, 佐藤 高史

概要: 高精度な画像認識手法として畳み込みニューラルネットワーク (CNN) が注目されている。CNN は高い認識性能を発揮する反面, 必要とされる演算量が膨大であるため, ハードウェア実装による高速化が有用である。本試作では, CNN 向けハードウェアの性能を評価するため, CNN の主要演算である畳み込み演算回路を実装した。本チップは畳み込み演算コアを複数搭載しており, 入力された画像に対し, 複数のフィルタによる畳み込み演算を並列実行することができる。本チップを用いることにより CNN における畳み込み演算の処理性能や消費電力が評価可能となる。また CNN のアクセラレータとして PC や FPGA と共に用いることで, 各種画像認識アルゴリズムを高速に動作させることが可能となる。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICS, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** 演算回路 (乗算器, 除算器など)

先端 SOTB プロセスにおける集積化イメージセンサの構成回路評価用 TEG

茨城大学工学部 木村 孝之

概要: 当研究室ではこれまでローム社 0.18 μm CMOS プロセスで集積化イメージセンサに関する研究を行ってきた。その中で, 開口率の向上を行うために微細プロセスの導入が必要となった。そのため, 本試作では, これまで試作をしてきた CMOS イメージセンサを微細化し, SOTB プロセスで実現する事を目的に様々な TEG 回路の試作を行った。試作する回路として, CMOS イメージセンサを実現するために必要なデジタル回路 (バッファと D-FF) やバッファ回路 (p チャネル MOSFET を使用したソースフォロアと n チャネル MOSFET を使用したソースフォロア) と, 特性評価用トランジスタ TEG を選択した。現在はまだ評価の途中であるが, デジタル回路の動作の確認と, ソースフォロア回路の静的な入出力応答の測定を行った。その結果, 設計通りの応答が得られる事が確認出来た。今後動的な応答を測定し, 最高動作周波数などの確認を行う予定である。

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** TEG (特性評価回路など)

DTMOS トランジスタとダイオード接続トランジスタの整流特性比較

電気通信大学情報理工学研究科 高橋 史帆, 範 公可, 石橋 孝一郎

概要: 今回の試作では, DTMOS トランジスタを使用した整流器回路, 整流昇圧回路, デジタル制御発振回路 (DCO), DBP の設計を行った。今回は DTMOS トランジスタを使用した整流器回路の特性について報告する。エネルギーハーベスタの実現に向けて, 環境中に存在する 900MHz 帯の無線信号から直流電力に変換する整流器回路の設計を行った。試作回路は通常のダイオードトランジスタ構造を使用したものと DTMOS 構造 (トランジスタのゲート電極とボディ電極を接続した構造) を使用した整流器回路を複数パターン設計し, 各々の電力変換効率 (PCE: efficiency of power conversion) の比較・検討をした。ここでの PCE とは回路に入力される電力と出力電力の比で表される数値である。今回の設計ではより低入力電力での高効率電力変換を心がけた。実測結果は DTMOS トランジスタを使用した整流器回路の方がより低入力電力に対して高効率に変換できる見込みを得られたが, 実現に当たって, 外部の素子との接合にかかる寄生要因による影響が大きく見られたので, 今後更なる検討が必要であると考えた。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICS, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** アナデジ混載

未知の入力データに対する出力を推定するパーセプトロンIC

電気通信大学情報理工学部 岩瀬 龍矢

電気通信大学情報理工学研究科 範 公可, 石橋 孝一郎

概要: 今回の試作では、パーセプトロンIC、DCO、CORDICの設計を行った。今回はパーセプトロンICについて報告する。試作回路は2層のニューラルネットワークで構成されている。入力層の出力層のニューロンはそれぞれ重みを介して繋がっている。4つの異なる教師パターンに対応した学習を行う。具体的には3つの入力データ X_t, Y_t, Z_t と1つの出力データ O_t の関係を学習できる。OR演算の場合、教師パターンは $(X_t, Y_t, Z_t, O_t) = (0, 0, 0, 0), (0, 1, 0, 1), (1, 0, 0, 1), (1, 1, 0, 1)$ となり、学習終了後、未知のデータ (X_u, Y_u, Z_u) に対して出力 Z_u を返す。回路としては4つの学習機構と1つの推定機構を持つ。学習機構ではそれぞれの教師パターンの入力に対して、重みを掛けて合計値を算出する。合計値が閾値以上ならば、出力を $X_o=1$ とする。各学習機構の教師出力 O_t と演算結果としての出力 X_o が異なる場合、重みが更新される。 $O_t=X_o$ の時、重みの更新を行わず、更新終了のフラグを立てる。全ての学習機構のフラグが立った後、未知データに対する出力の推定を行う。推定機構では、学習機構と同様な働きで、入力されたデータに対して重みを掛け、その合計値が閾値以上ならば出力 $Z_u=1$ 、以下ならば $Z_u=0$ となる。試作回路は20.0MHzにおいて、最大学習時間75.0ns、最大推定時間12.5nsで動作した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 NanoSim **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** アナデジ混載

Unfolded radix-2 CORDIC

電気通信大学情報理工学部 市川 陽平

電気通信大学情報理工学研究科 範 公可, 石橋 孝一郎

概要: 今回の試作では、Unfolded radix-2 CORDIC、LDO、S-OOK受信回路、2段オペアンプの設計を行った。今回はUnfolded radix-2 CORDICについて報告する。近年、無線通信の発展に伴ってOFDMは広範に用いられる様になった。OFDMではFFT、IFFTを計算する必要があり、これは複素平面上での座標回転演算を含む。本試作では、この座標回転を高速に行なうことを目指し、CORDICの実装を行った。通常のCORDICでは漸化式を逐次計算するが、今回はこれをUnfoldingすることによって、高速化を図った。本回路では回転対象のベクトルを $[1, 0]^T$ に固定し、回転角 θ を可変にすることで出力として $\cos\theta$ と $\sin\theta$ を観測できるように構成している。入出力はそれぞれ8bit、有効桁は7bitであり、回転されたベクトルのどの成分を出力するかをマルチプレクサで選択できるようになっている。実際の測定においては37.5MHzでの動作を確認することができた。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Synopsys社 NanoSim **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** アナデジ混載

誘導結合マルチドロップバスと磁界衝突検知回路の検証用TEG

慶應義塾大学大学院理工学研究科 門本 淳一郎, 宮田 知輝, 竹 康宏

概要: 計算コア間の結合手段としてNetwork-on-Chip (NoC) が注目されている。しかしながら、コア数の増加に伴ってNoCの規模は年々増大しており、配線遅延や消費電力、それに伴う発熱が問題となっている。これを解決する手段として、チップの3-D実装が挙げられている。複数のチップを積層することでチップ間の配線長を削減でき、消費電力や発熱の問題が緩和される。我々は3D-NoCsへの応用に向けた、誘導結合マルチドロップバスと衝突検知回路の研究開発をおこなっている。チップ上に搭載したコイル間の誘導結合を利用することで、ワイヤレスの3-Dデータバスを形成できる。コイルが発生する磁界の変化を検出することで、バス上におけるデータの衝突を検知できる。本チップには、誘導結合バスを形成する複数のコイルとデータ送受信回路、衝突検知回路を搭載した。本チップを薄く研削し、4枚のチップを積層実装することで、3-Dバスの消費電力や動作速度、タイミングマージンといった特性や、衝突検知回路の動作を評価できた。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mm角 **チップ種別:** TEG (特性評価回路など)

畳み込みニューラルネット演算向け矩形読出しメモリ

神戸大学システム情報学研究科 梅木 洋平, 北原 弘登, 森 陽紀, 河本 優太, 奥野 圭祐, 吉本 雅彦

神戸大学科学技術イノベーション研究科 黒津 弘明, 川口 博

概要: 近年、ディープラーニングがIT分野のみならず、金融や医療といった多岐にわたる分野で応用、実用化されている。今後大規模化した問題にディープラーニングが活用されることが見込まれる。大規模な問題に対する学習には膨大な時間を要するという問題がある。そのため、学習の高速化にはハードウェアでの実装が必要である。ディープラーニングは一般的に確率的勾配降下法と呼ばれる学習方法が用いられる。現在のCPUやGPU上での実装では、メモリアクセスがボトルネックとなる。そのため今回の試作では確率的勾配降下法の際に行われるメモリアクセスの特徴を利用し、アクセス回数を削減可能な矩形読出し機能を有するメモリマクロを作成した。本提案マクロは32kb 6T SRAM Bankを8Bank搭載した256kbマクロとなっている。32kb Bank内部では64本のグローバルワード線 (GWL) 及び、各GWLに連なるローカルワード線 (LWL) により複数のワードを同時に選択する事が可能である。本マクロでは外部信号により4x4から8x8の矩形選択同時読出しが可能である。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mmx2mm **チップ種別:** メモリ

低消費電力シンセサイザブルPLL

東京工業大学工学院電気電子系 岡田 健一, 中田 憲吾, 寺嶋 友樹, 吉岡 透, Ngo Huy Cu

概要: CMOS製造技術の微細化にあわせレイアウトデザインルールが複雑化している。カスタム設計が主であるアナログ回路において、そのレイアウト設計の工数増大が問題となっており、設計生産性向上のための手法が必要である。本研究では、回路の大部分をRTLで記述でき、配置配線ツールにより自動配置配線可能なPLLを作成した。注入同期方式を用いることで位相同期を簡易化でき、小面積・低消費電力で低ジッタなPLLが実現できた。周波数同期は単純なカウンタ回路で実現でき、位相同期を注入同期により実現する。小面積なリング型DCOと組合せると、非常に低消費電力なPLLが実現できる。DCOの消費電力として400MHzで0.1mWを達成した。

設計期間: 1人月以上, 2人月未満 設計ツール: Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数: 10,000~100,000 試作ラン: ルネサス CMOS SOTB 65nm 3mmx2mm チップ種別: アナログ (PLL, A-D/DC-DC コンバータなど)

SOTB構造を用いたサイドチャネル攻撃評価用AES暗号回路

立命館大学理工学研究科 中野 将司, 浅川 俊介

立命館大学総合科学技術研究機構 汐崎 充

立命館大学理工学部 藤野 毅

概要: ICカードに代表される暗号回路を搭載したLSIにおいて、消費電力や漏洩電磁波を用いたサイドチャネル攻撃により暗号鍵情報が窃取される危険性が指摘されている。何の対策も施さず設計された暗号回路は、動作時における内部ノードの論理値と消費電力の間に相関があるため、消費電力波形を多数収集し、差分電力解析および相関電力解析を行うことで、秘密鍵を特定することができる。本試作チップは、バックゲート電圧制御が電力・電磁波解析攻撃へどのような影響を及ぼすのかを調査する目的で、3種類の未対策AES暗号回路とサイドチャネル攻撃対策RSM (Rotating S-Boxes Masking) 方式を用いたAES暗号回路を搭載したLSIを設計した。本試作チップは今後評価する予定である。

設計期間: 3人月以上, 4人月未満 設計ツール: Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数: 10,000~100,000 試作ラン: ルネサス CMOS SOTB 65nm 2mmx1.5mm チップ種別: TEG (特性評価回路など)

自律的に動作するマイクロシステムのための電源システムに用いる要素単体

慶應義塾大学理工学部 中野 誠彦, 五十嵐 一真, 杉浦 隆弥

慶應義塾大学理工学研究科 渡邊 淳史, 折原 大地, 南 快優

概要: チップ単体で自律的に動作するマイクロシステムの実現を目指し、電源回路とアプリケーション回路の研究を行っている。電源回路の構成は太陽電池、リングオシレータ、ブートストラップ式チャージポンプ昇圧回路、となっている。本チップでは50 μ m \times 50 μ mの太陽電池を4つ並列にしたもの、リングオシレータ、チャージポンプ昇圧回路をそれぞれ単体で設計した回路を試作した。太陽電池はPsub-Nwell, Psub-HVnwell, Psub-DeepNwell-Pwellの3つの構成で設計した。初めて用いるプロセスであるため、各素子単体や、MOSキャパシタ、PADのスルーなど今後にいかにさせるようなものを中心にチップ設計を行った。

設計期間: 4人月以上, 5人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules トランジスタ数: 100~1,000 試作ラン: ルネサス CMOS SOTB 65nm 2mmx1.5mm チップ種別: アナログ (PLL, A-D/DC-DC コンバータなど)

低電源電圧動作並列型確率的A/D変換器

大阪大学大学院工学研究科 松岡 俊匡, 浅野 智大, 山根 梨江, 井上 泰佑

概要: 微細CMOSプロセスを用いて高精度A/D変換器を実現するためには、デバイス特性のミスマッチへの対応が不可欠となっている。従来の並列型A/D変換器では、ミスマッチが直接変換精度に影響することになるが、ミスマッチの影響を抑制させるにもプロセスの微細化に対して相対的に大きくなるため、高精度化には限界がある。そこで、高分解能化実現のために素子特性ミスマッチを利用した並列型確率的A/D変換器 (SF-ADC: Stochastic Flash-ADC) が研究されている。これまで、我々はSF-ADCにおける線形性向上に成功しているが [1], 本試作では本技術をSOT-B CMOSプロセスに適用し、より低電源電圧動作で有効であることを示すことを目的としている。なお、本試作に併せて、容量センサ回路も混載している。

参考文献: T. Asano, Y. Hirai, S. Tani, S. Yano, I. Jo, and T. Matsuoka, "An offset distribution modification technique of stochastic flash ADC," IEICE Electronics Express, Vol. 13, No. 6, p. 20160115, Mar. 2016.

設計期間: 6人月以上, 7人月未満 設計ツール: Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT) トランジスタ数: 1,000,000~10,000,000 試作ラン: ルネサス CMOS SOTB 65nm 2mmx1.5mm チップ種別: アナログ (PLL, A-D/DC-DC コンバータなど)

エネルギー最小点の動的追従を可能にするプロセッサの試作

京都大学大学院情報学研究所 塩見 準, 石原 亨, 小野寺 秀俊

概要: 東芝社製の Media embedded Processor (MeP) に基づいて電源電圧と基板電圧を動的に調節可能なマイクロプロセッサを試作した。プロセッサは4KBの2ウェイセットアソシアティブ命令キャッシュと8KBの命令用RAM及び16KBのデータ用RAMを搭載する。上記のキャッシュおよびRAMはスタンダードセルを用いた完全デジタル型メモリとして実現した。上記メモリ部とCPUコアロジック部は電源及びウェルを分離し、両部分回路で独立に電源電圧及びウェル電圧を設定可能である。また、nMOSとpMOSは独立にウェル電圧を設定可能である。動作状況に応じてメモリ部とCPUコアロジック部の電源電圧と基板電圧を動的に調節することにより、動作状況が変わってもプロセッサの消費エネルギーを最小点に保つことを可能にする。試作後の測定により上記機能が正常に動作することを確認した。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF)
トランジスタ数: 100,000~1,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mm角 **チップ種別:** マイクロプロセッサ

Approximate ComputingのためのKey-Value Storeチップ

慶應義塾大学理工学部 松谷 宏紀

概要: Key-Value Store (KVS) はデータをKeyとValueのペアとして保存する単純なデータストレージであり、例えば、データベースのキャッシュ層としてデータセンター等で広く使われている。我々はこれまでデータセンターでの利用を想定してKVSに対するGET要求やSET要求を専用に処理するハードウェア (KVSコア) を開発し、FPGAベースの10Gbit Ethernet Network Interface Cardに実装してきた。一方、今回はIoTデバイスでの利用を想定してこのKVSコアを2個の32kByte SRAMマクロと共に3mm各チップに実装した。KVSコアおよびSRAMマクロの動作検証が主な目的である。将来的には、CPUコアと併せてこれらをチップ化し、過去の類似の入力に対する計算結果をKVSコアを用いてSRAMにキャッシュするようにする。具体的には、センサー等の入力上位ビットをKeyとし、それに対応する計算結果をValueとしてキャッシュする。このようなApproximate Computingの仕組みをIoTデバイスに実装することでさらなる消費電力削減を目指したい。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mm角 **チップ種別:** マイクロプロセッサ

1kb不揮発性SRAM

東京工業大学情報工学研究所 周藤 悠介, 山本 修一郎, 菅原 聡

概要: 不揮発性パワーゲーティング (NVPG) のエネルギー性能の検証のため、フルカスタム1kb不揮発性SRAM (NV-SRAM) メモリアレイを試作した。NV-SRAMセルには、セルの不揮発性記憶素子 (MTJ) 部にデータを書き込む際の消費電力を忠実に再現できる擬似セル (8Tセル) の構成とした。また各周辺回路の消費電力を個別に測定できるようにした。レイアウト設計にはVirtuoso、回路動作検証はHSPICEを用い、配置配線に関してもカスタムで行った。また、消費電力をモニタリングするため、I/Oはデジタル・アナログ混載とした。このチップを用いて、NV-SRAMと通常の6T-SRAMの動作エネルギーを実測し、これらから、パワーゲーティングの性能指標であるBreak-even time (BET) など、NVPGのエネルギー性能を見積もることができた。そして、NV-SRAMを用いたNVPGの有効性を示すことができた。

参考文献: Y. Shuto, S. Yamamoto, S. Sugahara, "Energy Performance of Nonvolatile Power-Gating SRAM Using SOTB Technology", ESSDERC 2016, Sept. 12-15, 2016, Lausanne, Switzerland.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Synopsys社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mm角 **チップ種別:** メモリ

FD-SOIプロセスの信頼性評価回路

京都工芸繊維大学グリーンイノベーションセンター 古田 潤

京都工芸繊維大学電子システム工学専攻 駒脇 拓弥, 岸田 亮, 小林 和淑

概要: 本研究ではFD-SOIプロセスで設計されたLSIの信頼性の評価と向上を目的とし、耐放射線フリップフロップ (FF) とアンテナダメージの影響を測定する回路を試作した。耐放射線FFでは低電力FFであるACFFを基に、回路性能のオーバーヘッドを数%に抑えて放射線耐性を向上させたFFを提案した。白色中性子ビームを照射して放射線耐性の評価を行った結果、通常FFではエラーが53個生じたのに対し、提案FFではエラーが発生しなかった。アンテナダメージの測定回路では発振周波数測定によりアンテナダメージを評価する発振回路を試作した。アンテナの接続方法として、最もダメージを受けるAG構造、ダイオードにアンテナを接続するDI構造、ダイオードに加えて上層配線を用いたDIU構造の3種類を設計した。測定の結果、AGは発振周波数低下によりダメージを受けていた。DIとDIUはダイオードによりダメージを同程度緩和していた。

設計期間: 3人月以上, 4人月未満 **設計ツール:** Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ルネサス CMOS SOTB 65nm 3mm角 **チップ種別:** TEG (特性評価回路など)

第4章 VDEC 概要

4.1 組織概要

東京大学大規模集積システム設計教育研究センター(略称 VDEC)は、日本の国公立大学と工業高等専門学校における VLSI 設計教育の充実と研究活動の推進のために平成 8 年 5 月に全国共同利用施設として発足した。

当時は専任教官 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教官 2 名と事務官 1 名が増員され、現在は専任教員 9 名、客員教授 1 名、そして 20 名以上の非常勤スタッフや学外協力研究員が在籍している。

また、平成 9 年 4 月から平成 19 年 3 月まで、全国 9 大学の VDEC サブセンターから連携を密にする目的で、

2 年を単位として 2 名の教官を派遣する「流動教官制度」を開始した。(平成 16 年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更)

平成 20 年 4 月からは「協力教員制度」を開始し、現在は 10 大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている。(下記参照)

さらに産業界との連携のため、1 名の客員教授に協力をお願いしている。

センターの事務については、センターの非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとり行っている。

流動教官派遣大学

年 度	派 遣 大 学
平成 9・10 年度	東北大学, 横浜国立大学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学
平成 16 年度	大阪大学, 九州大学
平成 17 年度	名古屋大学, 大阪大学
平成 18 年度	北海道大学, 名古屋大学
平成 19 年度	北海道大学

協力教員派遣大学

北海道大学, 東北大学, 東京工業大学, 金沢大学, 京都大学, 京都工芸繊維大学, 大阪大学, 広島大学, 九州大学, 立命館大学

4.2 人事報告

VDEC 人事

センター長・教授 浅田 邦博
 教授 藤田 昌宏
 客員教授 森村 浩季

准教授 高宮 真
 准教授 飯塚 哲也
 特任准教授 名倉 徹
 特任講師 池野 理門
 助教 朱 弘博 (平成 27 年 9 月まで)
 助教 Mai Khanh
 助教 松本 高士
 特任研究員 丸山 智史
 特任研究員 藤原 誠
 特任研究員 島本 直伸 (平成 27 年 9 月から)
 主査 宮澤 紀美 (工学系研究科総務課
 平成 28 年 4 月から)

一般職員 内田 千代美 ()

協力教員

高木 信一
 (東京大学工学系研究科電気系工学専攻教授)

池田 誠
 (東京大学工学系研究科電気系工学専攻教授)

三田 吉郎
 (東京大学工学系研究科電気系工学専攻准教授)

竹中 充
 (東京大学工学系研究科電気系工学専攻准教授)



平成 27 年度大規模集積システム設計教育研究センター運営委員会委員

氏 名	所 属 等
浅田 邦博	大規模集積システム設計教育研究センター長
光石 衛	大学院工学系研究科長
池田 誠	大学院工学系研究科 教授
坂井 修一	大学院情報理工学系研究科 教授
中野 義昭	大学院工学系研究科 教授
荒川 泰彦	生産技術研究所 教授
高木 信一	大学院工学系研究科 教授
三田 吉郎	大学院工学系研究科 准教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
高宮 真	大規模集積システム設計教育研究センター 准教授
飯塚 哲也	大規模集積システム設計教育研究センター 准教授

平成 27年度大規模集積システム設計教育研究センター全国運営協議会委員名簿

氏 名	所 属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授（センター長）
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
池田 誠	東京大学大学院工学系研究科電気系工学専攻 教授
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授
本村 真人	北海道大学大学院情報科学研究科情報エレクトロニクス専攻 教授
大見 忠弘	東北大学 名誉教授
一色 剛	東京工業大学学術国際情報センター 情報支援部門 教授
益 一哉	東京工業大学ソリューション研究機構 教授
柳澤 政生	早稲田大学基幹理工学部電子物理システム学科 教授
北川 章夫	金沢大学理工研究域電子情報学系 教授
河口 信夫	名古屋大学大学院工学研究科計算理工学専攻 教授
小野寺 秀俊	京都大学大学院情報学研究科通信情報システム専攻 教授
松岡 俊匡	大阪大学大学院工学研究科電気電子情報工学専攻 准教授
Mattausch Hans Juergen	広島大学ナノデバイス・バイオ融合科学研究所集積システム部門 教授
安浦 寛人	九州大学（大学院システム情報科学研究院情報知能工学部門 教授）理事・副学長
藤野 毅	立命館大学理工学部電子情報工学科 教授
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授
黒田 忠広	慶応義塾大学理工学部電子工学科 教授
吉本 雅彦	神戸大学大学院システム情報学研究科 教授

4.3 決算報告

1. 運営費交付金 (千円)

事 項	収入 (予算配分) 額	支 出 額	過 不 足 額
共通経費	279,590	251,298	28,291
研究経費	17,065	14,973	2,091
計	296,655	266,271	30,382

2. 平成 27 年度受託研究

	教員名	委 託 者	研 究 題 目	受託金額 (円)
1	浅田 邦博	文部科学省ナノテクノロジープラットフォーム	微細加工プラットフォーム実施機関	67,003,200
2	浅田 邦博	(株) 豊通エレクトロニクス	先端集積回路の評価・解析技術高度化の研究	5,000,000
3	浅田 邦博	独立行政法人 日本学術振興会	日仏マイクロナノ加工に関する研究基盤技術ワークショップ	2,250,000
合 計				74,253,200

3. 平成 27 年度共同研究

	教員名	申 込 者	研 究 課 題	受入金額 (円)
1	和田 一実	華為技術日本株式会社 日本研究所	シリコンフォトニクス of 直接結合技術に関する研究	18,430,000
2	浅田 邦博	(株) アドバンテスト	電子線制御のための微細構造の研究	2,270,000
3	浅田 邦博	(株) 野田スクリーン	受動部品内蔵パッケージ用評価チップの研究	1,500,000
4	浅田 邦博	(株) 野田スクリーン	薄膜技術応用パッケージ用評価チップの研究	1,000,000
5	高宮 真	(株) 村田製作所	細粒度プロセッサ内蔵電源 (IVR) の研究	6,600,000
6	浅田 邦博	森田テック (株)	マイクロ磁界プローブの研究	1,080,000
7	和田 一実	日本電信電話株式会社	革新的 Si/Ge アクティブフォトニクスデバイスの研究開発	3,000,000
8	高宮 真	日本電信電話株式会社	高効率エネルギーハーベスティング回路に関する研究	3,000,000
9	浅田 邦博	(株) アドバンテスト	先端 LSI 開発環境・テスト技術	15,000,000
10	浅田 邦博	(株) アドバンテスト	ナノギャップ電極と流路の集積化によるセンサ素子の研究	5,000,000
11	浅田 邦博	株式会社ロジック・リサーチ	フルデジタル PLL シンセサイザ回路の研究	500,000
12	浅田 邦博	富士ゼロックス株式会社	薄膜技術応用パッケージ用評価チップの研究	1,000,000
13	藤田 昌宏	アイシン・エイ・ダブリュ株式会社	ソフトウェア開発のための形式的解析技術	300,000
14	藤田 昌宏	アイシン・コムクルーズ株式会社	ソフトウェア開発のための形式的解析技術	150,000
15	藤田 昌宏	アップウィンドテクノロジー・インコーポレイテッド	ソフトウェア開発のための形式的解析技術	150,000
合 計				43,247,000

4. 平成 27 年度寄附金

受入件数：2 件 受入額計 32,400,000 円
 (株式会社半導体エネルギー研究所・株式会社アドバンテスト)

第5章 研究報告

5.1 全体概況

	研究室構成 人数(名)	研究発表(件)			著書(冊)	特許(件)	受賞(件)
		研究論文	国際会議	その他			
VDEC 教員	43	13	29	20	2	8	7
協力教員	62	23	49	37	0	0	2

5.2 研究室構成員 (平成 27 年度)

浅田・池田・名倉・飯塚研究室構成

浅田 邦博 教授
 名倉 徹 准教授
 飯塚 哲也 准教授(現在 UCLA 留学中)
 Nguyen Ngoc Mai Khanh VDEC 助教
 吉川 俊之 博士3年
 Parit Kanjanavirojkul 博士2年
 楊 驍 博士1年
 峠 仁人 修士2年
 森 一倫 修士2年
 矢野 智比古 修士2年
 都井 敬 修士2年
 古賀 丈尚 修士2年
 Md.Maruf Hossain 修士2年
 織田 勇牙 修士1年
 鹿野 真弘 修士1年
 松川 慧 修士1年
 許 錯 修士1年
 鈴木 悠大 修士1年
 伊藤 貴亮 学部4年
 陳 明翰 学部4年
 寺尾 直樹 学部4年
 斎藤 僚介 学部4年
 杉山 泰基 学部4年
 平田 知啓 学部4年
 中村 光貴 学部4年

藤田研究室

藤田 昌宏 教授
 松本 高士 助教
 Amir Masoud Gharehbaghi 特任助教
 Wang Qin hao 博士2年
 川尾 太郎 修士2年
 Shridhar Choudhary 修士2年
 Hossein Izadi Rad 修士2年
 Conrad JinYong Moore 修士2年
 Lu Yi 修士2年
 岩田 健太郎 修士1年
 木村 悠介 修士1年
 石山 薫太郎 学部4年
 丸岡 大浩 学部4年

高宮研究室

高宮 真 准教授
 井口 俊太 博士3年
 山内 善高 修士2年
 本田 雅宣 修士2年
 蔡 定勳 修士1年

池田研究室構成

池田 誠 教授
 丸山 智史 研究員(現在豊橋技科大)
 金 雄鉉 博士1年
 田村 雅人 修士2年(現在 日立製作所)
 崔 伝琪 修士2年(現在 セールスフォース・ドットコム)
 上原 大典 修士2年
 池田 司 修士1年
 金 寛好 修士1年
 今林 淳 学部4年(現在 レバレッジズ)
 谷 測正 崇 学部4年

三田研究室構成員 (平成 27 年度)

三田 吉郎 准教授
 ルブラッスール エリック 特任研究員(ナノテクノロジー・プラットフォーム 技術支援担当)
 藤原 誠 特任研究員(ナノテクノロジー・プラットフォーム 技術支援担当)
 島本 直伸 特任研究員(ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)
 澤村 智紀 技術職員(武田先端知クリーンルーム管理室)
 小島 直子 事務補佐員
 河井 哲子 事務補佐員
 渡邊 かをる 事務補佐員(ナノテクノロジー・プラットフォーム事務局)
 広沢 公彦 学術支援職員(ナノテクノロジー・プラットフォーム 武田クリーンルーム管理室担当)
 佐藤 昇 技術補佐員(ナノテクノロジー・プラットフォーム 新川崎担当)

菅野 修 技術補佐員(ナノテクノロジー・プラットフォーム フォーム 新川崎担当)

近藤 尚子 技術補佐員(ナノテクノロジー・プラットフォーム フォーム 利用者支援担当)

岩下 竜馬 VDEC 共同研究員(アドバンテスト)

佐藤 善亨 工学系共同研究員(ナノックスジャパン)

関口 亮太 工学系共同研究員(キヤノン研究所)

高田 晃広 VDEC 共同研究員(アドバンテスト)

瀧澤 昌弘 VDEC 共同研究員(アドバンテスト)

中山 雄太 工学系共同研究員(コニカミノルタ)

山下 直也 博士3年

森 功 博士3年(現在 日立ハイテクノロジーズ)

坂本 直之 修士2年(現在 ヤマハ)

井上 周 修士2年(現在 ファナック)

岡本 有貴 修士1年

瀬戸口 良太 修士1年

宇野 祐輝 学部4年(現在 生産技術研究所 高宮研究室 修士1年)

海保 実則 学部4年(現在 生産技術研究所 竹内昌治研究室 修士1年)

川原 健太郎 学部4年(現在 東京海上日動)

竹城 雄大 学部4年(現在 修士1年)

Chatard Charles 工学系研究科 インターンシップ生(現在 INSA de Lyon 博士課程)

高木・竹中研究室構成

高木 信一 教授

竹中 充 准教授

金 関 洙 (特任研究員)

程 勇 鹏 博士3年(工学系)

玉 琥 博士3年(工学系)

朴 珍 權 博士3年(工学系)

張 志 宇 博士3年(工学系)

韓 在 勲 博士2年(工学系)

亢 健 博士2年(工学系)

金 佑 彊 博士2年(工学系)

後藤 高 寛 博士1年(工学系)

裴 泰 彦 博士1年(工学系)

高 島 成 也 修士2年(工学系)

柯 夢 南 修士2年(工学系)

佐々木 和 哉 修士2年(工学系)

安 大 煥 修士2年(工学系)

小澤 悠 平 修士2年(工学系)

武内 和 治 修士1年(工学系)

加藤 巧 修士1年(工学系)

尹 尚 希 修士1年(工学系)

廖 辰 宇 修士1年(工学系)

関根 尚 希 学部4年(工学部)

嶋田 絢 学部4年(工学部)

浅田・名倉・飯塚研究室

(http://www.mos.t.u-tokyo.ac.jp)

電源雑音測定・解析・低減手法

浅田邦博, 名倉徹, 飯塚哲也, 鹿野真弘, 松川慧, 寺尾直樹

LSIのプロセス微細化による消費電力の増加で、電源の寄生インピーダンスに起因する電源電圧変動、電源ノイズがLSIの動作に与える影響が深刻化している。

電源ノイズの低減には一般的にパッシブデキャップが用いられるが、大きな容量を得るためには大きな面積コストがかかってしまうため、アクティブの電荷注入を考えることで面積コストの低減を目指した。しかし、今までの研究では電荷の注入量は議論されていなかったため、我々はある仮定の下でのアクティブ電荷注入に関して注入電荷量を解析・モデル化し、またその解析に基づく電荷注入を実現する回路を設計した。具体的には、オンチップ電圧ドロップ検出器、注入コントローラ回路、電荷注入キャパシタ回路の3つである。これらを用いたポストレイアウトシミュレーションにおいて、約30%のノイズ低減と、パッシブデキャップと比較して約70%の面積低減を実現した。

また、寄生インピーダンス・電源電圧変動の影響はチップ内部だけではない。LSIは製造後にテスト検証を行うが、テストと実機のインピーダンスの不一致のため電源電圧変動の波形が異なり、テストにおけるOverkill/Underkillを生み出す要因になる。今回、電源電圧変動をフィードバックしてリアルタイムに電流補償を行うことにより、任意の電源インピーダンスを模擬できるテスト用電源回路を設計・試作し、電源電圧変動が実機のものに模擬できているかどうか検証実験を行った。その結果、補償電流を流して電源電圧変動をもとの特性から変化させることに成功した。ただし、現時点では電圧変動の振動の周波数を大幅に変化させることが困難なため、さらなる精度向上が期待される。

時間領域制御を用いた PLL 回路

浅田邦博, 名倉徹, 飯塚哲也, 吉川俊之, 都井敬, 陳明翰

私たちは時間領域制御を用いたPLL回路に関する研

究に取り組んだ。本研究ではPWPLLの製造ばらつき耐性を向上させるため、発振器のリング段数を制御する手法とリングの負荷容量を制御する手法を提案し、試作チップの測定から両手法の有効性を確認した。また、PWPLLの仕様として出力周波数範囲と分周率、PVTばらつきの範囲を入力し、所望の周波数範囲内でロックするPWPLLを合成し、そのレイアウトと特性を出力する手法を提案した。

さらに、PLL回路の測定手法に関して取り組んだ。本研究では、DTCにより位相変調の施された信号をPLL回路へ入力し、その応答をTDCによりデジタル信号として読み出すことで伝達関数の測定を実現している。

時間領域制御を用いた CDR・TDC 回路

浅田邦博, 名倉徹, 飯塚哲也, 峠仁人, 古賀丈尚, 矢野智比古

微細プロセスの恩恵をデジタル回路が受ける一方で、電圧ヘッドルームの減少などによりアナログ回路は負の影響を被っている。時間領域回路ではデジタル信号のエッジの遷移によってアナログ信号を表現するので、微細プロセスにおけるアナログ回路の問題の解決策となりうる。本研究では、基本的なアナログ回路の構成要素として、時間領域アナログアキュムレータを提案した。提案するアキュムレータでは、時間領域信号をゲートドインバータによる1つのリング上を伝搬する2つのパルスの時間差として保持することで、遅延時間のミスマッチに起因するドリフトエラーを抑えている。

その回路の他に時間領域回路の代表例には時間デジタル変換器がある。時間デジタル変換器は素子の持つ伝搬遅延時間を利用して2つの信号のもつ時間差をデジタル信号に変換する回路であり、本研究ではその方式の1つのパルス縮小型時間デジタル変換器に注目した。従来のパルス縮小型時間デジタル変換器には変換方式に由来した非線形性が存在し、線形性とサンプリングレート・消費電力・ジッター性能との間にはその問題に起因したトレードオフがある。本研究ではその問題を新たな設計によって解決し、従来の方式と比較して高サンプリングレート、低消費電力、低ジッターを実現した。

時間デジタル変換器は様々な応用例があり、以下の

研究においても時間デジタル変換器が使用されている。シリアル通信において、通信速度の向上や通信量あたりの電力消費量といった指標はこれまでも重視されていたが、待機状態と通信状態を含めた、通信システム全体での電力消費量はあまり重視されてこなかった。しかしながら、特に間欠的なシリアル通信システムの消費電力量の最適化を考える際には、通信時の電力効率を上げるだけでなく、待機状態における電力を最小化し、かつ起動を高速化することで待機状態を出来る限り長く維持することが重要である。これを実現するためのクロックデータ再生回路の新しい方式として、Cycle Lock Gated Oscillatorを利用したものが提案された。しかしながらこの方式では、フィードフォワードアーキテクチャや発振器の量子化誤差に起因する周波数誤差の大きさが問題となっていた。そのため、新たにデジタル制御器を用いたフィードバックアーキテクチャと、フラクショナル遅延制御法を採用することで、その問題を解決した。

半導体フォトダイオードを用いた放射線検出器

浅田邦博, 名倉徹, 飯塚哲也, 楊驍, 許鎔

近年注目されているシンチレーション検出器は、放射線核種の特定や到来角の推定などもでき、様々な分野に応用されている。先行研究はシンチレータ、SPAD (Single Photon Avalanche Diode) アレイ、マルチコート材料、ピンホールで構成された検出器を提案し、発光する電子の軌跡を推定する方法を検証しました。しかし、検出や推定には時間が大量にかかる。そこで、本研究はピンホール配置やSPAD配置の周期性を利用し、高速にシンチレータ内の点光源を検出する手法を提案した。シミュレーションの結果より、20 μm の精度で20 ~ 40sで点光源の検出が可能であることを確認した。SPADアレイについて、Pwell/DeepNwellをブレイクダウン領域とする構造のSPADが一番低いDCRを表すことが確認した。また、高効率読み出し回路を持つ31x31ピクセルのSPADアレイも試作して、短時間パルス (40 ns) 微弱な光を検出できることも実験で確認した。

LSI セキュリティ向上のための表面磁界測定

浅田邦博, 名倉徹, 飯塚哲也, Khanh, 織田勇牙, 平田知啓

近年、回路の微細化に伴いチップのテストはより難しくなっていて、高速で低コストなテスト手法が求められている。本研究ではLSIからの漏洩磁界を用いた手法を提案する。提案手法では漏洩磁界を磁界プローブを用いて測定し、得られた磁界マップからLSIの電

流分布を推定する。これは低コストな非破壊検査手法として、電源網のテストやハードウェアトロイの検出など多分野で応用できると考えられる。提案手法の有効性を示すために、測定系に乗るノイズをシミュレーションし電流推定の誤差に対する影響を算出した。また、電磁界シミュレーションを用いて提案手法によって電流推定が可能であることを示した。

時間領域分光法を用いたサブミリ波 CMOS センシングシステム

浅田邦博, 名倉徹, 飯塚哲也, Nguyen Ngoc Mai-Khanh, Parit Kanjanavirojkul, 鈴木悠大, 中村光貴, 杉山泰基

本研究の目標は、時間領域分光法 (TDS) 技術に基づいて、センシング用途のために、サブミリ波 (THz) トランシーバを実装することである。ガラス基板上にフリップしたCMOSによって広帯域パルス発生器の実現が提案されている。このパルス発生器の特徴は・ゼロ待機電力・早い開始時間・高い効率・さらに最大周波数がCMOSのFmaxに限っていないである。

受信機の方ではサンプリングを用いたパルス受信機的设计を提案してある。時間領域分光法 (TDS) の検波方法である等価時間サンプリングを用いて受信パルスの検波および波形の取得を行う。アンテナのインピーダンスとミキサ部の入力インピーダンスの整合・不整合を電圧制御抵抗として使用するNMOSおよびそのゲートに印加するサンプリングパルスによって切り替えることで受信パルスのサンプリングを行う検波器を設計中である。

システムのアレーアンテナについても検討されている。近年ミリ波帯域において、オンチップのアレーアンテナが実現されているが、各アレーに与える遅延のタイミング調節の厳しさや開口長の制約により、鋭いビームを作ることは難しい。

本研究では、鋭い指向性でなくても、多数の指向性を用意すれば、空間に存在する物体の位置・形状を推定することが可能であると考え、幅を持つパルスを送信した時の受信電界のセットを用いて空間を可視化する手法を提案・検証した。

将来のアプリケーションのために、材料を介してテラヘルツの透過特性についても検討されている。テラヘルツ時間領域分光法 (THz-TDS) の登場により近年研究が進められつつあるテラヘルツ波について、THz-TDS装置を用いてその基本特性の測定とサブミリ波フィルタのテラヘルツ波吸収特性の測定を行った結果、作製したサブミリ波フィルタに特有と思われる吸収を確認することができた。

極微細プロセス技術における集積回路の信頼性の向上

浅田邦博, 名倉徹, 飯塚哲也, 森一倫

プロセス微細化が引き起こすデジタル回路の信頼性の問題のひとつとしてNBTI劣化がある。NBTI劣化対策回路の設計のために、詳細で高速なシミュレーションが必要である。本研究では潜在的なNBTI劣化の状態を含めて計算を行うことで詳細にシミュレーションを行う方法の提案を行った。

提案手法ではNBTI劣化の物理現象を逐一計算することで潜在的なNBTI劣化の状態を記録する。回路動作中のNBTI劣化の高速な変化に対してもNBTIの周波数依存性を用いて高精度な近似を行いながら計算することで高速に計算可能である。

高精度アナログ-デジタル変換回路 (High-performance A-D Converters)

浅田邦博, 名倉徹, 飯塚哲也, Md.Maruf Hossain, 伊藤貴亮, 斎藤僚介

統計的コンパレータのランダムなオフセット電圧ばらつきを解析し、統計的コンパレータを用いたアナログ-デジタル変換回路(ADC)の性能評価モデルを提案した。まず、統計的コンパレータの分解能と他のパラメータの関係を確率密度関数で表現した。そして、出力コードの各アナログステップ間の相関を無視する近似を用いて統計的コンパレータの歩留まりを計算するために各デザインパラメータと性能の関係を導いた。モンテカルロシミュレーションにより、計算結果の妥当性を確認し、歩留まりが0.8以上という現実的な値ではこのパフォーマンスモデルは統計的ADCの正確な歩留まりを計算できることを示した。提案したモデルを統計的コンパレータによるサブレンジングADCに適用し、従来の確定的アーキテクチャと新しい確率的手法の最適なバランスが存在することを明らかにした。

また、ADCで用いられるサンプルホールド回路は非線形歪みを発生させ、それによりADCの変換精度が悪化する。この歪みは理論解析が行われており、サンプルホールド回路の設計パラメータに応じて変化させることが可能であることがわかっている。今回はサンプルホールド回路の歪み測定を行うことで理論解析モデルと実際の回路で発生する歪みの整合性を確認することを目指した。現在、測定用のチップの設計を行い、歪みの測定が行えることをシミュレーションで確認した。

藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp/>)

Efficient Topological Matching Among Multiple Circuits

藤田昌宏, ガラバギアミルマスード, ホセイン イザディラド

複数の回路において似た部分や異なる部分を認識することは、回路を統合したり誤りを検出したり、リバースエンジニアリングしたり、冗長性を確認するために重要であるばかりではなく、IPライブラリを管理するためにも有用である。本研究では、2つあるいは3つ以上の論理回路中で最も大きな共通回路部分を検出する手法を提案した。ゲートレベルのネットリストが与えられたとき、まず回路をグラフとして表現する。次に、シグニチャの生成とマッチングに基づく新たな手法によって最大の共通サブグラフを検出する。シグニチャは回路要素のファンイン・コーンのトポロジに基づいて定義する。2つの回路が与えられたとき、最初にそれらの回路の間で一意のシグニチャをもつ回路要素をすべて見つける。その後マッチング領域を定義された拡大ルールに基づいてできるだけ拡大する。これ以上マッチング領域を拡大できなくなるまで、繰り返し一意なマッチングを見つけマッチング領域を拡大することを行う。IWLS2005ベンチマークによる実験の結果、2つの160,000ゲートのIPの間での完全なマッチングを5分で見つけることが可能となった。本手法では、以前の我々のグラフマッチングに基づく手法に比べて、マッチした領域が同等かそれ以上の大きさの場合でも2桁以上高速である。

FPGA を用いた計算の高速化

藤田昌宏, ガラバギアミルマスード, 川尾太郎

専用ハードウェアは、汎用機よりも速度やエネルギー効率で優れている。プログラム可能な回路であるFPGAを用いることで、チップを製造することなく、特定の計算に最適化された回路が構築できる。本研究ではニューラルネットワークシミュレーションと電磁界解析の高速化を考える。ニューラルネットワークとは脳の機能を数学的に表したモデルである。本研究では、FPGA上に高度にパイプライン化された回路を構築し、スパイク型ニューロン1024個のネットワークを生体比47倍で動作させることに成功した。この回路はさらに大きな神経回路網にも対応できるように設計されており、現在は複数のFPGAチップを使った数万ニューロンの大規模化について研究中である。電子機器の小型化・高性能化に伴い、電磁干渉の間

題はより深刻になってきている。電磁界シミュレータの性能が不足しているため、コスト高な実機試験が中心となってしまっている。この問題を解決すべく、2D、3Dシミュレーションに対してFPGAを用いた高速シミュレータを実装した。元のプログラムは約100 MCell/秒でシミュレーション可能である。マルチコア版のプログラムはシングルコアの2倍高速である。本研究のFPGA実装版ではマルチコア版の5倍高速（1130 MCell/秒）である。

ゲートレベル設計とのマッピングによる高位 ECO 手法

藤田昌宏, ガラバギアミルマスト, 王勤浩

実際のハードウェア設計フローでは、最後の段階でバグの修正や仕様変更される場合がある。設計コストと市場での競争力を考えると、設計者は最初から全体の設計フローを再実行することを望まない。エンジニアリングチェンジオーダー（ECO）とは、バグの修正や当初の仕様からの変更が原因で起こる、設計に対する仕様変更の要求である。このECOは小さな変更と予想される。

高位合成を用いた設計手法は、設計の抽象化を高め、市場投入までの時間を短縮することができるので、新しいアルゴリズムを実装するために使用される。しかし、高位記述での仕様の小規模な修正に対し、高位合成後のRTL記述は大幅に変化する。そこで本研究では、高位記述レベルでのECO手法を提案した。まず、元の回路トポロジー（データフローグラフの一部）を固定し、その後、部分的な演算（データフローグラフのノード）をプログラム可能なデータパスで置換する。ここではECOをある等価な問題に変換し、SMTソルバーで自動的に解を得る。さらにこの問題を設計仕様を与えられていない場合にも適用した。実験結果はいくつかの高位ECOの実例について有用であることを示している。

トレースバッファを利用した電氣的故障のデバッグ

藤田昌宏, ガラバギアミルマスト, 岩田健太郎

半導体技術の進歩によりチップの高集積化が進み、配置配線処理で考慮すべき要素は増大する中、論理的機能は正しく設計されているが、チップを製造して動作させると同じ入力に対して出力が正しい時と誤っている時が混在する場合がある。その原因が電氣的故障である。このバグはチップ内の温度変化や電源電圧の降下、配線同士のクロストークなどによって生じる。これはランダムに発生するため、デバッグに数ヶ月掛かるなど非常に時間を要する。そこで、本研究ではトレースバッファというメモリを利用することによって一部のフ

リップフロップの値を周期的に記録する手法を検討した。記録されたフリップフロップの値を用いて過去の状態変数を復元し解析することで、電氣的故障が生じる部分を特定する。いつ、どこで電氣的故障による値の変化が生じたかはわからないため、記録された値のうちどれが誤りであるかの判別が主な課題となる。

実時間組込みソフトウェア解析のための HW/SW 協調検査

藤田昌宏, 木村悠介

組込みシステムのソフトウェアが複雑化する中で、ソフトウェアの検証をより短時間で行うことが重要になっている。割り込み処理は組み込みシステムを特徴付ける機能の1つであり、本研究ではこの割り込み処理の検証方法に注目する。本研究では、割り込み処理を網羅的に解析する手法を提案した。また、膨大になってしまう実行パス数を削減するために、入出力データから制約情報を抽出して検証に利用する手法も提案した。変数の依存関係を利用する実装によって、昨年の成果以上に実行パス数を削減することに成功し、実用されている例題でも十分に動作することが確認できた。

ソフトウェアの自動合成

藤田昌宏, 木村悠介, 石山薫太郎

ソフトウェアの不具合箇所を効率的にデバッグするために、いくつかの入出力例から自動でソフトウェアの一部分を合成する手法について研究を行った。探索範囲を制限することにより、全入出力パターンに言及することなしに、ツールが提示するいくつかの入力に対する正しい出力を人間やシミュレータが回答するだけで合成が可能である。故障箇所が特定されている際のデバッグや、記述の難しい箇所の自動合成に活用できる技術である。

HW 設計のリバースエンジニアリング手法

藤田昌宏, 木村悠介

ゲートレベル回路と高位記述の間関係を開発者に分かりやすく提示することを目標に、ゲートレベル回路のリバースエンジニアリング手法についての研究を行った。特に、ゲートレベル回路では状態遷移マシンが実装されていることが多く、これが高位記述との対応関係を調査することの障害になっていると考え、ゲートレベル回路から状態遷移に関連するフリップフロップを抽出する方法を提案した。これによって高位記述のコントロールフローグラフと状態遷移マシンの状態遷移を比較することができる。

電子機器のエネルギー自立動作に向けた集積パワーマネジメント回路システム

高宮真, 桜井貴康

エネルギー自立動作の実現こそがIoTデバイス, ウェアラブル機器, 体内埋め込み機器など, ヒト・モノとエレクトロニクスを一体化する上でキー技術であり, これには消費エネルギーの低減とエネルギー供給手段確保の両輪が必要である. そこで, 電子機器のエネルギー自立動作に向け, LSIの低エネルギー動作向けと無線給電・エネルギーハーベスティング向け両方の集積パワーマネジメント回路システムの研究を行っている. 具体的には, (1) 電源コード外皮からの容量性結合エネルギーハーベスティング, (2) RFエネルギーハーベスティング回路の高感度化, (3) 低消費電力と低位相ノイズを両立した39MHz水晶発振回路の研究を行った.

有機トランジスタを用いた大面積・フレキシブルエレクトロニクスの新アプリケーション提案と実証

高宮真, 染谷隆夫, 桜井貴康

電子機器を身にまとうウェアラブル型デバイスや電子機器を体内に埋め込むインプラント型デバイスではフレキシブルで大面積なエレクトロニクスが求められる. そこで, 薄いフィルム上に印刷で作成可能な有機トランジスタを用いた大面積・フレキシブルエレクトロニクスのアプリケーション提案と実証を染谷研究室と共同で行っている. 最近では「義手の制御用の筋電測定シート」「おむつ用ワイヤレス尿漏れ検出センサシート」「音で発熱を知らせる腕章型発熱アラーム」の提案と実証を行った.

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

高性能暗号エンジンの実現

池田誠, 田村雅人, 池田司

楕円曲線暗号を利用したデジタル署名アルゴリズムECDSAの署名生成回路に関する検討を行った. パイプライン型のモンゴメリ乗算器を提案するとともに演算順の最適化を行うことで, 従来型のモンゴメリ乗算器と比較して1.6倍のスループットを実現した. これ

を利用することでECDSAの署名生成時間の短縮を実現した. SOTB 65 nm CMOSによる実装により,

標準電源電圧1.1Vにおいて署名生成時間およびエネルギーとしてそれぞれ330 us, 13.9 uJを実現し, エネルギー最小動作点である電源電圧0.3 Vにおいて, 署名生成2.3 ms, 生成エネルギー1.68 uJを実現した. 実装面積は1.92 mm²であった. さらに, 高基数モンゴメリ乗算器による面積・遅延時間トレードオフの検討を行った. SOTB 65 nm CMOS論理ライブラリを用いた1024 bit RSA暗号の論理合成により実装例では, 基数1024 bitにおいて暗号化を81 usで実現可能であることを示した.

ダイナミック回路を用いた自己同期システムの放射線耐性の検討

池田誠, 崔伝琪

ゲート単位で終了検出しハンドシェイクを実現する非同期制御(以下自己同期回路)は, 製造ばらつきや電源雑音に対する耐性が強く低電源電圧下においても安定して動作する. 一方で, プロセスの微細化, 動作電圧の低下に伴いダイナミック回路における放射線耐性が大きな問題となることが予想される. そこで, 本研究では, 自己同期回路の基本セル中の回路における各ノードへの中性子線照射を想定した電荷注入を行った際の誤動作確率を, 電荷注入タイミング(時間分布)および簡易面積推定手法から見積もった各ノードの空間分布から求める手法の検討を行った. 同一回路に対して, 考えうるネットリストおよびトランジスタ配置に対して網羅的に誤動作確率を求めることで, 放射線耐性の最も強いセルを見積もっている.

CMOS混載型静電マイクロアクチュエータのデジタル制御方式の検討

池田誠, 丸山智史

アナログ系のMEMSデバイスをデジタル領域で制御する手法の検討を行った. 静電駆動型マイクロアクチュエータに対し, MEMSデバイスが追従できない周波数でのPWM偏重による制御と同時に, 時分割方式で駆動と容量測定による変位検出を行い, $\Delta\Sigma$ 変調による制御の検討を行った.

スマートイメージセンサを用いた三次元計測

池田誠, 金雄鉉, 上原大典, 今林淳, 谷渕正崇

本研究では変調光投影により背景光除去性能を有する三次元形状計測向けのイメージセンサおよびそのピクセル回路の検討を行った. ロックイン型ピクセルにコモンモード除去回路を付加することで背景光除去性

能の向上を目指している。また、より高速な形状計測に向けた、デブランシーケンスによる形状計測に関して、シーケンスパターンと形状計測性能に関する評価を行った。

三田研究室

(<http://www.if.t.u-tokyo.ac.jp>)

1. 集積化水上走行ロボットを通じたエネルギー自立型分散マイクロシステム

三田吉郎, 森功, 岡本有貴, イファン・リ (英エジンバラ大), スチュワート・スミス (英エジンバラ大) アントニー・ウォルトン (英エジンバラ大)

新しい応用分野を拓くものと近年期待が高まっている集積化MEMS (微小電気機械システム) のトップダウンアプリケーションとして、環境からエネルギーを取得して自立移動できる、完全自走型のマイクロシステムの研究を行っている。「Engineered Nature」すなわち、動物の実装をデッドコピーするのではなく動物に見られる機能を抽出してそれを工学的に最適な形で実現することを通じて工学の発展に寄与することを指導原理としている。大きさ1 cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。1 cm角サイズという小型なマイクロロボットとして知られているものは、安宅 (東大) らによるマイクロ繊毛 (1992), Ebefords (KTH) らによるマイクロ尺取虫, 三木 (東大) らによるマイクロヘリコプターなどがあるが、電源供給用に電線が必要であるとか、ミリワット級のエネルギーを投入しなくてはならないとかいった問題のため完全自立というには程遠かった。

既存研究の最大の課題である電力消費を抑えて自立移動するための動力原理として、筆者らはエレクトロウエットティング (EWOD) 現象に注目している。むきだしの絶縁電極に電荷を注入して表面エネルギーを変調することで、表面の濡れ性を制御する、19世紀半ばから知られている原理で、2000年代になってマイクロ化学システムの液滴移動原理として再発見されたものである。濡れ性制御に必要なエネルギーが $1 \mu\text{m}^2$ と非常に小さいため、世界初の自立移動マイクロロボットの駆動原理として好都合であると考えている。2016年度はオンチップエネルギー源としてのCMOS後加工太陽電池の研究が一段落し、集積化MEMSの部品として利用可能となったうえ、波長の

異なる光を照射することで、電圧印加と電荷を強制的に引き抜く動作とを切り替え命令することができるようになり、これによって静電駆動MEMSを高速に駆動することが可能となった。

2. Smart BlocksII プロジェクト - 局所領域における流体の流れに注目した高位置決め性能エアフロー MEMS アクチュエータ

三田吉郎, 川原健太郎, 岡本有貴

仏FEMTO-ST研究所と、東京大学生産技術研究所集積化マイクロメカトロニクス研究室 (LIMMS, CNRS-IIS, UMI 2820) と共同で、フランス国立研究機構 (ANR) 特定領域研究「Smart Blocks II」を受託し研究を行った。「自らが自走し構成を組み替えることが出来るマイクロアクチュエータシステム」がテーマであり、アクチュエータ部分の研究を行った。過去提案されてきた空気浮上式アクチュエータは、微小ノズルから押し出された空気が乱流を形成し、微細構造から期待されるほどの位置決め安定性が得られなかった。流体の流れを制御することによって、高い位置決め性能が得られることが実験と有限要素法シミュレーションにより示された。

3. 電子線リソグラフィと MEMS プロセスによる微細電極構造のトップダウン作製手法の研究

三田吉郎, 竹城雄大, 鷺津信栄 (アドバンテスト), 高田晃広 (アドバンテスト), 藤原誠, 澤村智紀, 池野理門, 浅田邦博

電極構造の微細化によるセンサ素子の更なる高感度化、高機能化を目指し、電子線リソグラフィとMEMS加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。VDECに平成25年に新規導入された高速大面積電子線描画装置F7000S-VD02の持つ高ドーズ対応性、セル (キャラクタ) プロジェクション方式による鮮明なエッジを利用する。100 nmを切るサイズの微細ギャップを持った電極の作製を試みているほか、マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御にも取り組んでいる。

4. CMOS-VLSI の MEMS 後加工による高機能システムの産学連携研究

三田吉郎, 関口亮太 (キヤノン研究所), 中山雄太 (コニカミノルタ)

VDECを通じて試作したVLSIウエーハを、武田先端知ビルスーパークリーンルームやその他のクリーン

ルームにおいて後加工することによって新規センサデバイス製作、評価する研究を行っている。後加工に関する知見として、トランジスタが作製された直後（配線前）のウエーハ引き渡しを受け、熱工程を伴う後加工プロセス（成膜、インプラ、ドライブイン）を施してもトランジスタ特性の劣化はそれほど進行しないことがわかった。2015年度の研究では、異種材料をCMOSトランジスタと融合したTHz帯の電磁波受信素子を作製し、動作を確認したほか、VLSIをあらかじめSilicon-on-Insulator (SOI) 基板の上に配置した構造をMEMS後加工することができるようになった。共同研究開発する素子の種類は共同研究先の要望により様々だが、作製テクノロジーは共通のものを利用できることが産業的に重要である。数多くの企業の興味を引き、共同研究ベースで電子デバイスの試作が進んでいる。

5. 集積化 MEMS による LSI プロービングシステム

三田吉郎, 瀬戸口良太, 岡本有貴

初期情報処理 CMOS 回路が集積された、VLSI 等の電子部品のテストに用いる「MEMS プローブカード」の研究を行った。研究四年目である平成 27 年度は、プローブ素子に実際に加わっているひずみ量を定量化するための集積化ひずみセンサの設計試作に取り組んだ。フェニテックセミコンダクター社の $0.6 \mu\text{m}$ テクノロジーによるポリシリコン抵抗が搭載された SOI (Silicon on Insulator) 基板を、武田先端知ビルスーパークリーンルームにおいて後加工してデバイスとし、ピエゾ抵抗によるひずみ検出に成功した。カンチレバー構造を必要とする多くの研究にプロセス要素として提供できるよう開発された深掘り加工法を一般化し、あわせて MEMS 後加工の加工終了を可視化するためのマイクロテスト構造 (Test Structure) の研究を行った。

6. 右脳型ソフトコンピューティング VLSI: 連想プロセッサ・システム

夏文軍, 山下直也, 三田吉郎

現在のコンピュータは四則演算の超高速処理に特化したマシンであり、人間のように「ものを見て柔軟に判断・理解し、即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し、過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを、シリコン超 LSI 技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し、直感・連想・推論といった処理を得意とした LSI

チップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ (ニューロン MOS, neuMOS) を導入、膨大な template 群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ、 $0.18 \mu\text{m}$ CMOS 技術を用いた超高速デジタル連想プロセッサ等を、これまで開発した、template の量を精密度を失わない形で削減する手法、認識クラスの弁別性を高めるためのデータ処理手法について研究を行い、論文発表した。

7. 脆弱 MEMS 機構の置き換えによる「新陳代謝」を可能とする非接触マイクロ共鳴電力伝送

三田吉郎, 坂本直之, ブルーノ ステファネリ (仏 ISEN/IEMN-CNRS 研究所), アンドレアス カイザー (仏 ISEN/IEMN-CNRS 研究所, 学長)

環境に直接 MEMS アレイ素子を暴露して動作させるシステムの最大の課題は、MEMS 素子が利用とともに故障を重ね、最後にはシステムそのものが利用不可能になることである。この原理的な課題に対して、人間の皮膚が新陳代謝によって置き換わるように、脆弱な MEMS 機構と、頑強な VLSI 制御機構を分離し、MEMS 構造を置き換え可能にするというコンセプトを提唱している。同コンセプト実現のためにカギとなる技術は、MEMS 構造 (アレイ状の大量素子) と、制御回路とを電線で接合することなく電力や信号を伝送する技術である。筆者らは近年注目されている電磁界共鳴による電力伝送技術を、大きさミリメートル未満、搬送波周波数 1GHz の領域に適用することを提唱している。フェニテックセミコンダクター社 VDEC 相乗り試作によって、LC 発振回路を設計試作し、武田先端知ビルスーパークリーンルームで作製した受電素子とカップリング試験を行うことによって電力伝送が可能であること、また、同一の電力電送回路を用いて「静電駆動」「電流駆動」のどちらにも電力伝送が可能であることを実験的に示した。

8. ゼオライト・エレクトロニクス・ナノストラクチャ (ZEN) による集積化ケミカルセンサ

三田吉郎, 井上周, マチュー ドヌアル (仏 ENSI カーン校), テイクシエ三田アニエス, エリック ルブラスール, フセイン アワラ (仏 ENSI カーン校), ジュリアン グラン (仏 ENSI カーン校), スバルタナ ミントヴァ (仏 ENSI カーン校)

VLSI と集積化したコンパクトなマイクロデバイスによって人間の持つ感覚器官では検出不可能な領域の物理・化学量を測定することは、MEMS の持つ大いなるポテンシャルの応用分野の一つである。本研究が

ループは長年この課題に取り組んでおり、2015年度より日本学術振興会（JSPS）—フランス科学研究センター（CNRS）の二国間研究交流事業に採択され、VLSIにとっては異種材料であるゼオライトを集積化し、さらにMEMS後加工を施すことによって、化学物質を検知するCMOS-MEMSデバイスの研究を開始した。研究開始後、デバイスとして①カンチレバーを電磁力により駆動し、共振周波数の移動で化学物質を検出するタイプと、②入力した熱エネルギーによる温度上昇速度の雰囲気化学物質濃度に応じた変調によって検出するタイプの2種類のMEMSデバイスの動作に成功した。

高木・竹中研究室

(<http://www.mosfet.k.u-tokyo.ac.jp/>)

III-V/Ge Metal-Oxide-Semiconductor (MOS) FET に関する研究

高木信一, 竹中充, 蔡玉彪, 金佑疆, 張志宇, 柯夢南, 廖辰宇, 嶋田絢

高性能III-V族半導体MOSFETおよびGe MOSFETを実現するため研究を行っている。

InGaAs MOSゲートスタックの研究においては、 $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS界面の研究を進めている。原子層堆積法により La_2O_3 を堆積することで、良好なMOS界面が形成可能であることを明らかにした。

Ge MOSETにおいては、貼り合わせを用いてGe-on-Insulator (GeOI) 基板を作製し、極薄GeOI MOSFETの動作実証に成功するとともに、薄膜チャンネルにおける移動度劣化の物理機構を明らかにした。

トンネル FET に関する研究

高木信一, 竹中充, 金閔洙, 後藤高寛, 裴泰彦, 安大煥, 加藤巧, 尹尚希

省電力動作が可能なステープスロープトランジスタとしてトンネルFETの研究を進めている。横型InGaAs TFETやGaAsSb/InGaAsヘテロ接合を用いたTFETの研究を進めている。GaAsSb/InGaAsヘテロ構造を結晶成長を用いて作製し、縦型構造を用いたTFET動作を得ることに成功した。またGe/歪Siヘテロ構造を用いたTFETの研究も進めている。

Si CMOS photonics に関する研究

高木信一, 竹中充, 韓在勲, 亢健, 武内和治

ウェハーボンディングで作製したGe-on-Insulator (GOI) 基板上にGe CMOSとGe細線導波路光デバイスを一体集積するGe CMOSフォトニクス・プラットフォームを提案し、研究を進めている。GeOI基板上に中赤外で動作するGe細線導波路を初めて作製することに成功した。また電流注入による光変調動作にも初めて実証した。歪SiGeを用いた光変調器の研究も進めている。貼り合わせを用いたMOS型光変調器構造を提案するとともに、 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 貼り合わせ界面を用いたボイドレス貼り合わせ技術を確認した。

III-V CMOS photonics に関する研究

高木信一, 竹中充, テイユウホウ, パク ジンゴン, 高島成也, 関根尚希

ウェハーボンディングで作製したIII-V on Insulator 基板上にIII-V MOSFETとIII-V細線導波路を一体集積するIII-V CMOSフォトニクス・プラットフォームの研究を進めている。InPグレーティングカプラと導波路型InGaAs受光器を集積することに初めて成功した。またInGaAsP空乏型光変調器においてSiよりも4倍程度変調効率が改善可能であること数値計算により明らかにした。量子井戸インタミキシングにおいては、貼り合わせIII-V-OI基板上におけるミキシング機構を明らかにするとともに、100 nm程度のバンドギャップ波長シフトを得ることに成功し、能動・受動集積に向けた基盤技術を確認した。

浅田・名倉・飯塚研究室 研究論文

- [1] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, "An Asynchronous Summation Circuit for Noise Filtering in Single Photon Avalanche Diode Systems," *Journal of Circuits, Systems and Computers (JSCS)*, vol.25, No.3, pp.1640017-1-1640017-16, 2016.
- [2] T. Kikkawa, T. Nakura, and K. Asada, "An on-chip Measurement of PLL Transfer Function and Lock Range through Fully Digital Interface," *IEICE Trans. on Electronics*, Vol.E99-C, No.2, Feb. 2016.
- [3] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, "A 15 × 15 Single Photon Avalanche Diode Sensor Featuring Breakdown Pixels Extraction Architecture for Efficient Data Readout," *Japanese Journal of Applied Physics (JJAP)*, vol.55, No.4s, 04EF04, 2016.
- [4] Toru Nakura, Masahiro Kano, Masamitsu Yoshizawa, Atsunori Hattori, Kunihiro Asada, "Resonant Power Supply Noise Reduction by STO Capacitors Fabricated on Interposer", *IEICE Trans. on Electronics*, Vol.E98-C, No.7 July 2015.
- [5] Masahiro Ishida, Toru Nakura, Takashi Kusaka, Satoshi Komatsu, Kunihiro Asada, "Dynamic Power Integrity Control of ATE for Eliminating Overkills and Underkills in Device Testing", *Journal of Electronic Testing: Theory and Application (JETTA)*, to be published.

国際会議論文

- [1] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, "An Asynchronous Projection and Summation Circuit for in-Pixel Processing in Single Photon Avalanche Diode Systems," in *Proceedings of 2015 International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS)*, pp.131-136, Belgrade, Serbia, April, 2015.
- [2] Kikkawa, T. Nakura, and K. Asada, "An on-chip Transfer Function Measurement of PLLs with Triangular Modulated Stimulus," in *Proceedings of Asia Symposium on Quality Electronic Design (ASQED)*, pp.197-202, Aug, 2015.
- [3] Masahiro Kano, Toru Nakura and Kunihiro Asada, "Resonant Power Supply Noise Cancelling with Noise

Detector based in DLL and Vernier TDC," in *Proc. of IEEE 6th Asia Symposium on Quality Electronic Design (ASQED)*, Aug., 2015.

- [4] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, "A CMOS SPAD Sensor Featuring Asynchronous Event-Extraction Readout Architecture for Faint Light Detection," in *Proceedings of 2015 International Conference on Solid State Devices and Materials (SSDM)*, pp.812-813, Sapporo, Japan, September, 2015.
- [5] T. Toi, T. Nakura, T. Iizuka and K. Asada, "Tracking PVT variations of Pulse Width Controlled PLL using Variable-Length Ring Oscillator," in *Proceedings of IEEE Nordic Circuits and Systems Conference (NORCAS)*, pp.1-4, Oct. 2015.
- [6] Tomohiko Yano, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, "A Calibration-Free Time Difference Accumulator Using Two Pulses Propagating on a SingleBuffer Ring" in *IEEE Asian Solid-State Circuits Conference (A-SSCC) Proceed-ings of Thechnical Papers*, pp.145-248, Nov. 2015.
- [7] Masahiro Kano, Toru Nakura and Kunihiro Asada, "Analysis and Design of a Triangular Active Charge Injection for Stabilizing Resonant Power Supply Noise," *IEEE International Symposium on Quality Electronic Design (ISQED)*, 2016.
- [8] Md. Maruf Hossain, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "Analytical Design Optimization of Sub-ranging ADC based on Stochastic Comparator," in *Proceedings of IEEE/ACM Design, Automation and Test in Europe (DATE)*, Mar. 2016.
- [9] Toru Nakura, Kunihiro Asada, "Fully Automated PLL Compiler Generating Final GDS from Specification", *IEEE International Symposium on Quality Electronic Design (ISQED)*, Sess. 6B, pp.437-442, March 2016.
- [10] Masahiro Ishida, Toru Nakura, Akira Matsukawa, Rimon Ikeno, Kunihiro Asada, "A Technique for Analyzing On-chip Power Supply Impedance", *IEEE Asia Test Symposium (ATS)*, pp.193-198, Nov. 2015.

シンポジウム・研究会・大会等発表

- [1] 吉川俊之, 名倉徹, 浅田邦博, "三角波変調を用いた PLL 伝達関数のオンチップ測定手法," *電子情報通信学会 LSI とシステムのワークショップ 2015*, 2015 年 5 月.
- [2] 鹿野真弘, 名倉徹, 浅田邦博, "動的制御による電源共

- 振ノイズ低減における電荷注入最適化手法,” 電子情報通信学会 LSI とシステムのワークショップ 2015, 2015 年 5 月.
- [3] 吉川俊之, 名倉徹, 浅田邦博, “三角波変調を用いた PLL 帯域幅の校正手法, 電子情報通信学会 2015 年ソサイエティ大会, 東北大学, 2015 年 9 月.
- [4] P. Kanjanavirojkul, N.N.M Khanh, T. Iizuka, T. Nakura, K. Asada, “A Transmission Line Based Pulse Generator on 0.18-um CMOS over Quartz Substrate,” in Proceedings of the 2015 IEICE Society Conference, C-2-4, Sep. 2015
- [5] 古賀丈尚, 飯塚哲也, 名倉徹, 浅田邦博, “高分解能パルス縮小型時間-デジタル変換器の設計,” 電子情報通信学会技術研究報告, vol. 115, no.270, pp.13-18, 2015 年 10 月.
- [6] 峠仁人, 飯塚哲也, 名倉徹, 三浦賢, 村上芳道, 浅田邦博, “フラクショナル位相選択法によりジッタ特性を改善した高速起動完全デジタル CDR 回路の設計,” 電子情報通信学会技術研究報告, vol. 115, no.340, pp.17-22, 2015 年 12 月.
- [7] 都井敬, 名倉徹, 飯塚哲也, 浅田邦博, “Hill-Climbing 法を用いたパルス幅制御 PLL の PVT ばらつきへの自動適応,” 電気情報通信学会 技術研究報告, vol. 115, no. 373, pp. 135-140, 2015 年 12 月.
- [8] 矢野智比古, 名倉徹, 飯塚哲也, 浅田邦博, “バッファリングを利用した出力ドリフト補正が不要な時間領域アナログ信号積分器,” 電子情報通信学会技術研究報告, vol. 115, no.373, pp.129-134, 2015 年 12 月.
- [9] モハンマドマルフホサイン, 飯塚哲也, 名倉徹, 浅田邦博, “統計的コンパレータを用いたアナログ-デジタル変換回路の性能解析,” 電子情報通信学会技術研究報告, vol. 115, no.373, pp.123-128, 2015 年 12 月.
- Synthesis and Optimization of Polynomial Datapaths Using Functional Decomposition. IEEE Trans. Computers 64 (6): 1579-1593 (2015)
- [4] Yuki Okamoto, Takashi Nakagawa, Takeshi Aoki, Masataka Ikeda, Munehiro Kozuma, Takeshi Osada, Yoshiyuki Kurokawa, Takayuki Ikeda, Naoto Yamade, Yutaka Okazaki, Hidekazu Miyairi, Masahiro Fujita, Jun Koyama, Shunpei Yamazaki: A Boosting Pass Gate With Improved Switching Characteristics and No Overdriving for Programmable Routing Switch Based on Crystalline In-Ga-Zn-O Technology. IEEE Trans. VLSI Syst. 23 (3): 422-434 (2015)

国際会議

- [1] Payman Behnam, Bijan Alizadeh, Sajjad Taheri, Masahiro Fujita: Formally analyzing fault tolerance in datapath designs using equivalence checking. ASP-DAC 2016: 133-138
- [2] Masahiro Fujita: Detection of test Patterns with Unreachable States through Efficient Inductive-Invariant Identification. ATS 2015: 31-36
- [3] Ying Zhang, Zebo Peng, Jianhui Jiang, Huawei Li, Masahiro Fujita: Temperature-aware software-based self-testing for delay faults. DATE 2015: 423-428
- [4] Masahiro Fujita: Automatic identification of assertions and invariants with small numbers of test vectors. ICCD 2015: 463-466
- [5] Masahiro Fujita, Naoki Taguchi, Kentaro Iwata, Alan Mishchenko: Incremental ATPG methods for multiple faults under multiple fault models. ISQED 2015: 177-180
- [6] Sriram Karunakaran, Karuna P. Sahoo, Masahiro Fujita: Hardware in loop testing of an insulin pump. ITC 2015: 1-8
- [7] Masahiro Fujita: Logic analysis and optimization with quick identification of invariants through one time frame analysis. MEMOCODE 2015: 102-107
- [8] Masahiro Fujita: Analysis and testing on delays with two time frames. VLSI-SoC 2015: 13-18
- [9] Shridhar Choudhary, Amir Masoud Gharehbaghi, Takeshi Matsumoto, Masahiro Fujita: Trace signal selection methods for post silicon debugging. VLSI-SoC 2015: 258-263
- [10] Amir Masoud Gharehbaghi, Masahiro Fujita: Efficient signature-based sub-circuit matching. VLSI-SoC 2015: 280-285
- [11] Reza Sharafinejad, Bijan Alizadeh, Masahiro Fujita: UPF-based formal verification of low power techniques in modern processors. VTS 2015: 1-6
- [1] Takeshi Aoki, Yuki Okamoto, Takashi Nakagawa, Munehiro Kozuma, Yoshiyuki Kurokawa, Takayuki Ikeda, Naoto Yamade, Yutaka Okazaki, Hidekazu Miyairi, Masahiro Fujita, Jun Koyama, Shunpei Yamazaki: Normally-Off Computing for Crystalline Oxide Semiconductor-Based Multicontext FPGA Capable of Fine-Grained Power Gating on Programmable Logic Element With Nonvolatile Shadow Register. J. Solid-State Circuits 50 (9): 2199-2211 (2015)
- [2] Masahiro Fujita: Toward Unification of Synthesis and Verification in Topologically Constrained Logic Design. Proceedings of the IEEE 103 (11): 2052-2060 (2015)
- [3] Samaneh Ghandali, Bijan Alizadeh, Masahiro Fujita, Zainalabedin Navabi: Automatic High-Level Data-Flow

藤田研究室 研究論文

- [1] RAD HOSSEIN IZADI, GHAREHBAGHI AMIR MASOUD, FUJITA MASAHIRO, Efficient Graph Matching Method for LUT-Networks, 電子情報通信学会, 信学技報 115 (400), 43-48, 2016-01-19
- [2] 川尾太郎, 河野崇, 藤田昌宏, 「高位合成による自動パライン化を利用したスパイクニューラルネットワークシミュレーション高速化回路のFPGA実装」, 電子情報通信学会, 信学技報 115 (339), 13-18, 2015-12-01
- [3] 木村悠介, ガラバギアミルマソード, 藤田昌宏, 「実時間組み込みソフトウェア解析のためのHW/SW協調検査」, 電子情報通信学会, 信学技報 115 (21), 39-44, 2015-05-14
- [4] Shridhar Chaudhary, Amir Masoud Gharehbaghi, Takeshi Matsumoto, Masahiro Fujita, "Trace Signal Selection Methods for Post Silicon Debugging," 情報処理学会, 2015-SLDM-171 (4), 1-6, 2015-05-07

高宮研究室 研究論文

- [1] K. Hagita, Y. Yazaki, Y. Kondo, M. Sonehara, T. Sato, T. Fujii, K. Kobayashi, S. Nakazawa, H. Shimizu, T. Watanabe, Y. Seino, N. Matsushita, Y. Yanagihara, T. Someya, H. Fuketa, M. Takamiya, and T. Sakurai, "CMOS Switch Buck DC-DC Converter Fabricated in Organic Interposer with Embedded Zn-Fe Ferrite Core Inductor," Journal of the Magnetics Society of Japan, Vol.39, No.2, pp.71-79, March 2015. (日本磁気学会論文賞を受賞)
- [2] S. Iguchi, P. Yeon, H. Fuketa, K. Ishida, T. Sakurai, and M. Takamiya, "Wireless Power Transfer With Zero-Phase-Difference Capacitance Control," IEEE Transactions on Circuits and Systems—I: Regular Papers, Vol.62, No.4, pp.938-947, April 2015.
- [3] H. Fuketa, K. Yoshioka, K. Fukuda, T. Mori, H. Ota, M. Takamiya and T. Sakurai, "Design Guidelines to Achieve Minimum Energy Operation for Ultra Low Voltage Tunneling FET Logic Circuits" Japanese Journal of Applied Physics, Vol.54, No.4S, 04DC04, April, 2015.
- [4] S. Iguchi, H. Fuketa, T. Sakurai, and M. Takamiya, "Variation-Tolerant Quick-Start-Up CMOS Crystal Oscillator With Chirp Injection and Negative Resistance Booster," IEEE Journal of Solid-State Circuits, Vol.51, No.2, pp.496-508, Feb. 2016.

国際会議論文

- [1] Y. Kondo, Y. Yazaki, M. Sonehara, T. Sato, T. Watanabe, Y. Seino, N. Matsushita, T. Fujii, K. Kobayashi, H. Shimizu, Y. Yanagisawa, T. Someya, H. Fuketa, M. Takamiya, and T. Sakurai, "Embedded Planar Power Inductor Technology for Package-level DC Power Grid," International Conference on Electronic Packaging and iMAPS All Asia Conference (ICEP-IACC), Kyoto, pp.814-817, April 2015.
- [2] T. Yokota, W. Yukita, J. Reeder, H. Fuketa, M. Hamamatsu, T. Someya, W. Voit, M. Takamiya, T. Sekitani, T. Sakurai, and T. Someya, "Organic Complementary Circuits With Thin Parylene Gate Dielectric for a Flexible Fever Alarm System," Material Research Society (MRS) Spring Meeting, II5.03, San Francisco, USA, April 2015.
- [3] M. Takamiya, "Energy Efficient Design and Energy Harvesting for Energy Autonomous Systems," IEEE International Symposium on VLSI Design, Automation and Test (2015 VLSI-DAT), Hsinchu, Taiwan, DSS13, pp.1-3, April 2015. (Invited)
- [4] Y. Yamauchi, Y. Yanagihara, H. Fuketa, T. Sakurai, and M. Takamiya, "Optimal Design to Maximize Efficiency of Single-Inductor Multiple-Output Buck Converters in Discontinuous Conduction Mode for IoT Applications," IEEE International Conference on IC Design and Technology (ICICDT), Leuven, Belgium, pp.1-4, May 2015.
- [5] D. Luo, H. Fuketa, K. Matsunaga, H. Morimura, M. Takamiya, and T. Sakurai, "Analysis to Optimize Sensitivity of RF Energy Harvester with Voltage Boost Circuit," IEEE 22nd European Conference on Circuit Theory and Design (ECCTD), Trondheim, Norway, pp.1-4, Aug. 2015.
- [6] T. Someya, H. Fuketa, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, "248pW, 0.11mV/°C Glitch-Free Programmable Voltage Detector With Multiple Voltage Duplicator for Energy Harvesting", 41th European Solid-State Circuits Conference (ESSCIRC), Graz, Austria, pp.249-252, Sep. 2015.
- [7] M. Honda, T. Sakurai, and M. Takamiya, "Wireless Temperature and Illuminance Sensor Nodes With Energy Harvesting from Insulating Cover of Power Cords for Building Energy Management System," IEEE Asia-Pacific Power and Energy Engineering Conference (APPEEC), Brisbane, Australia, PES-APPEEC-255, pp.1-5, Nov. 2015.
- [8] S. Iguchi, T. Sakurai, and M. Takamiya, "A 39.25MHz

278dB FOM 19 μ W LDO-Free Stacked-Amplifier Crystal Oscillator (SAXO) Operating at I/O Voltage,” IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp.100-101, Feb. 2016.

シンポジウム・研究会・大会等発表

- [1] 濱松昌宗, 更田裕司, 横田知之, 雪田和歌子, 染谷晃基, 関谷 毅, 高宮 真, 染谷隆夫, 桜井貴康, “室内光で発電し音で発熱を知らせる腕章型発熱アラームの提案と有機回路による実証,” 電子情報通信学会, LSI とシステムのワークショップ, ポスターセッション学生部門, PS-8, 北九州, 2015 年 5 月. (IEEE SSCS Kansai Chapter Academic Research Award を受賞)
- [2] 本田雅宣, 桜井貴康, 高宮真, “電源コード外皮からの容量性結合エネルギーハーベスティングの提案と実証,” 電子情報通信学会ソサイエティ大会, B-21-11, 仙台, 2015 年 9 月.
- [3] 本田雅宣, 桜井貴康, 高宮真, “容量性結合を用いた電源コードエネルギーハーベスティングの提案と実証,” 電子情報通信学会, 信学技報, ICD2015-64, pp.7-11, 京都, 2015 年 12 月.
- [4] 本田雅宣, 太田英敏, 高宮真, “電気刺激で管腔臓器開口部を閉閉制御する手術不要の体内留置型カプセル,” 電子情報通信学会総合大会, BI-10-7, 福岡, 2016 年 3 月.
- [5] バックジフン, 高宮真, 桜井貴康, “IoT 端末に対する物理的盗聴感知に向けた端子容量の微小変化の検出回路の研究,” 電子情報通信学会総合大会, C-12-12, 福岡, 2016 年 3 月.
- [6] 山内善高, 桜井貴康, 高宮真, “電流不連続モード Single-Inductor Dual-Output DC-DC コンバータにおけるヒステリシス制御による高速応答化の実証,” 電子情報通信学会総合大会, C-12-28, 福岡, 2016 年 3 月.
- [7] 蔡定勳, イスラムエイケイエムマーフズル, 桜井貴康, 高宮真, “人工ニューラルネットワークエンジンにおける画像認識率と消費エネルギーのトレードオフの定量化,” 電子情報通信学会総合大会, C-12-31, 福岡, 2016 年 3 月.

著書

- [1] 桜井貴康監修, “IoT/CPS/M2M 応用市場とデバイス・材料技術,” の第 2 章第 3 節「電源の革新 – オンチップ電源回路 –」を分担執筆, S & T 出版株式会社, pp. 46-54, ISBN 978-4907002442, 2015 年 4 月.
- [2] 桑野博喜, 竹内敬治監修, “エネルギーハーベスティングの設計と応用展開,” の第 11 章第 2 節「熱電発電用昇圧回路」を分担執筆, 株式会社シーエムシー出版, pp. 152-159, ISBN 978-4-7813-1092-3, 2015 年 10 月.

池田研究室 論文

国際会議

- [1] R. Ikeno, S. Maruyama, R. Iwashita, M. Takizawa, S. Sugatani, Y. Mita, M. Ikeda and K. Asada, “Electron-beam lithography with character projection exposure for throughput enhancement with line-edge quality optimization,” SPIE Advanced Lithography, February 21-25, 2016.
- [2] M. Ikeda, D. Stoppa, M. Pertjjs, Y. Oike, V. Ivanov, F-L. Hsueh, “F5: Advanced IC design for ultra-low-noise sensing,” 2016 IEEE International Solid-State Circuits Conference (ISSCC), pp.506-509, Feb. 2016.
- [3] [Invited] M. Ikeda, “Design and Optimization of Asynchronous Circuits with Gate-level Pipelining,” Proc. on the IEEE 11th International Conference on ASIC (ASICON 2015), Nov. 2015.
- [4] Masato Tamura, and Makoto Ikeda, “Optimal design on Asynchronous System with Gate-level pipelining,” The 11th IEEE International Conference on ASIC, B2-2, Nov. 2015.
- [5] Tsukasa Ikeda, and Makoto Ikeda, “Comprehensive Study on Higher Order Radix RSA Cryptography Engine,” IEEE 11th International Conference on ASIC (ASICON), P2-72, Nov. 2015.
- [6] S. Maeda, T. Ohmaru, H. Inoue, T. Nakagawa, Y. Kurokawa, T. Ikeda, Y. Suzuki, N. Yamade, H. Miyairi, M. Ikeda, S. Yamazaki, “Low Contrast Motion Capturing Vision Sensor with Crystalline Oxide Semiconductor FET-based In-Pixel Threshold Voltage Compensation Circuit,” 2015 Int’l Conf. on Solid State Devices and Materials, F-1-3, Sep. 2015.
- [7] M. Kozuma, Y. Okamoto, T. Nakagawa, T. Aoki, Y. Kurokawa, T. Ikeda, Y. Ieda, N. Yamade, H. Miyairi, M. Ikeda, M. Fujita and S. Yamazaki, “180-mV Subthreshold Operation of Crystalline Oxide Semiconductor FPGA Realized by Overdriving Programmable Power Switch and Programmable Routing Switch,” 2015 Int’l Conf. on Solid State Devices and Materials, O-4-3, Sep. 2015.
- [8] Y. Kurokawa, M. Ikeda, et al., “High-Sensitivity Image Sensor with Stacked Structure comprising Crystalline Selenium Photoconductor, Crystalline OS FET and CMOS FET,” International Image Sensor Workshop (IISW 2015), June 2015.

国内研究会

- [1] 田村雅人, 池田誠, 松本勉, “高基数モンゴメリ乗算器を用いた ECDSA 速度の最適化,” *Symposium on Cryptography and Security 2016, 2C4-2*, 2016 年 1 月.
- [2] 田村雅人, 池田誠, “ゲートレベルバイブライン型自己同期回路を用いた楕円曲線デジタル署名アルゴリズムの実装について,” *デザインガイア 2015 -VLSI 設計の新しい大地-*, vol.115, no.338, pp.7-12, 2015 年 12 月.
- [3] 榊井昇一, 池田誠, 川人祥二, 藤吉弘亘, “3D イメージング技術とその応用,” *電子情報通信学会信学技報 Vol.115 No.124*, 2015 年 7 月.

国内大会

- [1] 池田司, 池田誠, “高基数演算器の並列化による楕円曲線上の演算の高速化の検討,” *電子情報通信学会総合大会*, A-6-8, 2016 年 3 月.
- [2] 丸山智史, 池田 誠, “CMOS 混載型静電マイクロミラーのデジタル制御方式の評価,” *電子情報通信学会総合大会*, C-12-24, 2016 年 3 月.
- [3] 崔伝琪, 池田誠, “ダイナミック回路を用いた自己同期システムの SEU 耐性の評価,” *電子情報通信学会ソサイエティ大会論文集*, A-3-9, 2015 年 9 月.
- [4] 田村雅人, 池田誠, “高基数モンゴメリ乗算器を用いた楕円曲線デジタル署名回路の実装,” *電子情報通信学会ソサイエティ大会論文集*, A-3-11, 2015 年 9 月.
- [5] 池田司, 池田誠, “高基数演算器を用いた RSA 暗号回路の非同期制御による実装,” *電子情報通信学会ソサイエティ大会*, A-3-12, 2015 年 9 月.
- [6] 丸山智史, 池田 誠, “CMOS 混載型静電マイクロミラーのデジタル制御の検討,” *電子情報通信学会 ソサイエティ大会*, C-12-22, 2015 年 9 月.

そのほか

- [1] F. Arakawa and M. Ikeda, “Special Section on Low-Power and High-Speed Chips,” *IEICE Trans. Electron.*, Vol.E98-C, No.7, pp.534-535, Jul. 2015.

三田研究室 学会誌

- [1] Wenjun Xia, Yoshio Mita, Tadashi Shibata, “A Nearest Neighbor Classifier Employing Critical Boundary Vectors for Efficient On-Chip Template Reduction”, *IEEE Transactions on Neural Networks and Learning Systems*, Vol. 27, No.5, pp. 1094-1107, DOI: 10.1109/TNNLS.2015.2437901 (2016)

- [2] Isao Mori, Eric Lebrasseur, Masanori Kubota and Yoshio Mita, “On-chip High-voltage Silicon Photovoltaic Cell Array Made by a CMOS Post-processed Device Isolation Method for Driving a MEMS Actuator in a Remote Manner”, *IEEJ Transactions on Sensors and Micromachines*, 136(2), pp.24-30, (2016) doi:10.1541/ieejsmas.136.24
- [3] Isao Mori, Eric Lebrasseur and Yoshio Mita, “Discharging-phototransistor-integrated high-voltage Si photovoltaic cells for fast driving demonstration of an electrostatic MEMS actuator by wavelength modulation”, *Japanese Journal of Applied Physics*, Vol. 55, No. 4S, 04EF12 (2016.3.22) 10.7567/JJAP.55.04EF12
- [4] Shu Inoue, Matthieu Denoual, Hussein Awala, Julien Grand, Sveltana Mintova, Agnès Tixier-Mita and Yoshio Mita, “Characterization of zeolite-trench-embedded microcantilevers with CMOS strain gauge for integrated gas sensor applications”, *Japanese Journal of Applied Physics*, Volume 55, Number 4S, 04EF14 (2016.3.24). doi:10.7567/JJAP.55.04EF14

国際学会プロシーディング

- [1] Ryota Setoguchi, Eric Lebrasseur, Masanori Kubota, and Yoshio Mita, “A Strain-Sensor-Integrated Test Bed for Electro Mechanical Characterization of VLSI Probe”, *Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP)*, Montpellier, France, 27-30 April 2015, pp.369-373 (2015.04)
- [2] Naoyuki Sakamoto, Antoine Frappé, Bruno Stefanelli, Andreas Kaiser and Yoshio Mita, “Wireless Drive of A MemS Ciliary Motion Actuator via Coupled Magnetic Resonances using Micro Inductors”, *The 17th International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers'15)*, June 21-25, Anchorage, USA, pp.1961-1964 (2015.06).
- [3] Shu Inoue, Ryota Setoguchi, Matthieu Denoual, Sveltana Mintova, and Yoshio Mita, “Zeolite-trench-embedded micro cantilevers for CMOS strain-gauge integrated gas sensors”, *The 2015 International Conference on Solid State Devices and Materials*, September 28-30, Sapporo, Japan, pp. 800-801 (2015.09)
- [4] Isao Mori and Yoshio Mita, “Discharging-Phototransistor-Integrated High-Voltage Si Photovoltaic Cells for Fast Driving of an Electrostatic MEMS Actuator by Wavelength Modulation”, *The 2015 International Conference on Solid State Devices and Materials*, September 28-30, Sapporo, Japan, pp. 162-163 (2015.09)
- [5] Yuki Okamoto, Eric Lebrasseur, Isao Mori, and Yoshio Mita, “An End-point Visualization Test Structure for All Plasma Dry Release of Deep-RIE MEMS”, *IEEE 2016 International Conference on Microelectronic Test Structures (ICMTS)*, 28-31 Mar. 2016 Yokohama, Japan,

pp.6-9 (2016.3)

- [6] Matthieu Denoual, M. Pouliquen, Julien Grand, Hussein Awala, Sveltana Mintova, O. de Sagazan, Shu Inoue, Agnès Tixier-Mita, Yoshio Mita, and D. Robbes, "Microfabricated test structures for thermal resonant gas sensor", *IEEE 2016 International Conference on Microelectronic Test Structures (ICMTS)*, 28-31 Mar. 2016 Yokohama, Japan, pp.16-19 (2016.3)

その他の講演・シンポジウム

- [1] Yoshio Mita, "Sub-centimetre CMOS-MEMS Silicon Pond-skater", *Microswimmers - from bulk to interfaces*, 13-15 April, Bordeaux France (oral presentation) (2015.4.15) <http://microswim2015.sciencesconf.org/>
- [2] Yuki Okamoto, Isao Mori, Kentaro Kawahara, Eric Lebrasseur, and Yoshio Mita "Solar-Powered ElectroWetting for Silicon Pond-skater", *Microswimmers - from bulk to interfaces*, 13-15 April, Bordeaux France (poster presentation) (2015.4.15) <http://microswim2015.sciencesconf.org/>
- [3] Yoshio Mita, Agnes Tixier-Mita, Matthieu Denoual, Sveltana Mintova, "Projet Bilateral JSPS/CNRS: NEZ-ZEN NEZ electroniques, a basede Zeolithes avec une Electronique innovante, et Nano-Structure". *Journee Francophone de Recherche*, 13 Nov 2015, Yebisu, Tokyo, (2015.11)
- [4] 岡本有貴, 森功, 久保田雅則, Eric Lebrasseur, 三田吉郎, 「高電圧化 CMOS 太陽電池を利用した EWOD アクチュエータの自立型無線駆動に関する研究」, システムと LSI のワークショップ 2015, 北九州国際会議場(ポスター発表) (2015.5.11)

高木・竹中研究室 研究論文

- [1] R. Zhang, P.-C. Huang, N. Taoka, M. Yokoyama, M. Takenaka, and S. Takagi, "Low temperature formation of higher-k cubic phase HfO_2 by atomic layer deposition on GeO_x/Ge structures fabricated by in-situ thermal oxidation", *Appl. Phys. Lett.*, vol.108, 052903, 2016. DOI: 10.1063/1.4914453
- [2] R. Zhang, X. Yu, M. Takenaka, and Shinichi Takagi, "Impact of postdeposition annealing ambient on the mobility of Ge nMOSFETs with 1-nm EOT $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ Gate-Stacks," *IEEE Trans. Electron Devices*, vol.63, no.2, pp.558-564, 2016. DOI: 10.1109/TED.2015.2509961
- [3] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "First demonstration of SiGe-based carrier-injection Mach-Zehnder modulator with enhanced plasma dispersion effect," *Optics Express Letters*, vol.24, no.3, pp.1979-1985, 2016. DOI: 10.1364/OE.24.001979

- [4] S. Takagi, C. Y. Chang, M. Yokoyama, K. Nishi, R. Chang, M. Ke, J. H. Han, and M. Takenaka, "MOS interface control technologies for advanced III-V/ Ge devices," *ECS Trans.*, vol.69, no.5, pp.37-51, 2015 (invited). DOI: 10.1149/06905.0037ecst
- [5] S. Takagi, M. Kim, M. Noguchi, K. Nishi, and M. Takenaka, "Tunneling FET technologies using III-V and Ge materials," *ECS Trans.*, vol.69, no.10, pp.99-108, 2015 (invited). DOI: 10.1149/06910.0099ecst
- [6] J. Suh, R. Nakane, N. Taoka, M. Takenaka and S. Takagi, "Effects of additional oxidation after Ge condensation on electrical properties of germanium-on-insulator p-channel MOSFETs," *Solid-state Electronics*, vol.117, pp.77-87, 2016. DOI: 10.1016/j.sse.2015.11.014
- [7] J. Kang, X. Yu, M. Takenaka and S. Takagi, "Impact of thermal annealing on Ge-on-Insulator substrate fabricated by wafer bonding," *Materials Science in Semiconductor Processing*, vol.42, Part 2, pp.259-263, 2016. DOI: 10.1016/j.mssp.2015.07.021
- [8] W. Cai, M. Takenaka, and S. Takagi, "Effectiveness of surface potential fluctuation for representing inversion-layer mobility limited by Coulomb scattering in MOFETs," *IEEE Electron Dev.*, vol.36, no.11, pp.1183-1185, 2015. DOI: 10.1109/LED.2015.2477360
- [9] C.-Y. Chang, O. Ichikawa, T. Osada, M. Hata, H. Yamada, M. Takenaka, and S. Takagi, "Impact of La_2O_3 interfacial layers on InGaAs metal-oxide-semiconductor interface properties in $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{InGaAs}$ gate stacks deposited by atomic-layer-deposition," *J. Appl. Phys.*, vol.118, 085309, 2015. DOI: 10.1063/1.4929650
- [10] M. Noguchi, S.-H. Kim, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka and S. Takagi, "High $I_{\text{on}}/I_{\text{off}}$ and low subthreshold slope planar-type InGaAs tunnel field effect transistors with Zn-diffused source junctions," *J. Appl. Phys.*, vol.118, 045712, 2015. DOI: 10.1063/1.4927265
- [11] X. Yu, J. Kang, R. Zhang, M. Takenaka, and S. Takagi, "Characterization of ultrathin-body Germanium-on-insulator (GeOI) structures and MOSFETs on flipped Smart-Cut™ GeOI substrates," *Solid-State Electronics*, vol.115, Part B, pp.120-125, 2016. DOI: 10.1016/j.sse.2015.08.021
- [12] Y. Cheng, Y. Ikku, M. Takenaka, and S. Takagi, "Surface leakage reduction in MSM InGaAs photodetector on III-V CMOS photonics platform," *IEEE Photonics Technology Letters*, Vol.27, No.14, pp.1569-1572, 2015. DOI: 10.1109/LPT.2015.2432052
- [13] J. Kang, R. Zhang, M. Takenaka, and S. Takagi, "Suppression of dark current in GeO_x -passivated germa-

mium metal-semiconductor-metal photodetector by plasma post-oxidation," *Optics Express Letters*, vol.23, no.13, pp.16967-16976, 2015. DOI: 10.1364/OE.23.016967

- [14] S. Takagi, S.-H. Kim, Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y.-C. Kao, M. Takenaka, "High performance III-V-on-Insulator MOSFETs on Si realized by direct wafer bonding applicable to large wafer size," *ECS Trans.*, vol.66, no.5, pp.27-35, 2015 (*invited*). DOI: 10.1149/06605.0027ecst
- [15] M. Ke, X. Yu, R. Zhang, J. Kang, C. Chang, M. Takenaka, S. Takagi, "Fabrication and MOS interface properties of ALD $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ gate stacks with plasma post oxidation", *Microelectronic Engineering*, Vol.147, pp.244-248, 2015. DOI:10.1016/j.mee.2015.04.079
- [16] K. Nishi, M. Yokoyama, H. Yokoyama, T. Hoshi, H. Sugiyama, M. Takenaka, S. Takagi, "Effects of buffered HF cleaning on metal-oxide-semiconductor interface properties of $\text{Al}_2\text{O}_3/\text{InAs}/\text{GaSb}$ structures", *Appl. Phys. Express.*, Vol.8, 061203, 2015. DOI: 10.7567/APEX.8.061203
- [17] S. Takagi, R. Zhang, J. Suh, S.-H. Kim, M. Yokoyama, K. Nishi, and M. Takenaka, "III-V/Ge channel MOS device technologies in nano CMOS era," *Jpn. J. Appl. Phys.*, Vol.54, 06FA01, 2015. DOI: 10.7567/JJAP.54.06FA01
- [18] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "Demonstration of record-low injection-current variable optical attenuator based on strained SiGe with optimized lateral pin junction," *Optics Express Letters*, vol.23, no.9, pp.12354-12361, 2015. DOI: 10.1364/OE.23.012354
- [19] X. Yu, J. Kang, R. Zhang, W.-L. Chai, M. Takenaka, and S. Takagi, "Impact of back interface passivation on electrical properties of ultrathin-body Germanium-on-insulator (GeOI) MOSFETs," *Microelectronic Engineering*, vol.147, pp.196-200, 2015. DOI: 10.1016/j.mee.2015.04.063

J.-K. Park, S.-H. Kim, and S. Takagi, "CMOS photonics technologies based on heterogeneous integration of SiGe/Ge and III-V on Si," *International Electron Devices Meeting (IEDM'15)*, 31.5, Washington D.C., 9 December 2015 (*invited*).

- [4] X. Yu, J. Kang, M. Takenaka, and S. Takagi, "Experimental study on carrier transport properties in extremely-thin body Ge-on-Insulator (GOI) p-MOSFETs with GOI thickness down to 2 nm," *International Electron Devices Meeting (IEDM'15)*, 2.2, Washington D.C., 7 December 2015.
- [5] C.-Y. Chang, M. Takenaka, and S. Takagi, "Improvement of electrical characteristics of $\text{La}_2\text{O}_3/\text{InGaAs}$ gate stacks by ultra-thin ALD Al_2O_3 capping layers," *IEEE Semiconductor Interface Specialists conference (SISC2015)*, 7.2, Arlington, USA, 4 December 2015.
- [6] M. Ke, X. Yu, M. Takenaka, and S. Takagi, "Properties of slow traps of ALD $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ gate stacks with plasma post oxidation," *IEEE Semiconductor Interface Specialists conference (SISC2015)*, 8.2, Arlington, USA, 4 December 2015.
- [7] J.-H. Han, M. Takenaka, and S. Takagi, "Bandwidth enhancement of Si MOS optical modulators using strained SiGe slab," *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-41, Tokyo, 1 December 2015.
- [8] J.-K. Park, M. Takenaka, and S. Takagi, "Ni-InGaAsP alloy for low-resistivity lateral PIN junction formation in carrier-injected InGaAsP photonic devices," *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-46, Tokyo, 1 December 2015.
- [9] J. Kang, X. Yu, M. Takenaka, and S. Takagi, "A novel Ge waveguide platform on Ge-on-Insulator substrate for mid-infrared photonics," *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-49, Tokyo, 1 December 2015.
- [10] K. Takeuchi, Y. Kim, M. Takenaka, and S. Takagi, "Simulation of carrier-depletion strained SiGe optical modulators based on interleaved PN junctions," *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-52, Tokyo, 1 December 2015.
- [11] J. Fujikata, M. Noguchi, Y. Kim, J. Han, S. Takahashi, T. Nakamura, and M. Takenaka, "High Speed and Highly Efficient Si Optical Modulator with Strained SiGe Layer," *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-4, Tokyo, 1 December 2015.

國際會議論文

- [1] J. Kang, X. Yu, M. Takenaka, and S. Takagi, "Design and characterization of Ge passive waveguide components on Ge-on-Insulator for mid-infrared photonics," *Optical Fiber Communication Conference (OFC2016)*, Tu3E.4, Anaheim, 22 March 2016. DOI:
- [2] S. Takagi, M.-S. Kim, M. Noguchi, K. Nishi and M. Takenaka, "Tunneling FET Device Technologies Using III-V and Ge Materials," *4th Berkeley Symposium on Energy Efficient Electronic Systems (E3S2015)*, 2 October 2015 (*invited*). DOI: 10.1109/E3S.2015.7336800
- [3] M. Takenaka, Y. Kim, J. Han, J. Kang, Y. Ikku, Y. Cheng,

- [12] J. Han, M. Takenaka, and S. Takagi, "Improvement in the modulation bandwidth of MOS optical modulators by using p-SiGe slab," *Asia Communications and Photonics Conference (ACP 2015)*, ASu5B.2, Hong Kong Convention and Exhibition Center, Hong Kong, 22 November 2015.
- [13] S. Takagi, and M. Takenaka, "Low Power MOS Device Technologies based on Heterogeneous Integration," *International Electron Devices and Materials Symposium (IEDMS 2015)*, Plenary 2, Kun Shan University, Taiwan, 19-20 November 2015 (plenary).
- [14] S. Takagi, C. Y. Chang, M. Yokoyama, K. Nishi, R. Chang, M. Ke, J. H. Han, and M. Takenaka, "MOS interface control technologies for advanced III-V/Ge devices," *228th ECS Meeting*, D4, 815, Phoenix, USA, 12 October 2015 (invited).
- [15] S. Takagi, M. Kim, M. Noguchi, K. Nishi, and M. Takenaka, "Tunneling FET technologies using III-V and Ge materials," *228th ECS Meeting*, Symposium G4, 1084, Phoenix, USA, 13 October 2015 (invited).
- [16] J. Kang, M. Takenaka, and S. Takagi, "First demonstration of Ge waveguide platform on Ge-on-Insulator for mid-infrared integrated photonics," *European Conference on Optical Communication (ECOC 2015)*, Barcelona, P.2.10, 29 September 2015.
- [17] J. Han, M. Takenka, and S. Takagi, "Suppression of void generation in direct wafer bonding for Si high-k MOS optical modulators using $\text{Al}_2\text{O}_3/\text{HfO}_2$ bonding interface," *International Conference on Solid State Devices and Materials (SSDM2015)*, A-3-4, Sapporo Convention Center, 29 September 2015.
- [18] C.-Y. Chang, M. Takenka, and S. Takagi, "Impact of La_2O_3 interfacial layers on InGaAs MOS interface properties in ALD $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{InGaAs}$ Gate Stacks," *International Conference on Solid State Devices and Materials (SSDM2015)*, N-5-2, Sapporo Convention Center, 29 September 2015.
- [19] J.-K. Park, M. Takenka, and S. Takagi, "Low-resistivity lateral PIN junction formed by Ni-InGaAsP alloy for carrier-injection InGaAsP photonic devices," *International Conference on Solid State Devices and Materials (SSDM2015)*, PS-7-6, Sapporo Convention Center, 29 September 2015.
- [20] Y. Cheng, Y. Ikku, M. Takenka, and S. Takagi, "Waveguide InGaAs metal-semiconductor-metal photodetector monolithically integrated with InP grating coupler on III-V CMOS photonics platform," *International Conference on Solid State Devices and Materials (SSDM2015)*, A-7-2, Sapporo Convention Center, 30 September 2015.
- [21] S. Takashima, Y. Ikku, M. Takenka, and S. Takagi, "The influence of III-V on insulator structure on quantum well intermixing," *International Conference on Solid State Devices and Materials (SSDM2015)*, A-7-5, Sapporo Convention Center, 30 September 2015.
- [22] S. Takagi and M. Takenaka, "Ge/III-V MOS device technologies for low power integrated systems," *45th European Solid-State Device Conference (ESSDERC 2015)*, A5L-D, Graz, Austria, 15 September 2015 (plenary).
- [23] J. Kang, M. Takenaka and S. Takagi, "Impact of GeOx passivation on dark current for wafer-bonded Ge-on-Insulator metal-semiconductor-metal photodetector," *International Conference on Group IV Photonics (GFP2015)*, WP18, Vancouver, Canada, 26 August 2015. DOI: 10.1109/Group4.2015.7305952
- [24] J. Fujikata, M. Noguchi, Y. Kim, S. Takahashi, T. Nakamura, and M. Takenaka, "High speed and highly efficient Si optical modulator with strained SiGe layer," *International Conference on Group IV Photonics (GFP2015)*, WD2, Vancouver, Canada, 26 August 2015. DOI: 10.1109/Group4.2015.7305930
- [25] M. Takenaka and S. Takagi, "III-V CMOS photonics on Si for high-performance electronic-photonic integrated circuits," *8th International Conference on Materials for Advanced Technologies (ICMAT 2015)*, W6.2, Singapore, 2 July 2015 (invited).
- [26] S. Takagi and M. Takenaka, "III-V/Ge MOSFETs and tunneling FETs on Si platform for low power logic applications," *13th International Meeting for Future of Electron Devices, Kansai (IMFEDK 2015)*, K-1, Kyoto, Japan, 4 June 2015 (planary).
- [27] S. Takagi and M. Takenaka, "Advanced nano CMOS using Ge/III-V semiconductors for low power logic LSIs," *15th IEEE International Conference on Nanotechnology (IEEE NANO 2015)*, We3D, Rome, Italy, 29 July 2015 (invited).
- [28] X. Yu, J. Kang, R. Zhang, W.-L. Cai, M. Takenaka, and S. Takagi, "Impact of back interface passivation on electrical properties of ultrathin-body germanium-on-insulator (GeOI) MOSFETs," *19th Conference on Insulating Films on Semiconductors (INFOS 2015)*, 15.5 Udine, Italy, 2 July 2015.
- [29] M. Ke, X. Yu, R. Zhang, J. Kang, C. Chang, M. Takenaka and S. Takag, "Fabrication and MOS interface properties of ALD $\text{AlYO}_3/\text{GeO}_x/\text{Ge}$ gate stacks with plasma post oxidation," *19th Conference on Insulating Films on Semiconductors (INFOS 2015)*, 15.4, Udine, Italy, 2 July

- [30] S. Takagi, M.-S. Kim, M. Noguchi, S.-M. Ji, K. Nishi and M. Takenaka, "III-V and Ge/strained SOI tunneling FET technologies for low power LSIs," *VLSI Symposium*, 3-1, Kyoto, Japan, 15-19 June 2015 (*invited*).
- [31] K. Nishi, M. Yokoyama, H. Yokoyama, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "High hole mobility front-gate InAs/InGaSb-OI single structure CMOS on Si," *VLSI Symposium*, 13-4, Kyoto, Japan, 15-19 June 2015 (*invited*).
- [32] S. Takagi, S. H. Kim, Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y. C. Kao, and M. Takenaka, "High performance III-V-on-Insulator Mosfets on Si realized by direct wafer bonding applicable to large wafer size," *227th ECS Meeting, Symposium H01*, 1323, Chicago, USA, 26 May 2015 (*invited*).
- [33] S. Takagi, W.-K. Kim, X. Yu, J. Han, R. Zhang, M. Takenaka, "Ge/SiGe CMOS device technology for future logic LSIs," *E-MRS Spring Meeting, Symposium K.1*, Lille, France, 14 May 2015 (*invited*).
- [34] J. Kan, X. Yu, M. Takenaka, and S. Takagi, "Impact of Thermal Annealing on Ge-on-Insulator Substrate Fabricated by Wafer Bonding," *E-MRS Spring Meeting, Symposium Z.5*, Lille, France, 14 May 2015.
- [35] S. Takagi, R. Zhang, C.-Y. Chang, J.-H. Han, M. Yokoyama, K. Nishi, and M. Takenaka, "Gate stack technologies for high mobility channel MOSFETs," *MRS Spring Meeting, Symposium AA*, 10.02, San Francisco, USA, 9 April 2015 (*invited*).

シンポジウム・研究会・大会等発表

- [1] 佐々木和哉, 竹中充, 高木信一, 「光変調器応用に向けたグラフェンシロート導波路の試作」, 第63回応用物理学会春季学術講演会, 21p-P16-6, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [2] 金佑彊, 竹中充, 高木信一, 「温度サイクルを減らした酸化濃縮法による高圧縮ひずみ極薄膜 Ge-OI 構造の実現」, 第63回応用物理学会春季学術講演会, 21a-S422-7, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [3] 安大煥, 竹中充, 高木信一, 「高 In 組成 InGaAs 量子井戸を用いた InGaAs QW TFET の電気特性における性能評価」, 第63回応用物理学会春季学術講演会, 20p-S42-13, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [4] 小澤悠平, 竹中充, 高木信一, 「コンダクタンス法による二硫化モリブデン MOS 界面特性評価」, 第63回応用物理学会春季学術講演会, 20p-S221-1, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [5] 張志宇, 竹中充, 高木信一, 「SdH 振動を用いたひずみ

Si pMOSFET における価電子帯有効質量の評価」, 第63回応用物理学会春季学術講演会, 20p-S221-2, 東京工業大学大岡山キャンパス, 2016年3月20日.

- [6] 嶋田絢, 中根了昌, 竹中充, 高木信一, 「Improvement of MOS Interfaces of $\text{La}_2\text{O}_3/\text{InGaAs}$ by Ultra-thin Al_2O_3 Capping Layers」, 第63回応用物理学会春季学術講演会, 21a-S422-6, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [7] 韓在勲, 竹中充, 高木信一, 「歪 SiGe を用いた MOS 型光変調器の変調帯域改善に関する検討」, 第63回応用物理学会春季学術講演会, 21p-S611-7, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [8] 柯夢南, 竹中充, 高木信一, 「Influence of $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOS interface structures on the slow trap density」, 第63回応用物理学会春季学術講演会, 20a-S221-12, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [9] 関根尚希, 韓在勲, 竹中充, 高木信一, 「III-V CMOS フォトニクス・プラットフォーム上空乏型 InGaAsP 光変調器の検討」, 第63回応用物理学会春季学術講演会, 21p-S611-4, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [10] 後藤高寛, 満原学, 星拓也, 杉山弘樹, 竹中充, 高木信一, 「GaAsSb/InGaAs 縦型トンネル FET の動作実証」, 第63回応用物理学会春季学術講演会, 20pS422-12, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [11] 野口将高, 藤方潤一, 高橋重樹, 韓在勲, 中村隆宏, 竹中充, 「歪 SiGe を用いた Si 光変調器の作製プロセス検討」, 電子情報通信学会総合大会, C3-30, 九州大学伊都キャンパス, 2016年3月16日.
- [12] 竹中充, 金栄現, 韓在勲, 元健, 一宮佑希, 程勇鵬, 朴珍權, 金相賢, 高木信一, 「Si 上異種半導体集積による CMOS フォトニクス」, 電子情報通信学会 SDM 研究会・応用物理学会シリコンテクノロジー分科会共催研究会, 機会振興会館, 2016年1月28日(招待講演).
- [13] X. Yu, J. Kang, M. Takenaka, and S. Takagi, 「Experimental Study on Carrier Transport Properties in Extremely-Thin Body Ge-on-Insulator (GOI) p-MOSFETs with GOI Thickness Down to 2 nm」, 電子情報通信学会 SDM 研究会・応用物理学会シリコンテクノロジー分科会共催研究会, 機会振興会館, 2016年1月28日.
- [14] 竹中充, 高木信一, 「III-V on SiC 基板を用いた光集積回路プラットフォームの提案」, 第76回応用物理学会秋季学術講演会, 13a-2S-5, 名古屋国際会議場, 2015年9月13日.
- [15] 韓在勲, 竹中充, 高木信一, 「貼り合せ MOS 型光変調器実現に向けた $\text{Al}_2\text{O}_3/\text{HfO}_2$ 界面によるボイド低減手法の検討」, 第76回応用物理学会秋季学術講演会, 14p-PA4-5, 名古屋国際会議場, 2015年9月14日.
- [16] 高島成也, 一宮佑希, 竹中充, 高木信一, 「III-V-OI 基

- 板のパターニングによるボイド低減の検討」, 第76回応用物理学会秋季学術講演会, 14p-PA4-4, 名古屋国際会議場, 2015年9月14日.
- [17] R. Zhang, M. Takenaka, S. Takagi, 「High Mobility Ge CMOS Devices with Ultrathin EOT Gate Stacks Fabricated by Plasma Post Oxidation」, 第76回応用物理学会秋季学術講演会, 13p-4C-2, 名古屋国際会議場, 2015年9月13日.
- [18] 安大煥, 竹中充, 高木信一, 「InGaAs-OI TFET on Si Fabricated by Direct Wafer Bonding Technology」, 第76回応用物理学会秋季学術講演会, 16a-1C-5, 名古屋国際会議場, 2015年9月16日.
- [19] J. Kang, X. Yu, M. Takenaka, S. Takagi, 「Demonstration of Ge Waveguide on Ge-on-Insulator Substrate for Mid-Infrared Photonics」, 第76回応用物理学会秋季学術講演会, 14a-2N-3, 名古屋国際会議場, 2015年9月14日.
- [20] M. Kim, Y. K. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka, S. Takagi, 「Effects of strain, interface states and back bias on electrical characteristics of Ge-source UTB strained-SOI tunnel FETs」, 第76回応用物理学会秋季学術講演会, 16a-1C-1, 名古屋国際会議場, 2015年9月16日.
- [21] M. Ke, X. Yu, R. Zhang, J. Kang, C.-Y. Chang, M. Takenaka, S. Takagi, 「Fabrication and MOS interface properties of ALD $\text{AlYO}_3/\text{GeO}_x/\text{Ge}$ gate stacks with plasma post oxidation」, 第76回応用物理学会秋季学術講演会, 14a-4C-4, 名古屋国際会議場, 2015年9月16日.
- [22] X. Yu, J. Kang, R. Zhang, W.-L. Cai, M. Takenaka, S. Takagi, 「Impact of back interface passivation on electrical properties of ultrathin-body Germanium-on-insulator (GeOI) MOSFETs」, 第76回応用物理学会秋季学術講演会, 13p-4C-6, 名古屋国際会議場, 2015年9月13日.
- [23] 高木信一, 横山正史, 金相賢, 西康一, 竹中充, 「異種材料接合によるポストシリコンデバイス技術」, 電子情報通信学会ソサイエティ大会, 4, 東北大学, 2015年9月8日.

浅田・名倉・飯塚研究室 特許

- [1] 石田雅裕, 日下崇, 池野理門, 浅田邦博, 名倉徹, 寺尾直樹, “電源装置およびそれを用いた試験装置, 電源電圧の供給方法”, 2015年出願済み整理番号 15P00028JP
- [2] 飯塚哲也, 古賀丈尚, 名倉徹, 浅田邦博, “時間デジタル変換方法および時間-デジタル変換装置,” 特願 2016-007517, 2016年1月19日出願

受賞

- [1] 2015年度ICD研究会優秀若手講演,
峠仁人, 飯塚哲也, 名倉徹, 三浦賢, 村上芳道, 浅田邦博,
“フラクショナル位相選択法によりジッタ特性を改善した高速起動完全デジタルCDR回路の設計,” 電子情報通信学会技術研究報告, vol. 115, no. 340, pp.17-22, 2015年12月.
- [2] 卒業論文学科長特別賞
寺尾直樹, “インピーダンス模擬機能を持つLSIテスト用電源回路の設計”

藤田研究室 受賞

- [1] システムLSI設計技術研究会, 2015年度優秀発表学生賞, Hossein Izadi Rad(ホセインイザディラド)
- [2] システムLSI設計技術研究会, 2015年度優秀論文賞, 藤田昌宏(東京大学), ミシュチェンコアラン(カリフォルニア大学バークレー校)

高宮研究室 特許

- [1] 松永賢一, 森村浩季, 染谷晃基, 更田裕司, 高宮 真, 桜井貴康, “電圧検出回路,” 特願 2015-178342, 2015年9月10日出願.
- [2] 松永賢一, 森村浩季, 染谷晃基, 更田裕司, 高宮 真, 桜井貴康, “分圧バッファ回路,” 特願 2015-178346, 2015年9月10日出願.

- [3] 井口俊太, 高宮 真, 桜井貴康, “発振回路,” 特願 2016-3356, 2016年1月12日出願.
- [4] 宮崎耕太郎, 高宮 真, 桜井貴康, “ゲート駆動装置,” 特願 2016-014404, 2016年1月28日出願.
- [5] 李 承俊, 高宮 真, 桜井貴康, “平均化回路,” 特願 2016-020691, 2016年2月5日出願.
- [6] 宮崎耕太郎, 高宮 真, 桜井貴康, “短絡検出装置および短絡検出方法,” 特願 2016-024808, 2016年2月12日出願.

受賞

- [1] 濱松昌宗, 更田裕司, 横田知之, 雪田和歌子, 染谷晃基, 関谷毅, 高宮真, 染谷隆夫, 桜井貴康 “室内光で発熱し音で発熱を知らせる腕章型発熱アラームの提案と有機回路による実証”, IEEE Solid-State Circuits Society Kansai Chapter, LSIとシステムのワークショップ, IEEE SSCS Kansai Chapter Academic Research Award, 2015年5月11日
- [2] 井口俊太, 更田裕司, 桜井貴康, 高宮真, “チャープ変調励振信号と負性抵抗ブースタによる39MHz水晶発振回路の起動時間の高速化”, 電子情報通信学会集積回路研究専門委員会, 研究会優秀若手講演賞, 2015年5月11日
- [3] K. Hagita, Y. Yazaki, Y. Kondo, M. Sonehara, T. Sato, T. Fujii, K. Kobayashi, S. Nakazawa, H. Shimizu, T. Watanabe, Y. Seino, N. Matsushita, Y. Yanagihara, T. Someya, H. Fuketa, M. Takamiya, and T. Sakurai, “CMOS Switch Buck DC-DC Converter Fabricated in Organic Interposer with Embedded Zn-Fe Ferrite Core Inductor”, 日本磁気学会, 論文賞, 2015年9月9日

三田研究室 受賞

- [1] 2015年岡本有貴(M1) 電子情報通信学会 LSIとシステムのワークショップ優秀ポスター賞

高木・竹中研究室 受賞

- [1] 文部科学大臣表彰, 高木 信一

Appendix

A. Publication list

1. 研究論文

- [1] 谷井宏成, 和田光司, 大野貴信, “左手系伝送線路 BPF と右手系伝送線路 BSF における回路変形に関する一検討,” 電子情報通信学会和文論文誌(C), Vol. J99-C, No.4, pp. 166-170, (2016 年 4 月)
- [2] 川俣雅寿, 和田光司, “チューナブル特性を有する結合線路共振器を用いた小型マイクロストリップ線路 BPF に関する一検討,” 電子情報通信学会和文論文誌 (C), Vol.J98-C, No.12, pp. 421-429, (2015 年 12 月)
- [3] 藤島実, 天川修平, “今さら聞けない測定・制御のコツ電気計測(高周波測定)のコツ”, 応用物理, vol. 84, no. 5, pp.453-457, May 2015.
- [4] M. Fujishima and S. Amakawa, “Recent progress and prospects of terahertz CMOS,” IEICE Electronics Express, vol. 12, no. 13, Jul. 2015.
- [5] M. Fujishima, S. Amakasa, K. Takano, K. Katayama, and T. Yoshida, “Terahertz CMOS Design for Low-Power and High-Speed Wireless Communication,” IEICE Transactions on Electronics, vol. 98, no. 12, pp. 1091-1104 Dec. 2015.
- [6] 岸田, 大島, 籾内, 小林, “Initial and long-term frequency degradation of ring oscillators caused by plasma-induced damage in 65 nm bulk and fully depleted silicon-on-insulator processes”, vol.54, no.4S, pp. 04DC19-1-5, Japanese Journal of Applied Physics (2015)
- [7] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, “A 15×15 single photon avalanche diode sensor featuring breakdown pixels extraction architecture for efficient data readout”, Japanese Journal of Applied Physics, Vol 55, No. 4S, pp. 04EF04, 2016.
- [8] T. Kikkawa, T. Nakura, K. Asada, “An on-chip Measurement of PLL Transfer Function and Lock Range through Fully Digital Interface,” IEICE Trans. on Electronics, Vol. E99-C, No.2, pp. 275-284, Feb. 2016.
- [9] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Akihiko Sasaki, Makoto Yamada, Osamu Morita, and Kunihiro Asada, “A Near-Field Magnetic Sensing System with High-Spatial Resolution and Application for Security of Cryptographic LSIs,” IEEE Trans. on Instrumentation & Measurement, Vol. 64, No. 4, pp.840-848, Apr. 2015.
- [10] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, “An Asynchronous Summation Circuit for Noise Filtering in Single Photon Avalanche Diode Sensors,” Journal of Circuits, Systems and Computers (JSCS), Vol. 25, No. 3, (2016) 1640017.
- [11] Kazuhito ITO, “A Low Power and Hardware Efficient Syndrome Key Equation Solver Architecture and Its Folding with Pipelining”, IEICE Transactions on Fundamentals, vol. E98-A, no. 5, pp. 1058-1066, 2015.
- [12] Ushida M., Schmid A., Asai T., Ishimura K., and Motomura M., “Motion vector estimation of texture-less objects exploiting reaction-diffusion cellular automata,” International Journal of Unconventional Computing, vol. 12, (2016), in press.
- [13] Ueyoshi K., Marukame T., Asai T., Motomura M., and Schmid A., “FPGA implementation of a scalable and highly parallel architecture for restricted Boltzmann machines,” Circuits and Systems, vol. 7, (2016), in press.
- [14] Yamamoto K., Ikebe M., Asai T., and Motomura M., “FPGA-based stream processing for frequent itemset mining with incremental multiple hashes,” Circuits and Systems, vol. 7, (2016), in press.
- [15] Ueyoshi K., Marukame T., Asai T., Motomura M., and Schmid A., “Robustness of hardware-oriented restricted Boltzmann machines in deep belief networks for reliable processing,” Nonlinear Theory and Its Applications, vol. E7-N, no. 3, (2016), in press.
- [16] Prati E., Giussani E., Ferrari G., and Asai T., “Noise-assisted transmission of spikes in Maeda-Makino artificial neuron arrays,” International Journal of Parallel, Emergent and Distributed Systems, vol. 31, (2016), in press.
- [17] Takano M., Asai T., and Oya T., “Design and evaluation of single-electron associative memory circuit,” International Journal of Parallel, Emergent and Distributed Systems, vol. 31, (2016), in press.
- [18] Ishimura K., Schmid A., Asai T., and Motomura M., “Stochastic resonance induced by internal noise in a unidirectional network of excitable FitzHugh-Nagumo neurons,” Nonlinear Theory and Its Applications, vol. 7, no. 2, pp. 164-175 (2016).
- [19] Nakada K., Miura K., and Asai T., “Dynamical systems design of silicon neurons using phase reduction method,” Nonlinear Theory and Its Applications, vol. 7, no. 2, pp. 95-109 (2016).
- [20] Ikebe M., Uchida D., Take Y., Someya M., Chikuda S., Matsuyama K., Asai T., Kuroda T., and Motomura M., “3D stacked imager featuring inductive coupling channels for high speed/low-noise image transfer,” ITE Transactions on Media Technology and Applications, vol. 4, no. 2, pp. 142-148 (2016).
- [21] El-Sankary K., Asai T., Kuroda T., and Motomura

- M., "Crosstalk rejection in 3D-stacked inter-chip communication with blind source separation," *IEEE Transactions on Circuits and Systems II*, vol. 62, no. 8, pp. 726-730 (2015).
- [22] Ishimura K., Komuro K., Schmid A., Asai T., and Motomura M., "FPGA implementation of hardware-oriented reaction-diffusion cellular automata models," *Nonlinear Theory and Its Applications*, vol. 6, no. 2, pp. 252-262 (2015).
- [23] Fukuda E.S., Inoue H., Takenaka T., Kim D., Sadahisa T., Asai T., and Motomura M., "Enhancing memcached by caching its data and functionalities at network interface," *IPSJ Journal*, vol. 56, no. 3, pp. 143-152 (2015).
- [24] Danya Sugai, Takayuki Hamamoto, "Improvement of Spatial Resolution Using Block-Matching Based Motion Estimation and Frame Integration", *Journal of Image and Graphics*, Vol.3, No.2, pp.117-121 (2015)
- [25] Ri Cui and Kazuteru Namba, "A Calibration Technique for DVMC with Delay Time Controllable Inverter," *IPSJ Trans. Syst. LSI Des. Method*, Vol.9, pp.30-36, 2016年2月
- [26] T. Sato, S. Chivapreecha and P. Moungnoul, "A Connection Block Implemented in the RTL Design for Delay Time Equalization of Wave-Pipelining," *Journal of Systemics, Cybernetics and Informatics*, vol. 14, no. 1, pp. 49-54, Apr. 2016
- [27] T. Sato, S. Chivapreecha and P. Moungnoul, "The Potential of Routes Configured with the Switch Matrix by RTL," *Applied Mechanics and Materials Journal*, vol. 781, pp. 189-192, May 2015
- [28] F. An, L. Chen, T. Akazawa, S. Yamasaki, and H. J. Mattausch, "Nearest Neighbor Classification Coprocessor with Weighted Clock-Mapping-Based Searching," *IEICE Transaction on Electronics*, Vol. E99-C, No. 3, pp. 397-403, Mar. 2016.
- [29] X. Zhang, F. An, L. Chen, and H. J. Mattausch, "Reconfigurable VLSI implementation for learning vector quantization with on-chip learning circuit," *Japanese Journal of Applied Physics*, 55, 04EF02, 2016.
- [30] F. An, T. Akazawa, S. Yamasaki, L. Chen, and H. J. Mattausch, "VLSI realization of learning vector quantization with hardware/software co-design for different applications," *Japanese Journal of Applied Physics*, vol.54, no.4s, pp. 04DE05, 2015.
- [31] 森口, 神戸, 他: "レート歪み最適化による量子化プロセスの高速化とそのハードウェア化," *電気学会論文誌 C*, Vol.135, No.11, pp1299-1306, 2015.
- [32] 石田浩貴, 津秦伴紀, 田中雅光, 小野貴継, 井上弘士, "単一磁束量子回路を用いたマイクロプロセッサの論理設計," *デザインガイア*, 信学技報, vol. 115, no.342, CPSY2015-73, pp.69-74, 2015年12月.
- [33] 川上隼斗・笹田裕太・五十嵐覚・秋田純一, "サッカード追尾可能な視線計測カメラの開発とそれを用いるインタラクションの可能性," *情報処理学会論文誌*, Vol.56, No.4, pp.1174-1183, 2015.4.
- [34] A. Kaskela, K. Mustonen, P. Laiho, Y. Ohno, and E. I. Kauppinen, "Toward the Limits of Uniformity of Mixed Metallicity SWCNT TFT Arrays with Spark-Synthesized and Surface-Density-Controlled Nanotube Networks", *ACS Appl. Mater. Interfaces* 7, 28134-28141 (2015). doi.10.1021/acsami.5b10439
- [35] H. Tanaka, Y. Ohno, and Y. Tadokoro, "Angular Sensitivity of VHF-Band CNT Antenna", *IEEE Trans. Nanotechnol.* 14, 1112-1116 (2015). doi.10.1109/TNANO.2015.2477813
- [36] H. Shirae, D. Y. Kim, K. Hasegawa, T. Takenobu, Y. Ohno, and S. Noda, "Overcoming the quality quantity tradeoff in dispersion and printing of carbon nanotubes by a repetitive dispersion extraction process", *Carbon* 91, 20-29 (2015). doi.10.1016/j.carbon.2015.04.033
- [37] Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, "Layout Generator with Flexible Grid Assignment for Area Efficient Standard Cell", *IPSJ Transactions on System LSI Design Methodology*, vol 8, pp. 131 - 135, 2015年8月.
- [38] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Statistical Timing Modeling Based on a Lognormal Distribution Model for Near-Threshold Circuit Optimization". *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, vol E98-A, no 7, pp. 1455-1466, 2015年7月.
- [39] N. Kamae, A. Tsuchiya, H. Onodera, "A Forward/Reverse Body Bias Generator with Wide Supply-Range down to Threshold Voltage", *IEICE TRANSACTIONS on Electronics*, vol 98-C, no 6, pp. 504-511, 2015年6月.
- [40] Jun Furuta, Kazutoshi Kobayashi, Hidetoshi Onodera, "Impact of Cell Distance and Well-contact Density on Neuron-induced Multiple Cell Upsets", *IEICE Trans. Electron.*, vol E98-4, no 4, pp. 298 - 303, 2015年4月.
- [41] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "First demonstration of SiGe-based carrier-injection Mach-Zehnder modulator with enhanced plasma dispersion effect," *Optics Express Letters*, vol. 24, no. 3, pp. 1979-1985, 2016.
- [42] S. Takagi, C. Y. Chang, M. Yokoyama, K. Nishi, R. Chang, M. Ke, J. H. Han, and M. Takenaka, "MOS interface control technologies for advanced III-V/ Ge devices," *ECS Trans.*, vol. 69, no. 5, pp. 37-51, 2015 (invited).
- [43] S. Takagi, M. Kim, M. Noguchi, K. Nishi, and M. Takenaka, "Tunneling FET technologies using III-V and Ge materials," *ECS Trans.*, vol. 69, no. 10, pp. 99-108, 2015 (invited).
- [44] M. Noguchi, S.-H. Kim, M. Yokoyama, O. Ichikawa,

- T. Osada, M. Hata, M. Takenaka and S. Takagi, "High Ion/Ioff and low subthreshold slope planar-type InGaAs tunnel field effect transistors with Zn-diffused source junctions," *J. Appl. Phys.*, vol. 118, 045712, 2015.
- [45] Gong Chen, Toru Fujimura, Qing Dong, Shigetoshi Nakatake, Bo Yang, DC Characteristics and Variability on 90 nm CMOS Transistor Array-Style Analog Layout, *ACM Transactions on Design Automation of Electronic Systems (TODAES)*, Vol.21, Issue 3. May 2016.
- [46] Takuya Hirata, Ryuta Nishino, Shigetoshi Nakatake, Masaya Shimoyama, Masashi Miyagawa, Ryoichi Miyauchi, Koich Tanno, Akihiro Yamada, Subblock-level matching layout for analog block-pair and its layout-dependent manufacturability evaluation, *IEICE Transactions on Fundamentals*, Vol.99-A, No.7, 2016.
- [47] Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato, "An Error Correction Scheme through Time Redundancy for Enhancing Persistent Soft-Error Tolerance of CGRAs," *IEICE Transactions on Electronics*, Vol.E98-C, No.7, pp.741-750, July 2015.
- [48] 八巻, 中村, 高際, 松井, 西, "インターネットルータにおける HTTP 圧縮ストリームの高速展開処理機構の提案", *電子情報通信学会論文誌 B*, Vol. J98-B, No.10, pp.1104-1114, 2015 年 10 月
- [49] T. Watanabe, Y. Takahashi, H. Shimada, M. Maezawa, and Y. Mizugaki, "4-bit Bipolar Triangle Voltage Waveform Generator Using Single-Flux-Quantum Circuit," *Physics Procedia*, vol.65, pp.213-216, 2015.
- [50] Y. Mizugaki, Y. Takahashi, H. Shimada, and M. Maezawa, "Design and Operation of a 9-Bit Single-Flux-Quantum Pulse-Frequency Modulation Digital-to-Analog Converter," *Physics Procedia*, vol.65, pp.209-212, 2015.
- [51] S. Iizuka, Y. Higuchi, M. Hashimoto, and T. Onoye, "Device-Parameter Estimation with Sensitivity-Configurable Ring Oscillator," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E98-A, no. 12, pp. 2607-2613, December 2015.
- [52] T. Shinada, M. Hashimoto, and T. Onoye, "Proximity Distance Estimation Based on Electric Field Communication between Imm³ Sensor Nodes," *Analog Integrated Circuits and Signal Processing*, May 2015.
- [53] S. Hirokawa, R. Harada, M. Hashimoto, and T. Onoye, "Characterizing Alpha- and Neutron-Induced Seu and Mcu on Sotb and Bulk 0.4-V Srams," *IEEE Transactions on Nuclear Science*, vol. 62, no. 2, pp. 420-427, April 2015.
- [54] Y. Dei, Y. Kishiwada, R. Yamane, T. Inoue, and T. Matsuoka, "Low-power wireless on-chip microparticle manipulation system," *Jpn. J. Appl. Phys.*, vol. 54, no. 4S, p. 04DE10, Apr. 2015.
- [55] J. Bae, S. Radhapuram, I. Jo, T. Kihara, and T. Matsuoka, "A Subthreshold Low-Voltage Low-Phase-Noise CMOS LC-VCO with Resistive Biasing," *Circuits and Systems*, Vol. 6, No. 5, pp. 136-142, May 2015.
- [56] I. Jo and T. Matsuoka, "Accurate Extraction of Effective Gate Resistance in RF MOSFET," *Circuits and Systems*, Vol. 6, No. 5, pp. 143-151, May 2015.
- [57] J. Cui, S. Tani, K. Ohara, Y. Hirai, and T. Matsuoka, "A Dynamic Latched Comparator with Built-in Offset Calibration," *Far East J. Electronics and Communications*, Vol. 14, No. 2, pp. 105-115, June 2015.
- [58] S. Radhapuram, J. Bae, I. Jo, W. Wang, and T. Matsuoka, "Analysis of A Controller-Based All-Digital Phase-Locked Loop," *Far East J. Electronics and Communications*, Vol. 15, No. 1, pp. 57-73, Sep. 2015.
- [59] J. Bae, S. Radhapuram, I. Jo, T. Kihara, and T. Matsuoka, "A Design of 0.7-V 400-MHz Digitally-Controlled Oscillator," *IEICE Trans. Electron*, Vol. E98-C, No. 12, pp. 1179-1186, Dec. 2015.
- [60] T. Asano, Y. Hirai, S. Tani, S. Yano, I. Jo, and T. Matsuoka, "An offset distribution modification technique of stochastic flash ADC," *IEICE Electronics Express*, Vol. 13, No. 6, p. 20160115, Mar. 2016.
- [61] K. Ohhata, M. Iwamoto, N. Yamaguchi, "A 0.5-V, 1.2-GS/s, 6-Bit Flash ADC Using Temporarily-Boosted Comparator," *Scientific Research publishing, Circuits and Systems*, pp. 179-187, 2015 Aug..
- [62] Y. Zhang, Y. Tanaka, and S.Wei, "Residue Canonical Signed-Digit Representation Recoding Algorithms", *Journal of Algorithms, Computer Network, and Security*, Vol.1, No.1, Jan, 2016.
- [63] Isao Mori, Eric Lebrasseur, and Yoshio Mita, "Discharging-phototransistor-integrated high-voltage Si photovoltaic cells for fast driving demonstration of an electrostatic MEMS actuator by wavelength modulation", *Japanese Journal of Applied Physics*, Vol. 55, No.4S, p.04EF12 March (2016.2)
- [64] Isao Mori, Masanori Kubota, Eric Lebrasseur, and Yoshio Mita, "On-chip High-voltage Silicon Photovoltaic Cell Array Made by a CMOS Post-processed Device Isolation Method for Driving a MEMS Actuator in a Remote Manner", *IEEE Transactions on Sensors and Micromachines*, Vol. 136, No.2, pp.24-30 February (2016.1)
- [65] Moritoshi Yasunaga, and Ikuo Yoshihara, "An evolutionary design methodology of printed circuit boards for high-speed VLSIs," *Artificial Life and Robotics (Springer)*, Vol. 21, No.2, pp. 171-176, 2016.
- [66] Kyoji Nakajo, Shinji Aoki, Takashi Yatsuda, Shuji Takahashi, Kazuhiro Motegi, Yasuhiro Kobayashi, and

Yoichi Shiraishi, "Modeling of a Lithium-Ion Capacitor and Its Charging and Discharging Circuit in a Model-Based Design," Scientific Research, Circuits and Systems, Vol.7, No.1, pp.11-22, January (2016).

- [67] Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Conversion of a CMOS Logic Circuit Design to an RSFQ Design Considering Latching Function of RSFQ Logic Gates," IEEE Transactions on Applied Superconductivity, vol. 25, no. 3, Article# 1300905, June 2015.
- [68] Yoshihiro Masui, Kotaro Wada, Akihiro Toya, Masaki Tanioka, "A Low-Noise Dynamic Comparator for Low-Power ADCs," IEICE transactions on electronics, vol. J99-C, no.5, pp.574-580, May 2016.
- [69] S. Wang, Y. Sato, S. Kajihara and H. Takahashi, "Physical Power Evaluation of Low Power Logic-BIST Scheme using TEG Chip," ASP Journal of Low Power Electronics, Vol. 11, No. 4, pp. 528-540, December 2015. DOI.10.1166/jolpe.2015.1410
- [70] Yoshikazu Inagaki, Shinya Takamaeda-Yamazaki, Jun Yao, Yasuhiko Nakashima. "Performance Evaluation of a 3D-Stencil Library for Distributed Memory Array Accelerators", IEICE Trans., Vol.E98-D, No.12, pp.2141-2149, Dec. (2015)
- [71] Hisashi Kino, Hideto, Hashiguchi, Seiya Tanikawa, Youhei Sugawara, Shunsuke Ikegaya, Takafumi Fukushima, Mitsumasa Koyanagi, Tetsu Tanaka, "Effect of local stress induced by thermal expansion of underfill in three-dimensional stacked IC," Japanese Journal of Applied Physics 55 (2015) 04EC03.
- [72] S. Tanikawa, H. Kino, T. Fukushima, M. Koyanagi, and T. Tanaka, "Evaluation of in-plane local stress distribution in stacked IC chip using dynamic random access memory cell array for highly reliable three-dimensional IC," Japanese Journal of Applied Physics 55 (2015) 04EC07.
- [73] Takuma Iwagami, Takaharu Tani, Keita Ito, Satoru Nishino, Takuya Harashima, Hisashi Kino, Koji Kiyoyama, and Tetsu Tanaka, "Design and evaluation of area-efficient and wide-range impedance analysis circuit for multichannel high-quality brain signal recording system," Japanese Journal of Applied Physics 55 (2015) 04EM12.
- [74] Kiichi Niitsu, Shoko Ota, Kohei Gamo, Hiroki Kondo, Masaru Hori, and Kazuo Nakazato, "Development of Microelectrode Arrays Using Electroless Plating for CMOS-Based Direct Counting of Bacterial and HeLa Cells," IEEE Transactions on Biomedical Circuits and Systems (TBioCAS), vol. 9, no. 5, pp. 607-619, Nov. 2015.
- [75] Kiichi Niitsu, Yusuke Osawa, Daiki Hirabayashi, Osamu Kobayashi, Takahiro J. Yamaguchi, and Haruo Kobayashi, "A CMOS PWM Transceiver Using Self-

Referenced Edge Detection," IEEE Transactions on Very Large Scale Integration (VLSI) Systems (TVLSI), vol. 23, no. 6, pp. 1145-1149. Jun. 2015.

- [76] Suiki Tanaka, Kiichi Niitsu, and Kazuo Nakazato, "A Low-Power Inverter-Based CMOS Level-Crossing A/D Converter for Low-frequency Biosignal Sensing," Japanese Journal of Applied Physics, vol. 55, no. 3S2, 03DF10 (7 pages), Feb. 2016.
- [77] Kiichi Niitsu, Kohei Yoshida, and Kazuo Nakazato, "Design and experimental demonstration of low-power CMOS magnetic cell manipulation platform using charge recycling technique," Japanese Journal of Applied Physics, vol. 55, no. 3S2, 03DF13 (4 pages), Feb. 2016.
- [78] T. Matsuda, K. Yamada, H. Demachi, H. Iwata, T. Hatakeyama, M. Ishizuka, and T. Ohzone, "Analysis of Temperature Distribution in Stacked IC With On-Chip Sensing Device Arrays," IEEE Transactions on Semiconductor Manufacturing, vol. 28, no.3, pp. 213-220, 2015.
- [79] Mamoru Ugajin, Yuta Kobayashi, Tsuneo Tsukahara, "High-Image-Rejection Wireless-Receiver Architecture with a 3-Phase Active RC Complex Filter, IEICE Electronics Express", Vol.12 (No.12), 2015年06月
- [80] N. Kito, K. Takagi, N. Takagi, "Conversion of a CMOS Logic Circuit Design to an RSFQ Design Considering Latching Function of RSFQ Logic Gates," IEEE Trans. Appl. Supercond., Vol. 25, Issue 3, Article# 1300905, June 2015
- [81] T. Kawaguchi, K. Takagi, N. Takagi, "A Verification Method for Single-Flux-Quantum Circuits Using Delay-Based Time Frame Model," IEICE Trans. Fundamentals, Vol. E98-A, No. 12, Dec. 2015
- [82] G. Tang, K. Takata, M. Tanaka, A. Fujimaki, K. Takagi, N. Takagi, "4-bit Bit-Slice Arithmetic Logic Unit for 32-bit RSFQ Microprocessors", IEEE Trans. Appl. Supercond., Vol. 26, Issue 1, Article# 1300106, Jan. 2016
- [83] Kishine, Inaba, Inoue, Nakamura, Tsuchiya, Katsurai and Onodera, Multi-Rate Burst-Mode CDR Using a GVCO With Symmetric Loops for Instantaneous Phase Locking in 65-nm CMOS, IEEE TCAS-I, Vol.62, Issue 5, 2015
- [84] 林賢志, 鈴木亮, 渡辺高元, 山内重徳, 田口信幸, 増田純夫, 足立武彦; "Time Analog to Digital Converterの線形性向上法", 電気学会論文誌 C, Vol. 135, No. 1, pp. 35-36, 2015年1月.
- [85] Masamitsu Tanaka, Misaki Kozaka, Yuma Kita, Akira Fujimaki, Shuichi Nagasawa, Mutsuo Hidaka, "Rapid Single-Flux-Quantum Circuits Fabricated Using 20-kA/cm² Nb/AlO_xNb Process", IEEE Trans. Appl. Supercond., vol. 25, 2015年6月.
- [86] T. Yoshimura and T. Kihara, "Analysis and modeling

- of response of external noise in oscillators,” *Analog Integrated Circuits and Signal Processing*, (AICSP) Springer, vol. 87, no. 2, pp. 313-325, 2016.
- [87] Naofumi Homma, Yu-ichi Hayashi, Takafumi Aoki, Noriyuki Miura, Daisuke Fujimoto, Makoto Nagata, “Design Methodology and Validity Verification for a Reactive Countermeasure Against EM Attacks,” *IACR Journal of Cryptology*, pp. 1-19, Online, Dec. 2015.
- [88] Makoto Nagata, Satoshi Takaya, Hiroaki Ikeda, “In-Place Signal and Power Noise Waveform Capturing Within 3-D Chip Stacking,” *IEEE Design and Test*, Vol. 32, No. 6, pp. 87-98, Nov. 2015.
- [89] Noriyuki Miura, Shiro Doshō, Hiroyuki Tezuka, Takuji Miki, Daisuke Fujimoto, Takuya Kiriyama, Makoto Nagata, “A 1 mm Pitch 80×80 Channel 322 Hz Frame-Rate Multitouch Distribution Sensor With Two-Step Dual-Mode Capacitance Scan,” *IEEE Journal of Solid-State Circuits*, Vol. 50, No. 11, pp. 2741-2749, Nov. 2015.
- [90] Takuya Sawada, Kumpei Yoshikawa, Hidehiro Takata, Koji Nii, Makoto Nagata, “An Extended Direct Power Injection Method for In-Place Susceptibility Characterization of VLSI Circuits Against Electromagnetic Interference,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 23, No. 10, pp. 2347-2351, Oct. 2015.
- [91] Shuping Zhang, Jinjia Zhou, Dajiang Zhou, Shinji Kimura and Satoshi Goto. “Low-power Motion Estimation Processor with 3D Stacked Memory,” *IEICE Trans. on Fundamentals*, Vol. E98-A, No.07, pp.1431-1441, July 2015.
- [92] M. Tawada, S. Kimura, M. Yanagisawa, and N. Togawa, “ECC-Based Bit-Write Reduction Code Generation for Non-Volatile Memory,” *IEICE Trans. on Fundamentals*, Vol. E98-A, No. 12, pp.2494-2504, Dec. 2015.
- [93] Takahiro ZUSHI, Hirotsugu KOJIMA, Keisuke ONISHI, Mitsunori OZAKI, Satoshi YAGITANI, Satoru SHIMIZU, Hiroshi YAMAKAWA, Small sensor probe for measuring plasma waves in space, *Earth, Planets and Space*, 67.127, 2015
- [94] Ozaki, Hirose, Tsubaki, Kuroki, Numa, “Nano watt power rail-to-rail CMOS amplifier with adaptive biasing circuits for ultra low-power analog LSIs”, *Japanese journal of applied physics*, vol. 54, 04DE13, Apr. 2015.
- [95] Tsubaki, Hirose, Kuroki, Numa, “A 32-kHz Real-Time Clock Oscillator with On-Chip PVT Variation Compensation Circuit for Ultra-Low Power MCUs,” *IEICE Transactions on Electronics*, vol. 98-C, no. 5, pp. 446-453, 2015.
- [96] Shizuku, Hirose, Kuroki, Numa, M. Okada, “An Energy-Efficient 24T Flip-Flop Consisting of Standard CMOS Gates for Ultra-Low Power Digital VLSIs,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer*, vol. E98-A, no. 12, 2015.
- [97] Kojima, Hirose, Tsubaki, Ozaki, Asano, Kuroki, Numa, “A Fully On-Chip 3-Terminal Switched Capacitor DC-DC Converter for Low-Voltage CMOS LSIs,” *Japanese Journal of Applied Physics*, vol. 55, No. 4S, 04EF09, 2016.
- [98] 杉本俊貴, 谷本洋, 吉澤真吾, “確率的フラッシュAD変換器の線形化.” *電気学会論文誌 C*, Vol. 136, No.1, pp.8-15, Jan. 2016.
- [99] S. Uenohara, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, “A CMOS Circuit for PWM-mode Nonlinear Transformation Robust to Device Mismatches to Implement Coupled Map Lattice Models”, *Nonlinear Theory and Its Applications*, *IEICE*, Vol. 6 No. 4, pp. 570-581, Oct. 2015.
- [100] M. Watanabe, “Quality recovery method of interference patterns generated from faulty MEMS spatial light modulators,” *IEEE/OSA Journal of Lightwave Technology*, vol. 34, Issue 3, pp. 910-917, Feb., 2016.
- [101] A. Ogiwara, M. Watanabe, “Formation of holographic polymer-dispersed liquid crystal memory by angle-multiplexing recording for optically reconfigurable gate arrays,” *Applied Optics*, Vol. 54, Issue 36, pp. 10623-10629, Dec. 2015.
- [102] D. Seto, M. Watanabe, “Radiation-hardened optically reconfigurable gate array exploiting holographic memory characteristics,” *Japanese Journal of Applied Physics*, vol. 54, no. 9S, pp. 09MA06-1 - 09MA06-5, 2015.
- [103] M. Watanabe, S. Kawahito, “Radiation tolerance experiment for a dynamically reconfigurable vision architecture,” *International Journal of Image Processing Techniques*, vol. 2, issue 1, pp. 59-62, April, 2015.
- [104] 原田, 藤本, 福原, 吉田, “ニューロン CMOS インバータを用いた最小ハミング距離検索連想メモリ”, *電気学会論文誌 C*, pp.36-42, 2016年1月.
- [105] Yuki Watanabe, Satoshi Saikatsu, Michitaka Yoshino & Akira Yasuda, 泥 elta 穆 igma DAC with jitter-shaperreducing
- [106] Yoshihiro Ono, Michitaka Yosino, Akira Yasuda, Chiaki Tanuma, Simulation of the liquid droplet ejection device using multi-actuator, *Jpn., J.Appl.Phys*
- [107] Hajime Hayami, Hiroaki Takehara*, Kengo Nagata, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa*, Takashi Tokuda and Jun Ohta, “Wireless Image-Data Transmission from an Implanted Image Sensor through a Living Mouse Brain with Intra-Body Communication,” *JJAP*, vol. 55, no. 4S, pp. 04EM03-104EM03-5, Mar. 2016. doi.10.7567/JJAP.55.04EM03
- [108] Takahiro Yamaguchi, Hiroaki Takehara, Yoshinori Sunaga, Makito Haruta, Mayumi Motoyama, Yasumi

- Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Implantable self-reset CMOS image sensor and its application to hemodynamic response detection in living mouse brain," *JJAP*, vol. 55, no. 4S, pp. 04EM02-104EM02-6, Mar. 2016. doi:10.7567/JJAP:5504EM02
- [109] Hiroaki Takehara, Yuji Katsuragi, Yasumi Ohta, Mayumi Motoyama, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Implantable micro-optical semiconductor devices for optical theranostics in deep tissue," *Applied Physics Express (APEX)*, vol. 9, no. 4, pp. 047001-1 047001-4, Mar. 2016. doi:10.7567/APEX.9.047001
- [110] Takuma Kobayashi, Makito Haruta, Kiyotaka Sasagawa, Miho Matsumata, Kawori Eizumi, Chikara Kitsumoto, Mayumi Motoyama, Yasuyo Maezawa, Yasumi Ohta, Toshihiko Noda, Takashi Tokuda, Yasuyuki Ishikawa, Jun Ohta, "Optical communication with brain cells by means of an implanted duplex micro-device with optogenetics and Ca²⁺ fluoroimaging," *Scientific Reports*, vol. 6, no. 21247, pp. 1-13, Feb. 2016. doi:10.1038/srep21247
- [111] Takashi Tokuda, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "CMOS-Based Optoelectronic On-Chip Neural Interface Device," *IEICE TRANSACTIONS on Electronics*, vol. E99-C, no. 2, pp. 165-172, Feb. 2016. doi:10.1587/tranele.E99.C165
- [112] Kiyotaka Sasagawa, Takahiro Yamaguchi, Makito Haruta, Yoshinori Sunaga, Hironari Takehara, Hiroaki Takehara, Toshihiko Noda, Takashi Tokuda, and Jun Ohta, "An Implantable CMOS Image Sensor with Self-Reset Pixels for Functional Brain Imaging," *IEEE Transactions on Electron Devices*, vol. 63, no. 1, pp. 215-222, Jan. 2016. doi:10.1109/TED.2015.2454435
- [113] Takahiro Yamaguchi, Yoshinori Sunaga, Makito Haruta, Mayumi Motoyama, Yasumi Ohta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Fluorescence imaging under background light with a self-reset CMOS image sensor," *The Journal of Engineering*, Nov. 2015. doi:10.1049/joe.2015.0046
- [114] Toshikazu Kawamura, Keita Masuda, Tomohiro Hirai, Yasumi Ohta, Mayumi Motoyama, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, T. Okitsu, S. Takeuchi, Jun Ohta, "CMOS-based implantable glucose monitoring device with improved performance and reduced invasiveness," *Electronics Letters*, vol. 51, no. 10, pp. 738 - 740, May 2015. doi:10.1049/el.2015.0612
- [115] Hiroaki Takehara, Yasumi Ohta, Mayumi Motoyama, Makito Haruta, Mizuki Nagasaki, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Intravital fluorescence imaging of mouse brain using implantable semiconductor devices and deep illumination of biological tissue," *Biomedical Optics Express*, vol. 6, no. 5, pp. 1553-1564, Apr. 2015. doi:10.1364/BOE.6.001553
- [116] M. Tanaka, S. Hachiya, T. Ishii, S. Ning, K. Tsurumi and K. Takeuchi, "0.6-1.0 V Operation Set/Reset Voltage (3V) Generator for 3D-integrated ReRAM and NAND Flash Hybrid Solid-State Drive," *Japanese Journal of Applied Physics (JJAP)*, Vol.55, Num.4s, 04EE07, Apr. 2016
- [117] K. Kato, Y. Takahashi, and T. Sekine, "Two phase clocked subthreshold adiabatic logic circuit," *IEICE Electronics Express*, vol.12, no.20, pp.20150695 (12pages).
- [118] C. Monteiro, Y. Takahashi, and T. Sekine, "Low-power secure S-box circuit using charge-sharing symmetric adiabatic logic for advanced encryption standard hardware design," *IET Circuits, Devices & Systems*, vol.9, no.5, pp.362-269, Sept. 2015.
- [119] Y. Takahashi, T. Sekine, and M. Yokoyama, "SPICE model of memristive device using Tukey window function," *IEICE Electronics Express*, vol.12, no.5, pp.20150149 (7pages), 2015.
- [120] Lipovec, A., K. Shimazoe, and H. Takahashi. "Development of high-resolution gamma detector using sub-mm GAGG crystals coupled to TSV-MPPC array." *Journal of Instrumentation* 11.03 (2016), C03026.
- [121] Xiaosong, Xiaosong, et al. "Development of X-ray/Gamma-Ray Imaging System Based on Hydrogenated Amorphous Silicon/Crystalline Silicon Heterojunction Strip Detector." *RADIOISOTOPES* 64.12 (2015). 729-735.
- [122] K. Shimazoe, K. Horiki, H. Takahashi, Development of a prototype scintillator-based portable γ -ray imager with coded aperture for intraoperative applications, *Nuclear Instruments and Methods in Physics Research Section A. Accelerators, Spectrometers, Detectors and Associated Equipment*, Volume 784, 1 June 2015, Pages 394-397
- [123] Shimazoe, K., et al. "Electron Pattern Recognition using trigger mode SOI pixel sensor for Advanced Compton Imaging." *Journal of Instrumentation* 11.02 (2016). C02030.
- [124] H. Yoshizawa, "An improved figure of merit equation for op-amp evaluation," *IEICE Electronics Express*, vol.12, no. 15, pp. 20150533, 2015.
- [125] Atsushi Shirane, Yiming Fang, Haowei Tan, Taiki Ibe, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "RF-Powered Transceiver With an Energy and Spectral-Efficient IF-Based Quadrature Backscattering Transmitter," *IEEE Journal of Solid-State Circuits*, Vol. 50, No. 12, pp. 2975-2987, Dec. 2015.

- [126] 高坂, 四ツ田, 久保, 中野, "オンチップパッチクラ
ンプシステム用寄生容量補償回路", LSI とシステム
のワークショップ 2015
- [127] 秋間学尚, 佐藤茂雄, "運動視により局所運動を検出
する神経回路網モデルの LSI 化", 日本神経回路学会
誌, vol.22, no.4, pp. 152-161, 2015.
- [128] 和泉政史, 大森陽介, 南昂孝, 坂井尚貴, 大平孝,
"指向性切替アンテナを用いた自動追尾走行ロボッ
トシステム," 電子情報通信学会論文誌 C, Vol.J98-C,
No.12, pp.403-411. Nov. 2015.
- [129] Shinnosuke Yoshida, Youhua Shi, Masao Yanagisawa,
Nozomu Togawa, "An Effective Suspicious Timing-
Error Prediction Circuit Insertion Algorithm
Minimizing Area Overhead," IEICE Transactions on
Fundamentals of Electronics, Communications and
Computer Sciences vol. E98-A, pp. 1406-1418, July.
2015.
- [130] Kotaro Terada, Masao Yanagisawa, Nozomu Togawa,
"A High-Level Synthesis Algorithm with Inter-
Island Distance Based Operation Chainings for RDR
Architectures," IEICE Transactions on Fundamentals
of Electronics, Communications and Computer
Sciences vol. E98-A, pp. 1366-1375, July. 2015.
- [131] M. Oya, Y. Shi, N. Yamashita, T. Okamura, Y. Tsunoo,
S. Goto, M. Yanagisawa and N. Togawa, A hard-
ware-trojans identifying method based on trojan net
scoring at gate-Level netlists, IEICE transactions on
fundamentals of electronics, communications and com-
puter sciences, vol. E98-A, no. 12, pp.2537-2546, Dec.
2015.
- [132] Tatsuro Kojo, Masashi Tawada, Masao Yanagisawa,
and Nozomu Togawa, "Code Generation Limiting
Maximum and Minimum Hamming Distances for
Non-Volatile Memories," IEICE Transactions on
Fundamentals of Electronics, Communications and
Computer Sciences, vol. E98-A, no. 12, pp. 2484-2493,
Dec. 2015.
- [133] Takeshi Aoki, Yuki Okamoto, Takashi Nakagawa,
Munehiro Kozuma, Yoshiyuki Kurokawa, Takayuki
Ikeda, Naoto Yamade, Yutaka Okazaki, Hidekazu
Miyairi, Masahiro Fujita, Jun Koyama, Shunpei
Yamazaki, "Normally-Off Computing for Crystalline
Oxide Semiconductor-Based Multicontext
FPGA Capable of Fine-Grained Power Gating on
Programmable Logic Element With Nonvolatile
Shadow Register," J. Solid-State Circuits 50(9),
pp.2199-2211 (2015)
- [134] Masahiro Fujita, "Toward Unification of Synthesis
and Verification in Topologically Constrained Logic
Design," Proceedings of the IEEE 103(11), pp.2052-
2060 (2015)
- [135] Samaneh Ghandali, Bijan Alizadeh, Masahiro Fujita,
Zainalabedin Navabi, "Automatic High-Level Data-Flow
Synthesis and Optimization of Polynomial Datapaths
Using Functional Decomposition," IEEE Trans.
Computers 64(6), pp.1579-1593 (2015)
- [136] Yuki Okamoto, Takashi Nakagawa, Takeshi Aoki,
Masataka Ikeda, Munehiro Kozuma, Takeshi Osada,
Yoshiyuki Kurokawa, Takayuki Ikeda, Naoto Yamade,
Yutaka Okazaki, Hidekazu Miyairi, Masahiro Fujita,
Jun Koyama, Shunpei Yamazaki, "A Boosting Pass
Gate With Improved Switching Characteristics and No
Overdriving for Programmable Routing Switch Based
on Crystalline In-Ga-Zn-O Technology," IEEE Trans.
VLSI Syst. 23(3), pp.422-434 (2015)
- [137] 佐藤, 遠藤, 兼本, "独立成分分析を用いた胎児の心
電信号測定に適する小面積・低消費電力多チャネル
増幅回路", 電気学会論文誌 C, vol. 136, no.1, pp50-
59, 2016年1月
- [138] Ning Li, Kenichi Okada, Takeshi Inoue, Takuichi
Hirano, Qinghong Bu, Aravind Tharayil Narayanan,
Teerachot Siriburanon, Hitoshi Sakane, and Akira
Matsuzawa, "High-Q Inductors on Locally Semi-
Insulated Si Substrate by Helium-3 Bombardment
for RF CMOS Integrated Circuits," IEEE
TRANSACTIONS ON ELECTRON DEVICES, Volume.
62, Issue. 4, On page(s) . 1269-1275, April, 2015.
- [139] Rui Wu, Wei Deng, Shinji Sato, Takuichi Hirano, Ning
Li, Takeshi Inoue, Hitoshi Sakane, Kenichi Okada,
and Akira Matsuzawa, "A 60-GHz CMOS Transmitter
with Gain-Enhanced On-Chip Antenna for Short-Range
Wireless Interconnections," IEICE Transactions on
Electronics, vol.E98-C, no.04, pp.304-314, Apr. 2015.
- [140] Tohru Kaneko, Masaya Miyahara and Akira
Matsuzawa, "A Circuit Technique for Enhancing
Gain of Complementary Input Operational Amplifier
with High Power Efficiency," IEICE Transactions on
Electronics, vol.E98-C, no.04, pp.315-321, Apr. 2015.
- [141] James Lin, Daehwa Paik, Seungjong Lee, Masaya
Miyahara, and Akira Matsuzawa, "An Ultra-Low-
Voltage 160 MS/s 7 Bit Interpolated Pipeline ADC
Using Dynamic Amplifiers," IEEE Journal of Solid-
State Circuits (JSSC), Vol. 50, No. 6, pp. 1399-1411,
Jun. 2015.
- [142] James Lin, Ibuki Mano, Masaya Miyahara, and Akira
Matsuzawa, "Ultralow-Voltage High-Speed Flash ADC
Design Strategy Based on FoM-Delay Product," IEEE
Transactions on Very Large Scale Integration (TVLSI)
Systems, Vol. 23, No. 8, pp. 1518-1527, Aug. 2015.
- [143] Dongsheng Yang, Wei Deng, Aravind Tharayil
Narayanan, Rui Wu, Bangan Liu, Kenichi Okada, and
Akira Matsuzawa, "A Fully Synthesizable Injection-
Locked PLL with Feedback Current Output DAC in
28 nm FDSOI," IEICE Electronics Express, Vol. 12,
No. 15 pp. 1-11, Aug. 2015.
- [144] Kento Kimura, Aravind Tharayil Narayanan, Kenichi

- Okada, and Akira Matsuzawa, "An AM-PM Noise Mitigation Technique in Class-C VCO," *IEICE Transactions on Electronics*, Vol. E98-C, No. 12, pp.1161-1170, Dec. 2015.
- [145] H. Lv, S. Sato, Y. Omura, "Analytically Modeling the Asymmetric Double Gate Tunnel FET", *ECS Transactions*, vol. 66, No. 5, 2015
- [146] K. Inoue, N. Takeuchi, T. Narama, Y. Yamanashi, N. Yoshikawa, "Design and demonstration of adiabatic quantum-flux-parametron logic circuits with superconductor magnetic shields," *Supercond. Sci. Technol.*, vol. 28, 2015, 045020.
- [147] Y. Sakashita, Y. Yamanashi, N. Yoshikawa, "50 GHz Demonstration of an Integer-Type Butterfly Processing Circuit for an FFT Processor Using the 10 kA/cm² Nb Process," *IEICE Trans. Electron.*, vol. E98-C, March, 2015, pp. 232-237.
- [148] Q. Xu, X. Peng, T. Ortlepp, Y. Yamanashi, N. Yoshikawa, "Demonstration of Bit-Serial SFQ-Based Computing for Integer Iteration Algorithms," *IEEE Trans. on Appl. Supercond.*, 25, 2015, 1300704.
- [149] Y. Sakashita, Y. Yamanashi, N. Yoshikawa, "High-Speed Operation of an SFQ Butterfly Processing Circuit for FFT Processors Using the 10 kA/cm² Nb Process," *IEEE Trans. on Appl. Supercond.*, 25, 2015, 1301205.
- [150] X. Peng, Q. Xu, T. Kato, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, N. Takagi, K. Takagi and M. Hidaka, "High-Speed Demonstration of Bit-Serial Floating-Point Adders and Multipliers Using Single-Flux-Quantum Circuits," *IEEE Trans. on Appl. Supercond.*, 25, 2015, 1301106.
- [151] N. Takeuchi, Y. Yamanashi, N. Yoshikawa, "Adiabatic quantum-flux-parametron cell library adopting minimalist design," *Journal of Applied Physics*, 117, 2015, 173912.
- [152] K. Sano, Y. Takahashi, Y. Yamanashi, N. Yoshikawa, N. Zen, M. Ohkubo, "Demonstration of single-flux-quantum readout circuits for time-of-flight mass spectrometry systems using superconducting strip ion detectors," *Supercond. Sci. Technol.*, vol.28, 2015, 074003.
- [153] N. Takeuchi, T. Ortlepp, Y. Yamanashi, N. Yoshikawa, "Experimental Demonstration of Quantum-Flux-Latch-Based Circuits," *IEEE Trans. Appl. Supercond.*, vol. 25, 2015, 1300803.
- [154] N. Tsuji, N. Takeuchi, T. Narama, T. Ortlepp, Y. Yamanashi, N. Yoshikawa, "Magnetically coupled quantum-flux-latch with wide operation margins," *Supercond. Sci. Technol.*, 28, 2015, 115013.
- [155] T. Takahashi, R. Numaguchi, Y. Yamanashi, N. Yoshikawa, "High-speed demonstration of low-power 1k-bit shift-register memories using LR-biasing SFQ circuits," *IEICE Electronics Express*, Vol. 13, No.6, 2016, pp.1-6.
- [156] E. Green, T. Kohno, "Compensating Temperature-Dependent Characteristics of a Subthreshold-MOSFET Analog Silicon Neuron," *Journal of Robotics, Networking and Artificial Life*, Vol.2, No.4, pp.209-212, Mar., 2016.
- [157] S. Iguchi, H. Fuketa, T. Sakurai, and M. Takamiya, "Variation-Tolerant Quick-Start-Up CMOS Crystal Oscillator With Chirp Injection and Negative Resistance Booster," *IEEE Journal of Solid-State Circuits*, Vol.51, No.2, pp. 496 - 508, Feb. 2016.
- [158] H. Fuketa, K. Yoshioka, K. Fukuda, T. Mori, H. Ota, M. Takamiya and T. Sakurai, "Design Guidelines to Achieve Minimum Energy Operation for Ultra Low Voltage Tunneling FET Logic Circuits" *Japanese Journal of Applied Physics*, Vol. 54, No. 4S, 04DC04, April, 2015.
- [159] S. Iguchi, P. Yeon, H. Fuketa, K. Ishida, T. Sakurai, and M. Takamiya, "Wireless Power Transfer With Zero-Phase-Difference Capacitance Control," *IEEE Transactions on Circuits and Systems—I. Regular Papers*, Vol. 62, No. 4, pp. 938 - 947, April 2015.
- [160] M. Amagasaki, Q. Zhao, M. Iida, M. Kuga and T. Sueyoshi, "A 3D FPGA Architecture to Realize Simple Die Stacking", *IPJS Transactions on System LSI Design Methodology*, Vol.8, pp.116-122, Aug. 2015
- [161] A. Kosuge, S. Ishizuka, M. Taguchi, H. Ishikuro, and T. Kuroda, "Analysis and Design of an 8.5-Gb/s/link Multi-Drop Bus Using Energy-Equipartitioned Transmission Line Couplers," *IEEE Transactions on Circuits and Systems-I. Regular Papers (TCAS-I)*, vol. 62, no. 8, pp. 2122-2131, Aug. 2015
- [162] A. Kosuge, A. Okada, M. Taguchi, H. Ishikuro, and T. Kuroda, "A 280Mb/s In-Vehicle LAN System Using Electromagnetic Clip Connector and High-EMC Transceiver," *IEEE Transactions on Circuits and Systems-I, Regular Papers (TCAS-I)*, vol. 63, no. 2, pp. 265-275, Feb. 2016.
- [163] Y. Take, T. Kuroda, "Relay Transmission Thruchip Interface with Low-Skew 3D Clock Distribution Network," *IEICE TRANSACTIONS on Electronics*, Vol. E98-C, No. 4, pp. 322-332, May 2015
- [164] 奥山敦司, 佐伯勝敏, 関根好文, 高集積化のための細胞体モデルに対する検討, *電気学会論文誌 C*, Vol. 136, No. 1, pp.16-21, 2016.1
- [165] H. Song, H. Kono, Y. Seo, A. Azhari, J. Somei, E. Suematsu, Y. Watarai, T. Ota, H. Watanabe, Y. Hiramatsu, A. Toya, X. Xiao, T. Kikkawa, "A Radar-Based Breast Cancer Detection System Using CMOS Integrated Circuits," *IEEE Access*, vol. 3, no., pp. 2111-2121, 2015.
- [166] Ippei Akita, Makoto Ishida, "A current noise reduction technique in chopper instrumentation amplifier for

high-impedance sensors,” IEICE Electron. Express (ELEX), vol.12, no.11, pp.1-5, June 2015.

- [167] Kenji Okabe, Horagodage Prabhath Jeewan, Shota Yamagiwa, Takeshi Kawano, Mokoto Ishida, Ippei Akita, “Co-design method and wafer-level packaging technique of thin-film flexible antenna and silicon CMOS rectifier chip for wireless-powered neural interface systems,” Sensors, vol. 15, no. 12, pp. 318221-31832, Dec. 2015.
- [168] T.Kimura, K.Uno and T.Masuzawa, “Size Reduced Two-Dimensional Integrated Magnetic Sensor Fabricated in 0.18- μ m CMOS Process”, IEEJ Trans. On Electrical and Electronic Engineering Vol.10, pp. 345-349, 2015

2. 国際会議

- [1] Kosei Tanii, K.Wada, Takanobu Ohno, “Heuristic Circuit Transformation Based on Left-handed Filter and Right-handed Filter,” Progress in Electromagnetics Research Symposium (PIERS2015) (2015-6)
- [2] S. Hara, K. Katayama, K. Takano, I. Watanabe, N. Sekine, A. Kasamatsu, T. Yoshida, S. Amakawa, and M. Fujishima, “Compact 160-GHz amplifier with 15-dB peak gain and 41-GHz 3-dB bandwidth,” 2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp. 7-10, May 2015.
- [3] S. Amakawa, R. Goda, K. Katayama, K. Takano, T. Yoshida, and M. Fujishima, “Wideband CMOS decoupling power line for millimeter-wave applications,” 2015 IEEE MTT-S International Microwave Symposium (IMS), pp. 1-4, May 2015.
- [4] K. Katayama, S. Amakawa, K. Takano, and M. Fujishima, “300-GHz MOSFET model extracted by an accurate cold-bias de-embedding technique,” 2015 IEEE MTT-S International Microwave Symposium (IMS), pp. 1-4, May 2015.
- [5] S. Hara, I. Watanabe, N. Sekine, A. Kasamatsu, K. Katayama, T. Yoshida, K. Takano S. Amakawa, and M. Fujishima, “Compact 138-GHz amplifier with 18-dB peak gain and 27-GHz 3-dB bandwidth,” 2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 55-57, Aug. 2015.
- [6] S. Amakawa, K. Katayama, K. Takano, T. Yoshida, and M. Fujishima, “Comparative analysis of on-chip transmission line de-embedding techniques,” 2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 91-93, Aug. 2015.
- [7] K. Takano, K. Katayama, S. Hara, A. Kasamatsu, T. Yoshida, S. Amakawa, and M. Fujishima, “Calibration of process parameters for electromagnetic field analysis of CMOS devices up to 330 GHz,” 2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 94-96, Aug. 2015.
- [8] K. Katayama, S. Amakawa, K. Takano, and M. Fujishima, “Parasitic conscious 54 GHz divide-by-4 injection-locked frequency divider,” 2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 103-105, Aug. 2015.
- [9] R. Goda, S. Amakawa, K. Katayama, K. Takano, T. Yoshida, and M. Fujishima, “Modeling of wideband decoupling power line for millimeter-wave CMOS circuits,” 2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 151-153, Aug. 2015.
- [10] K. Takano, K. Katayama, T. Yoshida, S. Amakawa, and M. Fujishima, “124-GHz CMOS quadrature voltage-controlled oscillator with fundamental injection locking,” IEEE Asian Solid-State Circuits Conference (A-SSCC), Nov. 2015.
- [11] K. Katayama, K. Takano, S. Amakawa, S. Hara, A. Kasamatsu, K. Mizuno, K. Takahashi, T. Yoshida, and M. Fujishima, “A 300GHz 40 nm CMOS Transmitter with 32-QAM 17.5Gb/s/ch Capability over 6 Channels,” Digest of Technical Papers IEEE International Solid-State Circuits Conference (ISSCC) 2016, pp. 342-343, Feb. 2016.
- [12] 丸岡, 一二三, 神田, 古田, 小林, “Correlations between Radiation Hardness and Variation of FFs Depending on Layout Structures in a 28 nm Thin BOX FD-SOI Process by Alpha Particle Irradiation”, Silicon Errors in Logic - System Effects(2016)
- [13] 梅原, 張, 神田, 一二三, 古田, 小林, “Analysis of Terrestrial Single Event Upsets by Body Biases in a 28 nm UTBB Process by a PHITS-TCAD Simulation System”, pp. 53-56, International Workshop on Radiation Effects on Semiconductor Devices for Space Applications(2015)
- [14] 一二三, 曾根崎, 古田, 小林, “Radiation Hardness Evaluations of FFs on 28 nm and 65 nm Thin BOX FD-SOI Processes by Heavy-Ion Irradiation”, pp. 93-96, International Workshop on Radiation Effects on Semiconductor Devices for Space Applications(2015)
- [15] 張, 山口, 神田, 古田, 小林, “Estimation of Soft Error Tolerance according to the Thickness of Buried Oxide and Body Bias 28-nm and 65-nm in FD-SOI Processes by a Monte-Carlo Simulation”, pp. 1026-1027, International Conference on Solid State Devices and Materials(2015)
- [16] 山口, 古田, 小林, “A Radiation-Hardened Non-redundant Flip-Flop, Stacked Leveling Critical Charge Flip-Flop in a 65 nm Thin BOX FD-SOI Process”, The conference on Radiation and its Effects on Components and Systems(2015)

- [17] 張, 神田, 山口, 古田, 小林, “Analysis of BOX Layer Thickness on SERs of 65 and 28 nm FD-SOI Processes by a Monte-Carlo Based Simulation Tool”, The conference on Radiation and its Effects on Components and Systems(2015)
- [18] 張, 神田, 山口, 古田, 小林, “Analysis of the Soft Error Rates on 65-nm SOTB and 28-nm UTBB FD-SOI Structures by a PHITS- TCAD Based Simulation Tool”, International Conference on Simulation of Semiconductor Processes and Devices (2015)
- [19] 大 島, Weckx, Kaczer, 小林, 松 本, “Impact of Random Telegraph Noise on Ring Oscillators Evaluated by Circuit-level Simulations”, International Conference on IC Design and Technology (2015)
- [20] Masahiro Kano, Toru Nakura and Kunihiro Asada, “Analysis and Design of a Triangular Active Charge Injection for Stabilizing Resonant Power Supply Noise,” 17th International Symposium on Quality Electronic Design (ISQED), Mar.2016.
- [21] Md. Maruf Hossain, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, “Analytical Design Optimization of Sub-ranging ADC Based on Stochastic Comparator,” IEEE/ACM Design, Automation and Test in Europe (DATE) Exhibition and Conference, Mar.2016.
- [22] Tomohiko Yano, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, “A Calibration-Free Time Difference Accumulator Using Two Pulses Propagating on a Single Buffer Ring,” in IEEE Asian Solid-State Circuits Conference (A-SSCC) Proceedings of Technical Papers, pp. 145-148,Nov.2015.
- [23] T. Ikeda, M. Ikeda, “Comprehensive Study on Higher Order Radix RSA Cryptography Engine,” in Proceedings of the IEEE 11th International Conference on ASIC (ASICON), P2-72,Nov.2015.
- [24] Takashi Toi, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, “Tracking PVT variations of Pulse Width Controlled PLL using Variable-Length Ring Oscillator,” in Proceedings of IEEE Nordic Circuits and Systems Conference (NORCAS), Oct.2015.
- [25] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, “A CMOS SPAD Sensor Featuring Asynchronous Event-Extraction Readout Architecture for Faint Light Detection,” in Proceedings of 2015 International Conference on Solid State Devices and Materials (SSDM), pp. 812-813, Sep.2015.
- [26] M. Kano, T. Nakura and K. Asada, “Resonant Power Supply Noise Cancelling with Noise Detector based in DLL and Vernier TDC,” in Proceedings of IEEE Asia Symposium on Quality Electronic Design (ASQED), pp.192-196, Aug.2015.
- [27] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiro Asada, “An Asynchronous Projection and Summation Circuit for In-Pixel Processing in Single Photon Avalanche Diode Sensors,” in Proceedings of IEEE International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), pp. 131-136, Apr.2015.
- [28] Hideki Shinohara, Kousuke Miyaji, “A ZVS CMOS Active Diode Rectifier with Voltage-Time-Conversion Delay-Locked Loop for Wireless Power Transmission,” IEEE Asian Solid-State Circuits Conference (A-SSCC), 15-3, November 2015.
- [29] Sherif Hekal, Adel Abdel-Rahman, Hongting Jia, Ahmed Allam, Ramesh Pokharel, and Haruichi Kanaya, “Strong resonant coupling for short-range wireless power transfer applications using defected ground structures”, Proc. IEEE Wireless Power Transfer Conference pp.usb1-usb4, 2015 年 5 月.
- [30] H. Kanaya, “5 GHz-band CMOS Class-E Power Amplifier Module Considering Wire Bonding”, Proc. 2015 IEEE International Symposium on Radio-Frequency Integration Technology, pp.157-159, 2015 年 8 月.
- [31] Kyohei Eto, Kizuku Takemoto, Haruichi Kanaya, “Development of Highly Efficient 5GHz-band CMOS Class-E Power Amplifier Module”, Proc. of the 16th Electronics Packaging Technology Conference, pp.1-3, 2015 年 12 月.
- [32] Haruichi Kanaya, Tomoki Oda, Naoto Iizasa, Kazutoshi Kato, “Planar array antenna with director on indium phosphide substrate for 300GHz wireless link”, Proc. SPIE Photonics West 2016, Vol. 9747, pp. 974722-1-74722-6, 2016 年 2 月.
- [33] Ryoya Miyamoto, and Haruichi Kanaya, “Wideband CMOS LNA for TV white space application,” Proc. International Conference on Bioelectronics, Biosensors, BioMedical Devices, BioMEMS/NEMS and Applications 2015, p. O-17, 2015 年 12 月
- [34] Y. Fukazawa, K. Watanabe, Y. Minoura, T. Kondo and T. Sasaki, “SIMD-based Datapath with Efficient Operation Structure,” IEEE Proc. of ICASSP, pp.1031-1035, March 2016.
- [35] Seiji Miyoshi, Takahiro Sasaki, Yuki Fukazawa and Toshio Kondo, “An architectural framework of snoopy interconnection for heterogeneous cache systems”, Proc. of the Third International Symposium on Computing and Networking, pp.561-565, (2015/12/8-11), Sapporo, Hokkaido.
- [36] Hiroaki Kawashima, Takahiro Sasaki, Yuki Fukazawa and Toshio Kondo, “Register port prediction for a banked register file”, Proc. of the Third International Symposium on Computing and Networking, pp.551-555, (2015/12/8-11), Sapporo, Hokkaido.
- [37] Ueyoshi K., Marukame T., Asai T., Motomura M., and Schmid A., “Memory-error tolerance of scalable and highly parallel architecture for restricted Boltzmann

- machines in deep belief network," IEEE International Symposium on Circuits and Systems, Montreal Sheraton Center, Montreal, Canada (May 22-25, 2016) .
- [38] Yamamoto K., Asai T., and Motomura M., "Hardware architecture for online frequent items mining with memory-efficient data structure," COOL Chips XIX, Yokohama Media & Communications Center, Yokohama, Japan (Apr. 20-22, 2016) .
- [39] Hamana Y., Asai T., and Oya T., "Design of new logic circuit mimicking soldier crab ball gate for single-molecule device," International Chemical Congress of Pacific Basin Societies 2015, Hawaii Convention Center, Honolulu, USA (Dec. 15-20, 2015) .
- [40] Hirashima R., Asai T., and Oya T., "Design of thermal-noise-harnessing neuromorphic nano-electronic circuit based on axon of neuron for single-molecule device," International Chemical Congress of Pacific Basin Societies 2015, Hawaii Convention Center, Honolulu, USA (Dec. 15-20, 2015) .
- [41] Takano M., Asai T., and Oya T., "Design of nano-electronic neural-network associative memory circuit for single-molecule devices," International Chemical Congress of Pacific Basin Societies 2015, Hawaii Convention Center, Honolulu, USA (Dec. 15-20, 2015) .
- [42] Satomi K., Asai T., and Oya T., "Design of single-electron'slime mold'circuit for single-molecule device," International Chemical Congress of Pacific Basin Societies 2015, Hawaii Convention Center, Honolulu, USA (Dec. 15-20, 2015) .
- [43] Ushida M., Ishimura K., Schmid A., Asai T., and Motomura M., "Motion vector estimation of textureless objects exploiting reaction-diffusion cellular automata," 2015 International Symposium on Nonlinear Theory and its Applications, pp. 85-88, Hong Kong, City University of Hong Kong, China (Dec. 1-4, 2015) .
- [44] Asai T. and Kasai S., "Neuromorphic circuits and devices exploiting noise and fluctuations," 2015 International Symposium on Nonlinear Theory and its Applications, pp. 895-898, Hong Kong, City University of Hong Kong, China (Dec. 1-4, 2015) .
- [45] Takano M., Asai T., and Oya T., "Design of nano-electronic neural-network associative memory circuit," The 14th International Conference on Unconventional and Natural Computation, Centre for Discrete Mathematics and Theoretical Computer Science, Auckland, New Zealand (Aug. 31-Sep. 4, 2015) .
- [46] Satomi K., Asai T., and Oya T., "Design of slime-mold-inspired single-electron circuit," The 14th International Conference on Unconventional and Natural Computation, Centre for Discrete Mathematics and Theoretical Computer Science, Auckland, New Zealand (Aug. 31-Sep. 4, 2015) .
- [47] Ikebe M., Uchida D., Take Y., Someya M., Chikuda S., Matsuyama K., Asai T., Kuroda T., and Motomura M., "Image sensor/digital logic 3D stacked module featuring inductive coupling channels for high speed/low-noise image transfer," 2015 Symposia on VLSI Technology and Circuits, 4-1, Rihga Royal Hotel, Kyoto, Japan (Jun. 15-19, 2015) .
- [48] Hidenori Tabata, Tomohiro Yamazaki, Toshinori Otaka, Takayuki Hamamoto, "Spatiotemporally Varying Exposure Imaging for High Quality Image Reconstruction", Image sensor workshop, 7.14, 4pages (2015)
- [49] Danya Sugai, Takayuki Hamamoto, "Improvement of Spatial Resolution Using Block-Matching Based Motion Estimation and Frame Integration", International Conference on Manufacturing Science and Technology, pp.53-57 (2015)
- [50] Takahiro Anraku, Takayuki Hamamoto, "Realtime High Dynamic Range Image Synthesis using a Multi-integration-time Image Sensor Array", International Workshop on Image Media Quality and its Applications, OS1-1, 4pages (2016)
- [51] Syuichi Sato and Satoshi Ohtake, "A delay measurement mechanism for asynchronous circuits of bundled-data model," in Proceedings of IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems 2015, pp.243-248, April 2015.
- [52] Renji Ono and Satoshi Ohtake, "A method of diagnostic test generation for transition faults," in Proceedings of IEEE Pacific Rim International Symposium on Dependable Computing 2015, pp.273-278, Nov. 2015.
- [53] Sho Kano and Satoshi Ohtake, "A field test architecture for circuits configured on FPGAs," 16th IEEE Workshop on RTL and High Level Testing (WRTL15) , Nov. 2015.
- [54] Kosuke Sawaki and Satoshi Ohtake, "A method of LFSR seed generation for hierarchical BIST," in Proceedings of 10th IEEE International Design & Test Symposium, pp.118-123, Dec. 2015.
- [55] Rimon Ikeno, Satoshi Maruyama, Yoshio Mita, Makoto Ikeda, and Kunihiro Asada, "Electron beam lithography with character projection exposure for throughput enhancement with line-edge quality optimization", Proc. SPIE 9781, Design-Process-Technology Co-optimization for Manufacturability X, 978110, March 2016.
- [56] T. Sato, S. Chivapreecha and P. Moungnoul, "Fine-Tuning of Wave-Pipelines on FPGAs Developed by the RTL Design," Proc. of ECTI-CON 21015, pp. 1230.1-1230.6,, Jun. 2015.
- [57] C. F. Werner, T. Wagner, M. J. Schoeing and T. Yoshinobu, "New LAPS driving method for better lateral resolutions", Engineering of Functional Interfaces

- 2015 (EnFI 2015), Hannover, Germany, 6-7 July 2015.
- [58] F. An, X. Zhang, L. Chen, and H. J. Mattausch, Dynamically Reconfigurable System for LVQ-Based On-chip Learning and Recognition, IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1338-1341, May 2016.
- [59] F. An, K. Mihara, S. Yamasaki, L. Chen, and H. J. Mattausch, Word-parallel Associative Memory for k-Nearest-Neighbor with Configurable Storage Space of Reference Vectors, IEEE Asian Solid-State Circuits Conference (ASSCC), 14-4, Nov. 2015.
- [60] X. Zhang, F. An, L. Chen, and H.J. Mattausch, Memory-based LVQ Neural Network with Dedicated Learning Circuit, International Conference on Solid State Devices and Materials (SSDM2015), pp. 146-147, Sep. 2015.
- [61] F. An, K. Mihara, S. Yamasaki, L. Chen, and H. J. Mattausch, Associative Memory for Nearest Neighbor Search with High Flexibility of Reference-Vector Number Due to Configurable Dual-Storage Space, International Conference on Solid State Devices and Materials (SSDM2015), pp. 144-145, Sep. 2015.
- [62] S. Nagai, T. Kambe, G. Fujita, "Hardware Implementation of Motion Estimation Technology Using High Level Synthesis and Investigations into Techniques for Improvements," Proceeding of 19th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.386 - 390, 査読有, 2015.
- [63] G. Moriguchi, T. Kambe, G. Fujita, "An Improved Rate-Distortion Optimized Quantization Algorithm and Its Hardware Implementation," Proceeding of 19th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.409-414, 査読有, 2015.
- [64] Go Matsumura, Michihiro Koibuchi, Hideharu Amano, Hiroki Matsutani, "D-TDMA Data Buses with CSMA/CD Arbitration Bus on Wireless 3D IC". Proc. of the 13th IASTED International Conference on Parallel and Distributed Computing and Networks (PDCN'16), pp.242-249, Feb 2016.
- [65] C. Izaki, J. Akita, CMOS Image Sensor with Pseudorandom Pixel Placement For Jaggy Reduction in Line Representation, Proceedins of International Image Sensor Workshop 2015, pp.146-149, 2015.6.
- [66] A. Kaskela, P. Laiho, N. Fukaya, K. Mustonen, T. Susi, H. Jiang, N. Houbenov, Y. Ohno, and E. I. Kauppinen, "Highly individual SWCNTs for high performance thin film electronics". Carbon 103, 228-234 (2016). doi.10.1016/j.carbon.2016.02.099
- [67] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Variability- and Correlation-Aware Logical Effort for Near-Threshold Circuit Design", 17th International Symposium on Quality Electronic Design (ISQED), pp. 18 - 23, 2016 月 3 月.
- [68] A.K.M. Mahfuzul Islam, Tatsuya Nakai, and Hidetoshi Onodera, "Statistical Analysis and Modeling of Random Telegraph Noise Based on Gate Delay Variation Measurement", 2016 International Conference on Microelectronic Test Structures (ICMTS), pp. 82 - 87, 2016 年 3 月.
- [69] Tatsuya Kamakari, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "A Closed-Form Stability Model for Cross-Coupled Inverters Operating in Sub-Threshold Voltage Region", 21st Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 691 - 696, 2016 月 1 月.
- [70] A.K.M. Mahfuzul Islam and Hidetoshi Onodera, "On-chip Monitoring and Compensation Scheme with Fine-grain Body Biasing for Robust and Energy-Efficient Operations". Proc. of 2016 Asia and South-Pacific Design Automation Conference, pp. 403 - 409, 2016 月 1 月.
- [71] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Slew- and Variability-Aware Logical Effort for Near-Threshold Circuit Design", 8th International Workshop on Variability Modeling and Characterization (VMC), 2015 月 11 月.
- [72] Hidetoshi Onodera, "Design Challenges and Solutions in the era of IoT". IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), 2015 月 10 月.
- [73] Hidetoshi Onodera, "Dependable VLSI Platform with Variability and Soft-Error Resilience". Proceedings of the 2015 International Conference on Integrated Circuits, Design, and Verification, pp. 102-103, 2015 月 8 月.
- [74] Tohru Ishihara, "Practical Supply and Threshold Voltage Scaling for Energy Efficient Operation of Microprocessors". International Forum on Embedded MPSoC and Multicore, 2015 月 7 月.
- [75] Tohru Ishihara, "Practical Supply and Threshold Voltage Scaling for Energy Efficient Operation of Microprocessors". International Forum on FDSOI IC Design, 2015 月 6 月.
- [76] S. Nishizawa, T. Ishihara, H. Onodera, "An impact of process variation on supply voltage dependence of logic path delay variation". Proc. of the 2015 International Symposium on VLSI Design, Automation and Test, pp. 1 - 4, 2015 月 4 月.
- [77] A. Tsuchiya, H. Onodera, "Design of Multi-Layered On-Chip Inductor for Inductive Peaking". VietnamJapan MicroWave, 2015 年 8 月.
- [78] T. Iwagaki, Y. Ishimori, H. Ichihara and T. Inoue, "Designing area-efficient controllers for multi-cycle transient fault tolerant systems," Proc. 20th IEEE

- European Test Symposium (ETS'15), pp. 1-2, May 2015.
- [79] J. Kang, X. Yu, M. Takenaka, and S. Takagi, "Design and characterization of Ge passive waveguide components on Ge-on-Insulator for mid-infrared photonics," Optical Fiber Communication Conference (OFC2016), Tu3E.4, Anaheim, 22 March 2016.
- [80] M. Takenaka, Y. Kim, J. Han, J. Kang, Y. Ikku, Y. Cheng, J.-K. Park, S.-H. Kim, and S. Takagi, "CMOS photonics technologies based on heterogeneous integration of SiGe/Ge and III-V on Si," International Electron Devices Meeting (IEDM'15), 31.5, Washington D.C., 9 December 2015 (invited).
- [81] J. Kang, M. Takenaka, and S. Takagi, "First demonstration of Ge waveguide platform on Ge-on-Insulator for mid-infrared integrated photonics," European Conference on Optical Communication (ECOC 2015), Barcelona, P.2.10, 29 September 2015.
- [82] J.-K. Park, M. Takenaka, and S. Takagi, "Low-resistivity lateral PIN junction formed by Ni-InGaAsP alloy for carrier-injection InGaAsP photonic devices," International Conference on Solid State Devices and Materials (SSDM2015), PS-7-6, Sapporo Convention Center, 29 September 2015.
- [83] Y. Cheng, Y. Ikku, M. Takenaka, and S. Takagi, "Waveguide InGaAs metal-semiconductor-metal photodetector monolithically integrated with InP grating coupler on III-V CMOS photonics platform," International Conference on Solid State Devices and Materials (SSDM2015), A-7-2, Sapporo Convention Center, 30 September 2015.
- [84] Daijiro Murooka, Yu Zhang, Qing Dong, Shigetoshi Nakatake, Low-power and Low-variability Programmable Delay Element and Its Application to Post-silicon Tuning, Proc. of IEEE International Annual Symposium on VLSI, pp.167-171, 2015.
- [85] Takuya Hirata, Ryuta Nishino, Shigetoshi Nakatake, Masaya Shimoyama, Masashi Miyagawa, Koichi Tanno, Akihiro Yamada, Subblock-level matching layout for analog block-pair and its manufacturability evaluation, Proc. of IEEE International Symposium on Circuits and Systems, pp.3012-3015, 2015.
- [86] Takuya Hirata, Ryuta Nishino, Shigetoshi Nakatake, Masaya Shimoyama, Masashi Miyagawa, Koichi Tanno, Akihiro Yamada, Subblock-level matching layout for analog block-pair and its manufacturability evaluation, Proc. of IEEE International Symposium on Circuits and Systems, pp.3012-3015, 2015.
- [87] Y. Hayashida, Y. Umehira, K. Takatani, S. Futami, S. Kameda, T. Kamata, A. U. Khan, Y. Takeuchi, M. Imai and T. Yagi, "Cortical neural excitations in rats in vivo with using a prototype of wireless multi-channel microstimulation system", EMBC 2015, pp.1642-1645, 2015
- [88] Hiromitsu Awano and Takashi Sato, "Fast Monte Carlo for Timing Yield Estimation via Line Sampling," in Proc. of Workshop on variability modeling and characterization (VMC) (Austin, TX), Nov. 2015.
- [89] Hiromitsu Awano and Takashi Sato, "Efficient Transistor-Level Timing Yield Estimation via Line Sampling," in Proc. of ACM International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU) (Santa Rosa, CA), pp.50-55, Mar. 2016.
- [90] Song Bian, Michihiro Shintani, Shumpei Morita, Masayuki Hiromoto, and Takashi Sato, "Nonlinear Delay-Table Approach for Full-Chip NBTI Degradation Prediction," in Proc. of International Symposium on Quality Electronic Design (ISQED) (Santa Clara, CA), pp.307-312, Mar. 2016.
- [91] Song Bian, Michihiro Shintani, Zheng Wang, Masayuki Hiromoto, Anupam Chattopadhyay, and Takashi Sato, "Mitigation of NBTI-Induced Timing Degradation in Processor," in Proc. of ACM International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU) (Santa Rosa, CA), pp.21-27, Mar. 2016.
- [92] Tadatoshi Sekine and Hideki Asai, "A Stabilized Leapfrog Scheme for Circuit-Based Analysis of Power Delivery Network," Proc. IEEE EPEPS 2015, San Jose, CA, Oct. 2015, pp. 21-23.
- [93] X. Wang, X. Yang, X. Xu, T. Yoshimasu, "2.4-GHz band low-voltage LC-VCO IC with simplified noise filtering," IWS2016.
- [94] Zul Atfyi Fauzan M. Napia, Koichi Iiyama, Ryoichi Gyobu, Takuya Hishiki, and Takeo Maruyama, "Optimizing silicon avalanche photodiode fabricated by standard CMOS process for 8 GHz peration", 1st International Conference on Telematics and Future Generation Networks (TAFGEN 2015), Kuara Lumpur, Malaysia, (May 2015).
- [95] Yuta Kunori, Jiro Ida, Masanari Mabuchi, Keisuke Noguchi, Kenji Itoh; "Evaluation of Parasitic Capacitance in Gate Controlled Diode and Rectifier Circuit for High Efficiency RF Energy Harvesting", Integration Circuits, Design, and Verification (ICDV), Ho Chi Minh City, Vietnam, pp.73-78, 2015
- [96] Yosuke Kuramoto, Jiro Ida, Masazumi Koyama, Keita Katsuti, Yasuo Arai; "Evaluation of 0.2 um SOI Based Super Steep Subthreshold Slope Device for Sensor and Ultra Low Power Applications", The 6th International Conference on Integrated Circuits Design, and Verification Ho Chi Minh City, Vietnam, p.52-57, 2015/08/10
- [97] Masanari Mabuchi, Yuta Kunori, Jiro Ida, Keisuke Noguchi, Kenji Itoh; "Optimization of Gate

- Controlled Diode in Rectenna for High Efficiency RF Energy Harvesting”, 2015 SOI-3D-Subthreshold Microelectronics Technology Unified Conference (2015 IEEE S3S Conference), Rohnert Park, California, Session 7b.3, 2015
- [98] Jiro Ida, Takayuki Mori, Yosuke Kuramoto, Takashi Horii, Takahiro Yoshida, Hiroki Kasai, Masao Okihara, Yasuo Arai; “Super Steep Subthreshold Slope PN-Body Tied SOI FET with Ultra Low Drain Voltage down to 0.1V”, 2015 IEEE International Electron Devices Meeting (IEDM), Washington, D.C., p.624-627, 2015/12/07
- [99] T. Watanabe, H. Shimada, and Y. Mizugaki, “Modified Double-Flux-Quantum Amplifier for Bipolar Voltage Multiplication,” 15th International Superconductive Electronics Conference (ISEC 2015), Nagoya, Japan, July 6-9, 2015.
- [100] K. Sawada, T. Watanabe, H. Shimada, and Y. Mizugaki, “Design and Operation of ROM-Dedicated Single-Flux-Quantum Cell Comprising Splitters and Confluence Buffers,” 15th International Superconductive Electronics Conference (ISEC 2015), Nagoya, Japan, July 6-9, 2015.
- [101] Y. Mizugaki, Y. Mutoh, Y. Urai, K. Sawada, and T. Watanabe, “Three Parallel Generation of a 4-bit M-Sequence Using Single-Flux-Quantum Digital Circuits,” 15th International Superconductive Electronics Conference (ISEC 2015), Nagoya, Japan, July 6-9, 2015.
- [102] Y. Masuda, M. Hashimoto, and T. Onoye, “Measurement of Timing Error Detection Performance of Software-Based Error Detection Mechanisms and Its Correlation with Simulation,” ACM International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), March 2016.
- [103] R. Doi, J. Hotate, T. Kishimoto, T. Higashi, H. Ochi, M. Tada, T. Sugibayashi, K. Wakabayashi, H. Onodera, Y. Mitsuyama, and M. Hashimoto, “Highly-Dense Mixed Grained Reconfigurable Architecture with Via-Switch,” ACM International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), March 2016.
- [104] U. Schlichtmann, M. Hashimoto, I. H.-R. Jiang, and B. Li, “Reliability, Adaptability and Flexibility in Timing, Buy a Life Insurance for Your Circuits (Invited),” Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 705-711, January 2016.
- [105] Y. Masuda, M. Hashimoto, and T. Onoye, “Performance Evaluation of Software-Based Error Detection Mechanisms for Localizing Electrical Timing Failures under Dynamic Supply Noise,” Proceedings of International Conference on Computer-Aided Design (ICCAD), pp. 315-322, November 2015.
- [106] S. Iizuka, Y. Masuda, M. Hashimoto, and T. Onoye, “Stochastic Timing Error Rate Estimation under Process and Temporal Variations,” Proceedings of International Test Conference (ITC), October 2015.
- [107] S. Hirokawa, R. Harada, M. Hashimoto, K. Sakuta, and Y. Watanabe, “Neutron-Induced Seu and Mcu Rate Characterization and Analysis of Sotb and Bulk Srams at 0.3v Operation,” IEEE Nuclear and Space Radiation Effects Conference (NSREC), July 2015.
- [108] M. Ueno, M. Hashimoto, and T. Onoye, “Real-Time On-Chip Supply Voltage Sensor and Its Application to Trace-Based Timing Error Localization,” Proceedings of International On-Line Testing Symposium (IOLTS), pp. 188-193, July 2015.
- [109] M. Hashimoto, “Run-Time Performance Adaptation, Opportunities and Challenges (Invited),” Proceedings of IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC), June 2015.
- [110] Kaminota, Tanno, Tamura, Kawasaki, “The Development of the Nano-Mist Sprayer and Its Application to Agriculture”. The Ninth International Conference on Genetic and Evolutionary Computing (ICGEC2015) Proceedings of ICGEC2015, Vol.2, pp.293-298, Aug 2015.
- [111] Sada, Tanno, Shimoyama, Abidin, Tamura, Toyama, “Low Offset Voltage Instrumentation Amplifier by Using Double Chopper Stabilization Technique”. The Ninth International Conference on Genetic and Evolutionary Computing (ICGEC2015) Proceedings of ICGEC2015, Vol.2, pp.299-309, Aug 2015.
- [112] Y. Takeuchi, S. H Kim, K. Takemasa, K. Kiuchi, K. Nagata, K. Kasahara, T. Okudaira, T. Ichimura, M. Kanamaru, K. Moriuchi, R. Senzaki, S. Yagi, H. Ikeda, S. Matsuura, T. Wada, T. Yoshida, S. Komura, K. Orihara, R. Hirose, Y. Kato, M. Hazumi, Y. Arai, S. Shiki, M. Ukibe, G. Fujii, T. Adachi, M. Ohkubo, E. Ramberg, J. H. Yoo, M. Kozlovsky, P. Rubinov, D. Sergatskov, H. Ishino, A. Kibayashi, S. Mima, S. B. Kim, “Development of Superconducting Tunnel Junction detectors as a far-infrared photon-by-photon spectrometer for neutrino decay search”. Instrumentation and Measurement Technology Conference (I2MTC), 2015 IEEE International, 551 - 555 (2015)
- [113] K. Kiuchi, S. H Kim, Y. Takeuchi, K. Takemasa, K. Nagata, K. Kasahara, T. Okudaira, T. Ichimura, M. Kanamaru, K. Moriuchi, R. Senzaki, S. Yagi, H. Ikeda, S. Matsuura, T. Wada, T. Yoshida, S. Komura, K. Orihara, R. Hirose, Y. Kato, M. Hazumi, Y. Arai, S. Shiki, M. Ukibe, G. Fujii, T. Adachi, M. Ohkubo, E. Ramberg, J. H. Yoo, M. Kozlovsky, P. Rubinov,

- D. Sergatskov, H. Ishino, A. Kibayashi, S. Mima, S. B. Kim, "Development FD-SOI MOSFET amplifiers for integrated read-out circuit of superconducting-tunnel-junction single-photon-detectors", Proceedings of International Workshop on SOI Pixel Detector, FERMILAB-CONF-15-355-E-TD (2015), arXiv.1507.07424
- [114] J. Bae, S. Radhapuram, I. Jo, T. Kihara, and T. Matsuoka, "A Low-Voltage Design of Digitally-Controlled Oscillator Based on the gm/ID Methodology," IEEE International Symposium on Radio-Frequency Integration Technology, Aug. 26-28, 2015, Sendai, Japan, pp. 187-189.
- [115] J. Bae, S. Radhapuram, I. Jo, T. Kihara, and T. Matsuoka, "A Low-Voltage Design of Controller-Based ADPLL for Implantable Biomedical Devices," IEEE Biomedical Circuits and Systems Conference, Oct. 22-24, 2015, Atlanta, Georgia, USA, pp. 478-481.
- [116] K. Ohhata, "[Invited paper]High-Speed, Low-Power Subranging ADCs," IEEE RFIT pp. 172-174, 2015 Aug..
- [117] T. Bartley, S. Tanaka, Y. Nonomura, T. Nakayama, Y. Hata, M. Muroyama, "Sensor Network Serial Communication System with High Tolerance to Timing and Topology Variations," 2015 IEEE SENSORS, pp.362-365, 2015 Nov.
- [118] T. Bartley, S. Tanaka, Y. Nonomura, T. Nakayama, M. Muroyama, "Delay Window Blind Oversampling Clock and Data Recovery Algorithm with Wide Tracking Range," ISCAS 2015, pp.1598-1601, 2015 May.
- [119] S. Asano, M. Muroyama, T. Batley, T. Nakayama, U. Yamaguchi, H. Yamada, Y. Hata, Y. Nonomura, S. Tanaka, "3-Axis Fully-Integrated Surface-Mountable Differential Capacitive Tactile Sensor by CMOS Flip-Bonding," IEEE MEMS 2016, pp.850-853, 2016 Jan.
- [120] Y.Tanaka and S.Wei, "An efficient diminished-1 modulo $2n+1$ multiplier using signed-digit number representation", IEEE TENCON 2015, Nov.2015.
- [121] Naoyuki Sakamoto, Antoine Frappe, Bruno Stefanelli, Andreas Kaiser and Yoshio Mita, "Wirell Drive of A MEMS Ciliary Motion Actuator via Coupled Magnetic Resonances Using Micro Inductors", Solis State Sensors and Actuators 2015. (TRANSDUCERS'15). Anchorage, USA, (2015.7)
- [122] Shu Inoue, Matthieu Denoual, Hussein Awala, Julien Grand, Sveltana Mintova, Agnes Tixier-Mita and Yoshio Mita, "Characterization of Zeolite-trench-embedded micro cantilevers with CMOS strain-gauge for integrated gas sensor applications", Extended Abstracts of the 2015 International Conference on Solid State Devices and Materials, September 28-30, Sapporo, Japan, pp. 800-801 (2015.09)
- [123] Isao Mori and Yoshio Mita, "Discharging-Phototransistor-Integrated High-Voltage Si Photovoltaic Cells for Fast Driving of an Electrostatic MEMS Actuator by Wavelength Modulation", Extended Abstracts of the 2015 International Conference on Solid State Devices and Materials, September 28-30, Sapporo, Japan, pp. 162-163 (2015.09)
- [124] Ryota Setoguchi, Eric Lebrasseur, Masanori Kubota and Yoshio Mita, "A strain-sensor-integrated test bed for electro mechanical characterization of VLSI probe", Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), 2015 Symposium on, Montpellier, (2015,4)
- [125] Yuki Okamoto, Eric Lebrasseur, Isao Mori and Yoshio Mita, "An End-point Visualization Test Structure for All Plasma Dry Release of Deep-RIE MEMS", 2016 IEEE Conference on Microelectronic Test Structures (ICMTS2016), March 28-31, Yokohama, Japan, (2016.3)
- [126] Syun Akutsu, Ikuo Yoshihara, and Moritoshi Yasunaga, "An Evolutionary Design Methodology for High Speed Point-to-Point Transmission Line Used in Printed Circuit Boards," Proc. International Symposium on Artificial Life and Robotics 2016 (AROB 21th'16), pp. 317-321, Ooita, Japan, January 2016.
- [127] Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Automatic wire-routing of SFQ digital circuits considering wire-length matching," 12th European Conference on Applied Superconductivity (EUCAS2015), 2M-E-O1.3, Lyon, France, Sep. 2015.
- [128] Jun Yao, Yasuhiko Nakashima, Kazutoshi Kobayashi, Makoto Ikeda, Wei Xue, Tomohiro Fujiwara, Ryo Shimizu, Masakazu Tanomoto, Yangtong Xu, Xinliang Wang, Weimin Zheng, "XStencil, a 7.1GFLOPS/W 16-Core Coprocessor with a Ring Structure for Stencil Applications", IEEE Symposium on Low-Power and High-Speed Chips 2015 (poster), Apr. (2015)
- [129] Masakazu Tanomoto, Shinya Takamaeda-Yamazaki, Jun Yao, Yasuhiko Nakashima, "A CGRA-based Approach for Accelerating Convolutional Neural Networks", 9th IEEE International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc-15) Turin, Italy, Sep.23-25, (2015)
- [130] Shohei Takeuchi, Shinya Takamaeda, Yasuhiko Nakashima, "A Distributed Memory Based Embedded CGRA for Accelerating Stencil Computations", Proc. 3rd Int'l Workshop on Computer Systems and Architectures(CSA15), pp.378-384, Dec. (2015)
- [131] Hisashi Kino, Hideto hashiguchi, Seiya Tanikawa, Youhei Sugawara, Shunsuke Ikegaya, Takafumi Fukushima, Mitsumasa Koyanagi, Tetsu Tanaka, "Consideration of Microbump Layout for Reduction of Local Bending Stress Due to CTE Mismatch in 3D IC," IEEE International 3D Systems Integration

Conference, pp. 260-263, 2015.

- [132] S. Tanikawa, H. Kino, T. Fukushima, M. Koyanagi, and T. Tanaka, "Novel Local Stress Evaluation Method in 3D IC Using DRAM Cell Array with Planar MOS Capacitors," IEEE International 3D Systems Integration Conference, pp. 59-61, 2015.
- [133] Seiya Tanikawa, Hideto Hashiguchi, Yohei Sugawara, Hisashi Kino, Takafumi Fukushima, Mitsumasa Koyanagi, Tetsu Tanaka, "Evaluation of 2-D Local Stress Distribution in Stacked IC Chip Using Stress-induced Retention Time Modulation of DRAM Cell Array," 2015 International Conference on Solid State Devices and Materials, pp. 790-791, 2015.
- [134] Takuma Iwagami, Takaharu Tani, Keita Ito, Satoru Nishino, Takuya Harashima, Koji Kiyoyama, and Tetsu Tanaka, "Area-Efficient and Wide-Range Impedance Analysis Circuit for Multichannel High Quality Brain Signal Recording System," 2015 International Conference on Solid State Devices and Materials, pp. 822-823, 2015.
- [135] Kohei Gamo, Kiichi Niitsu, and Kazuo Nakazato, "Noise-Immune Current-Integration-Based CMOS Amperometric Sensor Platform with $1.2 \mu\text{m} \times 2.05 \mu\text{m}$ Electroless-Plated Microelectrode Array for Robust Bacteria Counting," in Proc. IEEE Biomedical Circuits and Systems Conference (BioCAS 2015), Oct. 2015, pp. 539-542.
- [136] Kiichi Niitsu, Atsuki Kobayashi, Yudai Ogawa, Matsuhiko Nishizawa, and Kazuo Nakazato, "An Energy-Autonomous, Disposable, Big-Data-Based Supply-Sensing Biosensor Using Bio Fuel Cell and 0.23-V 0.25- μm Zero-V_{th} All-Digital CMOS Supply-Controlled Ring Oscillator with Inductive Transmitter" in Proc. IEEE Biomedical Circuits and Systems Conference (BioCAS 2015), Oct. 2015, pp. 595-598.
- [137] Keita Muto, Kiichi Niitsu, and Kazuo Nakazato, "A 1.8V-Input-Range Voltage-to-Current Converter Using Source Degeneration for Low-Noise Multimodal CMOS Biosensor Array," in Proc. International Conf. on Molecular Electronics and Bioelectronics (M&BE8), Jun. 2015.
- [138] Kiichi Niitsu, Kohei Yoshida, and Kazuo Nakazato, "A Low-Power CMOS Magnetic Cell Manipulation Platform Using Charge Recycling Technique," in Proc. International Conf. on Molecular Electronics and Bioelectronics (M&BE8), Jun. 2015.
- [139] Suiki Tanaka, Kiichi Niitsu, and Kazuo Nakazato, "An Inverter-Based CMOS Level-Crossing ADC for Low-Power Biosensing," in Proc. International Conf. on Molecular Electronics and Bioelectronics (M&BE8), Jun. 2015.
- [140] Kohei Gamo, Kiichi Niitsu, and Kazuo Nakazato, "A CMOS Current Integrator with $1.2\mu\text{m} \times 2.05 \mu\text{m}$ Electroless-Plated 1024×1024 Microelectrode Array for High-Sensitivity Bacteria Detection," in Proc. International Conf. on Molecular Electronics and Bioelectronics (M&BE8), Jun. 2015.
- [141] T. Matsuda, H. Demachi, H. Iwata, T. Hatakeyama, and T. Ohzone, "A Test Structure for Analysis of Metal Wire Effect on Temperature Distribution in Stacked IC," Proc. IEEE Int. Conf. on Microelectronic Test Structures, pp.22-26, 2015.
- [142] Mamoru Ugajin, Takuya Shindou, "Image-Rejection-Performance Assessment of Double-Conversion Wireless Receiver with 3-Phase Complex Filter Using Montecarlo Simulation", ISCIT2015, 299-302, 2015 年 10 月
- [143] T. Kawaguchi, M. Tanaka, K. Takagi, N. Takagi, "Demonstration of an 8-bit SFQ Carry Look-Ahead Adder Using Clockless Logic Cells," 15th International Superconductive Electronics Conference (ISEC 2015), July 2015
- [144] G. Tang, K. Takagi, N. Takagi, "A 4-bit Bit-Slice Multiplier for a 32-bit RSFQ Microprocessor," 15th International Superconductive Electronics Conference (ISEC 2015), July 2015
- [145] Y. Ando, R. Sato, M. Tanaka, K. Takagi, N. Takagi, "80-GHz Operation of an 8-bit RSFQ Arithmetic Logic Unit," 15th International Superconductive Electronics Conference (ISEC 2015), July 2015
- [146] M. Ohata, K. Ueda, K. Takagi, N. Takagi, "Logic Design of a Pattern Matching Circuit Based on Systolic Architecture Using Single-Flux-Quantum Circuits," 8th Superconducting SFQ VLSI Workshop (SSV 2015), July 2015
- [147] Tomoki Tanaka, Keiji Kishine, Daichi Omoto, Hiromi Inaba, and Akira Tsuchiya, "A 32-Gb/s output buffer circuit with doubled pre-emphasis in 65-nm CMOS," ICEIC2016
- [148] Daichi Omoto, Keiji Kishine, Hiromi Inaba, and Tomoki Tanaka, "Simple routing control system for 10-Gb/s data transmission using a frequency modulation technique," ICEIC2016 利用ファシリテイ: Cadence,
- [149] Norifumi Uno and Makoto Iwata, "Self-Timed MM-FFT Circuit and its Performance Evaluation," Proceedings of the 2015 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'15), pp.571-577, July 2015.
- [150] R. Ikeno, S. Maruyama, R. Iwashita, M. Takizawa, S. Sugatani, Y. Mita, M. Ikeda and K. Asada, "Electron-beam lithography with character projection exposure for throughput enhancement with line-edge quality optimization," SPIE Advanced Lithography, San Jose, California, United States, February 21-25, 2016.
- [151] T. Ikeda, M. Ikeda, "Comprehensive Study on Higher

- Order Radix RSA Cryptography Engine,” IEEE 11th International Conference on ASIC (ASICON), P2-72, Nov. 2015
- [152] Higa, Kinjo, “Study on Design of Quantum Fourier Transform Gate Emulator”, Proc. ICIIBMS2015, pp.99-100, 2015 年 11 月
- [153] Soya Taniguchi, Hiroshi Ito, Kota Ishikawa, Sota Kurokawa, Akihisa Tsune, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki, “Application of Superconducting Phase Shift Elements Made of Ferromagnetic Patterns to Single-Flux-Quantum Circuits for Reconfigurable Functions”, 15th International Superconductive Electronics Conference, Nagoya, Japan, 2015 年 7 月.
- [154] Sota Kurokawa, Akihisa Tsune, Hiroshi Ito, Soya Taniguchi, Kota Ishikawa, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki, “Reconfigurable Logic Gate of Quantum-Flux-Parametron Using Magnetic Material”, 15th International Superconductive Electronics Conference, Nagoya, Japan, 2015 年 7 月.
- [155] Masamitsu Tanaka, Kensuke Takata, Ryo Sato, Akira Fujimaki, T Kawaguchi, Yuki Ando, Kazuyoshi Takagi, Naofumi Takagi, Nobuyuki Yoshikawa, “Development of Bit-Serial RSFQ Microprocessors Integrated with Shift-Register-Based Random Access Memories”, 15th International Superconductive Electronics Conference, Nagoya, Japan, 2015 年 7 月.
- [156] Ryo Sato, Kensuke Takata, Masamitsu Tanaka, Akira Fujimaki, Naofumi Takagi, Kazuyoshi Takagi, “Low-Voltage Bit-Serial Single-Flux-Quantum Microprocessor for Integrating Memories”, 15th International Superconductive Electronics Conference, Nagoya, Japan, 2015 年 7 月.
- [157] Yuto Komura, Masamitsu Tanaka, Akira Fujimaki, Shuichi Nagasawa, Ali Bozbey, “Vortex Transitional Memory Developed with Nb 4-Layer, 10-kA/cm² Fabrication Process”, 15th International Superconductive Electronics Conference, Nagoya, Japan, 2015 年 7 月.
- [158] Misaki Kozaka, Yuma Kita, Kyohei Kamiya, Ali Bozbey, Mutsuo Hidaka, Takekazu Ishida, Akira Fujimaki, “Evaluation of Serially-Connected 500 Superconducting Strip-Line Detectors”, 15th International Superconductive Electronics Conference, Nagoya, Japan, 2015 年 7 月.
- [159] Kyohei Kamiya, Yuma Kita, Misaki Kozaka, Masamitsu Tanaka, Ali Bozbey, Akira Fujimaki, “Demonstration of Individual Readout of Serially-Connected Superconducting Strip Line Detectors”, 15th International Superconductive Electronics Conference, Nagoya, Japan, 2015 年 7 月.
- [160] Akira Fujimaki, Masamitsu Tanaka, Ryo Sato, Shuichi Nagasawa, Mutsuo Hidaka, “Japanese efforts on superconducting supercomputers”, 12th European Conference on Applied Superconductivity, Lyon, France, 2015 年 9 月.
- [161] Soya Taniguchi, Hiroshi Ito, Kouta Ishikawa, Sota Kurokawa, Akihisa Tsune, Masamitsu Tanaka, Hiroyuki Akaike, Akira Fujimaki, “Programmable single-flux-quantum circuits based on superconducting phase shift elements made of ferromagnetic patterns”, 12th European Conference on Applied Superconductivity, Lyon, France, 2015 年 9 月.
- [162] Akira Fujimaki, Yuma Kita, Kyohei Kamiya, Misaki Kozaka, Masamitsu Tanaka, Ali Bozbey, Takekazu Ishida, Shuichi Nagasawa, Mutsuo Hidaka, “Demonstration of Multi-pixel Operations of Serially-Connected Superconducting Stripline Detectors Combined with Superconducting Digital Readout Circuits”, 12th European Conference on Applied Superconductivity, Lyon, France, 2015 年 9 月.
- [163] Masamitsu Tanaka, Ryo Sato, Yuki Hatanaka, Akira Fujimaki, “Shunt-Resistor-Free Rapid Single Flux Quantum Circuits with Low-Voltage Driving Technique”, 28th International Symposium on Superconductivity, Tokyo, Japan, 2015 年 11 月.
- [164] Ryo Sato, Masamitsu Tanaka, Akira Fujimaki, “Low-Power, High-Density Shift-Register-Based Memory Developed for Bit-Serial Rapid Single Flux Quantum Microprocessors”, 29th International Symposium on Superconductivity, Tokyo, Japan, 2015 年 11 月.
- [165] S. Morishita, S. Shimizu, T. Kihara and T. Yoshimura, “Subharmonically injection-locked PLL with variable pulse-width injections,” IEEE International Symposium on Circuits and Systems (ISCAS), pp. 557 - 560, 2015.
- [166] Kouhei Nagasawa, Shota Fujioka, Kazuaki Watanabe, Yohtaro Umeda, and Yusuke Kozawa, “Power-amplifier inserted transversal filter using high-order pass band,” 2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 124-126, Sendai, Japan, Aug. 2015.
- [167] Noriyuki Miura, Daisuke Fujimoto, Makoto Nagata, “Proactive and Reactive Protection Circuit Techniques Against EM Leakage and Injection,” Proc. Joint IEEE International Symposium on Electromagnetic Compatibility and EMC Europe (EMC 2015), #SS-1-7, pp. 252-257, Aug. 2015.
- [168] Noriyuki Miura, Daisuke Fujimoto, Makoto Nagata, Naofumi Homma, Yuichi Hayashi, Takafumi Aoki, “EM Attack Sensor, Concept, Circuit, and Design-Automation Methodology (Invited),” Proc. ACM Design Automation Conference 2015 (DAC 2015), #69.2, pp. 1-6, June 2015.
- [169] Kohki Taniguchi, Noriyuki Miura, Taisuke Hayashi,

- Makoto Nagata, "At-Product-Test Dedicated Adaptive Supply-Resonance Suppression," Proc. 2015 IEEE 33rd VLSI Test Symposium (VTS 2015), #06A-1, pp. 127-130, May. 2015
- [170] Makoto Nagata, Noriyuki Miura, Sho Muroga, Satoshi Tanaka, Masahiro Yamaguchi, "On-Chip and On-Board RF Noise Coupling and Impacts on LTE Wireless Communication Performance (Invited)," Proceedings of 2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT 2015), pp. 7-9, WE1A-3, 2015.8.26.
- [171] Makoto Nagata, Kohki Taniguchi, Noriyuki Miura, "Adaptive Suppression of Power Delivery Network Resonance with Chip-Package-Board Interaction (Invited)," Proceedings of ICDV 2015/VJMW2015, pp. 58-60, 2015.8.10.
- [172] D. Zhou, S. Wang, H. Sun, J. Zhou, J. Zhu, Y. Zhao, J. Zhou, S. Zhang, S. Kimura, T. Yoshimura, S. Goto "A 4Gpixel/s 8/10b H.265/HEVC video decoder chip for 8K Ultra HD applications," Proc. IEEE ISSCC (International Solid-State Circuits Conference), pp.266-268, Feb. 2016.
- [173] M. Shiozaki, T. Nakai, A. Takeuchi, T. Nishimura, T. Kubota, T. Fujino, "Tamper-Resistant Authentication System with Side-Channel Attack Resistant AES and PUF using MDR-ROM", ISCAS, pp.1462-1465, 2015
- [174] Matsuzuka, Hirose, Shizuku, Kuroki, Numa, "A 0.19-V Minimum Input Low Energy Level Shifter for Extremely Low-Voltage VLSIs," Proceedings of the 2015 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 2948-2951, May, 2015.
- [175] Akihara, Hirose, Tanaka, Kuroki, Numa, Hashimoto, "A Wireless Power Transfer System for Small-Sized Sensor Applications," Extended abstract of the 2015 International Conference on Solid State Devices and Materials (SSDM 2015), pp. 154-155, Sep., 2015.
- [176] Kojima, Hirose, Tsubaki, Ozaki, Asano, Kuroki, Numa, "A Fully On-Chip Switched-Capacitor DC-DC Power Converter with Startup/Fail-Safe Circuit," Extended abstract of the 2015 International Conference on Solid State Devices and Materials (SSDM 2015), pp. 158-159, Sep, 2015.
- [177] Ozaki, Hirose, Asano, Kuroki, Numa, "A Fully-Integrated, High-Conversion-Ratio and Dual-Output Voltage Boost Converter with MPPT for Low-Voltage Energy Harvesting," Proc. of Tech. Papers, IEEE Asian Solid-State Circuits Conference 2015 (A-SSCC 2015), pp. 297-300, Nov., 2015.
- [178] Yuji Yokota, Hiroshi Ochi, Shingo Yoshizawa, "ASIP Implementation of A Low Complexity Iterative BD Precoder for MU-MIMO System," IEEE International Symposium on Communications and Information Technologies (ISCIT), pp.227-280, Oct. 2015
- [179] Shingo Yoshizawa, Hiroshi Tanimoto, "A Low Power OFDM Receiver Monitoring Subcarrier SNRs in Time-Varying Fading Channels," IEEE International Symposium on Communications and Information Technologies (ISCIT), pp.229-232, Oct. 2015.
- [180] Hisato Takehata, Toshiki Sugimoto, Hiroshi Tanimoto, Shingo Yoshizawa, "FPGA Implementation of Stochastic Flash A-to-D Converter and Its Evaluation," IEEE International Symposium on Communications and Information Technologies (ISCIT), pp.311-314, Oct. 2015.
- [181] Toshiki Sugimoto, Hiroshi Tanimoto, Shingo Yoshizawa, "A Stochastic Flash A-to-D Converter with Dynamic Element Matching Technique," IEEE International Symposium on Communications and Information Technologies (ISCIT), pp.307-310, Oct. 2015.
- [182] Tomohiro Yoneda, Masashi Imai, Hiroshi Saito, Kenji Kise, "Dependable Real-Time Task Execution Scheme for a Many-Core Platform," Proc. DFTS2015, pp.198-205, Oct., 2015
- [183] Tomohiro Yoneda, Masashi Imai, "A New Encoding Mechanism for Low Power Inter-Chip Serial Communication in Asynchronous Circuits," Proc. ICCD2015 Poster session, pp.424-427, Oct., 2015
- [184] Fukuhara, Urakami, Hayakawa, Ueda, Harada, Fujimoto and Yoshida, "Proposal of a Hamming distance search CAM with neuron CMOS A/D converters," Proceedings of ICEIT2016, pp.80-88, January 2016.
- [185] M. Yamaguchi, S. Uenohara, T. Morie, H. Tamukoh, and K. Aihara, "Measurement and Analysis of a CMOS Chaotic Spiking Oscillator Circuit That Acts as a Filter of Spike Trains", Proc. of the 2015 Int. Symp. on Nonlinear Theory and its Applications (NOLTA2015), pp. 515-518, Hong Kong, China, Dec., 2015.
- [186] T. Fujimori, M. Watanabe, "Radiation tolerance of a MEMS mirror device," International Conference on Optical MEMS and Nanophotonics, Singapore, July, 2016.
- [187] Y. Ito, M. Watanabe, "100 Mrad total-ionizing-dose tolerance demonstration of a holographic memory for optically reconfigurable gate arrays," International Conference on Mechanical and Aerospace Engineering, London, UK, July, 2016.
- [188] T. Fujimori, M. Watanabe, "Architecture-independence negative logic implementation for optically reconfigurable gate arrays," International Conference on Mechanical and Aerospace Engineering, London, UK, July, 2016.
- [189] K. Akagi, M. Watanabe, "A 180 Mrad Total-Ionizing Dose Experiment for Laser Arrays on Optically Reconfigurable Gate Arrays," 25th Annual Single

- Event Effects (SEE) Symposium, San Diego, USA, May, 2016.
- [190] T. Fujimori, M. Watanabe, "Full FPGA Game Machine," IEEE International Conference on Consumer Electronics, pp.431-432, Las Vegas, USA, Jan., 2016.
- [191] T. Akabe, M. Watanabe, "Reconfiguration performance recovery method on optically reconfigurable gate arrays," International Conference on VLSI Design, pp. 603-604, Kolkata, India, Jan., 2016.
- [192] M. Watanabe, "Sustainable advantage of a parallel configuration in an optical FPGA," IEEE/SICE International Symposium on System Integration, pp. 807-810, Nagoya, Japan, Dec., 2015.
- [193] M. Seo, M. Watanabe, "Optically Reconfigurable Gate Array Prototype System," The 1st RIS-MJIIT Workshop on Renewable and Sustainable Integrated Systems, 2015.
- [194] K. Akagi, M. Watanabe, "Radiation tolerance experiments of a laser array on an optically reconfigurable gate array," The 1st RIS-MJIIT Workshop on Renewable and Sustainable Integrated Systems, 2015.
- [195] T. Fujimori, T. Akabe, Y. Ito, K. Akagi, S. Furukawa, H. Shinba, A. Tanibata, M. Watanabe, "FPGA Trax Solver based on a Neural Network Design," International Conference on Field-Programmable Technology, pp. 260-263, Queenstown, New Zealand, Dec. 2015.
- [196] Yoshizumi Ito, M. Watanabe, "Triple modular redundancy on parallel-operation-oriented optically reconfigurable gate arrays," IEEE International Conference on Aerospace Electronics and Remote Sensing Technology, pp. 1-6, Bali, Indonesia, Dec. 2015.
- [197] M. Watanabe, "Total-ionizing-dose tolerance analysis of an optically reconfigurable gate array VLSI," IEEE International Conference on Aerospace Electronics and Remote Sensing Technology, pp. 1-4, Bali, Indonesia, Dec. 2015.
- [198] M. Watanabe, "Fresnel Lens Radiation Shield for Photodiode," IEEE International Conference on Space Optical Systems and Applications, pp. 1-2, New Orleans, USA, Oct. 2015.
- [199] K. Akagi, M. Watanabe, "100 Mrad Total-Ionizing Dose Tolerance Experiment of a Laser Array," IEEE International Conference on Space Optical Systems and Applications, pp. 1-3, New Orleans, USA, Oct. 2015.
- [200] M. Watanabe, "Triple Modular Redundancy on Parallel-Operation- Oriented FPGA Architectures for Optical Communications," IEEE International Conference on Space Optical Systems and Applications, pp. 1-4, New Orleans, USA, Oct. 2015.
- [201] Hiroyuki Ito, M. Watanabe, "Total-Ionizing Dose Tolerance of the Serial Configuration on Cyclone II FPGA," IEEE International Conference on Space Optical Systems and Applications, pp. 1-4, New Orleans, USA, Oct. 2015.
- [202] K. Akagi, M. Watanabe, "Investigating the radiation tolerance of a laser array for an optically reconfigurable gate array," Microoptics Conference (MOC'15), pp. 1-2, Fukuoka, Japan, Oct. 2015.
- [203] A. Ogiwara, M. Watanabe, "Effect of laser exposure condition on formation of holographic memory by angle-multiplexing recording using liquid crystal composites," Microoptics Conference (MOC'15), pp. 1-2, Fukuoka, Japan, Oct. 2015.
- [204] A. Ogiwara, M. Watanabe, "Formation of Holographic Memory by Angle-multiplexing Recording in Liquid Crystal Composites," The 11th conference on lasers and electro-optics pacific rim, pp. 27P-96, Busan, Korea, Aug. 2015.
- [205] M. Watanabe, T. Fujimori, "Holographic scrubbing technique for a programmable gate array," NASA/ESA Conference on Adaptive Hardware and Systems, pp. 1-5, Montreal, Canada, June, 2015.
- [206] T. Fujimori, M. Watanabe, "Radiation-hardened Optically Reconfigurable Gate Array Using a Negative Logic Configuration without Necessity of a Dedicated VLSI," 24th Annual Single Event Effects (SEE) Symposium, San Diego, USA, May, 2015.
- [207] M. Watanabe, "Design of a parallel-operation-oriented FPGA," International Symposium on Next-Generation Electronics, pp. 1 -4, Taipei, Taiwan, May, 2015.
- [208] K. Akagi, M. Watanabe, "High-resolution configuration of optically reconfigurable gate arrays," International Symposium on Next-Generation Electronics, pp. 1-4, Taipei, Taiwan, May, 2015.
- [209] R. Moriwaki, H. Ito, K. Akagi, M. Watanabe, A. Ogiwara, H. Makawa, "Total ionizing dose effects of optical components on an optically reconfigurable gate array," International Workshop on Applied Reconfigurable Computing, Lecture Notes in Computer Science, Vol. 9040, pp. 393-400, Bochum, Germany, April, 2015.
- [210] K. Takano, K. Katayama, T. Yoshida, S. Amakawa and M. Fujishima, "124-GHz CMOS quadrature voltage-controlled oscillator with fundamental injection locking", A-SSCC2015, pp.1-4, Nov. 2015.
- [211] Y. Miura and T. Ikeda, "A Method of LSI Aging Estimation Using Ring Oscillators," Proc. IEEE European Test Symposium, 2015
- [212] Anek Wuthayavanich, Makito Haruta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Development of a small imaging device and USB operating system for detecting nitric oxide," Bio4Apps 2015, Dec. 10, 2015, 九州大学伊都キャンパス.

- [213] Hajime Hayami, "Development of Implantable Image Sensor for Wireless Image Transmission based on Intra-body Communication," 2015 GIST-NAIST-NCTU Joint Symposium, Nov. 19, 2015, NCTU, 台湾.
- [214] Hironari Takehara, Mizuki Nagasaki, Kiyotaka Sasagawa, Hiroaki Takehara, Toshihiko Noda, Takashi Tokuda, Hiroyuki Noji, Jun Ohta, "High Coupling Efficiency Contact Imaging System Having Micro Light Pipe Array for a Digital Enzyme-Linked Immunosorbent Assay," Biomedical Circuits and Systems Conference 2015 (BioCAS2015), Oct. 24, 2015, Historic Academy of Medicine in Atlanta, America.
- [215] Takashi Tokuda, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, and Jun Ohta, "CMOS-Based on-Chip Neural Interface Devices for Optogenetics," Biomedical Circuits and Systems Conference 2015 (BioCAS2015), Oct. 23, 2015, Historic Academy of Medicine in Atlanta, America.
- [216] Kiyotaka Sasagawa, Takahiro Yamaguchi, Makito Haruta, Yoshinori Sunaga, Hironari Takehara, Mayumi Motoyama, Yasumi Ohta, Hiroaki Takehara, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Image processing technique for an implantable image sensor with self-resetting function," Neuroscience2015 SfN 45th annual meeting, Oct. 18, 2015, McCormick Place Convention Center, Chicago, USA.
- [217] Makito Haruta, Yoshinori Sunaga, Takahiro Yamaguchi, Hironari Takehara, Yasumi Ohta, Mayumi Motoyama, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta., "An implantable hemodynamic imaging device for revealing relation between a blood flow and brain activity in animal behavior," Neuroscience2015 SfN 45th annual meeting, Oct. 21, 2015, McCormick Place Convention Center, Chicago, USA.
- [218] Toshikazu Kawamura, Tomohiro Hirai, Hironari Takehara, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Teru Okitsu, Shoji Takeuchi and Jun Ohta, "CMOS-Based Implantable Glucose Monitoring Device with Glucose-Responsive Fluorescent Hydrogel," Optical Society of America 99th Annual Meeting, Oct. 19, 2015, The Fairmont San Jose.
- [219] Yoshinori Sunaga, Hiroshi Yamaura, Makito Haruta, Takahiro Yamaguchi, Mayumi Motoyama, Yasumi Ohta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yumiko Yoshimura and Jun Ohta, "Improvement of green fluorescence imaging system based on implantable CMOS imaging device for freely moving mice," Neuroscience2015 SfN 45th annual meeting, Oct. 21, 2015, McCormick Place Convention Center, Chicago, USA.
- [220] Yasumi Ohta, Mayumi Motoyama, Makito Haruta Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Visualizing neuronal activities of the deep brain in a freely-moving mouse by using implantable micro imaging devices," Society for Neuroscience 45th annual meeting, Oct. 18, 2015, McCormick Place Convention Center, Chicago, USA.
- [221] Hiroaki Takehara, Yasumi Ohta, Mayumi Motoyama, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "An Implantable Needlelike Shaped Device and Its Performance in Lensless Fluorescence Imaging of Biological Tissues," 2015 International Conference on Solid State Devices and Materials, Sep. 30, 2015, Sapporo Convention Center.
- [222] Hajime Hayami, Kengo Nagata, Makito Haruta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Wireless Data Transmission in a Brain Tissue with Intra-Body Communication by a Micro-Sized Image Sensor," 2015 International Conference on Solid State Devices and Materials, Sep. 28, 2015, Sapporo Convention Center.
- [223] Takahiro Yamaguchi, Yoshinori Sunaga, Makito Haruta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Improvement of Power Consumption and SNR of Self-reset Pixels for an Implantable CMOS Image Sensor," 2015 International Conference on Solid State Devices and Materials, Sep. 28, 2015, Sapporo Convention Center.
- [224] Makito Haruta, Yoshinori Sunaga, Takahiro Yamaguchi, Hironari Takehara, Yasumi Ohta, Mayumi Motoyama, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "An Implantable Hemodynamic Imaging Device for Observing the Process of Recovery from Cerebrovascular Disease," 37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Aug. 28, 2015, MiCo, Milano Conference Center.
- [225] Toshihiko Noda, Takumi Fujisawa, Ryohei Kawasaki, Hiroyuki Tashiro, Hiroaki Takehara, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Fabrication and Functional Demonstration of a Smart Electrode with a Built-in CMOS Microchip for Neural Stimulation of a Retinal Prosthesis," 37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Aug. 27, 2015, MiCo, Milano Conference Center.
- [226] Makito Haruta, Yoshinori Sunaga, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "An implantable hemodynamic imaging device with a two-color light source for observing two

- brain phenomena,” (invited) 2015 INTERNATIONAL SYMPOSIUM FOR ADVANCED MATERIALS RESEARCH, Aug. 19, 2015, SUN MOON LAKE TEACHERS’HOSTEL.
- [227] Hironari Takehara, Mizuki Nagasaki, Kiyotaka Sasagawa, Hiroaki Takehara, Toshihiko Noda, Takashi Tokuda, Hiroyuki Noji, and Jun Ohta, “A micro light pipe array with an excitation attenuation filter for lensless digital enzyme-linked immunosorbent assay,” *M&BE8*, Jun. 23, 2015, タワーホール船堀.
- [228] Yoshinori Sunaga, Hiroshi Yamaura, Makito Haruta, Takahiro Yamaguchi, Mayumi Motoyama, Yasumi Ohta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Yumiko Yoshimura and Jun Ohta, “Implantable Imaging Device for Brain Functional Imaging System using Flavoprotein Fluorescence,” *M&BE8*, Jun. 22, 2015, タワーホール船堀.
- [229] Hiroaki Takehara, Makito Haruta, Yasumi Ohta, Mayumi Motoyama, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, “Implantable semiconductor imaging devices for in vivo optical imaging of brain,” *The Optics in the Life Sciences Congress, Optics and the Brain, BrW1B.3*, Apr. 15, 2015, Pinnacle Vancouver Harbourfront Hotel, Canada.
- [230] 岩崎聡, 野口知暉, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “分散型アーキテクチャによる広範囲被覆可能な埋込型の光電気 BMI デバイス,” 応用物理学会春季学術講演会, 20a-W331-2, 2016年3月20日, 東工大 大岡山キャンパス.
- [231] 張春旭, 梅傑, 吉原, “An Output Capacitor-less Low Dropout Regulator with Quick-Responding Circuits”, *ISOCC2015*, 2015年11月
- [232] Tomoya Ishii, Shogo Hachiya, Sheyang Ning, Masahiro Tanaka, Ken Takeuchi, “0.6 V operation, 26% smaller voltage ripple, 9% energy efficient boost converter with adaptively optimized comparator bias-current for ReRAM program in low power IoT embedded applications”, *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp1-4, Nov. 2015,
- [233] M. Tanaka, S. Hachiya, T. Ishii, S. Ning and K. Takeuchi, “A 1.0 V Operation, 65% Faster Set/Reset Voltage (3V) Generator for 3D-integrated ReRAM and NAND Flash Hybrid Solid-State Drive,” *Solid State Devices and Materials (SSDM)*, pp. 1200-1201, 2015.
- [234] K. Kato, Y. Takahashi, and T. Sekine, “A 4×4 -bit multiplier LSI implementation of two phase clocking subthreshold adiabatic logic,” *Proc. IEEE NEWCAS 2015, Session 8B, Digital Circuits and Architectures for Processing*, 4pages, June 7-10, Grenoble, France.
- [235] Tomoya Kimura and Hiroyuki Ochi, “A -0.5V-input Voltage Booster Circuit for On-chip Solar Cells in 0.18 μ m CMOS Technology,” 15th International Symposium on Communications and Information Technologies (ISCIT 2015), pp.193-196, Oct. 2015.
- [236] Hiroyuki Ito, Atsushi Shirane, Noboru Ishihara and Kazuya Masu, “An Ultra-Low-Power 32QAM RF Transmitter,” *IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, pp. 16-18, 2015.
- [237] Hiroyuki Ito, Atsushi Shirane, Sho Ikeda, Yosuke Ishikawa, Noboru Ishihara and Kazuya Masu, “Ultra-Low-Power RF Transceiver Technology for Sensor Network Application,” *The 6th International Conference on Integrated Circuits, Design, and Verification*, 2015.
- [238] Motohiro Takayasu, Toshiaki Gonda, Yosuke Ishikawa, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, “An RF Universal Board for SSOP Elements,” *Vietnam-Japan Microwave (VJMW 2015)*, Ho Chi Minh City University of Science, Ho Chi Minh City, Vietnam, Aug. 10-11, 2015.
- [239] Motohiro Takayasu, Toshiaki Gonda, Yosuke Ishikawa, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, “An RF Universal Board for SSOP Elements,” *Thailand-Japan MicroWave (TJMW 2015)*, Chulalongkorn University, Bangkok, Thailand, Aug. 6-8, 2015.
- [240] Noboru Ishihara, and Kazuya Masu, “Innovation challenges from materials, devices and circuits in IoT/IoE era,” *Thailand-Japan MicroWave 2015 (TJMW 2015)*, Chulalongkorn University, Bangkok, Thailand, Aug. 6-8, 2015, SA3-01, 2015.
- [241] Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, “Ultra-low power wireless transceiver systems for biomedical application,” in *Proc. 3rd International Conference on Integrative Biology, Melia Valencia, Valencia, Spain, Aug. 4-6, 2015*, pp. 88.
- [242] Yosuke Ishikawa, Sang_yeop Lee, Shin Yonezawa, Sho Ikeda, Yiming Fang, Taisuke Hamada, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, “A 0.5-V 1.56-mW 5.5-GHz RF Transceiver IC Module with J-Shaped Folded Monopole Antenna,” *Circuits and Systems (ISCAS)*, 2015 IEEE International Symposium on, Cultural Centre of Belem, Lisbon, Portugal, May 24, 2015, pp.1218-1221.
- [243] 久保, 四ツ田, 高坂, 中野, “A Design of Transimpedance Amplifier Using OTA as a Feedback Resistor for Patch-Clamp Measurement System”, *ISPACS2015*, pp307-311, 2015年11月
- [244] 南, 渡邊, 折原, 中野, “Bootstrap Charge Pump DC-DC Boost Converter using Multi Capacitors for Operating in Subthreshold Region”, *IEICE ICDV 2015*, 2015年8月10日-11日
- [245] A. Odoriba, S. Umezumi, M. Hashizume, H. Yotsuyanagi, A. A. B. Fara, S-K. Lu, “A Testable Design for

- Electrical Interconnect Tests of 3D ICs", Proc. 2015 International Conference on Electronics Packaging and iMAPS All Asia Conference, pp.718-722, April 2015.
- [246] Y. Ikiri, M. Hashizume, H. Yotsuyanagi, H. Yokoyama, T. Tada, S-K. Lu, "Repair Circuit of TSVs in a 3D Stacked Memory IC", Proc. International Technical Conference on Circuits/Systems, Computers and Communications 2015, pp.431-434, June 2015.
- [247] D. Suga, H. Yotsuyanagi, H. Yotsuyanagi, M. Hashizume, "Electrical Test for Open Defects in CMOS ICs by Injected Charge", Proc. International Technical Conference on Circuits/Systems, Computers and Communications 2015, pp.653-656, June 2015.
- [248] M. Hashizume, S. Saijyo, H. Yotsuyanagi "Electrically Testable CMOS Image Pixel Circuit", Proc. IEEE 2015 European Conference on Circuit Theory and Design, pp.1-4, Aug. 2015.
- [249] K. Nanbara, A. Odoriba, M. Hashizume, H. Yotsuyanagi, S-K. Lu, "Electrical Interconnect Test of 3D ICs Made of Dies without ESD Protection Circuits with a Built-in Test Circuit", Proc. IEEE 3D System Integration Conference 2015, pp.TS8.22.1-TS8.22.5, Sep. 2015.
- [250] D. Suga, M. Hashizume, H. Yotsuyanagi, S-K. Lu, "Electrical Interconnect Test Method of 3D ICs by Injected Charge Volume", Proc. IEEE 3D System Integration Conference 2015, pp.TS8.19.1-TS8.19.5, Sep. 2015.
- [251] H. Yotsuyanagi, A. Fujiwara, M. Hashizume "On TSV Array Defect Detection Method Using Two Ring-oscillators Considering Signal Transitions at Adjacent TSVs", Proc. IEEE 3D System Integration Conference 2015, pp.TS8.24.1-TS8.24.4, Sep. 2015.
- [252] A. Odoriba, M. Hashizume, S. Umezu, H. Yotsuyanagi, "A Design for Testability with nMOS Switches to Detect Open pins in Assembled PCBs", Proc. International Design and Concurrent Engineering Conference 2015, pp.31-1-31-6, Sep. 2015.
- [253] M. Hashizume, S. Umezu, Y. Ikiri, A. A. B. Fara, H. Yotsuyanagi, S-K. Lu "Electrical Interconnect Test Method of 3D ICs without Boundary Scan Flip Flops", Proc. IEEE CPMT Symposium Japan 2015, pp.136-139, Nov. 2015.
- [254] M. Hashizume, S. Umezu, Y. Ikiri, H. Yotsuyanagi, S-K. Lu, "Test Circuit for Electrical Interconnect Tests of 3D ICs without Boundary Scan Flip Flops", Proc. the 16th IEEE Workshop on RTL and High Level Testing, pp.23-28, Nov. 2015.
- [255] M. Hashizume, Y. Ikiri, S. Umezu, A. A. B. Fara, H. Yotsuyanagi, S-K. Lu, "Feasibility of Electrical Test for Open Defects at Address Bus in 3D Memory IC", Proc. International Forum on Advanced Technologies 2016, pp.51-53, March 2016.
- [256] Y. Ikiri, M. Hashizume, H. Yotsuyanagi, H. Yokoyama, T. Tada, S-K. Lu, "Die Design for Cost reduction of 3F Stacked Memory ICs", Proc. International Forum on Advanced Technologies 2016, pp.79-80, March 2016.
- [257] A. A. B. Fara, A. Odoriba, M. Hashizume, S. Umezu, H. Yotsuyanagi, S-K. Lu, "Electrical Tests of Capacitive Open Defects at BGA ICs in Assembled PCB", Proc. International Forum on Advanced Technologies 2016, pp.229-231, March 2016.
- [258] H. Hayashi, "Miniaturized broadband three-way power divider with 120° phase differences between output ports," 2016 German Microwave Conference (GeMiC), Bochum, 2016, pp. 50-52.
- [259] Rei Ueno, Naofumi Homma, Yukihiko Sugawara, Yasuyuki Nogami, and Takafumi Aoki, "Highly Efficient GF(2⁸) Inversion Circuit Based on Redundant GF Arithmetic and Its Application to AES Design," Workshop on Cryptographic Hardware and Embedded Systems (CHES), pp. 63-80, September 2015.
- [260] Rei Ueno, Naofumi Homma, Yukihiko Sugawara, and Takafumi Aoki, "Formal Design of Galois-Field Arithmetic Circuits Based on Polynomial Ring Representation," International Symposium on Multiple-Valued Logic (ISMVL), pp. 54-59, May 2015.
- [261] S. Moriya, H. Akima, S. Kawakami, M. Yano, K. Nakajima, M. Sakuraba and S. Sato, "A neural network model for detecting planar orientation and time-to-collision from local image motion", Proc. The 4th RIEC International Symposium on Brain Functions and Brain Computer, Sendai, Japan, P-4, Feb. 23-24, 2016.
- [262] H. Akima, S. Moriya, S. Kawakami, M. Yano, K. Nakajima, M. Sakuraba and S. Sato, "VLSI implementation of a neural network model for detecting planar surface from local image motion", Proc. The 3rd International Symposium on Brainware LSI, Sendai, Japan, Feb. 26-27, 2016.
- [263] Y. Ma and T. Endoh, "A High-Speed Pattern Matching Processor Employing Adaptive Nonlinear Similarity Evaluation for Visual-Attention-Based Object Recognition", Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2015), 6A-3, pp. 326-331, Jeju KAL Hotel, Jeju Island, Korea, June 29-July 1, 2015.
- [264] T. Sasaki, M. Muraguchi, T. Shinada and T. Endoh, "A Study of Strain Profile in Channel Region of Vertical MOSFET for Improving Drivability" 2015 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), pp. 25-32, Jeju Island, Korea, June 29-July 1, 2015.
- [265] K. Maezawa, Y. Kakutani, T. Nakayama, T. Tajika, M.

- Mori, "A resonant tunneling delta-sigma modulator and its application to strain sensors," 2015 Workshop on Compound Semiconductor Devices and Integrated Circuits, 2015 年 6 月.
- [266] E. Umemura, M. Mori, T. Sakamoto, H. Shimoyama, K. Maezawa, "Heteroepitaxial growth of InSb films on Si (100) substrate with micro facet structures," The 5th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2015), 2015 年 6 月.
- [267] F. Shimizu, K. Hosotani, T. Ito, M. Mori, K. Maezawa, "MOSFETs Based on InSb/Si (111) Heterostructures Having Various Oxide Layers," 2015 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2015), 2015 年 6 月.
- [268] K. Maezawa, "Ultrahigh frequency circuits and a novel integration technology for resonant tunneling diodes." The 6th International Conference on Integrated Circuits, Design, and Verification (ICDV 2015) /2015 Vietnam Japan MicroWave (VJMW 2015), 2015 年 8 月.
- [269] S. Yamada, H. Sakamoto, J. Nakano, M. Mori and K. Maezawa, "InP HEMT micro blocks transplanted on Si substrates using Ga micro bumps," Topical Workshop on Heterostructure Microelectronics 2015 (TWHM 2015), 2015 年 8 月.
- [270] K. Hu, J. Pan, M. Mori, K. Maezawa, "A Resonant Tunneling Super Regenerative Detector with Input/Output Isolation and Improved Sensitivity," International Conference on Solid State Devices and Materials (SSDM 2015), 2015 年 9 月.
- [271] D. Nakano, M. Mori, K. Maezawa, H. Ishii, H. Andoh, "Proposal of a Simple MEMS Phase Shifter Based on Effective Dielectric Constant Modulation," International Conference on Solid State Devices and Materials (SSDM 2015), 2015 年 9 月.
- [272] Yosuke Watanabe, Ippei Takano, and Masaya Tamura, "Basic Study on Wireless Power Transfer in Shielded Space with Scatterers Based on Waveguide Theory," Asian Wireless Power Transfer Workshop 2015, New Taipei, Dec. 2015.
- [273] Kyohei Yamamoto, Yasumasa Naka, and Masaya Tamura, "Extraction of Complex Permittivity for Liquid Phase under RF High Power," Asian Wireless Power Transfer Workshop 2015, New Taipei, Dec. 2015.
- [274] Kyohei Yamada, Naoki Sakai and Takashi Ohira, "Impedance Matching Circuit Optimization for a Miniature EVER System from Hyperbolic Geometry," Asian Wireless Power Transfer Workshop 2015, New Taipei, Dec. 2015.
- [275] Fujiwara, Matsumoto, Matsuda, "Design of Low Power ASIC and Front-end Circuit for Human Monitoring System", SMC2015, October 2016
- [276] Kotaro Terada, Masao Yanagisawa, and Nozomu Togawa, "A Floorplan-Driven High-Level Synthesis Algorithm with Multiple-Operation Chainings based on Path Enumeration," 2015 IEEE International Symposium on Circuits and Systems (ISCAS 2015), pp. 2129-2132, Lisbon, Portugal, May 27, 2015.
- [277] Kazushi Kawamura, Yuta Hagio, Youhua Shi, and Nozomu Togawa, "A Floorplan-Aware High-Level Synthesis Technique with Delay-Variation Tolerance," IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC 2015), pp. 122-125, Singapore, Singapore, June 2, 2015.
- [278] K. Igawa, Y. Shi, M. Yanagisawa, and N. Togawa, "A process-variation-aware multi-scenario high-level synthesis algorithm for distributed-register architectures," in Proc. of IEEE International SoC Conference, pp. 7-12, Beijing, China, September 9, 2015.
- [279] K. Ito, Y. Tamiya, M. Yanagisawa, and N. Togawa, "Partitioning-Based Multiplexer Network Synthesis for Field-Data Extractors," in Proc. of IEEE International SoC Conference, pp. 263-268, Beijing, China, September 10, 2015.
- [280] S. Yoshida, Y. Shi, M. Yanagisawa, and N. Togawa, "Improved Monitoring-Path Selection Algorithm for Suspicious Timing Error Prediction based Timing Speculation," 2015 IEEE 11th International Conference on ASIC, Chengdu, China, November 5, 2015.
- [281] Tatsuro Kojo, Masashi Tawada, Masao Yanagisawa, and Nozomu Togawa, "Bit-Write-Reducing and Error-Correcting Code Generation by Clustering Error-Correcting Codewords for Non-Volatile Memories," in Proc. 2015 International Conference On Computer Aided Design, pp. 682-689, Nov. 2015.
- [282] K. Igawa, Y. Shi, M. Yanagisawa, and N. Togawa, "A delay variation and floorplan aware high-level synthesis algorithm with body biasing," in Proc. of International Symposium on Quality Electronic Design (ISQED), pp. 75-80, Mar, 2016.
- [283] M. Oya, Y. Shi, M. Yanagisawa and N. Togawa, Hardware-trojan ranking at gate-level netlists based on trojan net features, IEEE Design Automation Conference (DAC), Work in Progress Session, Jun, 2015.
- [284] M. Oya, Y. Shi, M. Yanagisawa and N. Togawa, In-situ trojan authentication for invalidating hardware-trojan functions, International Symposium on Quality Electronic Design (ISQED), pp. 152-157, Mar, 2016.
- [285] Payman Behnam, Bijan Alizadeh, Sajjad Taheri, Masahiro Fujita, "Formally analyzing fault tolerance in datapath designs using equivalence checking," ASP-DAC 2016, pp.133-138
- [286] Masahiro Fujita, "Detection of test Patterns with

Unreachable States through Efficient Inductive-Invariant Identification,” *ATS 2015*, pp.31-36

- [287] Ying Zhang, Zebo Peng, Jianhui Jiang, Huawei Li, Masahiro Fujita, “Temperature-aware software-based self-testing for delay faults,” *DATE 2015*, pp.423-428
- [288] Masahiro Fujita, “Automatic identification of assertions and invariants with small numbers of test vectors,” *ICCD 2015*, pp.463-466
- [289] Masahiro Fujita, Naoki Taguchi, Kentaro Iwata, Alan Mishchenko, “Incremental ATPG methods for multiple faults under multiple fault models,” *ISQED 2015*, pp.177-180
- [290] Sriram Karunagaran, Karuna P. Sahoo, Masahiro Fujita, “Hardware in loop testing of an insulin pump,” *ITC 2015*, pp.1-8
- [291] Masahiro Fujita, “Logic analysis and optimization with quick identification of invariants through one time frame analysis,” *MEMOCODE 2015*, pp.102-107
- [292] Masahiro Fujita, “Analysis and testing on delays with two time frames,” *VLSI-SoC 2015*, pp.13-18
- [293] Shridhar Choudhary, Amir Masoud Gharehbaghi, Takeshi Matsumoto, Masahiro Fujita, “Trace signal selection methods for post silicon debugging,” *VLSI-SoC 2015*, pp.258-263
- [294] Amir Masoud Gharehbaghi, Masahiro Fujita, “Efficient signature-based sub-circuit matching,” *VLSI-SoC 2015*, pp.280-285
- [295] Reza Sharafinejad, Bijan Alizadeh, Masahiro Fujita, “UPF-based formal verification of low power techniques in modern processors,” *VTS 2015*, pp.1-6
- [296] Zhijie Chen, Masaya Miyahara, and Akira Matsuzawa, “A 9.35-ENOB, 14.8 fJ/conv.-step Fully-Passive Noise-Shaping SAR ADC,” *IEEE Symposium on VLSI Circuit (VLSI Circuit)*, pp. 64-65, Kyoto, Japan, June 2015.
- [297] Korkut Kaan Tokgoz, Shotaro Maki, Kenichi Okada, and Akira Matsuzawa, “Characterization of Cross-Line up to 110 GHz Using Two-Port Measurements,” *IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, pp.97-99, Sendai, Japan, Aug. 2015.
- [298] Aravind Tharayil Narayanan, Makihiko Katsuragi, Kento Kimura, Satoshi Kondo, Korkut Kaan Tokgoz, Kengo Nakata, Wei Deng, Kenichi Okada, and Akira Matsuzawa, “A Fractional-N Sub-Sampling PLL using a Pipelined Phase-Interpolator with a FoM of -246dB,” *IEEE European Solid-State Circuits Conference (ESSCIRC)*, Sep. 2015.
- [299] Ning Li, Takeshi Inoue, Takuichi Hirano, Jian Pang, Rui Wu, Kenichi Okada, Hitoshi Sakane, and Akira Matsuzawa, “Substrate Noise Isolation Improvement by Helium-3 Ion Irradiation Technique in a Triple-well CMOS Process,” *IEEE European Solid-State Device Conference (ESSDERC)*, Graz, Austria, Sept. 2015.
- [300] Z. Xu, M. Miyahara, and A. Matsuzawa, “A 3.6 GHz Fractional-N Digital PLL Using SAR-ADC-Based TDC with -110 dBc/Hz In-Band Phase Noise”, *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Xiamen, China, Nov. 2015.
- [301] L. Yu, M. Miyahara, and A. Matsuzawa, “A 9-bit 1.8-GS/s Pipelined ADC Using Linearized Open-Loop Amplifiers”, *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Xiamen, China, Nov. 2015.
- [302] Abdel Martinez Alonso, Masaya Miyahara, Akira Matsuzawa, “A Novel Direct Digital Frequency Synthesizer Employing Complementary Dual-Phase Latch-Based Architecture,” *IEEE International Conference on ASIC (ASICON)*, Chengdu, China, Nov. 2015.
- [303] Akira Matsuzawa, “High Data Rate 60 GHz CMOS Transceiver Design,” *IEEE 2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*, Bali, Indonesia, Nov. 2015.
- [304] Aravind Tharayil Narayanan, Makihiko Katsuragi, Kengo Nakata, Yuki Terashima, Kenichi Okada, and Akira Matsuzawa, “A Noise Reduction Technique for Divider-Less Fractional-N Frequency Synthesizer using Phase-Interpolation Technique,” *IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC)*, Macau, China, Jan. 2016.
- [305] Dongsheng Yang, Wei Deng, Aravind Tharayil Narayanan, Kengo Nakata, Teerachot Siriburanon, and Kenichi Okada, Akira Matsuzawa, “An Automatic Place-and-Routed Two-Stage Fractional-N Injection-locked PLL Using Soft Injection,” *IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC)*, Macau, China, Jan. 2016.
- [306] Korkut K. Tokgoz, Shotaro Maki, Seitaro Kawai, Noriaki Nagashima, Jun Emmei, Masato Dome, Hisashi Kato, Jian Pang, Yoichi Kawano, Toshihide Suzuki, Taisuke Iwai, Yuuki Seo, Kimsrun Lim, Shinji Sato, Li Ning, Kengo Nakata, Kenichi Okada, Akira Matsuzawa, “A 56Gb/s W-Band CMOS Wireless Transceiver,” *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, pp.242-243, Feb. 2016.
- [307] Rui Wu, Seitaro Kawai, Yuuki Seo, Nurul Fajri, Kento Kimura, Shinji Sato, Satoshi Kondo, Tomohiro Ueno, Teerachot Siriburanon, Shoutarou Maki, Bangan Liu, Yun Wang, Noriaki Nagashima, Masaya Miyahara, Kenichi Okada, Akira Matsuzawa, “A 42-Gb/s 60-GHz CMOS Transceiver for IEEE802.11ay,” *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, pp.248-249, Feb. 2016.
- [308] H. Lv, S. Sato, Y. Omura, A. Mallik, “Two-Dimensional Model for Asymmetric Double-Gate Tunnel FET

- Considering the Source-Channel Junction Depletion Region", Proc. of IEEE IMFEDK2015, pp. 58-59, 2015
- [309] S. Sato, Y. Omura, "Proposal of a New Array Structure to Enable the Detection of Soft Failure and the Aging Test with Overcurrent of Resistive Elements", Proc. of IEEE ICMTS 2016, pp. 52-56, March, 2016.
- [310] Takashi Imagawa, Hiroshi Tsutsui, Yoshikazu Miyanaga, "A Feasibility Study of a Flexible OFDM Transmitter Towards an Adaptive Control of Communication Quality," Proceedings of International Symposium on Multimedia and Communication Technology (ISMATC), pp. 77-79, Sep. 2015.
- [311] Takahiro Inatsuki, Masato Matsuura, Kosuke Morinaga, Hiroshi Tsutsui, Yoshikazu Miyanaga, "An FPGA Implementation of Low-latency Video Transmission System Using Lossless and Near-lossless Line-based Compression," Proceedings of IEEE International Conference on Digital Signal Processing (DSP), pp. 1062-1066, Jul. 2015.
- [312] Fumiaki Kusahara, Shunichi Wakashima, Satoshi Nasuno, Rihito Kuroda and Shigetoshi Sugawa, "Analysis and Reduction of Floating Diffusion Capacitance Components of CMOS Image Sensor for Photon-Countable Sensitivity", 2015 INTERNATIONAL IMAGE SENSOR WORKSHOP (International Image Sensor Society), pp.120-123, 2015
- [313] Satoshi Nasuno, Shunichi Wakashima, Fumiaki Kusahara, Rihito Kuroda, Shigetoshi Sugawa, "A CMOS Image Sensor with 240 μ V/e- Conversion Gain, 200ke- Full Well Capacity and 190-1000 nm Spectral Response", 2015 INTERNATIONAL IMAGE SENSOR WORKSHOP(International Image Sensor Society), pp.312-315, 2015
- [314] Shunichi Wakashima, Fumiaki Kusahara, Rihito Kuroda and Shigetoshi Sugawa, "A Linear Response Single Exposure CMOS Image Sensor with 0.5e-Readout Noise and 76ke- Full Well Capacity", 2015 SYMPOSIUM ON VLSI CIRCUITS, C88-89, 2015
- [315] Yan Wu, Kota Yamamoto, Youseke Wada, and Yoshihiro Takahashi, "The Impact of Tunnel FET on Irradiation Effects", International Workshop on Radiation Effects on Semiconductor Devices for Space Applications, 11-8C, 2015.11.
- [316] Development of a pixel sensor with fine space-time resolution based on SOI technology for the ILC vertex detector, Shun Ono, Manabu Togawa, Ryoji Tsuji, Teppei Mori, Miho Yamada, Yasuo Arai, Toru Tsuboyama, Kazunori Hanagaki,, Feb. 15-19, 2016, Null. Inst. and Meth. A, March 17, 2016.
- [317] C. Pan and H. San, "A Low-Distortion Delta-Sigma Modulator with Ring Amplifier and Passive Adder Embedded SAR Quantizer," The 2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2015), pp.299-302, Bali, Indonesia, Nov. 2015.
- [318] T. Okamoto, T. Koide, A. T. Hoang, T. Shimizu, K. Sugi, H. Sato, T. Tamaki, B. Raytchev, K. Kaneda, S. Yoshida, H. Mieno, S. Tanaka, "Image Segmentation of Pyramid Style Identifier based on Support Vector Machine for Colorectal Endoscopic Images," The 37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC2015), pp.2997-3000, August 25 - 29, 2015, Mico Conference Center, Milan, Italy.
- [319] K. Miyazaki, S. Abe, M. Tsukuda, I. Omura, K. Wada, M. Takamiya, and T. Sakurai, "General-Purpose Clocked Gate Driver (CGD) IC with Programmable 63-Level Drivability to Reduce Ic Overshoot and Switching Loss of Various Power Transistors," IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, USA, pp. 1640 -1645, March 2016.
- [320] S. Iguchi, T. Sakurai, and M. Takamiya, "A 39.25MHz 278dB FOM 19W LDO-Free Stacked-Amplifier Crystal Oscillator (SAXO) Operating at I/O Voltage," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, pp. 100-101, Feb. 2016.
- [321] M. Honda, T. Sakurai, and M. Takamiya, "Wireless Temperature and Illuminance Sensor Nodes With Energy Harvesting from Insulating Cover of Power Cords for Building Energy Management System," IEEE Asia-Pacific Power and Energy Engineering Conference (APPEEC), Brisbane, Australia, PES-APPEEC-255, pp. 1-5, Nov. 2015.
- [322] T. Someya, H. Fuketa, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, "248pW, 0.11mV/°C Glitch-Free Programmable Voltage Detector With Multiple Voltage Duplicator for Energy Harvesting", 41th European Solid-State Circuits Conference (ESSCIRC), Graz, Austria, pp. 249-252, Sep. 2015.
- [323] D. Luo, H. Fuketa, K. Matsunaga, H. Morimura, M. Takamiya, and T. Sakurai, "Analysis to Optimize Sensitivity of RF Energy Harvester with Voltage Boost Circuit," IEEE 22nd European Conference on Circuit Theory and Design (ECCTD), Trondheim, Norway, pp. 1-4, Aug. 2015.
- [324] Y. Yamauchi, Y. Yanagihara, H. Fuketa, T. Sakurai, and M. Takamiya, "Optimal Design to Maximize Efficiency of Single-Inductor Multiple-Output Buck Converters in Discontinuous Conduction Mode for IoT Applications," IEEE International Conference on IC Design and Technology (ICIDT), Leuven, Belgium, pp. 1-4, May 2015.
- [325] T. Yokota, W. Yukita, J. Reeder, H. Fuketa, M. Hamamatsu, T. Someya, W. Voit, M. Takamiya, T. Sekitani, T. Sakurai, and T. Someya, "Organic

Complementary Circuits With Thin Parylene Gate Dielectric for a Flexible Fever Alarm System,” Material Research Society (MRS) Spring Meeting, II5.03, San Francisco, USA, April 2015.

- [326] M. Amagasaki, Q. Zhao, M. Iida, M. Kuga and T. Sueyoshi, “A CONFIGURATION MEMORY REDUCED PROGRAMMABLE LOGIC CELL,” Proc. of IEEE Symposium on COOL Chips XVIII, Session IV-6, Apr. 2015, Yokohama, Japan
- [327] M. Amagasaki, Q. Zhao, M. Iida, M. Kuga and T. Sueyoshi, “Simple Wafer Stacking 3D-FPGA Architecture,” Proc. of the 2015 IEEE International Conference on Integrated Circuit Design and Technology (ICICDT), K-3, June 2015, Leuven, Belgium
- [328] M. Amagasaki, Y. Takeuchi, Q. Zhao, M. Iida, M. Kuga and T. Sueyoshi, “Architecture Exploration of 3D FPGA to minimize internal layer connection,” Proc. of IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), pp.110-115, Oct. 2015, Daejeon, Korea
- [329] A. Kosuge, J. Hashiba, T. Kawajiri, S. Hasegawa, T. Shidei, H. Ishikuro, T. Kuroda, and K. Takeuchi, “Inductively-Powered Wireless Solid-State Drive (SSD) System with Merged Error Correction of High-Speed Non-Contact Data Links and NAND Flash Memory,” IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp. C128-C129, June 2015.
- [330] Y. Take, J. Kadomoto, and T. Kuroda, “3D Integration Using Inductive Coupling and Coupled Resonator (Invited),” in Proc. 2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT'15), pp. 46-48, Aug. 2015
- [331] Yuki Kawamata, Daisuke Kanemoto, and Makoto Ohki, “A Chopper Amplifier Utilizing Optimized Chopping Frequency for EEG Signal Processing Devices,” IEEE Symposium on Low-Power and High-Speed Chips COOL Chips XVIII, Yokohama, Poster13 April, 2015.
- [332] Daisuke Kanemoto, Naoki Fukasawa, Takahide Sato, and Makoto Ohki, “A 3rd Order Delta-Sigma Modulator Utilizing Equivalent Gain of Internal Multi-bit ADC,” IEEE Symposium on Low-Power and High-Speed Chips COOL Chips XVIII, Yokohama, Poster18 April, 2015.
- [333] Yitao Ma and Tetsuo Endoh, “A High-Speed Pattern Matching Processor Employing Adaptive Nonlinear Similarity Evaluation for Visual-Attention-Based Object Recognition”. Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2015), 6A-3, pp. 326-331, Jeju KAL Hotel, Jeju Island, Korea, June 29-July 1, 2015.
- [334] Taro Sasaki, Masakazu Muraguchi, Takahiro Shinada, Tetsuo Endoh, “A Study of Strain Profile in Channel Region of Vertical MOSFET for Improving Drivability” 2015 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), pp! 25-32, Jeju Island, Korea, June 29-July 1, 2015.
- [335] Kazuki Itoh, Masakazu Muraguchi, Tetsuo Endoh, “Switch Toggling Technique of Parallel MOSFET Topology for Power Electronic Circuits with Uniform Thermal Distribution”, 2015 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), 4B, pp.284-289, Jeju, Korea, June, 2015.
- [336] K. Otsuka and Y. Sato, “High Speed, Flexible, Robust and Low Power Processing Approach,” Proc. iMPACT 2015, pp. 38-41, October 2015.
- [337] Nobuaki Kobayashi, Ryusuke Ito and Tadayoshi Enomoto, “A High Stability, Low Supply Voltage and Low Standby Power Six-Transistor CMOS SRAM”, in Proc. of ASP-DAC2015, University LSI Design Contest, 1S-5, pp. 10-11, in Chiba, Japan, Jan. 2015.
- [338] Saki Tajima, Youhua Shi, Nozomu Togawa, and Masao Yanagisawa, “A low-power soft error tolerant latch scheme,” The 11th International Conference on ASIC (ASICON 2015), Nov. 2015.
- [339] Takayuki Okazawa, Takeshi Kawano, Makoto Ishida, Ippei Akita, “Digitally calibrated dynamic latched comparator with stochastic offset voltage detection technique for low-power ADCs,” in Proc. Int. Conf. Solid-State Devices and Materials (SSDM), Sapporo, Japan, F-6-3, pp. 846-847, Sept. 2015.
- [340] Kenji Okabe, Ippei Akita, Shota Yamagiwa, Takeshi Kawano and Makoto Ishida, “A thin film flexible antenna with CMOS rectifier chip for RF-powered implantable neural interfaces,” in Proc. of Int. Conf. Solid-State Sensors, Actuators, and Microsystems (Transducers), Anchorage, Alaska, pp. 1751-1754, June 2015.
- [341] 安戸僚汰, 松谷宏紀, 鯉渕道紘, 天野英晴, 中村維男, “On-Chip Decentralized Routers with Balanced Pipelines for Avoiding Interconnect Bottleneck”, NOCS2015, 2015年9月
- [342] 奥原, 北森, 藤田, 宇佐美, 天野, “An Optimal Power Supply AndBody Bias Voltage for a Ultra Low Power Micro-Controller with Silicon on Thin BOX MOSFET”, ISLPED2015, 2015年7月
- [343] 増山, 藤田, 奥原, 天野, “Ultra Low Power Reconfigurable Accelerator CMA-SOTB-2”, COOL Chips XVIII, 2015年4月
- [344] 増山, 藤田, 奥原, 天野, “7 MOPS/lemon-battery image processing demonstration with an ultra-low power reconfigurable accelerator CMA-SOTB-2”, FPL2015, 2015年9月
- [345] 増山, 藤田, 奥原, 天野, “A 297MOPS/0.4mW Ultra

Low Power Coarse-grained Reconfigurable Accelerator CMA-SOTB-2”, ReConFig2015, 2015年12月

- [346] M. Kudo, K. Usami, “MTJ Based Non-Volatile Flip Flop to Prevent Useless Store Operation”, The 30th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC’15), June 29 - July 2, 2015, Seoul, Korea.
- [347] Keisuke Yamamoto, Kazuya Tanigawa, Tetsuo Hironaka, Takashi Ishiguro, “Proposal of a small logic block for a reconfigurable device with flexibility on mapping of routing and logic cell,” Proc. of the ITC-CSCC 2015, pp.511-514, July 1, 2015.
- [348] Tomohiro Tanaka, Kazuya Tanigawa, Tetsuo Hironaka, Takashi Ishiguro, “Design Consideration of a Secure Sensor Chip for Home Cancer Examination,” Proc. of the ITC-CSCC 2015, pp.588-591, July 1, 2015.
- [349] T. Yoneda, M. Imai, “A New Encoding Mechanism for Low Power Inter-chip Serial Communication in Asynchronous Circuits”, Proc. of ICCD2015, pp.424-427, 2015 Oct.
- [350] K. Uchida and T. Takahashi, “Therma-aware Device Design of Nanoscale Electronic Devices for More Moore and More-than-Moore Applications,” The 11th International Nanotechnology Conference on Communication and Cooperation, Fukuoka, Japan, May 11-13, 2015.
- [351] M. Arai and K. Iwasaki, “Open Defect Critical Area As a Function of Fan-Outs,” International Test Conference (ITC), PO 2.2, 2015
- [352] H. Ando, K. Takizawa, T. Yoshida, K. Matsushita, M. Hirata and T. Suzuki, “Multichannel Neural Recording with a 128 Mbps UWB Wireless Transmitter for Implantable Brain-Machine Interfaces”, EMBC2015, 27 Aug 2015.
- [353] T. Suzuki, K. Doi, K. Takizawa, M. Hirata and H. Ando, “A Super Multi-Channel Recording System with UWB Wireless Transmitter and Flexible Electrode Array for BMI”. The 7th International IEEE EMBS Conference on Neural Engineering, 23 April 2015.
- [354] Y. Sato, Y. Kondo, K. Komoku, T. Morishita, and N. Itoh, “A 24-GHz Low-Noise Amplifier in 180 nm CMOS,” Thailand-Japan MicroWave 2015, TH-10, Aug. 2015.
- [355] H. Tsuji, Y. Itano, K. Komoku, T. Morishita, S. Yoshitomi, and N. Itoh, “A Study of Flicker Noise Suppression of K-Band VCO using Striped Inductor,” Proc. of the 2015 Asia-Pacific Microwave Conference (APMC2015), WE4E-1, Nanjing, Dec. 2015.
- [356] T. Ogawa, T. Morishita, K. Komoku, Y. Itano, S. Yoshitomi, and N. Itoh, “A Study of Current-Reuse 800 MHz/1.9 GHz Concurrent Dual-Band Amplifier,” IEEE Radio and Wireless Symposium 2016 (RWS2016), pp.245-247, Austin, Jan. 2016.

3. 国内会議, 研究会等

- [1] 谷井宏成, 和田光司, 大野貴信, “ヘアピン型デュアルモード共振器を用いたバンドパスフィルタと通過帯域が近接した4分波回路への応用に関する検討,” 電子情報通信学会研究技術報告, vol. 115, no.66, MW2015-24, pp.19-24 (2015年5月)
- [2] 双石文彦, 川俣雅寿, 和田光司, “分布定数線路と集中定数素子で構成したCRLH伝送線路共振器を用いた有極形マルチバンド帯域通過フィルタに関する検討,” 電子情報通信学会研究技術報告, vol. 115, no.372, MW2015-149, pp.93-98 (2015年12月)
- [3] 岩本功貴, 和田光司, “リング共振器で構成されたLPFと有極型結合線路BPFを用いた小型ダイプレクサに関する検討,” 電子情報通信学会研究技術報告, vol. 115, no.372, MW2015-150, pp.99-104 (2015年12月)
- [4] 林和幸, 和田光司, “開放スタブと接地スタブを装荷したリング共振器BPFによる低挿入損失特性の実現,” 電子情報通信学会研究技術報告, vol. 115, no. 476, MW2015-191, pp. 101-106, (2016年3月)
- [5] 川俣雅寿, 和田光司, “プリント基板加工機によるマイクロストリップ線路とチップキャパシタを用いた2GHz帯超小型BPFの実現,” 電子情報通信学会研究技術報告, vol. 115, no. 476, MW2015-192, pp. 107-112 (2016年3月)
- [6] 大塚喬太, 川俣雅寿, 和田光司, “集中定数素子で構成した3モード共振器を用いた有極形チューナブルBPFに関する検討,” 電子情報通信学会東京支部学生会研究発表会(第21回 136) (2016年3月)
- [7] 中村流星, 和田光司, “コムライン型結合線路装荷型ラットレース回路を用いたマイクロストリップ線路バランスフィルタに関する検討,” 電子情報通信学会東京支部学生会研究発表会(第21回 139) (2016年3月)
- [8] 高田晃平, 和田光司, “負性抵抗回路による減衰極付き共振回路の特性改善に関する検討,” 電子情報通信学会東京支部学生会研究発表会(第21回 142) (2016年3月)
- [9] 國武寛司, 高野恭弥, 片山光亮, 天川修平, 吉田毅, 藤島実, “300GHz帯CMOSマイクロストリップ-WR3.4導波管変換器,” 電子情報通信学会2015年ソサイエティ大会, C-2-47, 2015年9月.
- [10] 合田龍平, 高野恭弥, 片山光亮, 天川修平, 吉田毅, 藤島実, “ミリ波CMOS 0 Ω伝送線路モデル,” 電子情報通信学会2015年ソサイエティ大会, C-12-11, 2015年9月.
- [11] 安達拓史, 吉田毅, 片山光亮, 高野恭弥, 天川修平, 藤島実, “周波数3通倍器のビヘイビアモデル,” 電子情報通信学会2015年ソサイエティ大会, C-12-14, 2015年9月.
- [12] 原紳介, 片山光亮, 高野恭弥, 渡邊一世, 関根徳彦, 笠松章史, 吉田毅, 天川修平, 藤島実, “小面積D帯CMOS差動増幅器の設計,” 電子情報通信学会技術研

究報告電子デバイス研究会 vol. 115, no. 387, ED2015-91, pp. 1-6, 2015年12月.

- [13] 高野恭弥, 片山光亮, 天川修平, 吉田毅, 藤島実, “伝送線路を用いた500GHzまでのCMOSプロセスパラメータの抽出,” 第43回アナログRF研究会, Mar. 2016.
- [14] 片山光亮, 天川修平, 高野恭弥, 藤島実, “受動素子における直流/高周波の寄生抵抗の評価,” 第43回アナログRF研究会, Mar. 2016.
- [15] 合田龍平, 高野恭弥, 片山光亮, 天川修平, 吉田毅, 藤島実, “ミリ波帯デカップリング用低特性インピーダンス伝送線路の評価,” 電子情報通信学会集積回路/マイクロ波研究会, Mar. 2016.
- [16] 國武寛司, 高野恭弥, 片山光亮, 天川修平, 吉田毅, 藤島実, “300GHz帯差動型マイクロストリップ線路-導波管変換器の設計,” 電子情報通信学会集積回路/マイクロ波研究会, Mar. 2016.
- [17] 安達拓史, 吉田毅, 片山光亮, 高野恭弥, 天川修平, 藤島実, “周波数3通倍器を用いたミキサの理論解析,” 電子情報通信学会集積回路/マイクロ波研究会, Mar. 2016.
- [18] 今岡聖也, 外谷昭洋, “電気系複合シミュレータの開発,” 第76回応用物理学学会秋季学術講演会講演予稿集, 15a-PA1-25, 2015年9月.
- [19] 曾根崎, 久保田, 増田, 神田, 古田, 小林, “65nmバルクとThin BOX FD-SOIプロセスにおける冗長化フリップフロップのソフトエラー耐性の実測と評価”, no.ICD2015-83, pp. 69-74, 電子情報通信学会技術報告(集積回路設計) (2015)
- [20] 大島, Weckx, Kaczer, 松本, 小林, 小野寺, “40nmプロセスリングオシレータにおける複合モード欠陥を用いたRTNのモデル化”, no.ICD2015-63, pp. 1-6, 電子情報通信学会技術報告(集積回路設計) (2015)
- [21] 杉本, 小箱, 新田, “太陽電池のための低消費電力MPPTシステムにおけるAD変換器を用いない電力計算回路の研究”, 2015年IEICE総合大会, 2015年3月
- [22] Md. Maruf Hossain, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, “Performance Analysis of Analog to Digital Converter based on Stochastic Comparator(統計的コンパレータを用いたアナログ - デジタル変換回路の性能解析),” IEICE Technical Committee Meeting on Integrated Circuits and Devices, Kyoto Institute of Technology, Dec. 2015.
- [23] Tomohiko Yano, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, “A Time-Mode Analog Signal Accumulator Using a Single Buffer Ring without Output Drift Calibration(バッファリングを利用した出力ドリフト補正が不要な時間領域アナログ信号積分器),” IEICE Technical Committee Meeting on Integrated Circuits and Devices, Kyoto Institute of Technology, Dec. 2015.
- [24] Takashi Toi, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, “Hill-Climbing法を用いたパルス幅制御PLLのPVTばらつきへの自動適応,” IEICE Technical Committee Meeting on Integrated Circuits and Devices, Kyoto Institute of Technology, Dec. 2015.
- [25] 古賀丈尚, 飯塚哲也, 名倉徹, 浅田邦博, “高分解能パルス縮小型時間-デジタル変換器の設計,” 電子情報通信学会技術研究報告, vol. 115, no. 270, pp. 13-18, 2015年10月.
- [26] 峠仁人, 飯塚哲也, 名倉徹, 三浦賢, 村上芳道, 浅田邦博, “フラクショナル位相選択法によりジッタ特性を改善した高速起動完全デジタルCDR回路の設計,” 電子情報通信学会技術研究報告, vol. 115, no. 340, pp. 17-22, 2015年12月.
- [27] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, “A Transmission Line Based Pulse Generator on 0.18-um CMOS over Quartz Substrate,” 電子情報通信学会ソサイエティ大会論文集, C-2-4, 2015年9月.
- [28] 小柳洗介, 宮地幸祐, “光プローブ電流センサ向け光電流電圧変換CMOSアナログフロントエンド回路の検討”, 電気学会マグネティックス/リニアドライブ合同研究会, LD-15-009, 2015年6月.
- [29] 篠原秀樹, 宮地幸祐, “非接触給電向け電圧遅延変換DLLを用いたZVSCMOS整流器”, 集積回路研究会, 信学技報, vol. 115, no. 373, ICD2015-79, p. 61, 2015年12月.
- [30] Chai Eu Guan, Kuniaki Yoshitomi, and Haruichi Kanaya, “Transmission Line Loss Suppression Through Derived Periodically Spaced Vias”, Proc. International Conference on Bioelectronics, Biosensors, BioMedical Devices, BioMEMS/NEMS and Applications 2015, p. O-16, 2015年12月
- [31] 金谷晴一, “電磁界シミュレータによる無線通信用集積回路およびアンテナの設計”, 2016年電子情報通信学会総合大会講演論文集, ss-51-ss54, 2016年3月
- [32] 新木優春, 柴田恭兵, 金谷晴一, “アンテナ統合型エネルギーハーベスター”, 第30回エレクトロニクス実装学会春季講演大会論文集, pp.352-353, 2016年3月.
- [33] Chai Eu Guan, Kuniaki Yoshitomi, Haruichi Kanaya, “Design of A Low Profile Waveguide Transmission Line With Reduced Radiation Loss”, 平成27年度電気・情報関係学会九州支部連合大会講演予稿集, p.297, 2015年9月
- [34] 宮本凌哉, 岳本城, 金谷晴一, “TV放送帯ホワイトスペース用広帯域CMOSLNAの開発”, 第30回エレクトロニクス実装学会春季講演大会論文集, pp.349-351, 2016年3月
- [35] 宮本凌哉, 岳本城, 金谷晴一, “広帯域な入出力インピーダンス整合によるホワイトスペース対応CMOS LNAの開発”, 平成27年度電気・情報関係学会九州支部連合大会講演予稿集, p.362, 2015年9月
- [36] 新木優春, 柴田恭平, 金谷晴一, “アンテナ一体型高効率エネルギー・ハーベスター”, 平成27年度電気・

- 情報関係学会九州支部連合大会講演予稿集, p.364, 2015年9月
- [37] 北川, 江藤, 鎌倉, 下ノ村, “マルチ電荷収集ゲート構造をもつ超高速撮像素子の時間分解能に関するシミュレーション解析,” システムとLSIのワークショップ2015, 福岡, 2015年5月.
- [38] Dao, Nguyen, Kitagawa, Shimonomura, Etoh, Kamakura, Minamitani, “Toward 10 Gfps, Factors Limiting the Frame Rate of the BSI MCG Image Sensor,” 映像情報メディア学会情報センシング研究会, 東京, 2015年9月.
- [39] 村井, 中司, “全自動合成によるインバータ型コンパレータの検討”, 第68回電気・情報関係学会九州支部連合大会, 2015年9月
- [40] 笹, 中司, “冗長インバータアレイによる確率的コンパレータ”, 第68回電気・情報関係学会九州支部連合大会, 2015年9月
- [41] 川島弘晃, 佐々木敬泰, 深澤祐樹, 近藤利夫, マルチバンク化と書き予測を用いた小面積レジスタファイルの提案, 情報処理学会研究報告, Vol.ARCH-216, No.3, pp.1-6, (2015/8/4-6), 別府市, 大分県.
- [42] 武藤郡, 佐々木敬泰, 深澤祐樹, 近藤利夫, スタンダードセルベース設計用のCAM型TLBの実装手法の提案, 情報処理学会研究報告, Vol.ARC-216, No.40, pp.1-6, (2015/8/4-6), 別府市, 大分県.
- [43] 武藤郡, 佐々木敬泰, 深澤祐樹, 近藤利夫, MIPSベースプロセッサのTLB機構の改良による高性能化, 信学技報, Vol.115, No.374, CPSY2015-78, pp.13-18, (2015/12/17-18), 京都市, 京都府.
- [44] 湯本涼介, 小松聡, “スタンダードセルのみを用いたアナログ参照電圧不要の確率的Flash A/D変換器”, 電子情報通信学会2016年総合大会, C-12-19, 2016年3月.
- [45] 川島三明, 小松聡, “オンチップ・オシロスコープ向け広帯域S/H回路の設計”, 電子情報通信学会2016年総合大会, C-12-20, 2016年3月.
- [46] 安楽隆寛, 浜本隆之, “蓄積時間の異なるイメージセンサを複数用いた高ダイナミックレンジ画像合成”, Image Media Processing Symposium, I-1-17, pp.54-55 (2015)
- [47] 吉田拓弥, 里中沙矢香, 山口賢一, 岩田大志, “BIST環境下におけるメルセンヌ・ツイスタアルゴリズムの評価”, 情報科学技術フォーラム一般講演論文集, Vol. 14, No. 1, C-018, pp. 269-270, Sep. 2015.
- [48] 福岡久和・岩田大志・山口賢一, “LoS方式における遷移故障を対象としたスキャンパスの最適化”, 電子情報通信学会総合大会, D-10-3, 2016.
- [49] 片山七海・岩田大志・山口賢一, “冗長故障の等価性を用いた遷移故障冗長判定”, 電子情報通信学会総合大会, D-10-3, 2016.
- [50] 嶋津大地, 大竹哲史, “遅延故障 BIST 向け LFSR/MISR シード生成,” 電子情報通信学会技術報告 (DC2015-66), Vol.115, No.339, pp.213-218, Dec. 2015.
- [51] 光伝送歪み補償を目的とした 28 nm FDSOI プロセスでのインバータとギルバートセルの構成によるアナログ FIR フィルタ, 電子回路研究会 ECT-16-027
- [52] 崔, 難波, “可変遅延素子を用いた DVMC の較正技術の分解能評価,” FTC 研究会, 2016年1月.
- [53] 上野, 難波, “高い耐ソフトエラー性を有するラッチ,” 信学'16総大, D-10-1, 2016年3月.
- [54] 樋渡, 田中, “インストルメンテーションアンプの設計に関する検討”, 平成27年度第14回電子情報系高専フォーラム講演論文集, pp.53-56, 2015年11月.
- [55] 南 龍司, 佐々木伸一, “抵抗付加法による抵抗付加ピッチの周波数特性 —給電位置評価—”, 平成27年度電気学会電子・情報・システム部門大会, GS10-6, pp.1361-1364, 2015年8月
- [56] Daisuke Kihara, Shinichi Sasaki and Nobuhiro Ashiduka, “Examination of the method to reduce common-mode noise in asymmetry length differential signal line”, 平成27年度電気学会電子・情報・システム部門大会, SS3-8, pp.1615-1616, 2015年8月
- [57] 篠宮佳敬, 佐々木伸一, 南 龍司, “プリント配線板電源層からの放射雑音の低減 –メッシュ電源層への適応-”, 2015年度電子情報通信学会九州支部学生会講演会, B-05, 2015年9月
- [58] 山本凌平, 佐々木伸一, 木原大輔, 蘆塚信博, “平衡伝送路における構造とクロストーク評価”, 2015年度電子情報通信学会九州支部学生会講演会, B-06, 2015年9月
- [59] 南 龍司, 佐々木伸一, “抵抗付加法によるプリント配線板電源層からの放射雑音低減 –比誘電率による付加ピッチと周波数特性-”, 平成27年電気関係学会九州支部連合大会, 07-1A-12, 2015年9月
- [60] 蘆塚信博, 佐々木伸一, “多並列シングルエンド伝送路への容量付加法適用:遠端クロストーク評価”, 平成27年電気関係学会九州支部連合大会, 09-2P-16, 2015年9月
- [61] 蘆塚信博, 佐々木伸一, 木原大輔, “容量付加法による多並列シングルエンド伝送路の遠端クロストーク低減評価”, 平成27年度 電気学会九州支部沖縄支所講演会, OKI-2015-17, pp.50-52, 2015年12月
- [62] 南 龍司, 佐々木伸一, “抵抗付加法によるプリント配線板電源層からの放射雑音低減 -最適抵抗値の検討-”, 電子情報通信学会環境電磁研究会, 信学技法 Vol.115 No.427, EMCJ2015-106, pp.19-22, 2016年1月
- [63] 木原大輔, 佐々木伸一, 蘆塚信博, “屈曲した差動伝送路のコモンモードノイズ低減 -パッチキャパシタ適用方法の検討-”, 電子情報通信学会環境電磁研究会, 信学技法 Vol.115 No.427, EMCJ2015-109, pp.33-36, 2016年1月
- [64] 篠宮佳敬, 佐々木伸一, 南 龍司, “プリント配線板電源層からの放射雑音の低減 –囲い有り格子状電源層における付加抵抗値-”, 2016年電子情報通信学会総合大会, B-4-43, 2016年3月
- [65] 森口, 神戸, 他: “レート歪み最適化による量子化

- プロセスのハードウェア化に関する一検討,” 情報処理学会 DA シンポジウム 2015, pp149-154, 2015.
- [66] 今久保, 神戸, 他:” 動画圧縮技術における高速・汎用 SAD 計算回路設計の一検討,” 情報処理学会 DA シンポジウム 2015, pp155-160, 2015.
- [67] 小野, 吉岡,” 整数上カオス写像に基づく 16 ビット S-box の設計とハードウェア実装”, 第 23 回電子情報通信学会九州支部学生会講演会, 講演番号 A-15, 2015 年 9 月
- [68] 松村剛, 鯉渕道紘, 天野英晴, 松谷宏紀, “CSMA/CD バスと D-TDMA バスを併用したワイヤレス 3 次元バスアーキテクチャ”, 電子情報通信学会技術研究報告 CPSY2015-69 (DesignGaia'15), Vol.115, No.342, pp.45-50, Dec 2015.
- [69] 山村聡史・秋田純一, イメージセンサ製造プロセスを用いたサッケード追尾可能な視線検出 Vision Chip の設計と基礎評価, STARC フォーラム予稿集, P34, 2015.11.
- [70] 小野寺秀俊, “IoT 時代の設計課題”, 信学技報, vol 115, no 477, pp. ICD2015-129, MW2015-206, 2016 年 3 月.
- [71] 藤原将倫, 土谷亮, 中野慎介, 野河正史, 野坂秀之, 小野寺秀俊,” インバータ増幅段によるレギュレティッドカスコード型トランスインピーダンスアンプの広帯域化”, 電子情報通信学会技術報告書, pp. ICD2015-137/MW2015-214, 2016 年 3 月.
- [72] 鎌苅竜也, 塩見準, 石原亨, 小野寺秀俊, “サブスレッショルド領域におけるラッチ回路の動作安定性モデル”, 情報処理学会 DA シンポジウム 2015 論文集, pp. 187-192, 2015 年 8 月.
- [73] 塩見準, 石原亨, 小野寺秀俊, “統計的タイミングモデルに基づくニアスレッショルド回路のゲートサイジング”, 情報処理学会 DA シンポジウム 2015 論文集, pp. 137-142, 2015 年 8 月.
- [74] 竹下俊宏, 塩見準, 石原亨, 小野寺秀俊,” CMOS LSI におけるエネルギー最小点追跡のための電源電圧としきい値電圧の動的調節指針,” 情報処理学会システム LSI 設計技術研究会報告 2016-SLDM-175(32), 2016 年 3 月.
- [75] 杉野, 市原, 岩垣, 井上, “ストカスティックコンピューティングに基づくデジタルフィルタ回路の演算精度と面積に関する考察,” 機能集積情報システム研究会, FIIS-15-391, 7 pages, June 2015.
- [76] 猪谷, 岩垣, 市原, 井上, “ハンドシェイク遅延を考慮した 4 相 2 線式非同期システムの高位合成におけるスケジューリングアルゴリズム,” 信学技法 (DC2015-56), Vol. 115, No. 339, pp. 147–152, Dec. 2015.
- [77] 高森, 市原, 岩垣, 井上, “連続ビット系列の動的共有によるストカスティックコンピューティング゙の高速化,” 信学技報 (DC2015-89), Vol. 115, No. 449, pp. 19–24, Feb. 2016.
- [78] 三浦克介, 大林智幸, 中前幸治,” 物理解析装置を用いたスキャン設計 AES 暗号化回路への攻撃に対する耐攻撃設計,” 第 35 回ナノテストシンポジウム NANOTS 2015 会議録, pp.185-190, 11-13 Nov. 2015.
- [79] 井野昂宜, 三浦克介, 中前幸治,” 故障解析装置を用いた AES 暗号化回路への攻撃手法と耐攻撃設計の評価,” 電子情報通信学会総合大会講演論文集 A-7-14, 15-18 March 2016.
- [80] 関根尚希, 韓在勲, 竹中充, 高木信一, 「III-V CMOS フォトニクス・プラットフォーム上空乏型 InGaAsP 光変調器の検討」, 第 63 回応用物理学会春季学術講演会, 21p-S611-4, 東京工業大学大岡山キャンパス, 2016 年 3 月 21 日.
- [81] 竹中 充, 金 栄現, 韓 在勲, 亢 健, 一宮佑希, 程 勇鵬, 朴 珍權, 金 相賢, 高木信一, 「Si 上異種半導体集積による CMOS フォトニクス」, 電子情報通信学会 SDM 研究会・応用物理学会シリコンテクノロジー分科会共催研究集会, 機会振興会館, 2016 年 1 月 28 日(招待講演).
- [82] J. Kang, X. Yu, M. Takenaka, S. Takagi, 「Demonstration of Ge Waveguide on Ge-on-Insulator Substrate for Mid-Infrared Photonics」, 第 76 回応用物理学会秋季学術講演会, 14a-2N-3, 名古屋国際会議場, 2015 年 9 月 14 日.
- [83] Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, “Fast Estimation on NBTI-Induced Delay Degradation Based on Signal Probability,” 情報処理学会 DA シンポジウム 2015(於石川県加賀市山代温泉ゆのくに天祥), pp.181-186, Aug. 2015.
- [84] 栗野皓光, 廣本正之, 佐藤高史, “デバイス特性の経年劣化に起因する不良確率変化の効率的な解析手法”, 情報処理学会 DA シンポジウム 2015(於石川県加賀市山代温泉ゆのくに天祥), pp.169-174, 2015 年 8 月.
- [85] 小西慧, 廣本正之, 佐藤高史, “圧縮センシング向けイメージセンサにおける省電力な観測行列生成回路”, 第 28 回路とシステムワークショップ(於淡路夢舞台国際会議場), pp.243-248, 2015 年 8 月.
- [86] 大荷唯明, 廣本正之, 佐藤高史, “ニューラルネットワークハードウェアの低電圧動作時における演算誤り緩和”, 第 28 回路とシステムワークショップ(於淡路夢舞台国際会議場), pp.249-254, 2015 年 8 月.
- [87] 氏家隆之, 大荷唯明, 廣本正之, 佐藤高史, “低電圧畳み込みニューラルネットワーク回路における演算誤り緩和に向けたプリーング手法の検討”, 電子情報通信学会ソサイエティ大会(於東北大学川内キャンパス), A-3-8, p.53, 2015 年 9 月.
- [88] 森田俊平, 辺松, 新谷道広, 廣本正之, 佐藤高史, “プロセッサの NBTI 劣化緩和法における劣化抑止制御回路の置換箇所削減に関する一検討”, 電子情報通信学会ソサイエティ大会(於東北大学川内キャンパス), A-3-10, p.55, 2015 年 9 月.

- [89] 栗野皓光, 佐藤高史, “モンテカルロ法に基づくタイミング歩留り解析の高速化”, 電子情報通信学会技術研究報告(デザインガイア 2015 -VLSI 設計の新しい大地-) (於長崎県勤労福祉会館), Vol.115, No.338, VLD2015-43, DC2015-39, pp.37-42, 2015 年 12 月.
- [90] 岸野瞬士, 廣本正之, 佐藤高史, “格子状電極を用いたジェスチャ認識向け電界センサによる導電体位置推定精度の評価”, 電子情報通信学会総合大会基礎・境界講演論文集(於九州大学伊都キャンパス), H-2-20, p.282, 2016 年 3 月.
- [91] 業天英範, 廣本正之, 佐藤高史, “最大カット問題の高速求解に向けた二次元エンジンモデルの FPGA 実装”, 電子情報通信学会技術研究報告(VLSI 設計技術研究会) (於沖縄県青年会館), Vol.115, No.465, VLD2015-133, pp.125-130, 2016 年 3 月.
- [92] 渡邊智希, 水柿義直, “磁束バイアス線を廃止した ± 20 倍 DFQ アンプの試作と動作検証,” 2016 年電子情報通信学会総合大会, 2016 年 3 月
- [93] 澤田和直, 渡邊智希, 島田宏, 水柿義直, “SFQ マスク ROM 用各種メモリセルの設計と動作検証,” 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2015-40, 2016 年 1 月
- [94] 渡邊智希, 島田宏, 水柿義直, “両極性出力型 DFQ アンプの提案と動作実証,” 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2015-36, 2016 年 1 月
- [95] 武藤泰明, 浦井芳彰, 澤田和直, 渡邊智希, 水柿義直, “3 並列出力型 4 ビット M 系列生成 SFQ 回路の試作と動作検証,” 2015 年電子情報通信学会ソサイエティ大会, 2015 年 9 月
- [96] 浦井芳彰, 島田宏, 水柿義直, “DFQ アンプの性能評価における SFQ パルス列の入力方法,” 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2015-11, 2015 年 8 月
- [97] 増田豊, 橋本昌宜, 尾上孝雄, “電源ノイズ起因タイミング故障のデバッグにおける C 言語ベース故障検出手法の有効性評価,” 情報処理学会 DA シンポジウム, August 2015.
- [98] 今村, 外山, 田村, 淡野, “CMOS インバータを用いた増幅回路の基礎検討”, 平成 27 年度(第 23 回)電子情報通信学会九州支部学生会講演会, C-36, 2015 年 9 月.
- [99] 埋金, 外山, 田村, 淡野, “スマートフォンを用いた生体信号計測システムの開発と拡張”, 平成 27 年度(第 23 回)電子情報通信学会九州支部学生会講演会, C-35, 2015 年 9 月.
- [100] 真子, 淡野, 田村, 外山, “抵抗ばらつきが CMRR に鈍感な計装アンプ”, 平成 27 年度(第 68 回)電気・情報関係学会九州支部連合大会, 12-2A-03, 2015 年 9 月.
- [101] J. Bae, S. Radhapuram, I. Jo, W. Wang, T. Kihara, T. Matsuoka, “A Design of 0.7-V 400-MHz All-Digital Phase-Locked Loop for Implantable Biomedical Devices”, 電子情報通信学会集積回路研究会, pp. 217-222, 2016 年 3 月.
- [102] 井上泰佑, 出井良明, 山根梨江, 松岡俊匡, “非接触給電・液中微粒子操作チップのための電源電圧センサの設計”, 平成 27 年電気関係学会関西連合大会, 2015 年 11 月.
- [103] 浅野智大, 平井雄作, 谷貞宏, 矢野新也, 趙益均, 松岡俊匡, “並列型確率的 A/D 変換器の線形性向上手法に関する研究”, 平成 27 年電気関係学会関西連合大会, 2015 年 11 月.
- [104] J. Bae, S. Radhapuram, I. Jo, W. Wang, T. Kihara, T. Matsuoka, “A Design of 0.7-V 400-MHz All-Digital Phase-Locked Loop for Implantable Biomedical Devices”, 電子情報通信学会集積回路研究会, pp. 217-222, 2016 年 3 月.
- [105] 大島, “高速 ADC における回路技術動向”, 2015 年電子情報通信学会ソサイエティ大会, ACI-1-2, 2015 年 9 月
- [106] 堀田, 大島, “500-MS/s, 8-bit, 2 ステップ Single Slope ADC の設計”, 2015 年電子情報通信学会ソサイエティ大会, C-12-29, 2015 年 9 月
- [107] 山口, 大島, “低電圧コンパレータの性能比較”, 2015 年電子情報通信学会ソサイエティ大会, C-12-33, 2015 年 9 月
- [108] 堀田, 大島, “補間型 TDC を用いた Single Slope ADC の製造ばらつき耐性に関する考察”, 電子情報通信学会デザインガイア, 2015 年 11 月
- [109] 浅野, 室山, Bartley, 中山, 山口, 山田, 畑, 野々村, 田中, “CMOS ダイアフラムと LTCC 貫通ビアの集積化による 3 軸触覚センサの試作,” センサシンポジウム 2015, 28pm3-A-6, 2015 年 10 月
- [110] 室山, Bartley, 中山, 畑, 野々村, 田中, “MEMS センサと CMOS-LSI を用いたバスネットワーク型触覚センサのシステム実証”, センサシンポジウム 2015, 28pm3-A-6
- [111] 田中勇樹, 魏書剛, “ $2n \pm 1$ を法とする剰余数上での SD-CSD 変換回路”, 電子情報通信学会 2015 年ソサイエティ大会, A-3-14, 2015 年 9 月
- [112] 高橋克樹, 松田茂郷, 吉尾恒洋, 木原崇雄, 吉村勉, “オンチップバランを有する差動低雑音増幅器の特性向上検討”, 電子情報通信学会アナログ RF 研究会, 廿日市市, 2016 年 3 月.
- [113] 吉尾恒洋, 木原崇雄, 吉村勉, “バルク電圧制御型発振器を用いた ADC の設計”, 2016 年電子情報通信学会総合大会, C-12-17, 九州大学, 2016 年 3 月.
- [114] 松田茂郷, 木原崇雄, 吉村勉, “差動インダクタを有する LNA の出力配線の検討”, 平成 27 年度電気関係学会関西連合大会, G9-7, 摂南大学, 2015 年 11 月.
- [115] 鬼頭信貴, “テスト容易でオンライン誤り検出可能な桁上げ選択加算器,” 電子情報通信学会技術研究報告, vol. 115, no. 339, DC2015-68, pp. 225-230, 2015 年 12 月.
- [116] 鬼頭信貴, 中島悠, 高木一義, 高木直史, “PTL 配線長マッチングを考慮した SFQ 回路レイアウトにお

る配線面積の評価,” 電子情報通信学会 2016 年総合大会 C-8-5, 2016 年 3 月.

- [117] 和田康太郎, 池田将英, 成田博昭, 升井義博, “センサーネットワークのための低消費電力 $\Delta \Sigma$ 型 ADC,” LSI とシステムのワークショップ, 2016 年 5 月
- [118] 成田博昭, 和田康太郎, 升井義博, “論理ゲートのみを用いたフラッシュ型 AD 変換器,” 2016 年電子情報通信学会総合大会, 2016 年 3 月
- [119] 日野翔太, 和田康太郎, 升井義博, “逐次比較型 AD 変換器の低消費電力化,” 2016 年電子情報通信学会総合大会, 2016 年 3 月
- [120] 品川侑汰, 山本和毅, 升井義博, “低電圧リング型発振器と評価用回路の提案,” 2016 年電子情報通信学会総合大会, 2016 年 3 月
- [121] 池田将英, 和田康太郎, 升井義博, 前田俊二, 田中武, “NOT 回路と抵抗のみで構成した設計の容易なフラッシュ型 AD 変換器,” 2016 年電子情報通信学会総合大会, 2016 年 3 月
- [122] 三宅庸資, 加藤隆明, 糸永卓矢, 佐藤康夫, 梶原誠司, “デジタルモニタを用いたチップ内温度電圧変動の測定について,” 電子情報通信学会技術研究報告, vol. 115, no. 382, DC2015-74, pp. 5-10, 2015-12.
- [123] 伊藤裕治, 天川修平, “無損失かつ可逆なフィードバックを用いた高利得小信号増幅器の設計理論,” 電子情報通信学会集積回路研究会, 信学技報, vol. 115, no. 476, ICD2015-128, pp. 181-186, March
- [124] 竹内昌平, Tran Thi Hong, 高前田伸也, 中島康彦, “Zynq を用いた ARM-EMAX 密結合アクセラレータの評価,” 信学技報 CPSY2015-19 SwoPP 論文集, pp.47-52, Aug. (2015)
- [125] 竹内昌平, TRAN Thi Hong, 高前田伸也, 中島康彦, “低消費電力 CGRA EMAX の Zynq を用いた実機評価,” 信学技報, vol.115, no.243, CPSY2015-51, pp.39-41, Oct. (2015)
- [126] 伊藤圭汰, 谷卓治, 岩上卓磨, 西野悟, 清山浩司, 田中徹, “様々な生体信号を瞬時に選択記録可能なアジャイル生体信号記録システムの開発,” 平成 27 年電気学会電子・情報・システム部門大会, p. 1555, August 2015.
- [127] 岩上卓磨, 谷卓治, 伊藤圭汰, 西野悟, 清山浩司, 田中徹, “安定した多点高密度計測のためのインピーダンス測定回路の評価(集積化脳神経プローブシステムの開発 2),” 第 76 回応用物理学会秋季学術講演会, p. 11-380, September 2015.
- [128] 伊藤圭汰, 谷卓治, 岩上卓磨, 宇野正真, 後藤竜也, 竹澤好樹, 西野悟, 清山浩司, 田中徹, “複数の生体信号を同時計測可能な多用途生体信号計測システムの設計と評価,” 2016 年第 63 回応用物理学会春季学術講演会, p. 10-243, March 2016.
- [129] 岩上卓磨, 谷卓治, 伊藤圭汰, 宇野正真, 後藤竜也, 竹澤好樹, 西野悟, 清山浩司, 田中徹, “矩形波電流源を有したインピーダンス計測回路の設計,” 2016 年第 63 回応用物理学会春季学術講演会, p. 10-245, March 2016.
- [130] 森川拓実, 谷卓治, 原島卓也, 鈴木雄策, 木野久志, 福島誉史, 田中徹, “脳深部刺入可能なフレキシブルケーブル一体化シリコン神経プローブの開発,” 第 63 回応用物理学会春季学術講演会, p. 10-312, March 2016.
- [131] 新津葵一, 小林敦希, 安藤貴史, 小川雄大, 西澤松彦, 中里和郎, “ビッグデータ連携ヘルスケアに向けた 0.25 μm CMOS 0.23V 駆動リング発振制御型近距離無線送信器とバイオ燃料電池を用いた電力自立・使い捨て可能発電センシング一体型集積センサ”, 電子情報通信学会 デザインガイア 2015, 2015 年 12 月
- [132] 蒲晃平, 新津葵一, 中里和郎, “高感度細菌カウンティングに向けた 1.2 μm x 2.05 μm 金メッキ電極アレイと電流積算回路を用いた CMOS 電流検出センサ” 電子情報通信学会集積回路研究会学生・若手研究会 2015 年 12 月
- [133] 久々湊, 牧野, 岩田, 松田, 水島, 小幡, “片側接地型 8 チャンネル圧力センサ用 LSI の設計,” 電気関係学会北陸支部連合大会, 2016, 年 9 月.
- [134] 牧野, 久々湊, 岩田, 松田, 水島, 小幡, “多チャンネル静電容量型圧力センサ用 CV 変換回路の改良,” 電気関係学会北陸支部連合大会, 2016, 年 9 月.
- [135] 出町, 山田, 岩田, 松田敏弘, “積層型 3 次元 IC チップ内の温度分布解析,” 電気関係学会北陸支部連合大会, 2016, 年 9 月.
- [136] 宇賀神守, “3 相複素フィルタを用いた高イメージ抑圧無線受信機の検討”, 電気学会電子・情報・システム部門大会, 2015 年 08 月
- [137] 内田凌雅, 松本直樹, 宇賀神守, “(3+3²) ミキサ受信機におけるミキサ改良による折り返しノイズの低減”, 2016 電子情報通信学会総合大会, 2016 年 03 月
- [138] 有村, 東原, “位相誤差補償機能を有する直交ミキサの研究,” 電気学会電子回路研究会, 2016 年 1 月 21 日
- [139] 川添浩太朗, 大塩悠貴, 谷口幹, 野口卓朗, 深井澄夫, 荻島真澄, 清水暁生, 石川洋平, “演算増幅器設計ゼミに基づいたループリック評価の検討”, 日本産業技術教育学会第 27 回九州支部大会講演要旨集, B11, pp.33-34, Oct. 2015.
- [140] 松田佑樹, 吉田崇将, 森田翔大, 石川洋平, 清水暁生, 深井澄夫, “ニューロン MOS を用いた AB 級バッファにおけるバイアスの一検討,” 2015 年度電子情報通信学会九州支部学生会講演会・講演論文集, C-06, Sep. 2015.
- [141] 齋藤孝一, 吉田崇将, 石川洋平, 深井澄夫, 清水暁生, “トランスインピーダンスアンプ評価回路の検討,” 2015 年度電子情報通信学会九州支部学生会講演会・講演論文集, C-24, Sep. 2015.
- [142] 古市康祐, 岸根桂路, 稲葉博美, 尾本大地, 田中友規, 群遅延特性を考慮した遅延検波回路の高性能化検討, 電子情報通信学会総合大会, 2016 年 3 月
- [143] 香田夏幸, 岸根桂路, 稲葉博美, 尾本大地, 田中友規,

- ラベリング信号伝送システムにおける検波回路構成簡易化の検討, 電子情報通信学会総合大会, 2016年3月
- [144] 植村宙夢, 岸根桂路, 稲葉博美, 尾本大地, 田中友規, ラベリング信号伝送システムにおける送信回路に関する検討, 電気関係学会関西連合大会, 2015年11月
- [145] 沖中正季, 岸根桂路, 稲葉博美, 尾本大地, 田中友規: ジッタ検出回路に関する検討, 電気・電子・情報関係学会東海支部連合大会, 2015年
- [146] 植村宙夢, 岸根桂路, 稲葉博美, 尾本大地, 田中友規: ラベリング信号伝送システムにおける高周波変調回路の設計, 電子情報通信学会総合大会, 2016年3月
- [147] 古市康祐, 岸根桂路, 稲葉博美, 尾本大地, 田中友規: エンファシス回路による遅延検波回路の広帯域化, 電子情報通信学会ソサイエティ大会, 2015年9月
- [148] 田中慎平, 深山正幸, 松田吉雄, "勾配統計量を用いた顔検出プロセッサの検討", 2015年度電気関係学会北陸支部連合大会予稿
- [149] 佐藤, "FPCCD READOUT ELECTRONICS progress in 2015", ILC Tokusui Workshop 2015, 2015年12月
- [150] 崔伝琪, 池田誠, "ダイナミック回路を用いた自己同期システムのSEU耐性の評価," 電子情報通信学会ソサイエティ大会論文集, A-3-9, 2015年9月
- [151] 丸山智史, 池田 誠, 「CMOS混載型静電マイクロミラーのデジタル制御方式の評価」 電子情報通信学会総合大会, 2016年3月15日~18日, 九州大学伊都キャンパス, C-12-24
- [152] 丸山智史, 池田 誠, 「CMOS混載型静電マイクロミラーのデジタル制御の検討」 電子情報通信学会ソサイエティ大会, 2015年9月8日~10日, 東北大学川内北キャンパス, C-12-22
- [153] 池田司, 池田誠, 『高基数演算器を用いたRSA暗号回路の非同期制御による実装』, 電子情報通信学会ソサイエティ大会, A-3-12, 2015年9月
- [154] 池田司, 池田誠, 『高基数演算器の並列化による楕円曲線上の演算の高速化の検討』, 電子情報通信学会総合大会, A-6-8, 2016年3月
- [155] 田村雅人, 池田誠, "高基数モンゴメリ乗算器を用いた楕円曲線デジタル署名回路の実装" 電子情報通信学会ソサイエティ大会論文集, A-3-11, 2015年9月
- [156] Masato Tamura, Makoto Ikeda, "Optimal design on Asynchronous System with Gate-level pipelining," The 11th IEEE International Conference on ASIC, B2-2, Nov. 2015
- [157] 田村雅人, 池田誠, "ゲートレベルパイプライン型自己同期回路を用いた楕円曲線デジタル署名アルゴリズムの実装について," デザインガイア 2015-VLSI設計の新しい大地-, vol. 115, no. 338, pp. 7-12, 2015年12月
- [158] 田村雅人, 池田誠, 松本勉, "高基数モンゴメリ乗算器を用いたECDSA速度の最適化," Symposium on Cryptography and Security 2016, 2C4-2, 2016年1月
- [159] 比嘉, 金城, 島袋, "Hadamardゲートのエミュレータ設計に関する考察", 平成27年度電気学会九州支部沖縄支所講演会, pp.41-44, 2015年12月
- [160] 谷口壮耶, 伊藤大, 石川航太, 黒川綜太, 田中雅光, 赤池宏之, 藤巻朗, "磁性体パターンを用いたプログラマブル単一磁束量子論理セルの設計と評価", 超伝導エレクトロニクス研究会, 横浜国立大学, 2015年8月.
- [161] 神谷恭平, 喜多祐真, 上阪岬, 田中雅光, アリボズベイ, 藤巻朗, "直列接続多元超伝導検出器のSFQ読み出し, 第76回応用物理学会秋季学術講演会", 名古屋国際会議場, 2015年9月.
- [162] 谷口壮耶, 伊藤大, 石川航太, 黒川綜太, 田中雅光, 赤池宏之, 藤巻朗, "磁性体を用いたプログラマブル単一磁束量子論理セルの動作領域の変化", 第76回応用物理学会秋季学術講演会, 名古屋国際会議場, 2015年9月.
- [163] 黒川綜太, 谷口壮耶, 伊藤大, 石川航太, 田中雅光, 赤池宏之, 藤巻朗, "磁性体を用いた単一磁束量子ルックアップテーブルの実証", 第76回応用物理学会秋季学術講演会, 名古屋国際会議場, 2015年9月.
- [164] 上阪岬, 喜多祐真, 神谷恭平, 藤巻朗, "SFQ読み出し直列多元接続超伝導ストリップライン検出器の構成素子の検討", 電子情報通信学会2015年ソサイエティ大会, 東北大学, 2015年9月.
- [165] 佐藤諒, 畑中湧貴, 田中雅光, 藤巻朗, "層構造がアンシャント接合を用いた低電圧単一磁束量子回路に与える影響の評価", 電子情報通信学会2015年ソサイエティ大会, 東北大学, 2015年9月.
- [166] 大内朋也, 幸村勇人, 谷口壮耶, 田中雅光, 藤巻朗, "強磁性体を用いた磁束遷移メモリセルの特性評価", 電子情報通信学会2015年ソサイエティ大会, 東北大学, 2015年9月.
- [167] 藤巻朗, ボズベアアリ, 神谷恭平, 上阪岬, 石田武和, "単一磁束量子回路読み出し直列接続超伝導細線検出器の解析", 超伝導エレクトロニクス研究会, 東北大学電気通信研究所, 2015年10月.
- [168] 幸村勇人, 田中雅光, 藤巻朗, 永沢秀一, Ali Bozobey, "ニオブ4層高Jcプロセスを用いた小型磁束遷移メモリの開発", 第91回低温工学・超電導学会, 産総研つくばセンター, 2015年5月.
- [169] 内藤亮介, 神谷恭平, 上阪岬, 田中雅光, 藤巻朗, "イメージングに向けた単一磁束量子5.32エンコードの設計と評価", 電子情報通信学会2016年総合大会, 九州大学, 2016年3月.
- [170] 畑中湧貴, 佐藤諒, 田中雅光, 藤巻朗, "アンシャント接合を用いた低電圧単一磁束量子回路のエネルギー効率の評価", 電子情報通信学会2016年総合大会, 九州大学, 2016年3月.
- [171] 大内朋也, 幸村勇人, 谷口壮耶, 田中雅光, 藤巻朗, "0.6mW, 1K bit 低消費電力磁束遷移メモリの設計", 電子情報通信学会2016年総合大会, 九州大学, 2016年3月.

- [172] 田中雅光, 高田賢介, 佐藤諒, 藤巻朗, 安藤友紀, 川口隆広, 高木一義, 高木直史, 吉川信行, “CORE e: シフトレジスタメモリを統合した単一磁束量子8ビットマイクロプロセッサ”, 電子情報通信学会2016年総合大会, 九州大学, 2016年3月.
- [173] 佐藤諒, 安藤友紀, 田中雅光, 藤巻朗, 高木一義, 高木直史, “メモリを搭載した単一磁束量子マイクロプロセッサ CORE e4 の試作と評価”, 電子情報通信学会2016年総合大会, 九州大学, 2016年3月.
- [174] 神谷恭平, 上阪岬, 内藤亮介, 田中雅光, BozbeyAli, 藤巻朗, “直列接続多元超伝導検出器及びSFQ読み出し回路による検出位置特定”, 第63回応用物理学会春季学術講演会, 東京工業大学, 2016年3月.
- [175] 谷口壮耶, 伊藤大, 石川航太, 黒川綜太, 田中雅光, 赤池宏之, 藤巻朗, “磁性体を用いた超伝導位相シフタのための磁化の個別制御に関する検討”, 第63回応用物理学会春季学術講演会, 東京工業大学, 2016年3月.
- [176] 渡邊邦彦, “InGaAs HEMTを用いた60GHz帯リアクティブ負帰還F級電力増幅器の設計”, 電子情報通信学会技術研究報告(マイクロ波研究会), vol. 115, no. 4, 2015年4月.
- [177] 上坂純平, 小西秀人, 永田真, 田中聡, 山口正洋, “ICチップにおけるオンチップノイズと電磁ノイズの観測と評価”, 電気学会電磁環境研究会 EMC-16-014, 25-30, 2016.3.
- [178] 三浦蘭斗, 荒賀佑樹, 池田博明, 三浦典之, 菊地克弥, 永田真, “三次元積層ICにおける電源供給特性のインスタック診断手法”, 電子情報通信学会技術報告 ICD2015-102, 33-36, 2016.3.
- [179] 松田航平, 三浦典之, 永田真, 林優一, 藤井達哉, 矢ヶ崎玲奈, 崎山一男, “レーザーフォールト注入時のIC基板電位変動のオンチップ測定”, 電子情報通信学会・2016年暗号と情報セキュリティシンポジウム 2F1-4, 1-4, 2016.1.
- [180] 永田真, 谷口綱紀, 三浦典之, “半導体モジュールにおける電源供給特性のチューニング手法”, 電気学会電子回路研究会 ECT-15-110, 77-81, 2015.12.
- [181] 谷口綱紀, 三浦典之, 永田真, “適応調律型電源共振抑制フィルタのEMS評価”, 電子情報通信学会技術報告 ICD2015-57, 29-32, 2015.12.
- [182] 永田真, “(招待講演) ICチップの真正性の確保と対策～ハードウェアセキュリティの根源的課題に向き合う～”, 電子情報通信学会技術報告 ICD2015-51, 1-6, 2015.12.
- [183] 永田真, “VLSIシステムのノイズ問題に関する先駆的貢献(依頼講演)”, 電子情報通信学会ソサイエティ大会, C-12-8, pp. 48, 2015.9.10.
- [184] 是永梨絵, 藤本大介, 三浦典之, 永田真, “電源電流イコライザの電力オーバーヘッド低減手法の提案と実証”, 電子情報通信学会ソサイエティ大会, C-12-7, pp. 47, 2015.9.10.
- [185] 谷口綱紀, 三浦典之, 永田真, “実装環境に適応する電源共振ノイズ抑制フィルタの提案と評価”, 電子情報通信学会ソサイエティ大会, C-12-6, pp. 46, 2015.9.10.
- [186] 田中廉大, 三浦典之, 藤本大介, 林優一, 本間尚文, 青木孝文, 永田真, “サイドチャネル近傍電磁波解析攻撃センサの提案とセキュリティ耐性評価”, 電子情報通信学会ソサイエティ大会, C-12-5, pp. 45, 2015.9.10.
- [187] 桐山卓弥, 三浦典之, 永田真, “高解像度・高速タッチセンサのノイズ耐性評価とノイズ低減手法の検討”, シリコンアナログRF研究会
- [188] 田中廉大, 三浦典之, 藤本大介, 本間尚文, 林優一, 青木孝文, 永田真, “暗号処理回路への近傍電磁波解析攻撃を検知する完全デジタル発振器型センサ”, LSIとシステムのワークショップ2015, 学生P09
- [189] 谷口綱紀, 三浦典之, 林泰祐, 永田真, “製品テストにおける適応型電源共振ノイズ抑制フィルタ”, LSIとシステムのワークショップ2015, 学生P05
- [190] 後藤智哉, 樋口耕平, 柳澤政生, 木村晋二, “順序回路の時間展開に基づくクロックゲーティング制御信号抽出手法”, 情報処理学会研究報告, 2015-SLDM-171(6), pp.1-6, May 2015.
- [191] 尾崎, 廣瀬, 長井, 椿, 黒木, 沼, “低電圧エネルギー・ハーベスティングに向けた高効率3端子昇圧コンバータ”, LSIとシステムのワークショップ2015, PS-29, 2015年5月.
- [192] 佐渡, 廣瀬, 椿, 尾崎, 浅野, 松本, 黒木, 沼, “振動エネルギーを用いた環境発電のための超低電力・適応バイアス型シリーズレギュレータ”, 第41回アナログRF研究会(夏の合宿), 2015年7月.
- [193] 三好, 廣瀬, 椿, 浅野, 尾崎, 黒木, 沼, “高速起動を特徴とするフルオンチップ32MHz弛張発振回路”, 第28回回路とシステムワークショップ, pp. 70-75, 2015年8月.
- [194] 篠永, 廣瀬, 雫, 松塚, 黒木, 沼, “サブスレッショルド領域動作に適したスタンダードセルのサイジング手法”, 第28回回路とシステムワークショップ, pp. 88-93, 2015年8月.
- [195] 坪井, 廣瀬, 尾崎, 浅野, 黒木, 沼, “適応バイアス技術を用いた超低電力・高速オペアンプの高性能化”, 第28回回路とシステムワークショップ, pp. 94-99, 2015年8月.
- [196] 秋原, 廣瀬, 田中, 黒木, 沼, 橋本, “小型センサデバイスに向けた無線給電システムの設計”, 第28回回路とシステムワークショップ, pp. 258-263, 2015年8月.
- [197] 佐渡, 廣瀬, 椿, 尾崎, 浅野, 松本, 黒木, 沼, “高耐圧CMOSプロセスによる超低電力・適応バイアス型シリーズレギュレータ”, 第28回回路とシステムワークショップ, pp. 264-269, 2015年8月.
- [198] 小島, 廣瀬, 椿, 尾崎, 浅野, 黒木, 沼, “スイッチトキャパシタ回路を用いたオンチップ電源回路の高効率化”, 第28回回路とシステムワークショップ,

- pp. 270-275, 2015 年 8 月.
- [199] 松塚, 廣瀬, 雫, 黒木, 沼, “幅広い電圧レベル変換を実現する低消費電力レベルシフタ,” 平成 27 年度 VDEC デザイナーズフォーラム, 2015 年 8 月.
- [200] 尾崎, 廣瀬, 長井, 椿, 黒木, 沼, “低電圧入力で作るマイクロ環境発電のための高効率 3 端子昇圧コンバータ,” 平成 27 年度 VDEC デザイナーズフォーラム, 2015 年 8 月.
- [201] 新垣, 喜屋武, 平井, 仲宗根, 長名保範, “カスタム計算機におけるメモリレイアウト最適化のためのチューニングツールの開発”, 第 14 回情報科学技術フォーラム, 2015 年 9 月
- [202] 高橋卓人, 谷本洋, 吉澤真吾, “AD 変換機能を持つ偶高調波ミキサの提案,” 電気関係学会北海道支部連合大会講演論文集, pp. 3, Nov. 2015.
- [203] 杉本俊貴, 谷本洋, 吉澤真吾, “確率的フラッシュ ADC の非線形量子化に関する一考察,” 電気関係学会北海道支部連合大会講演論文集, pp. 14, Nov. 2015.
- [204] 竹端久登, 谷本洋, 吉澤真吾, “確率的フラッシュ型 AD 変換器線形化手法のばらつき耐性,” 電気関係学会北海道支部連合大会講演論文集, pp. 15, Nov. 2015.
- [205] 豊嶋太樹, 寺山恭平, 黒川敦, 今井雅, “ラッチを用いた非同期式パイプライン回路の機能テストに関する一検討,” 電子情報通信学会技術研究報告 DC2015-19, pp.19-24, Jun., 2015
- [206] Ryuhei Tachika, Atsushi Kurokawa, Masashi Imai, “Performance Comparison between Asynchronous Self-timed Circuits and Synchronous Circuits under Ultra Low Voltage Environment,” 平成 27 年度電気関係学会東北支部連合大会, IEEE Student Session, 1A08, Aug., 2015
- [207] Tatsuya Ishikawa, Atsushi Kurokawa, Masashi Imai, “Peak Current Reduction Method of Digital Bandpass Filter using Asynchronous MOUSETRAP Pipeline Circuits,” 平成 27 年度電気関係学会東北支部連合大会, IEEE Student Session, 1A09, Aug., 2015
- [208] 石川達也, 黒川敦, 今井雅, “非同期式回路を用いたピーク電流抑制型バンドパスフィルタの実装と評価,” 電子情報通信学会技術研究報告 VLD2015-68, DC2015-64, p.195-200, Dec., 2015
- [209] 田近龍平, 黒川敦, 今井雅, “QDI モデルに基づく非同期式 VLSI の低電圧特性の評価,” 電子情報通信学会技術研究報告 VLD2015-67, DC2015-63, p.189-194, Dec., 2015
- [210] 寺山恭平, 今井雅, “ラッチベース非同期式回路のテストに関する研究,” 情報処理学会東北支部研究報告 Vol.2015-8 No.B1-2, Feb., 2016
- [211] 佐藤謙介, 今井雅, “ディペンダブル・ネットワーク・オンチッププラットフォームの開発に関する研究,” 情報処理学会東北支部研究報告 Vol.2015-8 No.B1-1, Feb., 2016
- [212] 早川, 吉田, “CMOS-SRAM セルを用いた 3 値 CAM の照合特性”, 平成 27 年電気学会電子・情報・システム部門大会 講演論文集, PS4-3, 2015 年 9 月.
- [213] 加藤孝史, 上ノ原誠二, 鈴木秀幸, 田向権, 森江隆, “カオスボルツマンマシンの CMOS 回路化”, 電子情報通信学会基礎・境界ソサイエティ大会, A-2-15, p. 40, 2015 年 9 月.
- [214] 上ノ原誠二, 森江隆, 田向権, 合原一幸, “大規模非線形結合系のためのデバイスミスマッチ補償回路の評価”, 電子情報通信学会基礎・境界ソサイエティ大会, A-2-16, p. 41, 2015 年 9 月
- [215] 上ノ原誠二, 森江隆, 田向権, 合原一幸, “CMOS しきい値結合写像回路の測定・評価”, 電気学会電子回路研究会, ECT-15-095, 2015 年.
- [216] 保坂, 齋藤, “束データ方式による非同期式回路に対する演算の移動度を利用した動的電力最適化手法の評価”, 電子情報通信学会技術研究報告, 2015-SLDM-173, no.38, pp.201–pp.206, 2015 年 12 月.
- [217] 安達, 吉田, 片山, 高野, 天川, 藤島, “周波数 3 通倍器のビヘイビアモデル”, 2015 年電子情報通信学会ソサイエティ大会講演論文集, p.54, 2015 年 8 月.
- [218] 合田, 高野, 片山, 天川, 吉田, 藤島, “ミリ波 CMOS 0 Ω 伝送線路モデル”, 2015 年電子情報通信学会ソサイエティ大会講演論文集, p.51, 2015 年 8 月.
- [219] 川部嵩永・渡邊裕紀・春海 豪・峯村亮佑・西勝 聡・吉野理貴・安田 彰, $\Delta \Sigma$ DAC の高精度化,
- [220] 高橋壮佳, 戸野村厚樹, 安田 彰, 吉野理貴, 5V 駆動大電力デジタルスピーカ用ドライバの試作, 電子情報通信学会総合大会, A-5-13, 3 月, 2016 年
- [221] 戸賀崎悠介, 星野裕也, 吉野理貴, 安田 彰, 差動注入トランジスタを用いた広同期範囲 5GHz 帯注入同期型分周器, 電子情報通信学会全国大会, C-12-3, 3 月, 2016 年,
- [222] 大澤和嵩, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “CMOS イメージセンサを用いた培養細胞のオンチップ蛍光計測システム,” 応用物理学会春季学術講演会, 20a-W331-9, 2016 年 3 月 20 日, 東工大 大岡山キャンパス.
- [223] Anek Wuthayavanich, Makito Haruta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, “A fluorescence imaging device with a portable system for detection of nitric oxide,” 応用物理学会春季学術講演会, 20p-P12-11, 2016 年 3 月 20 日, 東工大 大岡山キャンパス.
- [224] 須永圭紀, 春田牧人, 山口貴大, 桂木 優治, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “埋植型デバイスによる広範囲イメージングに向けた励起光除去性能改善,” 応用物理学会春季学術講演会, 20p-W331-5, 2016 年 3 月 20 日, 東工大 大岡山キャンパス.
- [225] 吉村彰人, 川崎凌平, 野田俊彦, 田代洋行, 竹原宏明, 笹川清隆, 徳田崇, 太田淳, “人工視覚システム用 CMOS チップ内蔵スマート電極デバイスの作成と動作実証,” 応用物理学会春季学術講演会, 20a-W331-1, 2016 年 3 月 20 日, 東工大 大岡山キャンパス.

- [226] 徳田崇・竹原宏明・野田俊彦・笹川清隆・興津輝・竹内昌治・太田淳, “生体埋め込み CMOS 光センサ技術による蛍光方式グルコースセンサ,” (invited) 電気学会全国大会, S24-1, 2016 年 3 月 18 日, 東北大学川内北キャンパス.
- [227] 中塚 篤志, 本田真彬, 中野百恵, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 西山靖浩, 垣内喜代三, 太田淳, “マイクロリアクタ向け偏光計測 CMOS イメージセンサの性能向上,” 電気学会全国大会, 3-111, 2016 年 3 月 16 日, 東北大学川内北キャンパス.
- [228] 永田健悟, 速水一, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “埋込型 CMOS イメージセンサによるマウス頭蓋骨を介した生体内光通信の原理実証,” 第 14 回関西学生研究論文講演会, 2016 年 3 月 9 日, 京都工芸繊維大学.
- [229] 本田真彬, 中塚篤志, 中野百恵, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 西山靖浩, 垣内喜代三, 太田淳, “マイクロリアクタ用不斉分析のための偏光計測イメージセンサ,” 第 14 回関西学生研究論文講演会, 2016 年 3 月 9 日, 京都工芸繊維大学.
- [230] 永崎瑞樹, 竹原浩成, 中本悠太, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 野地博行, 太田淳, “デジタル酵素結合免疫吸着法に向けたライトパイプアレイ搭載蛍光検出システム,” 第 14 回関西学生研究論文講演会, 2016 年 3 月 9 日, 京都工芸繊維大学.
- [231] 速水 一, 永田健悟, 竹原宏明, 野田俊彦, 笹川清隆, 徳田 崇, 太田 淳, “協調的な脳活動計測に向けた多点撮像デバイス,” バイオマイクロシステム(BMS)研究会, 2015 年 12 月 16 日, 物質・材料研究機構 並木地区 MANA 棟 431 室.
- [232] 徳田 崇, “[生体埋植 CMOS 技術による光電機神経インターフェイスデバイス],” (invited) 学振第 174 委員会 第 53 回研究会, 2016 年 3 月 2 日, 京都大学 東京品川オフィス.
- [233] 太田 淳, “体内埋込デバイスによる生体刺激と機能イメージング,” (invited) 中部表面科学 シンポジウム, 2016 年 1 月 23 日, 名城大学名駅サテライト(KDX 名古屋駅前ビル).
- [234] 太田 淳, “イメージセンサのバイオ医療応用,” (invited) 日本学術振興会第 179 委員会第 41 回研究会, 2015 年 12 月 11 日, 弘済会館.
- [235] 竹原浩成, 永崎瑞樹, 中本悠太, 笹川清隆, 竹原宏明, 野田俊彦, 徳田崇, 太田淳, “1 分子酵素アッセイのコンタクトイメージング用マイクロライトパイプアレイ蛍光検出システム,” Optics & Photonics Japan 2015 第 9 回新画像システム・情報フォトリクス研究討論会, 2015 年 10 月 30 日, 筑波大学東京キャンパス文京校舎.
- [236] Anek Wuthayavanich, Makito Haruta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, “A small implantable imaging device for Nitric Oxide signal detection,” 応用物理学会秋季学術講演会, 2015 年 9 月 14 日, 名古屋国際会議場.
- [237] 速水一, 永田健悟, 春田牧人, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “植型 PWM 出力イメージセンサを用いた生体内通信による画像伝送,” 応用物理学会秋季学術講演会, 2015 年 9 月 15 日, 名古屋国際会議場.
- [238] 山口貴大, 須永圭紀, 春田牧人, 元山真由美, 太田安美, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “埋植用自己リセット型 CMOS イメージセンサによる内因性シグナルの検出,” 応用物理学会秋季学術講演会, 2015 年 9 月 15 日, 名古屋国際会議場.
- [239] 藤沢匠, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, Edoardo Charbon, 太田淳, “STS 方式人工視覚向け網膜刺激デバイスへの光検出機能の搭載,” 応用物理学会秋季学術講演会, 2015 年 9 月 15 日, 名古屋国際会議場.
- [240] 川崎凌平, 藤沢匠, 野田俊彦, 田代洋行, 竹原宏明, 笹川清隆, 徳田崇, 太田淳, “人工視覚用 CMOS チップ内蔵スマート電極デバイスの作製と負荷駆動能力の向上,” 応用物理学会秋季学術講演会, 2015 年 9 月 15 日, 名古屋国際会議場.
- [241] 野口知暉, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “広範囲被覆可能な CMOS ベースマルチモーダル脳刺激・計測デバイスの開発,” 応用物理学会秋季学術講演会, 2015 年 9 月 15 日, 名古屋国際会議場.
- [242] 須永圭紀, 山浦洋, 春田牧人, 山口貴大, 元山真由美, 太田安美, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇 吉村由美子, 太田淳, “埋植型 CMOS デバイスを用いたフラビン蛋白蛍光イメージング,” 応用物理学会秋季学術講演会, 2015 年 9 月 15 日, 名古屋国際会議場.
- [243] 速水一, “生体内多点計測向け 2 配線複数順次駆動 PWM 出力イメージセンサ,” VDEC デザイナーズフォーラム 2015, 2015 年 8 月 28 日, 山代温泉 ゆのくに天祥.
- [244] 山口貴大, “神経活動の検出に特化した時間微分出力 CMOS イメージセンサ,” VDEC デザイナーズフォーラム 2015, 2015 年 8 月 29 日, 山代温泉 ゆのくに天祥.
- [245] 本田真彬, 竹原浩成, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 西山靖浩, 垣内喜代三, 太田淳, “マイクロリアクタ向け偏光分析 CMOS イメージセンサの機能向上,” 映像情報メディア学会年次大会 2015, 2015 年 8 月 26 日, 東京理科大学葛飾キャンパス.
- [246] 平井智大, 河村敏和, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 興津輝, 竹内昌治, 太田淳, “CMOS センサベース蛍光方式埋め込みグルコースセンサの開発,” 映像情報メディア学会年次大会 2015, 2015 年 8 月 26 日, 東京理科大学葛飾キャンパス.
- [247] 永崎 瑞樹, 竹原 浩成, 竹原 宏明, 野田 俊彦, 笹川 清隆, 徳田 崇, 野地 博行, 太田 淳, “デジタル酵素結合免疫吸着法に向けた遮光層付ドロップレットアレイ搭載 CMOS イメージセンサの開発,” 映像情報メディア学会年次大会 2015, 2015 年 8 月 26

- 日, 東京理科大学葛飾キャンパス.
- [248] 永田健悟, 速水一, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “LEDによる画像情報出力可能な生体埋植型イメージングデバイスの開発,” 映像情報メディア学会年次大会 2015, 2015年8月26日, 東京理科大学葛飾キャンパス.
- [249] Makito Haruta, Naoya Kamiyama, Takahiro Yamaguchi, Mayumi Motoyama, Mamiko Kawahara, Yasumi Ohta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, “動物の脳機能制御を可能にする無線多点光刺激デバイス,” 第38回日本神経科学大会, 2015年7月29日, 神戸国際展示場.
- [250] 太田安美, 元山真由美, 春田牧人, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “自由行動下マウス脳内神経活動の計測を目的とした埋植用微小イメージングデバイス,” 第38回日本神経科学大会, 2015年7月29日, 神戸国際展示場.
- [251] 春田牧人, 須永圭紀, 山口貴大, 竹原浩成, 太田安美, 元山真由美, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “埋め込み可能な小型脳血流イメージングデバイスの開発,” E部門総合研究会, 2015年7月, 九州大学医学部百年講堂.
- [252] 速水一, 永田健悟, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “多点埋植型PWM出力イメージセンサを用いた神経ネットワーク計測システム,” LSIとシステムのワークショップ2015, 2015年5月11日, 北九州国際会議場, 福岡.
- [253] 山口貴大, 須永圭紀, 春田牧人, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “埋植用自己リセット型イメージセンサの低発熱化によるSNR向上,” LSIとシステムのワークショップ2015, 2015年5月11日, 北九州国際会議場, 福岡.
- [254] 河村敏和, 平井智大, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 興津輝, 竹内昌治, 太田淳, “CMOSイメージセンサ技術による蛍光方式生体埋込グルコースセンサの開発,” LSIとシステムのワークショップ2015, 2015年5月11日, 北九州国際会議場, 福岡.
- [255] C. Monteiro, 高橋康宏, 関根敏和, “Efficient DPA-Resistance verification of CSSAL AES S-box LSI implemented using 0.18 μ m CMOS technology,” 第28回IEICE回路とシステムワークショップ論文集, pp.76-81, Aug. 2015.
- [256] 加藤和成, 高橋康宏, 関根敏和, “サブスレッショルド断熱的論理回路の消費電力解析,” 第28回IEICE回路とシステムワークショップ論文集, pp.82-87, Aug. 2015.
- [257] 松田, 片寄, 大島, 小野田, 牧野 “リバース型アバランシェフォトダイオードのシングルイベント効果のシミュレーション研究(II)”, 2016年第63回応用物理学会 予稿集
- [258] 劉アンキ, 小西敏文, 山根大輔, 伊藤浩之, 道正志郎, 石原昇, 町田克之, 益一哉, 「CMOS低雑音オペアンプ設計法の検討」電子情報通信学会 2016年総合大会, C12-13, 2016年3月15日 -18日
- [259] 高安基大, 権田惇晟, 石川洋介, 伊藤浩之, 道正志郎, 石原昇, 益一哉, 「SSOP表面実装部品対応型RFユニバーサル基板」電子情報通信学会 2016年総合大会, C2-99, 2016年3月15日 -18日
- [260] 石川洋介, 李尚曄, 米澤慎, 池田翔, 方一鳴, 濱田泰輔, 伊藤浩之, 石原昇, 益一哉, 「J型折り畳みモノポールアンテナを用いた0.5V 1.56mW OOKトランシーバモジュール」電子情報通信学会総合大会 2016 総合大会, C12-2, 2016年3月15日 -18日
- [261] 小原崇義, 石川洋介, 池田翔, 伊藤浩之, 道正志郎, 石原昇, 益一哉, 「環境発電型センサネットワーク用低消費電力インパルス無線送信機」アナログRF研究会, 2016年3月1日 -2日
- [262] 富樫祐太, 伊藤浩之, 道正志郎, 石原昇, 益一哉, 「伝送線路を用いた土壤水分量測定技術の検討」アナログRF研究会, 2016年3月1日 -2日
- [263] 石川洋介, 伊藤浩之, 「0.5Vで動作するRFトランシーバモジュール」STARCフォーラム 2015, 2015年11月27日
- [264] 池田翔, 伊藤浩之, 「集団同期現象を用いたローカル信号生成法」STARCフォーラム 2015, 2015年11月27日
- [265] 伊藤浩之, 白根篤史, 池田翔, 石川洋介, 石原昇, 益一哉, 「超低電力RFトランシーバ技術と課題」, Microwave Workshops and Exhibition, TH3B-1, 2015.
- [266] 石川洋介, 李尚曄, 米澤慎, 池田翔, 方一鳴, 濱田泰輔, 伊藤浩之, 石原昇, 益一哉, 「J型折りたたみモノポールアンテナを用いた0.5V 1.56mW RFトランシーバモジュール」第42回アナログRF研究会, 2015年11月24日.
- [267] 高安基大, 石川洋介, 白根篤史, 伊藤浩之, 石原昇, 益一哉, 「表面実装部品対応RFユニバーサル基板」アナログRF研究会, 2015年7月20日 -23日
- [268] 伊藤, 四ツ田, 久保, 高坂, 宮脇, 中野, “微小信号増幅器評価における電源雑音に関する考察”, 第42回アナログRF研究会, 2015年11月24日
- [269] 渡邊, 折原, 南, 中野, “A Fully Integrated Boost Power Supply with On-Chip Photovoltaic Device”, SSDM 2015, 2015年9月27日 -30日
- [270] 渡邊, 折原, 南, 中野, “A Design of On-Chip Power Supply System with Intermittent Operation for Stand-Alone Chip”, The 1st RIS-MJIIT Workshop on Renewable and Sustainable Integrated Systems 2015 (RSIS2015), 2015年12月19日
- [271] 折原, 渡邊, 南, 中野, “On-Chip Nonvolatile Memory Using Standard CMOS Technology for Microsystem”, The 1st RIS-MJIIT Workshop on Renewable and Sustainable Integrated Systems 2015 (RSIS2015), 2015年12月19日
- [272] 渡邊, 折原, 南, 中野, “標準CMOSプロセスを用いたオンチップ太陽電池昇圧電源システム”, 慶應テ

クノモール, 2015年12月4日

- [273] 折原, 渡邊, 南, 中野, “マイクロシステム用オンチップメモリの検討”, 第40回アナログRF研究会, 2015年6月25日
- [274] 五十嵐, 伊藤, 渡邊, 南, 中野, “マイクロシステム用オンチップ光起電力デバイスおよび出力調整DCDCコンバータの設計”, 第41回アナログRF研究会, 2015年7月20日-23日
- [275] 濱田, 四柳, 橋爪, “遅延故障用バウンダリスキャンによるTSV検査法に関する研究”, 電気関係学会四国支部連合大会講演論文集, p.111, 2015年9月.
- [276] 宮本, 四柳, 橋爪, “TSV故障検出回路におけるVDL回路部の遅延検出能力評価”, 電気関係学会四国支部連合大会講演論文集, p.112, 2015年9月.
- [277] 藤谷, 四柳, 橋爪, “断線故障検査における並走距離を考慮した隣接線の論理値割当候補の削減”, 電気関係学会四国支部連合大会講演論文集, p.113, 2015年9月.
- [278] 伊勢, 四柳, 橋爪, 樋上, 高橋, “隣接線の信号遷移を用いる多変量解析による半断線故障の検出可能性について”, 電気関係学会四国支部連合大会講演論文集, p.114, 2015年9月.
- [279] 石場, 四柳, 橋爪, “微小遅延故障検査用遅延測定回路内の遅延付加部の改良”, 電気関係学会四国支部連合大会講演論文集, p.117, 2015年9月.
- [280] 森, 四柳, 橋爪, “TDC組込み型バウンダリスキャンを用いた2経路同時遅延測定の実測による評価”, 電気関係学会四国支部連合大会講演論文集, p.118, 2015年9月.
- [281] 菅, 四柳, 橋爪, “電荷注入量によるIC間配線の電流テストの可能性評価”, 電気関係学会四国支部連合大会講演論文集, p.96, 2015年9月.
- [282] 踊場, 四柳, 橋爪, S-K. Lu, “ダイオード付加検査用回路による3D IC内ダイ間容量断線の電気検査能力評価”, 電気関係学会四国支部連合大会講演論文集, p.99, 2015年9月.
- [283] 伊喜利, 四柳, 橋爪, 横山, 多田, S-K. Lu, “3D積層メモリ内TSV救済回路の伝搬遅延調査”, 電気関係学会四国支部連合大会講演論文集, p.100, 2015年9月.
- [284] 梶谷, 四柳, 橋爪, “CMOSイメージセンサ画素回路内欠陥の回路シミュレーションによる検査能力調査”, 電気関係学会四国支部連合大会講演論文集, p.101, 2015年9月.
- [285] 南原, 四柳, 橋爪, S-K. Lu, “nMOSスイッチを用いた組込型検査用回路を有するICのIC間断線の電気検査法の不良判定しきい値の導出”, 電気関係学会四国支部連合大会講演論文集, p.102, 2015年9月.
- [286] 宮部, 四柳, 橋爪, Z. Roth, “三角波刺激信号印加によるIC間配線の電流テストの可能性評価”, 電気関係学会四国支部連合大会講演論文集, p.103, 2015年9月.
- [287] 森, 四柳, 橋爪, “遅延故障検査容易化回路を用いる同時検査対象経路選択条件の検討”, 電子情報通信学会技術研究報告, Vol.115, No.339, pp.25-30, 2015年12月.
- [288] 伊勢, 四柳, 橋爪, 樋上, 高橋, “隣接線の信号遷移による遅延変動を用いる半断線故障の判別法について”, 電子情報通信学会技術研究報告, Vol.115, No.339, pp.31-36, 2015年12月.
- [289] 藤谷, 四柳, 橋爪, 樋上, 高橋, “論理値割当隣接線の選択による断線故障用テスト生成時間の削減”, 電子情報通信学会技術研究報告, Vol.115, No.449, pp.13-18, 2016年2月.
- [290] 宮部, 四柳, 橋爪, Z. Roth, “組込型DC刺激信号印加回路を用いた電流テストによるICのリード浮き検出の可能性”, 第30回エレクトロニクス実装学会春季講演大会, pp.198-200, 2016年3月.
- [291] A. A. B. Fara, 梅津, 伊喜利, 四柳, 橋爪, S-K. Lu, “バウンダリスキャンテスト回路を有しないICの電流テストによるリード浮き検出法”, 第30回エレクトロニクス実装学会春季講演大会, pp.195-197, 2016年3月.
- [292] 上野, 本間, 菅原, 野上, 青木, “冗長表現に基づく高効率ガロア体算術演算回路の設計”, 第29回多値論理とその応用研究会, No. 4, pp. 22-30, 2016年1月.
- [293] 秋間学尚, 守谷哲, 川上進, 矢野雅文, 中島康治, 櫻庭政夫, 佐藤茂雄, “大脳皮質視覚野において局所運動を検出する神経回路網モデルのLSI化”, 信学技報, vol.115, no.111, pp. 57-62, June 23-25, 2015.
- [294] 守谷哲, 秋間学尚, 川上進, 矢野雅文, 中島康治, 櫻庭政夫, 佐藤茂雄, “局所運動を統合して平面の空間認識を行う神経網モデルのLSI化”, 2016年電子情報通信学会総合大会, 九州大学伊都キャンパス, Mar. 15-18, 2016.
- [295] 角谷, 森, 前澤, “ $\Delta\Sigma$ 型歪みセンサのためのRTD装荷カンチレバーの検討”, 2015年電子情報通信学会ソサイエティ大会, C-10-5, 2015年9月.
- [296] 前澤, 角谷, 中山, 田近, 森, “共鳴トンネル素子を用いた $\Delta\Sigma$ 型歪みセンサ”, 電子情報通信学会電子デバイス研究会, 2015年7月.
- [297] 前澤, 中野, 柴田, 森田, 坂本, 山田, 森, “Ga溶融バンプを用いたFluidic Self Assemblyによる異種材料集積化技術”, 電子情報通信学会信頼性(R)研究会報告R2015-28, 2015年8月.
- [298] 舟山厚志, 田村昌也, “デュアルバンドBPFの設計に関する基礎検討”, 2016信学総大, no.C-2-63, p.92, March 2016.
- [299] 仲泰正, 山本恭平, 田村昌也, “複素電圧を用いた誘電率測定系の確度検証”, 2016信学総大, no.B-21-11, p.623, March 2016.
- [300] 渡邊耀介, 田村昌也, 高野一平, “散乱体を有する遮蔽空間における空洞共振器理論を用いた無線電力伝送の基礎検討”, 信学技報WPT2015-75, vol.115, no.446, pp.17-20, Feb. 2016.
- [301] 藤原, 松田, 松本, “低消費電力心拍抽出ASIC及びアナログフロントエンド” 電気学会研究会, 2015年

- [302] 服部, 藤原”生体モニタリングを指向したMPU設計と集積化”電気学会全国大会, 2016年
- [303] 井川昂輝, 史又華, 柳澤政生, 戸川望,”基板バイアス制御による遅延ばらつき補償および配線遅延を考慮した低エネルギーオーバーヘッド指向の高位合成手法,”情報処理学会DAシンポジウム2015論文集, pp. 23-28, 加賀市, 2015年8月26日.
- [304] 伊東光希, 川村一志, 田宮豊, 柳澤政生, 戸川望,”ローテータベースマルチプレクサネットワークによるフィールドデータ抽出器の構成手法,”情報処理学会DAシンポジウム2015論文集, pp. 29-34, 加賀市, 2015年8月26日.
- [305] 古城辰朗, 多和田雅師, 柳澤政生, 戸川望,”クラスタリングによる書き込みビット数削減と誤り訂正を実現する不揮発メモリを対象とした符号の構成手法,”情報処理学会DAシンポジウム2015論文集, pp. 11-16, 加賀市, 2015年8月26日.
- [306] 大屋優, 史又華, 山下哲孝, 岡村利彦, 角尾幸保, 柳澤政生, 戸川望, ゲートレベルネットリストの脆弱性を表現する指標, vol. 115, no. 338, VLD2015-59, pp. 141-146, 長崎市, 2015年12月3日.
- [307] 吉田慎之介, 史又華, 柳澤政生, 戸川望, タイミングエラー耐性を持つAES暗号回路の設計, vol. 115, no. 465, VLD2015-123, pp. 73-78, 那覇市, 2016年3月1日.
- [308] 伊東光希, 川村一志, 田宮豊, 柳澤政生, 戸川望,”制御回路を考慮したローテータベースマルチプレクサネットワークによるフィールドデータ抽出器の評価,” vol. 115, no. 465, VLD2015-120, pp. 55-60, 那覇市, 2016年3月1日.
- [309] 大屋優, 史又華, 山下哲孝, 岡村利彦, 角尾幸保, 柳澤政生, 戸川望, 回路の動的な振る舞いから定常状態を学習することでハードウェアトロイを検出する手法, SCIS2016, 熊本市, 2016年1月20日.
- [310] 大屋優, 史又華, 柳澤政生, 戸川望, 悪意ある機能を無効化する内部ハードウェアトロイ認証, vol. 115, no. 465, VLD2015-124, pp. 79-84, 那覇市, 2016年3月1日
- [311] 井川昂輝, 柳澤政生, 戸川望, 動的遅延ばらつきに対する適応性を考慮したフロアプラン指向高位合成手法の検討, 信学技報, vol. 115, no. 398, VLD2015-105, pp. 209-214, 日吉, Jan. 2016
- [312] RAD HOSSEIN IZADI, GHAREHBAGHI AMIR MASOUD, FUJITA MASAHIRO, “Efficient Graph Matching Method for LUT-Networks”, 電子情報通信学会, 信学技報 115(400), pp.43-48
- [313] 川尾太郎, 河野崇, 藤田昌宏, “高位合成による自動バイプライン化を利用したスパイキングニューラルネットワークシミュレーション高速化回路のFPGA実装”, 電子情報通信学会, 信学技報 115(339), pp.13-18
- [314] 木村悠介, ガラバギアミルマスード, 藤田昌宏, “実時間組み込みソフトウェア解析のためのHW/SW協調検査”, 電子情報通信学会, 信学技報 115(21), pp.39-44
- [315] Shridhar Chaudhary, Amir Masoud Gharehbaghi, Takeshi Matsumoto, Masahiro Fujita, “Trace Signal Selection Methods for Post Silicon Debugging,” 情報処理学会, 2015-SLDM-171(4), pp.1-6
- [316] 小高, 佐藤,”出力電圧リプルを考慮したマルチフェーズコンバータの小面積化設計手法の提案”, 電気学会資料集電子回路研究会 ECT-15 046-065, pp33-38, 2015年7月
- [317] 小高, 佐藤,”多チャネル増幅回路の諸特性が独立成分分析に与える影響の一検討”, 電気学会資料集電子回路研究会 ECT-15 097-110, pp9-14, 2015年12月
- [318] 中田憲吾, Deng Wei, Yang Dongsheng, 上野智大, Narayanan Tharayil Aravind, Siribranon Teerachot, 近藤智史, 岡田健一, 松澤昭,”注入同期を利用した自動合成配置配線可能な All Digital Synthesizable PLL”, LSI とシステムのワークショップ 2015, 北九州市, May. 2015.
- [319] 桂木真希彦, Aravind Tharayil Narayanan, 岡田健一, 松澤昭, “位相補間回路の高精度化に関する検討”, 2015年電子情報通信学会ソサイエティ大会(於東北大学), C-12-16, Sep. 2015.
- [320] 中田憲吾, Deng Wei, Yang Dongsheng, 上野智大, Narayanan Tharayil Aravind, Siribranon Teerachot, 近藤智史, 岡田健一, 松澤昭, “注入同期を利用した Synthesizable PLL”, VDEC デザイナーズフォーラム 2015, 加賀市, Aug. 2015.
- [321] 眞木翔太郎, 瀬尾有輝, 岡田健一, 松澤昭, “60GHz帯送信回路におけるイメージ波の検出技術”, 2015年電子情報通信学会ソサイエティ大会(於東北大学), C-12-18, Sep. 2015.
- [322] ファムヴァントゥアン, 近藤智史, タライルナラヤナンアラビンド, 岡田健一, 松澤昭, “Class-C型 CMOS VCOにおける最適バイアス制御回路の検討”, 2015年電子情報通信学会ソサイエティ大会(於東北大学), C-12-12, Sep. 2015.
- [323] 遠藤友貴哉, 宮原正也, 松澤昭, “クロスカップリングを用いた比較器の低雑音化の検討”, 2015年電子情報通信学会ソサイエティ大会(於東北大学), C-12-32, Sep. 2015.
- [324] 夏エン, 宮原正也, 松澤昭, “抵抗型D/A変換器のばらつき補償に関する研究”, 2015年電子情報通信学会ソサイエティ大会(於東北大学), C-12-31, Sep. 2015.
- [325] 木邨友弥, 金子徹, 横溝真也, 宮原正也, 松澤昭, “広帯域フィルタに用いる相補入力型Gmセルの同相電圧安定化に関する研究”, 2015年電子情報通信学会ソサイエティ大会(於東北大学), C-12-17, Sep. 2015.
- [326] Aravind Tharayil Narayanan, Makihiko Katsuragi, Kento Kimura, Kenichi Okada, and Akira Matsuzawa, “A Fractional-N Sub-Sampling PLL using a Pipelined Phase-Interpolator aided DTC,” 2015年電子情報通信学会ソサイエティ大会(於東北大学), C-12-15, Sep.

- 2015.
- [327] Dongsheng Yang, Wei Deng, Kengo Nakata, Teerachot Siriburanon, Kenichi Okada, and Akira Matsuzawa, "A Fully Synthesized Fractional-N IL-PLL Using Only Digital Library," IEICE General Conference 2016, Kyushu University, Fukuoka, C-12-9, Mar. 2016.
- [328] 桂木真希彦, 岡田健一, 松澤昭, "Push-Push Doubler を用いた 20GHz 帯 VCO の低位相雑音化", 2016 年電子情報通信学会総合大会(於九州大学), C-12-4, Mar. 2016.
- [329] 堂目 正人, 眞木 翔太郎, 永島典明, Pang Jian, 岡田健一, 松澤昭, "60GHz 帯マルチチャネル局部発振器用バッファ回路の検討" 2016 年電子情報通信学会総合大会(於九州大学), C-12-5, Mar. 2016.
- [330] Korkut Kaan Tokgoz, Shotaro Maki, Kenichi Okada, and Akira Matsuzawa, "Accurate Characterization Method for Cross-Line on CMOS Based on Two-Port Measurements," IEICE General Conference 2016, Kyushu University, Fukuoka, C-12-6, Mar. 2016.
- [331] 和田雄友, 山本航汰, 高橋芳浩, 呉研:「Source/Drain 領域のバンドギャップ制御による SOI-MOSFET の寄生バイポーラ効果の抑制」, 第 63 回応用物理学会春季学術講演会, 19a-S223-8, 2016.3.
- [332] 呉研, 高橋芳浩:「Tunnel FET 構造による放射線照射誘起寄生バイポーラ効果低減」, 日本信頼性学会第 23 回春季信頼性シンポジウム, 2-1, 2015.6.
- [333] 和田雄友, 山本航汰, 呉研, 高橋芳浩:「SOI-MOSFET における寄生バイポーラ効果の Source/Drain バンドギャップ依存性」, 日本大学理工学部術講演会, M-7, 2015.12.
- [334] 山本航汰, 和田雄友, 呉研, 高橋芳浩:「微細 SOI-CMOS 構造の重イオン照射効果」, 日本大学理工学部術講演会, M-17, 2015.12.
- [335] 水野, 内藤, 中村, "Flipped Voltage Follower を用いた広帯域 TIA の提案", 電子情報通信学会ソサイエティ大会, A-1-17, 2015 年 9 月.
- [336] 内藤, 大野, 中村, "ピークホールド回路を用いたバースト伝送対応高速オフセット補償", 電子情報通信学会ソサイエティ大会, A-1-18, 2015 年 9 月.
- [337] 久米, 滝, 中村, "バースト光受信回路における利得/オフセット制御の高速化", 電子情報通信学会ソサイエティ大会, A-1-22, 2015 年 9 月.
- [338] 野々村, 伊藤, 中村, "帯域可変 TIA を用いた適応型波形等化の検討", 電子情報通信学会ソサイエティ大会, A-1-21, 2015 年 9 月.
- [339] 久米, 滝, 中村, "バースト光受信回路における高精度 AOC 回路の提案", 電子情報通信学会総合大会, A-1-24, 2016 年 3 月.
- [340] 平塚, 内藤, 中村, "Gated-VCO の高周波発振および高速ゲート応答化の検討", 電子情報通信学会総合大会, A-1-25, 2016 年 3 月.
- [341] 潘春暉, 傘昊, "逐次比較量子化器とリングアンプを用いる $\Delta\Sigma$ AD 変調器の検討" 第 28 回回路とシステムワークショップ
- [342] 成田隼斗, 内山亜沙人, 内田順平, 松浦達治, 傘昊, 堀田正生, フォールデッドカスコードアンプを用いたサイクリック ADC の雑音解析
- [343] 中塚裕志, 高橋篤司, "動的タイミングエラー検出を用いた可変レイテンシ化による一般同期式回路の高速化", 信学技報, vol. 115, no. 465, VLD2015-140, pp. 167-172, 2016 年 2 月.
- [344] 蔡定勳, イスラムエイケイエムマーフズル, 桜井貴康, 高宮真, "人工ニューラルネットワークエンジンにおける画像認識率と消費エネルギーのトレードオフの定量化", 電子情報通信学会総合大会, C-12-31, 福岡, 2016 年 3 月.
- [345] 山内善高, 桜井貴康, 高宮真, "電流不連続モード Single-Inductor Dual-Output DC-DC コンバータにおけるヒステリシス制御による高速応答化の実証", 電子情報通信学会総合大会, C-12-28, 福岡, 2016 年 3 月.
- [346] パックジフン, 高宮真, 桜井貴康, "IoT 端末に対する物理的盗聴感知に向けた端子容量の微小変化の検出回路の研究", 電子情報通信学会総合大会, C-12-12, 福岡, 2016 年 3 月.
- [347] 本田雅宣, 桜井貴康, 高宮真, "容量性結合を用いた電源コードエネルギーハーベスティングの提案と実証", 電子情報通信学会, 信学技報, ICD2015-64, pp. 7-11, 京都, 2015 年 12 月.
- [348] 本田雅宣, 桜井貴康, 高宮真, "電源コード外皮からの容量性結合エネルギーハーベスティングの提案と実証", 電子情報通信学会ソサイエティ大会, B-21-11, 仙台, 2015 年 9 月.
- [349] 濱松昌宗, 更田裕司, 横田知之, 雪田和歌子, 染谷晃基, 関谷 毅, 高宮 真, 染谷隆夫, 桜井貴康, "室内光で発電し音で発熱を知らせる腕章型発熱アラームの提案と有機回路による実証", 電子情報通信学会, LSI とシステムのワークショップ, ポスターセッション学生部門, PS-8, 北九州, 2015 年 5 月.
- [350] 秋山正弘, 橋場美央, 堀内貴彰: フィルタレス分光イメージセンサへの応用を目指した標準 CMOS プロセスで作製したアバランシェフォトダイオード, 平成 27 年度電子情報通信学会信越支部大会, (2015,10), P-22, 158,
- [351] 秋山正弘, 橋場美央, "CMOS プロセスで作製したアバランシェフォトダイオードを用いたフィルタレス分光センサの評価, 第 21 回高専シンポジウム in 香川, Pb-004, (2016,1)
- [352] 竹内悠登, 趙 謙, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "高速シリアル通信機構をもつ 3 次元 FPGA の面積最適化," 信学技報 RECONF2015-4, vol.115, no.109, pp17-22, Jun. 2015.
- [353] 石井友樹, 池邊雅登, 趙 謙, 尼崎太樹, 飯田全広, 末吉敏則, "H-Tree トポロジを用いた FPGA 配線構造の一検討," 信学技報 RECONF2015-60, vol.115, no.400, pp7-12, Jan. 2016.
- [354] 小菅敦丈, 門本淳一郎, 黒田忠広, "[招待講演] 伝

- 送線路型結合器を用いた非接触メモリインタフェース,” 電子情報通信学会集積回路研究会 (ICD), April, 2015.
- [355] 竹康宏, 黒田忠広, “[招待講演]位相分割多重コイルを用いたプロセッサ-メモリ間誘導結合インタフェース,” 電子情報通信学会集積回路研究会 (ICD), April, 2015.
- [356] 山下大地, 佐伯勝敏, 関根好文, “連続スパイクの発振周波数に依存した可塑シナプスモデルを用いたパターン認識に対する一検討”, 電気学会電子回路研究会, ECT-15-092, pp.41-44, 徳島, 2015.11.13
- [357] 阿部水樹, 中村麻衣, 高藤美泉, 齊藤健, 佐伯勝敏, 内木場文男, 関根好文, “STDP 特性の電子回路モデル化に対する検討”, 電気学会電子回路研究会, ECT-15-091, pp.35-39, 徳島, 2015.11.13.
- [358] 戸泉孝太, 佐伯勝敏, 関根好文, “大規模 ANN のためのニューロモーフィックデバイスに対する一検討”, 電気学会電子回路研究会, ECT-15-090, pp.31-34, 徳島, 2015.11.13.
- [359] 二瓶乃亮, 佐伯勝敏, 関根好文, “センサフィードバックを考慮した CPG モデルの歩行制御に対する一検討”, 電気学会電子回路研究会, ECT-15-086, pp.11-14, 徳島, 2015.11.12
- [360] 夏新宇, 二瓶乃亮, 佐伯勝敏, 関根好文, “圧力センサーを用いた腰関節を有する四足ロボットの歩行制御に対する一検討”, 電気学会電子回路研究会, ECT-15-084, pp.1-4, 徳島, 2015.11.12
- [361] 杉戸俊樹, 山下大地, 佐々木芳樹, 佐伯勝敏, 関根好文, “スパイクタイミングと発振周波数に依存した可逆シナプスモデルの構築に対する検討”, 2016年電子情報通信学会総合大会, M-4, p.1017-1018, 2016.3.18
- [362] 佐伯勝敏, “パルス形ニューロデバイスの開発とその応用”, 2015年電気学会電子・情報・システム部門大会, TC17-4, pp.508-513, 長崎大学, 2015.8.28
- [363] 二瓶乃亮, 佐伯勝敏, 関根好文, “シナプス結合荷重値を用いた CPG モデルの歩行制御に対する一検討”, 2015年電気学会電子・情報・システム部門大会, GS1-5, pp.1068-1069, 長崎大学, 2015.8.27
- [364] 戸泉孝太, 二瓶乃亮, 佐伯勝敏, 関根好文, “大規模 ANN のための細胞体モデルの低消費電力化に対する一検討”, 2015年電気学会電子・情報・システム部門大会, GS1-4, pp.1064-1067, 長崎大学, 2015.8.27
- [365] 中村哲平, 宋航, 河野勇人, 瀬尾裕二, 吉川公磨, アズハリアフリーン, “複素誘電率測定用オンチップインダクタモデルの提案,” 第 63 回応用物理学会春季学術講演会, 講演予稿集, 19p-P4-6, 2016年3月19日-3月22日, 東京工業大学
- [366] 新家和毅, 王密田, アフリーンアズハリ, 吉川公磨, “0-25 GHz の 65 nm CMOS 差動 DP4T スイッチングマトリクス”, 第 76 回応用物理学会学術講演会, 講演予稿集 p126, 14a-PB4-3, 2015年9月13-16日.
- [367] 瀬尾裕二, 外谷昭洋, 十河健太, 吉川公磨, “共焦点画像処理のためのガウシアンモノサイクルパルス等価時間サンプリング CMOS 回路” 2015年度応用物理・物理系学会中国四国支部合同学術講演会, 講演プログラム, Aa-5 2015年8月1日.
- [368] 森, 野口, 深井, 清水, 石川, “4 値 ALU に用いる四則演算回路の設計”, 平成 27 年電気学会電子・情報・システム部門大会論文集, pp.1346-1350, 2015年8月
- [369] 松永, 森, 野口, 深井, 清水, 石川, “4 値 ALU に用いる論理演算ユニットの設計”, 平成 27 年電気学会電子・情報・システム部門大会講演論文集, pp.1341-1345, 2015年8月
- [370] 森, 古賀, 森, 野口, 清水, 石川, 深井, “プロセスを考慮した 4 値全加算器のレイアウト”, 2015年度電子情報通信学会九州支部学生会講演会・講演論文集, C-21, 2015年9月
- [371] 塚本, 松永, 森, 野口, 清水, 石川, 深井, “差動対を用いた 4 値 AND 回路のレイアウト”, 2015年度電子情報通信学会九州支部学生会講演会・講演論文集, C-20, 2015年9月
- [372] 中山, 野口, 石川, 清水, 深井, “キャリブレーション回路を付加した多出力ニューロン MOS カレントミラーの検討”, 平成 27 年度電気・情報関係学会九州支部連合大会講演論文集, 12-1P-13, 2015年9月
- [373] 松永, 森, 野口, 石川, 清水, 深井, “4 値 AND・OR 回路の信号遅延の改善”, 平成 27 年度電気・情報関係学会九州支部連合大会講演論文集, 12-1P-11, 2015年9月
- [374] 森, 野口, 石川, 清水, 深井, “4 値 ALU に用いる四則演算回路における周波数特性の改善”, 平成 27 年度電気・情報関係学会九州支部連合大会講演論文集, 12-1P-10, 2015年9月
- [375] 中山, 野口, 清水, 深井, “多出力ニューロン MOS カレントミラーに用いるキャリブレーション回路の検討”, 信学技報 Vol. 115 No. 476, pp. 211-215, 2016年3月
- [376] 大塚, 佐藤, 河西, “新しい概念のメモリ・論理共役システムとその周辺”, 2015年信学技報, pp. 55-60, 2015年12月
- [377] 平野, 史, 戸川, 柳澤, “クロックグリッチに基づく故障解析に耐性を持つ AES 暗号回路,” VLD 研究会, vol. 115, no. 21, VLD2015-7, pp. 51-55, 2015年5月14日.
- [378] 田島, 史, 戸川, 柳澤, “低電力なソフトエラー耐性をもつ New-SEH ラッチの設計,” 電子情報通信学会ソサイエティ大会, A-9-2, 2015年9月10日.
- [379] 田島, 史, 戸川, 柳澤, “15nm プロセスにおける低電力な耐ソフトエラーラッチの設計,” VLD 研究会, vol. 115, no. 338, VLD2015-56, pp. 123-127, 2015年12月2日.
- [380] 岡部謙志, 秋田一平, 山際翔太, 河野剛士, 石田誠, “埋め込み神経インターフェイスに向けた低侵襲フレキシブルレクテナの開発,” “集積化 MEMS シンポジウム, 29pm1-D-2, 新潟, Oct. 2015.
- [381] 秋田一平, 石田誠, “センサ AFE アレイに向けた AB

級アンプの小面積・低消費電力化設計手法”，第28回回路システムワークショップ論文集，Ba1-1-2，淡路島，pp.100-104，Aug. 2015.

- [382] 岡部謙志，石田誠，秋田一平，“生理食塩水を用いた頭部埋め込みアンテナの特性評価方法の提案”，電子情報通信学会総合大会，福岡，B-1-95，p.95，March 2016.
- [383] 石森健人，藤澤良太，石田誠，秋田一平，“低消費電力神経電位計測 SoC のチップ間通信に向けた低遷移頻度コーディングの提案”，電子情報通信学会総合大会，福岡，C-12-30，p.103，March 2016.
- [384] 石森健人，藤澤良太，石田誠，秋田一平，“3進 Huffman 符号化圧縮を用いた 64ch 神経電位計測 SoC の提案”，電子情報通信学会 LSI とシステムのワークショップ 2015，北九州市，May 2015.
- [385] 岡澤貴之，石田誠，秋田一平，“時間ドメインアナログ信号処理回路を用いた神経電位計測向け圧縮センシングエンコーダ”，電子情報通信学会 LSI とシステムのワークショップ 2015，北九州市，May 2015.
- [386] Horagodage Prabhith Jeewan，岡部謙志，秋田一平，山際翔太，河野剛士，石田誠，“完全埋込神経インターフェースデバイスに向けたフレキシブル基板上へのフリップチップ実装技術”，応用物理学会，11p-D6-9，神奈川，March. 2015.
- [387] 奥原，北森，宇佐美，天野，“SOTB MOSFET を用いた汎用マイクロコントローラ V850 の動的ボディバイアス制御の検討”，情報処理学会論文誌，2016年2月
- [388] 松下，奥原，増山，藤田，天野，“再構成可能アクセラレータにおける中間粒度ボディバイアス制御を用いた電力最適化”，CPSY，2016年1月
- [389] 松下，奥原，増山，藤田，天野，“再構成可能アクセラレータにおける中間粒度ボディバイアス制御を用いた電力最適化”，IPSI 情報処理学会全国大会，2016年3月
- [390] 増山，藤田，奥原，天野，“低電力アクセラレータ CMA-SOTB-2 の実装と評価”，RECONF2015，pp.7-12，2015年6月
- [391] 増山，藤田，奥原，天野，“レモン電池で動作する低電力アクセラレータ CMA-SOTB-2”，CPSY2015，pp.71-76，2015年10月
- [392] 増山，藤田，奥原，天野，“超低電力再構成可能アクセラレータ CCSOTB の実装と評価”，CPSY2015，pp.99-103，2015年12月
- [393] 増山，藤田，奥原，天野，“超低電力再構成可能アクセラレータ CCSOTB の実装と評価”，IPSI 情報処理学会全国大会，2016年3月
- [394] 工藤，宇佐美，“細粒度パワーゲーティングにおける仮想グラウンド線自動検知によるスリープ制御手法の評価”，電子情報通信学会 VLD 研究会(デザインガイア)，2015年12月2日発表.
- [395] 吉田，工藤，宇佐美，“薄膜 BOX-SOI と基板バイアス制御を用いた低消費電力スタンダードセルメモリの検討”，電子情報通信学会 VLD 研究会(デザイン

ガイア)，2016年3月.

- [396] 金本，宇佐美，“ジグザグパワーゲーティングの入力依存性におけるノイズ低減効果の検討”，電子情報通信学会 VLD 研究会(デザインガイア)，2016年3月.
- [397] 鈴木，宇佐美，“薄膜 BOX-SOI における動的マルチ Vth 設計の基板電圧最適化手法”，電子情報通信学会 VLD 研究会(デザインガイア)，2016年3月.
- [398] 宇佐美，工藤，平賀，屋上，“ストア/リストア動作のロバスト性を向上させた MTJ 利用不揮発性フリップフロップ回路”，応用物理学会春季学術講演会，19p-P4-5，2016年3月.
- [399] 米田浩貴，胡濱良樹，谷川一哉，児島彰，弘中哲夫，“Pilaf! 超小型プロセッサ IP の開発”，電気学会電気学会研究会資料電子回路研究会 ECT-15-071，pp. 7-12，2015年10月8日.
- [400] 山本啓輔，谷川一哉，弘中哲夫，石黒隆，“セレクトアを用いた小面積な再構成デバイス SePLD の提案”，信学技報，vol. 115，no. 228，RECONF2015-42，pp. 53-58，2015年9月19日.
- [401] 徳佐田直弥，弘中哲夫，谷川一哉，石黒隆，“クロスバスイッチを搭載した MLUT で構成した再構成型デバイス MPLD の検討”，信学技報，vol. 115，no. 109，RECONF2015-25，pp. 135-140，2015年6月20日.
- [402] 胡濱良樹，米田浩貴，谷川一哉，弘中哲夫，“小規模 LSI 向けプロセッサ Pilaf の検討”，第1回電子デバイス・回路・照明・システム関連教育・研究ワークショップ(ECIS)，pp.3-3，2015年5月23日.
- [403] 新井雅之，犬山慎吾，岩崎一彦，“クリティカルエリアに基づくブリッジ故障テスト生成の高速化に関する一検討”，電子情報通信学会ディベンダブルコンピューティング研究会，DC2015-17，pp. 7-12，2015年6月.
- [404] 西野悟，清山浩司，田中徹 et al.，“Development of Noise-cancelling Circuit for Intelligent Silicon Neural Probe System.”，平成27年電気学会電子・情報・システム部門大会，2-Page，2015年8月.
- [405] 西野悟，清山浩司，田中徹 et al.，“集積化脳神経プローブシステムの過熱保護用温度検出回路の設計”，第63回応用物理学会春季学術講演会，1-Page，2016年3月
- [406] 土居，安藤，滝沢，平田，鈴木，“BMIのための LSI 一体型 1024 チャンネル皮質脳波電極アレイの開発”，第54回日本生体医工学会大会，2015年5月
- [407] 和田，鈴木，須藤，“論理ゲートを用いたアナログ差動増幅回路の出力雑音”，電気学会研究会資料，ECT-15-103，2015年12月
- [408] 江川一穂，和田和千，“複素フィルタに対する全高調波歪の評価”，電気学会電子・情報システム部門大会講演論文，MC5-6，2015年8月
- [409] 平本将理，和田和千，“分布増幅器の並列数と段数の組み合わせによる利得と帯域幅の関係”，電子回路研究会資料，ECT-016-024，2016年3月
- [410] 今井博之，和田和千：“複素極を有するダイレクトサンプリングミキサにおけるエイリアシングの除去方

- 法], 電気学会論文誌 C, Vol. 136, No. 1, pp.60-67, Jan. 2015.
- [411] 須藤千裕, 柏木彬, 和田和千, “スイッチング素子に基づいたアナログ差動増幅回路の理論動作と実測結果の比較”, 電気学会電子・情報・システム部門大会講演論文, PS4-8, 2015年8月
- [412] 木谷義孝, 和田和千, “タップ MOSFET の寄生容量の影響を π 型整合回路で補償する疑似伝送線路”, 電気学会電子・情報システム部門大会講演論文, PS4-9, 2015年8月
- [413] 大門, 和田, “出力段のダイオード接続による電圧降下の影響を低減した CTS チャージポンプ回路の設計”, 電子回路研究会資料, ECT-16-034, pp.91-95, 2016年3月
- [414] 辻大輝, 板野由佳, 小椋清孝, 森下賢幸, 伊藤信之, 吉富貞幸, “準ミリ波帯における容量結合型電力合成 LC-VCO による低位相雑音化に関する研究”, 平成 27 年度(第 66 回)電気・情報関連学会中国支部連合大会, 12-2, 宇部, 2015年10月17日.
- [415] 伊藤信之, 辻大輝, 板野由佳, 森下賢幸, 小椋清孝, 吉富貞幸, “[依頼講演] ストライプ形状のインダクタの高周波特性とそれを用いた電圧制御発振器の特性,” 信学技報, vol. 115, no. 260, MW2015-113, pp. 97-102, 2015年10月.
- [416] 佐藤良樹, 西野賀雄, 近藤洋平, 森下賢幸, 小椋清孝, 伊藤信之, “180 nm CMOS プロセスを用いた 24 GHz 低雑音増幅器の研究,” 第 17 回 IEEE Hiroshima Student Symposium (HISS2015), 岡山, 2015年11月.
- [417] 西野賀雄, 佐藤良樹, 近藤洋平, 森下賢幸, 小椋清孝, 伊藤信之, “180 nm CMOS プロセスを用いた 24 GHz ILFD の広帯域化に関する研究,” 第 17 回 IEEE Hiroshima Student Symposium (HISS2015), 岡山, 2015年11月.
- [418] 伊藤信之, “CMOS 集積回路上の発振器設計の基礎,” MWE2015 Workshop WE3B-1, 横浜, 2015年11月25日.
- [419] 伊藤信之, “高周波領域における LC 共振器の特性改善とそれを用いた電圧制御発振器の特性,” URSI-C 委員会第 23 期第 5 回公開研究会, 唐津, 2016年3月14日.
- [420] 小谷光司, “高効率環境電波発電のための太陽電池アシスト整流回路”, 電子情報通信学会集積回路研究会, ICD2015-24, pp.59-64, 2015年7月.
- [421] 小谷光司, “オンチップ微小太陽電池の出力電圧向上に関する検討”, 電子情報通信学会アナログ RF 研究会, RF2015-11, p.6, 2015年11月.
- [2] Asai T. and Peper F., “Explorations in Morphic Architectures,” Emerging Nanoelectronic Devices, Chen A., Hutchby J., Zhirnov V, and Bourianoff G., Eds, Wiley, New Jersey (2015).
- [3] 室山, “MEMS-LSI 集積化と触覚センサ,” 金属, Vol. 85, No. 9, pp.686-692, 2015年9月

5. 特許

- [1] 崔, 難波, “半導体集積回路及び遅延測定回路,” PCT/JP2016/001185.
- [2] Yusuke Ohtomo, Hiroaki Katsurai, Hidetoshi Onodera, Akira Tsuchiya, “Inductor”, 米国認定 US9082543 (2015年7月), 中国認定 CN103168354B (2015年11月).
- [3] 松永賢一, 森村浩季, 染谷晃基, 更田裕司, 高宮 真, 桜井貴康, “電圧検出回路,” 特願 2015-178342, 2015年9月10日出願.
- [4] 松永賢一, 森村浩季, 染谷晃基, 更田裕司, 高宮 真, 桜井貴康, “分圧バッファ回路,” 特願 2015-178346, 2015年9月10日出願.
- [5] 井口俊太, 高宮 真, 桜井貴康, “発振回路,” 特願 2016-3356, 2016年1月12日出願.
- [6] 宮崎耕太郎, 高宮 真, 桜井貴康, “ゲート駆動装置,” 特願 2016-014404, 2016年1月28日出願.
- [7] 李 承俊, 高宮 真, 桜井貴康, “平均化回路,” 特願 2016-020691, 2016年2月5日出願.
- [8] 宮崎耕太郎, 高宮 真, 桜井貴康, “短絡検出装置および短絡検出方法,” 特願 2016-024808, 2016年2月12日出願.

4. 著書

- [1] Oya T. and Asai T., “Emerging computations on nano-electronic circuits and devices,” Molecular Architectonics! The Third Stage of Single Molecule Electronics, Ogawa T., Ed., Springer, New York (2016).

VDEC

B. VDEC の利用規程・申し込みガイド

B.1 概要

VDEC は、全国の大学・高専向けに様々な支援事業を実施している。

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会(8-9月・3月)
4. 社会人リフレッシュ教育(12月-1月, 学生も参加可能)
5. VLSI デザイナーフォーラム(若手の会)
6. 大型装置利用

CAD ベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC 設立以来、これまでの実績では、CAD の利用・CAD 講習会は無償、LSI 試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザには VDEC を利用する「顧客」ではなく、VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDEC の担当者(vdec@vdec.u-tokyo.ac.jp) に必ず相談いただきたい。その他のサービスについては VDEC の裁量範囲が広がるので可能性が高くなるが、こちらからあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が 51% 以上のイニシアチブを取る研究であることが必要である。

また、CAD の申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていたくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDEC のシステムは、Internet と Unix operating system の上になりたっているため、Internet の仕組みや Unix についての素養はあらかじめ付いていることを期

待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

B.2 まずはじめに

VDEC からのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDEC の WEB ページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP) アドレスによって制限をかけている。

従って、VDEC を利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な(サービス開始前 1 ヶ月以上)時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEB ページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字 2 字 + 半角数字 5 桁(例:VD00000)からなる。

申込で特に注意する点は、VDEC の WEB にアクセスしたい研究室のマシンの IP アドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxy サーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5 のように、IP アドレスを全て「半角」の英数字で、「.」(半角カンマ)で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT(IP masquerade というプログラム名で呼ばれることもある。機能としては NAT が正しい。)で研究室内をローカルネットワークにしている場合は、NAT サーバのアドレスを入力する。よくある間違いとして、ローカルネットワークの IP、例えば「192.168.X.XXX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などで IP アドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古い IP が使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じ E-Mail アドレスを入力することで上書き変更が可能である。

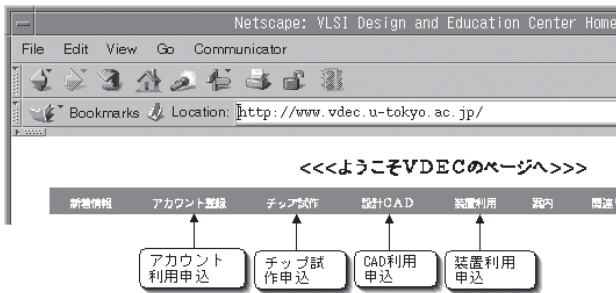


図 B.1 VDEC ホームページのインデックスフレーム

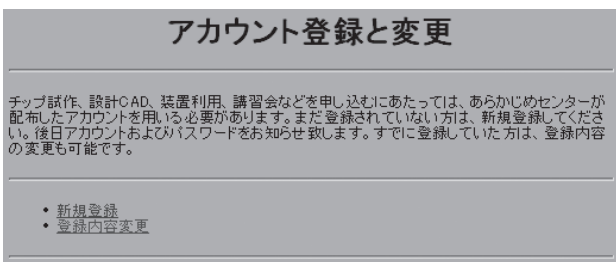


図 B.2 アカウント登録・変更ページの入口

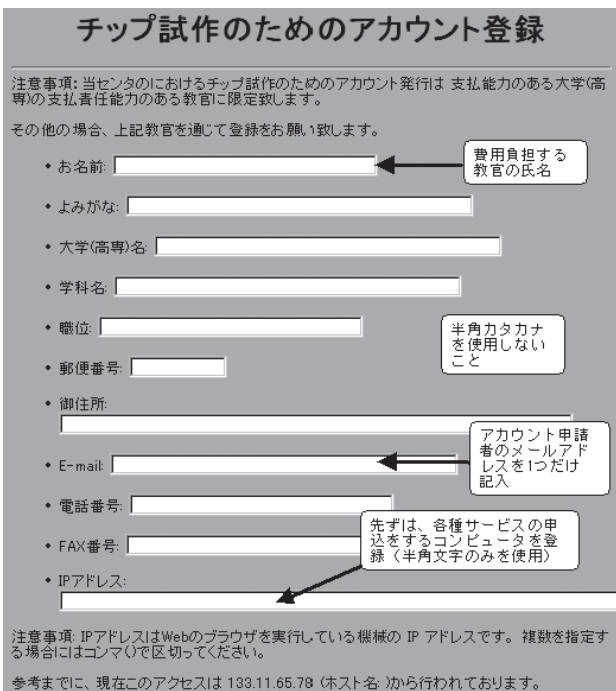


図 B.3 アカウントの新規登録の注意点

[登録する IP アドレスに関する要件]

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない(しても意味が無い)
- Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残ってしまい、機密漏洩につながることを防ぐためである

ので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

B.3 CAD ツールの共同利用

VDEC では、集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している。これらのソフトウェアは、VDEC の VLSI 試作以外のアカデミック用途(MOSIS-VDEC を通じた試作、教育用の演習、EB 等 VDEC の大型装置利用のためのデータ作成用、等)の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーから CAD を選べる状況(二重化)を理想としている。LSI の設計には、CAD ソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD 申込の WEB ページに教員がアクセスする(WEB アカウントが必要である)。NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後、CAD の申請ができる。

申請時に WEB から入力する内容は以下のとおり。

- ソフトウェアライセンス数(研究室で同時に使用するとと思われる最低数を入力)
- 用途
- メディアリクエスト(使用する Operating System を選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム(VDEC、端的には usr1 から名前→IP アドレスの解決ができる、「.ac.jp」で終わるホスト名であることが条件。)

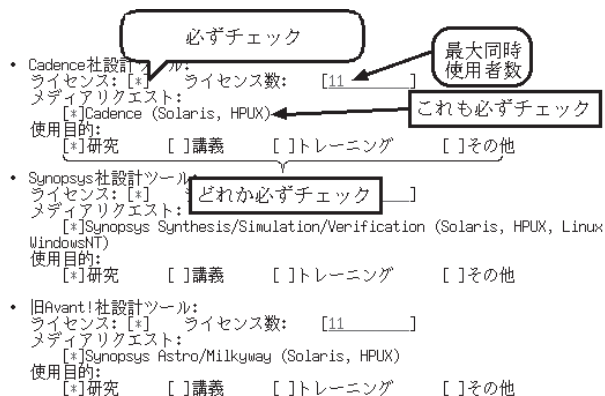


図 B.4 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

ソフトウェアのCDROM(メディア)について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を(ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを開ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送

しないこと(情報漏洩の観点から)。

2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること(必須ではないが、ネット利用のエチケットといえる)。

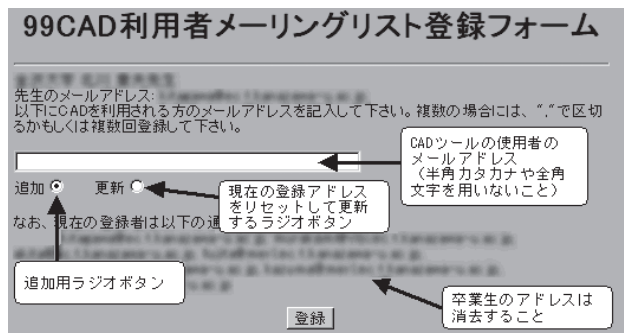


図 B.5 CAD 利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点. 熟読必須.】

1. VDECでは、CADを使用できる計算機のリスト(アクセスリストと呼ぶ)を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマー

クを強くお勧めする。

4. IP アドレス(ホスト名) registered という表示が出ていれば登録されている。
5. false(false(ホスト名)) FAIL という表示が出ていれば登録に失敗しているの、原因を探る。

一般的に、DNS の逆引き(ホスト名から IP アドレスを引く)に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDEC のサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

B.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEB ページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対する NDA 契約を行う。これは VDEC ホームページの「試作関係>試作案内>機密保持契約(NDA)の文面」より、希望プロセスの NDA にサインして VDEC に郵送し、VDEC 側で手続き終了後に NDA 締結となり、設計規則やライブラリにアクセスできるようになる。設計規則は WEB 経由のアクセスならびに、WEB での公開を禁止している会社の場合は CDROM 等で送付される。NDA の対象は教員であるが、研究室の職員・学生にも同じ NDA が適用されるため、取扱には細心の注意を払っていただきたい。尚、機密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の6~3ヶ月前、キャンセルのメ切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめに試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点(図 5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

レイアウトを設計した後、VDEC が提供する最新の Design Rule Check ファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS)チェックを通して、提出しようとする回路が本当に動作しそ

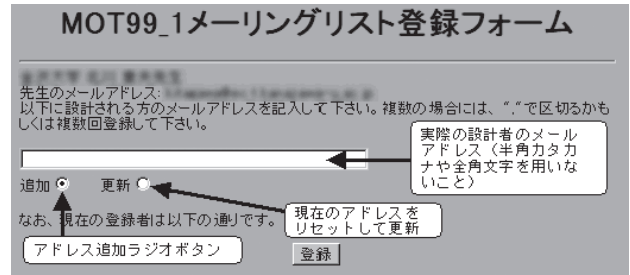


図 B.6 VLSI 試作メーリングリスト登録ページの注意点

うである確信を持つておくことは最低限必要であろう。デザインの提出は指定された VDEC ページから行う。提出時に VDEC 側で最終 DRC を実行する。ここでエラーが出たチップは提出できない。必ず自分の環境で DRC フリーにしてからチップを提出すること。

提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC 側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどは VDEC からの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSI チップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

B.5 CAD ツール講習会

CAD ベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春と CAD 講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なり CAD 利用を行うことをお勧めしている。アナウンスは CADUser メーリングリストで流れる。また、申込は、VDEC の WEB ページから行う。

B.6 社会人リフレッシュ教育

CAD ツール講習会からさらに進んだ形で、Verilog である回路を実際に設計し、レイアウト合成したり、FPGA による実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」コースならびに一線の研究者による設計事例の講演会などを企画している。12月~1月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

B.7 デザイナーフォーラム(若手の会)

毎年6月頃、VDEC を利用する若手が合宿を行い、最

近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

B.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置については、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。

利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能

数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

C. IP データベースの整備

設計資産の再利用のために、VDEC では Web 上でのデータベースの構築および公開を行っている (<http://www.vdec.u-tokyo.ac.jp/IP/lspi.html>, 図 C. 1)。本データベースの利用対象は、IP 登録に関しては VDEC ユーザに限定しているが、IP 利用に関しては任意対象となっている。本データベースに関しての VDEC の役割は、IP のカタログデータの整理、公開および登録者 - 利用

者間の仲介と機密情報の取り扱いの監督である。

平成 12 年度から平成 14 年度の 3 年間、(株)半導体理工学研究センター (STARC) との共同研究として IP プロジェクトを行ってきたが、その最終成果として IP 開発グループの各参加者へ完成 IP の登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みの IP を表 C. 1 に示す。

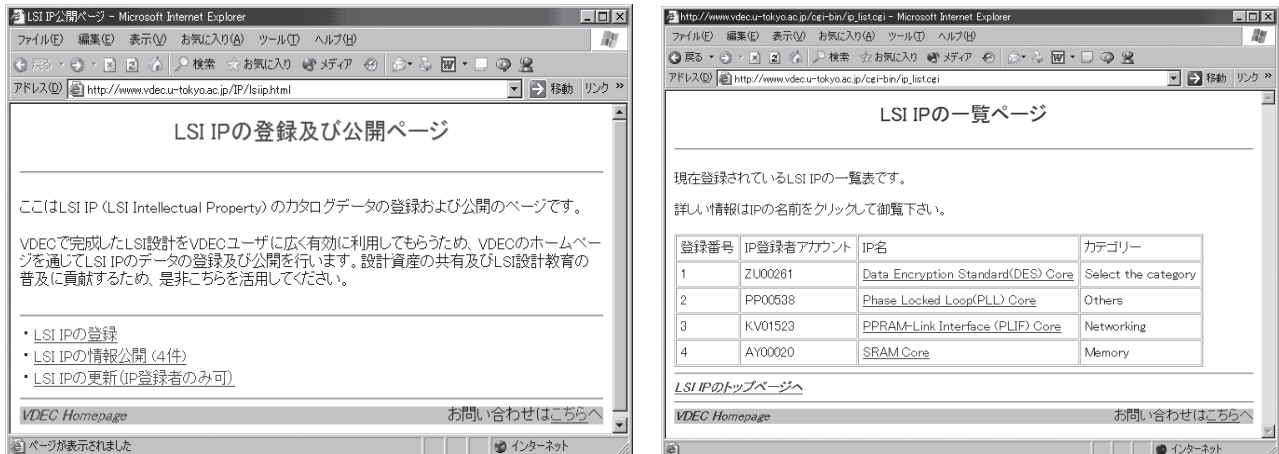


図 C. 1 VDEC LSI IP Web データベースの例

表 C. 1 VDEC LSI IP データベースに登録済みの IP (平成 24 年 3 月現在)

登録番号	IP 名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

平成 27 年度
東京大学大規模集積システム設計教育研究センター年報

2016 年 12 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4 階 401 号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)



VLSI Design and Education Center The University of Tokyo 2016



VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター (VDEC) の 2015 年度活動報告をお送りします。

2015 年度はチップ試作およびナノテク微細加工に関する活動を順調に続けてまいりましたが、東京大学では中期 6 年計画の最終年度にあたり、次期中期計画に向けた新しい取り組みの議論が活発に行われました。特に重要業績評価指標 (KPI) を新たに導入し動的に各部局への予算配分を変えていく原則が定められ、VDEC でも KPI を定めて活動する方針を立てました。活動の基本部分であるチップ試作とナノテク微細加工に関する KPI は言うまでも無く試作案件や加工案件数ですが、前者は安定状態にあり後者は増加状態にあると理解しています。また活動の新規部分には従来から準備を進めてきた国際化と産業展開を目標に定め、改めて推進する方針を定めたところです。

KPI の変動により次年度予算が変動することは全国共同利用活動の安定的運営には好ましくなく、幸い大学当局の理解を得て次期中期計画期間は運営費の大部分を安定的に運用することができるとなりました。しかし、これまでと同様に文科省からの運営費交付金は年率 1~2% で減少することには変わりなく、全国運営協議会の委員の方々と相談を重ねた結果、2016 年度より CAD 利用者の方々には「CAD 利用分担金」をお願いするに至りました。これは利用の多寡に応じて年額 5~10 万円をご負担いただくものですが、演習・実験等の教育目的での利用は従来どおり無料とするものです。アカデミック CAD ライセンスを必要十分な数量、安定に提供するための措置として是非ご理解いただければと存じます。

アカデミック CAD ライセンスの利用は教育・研究用に限定されており、産業化・商用化を意図した設計には利用できません。今日、我が国の半導体産業の状況は必ずしも順調とはいえず、IoT や AI に象徴される今後の情報化社会に高等教育機関が積極的に貢献するために、この限界を超えた研究・開発活動が求められる国策研究プロジェクトが目立ってきています。国際共同研究のケースも新興国の産業化を意図した場合は同様です。アカデミアでの教育研究と産業界での商業活動との橋渡しをする CAD ライセンスが必要となってきていると認識しています。VDEC としてはアカデミック CAD ライセンス環境で培った設計力をそのまま産業展開できる環境を少しでも構築できないかと模索しているところです。

テスト・検証分野の教育研究促進の目的で設置されている(株)アドバンテストからの寄附研究部門 (D2T: Design-to-Test) では、昨年 8 月 21 日に第 10 回の定例シンポジウムを開催しました。内外からの講師の方々、多くの参加者の方々に対し改めて御礼申し上げます。本年 9 月 21 日には第 11 回の定例シンポジウムを開催予定です。本活動に対する(株)アドバンテストからの継続的支援に対し心から感謝申し上げます。

VDEC では半導体技術の価値を高めるための教育研究活動をめざし、今後とも「実践的チップ設計・試作を通じた学生教育と研究者育成」の基本方針のもと、社会に貢献していきたいと考えています。引き続き皆様からのご支持をお願い申し上げます。

2016 年 5 月

(全国共同利用施設)
東京大学大規模集積システム設計教育研究センター
センター長 浅田 邦博