

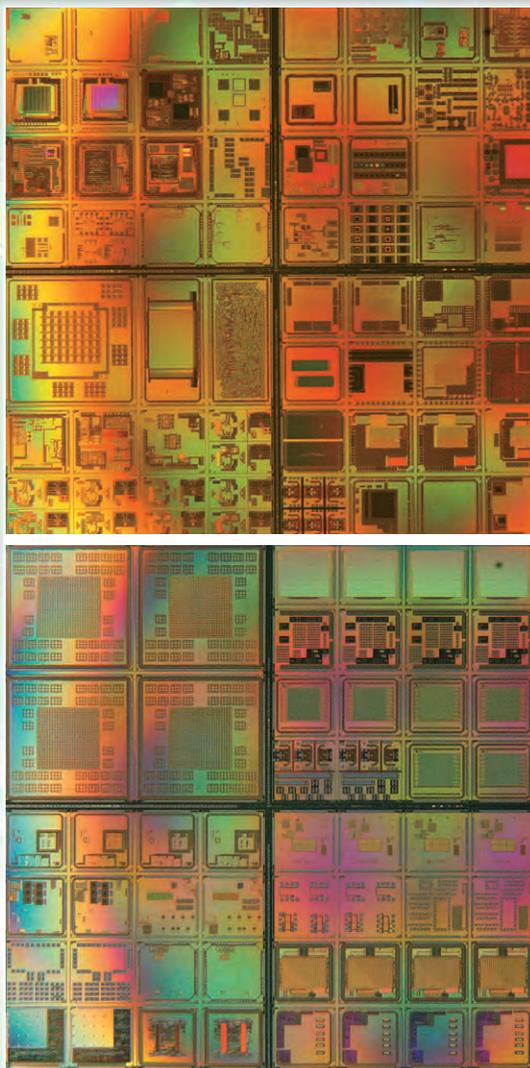


平成29年度

2017
VLSI Design and Education Center, The University of Tokyo
Annual Report

東京大学 大規模集積システム設計教育研究センター

年報





VLSI Design and Education Center The University of Tokyo

大規模集積システム設計教育研究センター（VDEC）の2016年度活動報告をお送りします。

本センターは1996年5月に設立され2016年は設立20周年にあたります。本年1月20日には多くの関係者の参加を頂き、『VDEC設立20周年記念集会』を開催しました。皆様からのVDECを利用した研究教育事例紹介や今日盛んな研究事例、産官学関係者の方々からの多くの暖かい活動支持の言葉を頂戴し、教職員一同大変嬉しく引き続き活動に取り組む決意を新たにしました。20年は集積回路の歴史50年のほぼ半分に相当しますが、この間の技術環境や経済環境の変化に思いを馳せた集会でした。

2016年度チップ試作は全体としてはほぼ順調に行われましたが、65 nm技術利用が順調だった半面、0.8 μ 技術利用は低く、0.18 μ 技術利用も減少傾向が見られました。そのため0.18 μ 試作計画を一部手直し、皆様にはご迷惑をおかけしました。今後は『0.8 μ 試作と0.18 μ 試作は年2回を保証』する予算措置をし、利用収入が1回分のコストに達する見込みを得た時点で3回目以降の試作を実施します。従来の需要なら0.18 μ の年3回実施はほぼ確実と予想していますが、0.8 μ 試作は一部の利用はあるものの利用率改善は困難と思われる。当分は『短TAT・CMOSゲートアレイ』用マスタースライス製作に併用することとしました。これは約1週間のTATで試作する『一層配線のゲートアレイ』です。利用には若干費用が生じますが設計も容易で主に学生実験での利用を想定しています。東大電気での実施経験も長くPDKも完成しており、近々利用案内を出す予定です。

ナノテク微細加工の利用者数は依然増加しています。装置稼働率やクリーンルーム面積が限界に達成しつつあり、利用者の増加に応じて装置の維持状態も良好となる正帰還効果だと考えています。今後も予算の効率的投入で良好な状態を維持できればと考えています。活動の財政基盤の一つは『文科省JSTナノテックプラットフォーム事業』です。10年事業の折返地点にあり、高評価を維持して次の事業に繋げていければと思います。

2016年度からアカデミックCADライセンスの利用に『CADユーザ分担金制度』を導入しました。これにより20年間漸減してきた文科省予算の一部を補い、当分はCADを安定提供できる見込みが立ちました。皆様のご理解のおかげと感謝しています。他方、近年増加傾向の実用化研究開発にこのライセンスは利用できない制約があります。VDECでは大学の設計力を産業展開に繋げる環境を構築したいと模索してきましたが、CADベンダー各社の理解により実用化研究にも利用できる『拡張アカデミックCADライセンス』の導入を始めました。昨年10月よりNEDO委託研究への支援を開始しましたが、他の産学共同研究にも拡大できればと考えています。

テスト・検証分野の教育研究促進の目的で設置された(株)アドバンテストからの寄附研究部門（D2T: Design-to-Test）は、2016年10月に更新（第4期）されました。第11回の定例D2Tシンポジウムは同年9月21日開催され、次回は2017年9月28日の予定です。本活動に対する(株)アドバンテストからの継続的支援に対し心から感謝申し上げます。

VDECは今後も半導体技術の価値を高めるための教育研究活動をめざし『実践的チップ設計・試作を通じた学生教育と研究者育成』の基本方針のもとに社会に貢献していきたいと考えています。引き続き皆様からのご支持をお願い申し上げます。

2017年6月

(全国共同利用施設)
東京大学大規模集積システム設計教育研究センター
センター長 浅田 邦博

巻頭言

第 1 章	VDEC 事業の紹介と平成 28 年度事業報告	2
	1.1 VDEC 事業の紹介と平成 28 年度事業報告	2
	1.2 CAD ソフトウェアの整備	5
	1.3 VLSI チップ試作	6
	1.4 セミナー	9
	1.5 装置の整備・運用・利用公開	13
	1.6 平成 29 年度の活動計画	15
	1.7 VDEC 発ベンチャー	16
	1.8 超微細リソグラフィー・ナノ計測拠点	17
	1.9 VDEC 設立 20 周年記念式典開催	18
第 2 章	「アドバンテスト D2T 寄附研究部門」活動報告	20
	2.1 「アドバンテスト D2T 寄附研究部門」の紹介	20
	2.2 「第 11 回 D2T シンポジウム」開催報告	21
	2.3 研究活動報告	23
	2.4 研究発表	24
第 3 章	チップ試作結果報告	25
	3.1 試作ラン別一覧	26
	3.2 チップ種別一覧	32
	3.3 各チップの詳細	37
第 4 章	VDEC 概要	95
	4.1 組織概要	95
	4.2 人事報告	96
	4.3 決算報告	98
第 5 章	研究報告	99
	5.1 全体概況	99
	5.2 研究室構成員（平成 28 年度）	100
	5.3 研究概要	102
	5.4 研究発表	111
	5.5 特許，受賞等	121
Appendix	122
	A-1. Publication list	122
	A-2. ナノテクノロジー・プラットフォーム （クリーンルーム利用）に関する発表文献リスト	165
	B. VDEC の利用規定・申し込みガイド	184
	C. IP データベースの整備	189

第1章 VDEC 事業の紹介と平成 28 年度事業報告

1.1 VDEC 事業の紹介と平成 28 年度事業報告

東京大学大規模集積システム設計教育研究センター (VDEC) は、平成 8 年の発足以来『LSI 教育情報の発信拠点形成』、『VLSI 設計支援教育用 CAD ソフトウェアの整備』、『VLSI チップ試作支援』を 3 つの柱として、円滑な運営を目指した事業を展開した。図 1.1.1 に示す VDEC の活動内容に基づき、以下に平成 28 年度の概要を報告する。

VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。VDEC の発足より 19 年経過し、各大学における CAD ソフトウェアの利用技術教育や LSI 設計・設計フローに関する教育の充実が図られている。その一方で、先端の LSI 設計技術およびそれに対応する CAD ソフトウェアは一層複雑化し続けている。そのため、CAD ツールの導入に際しては、CAD ベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために平成 21 年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDEC としては各ユーザ研

究室内で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって最新の CAD 利用技術が全国的に広がることを期待している(1.3 章参照)。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを開催してきた。平成 28 年度は、7 月～9 月に、“アナログ設計コース”、“RF 設計コース”、平成 24 年から開始した“MEMS 設計コース”を実施した。いずれも演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関するセミナー“VDEC 環境におけるトランジスタレベル設計講習会”、“VDEC EDA 環境におけるデジタル設計手法講習会”を大学における設計者に向け

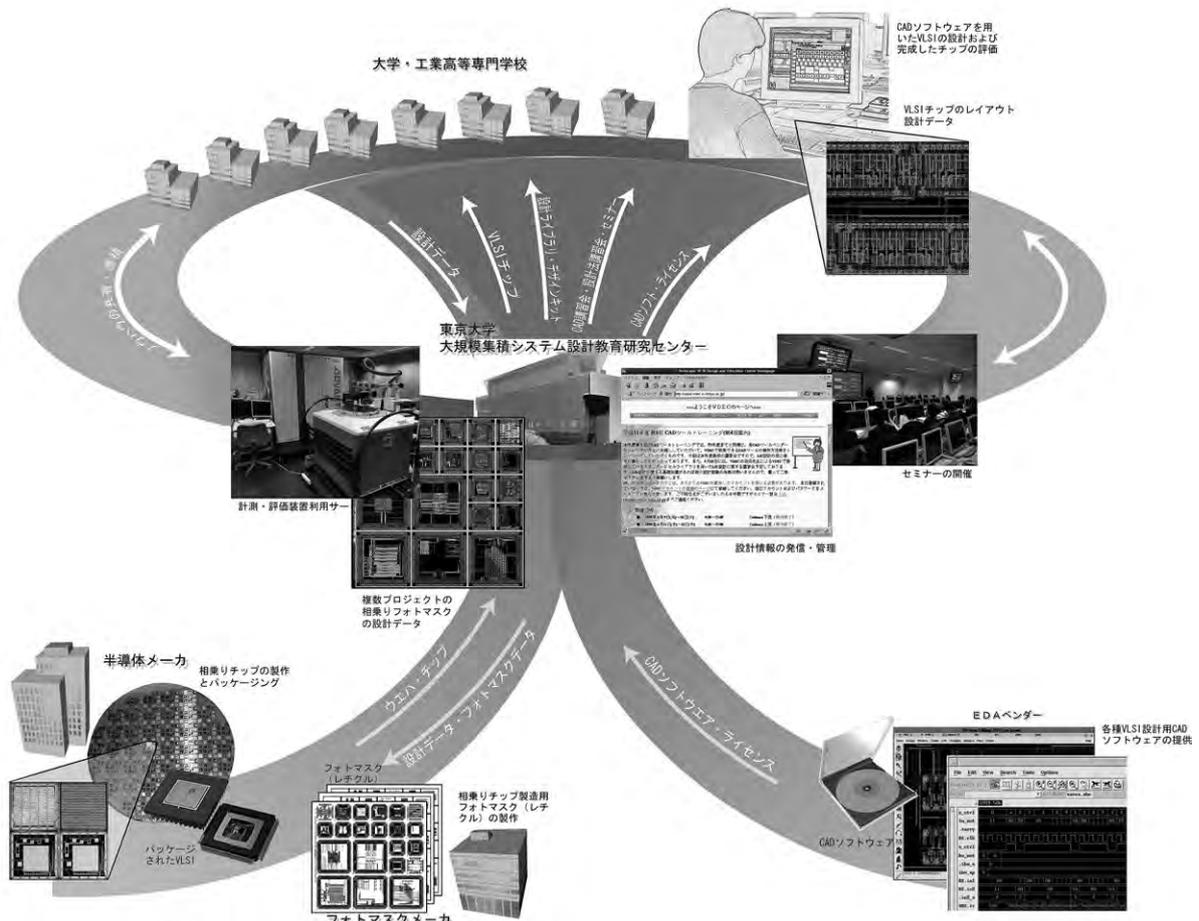


図 1.1.1 VDEC の活動内容

て実施している。なお、平成26年度から本設計フローに関するセミナーに関して有料化して実施している。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。特に平成23年度から、VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDECデザイナー・フォーラムの場で行っており、平成28年は、IEEE SSCS Japan Chapter VDEC Design Awardとして、京都大学の塩見準さん、3件のVDECデザインアワード優秀賞、(田村雅人(東京大学)、吉村彰人(奈良先端大)、浅野大樹(神戸大学))、3件のVDECデザインアワード奨励賞(Tokgozkorkut Kaan(東京工業大学)、今西翔馬(静岡大学)、Kanjnavirojkul Parit(東京大学))、3件のVDECデザインアワードアイデアコンテスト部門囑望賞(佐藤祐人(静岡大学)、速水一(奈良先端大学)、Wuthibenjaphonchai Nattakarn(奈良先端大学))を授与した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録

することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図1.1.2)。

VLSIチップ試作支援に関しては、ルネサスエレクトロニクス社SOTB 65nm CMOS試作を呈上試作として開始し、ローム0.18μm CMOS、オンセミ-三洋半導体0.8μm CMOS試作とともに実施した。

平成20年10月に設置されたアドバンテスト社から寄附部門「Design To Test (D2T)」では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められている。これまでの活動を振り返ると、VDEC発足以来の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している。図1.1.3にVDECを利用した研究成果の指標として、VDECに関係する発表件数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC発足以来、集積回路に関する研究が活性化されていることが確認できる。

図1.1.4にVDECに関する発表文献のVDECファシリティー利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。

CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジーが好んで

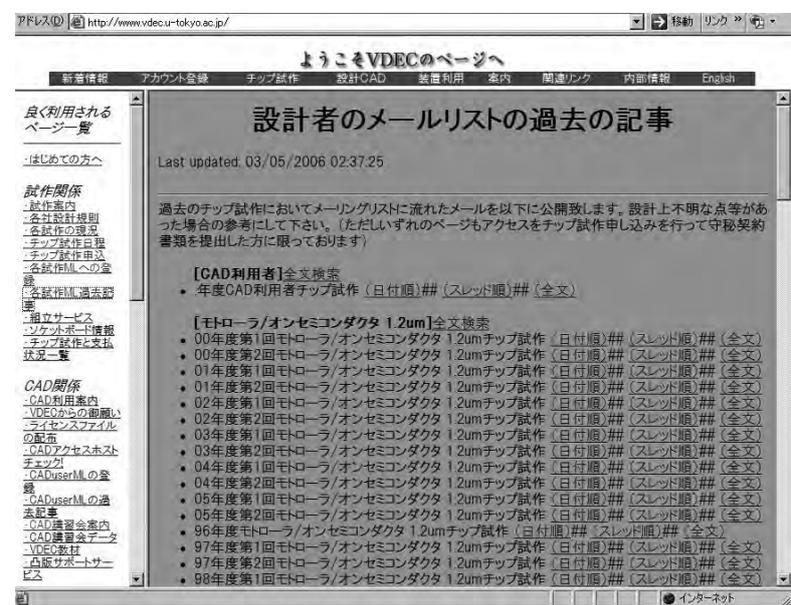


図 1.1.2 VDEC メールリストの過去記事

利用される傾向にあり世界的には 32 nm CMOS, 22 nm CMOS, 14 nm CMOS による設計事例報告が増加しており、VDEC においても最先端プロセステクノロジーメニューの充実をはかっていきたい。加えて、More than

Moore が叫ばれており、MEMS 混載 CMOS メニューなどの充実を図っていききたい。そのほかのファシリティーとして、LSI テスターや FIB 加工装置、EB 描画装置などが研究目的に幅広く利用されることを期待する。

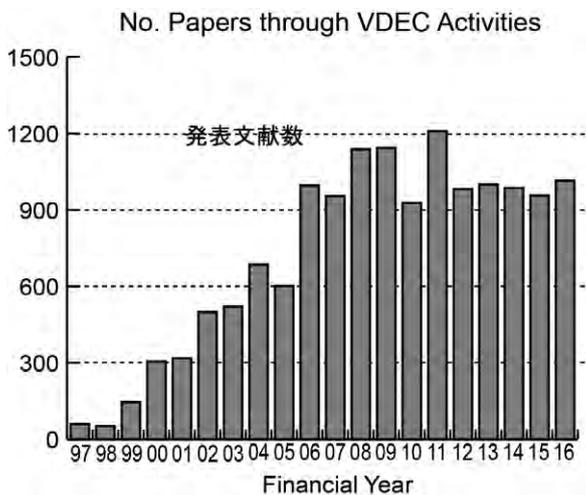


図 1.1.3 VDEC を利用した発表文献数の推移

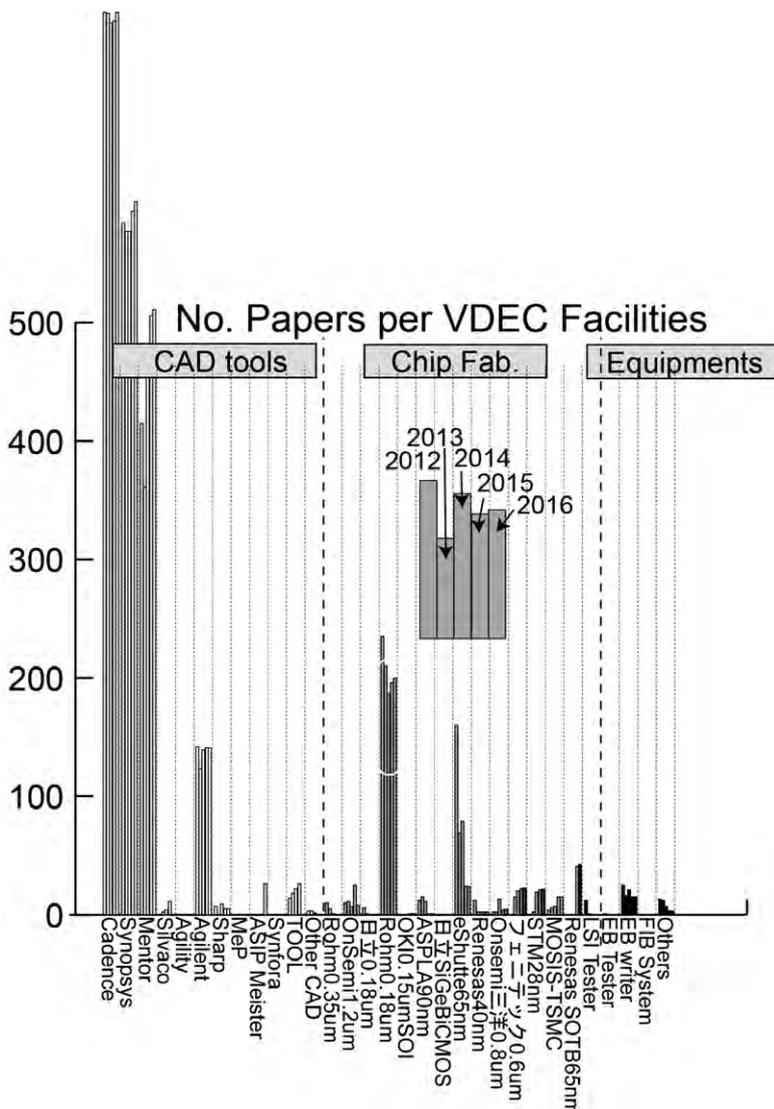


図 1.1.4 VDEC ファシリティー利用状況

1.2 CAD ソフトウェアの整備

平成8年度から整備を行っているCADソフトウェアは、平成29年度は表1.2.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2.1に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した

運用形態となっている。ライセンス数はCADの項目ごとに100から1,000程度のフローティングライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

表 1.2.1 導入されたCADシステム

名称	用途	メーカー
Cadence社設計システム	VerilogHDL/VHDLベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys社設計システム	VerilogHDL/VHDLシミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco社設計ツール	高速回路シミュレーション、	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL

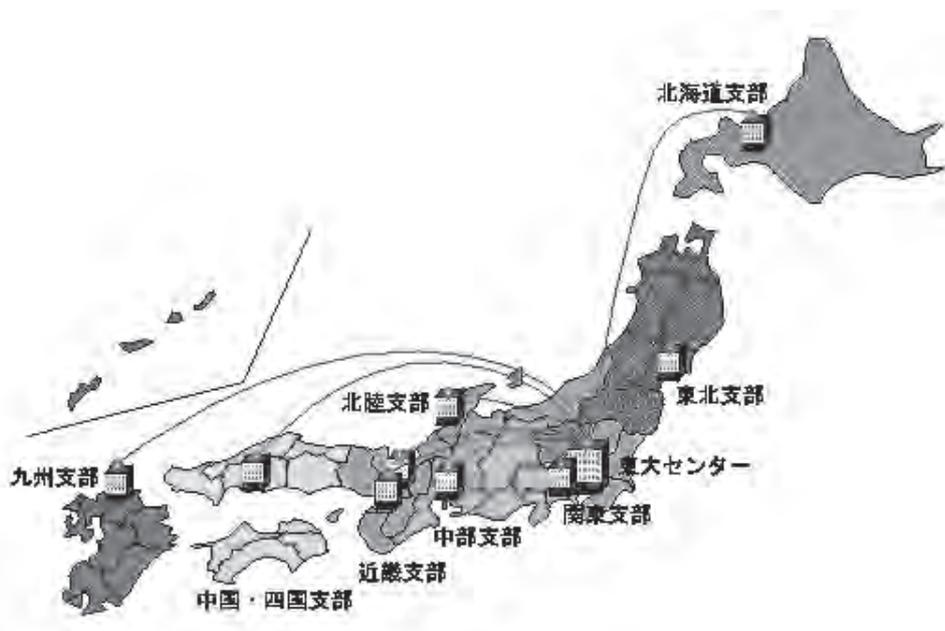


図 1.2.1 全国地域拠点校

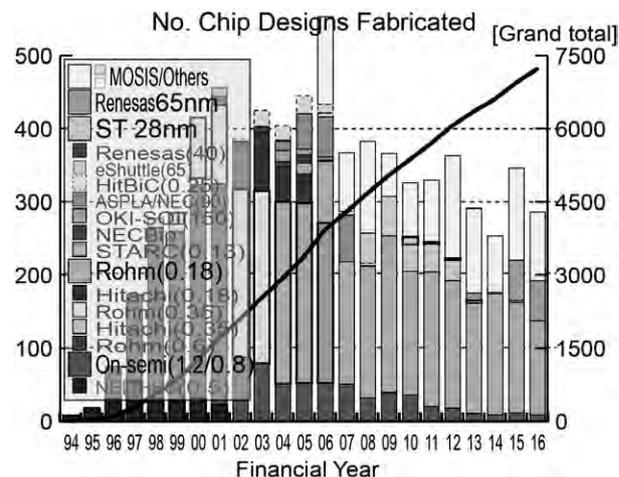
1.3 VLSI チップ試作

1.3.1 VLSI チップ試作の推移

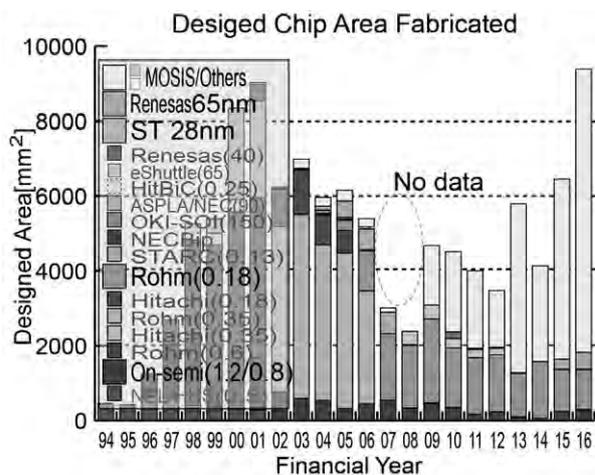
図 1.3.1 は、VDEC および、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSI チップ試作は、平成 6, 7 年度(1994, 1995 年度)のパイロットプロジェクトでは、ファウンドリは NEL 社の CMOS $0.5\mu\text{m}$ (当該プロセスはその後日立北海セミコンダクタ社に継続) 1 社であったが、平成 8 年度(1996 年度)の VDEC 発足後、日本モトローラ社の CMOS $1.2\mu\text{m}$ (平成 11 年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成 9 年度からはローム社の CMOS $0.6\mu\text{m}$ が加わった。さらに平成 10 年度には日立製作所の CMOS $0.35\mu\text{m}$ 、平成 11 年度にはローム社 $0.35\mu\text{m}$ がそれぞれ加わった。また、IP 開発プロジェクトの一環として STARC $0.13\mu\text{m}$ の試作を行った。平成 13 年度から、日立製作所の CMOS $0.18\mu\text{m}$ のサービスを実施している。平成 14 年度は、広島大学岩田先生の主導の下に、VDEC と MOSIS の協力による試作サービスを試行的に実施した。これは、TSMC、IBM といった海外のファブを MOSIS を経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC 化合物デバイス株式会社によるバイポーラ LSI の試作サービスも行った。平成 16 年からテスト試作として沖電気 CMOS SOI $0.15\mu\text{m}$ プロセスおよび ASPLA 90nm (現在は STARC において継続)プロセスの試作を開始し、 90nm 試作については平成 17 年度より通常の試作として公募の形で運用を行っている。さらに平成 18 年度からはローム社 $0.18\mu\text{m}$ の試作を開始し、日立製作所 $0.25\mu\text{m}$ SiGeBiCMOS のテスト試作を実施した。平成 19 年度で終了した 90nm CMOS の後継の先端プロセスの検討を平成 19 年度から開始し、平成 20 年度に eShuttle 社の 65nm CMOS による試作を開始した。さらに経済産業省-STARC のプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の 40nm CMOS による試作も開始した。一方で平成 23 年 9 月試作をもって CMOS $1.2\mu\text{m}$ を終了することとなったほか、平成 24 年度をもってルネサスエレクトロニクス社の 40nm CMOS 試作が終了、平成 25 年 8 月シャトルをもって eShuttle 社の 65nm CMOS 試作が終了した。CMOS $1.2\mu\text{m}$ の後継として、オンセミー三洋半導体製造社の協力により平成 24 年 10 月に CMOS $0.8\mu\text{m}$ のテスト試作を実施し、平成 25 年度から定常試作として継続している。最先端試作としては、平成 25 年度からフランス CMP を介して ST マイクロ社 FD-SOI 28nm CMOS 試作を開始した。

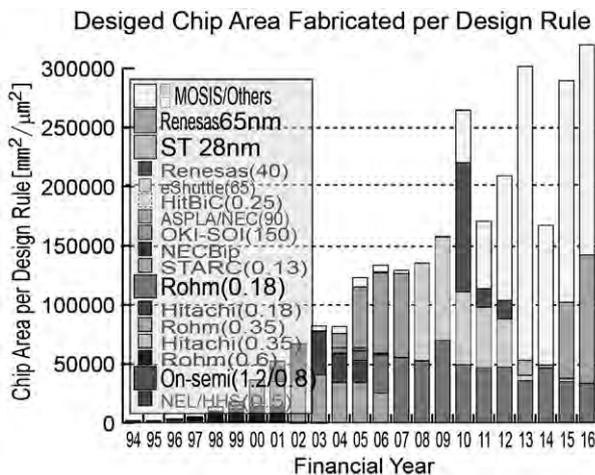
また、平成 27 年度から定常試作として、ルネサスエレクトロニクス社 SOTB 65nm CMOS 試作を開始した。



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図 1.3.1 チップ試作数・面積推移

図 1.3.1(a)は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成 14 年度に減少しているが、これは ROHM 社の 0.6 μm プロセスを終了したことによる現象が考えられる。またそれ以降ほぼ 400 品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成 18 年度に 0.35 μm が終了し、平成 19 年度以降 0.18 μm への移行したことにより、試作数が 130 品種程度減少し、さらに平成 19 年度に ASPLA 90 nm CMOS 試作が終了し、eShuttle 65 nm CMOS への移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図 1.3.1(b)に設計されたチップ面積を示す。一方設計量の指標として、図 1.3.1(c)に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図 1.3.2 にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作

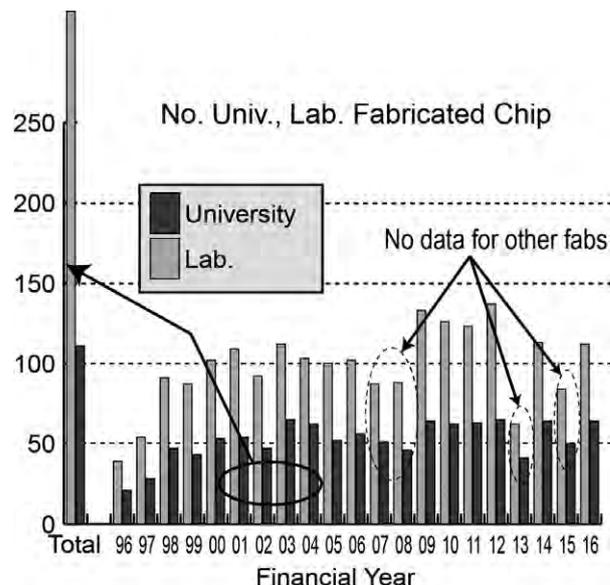


図 1.3.2 VDEC チップ試作参加教員数・大学数の推移とその累計

に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ルネサスの 65 nm プロセスが 72 名、ロームの 0.18 μm プロセスが 274 名、オンセミ三洋 0.8 μm プロセスが 38 名となっている。

1.3.2 平成 28 年度チップ試作概況

平成 28 年度は、表 1.3.1 に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第 2 章のチップ試作報告を参照されたい。

表 1.3.1 平成 28 年度チップ試作日程

○ CMOS 0.8 μm (オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
平成 28 年度第 1 回	2016/ 7/ 8	2016/ 9/30	2017/ 2/ 9
平成 28 年度第 2 回	2016/12/30	2017/ 3/24	2016/ 6/20

○ CMOS 0.18 μm (ローム)

	試作申込締切	設計締切	納品・試作完了
平成 28 年度第 1 回	2016/ 3/ 7	2016/ 5/30	2016/ 9/20
平成 28 年度第 2 回	2016/ 5/ 2	2016/ 7/25	2016/11/14
平成 28 年度第 3 回	2016/ 6/28	2016/10/17	2016/12/27
平成 28 年度第 4 回	2016/11/28	2017/ 2/20	2017/ 6/16

○ SOTB 65 nm CMOS

	試作申込締切	設計締切	納品・試作完了
平成 28 年度第 1 回	2016/ 5/23	2016/ 7/ 4	2017/ 2/20
平成 28 年度第 2 回	2016/12/12	2017/ 1/23	2017/ 8 頃

1.3.3 ライブラリ・設計フロー整備状況

VDECにおけるチップ試作(主にデジタルLSI試作)では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ整備事業

を行ってきている。平成21年度にはアナログ設計向けの設計キット(PDK)の構築をローム0.18um CMOS向けに行った。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1.3.2に示すとおりとなっている。

表 1.3.2 VDEC で利用可能なライブラリ

プロセス	名称	作成者	内容	状況
ローム 0.18 μm	ローム提供 ライブラリ	ローム提供 スタンダードセル, IOセル, RAM (セルはすべてブラック ボックス) (CDROMにて 配布)	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ 配置配線用 LEF/DEF ファイル	
	京大ライ ブラリ	京都大学小野寺研究室	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Astro用配置配線ライブラリ	
	東大ライ ブラリ	ライブラリ情報は京都大学小 野寺研究室, 東大VDECにて フロー構築	・ Cadence RTL Compiler用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Cadence Encounter用配置配線ライブラリ	
	PDK	東京大学VDEC	IC6.1向けPDK	

1.4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 28 年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Agilent など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習も VDEC スタッフで実施している。平成 28 年度は、8 月と 9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した。この技術セミナーでは、Cadence のツールを 2 種・5 日間、Synopsys ツールを 2 種・3 日間、Agilent のツールを 1 種・1 日

間、に加え、VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC EDA 環境におけるトランジスタレベル設計手法講習会・VDEC 環境におけるデジタル LSI 測定講習会を VDEC 教員が講師となり開催した。各コースに 40 名までの教員・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 2 種・5 日間、Synopsys 3 種・4 日間行った(表 1.4.1)。これら CAD 技術セミナーへの参加要望は非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。従来、東大もしくは VDEC 拠点校での開催であったが、今年度からは東大で開催し、それを VDEC 拠点校へストリーミング配信を行い、各拠点校でも CAD 講習会の受講が可能となっている。

表 1.4.1 平成 28 年度 CAD 技術セミナー開催状況

2016/08/02	Keysight Empro 講習会	東京大学	13
2016/08/02	Keysight Empro 講習会	北海道大学	2
2016/08/02	Keysight Empro 講習会	金沢大学	1
2016/08/03-04	Synopsys DesignCompiler+PowerCompiler 講習会	東京大学	9
2016/08/03-04	Synopsys DesignCompiler+PowerCompiler 講習会	北海道大学	2
2016/08/03-04	Synopsys DesignCompiler+PowerCompiler 講習会	東北大学	4
2016/08/03-04	Synopsys DesignCompiler+PowerCompiler 講習会	大阪大学	5
2016/08/30-31	Cadence Virtuoso ADE 講習会	東京大学	16
2016/08/30-31	Cadence Virtuoso ADE 講習会	北海道大学	3
2016/08/30-31	Cadence Virtuoso ADE 講習会	東北大学	5
2016/08/30-31	Cadence Virtuoso ADE 講習会	金沢大学	2
2016/08/30-31	Cadence Virtuoso ADE 講習会	京都大学	2
2016/08/30-31	Cadence Virtuoso ADE 講習会	広島大学	3
2016/09/01	Synopsys HSPICE 講習会	東京大学	12
2016/09/01	Synopsys HSPICE 講習会	北海道大学	2
2016/09/01	Synopsys HSPICE 講習会	東北大学	4
2016/09/01	Synopsys HSPICE 講習会	金沢大学	2
2016/09/01	Synopsys HSPICE 講習会	京都大学	3

2016/09/01	Synopsys HSPICE 講習会	大阪大学	3
2016/09/01	Synopsys HSPICE 講習会	広島大学	2
2016/09/05-07	Cadencee Virtuoso Layout 講習会	東京大学	26
2016/09/05-07	Cadencee Virtuoso Layout 講習会	北海道大学	3
2016/09/05-07	Cadencee Virtuoso Layout 講習会	東北大学	3
2016/09/05-07	Cadencee Virtuoso Layout 講習会	金沢大学	2
2016/09/05-07	Cadencee Virtuoso Layout 講習会	大阪大学	3
2016/09/05-07	Cadencee Virtuoso Layout 講習会	広島大学	1

2017/03/01-02	Cadence Allegro Design Entry Front to Back 講習会	東京大学	11
2017/03/01-02	Cadence Allegro Design Entry Front to Back 講習会	北海道大学	1
2017/03/01-02	Cadence Allegro Design Entry Front to Back 講習会	東北大学	4
2017/03/08	Synopsys XA-VCS CoSim 講習会	東京大学	10
2017/03/08	Synopsys XA-VCS CoSim 講習会	北海道大学	1
2017/03/08	Synopsys XA-VCS CoSim 講習会	大阪大学	2
2017/03/08	Synopsys XA-VCS CoSim 講習会	広島大学	1
2017/03/09-10	Synopsys IC Compiler 講習会	東京大学	14
2017/03/09-10	Synopsys IC Compiler 講習会	北海道大学	1
2017/03/09-10	Synopsys IC Compiler 講習会	大阪大学	1
2017/03/09-10	Synopsys IC Compiler 講習会	広島大学	2
2017/03/15	Synopsys HSPICE+VerilogA 講習会	東京大学	17
2017/03/15	Synopsys HSPICE+VerilogA 講習会	北海道大学	2
2017/03/15	Synopsys HSPICE+VerilogA 講習会	京都大学	5
2017/03/15	Synopsys HSPICE+VerilogA 講習会	広島大学	1
2017/03/27-29	Cadence Encounter Digital Implementation 講習会	東京大学	7
2017/03/27-29	Cadence Encounter Digital Implementation 講習会	北海道大学	1
2017/03/27-29	Cadence Encounter Digital Implementation 講習会	大阪大学	3

【社会人のためのリフレッシュセミナー】

平成28年度には、平成27年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表1.4.3)。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、

半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。

本年度はVLSI設計に関する4つのコース、コースA:アナログ集積回路設計と演習(7/11~13実施)、コースM1:MEMS設計と演習(7/4~5実施)、コースM2:MEMS試作と評価(7/25~27)、コースR:RF-CMOS集積回路設計と演習(7/27~28実施)を開催した。講師として大学・企業の集積回路研究・教育に携わる教官や研究者を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコースA, M1, M2, Rそれぞれ18名, 8名, 6名, 7名であった。



図1.4.2 リフレッシュ教育会場風景(東大VDECセミナー室)

表1.4.3 リフレッシュセミナー開催状況

コースA: アナログ集積回路設計と演習 (3日間)
回路設計, 回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証 (DRC, LVS)
杉本泰博 (中央大学), 小野寺秀俊 (京都大学) 小谷光司 (東北大学)
コースM1: MEMS設計と演習 (2日間)
MEMSの基礎1: 作製法 MEMSの基礎2: 動作原理 機構設計 レイアウト設計
三田吉郎 (東京大学)

コース M2 : MEMS 試作と評価 (3 日間)

CAD 設計・解析
リソグラフィ, エッチング, リリース
振動解析測定

三田吉郎 (東京大学)

コース R : CMOS-RF 集積回路設計と演習 (2 日間)

変復調, 多次元接続方式
回路の基本性能, トランシーバアーキテクチャ
要素回路, 設計フロー

伊藤浩之 (東京工業大学)

【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象とした VDEC LSI デザイナーフォーラム (VDEC LSI Designers Forum) を開催している。VDEC LSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦勞

した点、失敗事例と解決策、CAD 業界の裏話、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今年は、8月に東京大学の武田ホールにて開催された。50人の参加者が集まる盛況であった。

表 1.4.4 デザイナーズフォーラムプログラム

8/25 (木)

時間	
9:30-11:00	会場受付
10:00-11:00	基調講演 NTT 高河原和彦様 ウェアラブルデバイスによるバイタルセンシング技術と応用展開
11:00-12:00	VDEC デザインアワードデザインアワード発表会
12:00-13:00	休憩(昼食)
13:00-15:00	VDEC デザインアワードデザインアワード発表会
15:00-15:20	休憩
15:20-18:20	VDEC デザインアワードデザインアワード発表会
	(小休憩)
19:00-	デザインアワード表彰式 & 懇親会

8/26 (金)

時間	
9:00-12:00	Ph.D 企画セッション 博士学生の未来はどっち!?~半導体業界と Ph.D の生きる道~
12:00-13:00	休憩(昼食)
13:00-15:00	アイディアコンテスト部門発表会
15:00-15:20	休憩
15:20-16:50	アイディアコンテスト部門発表会
17:00-	アイディアコンテスト部門表彰式

1.5 装置の整備・運用・利用公開

VDECでは、大型装置公開事業すなわち、1研究室では取得・維持管理が困難な装置をVDECで代表して管理し、ユーザーは無償または廉価に利用するというスキームを、「CAD」「LSIマルチチップ」「テスト」となる4本柱の一つとして継続的に運用している。表1.5.1に装置の一覧と利用公開の状況を示す。装置はVLSI用大型テスターと、その他のプロセス装置とに大別でき、テスターは武田先端知ビル1F、プロセス装置は武田地下クリーンルームにある。プロセス装置は平成24年度より文部科学省「ナノテクノロジー・プラットフォーム」に参加したことで、さらに多くのユーザーに対する支援体制を整備することができている(ナノテクノロジー・プラットフォームについては1.8節を参照いただきたい。)

電子線描画装置平成28年4月~29年3月の利用実績は、2台の合計で2359回と、前年(合計2115回)に比べて増加した。装置別に見るとF5112+VD01が1317回で、

前年度1406回から△89回の減少。内訳を吟味するとマスク描画が245枚から264枚と21枚の微増、直接描画が1161回から1053回へと1割減少であり、新型装置F7000S-VD02への直接描画利用者の移行が示唆される。F7000Sの描画回数は1042回で1000回を超え、前年度の709回と比較して+333回の大幅利用増であった(前々年度は201枚)。

装置の利用については、人的リソースが限られている状況でもできるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を基本とした運用を行っている。利用者資格を有する者、資格者の同伴、ナノテク支援員の同伴、代行といった様々な形態のスポット利用が可能である。個別の装置についての利用相談は、VDECの教職員までお寄せいただきたい。

表 1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSI テストシス テム	EBテスター： IDS10000	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える384ピン、1GHzまでのデジタル回路のテストを行える。	整備中	nanotech@ sogo.t.u-tokyo.ac.jp
	LSIテスター： ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	nanotech@ sogo.t.u-tokyo.ac.jp
	回路修正用 FIB:V400ACE	LSIパターン設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能。加工ガスによりバルクシリコンを裏面から高速にポイントエッチング可能。	公開中	nanotech@ sogo.t.u-tokyo.ac.jp
	オートプローバ： PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	nanotech@ sogo.t.u-tokyo.ac.jp
	アナログ・RF測定 装置一式: B1500A, HP4156B, HP4284, etc	DCパラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但しVDECの業務による利用を優先とする	nanotech@ sogo.t.u-tokyo.ac.jp

アナログ・RF測定システム	低雑音マニュアルプローバ: Cascade社	マニュアルにて6インチまでのウエハ上のチップの測定が可能. 測定には, 通常のプローブ針 (6本まで) のほか, 50 GHzまでの測定が可能な高周波プローブを2本備える	希望に応じ利用可能. 但しVDECの業務による利用を優先とする 公開中	nanotech@sogo.t.u-tokyo.ac.jp
	低雑音・温度制御機構付きセミオートプローバ: Süss Microtec社	8インチまでのウエハ上のチップの測定が可能. ウエハ温度を-50℃から200℃まで制御可能. プローブカードによる測定. GPIBを介した制御を行うことで半自動測定も可能		
ナノテクテクノロジー・プラットフォームの主な装置	マスク描画・ウエハ直描装置: F5112+VD01	半導体製造用2.3mm厚5インチマスクの描画およびエッチング, 2-8インチ並びに不定形ウエハへの直接描画が可能. 参考描画寸法50 nm L/S.	公開中	nanotech@sogo.t.u-tokyo.ac.jp
	大面積高速電子線描画装置: F7000S-VD02	半導体製造用2.3 mm厚5インチマスクの描画およびエッチング, 2-8インチ並びに不定形ウエハへの直接描画が可能. キャラクタープロジェクション機能により, 円形や三角形, 斜め線などの高速・高精細描画が可能. 参考描画寸法1X nm L/S.	公開中	
	塩素系プラズマエッチャー CES	Cl ₂ , BCl ₃ を使った金属のプラズマエッチングが可能.	公開中	
	シリコン深掘りエッチング装置MUC-21 ASE-Pegasus	ボッシュプロセスによる高速・高アスペクト比シリコン深掘りが可能.	公開中	
	FIB装置: SII XVision 200TB	ガラスマスクの欠陥修正の他, 断面観測のための加工等が可能. ナノテクテクノロジー・プラットフォームにて利用可能.	公開中	
精密ボンディングシステム系	ウェッジボンダー: Westbond 7476D	25 μm φ アルミまたは金線によるウェッジボンディングが可能	公開中	
	エポキシダイボンダー Westbond7200C	精密マニピレータにより, エポキシや銀ペーストを用いたチップ配置, 細線の配線が可能		
	セミオートボンダー Westbond4700E	18 ~ 25 μm φ の金細線を用いたボールボンディングまたはボールバンプの形成が可能		
	精密マニュアルリップチップボンダー Finetech Fineplacer Lamda	15 mm角までのチップ同士をテレビカメラで目視しながら接合することが可能. ランプ加熱による熱接合 (超音波オプション購入可能) 位置合わせ精度XY ± 0.5 μm, θ =1mrad.		

1.6 平成 29 年度の活動計画

平成 28 年度においても、従来の設計情報発信、CAD ツール提供、チップ支援、寄附部門「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、平成 9 年度より継続している CAD ツール利用法に関する技術セミナー、平成 10 年度から継続している社会人向けの「リフレッシュセミナー」、平成 8 年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

【CAD ツール提供】

上流設計(Cadence, Synopsys)、中流設計(Synopsys, Cadence)、下流設計(Cadence)の各基本ツールを、平成 27 年度もサポートしていく。これに加え平成 14 年度から導入した設計検証(Mentor: Caribra, ModelSim, Handel-C 等)、平成 16 年度から導入したアナログ RF 設計ツール(Agilent: GoldenGate, ADS/RFDE)を継続し

てサポートするとともに、平成 17 年度より提供を受けている Sharp 社 C ベース設計ツール(BachC)を継続してサポートする。平成 20 年度より提供を開始している TOOL 社レイアウト表示プラットフォーム(Lavis)に関しても利用状況に基づき継続を行うとともに、平成 23 年度からの SpringSoft 社の検証ツールは、SpringSoft 社が Cadence 社に買収され Cadence 社のツール群としてのサポートが継続されることになっている。また、回路シミュレーションツール(Silvaco)ツールについてもサポートを継続する。

【チップ試作支援】

平成 29 年度は、平成 28 年度から引き続き SOTB 65 nm CMOS, ローム株式会社の 0.18 μm CMOS プロセス, CMP シャトルに乗る形で ST CMOS FDSOI 28 nm およびオンセミ - 三洋半導体 0.8 μm CMOS を定常試作として継続する(すでに一部の試作は進行中である)。なお、一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある。

表 1.7.1 VDEC チップ試作スケジュール (平成 29 年度)

【CMOS 0.8 μm 2P2M】 オン・セミコンダクタ

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 29 年度第 1 回	2017/ 4/17	2017/ 7/10	2017/10/ 2	2017/12/25
平成 29 年度第 2 回	2017/10/ 9	2018/ 1/15	2018/ 3/26	2018/ 6/25

【CMOS 0.18 μm 1P5M (+MiM)】 ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 29 年度第 1 回		2017/ 4/ 3	2017/ 6/26	2017/10/13
平成 29 年度第 2 回	2017/ 5/15	2017/ 8/ 7	2017/10/30	2018/ 2/16
平成 29 年度第 3 回	2017/ 9/ 4	2017/11/27	2018/ 2/19	2018/ 6/ 8

【FD-SOI CMOS 28 nm 1P10M】 ST マイクロ社

CMP の予定の通り。

【SOTB CMOS 65 nm】

	試作申込開始	試作申込締切	設計締切	納品・試作完了
平成 29 年度第 1 回	2017/ 2/13	2017/ 6/19	2017/ 7/31	2018/ 1/18
平成 29 年度第 2 回	2017/ 8/14	2017/12/18	2018/ 1/29	2018/ 7/12

VDEC での設計 / 試作経験, 人材育成が有効には機能した事例といたしまして, VDEC と関連があった(ある)教員が起業したベンチャー企業のリスト(順不同)を以下に示します.

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生: 神戸大学 瀧和男教授 (同社, 代表取締役社長)

- 事業内容: (1) Hyper LSI Design
(2) 汎用コアの低消費電力, 小面積, 高速化ハードニング
(3) オリジナルライブラリ / IP の販売
(4) チップ受託開発

[2] 株式会社シンセシス (<http://www.synthesis.co.jp/>)

代表の先生: 大阪大学 白川功名誉教授 (同社, 取締役)

- 事業内容: (1) システム LSI 開発・設計受託
(2) IP 開発及び販売
(3) システムソリューション提供 / 設計支援ツール開発及び販売

[3] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生: 九州工業大学 中村和之教授 (同社, 代表取締役)

- 事業内容: (1) アナログ LSI 設計用 CAD ツールの開発
(2) メモリ LSI 自動設計ツールの開発

[4] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

代表の先生: 広島大学 岩田穆名誉教授 (同社, 代表取締役)

- 事業内容: (1) アナログ・RF 回路混載 SoC 設計開発業務
(2) 基板雑音解析業務
(3) 企業との協力と人材育成

[5] 有限会社石島電子技研 (<http://ishi.main.jp/>)

- 事業内容: (1) ハードウェア開発
(2) ソフトウェア開発
(3) システム・コンサルティング

1.8 超微細リソグラフィー・ナノ計測拠点

VDECでは、武田先端知ビルスーパークリーンルームを工学部総合研究機構と共同で運用し、オープンな拠点として全国の学・産・官に広く公開している。平成23年度で終了したナノテクノロジーネットワーク事業に引き続き、東京大学を代表して平成24年度より開始された文部科学省ナノテクノロジープラットフォームの微細加工実施機関となって、「超微細リソグラフィー・ナノ計測拠点」を運営している。一研究室では取得維持が困難な装置群を、組織的に維持管理し、学内外、特に学外の企業に公開するというプロジェクトである。平成27年度より「微細加工プラットフォーム代表機関(京都大学)」のサブセンターとして、主に東日本を担当するコーディネータ業務を受託することになった。VDECの微細加工拠点は、株式会社アドバンテスト社製の量産向け高速電子線描画装置を改造して、1cm角から8インチ丸までの任意形状にまで描画できるようにしたF5112+VD01ならびに、8インチまでの任意形状に描画できる柔軟性・大面積描画性はそのままに、20nmを切る解像度向上と、機器中のステンシルの影像を精密に縮小投影する「キャラクタ(セル)プロジェクション」に正式対応した後継機F7000S-VD02を核に、武田先端知ビルスーパークリーンルームでの活動を支援している。さらに、VLSIファウンドリ活動の日本代表という立ち位置を最大限利用し、「フェニテックセミコンダクター」プロジェクトとの協業により、VLSIをVDECで試作し、ウエーハ状態のLSIの供給を受け、ナノテクプラット

でMEMS後加工するという新たな「More-Than-Moore」系の研究支援スキームを安定的に運用している。実績は極めて好調であり、平成24年度(ナノテクプラット開始時)から28年度末までに登録した研究グループ数は累積226研究グループ・4教育プロジェクトとなった。これは2000年から2004年の利用研究グループ数の11倍である(図1)。平成28年度の「利用報告書」は162件であった。内訳は、①大企業による利用26件、②中小企業による利用4件、③東京大学以外の大学による利用28件、④公的機関による利用11件、⑤東京大学による利用(共同研究を含む)91件である。このほか報告書を出さないいわゆる「成果非公開」が9件ある。企業による利用が順調に増加していることが特筆され、これはナノプラット開始後5年目を迎え、制度の存在が次第に知られてきているためである。最も利用されている装置は電子線描画装置であり、ナノプラット支援開始日2016年4月～2017年3月の間に、月平均196.5枚(合計2359枚)描画を行った。外部共用率は99%、すなわち、利用可能な日には必ず誰かが利用をしていたという結果であった。描画回数の年次変化を図2に示す。絶えず右肩上がりの成長を続けている。経験豊富な技術支援者のアテンドによる技術補助利用、技術代行利用も好評を博しており、さらなる利用の向上が期待できる。

URL: <http://nanotechnet.t.u-tokyo.ac.jp/>

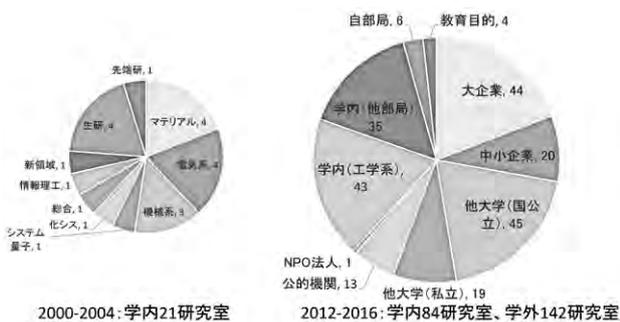


図1 武田先端知ビルスーパークリーンルーム利用研究室の内訳



図2 VDEC電子線描画装置の月あたり平均描画枚数

式典でのスライドやビデオレターは VDEC の WEB ページで公開しております。

<http://www.vdec.u-tokyo.ac.jp/20shunen-report.html>

平成 29 年 1 月 20 日、武田先端ビル 5F 武田ホールにおいて、設立 20 周年記念式典を執り行ないました。積雪の荒天が予報される中、200 名の臨席を賜りました。冒頭に五神真総長より、集積システム分野の研究として不可欠な大規模集積回路 (VLSI) の相乗り試作や設計 CAD ソフトウェアの全国共同利用スキームの必要性を見抜いて 80 年代よりセンターが構想・設立された経緯と、我が国の将来に向けた「Society5.0」実現のため、先を行く先端電子デバイスシステム研究への発展を期待する旨の挨拶をいただいたのち、政府からは文部科学省と経済産業省、産業界からは株式会社アドバンテスト、富士通研究所の御来賓の方々より祝辞を賜りました。続いて浅田センター長よりお礼と 20 周年の簡単な総括、時代背景の変化を見据えて今後一層社会が必要とする技術者の育成と研究の推進をはかっていく決意が表明されました。

式典では、学外利用者から 3 件、VDEC 教員から海外機関からのビデオレターを含む 5 件の活動報告、2 件の特別講演、パネルディスカッションが行なわれました。特に VDEC の全国ユーザからは、研究が企業化に

つながった例として大阪大学の尾上孝雄先生ならびに静岡大学の川人祥二先生から、VDEC を利用する東京大学の研究室を通じた超短期間研究開発の成功例として Santec 株式会社の諫本圭史様からの発表を、特別講演としては東北大学の野英男先生、(株) ExaScaler の齊藤元章様からの発表をいただき、続いて九州大学副学長・教授の安浦寛人先生をモデレーターに頂き、我が国が LSI とともにどのように発展すべきか、どのような教育研究を行なうべきか、白熱したディスカッションが行なわれました。引き続き場所をホール前ホワイエにて懇談会が開催され、和やか且つ熱い議論が交わされました。

VDEC は日本の教育研究機関における相乗り試作ゲートウェイ、日本の CAD 契約代表、それらを利用した設計教育と先端研究の全国共同利用センターとして発足し、03 年竣工の寄附建物「武田先端ビル」スーパークリーンルームを工学系研究科と協力し運営する中で微小電気機械システム (MEMS) のオープン試作利用環境を整備充実、LSI の機能性能のテスト研究として寄附研究部門を拡充し、20 周年を迎えました。今後も集積回路や微細素子分野とそれを利用する幅広い分野で、思い立ってから実現までを最短距離で結ぶ全国共同拠点として益々頑張ってゆく所存です。

学生・研究者・産業界よりの多数のご利用を引き続きお待ちしております。

プログラム（リンクをクリックすると試料が読めます）

13:00	開会の挨拶	
	五神真（東京大学 総長）	
	来賓祝辞	
	浅野敦行様（文部科学省 高等教育局）	
	岡田武様（経済産業省 産業技術環境局）	
	中村弘志様（株式会社アドバンテスト）	
	木村康則様（株式会社富士通研究所 / JST）	
	センター長挨拶	
	浅田邦博（東京大学 VDEC センター長）	
	(参考資料)10周年記念挨拶 浅田邦博（東京大学 VDEC センター長）	
14:00	休憩	
14:15	VDEC 利用者からの成功事例報告	
	システムレベル設計	尾上孝雄先生（大阪大学）
	アナログ・ミックスシグナル設計	川人祥二先生（静岡大学）
	(ナノテク・クリーンルーム関係) 共有設備を用いた光通信デバイスの研究開発 ～ベンチャー企業における産学連携ビジネスモデル～	諫本圭史様（santec 株式会社）
15:15	休憩	
15:30	VDEC の活動と今後の展開	
	VDEC におけるチップ試作とその展開	池田誠（東京大学）
	VDEC における教育・設計環境とその展開	名倉徹（東京大学）
	研究拠点としての VDEC の展開	藤田昌宏（東京大学）
	武田先端知ビルスーパークリーンルーム・ナノテクノロジープラットフォーム関連活動報告	三田吉郎（東京大学）
	アドバンテスト D2T 寄附研究部門	池野理門（東京大学）
16:20	休憩	
16:35	特別講演	
	スピントロニクス素子と集積回路応用	大野英男先生（東北大学）
	次世代AIとスーパーコンピュータが実現する近未来に向けて	齊藤元章様（(株)ExaScaler/(株)PEZY Computing）
17:25	休憩	
17:30	パネルディスカッション 「VDEC の今度の活動への期待と課題」	
	モデレータ：安浦寛人先生（九州大学）	
	パネリスト：小林和淑先生（京都工繊大），大池祐輔様（SONY），岡田健一先生（東工大）， 重松智志様（NTT），戸川望先生（早稲田大）	
18:30	歴代 VDEC Design Award 受賞ポスター展示 / 懇談会	



VDEC

第2章 「アドバンテスト D2T 寄附研究部門」 活動報告

2.1 「アドバンテスト D2T 寄附研究部門」の紹介

2.1.1 アドバンテスト D2T 寄附研究部門 設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテスト D2T 寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテスト D2T 寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく「Design to Test (D2T)」の理念のもと、国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月(第1期)、2010年10月～2013年9月(第2期)、2013年10月～2016年9月(第3期)の計9年間に渡るプロジェクトを遂行してきました。2016年度は第3期の最終年度であ

るとともに、2016年10月から株式会社アドバンテストのご厚意により新たに開始した第4期(2016年10月～2019年9月予定)の初年度にあたり、研究・教育活動の総括と新たなスタートを切る年になりました。

また2016年度は英国Edinburgh大学からStewart Smith 特任准教授(2016年5月～9月)、米国Duke大学からKrishnendu Chakrabarty 特任教授(2016年9月～12年)の2名の客員教員を招聘することができ、VDECの研究および教育活動に大きな力を与えて頂きました。

当研究部門の活動の詳細については、続く各章においてそれぞれ報告いたします。

2.1.2 アドバンテスト D2T 寄附研究部門 構成員

特任教授	Krishnendu Chakrabarty (2016年9月～12月)
特任准教授	Stewart Smith (2016年5月～9月)
特任講師	池野理門
助 教	Nguyen Ngoc Mai-Khanh
共同研究員	山口隆弘(株式会社アドバンテスト研究所)
共同研究員	石田雅裕(株式会社アドバンテスト)
事務補佐員	岡崎真紀子

2.2 「第11回D2Tシンポジウム」開催報告

2016年9月21日(水)に、東京大学武田ホールにおいて「第11回D2Tシンポジウム」を開催し、たくさんの皆様にご参加を頂きました。

今回はシンポジウムのテーマを“Design, fabrication, and test of heterogeneous systems”とし、バイオ応用を含む様々の「異種集積」に関する設計、製造、テスト技術に関する最先端の講演、本寄附研究部門らの活動報告、パネルディスカッションなどが行われました。

招待講演には、Edinburgh大学のAnthony Walton教授と香港科技大のKwang-Ting Cheng教授をお招きし、さらにシンポジウム時点で本寄附研究部門の特任教員として滞在していたKrishnendu Chakrabarty教授(Duke

大学)とStewart Smith准教授(Edinburgh大学)からも講演を頂きました。また“Breakthrough technology and application of heterogeneous micro/nano systems for industrial/economic success”と題したパネルディスカッションでは、東京大学生産技術研究所の藤田博之教授を司会に迎え、各講演者をパネリストとして活発な議論が行われました。

閉会後の懇親会まで多くの方にご参加を頂き、大変盛況な会となりましたことを改めて御礼申し上げるとともに、今後開催される第12回シンポジウムへのご参加をお待ち申し上げる次第です。

東京大学 大規模集積システム設計教育研究センター VLSI Design and Education Center VDEC

アドバンテスト D2T 寄附研究部門

D2T Symposium

~Design, fabrication, and test of heterogeneous systems~

第11回

東京大学 武田先端知ビル 5階 武田ホール

2016 **9/21**
WED 10:00-18:00

東京大学大規模集積システム設計教育研究センターでは、株式会社アドバンテストからの寄附によるアドバンテスト D2T 寄附研究部門において、「D2T (Design-to-Test)」の理念に基づき、「設計」と「テスト」の橋渡しを目的とした研究・教育活動を行なっています。その一環として開催して参りました D2T シンポジウムを今年も下記の通り開催いたします。多くの皆様の御参加をお待ち申し上げております。

プログラム	
10:00	開会 / Opening
10:15	セッション 1 / Session 1
	Krishnendu Chakrabarty (The University of Tokyo, Duke University) “Design and Test of Micro-Electrode-Dot-Array (MEDA) Digital Microfluidic Biochips”
	Stewart Smith (The University of Tokyo, Edinburgh University) “IMPACT - Implantable Microsystems for Personalised Anti Cancer Therapy”
11:45	昼食 / Lunch
13:15	セッション 2 / Session 2
	Research activity reports of ADVANTEST D2T Research Division
	Rimon Ikeno (The University of Tokyo), Nguyen Ngoc Mai Khanh (The University of Tokyo), Takahiro Yamaguchi (ADVANTEST Laboratories Ltd.), Masahiro Ishida (ADVANTEST Corp.)
14:45	休憩 / Coffee break
15:15	セッション 3 / Session 3
	Anthony Walton (Edinburgh University) “Options for the integration of technologies with CMOS Integrated Circuits”
	Kwang - Ting (Tim) Cheng (Hong Kong University of Science and Technology) “3D Integrated CMOS-Memristor Hybrid Circuits: Devices, Integration, Architecture, and Applications”
16:35	休憩 / Break
16:45	パネルディスカッション / Panel discussion
18:00	閉会 / Closing 懇親会 / Reception

**武田ホール
武田先端知ビル
5F**

参加のお申し込み

【参加費：無料】 【申し込み方法：以下のウェブサイトからの事前申込制】
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2016-j.html>

主催：東京大学大規模集積システム設計教育研究センター (VDEC)
 後援：株式会社アドバンテスト
 協賛：(一社) 電子情報通信学会、(一社) 情報処理学会、IEEE SSCS Japan Chapter
 応用物理学会 集積化 MEMS 技術研究会、カンダスティング学会
 (一社) 電子情報技術産業協会、(一社) 日本半導体製造装置協会、SEMI ジャパン
 (一社) パワーデバイス・イネープリング協会

お問い合わせ：東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
 〒113-0032 東京都文京区学生 2-11-16 武田先端知ビル 404 号室
 Tel: 03-5641-0233 FAX: 03-5641-1093
<http://www.vdec.u-tokyo.ac.jp/> E-Mail: ikeno@vdec.u-tokyo.ac.jp

第11回 D2T シンポジウム開催プログラム

10:00	Opening Remarks 浅田邦博 (東京大学大規模集積システム設計教育研究センターセンター長) 関野隆 (株式会社アドバンテスト執行役員・ナノテクノロジー事業本部副本部長)
10:15	Session 1 (Chairman: Yoshio Mita, The University of Tokyo) <i>“Design and Test of Micro-Electrode-Dot-Array (MEDA) Digital Microfluidic Biochips”</i> Krishnendu Chakrabarty (Duke University, VDEC, The University of Tokyo) <i>“IMPACT - Implantable Microsystems for Personalised Anti Cancer Therapy”</i> Stewart Smith (The University of Edinburgh, VDEC, The University of Tokyo)
11:45	Lunch
13:15	Session 2 (Chairman: Tetsuya Iizuka, The University of Tokyo) <i>“Experimental Demonstration of Cancelling Systematic Variation for free-Calibration Stochastic ADC”</i> Nguyen Ngoc Mai Khanh (VDEC, The University of Tokyo) <i>“A new method for measuring alias-free aperture jitter in an ADC output”</i> Takahiro J. Yamaguchi (ADVANTEST Laboratories, VDEC, The University of Tokyo) <i>“Power Supply Impedance Emulation Technique for ATE Device Power Supply”</i> Masahiro Ishida (ADVANTEST Corporation, VDEC, The University of Tokyo.) <i>“High-throughput and high-accuracy electron-beam direct writing”</i> Rimon Ikeno (VDEC, The University of Tokyo)
14:45	Coffee Break
15:15	Session 3 (Chairman: Toru Nakura, The University of Tokyo) <i>“Options for the integration of technologies with CMOS Integrated Circuits”</i> Anthony J. Walton (The University of Edinburgh) <i>“3D Integrated CMOS-Memristor Hybrid Circuits: Devices, Integration, Architecture, and Applications”</i> Kwang-Ting (Tim) Cheng (Hong Kong University of Science and Technology)
16:35	Break
16:45	Panel Discussion Theme: <i>“Breakthrough technology and application of heterogeneous micro/nano systems for industrial/economic success”</i> Moderator: Hiroyuki Fujita (Institute of Industrial Science, The University of Tokyo) Panelists: Anthony Walton (Edinburgh University) Kwang-Ting Cheng (Hong Kong University of Science and Technology) Krishnendu Chakrabarty (Duke University, The University of Tokyo) Stewart Smith (Edinburgh University, The University of Tokyo)
18:00	Closing
	Reception

2.3 研究活動報告

高精度波形測定技術

山口隆弘, Nguyen Ngoc Mai-Khanh, 池野理門,
飯塚哲也, 浅田邦博

確率的アナログ-デジタル変換器 (Analog to Digital Converter; ADC) に基づく高精度サブレンジ型ADCの研究を行っている。プロセスばらつきや電圧、温度の変動によって生じるコンパレータのオフセットはADC特性の劣化の原因となるが、確率的ADC方式ではばらつきを抑える代わりにオフセットのランダムばらつきの正規分布を利用して精度を向上する。

回路レイアウトの対称性を向上するなどの設計上の工夫によってシステムティックばらつきを抑制した数種類の差動型確率的コンパレータを試作し、低ノイズ差動信号測定系を構築してオフセット分布やノイズ特性などを評価した。測定から得られたコンパレータ数と実効的な変換精度 (Least Significant Bit; LSB) の相関情報は、確率的ADC回路の設計において要求変換精度や消費電力、回路規模の最適設計に有効である。

電源品質評価技術の研究

石田雅裕, 寺尾直樹, 松川慧, 池野理門, 名倉徹,
飯塚哲也, 浅田邦博

半導体プロセスの微細化により電源電圧が低下する一方で、高集積化により半導体デバイスの電源電流は増加傾向にある。このため、相対的にデバイス電源の電圧誤差・ノイズが増大し、デバイス試験時/実動作時の電源品質 (パワーインテグリティ) が重要となっている。本研究では、半導体デバイスのオンチップ電源ノードにおける電源品質を評価するための電源ネットワーク・モデル化技術と、フィードバック方式をもちいた新しい電源品質制御技術の構築を目指す。

本年度は、電源ネットワーク・モデル化技術につい

て、半導体デバイスのオンチップ電源ノードで電流を付加したときの電源ピンにおける電圧・電流測定に基づきオンチップ電源供給ネットワークのインピーダンスモデルを導出するアルゴリズムを検討し、計算機シミュレーションによる実用性確認をすすめた。また、電源品質制御技術については、フィードバック制御で任意の電源特性を模擬する技術を1) 多電源ピン制御, 2) 補償電流源の特性補正技術, 3) 直列接続されたインピーダンスモデルの模擬にまで拡張し、計算機シミュレーションとFPGAをもちいた実機検証により提案方式の原理と実用性を確認した。

高速高精度電子線描画技術

池野理門, 三田吉郎, 浅田邦博

電子線直描 (Electron Beam Direct Writing; EBDW) によるマスクレス露光は、安価かつ短turn-around time (TAT) の露光技術としての期待が大きい一方で低いスループットやビーム形状に起因する図形再現性に課題があるとされている。我々は、キャラクタプロジェクション (Character Projection; CP) 方式を活用しながら上記の課題を克服し、MEMSやフォトリソ等の幅広い露光対象に対して有効な高速電子線直描処理環境を構築するための研究を行っている。

今年度は、CP方式とVariable-Shaped Beam (VSB) 方式を組み合わせ高速・高精度に露光するEB描画手法を光導波路等の実用的なデバイス構造の描画実験に適用し、Atomic Force Microscopy (AFM) によるレジスト側面の測定とデータ解析手法などの改善を行いながら、EBショット数の削減効果およびエッジラフネス形状の評価を行った。また、描画結果評価の高精度化のためのレジスト・プロセスや描画条件を改善するために、数値解析による露光中のチップ温度上昇の評価モデリングを行った。

論文誌

- [1] Masahiro Ishida, Toru Nakura, Takashi Kusaka, Satoshi Komatsu, and Kunihiro Asada, "Dynamic Power Integrity Control of ATE for Eliminating Overkills and Underkills in Device Testing," *Journal of Electronic Testing: Theory and Applications*, vol. 32(3), pp. 257-271, 2016.
- [2] Rimon Ikeno, Satoshi Maruyama, Yoshio Mita, Makoto Ikeda, and Kunihiro Asada, "Electron beam lithography with character projection technique for high-throughput exposure with line-edge quality control," *Journal of Micro/Nanolithography, MEMS, and MOEMS*, 15(3), 31606, 2016.
- [3] Masahiro Ishida, Toru Nakura, Takashi Kusaka, Satoshi Komatsu, and Kunihiro Asada, "Power Supply Voltage Control for Eliminating Overkills and Underkills in Delay Fault Testing," *IEICE Transactions on Electronics*, vol. E99-C, no. 10, pp. 1219-1225, October 2016.

国際会議・国際シンポジウム・
国際ワークショップ

- [1] James S. Tandon, Satoshi Komatsu, Takahiro J. Yamaguchi, and Kunihiro Asada, "A comparative study of body biased time-to-digital converters based-on stochastic arbiters and stochastic comparators," *IEEE 2016 14th IEEE International New Circuits and Systems Conference (NEWCAS 2016)*, June 2016.
- [2] Takahiro J. Yamaguchi, Katsuhiko Degawa, Tetsuya Iizuka, and Kunihiro Asada, "Common pitfalls in application of a threshold detection comparator to a continuous-time level crossing quantization," *21st International Mixed-Signal Testing Workshop (IMSTW 2016)*, July 2016.
- [3] Toru Nakura, Naoki Terao, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Power Supply Impedance Emulation to

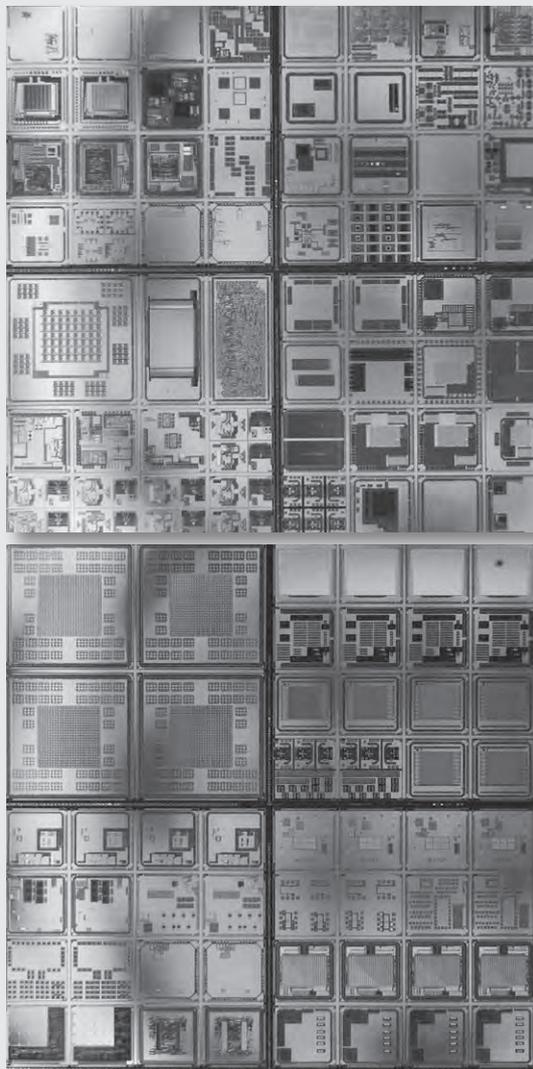
Eliminate Overkills and Underkills due to the Impedance Difference between ATE and Customer Board," *International Test Conference 2016*, November 2016.

- [4] Nguyen Ngoc Mai-Khanh, Rimon Ikeno, Takahiro J. Yamaguchi, Tetsuya Iizuka, and Kunihiro Asada, "Experimental Demonstration of Stochastic Comparators for Fine Resolution ADC Without Calibration," *2016 IEEE International Conference on Electronics, Circuits, & Systems (ICECS)*, December 2016.
- [5] Rimon Ikeno, Yoshio Mita, and Kunihiro Asada, "Line-edge quality optimization of electron-beam resist for high-throughput character projection exposure utilizing atomic force microscope analysis," *SPIE Advanced Lithography 2017*, 10148-33, March 2017.
- [6] Stewart Smith, Yudai Takeshiro, Yuji Okamoto, Jonathan G. Terry, Anthony J. Walton, Rimon Ikeno, Kunihiro Asada, and Yoshio Mita, "Test Structures for Nano-Gap Fabrication Process Development for Nano-Electromechanical Systems," *30th International Conference on Microelectronics Test Structures (ICMTS 2017)*, 9.4, March 2017.
- [7] Naoki Terao, Toru Nakura, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Extension of Power Supply Impedance Emulation Method on ATE for Multiple Power Domain," to be presented at *22nd IEEE European Test Symposium*, May 2017.

国内会議・研究会等

- [1] 池野理門, "At-speed テスト品質への IR ドロップの影響の評価と解析," 第75回 FTC 研究会, 2016年7月16日.
- [2] 寺尾直樹, 名倉徹, 石田雅裕, 池野理門, 日下崇, 飯塚哲也, 浅田邦博, 「LSI テストに向けた電源インピーダンス模擬」, 2017年電子情報通信学会総合大会, A-1-3, 2017年3月23日.

第3章 チップ試作結果報告



3.1 試作ラン別一覧

平成27年度オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08152)

題名	大学名	研究者	掲載頁
4bitTDCの設計と、3bitフラッシュADCの設計試作	東京電機大学大学院工学研究科電気電子工学専攻電子光情報コース	生方 慎也, 齋藤 匠, 小松 聡	38
アレー構造ニューラルネット回路	東京理科大学工学研究科 東京理科大学工学部	福田 泰史 河原 尊之	38
アクティブノイズコントロール用アナログ回路	名古屋工業大学大学院工学研究科	加藤 正史, HE HUIHENG	38
IRドロップによる動作速度劣化評価用チップ1	東京大学 VDEC	池野 理門	39
IRドロップによる動作速度劣化評価用チップ2	東京大学 VDEC	池野 理門	39
MEMS マイクロロボットの電源用のチャージポンプ、及び可変シナプスの TEG 回路	日本大学理工学部	田中 大介, 内木場 文男, 齊藤 健	39

平成28年度オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08161)

題名	大学名	研究者	掲載頁
MEMS マイクロロボット駆動用のハードウェアニューラルネットワークの TEG チップ	日本大学理工学部	田中 大介, 内木場 文男, 齊藤 健	40

平成27年度第5回ローム CMOS 0.18um 試作 (RO18155)

題名	大学名	研究者	掲載頁
電流モード UWB パルス発生のための電流インパルス励起回路	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	41
31 x 31 単一光子アバランシェダイオードアレイセンサー	東京大学工学系研究科 東京大学 VDEC	楊 驍 名倉 徹, 飯塚 哲也, 浅田 邦博	41
サンプルホールド回路の非線形歪み測定用回路	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 伊藤 貴亮	41
高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚	42
サブレスショルド領域で動作する極低電圧駆動フィルタレスデジタル PLL 回路	山形大学大学院理工学研究科	渡辺 晃輔, 原田 知規	42
電流モード UWB パルス発生のための電流インパルス励起回路	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	42
電流モード UWB パルス発生のための電流インパルス励起回路	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	43
三角波状動的電荷注入回路	東京大学 VDEC 東京大学工学系研究科	名倉 徹, 飯塚 哲也, 浅田 邦博 鹿野 真弘	43
オペアンプおよび対数 ADC の試作	青山学院大学理工学部	稲垣 雄志, 坂入 悠真, 松谷 康之	43
宇宙用 CVSL 回路及び性能比較用 CMOS 回路	静岡理工科大学理工学部	山中 兼一, 大関 啓太, 松原 孝 紘, 富岡 聖龍, 松下 倭樹, 鶴窪 匠, 波多野 裕	44
宇宙用 CVSL 回路及び性能比較用 CMOS 回路	静岡理工科大学理工学部	山中 兼一, 大関 啓太, 松原 孝 紘, 富岡 聖龍, 松下 倭樹, 鶴窪 匠, 波多野 裕	44
CMOS イメージセンサ TEG 回路の試作	東京電機大学工学部	松浦 爽平	44
低電力 IoT センサ回路の開発	東京大学生産技術研究所	イスラム マーフズル, 高宮 真, 桜井 貴康	45
単一磁束量子/CMOS ハイブリッドメモリシステム試作 1	横浜国立大学工学部 横浜国立大学大学院工学研究院	今野 元, 安井 雄紀, 大熊 幸寛 吉川 信行	45
単一磁束量子/CMOS ハイブリッドメモリシステム試作 2	横浜国立大学工学部 横浜国立大学大学院工学研究院	今野 元, 安井 雄紀, 大熊 幸寛 吉川 信行	45
高速ローリングシャッター動作を実現する CMOS イメージセンサチップ	東京理科大学工学研究科	大高 俊徳, 前川 晋太郎, 浜本 隆 之	46
PUF 基本特性評価チップ	早稲田大学, 大学院情報生産システム研究 科	篠原 尋史	46
Triplet STDP シナプスモデルと小面積細胞体モデルの構築	日本大学理工学部	佐伯 勝敏, 山下 大地, 杉戸 俊 樹, 戸泉 孝太	46

DC/DC コンバータのスイッチとなるパワー-MOSFET と gm アンプとサイクリック A/D 変換器	中央大学理工学部 中央大学大学院理工学研究科	杉本 泰博, 新田 信之, 原島 楓 安部 幹織, 彦坂 慎吾, 森川 逸太	47
CMOS オンチップ電気化学バイオセンシングチップ	立命館大学理工学部	宇野 重康	47
2 段オペアンプの設計等	電気通信大学情報理工学研究科	伊藤 孝幸	47
確率的 A/D コンバータ・マイクロプロセッサ	金沢大学自然科学研究科 金沢大学理工研究域	今村 竜 秋田 純一	48
線形化確率的フラッシュ AD 変換器と $\Delta\Sigma$ 型ダウンコンバーティング AD 変換器の試作	北見工業大学大学院工学研究科	杉本 俊貴, 高橋 卓人, 谷本 洋, 吉澤 真吾	48
デルタシグマ TDC の Charge-Pump ゲインに関する 位相比較帯域の変動の確認	法政大学理工学部	川部 嵩永, 嘉藤 貴博	48
低電圧 CMOS アナログ回路の試作	明治大学理工学研究科 明治大学理工学部	渡辺 正之助, 小宮 健人 野上田 崇, 山口 拓哉, 福田 裕希	49
微小サイドチャンネル・リーク対策と物理複製不可能機能を有した MDR-ROM 方式を用いた AES 暗号回路	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	山田 康平, 村岸 佑哉, 後藤 裕太 汐崎 充, 久保田 貴也 藤野 毅	49
0.18 μ m CMOS プロセスを用いた多チャンネルパッチクランプシステムの試作	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 四ツ田 大樹, 久保 勝弘, 高坂 太郎, 伊藤 孝太	49
自立動作可能 LSI チップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 南 快優, 五十嵐 一真, 杉浦 隆弥	50
多端子・8 角形 MOSFET 型センサ・回路素子	山形大学大学院理工学研究科	原田 知親	50

平成 28 年度第 1 回ローム CMOS 0.18 μ m 試作 (RO18161)

題 名	大 学 名	研 究 者	掲載頁
電流インパルス励振回路とトランジスタ試験構造	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	51
単一光子アバランシェダイオードの面積とノイズ特性検証用 TEG1	東京大学電気系工学専攻 東京大学 VDEC	楊 驍 名倉 徹, 飯塚 哲也, 浅田 邦博	51
単一光子アバランシェダイオードの面積とノイズ特性検証用 TEG2	東京大学工学系研究科 東京大学 VDEC	楊 驍 名倉 徹, 飯塚 哲也, 浅田 邦博	51
単一光子アバランシェダイオードの面積とノイズ特性検証用 TEG3	東京大学工学系研究科 東京大学 VDEC	楊 驍 名倉 徹, 飯塚 哲也, 浅田 邦博	52
0.18 μ m プロセス小容量メタルフリンジキャパシタ測定用 TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部 立命館大学大学院情報理工学研究科	宮川 尚之, 木村 知也 鈴木 智之 越智 裕之	52
フリーラジカルセンサ・ミクストシグナル設計実習	金沢大学理工研究域 金沢大学理工学域	北川 章夫 澤田 涼, 蘭 宣蔵, 広瀬 僚太	52
スイッチト・カレントカオスニューロン集積回路	東京電機大学工学研究科 東北大学電気通信研究所	新井 正樹 堀尾 喜彦	53
クロック同期型コンパレータの性能評価	東京大学生産技術研究所	小野寺 尚人, 宇野 祐輝, イスラ ム マーフズル, 李 承俊, 高宮 真, 桜井 貴康	53
量子磁束パラメトロンと CMOS 回路を組み合わせた新規メモリデバイス	横浜国立大学工学部 横浜国立大学大学院工学研究院	大熊 幸寛, 安井 雄紀 吉川 信行	53
アナログセルラニューラルネットワーク	龍谷大学理工学部	木村 睦	54
NBTI 劣化の高並列/スケラブル測定回路	京都大学大学院情報学研究所	森田 俊平, 廣本 正之, 佐藤 高史	54
CMOS スマートダストに向けた基礎検討回路	立命館大学理工学部	宇野 重康	54
集束イオンビーム(FIB)裏面加工がトランジスタ特性に及ぼす影響を評価する TEG(1 作目)	東京大学工学系研究科 東京大学 VDEC	宇佐美 尚人, 岡本 有貴, 三田 吉 郎 太田 悦子, 池野 理門, 浅田 邦博	55
アナログ回路用ライブラリ及び素子評価	高知工科大学工学部システム工学群 高知工科大学大学院基盤工学専攻	橘 昌良 岡崎 泰士, Wannaboon Chatch- ai	55
各種要素回路の設計	明治大学大学院理工学研究科	和田 和千, 今井 博之, 江川 和 穂, 木谷 嘉孝, 大門 佑, 鈴木 博 俊, 山下 良満	55
アクティブ・インダクタによるジッタ低減リングオシレータ とばらつきを自己校正可能な Time To Digital Convertor の研究	法政大学理工学部	峯村 亮佑, 佐々木 翔一朗, 星野 裕也, 嘉藤 貴博	56
微小サイドチャンネル・リーク対策と物理複製不可能機能を有した MDR-ROM 方式を用いた AES 暗号回路	立命館大学理工学研究科 立命館大学総合科学技術研究機構 立命館大学理工学部	山田 康平, 村岸 佑哉, 後藤 裕太 汐崎 充, 久保田 貴也 藤野 毅	56

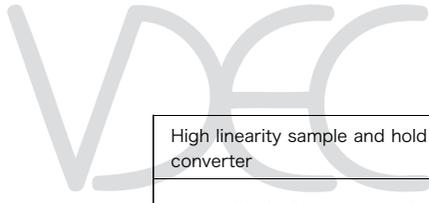
0.18 μ mCMOS プロセスを用いた多チャンネルバッテックランプシステムの改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 久保 勝弘, 高坂 太郎	56
--	----------------------------	-----------------------	----

平成28年度第2回ローム CMOS 0.18 μ m 試作 (RO18162)

題 名	大 学 名	研 究 者	掲載頁
高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚, 櫻本 隆一	57
高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚, 櫻本 隆一	57
高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚, 櫻本 隆一	57
クイックスタート機能付きパルス幅制御位相同期回路	東京大学工学部 東京大学 VDEC	加賀谷 司 名倉 徹, 飯塚 哲也, 浅田 邦博	58
SPAD の After-pulsing 確率測定用の hold-off 時間可変な active quenching circuit	東京大学工学系研究科 東京大学 VDEC	楊 驍 飯塚 哲也, 名倉 徹, 浅田 邦博	58
磁界観測を用いた電流分布推定による電源網解析手法の評価回路	東京大学工学系研究科 東京大学 VDEC	織田 勇牙 飯塚 哲也, 名倉 徹, 浅田 邦博	58
磁界観測を用いた電流分布推定による電源網解析手法の評価回路	東京大学工学系研究科 東京大学 VDEC	織田 勇牙 飯塚 哲也, 名倉 徹, 浅田 邦博	59
大面積シングルフォトンアバランシェダイオードの設計	東京大学工学系研究科 東京大学 VDEC	楊 驍 飯塚 哲也, 名倉 徹, 浅田 邦博	59
Magnetic Probe for VLSI power supply network analysis	東京大学 VDEC 東京大学工学部	Mai-Khanh Nguyen Ngoc, Asada Kunihiro Oda Yuki, Iizuka Tetsuya	59
ニューロン動作を模擬したデジタル信号処理回路	東京大学 VDEC	飯塚 哲也	60
温度および電圧測定用リングオシレータ TEG ほか	立命館大学情報理工学部 立命館大学大学院情報理工学研究科	坂野 達也, 鈴木 智之, 越智 裕之 木村 知也, 宮川 尚之	60
生体信号処理用増幅回路の試作	山梨大学大学院総合研究部	佐藤 隆英, 小川 覚美	60
2-step 確率的 ADC・ARM cortex-M0	金沢大学自然科学研究科 金沢大学理工研究域	今村 竜 北川 章夫	61
自動生成フローを用いて設計した確率的 AD 変換回路と MOS トランジスタ TEG	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部	湯本 涼介, 齋藤 匠 小松 聡	61
Coarse-Fine 型 Time to Digital Converter の試作	東京電機大学工学部第二部 東京電機大学工学部	須貝 淳平 小松 聡	61
単一磁束量子/CMOS ハイブリッドメモリシステム試作 3	横浜国立大学工学府 横浜国立大学大学院工学研究院	今野 元, 安井 雄紀, 大熊 幸寛 吉川 信行	62
新規 PUF, TRNG 動作確認チップ	早稲田大学, 大学院情報生産システム研究科	篠原 尋史	62
ニューラルネットワーク用モジュールの試作	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, ヒメネス ベハラノ ティアナ エリザベス, 岩切 達也, 戸泉 孝太	62
アクティブマトリクス駆動アナログセルラニューラルネットワーク		木村 睦	63
低暗電流型イメージセンサの特性評価用 TEG	茨城大学工学部	木村 孝之	63
CMOS オンチップ電気化学バイオセンシングチップ	立命館大学理工学部	宇野 重康	63
遅延故障検査容易化回路および IC 間配線の電氣的検査容易化回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院理工学研究部	伊喜利 勇貴, 掛江 庸平, 大谷 航平, 河口 巧, 河塚 信吾, 藪井 大輔, 四柳 浩之, 橋爪 正樹	64
電源スタック型回路構造用新コーディング回路および、レシオレス SRAM を用いた T-CAM 回路	九州工業大学大学院情報工学府	アリムティン モハマド, 山口 翔吾, 西方 大輔, 中村 和之	64
3次元積層 LSI における発熱温度解析に向けたチップ	芝浦工業大学理工学研究科 芝浦工業大学工学部	安田 匠吾 宇佐美 公良	64
0.18 μ mCMOS プロセスを用いた低ノイズ 16ch バッテックランプシステム	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 久保 勝弘, 高坂 太郎, 伊藤 孝太	65
自立動作可能 LSI チップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 南 快優, 五十嵐 一真	65
インピーダンス計測検証用回路	静岡大学工学部	二川 雅登	65

平成28年度第3回ローム CMOS 0.18 μ m 試作 (RO18163)

題 名	大 学 名	研 究 者	掲載頁
インストゥルメンテーション・アンプ TEG 1	東京大学 VDEC	名倉 徹	66
インストゥルメンテーション・アンプ TEG 2	東京大学 VDEC	名倉 徹	66
抵抗による三角波状動的電荷注入回路	東京大学 VDEC 東京大学工学系研究科	名倉 徹, 飯塚 哲也, 浅田 邦博 鹿野 真弘	66
抵抗による三角波状動的電荷注入回路	東京大学 VDEC 東京大学工学系研究科	名倉 徹, 飯塚 哲也, 浅田 邦博 鹿野 真弘	67
クイックスタート機能付きパルス幅制御位相同期回路	東京大学工学部 東京大学 VDEC	加賀谷 司 名倉 徹, 飯塚 哲也, 浅田 邦博	67
フリップチップ基板検証用マイクロストリップ線路	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹 浅田 邦博, . . .	67
フリップチップ実装用・高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚, 櫻本 隆一	68
高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚, 櫻本 隆一	68
高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚, 櫻本 隆一	68
高分解能パルス縮小型時間-デジタル変換器	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 古賀 丈尚, 櫻本 隆一	69
デカップリングコンデンサを追加した電流インパルス励起回路	東京大学工学系研究科 東京大学 VDEC	Kanjanavrojkul Parit Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	69
2 段昇圧型チャージポンプ回路 TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	木村 知也, 宮川 尚之 坂野 達也, 越智 裕之	69
ハミング距離検索機能付き CAROM	東海大学情報通信学部	福原 雅朗, 平谷 真之, 杉山 健太 郎, 恩地 夏央, 藏野 貴教	70
SRAM 型確率的 ADC	金沢大学自然科学研究科 金沢大学理工学域 金沢大学理工研究域	今村 竜 Ahola Roope 北川 章夫	70
CMOS イメージセンサ	東京電機大学工学研究科電気電子専攻 東京電機大学工学部	松浦 爽平 小松 聡	70
静電容量式 MEMS センサを対象とした C/V 変換回路の試作	東京電機大学東京電機大学工学研究科電気 電子工学専攻 東京電機大学工学部	横井 貴也, 成岡 謙悟 小松 聡	71
0.18 μ m CMOS プロセスを用いたアナログ回路 TEG	広島工業大学工学部/電子情報工学科	升井 義博	71
容量型湿度センサを用いた発汗センサテストチップ	信州大学工学部	三谷 勇介, 上倉 宇晴, 宮地 幸 祐, 上口 光	71
単一磁束量子/CMOS ハイブリッドメモリシステム試作 4	横浜国立大学工学府 横浜国立大学大学院工学研究院	今野 元, 安井 雄紀, 大熊 幸寛 吉川 信行	72
単一磁束量子/CMOS ハイブリッドメモリシステム試作 5	横浜国立大学工学府 横浜国立大学大学院工学研究院	今野 元, 安井 雄紀, 大熊 幸寛 吉川 信行	72
一定画素間隔で蓄積時間制御可能な CMOS イメージセンサ	東京理科大学工学研究科	古坂 拓朗, 繁森 祥吾, 田中 亮 祐, 野村 昂平, 浜本 隆之	72
ゲイン及び波帯切替可能な生体信号処理用 LSI	東北大学医工学研究科 長崎総合科学大学工学研究科 東北大学工学研究科	田中 徹, 下川 賢士 清山 浩司, 西野 悟 伊藤 圭汰, 宇野 正真, 竹澤 好 樹, 銭 正ヨウ	73
低電圧駆動 CMOS スマートダストの基礎検討	立命館大学理工学部	宇野 重康	73
DCDC 昇圧回路	電気通信大学情報理工学研究科 電気通信大学情報理工学部	荒井 深太, 石毛 剛志, 高橋 史帆 鈴木 康介	73
Bitmap Index Based Query Processor, etc.	電気通信大学情報理工学研究科 電気通信大学情報理工学部	Nguyen Xuan Thuan 森 祐一朗, 堀田 裕亮	74
電流源回路及びシュミットトリガ回路等	電気通信大学情報理工学研究科	野田 一善, 高橋 史帆, 伊藤 孝幸	74
集束イオンビーム(FIB)裏面加工がトランジスタ特性に及ぼす影響を評価する TEG(2 作目)	東京大学工学系研究科 東京大学 VDEC	宇佐美 尚人, 岡本 有貴, 三田 吉 郎 太田 悦子, 池野 理門, 浅田 邦博	74
Fine resolution ADC based on the approach of stochastic comparators	東京大学 VDEC	Mai-Khanh Nguyen Ngoc, Ike- no Rimon	75



High linearity sample and hold sampling for analog-digital converter	東京大学 VDEC	Mai-Khanh Nguyen Ngoc	75
高知工科大学工学部システム工学群 橋 昌良	高知工科大学システム工学群 高知工科大学大学院基板工学専攻	橋 昌良, 窪添 諒, 軽野 滉士 Wannaboon Chatchai	75
アナログ回路用ライブラリ及び素子評価	高知工科大学システム工学群 高知工科大学大学院基板工学専攻	橋 昌良, 武内 智哉 岡崎 泰士	76
中性子線照射実験のための耐ソフトエラーラッチ回路	千葉大学工学部 千葉大学大学院融合科学研究科 千葉大学大学院工学研究院	堀田 奈央, 高田 麻都, 勝又 啓 道, 島袋 秀樹, 中川 雄貴 上野 弘貴 難波 一輝	76
ランダム遅延素子を用いた耐タンパ非同期式暗号化回路	弘前大学理工学部	豊嶋 太樹, 今井 雅	76
各種フィルタとチャージポンプ	明治大学大学院理工学研究科	和田 和千, 今井 博之, 須藤 千 裕, 大門 佑, 市川 遼	77
2.5GHz-LC 共振型 Digital Controlled Oscillator と デルタシ グマ型 Time To Digital Convertor の回路実装	法政大学理工学部	峯村 亮佑, 佐々木 翔一郎, 星野 裕也, 嘉藤 貴博	77
積層型 IC のチップ内の温度分布の解析	富山県立大学工学部 情報システム工学科 富山県立大学情報システム工学科	出町 治香, 牛田 慧 岩田 栄之, 松田 敏弘	77
低電源電圧化での測定に対応したレシオレス SRAM T-CAM 回 路	九州工業大学大学院情報工学府	アリムディン モハマド, 西方 大 輔, 中村 和之	78
電源スタック型回路構造における中間電位安定性評価回路	九州工業大学大学院情報工学府	山口 翔吾, 肥後 知樹, 中村 和之	78
無線通信用増幅器、及び TEG	九州大学システム情報科学研究科	濱澤 篤優, 久保木 猛, 金谷 晴一	78
CMOS 通信回路実現のための試作	明治大学理工学研究科	大里 侑生	79
0.18 μ mCMOS プロセスを用いた脳波測定用フロントエンドア ンプの試作	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 久保 勝弘, 高坂 太郎, 伊藤 孝 太, 宮脇 貴統, 田中 稜也, 出口 卓己	79
自立動作可能 LSI チップのためのアプリケーション回路の検討	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 銭林 大悟 南 快優, 五十嵐 一真	79
低電圧動作・電流リファレンス回路	埼玉工業大学大学院工学研究科 埼玉工業大学工学部	吉澤 浩和, 秦 志剛 坂田 康平	80
ワイヤレス給電技術に向けたパワーマネジメント回路用 TEG	神戸大学大学院工学研究科	増田 創太, 秋原 優樹, 浅野 大 樹, 廣瀬 哲也	80
符号化・復号回路	上智大学理工学部	林 等	80
Inductor design for RFIC	Tohoku University Department of Elec- trical Engineering	Sai Ranajit	81
ハードウェアトロイが挿入された RSA 暗号回路におけるハード ウェアトロイ動作抑止の検証	早稲田大学基幹理工学研究科	長谷川 健人	81
ハイブリッド SSD の高速化、高効率化に向けた ReRAM 書き込 み電圧生成回路	中央大学理工学研究科 中央大学理工学部	竹内 健, 田中 誠大, 鶴見 光太 鈴木 健太	81
通信用 DLL 回路を用いた注入同期 PLL 回路の特性評価 TEG	大阪工業大学大学院工学研究科	増井 優也 小林 茉祐, 橋本 哲, 藤原 尚博, 吉村 勉, . . .	82
光プローブ電流センサ向け光電流変換疑似差動 CMOS アナログ フロントエンド回路	信州大学大学院理工学系研究科 信州大学大学院総合理工学研究科 信州大学工学部	小柳 洸介 上倉 宇晴, 宮地 幸祐 高木 憲太郎	82
体内埋め込み型医療用デバイス向け磁界共振を用いた非接触給 電システム送受電回路	信州大学大学院総合理工学研究科 信州大学大学院理工学研究科 信州大学工学部	與五沢 啓太, 宮地 幸祐 吉田 稜理 浅野 孝紘, 西田 純也	82
光受信用アナログフロントエンド回路 TEG 2	岐阜大学大学院工学研究科	久米 沢弥, 小島 拓也, 中村 誠	83

平成 27 年度第 2 回ルネサス CMOS 65nm 試作 (RS65152)

題 名	大 学 名	研 究 者	掲載頁
高速ロックを実現する完全デジタル型クロック・データ・リカ バリ回路	東京大学 VDEC 東京大学工学系研究科	飯塚 哲也, 名倉 徹, 浅田 邦博 峠 仁人	84
オフチップキャパシタによる電源ノイズ低減効果実証 TEG	東京大学 VDEC 東京大学工学系研究科	名倉 徹 鹿野 真弘	84
セレクトリングを用いた PUF 回路	京都大学大学院情報学研究科	吉永 幹, 廣本 正之, 佐藤 高史	84
温度電圧センサとテスト電力制御の評価用 TEG チップ	九州工業大学大学院情報工研究院 九州工業大学大学院情報工学府	宮瀬 紘平, 佐藤 康夫, 梶原 誠司 加藤 隆明, 三宅 庸資	84
ADPLL 及び DCT	電気通信大学情報理工学研究科	荒井 深太, 野田 一善, 小出 知明	85
2 段オペアンプ, RF Energy Harvesting, エナジーハーベス ティング用温度センサ回路の試作	電気通信大学情報理工学研究科	伊藤 孝幸, 高橋 史帆, 新居 慎也	85

Bitmap Index Creator および FFT	電気通信大学情報理工学研究科	Nguyen Xuan Thuan, 市川 陽平	85
Sub-ranging ADC based on stochastic comparators	東京大学 VDEC	Mai-Khanh Nguyen Ngoc, Ike-no Rimon	85
細粒度分割型三次元積層演算器の性能評価	山形大学大学院理工学研究科	多田 十兵衛	86
自動合成可能な PLL	東京工業大学工学院電気電子系	岡田 健一, Ngo Huy Cu, 吉岡透, 延命潤	86
バイオセンサ集積回路	名古屋大学工学研究科	新津 葵一	86

平成28年度第1回ルネサス CMOS 65nm 試作 (RS65161)

題 名	大 学 名	研 究 者	掲載頁
Geysler SCM	慶應義塾大学理工学部 芝浦工業大学情報学科	天野 英晴 吉田 有佑, 安田 匠吾, 工藤 優, 宇佐美 公良	87
可変バイブライン構造を持つ画像フィルタ用アクセラレータ CC-SOTB2	慶應義塾大学理工学部	天野 英晴, 増山 滉一郎, 安藤 尚輝く, 松下 悠亮, 小島 拓也, 奥原 颯	87
畳み込みニューラルネットワークアクセラレータ SNACC	慶應義塾大学理工学部 東京大学工学部	天野 英晴, 大久保 徹以, 小島 拓也, 奥原 颯 近藤 正章, 高田 遼, 坂本 龍一	87
ポティバイアス自動調節機構とポティバイアスを用いた高電力効率 NoC	慶應義塾大学理工学部 慶應義塾大学大学院理工学研究科	天野 英晴 奥原 颯, Ben Ahmed Akram	87
16bit 乗算器 TEG	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	新納 一樹 越智 裕之	88
65nm プロセス小容量メタルフリンジキャパシタ測定用 TEG	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	宮川 尚之, 木村 知也 越智 裕之	88
低電圧安定動作のための回路特性評価回路及び次世代アーキテクチャのプロトタイプ的设计	京都大学情報学研究科	中井 辰哉, 都築 祐亮, 岸本 真, 長岡 悠太, 小野寺 秀俊, 石原 亨	88
幅広い動作性能領域においてエネルギー最小点動作を可能にする完全デジタル型オンチップメモリの試作	京都大学情報学研究科	塩見 準, 都築 祐亮, 岸本 真, 吉澤 慶, 石原 亨, 小野寺 秀俊	88
差動低雑音増幅器とバルク電圧制御発振器の試作	大阪工業大学大学院工学研究科	木原 崇雄, 松田 茂郷, 高橋 克樹, 吉尾 恒洋, 矢野 裕之	89
NBTI 劣化の高並列測定回路	京都大学大学院情報学研究科	栗野 皓光, 佐藤 高史	89
リングオシレータを用いた PUF 回路	京都大学大学院情報学研究科	吉永 幹, 廣本 正之, 佐藤 高史	89
Bitmap Index Based Query Processor	電気通信大学情報理工学研究科	Nguyen Xuan Thuan	89
FFT and AES-CCM	電気通信大学情報理工学研究科	Nguyen Xuan Thuan	90
エナジーハーベスティング用温度センサ回路	電気通信大学情報理工学研究科	新居 慎也	90
オンチップインダクタ及び発信回路	電気通信大学情報理工学研究科	石毛 剛志, 大島 知之	90
VCO, PA, LNA の設計	電気通信大学情報理工学研究科	Nguyen Van Trung	90
極低電力 RFID TEG	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	黒田 忠広, 木内 裕介 戸枝 佑太, 藤巻 匠, 柳川 秀輔	91
極低電力 RFID 要素回路単体 TEG	慶應義塾大学大学院理工学研究科 慶應義塾大学理工学部	黒田 忠広, 木内 裕介 戸枝 佑太, 藤巻 匠, 柳川 秀輔	91
耐放射線評価用 TLC 送受信機 高速通信評価 TEG	慶應義塾大学大学院理工学研究科	黒田 忠広, 小菅 敦文, 原口 雅嗣	91
耐放射線評価用 TLC 送受信機 耐放射線試験用 TEG	慶應義塾大学大学院理工学研究科 慶應義塾大学工学研究科	黒田 忠広, 小菅 敦文 原口 雅嗣	91
耐放射線評価用 TLC 送受信機 放射線試験リファレンス用 TEG	慶應義塾大学大学院理工学研究科	黒田 忠広, 小菅 敦文, 原口 雅嗣	92
Two-stage sub-ranging fine resolution ADC	東京大学 VDEC	Mai-Khanh Nguyen Ngoc, Ike-no Rimon	92
自動合成可能な PLL	東京工業大学工学院電気電子系	岡田 健一, Ngo Huy Cu, 吉岡透, 延命潤	92
バイオセンサ集積回路	名古屋大学工学研究科	新津 葵一	92
大規模積和演算アクセラレータの試作	大阪大学情報科学研究科 高知工科大学システム工学群	橋本 昌宜 密山 幸男	93
SOTB を利用した超低消費電力アナログ回路向け要素回路 TEG	大阪大学情報科学研究科 神戸大学工学研究科	橋本 昌宜 廣瀬 哲也	93
幅広い動作領域でエネルギー最小点動作を可能にするプロセスの試作	京都大学情報学研究科	石原 亨, 小野寺 秀俊, 塩見 準, 岸本 真, 保木本 修, 吉澤 慶	93
KVS チップ (3 次元積層用)	慶應義塾大学理工学部	松谷 宏紀	93
KVS チップ (PE 単体検証用)	慶應義塾大学理工学部	松谷 宏紀	94

自己発熱効果バラつきを測定するトランジスタアレイ TEG	関西大学システム理工学部	佐藤 伸吾	94
製造工程起因の不良検出を目的とした抵抗素子アレイ TEG	関西大学システム理工学部	佐藤 伸吾	94
ソフトウェア耐性の高いフリップフロップの検討	京都工芸繊維大学電子システム工学専攻	丸岡 晴喜, 山田 晃大, 古田 潤, 小林 和淑	94
発振回路による Plasma Induced Damage 評価チップ	京都工芸繊維大学電子システム工学専攻	岸田 亮, 古田 潤, 小林 和淑	95

3. 2 チップ種別一覧

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08152	IRドロップによる動作速度劣化評価用チップ1	池野 理門	39
OS08152	IRドロップによる動作速度劣化評価用チップ2	池野 理門	39
OS08152	MEMSマイクロロボットの電源用のチャージポンプ、及び可変シナプスのTEG回路	田中 大介, 内木場 文男, 齊藤 健	39
OS08161	MEMSマイクロロボット駆動用のハードウェアニューラルネットワークのTEGチップ	田中 大介, 内木場 文男, 齊藤 健	40
RO18155	宇宙用CVSL回路及び性能比較用CMOS回路	山中 兼一, 大関 啓太, 松原 孝紘, 富岡 聖龍, 松下 倭樹, 鶴窪 匠, 波多野 裕	44
RO18155	宇宙用CVSL回路及び性能比較用CMOS回路	山中 兼一, 大関 啓太, 松原 孝紘, 富岡 聖龍, 松下 倭樹, 鶴窪 匠, 波多野 裕	44
RO18155	CMOSイメージセンサTEG回路の試作	松浦 爽平	44
RO18155	低電力IoTセンサ回路の開発	イスラム マーフズル, 高宮 真, 桜井 貴康	45
RO18161	0.18 μ mプロセス小容量メタルフリンジキャパシタ測定用TEGほか	宮川 尚之, 木村 知也, 鈴木 智之, 越智 裕之	52
RO18161	NBTI劣化の高並列/スケーラブル測定回路	森田 俊平, 廣本 正之, 佐藤 高史	54
RO18161	集束イオンビーム(FIB)裏面加工がトランジスタ特性に及ぼす影響を評価するTEG(1作目)	宇佐美 尚人, 岡本 有貴, 三田 吉郎, 太田 悦子, 池野 理門, 浅田 邦博	55
RO18162	大面積シングルフォトンアバランシェダイオードの設計	楊 驥, 飯塚 哲也, 名倉 徹, 浅田 邦博	59
RO18162	温度および電圧測定用リングオシレータTEGほか	坂野 達也, 鈴木 智之, 越智 裕之, 木村 知也, 宮川 尚之	60
RO18162	低暗電流型イメージセンサの特性評価用TEG	木村 孝之	63
RO18162	遅延故障検査容易化回路およびIC間配線の電氣的検査容易化回路の試作	伊喜利 勇貴, 掛江 庸平, 大谷 航平, 河口 巧, 河塚 信吾, 藪井 大輔, 四柳 浩之, 橋爪 正樹	64
RO18162	3次元積層LSIにおける発熱温度解析に向けたチップ	安田 匠吾, 宇佐美 公良	64
RO18163	CMOSイメージセンサ	松浦 爽平, 小松 聡	70
RO18163	集束イオンビーム(FIB)裏面加工がトランジスタ特性に及ぼす影響を評価するTEG(2作目)	宇佐美 尚人, 岡本 有貴, 三田 吉郎, 太田 悦子, 池野 理門, 浅田 邦博	74
RO18163	積層型ICのチップ内の温度分布の解析	出町 治香, 牛田 慧, 岩田 栄之, 松田 敏弘	77
RO18163	CMOS通信回路実現のための試作	大里 侑生	79
RO18163	逡倍用DLL回路を用いた注入同期PLL回路の特性評価TEG	増井 優也, 小林 菜祐, 橋本 哲, 藤居 尚博, 吉村 勉, , ,	82
RS65152	オフチップキャパシタによる電源ノイズ低減効果実証 TEG	名倉 徹, 鹿野 真弘	84
RS65152	セレクトリングを用いたPUF回路	吉永 幹, 廣本 正之, 佐藤 高史	84
RS65152	温度電圧センサとテスト電力制御の評価用TEGチップ	宮瀬 紘平, 佐藤 康夫, 梶原 誠司, 加藤 隆明, 三宅 庸資	84
RS65161	65nmプロセス小容量メタルフリンジキャパシタ測定用TEG	宮川 尚之, 木村 知也, 越智 裕之	88
RS65161	低電圧安定動作のための回路特性評価回路及び次世代アーキテクチャのプロトタイプ設計	中井 辰哉, 都築 祐亮, 岸本 真, 長岡 悠太, 小野寺 秀俊, 石原 亨	88
RS65161	NBTI劣化の高並列測定回路	栗野 皓光, 佐藤 高史	89
RS65161	リングオシレータを用いたPUF回路	吉永 幹, 廣本 正之, 佐藤 高史	89
RS65161	極低電力RFID TEG	黒田 忠広, 木内 裕介, 戸枝 佑太, 藤巻 匠, 柳川 秀輔	91
RS65161	極低電力RFID 要素回路単体TEG	黒田 忠広, 木内 裕介, 戸枝 佑太, 藤巻 匠, 柳川 秀輔	91
RS65161	耐放射線評価用TLC送受信機 高速通信評価TEG	黒田 忠広, 小菅 敦文, 原口 雅嗣	91
RS65161	耐放射線評価用TLC送受信機 耐放射線試験用TEG	黒田 忠広, 小菅 敦文, 原口 雅嗣	91
RS65161	耐放射線評価用TLC送受信機 放射線試験リファレンス用TEG	黒田 忠広, 小菅 敦文, 原口 雅嗣	92
RS65161	自己発熱効果バラつきを測定するトランジスタアレイTEG	佐藤 伸吾	94
RS65161	製造工程起因の不良検出を目的とした抵抗素子アレイTEG	佐藤 伸吾	94
RS65161	ソフトエラー耐性の高いフリップフロップの検討	丸岡 晴喜, 山田 晃大, 古田 潤, 小林 和淑	94
RS65161	発振回路による Plasma Induced Damage 評価チップ	岸田 亮, 古田 潤, 小林 和淑	95

アナデジ混載

ラン名	タイトル	研究者	掲載頁
RO18155	高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚	42

RO18155	サブスレッショルド領域で動作する極低電圧駆動フィルタレスデジタルPLL回路	渡辺 晃輔, 原田 知親	42
RO18155	三角波状動的電荷注入回路	名倉 徹, 飯塚 哲也, 浅田 邦博, 鹿野 真弘	43
RO18155	確率的A/Dコンバータ・マイクロプロセッサ	今村 竜, 秋田 純一	48
RO18155	線形化確率的フラッシュAD変換器と $\Delta\Sigma$ 型ダウンコンバーティングAD変換器の試作	杉本 俊貴, 高橋 卓人, 谷本 洋, 吉澤 真吾	48
RO18162	高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚, 榎本 隆一	57
RO18162	高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚, 榎本 隆一	57
RO18162	高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚, 榎本 隆一	57
RO18163	抵抗による三角波状動的電荷注入回路	名倉 徹, 飯塚 哲也, 浅田 邦博, 鹿野 真弘	66
RO18163	抵抗による三角波状動的電荷注入回路	名倉 徹, 飯塚 哲也, 浅田 邦博, 鹿野 真弘	67
RO18163	フリップチップ実装用・高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚, 榎本 隆一	68
RO18163	高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚, 榎本 隆一	68
RO18163	高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚, 榎本 隆一	68
RO18163	高分解能パルス縮小型時間-デジタル変換器	飯塚 哲也, 名倉 徹, 浅田 邦博, 古賀 文尚, 榎本 隆一	69
RO18163	2段昇圧型チャージポンプ回路TEGほか	木村 知也, 宮川 尚之, 坂野 達也, 越智 裕之	69
RO18163	SRAM型確率的ADC	今村 竜, Ahola Roope, 北川 章夫	70
RO18163	ゲイン及び波帯切替可能な生体信号処理用LSI	田中 徹, 下川 賢士, 清山 浩司, 西野 悟, 伊藤 圭汰, 宇野 正真, 竹澤 好樹, 銭 正ヨウ	73
RO18163	DCDC昇圧回路	荒井 深太, 石毛 剛志, 高橋 史帆, 鈴木 康介	73
RO18163	電流源回路及びシュミットトリガ回路等	野田 一善, 高橋 史帆, 伊藤 孝幸	74
RS65152	高速ロックを実現する完全デジタル型クロック・データ・リカバリ回路	飯塚 哲也, 名倉 徹, 浅田 邦博, 峠 仁人	84
RS65152	ADPLL及びDCT	荒井 深太, 野田 一善, 小出 知明	85
RS65152	2段オペアンプ, RF Energy Harvesting, エナジーハーベスティング用温度センサ回路の試作	伊藤 孝幸, 高橋 史帆, 新居 慎也	85
RS65161	エナジーハーベスティング用温度センサ回路	新居 慎也	90

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO18155	低電圧CMOSアナログ回路の試作	渡辺 正之助, 小宮 健人, 野上田 崇, 山口 拓哉, 福田 裕希	49
RO18162	Magnetic Probe for VLSI power supply network analysis	Mai-Khanh Nguyen Ngoc, Asada Kunihiro, Oda Yuki, Iizuka Tetsuya	59
RO18162	Coarse-Fine型Time to Digital Converterの試作	須貝 淳平, 小松 聡	61
RO18162	インピーダンス計測検証用回路	二川 雅登	65
RO18163	0.18 μ mCMOS プロセスを用いたアナログ回路TEG	升井 義博	71
RS65161	FFT and AES-CCM	Nguyen Xuan Thuan	90

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
OS08152	4bitTDCの設計と、3bitフラッシュADCの設計試作	生方 慎也, 齋藤 匠, 小松 聡	38
OS08152	アクティブノイズコントロール用アナログ回路	加藤 正史, HE HUIHENG	38
RO18155	サンプルホールド回路の非線形歪み測定用回路	飯塚 哲也, 名倉 徹, 浅田 邦博, 伊藤 貴亮	41
RO18155	オペアンプおよび対数ADCの試作	稲垣 雄志, 坂入 悠真, 松谷 康之	43
RO18155	Triplet STDPシナプスモデルと小面積細胞体モデルの構築	佐伯 勝敏, 山下 大地, 杉戸 俊樹, 戸泉 孝太	46
RO18155	DC/DCコンバータのスイッチとなるパワー-MOSFETとgmアンプとサイクリックA/D変換器	杉本 泰博, 新田 信之, 原島 楓, 安部 幹織, 彦坂 慎吾, 森川 逸太	47
RO18155	デルタシグマTDCの Charge-Pumpゲインに関する 位相比較帯域の変動の確認	川部 嵩永, 嘉藤 貴博	48
RO18155	0.18 μ mCMOS プロセスを用いた多チャンネルバッチクランプシステムの試作	中野 誠彦, 四ツ田 大樹, 久保 勝弘, 高坂 太郎, 伊藤 孝太	49
RO18155	自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 南 快優, 五十嵐 一真, 杉浦 隆弥	50
RO18161	スイッチト・カレントカオスニューロン集積回路	新井 正樹, 堀尾 喜彦	53
RO18161	クロック同期型コンパレータの性能評価	小野寺 尚人, 宇野 祐輝, イスラム マーフズル, 李 承俊, 高宮 真, 桜井 貴康	53

RO18161	アナログ回路用ライブラリ及び素子評価	橋 昌良, 岡崎 泰士, Wannaboon Chatchai	55
RO18161	アクティブ・インダクタによるジッタ低減リングオシレータ と ばらつきを自己校正可能な_Time To Digital Convertor の研究	峯村 亮佑, 佐々木 翔一朗, 星野 裕也, 嘉藤 貴博	56
RO18161	0.18 μ mCMOS プロセスを用いた多チャンネルパッチクランプシステムの改良	中野 誠彦, 久保 勝弘, 高坂 太郎	56
RO18162	クイックスタート機能付きパルス幅制御位相同期回路	加賀谷 司, 名倉 徹, 飯塚 哲也, 浅田 邦博	58
RO18162	生体信号処理用増幅回路の試作	佐藤 隆英, 小川 覚美	60
RO18162	自動生成フローを用いて設計した確率的AD変換回路とMOSトランジスタTEG	湯本 涼介, 齋藤 匠, 小松 聡	61
RO18162	ニューラルネットワーク用モジュールの試作	佐伯 勝敏, 佐々木 芳樹, ヒメネス ベハラノ ディアナ エリザベス, 岩切 達也, 戸泉 孝太	62
RO18162	0.18 μ mCMOS プロセスを用いた低ノイズ16chパッチクランプシステム	中野 誠彦, 久保 勝弘, 高坂 太郎, 伊藤 孝太	65
RO18162	自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 南 快優, 五十嵐 一真	65
RO18163	インスツルメンテーション・アンプ TEG 1	名倉 徹	66
RO18163	インスツルメンテーション・アンプ TEG 2	名倉 徹	66
RO18163	クイックスタート機能付きパルス幅制御位相同期回路	加賀谷 司, 名倉 徹, 飯塚 哲也, 浅田 邦博	67
RO18163	静電容量式MEMSセンサを対象としたC/V変換回路の試作	横井 貴也, 成岡 謙悟, 小松 聡	71
RO18163	容量型湿度センサを用いた発汗センサテストチップ	三谷 勇介, 上倉 宇晴, 宮地 幸祐, 上口 光	71
RO18163	Fine resolution ADC based on the approach of stochastic comparators	Mai-Khanh Nguyen Ngoc, Ikeno Rimon	75
RO18163	High linearity sample and hold sampling for analog-digital converter	Mai-Khanh Nguyen Ngoc	75
RO18163	高知工科大学工学部システム工学群 橋 昌良	橋 昌良, 窪添 諒, 軽野 滉士, Wannaboon Chatchai	75
RO18163	アナログ回路用ライブラリ及び素子評価	橋 昌良, 武内 智哉, 岡崎 泰士	76
RO18163	2.5GHz-LC共振型Digital Controlled Oscillator と デルタシグマ型 Time To Digital Convertor の回路実装	峯村 亮佑, 佐々木 翔一朗, 星野 裕也, 嘉藤 貴博	77
RO18163	0.18 μ mCMOS プロセスを用いた脳波測定用フロントエンドアンプの試作	中野 誠彦, 久保 勝弘, 高坂 太郎, 伊藤 孝太, 宮脇 貴統, 田中 稜也, 出口 卓己	79
RO18163	自立動作可能LSIチップのためのアプリケーション回路の検討	中野 誠彦, 銭林 大悟, 南 快優, 五十嵐 一真	79
RO18163	低電圧動作・電流リファレンス回路	吉澤 浩和, 秦 志剛, 坂田 康平	80
RO18163	ワイヤレス給電技術に向けたパワーマネジメント回路用TEG	増田 創太, 秋原 優樹, 浅野 大樹, 廣瀬 哲也	80
RO18163	ハイブリッドSSDの高速化、高効率化に向けたReRAM書き込み電圧生成回路	竹内 健, 田中 誠大, 鶴見 光太, 鈴木 健太	81
RO18163	光プローブ電流センサ向け光電流変換疑似差動CMOSアナログフロントエンド回路	小柳 洸介, 上倉 宇晴, 宮地 幸祐, 高木 憲太郎	82
RO18163	体内埋め込み型医療用デバイス向け磁界共振を用いた非接触給電システム送受電回路	與五沢 啓太, 宮地 幸祐, 吉田 稯理, 浅野 孝紘, 西田 純也	82
RS65152	Sub-ranging ADC based on stochastic comparators	Mai-Khanh Nguyen Ngoc, Ikeno Rimon	85
RS65152	自動合成可能なPLL	岡田 健一, Ngo Huy Cu, 吉岡 透, 延命 潤	86
RS65152	バイオセンサ集積回路	新津 葵一	86
RS65161	Two-stage sub-ranging fine resolution ADC	Mai-Khanh Nguyen Ngoc, Ikeno Rimon	92
RS65161	自動合成可能なPLL	岡田 健一, Ngo Huy Cu, 吉岡 透, 延命 潤	92
RS65161	バイオセンサ集積回路	新津 葵一	92
RS65161	SOTBを利用した超低消費電力アナログ回路向け要素回路TEG	橋本 昌宜, 廣瀬 哲也	93

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18155	31 x 31 単一光子アバランシェダイオードアレイセンサ	楊 驍, 名倉 徹, 飯塚 哲也, 浅田 邦博	41
RO18155	高速ローリングシャッター動作を実現するCMOSイメージセンサチップ	大高 俊徳, 前川 晋太郎, 浜本 隆之	46
RO18155	多端子・8角形MOSFET型センサ・回路素子	原田 知親	50
RO18161	単一光子アバランシェダイオードの面積とノイズ特性検証用TEG1	楊 驍, 名倉 徹, 飯塚 哲也, 浅田 邦博	51
RO18161	単一光子アバランシェダイオードの面積とノイズ特性検証用TEG2	楊 驍, 名倉 徹, 飯塚 哲也, 浅田 邦博	51
RO18161	単一光子アバランシェダイオードの面積とノイズ特性検証用TEG3	楊 驍, 名倉 徹, 飯塚 哲也, 浅田 邦博	52
RO18163	一定画素間隔で蓄積時間制御可能なCMOSイメージセンサ	古坂 拓朗, 繁森 祥吾, 田中 亮祐, 野村 昂平, 浜本 隆之	72

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
RO18161	アナログセルラニューラルネットワーク	木村 睦	54
RO18162	アクティブマトリクス駆動アナログセルラニューラルネットワーク	木村 睦	63

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO18155	2段オペアンプの設計等	伊藤 孝幸	47
RO18162	磁界観測を用いた電流分布推定による電源網解析手法の評価回路	織田 勇牙, 飯塚 哲也, 名倉 徹, 浅田 邦博	58
RO18162	磁界観測を用いた電流分布推定による電源網解析手法の評価回路	織田 勇牙, 飯塚 哲也, 名倉 徹, 浅田 邦博	59
RO18162	ニューロン動作を模擬したデジタル信号処理回路	飯塚 哲也	60
RO18163	Bitmap Index Based Query Processor, etc.	Nguyen Xuan Thuan, 森 祐一朗, 堀田 裕亮	74
RS65152	Bitmap Index CreatorおよびFFT	Nguyen Xuan Thuan, 市川 陽平	85
RS65161	Geysler SCM	天野 英晴, 吉田 有佑, 安田 匠吾, 工藤 優, 宇佐美 公良	87
RS65161	畳み込みニューラルネットワークアクセラレータSNACC	天野 英晴, 大久保 徹以, 小島 拓也, 奥原 颯, 近藤 正章, 高田 遼, 坂本 龍一	87
RS65161	Bitmap Index Based Query Processor	Nguyen Xuan Thuan	89
RS65161	大規模積和演算アクセラレータの試作	橋本 昌宣, 密山 幸男	93
RS65161	幅広い動作領域でエネルギー最小点動作を可能にするプロセッサの試作	石原 亨, 小野寺 秀俊, 塩見 準, 岸本 真, 保木本 修, 吉澤 慶	93
RS65161	KVSチップ (3次元積層用)	松谷 宏紀	93
RS65161	KVSチップ (PE単体検証用)	松谷 宏紀	94

メモリ

ラン名	タイトル	研究者	掲載頁
RO18155	単一磁束量子/CMOSハイブリッドメモリシステム試作1	今野 元, 安井 雄紀, 大熊 幸寛, 吉川 信行	45
RO18155	単一磁束量子/CMOSハイブリッドメモリシステム試作2	今野 元, 安井 雄紀, 大熊 幸寛, 吉川 信行	45
RO18161	量子磁束パラメトロンとCMOS回路を組み合わせた新規メモリデバイス	大熊 幸寛, 安井 雄紀, 吉川 信行	53
RO18162	単一磁束量子/CMOSハイブリッドメモリシステム試作3	今野 元, 安井 雄紀, 大熊 幸寛, 吉川 信行	62
RO18162	電源スタック型回路構造用新コーディング回路および、レシオレスSRAMを用いたT-CAM回路	アリムディン モハマド, 山口 翔吾, 西方 大輔, 中村 和之	64
RO18163	ハミング距離検索機能付きCAROM	福原 雅朗, 平谷 真之, 杉山 健太郎, 恩地 夏央, 藏野 貴教	70
RO18163	単一磁束量子/CMOSハイブリッドメモリシステム試作4	今野 元, 安井 雄紀, 大熊 幸寛, 吉川 信行	72
RO18163	単一磁束量子/CMOSハイブリッドメモリシステム試作5	今野 元, 安井 雄紀, 大熊 幸寛, 吉川 信行	72
RO18163	中性子線照射実験のための耐ソフトエラーラッチ回路	堀田 奈央, 高田 麻都, 勝又 啓道, 島袋 秀樹, 中川 雄貴, 上野 弘貴, 難波 一輝	76
RO18163	低電源電圧化での測定に対応したレシオレスSRAM T-CAM回路	アリムディン モハマド, 西方 大輔, 中村 和之	78
RO18163	電源スタック型回路構造における中間電位安定性評価回路	山口 翔吾, 肥後 知樹, 中村 和之	78
RS65161	幅広い動作性能領域においてエネルギー最小点動作を可能にする完全デジタル型オンチップメモリの試作	塩見 準, 都築 祐亮, 岸本 真, 吉澤 慶, 石原 亨, 小野寺 秀俊	88

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
OS08152	アレー構造ニューラルネットワーク回路	福田 泰史, 河原 尊之	38
RO18155	微小サイドチャンネル・リーク対策と物理複製不可能機能を有したMDR-ROM方式を用いたAES暗号回路	山田 康平, 村岸 佑哉, 後藤 裕太, 汐崎 充, 久保田 貴也, 藤野 毅	49
RO18161	微小サイドチャンネル・リーク対策と物理複製不可能機能を有したMDR-ROM方式を用いたAES暗号回路	山田 康平, 村岸 佑哉, 後藤 裕太, 汐崎 充, 久保田 貴也, 藤野 毅	56
RO18163	ハードウェアトロイが挿入されたRSA暗号回路におけるハードウェアトロイ動作抑止の検証	長谷川 健人	81
RS65152	細粒度分割型三次元積層演算器の性能評価	多田 十兵衛	86
RS65161	16bit乗算器TEG	新納 一樹, 越智 裕之	88

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
RO18155	電流モードUWBパルス発生のための電流インパルス励起回路	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	41
RO18155	電流モードUWBパルス発生のための電流インパルス励起回路	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	42
RO18155	電流モードUWBパルス発生のための電流インパルス励起回路	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	43
RO18161	電流インパルス励振回路とトランジスタ試験構造	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	51
RO18163	フリップチップ基板検証用マイクロストリップ線路	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博, , ,	67
RO18163	デカップリングコンデンサを追加した電流インパルス励起回路	Kanjanavrojkul Parit, Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博	69
RO18163	無線通信用増幅器、及びTEG	濱澤 篤優, 久保木 猛, 金谷 晴一	78
RO18163	符号化・復号回路	林 等	80
RO18163	Inductor design for RFIC	Sai Ranajit	81
RO18163	光受信用アナログフロントエンド回路TEG2	久米 沢弥, 小島 拓也, 中村 誠	83
RS65161	差動低雑音増幅器とバルク電圧制御発振器の試作	木原 崇雄, 松田 茂郷, 高橋 克樹, 吉尾 恒洋, 矢野 裕之	89
RS65161	オンチップインダクタ及び発信回路	石毛 剛志, 大畠 知之	90
RS65161	VCO, PA, LNAの設計	Nguyen Van Trung	90

その他

ラン名	タイトル	研究者	掲載頁
RO18155	PUF基本特性評価チップ	篠原 尋史	46
RO18155	CMOSオンチップ電気化学バイオセンシングチップ	宇野 重康	47
RO18161	フリーラジカルセンサ・ミクストシグナル設計実習	北川 章夫, 澤田 涼, 蘭 宣蔵, 広瀬 僚太	52
RO18161	CMOSスマートダストに向けた基礎検討回路	宇野 重康	54
RO18161	各種要素回路の設計	和田 和千, 今井 博之, 江川 和穂, 木谷 嘉孝, 大門 佑, 鈴木 博俊, 山下 良満	55
RO18162	SPADのAfter-pulsing確率測定用のhold-off 時間可変な active quenching circuit	楊 驍, 飯塚 哲也, 名倉 徹, 浅田 邦博	58
RO18162	2-step確率的ADC・ARM cortex-M0	今村 竜, 北川 章夫	61
RO18162	新規PUF, TRNG動作確認チップ	篠原 尋史	62
RO18162	CMOSオンチップ電気化学バイオセンシングチップ	宇野 重康	63
RO18163	低電圧駆動CMOSスマートダストの基礎検討	宇野 重康	73
RO18163	ランダム遅延素子を用いた耐タンパ非同期式暗号化回路	豊嶋 太樹, 今井 雅	76
RO18163	各種フィルタとチャージポンプ	和田 和千, 今井 博之, 須藤 千裕, 大門 佑, 市川 遼	77
RS65161	可変バイブライン構造を持つ画像フィルタ用アクセラレータCC-SOTB2	天野 英晴, 増山 滉一郎, 安藤 尚輝く, 松下 悠亮, 小島 拓也, 奥原 颯	87
RS65161	ボディバイアス自動調節機構とボディバイアスを用いた高電力効率NoC	天野 英晴, 奥原 颯, Ben Ahmed Akram	87

3. 3 各チップの詳細

平成27年度オンセミコンダクター—三洋 CMOS 0.8 μ m 試作 (OS08152)

4bitTDCの設計と, 3bitフラッシュADCの設計試作

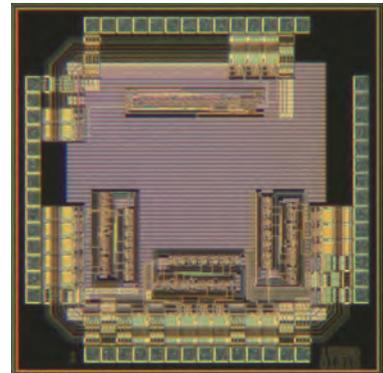
東京電機大学大学院工学研究科電気電子工学専攻電子光情報コース

生方 慎也,

齋藤 匠, 小松 聡

概要：チップ試作フローの検証とノウハウの習熟を目的として設計, 試作を行った。試作を行った回路は, 4bitの時間-デジタル変換回路と, 3bitのフラッシュAD変換回路である。4bit時間デジタル変換回路は, 面積とピン数の余裕から製造誤差の検証の為, 同種類, 同パラメータのものを3つ試作した。TDCは今後測定を行い, 差異を確認し, 製造誤差についての確認を行う。3bitフラッシュADコンバータは, コンパレータ, クロック生成回路, エンコーダー, 抵抗ラダーから構成されている。クロック信号については, クロック信号がコンパレータに到達するタイミングが一定になるようレイアウトした。クロック生成回路は, 外部入力のクロック信号から, 同相と, 反転位相の2種類のものを生成する。測定結果から, 動作可能範囲などに課題が見つかった為, 測定結果を次回以降の試作にフィードバックする。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



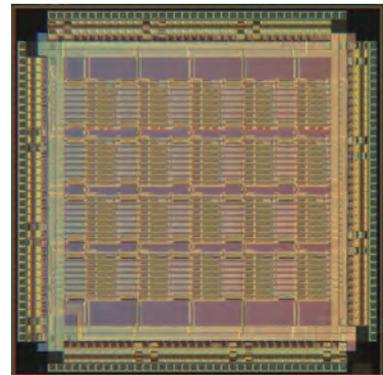
アレー構造ニューラルネット回路

東京理科大学工学研究科 福田 泰史

東京理科大学工学部 河原 尊之

概要：深層学習の一種であるDBN（ディープピリフネットワーク）を構成するRBM（制限ボルツマンマシン）において, その回路のエラーがDBNに与える影響を定量的に議論するため, メモリとロジックを備えたアレー構造を持つニューラルネット回路網の一部を今回チップ化した。チップは動作し, ソフト処理の一部をこのチップで行わせる形でRBMを組み, その誤り耐性を実測した。更に測定結果を元にしたシミュレーションにより, RBMをDBNの事前トレーニングで使用した際, RBMのエラーは想定範囲ではDBNの識別率には影響を与えないことが明らかとなった。これにより, 次世代のIoT (Internet of Things) において, 限られた電源環境の中でも, "モノ"が単にデータを集め前処理だけでなく自ら情報処理を行うことが可能になると考えられる。すなわち, クラウド側の負担を抑えつつ, 高度な情報化社会の実現が期待できる。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso トランジスタ数：100~1,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：演算回路 (乗算器, 除算器など)

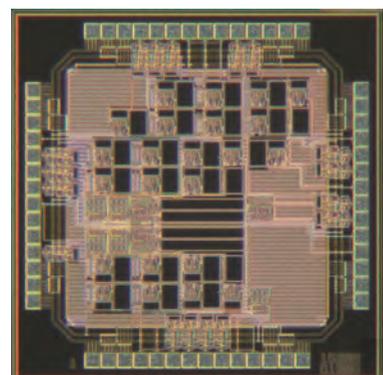


アクティブノイズコントロール用アナログ回路

名古屋工業大学大学院工学研究科 加藤 正史, HE HUIHENG

概要：騒音に対して逆位相の音を重ね合わせて騒音除去を行う技術としてアクティブノイズコントロール (ANC) がある。本研究室では高速動作可能なアナログ回路にてANC回路を作製している。アナログANC回路はニューラルネットワークを基に2入力ANC回路を提案しており, 乗算器, 積分器, 加算器で構成されている。また, 性能向上のためオールパスフィルタを挿入している。これらの回路は全て差動信号で構成されているため, 差動信号発生器や差動信号合成器も利用している。本試作チップには大容量の抵抗, コンデンサを外付けとしたアナログ2入力ANC回路がレイアウトされている。また, 各回路の動作確認が行なえるよう, オペアンプ, 差動オペアンプ, 乗算器, 加算器, 差動信号発生器, 差動信号合成器が個別にレイアウトされている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula トランジスタ数：100~1,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



IR ドロップによる動作速度劣化評価用チップ 1

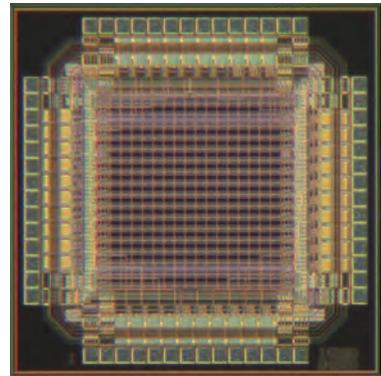
東京大学 VDEC 池野 理門

概要：IR ドロップによる回路遅延変動により実時間 (at-speed) テスト品質が低下する問題に対して、遅延変動の正確な評価のための電源解析の必要性が増している。その際には、モデルおよび解析手法自体の妥当性の検証とそのための実チップの電源測定とその測定自体の検証の手段も課題となる。本チップは、1 次元のかつ静的な電源配線モデルを仮定し、それを具現化した構造を持つテストチップの試作と測定を通じてモデルの妥当性を検討するためのものである。本チップは NAND ゲートによる遅延回路 (信号を横方向に伝播) を 17 本配置 (縦方向に並行) し、電源ストラップを上方からのみ接続している。これにより、下方の遅延回路ほど大きな IR ドロップの影響を受け、遅延が大きくなることが予想される。また、各回路の動作・停止はスキランチェンを用いた制御信号の入力によって個別に制御可能であるため、様々な回路の活性化状態における遅延の変動とその分布を評価できる。

また、本チップは VDEC の SoC テストシステムのピン配置に準拠しており、テストシステムによる精密なクロック周期掃引機能を利用した精密な遅延測定と高速なデータ収集が可能である。

参考文献：池野, "At-speed テスト品質への IR ドロップの影響の評価と解析", 第 75 回 FTC 研究会, 2016 年 7 月

設計期間：0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)



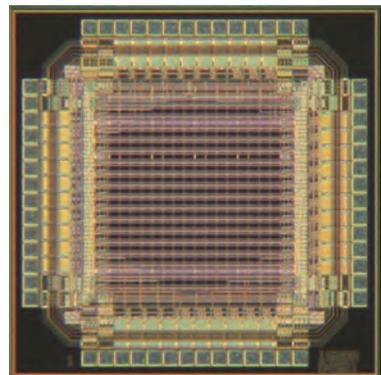
IR ドロップによる動作速度劣化評価用チップ 2

東京大学 VDEC 池野 理門

概要：IR ドロップによる回路遅延変動により実時間 (at-speed) テスト品質が低下する問題に対して、遅延変動の正確な評価のための電源解析の必要性が増している。その際には、モデルおよび解析手法自体の妥当性の検証とそのための実チップの電源測定とその測定自体の検証の手段も課題となる。本チップは、1 次元のかつ静的な電源配線モデルを仮定し、それを具現化した構造を持つテストチップの試作と測定を通じてモデルの妥当性を検討するためのものである。本チップは、同テーマの評価用チップ 1 と比較して幅を 3 倍に設計しているため IR ドロップが小さくなっていると予想され、両チップの測定結果を比較することによってその影響の差が評価できる。また、本チップは VDEC の SoC テストシステムのピン配置に準拠しており、テストシステムによる精密なクロック周期掃引機能を利用した精密な遅延測定と高速なデータ収集が可能である。

参考文献：池野, "At-speed テスト品質への IR ドロップの影響の評価と解析", 第 75 回 FTC 研究会, 2016 年 7 月

設計期間：0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

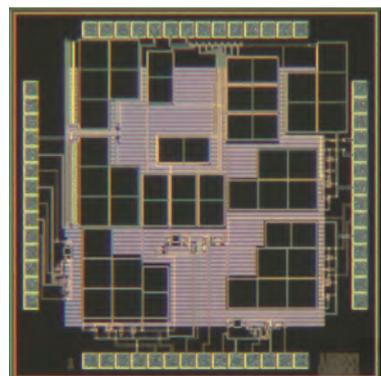


MEMS マイクロロボットの電源用のチャージポンプ、及び可変シナプスの TEG 回路

日本大学理工学部 田中 大介, 内木場 文男, 齊藤 健

概要：我々は、ロボットの新たな制御方法として、従来のプログラムによる制御とは異なる、生物の脳が出力するパルス波形を模擬したパルス形ハードウェアニューロンモデルを用いた制御について研究を行っている。これらの回路の動作には、複数の電源電圧を必要とする。MEMS マイクロロボットは 5mm 程度の大きさであるため、電源として一つの電池を搭載し、複数の電源電圧が供給可能な回路が必要である。そこで、供給電圧の昇圧が可能なチャージポンプ回路を設計した。しかし、測定の結果動作しなかった。コンデンサの容量やトリガ用の発振を行う回路の FET の問題により、昇圧ができなかった可能性がある。また、チャージポンプ回路とは別に、結合荷重を変化可能なシナプスモデルを設計した。これは、複数のニューロンモデルを接続した場合の、結合荷重を調整するものである。今回設計した結合荷重を変化可能なシナプスモデルは現在測定をおこなっている状況である。チャージポンプ回路については次回以降の試作にて再設計をおこなう予定である。

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 HSPICE (RF) **トランジスタ数：**10~100 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)



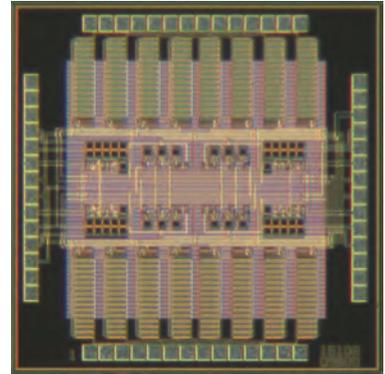
平成28年度オンセミコンダクター—三洋 CMOS 0.8 μ m 試作 (OS08161)

MEMS マイクロロボット駆動用のハードウェアニューラルネットワークの TEG チップ

日本大学理工学部 田中 大介, 内木場 文男, 齊藤 健

概要：我々は、ロボットの新たな制御方法として、従来のプログラムによる制御とは異なる、生物の脳が出力するパルス波形を模擬したパルス形ハードウェアニューロンモデルを用いた制御について研究を行っている。前回、OS0814_2試作チップにて、パルス形ハードウェアニューロンモデル単体を試作した。測定の結果、試作したパルス形ハードウェアニューロンモデルは、シミュレーションと同様にパルス波形を出力した。そこで今回、パルス形ハードウェアニューロンモデルを、シナプスモデル回路で相互に抑制性結合した、ハードウェアニューラルネットワークを設計した。また、ハードウェアニューラルネットワークの出力に多段のカレントミラー回路を接続し、MEMS マイクロロボットのアクチュエータの直接駆動が可能なチップを設計した。今後測定をおこない、ハードウェアニューラルネットワークが逆相同期したパルス波形を出力し、多段のカレントミラー回路を通じて電流を出力して、MEMS マイクロロボットのアクチュエータの駆動に必要な電流出力を得られるかを確認する。次回の試作ではMEMS マイクロロボットの歩行パターン変化が可能なチップを設計する予定である。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 HSPICE (RF) トランジスタ数：10~100 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



平成27年度第5回ローム CMOS 0.18 μ m 試作 (R018155)

電流モード UWB パルス発生のための電流インパルス励起回路

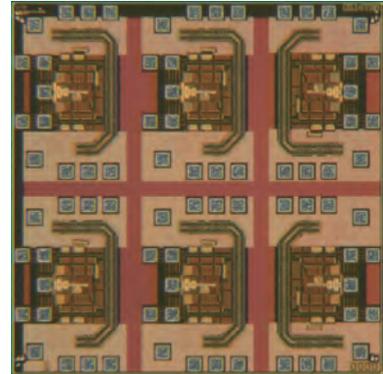
東京大学工学系研究科 Kanjanavrojkul Parit

東京大学 VDEC Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：このチップは低電力検出アプリケーション用の電流モード UWB パルスジェネレータの一部である。この回路は NMOS を介しキャパシタを急速充電することによって非常に短い電流インパルスを生じる。この短いインパルスはオフチップ伝送線路共振器を励起してパルスを生じる。回路はバッファ段、遅延コントローラ、エッジシャープディレイラインから構成されている。電流モード手法では寄生容量による損失と励起回路のサイズを低減している。したがってこの技術は低消費電力で効率的な UWB パルス生成を可能にする。このチップはダイシングされフリップチップボンディングによって石英基板上の伝送線共振器に集積される。目標パルス中心周波数はチップ製造後伝送線長によって決定することができる。発振周波数 12.5GHz のプロトタイプを測定した。

参考文献：Parit Kanjanavrojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura, and Kunihiko Asada, "Microwave Pulse Generator based on Current-Mode Trigger and On-Quartz Transmission Line," in IEICE Society Conference, C-2-26 Sep. 2016.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



31 x 31 単一光子アバランシェダイオードアレイセンサー

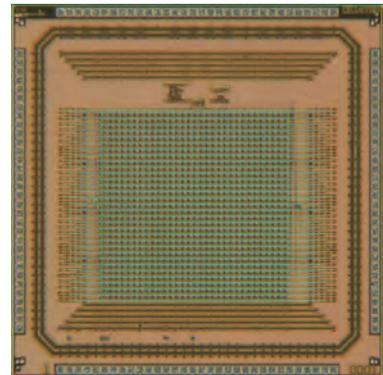
東京大学工学系研究科 楊 驍

東京大学 VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要：本試作では放射線検出器用のシンチレーションイベント検出機能を持つ 31 x 31 単一光子アバランシェダイオードアレイセンサー (SPAD) アレイセンサーの設計を行った。データを出力する前に、各行の Breakdown を発生するピクセル数の統計を行う。数が少ない場合には、ダーク状態だと判断し、データを廃棄する。閾値を越える場合のみデータを読み出しを行う。また、SPAD の露光とカウントが同時にパイプライン型に行っている。カウント時間が露光時間より短いため、入射光が検出できない時間 (Dead time) も最小化 (3 cycles) にする。その他に、読み出し手法は Breakdown pixel extraction メソッドを利用している [1]。読み出し効率も従来手法より高くなる。実際の測定結果より、短時間のパルス光が検出できることを確認した。

参考文献：Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, Kunihiko Asada, "A 15x15 single photon avalanche diode sensor featuring breakdown pixels extraction architecture for efficient data readout", Japanese Journal of Applied Physics, Vol 55, No. 4S, pp. 04EF04, 2016.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



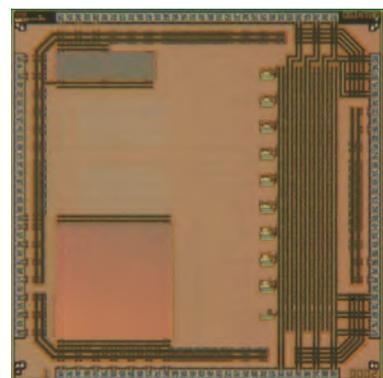
サンプルホールド回路の非線形歪み測定用回路

東京大学 VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 伊藤 貴亮

概要：アナログ-デジタル変換回路で用いられるサンプルホールド回路はトランジスタのオン抵抗、チャネルからの電荷注入、ターンオフタイミングのずれ等の原因によって出力信号に非線形な歪みが発生する。この歪みの大きさはスイッチに用いるトランジスタのサイズや電圧保持用のキャパシタのキャパシタンスの大きさ、入力する信号の振幅や周波数によって変化するとされている。この発生する歪みと各種パラメータの関係性を明らかにし、実際に測定することはサンプルホールド回路の設計を最適化の際に有用であるとされている。本試作では測定対象となるサンプルホールド回路及びサンプルホールド回路の出力を測定するためのバッファとなるユニティゲインアンプを作成した。サンプルホールド回路のパラメータによって歪みの大きさが変化することを確認するために、複数のサイズのサンプルホールド回路を設計して比較が行えるようにしてある。測定の結果、事前のシミュレーションで確認したような歪みが発生していることを確認することができた。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



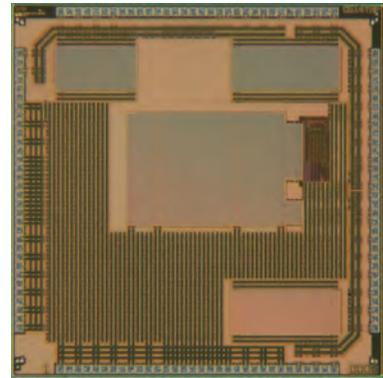
高分解能パルス縮小型時間-デジタル変換器

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 古賀 文尚

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。

設計期間：2 月以上, 3 月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載



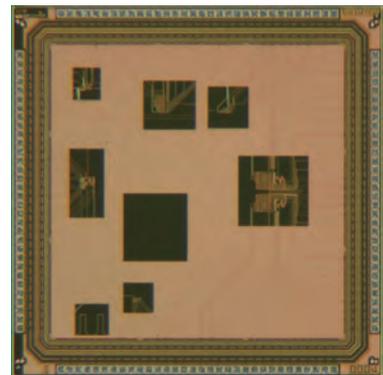
サブスレッショルド領域で動作する極低電圧駆動フィルタレスデジタル PLL 回路

山形大学大学院理工学研究科 渡辺 晃輔, 原田 知親

概要：サブスレッショルド領域で動作する情報処理回路において、データタイミングの同期をとるため、PLL (Phase Locked Loop) が必要になる。アナログ PLL では、フィルタ回路の利得を大きくするために演算増幅器を用いるが、サブスレッショルド領域での動作周波数は 5kHz と低い。また、チャージポンプ型のアナログ PLL ではコンデンサへのチャージ動作が常に必要のため消費電力が大きいことが懸念される。一方、完全デジタル PLL も提案されているが、デジタル回路において比較的小規模な IIR (Infinite Impulse Response) 型デジタルフィルタを構成する場合でも、bit 数に応じて加算器・乗算器・レジスタが必要になり、回路規模が大きくなってしまふ。そのため、デジタルフィルタを使用した PLL 回路の回路規模が大きくなってしまふ問題がある。本研究では小規模な回路での同期動作実現のために、同期動作における新たなアルゴリズムを提案し、フィルタレスでも同期するデジタル PLL を設計し、評価を行った。

参考文献：[1] 渡辺晃輔, 原田知親, “サブスレッショルド動作フィルタレスデジタル PLL 回路の設計と評価”, 電子回路研究会, ECT-16-010, 2016 年 1 月

設計期間：1 月以上, 2 月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載



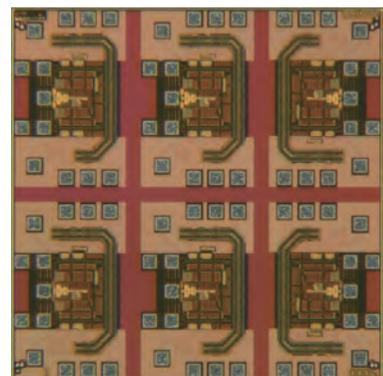
電流モード UWB パルス発生のための電流インパルス励起回路

東京大学工学系研究科 Kanjanavrojkul Parit

東京大学VDEC Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：このチップは低電力検出アプリケーション用の電流モード UWB パルスジェネレータの一部である。この回路は NMOS を介しキャパシタを急速充電することによって非常に短い電流インパルスを生成する。この短いインパルスはオフチップ伝送線路共振器を励起してパルスを生成する。回路はバッファ段、遅延コントローラ、エッジシャープディレイラインから構成されている。電流モード手法では寄生容量による損失と励起回路のサイズを低減している。したがってこの技術は低消費電力で効率的な UWB パルス生成を可能にする。このチップはダイシングされフリップチップボンディングによって石英基板上の伝送線共振器に集積される。目標パルス中心周波数はチップ製造後伝送線長によって決定することができる。発振周波数 12.5GHz のプロトタイプを測定した。

設計期間：0.5 月以上, 1 月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



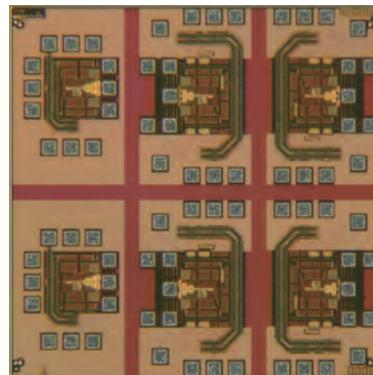
電流モード UWB パルス発生のための電流インパルス励起回路

東京大学工学系研究科 Kanjanavrojkul Parit

東京大学 VDEC Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：このチップは低電力検出アプリケーション用の電流モード UWB パルスジェネレータの一部である。この回路は NMOS を介しキャパシタを急速充電することによって非常に短い電流インパルスを生成する。この短いインパルスはオフチップ伝送線路共振器を励起してパルスを生成する。回路はバッファ段、遅延コントローラ、エッジシャープディレイラインから構成されている。電流モード手法では寄生容量による損失と励起回路のサイズを低減している。したがってこの技術は低消費電力で効率的な UWB パルス生成を可能にする。このチップはダイシングされフリップチップボンディングによって石英基板上の伝送線共振器に集積される。目標パルス中心周波数はチップ製造後伝送線長によって決定することができる。発振周波数 12.5GHz のプロトタイプを測定した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



三角波状動的電荷注入回路

東京大学 VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

東京大学工学系研究科 鹿野 真弘

概要：近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とする。よってこの面積コストを低減するために、これら電源ノイズをオンチップで検知し動的に電荷を注入する回路を設計した。ノイズの大きさを決定するパラメータのほとんどが設計及びシミュレーション段階で決まることを利用し、事前に注入電荷量を決めておき、ノイズを検出した段階で注入を始める、という回路を設計した。具体的には、Delay Locked Loop と Vernier Time-to-Digital Converter の 2 つを組み合わせた電圧ドロップ検出回路、注入電荷量を制御する注入コントローラ、実際に電荷を注入するキャパシタ回路を実装した。シミュレーションでは、提案手法により約 30% のノイズ低減がなされており、従来のパッシブデキャップと比較して約 30% の面積で同程度のノイズ低減を実現した。このテストチップは以前試作したチップの電源周りの接続を強化したものであり、シミュレーション結果を確実に実証するために試作された。

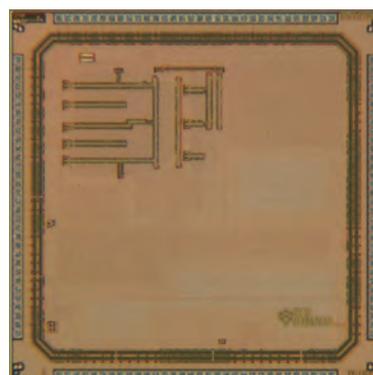
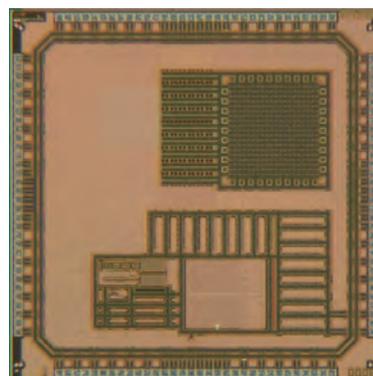
設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ混載

オペアンプおよび対数 ADC の試作

青山学院大学理工学部 稲垣 雄志, 坂入 悠真, 松谷 康之

概要：本チップは、本研究室で設計したオペアンプおよび対数 ADC の特性評価を目的として試作した。オペアンプは D 級アンプの要素回路として使用することを想定しており、差動増幅段とソース接地段の 2 段構成となっている。対数 ADC はラッチドコンパレータとサブレンジング型 TDC で構成され、コンパレータの入力電圧に対するセットリング時間が対数特性であることを利用して対数変換を行う。具体的には、コンパレータに信号が入力された後、セットリング時間に応じたパルス幅の信号を生成し、そのパルス幅を TDC で量子化してデジタル値を得る。TDC により時間領域で量子化を行うため低電圧動作に有利な構成となっている。チップには、対数 ADC の要素回路であるコンパレータと TDC の単体評価も行えるように評価用端子を追加している。オペアンプおよび対数 ADC の基本動作は確認済みであるが、詳細な特性については現在測定中である。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Cadence 社 Encounter RTL Compiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



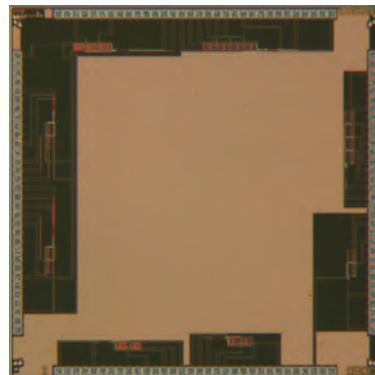
宇宙用 CVSL 回路及び性能比較用 CMOS 回路

静岡理科大学理工学部 山中 兼一, 大関 啓太, 松原 孝紘, 富岡 聖龍, 松下 倭樹,
鶴窪 匠, 波多野 裕

概要：スタティック型 CVSL NAND 回路, スタティック型 CVSL NOR 回路, スタティック型 CVSL EXOR 回路, スタティック型 CVSL 半加算回路, スタティック型 CVSL 全加算回路, クロック型 CVSL NAND 回路, クロック型 CVSL NOR 回路, クロック型 CVSL 半加算回路, クロック型 CVSL 全加算回路, 複合ゲート CMOS 半加算回路, 複合ゲート CMOS 全加算回路, CMOS 比較回路, D フリップフロップ CMOS 回路 2 種類, JK フリップフロップ CMOS 回路 2 種類を, 2015 年度第 5 回試作では 2 チップに分けて設計した. チップ 1 では, スタティック型 CVSL 半加算回路, スタティック型 CVSL 全加算回路, クロック型 CVSL 半加算回路, クロック型 CVSL 全加算回路, 複合ゲート CMOS 半加算回路, 複合ゲート CMOS 全加算回路を設計した. チップ 2 では, スタティック型 CVSL NAND 回路, スタティック型 CVSL NOR 回路, スタティック型 CVSL EXOR 回路, クロック型 CVSL NAND 回路, クロック型 CVSL NOR 回路, クロック型 CVSL EXOR 回路, CMOS 比較回路, D フリップフロップ CMOS 回路 2 種類, JK フリップフロップ CMOS 回路 2 種類を設計した.

参考文献：H. Hatano, "SET immune spaceborne CVSL and C2VSL circuits", Journal of Electronics and Control Engineering, vol. 3, no.5, pp. 43-48, 2013.

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Dracula, Synopsys 社 HSPICE (RF) トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



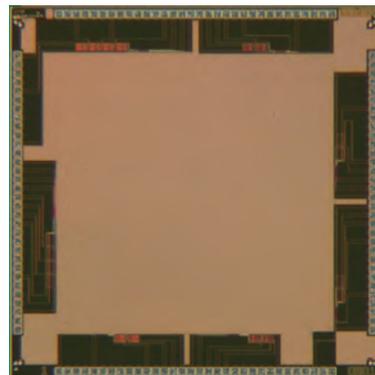
宇宙用 CVSL 回路及び性能比較用 CMOS 回路

静岡理科大学理工学部 山中 兼一, 大関 啓太, 松原 孝紘, 富岡 聖龍, 松下 倭樹,
鶴窪 匠, 波多野 裕

概要：スタティック型 CVSL NAND 回路, スタティック型 CVSL NOR 回路, スタティック型 CVSL EXOR 回路, スタティック型 CVSL 半加算回路, スタティック型 CVSL 全加算回路, クロック型 CVSL NAND 回路, クロック型 CVSL NOR 回路, クロック型 CVSL 半加算回路, クロック型 CVSL 全加算回路, 複合ゲート CMOS 半加算回路, 複合ゲート CMOS 全加算回路, CMOS 比較回路, D フリップフロップ CMOS 回路 2 種類, JK フリップフロップ CMOS 回路 2 種類を, 2015 年度第 5 回試作では 2 チップに分けて設計した. チップ 1 では, スタティック型 CVSL 半加算回路, スタティック型 CVSL 全加算回路, クロック型 CVSL 半加算回路, クロック型 CVSL 全加算回路, 複合ゲート CMOS 半加算回路, 複合ゲート CMOS 全加算回路を設計した. チップ 2 では, スタティック型 CVSL NAND 回路, スタティック型 CVSL NOR 回路, スタティック型 CVSL EXOR 回路, クロック型 CVSL NAND 回路, クロック型 CVSL NOR 回路, クロック型 CVSL EXOR 回路, CMOS 比較回路, D フリップフロップ CMOS 回路 2 種類, JK フリップフロップ CMOS 回路 2 種類を設計した.

参考文献：H. Hatano, "SET immune spaceborne CVSL and C2VSL circuits", Journal of Electronics and Control Engineering, vol. 3, no.5, pp. 43-48, 2013.

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Dracula, Synopsys 社 HSPICE (RF) トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

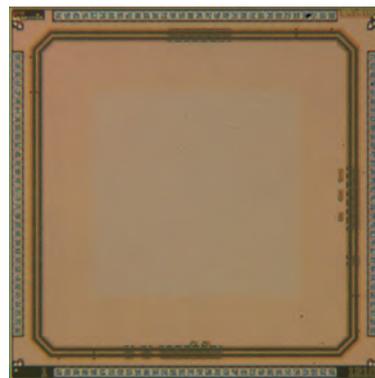


CMOS イメージセンサ TEG 回路の試作

東京電機大学工学部 松浦 爽平

概要：研究する回路の実際の回路特性を測定することに加え, CMOS0.18 プロセスの設計フローを検証するために, 試作を行った. 試作した回路は, イメージセンサ回路の 1 画素だけの回路である. 本回路の試作によって, CMOS デジタル集積回路設計の DRC, LVS といった設計フローの検証に加え, 0.18 μ m プロセス特有の設計に係るノウハウを得ることができた. イメージセンサ回路は, リセットトランジスタ, 選択トランジスタ, アンプ, バイアス電圧のためのトランジスタ, フォトダイオードで構成している. イメージセンサのフォトダイオード部分は, リセットトランジスタのソースの PN 接合面である. PN 接合面がフォトダイオードの受光部となっており, 開口率が大きいほど感度は良くなる. したがって PN 接合面の面積をなるべく大きくなるようレイアウトした. 受光部以外のトランジスタに光が当たり動作に影響を与えないよう, 受光部以外にはメタルを被せ, 光を遮断するようレイアウトした. 測定は, 照度計を用いて, イメージセンサ回路に当たる光の強さを測定しながら出力の変化を確認した. 測定結果は, 1 画素ではあるが光の強さに応じて出力が変化していることが確認でき, イメージセンサ回路が動作していることが確認できた.

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：～10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

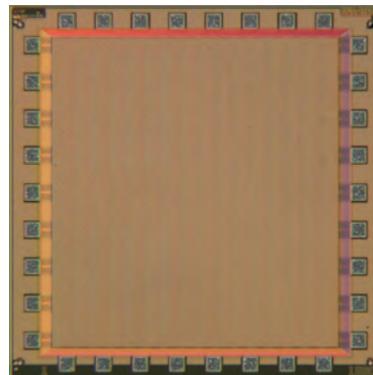


低電力IoTセンサ回路の開発

東京大学生産技術研究所 イスラム マーフズル, 高宮 真, 桜井 貴康

概要：本試作は、IoTデバイスなどに使われる環境をセンスする回路の開発を目標に各種要素回路の評価を試作されたものである。IoTデバイスはエネルギーリソースが限られるため、低エネルギーで環境パラメータをセンスする回路技術が必要である。具体的に、今回の試作では、温度センサとアナログフロントエンドの要素回路を試作した。温度センサとして低電力で電源電圧に依存しないセンサ回路トポロジを複数種類設計した。温度を遅延に変換する要素回路の複数種類を設計し、実測による評価により最適なトポロジを検討した。アナログフロントエンドとしてアナログ電圧をデジタルに変換する回路を試作し、実測による評価を行った。これらの要素回路の実測を元に、インタフェース回路込の低電力IoTセンサ回路の研究開発を行う。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



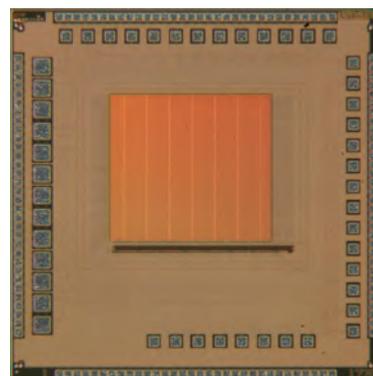
単一磁束量子/CMOSハイブリッドメモリシステム試作 1

横浜国立大学工学府 今野 元, 安井 雄紀, 大熊 幸寛

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはシステムに新たに導入したツリー型デコーダ、プロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的はCMOSメモリの低消費電力化、及び新たな低電力CMOSメモリの動作を実証することである。測定を行った結果、室温下にて完全動作を確認、極低温下にて任意のアドレスでの正常動作を確認した。この時の動作周波数は100 MHzである。アクセスタイムは2.28 nsとなり、従来の1.8 nsより約0.5 ns低下した。極低温下で完全動作を確認できなかったのは、CMOSアンプの特性ばらつきが激しくなった為と考えられる。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ



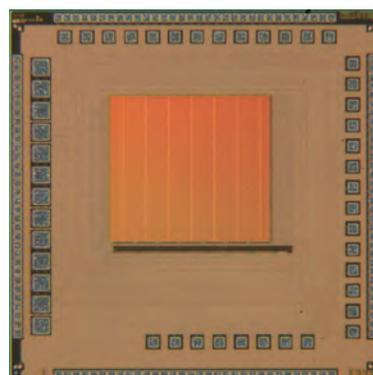
単一磁束量子/CMOSハイブリッドメモリシステム試作 2

横浜国立大学工学府 今野 元, 安井 雄紀, 大熊 幸寛

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、パラレル型デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的はSFQ入力、SFQ出力のハイブリッドメモリの全チャンネル動作を実証することである。測定を行った結果、実装した21チャンネル中13チャンネルにて正常動作が得られた。アンプの駆動可能な電源電圧が1.8 Vより低い1.5 Vでないとは駆動できない結果が得られている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ

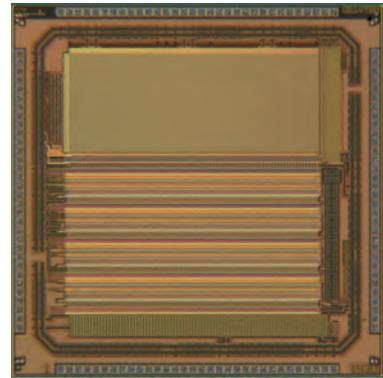


高速ローリングシャッター動作を実現する CMOS イメージセンサチップ

東京理科大学工学研究科 大高 俊徳, 前川 晋太郎, 浜本 隆之

概要：CMOS イメージセンサは、画質／画素微細化／低消費電力化等において CCD を凌ぐ技術が実用化されているが、CCD のようなグローバルシャッターではなくローリングシャッター動作であるため、高速に動く物体やカメラのパンニング操作による画像歪が問題である。本研究では、日常的な様々な被写体において、ローリングシャッター速度を 1.5 ミリ秒に抑えれば、人間が歪を感知できないことを主観評価で導き出し、4K2K フォーマットにおいて 1 行当り 0.64 マイクロ秒と、非常に短い期間で走査できる CMOS イメージセンサを試作した。また、高速に読み出した信号を列ごとに設けたパイプライン AD 変換器でデジタルコードにできる読み出しアーキテクチャも実現した。実機評価の結果、目的の 0.64 マイクロ秒での読み出し動作を確認でき、最大 24400 フレーム毎秒もの高フレームレートを実現した。また、従来から行われている単にバイアス電流を増加させる方式と比較して、同一読み出し速度でも消費電力を抑えた読み出しができており、4K2K 以上の高解像度イメージセンサにおいて、ローリングシャッター歪と消費電力を抑えた読み出しができる可能性を示す事ができた。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSIIM トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



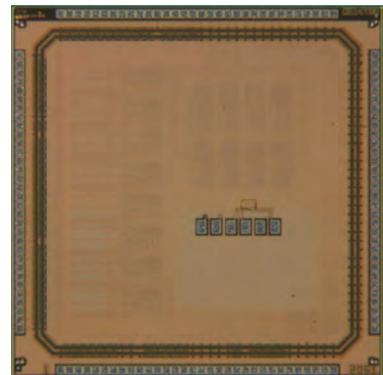
PUF 基本特性評価チップ

早稲田大学, 大学院情報生産システム研究科 篠原 尋史

概要：256bit CMOS SRAM PUF x8, トランジスタアレイ TEG, Vref 回路

参考文献：Ziyang Cui, et. al., "Measurement of Mismatch Factor and Noise of SRAM PUF Using Small Bias Voltage," IEEE ICMTS 2017, March, 2017., Hirofumi Shinohara, et. al., "Analysis and Reduction of SRAM PUF Bit Error Rate", IEEE VLSI-DAT 2017, April 2017

設計期間：5 人月以上, 10 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 HSPICE, Mentor 社 Calibre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：その他

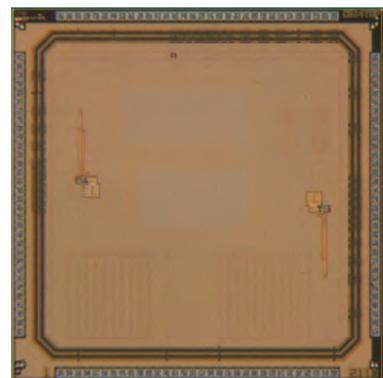


Triplet STDP シナプスモデルと小面積細胞体モデルの構築

日本大学理工学部 佐伯 勝敏, 山下 大地, 杉戸 俊樹, 戸泉 孝太

概要：現在、脳の優れた情報処理を工学的に応用するために、脳を構成しているニューラルネットワークの研究が盛んである。中でも、シナプスの前段に結合している細胞体と後段に結合している細胞体の発振タイミング、発振順序とシナプスの発振周波数に依存して、増強と抑制を変化させる Triplet STDP が注目されている。今回、我々は生理学データを基に報告された数理モデルの TSTDTP 特性を再現可能な電子回路モデルを提案し、多値画像のパターン認識における色の濃淡識別へ応用するために、集積化を行った。また、大規模なニューラルネットワークの構築を行う場合は、素子数が少なく、回路規模は小さいことが要求される。生体内に存在する細胞体の特徴を有したモデルを構築する上で、 Δ 型負性抵抗素子を用いた細胞体モデルは簡単な回路で構成できる。しかし、CMOS プロセスで集積化を行う場合、低周波数の発振を得るためにコンデンサや PMOS の面積は大きく、大規模 NN を構築する場合は実装面積が大きくなる。そこで、NMOS で構築した負性抵抗回路を用いて設計を行った細胞体モデルの安定動作を目的として試作を行った。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Cadence 社 Dracula, Cadence 社 ASSURA, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

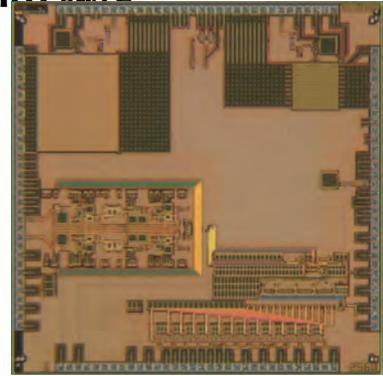


平成27年度第2回ルネサスCMOS 65nm 試作 DC/DCコンバータのクリックA/D変換器 (RS65152)

中央大学理工学部 杉本 泰博, 新田 信之, 原島 楓
中央大学大学院理工学研究科 安部 幹織, 彦坂 慎吾, 森川 逸太

概要：近年、ワイヤレス電力伝送はICカードなどに代表されるように実用化が進んでいる。この伝送システムの構成は高周波電源、空間伝送部、整流回路からなる。一般的には負荷を線形負荷として扱う場合が多いが、実際には交流電圧を直流電圧に変換するためのDC/DCコンバータが必要不可欠となる。そこで今回の試作ではDC/DCコンバータのスイッチとなるパワーMOSFETおよびバッファと本研究室が提案するQ値増大手法を実現するためのgmアンプを試作した。近年、汎用性の高いA/D変換器として逐次比型(SAR)A/D変換器が多く用いられている。その構成上13bit以上の高い精度を実現することは難しいとされているが、我々の研究室では14bit精度を実現するA/D変換器として、スイッチトキャパシタの原理を用いたサイクリックA/D変換器を提案する。このA/D変換器の信号処理には、信号をデジタル値に変換し残差を二倍して次のサイクルへ伝達するビットブロック回路が利用される。以上のようなビットブロック回路を用いたサイクリックA/D変換器を試作した。テストによる測定有り。

参考文献：U. Chilakapati and T. Fiez, "Settling time design consideration for SC integrators," Proc. ISCAS, May 1998 1, 492-495, 1998

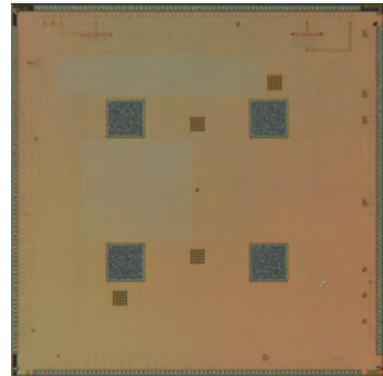


設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

CMOS オンチップ電気化学バイオセンシングチップ

立命館大学理工学部 宇野 重康

概要：本チップは、CMOSチップ上に配置された電極を用いてバイオセンシングすることを目的としたものである。チップ上には最上層メタルが露出したものとそうでないものがあり、それぞれ電気化学的な電流および電位を測定するために用いられる。露出した電極表面にはグラフェンインクを塗布乾燥してカーボン電極層を形成し、これが電気化学反応に起因する電流を検出するセンサーとなる。チップ上にクロマトグラフィペーパーを設置し、そこにあらかじめ酵素および電子伝達物質を含浸させておくことで、グルコースやエタノールなどの分子を測定対象としたセンシング実験を行い正常動作を確認した。一方、露出していない電極表面は、標準CMOSプロセスによる絶縁層があり、その表面は溶液中でpH感応性を持つことが知られている。このため電極の電位は溶液のpH測定に用いることができ、そのような動作を確認することができた。チップ内には、上記のようなセンサー電極と接続して動作するセンサー回路が集積されており、本チップ中では電気化学的電流を測定するためのポテンショスタット回路と、電気化学インピーダンスを測定するためのインピーダンス測定回路が搭載された。また、これら回路の要素回路となる低消費電力オペアンプも搭載されており、いくつかの要素回路については正常動作を確認した。

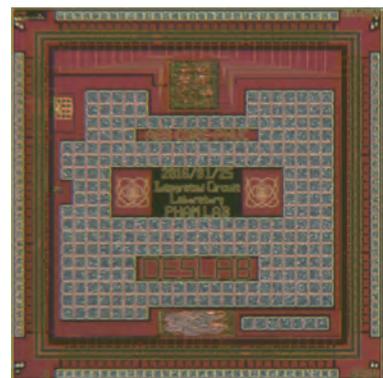


設計期間：9人月以上, 10人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：その他

2段オペアンプの設計等

電気通信大学情報理工学研究科 伊藤 孝幸

概要：今回の試作では、2段オペアンプ、Up/Down Counter, ALU, AES_ENCの設計を行った。今回は2段オペアンプ回路について報告する。プロセスの変化による影響を解析するためにオペアンプの設計をRohm 0.18 μ mで行った。2段目はソース接地増幅回路からなる。バッファ回路はインバーターを偶数個用いることでバッファ回路としている。また設計の条件として駆動負荷の影響を受けないようにするために、駆動負荷を10M Ω , 10pFを設定している。試作回路の性能はシミュレーションにおいてDC利得は77.2 dB, ユニティゲイン周波数は2.79MHz, CMRR 85.4dBとなった。実測では差動利得について0~2.79MHzの周波数範囲においてほぼシミュレーションと一致が見られた。CMRRについては同相利得を測定した際にはシミュレーションの値よりも悪い値となりCMRRについても悪い結果となった。同相利得を測定する際に周期的におおきなノイズがあり周波数を確認したところ50Hzであったため、電源のノイズの影響であると分かった。今後の測定環境の改善のためにも電源ノイズの対策を考える必要がある。



参考文献：谷口研二“CMOSアナログ回路入門”, CQ出版株式会社, pp.31-42, pp.173-224, 2005.

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ

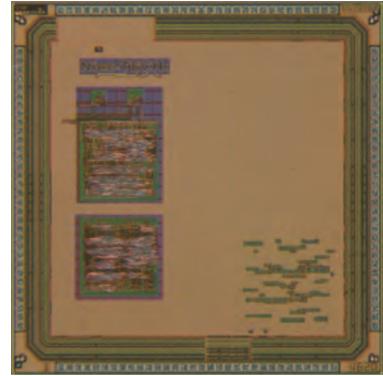
確率的 A/D コンバータ・マイクロプロセッサ

金沢大学自然科学研究科 今村 竜

金沢大学理工研究域 秋田 純一

概要：MOSFET の製造時の特性が確率的なばらつきをもつことに着目し、コンパレータ（電圧比較器）として用いる SRAM セルを多数配置し、入力電圧に対するそれらの出力値の統計分布から入力電圧を求める、確率的 A/D コンバータの設計と試作を行った。この回路はスタンダードセルを用いた HDL 記述から論理合成・配置配線を経て自動生成が可能である。今回の設計では 1024 個のコンパレータを用いている。試作動作評価の結果、正常動作を確認したが、入力電圧範囲が狭いという課題が明らかとなった。また、評価用に配布されている ARM 社の Cortex-M0 プロセッサの HDL ソースを用い、それに I/O 回路とプログラムメモリをあわせて論理合成・配置配線した回路の設計と試作を行った。今回の設計では、I/O 回路として、汎用出力ポートと PWM 出力ポートを配置した。またプログラムとしては、これらの出力ポートに接続した LED を点滅・明滅させるプログラムを C 言語で記述し、これを gcc と gas から機械語コードへと変換し、これを ROM 内容として HDL で記述したものを用いた。動作評価の結果、正常動作を確認した。

設計期間：0.1 人月以上、0.5 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICom-
piler, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：～10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ
種別：アナデジ混載



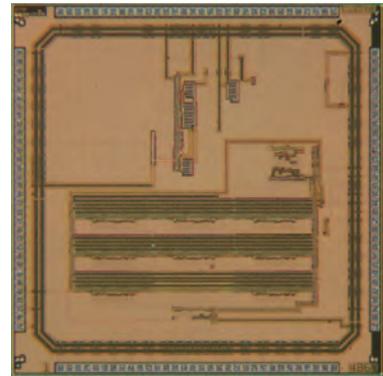
線形化確率的フラッシュ AD 変換器と $\Delta\Sigma$ 型ダウンコンバーティング AD 変換器の試作

北見工業大学大学院工学研究科 杉本 俊貴, 高橋 卓人, 谷本 洋, 吉澤 真吾

概要：デジタル RF やソフトウェア無線等への応用を目指し、高速・高精度の AD 変換を実現できる方式として、確率的フラッシュ AD 変換器 (SFADC) と $\Delta\Sigma$ 型ダウンコンバーティング AD 変換器の試作を行った。SFADC を改良した線形化 SFADC を試作し、線形性の改善ができることを確かめた。本試作結果をフィードバックしてより高速・高精度の線形化 SFADC を試作する予定である。 $\Delta\Sigma$ 型ダウンコンバーティング AD 変換器は、周波数変換機能と AD 変換機能を併せ持つ AD 変換器である。偶高調波ミキサの出力が時間差になるという特徴を利用することで、AD 変換を電圧ではなく時間差で行うことができる。周波数変換器に振幅を位相差として出力する偶高調波ミキサ、AD 変換器にオーバーサンプリングとノイズシェーピングを組合せて高精度化が可能な $\Delta\Sigma$ 型 TDC を提案している。今回の試作では基本的なアイデアをもとに動作確認を行った。今後は詳細設計を行い $\Delta\Sigma$ 型 TDC の高精度化を実現する。

参考文献：高橋卓人, 杉本俊貴, 谷本 洋, 吉澤真吾, "偶高調波ミキサと $\Delta\Sigma$ -TDC を用いたダウンコンバーティング AD 変換器の提案," 電気学会 電子回路研究会資料, ECT-016-090, Dec. 2016.

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 Astro, Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre
トランジスタ数：100,000～1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載

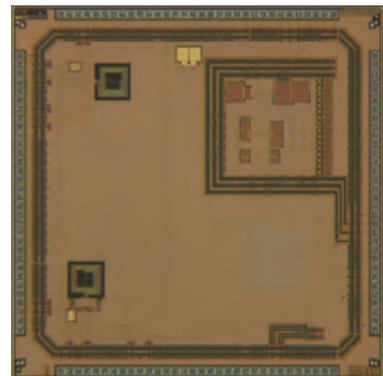


デルタシグマ TDC の Charge-Pump ゲインに関する 位相比較帯域の変動の確認

法政大学理工学部 川部 嵩永, 嘉藤 貴博

概要：デルタシグマ TDC は、Noise-Sheping によって、キャリア近傍のオフセット周波数の低周波数側の Noise が、高周波数側に移動するので、結果的にキャリア近傍の雑音が減り、狭帯域フィルタとしての PLL 特性の改善につながる。ただし問題点としては、デルタシグマは積分器をもつ帰還回路であり、帰還回路の Loop ゲイン＝帯域が低い場合に、PLL 自身の帯域を制限してしまうことがある。今回は Loop ゲインの異なるデルタシグマ TDC を実装して、理論値と実測との一致を確認しようと考えた。サンプリング CLK 供給に 2.5GHz の発振器も実装しており、発振器、高速分周機の動作も確認した。また今後のオンウエハ評価の準備として、SPI (serial peripheral interface) のテスト回路を実装し、レジスタの書き込み、レジスタ値のリードバック、ともに実回路で動作として問題ないことを確認した。

設計期間：4 人月以上、5 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT) トランジスタ数：100,000～1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ
(PLL, A-D/DC-DC コンバータなど)



低電圧 CMOS アナログ回路の試作

明治大学理工学研究科 渡辺 正之助, 小宮 健人

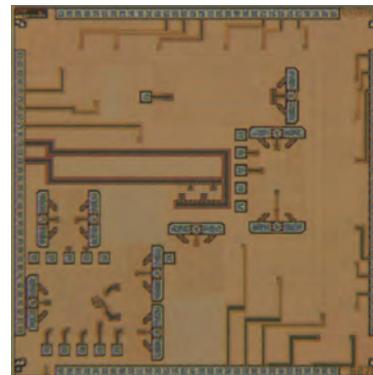
明治大学理工学部 野上田 崇, 山口 拓哉, 福田 裕希

概要：低電圧駆動・高周波通信というテーマを根底に置き、各々の研究において提案した回路、評価に必要な回路の試作を行った。以下が試作した回路の概略となる。光伝送の歪み補償を目的としたアナログ FIR フィルタの要素回路であるギルバートセル回路、2.4GHz 帯での発振を目的としたリング型 VCO、低電圧動作を目的としたカレントミラー回路、しきい電圧の温度依存性の低減を目的とした等価 MOSFET とその要素回路さらに実際にしきい電圧の温度依存性が低減されているかどうかを比較検討するための MOSFET 単体、高周波でのフィンガー数の違いによる S パラメータ比較を目的とした TEG。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：1 月以上、2 月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QRC, Cadence 社 Spectre

トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ

チップ種別：アナログ/デジタル信号処理プロセッサ



微小サイドチャネル・リーク対策と物理複製不可能機能を有した MDR-ROM 方式を用いた AES 暗号回路

立命館大学理工学研究科 山田 康平, 村岸 佑哉, 後藤 裕太

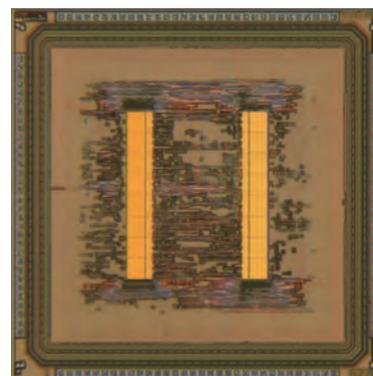
立命館大学総合科学技術研究機構 汐崎 充, 久保田 貴也

立命館大学理工学部 藤野 毅

概要：暗号回路の動作時の消費電力や漏洩電磁波から暗号鍵を窃取するサイドチャネル攻撃に対する対策と IoT 末端系のハードウェア機器の真正性・データの完全性や機密性を担保する応用として期待されている物理複製不可能デバイス (PUF:Physical Unclonable Function) 機能を統合させた MDR-ROM 方式を提案してきた。本試作チップには MDR-ROM 方式を用いた AES 暗号回路が実装されており、微細プローブのみで漏洩する微小なサイドチャネル・リークを低減させた対策と、MDR-ROM による PUF レスポンスの偏りを改善させる修正設計を行っている。実測により対策回路の効果を評価した。

参考文献：後藤裕太・山田康平・汐崎充・久保田貴也・藤野毅、「サイドチャネル対策 Dual-Rail ROM における Geometric Leak の評価」、AS-3-7, 2017 年 IEICE 総合大会, 2017 年 3 月。

設計期間：3 月以上、4 月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



0.18 μ m CMOS プロセスを用いた多チャネルパッチクランプシステムの試作

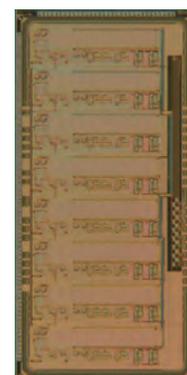
慶應義塾大学理工学部 中野 誠彦

慶應義塾大学理工学研究科 四ツ田 大樹, 久保 勝弘, 高坂 太郎, 伊藤 孝太

概要：現在、電気生理学の分野において神経細胞によるイオン電流を測定することが盛んに行われている。この神経信号を測定することで神経疾患の治療に貢献するだけでなく、ブレインマシンインタフェース技術と呼ばれる、脳と機械間の双方向通信技術の応用にも期待されている。我々はこのイオン電流を測定する手法の 1 つであるパッチクランプ法のための LSI システムの設計を行っている。今回のチップ試作では、ここまで設計してきた回路ブロックをつなぎこみ、2.5mm \times 5mm のチップ内に 8 チャネルのシステムを載せた。作成したチップを用いて改良した IVC コンバータの評価および、クロストークの評価を行った。

設計期間：3 月以上、4 月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 IC-

Compiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm \times 5.0mm チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



自立動作可能 LSI チップ 平成28年度第1回ルネサス CMOS 65nm 試作

慶應義塾大学理工学部

中野 誠彦

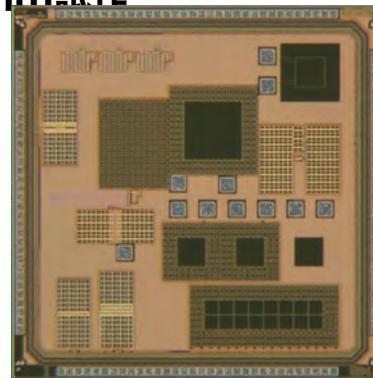
(RS65161)

慶應義塾大学理工学研究科

南 快優, 五十嵐 一真, 杉浦 隆弥

概要：現在、自立動作可能な LSI チップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を 1V 以上に昇圧することで様々なアプリケーション回路の動作を目指す。これまでの試作で電源回路は目標の 1V 以上の出力を達成していた。本試作では電源回路の更なる昇圧率向上を目指し、クロスカプル方式と太陽電池分割方式の昇圧回路を設計した。クロスカプル方式は昇圧回路自体の性能を検証するために単体のもの、システム化した際の性能を検証するために太陽電池、バッファ、リングオシレータを接続したものをそれぞれ設計した。太陽電池分割方式についてはブートストラップ方式の昇圧回路を用いており、電力を多く必要とする回路部分に大きめの太陽電池をあてがい、電力をそれほど必要としない部分には小さめの太陽電池をあてがうことで効率のよい昇圧を実現するものである。また、太陽電池の特性への遮光メタルおよび p+層の影響をそれぞれ調べるため、遮光メタルを付けた太陽電池と付けない太陽電池、p+層があるものとないものを設計した。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



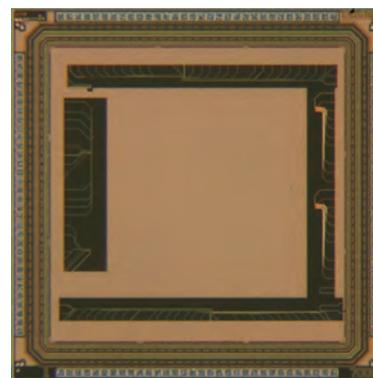
多端子・8 角形 MOSFET 型センサ・回路素子

山形大学大学院理工学研究科 原田 知親

概要：今日では電子機器など様々な製品に多種のセンサが組み込まれ、多岐に渡るセンサデータを取得、活用するケースが増加している。しかし、このようなセンサはそれぞれが単独で存在し、材料も異なるため、集積化の際に占有面積が増大する。そのため、センサシステムの小型化が困難であるという問題がある。このような問題を解消するため、集積回路の 1 基本素子である MOSFET に着目した。集積回路と同様 Si プロセスで作製可能な MOSFET をセンサとして利用することで、低コスト化、小面積化、回路組込が容易であるといった多数の利点を得ることができる。本研究では、回路動作とセンサ動作を兼任する素子として多端子・8 角形 MOSFET を考案し、それぞれの出力端子の動作を実際の MOSFET の式から導出をおこない、実験結果と合わせ、動作解明を試みた。さらに、多端子 MOSFET・8 角形 MOSFET を複数の物理量を検出するセンサ動作が可能である、多機能センサとしての評価を行うことを目的とする。

参考文献：[1] Tomochika Harada and Koyo Kaiwa, "Stress Direction and Temperature Detectable Octagonal nMOSFET Multi Operation Device", The 2016 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp. 538-542, Oct. 2016.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



平成28年度第1回ローム CMOS 0.18 μ m 試作 (R018161)

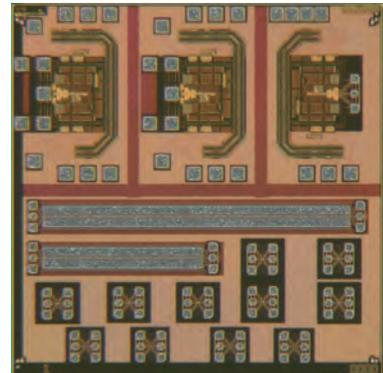
電流インパルス励振回路とトランジスタ試験構造

東京大学工学系研究科 Kanjanavrojkul Parit

東京大学 VDEC Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：このチップは低電力検出アプリケーション用の電流モード UWB パルスジェネレータの一部である。この回路は NMOS を介しキャパシタを急速充電することによって非常に短い電流インパルスを生成する。この短いインパルスは、オフチップ伝送線路共振器を励起してパルスを生成する。回路は、バッファ段、遅延コントローラ、エッジシャープディレイラインから構成されている。電流モード手法では寄生容量による損失と励起回路のサイズを低減している。したがってこの技術は低消費電力で効率的な UWB パルス生成を可能にする。このチップはダイシングされフリップチップボンディングによって石英基板上の伝送線路共振器に集積される。目標パルス中心周波数はチップ製造後伝送線長によって決定することができる。パラメータ変更によりインパルス発生用のキャパシタの大きさを変わった。それに加えてカスタマイズされたトランジスタのテストパターンも用意している。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



単一光子アバランシェダイオードの面積とノイズ特性検証用 TEG1

東京大学電気系工学専攻 楊 驍

東京大学 VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要：単一光子アバランシェダイオード (SPAD) は、入射する光がなくても、熱雑音、トンネル効果、またはトラップされたキャリア等の原因より、Breakdown を発生している。これらの原因で発生する Breakdown は、SPAD のノイズとなります。一般的には、SPAD の面積が大きいほど、ノイズも大きくなるが、定量的な解析はまだ明らかにしていない。本試作では、SPAD の面積とノイズ特性間の関係を求めるための TEG を搭載する。また、プロセスばらつきの影響で、サンプル数が大きくしなければならない。そのために、昨年度の試作と同じ構造の 31x31 SPAD array を使用し、SPAD のサイズのみ異なるチップ3つを設計した。本チップ中の SPAD の形は長さ 9.2 μ m の正方形である。

参考文献：Xiao Yang, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A 31x31 SPAD Array Sensor with Variable Readout Time for Scintillation Light Detection," in IEICE Society Conference 2016, C-12-11, Sep. 2016.

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ

単一光子アバランシェダイオードの面積とノイズ特性検証用 TEG2

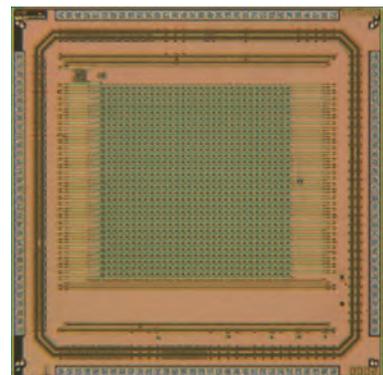
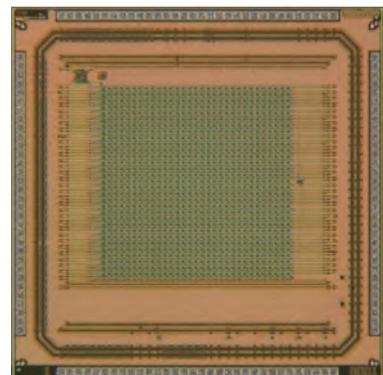
東京大学工学系研究科 楊 驍

東京大学 VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要：単一光子アバランシェダイオード (SPAD) は、入射する光がなくても、熱雑音、トンネル効果、またはトラップされたキャリア等の原因より、Breakdown を発生している。これらの原因で発生する Breakdown は、SPAD のノイズとなります。一般的には、SPAD の面積が大きいほど、ノイズも大きくなるが、定量的な解析はまだ明らかにしていない。本試作では、SPAD の面積とノイズ特性間の関係を求めるための TEG を搭載する。また、プロセスばらつきの影響で、サンプル数が大きくしなければならない。そのために、昨年度の試作と同じ構造の 31x31 SPAD array を使用し、SPAD のサイズのみ異なるチップ3つを設計した。本チップ中の SPAD の形は長さ 11.2 μ m の正方形である。

参考文献：Xiao Yang, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A 31x31 SPAD Array Sensor with Variable Readout Time for Scintillation Light Detection," in IEICE Society Conference 2016, C-12-11, Sep. 2016.

設計期間：0.1 人月以上, 0.5 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：イメージセンサ/スマートセンサ



単一光子アバランシェダイオードの面積とノイズ特性検証用 TEG3

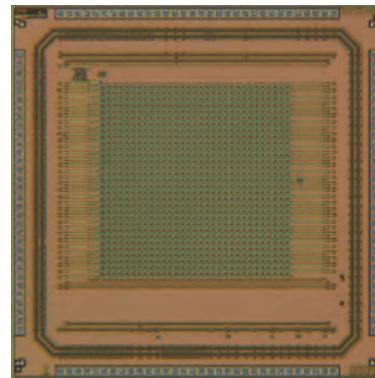
東京大学工学系研究科 楊 驍

東京大学 VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要: 単一光子アバランシェダイオード (SPAD) は, 入射する光がなくても, 熱雑音, トンネル効果, またはトラップされたキャリア等の原因より, Breakdown を発生している. これらの原因で発生する Breakdown は, SPAD のノイズとなります. 一般的には, SPAD の面積が大きいほど, ノイズも大きくなるが, 定量的な解析はまだ明らかにしていない. 本試作では, SPAD の面積とノイズ特性間の関係を求めるための TEG を搭載する. また, プロセスばらつきの影響で, サンプル数が大きくしなければならぬ. そのために, 昨年度の試作と同じ構造の 31x31 SPAD array を使用し, SPAD のサイズのみ異なるチップ3つを設計した. 本チップ中の SPAD の形は長さ 13.2 μm の正方形である.

参考文献: Xiao Yang, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A 31x31 SPAD Array Sensor with Variable Readout Time for Scintillation Light Detection," in IEICE Society Conference 2016, C-12-11, Sep. 2016.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** イメージセンサ/スマートセンサ



0.18 μm プロセス小容量メタルフリンジキャパシタ測定用 TEG ほか

立命館大学大学院情報理工学研究科 宮川 尚之, 木村 知也

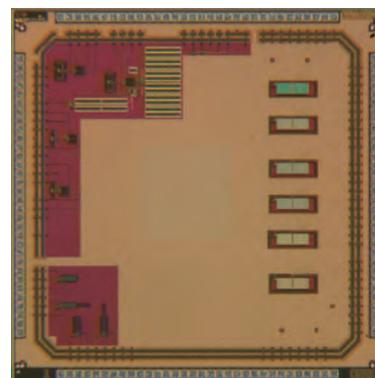
立命館大学情報理工学部 鈴木 智之

立命館大学大学院情報理工学研究科 越智 裕之

概要: 配線間容量を利用したメタルフリンジキャパシタは通常の CMOS プロセス互換かつ理想的な線形特性を持つキャパシタである. しかし, 小容量のキャパシタを集積する場合, 当該キャパシタ外のメタル, 例えば他の配線や他のキャパシタとの間のクロストーク容量について十分な考慮や定量的な評価が必要である. 本試作は, メタルフリンジキャパシタの電極を内側と外側に分け, 内側電極を外側電極でシールドする構造とした Fishbone-in-Cage Capacitor (FiCC) の特性を評価する TEG などを搭載したものである. 被測定キャパシタを接続したリングオシレータと, 接続していないリングオシレータを実装し, これらの周波数を比較することで, 容量を推定できるようにしている. 測定結果はおおむねフィールドソルバで計算した値に近い値であった.

参考文献: 宮川, 木村, 越智, "FiCC: 高集積向け耐クロストークノイズメタルフリンジキャパシタ", 信学技報, vol. 116, no. 478, pp. 43-47, 2017年3月.

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



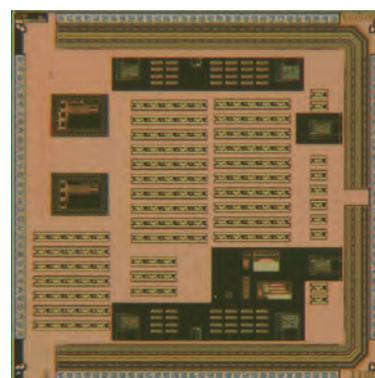
フリーラジカルセンサ・ミクストシグナル設計実習

金沢大学理工研究域 北川 章夫

金沢大学理工学域 澤田 涼, 蘭 宣箴, 広瀬 僚太

概要: [フリーラジカルセンサ] 電子スピン共鳴測定系を1チップ化したフリーラジカルセンサのテスト回路の試作を行った. マイクロ波帯の高周波磁場を内蔵 VCO により発生させ, 外部直流磁場を永久磁石または電磁石により印可することにより, 不対電子を持つフリーラジカルを検出する. 磁場掃引を行うことなく, 電子スピン共鳴スペクトラムを得ることができる新しい測定手法を使用しており, 直流電圧掃引によりフリーラジカルの分子種に固有のスペクトラムをデジタル信号として得ることができる. DPPH (1,1-Diphenyl-2-picrylhydrazyl) および TEMPOL (1-Oxyl-2,2,6,6-tetramethyl-4-hydroxypiperidine) のスペクトラムをチップ上で検出することに成功した. [ミクストシグナル設計実習] 3年生の1学期間 (90分X15回) で, アナログブロックとデジタルブロックを含む回路設計実習を行った. 各学生は例題として, Lチカ (LED 点滅回路) を設計し, CAD ツールの操作と設計フローを学び, その後に各自の好きな回路や Lチカの改良バージョンを設計した. 例題の回路は, リング VCO と分周器, PWM による明るさ制御回路から構成される. フルカスタム設計手法とスタンダードセル設計手法による設計を行い, 回路全体は, Spectre と VerilogHDL の混在シミュレーションにより実施した.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別:** その他



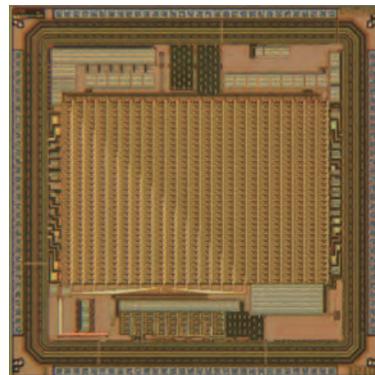
スイッチト・カレントカオスニューロン集積回路

東京電機大学工学研究科 新井 正樹

東北大学電気通信研究所 堀尾 喜彦

概要：製作したチップは、二次割当問題を解くアナログ・デジタル混成ハードウェアシステムに搭載するスイッチト・カレントカオスニューロンを集積回路実装したものです。スイッチト・カレントカオスニューロン回路は、アナログ CMOS インバータ回路とスイッチを基本とし構成しています。このカオスニューロン回路は、実数の複雑が原動力であるカオスダイナミクスを有しているため、アナログ回路で実現する必要があります。さらに、問題サイズ N の二次割当問題を解くためにカオスニューロン回路が $N \times N$ 個必要であるため、大規模な問題サイズに対応したハードウェアシステムに向け、できる限り多くのカオスニューロン回路を実装しました。製作したチップは、ROHM 180 nm CMOS プロセスを用い、736 個のカオスニューロン回路を実装しました。このチップひとつで問題サイズ 27 の二次割当問題に対応することができます。製作するハードウェアシステムでは、チップを複数個搭載することで、より多くの問題サイズに対応することが可能です。カオスニューロン回路は、アナログ CMOS インバータ回路を基本として、非線形出力関数回路などから構成されます。その回路特性を測定・評価するために、インバータ回路単体や非線形出力関数回路などを特性評価用回路として実装し、所望の回路特性を得られることを確認した。

設計期間：3 人月以上，4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



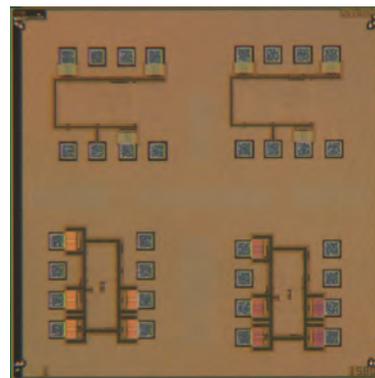
クロック同期型コンパレータの性能評価

東京大学生産技術研究所 小野寺 尚人, 宇野 祐輝, イスラム マーフズル, 李 承俊,

高宮 真, 桜井 貴康

概要：本試作は、IoT デバイスや SoC などにおけるアナログ・デジタル変換回路や通信回路などに幅広く利用されるクロック同期型コンパレータの回路設計を行い、今後の集積システムの設計においてコンパレータを基本回路ブロックとして扱うことを目標に試作したものである。クロック同期型コンパレータはクロックに同期して 2 つの電圧の比較を行うが、コンパレータの遅延や消費電力の間にトレードオフ関係がある。本試作では、このトレードオフ関係を詳細に評価することを目標に、2 種類の回路を試作し実測による評価を行った。2 種類回路の性能の実測結果を、今後のシステム設計においてコンパレータの設計パラメータを決める際に参考とするを目的としている。

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



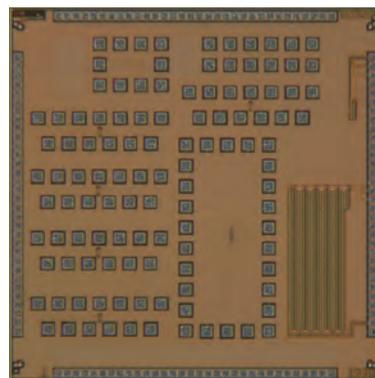
量子磁束パラメトロンと CMOS 回路を組み合わせた新規メモリデバイス

横浜国立大学工学府 大熊 幸寛, 安井 雄紀

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた断熱型量子磁束パラメトロン (AQFP) 論理回路の研究を行っている。だが、集積度が低いという欠点があり、AQFP 回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れた AQFP 論理回路による演算回路と集積性に優れた CMOS 回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能な AQFP/CMOS ハイブリッドメモリシステムを提案している。このチップにはハイブリッドメモリに用いる CMOS 8T-SRAM セルおよび 8T-SRAM によって構成された 16-bit Look Up Table が実装されている。8T-SRAM セルは読み出し用の 2 つのトランジスタのゲート幅を変えたものを複数個実装している。目的はゲート幅の大きさによって出力電流の変化を観測するためである。測定を行った結果、ゲート幅をより大きくした方が出力電流を大きく得られることを確認できた。センス回路として用いる AQFP 回路は微小電流を検出可能であるので、読み出し用の電源電圧をより小さくすることが可能であり、読み出し時の静的消費電力を大幅に低減することが期待できる。16-bit Look Up Table に関しては未だ測定を行っていないが、今後測定を行う予定である。

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ

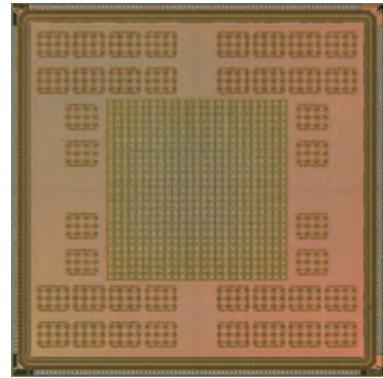


アナログセルラニューラルネットワーク

龍谷大学理工学部 木村 睦

概要：アナログセルラニューラルネットワークの試作として、25x25個のニューロンを備えたチップである。これにシナプス素子を接続することで、アナログセルラニューラルネットワークが完成する。人工知能は、未来社会の中核技術として、おおいに期待されている。しかしながら、現在の人工知能は、超ハイスベックなノイマン型コンピュータで実行される長大で複雑なプログラムで実現されている。このため、巨大サイズ・ハードウェアのハイスベックのわりに低速・非ロバスト性・高消費電力などが課題である。本試作は、ハードウェアのみで実現される脳型集積システムの研究開発を行い、超コンパクト・高速・ロバスト性・低消費電力などを実現しようという試みである。こういった脳型集積システムは、自律型の人工知能として、従来の応用・IoT・ロボットなどへの搭載が期待できる。

設計期間：3人月以上、4人月未満 **設計ツール：**Cadence社 Virtuoso, Synopsys社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**ニューテクノロジー



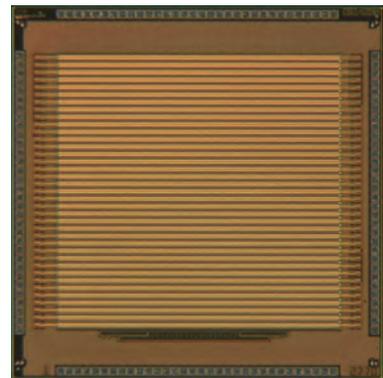
NBTI劣化の高並列/スケーラブル測定回路

京都大学大学院情報学研究科 森田 俊平, 廣本 正之, 佐藤 高史

概要：デバイス特性の経年劣化等、集積回路の経時的な特性変動の把握が重要な課題となっている。NBTIによる劣化は、デバイスごとに異なる確率的な現象と考えられているため、多数のデバイスについて効率の良い測定を行う必要がある。本試作では、デバイス特性の劣化ばらつきを測定するためのアレイ回路を実装している。デバイスをアレイ状に集積することで、長時間を要するストレス時間を複数デバイスについて並列に与えることを可能とし、測定を効率化している。アレイ中では、パスゲートスイッチによりデバイスを選択し、その特性変動を測定できる。アレイ中に集積されるデバイスが多くなるほど、パスゲートスイッチのリーク電流の影響が大きくなるため、リーク電流制御回路を新たに設けることで、デバイス数のスケーラビリティを確保している。本チップにより、数千デバイスの劣化ばらつき測定が可能となる。

参考文献：H. Awano, M. Hiromoto, and T. Sato, "Variability in Device Degradations: Statistical Observation of NBTI for 3996 Transistors," European Solid-State Device Research Conference (ESSDERC), pp.218-221, Sep. 2014.

設計期間：2人月以上、3人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

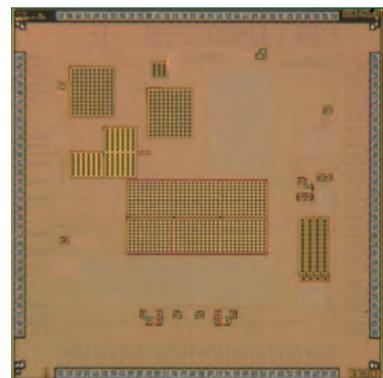


CMOSスマートダストに向けた基礎検討回路

立命館大学理工学部 宇野 重康

概要：本チップは、CMOSチップ単体でエネルギーハーベスティングとセンシングを行うことを目的としたものである。具体的には、(1) 電磁場を用いる Rapid Frequency Identification (RFID) タグとしての要素回路、(2) 超音波を用いる RFID タグとしての要素回路、(3) スマートフォンのイヤホンジャックを介して動作するセンサー素子としての要素回路、が主に搭載された。(1) は従来の RFID システムを CMOS チップ上に搭載できるほどの小型スパイラルインダクタと組み合わせて動作することを想定したものであり、電源回路、変調回路などの要素回路を含んだものである。(2) は体内に埋植された CMOS タグに圧電素子を組み合わせることで、超音波により給電し、超音波の負荷変調で通信することを想定した。(3) はスマートフォンのイヤホンジャックに接続し、ヘッドフォンからの音声信号から電力収穫し、マイクロフォンへの音声信号によりデータ送信するものである。ここでは電気化学インピーダンス法を用いたバイオセンシングを可能とするための要素回路を組み合わせ、スマートフォンと組み合わせた小型可搬型インピーダンスバイオセンサーを目指した。いずれの回路においてもまだ課題が残るが、要素回路の多くは正常動作を確認することができた。

設計期間：10人月以上 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**その他

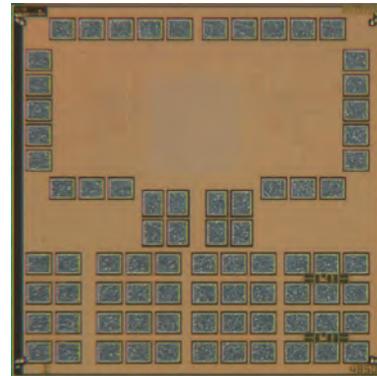


集束イオンビーム (FIB) 裏面加工がトランジスタ特性に及ぼす影響を評価する TEG (1 作目)

東京大学工学系研究科 宇佐美 尚人, 岡本 有貴, 三田 吉郎
 東京大学 VDEC 太田 悦子, 池野 理門, 浅田 邦博

概要：集束イオンビーム (FIB) 加工は、大規模集積回路 (VLSI) の断面観察や、配線修正のために大変有用であるが、技術革新による配線層数の増加、ならびに化学機械研磨 (CMP) 工程などでの後工程プロセスの取率向上のため必須である「ダミーフィラー」の存在が、LSI 表面からの加工を大変困難にしている。VDEC が平成 24 年度補正予算で導入した新型 FIB 装置 FEI V400ACE は、シリコンチップの裏面から 400 μm 程度までの深さで貫通孔を加工できる、「裏面アクセス式後加工」が可能である。公開装置導入のための条件はほぼ整ったが、裏面アクセス加工がトランジスタに与える影響は必ずしも明らかでなかったため、実験的にこれを測定するためのテスト構造を設計試作した。

試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：TEG (特性評価回路など)

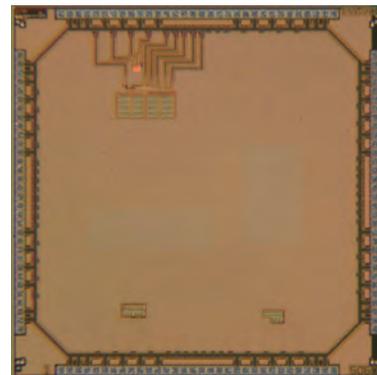


アナログ回路用ライブラリ及び素子評価

高知工科大学工学部システム工学群 橋 昌良
 高知工科大学大学院基板工学専攻 岡崎 泰士, Wannaboon Chatchai

概要：本チップの目的はアナログ回路用ライブラリの設計である。試作した回路は 1 次 $\Delta\Sigma$ 変調回路とその BIST 方式の評価回路である。 $\Delta\Sigma$ 変調回路には電圧電流変換回路 (OTA) を用いた。回路構成は RC 積分器, 1bit のダイナミック型コンパレータ, 1bit の電流出力 D/A 変換回路である。信号帯域は 22kHz, オーバーサンプリング比は 256 として、設計し、S/N 比を評価した。今回設計した RC 積分器では抵抗のレイアウトをコモンセントロイド配置し、ばらつきやノイズの対策を行った。BIST 回路はパラメトリック故障の検出を目標としたもので、クロック入力としてカオス発振回路の出力を使用することで、RC の 10% 程度の変動を検出することを目標としたもので、故障アリ、故障なしの回路を組み込み、BIST 方式の評価を行うことを目標とした。

設計期間：4 人月以上, 5 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

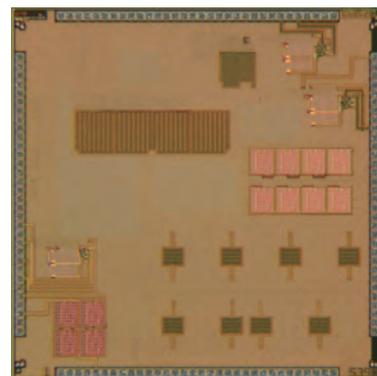


各種要素回路の設計

明治大学大学院理工学研究科 和田 和千, 今井 博之, 江川 和穂, 木谷 嘉孝, 大門 佑,
 鈴木 博俊, 山下 良満

概要：学生 6 名が、各々の研究において評価に必要な回路を設計した。具体的な各試作回路の概略は、次の通りである。①フィルタとミキサの機能を併せ持つ、ダイレクトサンプリングミキサ (DSM) を試作している。チャージインジェクションの影響を抑圧できる構成を用いることで、実装面積の小さい DSM の実現を目指した設計である。②論理回路とアナログ加算回路で構成した連続時間系離散電圧動作の差動増幅回路を試作している。論理回路を用いて差動増幅する従来構造を比較回路としており、 $\Delta\Sigma$ 変調を用いて量子化雑音の影響を軽減させた提案回路の性能評価を行う。③無線電力伝送の受電側で、振幅 0.5V, 周波数 100kHz の交流を整流する為の回路を設計している。この他にも、④遮断周波数が 0Hz と 200kHz の、ログドメイン手法を用いた複素フィルタ、⑤入力電圧 1.0V において出力電圧 1.7V の 8 段の Dickson チャージポンプ回路、⑥素子バラツキによる出力誤差を抑圧するレイアウトをした RC ポリフェーズフィルタとその特性を確認するための比較回路の試作を行っている。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF) トランジスタ数：10~100
 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：その他

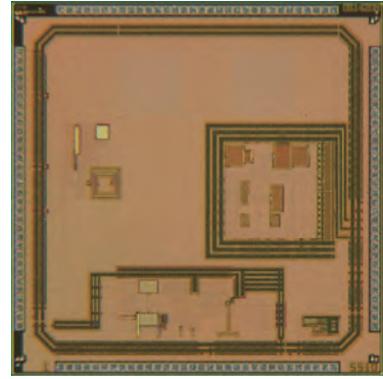


アクティブ・インダクタによるジッタ低減リングオシレータ と ばらつきを自己校正可能な Time To Digital Convertor の研究

法政大学理工学部 峯村 亮佑, 佐々木 翔一郎, 星野 裕也, 嘉藤 貴博

概要：アクティブ・インダクタをリングオシレータの、発振リング内に構成することにより、Q値を上げてジッタを低減することを目的としたVCOの実装。LC共振型の発振器は、Qは高いが、レイアウト面積が大きく、低周波数側では実際には設計できない、かつ発振範囲も狭い。本研究では、低周波で可変範囲が大きく、かつ低ジッタな発振器の設計を試みた。LSI内の回路ばらつきに起因する特性ばらつきを、自己校正可能なTime To Digital Convertorの実装を行った。TDCのばらつきは、エイリアスを発生させ、デジタルPLLのスプリアスの原因となる。これら为了避免するためには、何等かの校正が必要であり、本件研究では、まずTDC単体での実装評価を実施した。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



微小サイドチャンネル・リーク対策と物理複製不可能機能を有した MDR-ROM方式を用いた AES 暗号回路

立命館大学理工学研究科 山田 康平, 村岸 佑哉, 後藤 裕太

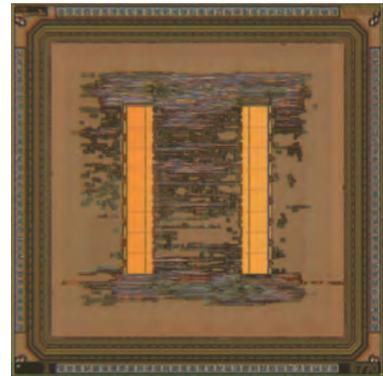
立命館大学総合科学技術研究機構 汐崎 充, 久保田 貴也

立命館大学理工学部 藤野 毅

概要：暗号回路の動作時の消費電力や漏洩電磁波から暗号鍵を窃取するサイドチャンネル攻撃に対する対策とIoT末端系のハードウェア機器の真正性・データの完全性や機密性を担保する応用として期待されている物理複製不可能デバイス (PUF:Physical Unclonable Function) 機能を統合させたMDR-ROM方式を提案してきた。本試作チップにはMDR-ROM方式を用いたAES暗号回路が実装されており、微細プローブのみで漏洩する微小なサイドチャンネル・リークを低減させた対策と、MDR-ROMによるPUFレスポンスの偏りを改善させた修正設計を行っている。実測により対策回路の効果を評価した。ちなみに、本試作チップは前試作チップの追加修正を行ったものである。

参考文献：後藤裕太・山田康平・汐崎充・久保田貴也・藤野毅, 「サイドチャンネル対策Dual-Rail ROMにおけるGeometric Leakの評価」, AS-3-7, 2017年IEICE総合大会, 2017年3月。

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路 (乗算器, 除算器など)



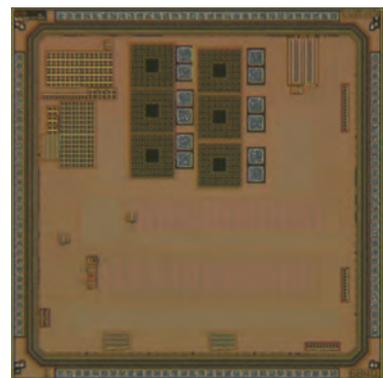
0.18 μ m CMOS プロセスを用いた多チャンネルパッチクランプシステムの改良

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学理工学研究科 久保 勝弘, 高坂 太郎

概要：現在、電気生理学の分野において神経細胞によるイオン電流を測定することが盛んに行われている。この神経信号を測定することで神経疾患の治療に貢献するだけでなく、ブレインマシンインタフェース技術と呼ばれる、脳と機械間の双方向通信技術の応用にも期待されている。我々はこのイオン電流を測定する手法の1つであるパッチクランプ法のためのLSIシステムの設計を行っている。今回のチップ設計では、1月に回路ブロックをつなぎこみ8チャンネルのシステムを載せて設計したチップを評価し、その結果を受けてドライブ回路部分を改良して設計した。作成したチップを用いて改良したIVCコンバータの評価および、クロストークの評価を再度行った。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Keysight社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



平成28年度第2回ローム CMOS 0.18 μ m 試作 (R018162)

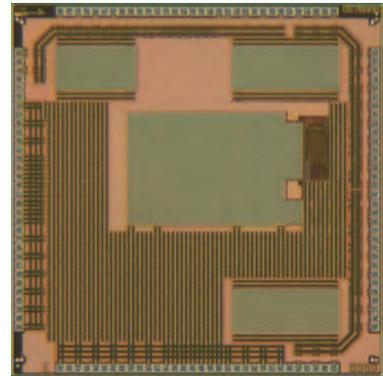
高分解能パルス縮小型時間-デジタル変換器

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 古賀 丈尚, 榎本 隆一

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナデジ混載



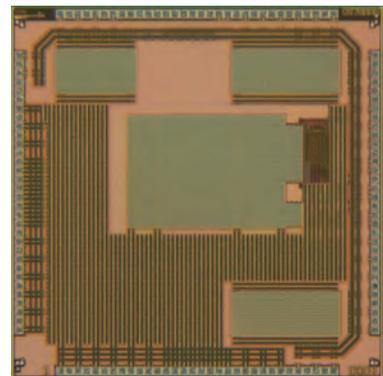
高分解能パルス縮小型時間-デジタル変換器

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 古賀 丈尚, 榎本 隆一

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナデジ混載



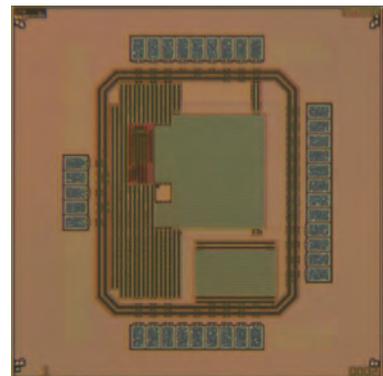
高分解能パルス縮小型時間-デジタル変換器

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 古賀 丈尚, 榎本 隆一

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナデジ混載



クイックスタート機能付きパルス幅制御位相同期回路

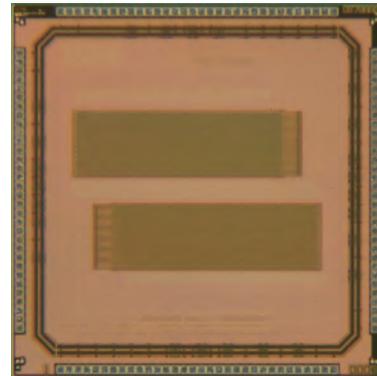
東京大学工学部 加賀谷 司

東京大学VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要：PLLはフィードバック制御を行うことで周波数通倍の機能を有する回路だが、フィードバック制御を終えて安定した出力を得るまでに時間がかかるという特徴を持つ。この時間のことをロック時間と呼び、PLLの性能を表す一つの指標となっているが、本試作ではパルス幅制御位相同期回路(PWPLL)を用いてロック時間が短いクイックスタート機能を持たせたPLLを作成した。クイックスタート機能はシステムの毎起動時の活動時間が短いIoT機器やウェアラブルなどにおいて、そのシステムの起動時間を短くすることができるため、結果として低消費電力とともにシステムの省電力化を達成する重要な機能となっている。今回作成したチップではPLLロック時の周波数コントロールパラメーターと位相を記憶し、次回起動時に初期値として設定することでフィードバック開始時からPLLほぼロック状態に置くことができるように設計を行った。実測の結果、起動時には僅かな周波数エラーおよび位相エラーでフィードバックを開始できおり高速起動が実現されていることが確認された。

参考文献：Toru Nakura, Kunihiko Asada, "Low Pass Filter-less Pulse Width Controlled PLL Using Time to Soft Thermometer Code Converter", IEICE Trans. Electronics, Vol. E95-C, No. 2, pp. 297-302, March 2012.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



SPADのAfter-pulsing 確率測定用のhold-off 時間可変な active quenching circuit

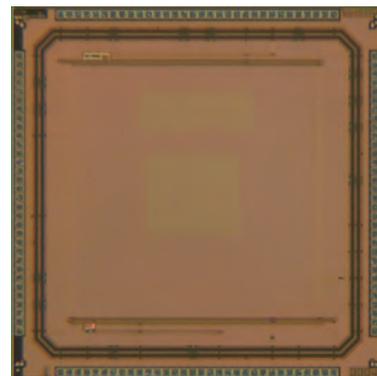
東京大学工学系研究科 楊 驍

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：SPADはbreakdownを発生するときに、大きな電流を流れて、キャリアをトラップされる可能性がある。そのトラップされたキャリアが新たなbreakdownを励起すると、after-pulsingというノイズとなります。そのノイズを低減する手法は、一定のhold-off時間を加える。従って、本試作では、SPADのafter-pulsing 確率とhold-off 関係を評価するためにhold-off 時間調整できるような active quenching circuit 及び SPAD 素子の設計を行った。回路部分について、quenching 回路 [1] 及び hold-off の時間を調整用のカウンターを含んでいます。Quenching 回路がbreakdownをセンシングした後に、カウンターをトリガする。カウンターが外部から入力する値を越えるまでの間では、SPADがquenching 回路を通じてhold-off されている。測定結果より、hold-off 時間と after-pulsing 間の関係を見つける。

参考文献：Xiao Yang, Toru Nakura, Tetsuya Iizuka, and Kunihiko Asada, "A 31x31 SPAD Array Sensor with Variable Readout Time for Scintillation Light Detection," in IEICE Society Conference 2016, C-12-11, Sep. 2016.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：その他



磁界観測を用いた電流分布推定による電源網解析手法の評価回路

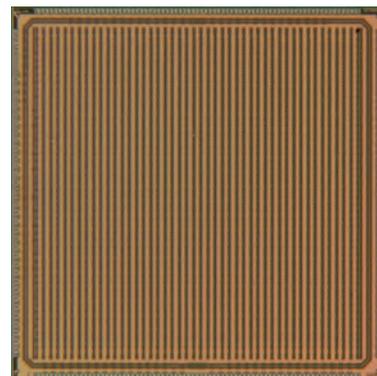
東京大学工学系研究科 織田 勇牙

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：本試作では、磁界観測を用いた電流分布推定による電源網解析手法の評価を行うための回路を作成した。電源網に組み込んだテスト用の電流源に交流信号を与えて、発生した漏洩磁界を用いて電源網の電流分布を推定する。評価用チップでは、チップ全体に電源網を作り、磁界を発生させるための電流源を各電源メッシュに作成した。各電流源にはカレントミラー回路で電流を流す。これらの電流源は行/列デコーダによって選択的にアクティブにすることが出来る。本研究グループで開発した磁界測定システムを用いてこのチップの漏洩磁界を測定した。測定の際にはパッケージのカバーを取り除き、チップから高さ100 μ mでの測定を行った。テスト用の電流源に電流を流すことにより、電源網が作る漏洩磁界を測定することが出来た。また、測定された磁界分布から電源網に流れる電流を推定する事が出来た。

参考文献：Yuki Oda, Tetsuya Iizuka, Toru Nakura, Kunihiko Asada, "Analysis of VLSI Power Supply Network based on Current Estimation through Magnetic Field Measurement" Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：マイクロプロセッサ



磁界観測を用いた電流分布推定による電源網解析手法の評価回路

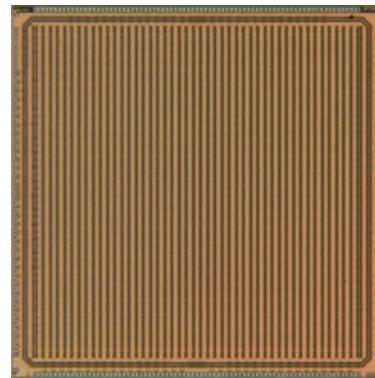
東京大学工学系研究科 織田 勇牙

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：本試作では、磁界観測を用いた電流分布推定による電源網解析手法の評価を行うための回路を作成した。電源網に組み込んだテスト用の電流源に交流信号を与えて、発生した漏洩磁界を用いて電源網の電流分布を推定する。評価用チップでは、チップ全体に電源網を作り、磁界を発生させるための電流源を各電源メッシュに作成した。各電流源にはカレントミラー回路で電流を流す。これらの電流源は行/列デコーダによって選択的にアクティブにすることが出来る。本研究グループで開発した磁界測定システムを用いてこのチップの漏洩磁界を測定した。測定の際にはパッケージのカバーを取り除き、チップから高さ100 μm での測定を行った。テスト用の電流源に電流を流すことにより、電源網が作る漏洩磁界を測定することが出来た。また、測定された磁界分布から電源網に流れる電流を推定する事が出来た。

参考文献：Yuki Oda, Tetsuya Iizuka, Toru Nakura, Kunihiro Asada, "Analysis of VLSI Power Supply Network based on Current Estimation through Magnetic Field Measurement" Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 5.0mm角チップ チップ種別：マイクロプロセッサ



大面積シングルフォトンアバランシェダイオードの設計

東京大学工学系研究科 楊 驍

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：本設計では、シングルフォトンアバランシェダイオード (SPAD) の特性を抽出するために、大面積のSPADを四つ設計した。SPADに関する回路設計するとき、正確なSPICEモデルが必要で、例えば、SPADの容量特性、ブレイクダウン電圧、ブレイクダウン電流など。そのほかに、SPADの感度とノイズ特性を解析するために、空乏層幅、ブレイクダウンのメカニズムなどの解明もかなり重要である。また、従来設計したSPADのサイズが小さいため、それらの特性の測定が難しい。さらに、SPADのブレイクダウン領域の周辺側の影響をキャンセルするために、面積が極めて大きい (1mm角以上) SPADが四つ載っている。半導体パラメータアナライザを用いた測定結果より、SPADの単位面積のI-V特性、C-V特性を明らかにして、SPICEモデルを作り出した。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ASSURA トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μm 5.0mm角チップ チップ種別：TEG (特性評価回路など)



Magnetic Probe for VLSI power supply network analysis

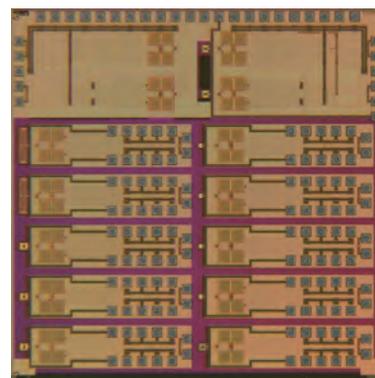
東京大学VDEC Mai-Khanh Nguyen Ngoc, Asada Kunihiro

東京大学工学部 Oda Yuki, Iizuka Tetsuya

概要：The project is to analyse VLSI power supply network based on current estimation through magnetic field. This design has been implemented for a magnetic probe to measure and monitor magnetic fields. In this time, the chip is re-fabricated for a student (Iizuka-ken) for the above purpose. An on-chip coil picks up magnetic fields based on the relationship of magnetic flux and coil's current. The voltage, depending on input frequency, is amplified by multi-stage amplifier. Input voltages of pre-amplifier are from a magnetic pick-up coil and also depend on frequency f . By connecting a filtering-capacitor at the output of the second-stage, we can get a narrow-band LNA. The value of this capacitor is 400-pF. Two outputs are terminated by off-chip capacitors of 2-uF. Based on these simulation results and on possibility on making layout of on-chip capacitor, two types of multi-stage LNA including wide-band amplifier (without FCAP) and narrow-band amplifier (with a FCAP of 400pF) are implemented. Two types of LNAs including wide-band (without FCAP) and narrow-band types are combined with 5 types of inductors, COILi, with $i=1\cdots 5$. Also, by changing VGAIN voltage, LNAs' gain can be adjusted. For the wide-band LNA, simulated results are achieved with maximum gain of 77.21dB@1.32 MHz in case of VGAIN = 3.3V for 1-Mohm output terminal. With 50-Ohm output resistance, the simulated gain from extracted layout is about 60.5dB at 2.89MHz. Moreover, 10 types of LNA layouts are formed and put into a 5mm \times 5mm chip of 0.18- μm CMOS process. Two functional testing circuits including 4 types of LNAs with/without coils are located on the top of the chip for other testing purposes.

参考文献：Yuki Oda, Tetsuya Iizuka, Toru Nakura, Kunihiro Asada, "Analysis of VLSI Power Supply Network based on Current Estimation through Magnetic Field Measurement" Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Cadence社 ASSURA, Synopsys社 HSPICE (RF), Keysight社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 5.0mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

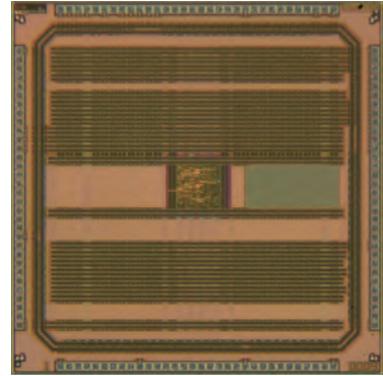


ニューロン動作を模擬したデジタル信号処理回路

東京大学VDEC 飯塚 哲也

概要：本試作では生体におけるニューロンの動作を模擬するデジタル信号処理回路の設計を行った。外部アナログ-デジタル変換器により与えられる16ビットのデジタル信号に対し、内部回路で生成したランダム雑音を意図的に重畳した後で多数回の比較を行う事により、雑音に埋もれた微弱信号を再生することが可能となる。雑音の生成には16ビットのLinear Feedback Shift Register (LFSR) によるPseudo-Random Bit Sequence (PRBS) 生成回路を用いている。本回路はデジタル回路のみで構成されており、小面積での実装が可能であるため複数個の並列実装が可能である。本施策においては動作検証のため単一のブロックを実装している。シミュレーションにより想定した動作を確認した。今後はアナログ-デジタル変換回路を同一チップ上に実装した統合チップ試作を検討している。

設計期間：0.1 人月以上, 0.5 人月未満 **設計ツール：**Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**マイクロプロセッサ

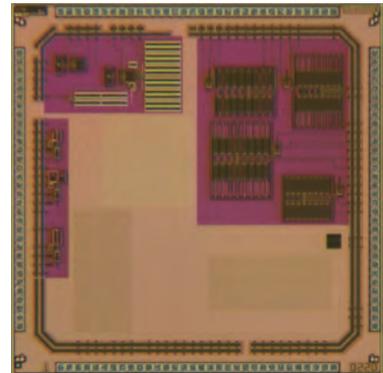


温度および電圧測定用リングオシレータ TEG ほか

立命館大学情報理工学部 坂野 達也, 鈴木 智之, 越智 裕之
立命館大学大学院情報理工学研究科 木村 知也, 宮川 尚之

概要：集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため、これを同一チップ上の回路の電源として利用すれば、エネルギーを自給自足する単一ダイのシステムが構築できると期待される。このチップにセンサ機能を持たせるため、本試作では0.5V程度の電源電圧で動作する3種類のリングオシレータなどを実装した。そのリングオシレータの1つは基準となるものであり、他の1つは基準リングオシレータと電源電圧特性だけが異なるもの、残りの1つは基準リングオシレータと温度特性だけが異なるものである。測定したところ、電源電圧および温度への感度があることが確認された。

設計期間：3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)



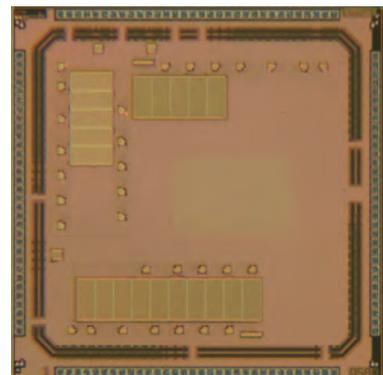
生体信号処理用増幅回路の試作

山梨大学大学院総合研究部 佐藤 隆英, 小川 覚美

概要：微細な生体信号を取得するための生体信号増幅回路の設計を行った。設計する生体信号増幅回路は、後段で独立成分分析を用いることを前提としている。独立成分分析では信号に含まれる信号源および雑音源の数以上の測定点の信号を用いることが信号の分離に必要となる。そのため、センサの次段に接続される増幅回路および信号処理回路も多数必要となり、増幅回路のチップ専有面積と消費電力の増大が問題となる。また、先行して試作を行った増幅回路ではその直流オフセットの大きさが問題となっている。試作チップでは、各増幅回路の参照電圧側の入力を複数の増幅回路で共通とすることでチップ専有面積および消費電力の低減を試みている。さらに、提案回路では3段構成としたうえで、各段の直流オフセット電圧を低減する構成を採用することで全体のオフセット電圧を低減しつつ、大きな電圧利得を実現している。また、増幅回路の直流電圧を自動的に制御するため自動利得調整回路を挿入し、入力電圧の大きさに応じた電圧利得の自動調整が可能である。

参考文献：荻野, 佐藤, 小川, “オフセット電圧調整を用いた大きな出力電圧振幅を有する生体信号増幅回路,” 平成29年電気学会全国大会, 講演論文集3-007, 第3分冊, pp.9-10, 2017年3月

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



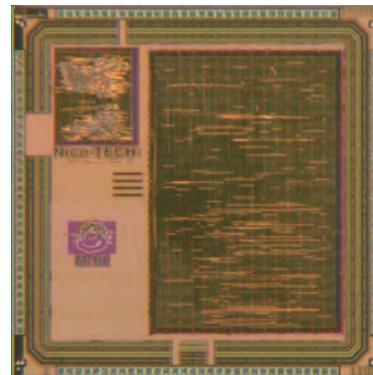
2-step 確率的 ADC ・ ARM cortex-M0

金沢大学自然科学研究科 今村 竜

金沢大学理工研究域 北川 章夫

概要： [2ステップ確率的 ADC] 確率的 ADC の高性能化と設計の自動化を目的として、入力レンジを決定するステップと精度を高めるステップを分けた2ステップ確率的 ADC を提案し、このアルゴリズムを用いて高性能化が達成できることを確認するためのチップ試作を行った。電圧比較器としてインバータ8個で構成される差動増幅器を使用し、論理合成ツールにより回路設計を行った。また、確率的 ADC は多量のコンパレータを必要とするため、HDLコードを自動生成するためのプログラムも作成した。コンパレータ数と変換精度の関係を調べるための評価回路を内蔵しており、変換精度はほぼ理論通りとなった。入力レンジを決定するステップにおいて必要となる内蔵 DAC が一部正常動作しなかったため、Rail-to-railの変換はできなかったが、2ステップ確率的 ADC の制御自体は正しく動作していることが確認されたため、教育用途に限定して HDL 生成プログラムを公開する予定である。 [ARM cortex-M0] 教育研究用のマイクロプロセッサコアとして使用するため、無料で提供されている ARM cortex-M0 の IP コアを、VDEC の製造プロセスで試作した。Lチカ (LED 点滅) のためのプログラムも実装しており、LED の点灯制御により動作確認ができる。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：その他



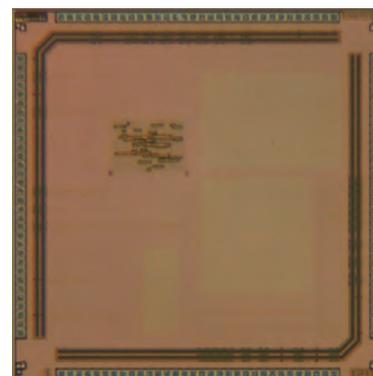
自動生成フローを用いて設計した確率的 AD 変換回路と MOS トランジスタ TEG

東京電機大学工学研究科電気電子工学専攻 湯本 涼介, 齋藤 匠

東京電機大学工学部 小松 聡

概要：集積回路の製造プロセスの微細化に伴い問題となっているトランジスタの閾値ばらつきに起因する、コンパレータのオフセット電圧を積極的に活用する確率的手法を用いた AD 変換回路を、設計者の与えた分解能や、面積、動作レンジなどの仕様に沿うように自動設計する為の、自動生成フローの検証を目的として、設計試作を行った。また、MOSFET の電圧電流特性の取得を目的とした TEG の試作も本チップで行った。チャンネル長とチャンネル幅のパラメータの異なる MOSFET を複数個設計した。両回路の測定結果を今後の研究にフィードバックする。

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



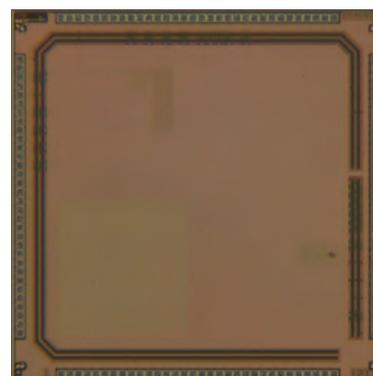
Coarse-Fine 型 Time to Digital Converter の試作

東京電機大学工学部第二部 須貝 淳平

東京電機大学工学部 小松 聡

概要：今回の試作は、Coarse-Fine 型 Time to digital converter (TDC) の構成を目的とした。高時間分解能かつ動作範囲の広い TDC の設計を目指した。TDC は時間差というアナログ量をデジタル値に変換する AD 変換器の一種である。電圧軸にアナログ量を持たせる AD 変換器の分解能は電源電圧に依存するが、TDC は時間差を用いるため電源電圧に分解能は依存しない。Coarse 側に Vernier 型 TDC を用いた。Fine 側に確率的 TDC を用いた。Vernier 型 TDC は二つの遅延バッファの遅延差が時間分解能となる TDC である。確率的 TDC はプロセスの製造ばらつきを利用する確率的手法を用いた TDC である。時間コンパレータとして SR ラッチを用いた。Vernier 型 TDC は四個の時間コンパレータを用いた。Fine 側の確率的 TDC は六十四個の時間コンパレータを用いた。Vernier 型 TDC で粗く時間デジタル変換を行い、確率的 TDC で細かく時間デジタル変換を行うことで、高時間分解能かつ動作範囲の広い TDC を構成できる。本試作では、Vernier 型 TDC と確率的 TDC をフルカスタムで設計した。フルカスタムで設計することで設計するために必要なノウハウを得ることができた。設計したチップの測定と評価は今後行う。

設計期間：0.5 人月以上、1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



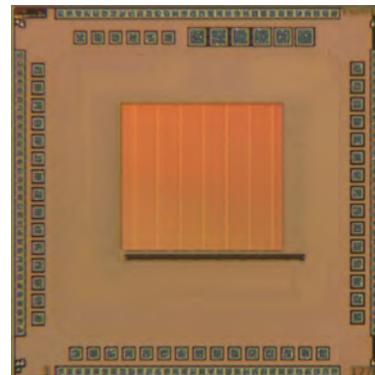
単一磁束量子/CMOS ハイブリッドメモリシステム試作 3

横浜国立大学工学部 今野 元, 安井 雄紀, 大熊 幸寛

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ 回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れた SFQ 論理回路による演算回路と集積性に優れた CMOS 回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能な SFQ/CMOS ハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した 8T-SRAM セルで構成されるメモリアレイ (容量 64-kb)、デコーダ、及び 21 個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的は CMOS アンプ部からメモリ部本体へと流れる短絡電流の除去であり、本試作チップでは METAL4 層での GND 拡張により低ノイズ化を図った。測定を行った結果、短絡電流の除去を確認し低ノイズ化に成功した。また、この低ノイズ CMOS メモリを用いて SFQ/CMOS ハイブリッドメモリの完全動作に向けた測定を行った。一部 CMOS メモリへの直接入力及び出力はあるが、全入出力にてハイブリッドメモリの正常動作を確認した。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ



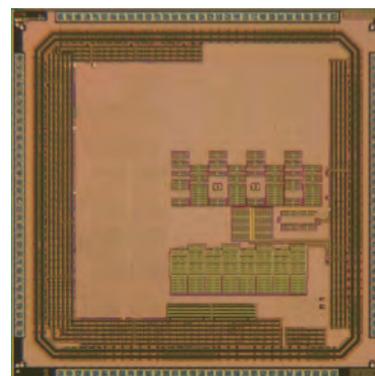
新規 PUF, TRNG 動作確認チップ

早稲田大学, 大学院情報生産システム研究科 篠原 尋史

概要：256bit CMOS SRAM PUF x4, 新規 256bit ラッチ形 PUF x8, 新規 ラッチ形 TRNG x4, 新規 インバータ形 TRNG x4, トランジスタアレイ TEG, Vref 回路

参考文献：Shiyu Liu, et al, IEICE SCIS (Symposium on Cryptography and Information Security) 2017, January 2017

設計期間：10 人月以上, 20 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 HSPICE, Mentor 社 Calibre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：その他

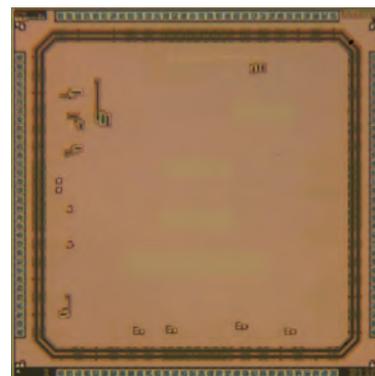


ニューラルネットワーク用モジュールの試作

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, ヒメネス ベハラノ ディアナ エリザベス, 岩切 達也, 戸泉 孝太

概要：現在、生体の脳が持つ優れた情報処理アルゴリズムを工学的に応用するために、生体の神経細胞やシナプスと同様の働きを模擬したネットワークを構築する研究が盛んに行われている。我々の研究室では、標準的な CMOS プロセスのみで構成可能なニューロンモデルを提案しており、低面積化や低消費電力化、ノイズによる影響、高速動作によるしきい値電圧への影響などについて検討を行っている。今回、これらに対して個別に測定を行うため、低面積化を目指したニューロンモジュール、ノイズ検討用ニューロンモジュール、しきい値電圧検討用ニューロンモジュールの実装を行った。また、シナプスの結合荷重値保存用の多値メモリモジュールおよび Central Pattern Generator 用の PWM 生成モジュールについても実装を行った。

設計期間：3 人月以上, 4 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Cadence 社 Dracula, Cadence 社 ASSURA, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

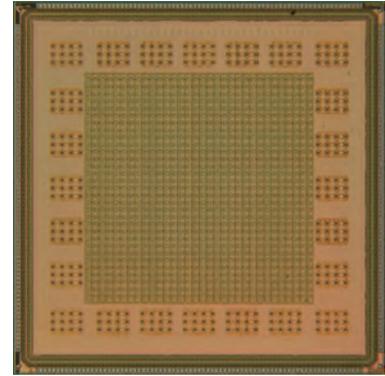


アクティブマトリクス駆動アナログセルラニューラルネットワーク

木村 睦

概要：アナログセルラニューラルネットワークの試作として、32x32個のニューロンを備えたチップである。これにシナプス素子を接続することで、アナログセルラニューラルネットワークが完成する。人工知能は、未来社会の中核技術として、おおいに期待されている。しかしながら、現在の人工知能は、超ハイスベックなノイマン型コンピュータで実行される長大で複雑なプログラムで実現されている。このため、巨大サイズ・ハードウェアのハイスベックのわりに低速・非ロバスト性・高消費電力などが課題である。本試作は、ハードウェアのみで実現される脳型集積システムの研究開発を行い、超コンパクト・高速・ロバスト性・低消費電力などを実現しようという試みである。こういった脳型集積システムは、自律型の人工知能として、従来の応用・IoT・ロボットなどへの搭載が期待できる。なお、前回のチップが、直結アクセス型であったのに対して、今回のチップは、アクティブマトリクス型で、マルチプレクサ機能によりすべてのニューロンにアクセスできるようになっている。

設計期間：3 月以上、4 月未満 **設計ツール：**Cadence 社 Virtuoso, Synopsys 社 HSPICE (RF) **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別：**ニューテクノロジー

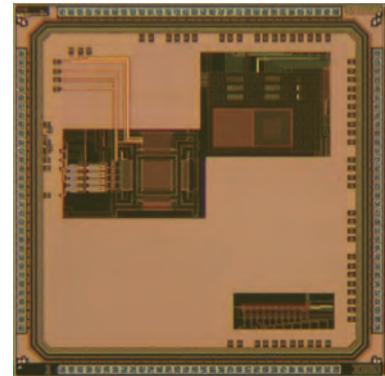


低暗電流型イメージセンサの特性評価用 TEG

茨城大学工学部 木村 孝之

概要：標準 CMOS 製造プロセスではソース、ドレインを構成する拡散領域と基板により pn 接合を形成しフォトダイオードを実現する。CMOS イメージセンサを製造する専用プロセスではこのフォトダイオードを埋め込み型で構成することで暗電流の低減を実現している。本研究では標準 CMOS 製造プロセスで形成するフォトダイオードにおける暗電流の低減を実現するために、その発生原因となる Si-SiO₂ 界面の面積を最小化したフォトダイオード構造を提案し、その TEG を設計した。Si-SiO₂ 界面の面積は Enclosed Layout Transistor (ELT) 構造をフォトダイオードに応用することで最小化した。フォトダイオードは最大 15 μ m 角の大きさで 16 \times 16 個をアレイ状に配置した。また読み出し回路は Active Pixel Sensor (APS) 型とした。現在、評価中であるため信頼性の高い測定値は無いが、2012 年度と同程度の低暗電流化は実現出来ている。

設計期間：1 月以上、2 月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

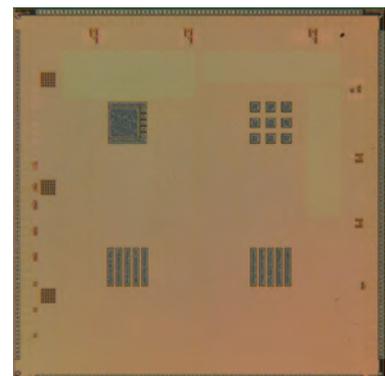


CMOS オンチップ電気化学バイオセンシングチップ

立命館大学理工学部 宇野 重康

概要：本チップは、CMOS チップ上に配置された電極を用いてバイオセンシングすることを目的としたものである。チップ上には最上層メタルが露出したものがあり、電極表面にはグラフェインクを塗布乾燥してカーボン電極層を形成し、これが電気化学反応に起因する電流を検出するセンサーとなる。またこのような電極を用いることにより、電気化学インピーダンス測定が可能であることを実験により確認した。今回のチップでは従来のもの比べてより微細な電極アレイ上に配置し、クロマトグラフィペーパーと組み合わせることにより、今まで以上に複雑な構造での電気化学現象を活用したインピーダンスセンシングを行える見込みである。本チップには、従来の試作で動作検証済みの低消費電力オペアンプ複数個に加え、これらを組み合わせたポテンショスタットと計装アンプも実装している。いずれも基本的な正常動作を確認しており、今後はチップ上電極と組み合わせたバイオセンシングに活用することができる見込みである。

設計期間：2 月以上、3 月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm 角チップ **チップ種別：**その他



遅延故障検査容易化回路およびIC間配線の電氣的検査容易化回路の試作

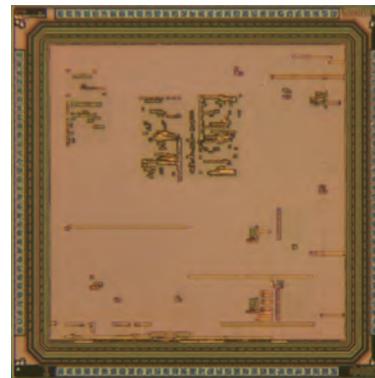
徳島大学大学院先端技術科学教育部 伊喜利 勇貴, 掛江 庸平, 大谷 航平, 河口 巧,
河塚 信吾, 藪井 大輔

徳島大学大学院理工学研究部 四柳 浩之, 橋爪 正樹

概要：遅延故障の検査容易化回路2種、IC間断線の検査容易化入力保護回路、オンライン電気テスト回路、注入電荷量による電流テスト回路の5種の検査容易化回路を試作した。

1) パス遅延の検査を目的とし、遅延検出回路をスタンダードセル化した回路を設計した。2) 3次元積層ICのダイ間配線の遅延故障検査を行うため、3次元積層ICを想定して遅延故障検査回路を組込んだバウンダリスキャン回路を設計し、動作検証を行った。4) IC間断線検査のための検査容易化I/Oセルを設計し、動作検証を行った。3) 電子機器の市場への出荷後におけるIC間配線のテスト法として、バウンダリスキャンテスト回路を流用するオンライン電気テスト回路を設計し、動作確認と断線故障の検出可能性調査を行なった。5) 注入電荷量による電流テスト回路を用いた検査におけるタイミングウィンドウの有効性調査のため、検査回路及び被検査回路を設計し、断線故障の検出可能性調査を行った。

設計期間：6人月以上、7人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICSimulator, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ
チップ種別：TEG (特性評価回路など)

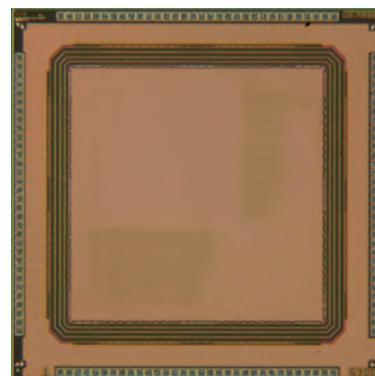


電源スタック型回路構造用新コーディング回路および、レシオレスSRAMを用いたT-CAM回路

九州工業大学大学院情報工学府 アリムディン モハマド, 山口 翔吾, 西方 大輔,
中村 和之

概要：電力を有効利用できる回路技術として、回路を電源電方向にスタック接続する構成を検討している。これまでI/Oバッファのスイッチング数をコーディング回路で制御し、消費電流を上下段の回路で揃える方式を提案してきた。今回、新たなコーディング方式として、適応型バス反転方式を検討している。実際に試作し測定結果を得ることで、その有用性を定量的に評価することを目的としている。また、本研究室で提案したレシオレスSRAMセルを、3値連想メモリ回路(T-CAM)の記憶セルへ応用したレシオレスT-CAM回路を設計した。レシオレスSRAMは、低電源電圧下での信頼性の高い動作を可能とするもので、実際に試作LSIを開発し、その動作を実測することで、その有用性を証明することを本試作LSIの目標としている。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



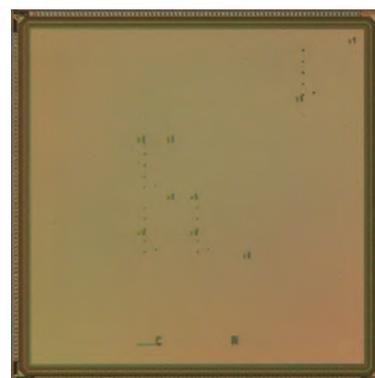
3次元積層LSIにおける発熱温度解析に向けたチップ

芝浦工業大学理工学研究科 安田 匠吾

芝浦工業大学工学部 宇佐美 公良

概要：本チップは3次元積層チップの電力消費に伴う発熱と、チップ温度の過渡解析を目的としたチップである。消費電力量による発熱温度の差や、発熱回路の位置による温度上昇の差や温度分布の時間的変化を解析するため、4つの発熱回路と9つの温度モニタ回路を搭載している。発熱回路にはリングオシレータ回路をベースとし、電力消費のみを目的とした回路を搭載しており、入力信号によって稼働する回路の数を制御することが可能である。また温度モニタ回路には、チップ上でリーク電流をモニタする回路をベースとして、温度変化に伴うリーク電流量の増加からチップ温度を測定する回路を搭載した。また、入出力ピン数削減のため、内部に2つのマルチプレクサを搭載している。また、テストによる測定は無し。

設計期間：4人月以上、5人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICSimulator, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 HSIM トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：TEG (特性評価回路など)



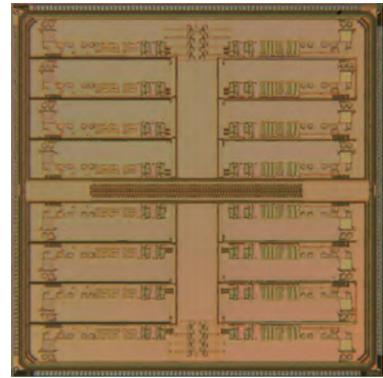
0.18 μ m CMOS プロセスを用いた低ノイズ 16ch パッチクランプシステム

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学理工学研究科 久保 勝弘, 高坂 太郎, 伊藤 孝太

概要：現在、電気生理学の分野において神経細胞によるイオン電流を測定することが盛んに行われている。この神経信号を測定することで神経疾患の治療に貢献するだけでなく、ブレインマシンインタフェース技術と呼ばれる、脳と機械間の双方向通信技術の応用にも期待されている。我々はこのイオン電流を測定する手法の1つであるパッチクランプ法のためのLSIシステムの設計を行っている。我々が目指すシステムが16チャンネルパッチクランプシステムであるため、今回のチップでは、5mm角のチップ内に16チャンネルのシステムを載せた。1月に作成したチップの評価結果からレイアウトの修正を行い、所望の帯域内で動作する低ノイズパッチクランプの作成を行った。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 ICOMPILER, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Keysight社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



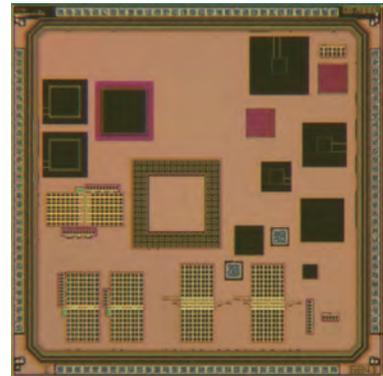
自立動作可能 LSI チップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学理工学研究科 南 快優, 五十嵐 一真

概要：現在、自立動作可能な LSI チップのための、電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を 1V 以上に昇圧することで様々なアプリケーション回路の動作を目指す。これまでの試作で電源回路に関して目標の 1V 以上の出力を達成している。本試作では更なる昇圧率向上を目指し、昇圧回路として用いているクロスカプル型チャージポンプの改良版を設計した。これまで設計したクロスカプル型チャージポンプ回路はあるタイミングで電荷が逆流してしまい、結果的に昇圧率が下がってしまうという問題があった。そこで、改良版では新たに MOS, クロックの種類を増やすことで逆流が起こらないように設計した。また、ダミーメタルが太陽電池の効率に与える影響を調べるため、ダミーメタルの面積が異なる太陽電池を複数設計した。更に、単一チップでのアプリケーション回路の動作の実現に向け、間欠動作回路の改良版を設計した。これは高い電力が必要な通信用回路向けに用いられる。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

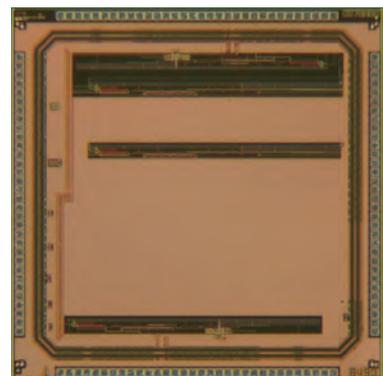


インピーダンス計測検証用回路

静岡大学工学部 二川 雅登

概要：計測対象の抵抗・容量を効率よく計測できる回路構成を目指し、設計をすすめている。インピーダンス計測部の容量値が実測時に影響を及ぼしてしまうため、除外できるような機構を提案し本試作で検証を行っている。計測対象は土や水を想定しており、抵抗成分、容量成分共に大きなダイナミックレンジが必要となるため、それを補うための回路特性が必要となる。特に、オペアンプの周波数特性が回路全体の出力特性に影響を及ぼすため、オペアンプの特性の見極めを行った。本試作では、電源やスイッチ、増幅器に分けて設計を行い、各部の動作検証を行った。電源部、スイッチ部については要求仕様どおりの特性を得ることができた。増幅器については、設計どおりの特性を得られたものの、計測対象の測定必要範囲が想定以上に大きかったため、要求仕様に対しては未達となった。試作各部を統合させた本体回路においては、一部特性未達の部位があるため、基本的な動作確認・検証を行っているところである。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ASSURA, Cadence社 Spectre トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ





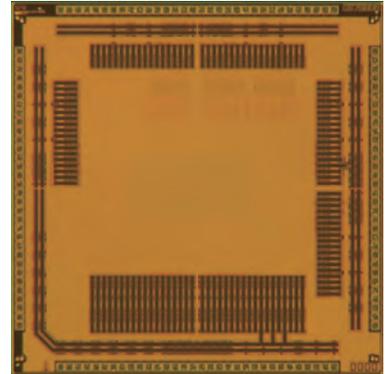
平成28年度第3回ローム CMOS 0.18 μ m 試作 (R018163)

インスツルメンテーション・アンプ TEG 1

東京大学 VDEC 名倉 徹

概要：IoT 技術の広がりにより、これまで情報、および通信分野で使用されてきた LSI のアプリケーション先が様々な分野へと広がっている。近年注目されている IoT アプリケーションの有望な応用先として、生体信号を常時モニタリングしてそのデータを取得し、そのデータに基づいたヘルスケアアプリや、病期診断への応用などが注目されている。本チップでは、筋電測定用の Instrumental Amplifier を試作した。生体信号は着目する周波数が数 Hz ～数百 Hz であり、一般的なオペアンプとは一味違った考え方が必要となる。本チップでは、外部と直接接続する端子の ESD 回路の違いを見るための TEG や、オフセットキャンセル回路の TEG、さらに、ローパスフィルタ、ハイパスフィルタ等の TEG、基準信号発生回路、50Hz/60Hz ノイズ除去回路など、生体信号を取得するための基本回路特性を見るための TEG を多数搭載している。

設計期間：0.5 人月以上，1 人月未満 設計ツール：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC (XT)，Synopsys 社 HSPICE (RF) トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

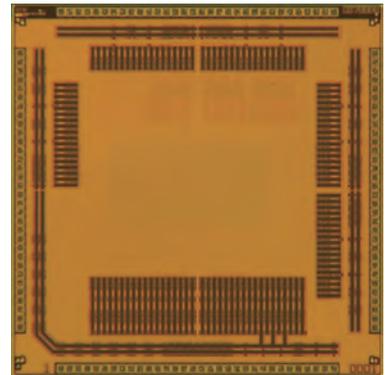


インスツルメンテーション・アンプ TEG 2

東京大学 VDEC 名倉 徹

概要：IoT 技術の広がりにより、これまで情報、および通信分野で使用されてきた LSI のアプリケーション先が様々な分野へと広がっている。近年注目されている IoT アプリケーションの有望な応用先として、生体信号を常時モニタリングしてそのデータを取得し、そのデータに基づいたヘルスケアアプリや、病期診断への応用などが注目されている。本チップでは、筋電測定用の Instrumental Amplifier を試作した。生体信号は着目する周波数が数 Hz ～数百 Hz であり、一般的なオペアンプとは一味違った考え方が必要となる。本チップでは、外部と直接接続する端子の ESD 回路の違いを見るための TEG や、オフセットキャンセル回路の TEG、さらに、ローパスフィルタ、ハイパスフィルタ等の TEG、基準信号発生回路、50Hz/60Hz ノイズ除去回路など、生体信号を取得するための基本回路特性を見るための TEG を多数搭載している。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC (XT)，Synopsys 社 HSPICE (RF) トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



3-3

66

第3章

チップ試作報告

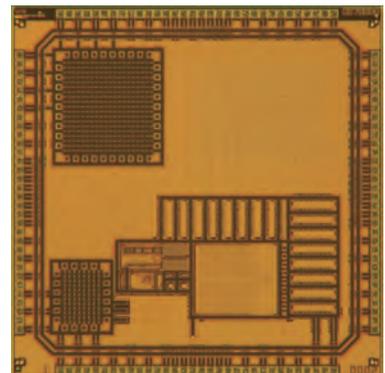
抵抗による三角波状動的電荷注入回路

東京大学 VDEC 名倉 徹，飯塚 哲也，浅田 邦博

東京大学工学系研究科 鹿野 真弘

概要：近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とする。よってこの面積コストを低減するために、これら電源ノイズをオンチップで検知し動的に電荷を注入する回路を設計した。ノイズの大きさを決定するパラメータのほとんどが設計及びシミュレーション段階で決まることを利用し、事前に注入電荷量を決めておき、ノイズを検出した段階で注入を始める、という回路を設計した。具体的には、Delay Locked Loop と Vernier Time-to-Digital Converter の2つを組み合わせた電圧ドロップ検出回路、注入電荷量を制御する注入コントローラ、外部電源から実際に電荷を引き込む抵抗回路を実装した。電荷の注入に PMOS パストランジスタを用いることでノイズ低減と同時に小面積化を図り、シミュレーションでは約 33% のノイズ低減を従来のパッシブデキャップと比較して約 50% の面積で実現した。このシミュレーション結果を実証するためのテストチップである。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 NCVerilog，Synopsys 社 DesignCompiler，Synopsys 社 ICCompiler，Cadence 社 Virtuoso，Mentor 社 Calibre，Synopsys 社 StarRC (XT)，Synopsys 社 Hercules，Synopsys 社 HSPICE (RF) トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ混載



抵抗による三角波状動的電荷注入回路

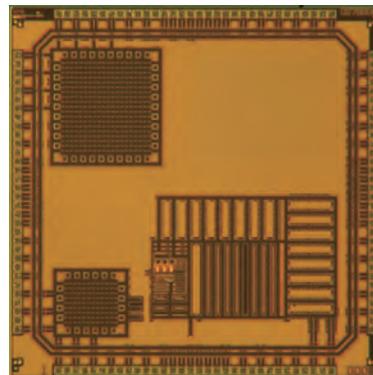
東京大学 VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

東京大学工学系研究科 鹿野 真弘

概要：近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデキャップが用いられるが、大きな容量を得るには大きな面積を必要とする。よってこの面積コストを低減するために、これら電源ノイズをオンチップで検知し動的に電荷を注入する回路を設計した。ノイズの大きさを決定するパラメータのほとんどが設計及びシミュレーション段階で決まることを利用し、事前に注入電荷量を決めておき、ノイズを検出した段階で注入を始める、という回路を設計した。具体的には、電圧比較器を用いた低消費電力かつ高速な電圧ドロップ検出回路、注入電荷量を制御する注入コントローラ、外部電源から実際に電荷を引き込む抵抗回路の3つを実装した。電荷の注入に PMOS バストランジスタを用いることでノイズ低減と同時に小面積化を図り、シミュレーションでは約33%のノイズ低減を従来のパッシブデキャップと比較して約10%の面積で実現した。このシミュレーション結果を実証するためのテストチップである。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICompi-
ler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF)

トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載



クイックスタート機能付きパルス幅制御位相同期回路

東京大学工学部 加賀谷 司

東京大学 VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要：PLL はフィードバック制御を行うことで周波数通倍の機能を有する回路だが、フィードバック制御を終えて安定した出力を得るまでに時間がかかるという特徴を持つ。この時間のことをロック時間と呼び、PLL の性能を表す一つの指標となっているが、本試作ではパルス幅制御位相同期回路 (PWPLL) を用いてロック時間が短いクイックスタート機能を持たせた PLL を作成した。クイックスタート機能はシステムの毎起動時の活動時間が短い IoT 機器やウェアラブルなどにおいて、そのシステムの起動時間を短くすることができるため、結果として低消費電力とともにシステムの省電力化を達成する重要な機能となっている。今回作成したチップでは PLL ロック時の周波数コントロールパラメーターと位相を記憶し、次回起動時に初期値として設定することでフィードバック開始時から PLL ほぼロック状態に置くことができるように設計を行った。実測の結果、起動時には僅かな周波数エラーおよび位相エラーでフィードバックを開始できおり高速起動が実現されていることが確認された。

参考文献：Toru Nakura, Kunihiko Asada, "Low Pass Filter-less Pulse Width Controlled PLL Using Time to Soft Thermometer Code Converter", IEICE Trans. Electronics, Vol. E95-C, No. 2, pp. 297-302, March 2012.

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

フリップチップ基板検証用マイクロストリップ線路

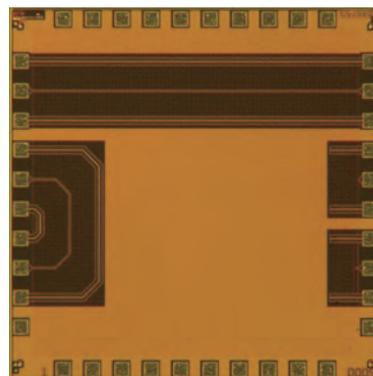
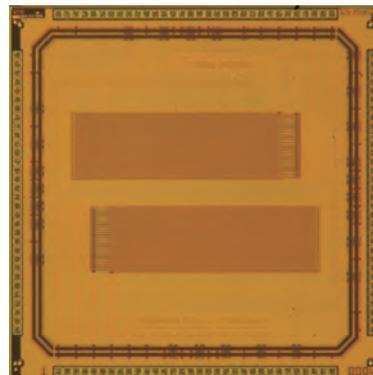
東京大学工学系研究科 Kanjanavrojkul Parit

東京大学 VDEC Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹

浅田 邦博, , ,

概要：長さが異なっている二つの 50 オームマイクロストリップ線路とショートおよびオープンパッドがチップ上に配置される。このチップはフリップチップ実装用の標準 PCB ボード上の高周波信号パスの検証に使用される。信号は GSG 構成でボードからチップに送信される。線の寸法は 50 オームの特性インピーダンスの EM シミュレーションによって確認された。最下位の金属は設計ルールを満たすスロットパターンを備えたグランドプレーンとして使用される。S パラメータはボード端子から測定されオンボードの伝送損失を評価するために使用される。マイクロストリップラインのシミュレーション結果は準備されたショートパターンとオープンパターンを使用してフィクスチャデエンベディング測定によって確認される

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)



フリップチップ実装用・高分解能パルス縮小型時間-デジタル変換器

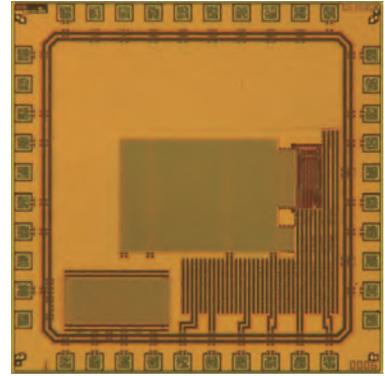
東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 古賀 丈尚, 榎本 隆一

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器

(TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。フリップチップ実装用にパッド配置の変更を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載



高分解能パルス縮小型時間-デジタル変換器

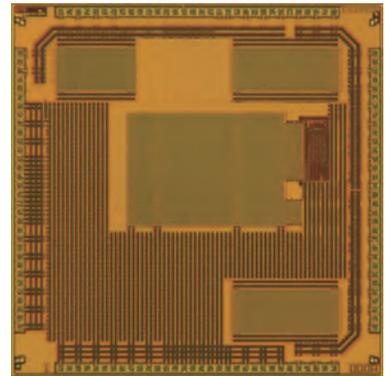
東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 古賀 丈尚, 榎本 隆一

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器

(TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載



高分解能パルス縮小型時間-デジタル変換器

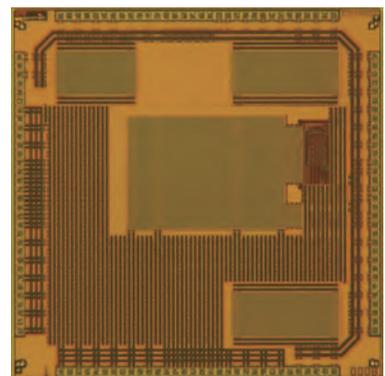
東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 古賀 丈尚, 榎本 隆一

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器

(TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載

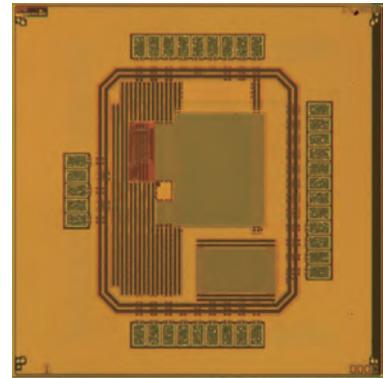


高分解能パルス縮小型時間-デジタル変換器

東京大学 VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博
 東京大学工学系研究科 古賀 文尚, 榎本 隆一

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDC の線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。また、ボンディングワイヤのインダクタンスを考慮し、電源接続の最適化を行った。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載

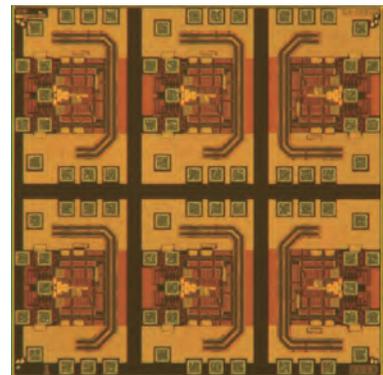


デカップリングコンデンサを追加した電流インパルス励起回路

東京大学工学系研究科 Kanjanavrojkul Parit
 東京大学 VDEC Mai-Khanh Nguyen Ngoc, 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：このチップは低電力検出アプリケーション用の電流モード UWB パルスジェネレータの一部である。この回路は NMOS を介しキャパシタを急速充電することによって非常に短い電流インパルスを生じる。この短いインパルスは、オフチップ伝送線路共振器を励起してパルスを生じる。回路は、バッファ段、遅延コントローラ、エッジシャープディレイラインから構成されている。電流モード手法では寄生容量による損失と励起回路のサイズを低減している。したがってこの技術は低消費電力で効率的な UWB パルス生成を可能にする。このチップはダイシングされフリップチップボンディングによって石英基板上の伝送線路共振器に集積される。目標パルス中心周波数はチップ製造後伝送線長によって決定することができる。石英基板上のグラウンド変動を抑制するためもっと大きなデカップリングコンデンサを整えている。

設計期間：0.5 人月以上, 1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)

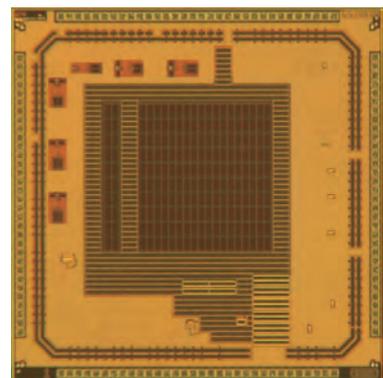


2 段昇圧型チャージポンプ回路 TEG ほか

立命館大学大学院情報理工学系研究科 木村 知也, 宮川 尚之
 立命館大学情報理工学部 坂野 達也, 越智 裕之

概要：集積回路上に PN 接合ダイオードを形成して光を照射すると太陽電池として機能するため、これを同一チップ上の回路の電源として利用すれば、エネルギーを自給自足する単一ダイのシステムが構築できると期待される。本試作チップは、単一のオンチップ太陽電池セルから得られる 0.5~0.6V 程度の電圧を効率よく昇圧するための回路などを搭載した TEG である。昇圧回路は 2 段構成になっており、(1) 0.5~0.6V 程度の入力電圧で動作する電圧変動の影響を受けにくいリングオシレータ及びバッファ、(2) それにより駆動される前段のチャージポンプ回路、(3) そこで得られた閾値電圧以上の電源を用いてクロック振幅を変換するレベルコンバータおよびバッファ、並びに (4) そのクロックを用いて目的の出力電圧を得る後段のチャージポンプ回路からなる。現在、測定準備中である。

設計期間：3 人月以上, 4 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載



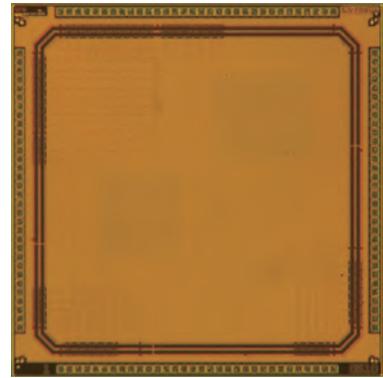
ハミング距離検索機能付き CAROM

東海大学情報通信学部 福原 雅朗, 平谷 真之, 杉山 健太郎, 恩地 夏央, 藏野 貴教

概要: ハミング距離検索機能付き内容照合メモリ (CAROM: Content Addressable ROM) は, 入力データと記憶データ間のハミング距離を用いて判定を行うことで, 完全一致検索だけでなく, 曖昧検索ができる. この CAROM はチップの試作や評価が行われておらず, 理論通り動作するのか確認されていない. 我々は, この CAROM の動作の検証を行うにあたり試作を行った. 今回試作したのは4ビット5ワードからなる CAROM セルアレイと, 参照ハミング距離設定回路, 比較判定回路で構成されている. CAROM セルアレイでは, 入力データと記憶データ間のハミング距離に応じた, 一致線電圧を生成する. 参照ハミング距離設定回路では, ユーザーが任意に設定したハミング距離に応じた, 照線電圧を生成する. 最後に比較判定回路において, 一致線電圧と参照線電圧の大小関係を比較することにより, 入力データと記憶データ間のハミング距離が, 任意に設定したハミング距離以内であるかの判定結果を出力する.

参考文献: [1] 近越, 濱田, 吉田, 鈴木, "ハミング距離検索機能を有する CMROM の照合特性", 電子情報通信学会論文誌 C, Vol. J83-C, No. 7, pp. 658-659, 2000年7月.

設計期間: 6 人月以上, 7 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Cadence 社 Diva, Synopsys 社 HSPICE (RF) **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** メモリ



SRAM 型確率的 ADC

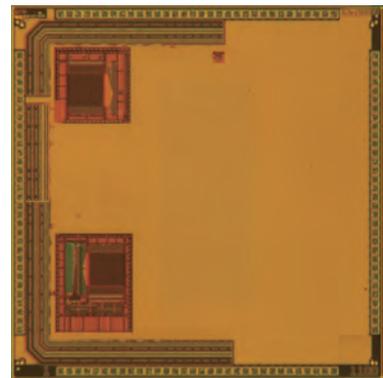
金沢大学自然科学研究科 今村 竜

金沢大学理工学域 Ahola Roope

金沢大学理工研究域 北川 章夫

概要: 確率的 ADC の分解能は, コンパレータの電圧比較精度には依存せず, コンパレータ数の対数に比例することが知られている. このことを考慮し, 書き込み動作時の SRAM セルをコンパレータとして利用することにより高精度を達成できる可能性がある. このアイデアが正しいことを検証するためのシミュレーションでは, 理論通りの ENOB が達成されることが解ったが, メモリセル特性の一樣性が保証できないメモリセルアレイへの実装が可能であるかどうかを確認するために, コンパレータとして使用できる SRAM コア, SRAM 制御回路, 確率的 ADC の試作を行った. 使用する SRAM のセルアレイを選択することにより, コンパレータ数 (同時に動作させる SRAM セル数) と分解能の関係を調べられるようにした. 残念ながら, アレイ内の SRAM セルがコンパレータとして正常動作しなかったため, 多数のコンパレータを同時に動作させることができるプリチャージ制御回路とドライバの再設計を計画している.

設計期間: 2 人月以上, 3 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT) **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



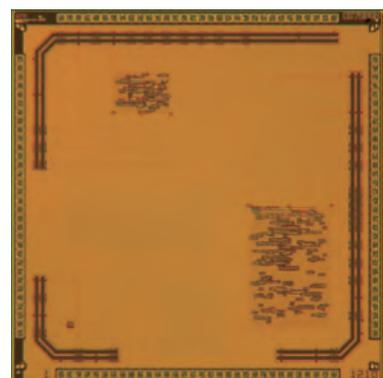
CMOS イメージセンサ

東京電機大学工学研究科電気電子専攻 松浦 爽平

東京電機大学工学部 小松 聡

概要: 研究する回路の実際の回路特性を測定することに加え, CMOS 0.18 プロセスの設計フローを検証するために, 試作を行った. 試作した回路は, イメージセンサ回路の 1 画素だけの回路である. 本回路の試作によって, CMOS デジタル集積回路設計の DRC, LVS といった設計フローの検証に加え, 0.18 μ m プロセス特有の設計に係るノウハウを得ることができた. イメージセンサ回路は, リセットトランジスタ, 選択トランジスタ, アンプ, バイアス電圧のためのトランジスタ, フォトダイオードで構成している. イメージセンサのフォトダイオード部分は, リセットトランジスタのソースの PN 接合面である. PN 接合面がフォトダイオードの受光部となっており, 開口率が大きいほど感度は良くなる. したがって PN 接合面の面積をなるべく大きくするようレイアウトした. 受光部以外のトランジスタに光が当たり動作に影響を与えないよう, 受光部以外にはメタルを被せ, 光を遮断するようレイアウトした. 測定は, 照度計を用いて, イメージセンサ回路に当たる光の強さを測定しながら出力の変化を確認した. 測定結果は, 1 画素ではあるが光の強さに応じて出力が変化していることが確認でき, イメージセンサ回路が動作していることが確認できた.

設計期間: 0.5 人月以上, 1 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)



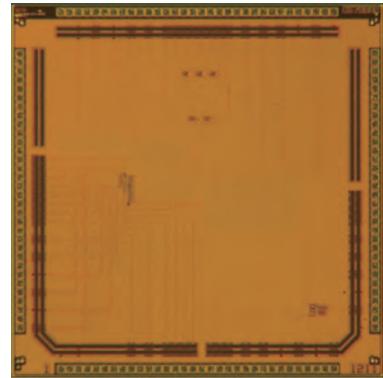
静電容量式 MEMS センサを対象とした C/V 変換回路の試作

東京電機大学東京電機大学工学研究科電気電子工学専攻 横井 貴也, 成岡 謙悟

東京電機大学工学部 小松 聡

概要：近年、静電容量式 MEMS センサはスマートフォンなどの通信機器に欠かせない存在となっている。それと同時に MEMS センサの小型化、高性能化、低消費電力化が求められており、これらの要求を満たす手法として MEMS と CMOS 回路を融合させた集積化 MEMS が注目されている。そこで、我々は静電容量型 MEMS 加速度センサと CMOS 回路の融合化を目指す研究を行っている。集積化 MEMS を製作する上で静電容量型 MEMS 加速度センサの他に、容量-電圧変換回路が必要となる。今回は差動容量型センサ素子を対象とした C-V 変換回路を試作した。動作としては二端子における MEMS 加速度センサの容量差に対し、アナログ電圧値を出力する仕組みになっている。各センサ容量部分のコンデンサにおいて基準電圧に対して $\pm V$ を付加した電圧で充電し、各容量値における電荷 Q の差から電圧値を検出する。また、検出された出力値をサンプルホールド回路によって保存することで、リセット動作時にも出力を検出できるようにしている。今回の試作では、容量変化における出力変化の精度を測定するため、同じ大きさの容量を並列に構成し、アナログスイッチによって両センサ容量部分の変化を擬似的に実現させている。

設計期間：0.1 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

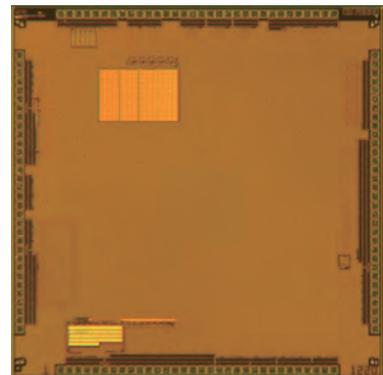


0.18 μ m CMOS プロセスを用いたアナログ回路 TEG

広島工業大学工学部/電子情報工学科 升井 義博

概要：近年では IoT の研究・開発・実用化に伴い、無線センサーネットワークの利用が開始されつつある。最近の無線センサーネットワークでは信号通信用の配線だけでなく、電源配線の無線化もすすみつつある。そこで、本試作ではエネルギーハーベストを電源とし、無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った。低電圧駆動、低消費電力というテーマで 0.18 μ m CMOS プロセスを用いたアナログ回路 TEG として以下の回路の試作を行った。ブートストラップ及び基板バイアス効果を用いた低電圧発振回路、デジタルスタンダードセルと自動レイアウトツールを用いた 5bit フラッシュ型 AD 変換器、CMOS ダイオードを利用した低電圧用多相整流回路、弱反転領域を利用したエネルギーハーベストのための低電圧参照電源回路、差動型 DFF とクロックゲーティングを利用した低消費電力 8bit 逐次比較型 AD 変換器、インバータをベースとした FF 型 $\Delta\Sigma$ 型 ADC, PLL (Phase Locked Loop) .

設計期間：10 人月以上 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

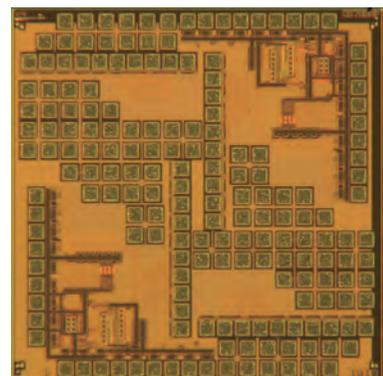


容量型湿度センサを用いた発汗センサテストチップ

信州大学工学部 三谷 勇介, 上倉 宇晴, 宮地 幸祐, 上口 光

概要：汗の把握に非常に有益な情報であり、発汗量をモニタすることにより、これらの症状を的確かつ迅速に検出することができる。本試作においては、静電容量型の湿度センサの容量変化を正確に計測する回路をワンチップ化した。周期変調手法を用いた積分型 AD コンバータ回路で容量変化を時間情報に変換し、これらを平均化し、参照容量とオフセット容量を差し引くことで、肌を通過する前後の湿度変化を計測する。また、容量の充電に使用するための参照電流と、AD コンバータに用いる参照電圧を正確に生成する、バンドギャップ参照電圧、電流源回路も搭載している。試作した TEG は、面積 0.72mm² に収まっている。また、本チップには今後の試作を見据えて以下の回路を搭載している。温度センサに用いるために、バンドギャップ参照電源回路の単体回路、ダイオード単体 TEG、ディープ Nwell の NMOS 単体デバイス、などである。本チップは 3 月末に納品され、これから恒温、恒湿槽や FPGA を用いて測定予定である。

設計期間：5 人月以上, 6 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QRC, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, Keysight 社 ADS トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



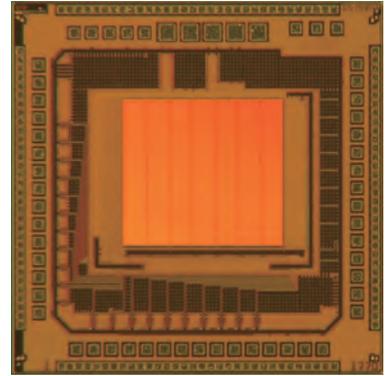
単一磁束量子/CMOSハイブリッドメモリシステム試作 4

横浜国立大学工学府 今野 元, 安井 雄紀, 大熊 幸寛

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的はCMOSアンプ部からメモリ部本体へと流れる短絡電流の除去であり、本試作チップではMETAL4, 5層でのGND拡張により低ノイズ化を図った。測定を行った結果、短絡電流の除去を確認し低ノイズ化に成功した。また、この低ノイズCMOSメモリを用いてSFQ/CMOSハイブリッドメモリの完全動作に向けた測定を行ったが、正常動作を得ることはできなかった。1チップのみしか評価が行えていない為、今後も測定による評価を行っていく必要がある。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



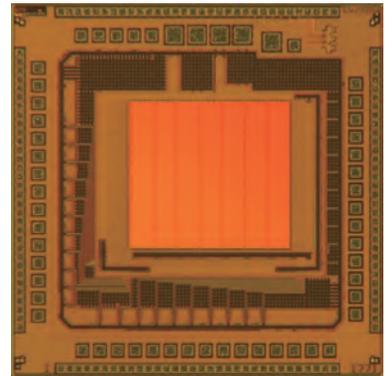
単一磁束量子/CMOSハイブリッドメモリシステム試作 5

横浜国立大学工学府 今野 元, 安井 雄紀, 大熊 幸寛

横浜国立大学大学院工学研究院 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。目的はCMOSアンプ部からメモリ部本体へと流れる短絡電流の除去であり、本試作チップではMETAL4, 5層でのGND拡張、及びガードリングによるCMOSアンプ部の囲い込みにより低ノイズ化を図った。測定を行った結果、短絡電流の除去を確認し低ノイズ化に成功した。また、この低ノイズCMOSメモリを用いてSFQ/CMOSハイブリッドメモリの完全動作に向けた測定を行った。全入出力にてハイブリッドメモリの正常動作を確認、つまり完全動作実証に成功した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ

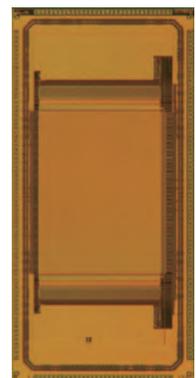


一定画素間隔で蓄積時間制御可能なCMOSイメージセンサ

東京理科大学工学研究科 古坂 拓朗, 繁森 祥吾, 田中 亮祐, 野村 昂平, 浜本 隆之

概要：本チップは、VDEC環境下でのチップ設計の基本技術を習得するため、2013年度に試作した256×256画素のイメージセンサをベースに設計された。一定画素間隔で蓄積時間制御を行うことにより、異なる撮像特性の画像を同時に取得し、後段信号処理と組み合わせることで高品質な画像を取得することを目指す。本チップは縦320×横240画素のイメージセンサで、標準的な3トランジスタ構成の画素回路に、行方向のリセット制御を行うための行選択トランジスタが追加された4トランジスタ構成の電圧APS型フォトダイオードアレイにより構成されている。垂直走査回路および水平走査回路には行または列の読み飛ばし機能が備わっており、一定間隔でリセットや読み出しを行う行または列を読み飛ばすことにより、一定画素間隔での蓄積時間制御が可能である。列ごとの読み出し回路には、コンパレータおよびラッチ回路により構成される8bitシングルスロープ型AD変換器を備え、AD変換前のアナログ信号とAD変換後のデジタル信号を同時に出力する。現在、実機評価を行っており、一定画素間隔で異なる露光時間・異なるフレームレートで撮像可能であることを確認している。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm×5.0mmチップ チップ種別：イメージセンサ/スマートセンサ



ゲイン及び波帯切替可能な生体信号処理用 LSI

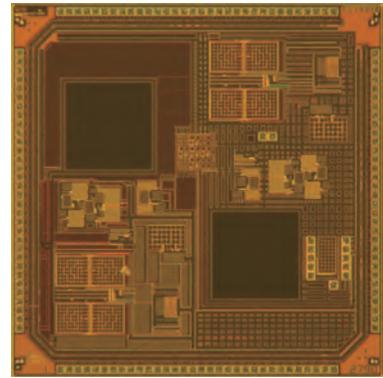
東北大学医工学研究科 田中 徹, 下川 賢士

長崎総合科学大学工学研究科 清山 浩司, 西野 悟

東北大学工学研究科 伊藤 圭汰, 宇野 正真, 竹澤 好樹, 銭 正ヨウ

概要：近年，WHO（World Health Organization）は心臓血管疾病を癌と並ぶ「Top-killer」として報告している。疾病による脈拍の上昇は心臓と血管に多大な負荷を与える。また，運動中の脈拍上昇も心臓および血管に負担を与える。このように脈拍は健康に大きな影響を与えるため，日常的に脈拍をモニタリングすることが望ましい。そこで我々は日常的な脈拍のモニタリングに適した小規模測定システムを開発している。今回は脈拍を測定するための生体信号処理 LSI を試作した。設計した LSI は 4 段階の増幅率切替可能な LNA（Low Noise Amplifier）と 3 段階の低域遮断周波数切替可能な LPF（Low Pass Filter）を含む。現在，試作した LSI の評価を行っている。

設計期間：8 人月以上，9 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載

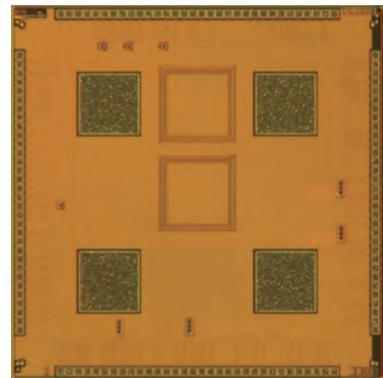


低電圧駆動 CMOS スマートダストの基礎検討

立命館大学理工学部 宇野 重康

概要：本チップは，CMOS チップに化学発電型バイオセンサーを組み合わせることにより，バイオセンシングを行うことを試みるものである。既に他研究グループにより報告されている，電気化学的に発電する素子の出力電圧や電流を測定し，間欠動作周期に変換することでそれを出力する回路を参考として設計された。具体的には，（1）化学発電素子からの電力により駆動し，その電流量に応じた間欠動作周期で間欠的に大電流を消費し，それによる電磁波あるいは磁場の発生により通信する回路，（2）化学発電素子からの電力により駆動し，その起電力に応じた間欠動作周期で間欠的に大電流を消費し，それによる電磁波あるいは磁場の発生により通信する回路，の 2 種類を搭載した。その結果，いずれの方式においても要素回路の正常動作を確認した。今後は実際の化学発電素子との組み合わせによる動作検証およびデータ通信評価を行う必要がある。

設計期間：9 人月以上，10 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：その他



DCDC 昇圧回路

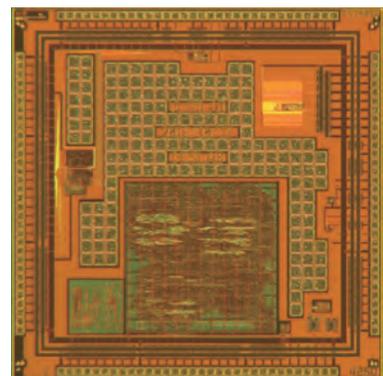
電気通信大学情報理工学研究科 荒井 溪太, 石毛 剛志, 高橋 史帆

電気通信大学情報理工学部 鈴木 康介

概要：今回の試作では，5 人の学生個別に設計した 8 種類の回路（昇圧回路，ADPLL，コンパレータ，リニアレギュレータ，オペアンプ等）を実装した。今回は DCDC 昇圧回路について報告する。外部入力の矩形波を 2 段バッファで受け，nmos スイッチに接続している。そのスイッチング動作によって昇圧回路としている。出力方向には，逆流防止のためにダイオード接続の nmos を接続した。1V 程度の入力電圧を約 3V まで昇圧させることを目標とし，設計した。シミュレーションは，シミュレーション時間短縮のために蓄電用のコンデンサのキャパシタを 5n で行った。結果としては，1V の入力電圧が 200us で 3.7V まで昇圧に成功した。実際にチップの測定をしたところ，測定できなかった。レイアウトまで巻き戻って改めて確認したところ，ピン配置にミスがあったためであった。

参考文献：On-chip high-voltage generation in NMOS integrated circuits using an improved voltage multiplier technique

設計期間：5 人月以上，6 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナデジ混載



Bitmap Index Based Query Processor, etc.

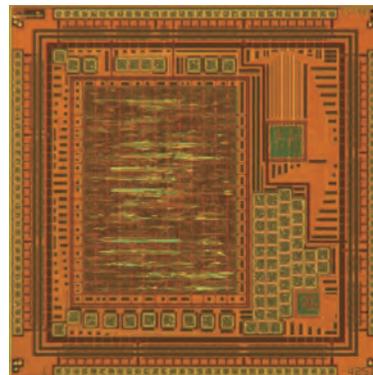
電気通信大学情報理工学研究所 Nguyen Xuan Thuan

電気通信大学情報理工学部 森 祐一朗, 堀田 裕亮

概要：今回の試作では、3種類の回路を実装した。1つ目は、ビットマップ索引を用いて多次元クエリを実行するためのプロセッサであり、ビットマップ索引用メモリ、クエリ実行用メモリ、論理配列モジュール、複数一致プライオリティエンコーダを備える。シミュレーションの結果からは200MHzで動作することが想定されていたが、実際に納品されたチップにおける最大動作周波数は40MHzに留まった。2つ目は、ハフマン符号化された可変長データ（1～7ビット）の入力に対し、4ビットの固定長データを出力する回路である。なお、デコードする際に用いるテーブルデータの動的更新にも対応している。3つ目は、デジタル回路の学習を目的として作成された、基本的な演算を行うALUとタイマーを組み合わせた回路である。

参考文献：R Mueller et al., Data processing on FPGAs

設計期間：3人月以上, 4人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Synopsys社 NanoSim トランジスタ数：100,000～1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ



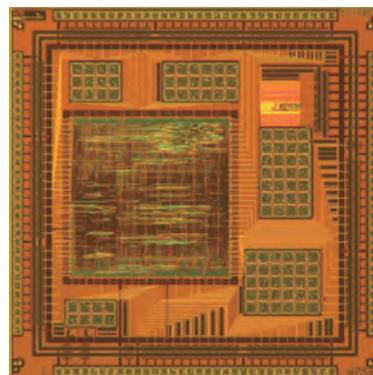
電流源回路及びシュミットトリガ回路等

電気通信大学情報理工学研究所 野田 一善, 高橋 史帆, 伊藤 孝幸

概要：今回の試作では、電流源回路、シュミットトリガ付きLDO回路、1次元DCT回路の設計を行った。電流源回路では、オペアンプに用いる電流源として、シンプルで且つ扱える電流の範囲が幅広いことから論文でも広く用いられている回路を実際に設計し、その有効性と実測においてもその動作ができるかの確認を目的とした。電流源回路構成はPMOSカレントミラーとNMOSカレントミラーと10k Ω の抵抗からなっている。25 $^{\circ}$ Cにおいてシミュレーションで3.11 μ Aの電流値となっていたところ、実測では3.43 μ Aとなりほぼ一致した。次にシュミットトリガ付きLDOは、外部大容量キャパシタC_iにエネルギーハーベスト源から生成された電荷を蓄え、充電完了したら電流を電源回路に供給することで生成電流量が少ないエネルギーハーベスト源からデバイスへの電力供給を可能とする回路である。シミュレーションでは外部容量C_i=1000 μ F, 最小入力電圧が2.64Vのとき、安定出力電圧2.44V, 入力リーク電流はC_i充電時に0.425 μ A, C_i放電時4.023 μ Aとなった。実測では外部容量C_i=10 μ F, 最小入力電圧が2.975Vのとき、安定出力電圧2.2V, 入力リーク電流はC_i充電時に0.375 μ A, C_i放電時3.9094 μ Aとなった。

参考文献：E. Vittoz et al, "CMOS Analog Integrated Circuits Based on Weak Inversion Operation"

設計期間：3人月以上, 4人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Synopsys社 NanoSim トランジスタ数：100,000～1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載



集束イオンビーム (FIB) 裏面加工がトランジスタ特性に及ぼす影響を評価する TEG (2作目)

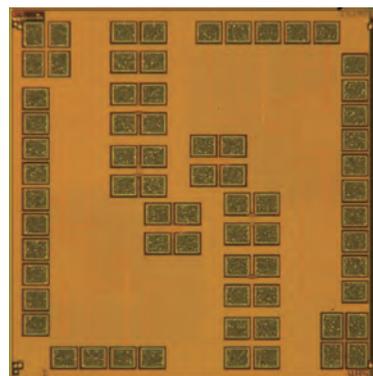
東京大学工学系研究科 宇佐美 尚人, 岡本 有貴, 三田 吉郎

東京大学 VDEC 太田 悦子, 池野 理門, 浅田 邦博

概要：前作「集束イオンビーム (FIB) 裏面加工がトランジスタ特性に及ぼす影響を評価する TEG (1作目)」であった回路上の不具合を修正した版を試作した。試作したチップに裏面から貫通孔形成、走査イオン像 (SIM) 観察、配線形成作業を行ない、特に加工膜厚についてこれらの作業が定量的に与える影響を観測することができ、フランスで開かれた IEEE International Conference on Microelectronic Test Structures (ICMTS) 国際会議で結果を口頭発表することができた。

参考文献：Naoto Usami, Jun Kinoshita, Rimon Ikeno, Yuki Okamoto, Masaaki Tanno, Kunihiro Asada and Yoshio Mita, "An arrayed test structure for transistor damage assessment induced by circuit analysis and repairing processes with back-side-accessing Focused Ion Beam", 2017 IEEE Conference on Microelectronic Test Structures (ICMTS 2017), 27-30, Session 6.1, Mar, 2017

試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

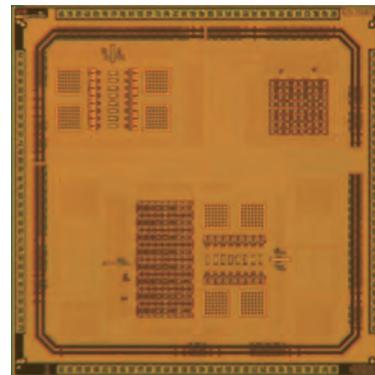


Fine resolution ADC based on the approach of stochastic comparators

東京大学 VDEC Mai-Khanh Nguyen Ngoc, Ikeno Rimon

概要 : Stochastic analog to digital converters (ADC) employ process variations based on the Gaussian distribution assumption of comparator voltage offset (Vos) for its transfer function of voltage-to-digital. All comparator output values are summed up to achieve an output yield where the yield is defined as the number of comparators with '1' output values. A stochastic ADC makes use of the limited linear region neighboring to the CDF's trip point as the transfer function. This circuit design in this time is to perform a sub-ranging fine resolution ADC based on stochastic comparators and robust to process variation. The number of comparator elements is very important for the characteristic of the transfer function. From the achievement of the previous measurement result, this chip design is to increase the number of comparators of the stochastic ADC stage to be double. The increment is to enhance the effective resolution (LSB) of the sub-ranging stochastic analog to digital converter circuit. In addition, the corresponding digital encoder circuit following the stochastic comparator array is revised in design and layout. The simulated operation clock frequency can be covered up to 300-MHz in this technology process. A flash ADC with is added in this chip. A differential approach is applied for this flash ADC. The comparator circuit of the flash ADC has differential structures for both inputs and reference terminals. Moreover, the resistor ladder structure is in differential type so that a calibration at reference terminals can be applied to compensate variations of devices. A digital bubble removal and encoder circuits are included to the flash ADC. In addition, for the stochastic ADC circuit, a layout strategy is proposed to reduce systematic variation.

設計期間 : 1 人月以上, 2 人月未満 **設計ツール** : Cadence 社 Verilog-XL, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Keysight 社 ADS **トランジスタ数** : 1,000~10,000 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)

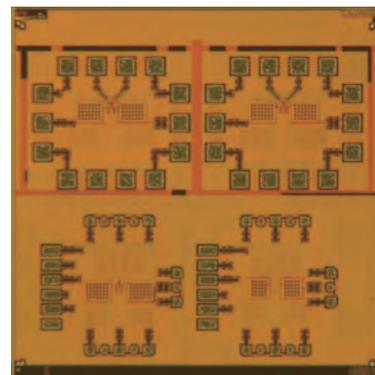


High linearity sample and hold sampling for analog-digital converter

東京大学 VDEC Mai-Khanh Nguyen Ngoc

概要 : The sample and hold circuit is an important part of most data acquisition systems. Sample and hold circuits are commonly used in analog to digital converters communication circuits etc. It captures an analog signal and holds it during some operation. Sample and hold circuits are also considered and referred to as track and hold circuits. The most common application of a sample and hold circuit is to maintain the input to the conversation circuit of analog to digital at a constant value during the conversion. This chip design is to implement a sample and hold circuit for the input of our analog-digital conversion project. A differential structure type of sample and hold circuit is applied to cancel the common mode voltage noise. The linearity of the circuit is one of the most important factors for this chip design. In addition, Pedestal error of the sample and hold operations must be avoided. Sampling pedestal or hold step occurs each time it goes from sample mode to hold mode and there is always a small error in the voltage being held that makes it different from the input analog voltage at the time of sampling. This error should be reduced and even more importantly be signal independent to avoid nonlinear distortion. An improvement for the pedestal error is applied for this design. In addition, the operation bandwidth of this sample and hold circuit is decided in order to cover the range of the following stage of analog-digital conversion circuit. In order to make an insulation between the outputs of this sample and hold circuit and the input of the analog-digital conversion circuit, a unique gain buffer circuit of source follower is used. Other important performance factors, such as dynamic range, linearity, gain and offset error are considered carefully in this design. There are four testing circuits integrated in the same chip.

設計期間 : 0.5 人月以上, 1 人月未満 **設計ツール** : Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Cadence 社 ASSURA, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数** : 10~100 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)



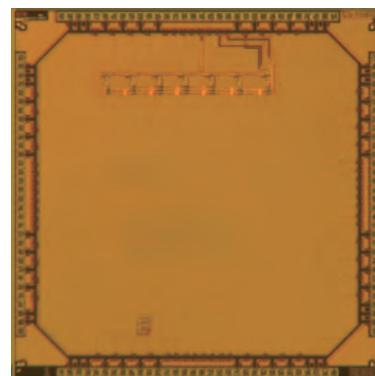
高知工科大学工学部システム工学群 橘 昌良

高知工科大学システム工学群 橘 昌良, 窪添 諒, 軽野 滉士

高知工科大学大学院基板工学専攻 Wannaboon Chatchai

概要 : 本チップの目的はアナログ回路用ライブラリの設計である。試作した回路はバンドギャップリファレンス (BGR), BGR に対する BIST 回路, Nauta OTA, および 2 次 $\Delta\Sigma$ 変調回路とそれに対する BIST 回路である。BGR に対する BIST 回路は素子の開放/短絡故障の検出を目的としたもので、BGR 回路内部のノード電圧をテスト応答解析器に投入し故障検出を行っている。今回の試作では故障無し BGR と 6 種類の故障をそれぞれ付加した BGR を載せた。Nauta OTA は広帯域の増幅器としての使用を目的としたもので、W/L 比の最適化を行い、入力段を 2 段にすることによる増幅度の向上などを目標とした。2 次 $\Delta\Sigma$ 変調回路は通常の OPamp を使用したものであるが、カオス発振回路の出力をクロック入力とした故障検出回路を組み込んである。

設計期間 : 4 人月以上, 5 人月未満 **設計ツール** : Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Dracula, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF) **トランジスタ数** : 100~1,000 **試作ラン** : ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別** : アナログ (PLL, A-D/DC-DC コンバータなど)



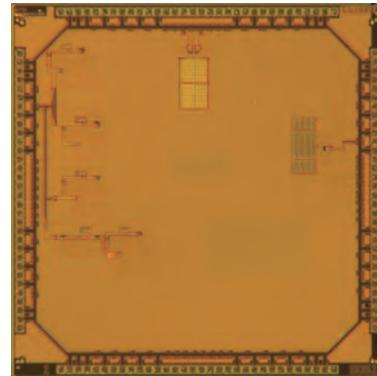
アナログ回路用ライブラリ及び素子評価

高知工科大学システム工学群 橘 昌良, 武内 智哉

高知工科大学大学院基板工学専攻 岡崎 泰士

概要：本チップの目的はアナログ回路用ライブラリの設計である。試作した回路はBGR回路、 $\Delta\Sigma$ 変調回路である。BGR回路は、先行研究で設計されたBGR回路をコモンセントロイド化した。先行研究で設計されたBGR回路は、ダイオードの代わりに弱反転領域で動作するMOSFETが用いられている。これを3種類設計した。先行研究で設計された2つのBGR回路を組み合わせた基準電源回路をコモンセントロイド化した。組み合わせたのは弱反転領域で動作するMOSFETを用いたBGR回路とダイオードをコモンセントロイド配置にしたBGR回路である。BGR回路を構成するオペアンプは2段構成で出力電圧からバイアス電圧を生成する自己バイアス型のものを用いた。 $\Delta\Sigma$ 変調回路はNauta OTAを用いた1次 $\Delta\Sigma$ 変調回路である。回路構成はRC積分器、1bitのダイナミック型コンパレータ、1bitの電流出力D/A変換回路である。RC積分器の抵抗のレイアウトをコモンセントロイド配置にしたもの、回路全体のレイアウトを左右対称にしたものの2種類の $\Delta\Sigma$ 変調回路を試作した。信号帯域は22kHz、オーバーサンプリング比は256として、設計し、S/N比を評価した。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



中性子線照射実験のための耐ソフトエラーラッチ回路

千葉大学工学部 堀田 奈央, 高田 麻都, 勝又 啓道, 島袋 秀樹, 中川 雄貴

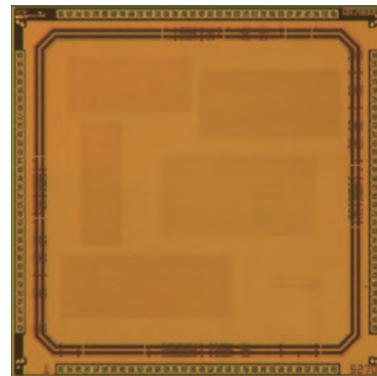
千葉大学大学院融合科学研究科 上野 弘貴

千葉大学大学院工学研究科 難波 一輝

概要：本試作は、放射線由来のソフトエラーに耐性を有するラッチ回路を対象とした、中性子線照射実験のためのチップである。近年、集積回路の微細化が進み、 α 線や中性子線などの高エネルギー粒子の衝突による、回路への影響が大きくなっている。これに伴い、回路内でのソフトエラー発生確率が増加している。この問題を解決するために、ラッチ自身でソフトエラーを訂正する耐ソフトエラーラッチ設計が、従来の研究によって多く提案されている。それらの手法の中には、フィードバックループやDICE (Dual Interlocked Storage Cell) 構造を利用した手法などがあり、本試作において代表的な耐ソフトエラーラッチ回路4つと、比較回路として通常のラッチ回路の試作を行った。試作したチップを用いて、従来手法が実際の中性子線の照射環境下においても期待した動作を行うのか、シミュレーションの実証を行う。

参考文献：坂田, 難波, 伊藤, "ソフトエラー対策ラッチの調査と分類," 信学技報 FIIS, 2008年.

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



ランダム遅延素子を用いた耐タンバ非同期式暗号化回路

弘前大学理工学部 豊嶋 太樹, 今井 雅

概要：一定周期のクロック信号に基づいて動作する同期式回路や、遅延の大きさが一定の遅延素子を用いた非同期式回路では、同じ論理動作を行うと同じ電流・電磁波特性を示すシステムとなる。そのため、電流や電磁波など、外部から観測可能な情報から内部の秘匿情報を窃取するサイドチャネル攻撃に対する耐性が低い。これに対し、遅延の大きさを変更することができるランダム遅延素子を用いた束データ方式非同期式回路としてVLSI回路を設計することで、同じ論理動作でも異なる電流・電磁波特性を示すシステムを実現できる。本試作では、いくつかのランダム遅延素子を設計し、23パイプラインステージを持つAES (Advanced Encryption Standard) 暗号化非同期式回路を実装した。非同期式回路の制御方式としては、2-Phaseハンドシェイクプロトコルに基づくデータ転送を行うMOUSETRAPパイプラインテンプレートを使用し、要求-応答ハンドシェイクに伴うオーバーヘッドが小さく高速なシステムを実現した。比較評価用に、組合せ回路部は同一のものを使用した同期式AES回路及び、ランダム遅延素子を使用せず、遅延値が固定な遅延素子を使用した非同期式AES回路も実装した。

参考文献：Daiki Toyoshima, Tatsuya Ishikawa, Atsushi Kurokawa, Masashi Imai, "Random Delay Elements for Tamper Resistant Asynchronous Circuits based on 2-phase Handshaking Protocol," Proc. SASIMI2016, pp.113-118, Oct., 2016

設計期間：9人月以上、10人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 Astro, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ チップ種別：その他



各種フィルタとチャージポンプ

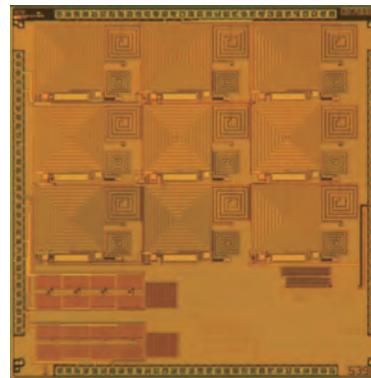
明治大学大学院理工学研究科 和田 和千, 今井 博之, 須藤 千裕, 大門 佑, 市川 遼

概要：大学院生4名が、各々の研究において提案した回路および、評価に必要な回路を、以下に記す概略の通り試作した。①フィルタとミキサの機能を併せ持つダイレクトサンプリングミキサ (DSM) および、それに付随した相補クロック生成回路、分周回路。②4相クロックジェネレータを用いたチャージポンプで、MOSFETの基板端子を接地した回路と、Deep n wellを用いて基板端子とソース端子を短絡した回路。③“Cross-coupled charge pump with Dynamic Body Bias and Adaptive Dead Time”^{*}の追実験用の回路。④ベルヌーイ数の母関数に基づく受動回路を用いた FIR フィルタで、光伝送における歪み補償回路 (光伝送用等化器)。

参考文献：^{*}Jungmoon Kim et al., “A 0.15 V Input Energy Harvesting Charge Pump With Dynamic Body Biasing and Adaptive Dead-Time for Efficiency Improvement” IEEE J. Solid State Circuits, vol. 50, pp. 414-425, Feb. 2015.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE (RF) トランジスタ数：10~100

試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：その他

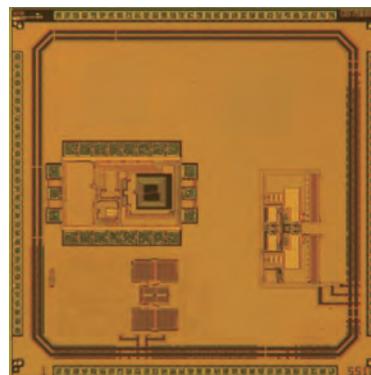


2. 5GHz-LC共振型 Digital Controlled Oscillator と デルタシグマ型 Time To Digital Converter の回路実装

法政大学理工学部 峯村 亮佑, 佐々木 翔一郎, 星野 裕也, 嘉藤 貴博

概要：デルタシグマ型 Time To Digital Converter は、Noise-Shoeingにより、キャリア近傍の Noise 抑圧がかかるので、PLLとしての狭帯域特性の向上が期待できる。これらの確認のための、デジタルPLLの基礎回路部品である、TDC単体、LC共振型DCOの単体を試作した。今回はVCOのPhase-Noise評価のために、高周波PADを設けて、発振器のCLKを分周なしで引出し、オンウエハプローブで評価できるように実装した。SPI (serial peripheral interface) を実装して、シリアルで転送して発振器のデジタルコードの入力、モニタ信号の切り替え等を行い、動作させている。プローブでのPADへのコンタクトは確認でき、回路の基本動作は確認できた。今後、デジタルPLLの回路設計、実装にフィードバックしていく予定である。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT) トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



積層型ICのチップ内の温度分布の解析

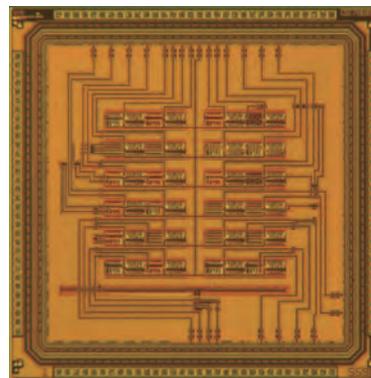
富山県立大学工学部 情報システム工学科 出町 治香, 牛田 慧

富山県立大学情報システム工学科 岩田 栄之, 松田 敏弘

概要：MOSFETの微細化とVLSIの高集積化によって、消費電力が増大し、VLSI内に局所的な高温箇所が発生し、回路の特性や信頼性などに影響するチップ内温度分布の不均一性が問題となっている。また、複数のLSIを積層した3次元ICの開発も進められているが、熱伝導率の小さい接着層によって、温度が上昇する。したがって、現在の熱伝導シミュレータはLSIの設計に非常に有用であるが、シミュレーションの精度をさらに高めるためにも、実験による実測値との比較・検証は必要不可欠である。本研究では、熱源となる抵抗とそのまわりに配置されたダイオードからなるテスト回路をLSIとして設計・試作し、実測とシミュレーションを用いてLSI内の温度分布を解析することを目的としている。本テストチップ中には、熱源となる抵抗1個と、温度センサダイオード32個で構成されているブロックを24個配置し、熱源や配線パターン等による温度分布の変化を解析できるようにした。さらに、このテストチップを用いた3次元ICについて、温度分布解析を行っている。

参考文献：T. Matsuda, K. Yamada, H. Demachi, H. Iwata, T. Hatakeyama, M. Ishizuka, and T. Ohzone, "Analysis of Temperature Distribution in Stacked IC With On-Chip Sensing Device Arrays," IEEE Transactions on Semiconductor Manufacturing, vol. 28, no. 3, pp. 213-220, 2015.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

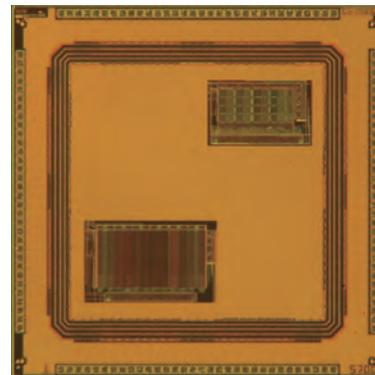


低電源電圧化での測定に対応したレシオレス SRAM T-CAM 回路

九州工業大学大学院情報工学府 アリムディン モハマド, 西方大輔, 中村 和之

概要：本研究室でこれまで提案してきたレシオレス SRAM 回路を、3 値連想メモリ回路 (T-CAM) の記憶セルへ応用したレシオレス T-CAM 回路を開発している。レシオレス SRAM は、低電源電圧下での信頼性の高い動作を可能とするものであるが、特に 0.5V 以下の低電圧領域での測定は困難を極める。今回の LSI では、特に I/O 回路部分に通常のデジタル I/O ではなく、低電圧下でも確実に動作可能なアナログ I/O 回路を設計し用いた。これにより、I/O 回路の特性により、低電源電圧下での測定ができなくなる問題を回避する。さらに、今回の LSI では、記憶セルに従来の 6 トランジスタ型 SRAM セルを用いたものを同時に搭載し、両者の特性比較を行うことが可能な構成となっている。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ

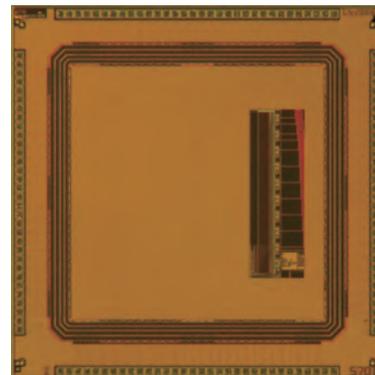


電源スタック型回路構造における中間電位安定性評価回路

九州工業大学大学院情報工学府 山口 翔吾, 肥後 知樹, 中村 和之

概要：本チップには、12 トランジスタ型レシオレス SRAM 回路に、新型のコーディング回路を付加した電源スタック型回路構造による中間電位安定性評価回路が搭載されている。今回の試作チップでは、電源スタック型回路構造におけるコーディングを利用した場合の中間電位安定化効果を比較・検証することが目的である。今回、新たなコーディング方式として、適応型バス反転方式を検討している。さらに低電源電圧でも動作可能なレシオレス SRAM 回路を内部回路として用いており、3 段以上の多段電源スタック型構造を評価可能としている。試作 LSI を複数用いて、電源スタック型構造を構成し、実測データを得ることで、その有用性を定量的に示すことを目標としている。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ

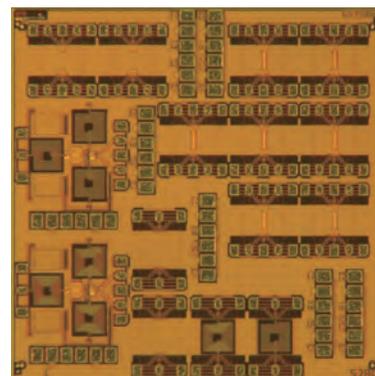


無線通信用増幅器, 及び TEG

九州大学システム情報科学研究所 濱澤 篤優, 久保木 猛, 金谷 晴一

概要：5GHz 帯無線通信用低雑音増幅器, 前記増幅器に接続されるスパイラルインダクタ, 及び評価用の小面積インダクタを試作した。回路設計においては、Keysight 社の電磁界シミュレータによりスパイラルインダクタ, 小面積インダクタ, 及び配線の電磁界解析を行い、寄生素子等を含めた S パラメータとした。Keysight 社の ADS により電磁界のデータとトランジスタ等の SPICE モデルをマージした。また、入出力のインピーダンス整合回路についても、ADS により設計した。出力部については、後段の Mixer 回路の入力インピーダンスを考慮して設計した。Cadence 社の Virtuoso により回路のレイアウトを行った。あわせて低雑音増幅器に接続されるインダクタのレイアウトも行った。さらにインダクタのガードリングについても高周波特性を調査した。ROHM 社の 0.18 ミクロン CMOS プロセスにより試作したスパイラルインダクタについては、オンウエハプローブシステムにより 1GHz から 10GHz までの高周波特性を測定した。インダクタンス値, 及び Q 値の周波数特性は設計結果と同様の特性を得た。

設計期間：2 人月以上, 3 人月未満 設計ツール：Cadence 社 Virtuoso, Keysight 社 ADS トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)

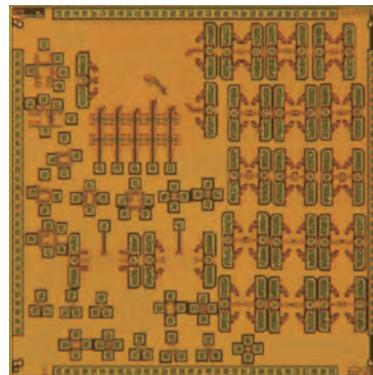


CMOS 通信回路実現のための試作

明治大学理工学研究科 大里 侑生

概要：高周波通信というテーマを根底に置き、評価に必要な回路の試作を行った。高周波回路の実測に向けてまずは TEG の試作を行った。高周波回路は、シミュレーションと実測の結果が異なることが課題としてあげられている。そのため、回路全体ではなく回路を構成する要素回路の特性を見ることを目的とした。レイアウトは、今後設計を予定している高周波回路で使用する形状比を想定して 11 パターンを試作した。実測にあたって SOLT 法によるキャリブレーションを検討していた。そのことから、1 パターンにつきオープンパターンとショートパターンを用意する必要があったため合計で 33 パターンの TEG を試作した。TEG の S パラメータを測定し高周波回路の設計にフィードバックする。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：1 月以上、2 月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QRC, Cadence 社 Spectre トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



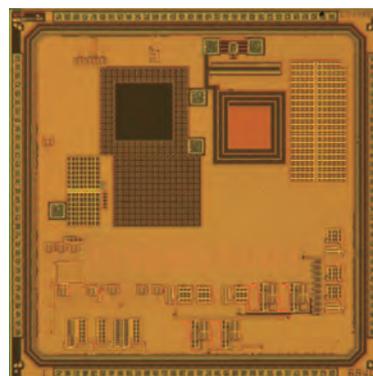
0.18 μ m CMOS プロセスを用いた脳波測定用フロントエンドアンプの試作

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学理工学研究科 久保 勝弘, 高坂 太郎, 伊藤 孝太, 宮脇 貴統, 田中 稜也, 出口 卓己

概要：現在、脳波測定は癲癇の治療などの医療分野、またブレインマシンインターフェース技術と呼ばれる、脳と機械間の双方向通信技術の応用に向けて研究されている。脳波測定という分野においては、信号測定時におけるノイズ耐性をいかにあげるかが重要な問題となっている。我々は脳波測定システムを作る上でノイズ軽減をする手段の一つとして、チョッパを用いて低周波ノイズを軽減することを試した。今回のチップでは頭部に取り付けた電極から取り出した信号を入力することを想定し、2.5mm 角のチップ内に初段増幅用のフォールドドカスコード型チョッパアンプ、2 段増幅用に計装アンプを設計した。

設計期間：5 月以上、6 月未満 設計ツール：Cadence 社 Verilog-XL, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Keysight 社 ADS トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



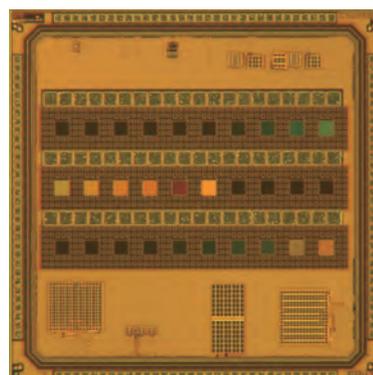
自立動作可能 LSI チップのためのアプリケーション回路の検討

慶應義塾大学理工学部 中野 誠彦, 銭林 大悟

慶應義塾大学理工学研究科 南 快優, 五十嵐 一真

概要：現在、自立動作可能な LSI チップのための、電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を 1V 以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、システムとしての性能評価用にクロスカップルチャージポンプ型昇圧回路、太陽電池、クロック生成回路からなる電源システムを設計した。また、オンチップ太陽電池の設計を行った。この際、n-well 上にストライプの金属パターンを敷いたものを設計した。ストライプの間隔と太陽電池の波長特性にどのような相関があるかを検証するため、ストライプの間隔の異なる太陽電池を複数設計した。加えて、通信用のバックスキヤタリングシステムの検討を行っており、システム用に組み込む LC マッチング回路を設計した。このシステムは電波発生機から送られる電波をチップで受け、反射させるかどうかで情報通信を行う。今回、整合した場合の無反射状態を作り出すための LC マッチング回路の部分を設計した。

設計期間：3 月以上、4 月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



低電圧動作・電流リファレンス回路

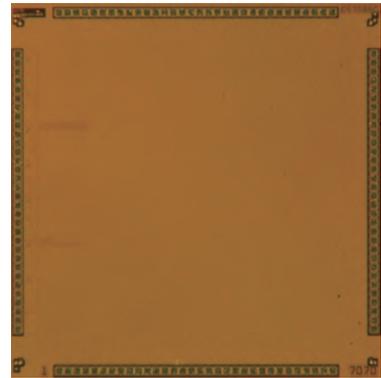
埼玉工業大学大学院工学研究科 吉澤 浩和, 秦 志剛

埼玉工業大学工学部 坂田 康平

概要：電流リファレンス回路はアナログ回路やアナログ/デジタル混載回路において重要な回路ブロックである。近年、携帯型電子機器の普及に伴って集積回路の低電圧化および低消費電力化への要求が高まっている。電流リファレンス回路においても、電源電圧1V以下で動作する回路がこれまでに報告されている。本研究では、ナノアンペアオーダーの基準電流を供給する電流リファレンス回路の低電圧化を検討し、ICの試作を行った。0.18 μ m CMOS プロセス用 SPICE パラメータを用いたシミュレーション結果では、電源電圧0.6Vで2nAの基準電流が得られることを確認した。また、回路の面積は0.022mm²となった。今後、試作チップの測定結果とシミュレーション結果を比較検討する予定である。

参考文献：Z. Qin and H. Yoshizawa, "A 0.6-V 2-nA CMOS Current Reference Circuit", Int. Journal of Engineering Research and Application, vol. 7, No. 2, pp. 19-22, 2017.

設計期間：4人月以上, 5人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF) **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

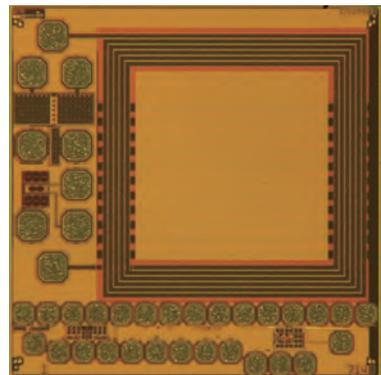


ワイヤレス給電技術に向けたパワーマネジメント回路用 TEG

神戸大学大学院工学研究科 増田 創太, 秋原 優樹, 浅野 大樹, 廣瀬 哲也

概要：本試作では、ワイヤレス給電技術に向けたパワーマネジメント回路の要素 TEG 回路の開発・設計を行った。搭載した素子・回路として、オンチップインダクタ、整流回路、そしてリファレンス回路を搭載した。パワーマネジメント回路は、オンチップインダクタで交流電圧を生成し、整流回路で交流 AC 電圧を直流 DC 電圧に変換する構成とした。また、負荷回路としてリファレンス回路を動作させる構成とした。整流回路においては、従来のショットキーバリアダイオードに替えて、MOS トランジスタを用いる構成とした。また、高効率な整流を実現するために、ゲートバイアス構成を採用した。リファレンス回路においては、極めて低い消費電流で動作するようにナノワットオーダーの超低消費電力で動作する回路構成を採用した。さらに、整流回路の接続段数を変えたテスト回路を搭載することで、個別に整流回路の特性評価を行えるようにした。本チップの評価は現在推進中である。整流回路においては、交流 AC 電圧を直流 DC 電圧に変換可能であることを確認した。その他の要素 TEG 回路についても評価を推進中である。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF) **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

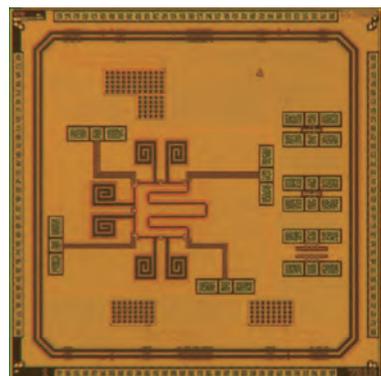


符号化・復号回路

上智大学理工学部 林 等

概要：○概要 立ち上がり間隔が一定周期になるように波形を割り当てた符号化方式に対応した符号化・復号回路。○特徴 マンチェスタ符号：信号の DC オフセットが発生しないため、クロック再生が容易。ただし、クロック再生回路が必要。起動に時間がかかる。⇒立ち上がり間隔が一定周期になるように波形を割り当て。⇒クロック同期に時間がかかる位相同期ループを使用せずに、データと同期したクロックを高速に得ることができる。⇒クロック再生回路を使用せずに高速起動が可能・低消費電力化。○想定される用途 ①センサ NW 分野における「キーデバイス」としての活用⇒センサ間通信 ②災害対策等に導入が望まれる RFID システム⇒デュアルタイプ RF タグへの展開 ③「次世代」マイナンバーカード⇒「交通系」非接触 IC カードへの展開

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Keysight社 ADS **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：**通信 (RF 回路, ATM など)

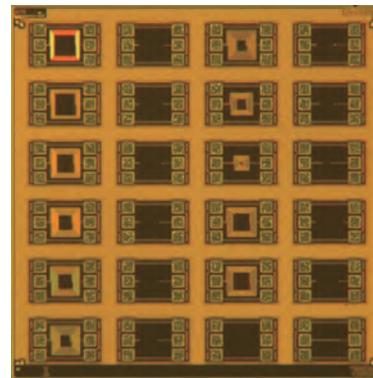


Inductor design for RFIC

Tohoku University Department of Electrical Engineering Sai Ranajit

概要：Inductors are indispensable in radio frequency integrated circuits. It is often the largest space-occupying element in the circuit. To reduce the consumed chip-area of an inductor, magnetic films are deployed on top of it. In this run of fabrication, we have designed various planar inductor structures with various dimensions and area, resulting in different inductance density, quality factor and self-resonance frequency. In addition to these planar inductors, some vertically-oriented solenoid like structures were fabricated using M3~M6 and via into action. Fabricated chip is then post-processed for selective passivation removal and to incorporate magnetic film as desired. Furthermore, necessary de-embedding structures were also fabricated for proper calibration of the devices. インダクタは、無線周波数集積回路に不可欠である。多くの場合、回路内でスペースを占有する最大の要素です。消費されるインダクタのチップ面積を低減するために、磁性膜がその上に配置される。この製造工程では、様々な寸法および面積を有する様々な平面インダクタ構造を設計し、異なるインダクタンス密度、品質係数および自己共振周波数をもたらす。これらの平面インダクタに加えて、M3~M6とビアを使用して、いくつかの垂直方向のソレノイド状構造が製作されました。次いで、加工されたチップは、選択的パッシベーション除去のために後処理され、必要に応じて磁性膜を組み込む。さらに、デバイスの適切な校正のために、必要な埋め込み構造も作製された。

設計期間：1 人月以上，2 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：～10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)

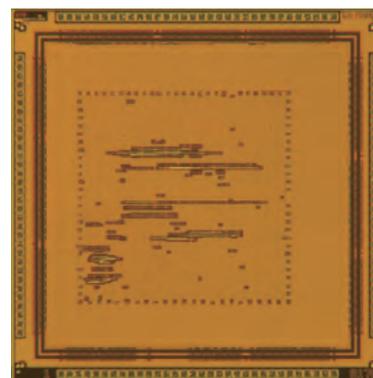


ハードウェアトロイが挿入された RSA 暗号回路におけるハードウェアトロイ動作抑止の検証

早稲田大学基幹理工学研究所 長谷川 健人

概要：ハードウェアトロイが挿入された RSA 暗号回路に対し、ハードウェアトロイの動作を抑止する回路を付加することで、ハードウェアトロイの動作を正しく抑止できるかどうかを検証するためのチップである。RSA 暗号回路に挿入するハードウェアトロイは、RSA 暗号処理におけるデータ入力で4回以上0が繰り返された際、暗号化処理完了後にプライマリ出力から秘密鍵を流出するものとする。この回路の設計に対し、事前の設計情報の検査によりハードウェアトロイのトリガ信号線がハードウェアトロイを構成するネットとして識別されたと仮定して、トリガ信号を監視するとともにチップ動作時にもトロイネットと識別された場合にその後段のプライマリ出力を抑止する回路を付加する。チップ動作時にトロイネットと判定する条件は RSA 暗号処理時にトリガ信号が4クロック以上変化がない場合である。テストによる測定では完全な動作は確認できなかった。

設計期間：1 人月以上，2 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Formality トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：演算回路 (乗算器, 除算器など)



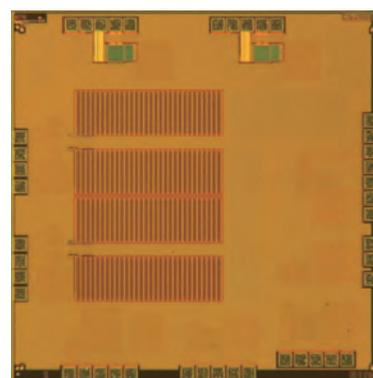
ハイブリッド SSD の高速化、高効率化に向けた ReRAM 書き込み電圧生成回路

中央大学理工学研究所 竹内 健, 田中 誠大, 鶴見 洸太

中央大学理工学部 鈴木 健太

概要：3. 概要: 近年クラウドコンピューティング、ビッグデータの増加により、高効率で高速動作するストレージが求められている。従来のストレージの一つである、NAND型フラッシュメモリを用いたソリッド・ステート・ドライブ (SSD) に抵抗変化型メモリ (ReRAM) を組み合わせたハイブリッド SSD が提案され、性能向上が期待されている。しかし、近年のトランジスタの微細化により SSD コントローラ内の電源電圧が低電圧化されたため、電源電圧を ReRAM 書き込み電圧まで昇圧する ReRAM 書き込み電圧生成回路が必要である。またその性能はハイブリッド SSD に影響を与える。本試作では、ハイブリッド SSD 向け高速かつ高効率動作可能な ReRAM 書き込み電圧生成回路を検討した。今後は試作チップの動作確認を行い、より詳細な昇圧効率のベンチワークを取る予定である。

設計期間：2 人月以上，3 人月未満 設計ツール：Cadence 社 Virtuoso, Synopsys 社 Cosmos, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



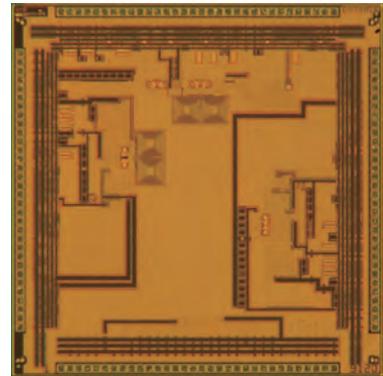
通信用DLL回路を用いた注入同期PLL回路の特性評価TEG

大阪工業大学大学院工学研究科 増井 優也

小林 菜祐, 橋本 哲, 藤居 尚博, 吉村 勉, , ,

概要：DLL回路をベースとした注入同期信号生成回路を用いて、低周波の参照クロックから広帯域な注入同期PLL回路を設計・試作し、特性を評価する。通信用DLL回路を用いることで、従来に比べて数分の一の低周波クロックでの注入同期による出力クロックの位相ノイズ低減を可能とする。電流引き抜き・注入型のインジェクションを行うことで、インジェクション強度を調整できる回路構成とした。実機では出力位相ノイズの、注入タイミング依存、頻度依存、強度依存などを測定・評価する。通信用DLL回路の切り出しTEGおよびリング型・LC-tank型発振器単体の特性も合わせて評価する。注入同期発振器の回路シミュレーションにおいて、2.5GHz発振時に最大十数MHz～百MHzの注入引き込みレンジを確認した。その他、要素TEGとして電源昇圧用チャージポンプ回路も搭載している。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF) トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



光プローブ電流センサ向け光電流変換疑似差動CMOSアナログフロントエンド回路

信州大学大学院理工学系研究科 小柳 洸介

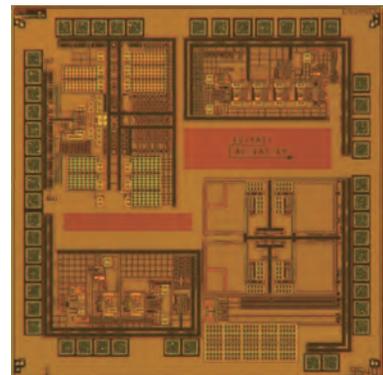
信州大学大学院総合理工学研究科 上倉 宇晴, 宮地 幸祐

信州大学工学部 高木 憲太郎

概要：本試作では、光プローブ電流センサ向け光電流変換疑似差動CMOSアナログフロントエンド回路を設計した。本チップ上の回路は主に、電流センサからの差動信号成分(600nA)を0.5V程度の電圧信号へ変換するようなアナログフロントエンド回路と、電流センサ側のフォトダイオードの逆方向電圧を供給する為の電源回路、及びアナログフロントエンド回路のオフセット除去の為に用いられるDAC回路で構成される。本回路は帯域として10MHz以上、ダイナミックレンジは40dB以上を目標として設計した。今後はこれらの回路それぞれの測定を行い、動作確認、及び検討を行っていく予定である。

参考文献：上倉，小柳，曾根原，佐藤，宮地，"光プローブ電流センサ向け完全差動CMOSアナログフロントエンドの設計"，電子情報通信学会2017年総合大会，C-12-9，エレクトロニクス2，p. 58，2017年3月。

設計期間：6人月以上，7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 Hercules トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



体内埋め込み型医療用デバイス向け磁界共振を用いた非接触給電システム送電回路

信州大学大学院総合理工学研究科 與五沢 啓太, 宮地 幸祐

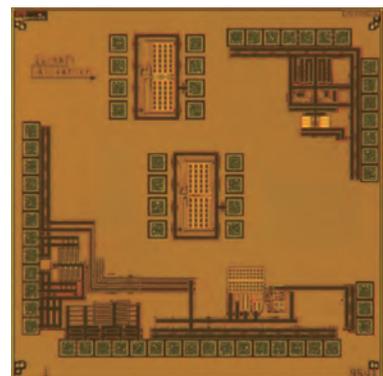
信州大学大学院理工学系研究科 吉田 穰理

信州大学工学部 浅野 孝紘, 西田 純也

概要：本試作では、1) エネルギーハーベスティング向け低電圧昇圧回路、2) 整流-レギュレーション一体型非接触給電受電回路、3) 受電側の状態により送電電力制御を行う非接触給電送電回路を設計した。1) ではボルテージダブル型チャージポンプをスタートアップ回路とし、0.2V以下からの昇圧を目標とした。2) ではConstant On Time制御による整流-レギュレーション一体型非接触給電受電整流回路を設計した。3) ではバックスキュタリング回路により受電側の状態を検知し、送電電力制御を可能とした非接触給電送電回路を設計した。今後はこれら試作チップの測定を行い、動作確認、検討を行う予定である。

参考文献：[1] H. Shinohara, K. Miyaji, "A ZVS CMOS active diode rectifier with voltage-time-conversion delay-locked loop for wireless power transmission," IEEE A-SSCC, 15-3, 2015.

設計期間：6人月以上，7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Cadence社 UltraSim, Synopsys社 StarRC (XT), Synopsys社 Hercules トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



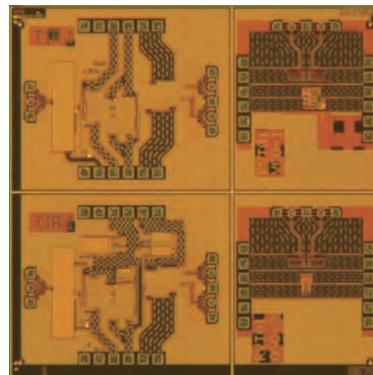
光受信用アナログフロントエンド回路TEG2

岐阜大学大学院工学研究科 久米 沢弥, 小島 拓也, 中村 誠

概要：我々の研究グループでは、光パケット伝送用アナログフロントエンド回路の設計を行っている。光アクセス (FTTH) や光パケットルータでは、信号強度の異なるパケットデータの送受信を行うため、受信したパケットデータに高速応答可能なアナログフロントエンド回路が求められている。昨年度の試作 (TEG1) にて、低電圧で高速応答かつ広入力ダイナミックレンジ動作可能な高速多段利得切替によるパケットデータ対応増幅回路の基本動作の検証を行った。今回、より高速動作可能な光電流/電圧変換回路の構成を提案しその動作検証のために試作 (TEG2) を行った。高速動作が可能なように、電流/電圧変換を行うコア回路部の広帯域化を行うとともに、パケット毎に利得状態を初期化する初期化信号を回路内部で生成する回路も搭載した。IC 評価により不具合が見つかったため、改良設計を行い試作中である。試作完了後、評価と回路検証を行うとともに、さらに回路の改良を行っていく予定である。

参考文献：[1] 小島, 久米, 中村, “利得切替型バースト対応 RGC-TIA の検討”, 電子情報通信学会ソサイエティ大会, A-1-23, 2016年9月

設計期間：3 人月以上, 4 人月未満 設計ツール：Synopsys 社 HSPICE, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT) トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm 角チップ チップ種別：通信 (RF 回路, ATM など)





平成27年度第2回ルネサス CMOS 65nm 試作 (RS65152)

高速ロックを実現する完全デジタル型クロック・データ・リカバリ回路

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

東京大学工学系研究科 峠 仁人

概要：高速有線通信分野においてはランダムなデータ列から対応するクロック信号を復元するクロック・データ・リカバリ (CDR) 回路は必須の技術であり広く研究が行われている。CDR回路は、従来PLLを応用したアナログ回路による構成が一般的であったが、近年完全デジタル型の構成を取る All-Digital CDR (ADCDR) も提案されるようになってきた。本試作では、特にモバイル機器等の低消費電力が必要なアプリケーションにおいて、待機電力が極めて低く、かつ待機状態からの瞬時の起動が可能な高速起動完全デジタル CDR 回路を設計した。提案する CDR 回路は数ビットのプリアンプル信号から入力データの周波数を検出することで高速な周波数ロックを実現する。位相検出器の最適化によりさらなる低消費電力化を達成した。本 CDR 回路はスタンダードセルベースのデジタル回路により構成されており、待機時にはダイナミック電力を消費しない。そのため提案回路は、特に IoE 向けのアプリケーションなど間欠的な動作を行うデバイスの消費電力削減に効果的である。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF)

トランジスタ数：1,000~10,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナデジ混載

オフチップ■キャパシタによる電源ノイズ■低減効果実証 TEG

東京大学VDEC 名倉 徹

東京大学工学系研究科 鹿野 真弘

概要：近年の微細化により、パッケージのボンディングなどといった電源ライン上の寄生インダクタンスの影響が大きくなり、それに伴い発生する di/dt ノイズや電源共振ノイズが無視できなくなっている。一般にこれらの電源ノイズの低減にはパッシブデカップが用いられるが、大きな容量を得るには大きな面積を必要とし、貴重なシリコン領域を消費してしまう。1つの解決策として、薄膜のキャパシタをダイ上に直接取り付けることにより、低インダクタンスかつシリコン領域を損なわずに大きな容量を得ることができる。この試作チップには、その効果を確認するため、電源品質というものを回路の最大動作周波数で評価するテスト回路を実装した。8つのノイズ発生源をチップ全体に配置し、ノイズ発生源の位置による電源ノイズ、即ち最大動作周波数への影響を確認できるようにしてある。また、実際の LSI チップの環境に近づけるため、パッドはアレイ状に配置している。

設計期間：1 人月以上, 2 人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT) トランジスタ数：1,000~10,000 試作ラン：CMOS SOTB 65nm 3mmx2mm チップ種別：TEG (特性評価回路など)

セレクタリングを用いた PUF 回路

京都大学大学院情報学研究科 吉永 幹, 廣本 正之, 佐藤 高史

概要：近年、偽造チップの流通による電子情報機器のセキュリティリスクが高まっている。Physically Unclonable Function (PUF) はチップの物理的特性ばらつきに依存したチップ固有の関数として機能する回路であり、偽造チップの識別を行える技術として期待されている。本試作では2入力マルチプレクサを環状に多段接続したセレクタリングを用いた PUF の設計を行った。セレクタリングは、各セレクタの選択状態により複数の発振経路を取ることができる。セレクタを構成するトランジスタの製造ばらつきにより、それぞれの発振経路は少しずつ異なった遅延時間を持つ。従って、本回路はセレクタ選択信号を入力、発振周期を出力とするチップ固有の関数として機能する。本試作チップでは128段のセレクタリングを128個配置し、それぞれの発振周期をカウントする機構を実装した。本チップにより、セレクタリングを用いた PUF の動作検証、および、一意性・再現性等のセキュリティ性能の評価が可能となる。

設計期間：2 人月以上, 3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

温度電圧センサとテスト電力制御の評価用 TEG チップ

九州工業大学大学院情報工学研究院 宮瀬 紘平, 佐藤 康夫, 梶原 誠司

九州工業大学大学院情報工学府 加藤 隆明, 三宅 庸資

概要：テスト容易化回路において、チップ内部の温度・電圧を測定するセンサ回路やスキャンベースの論理 BIST の電力制御の研究を行っている。今回の TEG には以下の論理機能を搭載し評価を行う。(1) 提案するデジタル温度電圧センサおよびオンチップ演算処理：リングオシレータベースの温度電圧センサを用いてチップ内の温度・電圧の測定を行う。また、温度・電圧の算出処理をオンチップで行えることを確認する。(2) 耐劣化構造のリングオシレータ：恒温槽を用いた劣化加速試験により意図的に劣化現象を進行させ、耐 NBTI 劣化構造の有効性を検証する。(3) テスト時の電力制御：TEG 外部からテスト電力制御を可能とし、スキャンテスト電力の制御を行う。テスト電力の制御性はテストヤリリングオシレータの周波数を用いて評価する。

設計期間：4 人月以上, 5 人月未満 設計ツール：Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：10,000~100,000 試作ラン：CMOS SOTB 65nm 3mmx2mm チップ種別：TEG (特性評価回路など)

ADPLL及びDCT

電気通信大学情報理工学研究科 荒井 溪太, 野田 一善, 小出 知明

概要：今回の試作では、All-Digital PLL, H. 265向け整数精度DCT, 基板バイアス発生回路の設計を行った。All-Digital PLLでは、出力目標の周波数に該当するDCOの制御信号を逐次比較的に求める周波数逐次比較型という構成に挑戦した。DCOをリングオシレータベースにし、他のブロックをRTLやゲートレベルで設計することで回路面積を抑えることができた。また、逐次比較を制御するステートマシンの動作が最短10クロックで完了するように設計することでロックアップ時間の短縮を試みたが、実測では出力を確認することができなかつたため今後の課題とした。H. 265向け整数精度DCTではH. 265の仕様を満たすため4入力, 8入力, 16入力, 32入力の4つのDCTを行う回路をDCTの特性を利用し1つの回路として実装した。実測により動作が確認できたが、最高動作周波数が設計目標値である50MHzの1/3程度の19MHzであった。電源配線が細く十分に電力を供給できなかったことが原因として考えられる。

参考文献：Microelectronics Technology Unified (S3S) Conference, 10-13 Oct. 2016.

設計期間：3人月以上, 4人月未満 **設計ツール**：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 NanoSim **トランジスタ数**：100,000~1,000,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：アナデジ混載

2段オペアンプ, RF Energy Harvesting, エナジーハーベスティング用温度センサ回路の試作

電気通信大学情報理工学研究科 伊藤 孝幸, 高橋 史帆, 新居 慎也

概要：今回の試作では2段オペアンプ, RF Energy Harvesting, エナジーハーベスティング用温度センサ回路の設計を行った。2段オペアンプ回路ではプロセスの変化による影響を解析するためにRenesas 65nm SOTB プロセスで設計を行った。また設計の条件として駆動負荷の影響を受けないようにするために、駆動負荷を10M Ω , 10pFを設定しており実測でシミュレーションと同様の結果が得られるかの確認を目的とした。実測においては原因不明の短絡によって正しい波形は得られなかつた。エナジーハーベスティング用温度センサ回路ではワイヤレスセンサネットワークの実現に向けて、ワイヤレスセンサネットワーク下でも稼働可能な低電力温度センサ回路を目的として試作を行った。この回路の大まかな動作内容としては、ADCの一種である時間分解能型ADCを用いて温度データというアナログデータをデジタルデータに変換する回路である。また特徴として、電流制御機構を持ち、電流を抑えることで消費電力の低減を行った。研究目標値としていた10 μ W以下で実現される見込みを得たが、測定時のI/O等の寄生容量を考慮していなかつたため、測定動作は確認できなかった。

参考文献：An ultra low power 1 V, 220 nW temperature sensor for passive wireless applications

設計期間：3人月以上, 4人月未満 **設計ツール**：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) **トランジスタ数**：100,000~1,000,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：アナデジ混載

Bitmap Index Creator および FFT

電気通信大学情報理工学研究科 Nguyen Xuan Thuan, 市川 陽平

概要：One of the design generates the bitmap indexes of N records by M keys. It comprises a content-addressable memory, a bitmap index buffer, and a transpose matrix. The simulation results at 150-MHz operating frequency proved that this design could feasibly index up to 330 million records per second owing to the hardware parallelism. The design received the test data from FPGA board. Based on the experiments, the design was fully operational from 0.4 V @ 10 MHz to 1.2 V @ 40 MHz. When we implemented reversed body bias, the leakage current reduced to 2.9 nA at VBB = -2.5 V and VDD = 0.4 V. もう一つの回路は、高速フーリエ変換 (FFT) を行うためのデジタル回路である。フーリエ変換を行う際、複数のステップを経て最終的な結果が導かれることが一般的であるが、本回路では、演算の順序などを工夫することで効率の良い計算を行えるよう、既存の手法に対して改善を施した。測定結果もおおむね良好な結果を示しており、今回の提案手法がFFTの高速化において一定の効果をもたらすことが確認できた。

参考文献：Y. Yamamoto et al., Ultralow-voltage operation of Silicon-on-Thin-BOX (SOTB) 2Mbit SRAM down to 0.37 V utilizing adaptive back bias

設計期間：2人月以上, 3人月未満 **設計ツール**：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 NanoSim **トランジスタ数**：100,000~1,000,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：マイクロプロセッサ

Sub-ranging ADC based on stochastic comparators

東京大学 VDEC Mai-Khanh Nguyen Ngoc, Ikeno Rimon

概要：This circuit is proposed in the project of fine resolution sub-ranging stochastic analog to digital converter (ADC) circuit. The chip prototype is fabricated by using 65nm SOTB CMOS process with an improvement on the structure of differential comparator circuits. The project is to implement a high resolution and high-speed stochastic ADC system including 2-stages of the converter, fine and coarse ones. The comparator structure is applied with a differential analog input signal, which is connected to a "coarse" analog to digital converter circuit. The fine stage includes a sixty-four comparator cells whose common analog input and clock paths are distributed in H-shapes to ensure the equivalent distribution to each comparators' inputs. Outputs of sixty-four comparators are connected to a digital encoder to achieve yields. Several on-chip testing circuits including single comparators and a stand-alone stochastic comparator array are put to evaluate their performance.

設計期間：1人月以上, 2人月未満 **設計ツール**：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Cadence社 ASSURA, Synopsys社 HSPICE (RF), Synopsys社 Formality, Keysight社 ADS **トランジスタ数**：1,000~10,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：アナログ (PLL, A-D/DC-DCコンバータなど)

細粒度分割型三次元積層演算器の性能評価

山形大学大学院理工学研究科 多田 十兵衛

概要：細粒度分割型三次元積層技術を用いたプロセッサの高性能化に関する研究に関連し、細粒度分割を行った演算器の各サブモジュールの性能を測定するため、チップ試作を行った。本研究の目的は、細粒度分割型三次元積層技術によるプロセッサの高性能化である。三次元積層型プロセッサを設計する際に、従来のように構成要素単位で三次元空間上での配置を行う粗粒度分割ではなく、プロセッサの構成要素を複数のサブモジュールに分割する細粒度分割により各構成要素の性能の向上を図る。本チップ試作では、各層に配置する演算器のサブモジュールについて、それぞれ論理合成および配置配線を行い、それらを1チップ上に配置することで各サブモジュールの性能を評価することを目指した。論理設計には Synopsys 社 VCS および DesignCompiler, 配置配線には Synopsys 社 ICACompiler を用いた。

設計期間：1 人月以上, 2 人月未満 **設計ツール：**Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICACompiler **トランジスタ数：**10,000~100,000 **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**演算回路 (乗算器, 除算器など)

自動合成可能な PLL

東京工業大学工学院電気電子系 岡田 健一, Ngo Huy Cu, 吉岡 透, 延命 潤

概要：HDL から自動合成が可能な PLL の試作を行った。注入同期型の構成とすることで、論理ゲートレベルで記述された DCO と、RTL 記述された制御回路に構成されており、配置配線ツールによりレイアウトの自動合成が可能である。また、DCO についても、ミラー遅延回路による広帯域チューニングと、3 入力 NAND を用いた低消費電力かつ低ジッタ構成を実現した。また、制御回路のビット数を最適化し、回路規模と制御回路部の消費電力の最適化を行った。シミュレーションの結果において、1mW 以下の消費電力を達成した。回路面積についても、レイアウト後で非常に小面積な PLL を実現できた。

参考文献：Huy Cu Ngo, Kengo Nakata, Toru Yoshioka, Yuki Terashima, Kenichi Okada, and Akira Matsuzawa, "A 0.42ps-Jitter-241.7dB-FOM Synthesizable Injection-Locked PLL with Noise-Isolation LDO," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, Feb. 2017.

設計期間：0.5 人月以上, 1 人月未満 **設計ツール：**Synopsys 社 VCS, Synopsys 社 DesignCompiler, Synopsys 社 ICACompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数：**1,000~10,000 **試作ラン：**CMOS SOTB 65nm 3mmx2mm **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

バイオセンサ集積回路

名古屋大学工学研究科 新津 葵一

概要：近年、ヘルスケア応用に向けた半導体集積回路の活用が試みられており、一例として、参考文献 [1] (K. Niitsu, S. Ota, K. Gamo, H. Kondo, M. Hori, and K. Nakazato, "Development of Microelectrode Arrays Using Electroless Plating for CMOS-Based Direct Counting of Bacterial and HeLa Cells," IEEE Transactions on Biomedical Circuits and Systems, vol. 9, no. 5, pp. 607-619, Nov. 2015.) においては、無電解金メッキ技術を用いて半導体集積回路上にマイクロメートルオーダの微小金電極を形成して、半導体集積回路上でがん細胞検出に成功したことが報告されている。本チップ試作においては、低消費電力かつ低電源電圧で動作する CMOS バイオセンサ集積回路の試作を 65nm CMOS プロセスにおいて行った。65nm CMOS プロセスの特性を積極的に活かして、低消費電力かつ低電源電圧で動作する小型の発振器回路技術ならびに小型の無線通信回路技術などに関する試作を行った。以前に行った試作での経験を活かし、さらなる性能向上を図った。

参考文献：[1] K. Niitsu, S. Ota, K. Gamo, H. Kondo, M. Hori, and K. Nakazato, "Development of Microelectrode Arrays Using Electroless Plating for CMOS-Based Direct Counting of Bacterial and HeLa Cells," IEEE Transactions on Biomedical Circuits and Systems, vol. 9, no. 5, pp. 607-619, Nov. 2015.

設計期間：10 人月以上 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数：**10,000~100,000 **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

平成28年度第1回ルネサス CMOS 65nm試作 (RS65161)

Geysler SCM

慶應義塾大学理工学部 天野 英晴
芝浦工業大学情報学科 吉田 有佑, 安田 匠吾, 工藤 優, 宇佐美 公良

概要：Geysler SCMは、R3000互換のマイクロプロセッサであり、TLBとキャッシュを装備し、Linuxが動作可能な本格的なCPUである。一方、このチップはStandard Cell Memoryの考え方を検証するために、レジスタで作ったもの、通常のIPのメモリ、Standard Cell Memoryの三種類のメモリを搭載している。Standard Cell Memoryは、SOTBプロセスで用いることで、記憶部分に対してリバースバイアスを掛けて、通常動作時のリーク電力を削減することができる。また、チップ間無線TCI (Through Chip Interface) を装備しており、ビルディングブロック型計算システムのホストとして動作する。他のチップに対しては最も上位に積層され、I/Oの役割を果たす。

参考文献：吉田, 宇佐美, 薄膜BOX-SOIを用いた基板バイアス制御による低消費電力スタンダードセルメモリの設計と実装

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 HSPICE (RF), Synopsys社 HSIM トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 6mmx3mm チップ種別：マイクロプロセッサ

可変パイプライン構造を持つ画像フィルタ用アクセラレータ CC-SOTB2

慶應義塾大学理工学部 天野 英晴, 増山 滉一郎, 安藤 尚輝く, 松下 悠亮, 小島 拓也, 奥原 颯

概要：CC-SOTB2 (Cool Mega Array-CUBE SOTB 2) は、パイプライン構造を可変にすることができる粗粒度Reconfigurable Processorで、PEアレイの行単位で、ボディバイアスを制御することで、パイプラインのステージのスピードを揃えることができる。このため、低消費電力で高い性能を得ることができる。12x8個のPEを持ち、8段のステージにボディバイアスが対応するようにレイアウトされている。さらにこのチップはビルディングブロック型計算システムを構成することができ、誘導結合TCI (Through Chit Interface) のIPを装備しており、Geysler SCMをホストとしてヘテロジニアスマルチプロセッサを構築することができる。

参考文献：増山, 安藤, 松下, 奥原, 天野, "超低消費電力再構成アクセラレータ CC-SOTB2の実装と評価," 2016年デザインガイア

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 6mmx3mm チップ種別：その他

畳み込みニューラルネットワークアクセラレータ SNACC

慶應義塾大学理工学部 天野 英晴, 大久保 徹以, 小島 拓也, 奥原 颯
東京大学工学部 近藤 正章, 高田 遼, 坂本 龍一

概要：SNACCは、ディープラーニングで用いる畳み込みニューラルネットワーク用アクセラレータであり、単純なRISCの命令セットに8ビット・16ビットのSIMD命令を装備したコアを4つ搭載している。34個の細かいメモリを分散して持つことにより、ニューロンの重みや変換テーブルを同時にアクセスすることで性能向上を図っている。このチップはビルディングブロック型計算システムの構成要素としての役割を持っており、誘導結合TCI (Through Chit Interface) のIPを装備している。Geysler-SCMをホストとしてCC-SOTB2などのチップとヘテロジニアスマルチプロセッサを構築することができる。

参考文献：T. Okubo, R. Tanaka, RS 赤元, M. Kondo, H. Amano, "NAMACHA* A software development environment for a multi-chip convolutional network accelerator, Proc. CATA2017, March. 2017

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 6mmx3mm チップ種別：マイクロプロセッサ

ボディバイアス自動調節機構とボディバイアスを用いた高電力効率NoC

慶應義塾大学理工学部 天野 英晴
慶應義塾大学大学院理工学研究科 奥原 颯, Ben Ahmed Akram

概要：本チップは2つの独立したテスト回路より構成される。1つはボディバイアス自動調節機構で、もう一つは適応的にボディバイアスを制御することが出来るNetwork-on-Chip (NoC) である。前者のボディバイアス自動調節機構は被ボディバイアス制御回路の遅延をモニタしながら、所望の遅延となるようなボディバイアスを自動的に印加する。また、実装したNoCはデータトラフィックの過密に応じて、状況に適したボディバイアスを印加することができる。提案NoCは可変パイプラインを採用しており、本チップでは可変パイプラインとボディバイアスの協調動作を目指している。

参考文献：奥原, Beh Ahmed, 天野, "オンチップボディバイアス調節機構アーキテクチャの提案と実装", 信学技報, pp. 35-40, 2016年12月

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 6mmx3mm チップ種別：その他

16bit 乗算器 TEG

立命館大学大学院情報理工学研究科 新納 一樹

立命館大学情報理工学部 越智 裕之

概要：SOTB 65nm プロセスの特性を活かした高速な 16bit 乗算器の実現に向け、Sklansky および Koggestone 方式の乗算器を設計し、実装した。動作周波数や消費電流を測定できるように、被測定回路のほかにクロックオシレータ、テストパターン発生回路、テスト応答圧縮回路などを搭載している。クロックオシレータは、100MHz 以上の周波数のクロックをチップ上で発生させるためのものである（今回の試作では PLL マクロが提供されなかったため、その代用品として実装した）。このクロックオシレータは current starved inverter を用いたリングオシレータであり、外部からバイアス電圧を調整してやることにより発振周波数を変化させることが可能である。テストパターン発生回路は LFSR、テスト応答圧縮回路は CRC を用いている。また被測定回路の消費電力測定のため、専用の電源ピンを設けてある。FPGA ボードと接続して測定を行うべく、準備中である。

設計期間：3 人月以上、4 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：演算回路（乗算器、除算器など）

65nm プロセス小容量メタルフリンジキャパシタ測定用 TEG

立命館大学大学院情報理工学研究科 宮川 尚之, 木村 知也

立命館大学情報理工学部 越智 裕之

概要：配線間容量を利用したメタルフリンジキャパシタは通常の CMOS プロセス互換かつ理想的な線形特性を持つキャパシタである。しかし、小容量のキャパシタを集積する場合、当該キャパシタ外のメタル、例えば他の配線や他のキャパシタとの間のクロストーク容量について十分な考慮や定量的な評価が必要である。本試作では、メタルフリンジキャパシタの電極を内側と外側に分け、内側電極を外側電極でシールドする構造とした Fishbone-in-Cage Capacitor (FiCC) の特性を評価する TEG である。被測定キャパシタを接続したリングオシレータと、接続していないリングオシレータを実装し、これらの周波数を比較することで、容量を推定しようとしている。現在、測定準備中である。

参考文献：宮川, 木村, 越智, "FiCC: 高集積向け耐クロストークノイズメタルフリンジキャパシタ", 信学技報, vol. 116, no. 478, pp. 43-47, 2017 年 3 月。

設計期間：1 人月以上、2 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF) トランジスタ数：1,000~10,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG（特性評価回路など）

低電圧安定動作のための回路特性評価回路及び次世代アーキテクチャのプロトタイプ的设计

京都大学情報学研究所 中井 辰哉, 都築 祐亮, 岸本 真, 長岡 悠太, 小野寺 秀俊, 石原 亨

概要：①低電圧安定動作のための設計基盤の開発を目標とし、低電圧動作に適した回路素子の評価回路や静的/動的ばらつきの評価回路を作成した。多種類の RO をアレイ状に多数並べた回路により各スタセルの特性やばらつきを評価する。複数の再構成可能なモニタ回路によりトランジスタのノイズ特性、ばらつき特性を評価するほか、リーク電流変化を利用した温度センサとしての評価も行う。②ビアスイッチを用いた次世代型再構成可能アーキテクチャの開発を目標とし、要素回路の設計を行った。当該アーキテクチャのプロトタイプを設計し、論理ブロックの性能を評価する。

設計期間：7 人月以上、8 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSIM トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm 角 チップ種別：TEG（特性評価回路など）

幅広い動作性能領域においてエネルギー最小点動作を可能にする完全デジタル型オンチップメモリの試作

京都大学情報学研究所 塩見 準, 都築 祐亮, 岸本 真, 吉澤 慶, 石原 亨, 小野寺 秀俊

概要：電源電圧および基板電圧を動的に調節可能なオンチップメモリを試作した。試作チップにはそれぞれ 1kB, 2kB, 4kB のオンチップメモリが搭載されており、それぞれの容量に対し、6TSRAM およびスタンダードセルを用いた完全デジタル型メモリの 2 種類が実装されている。6TSRAM と異なり完全デジタル型メモリは極低電圧領域で安定して動作することを提示することが第一の目的である。その結果、完全デジタル型メモリの電源電圧および基板電圧を広範囲に調節することが可能になり、幅広い要求動作速度に対し、当該メモリが常にエネルギー最小点で動作可能であることを示すことが第二の目的である。また、当該チップにはスタンダードセル単体の遅延特性を評価する回路が搭載されている。様々な論理種に対し、単一のセルで構成されたリングオシレータをアレイ状に配置することで、様々な電源電圧に対し複数種類のスタンダードセルの遅延特性やばらつき特性を評価することが可能である。

設計期間：5 人月以上、6 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSIM, Synopsys 社 SiliconSmart トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm 角 チップ種別：メモリ

差動低雑音増幅器とバルク電圧制御発振器の試作

大阪工業大学大学院工学研究科 木原 崇雄, 松田 茂郷, 高橋 克樹, 吉尾 恒洋, 矢野 裕之

概要：2020年までに、500億個の電子機器が無線でインターネットに接続すると予想されており (IoT: Internet of Things), Bluetooth Low Energy (BLE) 等の無線通信機能を有する制御IC (MCU: Micro Controller Unit) の需要はこれまで以上に高まっている。1つのチップ上に無線部とCPU部を集積するSoC (System-on-Chip) の構成を採ることで、IoT関連機器の小型化と電池の長寿命化が可能になる。しかし、CPU部のクロック信号が無線部に漏れ込み、その特性を劣化させてしまう。受信機の初段に設ける低雑音増幅器 (LNA) をクロック信号等の影響を受けにくい差動構成とすることで、無線部とCPU部のワンチップの容易化を目指す。さらに、低電圧動作に適した電圧制御発振器 (VCO) を試作する。これらの実現に向けて、本試作では以下を行った。・0.55 V, 2.4 GHz動作の差動LNA・オンチップトランスを用いた単相-差動変換・ソース接地LNAとゲート接地LNAの特性比較・インダクタのシミュレーション結果と実測の比較・0.55 V, 500 MHz動作のバルク電圧制御型発振器

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT) トランジスタ数：100~1,000 試作ラン：CMOS SOTB 65nm 3mmx2mm チップ種別：通信 (RF回路, ATMなど)

NBTI劣化の高並列測定回路

京都大学大学院情報学研究科 栗野 皓光, 佐藤 高史

概要：Negative bias temperature instability (NBTI) は、pMOSトランジスタの閾値電圧が緩やかに上昇する経年劣化現象として知られている。これまで我々は、多数のトランジスタをアレイ状に配置しストレス印加を並列に行うことで、NBTIに伴うトランジスタの劣化、およびトランジスタごとのNBTI劣化のばらつきに関する情報を効率よく取得する方法を開発し、実チップにより検証してきている。本試作では、より微細なトランジスタにおいてもアレイ回路によるNBTI劣化のばらつき測定を行えるよう回路の改変を行い、これを実装した。閾値電圧の測定においてノイズとなるリーク電流を従来以上に低減する回路を用いて、数千個のトランジスタの並列ストレス印加と測定を可能とする。本チップで実証した回路構造を用いることで、微細プロセスにおいても、多数のトランジスタについて効率の良いNBTI劣化測定が可能となる。

参考文献：H. Awano, M. Hiromoto, and T. Sato, "Variability in Device Degradations: Statistical Observation of NBTI for 3996 Transistors," European Solid-State Device Research Conference (ESSDERC), pp. 218-221, Sep. 2014.

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim トランジスタ数：10,000~100,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

リングオシレータを用いたPUF回路

京都大学大学院情報学研究科 吉永 幹, 廣本 正之, 佐藤 高史

概要：近年、偽造チップの流通による電子情報機器のセキュリティリスクが高まっている。Physically Unclonable Function (PUF) はチップの物理的特性ばらつきに依存したチップ固有の関数として機能する回路であり、偽造チップの識別を行える技術として期待されている。本試作ではリングオシレータの発振周期によりチップ識別を行うことのできるPUF回路の設計を行った。リングオシレータの発振周期は各インバータの遅延時間の和によって決定されるため、トランジスタの製造ばらつきにより個々のリングオシレータは固有の発振周期を持つことになる。これをチップ固有のIDとして使用することでチップ識別が可能となる。本試作ではPUFを関数として機能させるため、リングオシレータの各段に2つずつインバータを配置し、マルチプレクサによりそれらのいずれを使用するかを選択できる構成とした。本試作チップでは8段のリングオシレータを120個配置し、それぞれの出力をモニターできる機構を実装した。本チップにより、リングオシレータを用いたPUFの動作検証、および、一意性・再現性等のセキュリティ性能の評価が可能となる。

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE (RF) トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

Bitmap Index Based Query Processor

電気通信大学情報理工学研究科 Nguyen Xuan Thuan

概要：This design aims to answer the multi-dimensional queries by using bitmap index technology. It is composed of a bitmap index memory a query memory a query logic array module and a multi-match priority encoder. The simulation results indicated that at 125 MHz the design can perform as many as 232x103 records/second in case 32 keys and queries are utilized. Furthermore by applying the reverse body bias voltage of -2 V the leakage current reduces up to 73 times as compared to that in normal body bias.

参考文献：R Mueller et al., Data processing on FPGAs

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 NanoSim トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：マイクロプロセッサ

FFT and AES-CCM

電気通信大学情報理工学研究科 Nguyen Xuan Thuan

概要：A single-precision floating-point FFT Twiddle Factor (TF) implementation is designed on SOTB process. The architecture is based on Adaptive Angle Recoding CORDIC (AARC) algorithm. The TF design is built and verified on Altera Stratix IV FPGA chip and 65nm SOTB process. On SOTB process, the core has 16,858 standard cells on an area of 298x291 μm^2 , 166 MHz maximum frequency, and the speed of 27.107 MSps. The accuracy results are $1.133\text{E}-10$ Mean-Square-Error (MSE) and about 26 part-per-million (ppm) maximum error. AES-CCM core: This chip is built to verify the operation of the proposed low area AES-CCM authenticated encryption core architecture in SOTB CMOS technology. The AES-CCM core includes an iterative AES core, controller and interface circuits. The expected maximum frequency is 149 MHz. From simulation in VCS tool and FPGA board, the proposed AES-CCM core operated correctly. We have tested the SOTB chip for the proposed AES-CCM core. We used an FPGA board to generate digital inputs and capture digital outputs from the chip. The function of proposed AES-CCM core is correct.

設計期間：2 人月以上, 3 人月未満 **設計ツール**：Synopsys 社 DesignCompiler, Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数**：100,000~1,000,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：アナログ/デジタル信号処理プロセッサ

エナジーハーベスティング用温度センサ回路

電気通信大学情報理工学研究科 新居 慎也

概要：研究目標であるワイヤレスセンサネットワークの実現に向けて、ワイヤレスセンサネットワーク下でも稼働可能な低電力温度センサ回路の試作を行った。この回路はアナログ回路設計とデジタル回路設計の両方で行う、ミックスドシグナル回路である。この回路の大まかな動作内容としては、ADC の一種である時間分解能型 ADC を用いて温度データというアナログデータをデジタルデータに変換する回路である。また特徴として、電流制御機構を持ち、電流を抑えることで消費電力の低減を行った。本試作では 2016 年 1 月試作のプロトタイプに加えて先行研究で設計済みの環境発電用電源回路と RF 送信機回路も加えたワンチップセンサノード回路として試作した。試作回路のシミュレーション結果は、温度範囲が -50°C から 50°C の範囲で、分解能が 0.11°C であった。また面積は $9000\mu\text{m}^2$ と非常に小面積で実現した。サンプリングレートは 50kHz で、一番の課題である消費電力は $8.5\mu\text{W}$ という見込みを得た。結果として、研究目標値としていた $10\mu\text{W}$ 以下で実現される見込みを得たが、測定時の I/O 等の寄生容量を考慮していなかったため、測定動作は確認できなかった。

参考文献：An ultra low power 1 V, 220 nW temperature sensor for passive wireless applications

設計期間：1 人月以上, 2 人月未満 **設計ツール**：Synopsys 社 ICompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 Hercules, Synopsys 社 HSPICE (RF), Synopsys 社 NanoSim **トランジスタ数**：10,000~100,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：アナデジ混載

オンチップインダクタ及び発信回路

電気通信大学情報理工学研究科 石毛 剛志, 大島 知之

概要：今回の試作では、発信回路、オンチップインダクタ、整流回路の設計を行った。今回は発信回路について報告する。試作した発振回路は、5 段のリングオシレータとバッファ回路で構成されている。バッファ回路はインバーターを偶数個用いることでバッファ回路としている。本回路の目的はリングオシレータの各トランジスタに基板バイアスを印加することによって、出力の発振周波数を変化させることである。出力信号は振幅 0.55V、発振周波数 1GHz~3GHz となるように設計を行った。シミュレーションでは基板バイアス $V_{\text{BB}}=0\text{V}$ で $f=1.37\text{GHz}$ 、 $V_{\text{BB}}=0.55\text{V}$ で $f=2.53\text{GHz}$ まで変化した。しかし実測では出力の発振が見られなかった。原因として IO の寄生容量、パッケージにしたときの寄生容量が大きかったため、その寄生容量に周波数成分が吸われたと考えられる。

参考文献：On-chip Spiral Inductors for RF Applications: An Overview

設計期間：3 人月以上, 4 人月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数**：1,000~10,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：通信 (RF 回路, ATM など)

VCO, PA, LNA の設計

電気通信大学情報理工学研究科 Nguyen Van Trung

概要：This chip was built for verifying the operation of a part of proposed transmitter and LNA of proposed receiver. The chip includes 2 Ring Oscillators generating carrier of 2.4 GHz 01 E-class power amplifier with onchip inductor load 01 E-class power amplifier with off-chip inductor load 01 CG LNA with onchip inductor. RC extracted Simulation results showed the frequency of check point at output of RO is 2.37 GHz. The design had an input for data inputting. Hspicrf simulation with idela inductors displayed output power around 1.7 mW on 50 Ohm load. Because RC extracted can not extracted inductance RC simulation was not implemented. With E-class structure we hope the power consumption of power amplifier is small.

参考文献：Design and Optimization of CMOS class-E Power Amplifier

設計期間：2 人月以上, 3 人月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数**：100~1,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：通信 (RF 回路, ATM など)

極低電力RFID TEG

慶應義塾大学大学院理工学研究科 黒田 忠広, 木内 裕介

慶應義塾大学理工学部 戸枝 佑太, 藤巻 匠, 柳川 秀輔

概要：RFIDは、バーコードなどに代わり商品管理の手段として実用化されている。商品を箱の中に入れると自動的に購入しようとしている物品のIDをスキャンし、支払い合計額を計算するレジシステムも存在する。しかしながら、コストや通信距離などの性能による制限から、その応用範囲は限定的である。IoT時代においては、無数の機器がインターネットにつながることで、個々の物体は小さなものに至るまでユニークなIDを持つことが期待される。RFIDの動作電力を極小化することにより、RFIDの応用範囲が大きく広がることが予想される。我々はRFIDのID信号発生部分に新規回路方式を導入し、低電力化を目指している。安定な電源やグラウンドを定義しにくいRFIDチップでは、シミュレーションによる検討のみでは不十分と考えている。VDECでの試作機会を活用し、シミュレーションと実動作の一致を確認することが本試作の目的である。今回搭載したID信号発生部分に加えて、無線アンテナ部をTEGに搭載できれば、システム全体としての動作の実機検証できたのだが、時間と面積の制約から今回は断念した。今後の機会を利用してチャレンジしていきたいと思う。

参考文献：なし

設計期間：2ヶ月以上，3ヶ月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF) トランジスタ数：1,000～10,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

極低電力RFID 要素回路単体 TEG

慶應義塾大学大学院理工学研究科 黒田 忠広, 木内 裕介

慶應義塾大学理工学部 戸枝 佑太, 藤巻 匠, 柳川 秀輔

概要：RFIDは、バーコードなどに代わり商品管理の手段として実用化されている。商品を箱の中に入れると自動的に購入しようとしている物品のIDをスキャンし、支払い合計額を計算するレジシステムも存在する。しかしながら、コストや通信距離などの性能による制限から、その応用範囲は限定的。IoT時代においては、無数の機器がインターネットにつながることで、個々の物体は小さなものに至るまでユニークなIDを持つことが期待される。RFIDの動作電力を極小化することにより、外付け部品の削減およびチップサイズの小型化をはかることが可能になり、RFIDの応用範囲が大きく広がることが予想される。我々はRFIDのID信号発生部分に新規回路方式を導入し、低電力化を目指している。安定な電源やグラウンドを定義しにくいRFIDチップでは、シミュレーションによる検討のみでは不十分と考えている。VDECでの試作機会を活用し、シミュレーションと実動作の一致を確認することが本試作の目的である。本チップには、ID信号発生のための要素回路を単体で測定できるように切り出したものを搭載した。ID信号発生回路全体が所望の動作をしなかった場合に備えての、解析用のTEGである。

設計期間：2ヶ月以上，3ヶ月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF) トランジスタ数：1,000～10,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

耐放射線評価用TLC送受信機 高速通信評価TEG

慶應義塾大学大学院理工学研究科 黒田 忠広, 小菅 敦丈, 原口 雅嗣

概要：近年の人工衛星の機器間の通信速度は高速化している。さらに、IoT時代において衛星通信の通信容量の増加が見込まれる。人工衛星で機器同士の接続に用いられるコネクタは通信品質が悪く、通信速度が律速される問題があるのでTLC (Transmission Line Coupler) を応用することで、機器間通信の高速化をする。従来の機械式コネクタの代替となる基板間無線通信技術である。電極の露出しない無接点方式であるため電極の摩耗や、振動時に電極が離れる通信障害が発生しない。これらの特徴から人工衛星への応用に適している。しかし、宇宙環境は放射線が飛び交うため、人工衛星への応用には放射線照射時にも安定して動作することが求められる。今回VDECの機会を活用して試作した本チップはTLCの放射線試験をする目的で試作したものである。放射線耐性に優れたSOTBプロセスを使用してTLCの送受信機として用いる回路を搭載している。本チップではワイヤボンディング実装できるように設計した。放射線耐性のあるパッケージをした場合はそこで通信速度の律速が発生するため、本チップではパッケージ無しで実装し、チップ単体における性能評価を行う。

参考文献：なし

設計期間：2ヶ月以上，3ヶ月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：100～1,000 試作ラン：CMOS SOTB 65nm 3mmx2mm チップ種別：TEG (特性評価回路など)

耐放射線評価用TLC送受信機 耐放射線試験用TEG

慶應義塾大学大学院理工学研究科 黒田 忠広, 小菅 敦丈

慶應義塾大学理工学研究科 原口 雅嗣

概要：近年の人工衛星では機器間の通信速度は高速化している。さらに、IoT時代においては衛星通信の通信容量の増加が見込まれる。しかし、人工衛星で機器同士の接続に用いられるコネクタは通信品質が悪く、通信速度が律速される問題がある。そこで、TLC (Transmission Line Coupler) を応用することで、機器間通信の高速化を期待できる。従来の機械式コネクタの代替となる基板間無線通信技術である。電極の露出しない無接点方式であるため電極の摩耗や、振動時に電極が離れる通信障害が発生しない。これらの特徴から人工衛星への応用に適している。しかし、宇宙環境は放射線が飛び交うため、人工衛星への応用には放射線照射時にも安定して動作することが求められる。今回VDECの機会を活用して試作した本チップはTLCの放射線試験をする目的で試作したものである。放射線耐性に優れたSOTBプロセスを使用してTLCの送受信機として用いる回路を搭載している。本チップでは耐放射線試験を行えるように、耐放射線に優れたセラミックのパッケージに実装できるように設計した。パッケージ実装したチップを用いて放射線試験を実施する予定である。

参考文献：なし

設計期間：2ヶ月以上，3ヶ月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre トランジスタ数：100～1,000 試作ラン：CMOS SOTB 65nm 3mmx2mm チップ種別：TEG (特性評価回路など)

耐放射線評価用 TLC 送受信機 放射線試験リファレンス用 TEG

慶應義塾大学大学院理工学研究科 黒田 忠広, 小菅 敦丈, 原口 雅嗣

概要：近年の人工衛星では機器間の通信速度は高速化している。さらに、IoT時代においては更なる衛星通信の通信容量の増加が見込まれる。しかし、人工衛星で機器同士の接続に用いられるコネクタは通信品質が悪く、通信速度が律速される問題がある。そこで、TLC (Transmission Line Coupler) を応用することで、機器間通信の高速化を期待できる。これは従来の機械式コネクタの代替となる基板間無線通信技術である。電極の露出しない無接点方式であるため電極の摩耗や、振動時に電極が離れる通信障害が発生しない。これらの特徴から人工衛星への応用に適している。しかし、宇宙環境は放射線が飛び交うため、人工衛星への応用には放射線照射時にも安定して動作することが求められる。今回 VDEC の機会を活用して試作した本チップは TLC の放射線試験をする目的で試作したものである。放射線耐性に優れた SOTB プロセスを使用して TLC の送受信機として用いる回路を搭載している。本チップは耐放射線に優れたセラミックのパッケージに実装できるように設計した。このチップでは放射線を照射しない状態でのパッケージを含めた特性を評価し、放射線試験したものと比較するためのリファレンスとする予定である。

参考文献：なし

設計期間：2 月以上, 3 月未満 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数**：100~1,000 **試作ラン**：CMOS SOTB 65nm 3mmx2mm **チップ種別**：TEG (特性評価回路など)

Two-stage sub-ranging fine resolution ADC

東京大学 VDEC Mai-Khanh Nguyen Ngoc, Ikeno Rimon

概要：Instead of making an effort to suppress such process variations as conventional analog-to-digital converters (ADC), stochastic ADC approach exploits process variations based on the Gaussian distribution assumption of comparator voltage offset (Vos.) A stochastic ADC uses a large number of comparators in order to built a multi-Gaussian based transfer function comprising of comparators' offset voltage cumulative distribution function (CDF). All comparator output values are summed up to achieve an output yield where the yield is defined as the number of comparators with '1' output values. A stochastic ADC makes use of the limited linear region neighbouring to the CDF's trip point as the transfer function. In this design, the circuit includes a circuit system for fine resolution sub-ranging stochastic ADC circuit, which includes both coarse and fine data converter stages. In a stochastic ADC, the number of comparators in a stochastic array is very important and a trade-off between power consumption, linearity, input voltage range. The more condensed the multi-Gaussian offset distribution surrounding the trip point is, the closer to a linear transfer function and wider range the offset distribution of the comparator group obtains. This testing chip includes several combinations of comparator circuits for the purpose of searching the optimized number of comparators for this process. In addition, the coarse ADC stage is applied with a digital encoder and bubble removal circuit. Comparator outputs can be individually measured by using a serial output terminal and hence individual single comparator offset voltages can be found. For the stochastic ADC circuit, a layout strategy is proposed to reduce systematic variation and achieve Gaussian offset distribution with a reasonable number of comparators.

設計期間：1 月以上, 2 月未満 **設計ツール**：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA, Synopsys 社 HSPICE (RF), Synopsys 社 Formality, Keysight 社 ADS **トランジスタ数**：1,000~10,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：アナログ (PLL, A-D/DC-DC コンバータなど)

自動合成可能な PLL

東京工業大学工学院電気電子系 岡田 健一, Ngo Huy Cu, 吉岡 透, 延命 潤

概要：HDL から自動合成が可能な PLL の試作を行った。注入同期型の構成とすることで、論理ゲートレベルで記述された DCO と、RTL 記述された制御回路に構成されており、配置配線ツールによりレイアウトの自動合成が可能である。また、DCO についても、ミラー遅延回路による広帯域チューニングと、3 入力 NAND を用いた低消費電力かつ低ジッタ構成を実現した。また、制御回路のビット数を最適化し、回路規模と制御回路部の消費電力の最適化を行った。シミュレーションの結果において、1mW 以下の消費電力を達成した。回路面積についても、レイアウト後で非常に小面積な PLL を実現できた。

参考文献：Huy Cu Ngo, Kengo Nakata, Toru Yoshioka, Yuki Terashima, Kenichi Okada, and Akira Matsuzawa, "A 0.42ps-Jitter -241.7dB-FOM Synthesizable Injection-Locked PLL with Noise-Isolation LDO," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, Feb. 2017.

設計期間：0.5 月以上, 1 月未満 **設計ツール**：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 ASSURA, Synopsys 社 HSPICE (RF), Synopsys 社 Formality, Keysight 社 ADS **トランジスタ数**：1,000~10,000 **試作ラン**：CMOS SOTB 65nm 3mm 角 **チップ種別**：アナログ (PLL, A-D/DC-DC コンバータなど)

バイオセンサ集積回路

名古屋大学工学研究科 新津 葵一

概要：近年、ヘルスケア応用に向けた半導体集積回路の活用が試みられており、一例として、参考文献 [1] (K. Niitsu, S. Ota, K. Gamo, H. Kondo, M. Hori, and K. Nakazato, "Development of Microelectrode Arrays Using Electroless Plating for CMOS-Based Direct Counting of Bacterial and HeLa Cells," IEEE Transactions on Biomedical Circuits and Systems, vol. 9, no. 5, pp. 607-619, Nov. 2015.) においては、無電解金メッキ技術を用いて半導体集積回路路上にマイクロメートルオーダの微小金電極を形成して、半導体集積回路路上でがん細胞検出に成功したことが報告されている。本チップ試作においては、低消費電力かつ低電源電圧で動作する CMOS バイオセンサ集積回路の試作を 65nm CMOS プロセスにおいて行った。65nm CMOS プロセスの特性を積極的に活かして、低消費電力かつ低電源電圧で動作する小型の発振器回路技術に関する試作などを行った。

参考文献：[1] K. Niitsu, S. Ota, K. Gamo, H. Kondo, M. Hori, and K. Nakazato, "Development of Microelectrode Arrays Using Electroless Plating for CMOS-Based Direct Counting of Bacterial and HeLa Cells," IEEE Transactions on Biomedical Circuits and Systems, vol. 9, no. 5, pp. 607-619, Nov. 2015.

設計期間：10 月以上 **設計ツール**：Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数**：10,000~100,000 **試作ラン**：CMOS SOTB 65nm 3mmx2mm **チップ種別**：アナログ (PLL, A-D/DC-DC コンバータなど)

大規模積和演算アクセラレータの試作

大阪大学情報科学研究科 橋本 昌宜

高知工科大学システム工学群 密山 幸男

概要：機械学習を用いたアプリケーションの拡大に伴い、機械学習に求められる演算を高効率に実行できるハードウェアの研究が盛んに行われている。我々は、エッジ端末上での動作を想定し、機械学習識別器などに頻出する大規模積和演算の高エネルギー効率実行を可能にするアクセラレータアーキテクチャの開発を進めている。提案アクセラレータは、多段カウンタを基本要素とするアレイ構造を持ち、プログラマブルな構造と ASIC に匹敵する演算効率の両立を目指している。複数の積項からなる膨大な部分積の足し合わせを同時に行うことにより、高い性能が期待できる。本試作では、アクセラレータの基本回路を試作した。本試作チップには、12ビット 216 オペランドの積和演算を実行可能なアクセラレータが搭載されている。また、入力オペランドを LFSR によって生成し任意回数の演算を連続して実行できる機構を搭載しており、提案アクセラレータの消費エネルギーの評価を可能としている。

設計期間：6 人月以上、7 人月未満 設計ツール：Synopsys 社 DesignCompiler, Cadence 社 SoC Encounter, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 Formality トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 6mmx3mm チップ種別：マイクロプロセッサ

SOTB を利用した超低消費電力アナログ回路向け要素回路 TEG

大阪大学情報科学研究科 橋本 昌宜

神戸大学工学研究科 廣瀬 哲也

概要：本試作では、SOTB を利用したアナログ回路向けの要素回路 TEG の開発、設計を行った。基準電流源、電圧源、チャージポンプ回路、弛張発振回路の設計を行った。基準電流源、電圧源回路においては、極めて低い消費電力で動作するナノワットリファレンス回路を設計・搭載した。SOTB プロセスでは、対地基板容量の低減が期待できることから、オンチップ昇圧可能なチャージポンプ回路の設計を行った。チャージポンプ回路の低損失化、低入力電圧対応可能な回路とした。シミュレーション評価の結果、電力変換効率の改善、ならびに 100 mV 程度の低電圧を受けて昇圧可能であることを確認した。弛張発振回路では、時間計測を行う 32-kHz の RTC (Real-time clock) と 32-MHz のシステムクロックの実装を行った。シミュレーション評価の結果、RTC では、29.8 nW, 32.1 kHz を達成し、世界最小の FoM = 0.93 nW/kHz を達成した。システムクロックでは、32.9 uW, 32.3 MHz を達成し、起動時間 1 us で定常動作となることを確認した。現在測定評価を推進中である。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre トランジスタ数：100~1,000 試作ラン：CMOS SOTB 65nm 3mm 角 チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

幅広い動作領域でエネルギー最小点動作を可能にするプロセッサの試作

京都大学情報学研究科 石原 亨, 小野寺 秀俊, 塩見 準, 岸本 真, 保木本 修, 吉澤 慶

概要：電源電圧および基板電圧を動的に調節可能なプロセッサを試作した。試作チップにはそれぞれ 1kB, 2kB, 4kB のスタンダードセルを用いた完全デジタル型メモリが搭載されている。また、プロセッサのロジック部とメモリ部で異なる電源電圧および基板電圧を印加可能である。幅広い要求動作速度に対し、当該プロセッサが常にエネルギー最小点で動作可能であることを示すことが第一の目的である。また、当該プロセッサのロジック部とメモリ部で異なる電圧を印加することにより、同一の電圧を印加した場合より消費エネルギーを低減可能であることを示すことが第二の目的である。また、当該チップにはプロセッサのクリティカルパス遅延、静的エネルギーおよび温度を評価する回路が搭載されている。試作後の測定により上記プロセッサが電源電圧 1.2V に対し正常動作することを確認した。

設計期間：5 人月以上、6 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF), Synopsys 社 HSIM トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm 角 チップ種別：マイクロプロセッサ

KVS チップ (3次元積層用)

慶應義塾大学理工学部 松谷 宏紀

概要：本チップは、Key-Value Store (KVS) 要求を処理する Processing Element (以後、KVS PE と呼ぶ) を 1 個、32kByte の SRAM マクロを 1 個、3次元チップ間通信用の誘導結合によるトランシーバ回路、オンチップルータを 1 個実装している。チップサイズは 6mm x 3mm である。KVS PE は、同時期にテーブアウトした「KVS チップ (PE 単体検証用)」の試作レポートで紹介した通り、参考文献 (Tokusashi, Hot Interconnect 24) で発表した実装を 32-bit 幅に縮退したものである。本チップは 3次元チップ間通信用のトランシーバ回路 (上方向と下方向の 2チャンネル) とオンチップルータを備えているため、同類のチップを 3次元方向に積層することで 3次元ワイヤレスチップ間ネットワークを構成できるようになっている。実際、同時期に慶應義塾大学天野研究室らがテーブアウトした 3次元チップ間通信可能なチップと互換性を持たせてあり、これらと併せて積層することができるように設計されている。

参考文献：Yuta Tokusashi, Hiroki Matsutani, "A Multilevel NOSQL Cache Design Combining In-NIC and In-Kernel Caches", Proc. of the 24th IEEE International Symposium on High Performance Interconnects (Hot Interconnects 24), pp.60-67, Aug 2016.

設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 6mmx3mm チップ種別：マイクロプロセッサ

KVSチップ (PE 単体検証用)

慶應義塾大学理工学部 松谷 宏紀

概要: 本チップは、Key-Value Store (KVS) 要求を処理する Processing Element (以後、KVS PE と呼ぶ) と SRAM マクロを実装している。KVS PE は、GET コマンドと SET コマンドの二種類のコマンドに対応している。SET コマンドは Key と Value を指定し、指定した Key のハッシュ値に対応する SRAM のメモリ番地に Value を保存する。GET コマンドは指定した Key に対応する Value を SRAM から読み出す。本チップは KVS PE と SRAM マクロの単体検証用である。チップサイズは 3mm x 3mm であり、KVS PE を 2 個、32kByte の SRAM マクロを 2 個実装している。KVS PE は、参考文献 (Tokusashi, Hot Interconnect 24) で発表した実装を 32-bit 幅に縮退したものをチップ化している。KVS PE は、制御用の 32-bit のマイクロプロセッサを内蔵している。GET コマンドは専用回路で処理する。一方、メモリの動的割り当てを行う SET コマンドには KVS PE 内蔵のマイクロプロセッサを使用する。

参考文献: Yuta Tokusashi, Hiroki Matsutani, "A Multilevel NOSQL Cache Design Combining In-NIC and In-Kernel Caches", Proc. of the 24th IEEE International Symposium on High Performance Interconnects (Hot Interconnects 24), pp.60-67, Aug 2016.

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 3mm 角 **チップ種別:** マイクロプロセッサ

自己発熱効果バラつきを測定するトランジスタアレイ TEG

関西大学システム理工学部 佐藤 伸吾

概要: 今回試作したチップは自己発熱効果起因の電気特性バラつきを測定するためのトランジスタアレイ TEG である。SOIMOS-FET 構造は熱伝導性が悪い埋め込み絶縁膜を持つためバルク MOSFET よりも外部へ熱が逃げにくく、トランジスタ内部に熱が籠る傾向があり駆動能力が劣化することが懸念されている。本アレイ TEG はトランジスタの駆動電流により発生する自己発熱効果をゲート電極の抵抗値変動により測定する。列方向にカレントミラー回路により実現した電流源回路を並列に複数配置し、その電流源を用いてトランジスタを駆動させる。トランジスタ駆動時の端子電圧はケルビン測定によりチップ外部に出力し、トランジスタの電流電圧特性を得る。自己発熱効果を測定するためにゲート電極抵抗も同時測定する。本測定構成はトランジスタと同様に電流源回路を用いてゲート電極に電流印加し、ゲート電極両端の電圧をチップ外部に出力することでゲート電極の抵抗値を測定する。各トランジスタの様々なチャネル幅、チャネル長を持つトランジスタに対して自己発熱効果バラつきを計測し、自己発熱効果を効果的に抑制する素子構造を模索することを目標とする。回路動作については現在検証中。試作 1 人月、トランジスタ数は約 100k 個。試作チップは 3.0mm x 2mm。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 3mmx2mm **チップ種別:** TEG (特性評価回路など)

製造工程起因の不良検出を目的とした抵抗素子アレイ TEG

関西大学システム理工学部 佐藤 伸吾

概要: 今回試作したチップは半導体製造工程起因の抵抗素子欠陥を検出するためのプロセスアレイ TEG である。本アレイ TEG は抵抗値測定モードとして単体抵抗素子を直列接続するチェーン測定モードと単体抵抗素子を測定するケルビン測定モードの 2 種類を備えている。上記 2 種類の測定方法を適宜切り替える 2 段階測定の採用により測定時間と高不良検出率を両立させる。本測定手法による付随的な効果として他の不良箇所解析手法を経ることなく不良箇所同定が可能で直接的に物理断面解析を実施することにより不良解析の短 TAT 化が見込める。本アレイ TEG は市場不良として顕在化する Via やコンタクト等の抵抗値素子の劣化性不良の検出を目標としており、微小抵抗値変動を検出後、当該素子に対して過電流印加による不良加速試験を実施することを想定している。そのため被測定素子に対して大電流を印加できるように周辺回路を設計した。TEG 機能検証のために数 mΩ から数 MEGΩ の抵抗素子を作り込み欠陥としてアレイ TEG 内に配置するとともに外周 PAD に同素子レイアウトの抵抗素子を配置することで抵抗値相関を確認し試作回路の測定精度を検証する予定。回路動作については現在検証中。試作 1 人月、トランジスタ数は約 30k 個。試作チップは 1.5mm x 2mm。

設計期間: 1 人月以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Cadence 社 UltraSim **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** TEG (特性評価回路など)

ソフトエラー耐性の高いフリップフロップの検討

京都工芸繊維大学電子システム工学専攻 丸岡 晴喜, 山田 晃大, 古田 潤, 小林 和淑

概要: 近年、トランジスタサイズの微細化に伴い、放射線起因の一時故障 (ソフトエラー) の影響が顕在化している。ソフトエラーとはトランジスタに放射線が突入することで発生し、メモリなどの保持値を書き換える現象である。本研究では SOTB プロセスを用いて LSI の信頼性向上を目的に、耐放射線フリップフロップ (FF) の検討を行った。提案した FF はスレーブラッチに ON 状態の PMOS パストランジスタが挿入され、放射線起因のエラーパルスを抑制できる。一般的な FF と比較して、遅延時間や消費電力が 20% 以内の増加で実現できた。しかし、PMOS と NMOS のトランジスタ数が同数ではないため、セルの面積は 50% 程度のオーバーヘッドになった。本チップは提案 FF や一般的な FF が直列に接続され、シフトレジスタとして搭載されている。研究室内で α 線照射測定を実施し、提案回路のソフトエラー耐性の評価を行った。一般的な FF はエラーが 1000 個程度検出されたのに対し、提案 FF は最大でも 2 個しかエラーが発生しなかった。今後、中性子照射と重イオン照射測定を行いソフトエラー耐性を評価する予定である。

設計期間: 3 人月以上, 4 人月未満 **設計ツール:** なし, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** CMOS SOTB 65nm 3mm 角 **チップ種別:** TEG (特性評価回路など)

発振回路による Plasma Induced Damage 評価チップ

京都工芸繊維大学電子システム工学専攻 岸田 亮, 古田 潤, 小林 和淑

概要：発振回路を用いた Plasma Induced Damage (PID) 評価チップを試作した。PID は配線加工時のプラズマ電荷による酸化膜損傷である。PID によりトランジスタの特性劣化が引き起こされるため、実測評価が重要となっている。評価のために、電源線と発振回路の仮想電源線との間に、PID が引き起こされる NMOS または PMOS トランジスタを挿入した構造とした。PID 起因のしきい値電圧劣化により、発振回路の仮想電源電圧が下がり、周波数が減少する構造である。この構造では、従来の発振経路上に PID 評価用トランジスタを入れる構造に比べて、PID の影響が周波数に約 10 倍大きく表れることをシミュレーションにより確認した。実測結果から NMOS と PMOS で PID の影響が異なることを明らかにした。

設計期間：1 人月以上, 2 人月未満 **設計ツール**：Cadence 社 NCVerilog, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC (XT), Synopsys 社 HSPICE (RF) **トランジスタ数**：1,000,000~10,000,000 **試作ラン**：CMOS SOTB 65nm 2mmx1.5mm **チップ種別**：TEG (特性評価回路など)

第4章 VDEC 概要

4.1 組織概要

東京大学大規模集積システム設計教育研究センター(略称 VDEC)は、日本の国公立大学と工業高等専門学校における VLSI 設計教育の充実と研究活動の推進のために平成 8 年 5 月に全国共同利用施設として発足した。

当時は専任教官 5 名と事務官 1 名という小さな組織であったが、平成 9 年度には専任教官 2 名と事務官 1 名が増員され、現在は専任教員 9 名、客員教授 1 名、そして 20 名以上の非常勤スタッフや学外協力研究員が在籍している。

また、平成 9 年 4 月から平成 19 年 3 月まで、全国 9 大学の VDEC サブセンターから連携を密にする目的で、

2 年を単位として 2 名の教官を派遣する「流動教官制度」を開始した。(平成 16 年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更)

平成 20 年 4 月からは「協力教員制度」を開始し、現在は 10 大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている。(下記参照)

さらに産業界との連携のため、1 名の客員教授に協力をお願いしている。

センターの事務については、センターの非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとり行っている。

流動教官派遣大学

年 度	派 遣 大 学
平成 9・10 年度	東北大学, 横浜国立大学
平成 11・12 年度	金沢大学, 広島大学
平成 13 年度	千葉大学, 東京工業大学
平成 14 年度	千葉大学, 東京工業大学, 京都大学
平成 15 年度	京都大学, 九州大学
平成 16 年度	大阪大学, 九州大学
平成 17 年度	名古屋大学, 大阪大学
平成 18 年度	北海道大学, 名古屋大学
平成 19 年度	北海道大学
平成 20 年度以降	協力教員派遣大学 北海道大学, 東北大学, 東京工業大学, 金沢大学, 京都大学, 京都工芸繊維大学, 大阪大学, 広島大学, 九州大学, 立命館 大学

4.2 人事報告

VDEC 人事

センター長・教授	浅田 邦博
教授	藤田 昌宏
客員教授	森村 浩季
准教授	高宮 真
准教授	飯塚 哲也
特任准教授	名倉 徹
特任講師	池野 理門
助教	栗野 皓光
助教	Mai Khanh
助教	松本 高士
特任研究員	LEBRASSEUR ERIC CHAR
特任研究員	大西 廉伸
特任研究員	藤原 誠
特任研究員	島本 直伸
主査	宮澤 紀美
一般職員	内田 千代美

協力教員

高木 信一	(東京大学工学系研究科電気系工学専攻教授)
池田 誠	(東京大学工学系研究科電気系工学専攻教授)
三田 吉郎	(東京大学工学系研究科電気系工学専攻准教授)
竹中 充	(東京大学工学系研究科電気系工学専攻准教授)



平成 28 年度大規模集積システム設計教育研究センター運営委員会委員

氏 名	所 属 等
浅田 邦博	大規模集積システム設計教育研究センター長
光石 衛	大学院工学系研究科長
池田 誠	大学院工学系研究科 教授
坂井 修一	大学院情報理工学系研究科 教授
中野 義昭	大学院工学系研究科 教授
荒川 泰彦	生産技術研究所 教授
高木 信一	大学院工学系研究科 教授
三田 吉郎	大学院工学系研究科 准教授
藤田 昌宏	大規模集積システム設計教育研究センター 教授
高宮 真	大規模集積システム設計教育研究センター 准教授
飯塚 哲也	大規模集積システム設計教育研究センター 准教授

平成 28 年度大規模集積システム設計教育研究センター全国運営協議会委員名簿

氏 名	所 属
浅田 邦博	東京大学大規模集積システム設計教育研究センター 教授（センター長）
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授
池田 誠	東京大学大学院工学系研究科電気系工学専攻 教授
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授
本村 真人	北海道大学大学院情報科学研究科情報エレクトロニクス専攻 教授
小谷 光司	東北大学電子工学専攻 准教授
一色 剛	東京工業大学学術国際情報センター 情報支援部門 教授
益 一哉	東京工業大学ソリューション研究機構 教授
柳澤 政生	早稲田大学基幹理工学部電子物理システム学科 教授
北川 章夫	金沢大学理工研究域電子情報学系 教授
河口 信夫	名古屋大学大学院工学研究科計算理工学専攻 教授
小野寺 秀俊	京都大学大学院情報学研究科通信情報システム専攻 教授
松岡 俊匡	大阪大学大学院工学研究科電気電子情報工学専攻 准教授
Mattausch Hans Juergen	広島大学ナノデバイス・バイオ融合科学研究所集積システム部門 教授
安浦 寛人	九州大学（大学院システム情報科学研究院情報知能工学部門 教授）理事・副学長
藤野 毅	立命館大学理工学部電子情報工学科 教授
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授
黒田 忠広	慶応義塾大学理工学部電子工学科 教授
吉本 雅彦	神戸大学大学院システム情報学研究科 教授

4.3 決算報告

1. 運営費交付金

(千円)

事 項	収入 (予算配分) 額	支 出 額	過 不 足 額
共通経費	407,755	317,540	90,214
研究経費	10,749	10,964	△214
計	418,504	328,504	90,000

2. 平成 28 年度受託研究

	教員名	委 託 者	研 究 題 目	受託金額 (円)
1	浅田 邦博	国立大学法人京都大学	微細加工プラットフォーム	74,901,000
2	浅田 邦博	国立研究開発法人新エネルギー・産業技術総合開発機構	IoT 推進のための横断技術開発プロジェクト／超低消費電力データ収集システムの研究	5,004,000
3	浅田 邦博	株式会社東芝	「集積回路向け計算機援用設計・検証ツール群」使用体制の構築	23,530,000
4	浅田 邦博	株式会社 豊通エレクトロニクス	先端集積回路の評価・解析技術高度化の研究	5,000,000
5	藤田 昌宏	国立研究開発法人科学技術振興機構	IoT とモバイルビッグデータ処理のための高信頼高機能サイバーフィジカルシステムの構築	17,082,000
合 計				125,517,000

3. 平成 28 年度共同研究

	教員名	申 込 者	研 究 課 題	受入金額 (円)
1	高宮 真	株式会社村田製作所	細粒度プロセッサ内蔵電源 (IVR) の研究	6,896,000
2	高宮 真	日本電信電話株式会社	高効率エネルギーハーベスティング回路に関する研究	3,000,000
3	浅田 邦博	株式会社アドバンテスト	先端 LSI 開発環境・テスト技術 (平成 28 年度)	10,000,000
4	浅田 邦博	株式会社アドバンテスト	ナノギャップ電極と流路の集積化によるセンサ素子の研究	5,000,000
合 計				24,896,000

4. 平成 28 年度寄附金

受入件数：3 件 受入額計 31,700,000 円
 (太陽誘電(株), (株)半導体エネルギー研究所・株式会社アドバンテスト)

第5章 研究報告

5.1 全体概況

	研究室構成 人数(名)	研究発表(件)			著書(冊)	特許(件)	受賞(件)
		研究論文	国際会議	その他			
VDEC 教員	34	13	38	12	2	1	1
協力教員	57	30	39	40	1	0	5

浅田・池田・名倉・飯塚研究室構成

浅田 邦博 教授
 名倉 徹 准教授
 飯塚 哲也 准教授
 Nguyen Ngoc Mai Khanh VDEC 助教
 Parit Kanjanavirojkul 博士 3 年
 楊 驍 博士 2 年
 織田 勇 牙 修士 2 年
 鹿野 真 弘 修士 2 年
 許 錯 修士 2 年
 鈴木 悠 大 修士 2 年
 松川 慧 修士 1 年
 伊藤 貴 亮 修士 1 年
 陳 明 翰 修士 1 年
 寺尾 直 樹 修士 1 年
 杉山 泰 基 修士 1 年
 屠 繼 豪 修士 1 年
 中里 徳 彦 学部 4 年
 加賀 谷 司 学部 4 年
 榎本 隆 一 学部 4 年
 竹原 謙 太 学部 4 年

藤田研究室

藤田 昌 宏 教授
 松本 高 士 助教
 Amir Masoud Gharehbaghi 特任助教
 Wang Qin hao 博士 3 年
 Conrad JinYong Moore 修士 2 年
 Lu Yi 修士 2 年
 岩田 健太郎 修士 2 年
 木村 悠 介 修士 2 年
 岡本 朋 大 修士 1 年
 丸岡 大 浩 学部 4 年
 根石 将 人 学部 4 年

高宮研究室

高宮 真 准教授
 崔 通 特任助教
 邱 浩 特任研究員
 山内 善 高 博士 1 年
 本田 雅 宣 博士 1 年
 蔡 定 勳 修士 2 年

宇野 祐輝 修士 1 年

池田研究室構成

池田 誠 教授
 栗野 皓 光 助教
 吉川 俊 之 特任研究員
 久米 英 司 共同研究員
 荒川 文 男 特任研究員
 金 雄 鉉 博士 2 年
 池田 司 修士 2 年(現在 シノブシス)
 金 寛 好 修士 2 年
 市橋 忠 之 修士 1 年
 斎藤 僚 介 修士 1 年
 Vinod Gadde Vishwa 修士 1 年
 古賀 啓太郎 学部 4 年(現在修士 1 年)
 豊島 尚 樹 学部 4 年
 谷 潤 正 崇 学部 4 年(現在 フューチャーアーキ
 テクト株式会社)

三田研究室構成員 (平成 28 年度)

三田 吉 郎 准教授
 ルブラッスール エリック 特任研究員(ナノテクノロジー・プラットフォーム 技術支援担当)
 藤原 誠 特任研究員(ナノテクノロジー・プラットフォーム 技術支援担当)
 水島 彩 子 学術支援専門職員(ナノテクノロジー・プラットフォーム 技術支援担当)
 太田 悦 子 学術支援専門職員(ナノテクノロジー・プラットフォーム 技術支援担当)
 島本 直 伸 特任研究員(ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)
 大西 廉 伸 特任研究員(ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)
 澤村 智 紀 技術職員(武田先端知クリーンルーム管理室)
 河井 哲 子 事務補佐員
 渡邊 かをる 事務補佐員(ナノテクノロジー・プラットフォーム事務局)

広 沢 公 彦 学術支援職員(ナノテクノロジー・プラットフォーム フォーム 武田クリーンルーム管理室担当)
 佐 藤 昇 技術補佐員(ナノテクノロジー・プラットフォーム フォーム 新川崎担当)
 近 藤 尚 子 技術補佐員(ナノテクノロジー・プラットフォーム フォーム 利用者支援担当)
 佐 藤 善 亨 工学系共同研究員(ナノックスジャパン)
 高 田 晃 広 VDEC 共同研究員 (アドバンテスト)
 瀧 澤 昌 弘 VDEC 共同研究員 (アドバンテスト)
 中 山 雄 太 工学系共同研究員 (コニカミノルタ)
 滝 口 幹 夫 工学系共同研究員 (ソニー)
 山 下 直 也 博士3年
 宇佐美 尚 人 博士1年
 Ranga Reddy 博士1年
 岡 本 有 貴 修士2年
 瀬戸口 良 太 修士2年 (現在 トヨタ自動車)
 竹 城 雄 大 修士1年
 遠 山 幸 也 学部4年(現在 生産技術研究所 年吉研究室 修士1年)
 山 田 健太郎 学部4年 (現在 修士1年)
 Dominik Lämmerer 工学系研究科 交換留学生(グラスツ大学)

高木・竹中研究室構成

高 木 信 一 教授
 竹 中 充 准教授
 金 関 洙 (特任研究員)
 程 勇 鵬 博士3年(工学系)
 玉 琥 博士3年(工学系)
 朴 珍 權 博士3年(工学系)
 張 志 宇 博士3年(工学系)
 韓 在 勲 博士2年(工学系)
 亢 健 博士2年(工学系)
 金 佑 彊 博士2年(工学系)
 後 藤 高 寛 博士1年(工学系)
 裴 泰 彦 博士1年(工学系)
 高 島 成 也 修士2年(工学系)
 柯 夢 南 修士2年(工学系)
 佐々木 和 哉 修士2年(工学系)
 安 大 煥 修士2年(工学系)
 小 澤 悠 平 修士2年(工学系)
 武 内 和 治 修士1年(工学系)
 加 藤 巧 修士1年(工学系)
 尹 尚 希 修士1年(工学系)
 廖 辰 宇 修士1年(工学系)
 関 根 尚 希 学部4年(工学部)
 嶋 田 絢 学部4年(工学部)

浅田・名倉・飯塚研究室

(http://www.mos.t.u-tokyo.ac.jp)

電源雑音測定・解析・低減手法

浅田, 名倉, 飯塚, 鹿野

近年のLSIのプロセス微細化による消費電力の増加で、電源の寄生インピーダンスと回路の寄生容量に起因する電源共振ノイズが、LSIの動作に深刻な影響を与えたと問題視されている。

電源共振ノイズの低減には一般的にパッシブデカップが用いられるが、大きな容量を得るためには大きな面積コストがかかってしまうため、本研究ではアクティブの電荷注入を考えることで面積コストの低減を目指した。電荷注入に関しては、容量を一旦充電しておき放電するアプローチと抵抗により直接外部電源から電荷を引き込むアプローチが考えられるが、この両方について我々はある仮定の下での注入電荷量を解析・モデル化し、またその解析に基づく電荷注入を実現する回路を設計・試作した。具体的な提案回路は電圧ドロップ検出器、注入コントローラ回路、キャンセル容量/抵抗回路の3つであるが、電圧ドロップ検出器に関してはDLL (Delay Locked Loop) とバーニア型のTDC (Time-to-Digital Converter) を用いたものと、電圧比較器を用いたものの2つを設計した。それぞれ実測により、ノイズ低減が無かった場合と比較して容量によるアプローチでは14%のノイズ低減を、抵抗によるアプローチでは24%のノイズ低減を実現した。また、抵抗によるアプローチは同程度のノイズ低減を実現するMOSキャパシタと比較してわずか10%の面積で実現することができ、ノイズと面積コストの両方の低減を可能にした。

本研究の提案手法は基本的にフィードフォワード制御であり、フィードバック制御に関しては極簡単な制御しかしていない。従ってよりロバスタなシステムを実現するために、より正確なモデルとそれを実現するフィードバック制御の実現が期待される。

極微細プロセス技術における集積回路のテストと信頼性の向上

浅田, 名倉, 飯塚, 松川, 寺尾, 竹原

半導体プロセス微細化が進むにつれLSIの消費電流

が増加し、電源インピーダンスに起因する電源電圧変動の影響が深刻化している。LSIは製造後にテスト検証を行うが、テスト装置と実機の電源インピーダンスは一般に異なるため、テスト装置における電源電圧変動の波形が実機のものとは異なり、Overkill/Underkillの原因となる。そこで、電源に電流補償を行うことにより、寄生インダクタンスや寄生キャパシタンスを変化させることのできる電源回路を提案し、設計・試作した。これを用いて電源インピーダンスを実機のものに模擬した状態でテストを行うことでテスト精度の向上が期待される。実証実験の結果、テスト装置の電源電圧変動波形を実機のものに一致させることに成功し、電源インピーダンスが模擬できたことが確認された。

また、行列演算を用いて多電源ピン同時制御に対応できるようにしたほか、デジタルフィルタのフィードバックを用いて、インダクタンスやキャパシタンスのパラメータだけでなく任意の電源インピーダンスネットワークを模擬する手法を提案し、シミュレーションに成功した。

時間領域制御を用いたPLL回路

浅田邦博, 名倉徹, 飯塚哲也, 屠継豪, 加賀谷司

私たちは時間領域制御を用いたPLL回路の研究に取り組んだ。PWPLLは内部の発振器がパルス幅で制御されるような新しいタイプのPLL回路である。

IoTデバイスのように間欠的なシステムに置いては、PLLの高速起動がシステムの起動の際の待ち時間だけではなく、消費電力も削減することができる。よって私たちは参照周波数と出力周波数が毎回同じであるというシステムにおけるPWPLLの高速起動法を提案する。

私たちは高速起動のためにPWPLLのロック時のフィードバックループにおける位相と周波数コントロールコードの記憶と再現という方法を採用した。このような方法を実現させるために、時間-デジタル変換器、デジタル-時間変換器さらに様々な記憶回路を従来のPWPLLに付加した。

この一連の記憶と再現の操作を行った後、PWPLLが再度起動する時に記憶した位相と周波数コントロールコードを初期値として設定することで、結果として高速起動が実現されることになる。この高速起動

PWPLLのロック時間はシミュレーションでは20 ns ~ 150 ns, 実測においては70 nsということが示された。

PLLの設計をより簡単にし同時に効率を上げるために、私たちは自動設計フローを作った。しかし、このフローはすべてのPLLに通用するわけではなく、スタンダードセルを用いたADPLLしか自動的に合成されない。

今は、私たちはPLLの全体の一部の自動合成を実現した。このフローは自動的にVerilog netlistとSpice netlistを生成することができる。この2つのnetlistを基づいて、layoutを生成し、検査を含めての全過程を自動的に実現することができるが、事前に、人が自分で設定すべきパラメーター何個も存在している。この設定を行わないと、この自動設計フローを実行することはできない。このプログラムをより改善させるために、私たちは今performance specificationを通じて各パラメーターを生成することをテーマとして研究している。

時間領域制御を用いた CDR・TDC 回路

浅田邦博, 名倉徹, 飯塚哲也, 陳明翰, 榎本隆一

デジタル回路がプロセス微細化の恩恵を受ける一方、アナログ回路は電圧ヘッドルームの減少などといった負の影響を被っている。時間領域回路ではデジタル信号のエッジ遷移によってアナログ信号を表現するので、微細プロセスにおけるアナログ回路の問題の解決策となりうる。

時間領域回路の代表例として時間デジタル変換器がある。時間デジタル変換器は素子の持つ伝搬遅延時間を利用して2つの立ち上がり信号の持つ時間差をデジタル信号に変換する回路であり、本研究ではその方式の1つであるパルス縮小型時間デジタル変換器に注目した。一般に、時間デジタル変換器では分解能と入力周波数範囲との間にトレードオフが存在し、特にパルス縮小型時間デジタル変換器においてはそれが顕著である。そこで、本研究では階層化構造により高分解能を保ちつつ、入力周波数範囲を広げることが出来る方法を提案し、検証用のチップの設計試作を行った。

時間デジタル変換器には様々な応用があり、Cycle Lock Gated Oscillatorを利用したクロック-データ再生回路(CDR回路)もその一つである。このCDR回路は、センサーネットワークやモバイル機器など、間欠的にシリアル通信を行うシステムをターゲットにしており、通信状態での電力消費量だけでなく、待機状態での電力消費量や待機状態からの復帰速度が重要になる。本研究では、復帰速度を保ちつつ、データレートの向上や低消費電力化を目指し、同程度

の解像度を持つ遅延可変バッファと Vernier TDCを用いたCDR回路を提案し、検証用のチップの設計を行った。

半導体フォトダイオードを用いた放射線検出器

浅田, 名倉, 飯塚, 楊, 許

近年注目されているシンチレーション検出器は、放射線核種の特異性や到来角の推定などもでき、様々な分野に応用されている。先行研究はシンチレータ、SPAD (Single Photon Avalanche Diode) アレイ、マルチコート材料、ピンホールで構成された検出器を提案し、シンチレータ内点光源位置を推定する手法を検証しました。我々はブレイクダウンするSPAD位置から光子の運動軌跡を計算することによって光源位置を推定する手法を提案し、この手法が先行研究より少ない時間で光源位置を検出できる。シミュレーションの結果より、1 mmサイズのシンチレータ内に10 μ m-20 μ mの空間分解能を達成でき、0.3秒以内に検出することができる。SPADアレイについて、Pwell/DeepNwellをブレイクダウン領域とする構造のSPADが一番低いDCRを表すことが確認した。また、高効率読み出し回路を持つ31 \times 31ピクセルのSPADアレイも試作して、短時間パルス微弱な光を検出できることも実験で確認した。

高速通信路におけるクロストーク低減手法

浅田, 名倉, 飯塚, 中里

半導体プロセスの微細化による回路の性能向上にともない、有線通信の速度は向上している。またテレビの高解像度化や自動車の電装化によりアプリケーションに必要なデータレートも向上している。

技術・需要の両面から通信を高速化する必要があるが、それを妨げる要因の1つとなっているのが、クロストークである。クロストークの対策として、先行研究では受信端でクロストークを軽減する回路が提案されていた。本研究ではその回路を元にPD制御回路や時間遅延素子を導入した回路を提案した。シミュレーションを用いて、その回路がより効果的なクロストーク軽減ができる可能性があることを示した。

LSI セキュリティ向上のための表面磁界測定

浅田, 名倉, 飯塚, Khanh, 織田

高い信頼性が要求される集積回路システムにおいては、回路全体に安定した電源電圧を供給するための高品質な電源網の設計が必須となっている。しかしながら、実際の動作時における電源網の状態や信

WAC

頼性を実測により観測し分析することは困難であり、従来までは内部回路の遅延時間の変化などから電圧降下を推定するといった間接的な方法が取られることが多かった。本研究では、集積回路の表面磁界から電源網に流れる電流を推定することで、電源網における電流分布を可視化し、電流集中や電源網の不良箇所等の診断を行う手法を提案する。本手法を用いることで、高い信頼性が求められる集積回路に対して電源網の信頼性の評価を低コストで行うことができる。電磁界シミュレーションを用いた実験により、電源網における配線層間スルーホール欠陥を観測した表面磁界から検出できることを実証した。また、実際の測定結果を用いて電流推定を行うことができることを示すため、評価用チップの設計を行った。評価用チップの測定により、実際のチップの電源網の電流分布推定が可能であることを示した。

低消費電力アプリケーション向け超広帯域インパルス発生器

浅田邦博, 名倉徹, 飯塚哲也,

Nguyen Ngoc Mai-Khanh, Parit Kanjanavirojkul,

鈴木悠大

高周波超広帯域インパルス無線検知アプリケーション用の広帯域パルス発生法が研究されている。従来のフィードバック型スイッチ発振機パルス生成手法に対してこの研究は励起型パルス発生により発振周波数がCMOSのFmaxに制限されない。さらに、急速起動時間とゼロ待機電力を備えている。電圧モード励起と電流モード励起を利用した2つのパルス生成技術が提案されている。LC共振器の代わりに伝送線路共振器を使用しているため、Q値が高くなり、高周波でのモデリングが簡単にもなる。その結果、測定上の12.5 GHzの発振周波数において3.13%のエネルギー変換効率が達成される。これは、1%未満の効率を有する従来の励起型パルス発生器から改善される。プロトタイプは、石英基板上の伝送線共振器上にフリップされたCMOSチップによって実現される。

力を達成している逐次比較方式を採用して高分解能達成を狙う。高分解能実現に向けて、冗長ビットを用いた変換や、DACのスイッチングの工夫などを取り入れており、現段階では回路試作を行いその性能を検証している。

また、LSIのプロセス微細化により、熱雑音やプロセスばらつきがアナログ回路の動作に与える影響が深刻化している。ADCにおいてノイズやばらつきを低減させるために、オフセットキャンセリング技術や回路面積を大きくすることで対応してきた。

ADCにおける別の手段として、複数の比較器を並列に駆動する統計的アプローチが興隆している。この手法をレベルクロス型ADCに適用したレベルクロス型統計的ADCが存在する。レベルクロス型統計的ADCにおいて入力スロープがレベルクロス計測に与える影響をシミュレーションで確認・検証した。また、実際のチップを設計し、測定を行う予定である。

藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp/>)

論理回路デバッグにおける新たな手法

藤田昌宏, ガラバギ アミル マスード

論理回路のデバッグでは通常は内部ノードにおいて、回路動作が与えられた仕様と同じになるような新たな関数を決定する必要がある。本研究ではその新たな関数自身を決定するのではなく、その関数への入力を見つけることに注目した新たな手法を提案した。まずプライマリ入力に対するその関数の依存性を調べる。次に関数への入力候補となる内部ノードを選択する。最後に関数への入力決定される。関数への入力となるプライマリ入力と内部ノードの両方がSAT問題を繰り返し解くことで選択され、解の正しさが

保証される。ITC'99ベンチマークによる実験から、入力候補が1000以上存在する場合でもこの手法で数10回繰り返してSAT問題を解くことで、新たな関数を見つけることができた。

高精度アナログ-デジタル変換回路

浅田, 名倉, 飯塚, 伊藤, 杉山

Analog-to-Digital Converter (ADC) はアナログ信号をデジタル信号に変換する回路である。

本研究では聴覚のニューロン模倣に向けて、その信号の入力部分を担当するADCの製作を目指す。このADCは比較的低速で動作させることができるが、その一方で高い分解能を達成したうえで省電力であることが求められる。今回は複数の変換方式の中でも省電

複数回路間での効率的なトポロジカルマッチング

藤田昌宏, ガラバギ アミル マスード

複数の回路において似た部分や異なる部分を認識することは、回路を統合したり誤りを検出したり、リバースエンジニアリングしたり、冗長性を確認するために重要であるばかりではなく、IPライブラリを管理するためにも有用である。本研究では、2つあるいは3

つ以上の論理回路中で最も大きな共通回路部分を検出する手法を提案した。ゲートレベルのネットリストが与えられたとき、まず回路をグラフとして表現する。次に、シグニチャの生成とマッチングに基づく新たな手法によって最大の共通サブグラフを検出する。本手法では、シグニチャに対して新たなハッシュ関数を導入して効率的に実装することで、以前の我々のグラフマッチングに基づく手法に比べて、より大きな回路に対しても1桁以上高速である。IWLS2005ベンチマークによる実験の結果、2つの160,000ゲートのIPの間での完全なマッチングを30秒で見つけることが可能となった。

ECOのための高位記述自動合成手法とその応用

藤田昌宏, ガラバギ アミル マスード, 王 勤浩, 木村悠介

LSI設計では、ゲートレベル回路に最適化を施した後には仕様変更が発生することがある。この場合、高位言語を修正して再合成することはせずに、直接ゲートレベル回路を変更することがある。なぜなら、これまでの最適化の努力を無駄にしないためである。本研究では、修正したゲートレベル回路を用いて、新しい高位記述を再生成する手法を提案した。またその応用として、ゲートレベル回路と高位記述間の等価性を検証する新手法も提案した。

多重故障に対する効率的な ATPG 手法

藤田昌宏, ガラバギ アミル マスード, コンラッド J. ムーア

半導体製造技術の微細化に伴い、製造されたチップの広範囲にわたって分布するより多くの故障が存在するようになり、従来の単一縮退故障モデルが適切ではなくなってきた。もちろん全ての多重故障の組合せをテストできればよい。与えられた回路に対して、単一故障より多重故障のほうが指数的に多いが、単一故障のテストパターンについてある初期セットが与えられると、少しテストパターンを追加するだけで完全に多重故障をカバーできることが我々の過去の研究により分かっている。本研究では単一縮退故障のATPGによって生成されたテストパターンが多重縮退故障を検出しない場合を扱う。これは単一故障でのATPGが全ての多重故障をカバーするのに必要な条件を示すことでなされる。次に、回路から除外すると上記条件が満たされなくなる条件を決定する。最後に二重縮退故障までを検出するATPGアルゴリズムを提案した。この手法ではテストパターン生成において少数の二重縮退

故障のみを考慮すればよいことと残り全てのパターンは既に単一縮退故障でカバーされていることが示された。

再構成可能プロセッサに対する通信を考慮したコンパイラ

藤田昌宏, ガラバギ アミル マスード, 王 勤浩, ルー イ, 丸岡大浩

並列度の高いシステムにおけるプログラムを最適化することは困難な仕事と考えられており、専門家による手動での性能調整を伴う。さらにトランジスタの微細化により、コア間のデータ転送に伴う遅延がシステム遅延において支配的となっている。これはメニーコアシステムが多くの場合に活用されていない原因となっている。本研究では、整数線形計画 (ILP) に基づきメッシュ構造のプロセッサアレイ上のデータフローグラフを解析し、最適化する手法を提案する。本手法は配線遅延を考慮し、データ転送法を見つけて関数の割り当てを行う。柔軟なILPに基づく定式化により、ターゲットのアーキテクチャでの特定のプログラムに対して最適解を得る。本手法は高位ECOにも適用でき、高位合成を行う一方でシステム上での関数割り当てを推定する。

C プログラムの自動部分合成手法

藤田昌宏, 木村悠介

本研究では、一部分が空欄となったテンプレートと呼ばれるC言語プログラムを用いて、いくつかの入出力組をもとにプログラムを自動合成する手法について研究した。CEGIS (Counter Example Guided Inductive Synthesis) 手法を活用する事により、少ないテストパターンで効率的にプログラムが合成できることが示された。

トレースバッファを使用した電氣的バグの発生箇所絞り込み

藤田昌宏, ガラバギ アミル マスード, 岩田健太郎

半導体技術の進歩によりチップの高集積化が進み、配置配線処理で考慮すべき要素は増大する中、論理的機能は正しく設計されているにも関わらず、実チップを製造して動作させると出力が誤っている場合がある。その主な原因が電氣的バグである。このバグは電氣的要因によって生じ、動作状況への依存性の高さから再現性が低いいため、そのデバッグには非常に時間を要する。そこで、トレースバッファというオンチップメモリを使用し、一部のフリップフロップの値を記録

する。その値と、解析し復元したフリップフロップの値を使って、各サイクルの各フリップフロップについて網羅的に電氣的バグが生じる可能性があるかを調べることによって、電氣的バグが発生した候補となる箇所を絞り込んだ。

FPGA を用いたニューラルネットワークの高速化

藤田昌宏, ガラバギ アミル マスード, 岡本朋大, 根石将人

ある特定の計算に特化した専用ハードウェアは、一般的に汎用のプロセッサより処理が高速で、かつ消費電力が小さい。チップを製造するには大きなコストがかかってしまうため、このような専用ハードウェアに適しているのが、プログラムできる回路であるFPGA (Field Programmable Gate Array) である。本研究では複数のFPGAを用いたニューラルネットワークシミュレーションの高速化を行う。ここで扱うニューラルネットワークは脳の機能を模擬した数学的なモデルである。私たちはこのモデルを1つのFPGA上に高度にパイプライン化された回路として実装することによって、768個のニューロンからなるネットワークを実際の脳と比べて93倍高速にシミュレーションすることを可能にした。さらに、私たちは実装できるニューロン数を増やすため、FPGAをリング状につなげた構造に対し、FPGA間の通信が少なくなる効率的なニューロンの分割法を考案した。この方法を用いると、リング状につながる93個のFPGAを用いた場合、7400個のニューロンについて人間の脳と同程度の高速シミュレーションができることになる。

隣接するブロック間のみの配線をもつFPGAに対する配置配線手法

藤田昌宏, 丸岡大浩

FPGAの集積度が増すにつれ、FPGAの低コスト化と高速化が進んだ一方でタイミングクロージャ問題が大きな課題となっている。そこでタイミングクロージャ問題が原理的に生じないようにするため、隣接する論理ブロック間だけに配線を持つFPGAのモデルについて検討した。本研究では配置配線の際の制約を整数線形計画 (ILP) 問題として定式化することにより配置配線を行う手法を提案した。ILP問題として扱うだけでは短時間で解を得ることができなかったため、回路を分割しILP手法を適用することで許容解を高速に得ようとした。実際にベンチマーク回路を用いてモデルのFPGAに対する配置配線をシミュレーションしたところ、小規模な回路では実用可能なサイクル数で実装可能となった。

高宮研究室

(<http://icdesign.iis.u-tokyo.ac.jp/>)

IoT デバイスに向けた低電力・高効率回路

高宮真, 桜井貴康

モノのインターネット (Internet of Things : IoT) を実現するためにはLSIの高エネルギー効率動作が必要である。高エネルギー効率動作を実現するためには、電源電圧の低電圧化と電源電圧の時空間の細粒度制御が必要のため、1チップ上に複数の電源回路が必要となる。また、近年、エネルギーハーベスティングで動作するIoTデバイスへのニーズが高いため、エネルギーハーベスティング向けの電源回路も重要となっている。そこで、(1) 電源コード外皮からの容量性結合エネルギーハーベスティング、(2) RFエネルギーハーベスティング回路の高感度化、(3) 低消費電力と低位相ノイズを両立した39 MHz水晶発振回路の研究を行った。

有機トランジスタを用いた大面積・フレキシブルエレクトロニクスの新アプリケーション提案と実証

高宮真, 染谷隆夫, 桜井貴康

電子機器を身にまとうウェアラブル型デバイスや電子機器を体内に埋め込むインプラント型デバイスではフレキシブルで大面積なエレクトロニクスが求められる。そこで、薄いフィルム上に印刷で作成可能な有機トランジスタを用いた大面積・フレキシブルエレクトロニクスのアプリケーション提案と実証を染谷研究室と共同で行っている。最近では「義手の制御用の筋電測定シート」「おむつ用ワイヤレス尿漏れ検出センサシート」「音で発熱を知らせる腕章型発熱アラーム」の提案と実証を行った。

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp/>)

高性能暗号エンジンの実現

池田誠, 栗野皓光, 池田司, 市橋忠之, 斎藤僚介, 古賀啓太郎, 荒川文男

楕円曲線上の点の演算を始めとする様々な暗号処理を可能とする高速な汎用暗号プロセッサの設計を行った。この汎用暗号プロセッサは設計パラメータを変更することで広い範囲で回路面積と演算時間をトレードオフ的に調整することができる。特に良い設計パラ

メータでは回路面積 638kgate において楕円曲線の点のスカラー倍算を 0.16ms で行うという結果が 65 nm SOTB CMOS ライブラリを用いた論理合成によって得られた。また、楕円曲線デジタル署名アルゴリズム (ECDSA) の署名生成・検証の回路の小規模実装に向けた検討を行った。65 nm SOTB CMOS ライブラリを用いた論理合成および論理シミュレーションにより、座標系やアルゴリズム、演算器の基数の違いによる面積と処理時間の関係を明らかにした。得られたデータは小規模かつ効率的な実装に向けた方式選択の定量的な指針となる。また、高機能暗号エンジンの実現を目指した拡大体上の演算の高速化を目指した検討も行った。

ダイナミック回路を用いた自己同期システムの検討

池田誠, 金寛好

本研究ではクロック信号を使わない非同期回路を構成するダイナミック回路の一つである Differential Cascode Voltage Switch Logic (DCVSL) 回路の入力数による低電圧動作特性を実測により検討を行った。評価のため、2入力から6入力までのスタティック及びダイナミック回路単体のトランジスタサイズを低電圧動作において最適化を行い、SOTB 65 nm CMOS により試作し、実測を行った。実測においては動作限界電圧、消費電力、遅延、電力遅延積を指標として行った。より効率的な低電力動作ダイナミック回路を実現するための一助となることを目指している。

スマートイメージセンサを用いた三次元計測とセキュアセンシング

池田誠, 吉川俊之, 久米英司, 金雄鉉,
Vinod Gadde Vishwa, 豊島尚樹, 谷渕正崇

本研究では、スマートイメージセンサを用いた高機能計測手法とセキュアセンシングについて新しい提案を目指して多様なアプローチをしている。高機能計測手法については変調光投影と検波型イメージセンサを用いた背景光除去性能を有する三次元形状計測システムとピクセル内偏光情報取得手法を提案し、実装と評価を行っている。セキュアセンシングについては CMOS 回路レベルの軽量センサーデータ暗号化アーキテクチャと位相シフト法に対する妨害手法とその対策手法について検討と評価を行っている。さらに THz イメージングに向けたピクセルパラレル型アナログフロントエンド回路の検討を行った。

1. Programmable Matter プロジェクト - エネルギー自立型分散マイクロシステムによる形状可変体

三田吉郎, 宇佐美尚人, ジュリアン ブルジョワ (仏 FEMTO-ST 研究所), プノワ ピランダ (仏 FEMTO-ST 研究所), ステファン ドラランド (仏 PSA-Peugeot)

集積化 MEMS (微小電気機械システム) のトップダウンアプリケーションとして、自立マイクロシステムの研究を行っている。「大きさ 1 cm 以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。2016 年度より、集積化マイクロメカトロニクス研究室 (東京大学生産技術研究所 LIMMS, CNRS-IIS, UMI 2820) Host Professor の立場でフランス共和国国立研究エージェンシー (ANR) の助成を得て、仏 FEMTO-ST 研究所と PSA-Peugeot との産学共同で「組み合わせにより集合の形状変化が可能な自律マイクロロボット Programmable Matter」の研究を開始している。特に、水中で自立泳動するマイクロシステムの実現と背景物理の理解に研究目標を定めている。

2. 電子線リソグラフィと MEMS プロセスによる微細電極構造のトップダウン作製手法の研究

三田吉郎, 竹城雄大, 鷺津信栄 (アドバンテスト), 高田晃広 (アドバンテスト), 藤原誠, 澤村智紀, 池野理門, 浅田邦博

電極構造の微細化によるセンサ素子の更なる高感度化、高機能化を目指し、電子線リソグラフィと MEMS 加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。VDEC に平成 25 年に新規導入された高速大面積電子線描画装置 F7000S-VD02 の持つ高ドーズ対応性、セル (キャラクタ) プロジェクション方式による鮮明なエッジを利用する。100 nm を切るサイズの微細ギャップを持った電極の作製を試みているほか、マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御にも取り組んでいる。

3. CMOS-VLSIのMEMS後加工による高機能システムの産学連携研究

三田吉郎, 遠山幸也, 中山雄太 (コニカミノルタ), 滝口幹夫 (ソニー), 佐藤善亨 (ナノックスジャパン)

VDECを通じて試作したVLSIウエーハを, 武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作, 評価する研究を行っている。後加工に関する知見として, トランジスタが作製された直後(配線前)のウエーハ引き渡しを受け, 熱工程を伴う後加工プロセス(成膜, インプラ, ドライブイン)を施してもトランジスタ特性の劣化はそれほど進行しないこと, VLSIをあらかじめSilicon-on-Insulator (SOI)基板の上に配置した構造をMEMS後加工できることなどが分かっている。共同研究開発する素子の種類は共同研究先との相談により様々だが, 作製テクノロジーは共通のものを利用できるところが産業的に重要である。数多くの企業の興味を引き, 各社との共同研究ベースで電子デバイスの試作が進んでいる。

4. 集積化MEMSによるLSIホットスポットアクティブ冷却システムの研究

三田吉郎, 岡本有貴, 藤本興治 (東工大), 良尊博之 (東工大), 大場隆之 (東工大)

特定の回路ブロックの発熱がパッシブな放熱機構の限界を超えることで局所的に生ずる高温部分「ホットスポット」が高集積VLSIの高速動作を妨げる物理要因として注目されている。冷却用液体を対流させて熱を引き抜くアクティブ冷却システムを研究している。シリコンウエーハ上に抵抗発熱体と温度計素子, 流路を集積したテスト構造を作製し, 熱を面外方向に引き抜くことで冷却効率が向上することを実験的に示すとともに, 数式を用いたモデリング, 有限要素法シミュレーションの両方で裏付け検証を行った。

5. 集束イオンビーム加工装置(FIB)による裏面貫通加工のトランジスタ特性への影響評価

三田吉郎, 宇佐美尚人, 木下純 (豊通エレクトロニクス Van Partners 部門), 池野理門, 岡本有貴, 浅田邦博

VDECでは平成24年度補正予算により, LSIチップを裏面から貫通加工して開口し, 配線修正等の作業を行える「裏面アクセス式集積回路修正システム FEI V400ACE」を導入している。この装置を利用すると, 赤外線カメラによって透視した画像に対してCAD設計データを重ね合わせて加工箇所を同定する, 「裏面

からのCADナビゲーション加工」が可能である。本研究は裏面加工によってトランジスタの特性にどのような影響が及ぶかどうか定量的な評価を行ったものである。トランジスタの閾値変化を定量的に解析できるテスト構造を試作し, 実際に加工を行った結果として, エッチングガスを導入した高速加工と, イオンビーム単独の精密加工の両方を切り替えて加工することで, トランジスタの特性に影響を与えず加工が行える可能性が示唆された。

6. 集積化MEMSによるLSIプロービングシステム

三田吉郎, 瀬戸口良太, 岡本有貴

初期情報処理CMOS回路が集積された, VLSI等の電子部品のテストに用いる「MEMSプローブカード」の研究を行った。研究四年目である平成27年度は, プローブ素子に実際に加わっているひずみ量を定量化するための集積化ひずみセンサの設計試作に取り組んだ。フェニテックセミコンダクター社の0.6 μ mテクノロジーによるポリシリコン抵抗が搭載されたSOI (Silicon on Insulator) 基板を, 武田先端知ビルスーパークリーンルームにおいて後加工してデバイスとし, ピエゾ抵抗によるひずみ検出に成功した。カンチレバー構造を必要とする多くの研究にプロセス要素として提供できるよう開発された深掘り加工法を一般化し, あわせてMEMS後加工の加工終了を可視化するためのマイクロテスト構造 (Test Structure) の研究を行った。

7. 右脳型ソフトコンピューティングVLSI: 連想プロセッサ・システム

三田吉郎, 山下直也,

現在のコンピュータは四則演算の超高速処理に特化したマシンであり, 人間のように「ものを見て柔軟に判断・理解し, 即座に適切な行動をとる」といった情報処理は非常に不得手である。入力情報に対し, 過去の膨大な記憶の中から最も近い事例を瞬時に想起しこれによって次の行動を決定する。こんなアーキテクチャを持つコンピュータの基本ハードウェアを, シリコン超LSI技術で実現する研究を進めている。論理演算を得意とする現在のマイクロプロセッサに対し, 直感・連想・推論といった処理を得意としたLSIチップを設計・試作してシステムを構成する。単体で脳細胞ニューロンと類似の機能を持つ高機能トランジスタ (ニューロンMOS, neuMOS) を導入, 膨大なtemplate群の中から最短距離ベクトルを完全並列探索するアナログ連想プロセッサ, 0.18ミクロンCMOS技術を用いた超高速デジタル連想プロセッサ等を, これまで開発した。templateの量を精密度を失わない

形で削減する手法，認識クラスの弁別性を高めるためのデータ処理手法について研究を行い，論文発表した。

8. ゼオライト・エレクトロニクス・ナノストラクチャ (ZEN) による集積化ケミカルセンサ

三田吉郎，山田健太郎，岡本有貴，マチュー ドヌアル (仏 ENSI カーン校)，ティクシエ三田アニエス，エリック ルブラスール，フセイン アワラ (仏 ENSI カーン校)，ジュリアン グラン (仏 ENSI カーン校)，スベルタナ ミントヴァ (仏 ENSI カーン校)

VLSIと集積化したコンパクトなマイクロデバイスによって人間の持つ感覚器官では検出不可能な領域の物理・化学量を測定することは，MEMSの持つ大なるポテンシャルの応用分野の一つである。本研究グループは長年この課題に取り組んでおり，2015年度より日本学術振興会 (JSPS) ーフランス科学研究センター (CNRS) の二国間研究交流事業に採択され，VLSIにとっては異種材料であるゼオライトを集積化し，さらにMEMS後加工を施すことによって，化学物質を検知するCMOS-MEMSデバイスの研究を行った。デバイスとして①カンチレバーを電磁力により駆動し，共振周波数の移動で化学物質を検出するタイプと，②入力した熱エネルギーによる温度上昇速度の雰囲気化学物質濃度に応じた変調によって検出するタイプの2種類のMEMSデバイスを論文発表するとともに，ゼオライトのカンチレバー構造への埋め込み技術の高度化に成功した。

9. サイバーフィジカルシステム応用に向けた MEMS ショック共振スペクトル (SRS) センサ開発

三田吉郎，R Ranga Reddy，宇佐美尚人

VDECの研究室が共同して，インドIITボンベイ校との共同研究プロジェクトを立ち上げている。当研究室ではサイバーフィジカルシステムのセンサ応用例として，2014年度まで先行研究を行っていたショック共振スペクトルセンサ (SRS) を取り上げ，作製法の再習得を行った。

10. LSI ハイブリッド集積のための LSI ポストプロセス手法の開発

三田吉郎，Dominik Lämmerer，水島彩子，太田悦子，近藤尚子，百瀬毅 (マテリアル工学専攻)

ナノテクノロジープラットフォームでの公開を目指した高度集積化技術を内部プロジェクトとして開発している。本年度は高安定金メッキ装置を導入し，フリップチップ接合のためのバンパ構造のメッキ試作技術な

らびに，超臨界状態の流体を用いた化学合成 (SCFD) により，シリコン構造体中への金属薄膜の埋め込み技術について研究を行った。

高木・竹中研究室

(<http://www.mosfet.k.u-tokyo.ac.jp/>)

III-V/Ge Metal-Oxide-Semiconductor (MOS) FET に関する研究

高木信一，竹中充，蔡 玉 琥，金 佑 疆，張 志 宇，柯 夢 南，廖 辰 宇，嶋田 絢

高性能III-V族半導体MOSFETおよびGe MOSFETを実現するため研究を行っている。

InGaAs MOSゲートスタックの研究においては， $\text{La}_2\text{O}_3/\text{InGaAs}$ MOS界面の研究を進めている。原子層堆積法により La_2O_3 を堆積することで，良好なMOS界面が形成可能であることを明らかにした。

Ge MOSETにおいては，貼り合わせを用いてGe-on-Insulator (GeOI) 基板を作製し，極薄GeOI MOSFETの動作実証に成功するとともに，薄膜チャネルにおける移動度劣化の物理機構を明らかにした。

トンネル FET に関する研究

高木信一，竹中充，金 閔 洙，後藤 高 寛，裴 泰 彦，安大煥，加藤 巧，尹 尚 希

省電力動作が可能なステープスロープトランジスタとしてトンネルFETの研究を進めている。横型InGaAs TFETやGaAsSb/InGaAsヘテロ接合を用いたTFETの研究を進めている。GaAsSb/InGaAsヘテロ構造を結晶成長を用いて作製し，縦型構造を用いたTFET動作を得ることに成功した。またGe/歪Siヘテロ構造を用いたTFETの研究も進めている。

Si CMOS photonics に関する研究

高木信一，竹中充，韓 在 勲，亢 健，武内 和治

ウェハーボンディングで作製したGe-on-Insulator (GOI) 基板上にGe CMOSとGe細線導波路光デバイスを一体集積するGe CMOSフォトリソ・プラットフォームを提案し，研究を進めている。GeOI基板上に中赤外で動作するGe細線導波路を初めて作製することに成功した。また電流注入による光変調動作にも初めて実証した。歪SiGeを用いた光変調器の研究も進めている。貼り合わせを用いたMOS型光変調器構造を提案するとともに， $\text{Al}_2\text{O}_3/\text{HfO}_2$ 貼り合わせ界面を



用いたボイドレス貼り合わせ技術を確立した。

III-V CMOS photonics に関する研究

高木信一, 竹中充, テイユウホウ, パク ジンゴン,
高島成也, 関根 尚希

ウェハーボンディングで作製した III-V on Insulator 基板上に III-V MOSFET と III-V 細線導波路を一体集積する III-V CMOS フォトニクス・プラットフォームの研究を進めている。InP グレーティングカプラと導波路型 InGaAs 受光器を集積することに初めて成功した。また InGaAsP 空乏型光変調器において Si よりも 4 倍程度変調効率が改善可能であること数値計算により明らかにした。量子井戸インタミキシングにおいては、貼り合わせ III-V-OI 基板上におけるミキシング機構を明らかにするとともに、100 nm 程度のバンドギャップ波長シフトを得ることに成功し、能動・受動集積に向けた基盤技術を確立した。

5.4 研究発表

浅田・名倉・飯塚研究室 研究論文

- [1] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "Design, Analysis and Implementation of Pulse Generator by CMOS Flipped on Glass for Low Power UWB-IR," in IEICE Trans. on Fundamentals, Special Section on Wideband Systems, Vol.E100-A, No.1, Jan. 2017.
- [2] Tetsuya Iizuka and Asad A. Abidi, "FET-R-C Circuits: A Unified Treatment—Part II: Extension to Multi-Paths, Noise Figure, and Driving-Point Impedance," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 63, no. 9, pp. 1337 - 1348, Sep. 2016.
- [3] Tetsuya Iizuka and Asad A. Abidi, "FET-R-C Circuits: A Unified Treatment—Part I: Signal Transfer Characteristics of a Single-Path," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 63, no. 9, pp. 1325 - 1336, Sep. 2016.
- [4] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, "A 15x15 Single Photon Avalanche Diode Sensor Featuring Breakdown Pixels Extraction Architecture for Efficient Data Readout," Japanese Journal of Applied Physics (JJAP), vol. 55, No. 4s, 04EF04, 2016.
- [5] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "CMOS-on-Quartz Pulse Generator for Low Power Applications", in IEEE Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 29–30, Jan. 2017.
- [6] Masahiro Kano, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, "Resonant Power Supply Noise Reduction Using a Triangular Active Charge Injection," in Proc. IEEE International Conference on Electronics Circuits and Systems (ICECS), pp. 113-116, Dec., 2016.
- [7] Nguyen Ngoc Mai-Khanh, Rimon Ikeno, Takahiro Yamaguchi, Tetsuya Iizuka, and Kunihiro Asada, "Experimental Demonstration of Stochastic Comparators for Fine Resolution ADC Without Calibration," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 29 - 32, Dec. 2016.
- [8] Toru Nakura, Naoki Terao, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka and Kunihiro Asada, "Power Supply Impedance Emulation to Eliminate Overkills and Underkills due to the Impedance Difference between ATE and Customer Board," IEEE International Test Conference (ITC), pp. 1-8, Nov., 2016
- [9] Tetsuya Iizuka, Takehisa Koga, Toru Nakura and Kunihiro Asada, "A Fine-Resolution Pulse-Shrinking Time-to-Digital Converter with Completion Detection Utilizing Built-in Offset Pulse," in IEEE Asian Solid-State Circuits Conference (A-SSCC) Proceedings of Technical Papers, pp. 313 - 316, Nov. 2016.
- [10] Tetsuya Iizuka, Norihito Tohge, Satoshi Miura, Yoshimichi Murakami, Toru Nakura and Kunihiro Asada, "A 4-Cycle-Start-Up Reference-Clock-Less All-Digital Burst-Mode CDR Based on Cycle-Lock Gated-Oscillator with Frequency Tracking," in Proceedings of IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 301 - 304, Sep. 2016.
- [11] Takahiro Yamaguchi, Katsuhiko Degawa, Tetsuya Iizuka and Kunihiro Asada, "Common Pitfalls in Application of a Threshold Detection Comparator to a Continuous-Time Level Crossing Quantization," in Proceedings of IEEE International Mixed-Signal Testing Workshop (IMSTW), Jul. 2016.

国際会議論文

- [1] Yuki Oda, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "Analysis of VLSI Power Supply Network based on Current Estimation through Magnetic Field Measurement," in Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.
- [2] Nguyen Ngoc Mai-Khanh, Shigeru Nakajima, Tetsuya Iizuka, Yoshio Mita, and Kunihiro Asada, "Experimental Demonstration of Non-Destructive Detection of IGBT Fault Positions by Magnetic Sensor," in Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.
- [3] Xu Kai, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "High Spatial Resolution Detection Method for Point Light Source in Scintillator," Electronic Imaging 2017, January 2017.
- [4] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A 15 x 15 SPAD Array Sensor with

- [12] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, and Kunihiro Asada, "A Damping Pulse Generator Based on Regenerated Trigger Switch," in Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp. 11 - 14, May. 2016.
- [13] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "Analysis and Implementation of Quick-Start Pulse Generator by CMOS Flipped on Quartz Substrate," in IEEE Radio Frequency and Integrated Circuit Symposium, San Francisco, CA, pp. 3-6, May. 2016.

シンポジウム・研究会・大会等発表

- [1] 寺尾直樹, 名倉徹, 石田雅裕, 池野理門, 日下崇, 飯塚哲也, 浅田邦博, "LSI テストに向けた電源インピーダンス模擬," 電子情報通信学会総合大会, 名城大学, 2017年3月
- [2] Xu Kai, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "Fine-Resolution Light Source Position Estimation Method for Scintillation Detector," IEICE General Conference 2016, September 2016.
- [3] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "An X-band CMOS-on-Quartz Pulse Generator for Low Power Applications," in IEICE General Conference, C-12-7 Mar. 2016.
- [4] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A 31×31 SPAD Array Sensor with Variable Readout Time for Scintillation Light Detection," IEICE Society Conference 2016, September 2016.
- [5] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A 15×15 SPAD sensor featuring breakdown pixels extraction architecture for efficient data readout," LSI and Systems Workshop, May 2016.

藤田研究室 研究論文

- [1] Munehiro Kozuma, Yuki Okamoto, Takashi Nakagawa, Takeshi Aoki, Yoshiyuki Kurokawa, Takayuki Ikeda, Yoshinori Ieda, Naoto Yamade, Hidekazu Miyairi, Makoto Ikeda, Masahiro Fujita, Shunpei Yamazaki: Subthreshold Operation of CAAC-IGZO FPGA by Overdriving of Programmable Routing Switch and Programmable Power Switch. IEEE Trans. VLSI Syst. 25 (1) : 125-138 (2017)
- [2] Amir Masoud Gharehbaghi, Masahiro Fujita: Fast and Efficient Signature-Based Sub-Circuit Matching. IEICE

Transactions 99-A(7) : 1355-1365 (2016)

国際会議

- [1] Amir Masoud Gharehbaghi, Masahiro Fujita: A new approach for selecting inputs of logic functions during debug. ISQED 2017: 166-173
- [2] Sahand Salamat, Mehrnaz Ahmadi, Bijan Alizadeh, Masahiro Fujita: Systematic approximate logic optimization using don't care conditions. ISQED 2017: 419-425
- [3] Qinhao Wang, Yusuke Kimura, Masahiro Fujita: Methods of equivalence checking and ECO support under C-based design through reproduction of C descriptions from implementation designs. ISQED 2017: 432-437
- [4] T. Matsumoto, K. Kobayashi, H. Onodera: The Impact of RTN-Induced Temporal Performance Fluctuation Against Static Performance Variation, IEEE Electron Devices Technology and Manufacturing Conference (EDTM), Session 3B-2, 2017.
- [5] Binod Kumar, Ankit Jindal, Masahiro Fujita, Virendra Singh: Post-silicon observability enhancement with topology based trace signal selection. LATS 2017: 1-6
- [6] Toral Shah, Anzhela Matrosova, Binod Kumar, Masahiro Fujita, Virendra Singh: Testing multiple stuck-at faults of ROBDD based combinational circuit design. LATS 2017: 1-6
- [7] Binod Kumar, Ankit Jindal, Virendra Singh, Masahiro Fujita: A Methodology for Trace Signal Selection to Improve Error Detection in Post-Silicon Validation. VLSI Design 2017: 147-152
- [8] Nihar Hage, Rohini Gulve, Masahiro Fujita, Virendra Singh: On Testing of Superscalar Processors in Functional Mode for Delay Faults. VLSI Design 2017: 397-402
- [9] Taro Kawao, Masato Neishi, Tomohiro Okamoto, Amir Masoud Gharehbaghi, Takashi Kohno, Masahiro Fujita: Spiking Neural Network Simulation on FPGAs with Automatic and Intensive Pipelining. NOLTA 2016
- [10] Amir Masoud Gharehbaghi, Masahiro Fujita: A New Approach for Debugging Logic Circuits without Explicitly Debugging Their Functionality. ATS 2016: 31-36
- [11] Masahiro Fujita: Synthesizing and Completely Testing Hardware Based on Templates Through Small Numbers of Test Patterns. ATVA 2016: 3-10
- [12] Yusuke Kimura, Masahiro Fujita: Specification by existing design plus use-cases. HLDVT 2016: 40-45
- [13] Qinhao Wang, Yusuke Kimura, Masahiro Fujita: Automatically adjusting system level designs after RTL/

gate-level ECO. HLDVT 2016: 108-112

- [14] Conrad J. Moore, A.M. Gharehbaghi, Masahiro Fujita: Automatic Test Pattern Generation for Multiple Stuck-At Faults: When Testing for Single Faults is Insufficient. ITC-CSCC 2016: 159-162
- [15] Yi Lu, Qin hao Wang, Amir Masoud Gharehbaghi, Masahiro Fujita: Communication Aware Compiler for Mesh-Structured Reconfigurable Processors on Single/Multi Chip. ITC-CSCC 2016: 605-608
- [16] Tatsuya Onuki, Wataru Uesugi, Hikaru Tamura, Atsuo Isobe, Yoshinori Ando, Satoru Okamoto, Kiyoshi Kato, T R Yew, Chen Bin Lin, J Y Wu, Chi Chang Shuai, Shao Hui Wu, James Myers, Klaus Doppler, Masahiro Fujita, Shunpei Yamazaki: Embedded memory and ARM Cortex-M0 core using 60-nm C-axis aligned crystalline indium-gallium-zinc oxide FET integrated with 65-nm Si CMOS. VLSI-Circuits 2016: 1-2

国内学会, 研究会等

- [1] 木村悠介, 石山薫太郎, 藤田 昌宏, 「有界モデル検査ツールを用いたC言語プログラム部分合成」情報処理学会 DA シンポジウム 2016, セッション 3B-2, 2016-09-14
- [2] ムーアコンラッドジンヨン, ガラバギアミルマスード, 藤田昌宏, 「単一故障用テストパターンでは不十分な場合を考慮した多重縮退故障用テストパターン自動生成手法」, 電子情報通信学会, VLSI 設計技術研究会, 信学技報 116(96), 13-18, 2016

著書

- [1] Shunpei Yamazaki and Masahiro Fujita (Ed.), "Physics and Technology of Crystalline Oxide Semiconductor CAAC-IGZO. Application to LSI," WILEY, ISBN 9781119247340 (cloth) (2017)

高宮研究室 国際会議論文

- [1] A.K.M. M. Islam, H. Fuketa, K. Ishida, T. Yokota, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, "Sensor and Circuit Solutions for Organic Flexible Electronics," Society for Information Display (SID) International Symposium, San Francisco, USA, pp. 629-632, May 2016. (Invited)
- [2] H. Ohta, M. Honda, and M. Takamiya, "Interventional Placement of Thin Coil Shaped Implants Powered Wirelessly for Monitoring Vital Signals and Controlling

Abnormal Activities by Electro-Stimulation," IEEE 38th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), Orlando, USA, pp. 3035-3038, Aug 2016.

- [3] K. Miyazaki, M. Takamiya, and T. Sakurai, "Automatic Optimization of IGBT Gate Driving Waveform Using Simulated Annealing for Programmable Gate Driver IC," IEEE Energy Conversion Congress & Exposition (ECCE), Milwaukee, USA, pp. 1-6, Sep. 2016.
- [4] T. Someya, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, "56-Level Programmable Voltage Detector in Steps of 50 mV for Battery Management," IEEE Asian Solid-State Circuits Conference (A-SSCC), Toyama, Japan, pp. 49-52, Nov. 2016.
- [5] K. Miyazaki, Ichiro Omura, M. Takamiya, and T. Sakurai, "20-ns Short-Circuit Detection Scheme with High Variation-Tolerance based on Analog Delay Multiplier Circuit for Advanced IGBTs," IEEE Southern Power Electronics Conference (SPEC), Auckland, New Zealand, pp. 1-4, Dec. 2016.
- [6] H. Obara, K. Wada, K. Miyazaki, M. Takamiya, and T. Sakurai, "Active Gate Control in Half-Bridge Inverters Using Programmable Gate Driver ICs to Improve Both Surge Voltage and Switching Loss," IEEE Applied Power Electronics Conference and Exposition (APEC), Tampa, USA, pp. 1-7, March 2017.

シンポジウム・研究会・大会等発表

- [1] 高宮真, "有機エレクトロニクスとエネルギー・ハーベスティングを用いたフレキシブルヘルスケアデバイス," 日本能率協会第7回エネルギー・ハーベスティング技術シンポジウム「ウェアラブル関連のエネルギー・ハーベスティング」, 幕張, 2016年4月.
- [2] 高宮真, "LSI屋から見たパワーエレクトロニクス: 両者の融合に向けて," NPERC-J 第3回ワークショップ「PE システムインテグレーションの新しい息吹と応用」, 東京, 2016年5月.
- [3] 小原秀嶺, 和田圭二, 宮崎耕太郎, 高宮真, 桜井貴康, "プログラマブルゲートドライバICを用いた負荷電流フィードバックアクティブゲート制御," 電気学会産業応用部門大会, 1-39, pp.127-130, 群馬, 2016年8月.
- [4] 崔 通, 宮崎耕太郎, 安部征哉, 附田正則, 大村一郎, 小原秀嶺, 和田圭二, 高宮 真, 桜井貴康, "デジタルゲート駆動ICを用いたIGBTのスウィッチング時における損失とオーバーシュートの自動最適化," 電気学会, 電子デバイス・半導体電力変換合同研究会, 電気学会研究会資料, SPC-16-153, pp. 19-24, 北九州, 2016年11月.

- [5] 染谷晃基, 松永賢一, 森村浩季, 桜井貴康, 高宮真, “バッテリーマネジメント向け 56 段階, 50 mV 刻みプログラムブル電圧検出回路,” 電子情報通信学会, 信学技報, ICD2015-51, pp. 1-5, 東京, 2016 年 12 月.
- [6] 高宮真, “IoT 技術とパワーエレクトロニクスの融合,” 第 3 回 NEDO パワーエレクトロニクスシンポジウム「期待される次世代パワーエレクトロニクスの応用～地上から宇宙まで～」, 東京, 2017 年 2 月. (基調講演)
- [7] 高宮真, “有機エレクトロニクスを核とした皮膚密着型ウェアラブルデバイスの新展開,” 文部科学省ナノテクノロジープラットフォーム第 15 回ナノテクノロジー総合シンポジウム JAPAN NANO 2017「超スマート社会の実現に向けたナノテクノロジー」, 東京, 2017 年 2 月.
- [8] 宇野祐輝, 崔通, 星貴之, 桜井貴康, 高宮真, “超音波ワイヤレス給電の距離・位置ずれ依存の実測,” 電子情報通信学会総合大会, B-21-26, 名古屋, 2017 年 3 月.
- [9] 小野寺尚人, 染谷晃基, 松永賢一, 森村浩季, 高宮真, 桜井貴康, “可変キャパシタを用いた自動 LC 共振最適化機能を有する RF エネルギーハーベスティング回路の設計,” 電子情報通信学会総合大会, C-10-5, 名古屋, 2017 年 3 月.

池田研究室 論文

- [1] M. Tamura and M. Ikeda, “Montgomery Multiplier Design for ECDSA Signature Generation Processor,” IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences Vol.E99-A No.12 pp.2444-2452, Dec. 2016
- [2] M. Kozuma, Y. Okamoto, T. Nakagawa, T. Aoki, Y. Kurokawa, T. Ikeda, Y. Ieda, N. Yamade, H. Miyairi, M. Ikeda, M. Fujita, and S. Yamazaki, “Subthreshold Operation of CAAC-IGZO FPGA by Overdriving of Programmable Routing Switch and Programmable Power Switch,” in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 25, no. 1, pp. 125-138, Jan. 2017.
- [3] B. P. Ginsburg and M. Ikeda, “Introduction to the Special Issue on the 2016 Symposium on VLSI Circuits,” in IEEE Journal of Solid-State Circuits, vol. 52, no. 4, pp. 888-890, April 2017.
- [4] M. Ikeda and N. Miura, “Introduction to the Special Section on the 2015 IEEE Asian Solid-State Circuits Conference (A-SSCC),” in IEEE Journal of Solid-State Circuits, vol. 51, no. 10, pp. 2207-2209, Oct. 2016.
- [5] T. Ohmaru, T. Nakagawa, S. Maeda, Y. Okamoto, M. Kozuma, S. Yoneda, H. Inoue, Y. Kurokawa, T. Ikeda, Y. Ieda, N. Yamade, . Miyairi, M. Ikeda, and S. Yamazaki,

“A 25.3 μ W at 60 fps 240 x 160 Pixel Vision Sensor for Motion Capturing With In-Pixel Nonvolatile Analog Memory Using CAAC-IGZO FET,” IEEE Journal of Solid-State Circuits, Vol. 51, No. 9, pp. 2168-2179, Sept. 2016.

- [6] M. Ikeda and F. Arakawa, “Special Section on Low-Power and High-Speed Chips,” IEICE Trans. Electron., Vol. E99-C, No. 8, pp. 899-900, Aug. 2016.
- [7] Ikeno R, Maruyama S, Mita Y, Ikeda M, Asada K; “Electron-beam lithography with character projection technique for high-throughput exposure with line-edge quality control,” J. Micro/Nanolith. MEMS MOEMS. 15 (3), 031606 (Sep 08, 2016).

国際会議

- [1] H. Wakabayashi, J. Deguchi and M. Ikeda, “Session 4 overview: Imagers,” 2017 IEEE International Solid-State Circuits Conference (ISSCC), pp. 64-65., 2017, San Francisco, CA.
- [2] P. Lajevardi, M. Miyamoto and M. Ikeda, “Session 9 overview: Sensors,” 2017 IEEE International Solid-State Circuits Conference (ISSCC), pp. 156-157, 2017, San Francisco, CA.
- [3] G. Cauwenberghs, M. Pertijs and M. Ikeda, “Session 27 overview: Biomedical circuits,” 2017 IEEE International Solid-State Circuits Conference (ISSCC), pp. 446-447, 2017, San Francisco, CA.
- [4] M. Ikeda and F. Arakawa, “Message from the program committee chairs,” 2016 IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS XIX), Yokohama, Japan, 2016, pp. iv-v.
- [5] M. Tamura and M. Ikeda, “1.68 μ J/signature-generation 256-bit ECDSA over GF(p) signature generator for IoT devices,” 2016 IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 341-344, 2016, Toyama.
- [6] [Keynote] M. Ikeda, “Smart Image Sensors and applications to 3D range-finding,” 2016 IEEE International Symposium on Electronics and Smart Devices, Nov. 2016, Bandung, Indonesia.
- [7] U. Kim and M. Ikeda, “A Design of Image Sensor for In-Pixel Background Suppression and Frequency Detection,” 3rd International Workshop on Image Sensors and Imaging Systems (IWISS2016), Nov. 2016, Tokyo.

国内研究会

- [1] 池田司, 池田誠, “1024 bit までの有限体上の演算と 256 bit までの楕円曲線上の演算のための汎用暗号プロ

セッサ,” 電子情報通信学会ハードウェアセキュリティフォーラム 2016, 2016 年 12 月.

- [2] 斎藤僚介, 池田誠, “楕円曲線暗号の IoT 向け小規模実装の検討,” 2017 年暗号と情報セキュリティシンポジウム (SCIS), 4C1-3, 2017 年 1 月.
- [3] 池田司, 池田誠, “楕円曲線に基づく公開鍵暗号向け汎用暗号プロセッサの設計,” 2017 年暗号と情報セキュリティシンポジウム (SCIS), 4C1-4, 2017 年 1 月
- [4] 市橋忠之, 池田誠, “126 ビットセキュリティにおけるベアリング演算器の設計,” 2017 年暗号と情報セキュリティシンポジウム (SCIS), 4C1-5, 2017 年 1 月.

国内大会

- [1] 池田司, 池田誠, “有限体・楕円曲線を用いた暗号向けスケラブルプロセッサの設計,” 電子情報通信学会ソサイエティ大会, A-7-5, 2016 年 9 月.
- [2] 金雄鉉, 池田誠, “ピクセル内背景光抑圧機能を有する検波型イメージセンサの設計,” 電子情報通信学会ソサイエティ大会, C-12-14, 2016 年 9 月.
- [3] 金寛好, 池田誠, “ダイナミック回路の低電圧動作と基板バイアス特性の評価,” 電子情報通信学会ソサイエティ大会, C-12-43, 2016 年 9 月.
- [4] 金寛好, 池田誠, “多入力ダイナミック回路の低電圧動作の測定,” 電子情報通信学会総合大会, C-12-28, 2017 年 3 月.
- [5] 池田司, 池田誠, “汎用暗号プロセッサにおけるモンゴメリ乗算器の並列化,” 電子情報通信学会総合大会, AS-3-8, 2017 年 3 月.

三田研究室 学会誌

- [1] Isao Mori, Yuki Okamoto, Yoshio Mita, “A scalable, optically-driven, high-voltage switch for remote MEMS device operation fabricated with a standard CMOS process”, *IEICE Electronics Express*, 14.20161174 (2017.01.16) <http://doi.org/10.1587/elex.14.20161174>

国際学会プロシーディング

- [1] Yoshio Mita and Yoshihiro Kawahara, “Introduction to Electronic Information Devices - Try-by-yourself-style lecture on autonomous electronic devices”, *European Workshop on Microelectronics Education (EWME 2016)*, 11-13 May, Southampton, UK, (2016.5)
- [2] Tohru Nakura, Yuki Okamoto, Yoshio Mita and Kunihiro Asada, “One Week TAT of 0.8 um CMOS Gate Array with Analog Elements for Educational Exercise”, *11th*

European Workshop on Microelectronics Education, May, 2016 (2016.05).

- [3] Yuki Okamoto, Isao Mori, and Yoshio Mita, “Demonstration of 0-30V Comb-Drive MEMS Actuator by integrated switching circuit with post-mesa-isolated standard 5V CMOS transistors”, *Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP)*, Budapest, Hungary, 30 May to 2 June 2016, pp.317-320 (2016.06).
- [4] Matthieu Denoual, Eric Lebrasseur, and Yoshio Mita, “Examples of CMOS-MEMS realizations within a France-Japan collaboration (Invited)”, *29th International Microprocesses and Nanotechnology Conference (MNC 2016)*, 8-11 Nov Kyoto, Japan, (2016.11.09).
- [5] Yuki Okamoto, Hiroyuki Ryoson, Koji Fujimoto, Keiji Honjo, Takayuki Ohba, and Yoshio Mita, “Hotspot liquid microfluidic cooling: comparing the efficiency between horizontal flow and vertical flow”, *The 16th International Conference on Micro and Nanotechnology for Power Generation and Energy Conversion Applications*, 6-9, Dec., Paris, France (2016.12)
- [6] Daigo Terutsuki, Hidefumi Mitsuno, Yuki Okamoto, T. Sakurai, Agnes Tixier-Mita, Hiroshi Toshiyoshi, Yoshio Mita, and Ryohei Kanzaki, “Odor-Sensitive Field Effect Transistor (OSFET) Based on Insect Cells Expressing Insect Odorant Receptors”, *The 30th IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2017)*, 22-26, Jan., Las Vegas, USA, pp. 394-397 (2017.01).
- [7] Nguyen Ngoc Mai-Khanh, Shigeru Nakajima, Tetsuya Iizuka, Yoshio Mita, and Kunihiro Asada, *2017 IEEE Sensors Applications Symposium (SAS)*, 13-15 March 2017, Glassboro, NJ, USA pp. 1-4 (2017.03)
- [8] Naoto Usami, Jun Kinoshita, Rimon Ikeno, Yuki Okamoto, Masaaki Tanno, Kunihiro Asada and Yoshio Mita, “An arrayed test structure for transistor damage assessment induced by circuit analysis and repairing processes with back-side-accessing Focused Ion Beam”, *2017 IEEE Conference on Microelectronic Test Structures (ICMTS 2017)*, 27-30, Mar, 2017, Grenoble, France, pp. 117-120 (2017.03).
- [9] Agnès Tixier-Mita, Satoshi Ihida, Grant Cathcart, Faruk A. Shaik, Hiroyuki Fujita, Yoshio Mita, and Hiroshi Toshiyoshi, “A Test Structure to Characterize Transparent Electrode Array Platform with TFTs for Bio-Chemical Applications”, *2017 IEEE Conference on Microelectronic Test Structures (ICMTS2017)*, 27-30, Mar, 2017, Grenoble, France, pp.133-137 (2017.03).
- [10] Stewart Smith, Yudai Takeshiro, Yuki Okamoto,

Jonathan G. Terry, Anthony J. Walton, Rimono Ikeno, Kunihiro Asada and Yoshio Mita, "Test Structures for Nano-Gap Fabrication Process Development for Nano-Electromechanical Systems", *2017 IEEE Conference on Microelectronic Test Structures (ICMTS2017)*, 27-30, Mar, 2017, Grenoble, France, pp.197-202 (2017.03).

(2017.03)

その他の講演・シンポジウム

- [1] 竹城雄大, 岡本有貴, 三田吉郎, 「エネルギー自立 IoT デバイス向け電圧・電流プログラマブル太陽電池アレイ」, LSI とシステムのワークショップ 2016, 東京大学 (2016.5.16)
- [2] T. Tani, S. Murakawa, R. Wada, K. Yamada, K. Itho, Y. Mita, and K. Shirahama, "Microfabrication of Multi-Slit Structures for Studies of Quasi-2 Dimensional Topological Superfluid ^3He ", *International Symposium on Quantum Fluids and Solids*, 10-16 Aug., Prague, Czech Republic (2016.8.11)
- [3] 谷智行, 村川智, 和田龍馬, 山田快斗, 伊藤公平, 三田吉郎, 白濱圭也, 「擬 2 次元トポロジカル超流動 ^3He 研究用多重マイクロスリット構造の作成」, 日本物理学会 2016 年秋期大会 (2016.9.16)
- [4] 方琦, 上木瞭太郎, 福井類, 山口武司, 佐藤真, 越後谷天垣, 三田吉郎, 山田一郎, 割澤伸一, 「 SnO_2 薄膜によるガスセンシング性能とピエゾ抵抗特性評価」, 2017 年度精密工学会春季大会, (2017.3.13)

チュートリアル講演

- [1] Yoshio Mita, "MEMS-de-Piano": a short turn-around-time experimental course in UTokyo Nanotechnology Platform", *NAMIS School 2016*, 16 September, Komaba, Tokyo (2016.9.16)
- [2] 三田吉郎, 「集積化 CMOS-MEMS による高機能流体素子とその展開~VDEC とナノテク PF が拓く短 TAT 試作研究の試み(招待講演)」, アドバンテスト展, 2016 年 10 月 14 日
- [3] 三田吉郎, 「ナノテクノロジー・プラットフォームと VLSI ファウンドリの融合による短 TAT 集積システム研究(招待講演)」, FEI セミナー, 2016 年 10 月 19 日

雑誌記事

- [1] 三田吉郎, 「絵に描いた餅」を形にする~ナノテクノロジープラットフォームによる迅速微細モノ作り」, *OplusE* 2017 年 4 月号 Vol. 39 No.4, pp. 359-465

高木・竹中研究室 研究論文

- [1] R. Zhang, P.-C. Huang, N. Taoka, M. Yokoyama, M. Takenaka, and S. Takagi, "Low temperature formation of higher-k cubic phase HfO_2 by atomic layer deposition on GeO_x/Ge structures fabricated by in-situ thermal oxidation", *Appl. Phys. Lett.*, vol. 108, 052903, 2016. DOI: 10.1063/1.4914453
- [2] R. Zhang, X. Yu, M. Takenaka, and Shinichi Takagi, "Impact of postdeposition annealing ambient on the mobility of Ge nMOSFETs with 1-nm EOT $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ Gate-Stacks," *IEEE Trans. Electron Devices*, vol. 63, no. 2, pp. 558-564, 2016. DOI: 10.1109/TED.2015.2509961
- [3] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "First demonstration of SiGe-based carrier-injection Mach-Zehnder modulator with enhanced plasma dispersion effect," *Optics Express Letters*, vol. 24, no. 3, pp. 1979-1985, 2016. DOI: 10.1364/OE.24.001979
- [4] S. Takagi, C. Y. Chang, M. Yokoyama, K. Nishi, R. Chang, M. Ke, J. H. Han, and M. Takenaka, "MOS interface control technologies for advanced III-V/ Ge devices," *ECS Trans.*, vol. 69, no. 5, pp. 37-51, 2015 (*invited*). DOI: 10.1149/06905.0037ecst
- [5] S. Takagi, M. Kim, M. Noguchi, K. Nishi, and M. Takenaka, "Tunneling FET technologies using III-V and Ge materials," *ECS Trans.*, vol. 69, no. 10, pp. 99-108, 2015 (*invited*). DOI: 10.1149/06910.0099ecst
- [6] J. Suh, R. Nakane, N. Taoka, M. Takenaka and S. Takagi, "Effects of additional oxidation after Ge condensation on electrical properties of germanium-on-insulator p-channel MOSFETs," *Solid-state Electronics*, vol. 117, pp. 77-87, 2016. DOI: 10.1016/j.sse.2015.11.014
- [7] J. Kang, X. Yu, M. Takenaka and S. Takagi, "Impact of thermal annealing on Ge-on-Insulator substrate fabricated by wafer bonding," *Materials Science in Semiconductor Processing*, vol. 42, Part 2, pp. 259-263, 2016. DOI: 10.1016/j.mssp.2015.07.021
- [8] W. Cai, M. Takenaka, and S. Takagi, "Effectiveness of surface potential fluctuation for representing inversion-layer mobility limited by Coulomb scattering in MOFETs," *IEEE Electron Dev.*, vol. 36, no. 11, pp. 1183-1185, 2015. DOI: 10.1109/LED.2015.2477360
- [9] C.-Y. Chang, O. Ichikawa, T. Osada, M. Hata, H. Yamada, M. Takenaka, and S. Takagi, "Impact of La_2O_3 interfacial layers on InGaAs metal-oxide-semiconductor interface

- properties in $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{InGaAs}$ gate stacks deposited by atomic-layer-deposition," *J. Appl. Phys.*, vol. 118, 085309, 2015. DOI: 10.1063/1.4929650
- [10] M. Noguchi, S.-H. Kim, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka and S. Takagi, "High $I_{\text{on}}/I_{\text{off}}$ and low subthreshold slope planar-type InGaAs tunnel field effect transistors with Zn-diffused source junctions," *J. Appl. Phys.*, vol. 118, 045712, 2015. DOI: 10.1063/1.4927265
- [11] X. Yu, J. Kang, R. Zhang, M. Takenaka, and S. Takagi, "Characterization of ultrathin-body Germanium-on-insulator (GeOI) structures and MOSFETs on flipped Smart-Cut™ GeOI substrates," *Solid-State Electronics*, vol. 115, Part B, pp. 120-125, 2016. DOI: 10.1016/j.sse.2015.08.021
- [12] Y. Cheng, Y. Ikku, M. Takenaka, and S. Takagi, "Surface leakage reduction in MSM InGaAs photodetector on III-V CMOS photonics platform," *IEEE Photonics Technology Letters*, Vol. 27, No. 14, pp. 1569-1572, 2015. DOI: 10.1109/LPT.2015.2432052
- [13] J. Kang, R. Zhang, M. Takenaka, and S. Takagi, "Suppression of dark current in GeO_x -passivated germanium metal-semiconductor-metal photodetector by plasma post-oxidation," *Optics Express Letters*, vol. 23, no. 13, pp. 16967-16976, 2015. DOI: 10.1364/OE.23.016967
- [14] S. Takagi, S.-H. Kim, Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y.-C. Kao, M. Takenaka, "High performance III-V-on-Insulator MOSFETs on Si realized by direct wafer bonding applicable to large wafer size," *ECS Trans.*, vol. 66, no. 5, pp. 27-35, 2015 (invited). DOI: 10.1149/06605.0027ecst
- [15] M. Ke, X. Yu, R. Zhang, J. Kang, C. Chang, M. Takenaka, S. Takagi, "Fabrication and MOS interface properties of ALD $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ gate stacks with plasma post oxidation", *Microelectronic Engineering*, Vol. 147, pp. 244-248, 2015. DOI:10.1016/j.mee.2015.04.079
- [16] K. Nishi, M. Yokoyama, H. Yokoyama, T. Hoshi, H. Sugiyama, M. Takenaka, S. Takagi, "Effects of buffered HF cleaning on metal-oxide-semiconductor interface properties of $\text{Al}_2\text{O}_3/\text{InAs}/\text{GaSb}$ structures", *Appl. Phys. Express.*, Vol. 8, 061203, 2015. DOI: 10.7567/APEX.8.061203
- [17] S. Takagi, R. Zhang, J. Suh, S.-H. Kim, M. Yokoyama, K. Nishi, and M. Takenaka, "III-V/Ge channel MOS device technologies in nano CMOS era," *Jpn. J. Appl. Phys.*, Vol. 54, 06FA01, 2015. DOI: 10.7567/JJAP.54.06FA01
- [18] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "Demonstration of record-low injection-current variable optical attenuator based on strained SiGe with optimized lateral pin junction," *Optics Express Letters*, vol. 23, no. 9, pp. 12354-12361, 2015. DOI: 10.1364/OE.23.012354
- [19] X. Yu, J. Kang, R. Zhang, W.-L. Chai, M. Takenaka, and S. Takagi, "Impact of back interface passivation on electrical properties of ultrathin-body Germanium-on-insulator (GeOI) MOSFETs," *Microelectronic Engineering*, vol. 147, pp. 196-200, 2015. DOI: 10.1016/j.mee.2015.04.063

国際会議論文

- [1] J. Kang, X. Yu, M. Takenaka, and S. Takagi, "Design and characterization of Ge passive waveguide components on Ge-on-Insulator for mid-infrared photonics," *Optical Fiber Communication Conference (OFC2016)*, Tu3E.4, Anaheim, 22 March 2016. DOI:
- [2] S. Takagi, M.-S. Kim, M. Noguchi, K. Nishi and M. Takenaka, "Tunneling FET Device Technologies Using III-V and Ge Materials," *4th Berkeley Symposium on Energy Efficient Electronic Systems (E3S2015)*, 2 October 2015 (invited). DOI: 10.1109/E3S.2015.7336800
- [3] M. Takenaka, Y. Kim, J. Han, J. Kang, Y. Ikku, Y. Cheng, J.-K. Park, S.-H. Kim, and S. Takagi, "CMOS photonics technologies based on heterogeneous integration of SiGe/Ge and III-V on Si," *International Electron Devices Meeting (IEDM'15)*, 31.5, Washington D.C., 9 December 2015 (invited).
- [4] X. Yu, J. Kang, M. Takenaka, and S. Takagi, "Experimental study on carrier transport properties in extremely-thin body Ge-on-Insulator (GOI) p-MOSFETs with GOI thickness down to 2 nm," *International Electron Devices Meeting (IEDM'15)*, 2.2, Washington D.C., 7 December 2015.
- [5] C.-Y. Chang, M. Takenaka, and S. Takagi, "Improvement of electrical characteristics of $\text{La}_2\text{O}_3/\text{InGaAs}$ gate stacks by ultra-thin ALD Al_2O_3 capping layers," *IEEE Semiconductor Interface Specialists conference (SISC2015)*, 7.2, Arlington, USA, 4 December 2015.
- [6] M. Ke, X. Yu, M. Takenaka, and S. Takagi, "Properties of slow traps of ALD $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ gate stacks with plasma post oxidation," *IEEE Semiconductor Interface Specialists conference (SISC2015)*, 8.2, Arlington, USA, 4 December 2015.
- [7] J.-H. Han, M. Takenaka, and S. Takagi, "Bandwidth enhancement of Si MOS optical modulators using strained SiGe slab," *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-41, Tokyo, 1 December 2015.
- [8] J.-K. Park, M. Takenaka, and S. Takagi, "Ni-InGaAsP

alloy for low-resistivity lateral PIN junction formation in carrier-injected InGaAsP photonic devices,” *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-46, Tokyo, 1 December 2015.

- [9] J. Kang, X. Yu, M. Takenaka, and S. Takagi, “A novel Ge waveguide platform on Ge-on-Insulator substrate for mid-infrared photonics,” *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-49, Tokyo, 1 December 2015.
- [10] K. Takeuchi, Y. Kim, M. Takenaka, and S. Takagi, “Simulation of carrier-depletion strained SiGe optical modulators based on interleaved PN junctions,” *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-52, Tokyo, 1 December 2015.
- [11] J. Fujikata, M. Noguchi, Y. Kim, J. Han, S. Takahashi, T. Nakamura, and M. Takenaka, “High Speed and Highly Efficient Si Optical Modulator with Strained SiGe Layer,” *5th International Symposium on Photonics and Electronics Convergence (ISPEC2015)*, P-4, Tokyo, 1 December 2015.
- [12] J. Han, M. Takenaka, and S. Takagi, “Improvement in the modulation bandwidth of MOS optical modulators by using p-SiGe slab,” *Asia Communications and Photonics Conference (ACP 2015)*, ASu5B.2, Hong Kong Convention and Exhibition Center, Hong Kong, 22 November 2015.
- [13] S. Takagi, and M. Takenaka, “Low Power MOS Device Technologies based on Heterogeneous Integration,” *International Electron Devices and Materials Symposium (IEDMS 2015)*, Plenary 2, Kun Shan University, Taiwan, 19-20 November 2015 (plenary).
- [14] S. Takagi, C. Y. Chang, M. Yokoyama, K. Nishi, R. Chang, M. Ke, J. H. Han, and M. Takenaka, “MOS interface control technologies for advanced III-V/Ge devices,” *228th ECS Meeting*, D4, 815, Phoenix, USA, 12 October 2015 (invited).
- [15] S. Takagi, M. Kim, M. Noguchi, K. Nishi, and M. Takenaka, “Tunneling FET technologies using III-V and Ge materials,” *228th ECS Meeting*, Symposium G4, 1084, Phoenix, USA, 13 October 2015 (invited).
- [16] J. Kang, M. Takenaka, and S. Takagi, “First demonstration of Ge waveguide platform on Ge-on-Insulator for mid-infrared integrated photonics,” *European Conference on Optical Communication (ECOC 2015)*, Barcelona, P2.10, 29 September 2015.
- [17] J. Han, M. Takenaka, and S. Takagi, “Suppression of void generation in direct wafer bonding for Si high-k MOS optical modulators using $\text{Al}_2\text{O}_3/\text{HfO}_2$ bonding interface,” *International Conference on Solid State Devices and Materials (SSDM2015)*, A-3-4, Sapporo Convention Center, 29 September 2015.
- [18] C.-Y. Chang, M. Takenaka, and S. Takagi, “Impact of La_2O_3 interfacial layers on InGaAs MOS interface properties in ALD $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{InGaAs}$ Gate Stacks,” *International Conference on Solid State Devices and Materials (SSDM2015)*, N-5-2, Sapporo Convention Center, 29 September 2015.
- [19] J.-K. Park, M. Takenaka, and S. Takagi, “Low-resistivity lateral PIN junction formed by Ni-InGaAsP alloy for carrier-injection InGaAsP photonic devices,” *International Conference on Solid State Devices and Materials (SSDM2015)*, PS-7-6, Sapporo Convention Center, 29 September 2015.
- [20] Y. Cheng, Y. Ikku, M. Takenaka, and S. Takagi, “Waveguide InGaAs metal-semiconductor-metal photodetector monolithically integrated with InP grating coupler on III-V CMOS photonics platform,” *International Conference on Solid State Devices and Materials (SSDM2015)*, A-7-2, Sapporo Convention Center, 30 September 2015.
- [21] S. Takashima, Y. Ikku, M. Takenaka, and S. Takagi, “The influence of III-V on insulator structure on quantum well intermixing,” *International Conference on Solid State Devices and Materials (SSDM2015)*, A-7-5, Sapporo Convention Center, 30 September 2015.
- [22] S. Takagi and M. Takenaka, “Ge/III-V MOS device technologies for low power integrated systems,” *45th European Solid-State Device Conference (ESSDERC 2015)*, A5L-D, Graz, Austria, 15 September 2015 (plenary).
- [23] J. Kang, M. Takenaka and S. Takagi, “Impact of GeOx passivation on dark current for wafer-bonded Ge-on-Insulator metal-semiconductor-metal photodetector,” *International Conference on Group IV Photonics (GFP2015)*, WP18, Vancouver, Canada, 26 August 2015. DOI: 10.1109/Group4.2015.7305952
- [24] J. Fujikata, M. Noguchi, Y. Kim, S. Takahashi, T. Nakamura, and M. Takenaka, “High speed and highly efficient Si optical modulator with strained SiGe layer,” *International Conference on Group IV Photonics (GFP2015)*, WD2, Vancouver, Canada, 26 August 2015. DOI: 10.1109/Group4.2015.7305930
- [25] M. Takenaka and S. Takagi, “III-V CMOS photonics on Si for high-performance electronic-photonics integrated circuits,” *8th International Conference on Materials for Advanced Technologies (ICMAT 2015)*, W6.2, Singapore,

2 July 2015 (*invited*).

- [26] S. Takagi and M. Takenaka, "III-V/Ge MOSFETs and tunneling FETs on Si platform for low power logic applications," *13th International Meeting for Future of Electron Devices, Kansai (IMFEDK 2015)*, K-1, Kyoto, Japan, 4 June 2015 (*planary*).
- [27] S. Takagi and M. Takenaka, "Advanced nano CMOS using Ge/III-V semiconductors for low power logic LSIs," *15th IEEE International Conference on Nanotechnology (IEEE NANO 2015)*, We3D, Rome, Italy, 29 July 2015 (*invited*).
- [28] X. Yu, J. Kang, R. Zhang, W.-L. Cai, M. Takenaka, and S. Takagi, "Impact of back interface passivation on electrical properties of ultrathin-body germanium-on-insulator (GeOI) MOSFETs," *19th Conference on Insulating Films on Semiconductors (INFOS 2015)*, 15.5 Udine, Italy, 2 July 2015.
- [29] M. Ke, X. Yu, R. Zhang, J. Kang, C. Chang, M. Takenaka and S. Takagi, "Fabrication and MOS interface properties of ALD $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ gate stacks with plasma post oxidation," *19th Conference on Insulating Films on Semiconductors (INFOS 2015)*, 15.4, Udine, Italy, 2 July 2015.
- [30] S. Takagi, M.-S. Kim, M. Noguchi, S.-M. Ji, K. Nishi and M. Takenaka, "III-V and Ge/strained SOI tunneling FET technologies for low power LSIs," *VLSI Symposium*, 3-1, Kyoto, Japan, 15-19 June 2015 (*invited*).
- [31] K. Nishi, M. Yokoyama, H. Yokoyama, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "High hole mobility front-gate InAs/InGaSb-OI single structure CMOS on Si," *VLSI Symposium*, 13-4, Kyoto, Japan, 15-19 June 2015 (*invited*).
- [32] S. Takagi, S. H. Kim, Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y. C. Kao, and M. Takenaka, "High performance III-V-on-Insulator Mosfets on Si realized by direct wafer bonding applicable to large wafer size," *227th ECS Meeting, Symposium H01*, 1323, Chicago, USA, 26 May 2015 (*invited*).
- [33] S. Takagi, W.-K. Kim, X. Yu, J. Han, R. Zhang, M. Takenaka, "Ge/SiGe CMOS device technology for future logic LSIs," *E-MRS Spring Meeting, Symposium K.1*, Lille, France, 14 May 2015 (*invited*).
- [34] J. Kan, X. Yu, M. Takenaka, and S. Takagi, "Impact of Thermal Annealing on Ge-on-Insulator Substrate Fabricated by Wafer Bonding," *E-MRS Spring Meeting, Symposium Z.5*, Lille, France, 14 May 2015.
- [35] S. Takagi, R. Zhang, C.-Y. Chang, J.-H. Han, M. Yokoyama, K. Nishi, and M. Takenaka, "Gate stack technologies for high mobility channel MOSFETs," *MRS*

Spring Meeting, Symposium AA, 10.02, San Francisco, USA, 9 April 2015 (*invited*).

シンポジウム・研究会・大会等発表

- [1] 佐々木和哉, 竹中充, 高木信一, 「光変調器応用に向けたグラフェンスロット導波路の試作」, 第63回応用物理学会春季学術講演会, 21p-P16-6, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [2] 金佑疆, 竹中充, 高木信一, 「温度サイクルを減らした酸化濃縮法による高圧縮ひずみ極薄膜 Ge-OI 構造の実現」, 第63回応用物理学会春季学術講演会, 21a-S422-7, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [3] 安大煥, 竹中充, 高木信一, 「高 In 組成 InGaAs 量子井戸を用いた InGaAs QW TFET の電気特性における性能評価」, 第63回応用物理学会春季学術講演会, 20p-S42-13, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [4] 小澤悠平, 竹中充, 高木信一, 「コンダクタンス法による二硫化モリブデン MOS 界面特性評価」, 第63回応用物理学会春季学術講演会, 20p-S221-1, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [5] 張志宇, 竹中充, 高木信一, 「SdH 振動を用いたひずみ Si pMOSFET における価電子帯有効質量の評価」, 第63回応用物理学会春季学術講演会, 20p-S221-2, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [6] 嶋田絢, 中根了昌, 竹中充, 高木信一, 「Improvement of MOS Interfaces of $\text{La}_2\text{O}_3/\text{InGaAs}$ by Ultra-thin ALD Al_2O_3 Capping Layers」, 第63回応用物理学会春季学術講演会, 21a-S422-6, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [7] 韓在勲, 竹中充, 高木信一, 「歪 SiGe を用いた MOS 型光変調器の変調帯域改善に関する検討」, 第63回応用物理学会春季学術講演会, 21p-S611-7, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [8] 柯夢南, 竹中充, 高木信一, 「Influence of $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOS interface structures on the slow trap density」, 第63回応用物理学会春季学術講演会, 20a-S221-12, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [9] 関根尚希, 韓在勲, 竹中充, 高木信一, 「III-V CMOS フォトニクス・プラットフォーム上空乏型 InGaAsP 光変調器の検討」, 第63回応用物理学会春季学術講演会, 21p-S611-4, 東京工業大学大岡山キャンパス, 2016年3月21日.
- [10] 後藤高寛, 満原学, 星拓也, 杉山弘樹, 竹中充, 高木信一, 「GaAsSb/InGaAs 縦型トンネル FET の動作実証」, 第63回応用物理学会春季学術講演会, 20pS422-12, 東京工業大学大岡山キャンパス, 2016年3月20日.
- [11] 野口将高, 藤方潤一, 高橋重樹, 韓在勲, 中村隆宏, 竹中充, 「歪 SiGe を用いた Si 光変調器の作製プロセ

ス検討」, 電子情報通信学会総合大会, C3-30, 九州大学伊都キャンパス, 2016年3月16日.

- [12] 竹中 充, 金 栄現, 韓 在勲, 宍 健, 一宮佑希, 程 勇鵬, 朴 珍權, 金 相賢, 高木信一, 「Si上異種半導体集積によるCMOSフォトニクス」, 電子情報通信学会SDM研究会・応用物理学会シリコンテクノロジー分科会共催研究集会, 機会振興会館, 2016年1月28日(招待講演).
- [13] X. Yu, J. Kang, M. Takenaka, and S. Takagi, 「Experimental Study on Carrier Transport Properties in Extremely-Thin Body Ge-on-Insulator (GOI) p-MOSFETs with GOI Thickness Down to 2 nm」, 電子情報通信学会SDM研究会・応用物理学会シリコンテクノロジー分科会共催研究集会, 機会振興会館, 2016年1月28日.
- [14] 竹中充, 高木信一, 「III-V on SiC基板を用いた光集積回路プラットフォームの提案」, 第76回応用物理学会秋季学術講演会, 13a-2S-5, 名古屋国際会議場, 2015年9月13日.
- [15] 韓在勲, 竹中充, 高木信一, 「貼り合せMOS型光変調器実現に向けた $\text{Al}_2\text{O}_3/\text{HfO}_2$ 界面によるボイド低減手法の検討」, 第76回応用物理学会秋季学術講演会, 14p-PA4-5, 名古屋国際会議場, 2015年9月14日.
- [16] 高島成也, 一宮佑希, 竹中充, 高木信一, 「III-V-OI基板のパターニングによるボイド低減の検討」, 第76回応用物理学会秋季学術講演会, 14p-PA4-4, 名古屋国際会議場, 2015年9月14日.
- [17] R. Zhang, M. Takenaka, S. Takagi, 「High Mobility Ge CMOS Devices with Ultrathin EOT Gate Stacks Fabricated by Plasma Post Oxidation」, 第76回応用物理学会秋季学術講演会, 13p-4C-2, 名古屋国際会議場, 2015年9月13日.
- [18] 安大煥, 竹中充, 高木信一, 「InGaAs-OI TFET on Si Fabricated by Direct Wafer Bonding Technology」, 第76回応用物理学会秋季学術講演会, 16a-1C-5, 名古屋国際会議場, 2015年9月16日.
- [19] J. Kang, X. Yu, M. Takenaka, S. Takagi, 「Demonstration of Ge Waveguide on Ge-on-Insulator Substrate for Mid-Infrared Photonics」, 第76回応用物理学会秋季学術講演会, 14a-2N-3, 名古屋国際会議場, 2015年9月14日.
- [20] M. Kim, Y. K. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka, S. Takagi, 「Effects of strain, interface states and back bias on electrical characteristics of Ge-source UTB strained-SOI tunnel FETs」, 第76回応用物理学会秋季学術講演会, 16a-1C-1, 名古屋国際会議場, 2015年9月16日.
- [21] M. Ke, X. Yu, R. Zhang, J. Kang, C.-Y. Chang, M. Takenaka, S. Takagi, 「Fabrication and MOS interface properties of ALD $\text{AlYO}_3/\text{GeO}_x/\text{Ge}$ gate stacks with plasma post oxidation」, 第76回応用物理学会秋季学術講演会, 14a-4C-4, 名古屋国際会議場, 2015年9月16日.
- [22] X. Yu, J. Kang, R. Zhang, W.-L. Cai, M. Takenaka, S. Takagi, 「Impact of back interface passivation on electrical properties of ultrathin-body Germanium-on-insulator (GeOI) MOSFETs」, 第76回応用物理学会秋季学術講演会, 13p-4C-6, 名古屋国際会議場, 2015年9月13日.
- [23] 高木信一, 横山正史, 金相賢, 西 康一, 竹中 充, 「異種材料接合によるポストシリコンデバイス技術」, 電子情報通信学会ソサイエティ大会, 4, 東北大学, 2015年9月8日.

5.5 特許, 受賞等

浅田・名倉・飯塚研究室 特許

- [1] Masahiro Ishida, Takashi Kusaka, Toru Nakura, Rimon Ikeno, Naoki Terao, Kunihiro Asada, "Power Supply Apparatus", 出願済み

受賞

- [1] Student Travel Grand Award in IEEE Sensors Applications Symposium (SAS)
- [2] Yuki Oda, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, "Analysis of VLSI Power Supply Network based on Current Estimation through Magnetic Field Measurement," in Proceedings of IEEE Sensors Applications Symposium (SAS)

卒業論文工学部長賞・優秀卒業論文賞

- [1] 加賀谷司, "パルス幅制御位相同期回路の高速起動手法"
- [2] 平成 28 年度電子情報通信学会エレクトロニクスソサイエティ優秀学生修了表彰
- [3] 許鏜, "シンチレータ内点光源の高空間分解能検出手法"

高宮研究室 特許

- [1] 松永賢一, 森村浩季, 高宮 真, 染谷晃基, 桜井貴康, "電圧検出回路," 特願 2016-183818, 2016 年 9 月 21 日出願.
- [2] 崔 通, 高宮 真, 桜井貴康, "DC/DC コンバータ," 特願 2016-220181, 2016 年 11 月 11 日出願.

受賞

- [1] 東京大学高宮研究室, "クロック発振回路の消費電力を大幅減, アンプを 4 個縦積みで電圧を有効活用", 日経 BP 社, NE アナログ・イノベーション・アワード 2016 優秀賞, 2017 年 1 月

池田研究室 受賞

- [1] 池田 司, 電子情報通信学会学術奨励賞, 2017 年 3 月
- [2] 田村 雅人, VDEC デザインアワード優秀賞, 「256 bit ECDSA 署名生成回路」, 2016 年 9 月

三田研究室 受賞

- [1] 岡本有貴 原島博学術奨励賞(公益財団法人 電気電子情報学術振興財団)

特許

- [1] 特願 2017-7762 2017/01/19 「匂いセンサ」照月大悟, 神崎亮平, 光野秀文, 桜井健志, テイクシェ三田アニメス, 三田吉郎, 岡本有貴, 年吉洋

高木・竹中研究室 受賞

- [1] 文部科学大臣表彰, 高木 信一

A-1 Appendix

A. Publication list

1. 研究論文

- [1] 谷井宏成, 和田光司, 大野貴信, “左手系伝送線路 BPF と右手系伝送線路 BSF における回路変形に関する一検討,” 電子情報通信学会和文論文誌(C), Vol. J99-C, No.4, pp. 166-170, (2016年4月)
- [2] Kosei Tanii, Koji Wada, “Simulational Approach to Realize a Triplexer Based on Bandpass Filters Using Wideband Resonators,” IEICE TRANSACTIONS on Electronics, Vol.99-C, No.7, pp.751-760(2016年7月)
- [3] M Fujishima, “300GHz CMOS wireless communication with 32 quadrature-amplitude-modulation capability,” ECS Transactions, vol. 72, no. 3, pp. 105-111, Apr. 2016.
- [4] S. Hara, K. Katayama, K. Takano, I. Watanabe, N. Sekine, A. Kasamatsu, T. Yoshida, S. Amakawa, M. Fujishima, “Compact 141-GHz differential amplifier with 20-dB peak gain and 22-GHz 3-dB bandwidth,” IEICE Transactions on Electronics, vol. 99, no. 10, pp. 1156-1163, Oct. 2016.
- [5] K. Katayama, K. Takano, S. Amakawa, S. Hara, A. Kasamatsu, K. Mizuno, K. Takahashi, T. Yoshida, M. Fujishima, “A 300 GHz CMOS transmitter with 32-QAM 17.5 Gb/s/ch capability over six channels,” IEEE Journal of Solid-State Circuits, vol. 51, no. 12, pp. 3037-3048, Dec. 2016.
- [6] 張, 梅原, 山口, 古田, 小林, “Analysis of Soft Error Rates in 65- and 28-nm FD-SOI Processes Depending on BOX Region Thickness and Body Bias by Monte-Carlo Based Simulations”, vol.63, no.4, pp. 2002-2009, IEEE Trans. on Nuclear Science(2016)
- [7] 古田, 山口, 小林, “A Radiation-Hardened Non-Redundant Flip-Flop, Stacked Leveling Critical Charge Flip-Flop in a 65 nm Thin BOX FD-SOI Process”, vol.63, no.4, pp. 2080-2086, IEEE Trans. on Nuclear Science(2016)
- [8] 藪内, 小林, “Size Optimization Technique for Logic Circuits that Considers BTI and Process Variations”, vol.9, pp. 72-78, IPSJ Transactions on System LSI Design Methodology(2016)
- [9] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, “Design, Analysis and Implementation of Pulse Generator by CMOS Flipped on Glass for Low Power UWB-IR,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E100-A, no. 1, pp. 200 - 209, Jan. 2017.
- [10] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, “A 15x15 Single Photon Avalanche Diode Sensor Featuring Breakdown Pixels Extraction Architecture for Efficient Data Readout,” Japanese Journal of Applied Physics (JJAP), vol. 55, No. 4s, 04EF04, 2016.
- [11] Y. Ikeda, K. Nakagawa, W. Yoshida, and S. Matsumoto, “Impact of three-dimensional stacking silicon on diamond substrate for the electrostatic discharge protection device”, Japanese Journal of Applied Physics, vol.55, No.4, JJAP:55.04ER20, 2016.
- [12] Nakamura, Kanemoto, Sadakiyo, Kanaya, “High-efficiency CMOS push-pull power amplifier with multilayer center-tapped transformer”, IEEJ Transactions on Electrical and Electronic Engineering, Vol, 11, pp.384-386, 2016年5月
- [13] Guan, Yoshitomi Kanaya, “Derivation of the optimum distance between periodically spaced vias for leakage suppression at S-band”, Microwave and Optical Technology Letters, Vol. 58, Issue 5, pp. 1257-1260, 2016年5月
- [14] Yousef, Jia, Allam, Pokharel, Rahman, Kanaya, “A-193 (dBc/Hz) FoM and 126 (dBc/Hz) phase noise octagonal ring oscillator using pulse injection technique”, Microwave and Optical Technology Letters 58 (7), 1760-1762, 2016年7月
- [15] K. Ito, Low Complexity Reed-Solomon Decoder Design with Pipelined Recursive Euclidean Algorithm, IEICE Trans. Fundamentals, Vol. E99-A, No. 12, pp. 2453-2462, 2016.
- [16] Yuki Ishihara, Yuka Naito, Kazuaki Maezumi, Yuki Okane, Hirozumi Oku, Masaki Tatani, Minami Takato, Ken Saito, Fumio Uchikoba, “IC design of driving circuit of MEMS microrobot using pulse‑type hardware neuron model” Artificial Life and Robotics Springer, June 2016, Volume 21, Issue 2, pp. 201-206, DOI 10.1007/s10015-016-0273-x
- [17] Ken Saito, Kazuki Sugita, Yuki Ishihara, Kei Iwata, Yohei Asano, Yuki Okane, Satoko Ono, Satohiro Chiba, Minami Takato, and Fumio Uchikoba, “Insect-Type MEMS Microrobot with Mountable Bare Chip IC of Artificial Neural Networks,” Artificial Life and Robotics, Springer, Vol. 22, No. 1, pp. 118 - 124, 2017. DOI! 10.1007/s10015-016-0324-3
- [18] 齊藤健, 高藤美泉, 内木場文男, “集積回路で実現した人工脳をもちいた MEMS マイクロロボット,” エレクトロニクス実装学会誌, Vol. 19, No. 6, pp. 394 - 397, 2016. 09
- [19] Ueyoshi K., Marukame T., Asai T., Motomura M., and Schmid A., “FPGA implementation of a scalable and highly parallel architecture for restricted Boltzmann

- machines,” *Circuits and Systems*, vol. 7, no. 9, pp. 2132-2141 (2016).
- [20] Prati E., Giussani E., Ferrari G., and Asai T., “Noise-assisted transmission of spikes in Maeda-Makino artificial neuron arrays,” *International Journal of Parallel, Emergent and Distributed Systems*, vol. 31, (2016), in press.
- [21] Ueyoshi K., Marukame T., Asai T., Motomura M., and Schmid A., “Robustness of hardware-oriented restricted Boltzmann machines in deep belief networks for reliable processing,” *Nonlinear Theory and Its Applications*, vol. E7-N, no. 3, pp. 395-406 (2016).
- [22] Ishimura K., Schmid A., Asai T., and Motomura M., “Stochastic resonance induced by internal noise in a unidirectional network of excitable FitzHugh-Nagumo neurons,” *Nonlinear Theory and Its Applications*, vol. 7, no. 2, pp. 164-175 (2016).
- [23] Ikebe M., Uchida D., Take Y., Someya M., Chikuda S., Matsuyama K., Asai T., Kuroda T., and Motomura M., “3D stacked imager featuring inductive coupling channels for high speed/low-noise image transfer,” *ITE Transactions on Media Technology and Applications*, vol. 4, no. 2, pp. 142-148 (2016).
- [24] HH. Myoren and R. Kobayashi and K. Kumagai and M. Naruse and T. Taino, “Noise Properties of Digital SQUID Using Double Relaxation Oscillation SQUID Comparator With Relaxation Oscillation Resonant Circuit”, *IEEE Trans. Appl. Supercond.*, Vol.27, No.4, ArtNo.7869310, 2017
- [25] H. Myoren and K. Takatoku and M. Naruse and T. Taino, “Design and Magnetic Field Noise of Magnetometer Using Digital SQUID With Subflux Quantum Feedback”, *IEEE Trans. Appl. Supercond.*, Vol.26, No.5, ArtNo. 7473925, 2016
- [26] Rimon Ikeno, Satoshi Maruyama, Yoshio Mita, Makoto Ikeda, and Kunihiro Asada, “Electron beam lithography with character projection technique for high-throughput exposure with line-edge quality control,” *Journal of Micro/Nanolithography, MEMS, and MOEMS*, 15(3), 31606, 2016.
- [27] T. Sato, S. Chivapreecha and P. Moungnoul, “A Connection Block Implemented in the RTL Design for Delay Time Equalization of Wave-Pipelining,” *Journal of Systemics, Cybernetics and Informatics*, vol. 14, no. 1, pp. 49-54, 2016.
- [28] 石田浩貴, 田中雅光, 小野貴継, 井上弘士, “単一磁束量子回路向けマイクロプロセッサのアーキテクチャ探索,” *情報処理学会論文誌*, Vol. 58, No. 3, pp.629-634, 2017.
- [29] 松谷宏紀, “[招待講演] ビックデータ利活用のための計算基盤”, *電子情報通信学会技術研究報告 ICD2016-56*, Vol.116, No.364, pp.29-32, Dec 2016.
- [30] T. Yasunishi, Y. Takabayashi, S. Kishimoto, R. Kitaura, H. Shinohara, and Y. Ohno, “Origin of residual particles on transferred graphene grown by CVD”, *Jpn. J. Appl. Phys.* 55, 080305-1-4 (2016). doi:10.7567/JJAP.55.080305
- [31] A. Kaskela, P. Laiho, N. Fukaya, K. Mustonen, T. Susi, H. Jiang, N. Houbenov, Y. Ohno, and E. I. Kauppinen, “Highly individual SWCNTs for high performance thin film electronics”, *Carbon* 103, 228-234 (2016). doi:10.1016/j.carbon.2016.02.099
- [32] T. Ushiyama, N. X. Viet, S. Kishimoto and Y. Ohno, “Flexible carbon nanotube interdigitated electrode for electrochemical biosensors”, *The Seventeenth International Conference on the Science and Applications of Nanotubes and Low-dimensional Materials*, 2016.08.08, University of Vienna, Austria.
- [33] Tatsuya Kamakari, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “Analytical Stability Modeling for CMOS Latches in Low Voltage Operation,” *IEICE Transactions on Fundamentals*, vol E99-A, no 12, pp. 2463-2472, 2016/12.
- [34] H. Ichihara, T. Sugino, S. Ishii, T. Iwagaki and T. Inoue, “Compact and accurate digital filters based on stochastic computing,” *IEEE Trans. on Emerging Topics in Computing*, <https://doi.org/10.1109/TETC.2016.2608825>, Sept. 2016.
- [35] Kawaguchi, Mashiko, Kohira, “Technology Mapping Method using Integer Linear Programming for Low Power Consumption and High Performance in General-Synchronous Framework”, *IEICE Trans. Fundamentals*, Vol. E99-A, No. 7, pp.1366-1373, 2016.
- [36] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, “InAs/GaSb-on-insulator single channel complementary metal-oxide-semiconductor transistors on Si structure”, *Appl. Phys. Lett.*, vol. 109, 213505, 2016.
- [37] M. Yokoyama, R. Suzuki, N. Taoka, M. Takenaka, and S. Takagi, “Impact of surface orientation on (100), (111) A, and (111) B InGaAs surfaces with In content of 0.53 and 0.70 and on their Al₂O₃/InGaAs metal-oxide-semiconductor interface properties”, *Appl. Phys. Lett.*, vol. 109, 182111, 2016.
- [38] M. Takenaka, Y. Kim, J. Han, J. Kang, and S. Takagi, “Challenges and opportunities of near and mid-infrared photonics based on SiGe and Ge,” *ECS Trans.*, vol. 75, no. 8, pp. 447-459, 2016 (invited).
- [39] N. Taoka, M. Yokoyama, S.-H. Kim, R. Suzuki, R. Iida, M. Takenaka, S. Takagi, “Influence of interface traps inside the conduction band on the capacitance–voltage characteristics of InGaAs metal–oxide–semiconductor capacitors”, *Appl. Phys. Express.*, Vol. 9, 111202, 2016.
- [40] J. Han, M. Takenaka, and S. Takagi, “Analysis of interface trap density of plasma post-nitrided Al₂O₃/SiGe MOS interface with high Ge content using high-tem-

perature conductance method", J. Appl. Phys., vol. 120, 125707, 2016.

- [41] J.-K. Park, J. Han, M. Takenaka, and S. Takagi, "InGaAsP variable optical attenuator with lateral P-IN junction formed by Ni-InGaAsP and Zn diffusion on III-V on insulator wafer," MRS Advances, vol.1 no. 48, pp. 3295-3300, 2016.
- [42] S. Takagi, M. Noguchi, M. Kim, S.-H. Kim, C.-Y. Chang, M. Yokoyama, K. Nishi, R. Zhang, M. Ke, and M. Takenaka, "III-V/Ge MOS device technologies for low power integrated Systems," Solid-state Electronics, vol. 125, pp. 82-102, 2016 (invited).
- [43] J. Han, S. Takagi, and M. Takenaka, "High-Efficiency O-Band Mach-Zehnder modulator based on InGaAsP/Si hybrid MOS capacitor," Optical Fiber Communication Conference (OFC2017), W3E.2, Los Angeles, 22 March 2017.
- [44] T. Hirata, R. Nishino, S. Nakatake, M. Shimoyama, M. Miyagawa, R. Miyauchi, K. Tanno, A. Yamada, "Subblock-level matching layout for analog block-pair and its layout-dependent manufacturability evaluation", IEICE Trans. on Fundamentals, Vol.E99A, No.7, pp.1381-1389, 2016
- [45] Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato! "Efficient Aging-Aware SRAM Failure Probability Calculation via Particle Filter Based Importance Sampling," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E99-A, No.7, pp.1390-1399, July 2016.
- [46] Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato! "Fast Estimation of NBTI-Induced Delay Degradation Based on Signal Probability," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E99-A, No.7, pp.1400-1409, July 2016.
- [47] Michihiro Shintani, Takumi Uezono, Kazumi Hatayama, Kazuya Masu, and Takashi Sato! "Path Clustering for Test Pattern Reduction of Variation-Aware Adaptive Path Delay Testing," Journal of Electronic Testing! Theory and Applications, Vol. 32, Issue 5, pp.601-609, Oct. 2016.
- [48] Y. Mizugaki, K. Sawada, T. Watanabe, and H. Shimada, "Experimental demonstration of single-flux-quantum sequential-access mask ROM," IEICE Electronics Express (ELEX), vol. 13, no. 12, pp. 20160342-1-6, June, 2016.
- [49] Y. Mizugaki and T. Watanabe, "Design and Operation of a Double-Flux-Quantum Amplifier Excluding Flux Bias Lines," IEEE Transactions on Applied Superconductivity. vol. 26, no. 5, 1301104 (4 pages), August, 2016.
- [50] . Mizugaki, T. Watanabe, and H. Shimada, "Superconducting bipolar digital-to-analog converter equipped with dual double-flux-quantum amplifier," IEICE Electronics Express (ELEX), vol.13, no.10, pp.20160242-1-6, May, 2016.
- [51] Y. Mizugaki, Y. Mutoh, Y. Urai, K. Sawada, and T. Watanabe, "Three Parallel Generation of a 4-bit M-Sequence Using Single-Flux-Quantum Digital Circuits," IEEE Transactions on Applied Superconductivity, vol. 26, no. 5, 1300504 (4 pages), August, 2016.
- [52] Z. Abidin, K. Tanno, S. Mago, H. Tamura, "Low Common-Mode Gain Instrumentation Amplifier Architecture Insensitive to Resistor Mismatches", International Journal of Electrical and Computer Engineering (IJECE), Vol. 6, No. 6, pp. 1023-1027, December, 2016.
- [53] Z. Abidin, K. Tanno, S. Mago, H. Tamura, "A New Instrumentation Amplifier Architecture Based on Differential Difference Amplifier for Biological Signal Processing", International Journal of Electrical and Computer Engineering (IJECE), Vol. 7, No. 2, April, 2017.
- [54] Mutsumi Kimura, Ryohei Morita, Sumio Sugisaki, Tokiyoshi Matsuda, Tomoya Kameda, and Yasuhiko Nakashima, Cellular Neural Network formed by Simplified Processing Elements composed of Thin-Film Transistors, Neurocomputing, 2017, to be published
- [55] J. Bae, S. Radhapuram, I. Jo, W. Wang, T. Kihara, and T. Matsuoka, "A Design of 0.7-V 400-MHz All-Digital Phase-Locked Loop for Implantable Biomedical Devices," IEICE Trans. Electron, Vol. E99-C, No. 4, pp. 431-439, Apr. 2016.
- [56] K. Ohhata et. al., "A 500-MS/s, 2.0-mW, 8-Bit Subranging ADC with Time-Domain Quantizer," Scientific Research Publishing, Circuits and Systems, vol. 8, no. 1, pp. 1-13, Jan. 2017.
- [57] Y. Tanaka, "Efficient signed-digit-to-canonical-signed-digit recoding circuits", Microelectronics Journal, Vol.57, Nov, pp.21-15, 2016.
- [58] Moritoshi Yasunaga and Ikuo Yoshihara, "An evolutionary design methodology of printed circuit boards for high-speed VLSIs," Artificial Life and Robotics (Springer), Vol.21, No.2, pp.171-176, 2016.
- [59] Nobutaka Kito, Kazushi Akimoto, and Naofumi Takagi, "Floating-Point Multiplier with Concurrent Error Detection Capability by Partial Duplication," IEICE Transactions on Information and Systems, vol. E100-D, no. 3, pp. 531-536, Mar. 2017.
- [60] Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Automatic Wire-Routing of SFQ Digital Circuits Considering Wire-Length Matching," IEEE Transactions on Applied Superconductivity, vol. 26, no. 3, Article# 1300305, Apr. 2016.

- [61] Yousuke Miyake, Yasuo Sato, Seiji Kajihara, and Yukiya Miura, "Temperature and Voltage Measurement for Field Test Using an Aging-Tolerant Monitor," *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 24, No. 11, pp. 3282-3295, Nov. 2016. DOI:10.1109/TVLSI.2016.2540654
- [62] S. Amakawa, "Scattered reflections on scattering parameters 優 emystifying complex-referenced S parameters ·" *IEICE Trans. Electron.*, vol. E99-C, no. 10, pp. 1100 · 112, October 2016.
- [63] Duc Phuc Nguyen, Thi Hong Tran, Yasuhiko Nakashima! "A Multi-mode Error-Correction Solution based on Split-Concatenation for Wireless Sensor Nodes", *Journal of Communications (JCM)* Vol.12, No.2, pp.130-136, Doi:10.12720/jcm.12.2.130-136, Feb. (2017)
- [64] Mutsumi Kimura, Ryohei Morita Sumio Sugisaki, Tokiyoshi Matsuda, Tomoya Kameda, Yasuhiko Nakashima! "Cellular neural network formed by simplified processing elements composed of thin-film transistors", *Elsevier-Journal online, Neurocomputing*, <http://dx.doi.org/10.1016/j.neucom.2016.10.085>, Mar. (2017)
- [65] 伊藤圭汰, 谷卓治, 岩上卓磨, 西野悟, 清山浩司, 田中徹, "様々な生体信号を瞬時に選択記録可能なアジャイル生体信号記録システムの開発," *電気学会論文 C*, Vol. 137, No. 2, pp. 348-353, 2017.
- [66] Takumi Morikawa, Takuya Harashima, Takafumi Fukushima, Hisashi Kino, Tetsu Tanaka, "Evaluation of insertion characteristics of less invasive Si opto neural probe with embedded optical fiber," *Japanese Journal of Applied Physics* 56 (2016) 04CM04.
- [67] Keita Ito, Shoma Uno, Tatsuya Goto, Yoshiki Takezawa, Takuya Harashima, Takumi Morikawa, Satoru Nishino, Hisashi Kino, Koji Kiyoyama, Tetsu Tanaka, "Design and evaluation of wide-range and low-power analog front-end enabling body-implanted devices to monitor charge injection properties," *Japanese Journal of Applied Physics* 56 (2016) 04CM05.
- [68] Takuya Harashima, Takumi Morikawa, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Development of Si neural probe with piezoresistive force sensor for minimally invasive and precise monitoring of insertion forces," *Japanese Journal of Applied Physics* 56 (2016) 04CM08.
- [69] K. Niitsu, T. Kuno, M. Takihi, and K. Nakazato, "Well-Shaped Microelectrode Array Structure for High-Density CMOS Amperometric Electrochemical Sensor Array," *IEICE Transactions on Electronics*, vol. E99-C, no. 6, pp. 663-666, Jun. 2016.
- [70] K. Niitsu, K. Ikeda, K. Muto, and K. Nakazato, "Design, Experimental Verification, and Analysis of a 1.8-V-Input-range Voltage-to-Current Converter Using Source Degeneration for Low-Noise Multimodal CMOS Biosensor Array," *Japanese Journal of Applied Physics*, vol. 56, no. 1S, pp. 01AH06, Jan. 2017.
- [71] K. Niitsu, A. Kobayashi, K. Yoshida, and K. Nakazato, "Design and experimental verification of CMOS Magnetic-Based Microbeads Detection Using an Asynchronous Intra-chip Inductive-Coupling Transceiver," *Japanese Journal of Applied Physics*, vol. 56, no. 1S, pp. 01AH05, Jan. 2017.
- [72] K. Gamo, K. Nakazato, and K. Niitsu, "Design and experimental verification of a CMOS current integrator with $1.2\mu\text{m} \times 2.05\mu\text{m}$ microelectrode array for high-sensitivity bacteria counting," *Japanese Journal of Applied Physics*, vol. 56, no. 1S, pp. 01AH01, Jan. 2017.
- [73] A. Kobayashi, K. Ikeda, K. Nakazato, and K. Niitsu, "Energy-efficient and low-voltage design methodology for a supply-sensing CMOS biosensor using biofuel cells for energy-autonomous healthcare applications," *Japanese Journal of Applied Physics*, vol. 56, no. 1S, pp. 01AH03, Jan. 2017.
- [74] Y.Ando, R.Sato, M.Tanaka, K.Takagi, N.Takagi, A.Fujimaki, "Design and Demonstration of an 8-bit Bit-Serial RSFQ Microprocessor! CORE e4," *IEEE Trans. Appl. Super cond.*, Vol. 26, Issue 5, Article # 1301205, 2016 年 5 月
- [75] G.Tang, K.Takagi, N.Takagi, "RSFQ 4-bit Bit-Slice Integer Multiplier," *IEICE Trans. Electron.*, Vol. E99-C, No.6, pp. 697-702, 2016 年 6 月.
- [76] G.Tang, K.Takagi, N.Takagi, "32 × 32-bit 4-bit Bit-Slice Integer Multiplier for RSFQ Microprocessors," *IEEE Trans. Appl. Supercond.*, Vol. 27, Issue 3, Article #13 01005, 2017 年 2 月.
- [77] 齋藤孝一, 清水暁生, 石川洋平, 深井澄夫, "可変オーバードライブ電圧カレントミラーに用いるアンプの検討", *電気学会電子回路研究会*, ECT-017-001, Jan. 2017.
- [78] 川添浩太郎, 谷口幹, 吉野託未, 大塩悠貴, 野口卓朗, 深井澄夫, 清水暁生, 石川洋平, "有明高専における LSI 設計・試作検証・計測システム開発を通じた技術者教育の取り組み", *電気学会電子回路研究会*, ECT-017-012, Jan. 2017.
- [79] 松永祐太郎, 野口卓朗, 清水暁生, 石川洋平, 深井澄夫, "FG - MOSFET を用いた 4 値 ALU の評価", *電気学会電子回路研究会*, ECT-017-020, Jan. 2017.
- [80] Tomoki Tanaka, Keiji Kishine, Akira Tsuchiya, Hiromi Inaba, and Daichi Omoto : A 32-Gb/s Inductorless Output Buffer Circuit with Adjustable Pre-emphasis in 65-nm CMOS *IEIE transactions on smart processing and computing (IEIE SPC)* Volume 5 Number 3 June 30, 2016, pp. 207
- [81] Daichi Omoto, Keiji Kishine, Hiromi Inaba, and Tomoki Tanaka : Simple Routing Control System

for 10 Gb/s Data Transmission Using a Frequency Modulation Technique *IEIE transactions on smart processing and computing (IEIE SPC)* Volume 5 Number 3 June 30, 2016, pp. 199

- [82] K. Wakita, E. Sano, M. Ikebe, S. Arnold, T. Otsuji, Y. Takida, and H. Minamide, "Design and fabrication of terahertz detectors based on 180-nm CMOS process technology," *Int. J. High Speed Electronics and Systems*, vol. 25, nos. 3&4, pp. 1640014-1-9, 2016.
- [83] M. Tanaka, K. Takagi, and N. Takagi, "High-throughput rapid single-flux-quantum circuit implementations for exponential and logarithm computation using the radix-2 signed-digit representation," *IEICE Transactions on Electronics*, vol. E99–C, no. 6, pp. 703–709, Jun. 2016.
- [84] M. Tanaka, R. Sato, Y. Hatanaka, and A. Fujimaki, "High-density shift-register-based rapid single-flux-quantum memory system for bit-serial microprocessors," *IEEE Transactions on Applied Superconductivity*, vol. 26, no. 5, p. 1301005, Aug. 2016.
- [85] 田中雅光, 佐藤諒, 畑中湧貴, and 藤巻朗, "シャント抵抗を排した低電圧駆動単一磁束量子回路の低エネルギー化," *電気学会論文誌 A(基礎・材料・共通部門誌)*, vol. 136, no. 12, pp. 740–746, Dec. 2016.
- [86] 伊藤大, 谷口壮耶, 黒川綜太, 田中雅光, 赤池宏之, and 藤巻朗, "強磁性パターンを用いた磁束量子パラメトロン論理機能切り替え," *電気学会論文誌 A(基礎・材料・共通部門誌)*, vol. 136, no. 12, pp. 753–758, Dec. 2016.
- [87] Makoto Nagata, Daisuke Fujimoto, Noriyuki Miura, Naofumi Homma, Yu-ichi Hayashi, Kazuo Sakiyama, "(Review paper) Protecting cryptographic integrated circuits with side-channel information," *IEICE Electronics Express (ELEX)*, Vol. 14 No. 2 pp. 1-13, Feb. 2017.
- [88] Jinjia Zhou, Dajiang Zhou, Shuping Zhang, Shinji Kimura, and Satoshi Goto, "A Variable-Clock-Cycle-Path VLSI Design of Binary Arithmetic Decoder for H.265/HEVC," *IEEE Trans. on Circuits and Systems for Video Technology*, 6 pages. (accepted)
- [89] Dajiang Zhou, Shihao Wang, Heming Sun, Jianbin Zhou, Jiayi Zhu, Yijin Zhao, Jinjia Zhou, Shuping Zhang, Shinji Kimura, Takeshi Yoshimura, and Satoshi Goto, "An 8K H.265/HEVC Video Decoder Chip with a New System Pipeline Design," *IEEE Journal of Solid State Circuit*, 6 pages. (accepted)
- [90] Ozaki, Hirose, Asano, Kuroki, Numa, "Fully-Integrated High-Conversion-Ratio Dual-Output Voltage Boost Converter with MPPT for Low-Voltage Energy Harvesting," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 10, pp. 2398-2407, 2016.
- [91] Ozaki, Hirose, Nagai, Tsubaki, Kuroki, Numa, "A highly efficient switched-capacitor voltage boost converter with nano-watt MPPT controller for low-voltage energy harvesting," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer*, vol. E99-A, no. 12, pp. 2491-2499, 2016.
- [92] Ozaki, Hirose, Asano, Kuroki, Numa, "Ultra-low quiescent current and wide load range low-dropout linear regulator with self-biasing technique for micro-power battery management," *Japanese Journal of Applied Physics* 56, 04CF11, 2017.
- [93] 寺山恭平, 今井雅, "ラッチベース非同期式回路のスキランテスト," *電子情報通信学会論文誌 A Vol.J99-A*, No.8, pp.298-308, 2016
- [94] T. Fujimori, M. Watanabe, "High-speed scrubbing demonstration using an optically reconfigurable gate array," *Optics Express*, Vol. 25, Issue 7, pp. 7807-7817, March, 2017.
- [95] 原田, 藤本, 江口, 福原, 吉田, "A Minimum Manhattan Distance Retrieving Circuit Using Neuron CMOS Inverters", *International Journal of Electronics and Electrical Engineering*, Vol4, No.4, pp.290-295, 2016年8月
- [96] Takashi Tokuda, Toshikazu Kawamura, Keita Masuda, Tomohiro Hirai, Hironari Takehara, Yasumi Ohta, Mayumi Motoyama, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, Teru Okitsu, Shoji Takeuchi, "In Vitro Long-Term Performance Evaluation and Improvement in the Response Time of CMOS-Based Implantable Glucose Sensors," *IEEE Design & Test*, vol. 33, no. 4, pp. 37-48, June 2016. doi!10.1109/MDAT.2016.2560137
- [97] Hiroaki Takehara, Hajime Hayami, Kengo Nagata, Yasumi Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Implantable micro-sized image sensor for data transmission with intravitral optical communication," *IET J. Eng.*, Nov. 2016. doi! 10.1049/joe.2016.0311
- [98] Anek Wuthayavanich, Makito Haruta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Performance Improvement of a Micro-stimulus Electrode for Retinal Prosthesis by Introducing a High-Performance Material and a Three-Dimensional Structure," *Sens. Mater.*, vol. 28, no. 12, pp. 1317-1327, Dec. 2016. doi! 10.18494/SAM.2016.1292
- [99] Jun Ohta, Yasumi Ohta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Makito Haruta, Takuma Kobayashi, Yasemin M. Akay, Metin Akay, "Implantable Microimaging Device for Observing Brain Activities of Rodents," *Proc. IEEE*, vol. 105, no. 1, pp. 158-166, Jan. 2017. doi! 10.1109/JPROC.2016.2585585
- [100] Z. Qin, A. Tanaka, N. Takaya, and H. Yoshizawa, "0.5-V

- 70-nW Rail-to-Rail Operational Amplifier Using a Cross-Coupled Output Stage,” *IEEE Transactions on Circuits and Systems II*, vol.63, No. 11, pp. 1009-1013, 2016.
- [101] Z. Qin and H. Yoshizawa, “A 0.6-V 2-nA CMOS Current Reference Circuit”, *Int. Journal of Engineering Research and Application*, vol. 7, No. 2, pp.19-22, 2017.
- [102] Sho Ikeda, Hiroyuki Ito, Akifumi Kasamatsu, Yosuke Ishikawa, Takayoshi Obara, Naoki Noguchi, Koji Kamisuki, Yao Jiyang, Shinsuke Hara, Dong Ruibing, Shiro Doshu, Noboru Ishihara and Kazuya Masu, “A -244-dB FOM High-Frequency Piezoelectric Resonator-Based Cascaded Fractional-N PLL With Sub-ppb-Order Channel-Adjusting Technique,” *IEEE Journal of Solid-State Circuits*, Vol.52, Issue 4, April, 2017, pp.1123-1133
- [103] Daisuke Yamane, Toshifumi Konishi, Teruaki Safu, Hiroshi Toshiyoshi, Masato Sone, Kazuya Masu and Katsuyuki Machida, “Evaluation and Modeling of Adhesion Layer in Shock-Protection Structure for MEMS Accelerometer,” *Microelectronics Reliability*, vol.66, November, 2016, pp.78-84.
- [104] Daisuke Yamane, Toshifumi Konishi, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, “A 1-mG MEMS Sensor,” *ECS Transactions*, vol. 72, issue 3, 2016, pp. 7-14.
- [105] Minami Teranishi, Tso-Fu Mark Chang, Chun-Yi Chen, Toshifumi Konishi, Katsuyuki Machida, Hiroshi Toshiyoshi, Daisuke Yamane, Kazuya Masu, and Masato Sone “Structure Stability of High Aspect Ratio Ti/Au Two-Layer Cantilevers for Applications in MEMS Accelerometers”, *Microelectronics Engineering*, vol. 159, 2016, pp.90-93.
- [106] Sho Ikeda, Sang_yeop Lee, Hiroyuki Ito, Noboru Ishihara and Kazuya Masu, “A 0.5 V 5.96-GHz PLL With Amplitude-Regulated Current-Reuse VCO,” *IEEE Microwave and Wireless Components Letters*, vol.27, Issue 3, March, 2017, pp.302-304.
- [107] 橋爪, 伊喜利, 小西, 四柳, S-K. Lu, “バウンダリスキャンテスト機構を用いたはんだ接合部の電気検査法とその組込型検査回路”, *エレクトロニクス実装学会誌*, Vol.19, No.3, pp.161-165, 2016
- [108] Yusuke Kohara, Naoya Kubo, Tomofumi Nishiyama, Taiki Koizuka, Mohammad Alimudin, Amirul Rahmat, Hitoshi Okamura, Tomoyuki Yamanokuchi, Kazuyuki Nakamura, “Self-stabilization techniques for intermediate power level in stacked-Vdd integrated circuits using DC-balanced coding methods”, *Japanese Journal of Applied Physics*, Vol.55 No.4S, pp04EF06-1-7, DOI:10.7567/JJAP.55.04EF06, April. 2016
- [109] H. Akima, Y. Katayama, M. Sakuraba, K. Nakajima, J. Madrenas, and S.Sato, “CMOS Majority Circuit with Large Fan-In”, *IEICE Trans. Electron*, vol. E99c, no. 9, pp. 1056-1064, Sep 2016.
- [110] K. Maezawa, S. Fujino, T. Yamamoka, M. Mori, “Delta Sigma Modulation Microphone Sensors Using a Microwave Cavity Resonator”, *Electronics Letters*, Vol.52 No.20 (2016) pp. 1651-1652.
- [111] T. Tajika, Y. Kakutani, M. Mori and K. Maezawa, “Experimental demonstration of strain detection using resonant tunneling delta-sigma modulation sensors”, *Phys. Status Solidi A*, 1-7 (2016) / DOI 10.1002/pssa.201600548.
- [112] 阿部晋士, 坂井尚貴, 大平孝, “K4 整流回路の提案とシミュレーション検証”, *信学技報*, WPT2016-33, vol. 116, no. 238, pp. 79-84, Oct. 2016.
- [113] 山田恭平, 宮崎陽一郎, 阿部晋士, 坂井尚貴, 大平孝, “倍電圧整流回路をベースとした負荷変動圧縮性のある整流回路の動作解析～矩形波近似を用いた新しい解析手法の提案～”, *信学技報*, WPT2016-32, vol. 116, no. 238, pp. 73-78, Oct. 2016.
- [114] 阿部晋士, 山田恭平, 坂井尚貴, 大平孝, “ $\lambda/4$ 線路挿入型負荷変動圧縮整流回路のトポロジ提案～並列-並列型トポロジと直列-直列型トポロジ～,” *信学技報*, MW2016-169, vol. 116, no. 363, pp. 211-214, Dec. 2016.
- [115] K. Igawa, M. Yanagisawa and N. Togawa, “A multi-scenario high-level synthesis algorithm for variation-tolerant floorplan-driven design”, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E99-A, no. 7, pp. 1278-1293, 2016.
- [116] K. Ito, K. Kawamura, Y. Tamiya, M. Yanagisawa and N. Togawa, “Bi-partitioning based multiplexer network for field-data extractors”, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E99-A, no.7, pp. 1410-1414, 2016.
- [117] K. Igawa, M. Yanagisawa and N. Togawa, “Multi-scenario high-level synthesis for dynamic delay variation and its evaluation on FPGA platforms”, *IEICE Electronics Express*, vol. 13, no. 18, pp. 1-12, 2016.
- [118] Yoshiaki Mori, Shingo Sato, Yasuhisa Omura, Avik Chattopadhyay, and Abhijit Mallik, “On the Definition of Threshold Voltage for Tunnel FETs”, *Superlattices and Microstructures*, vol. 107, pp. 17-17, 2017.
- [119] Tradeoff Between Low-Power Operation and Radiation Hardness of Fully Depleted SOI pMOSFET by Changing LDD Conditions, Ikuo Kurachi, Kazuo Kobayashi, Marie Mochizuki, Masao Okihara, Hiroki Kasai, Takaki Hatsui, Kazuhiko Hara, Toshinobu Miyoshi, and Yasuo Arai, *IEEE Transactions on Electron Devices*, Vol. 63, No. 6, pp. 2293-2298, June 2016.
- [120] 久米, 小島, 滝, 内藤, 中村, “多段利得切替と多段電流オフセット補償によるバースト対応 TIA の低電圧化に関する検討”, *電子情報通信学会論文誌*, Vol. J100-C No.1 pp. 37-40.

- [121] Takashi Kohno, Munehisa Sekikawa, Jing Li, Takuya Nanami, and Kazuyuki Aihara, "Qualitative-Modeling-Based Silicon Neurons and Their Networks," *Frontiers in Neuroscience*, Vol. 10, No.273, pp. 1–16, Jun., 2016.
- [122] Takashi Kohno, Munehisa Sekikawa, and Kazuyuki Aihara, "A configurable qualitative-modeling-based silicon neuron circuit," *Nonlinear Theory and Its Applications*, IEICE, Vol. 8, No. 1, pp. 25-37, Jan., 2017.
- [123] J. Kadomoto, S. Hasegawa, Y. Kiuchi, A. Kosuge, and T. Kuroda, "Analysis and Evaluation of Electromagnetic Interference between ThruChip Interface and LC-VCO," *IEICE Trans. on Electronics*, vol. E99-C, no. 6, pp. 659-662, June 2016.
- [124] A. Kosuge, J. Kadomoto, and T. Kuroda, "A 6 Gb/s 6 pJ/b 5mm-Distance Non-Contact Interface for Modular Smartphones Using Two-Fold Transmission Line Coupler and High EMC Tolerant Pulse Transceiver," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 51, no. 6, pp. 1446-1456, June 2016.
- [125] A. Kosuge, J. Hashiba, T. Kawajiri, S. Hasegawa, T. Shidei, H. Ishikuro, T. Kuroda, and K. Takeuchi, "An Inductively-Powered Wireless Solid-State Drive System with Merged Error Correction of High-Speed Wireless Data Links and NAND Flash Memories," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 51, no. 4, pp. 1041-1050, Apr. 2016.
- [126] R y u i c h T A K A H A S H I and Y o s h i y a s u T A K E F U J I, "Instructional Scaffolding for ASIP Design Education with System Verilog Assertion considering Situated Nature of Learning," *International Journal of Computer Science and Network Security*, Vol.16 No.10, pp.116-121, October 2016.
- [127] Kazuki Itoh, Masakazu Muraguchi and Tetsuo Endoh, "Integrated voltage regulators with high-side NMOS power switch and dedicated bootstrap driver using vertical body channel MOSFET under 100 MHz switching frequency for compact system and efficiency enhancement", *Japanese Journal of Applied Physics*, Vol. 56, No. 4S, pp. 04CF14, March 2017.
- [128] Kunihiro Tsubomi, Masakazu Muraguchi and Tetsuo Endoh, "Novel current collapse mode induced by source leakage current in AlGaIn/GaN high-electron-mobility transistors and its impact", *Japanese Journal of Applied Physics*, Vol. 55, No. 8S2, pp. 08PD06, July 2016.
- [129] H. Okuhara, Y. Fujita, K. Usami, H. Amano, "Power Optimization Methodology for Ultra Low Power Microcontroller with Silicon on Thin Box MOSFET", *IEEE Trans. on VLSI systems* Vol.25, No.4 2017.
- [130] R. Yasudo, H. Matsutani, M. Koibuchi, H. Amano, T. Nakamura, "Scalable Networks-on-Chip with Elastic Links Demarcated by Decentralized Routers, *IEEE Trans. on Computers*, Vol.66, No.4, pp.702-716, 2017.
- [131] H. Nakahara, T. Ozaki, H. Matsutani, M. Koibuchi, H. Amano, "Novel Chip Stacking Methods to Extend Both Horizontally and Vertically for Many-Core Architectures with ThruChip Interface", *IEICE Trans. on Inf&Syst*, pp.701-716, Vol.E99-D, No.12, 2016.
- [132] A.B.Ahmed, H. Matsutani, M. Koibuchi, K. Usami, H. Amano, "Multi-Voltage Variable Pipeline Routers with the Same Clock Frequency for Low-power Network on Chips Systems," *IEICE Trans. Electron*, Vol.E990C, No.8, pp.909-917, Aug.2016.
- [133] Kimura, Sakairi, Mori, Masuzawa, "Suppression method of low-frequency noise for two-dimensional integrated magnetic sensor", *JJAP*, pp.04CF05-1-4, 2017Mar.
- [134] H. Ando, K. Takizawa, T. Yoshida, K. Matsushita, M. Hirata and T. Suzuki, "Wireless Multichannel Neural Recording With a 128-Mbps UWB Transmitter for an Implantable Brain-Machine Interfaces", *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, no. 6, pp. 1068-1078
- [135] Junji Yamada, Ushio Jimbo, Ryota Shioya, Masahiro Goshima, and Shuichi Sakai! Design of a Register Cache System with an Open Source Process Design Kit for 45 nm Technology, *IEICE Trans. Electron.*, E100-C(3), pp. 232-244, 2017年3月
- [136] Ushio Jimbo, Junji Yamada, Ryota Shioya, and Masahiro Goshima! Applying Razor Flip-Flops to SRAM Read Circuits, *IEICE Trans. Electron.*, E100-C(3), pp. 245-258, 2017年3月.
- [137] N. Itoh, H. Tsuji, Y. Itano, T. Morishita, K. Komoku, and S. Yoshitomi, "A Study of Striped Inductor for K- and Ka-band Voltage-controlled Oscillators," *IEICE Transaction on Electronics*, Vol.E99-C, No.6, pp.614-622, Jun. 2016
- [138] 小川巧馬, 森下賢幸, 小椋清孝, 板野由佳, 吉富貞幸, 伊藤信之, "電流再利用同時受信増幅器の研究" *電子情報通信学会論文誌 A*, Vol.J99-A, No.8, pp.328-331, Aug. 2016.

2. 国際会議

- [1] A. Suzuki, R. Kobayashi, H. Shimada, "Instruction Rearrangement and Path Limitation for ALU Cascading", *The 2016 International Conference on Advanced Informatics! Concepts, Theory and Application (ICAICTA2016)*, *Computational Science & Engineering* No.15, Aug, 2016.
- [2] K Takano, K Katayama, S Amakawa, T Yoshida, M Fujishima, "Wireless digital data transmission from a 300-GHz CMOS transmitter," *Electronics Letters*, vol. 52, no. 15, pp.
- [3] K. Takano, S. Hara, K. Katayama, S. Amakawa, T. Yoshida, M. Fujishima, "Quintic Mixer! A

- Subharmonic Up-Conversion Mixer for THz Transmitter Supporting Complex Digital Modulation,” 2016 IEEE International Microwave Symposium (IMS2016), pp. 1-3, May 2016.
- [4] K. Katayama, K. Takano, S. Amakawa, S. Hara, T. Yoshida, M. Fujishima, “CMOS 300-GHz 64-QAM Transmitter,” 2016 IEEE International Microwave Symposium (IMS2016), pp. 1-4, May 2016.
- [5] K. Katayama, K. Takano, S. Amakawa, T. Yoshida, M. Fujishima, “14.4-dB CMOS D-band Low-Noise Amplifier with 22.6-mW Power Consumption Utilizing Bias-Optimization Technique,” The 2016 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT2016), pp. 1-3, Aug. 2016.
- [6] T. Yoshida, H. Adachi, K. Takano, K. Katayama, S. Amakawa, M. Fujishima, “System-level evaluation of 300GHz CMOS wireless transmitter using cubic mixer,” The 2016 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT2016), pp. 1-3, Aug. 2016.
- [7] M. Fujishima, “300GHz CMOS Wireless Transmitter,” EMERGING TECHNOLOGIES 2016 (ETCMOS 2016), May 2016.
- [8] M. Fujishima, “300GHz CMOS Wireless Communication with 32 Quadrature-Amplitude-Modulation Capability,” 229th ECS Meeting, May 2016.
- [9] M. Fujishima, “300 GHz CMOS Wireless Communication with Fiber-Optic Speed,” Workshop on THz Technologies and Applications, June 2016.
- [10] M. Fujishima, “Channel allocation of 300GHz band for fiber-optic-speed wireless communication,” URSI Asia-Pacific Radio Science Conference (URSI AP-RASC), pp. 330-333, Aug. 2016.
- [11] M. Fujishima, “300GHz CMOS Wireless Transmitter with Fiber-Optic Speed,” The 2016 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT2016), Aug. 2016.
- [12] M. Fujishima, “Near-Fiber-Optic-Speed Wireless Communication with Terahertz CMOS Technology,” IEEE MTT-S Latin America Microwave Conference (LAMC), Dec. 2016.
- [13] K. Takano, K. Katayama, S. Amakawa, T. Yoshida, and M. Fujishima, “A 300-GHz 64-QAM CMOS Transmitter with 21-Gb/s Maximum Per-Channel Data Rate,” The European Microwave Integrated Circuits Conference, pp. 193-196, Oct. 2016.
- [14] R. Dong, K. Katayama, S. Hara, K. Takano, I. Watanabe, N. Sekine, A. Kasamatsu, T. Yoshida, S. Amakawa, and M. Fujishima, “Power Spectrum Analysis of a Tripler-Based 300-GHz CMOS Up-Conversion Mixer,” The European Microwave Integrated Circuits Conference, pp. 345-348, Oct. 2016.
- [15] K. Takano, S. Amakawa, K. Katayama, S. Hara, R. Dong, A. Kasamatsu, I. Hosako, K. Mizuno, K. Takahashi, T. Yoshida, M. Fujishima, “A 105Gb/s 300GHz CMOS Transmitter,” Digest of Technical Papers IEEE International Solid-State Circuits Conference, pp. 308-309, Feb. 2017.
- [16] 曾根崎, 一二三, 小林, “Soft Error Tolerance of Redundant Flip-Flops by Heavy-Ion Beam Tests in 65 nm bulk and FDSOI Processes”, IEEE Nuclear and Space Radiation Effects Conference (2016)
- [17] 大島, 駒脇, 小林, 岸田, Weckx, Kaczer, 松本, 小野寺, “Physical-Based RTN Modeling of Ring Oscillators in 40-nm SiON and 28-nm HKMG by Bimodal Defect-Centric Behaviors”, pp. 327-330, International Conference on Simulation of Semiconductor Processes and Devices (2016)
- [18] 丸岡, 一二三, 古田, 小林, “A Non-Redundant Low-Power Flip Flop with Stacked Transistors in a 65 nm Thin BOX FDSOI Process”, The conference on Radiation and its Effects on Components and Systems (2016)
- [19] 岸田, 小林, “Negative Bias Temperature Instability by Body Bias on Ring Oscillators in Thin BOX Fully-Depleted Silicon on Insulator Process”, pp. 711-712, International Conference on Solid State Devices and Materials (2016)
- [20] 岸田, 小林, “Correlations between Plasma Induced Damage and Negative Bias Temperature Instability in 65 nm Bulk and Thin-BOX FDSOI Processes”, pp. 25-27, SOI-3D-Subthreshold Microelectronics Technology Unified Conference (2016)
- [21] 山口, 古田, 小林, “A Radiation-hard Layout Structure to Control Back-Gate Biases in a 65 nm Thin-BOX FDSOI Process”, pp. 28-30, SOI-3D-Subthreshold Microelectronics Technology Unified Conference (2016)
- [22] 莫, 古田, 小林, “A Low Surge Voltage and Fast Speed Gate Driver for SiC MOSFET with Switched Capacitor Circuit”, Workshop on Wide Bandgap Power Devices and Applications (2016)
- [23] 岸田, 小林, “Degradation Caused by Negative Bias Temperature Instability Depending on Body Bias on NMOS or PMOS in 65 nm Bulk and Thin-BOX FDSOI Processes”, pp. 122-123, Electron Devices Technology and Manufacturing (2017)
- [24] 籾内, 大島, 駒脇, 岸田, 古田, 小林, Weckx, Kaczer, 松本, 小野寺, “Circuit Analysis and Defect Characteristics Estimation Methods Using Bimodal Defect-Centric Random Telegraph Noise Model”, pp. 47-52, International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (2017)
- [25] Yuki Oda, Tetsuya Iizuka, Toru Nakura, and Kunihiro

- Asada, "Analysis of VLSI Power Supply Network based on Current Estimation through Magnetic Field Measurement," in Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.
- [26] Nguyen Ngoc Mai-Khanh, Shigeru Nakajima, Tetsuya Iizuka, Yoshio Mita, and Kunihiro Asada, "Experimental Demonstration of Non-Destructive Detection of IGBT Fault Positions by Magnetic Sensor," in Proceedings of IEEE Sensors Applications Symposium (SAS), Mar. 2017.
- [27] Kai Xu, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "High spatial resolution detection method for point light source in scintillator," Computational Imaging at the IS&T Electronic Imaging 2017, Jan. 2017.
- [28] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "CMOS-on-Quartz Pulse Generator for Low Power Applications," in Proceedings of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 29 - 30, Jan. 2017.
- [29] Xiao Yang, Hongbo Zhu, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, "A 15 x 15 SPAD Array Sensor with Breakdown-Pixel-Extraction Architecture for Efficient Data Readout," in Proceedings of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 23 - 24, Jan. 2017.
- [30] Masahiro Kano, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "Resonant Power Supply Noise Reduction Using a Triangular Active Charge Injection," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 113 - 116, Dec. 2016.
- [31] Nguyen Ngoc Mai-Khanh, Rimon Ikeno, Takahiro Yamaguchi, Tetsuya Iizuka, and Kunihiro Asada, "Experimental Demonstration of Stochastic Comparators for Fine Resolution ADC Without Calibration," in Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 29 - 32, Dec. 2016.
- [32] Toru Nakura, Naoki Terao, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Power Supply Impedance Emulation to Eliminate Overkills and Underkills due to the Impedance Difference between ATE and Customer Board," in Proceedings of IEEE International Test Conference (ITC), Nov. 2016.
- [33] Tetsuya Iizuka, Takehisa Koga, Toru Nakura and Kunihiro Asada, "A Fine-Resolution Pulse-Shrinking Time-to-Digital Converter with Completion Detection Utilizing Built-in Offset Pulse," in IEEE Asian Solid-State Circuits Conference (A-SSCC) Proceedings of Technical Papers, pp. 313 - 316, Nov. 2016.
- [34] Tetsuya Iizuka, Norihito Tohge, Satoshi Miura, Yoshimichi Murakami, Toru Nakura and Kunihiro Asada, "A 4-Cycle-Start-Up Reference-Clock-Less All-Digital Burst-Mode CDR Based on Cycle-Lock Gated-Oscillator with Frequency Tracking," in Proceedings of IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 301 - 304, Sep. 2016.
- [35] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, and Kunihiro Asada, "A Damping Pulse Generator Based on Regenerated Trigger Switch," in Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp. 11 - 14, May. 2016.
- [36] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "Analysis and Implementation of Quick-Start Pulse Generator by CMOS Flipped on Quartz Substrate," in Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp. 3 - 6, May. 2016.
- [37] K. Yogosawa, H. Shinohara, K. Miyaji, "A 13.56MHz CMOS Active Diode Full-Wave Rectifier Achieving ZVS with Voltage-Time-Conversion Delay-Locked Loop for Wireless Power Transmission," ASP-DAC, pp. 27-28, Jan. 2017.
- [38] K. Ikeno and S. Matsumoto Comparisons of Hot-carrier Effects of Scaled N-Channel and p-Channel Thin-film SOI Power MOSFETs under Constant Drain Electric Field Extended Abstract of the 2016 International Conference on Solid State Devices and Materials PS-14-04, 2016.
- [39] D. Takenaka and S. Matsumoto AC Hot Carrier Effect of the Thin-film SOI Power nMOSFET Extended Abstract of the 2016 International Conference on Solid State Devices and Materials PS-14-05, 2016
- [40] Y. Ikeda, K. Hiura, H. Yasuyoshi, and S. Matsumoto Potential of the 3D stacking power SoC for high frequency switching applications IEEE International Power Supply on Chip Workshop 2016, e-poster 09 2016.
- [41] T. Akagi, S. Miyano, S. Abe, S. Matsumoto, "A Silicon Based Multi-TensMHz Gate driver IC for GaN Power Devices", 2017 IEEE Applied Power Electronics Conference and Exposition, T06 7, 2017
- [42] Kazuki Zenba, Tanvir Ahmed, and Yuko Hara-Azumi, "Fast and Simple Netlist-level Fault-Injection Framework on FPGA," IEEE Symposium on Low-Power and High-Speed Chips, COOL Chips XIX, Apr. 2016.
- [43] Sekiguchi, Mukai, Miyaji, Ikeda, Kanaya, Asano, "Investigation of sensitivity of square-law detectors for radio wave imaging", Proc. 2016 Asia-Pacific Workshop on Fundamentals and Application of Advanced Semiconductor Devices, pp. 247-250, 2016 年 7 月
- [44] Miyamoto, Galal, Kanaya, "Development of UHF to

- 2.4GHz and 5.2GHz Dual Band Up-conversion CMOS Mixer”, Proc. of the 2016 IEEE 18th Electronics Packaging Technology Conference, pp.199-202, 2016 年 12 月
- [45] Shinki, Shibata, Mansour, Kanaya, “High Efficiency Energy Harvesting Circuit with Impedance Matched Antenna”, Proc. of the 2016 IEEE 18th Electronics Packaging Technology Conference, pp.532-535, 2016 年 12 月
- [46] Kanaya, Koga, Tsugami, Guan, Kato, “4x4 planar array antenna on indium phosphide substrate for 0.3-THz band application”, Proc. SPIE Photonics West 2017, pp.101031N1-101031N6, 2017 年 2 月
- [47] Kume, Ishii, Hattori, Chang, Ogura, Kanaya, Asano, Maeda, “InAs MOS-HEMT Power Detector for 1.0 THz on Quartz Glass”, Proc. of Technical Papers of 2017 IEEE Electron Devices Technology and Manufacturing Conference, pp. 196-197, 2017 年 3 月
- [48] Iwai, Tanabe, Miyata, Furukawa, Kanaya, “Miniaturized High-band UWB Monopole Metal Film Antenna”, Proc. the IEEE International Conference on Computational Electromagnetics (ICCEM), pp.169-170, 2017 年 3 月
- [49] Kouki Kayamuro, Takahiro Sasaki, Yuki Fukazawa, Toshio Kondo! A Rapid Verification Framework for Developing Multi-core Processor, Proc. of International Symposium on Computing and Networking, pp.388-394, 2016.
- [50] B.K.Wang, Y. Fukazawa, T. Kondo and T. Sasaki. A Cache Memory with Unit tile and Line Accessibility. Proceedings of 2016 International Conference on High Performance Computing & Simulation, Innsbruck, Austria, 2016; 866-874.
- [51] B.K.Wang, Y. Fukazawa, T. Kondo and T. Sasaki. A Cache Memory with Unit tile and Line Accessibility. Proceedings of 2016 IEEE/ACIS 15th International Conference on Computer and Information Science, Okayama, Japan, 2016; 121-126.
- [52] K. Yamaoka, J. Eguchi, and S. Uno, “Potentiometric Detection of Glucose in Liquid Sample by Chromatography Paper Fluidic Channel and CMOS LSI Chip”, The International Conference on Electrical, Electronic, Communication and Control Engineering (ICEECC2016), Johor Bahru, Malaysia (December 19, 2016), ECE7-1.
- [53] T. Fujimoto, S. Kawahara, Y. Fuchigami, S. Shimokawa, Y. Nakamura, K. Fukayama, M. Kamahori, and S. Uno, “Portable Electrochemical Sensing System Attached to Smartphones and Its Incorporation with Paper-based Electrochemical Glucose Sensor”, The International Conference on Electrical, Electronic, Communication and Control Engineering (ICEECC2016), Johor Bahru, Malaysia (Decem
- [54] S. Kawahara, Y. Fuchigami, S. Shimokawa, Y. Nakamura, T. Kuretake, M. Kamahori, and S. Uno, “Electrochemical Quantitative Analysis of Ethanol Gas Using Paper-Based Electrode with Immobilized
- [55] J. Eguchi, K. Yamaoka, and S. Uno, “Simultaneous Electrochemical Current Measurement Using Chromatography Paper Fluidic Channel and CMOS LSI Chip for Biosensor Applications”, The Interna
- [56] Kazuki Sugita, Minami Takato, Ken Saito, and Fumio Uchikoba, “Mechanical Structure for High Speed Locomotion of MEMS Microrobot Using SMA Rotary Actuator,” Proc. of The 42nd Annual Conference of the IEEE Industrial Electronics Society (IECON2016), pp. 6146 - 6151, Florence, Italy, 2016. 10. 25.
- [57] Kazuki Sugita, Daisuke Tanaka, Satoko Ono, Satohiro Chiba, Kei Iwata, Yuxuan Han, Minami Takato, Fumio Uchikoba, and Ken Saito, “SMA Actuator and Pulse-Type Hardware Neural Networks IC for Fast Walking Motion of Insect-Type MEMS Microrobot,” Proc. of 2016 IEEE International Conference on Advanced Intelligent Mechatronics (AIM 2016), pp. 431 - 435, Banff, Canada, 2016. 07. 12.
- [58] Daisuke Tanaka, Kazuki Sugita, Yuxuan Han, Minami Takato, Fumio Uchikoba, and Ken Saito, “Neural Networks IC for Locomotion Rhythm Generator Emulating Living Organism,” Proc. of International Conference on Electronics Packaging 2016 (ICEP 2016), pp. 434 - 438, Sapporo, Japan, 2016. 04. 20.
- [59] Fu Y., Ikebe M., Shimada T., Motomura M., and Asai T., “Low latency divider using ensemble of moving average curves,” The 18th International Symposium on Quality Electronic Design (ISQED 2017), Santa Clara Convention Center, Santa Clara, USA (Mar. 13-15, 2017) .
- [60] Ando K., Ueyoshi K., Orimo K., Ikebe M., Takamaeda-Yamazaki S., Asai T., and Motomura M., “Throughput analysis of a data-flow reconfigurable array architecture for convolutional neural networks,” The 5th RIEC International Symposium on Brain Functions and Brain Computer, Tohoku University, Sendai, Japan (Feb. 27-28, 2017) .
- [61] Ikebe M., Asai T., Mori M., Itou T., Uchida D., Take Y., and Kuroda T., “An image sensor/processor 3D stacked module featuring ThruChip interfaces,” The 22nd Asia and South Pacific Design Automation Conference - University Design Contest, Tokyo, Japan (Jan. 16-19, 2017) .
- [62] Kusano H., Ikebe M., Asai T., and Motomura M., “An FPGA-optimized architecture of anti-aliasing based super resolution for real-time HDTV to 4K- and 8K-UHD conversions,” 2016 International Conference on Reconfigurable Computing and FPGAs, Iberostar Cancun hotel, Cancun, Mexico (Nov. 30-Dec. 2, 2016) .

- [63] Orimo K., Ando K., Ueyoshi K., Ikebe M., Asai T., and Motomura M., "FPGA architecture for feed-forward sequential memory network targeting long-term time-series forecasting," 2016 International Conference on Reconfigurable Computing and FPGAs, Iberostar Cancun hotel, Cancun, Mexico (Nov. 30-Dec. 2, 2016).
- [64] Tanibata A., Ushida M., Schmid A., Ikebe M., Asai T., and Motomura M., "A hardware cellular-automaton architecture for spatial pattern generation towards motion-vector estimation of textureless objects," 2016 International Symposium on Nonlinear Theory and its Applications, pp. 622-625, New Welcity Yugawara, Shizuoka, Japan (Nov. 27-30, 2016).
- [65] Hida I., Ikebe M., Asai T., and Motomura M., "A two-clock-cycle naive Bayes classifier for dynamic branch prediction in pipelined RISC microprocessors," 2016 IEEE Asia Pacific Conference on Circuits and Systems, Ramada Plaza Jeju Hotel, Jeju, Korea (Oct. 25-38, 2016).
- [66] Ando K., Orimo K., Ueyoshi K., Ikebe M., Asai T., and Motomura M., "Reconfigurable processor array architecture for deep convolutional neural networks," The 20th Workshop on Synthesis And System Integration of Mixed Information Technologies, Kyoto Research Park, Kyoto, Japan (Oct. 24-25, 2016).
- [67] Asai T., Mori M., Itou T., Take Y., Ikebe M., Kuroda T., and Motomura M., "Motion-vector estimation and cognitive classification on an image sensor/processor 3D stacked system featuring ThruChip interfaces," European Solid-State Circuits Conference 2016, Swisstech Convention Centre, Lausanne, Switzerland (Sep. 12-15, 2016).
- [68] Ueyoshi K., Marukame T., Asai T., Motomura M., and Schmid A., "Memory-error tolerance of scalable and highly parallel architecture for restricted Boltzmann machines in deep belief network," IEEE International Symposium on Circuits and Systems, Montreal Sheraton Center, Montreal, Canada (May 22-25, 2016).
- [69] Yamamoto K., Asai T., and Motomura M., "Hardware architecture for online frequent items mining with memory-efficient data structure," COOL Chips XIX, Yokohama Media & Communications Center, Yokohama, Japan (Apr. 20-22, 2016).
- [70] H. Myoren, R. Kobayashi, K. Kumagai, M. Naruse and T. Taino, "Noise Performance of Digital SQUID Magnetometer Using DROS Comparator", Proc. Superconducting SFQ VLSI Workshop, O-4, Aug. 2 and 3, 2016, Yokohama National University, Yokohama, Japan.
- [71] H. Myoren, "Read-out Circuit Based on SFQ Logic Circuit for Photon-Number-Resolving SNSPD Array", Ext. Abs. Plasma+2016, T13, Oct., 9-12, 2016, Nanjing University, Nanjing, China.
- [72] Takuro Kosaka, Takayuki Hamamoto, "Multiple temporal resolution imaging and processing for obtaining HDR image with low motion blur and noise", 3rd International Workshop on Image Sensors and Imaging Systems, pp. 27-28 (2016)
- [73] Daichi Shimazu and Satoshi Ohtake, "An approach to LFSR-based X-masking for built-in self-test," in Proceedings of 18th IEEE Latin American Test Symposium, March 2017.
- [74] Rimon Ikeno, Yoshio Mita, and Kunihiro Asada, "Line-edge quality optimization of electron-beam resist for high-throughput character projection exposure utilizing atomic force microscope analysis," SPIE Advanced Lithography 2017, 10148-33, March 2017.
- [75] Nguyen Ngoc MAI-KHANH, Rimon IKENO, Takahiro J. YAMAGUCHI, Tetsuya IIZUKA, and Kunihiro ASADA, "Experimental Demonstration of Stochastic Comparators for Fine Resolution ADC without Calibration," in Proc. of IEEE International Conference on Electronics Circuits and Systems (ICECS), Monaco, pp. 29 - 32, Dec. 2016.
- [76] James S. Tandon, Satoshi Komatsu, Takahiro J. Yamaguchi, and Kunihiro Asada, "A comparative study of body biased time-to-digital converters based on stochastic arbiters and stochastic comparators," IEEE 2016 14th IEEE International New Circuits and Systems Conference (NEWCAS 2016), June 2016.
- [77] H. Ueno and K. Namba, "Construction of A Soft Error (SEU) Hardened Latch with High Critical Charge," Proc. 2016 IEEE Int. Symp. Defect and Fault Tolerance VLSI and Nanotechnol. Syst., pp. 27-30, Sep. 2016.
- [78] H. Ueno and K. Namba, "Neutron Radiation To Soft Error Hardened Latches," 7th Indonesia Jpn. Joint Sci. Symp., Nov. 2016.
- [79] T. Sato, S. Chivapreecha, P. Moungnoul and K. Higuchi, "Throughput of a Firewall Unit on FPGAs developed by the RTL Design Methodology," Proc. of iEECON 2017, vol. 2, pp. 423-426, 2017.
- [80] T. Sato, S. Chivapreecha, P. Moungnoul and K. Higuchi, "An FPGA Architecture for ASIC-FPGA Co-Design to Streamline Processing of IDSs," Proc. of CTS 2016, pp. 412-417, 2016.
- [81] T. Sato, S. Chivapreecha, P. Moungnoul and K. Higuchi, "Designing a Firewall Unit on the FPGA Composed of Selectors," Proc. of SISA 2016, pp. 53-58, 2016.
- [82] T. Sato, S. Chivapreecha, P. Moungnoul and K. Higuchi, RCA on FPGAs Designed by the RTL Design Methodology and Wave-Pipelined Operation," Proc. of ECTI-CON 21016, pp. 1251.1-1251.6, 2016.
- [83] ヴェルナー, 吉信ほか, "Lateral Resolution Enhancement of Pulse-Driven Light-Addressable

- Potentiometric Sensor”, 16th Int. Meeting on Chemical Sensors, 2016年7月
- [84] Y. Funayama, T. Kambe, etc. “Hardware Acceleration of Rate-Distortion Optimized Quantization Algorithm,” SASIMI2016, pp.374-375, 2016.
- [85] Koki Ishida, Masamitsu Tanaka, Takatsugu Ono, Koji Inoue, “Logic Design of a Single-Flux-Quantum Gate-Level-Pipelined Microprocessor,” Superconducting SFQ VLSI Workshop, Invited talk, pp.6-12, Feb. 2017.
- [86] Y. Ohno, “Flexible/stretchable devices based on carbon nanotube thin films”, IDW/AD’16, 2016.12.09, Fukuoka, Japan. [Invited]
- [87] Y. Ohno, “Flexible/stretchable devices based on carbon nanotubes for wearable electronics”, MRS Fall Meeting, 2016.12.01, Boston, USA. [Invited]
- [88] Y. Ohno, “Bio-electronics applications of carbon nanotube thin films”, 7th A3 Symposium on Emerging Materials! Nanomaterials for Electronics, Energy and Environment, 2016.11.02, Buyeo, Korea. [Invited]
- [89] Y. Ohno, “All-Carbon Integrated Circuits for Flexible/Stretchable Electronics”, PRIME2016, 2016.10.05, Honolulu, USA. [Invited]
- [90] F.-W. Tan, J. Hirotoni, T. Yasunishi, S. Kishimoto, and Y. Ohno, “High-Yield Fabrication of n-Type Carbon Nanotube Thin-Film Transistors on Plastic Substrate”, 2016 International Conference on Solid State Devices and Materials, 2016.09.28, Tsukuba, Japan.
- [91] Takeo Onishi, Jun Hirotoni, Shigeru Kishimoto, and Yutaka Ohno, “Transparent and stretchable all-carbon nanotube thin-film transistors for wearable electronics”, 4th Carbon Nanotube Thin Film Electronics and Applications Satellite, 2016.08.13, University of Vienna, Austria.
- [92] T. Yasunishi, S. Kishimoto and Y. Ohno, “The voltage generation by movement of electrolyte solution on carbon nanotube thin film”, 4th Carbon Nanotube Thin Film Electronics and Applications Satellite, 2016.08.13, University of Vienna, Austria.
- [93] Y. Ohno, “Wearable bio-electronics applications of carbon nanotube thin films”, Seventeenth International Conference on the Science and Application of Nanotubes and Low-dimensional Materials, 2016.08.11, Vienna, Austria. [Invited]
- [94] Takeo Onishi, Jun Hirotoni, Shigeru Kishimoto, and Yutaka Ohno, “Fabrication and characterization of all-carbon nanotube thin-film transistors on stretchable substrates”, The Seventeenth International Conference on the Science and Applications of Nanotubes and Low-dimensional Materials, 2016.08.08, University of Vienna, Austria.
- [95] T. Yasunishi, S. Kishimoto and Y. Ohno, “The voltage generation by movement of electrolyte solution on carbon nanotube thin film”, The Seventeenth International Conference on the Science and Applications of Nanotubes and Low-dimensional Materials, 2016.08.08, University of Vienna, Austria.
- [96] Y. Ohno, “Wearable bio-electronics applications of carbon nanotube thin films”, The Fifth International Workshop on Nanocarbon Photonics and Optoelectronics, 2016.08.04, Imatra, Finland. [Invited]
- [97] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “Fully Digital On-Chip Memory Using Minimum Height Standard Cells for Near-Threshold Voltage Computing,” International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS) 2016, 2016/09.
- [98] Shu Hokimoto, Tohru Ishihara, Hidetoshi Onodera, “Minimum Energy Point Tracking Using Combined Dynamic Voltage Scaling and Adaptive Body Biasing,” IEEE International System-on-Chip Conference, pp. 1-6, 2016/09.
- [99] Shu Hokimoto, Tohru Ishihara, Hidetoshi Onodera, “Minimum Energy Point Tracking under a Wide Range of PVT Conditions”, Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI) 2016, pp. 323-328, 2016/10.
- [100] Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “A Processor Architecture Integrating Voltage Scalable On-Chip Memories for Individual Tracking of Minimum Energy Points in Logic and Memory,” Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI) 2016, pp. 36 - 41, 2016/10.
- [101] Kei Yoshizawa, Tohru Ishihara Hidetoshi Onodera, “Comparison of Area-Delay-Energy Characteristics between General Purpose Processors and Dedicated Hardwares for Embedded Applications,” Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI) 2016, pp. 329-334, 2016/10.
- [102] Tadashi Kishimoto, Hidetoshi Onodera, “On-Chip Temperature Sensing using a Reconfigurable Ring Oscillator,” Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI) 2016, pp. 274-279, 2016/10.
- [103] T. Iwagaki, K. Itani, H. Ichihara and T. Inoue, “Exploration of four-phase dual-rail asynchronous RTL design for delay-robustness,” Digest of Papers 17th IEEE Workshop on RTL and High Level Testing (WRTL’16), 6 pages, Nov. 2016.
- [104] Mashiko, Kohira, “Yield and Power Improvement Method by Post-Silicon Delay Tuning and Technology Mapping”, In Proc. APCCAS, pp.366-369, October, 2016.
- [105] J. Park, S. Takagi, and M. Takenaka, “Monolithic integration of InGaAsP MZI modulator and InGaAs driver

MOSFET using III-V CMOS photonics,” Optical Fiber Communication Conference (OFC2017), W3E.4, Los Angeles, 22 March 2017.

- [106] S. Takagi and M. Takenaka, “Ultra-low Power MOSFETs and Tunneling FETs using III-V and Ge,” International Workshop on Nano device Technologie, Hiroshima University, 2 March 2017 (invited).
- [107] C.-Y. Chang, K. Endo, K. Kato, C. Yokoyama, M. Takenaka, and S. Takagi, “Impact of La₂O₃/InGaAs MOS interface on InGaAs MOSFET performance and its application to InGaAs negative capacitance FET,” International Electron Devices Meeting (IEDM’16), 12.5, San Francisco, 6 December 2016.
- [108] S. Takagi, D. Ahn, M. Noguchi, T. Gotow, K. Nishi, M. Kim, and M. Takenaka, “Tunneling MOSFET technologies using III-V/Ge materials,” International Electron Devices Meeting (IEDM’16), 19.5, San Francisco, 6 December 2016 (invited).
- [109] J. Han, M. Takenaka, and S. Takagi, “Extremely high modulation efficiency III-V/Si hybrid MOS optical modulator fabricated by direct wafer bonding,” International Electron Devices Meeting (IEDM’16), 25.5, San Francisco, 7 December 2016.
- [110] M. Takenaka, Y. Kim, J. Han, J. Kang, and S. Takagi, “Challenges and opportunities of near and mid-infrared photonics based on SiGe and Ge,” 230th ECS Meeting, Symposium G05, 1968, Hawaii, USA, 4 October 2016 (invited).
- [111] M. Takenaka, Y. Kim, J. Han, J. Kang, and S. Takagi, “CMOS photonics based on SiGe and Ge for near and mid-infrared photonic integrated circuits,” International Conference on Solid State Devices and Materials (SSDM2016), C-3-1, Tukuba, 28 September 2016 (invited).
- [112] T. Gotow, M. Mitsuhashi, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, “Composition profile steepness on electrical characteristics of GaAsSb/InGaAs hetero-junction vertical TFETs,” International Conference on Solid State Devices and Materials (SSDM2016), A-2-4, Tukuba, 27 September 2016.
- [113] N. Sekine, J. Han, M. Takenaka, and S. Takagi, “Numerical analysis of InGaAsP carrier-depletion optical modulator on III-V CMOS photonics platform,” International Conference on Solid State Devices and Materials (SSDM2016), PS-7-11, Tukuba, 28 September 2016.
- [114] J. Kang, M. Takenaka, and S. Takagi, “Ge waveguide photodetector on wafer-bonded Ge-on-insulator substrate monolithically integrated with amorphous Si waveguide,” European Conference on Optical Communication (ECOC 2016), Düsseldorf, W3.F.2, 21 September 2016.
- [115] M. Takenaka, and S. Takagi, “Heterogeneous integration of SiGe/Ge and III-Vs on Si for electronic-photonic integrated circuits,” JSPS-OSA joint session, 16a-C301-6 Niigata, 16 October 2016 (invited).
- [116] M. Takenaka, and S. Takagi, “Heterogeneous integration of SiGe/Ge and III-V on Si for CMOS photonics,” International Meeting for Future of Electron Devices, Kansai (IMFEDK2016), A-2 Kyoto, 23 June 2016 (invited).
- [117] M. Takenaka, Y. Kim, J. Han, J. Kang, Y. Ikku, Y. Cheng, J. Park, and S. Takagi, “CMOS photonics technologies based on heterogeneous integration of SiGe/Ge and III-V on Si,” Proc. SPIE 9891 (SPIE Photonics Europe), Silicon Photonics and Photonic Integrated Circuits V, 98911H, Brussels, 4-7 April 2016 (invited). DOI! 10.1117/12.2227457
- [118] B. Liu, S. Nakatake, B. Yang, G. Chen, “Twin-row-style for MOS Analog Layout”, Proc. of IEEE ICECS 2016, pp.141-144, 2016.
- [119] N. Yahiro, B. Liu, A. Nanri, Y. Takashima, S. Nakatake, G. Chen, “Multi-functional Memory Unit with PLA-based Reconfigurable Decoder”, Proc. of IEEE ReConFig 2016. 2016.
- [120] G. Chen, B. Liu, S. Nakatake, B. Yang, “Routability of Twisted Common-centroid Capacitor Array Under Signal Coupling Constraints”, Proc. of IEEE MWSCAS 2016, pp.854-857, 2016.
- [121] Motoki Yoshinaga, Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato! “Physically Unclonable Function Using RTN-Induced Delay Fluctuation in Ring Oscillators,” in Proc. of IEEE International Symposium on Circuits and Systems (ISCAS) (Montreal, Canada), pp.2619-2622, May 2016.
- [122] Song Bian, Michihiro Shintani, Shumpei Morita, Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato! “Workload-Aware Worst Path Analysis of Processor-Scale NBTI Degradation,” in Proc. of Great Lakes Symposium on VLSI (GLSVLSI) (Boston, MA), pp.203-208, May 2016.
- [123] Hiromitsu Awano and Takashi Sato! “Efficient Transistor-Level Timing Yield Estimation via Line Sampling,” in Proc. of ACM/IEEE Design Automation Conference (DAC) (Austin, TX), 69.3, June 2016.
- [124] Takayuki Ujiie, Masayuki Hiromoto, and Takashi Sato! “Approximated Prediction Strategy for Reducing Power Consumption of Convolutional Neural Network Processor,” in Proc. of IEEE Conference on Computer Vision and Pattern Recognition Workshops (CVPRW) (Las Vegas, NV, USA), pp.870-876, July 2016.
- [125] Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato! “Path Grouping Approach for Efficient Candidate Selection of Replacing NBTI Mitigation Logic,” in Proc. of the 20th Workshop on Synthesis And System Integration

- of Mixed Information technologies (SASIMI2016) (Kyoto Research Park, Kyoto, Japan), pp.225-230, Oct. 2016.
- [126] Takayuki Ujiie, Masayuki Hiromoto, and Takashi Sato! "Hardware Accelerator of Convolutional Neural Network for Image Recognition and its Performance Evaluation Platform," in Proc. of the 20th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2016) (Kyoto Research Park, Kyoto, Japan), pp.16-17, Oct. 2016.
- [127] Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato! "Representative Path Approach for Time-Efficient NBTI Mitigation Logic Replacement," in Proc. of IEEE/ACM Workshop on Variability Modeling and Characterization (VMC) (Austin, TX, USA), Nov. 2016.
- [128] Song Bian, Michihiro Shintani, Zheng Wang, Masayuki Hiromoto, Anupam Chattopadhyay, and Takashi Sato! "Runtime NBTI Mitigation for Processor Lifespan Extension via Selective Node Control," in Proc. of IEEE Asian Test Symposium (ATS) (Hiroshima, Japan), pp.234-239, Nov. 2016.
- [129] Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato! "Efficient Circuit Failure Probability Calculation Along Product Lifetime Considering Device Aging," 22nd Asia and South Pacific Design Automation Conference (ASP-DAC 2017) (Chiba/Tokyo, Japan), pp.93-98, Jan. 2017.
- [130] Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato! "Comparative Study of Path Selection and Objective Function in Replacing NBTI Mitigation Logic," in Proc. of International Symposium on Quality Electronic Design (ISQED) (Santa Clara, CA), pp.426-431, Mar. 2017.
- [131] Song Bian, Masayuki Hiromoto, and Takashi Sato! "SCAM! Secured Content Addressable Memory Based on Homomorphic Encryption," in Proc. of Design, Automation & Test in Europe (DATE) (Lausanne, Switzerland), pp.984-989, Mar. 2017.
- [132] Tadatoshi Sekine and Hideki Asai, "Enlarged Cell Technique for Conformal Equivalent Circuit Model of Power Delivery Network," Proc. IEEE EPEPS 2016, San Diego, CA, Oct. 2016, pp. 119-121.
- [133] X. Xu, X. Yang, T. Yoshimasu, "A 2-GHz-Band Low-Phase-Noise VCO IC with an LC Bias Circuit in 180-nm CMOS," in Proc. of RF IT Symposium, pp.197-200, Oct. 2016
- [134] J. Iwata, J. Ida, T. Furuta, K. Noguchi, K. Itoh, "Confirmation of High Efficiency on Rectenna with High Impedance Antenna and Optimized Gate Controlled Diode for RF Energy Harvesting", IEEE SENSORS 2016, C-16-355, pp.1607-1609, 2016
- [135] T. Horii, J. Ida, T. Yoshida, M. Okihara, Y. Arai, "Confirmation of SS=35 μ V/dec over 3 Decades of Drain Current and Hole Accumulation Effect on PN-Body Tied SOI Super Steep SS FET's", Proc. of IEEE SNW, pp.148, 2016
- [136] T. Yoshida, J. Ida, T. Horii, M. Okihara, Y. Arai, "Super Steep Subthreshold Slope PN-Body Tied SOI FET's of Ultra Low Drain Voltage=0.1V with Body Bias below 1.0V", IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2016
- [137] J. Ida, "Possibility of Super Steep Subthreshold Slope PN-Body Tied SOI FET for Ultra Low Power IoT Applications (Invited)", AWAD 2016
- [138] Y. Mizugaki, Y. Urai, and H. Shimada, "Thermally-Fluctuated Single-Flux-Quantum Pulse Intervals Reflected in Input-Output Characteristics of a Double-Flux-Quantum Amplifier," 29th International Symposium on Superconductivity (ISS 2016), Chiyoda, Tokyo, Japan, December 13-15, 2016.
- [139] Y. Mizugaki, T. Watanabe, and H. Shimada, "Single-Flux-Quantum Bipolar Digital-to-Analog Converter Comprising Polarity-Switchable Double-Flux-Quantum Amplifier," presented as "a contributed oral paper" at Applied Superconductivity Conference (ASC2016), Colorado Convention Center, Denver, Colorado, USA, Sep. 4-9, 2016.
- [140] Y. Mizugaki, Y. Urai, and H. Shimada, "Thermally-Fluctuated SFQ Pulse Intervals Observed in IO Characteristics of a Double-Flux-Quantum Amplifier," Superconducting SFQ VLSI Workshop (SSV 2016), Yokohama, Japan, August 2-3, 2016.
- [141] Y. Masuda, M. Hashimoto, and T. Onoye, "Critical Path Isolation for Time-To-Failure Extension and Lower Voltage Operation," Proceedings of International Conference on Computer-Aided Design (ICCAD), November 2016.
- [142] S. Hirokawa, R. Harada, K. Sakuta, Y. Watanabe, and M. Hashimoto, "Multiple Sensitive Volume Based Soft Error Rate Estimation with Machine Learning," Proceedings of European Conference on Radiation and Its Effects on Components and Systems (RADECS), September 2016.
- [143] Y. Masuda, M. Hashimoto, and T. Onoye, "Hardware-Simulation Correlation of Timing Error Detection Performance of Software-Based Error Detection Mechanisms," Proceedings of International On-Line Testing Symposium (IOLTS), pp. 84-89, July 2016.
- [144] Z. Abidin, K. Tanno, S. Mago, H. Tamura, "Novel Instrumentation Amplifier Architectures Insensitive to Resistor Mismatches and Offset Voltage for Biological Signal Processing", 2016 IEEE 46th International Symposium on Multiple-Valued Logic, pp. 194-199, May, 2016.

- [145] A. Setiabudi, R. Sakamoto, H. Tamura, K. Tanno, "A Low-Voltage and Low-Power CMOS Temperature Sensor Circuit with Digital Output for Wireless Healthcare Monitoring System", 2016 IEEE 46th International Symposium on Multiple-Valued Logic, pp. 183-188, May, 2016.
- [146] Shota Mago, Hiroki Tamura, Takako Toyama, Koichi Tanno, "High CMRR and Wideband Current Feedback Instrumentation Amplifier Using Current Conveyors", International Conference on Artificial Life and Robotics (ICAROB), January 2017.
- [147] M. Uchihara, H. Tamura, K. Tanno, "Voltage Rectifier Circuit with Voltage Doubler Using New Active Diode", International Conference on Artificial Life and Robotics (ICAROB), pp. 536-539, January 2017.
- [148] Mutsumi Kimura, Tokiyoshi Matsuda, and Yasuhiko Nakashima, Brain-type Integrated System using Thin-Film Devices, IC-TECS 2016, Dec. 2016
- [149] Mutsumi Kimura, Yuki Koga, Tokiyoshi Matsuda, and Yasuhiko Nakashima, Characteristic Analysis of IGZO Thin Films using Planar and Stacked Devices - Evaluation of Electrical Resistivity and Current Density -, IDW'16, pp. 398-399, Dec. 2016
- [150] Tomoya Kameda, Mutsumi Kimura, and Yasuhiko Nakashima, Letter Reproduction Simulator for Hardware Design of Cellular Neural Network using Thin-Film Synapses, 2016 International Symposium on Nonlinear Theory and its Applications, NOLTA 2016, pp. 40-43, Nov. 2016
- [151] Mutsumi Kimura, Ryohei Morita, Sumio Sugisaki, Tokiyoshi Matsuda, Tomoya Kameda, and Yasuhiko Nakashima, Letter Reproduction using a Cellular Neural Network consisting of Simplified Neurons and Synapses fabricated by Thin-Film Transistors, 2016 International Symposium on Nonlinear Theory and its Applications, NOLTA 2016, pp. 36-39, Nov. 2016
- [152] Tomoya Kameda, Mutsumi Kimura, and Yasuhiko Nakashima, Letter Reproduction Simulator for Hardware Design of Cellular Neural Network using Thin-Film Synapses - Crosspoint-type Synapses and Simulation Algorithm -, The 23rd International Conference on Neural Information Processing, ICONIP 2016, Pt. II, LNCS 9948, pp. 342-350, Oct. 2016
- [153] Mutsumi Kimura, Nao Nakamura, Tomoharu Yokoyama, Tokiyoshi Matsuda, Tomoya Kameda, and Yasuhiko Nakashima, Simplification of Processing Elements in Cellular Neural Networks - Working Confirmation using Circuit Simulation -, The 23rd International Conference on Neural Information Processing, ICONIP 2016, Pt. II, LNCS 9948, pp. 309-317, Oct. 2016
- [154] M. Asano et. al., "Characteristics of non-irradiated and irradiated double SOI integration type pixel sensor", NIM A831, pp. 315-321, Sep. 2016
- [155] Moritoshi Yasunaga, Naoki Yokoshima, Ikuo Yoshihara, "A Passive Equalizer and Its Design Methodology for Global Interconnects in VLSIs," Proc. 2016 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC 2016), 6 pages in USB memory, Tallin, Estonia, September, 2016.
- [156] Naoki Yokoshima and Moritoshi Yasunaga, "Signal Integrity Improvement Design of Lossy Transmission Line Based on a Single-shot Pulse," Proceedings of 2016 IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2016), pp.149-151, Hawaii, U.S.A, December 2016.
- [157] Shumpei Matsuoka and Moritoshi Yasunaga, "A High Signal Integrity Interconnect Design Using a Genetic Algorithm and Its Solution Analysis," Proceedings of 2016 IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2016), pp.185-187, Hawaii, U.S.A, December 2016.
- [158] Tetsuya Odaira, Naoki Yokoshima, Ikuo Yoshihara, and Moritoshi Yasunaga, "Evolutionary Design of High Signal Integrity Interconnection Based on Eye-diagram," Proc. International Symposium on Artificial Life and Robotics 2017 (ALROB 22th'17), pp. 535-540, Ooita, Japan, January
- [159] Takao Kihara, Shigesato Matsuda, and Tsutomu Yoshimura, "Analysis and Design of Differential LNAs with On-Chip Transformers in 65-nm CMOS Technology", 14th IEEE International NEW Circuits And Systems Conference (NEWCAS), Vancouver, Canada, June 2016.
- [160] Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Fast Length-Matching Routing for Rapid Single Flux Quantum Circuits," Proc. 20th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2016), R2-11, pp. 135-140, Kyoto, Japan, Oct. 2016.
- [161] Yousuke Miyake, Yasuo Sato, and Seiji Kajihara, "Measurement of On-Chip Temperature and Voltage Variation Using Digital Sensors," Digest of IEEE Workshop on RTL and High Level Testing, pp. 66-71, Hiroshima, Japan, Nov. 2016.
- [162] A. Takeshige, K. Katayama, S. Amakawa, K. Takano, T. Yoshida, and M. Fujishima, "DC and RF characterization of RF MOSFET embedding structure, · International Conference on Microelectronic Test Structures (ICMTS), pp. 103 · 07, March 29, 2017.
- [163] S. Amakawa and Y. Ito, "Graphical approach to analysis and design of gain-boosted near-fmax feedback amplifiers," European Microwave Conference (EuMC), pp. 1032 · 042, October 4, 2016.
- [164] Thi Hong Tran, Soichiro Kanagawa, Duc Phuc Nguyen and Yasuhiko Nakashima! "ASIC Design of MUL-RED

- Radix-2 Pipeline FFT Circuit for 802.11ah System” IEEE Symposium on Low-Power and High-Speed Chips 2016, Apr. (2016)
- [165] Hiromasa Kato, Thi Hong Tran, Yasuhiko Nakashima! “Ultra low-complex IEEE 802.11ah Viterbi Decoder for IoT Applications”, IEEE Symposium on Low-Power and High-Speed Chips 2016 (poster), Apr. (2016)
- [166] Mutsumi Kimura, Nao Nakamura, Tomoharu Yokoyama, Tokiyoshi Matsuda, Tomoya Kameda, Yasuhiko Nakashima! “Simplification of Processing Elements in Cellular Neural Networks”, The 23rd International Conference on Neural Information Processing (ICONIP2016), Oct. (2016)
- [167] Tomoya Kameda, Mutsumi Kimura, Yasuhiko Nakashima! “Letter Reproduction Simulator for Hardware Design of Cellular Neural Network using Thin-Film Synapses”, The 23rd International Conference on Neural Information Processing (ICONIP2016), Oct. (2016)
- [168] Hiromasa Kato, Thi Hong Tran, Yasuhiko Nakashima! “ASIC Design of A Low-Complexity K-best Viterbi Decoder for IoT Applications”, The IEEE APCCAS 2016, the 13th of the biennial Asia Pacific Conference on Circuits and Systems, Oct. (2016)
- [169] Mutsumi Kimura, Ryohei Morita, Sumio Sugisaki, Tokiyoshi Matsuda, Tomoya Kameda, Yasuhiko Nakashima! “Letter Reproduction using a Cellular Neural Network consisting of Simplified Neurons and Synapses fabricated by Thin-Film Transistors”, Proc. International Symposium on Nonlinear Theory and its Applications (NOLTA), Nov. (2016)
- [170] Tomoya Kameda, Mutsumi Kimura, Yasuhiko Nakashima! “Letter Reproduction Simulator for Hardware Design of Cellular Neural Network consisting of Neurons using Large-Scale Integration Chip and Synapses using On-deposited amorphous In-Ga-Zn-O films”, Proc. International Symposium on Nonlinear Theory and its Applications (NOLTA), Nov. (2016)
- [171] Thi Hong Tran, Duc Phuc Nguyen, and Yasuhiko Nakashima! “PER Evaluation of K-min Viterbi Decoder for Wireless Sensors”, 10th international conference on Sensing Technology (ICST-2016), Nov. (2016)
- [172] Duc Phuc Nguyen, Thi Hong Tran, Yasuhiko Nakashima! “A Multi-mode Error-Correction Solution based on Split-Concatenation for Wireless Sensor Nodes”, The 9th International Conference on Future Computer and Communication (ICFCC 2017), Apr. (2017)
- [173] Takumi Morikawa, Takuya Harashima, Takafumi Fukushima, Hisashi Kino, Tetsu Tanaka, “Insertion Characteristics Evaluation of Si Opto-Neural Probe with Embedded Optical fiber,” 2016 International Conference on Solid State Devices and Materials, pp. 389-390, September 2016.
- [174] Keita Ito, Shoma Uno, Tatsuya Goto, Yoshiki Takezawa, Takuya Harashima, Takumi Morikawa, Satoru Nishino, Hisashi Kino, Koji Kiyoyama, Tetsu Tanaka, “Analysis of Charge Injection Characteristics of Stimulus Electrode with Wide-Range Analog Front-end for Body-Implanted Devices,” 2016 International Conference on Solid State Devices and Materials, pp. 393-394, September 2016.
- [175] Takuya Harashima, Takumi Morikawa, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, “Development of Si Neural Probe with Piezoresistive Force Sensor for Insertion Force Monitoring,” 2016 International Conference on Solid State Devices and Materials, pp. 409-410, September 2016.
- [176] Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, “Drastic Reduction of Keep-Out-Zone in 3D-IC by Local Stress Suppression with Negative-CTE Filler,” IEEE 3D System Integration Conference 2016, November 2016.
- [177] Youhei Sugawara, Hisashi Kino, Takafumi Fukushima, Kang-Wook Lee, Mitsumasa Koyanagi, Tetsu Tanaka, “Evaluation of Depth-dependent TSV-liner Interface States Using Multi-well Structured TSV and Charge Pumping Technique,” 2016 International Conference on Solid State Devices and Materials, pp. 467-468, September 2016.
- [178] Seiya Tanikawa, Hisashi Kino, Takafumi Fukushima, Mitsumasa Koyanagi, Tetsu Tanaka, “Impact of local stress in 3D stacking process on memory retention characteristics in thinned DRAM chip,” 2016 IEEE International Reliability Physics Symposium, pp. 6B-1-1-6B-1-6, April 2016.
- [179] A. Kobayashi, K. Ikeda, Y. Ogawa, M. Nishizawa, K. Nakazato, and K. Niitsu, “An Energy-Autonomous Bio-Sensing System Using a Biofuel Cell and 0.19V 53 μ W 65nm-CMOS Integrated Supply-Sensing Sensor with a Supply-Insensitive Temperature Sensor and Inductive-Coupling Transmitter,” in Proc. IEEE Biomedical Circuits and Systems Conference (BioCAS 2016), Oct. 2016, pp. 148-151.
- [180] K. Ikeda, A. Kobayashi, K. Nakazato, and K. Niitsu, “A Current-Mode Analog-to-Time Converter with Short-Pulse Output Capability Using Local Intra-Cell Activation for High-Speed Time Domain Biosensor Array,” in Proc. IEEE Nordic Circuits and Systems Conference (NORCAS 2016), Nov. 2016.
- [181] K. Gamo, K. Nakazato, and K. Niitsu, “Current-Integration-Based CMOS Amperometric Sensor with 1.2 μ m \times 2.05 μ m Electroless-Plated Microelectrode Array for High-Sensitivity Bacteria Counting,” in Proc. ACM/IEEE Asia and South Pacific Design Automation Conference (ASP-DAC 2017), Jan. 2017.

- [182] N. Retdian, T. Shima, "BN-path notch filter with a 43-dB notch depth improvement for power line noise suppression," *Proc. of 2016 International Symposium on Electronics and Smart Devices (ISESD)*, (B2016), pp. 184-187, 2016.
- [183] N. Retdian, K. Ooi, T. Shima, "Time-Mode Miller Compensation Circuit using an Operational Transconductance Amplifier," *IEEJ AVIC2016*, (B, 2016, Cambridge Innovation Center (CIC), Boston, U.S.A
- [184] T. Matsuda, H. Demachi, H. Iwata, T. Hatakeyama, and T. Ohzone, "A Test Structure for Analysis of Metal Wire Effect on Temperature Distribution in Stacked IC," *Proc. IEEE Int. Conf. on Microelectronic Test Structures*, pp.22-26, 2016.
- [185] G.Tang, K.Takagi, N.Takagi, "A Microarchitecture of an RSFQ 4-Bit Bit-Slice 32-Bit Processor," 9th Superconducting SFQ VLSI Workshop (SSV2016), 2016年8月.
- [186] M.Ohata, K.Takagi, N.Takagi, "Logic Design of a Pattern Matching Circuit Based on Systolic Architecture Using Single-Flux-Quantum Circuits," *Applied Superconductivity Conference (ASC 2016)*, 2016年9月.
- [187] G.Tang, Y.Ohmomo, K.Takagi, N. Takagi, "Conceptual Design of a 4-bit Bit-Slice 32-bit RSFQ Microprocessor," *Applied Superconductivity Conference (ASC 2016)*, 2016年9月.
- [188] N.Takagi, K.Takagi, N.Kito, "Development of CAD Tools for SFQ Logic Circuits and Design of Data Path Circuits for SFQ Bit-slice Processors," 10th Superconducting SFQ VLSI Workshop (SSV2017), 2017年2月.
- [189] [5] Akio Shimizu, Yohei Ishikawa, and Sumio Fukai, "A High Output-Swing Current Mirror With Neuron MOSFETs in Standard CMOS Technology," in *IEEE Asia Pacific Conf. on Circuits and Systems (APCCAS)*, pp.77-78, Oct. 2016.
- [190] [6] Yuki Matsuda, Akio Shimizu, Yohei Ishikawa, and Sumio Fukai, "Buffer With Neuron MOSFETs for Class-G Headphone Driver," 13th International SoC Design Conference (ISOCC2016), ARM4-3, pp.116-117, Oct. 2016.
- [191] [7] Akio Shimizu, Yohei Ishikawa, and Sumio Fukai, "A Variable Overdrive voltage CMOS Current Mirror for Low-Voltage Applications," *International Conference on Analog VLSI Circuits*, pp.123-127, August 2016.
- [192] Natsuyuki Koda, Kosuke Furuichi, Hiromu Uemura, Hiromi Inaba, and Keiji Kishine : Proposal for sensitive frequency demodulator for 10-Gb/s transmission labeling signal system Jeju, Korea, 2016/10/23-26, International SoC Design Conference (ISOCC2016) · Kosuke Furuichi, Hiromu Uemura, Natsuyuki Koda, Hiromi Inaba, and Keiji Kishine :
- [193] Kosuke Furuichi, Hiromu Uemura, Natsuyuki Koda, Hiromi Inaba, and Keiji Kishine : Design of High-Linearity Delay Detection Circuit for 10-Gb/s Communication System in 65-nm CMOS Jeju, Korea, 2016/10/23-26, International SoC Design Conference (ISOCC2016)
- [194] K. Wakita, M. Ikebe, Y. Takida, H. Minamide, and E. Sano, "Design and fabrication of low power terahertz imager based on 180 nm CMOS process technology," 3rd International Workshop on Image Sensors and Imaging Systems (IWISS2016) (Tokyo, Japan), Nov. 17-18, 2016, poster presentation.
- [195] K. Wakita, M. Ikebe, S. Arnold, T. Otsuji, Y. Takida, H. Minamide, and E. Sano, "Design and fabrication of a terahertz detector in 180-nm CMOS process technology," 5th Russia-Japan-USA-Europe Symposium on Fundamental & Applied Problems of Terahertz Devices & Technologies (RJUSE TeraTech-2016) (Sendai, Japan), Oct. 31-Nov. 4, 2016, pp. 30-33.
- [196] K. Wakita, E. Sano, M. Ikebe, S. Arnold, T. Otsuji, Y. Takida, and H. Minamide, "Design and fabrication of a terahertz imaging array in 180-nm CMOS process technology," 21st Int'l Conf. Microwaves, Radar and Wireless Communications (MIKON 2016) (Krakow, Poland), May 9-11, 2016, paper M4.3.
- [197] A. Fujimaki, Y. Ito, M. Suzuki, M. Tanaka, G. Konno, and N. Yoshikawa, "Josephson-CMOS hybrid memory with nanocryotrons," presented at the 2016 Applied Superconductivity Conference (ASC 2016), Denver, CO, USA, 2016, p. 4EOr3A-02.
- [198] A. Fujimaki et al., "Demonstration of 4x4 superconductor matrix image sensors integrated with single-flux-quantum digital signal processors," presented at the 2016 Applied Superconductivity Conference (ASC 2016), Denver, CO, USA, 2016, p. 3EOr1B-02.
- [199] A. Fujimaki et al., "High-speed operation of random-access-memory-embedded microprocessors based on rapid single-flux- quantum logic," presented at the 2016 Applied Superconductivity Conference (ASC 2016), Denver, CO, USA, 2016, p. 4EOr2B-01.
- [200] H. Ito et al., "Operation of adiabatic quantum flux parametron logic circuits based on π phase shift elements with ferromagnetic material," presented at the 2016 Applied Superconductivity Conference (ASC 2016), Denver, CO, USA, 2016, p. 1EOr2B-04.
- [201] S. Taniguchi et al., "Investigation on the individual configuration method of superconducting phase shift elements made of ferromagnetic patterns," presented at the 2016 Applied Superconductivity Conference (ASC 2016), Denver, CO, USA, 2016, p. 3EPo1B-05.

- [202] R. Sato et al., "Eight-bit bit-serial stored-program computer prototype based on rapid single-flux-quantum logic," presented at the 1st Asian ICMC and CSSJ 50th Anniversary Conference, Kanazawa, Japan, 2016, p. 1D–p06.
- [203] A. Fujimaki, K. Kamiya, M. Kozaka, R. Naito, M. Tanaka, and H. Akaike, "Demonstration of position-identifying SFQ circuits with two dimensional superconducting strip line detector arrays," presented at the 3rd International Workshop on Superconducting Sensors and Detectors (IWSSD 2016), Tsukuba, Japan, 2016, pp. 10-17-O1.
- [204] M. Tanaka et al., "Energy-efficient, high-performance microprocessors based on single-flux-quantum logic," presented at the 29th International Symposium on Superconductivity (ISS 2016), Tokyo, Japan, 2016, p. ED2-1-INV.
- [205] S. Taniguchi, H. Ito, T. Kurihara, M. Tanaka, H. Akaike, and A. Fujimaki, "Implementation of a look-up table based on phase shift elements and dual-rail SFQ circuits," presented at the 29th International Symposium on Superconductivity (ISS 2016), Tokyo, Japan, 2016, p. EDP2-7.
- [206] A. Fujimaki et al., "Demonstration of stored program computing in a 50-GHz SFQ microprocessor with embedded memories," presented at the 10th Superconducting SFQ VLSI Workshop (SSV 2017), Nagoya, Japan, 2017, p. O-1.
- [207] Y. Hatanaka, M. Tanaka, H. Akaike, and A. Fujimaki, "Interface circuits for high-impedance superconductor passive transmission lines," presented at the 10th Superconducting SFQ VLSI Workshop (SSV 2017), Nagoya, Japan, 2017, p. O-10.
- [208] M. Tanaka et al., "Design of arithmetic logic ALU toward single-flux-quantum gate-level-pipelined microprocessor," presented at the 10th Superconducting SFQ VLSI Workshop (SSV 2017), Nagoya, Japan, 2017, p. O-5.
- [209] H. Ito, S. Taniguchi, T. Kurihara, H. Akaike, and A. Fujimaki, "Evaluation of critical current uniformity of $0-\pi$ Josephson junctions with ferromagnetic layers," presented at the 10th Superconducting SFQ VLSI Workshop (SSV 2017), Nagoya, Japan, 2017, p. O-12.
- [210] H. Iwashita, K. Kamiya, M. Tanaka, A. Bozbej, H. Akaike, and A. Fujimaki, "Detection sensitivity of single-flux-quantum readout circuits for superconducting strip line detectors," presented at the 10th Superconducting SFQ VLSI Workshop (SSV 2017), Nagoya, Japan, 2017, p. O-20.
- [211] S. Taniguchi, H. Ito, T. Kurihara, M. Tanaka, H. Akaike, and A. FUJIMAKI, "Evaluation of a SFQ look-up table based on superconducting phase shift elements for reconfigurable circuits," presented at the 10th Superconducting SFQ VLSI Workshop (SSV 2017), Nagoya, Japan, 2017, p. O-14.
- [212] Zicheng Kang, Yusuke Matsuda, Yusuke Kozawa, Yohtaro Umeda, "Digital Color Shift Keying for Higher Transmission Rate Using LED Driver with Carrier Sweeping Out", 2017 IEEE Wireless Communications and Networking Conference (WCNC), Student Posters and Demos, Mar. 2017.
- [213] Noriyuki Miura, Shijia Liu, Tsuyoshi Watanabe, Shigeki Imai, Makoto Nagata, "A Permanent Digital Archive System Based on 4F2 X-Point Multi-Layer Metal Nano-Dot Structure," Dig. Tech. Papers, 2017 IEEE Intl. Solid-State Circuits Conference (ISSCC), #15.8, pp. 270-271, Feb. 2017.
- [214] Wei He, Jakub Breier, Shivam Bhasin, Noriyuki Miura, Makoto Nagata, "An FPGA-Compatible PLL-Based Sensor against Fault Injection Attack," Proc. ACM 2017 Asia and South Pacific Design Automation Conference (ASP-DAC 2017), #1S-18, pp. 1-2, Jan. 2017.
- [215] Kohei Matsuda, Noriyuki Miura, Makoto Nagata, Yu-ichi Hayashi, Tatsuya Fujii, Kazuo Sakiyama, "On-chip substrate-bounce monitoring for laser-fault countermeasure," 2016 IEEE Asian Hardware-Oriented Security and Trust (AsianHOST), pp. 1-6, Dec. 2016.
- [216] Yuuki Araga, Makoto Nagata, Noriyuki Miura, Hiroaki Ikeda, Katsuya Kikuchi, "Superiority of In-Stack Decoupling Capacitor for 3D-LSI with Wide I/O Data Bus," Extended Abstracts of the 2016 International Conference on Solid State Devices and Materials (SSDM 2016), #K-1-3, pp. 469-470, Sep. 2016.
- [217] Takuji Miki, Noriyuki Miura, Kento Mizuta, Shiro Doshio, Makoto Nagata, "A 500MHz-BW -52.5dB-THD Voltage-to-Time Converter Utilizing a Two-Step Transition Inverter," Proc. IEEE 2016 European Solid-State Circuits Conference (ESSCIRC 2016), #A2L-J_1, pp. 141-144, Sep. 2016.
- [218] Yuuki Araga, Makoto Nagata, Noriyuki Miura, Hiroaki Ikeda, Katsuya Kikuchi, "EMI Performance of Power Delivery Networks in 3D TSV Integration," Proc. IEEE 2016 International Symposium on Electromagnetic Compatibility (EMC Europe 2016), #OS12-2, pp. 428-433, Sep. 2016.
- [219] Wei He, Jakub Breier, Shivam Bhasin, Noriyuki Miura, Makoto Nagata, "Ring Oscillator Under Laser! Potential of PLL Based Countermeasure Against Laser Fault Injection," Proc. IEEE 2016 Workshop on Fault Diagnosis and Tolerance in Cryptography (FDTC 2016), #4.2, pp. 102-113, Aug. 2016.
- [220] Noriyuki Miura, Zakaria Najm, Wei He, Shivam Bhasin, Xuan Thuy Ngo, Makoto Nagata, Jean-Luc Danger, "PLL to the Rescue! A Novel EM Fault

Countermeasure,” Proc. 2016 53rd ACM/EDAC/IEEE Design Automation Conference (DAC 2016), #57.5, pp. 1-6, June 2016.

- [221] Minghao Lin, Heming Sun and Shinji Kimura, “Power-Efficient and Slew-Aware Three Dimensional Gated Clock Tree Synthesis,” Proc. VLSI-SoC, pp.1-6, Sept. 2016.
- [222] Li Guo, Dajiang Zhou, Shinji Kimura, and Satoshi Goto, “Frame-level quality and memory traffic allocation for lossy embedded compression in video codec systems,” Proc. of IEEE International Conference on Multimedia and Expo (ICME) Workshops, pp. 1-6, July 2016.
- [223] Shinji Kimura, Tomoya Goto, Masao Yanagisawa, “Automatic Enable Candidate Extraction for Backward Sequential Clock Gating”, Proc. of 20th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.101-106, Oct. 2016.
- [224] Asano, Hirose, Miyoshi, Tsubaki, Ozaki, Kuroki, Numa, A Fully Integrated, 1-us Start-Up Time, 32-MHz Relaxation Oscillator for Low-Power Intermittent Systems,” 14th IEEE International NEWCAS conference, pp. 1-4, Jun., 2016.
- [225] Asano, Hirose, Tsubaki, Miyoshi, Ozaki, Kuroki, Numa, “A 1.66-nW/kHz, 32.7-kHz, 99.5ppm/°C, Fully Integrated Current-Mode RC Oscillator for Real-Time Clock Applications with PVT Stability,” Proceedings of the European Solid-State Circuits Conference (ESSCIRC), pp. 149-152, 2016.
- [226] Ozaki, Hirose, Asano, Kuroki, Numa, “A Self-Biased Low-Dropout Linear Regulator for Ultra-low Power Battery Management,” Extended abstract of the 2016 International Conference on Solid State Devices and Materials (SSDM 2016), pp. 463-464, 2016.
- [227] Akihara, Hirose, Masuda, Kuroki, Numa, Hashimoto, “Analytical Study of Rectifier Circuit for WirelessPower Transfer Systems,” Proc. of International Symposium on Antennas and Propagation (ISAP2016), pp. 338-339, 2016.
- [228] Masuda, Hirose, Akihara, Kuroki, Numa, Hashimoto, “Highly-Efficient Power Transmitter Coil Design for Small Wireless Sensor Nodes,” Proc. of International Symposium on Antennas and Propagation (ISAP2016), pp. 512-513, 2016.
- [229] Ozaki, Hirose, Asano, Kuroki, Numa, “A 0.38-uW Stand-by Power, 50-nA-to-1-mA Load Current Range DC-DC Converter with Self-Biased Linear Regulator for Ultra-Low Power Battery Management,” Proc. of Tech. Papers, IEEE Asian Solid-State Circuits Conference 2016 (A-SSCC 2016), pp. 225-228, 2016.
- [230] Asano, Hirose, Miyoshi, Tsubaki, Ozaki, Kuroki, Numa, “Sub-1-µs Start-up Time, 32-MHz Relaxation Oscillator for Low-Power Intermittent VLSI Systems,” The 22th Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 35-36, 2017.
- [231] Toshiaki Sugimoto, Hiroshi Tanimoto, Shingo Yoshizawa, “Design of Reference Voltage Generator for SFADC with Dynamic Element Matching,” 2016 International Conference on Analog VLSI Circuits (AVIC), pp.43-48, Aug. 2016.
- [232] Masashi Imai, Tomohiro Yoneda, “Can Asynchronous Circuits Tolerate Hardware Trojan Threat?,” Proc. Async2016 Fresh ideas track paper, May., 2016
- [233] Masashi Imai, Thiem Van Chu, Kenji Kise, Tomohiro Yoneda, “The Synchronous vs. Asynchronous NoC Routers! An Apple-to-Apple Comparison between Synchronous and Transition Signaling Asynchronous Designs,” Proc. NOCS2016, pp.64-69, Sep., 2016
- [234] Masashi Imai, Tomohiro Yoneda, “Hardware Trojan Insertion Difficulties into Synchronous and Asynchronous Circuits,” Proc. SASIMI2016, pp.213-218, Oct., 2016
- [235] Daiki Toyoshima, Tatsuya Ishikawa, Atsushi Kurokawa, Masashi Imai, “Random Delay Elements for Tamper Resistant Asynchronous Circuits based on 2-phase Handshaking Protocol,” Proc. SASIMI2016, pp.113-118, Oct., 2016
- [236] M. Yamaguchi, H. Tamukoh, H. Suzuki, and T. Morie, “Analog CMOS VLSI Implementation of Chaotic Boltzmann Machines”, The 5th RIEC Int. Symp. on Brain Functions and Brain Computer, Abstract Book, P-2, 2017.
- [237] M. Yamaguchi, T. Kato, Q. Wang, H. Suzuki, H. Tamukoh, and T. Morie, “A CMOS Unit Circuit Using Subthreshold Operation of MOSFETs for Chaotic Boltzmann Machines”, Proc. 23rd Int. Conf. on Neural Information Processing (ICONIP2016), Part I, LNCS 9947, pp. 248-255, Oct. 2016.
- [238] H. Shinba and Minoru Watanabe, “Optically reconfigurable gate array platform for Mono-instruction set computer architecture,” IEEE Annual Computing and Communication Workshop and Conference, pp. 1-4, Jan., 2017.
- [239] Y. Ito, M. Watanabe, A. Ogiwara, “A 200 Mrad radiation tolerance of a polymer-dispersed liquid crystal holographic memory,” IEEE International Conference on Data Science and Systems, pp. 1534 Ó 1535, Dec., 2016.
- [240] T. Fujimori, M. Watanabe, “Compilation time advantage of parallel-operation-oriented optically reconfigurable gate arrays,” International Conference on Advanced Mechatronic Systems, pp. 306-311, Nov., 2016.
- [241] T. Akabe, M. Watanabe, “A 300 Mrad total-ionizing dose experiment of lasers used for holographic memories,” International Conference On Advances in Computing, Electronics and Electrical Technology, pp.

- 17-20, Nov., 2016.
- [242] B. Ramanathan, M. Watanabe, "Photodiode sensitivity measurement methodology using a low light intensity for optically reconfigurable gate arrays," International conference on computer science & education, pp. 454-457, Aug., 2016.
- [243] S. Furukawa, I.S.A. Halim, M. Watanabe, F. Kobayashi, "Direct optical communication on an optically reconfigurable gate array," International Conference on Future Generation Communication Technologies, pp. 17-20, 2016.
- [244] T. Fujimori, M. Watanabe, "Radiation tolerance of a MEMS mirror device," International Conference on Optical MEMS and Nanophotonics, pp. 1-2, July, 2016.
- [245] Y. Ito, M. Watanabe, A. Ogiwara, "Demonstrating a holographic memory having 100 Mrad total-ionizing-dose tolerance," International Conference on Mechanical and Aerospace Engineering, pp. 377 - 380, July, 2016.
- [246] T. Fujimori, M. Watanabe, "Architecture-independence negative logic implementation for optically reconfigurable gate arrays," International Conference on Mechanical and Aerospace Engineering, pp. 381 - 385, July, 2016.
- [247] K. Akagi, M. Watanabe, "A 180 Mrad Total-Ionizing Dose Experiment for Laser Arrays on Optically Reconfigurable Gate Arrays," 25th Annual Single Event Effects (SEE) Symposium, May, 2016.
- [248] K. Yoshimi and H. Saito, "A Delay Adjustment Method for Asynchronous Circuits with Bundled-data Implementation Considering a Latency Constraint", Proc. SASIMI, pp.219-224, 2016
- [249] Takeshi Yoshida, Hiroshi Adachi, Kyoya Takano, Kosuke Katayama, Shuhei Amakawa, Minoru Fujishima, "System-level evaluation of 300GHz CMOS wireless transmitter using cubic mixer", 2016 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp.1-3, Aug. 2016.
- [250] Yuki Hatsude, Go Harumi, Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda, Third-Order Mismatch Shaping Technique with Improved Small Amplitude Input Performance for a Digitally Driven Speaker System, International Conference on Analog VLSI Circuits, pp. 49-53, 3-2, Aug., 2016.
- [251] Ryosuke Minemura, Satoshi Saikatsu, Go Harumi, Michitaka Yoshino, Akira Yasuda, Implementation and Measurement of a Delta-Sigma DAC with a Jitter Shaper Reducing Jitter Noise International Conference on Analog VLSI Circuits, pp.37-41, 2-4, Aug., 2016.
- [252] Go Harumi, Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda, Digital Direct-Driven Speaker Architecture Using Segmented Pulse Shaping Technique, 14th IEEE International NEWCAS Conference, DSP and multimedia, Jun., 2016.
- [253] Hajime Hayami, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Multi-area Imaging Device by Using Implantable Image Sensors for Simple Brain Functional Imaging," 2016 GLOBAL RESEARCH EFFORTS ON ENERGY AND NANOMATERIALS, 2016.
- [254] Makito Haruta, Yoshinori Sunaga, Takahiro Yamaguchi, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "An implantable imaging device for observing the recovery process from cerebrovascular disease in small animal brains," 2016 GLOBAL RESEARCH EFFORTS ON ENERGY AND NANOMATERIALS, 2016.
- [255] Takahiro Yamaguchi, Yoshinori Sunaga, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "A packaging method for an implantable brain-machine interface device with a thin film substrate," 5th International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS & Applications 2016 (Bio4Apps2016), 2016.
- [256] Makito Haruta, Anek Wuthayavanich, Kazutaka Osawa, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "A portable cell imaging system with dual imaging functionality," 5th International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS & Applications 2016 (Bio4Apps2016), 2016.
- [257] Kiyotaka Sasagawa, Takahiro Yamaguchi, Makito Haruta, Yasumi Ohta, Hiroaki Takehara, Toshihiko Noda, Takashi Tokuda, and Jun Ohta, "Hemodynamic Imaging Using an Implantable Self-Reset Image Sensor," The 12th IEEE BioCAS, 2016.
- [258] Toshihiko Noda, Hiroaki Takehara, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Neural Stimulators for Retinal Prosthesis Embedded with CMOS Microchips," 2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS2016), 2016.
- [259] Hironari Takehara, Yuta Nakamoto, Kiyotaka Sasagawa, Hiroaki Takehara, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Compact Lensless Digital Counting System for Fluorescent Micro-Reaction-Chamber Array," The 12th IEEE BioCAS, 2016.
- [260] Y. SUNAGA, M. HARUTA, T. YAMAGUCHI, H. TAKEHARA, T. NODA, K. SASAGAWA, T. TOKUDA, J. OHTA, "Highly sensitive implantable imaging device for flavoprotein fluorescence imaging," Neuroscience 2016, 2016.
- [261] Kiyotaka Sasagawa, Takahiro Yamaguchi, Makito Haruta, Yoshinori Sunaga, Yasumi Ohta, Hironari Takehara, Hiroaki Takehara, Toshihiko Noda, Takashi

Tokuda, Jun Ohta, "An Implantable Needle Shape Image Sensor with an On-Chip Thinned LED," 2016 International Conference on Solid State Devices and Materials (SSDM2016), 2016.

- [262] Hiroaki Takehara, Kazutaka Osawa, Hironari Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "An On-Chip Fluorescence Imaging System Using a Compact CMOS Image Sensor," 2016 International Conference on Solid State Devices and Materials (SSDM2016), 2016.
- [263] Hiroaki Takehara, Yuji Katsuragi, Hajime Hayami, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Implantable medical LSI-chips integrated with flexible and biocompatible hydrogel optical fibers," The International Conference on Flexible and Printed Electronics (ICFPE) 2016, 2016.
- [264] Nattakarn Wuthibenjaphonchai, Hironari Takehara, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "CMOS-based Implantable Glucose Sensor," KJF International Conference on Organic Materials for Electronics and Photonics 2016 (KJF-ICOMEF 2016), 2016.
- [265] Tokuda Takashi, Noguchi Satoki, Iwasaki Satoru, Takehara Hiroaki, Noda Toshihiko, Sasagawa Kiyotaka, Ohta Jun, "CMOS-Based Opto-Electronic Neural Interface Devices for Optogenetics," The 38th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC'16), 2016.
- [266] Yoshinori Sunaga, Makito Haruta, Takahiro Yamaguchi, Yuji Katsuragi, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda and Jun Ohta, "Implantable Micro Imaging Device for Weak Fluorescence Imaging in Feely Moving Mice," 10th FENS Forum of Neuroscience, 2016.
- [267] Takashi Tokuda, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Teru Okitsu, Shoji Takeuchi, and Jun Ohta, "Fluorescence-based Implantable Glucose Sensor using CMOS image sensor technology," Asia-Pacific Conference of Transducers and Micro-Nano Technology 2016 (APCOT2016), 2016.
- [268] Hiroaki Takehara, "Hydrogel-based optical devices for light delivery inside tissues," The 33rd International Conference of Photopolymer Science and Technology, 2016.
- [269] Takashi Tokuda, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "CMOS-Based Opto-Electronic Flexible Brain Interface Device," ET CMOS2016, 2016.
- [270] Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, and Jun Ohta, "Implantable microdevices based on semiconductor technology for optical cell analysis in vivo," IEEE-NEMS2016, 2016.
- [271] M. Tanaka, K. Tsurumi, T. Ishii and K. Takeuchi, "Heterogeneously Integrated Program Voltage Generator for 1.0V Operation NAND Flash with Best Mix & Match of Standard CMOS Process and NAND Flash Process," IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 67-70, Sep, 2016.
- [272] Y. Takahashi, T. Sekine, and M. Yokoyama, "Simulation and verification of active matrix organic light-emitting diode display driver using adiabatic switching principle," Proc. IEEE IMPACT 2016, pp.414-416, Oct. 26-28, Taipei, Taiwan.
- [273] S. Ohno, Y. Takahashi, and T. Sekine, "Low power adiabatic cascade logic using FinFET," Proc. IEEJ AVIC 2016, pp.117-122, Aug. 24-26, Boston MA.
- [274] Hotate, Kishimoto, Higashi, Ochi, Doi, Tada, Sugibayashi, Wakabayashi, Onodera, Mitsuyama, Hashimoto, "A Highly-dense Mixed Grained Reconfigurable Architecture with Overlay Crossbar Interconnect using Via-switch", FPL 2016, 2016/08/31
- [275] Hotate, Kishimoto, Higashi, Ochi, Doi, Tada, Sugibayashi, Wakabayashi, Onodera, Mitsuyama, Hashimoto, "Highly-dense Mixed Grained Reconfigurable Architecture with Via-switch", DAC 2016, 2016/06/07
- [276] Hiroyuki Ito, Sho Ikeda, Akifumi Kasamatsu, Yosuke Ishikawa, Shiro Dosho, Noboru Ishihara, and Kazuya Masu, "Piezoelectric Resonator-Based Fractional-N PLL Technology," The 18th Takayanagi Kenjiro Memorial Symposium, Shizuoka University, Nov. 2016.
- [277] Daisuke Yamane, Toshifumi Konishi, Teruaki Safu, Hideaki Nakajima, Minami Teranishi, Chun-Yi Chen, Tso-Fu Mark Chang, Masato Sone, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, "Young's modulus evaluation of electroplated Ti/Au structures for MEMS devices," in Proc. 29th International Microprocesses and Nanotechnology Conference (MNC 2016), ANA Crowne Plaza Kyoto, Kyoto, Japan, November 8-11, 2016, 10D-5-1.
- [278] Toshifumi Konishi, Daisuke Yamane, Teruaki Safu, Masato Sone, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, "A Damping Constant Model for Proof-Mass Structure Design of MEMS Inertial Sensor by Multi-Layer Metal Technology," in Proc. IEEE Sensors 2016, Oct. 30 - Nov. 2, 2016, Orland, FL, USA, pp. 1162-1164.
- [279] Daisuke Yamane, Toshifumi Konishi, Teruaki Safu, Hiroshi Toshiyoshi, Masato Sone, Kazuya Masu, and Katsuyuki Machida, "A Spring Design for Tri-axis MEMS Accelerometer by Multi-layer Metal Technology," in Proc. 2016 Int. Conf. on Solid State Devices and Materials (SSDM 2016), Tsukuba

- International Congress Center, Tsukuba, Japan, Sept.26-29, 2016, pp.485-486.
- [280] Toshifumi Konishi, Daisuke Yamane, Hiroyuki Ito, Shiro Dosho, Noboru Ishihara, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, "A Novel Noise Analysis Method with Multi-physics Simulation for Capacitive CMOS-MEMS Inertial Sensor System," in Proc. 2016 Int. Conf. on Solid State Devices and Materials (SSDM 2016), Tsukuba International Congress Center, Tsukuba, Japan, Sept.26-29, 2016, pp.673-674.
- [281] Kazuya Masu, Daisuke Yamane, Katsuyuki Machida, Masato Sone, Yoshihiro Miyake, "Development of High Sensitivity CMOS-MEMS Inertia Sensor and its Application to Early-Stage Diagnosis of Parkinson's Disease," in Proc. the 46th European Solid-State Device Re-search Conference (ESSDERC), Swisstech Convention Centre, Lausanne, Switzerland, Sep.12-15, 2016, pp.99-104
- [282] Masato Sone, Tso-Fu Mark Chang, Chun-Yi Chen, Daisuke Yamane, Katsuyuki Machida, and Kazuya Masu, "Electrodeposited Gold for Next Generation MEMS Accelerometer Toward Medical Applications," in Proc. Integrative Biology-2016, Berlin, Germany, July 18-20
- [283] Daisuke Yamane, Toshifumi Konishi, Teruaki Safu, Hiroyuki Ito, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, "A Novel MEMS Inertial Sensor With Out-of-plane Differential Sensing Structure By Multi-layer Metal Technology," in Proc. Asia-Pacific Conference of Transducers and Micro-Nano Technology (APCOT 2016), Kanazawa, Japan, June 26 - 29, 2016, pp. 299-300.
- [284] Sho Ikeda, Hiroyuki Ito, Akifumi Kasamatsu, Yosuke Ishikawa, Takayoshi Obara, Naoki Noguchi, Koji Kamisuki, Yao Jiyang, Shinsuke Hara, Dong Ruibing, Shiro Dosho, Noboru Ishihara, Kazuya Masu, "An 8.865-GHz -244dB-FOM High-Frequency Piezoelectric Resonator-Based Cascaded Fractional-N PLL with Sub-ppb-Order Channel Adjusting Technique", 2016 Symposium on VLSI Circuits, Hilton Hawaiian Villag, Honolulu, USA, June 13-17, 2016
- [285] Takayoshi Obara, Yosuke Ishikawa, Sho Ikeda, Hiroyuki Ito, Shiro Dosho, Noboru Ishihara, Kazuya Masu, "An ultra-low-power RF-impulse transmitter with robustness to supply-voltage variation", Thailand-Japan Micro Wave 2016, King Mongkut's University of Technology North Bangkok, Bangkok, Thailand, June 9-11, 2016
- [286] Daisuke Yamane, Toshifumi Konishi, Hiroshi Toshiyoshi, Kazuya Masu, and Katsuyuki Machida, "A 1-mG MEMS Sensor," in Proc. 229th ECS Meeting, San Diego, CA, USA, May 29 - June 3, 2016
- [287] Minami Teranishi, Tso-Fu Mark Chang, Chun-Yi Chen, Toshifumi Konishi, Katsuyuki Machida, Hiroshi Toshiyoshi, Daisuke Yamane, Kazuya Masu, and Masato Sone, "Mechanical Characteristics of Structure Stability with Ti/Au Micro-Cantilevers Formed by Au Electroplating", in Proc. ISE - Topical Meeting, Auckland, New Zealand, April 17-20, 2016.
- [288] Yota Ishizuka, Sari Yanagida, Tso-Fu Mark Chang, Chun-Yi Chen, Toshifumi Konishi, Katsuyuki Machida, Hiroshi Toshiyoshi, Daisuke Yamane, Kazuya Masu, and Masato Sone, "Electroplated Gold Materials with Enhanced Mechanical Strength by Multi-Layered Structure", in Proc. ISE - Topical Meeting, Auckland, New Zealand, April 17-20, 2016.
- [289] Daisuke Yamane, Toshifumi Konishi, Teruaki Safu, Hiroshi Toshiyoshi, Masato Sone, Kazuya Masu, and Katsuyuki Machida, "A Design of Spring Constant Arranged for MEMS Accelerometer by Multi-layer Metal Technology," in Proc. IEEE NEMS 2016, Matsushima Bay and Sendai, Miyagi, Japan, April 17-20, 2016, B3P-B-54.
- [290] Yosuke Ishikawa, Sho Ikeda, Hiroyuki Ito, Akifumi Kasamatsu, Takayoshi Obara, Naoki Noguchi, Koji Kamisuki, Yao Jiyang, Shinsuke Hara, Dong Ruibing, Shiro Dosho, Noboru Ishihara and Kazuya Masu, "Design of high-frequency piezoelectric resonator-based cascaded fractional-N PLL with sub-ppb-order channel adjusting technique," Design Automation Conference (ASP-DAC), Vol.52, 20 February 2017.
- [291] 岩永友也, 寺田晋也, 江口啓, 大田一郎, "Exponential step-up/step-down type switched-capacitor power supply with variable conversion ratio" The 9th International Conference on Circuits, Systems and Signals, (CSS'16), Dubrovnik, Croatia, vol.15, pp.165-170, (2016.09)
- [292] 宮脇, 高坂, 久保, 中野, "Crosstalk evaluation of multi-channel on-chip patch-clamp system", KKT Workshop, 2016年8月
- [293] 杉浦, 松本, 中野, "Design of Emitter Doping Profile and Junction depth in Si Solar Cells", The 7th International Symposium on Advanced Science and Technology of Silicon Materials, 2016年11月
- [294] 久保, 中野, "Variable Frequency Characteristics Multi-Channel On-Chip Patch-Clamp System Using 0.18 μ m CMOS Technology", ISPACS2016, pp.368-372, 2016年10月
- [295] T. Miyabe, M. Hashizume, H. Yotsuyanagi, S-K. Lu and Z. Roth, "A Built-in Electrical Test Circuit for Detecting Open Leads in Assembled PCB Circuits with RC Integrator", Proc. International Conference on Electronics Packaging 2016, pp.451-455, April 2016.
- [296] M. Okamoto, A. Odoriba, H. Yotsuyanagi, M. Hashizume and S-K. Lu, "A Built-in Test Circuit

to Monitor Changing Process of Resistive Open Defects in 3D ICs”, Proc. of International Technical Conference on Circuits/Systems, Computers and Communications 2016, pp.295-298, July 2016.

- [297] K. Ohtani, D. Suga, H. Yotsuyanagi and M. Hashizume, “A Built-in Test Circuit for Injected Charge Tests of Open Defects in CMOS ICs, Proc. of International Technical Conference on Circuits/Systems, Computers and Communications 2016, pp.291-294, July 2016.
- [298] M. Hashizume, Y. Shiraishi, H. Yotsuyanagi, H. Yokiyama, T. Tada and S-K. Lu, “Electrical Test of Resistive and Capacitive Open Defects at Data Bus in 3D Memory IC”, Proc. of International Design and Concurrent Engineering Conference 2016, Sep. 2016.
- [299] A. B. A. Fara, A. Odoriba, M. Hashizume, H. Yotsuyanagi and S-K. Lu, “Electrical Tests for Capacitive Open Defects in Assembled PCBs”, Proc. of International Design and Concurrent Engineering Conference 2016, Sep. 2016.
- [300] M. Hashizume, A. Odoriba, S-K. Lu and H. Yotsuyanagi, “A Built-in Defective Level Monitor of Resistive Open Defects in 3D ICs with Logic Gates”, Proc. of IEEE CPMT Symposium Japan 2016, pp.99-102, Nov. 2016.
- [301] K. Ohtani, M. Hashizume, D. Suga, H. Yotsuyanagi and S-K. Lu, “A Power Supply Circuit for Interconnect Tests Based on Injected Charge Volume of 3D IC”, Proc. of IEEE CPMT Symposium Japan 2016, pp.139-140, Nov. 2016.
- [302] F. A. B. Ali, M. Hashizume, Y. Ikiri, H. Yotsuyanagi and S-K. Lu, “Testability for Resistive Open Defects by Electrical Interconnect Test of 3D ICs without Boundary Scan Flip Flops”, Proc. of IEEE CPMT Symposium Japan 2016, pp.137-138, Nov. 2016.
- [303] T. Kawaguchi, H. Yotsuyanagi and M. Hashizume, “On Control Circuit and Observation Conditions for Testing Multiple TSVs Using Boundary Scan Circuit with Embedded TDC”, 17th IEEE Workshop on RTL and High Level Testing, Nov. 2016.
- [304] F. A. B. Ali, Y. Ikiri, M. Hashizume, H. Yotsuyanagi and S-K. Lu, “Capacitive Open Defect Detection by Electrical Interconnect Test of 3D ICs without Boundary Scan Flip Flops”, 17th IEEE Workshop on RTL and High Level Testing, Nov. 2016.
- [305] S. Yamaguchi, H. Imi, S. Tokumaru, T. Kondo, H. Yamamoto, K. Nakamura, “Vth-Shiftable SRAM Cell TEGs for Direct Measurement for the immunity of the Threshold Voltage Variability”, IEEE International Conference on Microelectronic Test Structures (ICMTS) 2017, pp.59-61, @Grenoble France, 2017.03.28
- [306] Rei Ueno, Sumio Morioka, Naofumi Homma, and Takafumi Aoki, “A High Throughput/Gate AES Hardware Architecture by Compressing Encryption and Decryption Datapaths---Toward Efficient CBC-Mode Implementation,” CHES 2016, LNCS, vol. 9813, pp. 538–558, August 2016.
- [307] H. Akima, S. Moriya, S. Kawakami, M. Yano, K. Nakajima, M. Sakuraba, and S. Sato, “VLSI design of a neural network model for detecting planar surface from local image motion”, Proc. 25th International Conference on Artificial Neural Networks (ICANN 2016), Barcelona, Spain, pp. 556, Sep. 6-9, 2016.
- [308] Hiroki Koike, Sadahiko Miura, Hiroaki Honjo, Toshinari Watanabe, Hideo Sato, Soshi Sato, Takashi Nasuno, Yasuo Noguchi, Mitsuo Yasuhira, Takaho Tanigawa, Masakazu Muraguchi, Masaaki Niwa, Kenchi Ito, Shoji Ikeda, Hideo Ohno, and Tetsuo Endoh, “Demonstration of yield improvement for on-via MTJ using a 2-Mbit 1T-1MTJ STT-MRAM test chip”, IEEE International Memory Workshop (IMW), pp. 56-59, Paris, France, May 2016.
- [309] Yitao Ma and Tetsuo Endoh, “Effect of MTJ Resistance Fluctuations on Synapse Stability of MTJ-Based Nonvolatile Neuron Circuit for High-Speed Object Recognition”, Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2016), B5-6, Hakodate Kokusai Hotel, Hakodate, Japan, July 4-6, 2016.
- [310] K. Maezawa, T. Kishi and M. Mori, “Injection Locking and High Order Harmonic Generation in Transmission Line Oscillators Loaded with Resonant Tunneling Diodes”, 40th Workshop on Compound Semiconductor Devices and Integrated Circuits held in Europe (WOCSDICE), Aveiro, Portugal, 6-10 June.
- [311] T. Tajika, Y. Kakutani, M. Mori and K. Maezawa, “Experimental Demonstration of Strain Detection Using Resonant Tunneling Delta-Sigma Modulation Sensors”, 43rd International Symposium on Compound Semiconductors (ISCS), June 26-30, 2016.
- [312] K. Maezawa and M. Mori, “Impulse sensitivity function study of the phase noise in resonant tunneling diode oscillators”, 2016 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2016), 4-6 July 2016.
- [313] Naoki Sakai, Daiki Itokazu, Yoshiki Suzuki, Sonshu Sakihara, Takashi Ohira, “Single-Seater Vehicle Prototype Experiment Powered by High Frequency Electric Field on an Asphalt-Paved Roadway”, Electric Drives Production Conference (EDPC), pp.101-104, Nuremberg, Germany, Nov. 2016.
- [314] M-W. Seo, Y. Shirakawa, Y. Masuda, Y. Kawata, K. Kagawa, K. Yasutomi, S. Kawahito, A 0.44e-rms Read-Noise 32fps 0.5Mpixel High-Sensitivity RG-Less-Pixel, 2017 IEEE INTERNATIONAL SOLID-STATE

- CIRCUITS CONFERENCE (ISSCC 2017), 2017 Digest of Technical Papers pp.80-81
- [315] M-W. Seo, T. Wang, S-W. Jun, T. Akahori, S. Kawahito, A Programmable Sub-Nanosecond Time-Gated 4-Tap Lock-In Pixel, 2017 IEEE INTERNATIONAL, SOLID-STATE CIRCUITS CONFERENCE (ISSCC 2017 Digest of Technical Papers pp.70-71
- [316] M-W. Seo, Y. Shirakawa, K. Kagawa, K. Yasutomi, S. Kawahito, A high performance multi-tap CMOS lock-in pixel image sensor for biomedical applications, Photonics West 2017.1.31
- [317] M-W. Seo, Y. Shirakawa, K. Kagawa, K. Yasutomi, S. Kawahito, A high performance multi-tap CMOS lock-in pixel image sensor for biomedical applications, Proc. SPIE. 10076, High-Speed Biomedical Imaging and Spectroscopy! Toward Big Data Instrumentation and Management II, 100760V, 2017.2
- [318] H. Ishida, K. Kagawa, S. Kawahito, T. Takasawa, K. Yasutomi, B. Zhang, M-W. Seo, T. Komuro, RTS and photon shot noise reduction based on maximum likelihood estimate with multi-aperture optics and semi-photon-counting-level CMOS image sensors, Electronic Imaging 2017.2.2
- [319] Y. Shirakawa, M-W. Seo, K. Yasutomi, K. Kagawa, N. Teranishi, S. Kawahito, Design of an 8-tap CMOS lock-in pixel with lateral electric field charge modulator for highly time-resolved imaging, Photonics West 2017, 101080N-1-8
- [320] M-W. Seo, K. Kagawa, K. Yasutomi, S. Kawahito, Low-noise CMOS image sensors towards single-photon detection, 3rd International Workshop on Image Sensors and Imaging Systems (IWISS2016), IWISS 2016 Proceedings of the invited Talks, pp.17-18
- [321] H.Yamauchi, Worawit Sohma, A filter design for blind deconvolution to decouple unknown RDF/RTN factors from complexly coupled SRAM margin variations, 2016, LASCAS, pp247-250 2016 年 4 月
- [322] K. Fujiwara, K. Kawamura, M.Yanagisawa and N. Togawa, "A high-level synthesis algorithm for FPGA designs optimizing critical path with interconnection-delay and clock-skew consideration", in Proc. VLSI-DAT 2016.
- [323] K. Ito, K. Kawamura, Y. Tamiya, M. Yanagisawa and N. Togawa, "Rotator-based multiplexer network synthesis for field-data extractors", in Proc. SOCC2016, pp. 194-199, 2016.
- [324] D. Oku, M. Yanagisawa and N. Togawa, "Implementation evaluation of scan-based attack against trivium cipher circuit", APCCAS 2016.
- [325] K. Kawamura, M. Yanagisawa and N. Togawa, "A high-performance circuit design algorithm using data dependent approximation", in Proc. 13th International SoC Design Conference (ISOCC 2016), pp. 96-97.
- [326] M. Oya, K. Hasegawa, M. Yanagisawa and N. Togawa, "Hardware trojans detection based on steady state learning", in Proc. DAC 2016.
- [327] M. Oya, M. Yanagisawa and N. Togawa, "Redesign for untrusted gate-level netlists", in Proc. IOLTS, pp. 219-220.
- [328] K. Hasegawa, M. Oya, M. Yanagisawa and N. Togawa, "Hardware trojans classification for gate-level netlists based on machine learning", in Proc. IOLTS, pp. 203-206.
- [329] Y. Mori, S. Sato, Y. Omura, and A. Mallik, "A Possible Threshold Voltage Definition of Lateral Tunnel FET," 2016 IEEE Silicon Nanoelectronics WS (Honolulu, June, 2016), pp. 188-189.
- [330] Licheng Rao, Shingo Yoshizawa, Hiroshi Tsutsui, Yoshikazu Miyanaga, "One-block shared memory FFT processor by using new memory addressing approach," Proceedings of International Symposium on Multimedia and Communication Technology (ISMAT), Aug. 2016.
- [331] 'Confirmation of SS=35 μ V/dec over 3 Decades of Drain Current and Hole Accumulation Effect on PN-Body Tied SOI Super Steep SS FET's, Takashi Horii, Jiro Ida, Takahiro Yoshida, Masao Okihara and Yasuo Arai. IEEE SILICON NANOELECTRONICS WORKSHOP 2016, June 12-13, 2016, Honolulu, USA.
- [332] 'A Demonstration of TIA Using FD-SOI CMOS OPAMP for Far-Infrared Astronomy', Koichi Nagase, Takehiko Wada, Hirokazu Ikeda, Yasuo Arai, Morifumi Ohno, Misaki Hanaoka, Hidehiro Kanada, Shinki Oyabu, Yasuki Hattori, Sota Ukai, Toyoaki Suzuki, Kentaroh Watanabe, Shunsuke Baba, Chihiro Kochi, Keita Yamamoto. J Low Temp Phys, DOI 10.1007/s10909-016-1551-7
- [333] 'Development of an Event-driven SOI Pixel Detector for X-ray Astronomy, - Improvement of an Intra-chip Readout Circuit for Low Noise Performance -. Ayaki Takeda, T.G.Tsuru, T.Tanaka, H.Matsumura, M.Itou, S.Ohmura, Y.Arai, K.Mori, Y.Nishioka, R.Takenaka, T.Kohmura, K.Tamasawa, S.Nakashima, S.Kawahito, K.Kagawa, H.Kamehara, S.Shrestha. 14th The Vienna Conference on Instrumentation (VCI2016), Feb. 15-19, 2016.
- [334] 'Development of a pixel sensor with fine space-time resolution based on SOI technology for the ILC vertex detector, Shun Ono, Manabu Togawa, Ryoji Tsuji, Teppei Mori, Miho Yamada, Yasuo Arai, Toru Tsuboyama, Kazunori Hanagaki, 14th The Vienna Conference on Instrumentation (VCI2016), Feb. 15-19, 2016, Nuclear Instruments and Methods in Physics Research, Section A, March 17, 2016.
- [335] 'Compensation for radiation damage for SOI pixel detector via tunneling', M. Yamada, Y. Arai, Y. Fujita,

- R. Hamasaki, Y. Ikegami, I. Kurachi, R. Nishimura, K. Tauchi and T. Tsuboyama, 10th International Symposium on the Development and Application of Semiconductor Tracking detectors (HSTD10), Sep. 25 – 29, 2015, Xi'an China, Nucl. Instrum. Meth. A. doi:10.1016/j.nima.2016.04.110.
- [336] 'First results of a Double-SOI pixel chip for X-ray imaging', Yunpeng Lu a, n, Qun Ouyang a, Yasuo Arai b, Yi Liu a, Zhigang Wu a, Yang Zhou, 10th International Symposium on the Development and Application of Semiconductor Tracking detectors (HSTD10), Sep. 25 – 29, 2015, Xi'an China, Nuclear Instruments and Methods in Physics Research A (2016), <http://dx.doi.org/10.1016/j.nima.2016.04.022>.
- [337] 'Development of an X-ray Imaging system with SOI Pixel Detectors', Ryutaro NISHIMURA, Yasuo ARAI, Toshinobu MIYOSHI, Keiichi HIRANO, Shunji KISHIMOTO, Ryo HASHIMOTO. 10th International Symposium on the Development and Application of Semiconductor Tracking detectors (HSTD10), Sep. 25 – 29, 2015, Xi'an China, Nuclear Instruments and Methods in Physics Research A (2016), <http://dx.doi.org/10.1016/j.nima.2016.04.036>.
- [338] 'Advanced monolithic pixel sensors using SOI technology', Toshinobu Miyoshi, Yasuo Arai, Mari Asano, Yowichi Fujita, Ryutaro Hamasaki, Kazuhiko Hara, Shunsuke Honda, Yoichi Ikegami, Ikuo Kurachi, Shingo Mitsui, Ryutaro Nishimura, Kazuya Tauchi, Naoshi Tobita, Toru Tsuboyama, Miho Yamada. 13th Pisa Meeting on Advanced Detectors, 24–30 May 2015 La Biodola, Isola d'Elba (Italy), Nuclear Instruments and Methods in Physics Research Section A, Volume 824, 11 July 2016, Pages 439-442, <http://dx.doi.org/10.1016/j.nima.2015.11.109>.
- [339] Takashi Kohno, "An ultralow-power silicon neuron with configurable neuron classes," 5th International Symposium on Energy Challenges and Mechanics, 11th, Jul., 2016.
- [340] Qualitative-Modeling-Based Design for Silicon Neuronal Networks, Proedings of the 20th Workshop on Synthesis and System Integration of Mixed Information Technologies, I4-1, 25th, Oct., 2016.
- [341] Takashi Kohno and Kazuyuki Aihara, "A three-variable ultralow-power analog silicon neuron circuit," Proceedings of 2016 International Symposium on Nonlinear Theory and Its Applications, pp. 190-193, A3L-G, 28th, Nov., 2016.
- [342] Ethan Green and Takashi Kohno, "Two Heuristic Approaches to Parameter Tuning for an Analog Silicon Neuron," Proceedings of 2016 International Symposium on Nonlinear Theory and Its Applications, pp. 194-197, A3L-G, 28th, Nov., 2016.
- [343] Ethan Green and Takashi Kohno, "A Multistage Heuristic Tuning Algorithm for an Analog Silicon Neuron Circuit," Proceedings of 2017 International Conference on Artificial Life and Robotics, pp. 144-147, OS9-5, 20th, Jan., 2017.
- [344] Shimpei Sato, Hiroshi Nakatsuka, and Atsushi Takahashi, "Performance Improvement of General-Synchronous Circuits by Variable Latency Technique using Dynamic Timing-Error Detection", The 20th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2016), pp. 60 - 65, October 2016.
- [345] A.K.M. M. Islam, H. Fuketa, K. Ishida, T. Yokota, T. Sekitani, M. Takamiya, T. Someya, and T. Sakurai, "Sensor and Circuit Solutions for Organic Flexible Electronics," Society for Information Display (SID) International Symposium, San Francisco, USA, pp. 629-632, May 2016.
- [346] K. Miyazaki, M. Takamiya, and T. Sakurai, "Automatic Optimization of IGBT Gate Driving Waveform Using Simulated Annealing for Programmable Gate Driver IC," IEEE Energy Conversion Congress & Exposition (ECCE), Milwaukee, USA, pp. 1 -6, Sep. 2016.
- [347] T. Someya, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, "56-Level Programmable Voltage Detector in Steps of 50mV for Battery Management," IEEE Asian Solid-State Circuits Conference (A-SSCC), Toyama, Japan, pp. 49-52, Nov. 2016.
- [348] K. Miyazaki, Ichiro Omura, M. Takamiya, and T. Sakurai, "20-ns Short-Circuit Detection Scheme with High Variation-Tolerance based on Analog Delay Multiplier Circuit for Advanced IGBTs," IEEE Southern Power Electronics Conference (SPEC), Auckland, New Zealand, pp. 1 -4, Dec. 2016.
- [349] H. Obara, K. Wada, K. Miyazaki, M. Takamiya, and T. Sakurai, "Active Gate Control in Half-Bridge Inverters Using Programmable Gate Driver ICs to Improve Both Surge Voltage and Switching Loss," IEEE Applied Power Electronics Conference and Exposition (APEC), Tampa, USA, pp. 1153-1159, March 2017.
- [350] M. Amagasaki, Y. Nakamura, T. Teraoka, M. Iida and T. Sueyoshi, "An Area Compact Soft Error Resident circuit for FPGA," Proc. of the 2016 IEEE Joint Conference on Integrated Circuit Design and Technology (ICICDT), B-3, June 2016, Ho Chi Minh, Vietnam
- [351] M. Amagasaki, Y. Nakamura, M. Iida, M. Kuga and T. Sueyoshi, "A Novel Soft Error Tolerant FPGA Architecture," Proc. of IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), 4a-3, Sep. 2016, Tallinn, Estonia
- [352] T. Kuroda, "System Integration in a Package for Cloud and Edge," IEEE Electron Devices Technology and Manufacturing (EDTM 2017), Proc. Tech. Papers, pp.

- 42-43, Mar. 2017.
- [353] A. Nomura, H. Matsutani, T. Kuroda, J. Kadomoto, Y. Matsushita, and H. Amano, "Vertical Packet Switching Elevator Network Using Inductive Coupling ThruChip Interface," International Symposium on Computing and Networking (CANDAR'16), Conference Paper, Nov. 2016.
- [354] M. Ikebe, T. Asai, M. Mori, T. Itou, D. Uchida, Y. Take, T. Kuroda, and M. Motomura, "3D stacked image sensor featuring low noise inductive coupling channels," 3rd International Workshop on Image Sensors and Imaging Systems (IWISS2016), pp. 15-16, Nov. 2016.
- [355] J. Kadomoto, T. Miyata, H. Amano, and T. Kuroda, "An Inductive-Coupling Bus with Collision Detection Scheme Using Magnetic Field Variation for 3-D Network-on-Chips," IEEE Asian Solid-State Circuits Conference (A-SSCC 2016), Proc. Tech. Papers, pp. 41-44, Nov. 2016.
- [356] R. Shimizu, S. Yanagawa, Y. Monde, H. Yamagishi, M. Hamada, T. Shimizu, and T. Kuroda, "Deep Learning Application Trial to Lung Cancer Diagnosis for Medical Sensor Systems," 13th International SoC Design Conference (ISOCC 2016), Conference Paper, Oct. 2016.
- [357] Ahmad Muzaffar bin Baharudin, Mika Saari, Pekka Sillberg, Petri Rantanen, Jari Soini, and Tadahiyo Kuroda, "Low-Energy Algorithm for Self-Controlled Wireless Sensor Nodes," The International Conference on Wireless Networks and Mobile Communications (WINCOM'16), Conference Paper, Oct. 2016.
- [358] S. Hasegawa, J. Kadomoto, A. Kosuge, and T. Kuroda, "A 1 Tb/s/mm² Inductive-Coupling Side-by-Side Chip Link," European Solid-State Circuits Conference (ESSCIRC 2016), pp. 469-472, Sep. 2016.
- [359] Kazuki Itoh, Masakazu Muraguchi and Tetsuo Endoh, "Novel integrated voltage regulators with high-side NMOS power switch and dedicated bootstrap driver using vertical MOSFET for efficiency enhancement", International Conference on Solid State Devices and Materials (SSDM2016), pp. 743-744, Tsukuba, Japan, September 2016.
- [360] Kazuki Itoh, Masakazu Muraguchi and Tetsuo Endoh, "High accurate and low loss current sensing method with novel current path narrowing method for DC-DC converters and its demonstration," 2016 IEEE International Telecommunications Energy Conference (INTELEC), TS13A, pp. 1-6, Austin, TX, 2016.
- [361] Yoichi Sato, Kanji Otsuka, Kaoru Kobayashi, Toshiyuki Kouchi, Minoru Uwai, and Masato Nishizawa, "Novel Approach for Search Engine", Proc. IMPACT 2016 (2016.10)
- [362] Fumiaki Fujii, Daisuke Ogawa, Kaoru Hashimoto, Yutaka Akiyama, and Kanji Otsuka, "Co-design Importance for over 20Gbps I/O Interface", Proc. ICSJ 2016 (2016. 10)
- [363] Kanji Otsuka, "How to feed to Greedy IoT Monster", Proc. EPTC 2016 (2016. 12)
- [364] Kanji Otsuka, Yoichi Sato, and Fumiaki Fujii, "One Approach How to Reduce Data Transferring", Proc. Pan Pacific SMTA 2017 (2017. 1)
- [365] Horagodage Prabhath Jeewan, Kenji Okabe, Hajime Fukumaru, Takeshi Kawano, Makoto Ishida, Ipppei Akita, "A low-noise low-power neural recording amplifier on flexible thin film for fully implantable neural interface devices," in Proc. Asia-Pacific Conference on Transducers and Micro/Nano Technologies (APCOT), 1a.4, pp. 27-28, Kanazawa, Japan, June 2016
- [366] Angela Leong Xian Long, Ipppei Akita, Hiroki Makino, Hirohito Sawahata, Makoto Ishida, Takeshi Kawano, "Design of trans impedance amplifier for silicon whisker neuroprobe," in Proc. Asia-Pacific Conference on Transducers and Micro/Nano Technologies (APCOT), 5d.5, pp. 209-210, Kanazawa, Japan, June 2016
- [367] Y. Matsushita, H. Okuhara, K. Masuyama, Y. Fujita, R. Kawano, H. Amano, "Body bias gain size exploration for a coarse grained reconfigurable accelerator," 26th International Conference on Field Programmable Logic and Applications, pp.1-4, Sept. 2016.
- [368] N. Ando, K. Masuyama, H. Okuhara, H. Amano, "Variable Pipeline Structure for Coarse Grained Reconfigurable Array CMA," ICFPT2016, Dec. 2016.
- [369] J.M. Kuehn, H. Amano, W. Rosenstiel, O. Bringmann, ACM/EDAC/IEEE Design Automation Conference, pp.1-6, DOI! 10.1145/2897937.2898039, 2016.
- [370] A. Nomura, H. Matsutani, J. Kadomoto, T. Kuroda, "Vertical Packet Switching Elevator Network using Inductive Coupling ThruChip Interface," CANDAR2016, pp.195-201, DOI!10.1109/CANDAR.2016.0043, 2016
- [371] J. Akaike, M. Kudo, K. Usami, "Design and Evaluation of MTJ-based Standard Cell Memory", Int. Tech. Conf. on Circuits/Systems, Computers and Communications, Okinawa, July 11, 2016.
- [372] Yusuke Yoshida, Masaru Kudo, Kimiyoshi Usami, "Low-power Standard Cell Memory using Silicon-Thin-BOX (SOTB) and Body-bias Control", The 31st International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSSC), pp. 41-44, Okinawa, July 11, 2016.
- [373] Tomohiro Yoneda, Naoya Onizawa, Masashi Imai and Takahiro Hanyu! Power-Gated Single-Track Asynchronous Circuits Using Three-Terminal MTJ-Based Nonvolatile Devices for Energy Harvesting

Systems, Proc. of ASYNC2016 workshop, pp.9-10, 2016年5月.

- [374] S. Inuyama, K. Iwasaki, and M. Arai, "Critical-Area-Aware Test Pattern Generation and Reordering," Asian Test Symposium (ATS), 5A.2, pp. 191-196, Hiroshima, Nov. 2016
- [375] S. Inuyama, K. Iwasaki, and M. Arai, "Note on Critical-Area-Aware Test Pattern Generation and Reordering," International Test Conference (ITC), PO 10, Fort Worth, Texas, Nov. 16, 2016.
- [376] K. Kiyoyama, 他 8 名 "Wide-range and precise tissue impedance analysis circuit with ultralow current source using gate-induced drain-leakage current", IEEE Biomedical circuits and systems Conference (BioCAS) 2016, pp.304-307.
- [377] Y. Sato, K. Komoku, T. Morishita, N. Itoh, "A 24-GHz Low-Noise Amplifier using Three-Port Inductor," The 19th International Conference on Analog VLSI Circuits (AVIC2016), pp.103-106, Boston, Aug. 2016.
- [378] Y. Nishino, K. Komoku, T. Morishita, N. Itoh, "A 25.8% Locking Range 24-GHz Injection Locked Frequency Divider with Capacitor Array in 180-nm CMOS," The 19th International Conference on Analog VLSI Circuits (AVIC2016), pp.107-111, Boston, Aug. 2016.
- [379] T. Kitano, K. Komoku, T. Morishita, N. Itoh, "A 2.4/5.25 GHz Concurrent Dual-Band LNA Equipped Matching Networks Using Mutual Induction," The 19th International Conference on Analog VLSI Circuits (AVIC2016), pp.113-116, Boston, Aug. 2016.
- [380] Y. Shuto, S. Yamamoto, and S. Sugahara, "Design and Implementation of Nonvolatile Power-gating SRAM Using SOTB Technology", International Symposium on Low Power Electronics and Design, 2016
- [381] Y. Shuto, S. Yamamoto, and S. Sugahara, "Energy Performance of Nonvolatile Power-Gating SRAM Using SOTB Technology", 46th European Solid-State Device Conference, 2016
- [382] D. Kitagata, Y. Shuto, S. Yamamoto, and S. Sugahara, "Analysis of break-even time for nonvolatile SRAM with SOTB technology", Electron Devices Technology and Manufacturing Conference, 2017
- [383] Koji Kotani, "Quasi-3D Integration Using Time-Domain Interconnection (Q3D-TD) -Realization Example and Performance Evaluation in 45 nm Technology Node-," Advanced Metallization Conference 2016, p.39, Tokyo, Oct. 2016.
- vol. 116, no. 310, MW2016-126, pp. 57-62 (2016年11月)
- [2] 大塚喬太, 小野 哲, 和田光司, "集中定数素子とバラクタダイオードで構成した3モード共振器を用いた小型チューナブルBPF," 電子情報通信学会研究技術報告, vol. 116, no. 310, MW2016-127, pp. 63-68 (2016年11月)
- [3] 中村流星, 小野 哲, 和田光司, "インターディジタル型結合線路BPFを配置したマイクロストリップ線路小型ラットレースバランフィルタ," 電子情報通信学会研究技術報告, vol. 116, no. 363, MW2016-158, pp. 147-152, (2016年12月)
- [4] 末崎裕己, 小野 哲, 和田光司, "結合線路を用いたLPF及びHPFで構成した小型ハイバンドUWB用LTCC基板BPF," 電子情報通信学会研究技術報告, vol. 116, no. 363, MW2016-159, pp. 153-158, (2016年12月)
- [5] 双石文彦, 小野 哲, 和田光司, "チップコンデンサとマイクロストリップ線路で構成したCRLH伝送線路共振器を用いた有極形小型BPF," 電子情報通信学会研究技術報告, vol. 116, no. 363, MW2016-160, pp. 159-164, (2016年12月)
- [6] 辻 蒼一, 小野 哲, 和田光司, "m型アドミタンスインバータを用いた周波数可変型BPF," 電子情報通信学会研究技術報告, vol. 116, no. 363, MW2016-162, pp. 171-176, (2016年12月)
- [7] 足立一希, 小野 哲, 和田光司, "共有共振器と $\lambda/4$ ステップインピーダンス共振器を用いた有極形ダイプレクサ," 電子情報通信学会研究技術報告, vol. 116, no. 363, MW2016-164, pp. 183-188, (2016年12月)
- [8] 阿部 励, 大塚喬太, 小野 哲, 和田光司, "インピーダンスステップ共振器を用いた一系統電源で中心周波数を広範囲に調整可能なチューナブルコムラインBPF," 電子情報通信学会研究技術報告, vol. 116, no. 421, CAS2016-88, pp. 57-60, (2017年1月)
- [9] 辻 蒼一, 小野 哲, 和田光司, "高周波スイッチ・バラクタダイオード装荷有極形共振器とバラクタダイオード装荷m型アドミタンスインバータを用いた周波数可変BPF," 電子情報通信学会研究技術報告, vol. 116, no. 421, CAS2016-89, pp. 61-64, (2017年1月)
- [10] 張 原論, 小野 哲, 和田光司, "SAW共振器装荷型マイクロストリップ線路共振器を用いたデュアルバンドBPF," 電子情報通信学会研究技術報告, vol. 116, no. 421, CAS2016-90, pp. 65-68, (2017年1月)
- [11] 鈴木, 小林, 嶋田, "バス限定ALUカスケードインゲのための命令並び替えの設計と評価", 情報処理学会第78回全国大会, 2016年3月10日-12日.
- [12] 藤島実, "デバイスの性能限界を超える300GHz帯CMOS無線," テラヘルツシステム応用推進協議会設立記念講演会, Mar. 2016.
- [13] 藤島実, "テラヘルツを利用した超高速CMOS無線通信," 日本学術振興会超伝導エレクトロニクス146委員会第95回研究会, Apr. 2016.

3. 国内会議, 研究会等

- [1] 中村流星, 小野 哲, 和田光司, "コムライン結合線路装荷形マイクロストリップライン小型ラットレースバランフィルタ," 電子情報通信学会研究技術報告,

- [14] 藤島実, “光通信の速度をめざす 300GHz 帯超高速無線,” Keysight World 2016 東京, July 2016.
- [15] 高野恭弥, 原紳介, 片山光亮, 天川修平, 吉田毅, 藤島実, “直交変調テラヘルツ送信機を実現するクインティックミキサ,” テラヘルツ応用システム研究会, July 2016.
- [16] 高野恭弥, “ミリ波 IC の電磁界解析用材料パラメータとは?,” MWE2016 ワークショップ, 2016 年 12 月.
- [17] 天川修平, 片山光亮, 高野恭弥, 原紳介, 笠松章史, 水野紘一, 高橋和晃, 吉田毅, 藤島実, “依頼講演 QAM 変調信号を送出可能な 300GHz CMOS 送信機,” 電子情報通信学会技術研究報告, 2016 年 5 月.
- [18] 原 紳介, 片山光亮, 高野恭弥, 渡邊一世, 関根徳彦, 笠松章史, 吉田 毅, 天川修平, 藤島 実, “小面積レイアウト手法による D 帯 CMOS 増幅器の設計,” 電子情報通信学会 LSI とシステムのワークショップ, 2016 年 5 月.
- [19] 片山光亮, 天川修平, 高野恭弥, 藤島実, “受動素子における直流/高周波の寄生抵抗の評価,” 第 43 回アナログ RF 研究会, 2017 年 3 月.
- [20] 高野恭弥, 片山光亮, 天川修平, 吉田毅, 藤島実, “伝送線路を用いた 500GHz までの CMOS プロセスパラメータの抽出,” 第 43 回アナログ RF 研究会, 2017 年 3 月.
- [21] サシバリ VS ラオ, 片山光亮, 高野恭弥, 天川修平, 吉田毅, 藤島実, “Design of CMOS On-Chip Antenna in 300-GHz Band,” 電子情報通信学会集積回路/マイクロ波研究会, 2017 年 3 月.
- [22] 片山光亮, 高野恭弥, 天川修平, 吉田毅, 藤島実, “高周波デバイスモデリングのためのシステムティックな等価回路生成法,” 電子情報通信学会集積回路/マイクロ波研究会, 2017 年 3 月.
- [23] 高野恭弥, 天川修平, 片山光亮, 吉田毅, 藤島実, “テラヘルツ無線送受信モジュールの性能評価指標,” 電子情報通信学会集積回路/マイクロ波研究会, 2017 年 3 月.
- [24] Tuan Anh Vu, Kyoya Takano, Kosuke Katayama, VS Rao Sasipalli, Minoru Fujishima, “Study on 300 GHz CMOS Doubler for Ultrahigh-Speed Wireless Communications,” 電子情報通信学会集積回路/マイクロ波研究会, 2017 年 3 月.
- [25] 駒脇, 大島, 岸田, 小林, “65 nm FDSOI プロセスにおけるランダムテレグラフノイズの測定と評価”, pp. 42-47, 回路とシステムワークショップ(2016)
- [26] Xiao Yang, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, “A 31x31 SPAD Array Sensor with Variable Readout Time for Scintillation Light Detection,” 電子情報通信学会ソサイエティ大会論文集, C-12-11, 2016 年 9 月.
- [27] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, “Microwave Pulse Generator based on Current-Mode Trigger and On-Quartz Transmission Line,” 電子情報通信学会ソサイエティ大会論文集, C-2-26, 2016 年 9 月.
- [28] Kai Xu, Tetsuya Iizuka, Toru Nakura, and Kunihiro Asada, “Fine-Resolution Light Source Position Estimation Method for Scintillation Detector,” 電子情報通信学会ソサイエティ大会論文集, B-20-28, 2016 年 9 月.
- [29] 織田勇牙, 飯塚哲也, 名倉徹, 浅田邦博, “表面磁界観測による電流推定を用いた集積回路の電源網解析,” 情報処理学会 DA シンポジウム 2016 論文集, 2016 年 9 月.
- [30] 與五沢, 篠原, 宮地, “電圧遅延変換 DLL 制御を用いた非接触給電向け ZVS 動作アクティブダイオード型 CMOS 全波整流器の設計”, LSI とシステムのワークショップ, 2016 年 5 月.
- [31] 小柳, 宮地, “光プローブ電流センサ向け光電流電圧変換 CMOS アナログフロントエンド回路の検討と試作”, ICD 若手研究会, 2016 年 12 月
- [32] 上倉, 小柳, 曾根原, 佐藤, 宮地, “光プローブ電流センサ向け完全差動 CMOS アナログフロントエンドの設計”, 電子情報通信学会 2017 年総合大会, C-12-9, エレクトロニクス 2, p. 58, 2017 年 3 月.
- [33] 大澤永始, Tanvir Ahmed, 原祐子, “Approximate Computing に基づいたデータ再利用型組込みプロセッサ,” LSI とシステムのワークショップ, 2016 年 5 月.
- [34] 村井, 石井, 中司, “全自動合成による 65 nm CMOS インバータアレイ型アナログコンパレータ”, 第 29 回回路とシステムワークショップ, WIP-2, 2016 年 5 月.
- [35] 神原, 村井, 中司, “0.2V で動作する冗長構成したインバータアレイによるアナログコンパレータの検討”, 第 69 回電気・情報関係学会九州支部連合大会, 01-2A-03, 2016 年 9 月.
- [36] 宇野重康, “電気化学的バイオセンサーを用いた簡易迅速診断のためのデバイスと集積回路”, 応用物理学会有機分子・バイオエレクトロニクス分科会講習会「バイオセンシングの新展開」, 東京(2016年11月7日) 予稿集 pp. 67-72.
- [37] 宇野重康, 河原翔梧, 藤本拓也, 釜堀政男, “モバイルヘルスケアのための CMOS 集積回路とペーパーバイオセンサーの統合”, 2016 年電子情報通信学会ソサイエティ大会, 北海道(2016年9月21日) ACI-1-4.
- [38] 杉田和貴, 岩田蛸, 岡根佑樹, 高藤美泉, 内木場文男, 齊藤健, “MEMS マイクロロボットに実装可能な集積回路による人工ニューラルネットワークの開発,” 電子通信情報学会第 29 回回路とシステムワークショップ論文集, pp. 19-24, 北九州, 2016. 05. 12.
- [39] 湯本, 小松, “確率的手法を用いた ADC 回路の最適設計とその設計自動化,” 2017 年電子情報通信学会総合大会, C-12-22, 2017 年 3 月.
- [40] 齋藤, 小松, “低電圧動作レベルクロッシング ADC のバックグラウンド校正,” 2017 年電子情報通信学会

- 総合大会, C-12-23, 2017年3月.
- [41] 生方, 小松, “論理合成可能な ADPLL 自動生成フレームワークの構築,” 2017年電子情報通信学会総合大会, C-12-26, 2017年3月.
- [42] 宮澤, 小松, “回路の階層構造を利用したアナログ集積回路のための効率的テスト生成,” 2017年電子情報通信学会総合大会, D-10-4, 2017年3月.
- [43] 疋田亘, 赤井恵, 浅井哲也, 桑原裕司, “溶液内において軸索様成長する PEDOT:PSS の脳型素子への応用,” 第64回応用物理学会春季学術講演会, パシフィコ横浜, (横浜), 2017年3月14-17日.
- [44] 谷端蒼, 牛田実穂, 高前田伸也, 池辺将之, 本村真人, 浅井哲也, “輪郭情報からテクスチャを自動生成する非線形画像処理アルゴリズムとその FPGA 実装,” 電子情報通信学会 ICD/CPSY 学生・若手研究会, 東京工業大学, (東京), 2016年12月15-16日.
- [45] 肥田格, 高前田伸也, 池辺将之, 本村真人, 浅井哲也, “ナイーブベイズ分類器を用いた動的分岐予測器の設計と評価,” 電子情報通信学会 ICD/CPSY 学生・若手研究会, 東京工業大学, (東京), 2016年12月15-16日.
- [46] 島田武, 池辺将之, 付宇喆, 高前田伸也, 本村真人, 浅井哲也, “局所移動平均を用いた補間曲線の性質とその回路応用,” 電子情報通信学会 ICD/CPSY 学生・若手研究会, 東京工業大学, (東京), 2016年12月15-16日.
- [47] 吉田嵩志, 池辺将之, 島田武, 高前田伸也, 本村真人, 浅井哲也, “大局および局所適応型輝度補正技術の効率的なハードウェア化の検討,” 電子情報通信学会 ICD/CPSY 学生・若手研究会, 東京工業大学, (東京), 2016年12月15-16日.
- [48] 横山紗由里, ナソクジン, 内田大輔, 池辺将之, 本村真人, 浅井哲也, “直交位相検出 TDC を用いたシングルスロープ ADC の回路構成検討,” 電子情報通信学会 ICD/CPSY 学生・若手研究会, 東京工業大学, (東京), 2016年12月15-16日.
- [49] 肥田格, 池辺将之, 浅井哲也, 本村真人, “高エネルギー効率プロセッサの実現に向けたナイーブベイズ分類器による動的分岐予測,” 2016年電子情報通信ソサイエティ大会, 北海道大学, (札幌), 2016年9月20-23日.
- [50] 岩丸直登, 池辺将之, 浅井哲也, 本村真人, “視線推定における黒目中心検出処理を行うセルオートマトン LSI アーキテクチャ,” 2016年電子情報通信ソサイエティ大会, 北海道大学, (札幌), 2016年9月20-23日.
- [51] 付宇喆, 池辺将之, 島田武, 浅井哲也, 本村真人, “局所移動平均を用いた除算器の効率的な実装手法,” 2016年電子情報通信ソサイエティ大会, 北海道大学, (札幌), 2016年9月20-23日.
- [52] 草野穂高, 池辺将之, 浅井哲也, 本村真人, “アンチエイリアシングによる UHDTV 向け単一画像超解像の FPGA 実装,” 2016年電子情報通信ソサイエティ大会, 北海道大学, (札幌), 2016年9月20-23日.
- [53] 谷端蒼, 牛田実穂, 池辺将之, 浅井哲也, 本村真人, “無地物体の動き検出のための縞模様形成アーキテクチャ,” 2016年電子情報通信ソサイエティ大会, 北海道大学, (札幌), 2016年9月20-23日.
- [54] 岩丸直登, 池辺将之, 浅井哲也, 本村真人, “黒目中心検出のためのハードウェア指向セルオートマトンモデルとその低電力アーキテクチャ,” 2016年電子情報通信学会 NOLTA ソサイエティ大会, 東京理科大学葛飾キャンパス, (東京), 2016年6月12日.
- [55] 折茂健太郎, 安藤洸太, 植吉晃大, 浅井哲也, 本村真人, “長期時系列予測が可能な順伝播時系列メモリネットワークの FPGA アーキテクチャ,” 電子情報通信学会リコンフィギャラブルシステム研究会, 富士通研究所, (川崎), 2016年5月19-20日.
- [56] 山本佳生, 定久紀基, 浅井哲也, 本村真人, “FPGA による多重ハッシュを用いた類出アイテムセットマイニングのストリームプロセッシング,” 電子情報通信学会リコンフィギャラブルシステム研究会, 富士通研究所, (川崎), 2016年5月19-20日.
- [57] 安藤洸太, 折茂健太郎, 植吉晃大, 浅井哲也, 本村真人, “深層畳込みニューラルネットワークのレイ型並列演算 LSI アーキテクチャ,” LSI とシステムのワークショップ, 東京大学生産技術研究所, (東京), 2016年5月16-17日.
- [58] 折茂健太郎, 安藤洸太, 植吉晃大, 浅井哲也, 本村真人, “時系列予測ニューラルネットワークの FPGA アーキテクチャ,” LSI とシステムのワークショップ, 東京大学生産技術研究所, (東京), 2016年5月16-17日.
- [59] 植吉晃大, 丸亀孝生, 浅井哲也, 本村真人, Schmid A., “並列・スケーラブルな制約付きボルツマンマシンのハードウェア実装におけるメモリエラー耐性評価,” LSI とシステムのワークショップ, 東京大学生産技術研究所, (東京), 2016年5月16-17日.
- [60] 草野穂高, 池辺将之, 浅井哲也, “4K / 8K 解像度向け省メモリ・高速単一画像超解像,” LSI とシステムのワークショップ, 東京大学生産技術研究所, (東京), 2016年5月16-17日.
- [61] 付宇喆, 池辺将之, 浅井哲也, “局所移動平均曲線を用いた低レイテンシ除算器の構成,” LSI とシステムのワークショップ, 東京大学生産技術研究所, (東京), 2016年5月16-17日.
- [62] 丸亀孝生, Schmid A., 植吉晃大, 浅井哲也, “脳信号の異常判定をモチーフとした Deep Learning ハードのエラー耐性解析,” LSI とシステムのワークショップ, 東京大学生産技術研究所, (東京), 2016年5月16-17日.
- [63] 大田一樹, 成瀬雅人, 田井野徹, 康琳, 陳健, 吳培亭, 明連広昭, “単一磁束量子増幅器を用いた超伝導ナノワイヤ単一光子検出器アレイによる光子数検出”, 電子情報通信学会技術研究報告, Vol.116, No.269, pp.43-46, 2016.
- [64] 大田一喜, 成瀬雅人, 田井野徹, Lin Kang, Jian Chen, Peiheng Wu, 明連広昭, “光子数分解能を有する SNSPD 検出器アレイ用 SFQ 増幅回路の動作”, 2017年総合大会講演論文集, C-8-6, 2016年3月.

- [65] 前川晋太郎, 大高俊徳, 浜本隆之, “増幅読み出し回路の選択が可能なイメージセンサ”, 映像情報メディア学会技術報告, vol.40, no.15, pp.25-28(2016)
- [66] 古坂拓朗, 小林 嵩, 浜本隆之, “単位ブロック内で露光制御可能なイメージセンサを用いた明るさ適応撮像方式”, 映像情報メディア学会技術報告, vol.40, no.15, pp.21-24(2016)
- [67] 繁森祥吾, 浜本隆之, “可変蓄積時間イメージセンサを用いた広ダイナミックレンジ環境における視差推定”, 映像情報メディア学会技術報告, vol.40, no.18, pp.1-4(2016)
- [68] 池野理門, “At-speed テスト品質への IR ドロップの影響の評価と解析,” 第 75 回 FTC 研究会, 2016 年 7 月 16 日.
- [69] 山口拓哉奥達哉関根かをり(明治大学) “しきい電圧の温度依存性を低減した等価 MOSFET” 電気学会, 電子・情報・システム部門大会, PS3-10, Aug.2016.
- [70] 山崎大輝関根かをり(明治大学) “弱反転 OTA 回路を用いた PTAT 電流発生回路” 電気学会, 電子回路研究会, ECT-16-109, pp.135-139
- [71] 三屋伸関根かをり和田和千(明治大学)董鋭冰, 原紳介, 渡邊一世, 笠松章史(国立研究開発法人情報通信研究機構) “28 nm FDSOI プロセスを用いた低消費電力低雑音増幅器の設計” 電気学会, 電子回路研究会, ECT-17-016, pp.79-82
- [72] 小宮健人, 関根かをり, 和田和千(明治大学)董鋭冰, 原紳介, 渡邊一世, 笠松章史(国立研究開発法人情報通信研究機構) “28 nm FDSOI プロセス Hybrid MOSFET を用いた低電圧カレントミラーの温度依存性の考察” 電子情報通信学会東京支部学生会第 22 回研究発表会
- [73] 渡辺正之助関根かをり(明治大学) “減算回路を用いた単一出力乗算回路” 電気学会, 全国大会, 3-029, Mar.2017.
- [74] 太田達哉関根かをり(明治大学) “アナログ FIR フィルタに用いる遅延回路における温度補償の検討” 電気学会, 全国大会, 3-030, Mar.2017.
- [75] 奥達也若佐香里(明治大学)前川貴(トレックスセミコンダクター)関根かをり(明治大学) “チップ上の温度検知に PTAT 電圧発生回路を用いたサーマルレギュレーション回路” 電気学会, 電子・情報・システム部門大会, PS3-5, Aug.2016.
- [76] 大里侑生関根かをり(明治大学) “動作領域の異なる MOSFET を用いた周波数変換器の線形性改善” 電気学会, 電子・情報・システム部門大会, PS3-6, Aug.2016. Yuki Osato, Kawori Sekine “Linearity improvement of the Mixer using MOSFETs operating in different regions”
- [77] 網野賢太渡辺正之助関根かをり木谷嘉孝中村遼一郎和田和千中村守里也(明治大学) “28 nm FDSOI プロセスでのアナログ FIR フィルタを用いた 20Gbps 4PAM マルチモードファイバ伝送における歪み補償の電源電圧ばらつきに対する考察” 電気学会, 電子・情報・システム部門大会, PS3-9, Aug.2016.
- [78] 網野賢太渡辺正之助関根かをり中村遼一郎和田和千中村守里也(明治大学) “CMOS インバータ構成の遅延線による多値対応 FIR フィルタ” 電気学会, 電子回路研究会, ECT-17-009, pp.41-45
- [79] 石田浩貴, 田中雅光, 小野貴継, 井上弘士, “単一磁束量子回路を用いたマイクロプロセッサの論理設計と評価,” LSI とシステムのワークショップ, 5 月, 2016.
- [80] 塩見, 石原, 小野寺, “ロジック部およびメモリ部の独立電圧制御によるプロセッサの消費エネルギー最小化,” 情報処理学会研究報告, Vol.2017-SLDM-179 No.15, 2017 年 3 月.
- [81] 岸本, 石原, 小野寺, “回路トポロジー可変なリングオシレータを用いたプロセス変動量と動作温度の推定方法”, 情報処理学会 DA シンポジウム 2016 論文集, pp. 175-180, 2016 年 9 月.
- [82] 塩見, 石原, 小野寺, “広範囲な動作性能領域においてエネルギー最小点追跡を可能にするオンチップメモリ”, 情報処理学会 DA シンポジウム 2016 論文集, pp. 91-96, 2016 年 9 月.
- [83] 保木本, 石原, 小野寺, “プロセッサにおける電源電圧と基板電圧の同時調節によるエネルギー最小点追跡手法”, 情報処理学会 DA シンポジウム 2016 論文集, pp. 169-174, 2016 年 9 月.
- [84] 吉澤, 石原, 小野寺, “組み込みアプリケーションにおける汎用プロセッサと専用ハードウェアの性能解析 - 消費エネルギーと処理速度および回路規模の定量的評価 -”, 情報処理学会 DA シンポジウム 2016 論文集, pp. 103-108, 2016 年 9 月.
- [85] 中井, 業天, イスラム・マーフズル, 小野寺, “リングオシレータを用いたランダムテレグラフノイズの統計解析”, 情報処理学会 DA シンポジウム 2016 論文集, pp. 187-192, 2016 年 9 月.
- [86] 長岡, 石原, 小野寺, “低電圧動作に適したマルチプレクサツリー構成法”, 情報処理学会 DA シンポジウム 2016 論文集, pp. 97-102, 2016 年 9 月.
- [87] 川嶋, 岩垣, 市原, 井上, “精度切り替え可能な演算回路の設計とその応用について,” 機能集積情報システム研究会, FIIS-17-442, pp. 1–7, Mar. 2017.
- [88] 杉野, 市原, 岩垣, 井上, “ストカスティック反復による積和演算アーキテクチャ,” 信学技報(VLD2016-130), Vol. 116, No. 478, pp. 157–162, Mar. 2017.
- [89] T. Iwagaki, K. Itani, H. Ichihara and T. Inoue, “Impact of operational unit binding on aging-induced degradation in high-level synthesis for asynchronous systems,” IEICE Technical Report (DC2016-78), Vol. 116, No. 466, pp. 23–28, Feb. 2017.
- [90] 増子, 小平, “歩留まり改善を考慮した電力削減のための製造後遅延調整手法”, 電子情報通信学会技術研究報告(VLD2016-104), Vol.116, No.478, pp.13-18, 2017 年 3 月.
- [91] 韓在勲, 高木信一, 竹中充, 「貼り合わせ法を用いた

- 高性能 InGaAsP/Si hybrid MOS 型光変調器」, 第 64 回応用物理学会春季学術講演会, 16p-F204-7, パシフィコ横浜, 横浜, 2017 年 3 月 16 日(講演奨励賞受賞記念講演).
- [92] 宍健, 高木信一, 竹中充, 「Monolithic Integration of Ge Photodetector with Amorphous Si Waveguide on the Ge-on-Insulator Substrate」, 第 64 回応用物理学会春季学術講演会, 16a-F204-5, パシフィコ横浜, 横浜, 2017 年 3 月 16 日.
- [93] 武内和治, 韓在勲, 竹中充, 高木信一, 「楕形 PN 接合型 Si 光変調器におけるイオン注入による横方向不純物分布の影響」, 第 77 回応用物理学会秋季学術講演会, 14a-B4-2, 朱鷺メッセ, 新潟, 2016 年 9 月 14 日.
- [94] 朴 珍權, 韓在勲, 竹中充, 高木信一, 「III-V CMOS フォトニクス・プラットフォーム上キャリア注入型 InGaAsP 可変光減衰器」, 第 77 回応用物理学会秋季学術講演会, 14p-B4-3, 朱鷺メッセ, 新潟, 2016 年 9 月 14 日.
- [95] 氏家隆之, 廣本正之, 佐藤高史!“近似的予測戦略に基づく畳み込みニューラルネットワークプロセッサの低電力化”, 第 29 回回路とシステムワークショップ(於北九州国際会議場), pp.13-18, 2016 年 5 月.
- [96] 森田俊平, 辺松, 新谷道広, 廣本正之, 佐藤高史!“代表パス抽出による劣化緩和セル置換箇所の高速な選択手法”, 第 29 回回路とシステムワークショップ(於北九州国際会議場), pp.36-41, 2016 年 5 月.
- [97] 辺松, 新谷道広, 森田俊平, 栗野皓光, 廣本正之, 佐藤高史!“信号確率伝播に基づいたプロセッサのための NBTI 起因最大遅延パスの抽出”, 第 29 回回路とシステムワークショップ(於北九州国際会議場), pp.30-35, 2016 年 5 月.
- [98] 辺松, 新谷道広, 廣本正之, 佐藤高史!“機械学習による経年劣化タイミング解析手法”, 情報処理学会 DA シンポジウム 2016(於石川県加賀市山代温泉ゆのくに天祥), pp.44-49, 2016 年 9 月.
- [99] 三宅哲史, 氏家隆之, 廣本正之, 佐藤高史!“Binarized Neural Network を用いた画像認識ハードウェアの消費エネルギー評価”, 電子情報通信学会ソサイエティ大会(於北海道大学), A-6-1, p.64, 2016 年 9 月.
- [100] 山森聡, 廣本正之, 佐藤高史!“ばらつきを考慮したメモリスタモデルによるニューラルネットワークの学習収束性の評価”, 電子情報通信学会ソサイエティ大会(於北海道大学), C-12-38, p.85, 2016 年 9 月.
- [101] 田中悠貴, 吉永幹, 廣本正之, 佐藤高史!“しきい値電圧ばらつきによる Bistable Ring PUF の応答予測”, 電子情報通信学会ソサイエティ大会(於北海道大学), A-6-3, p.66, 2016 年 9 月.
- [102] 忻瑞德, 森田俊平, 新谷道広, 廣本正之, 佐藤高史!“NBTI によるしきい値電圧変動のストレス確率依存性の評価”, 電子情報通信学会ソサイエティ大会(於北海道大学), A-6-2, p.65, 2016 年 9 月.
- [103] 齊藤成晃, 新谷道広, 廣本正之, 佐藤高史!“有機トランジスタにおける漏れ電流特性のモデル化”, 電子情報通信学会ソサイエティ大会(於北海道大学), C-13-4, p.94, 2016 年 9 月.
- [104] 業天英範, 廣本正之, 佐藤高史!“イジングモデルの FPGA 実装による最大カット問題の求解速度評価”, 第 42 回バルテノン研究会(於東海大学高輪キャンパス), pp.57-62, 2016 年 12 月.
- [105] 氏家隆之, 廣本正之, 佐藤高史!“演算簡略化手法評価のための畳み込みニューラルネットワークの FPGA 実装”, 第 42 回バルテノン研究会(於東海大学高輪キャンパス), pp.51-56, 2016 年 12 月.
- [106] 業天英範, 廣本正之, 佐藤高史!“イジングモデルの FPGA 実装とそれを用いたスピン更新方法の検討”, 電子情報通信学会総合大会基礎・境界講演論文集(於名城大学), A-1-26, p.26, 2017 年 3 月.
- [107] 荒井祐真, 渡邊智希, 澤田和直, 島田宏, 水柿義直, “SFQ-D/A 変換器で用いる SFQ パルス繰り返し周波数の向上,” 2016 年第 77 回応用物理学会秋季学術講演会, 2016 年 9 月.
- [108] 増田豊, 尾上孝雄, 橋本昌宜, “低電圧・長寿命動作に向けたクリティカルパス・アイソレーション手法,” 情報処理学会 DA シンポジウム, September 2016.
- [109] 佐藤雅紘, 増田豊, 飯塚翔一, 尾上孝雄, 橋本昌宜, “確率的回路寿命予測手法の計算安定性と確率取り扱の妥当性に関する考察,” 情報処理学会 DA シンポジウム, September 2016.
- [110] 橋本昌宜, “超低電圧 SRAM のソフトエラー耐性 (Invited),” 電子情報通信学会集積回路研究会, no. ICD2016-22, pp. 53-58, August 2016.
- [111] 淡野公一, 真子翔太, ザイスルアビディン, 田村宏樹, 外山貴子, “高同相除去比, 広帯域計装アンプ”, 第 30 回多値論理とその応用研究会, 2017 年 1 月.
- [112] 薬師寺勇健, 宮内亮一, 外山貴子, 田村宏樹, 淡野公一, “カーボンナノチューブ FET のアナログ回路設計モデルに関する検討”, 第 69 回電気・情報関係学会九州支部連合大会, 01-2A-01, 2016 年 9 月.
- [113] 谷口 滋, 宮内亮一, 外山貴子, 田村宏樹, 淡野公一, “ネステッドチョッパ技術を用いた計装アンプにおけるチョッピングクロック周波数に関する一考察”, 第 69 回電気・情報関係学会九州支部連合大会, 01-2A-02, 2016 年 9 月.
- [114] 小平涼太, 今村公紀, 宮内亮一, 田村宏樹, 外山貴子, 淡野公一, “CMOS インバータを用いたデジタル制御型可変 Gm 完全差動 OTA の設計”, 第 24 回電子情報通信学会九州支部学生会講演会, A-03, 2016 年 9 月.
- [115] 日高大樹, 宮内亮一, 田村宏樹, 外山貴子, 淡野公一, “完全平衡差動差分増幅器のための同相帰還回路に関する一考察”, 第 24 回電子情報通信学会九州支部学生会講演会, A-04, 2016 年 9 月.
- [116] 生島恵典, 古我祐貴, 堀賢将, 松田時宜, 木村睦, 亀田友哉, 中島康彦, Ga-Sn-O 薄膜をシナプスに用いたニューラルネットワーク, 第 64 回応用物理学会春季学術講演会, 16a-502-1, 2017 年 3 月

- [117] 木村陸, 森田竜平, 杉崎澄生, 松田時宜, 亀田友哉, 中島康彦, 薄膜デバイスと簡略化エレメントを用いたセルラニューラルネットワーク, 電子情報通信学会 2016 年ソサイエティ大会, C-9-9, pp. 33, 2016 年 9 月
- [118] 木村陸, 亀田友哉, 中島康彦, アナログセルラニューラルネットワークを用いる脳型集積回路のデバイス開発, LSI とシステムのワークショップ 2016「IoTx 人工知能による人類の飛躍に向けた LSI とシステム」, 2016 年 5 月
- [119] 亀田友哉, 木村陸, 中島康彦, アナログセルラニューラルネットワークを用いる脳型集積回路のモデリング手法, LSI とシステムのワークショップ 2016「IoTx 人工知能による人類の飛躍に向けた LSI とシステム」, 2016 年 5 月
- [120] 井上泰佑, 勇正大, 松岡俊匡, “非接触給電・液中微粒子操作チップのための電源電圧センサの設計,” 平成 28 年電気関係学会関西連合大会, P-22, 2016 年 11 月.
- [121] 今柳田, 大島, “TDC の高分解能, 低電力化に関する検討”, 電気学会九州支部沖縄支所講演会, 2016 年 12 月.
- [122] 室屋, 大島, “電圧領域アナログと時間領域アナログに関する考察”, 電気学会九州支部沖縄支所講演会, 2016 年 12 月.
- [123] 邵晨鐘, 田中秀治, 室山真徳, “マルチセンサプラットフォーム用マルチポイントバス接続型シングルエンド通信方法の提案,” 平成 29 年電気学会全国大会, 3-013, pp.19-20, 2017.
- [124] 浅野翔, 室山真徳, 中山貴裕, 畑良幸, 野々村裕, 田中秀治, “高荷重応用を目的とした厚膜ダイアフラムとストップ構造をもつ CMOS-on-LTCC 集積化 3 軸触覚センサの開発,” 第 7 回集積化 MEMS シンポジウム, 26am1-D-5, pp. 1-4, 2016.
- [125] 田中, 中村, 魏 “法 2n-1 上の剰余 CSD 数表現と剰余 SD 数乗算への適用,” 第 29 回回路とシステムワークショップ, pp.231-236, 2016 年 5 月.
- [126] 石川, 田中, 魏, “新しい剰余 SD 数加算アルゴリズムと RSA 暗号処理への応用,” 信学技報 VLD2016-92, pp.147-152, 2017 年 1 月.
- [127] 横島直樹, 安永守利, “ビットパルスに基づくタ損失配線の信号品質改善手法,” 第 60 回機能集積情報システム研究会, 信学技報 (FIIS2015), No.423 (6 ページ), 千葉大学, 2016 年 6 月 27 日
- [128] 安永守利, “機械学習を用いたシグナルインテグリティ向上設計手法,” 第 31 回エレクトロニクス実装学会春季講演大会, pp.283 -286(8A3-1), 慶応大学, 2017
- [129] 高橋克樹, 木原崇雄, 吉村勉, “デジタル RF 受信機向け帯域外妨害波を除去する低雑音増幅器”, 2016 年電子情報通信学会ソサイエティ大会, C-12-35, 北海道大学, 2016 年 9 月.
- [130] 宮腰佳祐, 吉尾恒洋, 高橋知也, 木原崇雄, 吉村勉, “時間インターリーブ A/D 変換器における 3 次高調波歪みの低減手法”, 2017 年電子情報通信学会総合大会, 名城大学, 2017 年 3 月.
- [131] 吉尾恒洋, 木原崇雄, 吉村勉, “プライオリティエンコードを用いた VCO A/D 変換器”, 2017 年電子情報通信学会総合大会, 名城大学, 2017 年 3 月.
- [132] 村田敏規, 高橋克樹, 木原崇雄, 吉村勉, “差動低雑音増幅器と差動電力増幅器におけるバランの共有化”, 2017 年電子情報通信学会総合大会, 名城大学, 2017 年 3 月.
- [133] 矢野裕之, 高橋知也, 木原崇雄, 吉村勉, “時間インターリーブ A/D 変換器を用いたデジタル RF 受信機における CIC フィルタの設計”, 2017 年電子情報通信学会総合大会, 名城大学, 2017 年 3 月.
- [134] Takao Kihara, Shigesato Matsuda, Tsutomu Yoshimura, “Design Considerations of CMOS Differential LNAs with On-Chip Transformers”, 2016 年電子情報通信学会ソサイエティ大会, C-12-33, 北海道大学, 2016 年 9 月.
- [135] 鬼頭信貴, 高木一義, 高木直史, “SFQ デジタル回路のための配線長マッチングを考慮した高速配線法,” 電子情報通信学会 2016 年電子情報通信ソサイエティ大会 C-8-2, 2016 年 9 月.
- [136] 鬼頭信貴, 高木一義, 高木直史, “配線長マッチングを考慮した自動配置による RSFQ 回路のレイアウト面積削減”, 電子情報通信学会 2017 年総合大会 C-8-1, 2017 年 3 月.
- [137] Kotaro Wada, Shota Hino, and Yoshihiro Masui, “ $\Delta\Sigma$ Analog-to-Digital Converter for Sensor network,” The 4th Education and Research Workshop of Electronic Devices, Circuits, Illuminations, and System, Nov. 2016.
- [138] 金阪遼, 池田仁志, 升井義博, “エネルギーハーベストのための参照電源回路の研究,” 第 4 回電子デバイス・回路・照明・システム関連教育・研究ワークショップ, 2016 年 11 月
- [139] 成田博昭, 日野翔太, 和田康太郎, 向井のり子, 升井義博, “自動レイアウトツールを用いた 5bit フラッシュ型 AD 変換器,” 第 4 回電子デバイス・回路・照明・システム関連教育・研究ワークショップ, 2016 年 11 月
- [140] 谷岡正陽, 前原俊介, 升井義博, “CMOS ダイオードを利用した低電圧用多相整流回路,” 第 4 回電子デバイス・回路・照明・システム関連教育・研究ワークショップ, 2016 年 11 月
- [141] 岩本好広, 山口賢一, “高位情報を利用したテスト容易化設計指標の解析”, 電子情報通信学会関西支部第 22 回学生会研究発表講演会, A3-3, 2017 年 3 月
- [142] 本田祥己, 山口賢一, “大規模回路における冗長判定のための特徴点抽出”, 電子情報通信学会関西支部第 22 回学生会研究発表講演会, A3-4, 2017 年 3 月
- [143] 吉川大和, 山口賢一, “面積増加によるハードウェア Troi 検出可能性の評価”, 電子情報通信学会関西支

- 部第 22 回学生会研究発表講演会, A3-2, 2017 年 3 月
- [144] 原一彰, 山口賢一, “機能構造テスト系列圧縮による出荷テスト品質向上”, 電子情報通信学会関西支部第 22 回学生会研究発表講演会, A4-1, 2017 年 3 月
- [145] 石坂守, 山口賢一, 岩田大志, “非同期スキャン設計でテスト時間 O(1)を実現するスキャン C 素子の提案”, 電子情報通信学会関西支部第 22 回学生会研究発表講演会, A4-2, 2017 年 3 月
- [146] 石坂守, 山口賢一, 岩田大志, “Scan Path Test Method Using Scan C-element for Asynchronous Circuits”, IWEEE, A-3, 2016 年 7 月
- [147] 石坂守, 山口賢一, 岩田大志, “非同期スキャン設計で用いるテスト時間を削減する新たなスキャン C 素子の考案”, 2017 年電子情報通信学会総合大会, D10-2, 2017 年 3 月
- [148] 石坂守, 山口賢一, “機能構造テスト系列圧縮に対する系列分割条件”, 2017 年電子情報通信学会総合大会, D10-1, 2017 年 3 月
- [149] 亀田友哉, 木村睦, 中島康彦! “酸化化物半導体シナプス素子を用いた自己学習アナログ型ホップフィールドネットワーク”, 信学技報, vol.116, no.240, CPSY2016-41, pp.1-2, Oct. (2016)
- [150] 下川賢士, 伊藤圭汰, 宇野正真, 後藤竜也, 銭正ヨウ, 竹澤好樹, 西野悟, 清山浩司, 田中徹, “多機能統合生体情報処理システムの設計と評価”, 第 64 回応用物理学会春季学術講演会, p. 11-469, March 2017.
- [151] 竹澤好樹, 伊藤圭汰, 宇野正真, 後藤竜也, 西野悟, 清山浩司, 田中徹, “矩形波電流源を用いた生体用インピーダンス分布計測システムの設計と評価”, 第 77 回応用物理学会秋季学術講演会, p. 11-413, September 2016.
- [152] 竹澤好樹, 伊藤圭汰, 宇野正真, 後藤竜也, 下川賢士, 銭正ヨウ, 西野悟, 清山浩司, 田中徹, “矩形波電流源を用いた生体用インピーダンス分布計測システムの設計と評価: 低消費電力化の検討”, 第 64 回応用物理学会春季学術講演会, p. 11-299, March 2017.
- [153] 森川拓実, 原島卓也, 木野久志, 福島誉史, 田中徹, “光ファイバ埋め込みシリコンオプト神経プローブの刺入特性評価”, 第 77 回応用物理学会秋季学術講演会, p. 11-416, September 2016.
- [154] 山之内圭祐, 西野悟, 清山浩司, 田中徹, “集積化脳神経プローブ向け CMOS リファレンス回路の一考察”, 平成 28 年度(第 24 回)電子情報通信学会九州支部学生会講演会, p. C-19, September 2016.
- [155] 西野悟, 伊藤圭汰, 竹澤好樹, 下川賢士, 後藤竜也, 宇野正真, 木野久志, 田中徹, 清山浩司, “集積化脳神経プローブシステムの過熱保護用温度検出回路の一考察”, 平成 28 年度(第 69 回)電気・情報関係学会九州支部連合大会, p. 256, September 2016.
- [156] 下川賢士, 後藤大輝, 木野久志, 福島誉史, 田中徹, “網膜下刺激人工網膜における AZO 透明刺激電極の基礎評価”, 第 77 回応用物理学会秋季学術講演会, p. 11-408, September 2016.
- [157] 菅原陽平, 木野久志, 福島誉史, 李康旭, 小柳光正, 田中徹, “マルチウェル構造 TSV を用いた TSV 側壁 Si-SiO₂ 界面準位の評価”, 第 77 回応用物理学会秋季学術講演会, p. 12-340, September 2016.
- [158] \$ B > e 7 n ! ! = Y ! ” E g ! ! 7 r ! ” (B O R I G A M I \$ B H / ? 6 2 s O) \$ N H / ? 6 % b ! < % I \$ K 4 X \$ 9 \$ k < B 8 3 J s 9 p ! ” E E 5 \$ 3 X 2 q E E ; R 2 s O) 8 & 5 f 2 q ! ” (B 2 0 1 7 \$ B G / (B 1 \$ B 7 n (B 1 9 \$ B F ! ” B g L 6 E D > & 9) 2 q 5 D = j (B
- [159] 出町, 岩田, 松田, “積層型 3 次元 IC チップ内の温度分布解析”, 電気関係学会北陸支部連合大会, 2016 年 9 月.
- [160] 牧野, 岩田, 松田, 水島, 小幡, “多チャンネル静電容量型圧力センサ用 LSI の開発”, 電気関係学会北陸支部連合大会, 2016 年 9 月.
- [161] 鈴木, 岩田, 松田, “リングオシレータを用いた MOS 特性評価回路の設計”, 電気関係学会北陸支部連合大会, 2016 年 9 月.
- [162] 田中, 吉河, “電圧モードドライバにおける出力インピーダンス調整用オペアンプに関する検討”, 2017 年電子情報通信学会 総合大会, C-12-15
- [163] 山崎, 宇賀神, “負性抵抗型 3 相 LC 電圧制御発振回路の研究”, 2017 年電子情報通信学会東京支部学生会第 22 回研究発表会, 2017 年 3 月
- [164] 松本, 宇賀神, “3 相複素バンドパスフィルタの帯域可変制御の検討”, 2017 年電子情報通信学会東京支部学生会第 22 回研究発表会, 2017 年 3 月
- [165] 内田, 宇賀神, “3 相信号周波数変換における折り返しノイズ低減法の検討”, 2017 年電子情報通信学会東京支部学生会第 22 回研究発表会. 2017 年 3 月
- [166] 有村, 東原, “高精度直交変調器に用いるデュアル LO スwitching 型直交ミキサの設計及び解析”, 電気学会電子回路研究会, ECT-17-031, pp.9-13, 2017 年 3 月.
- [167] 荒内航貴, 森本安紀, 作田健, 植村宙夢, 香田夏幸, 岸根桂路: FPGA を用いた FIR フィルタによる脈拍センサ信号の雑音除去 2017 年 3 月 22 日 -25 日(愛知), 電子情報通信学会総合大会
- [168] 香田夏幸, 古市康祐, 植村宙夢, 荒内航貴, 野村幸平, 岸根桂路: ラベリング信号伝送システムにおける受信回路高速化の検討 2017 年 3 月 22 日 -25 日(愛知), 電子情報通信学会総合大会
- [169] 野村幸平, 植村宙夢, 古市康祐, 岸根桂路: FPGA によるフレーム信号変調システムの検討 2017 年 3 月 22 日 -25 日(愛知), 電子情報通信学会総合大会
- [170] 野口凌輔, 岸根桂路, 古市康祐, 植村宙夢, 桂井宏明・中野慎介・野坂秀之・野野正史(NTT): 25-Gb/s CDR の低消費電力化を目指した D-FF の比較検討 2017 年 3 月 22 日 -25 日(愛知), 電子情報通信学会総合大会
- [171] 野村幸平, 植村宙夢, 古市康祐, 岸根桂路: FPGA を用いた変調回路に関する検討 2016 年 11 月 22 日 -23 日(大阪), 電気関係学会関西連合大会

- [172] 荒内航貴, 森本安紀, 作田建, 岸根桂路: FPGA を用いた FIR フィルタによる生体センサ信号の雑音除去の検討 2016年11月22日-23日(大阪), 電気関係学会関西連合大会
- [173] 寺本慎也, 古市康祐, 植村宙夢, 岸根桂路: エンファシス回路によるハーフレート識別回路の広帯域化に関する検討 2016年11月22日-23日(大阪), 電気関係学会関西連合大会
- [174] 脇田幸典, 池辺将之, Arnold Stevanus, 尾辻泰一, 瀧田佑馬, 南出泰亜, 佐野栄一, “180 nm CMOS プロセスを用いたテラヘルツ検出器の設計と評価,” 電子情報通信学会電子デバイス研究会(東北大学, 仙台市), 信学技報, ED2016-83, pp. 17-22, 2016年12月19日.
- [175] 脇田幸典, 佐野栄一, 池辺将之, Arnold Stevanus, 尾辻泰一, 瀧田佑馬, 南出泰亜, “CMOS テラヘルツイメージング回路の設計と評価,” 映像情報メディア学会研究会(中央電気倶楽部, 大阪市), 2016年8月1日.
- [176] 脇田幸典, 佐野栄一, 池辺将之, Arnold Stevanus, 尾辻泰一, 瀧田佑馬, 南出泰亜, “CMOS テラヘルツ検出器の設計と評価,” 電子情報通信学会テラヘルツ応用システム研究会(情報通信研究機構, 東京都小金井市), 2016年7月15日.
- [177] 脇田幸典, 佐野栄一, 池辺将之, Arnold Stevanus, 尾辻泰一, 瀧田佑馬, 南出泰亜, “CMOS テラヘルツイメージングアレイの設計と評価,” LSI とシステムのワークショップ2016(東京大学生産技術研究所, 東京), 2016年5月16日.
- [178] 平松正太, 脇田幸典, 池辺将之, 佐野栄一, “テラヘルツイメージセンサ用スロットアンテナの設計,” 2017 信学会総合大会(名城大学, 名古屋), 2017年3月22日.
- [179] 平松正太, 吉川知秀, 池辺将之, 佐野栄一, “2.4 GHz ウェイクアップ受信機の設計と評価,” 2016 信学会ソサイエティ大会(北海道大学, 札幌), 2016年9月23日.
- [180] 脇田幸典, 池辺将之, Arnold Stevanus, 尾辻泰一, 瀧田佑馬, 南出泰亜, 佐野栄一, “CMOS テラヘルツ検出器の設計と評価,” 2016 信学会ソサイエティ大会(北海道大学, 札幌), 2016年9月21日.
- [181] 佐藤諒, 安藤友紀, 田中雅光, 藤巻朗, 高木一義, and 高木直史, “高機能単一磁束量子マイクロプロセッサとランダムアクセスメモリのオンチップ実装,” in 電子情報通信学会技術研究報告, 東京, 2016, vol. 116, pp. 25–30.
- [182] 畑中湧貴, 佐藤諒, 田中雅光, and 藤巻朗, “アンシャント接合を用いた低電圧単一磁束量子回路の動作実証,” in 電子情報通信学会技術研究報告, 東京, 2016, vol. 116, pp. 19–24.
- [183] 内藤亮介, 神谷恭平, 上阪岬, 田中雅光, and 藤巻朗, “直列接続超伝導細線検出器アレイの SFQ 読み出しとデジタル信号処理,” in 電子情報通信学会技術研究報告, さいたま市, 2016, vol. 116, pp. 45–50.
- [184] 谷口壮耶, 伊藤大, 田中雅光, 赤池宏之, and 藤巻朗, “磁性体を用いた二線式 SFQ 回路に基づくルックアップテーブルの評価,” presented at the 第77 回応用物理学会秋季学術講演会, 新潟市, 2016, p. 15p–D61–11.
- [185] 佐藤諒 et al., “プログラム実行のための最小構成単一磁束量子マイクロプロセッサ CORE e2 の試作と評価,” presented at the 電子情報通信学会 2016 年ソサイエティ大会, 札幌市, 2016, p. C-8-7.
- [186] 畑中湧貴, 佐藤諒, 田中雅光, 赤池宏之, and 藤巻朗, “アンシャント接合を用いた高エネルギー効率高速単一磁束量子回路,” presented at the 電子情報通信学会 2016 年ソサイエティ大会, 札幌市, 2016, p. C-8-8.
- [187] 藤巻朗, 神谷恭平, 内藤亮介, 上阪岬, 田中雅光, and 赤池宏之, “100 万画素中性子イメージングに向けた超伝導細線検出器アレイと単一磁束量子読み出し回路の開発,” presented at the 電子情報通信学会 2016 年ソサイエティ大会, 札幌市, 2016, p. C-8-6.
- [188] 神谷恭平 et al., “2 次元直列接続超伝導細線検出器アレイによるイメージセンシングシステムの構築,” in 電子情報通信学会技術研究報告, 仙台市, 2016, vol. 116, pp. 53–58.
- [189] 佐藤諒 et al., “プログラム実行のための最小構成単一磁束量子マイクロプロセッサ CORE e2 の高周波動作評価,” presented at the 第64 回応用物理学会春季学術講演会, 横浜市, 2017, p. 15p–316–12.
- [190] 岩下颯斗, 神谷恭平, 田中雅光, Bozbey A., 赤池宏之, and 藤巻朗, “超伝導ストリップライン検出器における読み出し回路の評価,” presented at the 第64 回応用物理学会春季学術講演会, 横浜市, 2017, p. 15p–316–6.
- [191] 谷口壮耶, 伊藤大, 栗原卓也, 田中雅光, 赤池宏之, and 藤巻朗, “磁性体を用いた単一磁束量子ルックアップテーブルの高速動作実証,” presented at the 第64 回応用物理学会春季学術講演会, 横浜市, 2017, p. 15p–316–1.
- [192] 佐藤諒 et al., “50 GHz 動作を目指した単一磁束量子並列算術論理演算回路,” in 電子情報通信学会総合大会講演論文集, 名古屋市, 2017, p. C-8-2.
- [193] 畑中湧貴, 田中雅光, 赤池宏之, and 藤巻朗, “アドバンストプロセスにおける超伝導受動伝送線路の細線化,” in 電子情報通信学会総合大会講演論文集, 名古屋市, 2017, p. C-8-3.
- [194] 稲垣, 松谷, “サイクリック型 TDC の検討,” 電子回路研究会資料, ECT-016-079, 電気学会, 2016年10月
- [195] 井口裕貴, 榎田洋太郎, 小澤佑介, “D 級増幅器における非線形符号間干渉のシミュレーション評価,” 2017 年電子情報通信学会総合大会, C-2-17, 2017年3月.
- [196] 酒井 涼, 榎田洋太郎, 小澤佑介, “直交偏波を用いた直交変調型包絡線パルス幅変調送信方式の検討,” 信学技報, vol. 116, no. 486, MW2016-204, pp. 89-94, 2017年3月.

- [197] 松田航平, 三浦典之, 永田真, 林優一, 藤井達哉, 崎山一男, “基板電流検知回路を用いたレーザーフォールト注入攻撃対策のオーバーヘッド推定,” 電子情報通信学会総合大会, AS-3-13, pp. S-38, 2017.3.25.
- [198] 田中廉大, 三浦典之, 永田真, “近接電磁波解析攻撃センサの高感度化手法の提案とその評価,” 電子情報通信学会総合大会, AS-3-12, pp. S-37, 2017.3.25.
- [199] 山本直也, 月岡暉裕, 是永梨絵, 三浦典之, 永田真, “暗号モジュール搭載 VLSI チップの電源ノイズシミュレーション,” 電子情報通信学会総合大会, AS-3-6, pp. S-28, 2017.3.25.
- [200] 田中廉大, 三浦典之, 永田真, “近接電磁波解析攻撃に対する高感度プローブセンサの設計と検出性能の解析,” 2017 年暗号と情報セキュリティシンポジウム (SCIS2017), 3C3-4, 2017.1.26.
- [201] 荒賀佑樹, 永田真, 三浦典之, 池田博明, 菊地克弥, “TSV を用いた三次元実装 LSI の電源配線における EMI 特性,” 電子情報通信学会技術報告 ICD2016-39, 11-16, 2016.11.29.
- [202] 吉田弘樹, 三浦典之, 永田真, “FPGA 実装した暗号コアからの情報漏洩量と放射電磁ノイズ量の相関評価,” 電子情報通信学会ソサイエティ大会, B-4-51, pp. 259, 2016.9.22.
- [203] 澤田凌兵, 三浦典之, 永田真, “IC チップにおける電源ノイズのオンチップ測定及びオンボード測定,” 電子情報通信学会ソサイエティ大会, B-4-48, pp. 256, 2016.9.22.
- [204] 松田航平, 三浦典之, 永田真, 林優一, 藤井達哉, 崎山一男, “基板電位変動モニタリングによるレーザーフォールト注入攻撃対策,” 電子情報通信学会ソサイエティ大会, A-7-11, pp. 89, 2016.9.21.
- [205] 後藤, 山田, 汐崎, 久保田, 藤野, “サイドチャンネル対策 Dual-Rail ROM における Geometric Leak の評価,” 2017 年電子情報通信学会総合大会, 2017 年 3 月.
- [206] 山田, 後藤, 汐崎, 久保田, 藤野, “微小サイドチャンネルリーク の測定評価のための電磁界プローブの配置特性最適化”, SCIS 2017, 2017 年 1 月.
- [207] 村岸, 久保田, 汐崎, 藤野, “車載応用へ向けた MDR-ROM PUF の評価と ECU 鍵交換プロトコルの提案”, SCIS 2017, 2017 年 1 月.
- [208] 山田, 汐崎, 久保田, 藤野, “サイドチャンネル攻撃における脆弱性評価指標と攻撃可能波形数の関係に対する考察”, LSI とシステムのワークショップ, 2016 年 5 月.
- [209] 名倉, 大倉, 白畑, 汐崎, 久保田, 藤野, “CMOS イメージセンサの製造ばらつきを用いた PUF 技術の基本検討”, LSI とシステムのワークショップ, 2016 年 5 月.
- [210] 辻, 廣瀬, 尾崎, 浅野, 小國, 黒木, 沼, “極低入力電圧を昇圧するチャージポンプ回路の設計,” 第 29 回回路とシステムワークショップ, pp. 301-306, 2016 年 5 月.
- [211] 浅野, 廣瀬, 三好, 椿, 尾崎, 黒木, 沼, “間欠動作型 VLSI システムに向けた高速起動可能な 32-MHz フルオンチップ弛張発振器,” LSI とシステムのワークショップ 2016, ps-12, 2015 年 5 月.
- [212] 浅野, 廣瀬, 三好, 椿, 尾崎, 黒木, 沼, “高速起動を特徴とした間欠動作型 VLSI システム用 32-MHz オンチップクロック源回路,” 電子情報通信学会集積回路研究専門委員会集積回路研究会, pp. 3-8, 2016 年 8 月.
- [213] 浅野, 廣瀬, 三好, 椿, 尾崎, 黒木, 沼, “1 マイクロ秒以内の高速起動を特徴とする高精度 32-MHz 弛張発振器,” 平成 28 年度 VDEC デザイナーズフォーラム, 2016 年 8 月.
- [214] 佐藤, 廣瀬, 尾崎, 浅野, 黒木, 沼, “超低電力・環境発電デバイスに向けた最大発電量予測システム,” 電子情報通信学会集積回路研究専門委員会集積回路研究会学生・若手研究会, 2016 年 12 月.
- [215] 竹川, 廣瀬, 尾崎, 浅野, 黒木, 沼, “適応バイアス技術を用いた低電流・高速スイッチトキャパシタ型増幅回路,” 電子情報通信学会集積回路研究専門委員会集積回路研究会学生・若手研究会, 2016 年 12 月.
- [216] 浅野, 廣瀬, 椿, 三好, 尾崎, 黒木, 沼, “時間計測アプリケーションに向けた超低電力フルオンチップ電流比較型 RC 発振器,” 電子情報通信学会集積回路研究専門委員会集積回路研究会, pp. 81-86, 2017 年 1 月.
- [217] 長名保範, 坂本洋平, 松田紘作, 大久保慎也!“CPU-FPGA 混在クラスタにおけるリモート部分再構成の初期性能評価”, 電子情報通信学会. RECONF2016-110. 横浜. Jan.2017.
- [218] 坂本洋平, 松田紘作, 大久保慎也, 長名保範!“部分再構成による CPU-FPGA 混在クラスタの実現へむけた研究”, 電子情報通信学会. RECONF2016-35. 富山. Sep.2016.
- [219] 高橋卓人, 杉本俊貴, 谷本洋, 吉澤真吾, “偶高調波ミキサと $\Delta\Sigma$ -TDC を用いたダウンコンバーティング AD 変換器の提案,” 電気学会電子回路研究会資料, ECT-016-090, Dec. 2016.
- [220] 鈴木優太, 谷本洋, 吉澤真吾, “平衡型偶高調波ミキサの IM3 の LO 駆動波形依存性,” 電気関係学会北海道支部連合大会講演論文集, pp. 7, Nov. 2016.
- [221] 高橋卓人, 谷本洋, 吉澤真吾, “偶高調波ミキサと $\Delta\Sigma$ -TDC を用いたダウンコンバーティング ADC の提案,” 電気関係学会北海道支部連合大会講演論文集, pp. 8-9, Nov. 2016.
- [222] 北田昂成, 谷本洋, 吉澤真吾, “CMOS インバータを用いた差動型偶高調波ミキサの時間変換特性の検討,” 電気関係学会北海道支部連合大会講演論文集, pp. 10, Nov. 2016.
- [223] 杉本俊貴, 谷本洋, 吉澤真吾, “確率的フラッシュ AD 変換器のための比較器設計,” 電気関係学会北海道支部連合大会講演論文集, pp. 11, Nov. 2016.
- [224] 鈴木優太, 杉本俊貴, 谷本洋, 吉澤真吾, “高調波抑圧型偶高調波ダウンコンバータ,” 電気学会電子回路研究会資料, ECT-16-080, Oct. 2016.

- [225] 豊嶋太樹, 黒川敦, 今井雅, “ランダム遅延素子を用いた耐タンパ非同期式パイプライン回路,” 電子情報通信学会技術研究報告 VLD2016-40, pp.185-190, Jun., 2016
- [226] 今井雅, 米田友洋, “多数決イネーブルラッチを用いた非同期式回路の耐故障性に関する一検討,” 電子情報通信学会技術研究報告 VLD2016-39, pp.179-184, Jun., 2016
- [227] 稲葉光太郎, 今井雅, “非同期式回路に対するハードウェアトロイ挿入に関する一考察,” ハードウェアセキュリティフォーラム 2016 ポスター発表, Dec., 2016
- [228] 石川達也, 金本俊幾, 今井雅, “ハンドシェイク回路多重化による低ノイズ非同期式回路の実現,” 情報処理学会東北支部研究報告 Vol.2016-6 No.B1-3, Feb., 2017
- [229] 田近龍平, 金本俊幾, 今井雅, “低電圧環境における高性能非同期式回路の実現,” 情報処理学会東北支部研究報告 Vol.2016-6 No.B1-4, Feb., 2017
- [230] 稲葉光太郎, 金本俊幾, 黒川敦, 今井雅, “非同期式 NoC ルータへのハードウェアトロイ挿入に関する研究,” 電子情報通信学会総合大会 A-7-1, pp.82, Mar., 2017
- [231] 杉山, 平谷, 早川, 福原, “ハミング距離検索機能付き CAROM の組み込み機器への実装の検討”, 情報処理学会組み込みシステム研究会(EMB)第41回研究会, 2016年6月.
- [232] 恩地, 藏野, 杉山, 平谷, 福原, “ハミング距離検索機能付き CAROM のレイアウト設計”, 電子情報通信学会東京支部学生会第22回研究発表会, 2017年3月.
- [233] 恩地, 藏野, 杉山, 平谷, 福原, “ハミング距離検索機能付き CAROM のチップ試作と測定”, 2017年電子情報通信学会総合大会, 2017年3月.
- [234] 山口正登志, 田向権, 鈴木秀幸, 森江隆, “カオスポルツマンマシンのアナログ集積回路実装”, 電子情報通信学会総合大会, DS-2-2, 情報・システム講演論文集 1, pp. S-21-22, 2017年3月.
- [235] 谷村大志, “共有電圧波形のサンプリングによるニューラルネット学習回路”, VDEC デザイナーズフォーラム 2016, デザインアワード・アイデアコンテスト部門, 2016年8月
- [236] 吉見, 齋藤, “東データ方式による非同期式回路の遅延調整に関する考察”, 研究報告システムとLSIの設計技術, 2016-SLDM-176(4), pp.1-6, 2016.
- [237] 春海 豪, 西勝 聡, 峯村亮佑, 發出祐基, 松尾 遥, 安田 彰! デジタル直接駆動スピーカにおける回路規模削減手法, 電子情報通信学会ソサエティ大会, A-1-12, 9月, 2016年, (北海道札幌市)
- [238] 吉田知朗, 西勝 聡, 星野裕也, 吉野理貴, 安田 彰, 山下喜一: AB 級出力段に用いる CMFB 機能を有する V-I 変換レベルシフタの性能評価, 電子情報通信学会ソサエティ大会, A-1-13, 9月, 2016年, (北海道札幌市).
- [239] 峯村亮佑, 西勝 聡, 春海 豪, 發出祐基, 松尾 遥, 安田 彰: フィードフォワード型ジッタシェーピング $\Delta\Sigma$ DAC, 電子情報通信学会ソサエティ大会, A-1-14, 9月, 2016年, (北海道札幌市).
- [240] 赤松雄貴, 嘉藤貴博, 松尾 遥, 曾我美泰隆, 安田 彰, 吉野理貴: 遅延素子バラツキを考慮した TDC の変換誤差低減に関する研究, 電子情報通信学会ソサエティ大会, A-1-15, 9月, 2016年, (北海道札幌市).
- [241] 曾我美泰隆, 松尾 遥, 安田 彰, 吉野理貴: デジタル直接駆動型スピーカの振幅制御による指向性向上, 電子情報通信学会ソサエティ大会, A-1-18, 9月, 2016年, (北海道札幌市).
- [242] 星野裕也, 安田 彰, 山下喜市, 吉田知朗, 吉野理貴: アクティブインダクタの高 Q 値化に関する研究, 電子情報通信学会ソサエティ大会, A-1-25, 9月, 2016年, (北海道札幌市).
- [243] 佐々木翔一郎, 吉野理貴, 安田 彰: パルス複製回路を用いたマルチビット $\Delta\Sigma$ TDC, 電子情報通信学会ソサエティ大会, C-12-23, 9月, 2016年, (北海道札幌市).
- [244] 西村信耶, 吉村彰人, 野田俊彦, 寺澤靖雄, 中野由香梨, 春田牧人, 笹川清隆, 徳田崇, 太田淳, “人工視覚システム用 CMOS チップ内蔵網膜刺激電極の実装工程最適化と機能検証,” H29 年電気学会全国大会, 2017年3月.
- [245] 石津岳明, 岩崎聡, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “干渉フィルタを搭載した生体埋植型蛍光観察用デバイス用 LED 光源,” H29 年電気学会全国大会, 2017年3月.
- [246] 宮崎駿佑, 中塚篤志, 中野百恵, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 西山靖浩, 垣内喜代三, 太田淳, “マイクロリアクタ向け不斉分析用偏光分析 CMOS イメージセンサの消光性能向上,” H29 年電気学会全国大会, 2017年3月.
- [247] 山口貴大, 須永圭紀, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “無機固体素子を用いたフィルム状脳内埋植用フレキシブルデバイスの開発,” H29 年電気学会全国大会, 2017年3月.
- [248] 池田齊仁, 竹原浩成, 中本悠太, 春田牧人, 野田俊彦, 笹川清隆, 太田淳, “ライトパイプアレイ搭載 CMOS イメージセンサを用いた微小液滴チャンバーの蛍光観察,” H29 年電気学会全国大会, 2017年3月.
- [249] 藤本 光輝, 春田 牧人, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, “干渉フィルタを搭載した生体埋植型蛍光観察用デバイス用 LED 光源,” 第 64 回応用物理学会春季学術講演会, 2017年3月.
- [250] 白石愛香里, 須永圭紀, 山浦洋, 藤本光輝, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 吉村由美子, 太田淳, “微弱蛍光計測に向けた埋植型 CMOS イメージングデバイスの作製と評価,” 第 64 回応用物理学会春季学術講演会, 2017年3月.
- [251] 速水一, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “非拘束リアルタイム脳機能計測に向けた埋

植型多点撮像デバイス,” 第 64 回応用物理学会春季学術講演会, 2017 年 3 月.

- [252] 中元健太, 大澤和嵩, 春田牧人, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “CMOS イメージセンサを用いた培養細胞のレンズレスオンチップ蛍光計測システム,” 第 64 回応用物理学会春季学術講演会, 2017 年 3 月.
- [253] Hee Wan Shen, Haruta Makito, Noda Toshihiko, Sasagawa Kiyotaka, Tokuda Takashi, Ohta Jun, “Fabrication of a Prototype Dual Filter CMOS Image Sensor for FRET Imaging,” 第 64 回応用物理学会春季学術講演会, 2017 年 3 月.
- [254] Wuthibenjaphonchai Nattakarn, Haruta Makito, Noda Toshihiko, Sasagawa Kiyotaka, Tokuda Takashi, Ohta Jun, “CMOS-based Optical Energy Harvesting Circuit for Bio-implantable and IoT Devices,” 第 64 回応用物理学会春季学術講演会, 2017 年 3 月.
- [255] Wuthibenjaphonchai Nattakarn, Haruta Makito, Noda Toshihiko, Sasagawa Kiyotaka, Tokuda Takashi, Ohta Jun, “CMOS-based Optical Energy Harvesting Circuit for Bio-implantable and IoT Devices,” 第 64 回応用物理学会春季学術講演会, 2017 年 3 月. 笹川清隆, 山口貴大, 春田牧人, 太田安美, 野田俊彦, 徳田崇, 太田淳, “生体イメージングに向けた埋植型高実効 SNR イメージセンサ,” 光応用電磁界計測 (PEM) 時限研究専門委員会, 2017 年 2 月.
- [256] 竹原 宏明, “バイオ・医療のための光センシングデバイス,” 2016 年電子情報通信学会ソサイエティ大会, 2016 年 9 月.
- [257] 桂木優治, 速水一, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “ハイドロゲル光導波路の開発と生体内光通信への応用,” 第 77 回応用物理学会秋季学術講演会, 2016 年 9 月.
- [258] 吉村彰人, 野田俊彦, 寺澤靖雄, 中野由香梨, 神田寛行, 田代洋行, 竹原宏明, 笹川清隆, 徳田崇, 太田淳, “人工視覚システム用 CMOS チップ内蔵スマート電極デバイスの動物実験による機能実証,” 第 77 回応用物理学会秋季学術講演会, 2016 年 9 月.
- [259] Anek Wuthayavanich, Makito Haruta, Hiroaki Takehara, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, “A miniature imaging sensor with compact processing system for detection of fluorescence changing of Nitric Oxide,” 第 77 回応用物理学会秋季学術講演会, 2016 年 9 月.
- [260] 大澤和嵩, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “細胞外因子に対する細胞応答のオンチップ蛍光計測,” 第 77 回応用物理学会秋季学術講演会, 2016 年 9 月.
- [261] 岩崎聡, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “光・電気フレキシブル BMI デバイスの高性能化,” 第 77 回応用物理学会秋季学術講演会, 2016 年 9 月.
- [262] 中塚篤志・中野百恵・竹原宏明・野田俊彦・笹川清隆・徳田 崇・西山靖浩・垣内喜代三・太田 淳, “偏光計測 CMOS イメージセンサを用いたマイクロリアクタ向け不斉反応計測デバイスの性能向上,” 映像情報メディア学会年次大会 2016, 2016 年 9 月
- [263] 中本悠太, 竹原浩成, 笹川清隆, 竹原宏明, 野田俊彦, 徳田崇, 太田淳, “ライトパイプアレイを搭載したレンズレスデジタル ELISA システムの蛍光検出感度評価,” 映像情報メディア学会年次大会 2016, 2016 年 9 月.
- [264] Nattakarn Wuthibenjaphonchai, “生体埋め込みおよび IoT デバイス向け光エナジーハーベスティング回路,” VDEC デザイナーズフォーラム 2016, 2016 年 8 月.
- [265] 速水一, “複数の生体内埋め込み型センサを順次駆動する無線給電システム,” VDEC デザイナーズフォーラム 2016, 2016 年 8 月.
- [266] 岩崎 聡, “オプトジェネティクス向け光電気 Brain Machine Interface (BMI) デバイス用 CMOS チップ,” VDEC デザイナーズフォーラム 2016, 2016 年 8 月.
- [267] 吉村 彰人, “人工視覚用スマート電極に内蔵する小型円形 CMOS チップ,” VDEC デザイナーズフォーラム 2016, 2016 年 8 月.
- [268] 桂木 優治, “光通信による画像データ伝送のための生体埋め込み型イメージセンサ,” VDEC デザイナーズフォーラム 2016, 2016 年 8 月.
- [269] 速水一, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “生体内通信により画像伝送が可能な埋植型多点撮像デバイス,” フィジカルセンサ/バイオ・マイクロシステム合同研究会, 2016 年 8 月.
- [270] 山口 貴大, 須永 圭紀, 春田 牧人, 竹原 宏明, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, “生体埋植用イメージングシステムに向けたフレキシブルデバイス,” フィジカルセンサ/バイオ・マイクロシステム合同研究会, 2016 年 8 月.
- [271] 竹原宏明, 桂木優治, 速水一, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “ハイドロゲル製ファイバと埋植型 LSI チップを用いた生体内光通信技術,” H28 電気学会 E 部門総合研究会, 2016 年 6 月.
- [272] 竹原宏明, “半導体プロセス技術と集積回路技術の両輪によるバイオデバイス研究,” M&BE 6 月研究会 M&BE, Vol27, No2(2016), 2016 年 6 月.
- [273] 須永圭紀, 春田牧人, 山口貴大, 桂木優治, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “埋植型イメージングデバイスの高画質化に向けた光学系の改善,” LSI とシステムのワークショップ 2016, 2016 年 5 月.
- [274] 竹原浩成, 中本悠太, 笹川清隆, 竹原宏明, 野田俊彦, 徳田崇, 太田淳, “ライトパイプアレイ型励起光吸収フィルタと積層フォトダイオード CMOS イメージセンサを用いたデジタル ELISA 用蛍光観察装置,” LSI とシステムのワークショップ 2016, 2016 年 5 月.
- [275] 山口 貴大, 須永 圭紀, 春田 牧人, 竹原 宏明, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, “ブレイン・マシン・インターフェースに向けたフレキシブルデバイス,” LSI とシステムのワークショップ 2016, 2016 年 5 月.

- [276] 速水一, 竹原宏明, 野田俊彦, 笹川清隆, 徳田崇, 太田淳, “完全埋植型 PWM 出力イメージセンサによる生体内多点撮像システム,” LSI とシステムのワークショップ 2016, 2016 年 5 月.
- [277] 河原, 高橋, 関根, “スマートカードのための暗号用断熱的論理回路の電流変動評価,” 2016 年信学ソ大, p.31 (A-1-31), Sept. 2016.
- [278] 山本, 高橋, 関根, “65nmSOTB プロセスによる断熱的論理回路 CSSAL を用いた応用回路の検証,” 2016 年信学ソ大, p.32 (A-1-32), Sept. 2016.
- [279] 河原, 高橋, 関根, “スマートカード用暗号用論理回路のための断熱的論理回路の電流ばらつき評価,” 第 29 回 IEICE 回路とシステムワークショップ論文集, pp.48-51, May 2016.
- [280] 山本, 高橋, 関根, “65nmSOTB プロセスによる断熱的論理回路 CSSAL を用いた応用回路の検証,” 第 29 回 IEICE 回路とシステムワークショップ論文集, pp.54-57, May 2016.
- [281] 横山, 越智, “ウエハスケールマスク ROM の階層的データ読み出し回路の高信頼化”, 信学技報, vol.116, no.478, pp.49-54, 2017/03/02
- [282] 東, 越智, “原子移動型スイッチを用いた小面積なプログラマブルロジックとそのための遅延最適なテクノロジマッピング手法”, 信学技報, vol.116, no.332, pp.29-34, 2016/11/29
- [283] 木村, 越智, “マイクロエナジーハーベスティングのための 2 段昇圧型チャージポンプ回路”, 信学技報, vol.116, no.330, pp.13-18, 2016/11/28
- [284] 宮川, 木村, 越智, “FiCC! 高集積向け耐クロストークノイズメタルフリンジキャパシタ”, 信学技報, vol.116, no.478, pp.43-47, 2017/03/02
- [285] 伊藤浩之, 「CMOS 集積回路の設計『大学研究室におけるアナログ・RF 集積回路設計の高効率化のための取り組み』」, 電子情報通信学会中国支部一般向け講演会, 2017 年 3 月 21 日(火), 広島大学先端物質科学研究科
- [286] 佐布晃昭, 小西敏文, 山根大輔, 年吉洋, 曾根正人, 益一哉, 町田克之, 「積層メタル技術による 3 軸 MEMS 加速度センサのばね定数設計方法」第 64 回応用物理学会春季学術講演会, 13.4 Si 系プロセス・Si 系薄膜・配線・MEMS・集積化技術, 2017 年 3 月 14 日 - 17 日, パシフィコ横浜 [14p-P3-17].
- [287] 小西敏文, 山根大輔, 佐布晃昭, 曾根正人, 年吉洋, 益一哉, 町田克之, 「積層メタル技術を用いた MEMS 慣性センサにおける粘性定数の検討」第 64 回応用物理学会春季学術講演会, 13.4 Si 系プロセス・Si 系薄膜・配線・MEMS・集積化技術, 2017 年 3 月 14 日 - 17 日, パシフィコ横浜 [14p-P3-16].
- [288] 中島英亮, Tso-Fu Mark Chang, Chun-Yi Chen, 小西敏文, 町田克之, 年吉洋, 山根大輔, 益一哉, 曾根正人, 「積層メタル技術による Ti/Au めっき構造体のヤング率評価(2)」第 64 回応用物理学会春季学術講演会, 13.4 Si 系プロセス・Si 系薄膜・配線・MEMS・集積化技術, 2017 年 3 月 14 日 - 17 日, パシフィコ横浜 [14p-P3-15].
- [289] 山根大輔, 小西敏文, 佐布晃昭, 中島英亮, 寺西美波, 陳君怡, Tso-Fu Mark Chang, 曾根正人, 年吉洋, 益一哉, 町田克之, 「積層メタル技術による Ti/Au めっき構造体のヤング率評価(1)」第 64 回応用物理学会春季学術講演会, 13.4 Si 系プロセス・Si 系薄膜・配線・MEMS・集積化技術, 2017 年 3 月 14 日 - 17 日, パシフィコ横浜 [14p-P3-14].
- [290] 橘航一郎, Tso-Fu Mark Chang, Chun-Yi Chen, 小西敏文, 町田克之, 年吉洋, 山根大輔, 益一哉, 曾根正人, 「積層メタル技術による Ti/Au マイクロカントレバーの疲労特性の検討」第 64 回応用物理学会春季学術講演会, 13.4 Si 系プロセス・Si 系薄膜・配線・MEMS・集積化技術, 2017 年 3 月 14 日 - 17 日, パシフィコ横浜 [14p-P3-12].
- [291] 鈴木拓真, Tso-Fu Mark Chang, Chun-Yi Chen, 小西敏文, 町田克之, 年吉洋, 山根大輔, 益一哉, 曾根正人, 「積層メタル技術による Ti/Au マイクロカントレバーの温度依存性のシミュレーションの検討」第 64 回応用物理学会春季学術講演会, 13.4 Si 系プロセス・Si 系薄膜・配線・MEMS・集積化技術, 2017 年 3 月 14 日 - 17 日, パシフィコ横浜 [14p-P3-11].
- [292] 高安基大, 権田惇晟, 山根大輔, 伊藤浩之, 小西敏文, 道正志郎, 石原昇, 町田克之, 益一哉, 「積層メタル技術で作製した MEMS 慣性センサのモジュール化の検討」第 64 回応用物理学会春季学術講演会, 2017 年 3 月 14 日 -17 日, パシフィコ横浜, 神奈川県.
- [293] 伊藤浩之, 「IoT 用センサノードの開発と応用」川崎市ナノ・マイクロ技術支援講座(ナノ茶論第 10 回セミナー), 2017 年 3 月 16 日(木), 新川崎・創造のもり「NANOBIIC」
- [294] 高安基大, 道正志郎, 伊藤浩之, 石原昇, 山根大輔, 小西敏文, 町田克之, 益一哉, 「RC 発振器型高感度容量検出回路」第 8 回集積化 MEMS シンポジウム, 2016 年 10 月 24 日 -26 日, 平戸文化センター, 長崎県平戸市 [24am2-E-4].
- [295] 権田惇晟, 高安基大, 山根大輔, 小西敏文, 伊藤浩之, 道正志郎, 石原昇, 町田克之, 益一哉, 「積層メタル技術による MEMS 加速度センサを用いた慣性センサモジュールの検討」第 8 回集積化 MEMS シンポジウム, 2016 年 10 月 24 日 -26 日, 平戸文化センター, 長崎県平戸市 [25pm4-PM-006].
- [296] 寺西美波, Chang Tso-Fu Mark, Chen Chun-Yi, 小西敏文, 町田克之, 年吉洋, 山根大輔, 益一哉, 曾根正人, 「電解金めっき法により作製した金/チタン積層構造を有する微小カントレバーの構造安定性の評価」第 33 回センサ・マイクロマシンと応用シンポジウム, 2016 年 10 月 24 日 -26 日, 平戸文化センター, 長崎県平戸市 [25pm2-PS-017].
- [297] 小西敏文, 山根大輔, 伊藤浩之, 道正志郎, 石原昇, 年吉洋, 益一哉, 町田克之, 「マルチフィジクスシミュレーションを用いた CMOS-MEMS 慣性センサのノ

イズ解析手法」第8回集積化MEMSシンポジウム、2016年10月24日-26日、平戸文化センター、長崎県平戸市 [25pm2-PM-007].

- [298] 佐布晃昭, 小西敏文, 山根大輔, 年吉洋, 曾根正人, 益一哉, 町田克之, 「積層メタル技術によるMEMS加速度センサのばね定数設計方法」第8回集積化MEMSシンポジウム, 2016年10月24日-26日, 平戸文化センター, 長崎県平戸市 [25pm4-PM-008].
- [299] 山根大輔, 小西敏文, 佐布晃昭, 伊藤浩之, 曾根正人, 年吉洋, 益一哉, 町田克之, 「差動型積層メタルMEMS加速度センサの検討」第8回集積化MEMSシンポジウム, 2016年10月24日-26日, 平戸文化センター, 長崎県平戸市 [25pm2-PM-003].
- [300] 山根大輔, 小西敏文, 佐布晃昭, 曾根正人, 年吉洋, 益一哉, 町田克之, 「Sub-1mG 検出へ向けた積層メタルMEMS慣性センサ」第8回集積化MEMSシンポジウム, 2016年10月24日-26日, 平戸文化センター, 長崎県平戸市 [25pm2-PM-001].
- [301] 高安基大, 道正志郎, 伊藤浩之, 石原昇, 山根大輔, 益一哉, 「RC発振器型容量検出回路の高感度化の検討」, 電子情報通信学会ソサイエティ大会, 2016年9月20日-23日, 北海道大学札幌キャンパス, 北海道.
- [302] 石川洋介, 池田翔, 伊藤浩之, 笠松章史, 小原崇義, 野口直記, 紙透航志, ヨジヨン, 原紳介, 董鋭冰, 道正志郎, 石原昇, 益一哉, 「高周波信号を基準とする8.865-GHz PLLの低消費電力化技術の検討」, 電子情報通信学会ソサイエティ大会, 2016年9月20日-23日, 北海道大学札幌キャンパス, 北海道.
- [303] 池田翔, 伊藤浩之, 笠松章史, 石川洋介, 小原崇義, 野口直記, 紙透航志, ヨジヨン, 原紳介, 董鋭冰, 道正志郎, 石原昇, 益一哉, 「高周波圧電振動子とサブppbオーダーのチャンネル調整技術を用いたカスケードPLL」, 電子情報通信学会ソサイエティ大会, 2016年9月20日-23日, 北海道大学札幌キャンパス, 北海道.
- [304] 小西敏文, 山根大輔, 伊藤浩之, 道正志郎, 石原昇, 年吉洋, 益一哉, 町田克之, 「CMOS-MEMS慣性センサにおける機械的ノイズの解析手法」, 第77回応用物理学会秋季学術講演会, 13.4 Si系プロセス・Si系薄膜・配線・MEMS・集積化技術, 2016年9月13日-16日, 新潟県新潟市朱鷺メッセ [14p-P5-1].
- [305] 佐布晃昭, 小西敏文, 山根大輔, 年吉洋, 曾根正人, 益一哉, 町田克之, 「積層メタル技術によるMEMS加速度センサのばね定数設計方法(I)」, 第77回応用物理学会秋季学術講演会, 13.4 Si系プロセス・Si系薄膜・配線・MEMS・集積化技術, 2016年9月13日-16日, 新潟県新潟市朱鷺メッセ [15p-B10-8].
- [306] 山根大輔, 小西敏文, 佐布晃昭, 伊藤浩之, 道正志郎, 石原昇, 曾根正人, 年吉洋, 益一哉, 町田克之, 「積層メタル差動型MEMS加速度センサの基礎検討」第77回応用物理学会秋季学術講演会, 13.4 Si系プロセス・Si系薄膜・配線・MEMS・集積化技術, 2016年9月13日-16日, 新潟県新潟市朱鷺メッセ [14p-P5-3].
- [307] 山根大輔, 小西敏文, 佐布晃昭, 曾根正人, 年吉洋, 益一哉, 町田克之, 「1mG以下検出へ向けた積層メタルMEMS加速度センサの基礎検討」第77回応用物理学会秋季学術講演会, 13.4 Si系プロセス・Si系薄膜・配線・MEMS・集積化技術, 2016年9月13日-16日, 新潟県新潟市朱鷺メッセ [14p-P5-2].
- [308] 伊藤浩之, 道正志郎, 石原昇, 益一哉, 「IoT時代に向けた低電力無線通信回路技術」, 第77回応用物理学会秋季学術講演会・AI/ディープラーニング時代に向けたIoT/IoEデバイス技術, 2016年9月14日, 朱鷺メッセ新潟県新潟市, 14p-B1-1
- [309] 紙透航志, 石川洋介, 小原嵩義, 伊藤浩之, 道正志郎, 石原昇, 益一哉, 「高分解能静電容量式水位センサの研究」, 第44回アナログRF研究会, 2016年9月7日-2016年9月9日, リゾートホテル蓼科, 長野, 日本
- [310] 小原嵩義, 石川洋介, 紙透航志, 伊藤浩之, 道正志郎, 石原昇, 益一哉, 「発振器型低消費電力センサ技術の研究」, 第44回アナログRF研究会, 2016年9月7日-2016年9月9日, リゾートホテル蓼科, 長野, 日本
- [311] Sho Ikeda, Hiroyuki Ito, Akifumi Kasamatsu, Yosuke Ishikawa, Takayoshi Obara, Naoki Noguchi, Koji Kamisuki, Yao Jiyang, Shinsuke Hara, Dong Ruibing, Shiro Doshu, Noboru Ishihara, Kazuya Masu, "An 8.865-GHz -244dB-FOM High-Frequency Piezoelectric Resonator-Based Cascaded Fractional-N PLL with Sub-ppb-Order Channel Adjusting Technique", Symposium on VLSI Circuits 2016 報告会, 2016年6月24日, 神戸大学梅田インテリジェントラボラトリ, 梅田, 大阪, 日本
- [312] 高安基大, 権田惇晟, 山根大輔, 小西敏文, 伊藤浩之, 石原昇, 町田克之, 益一哉, 「小型高感度MEMS慣性センサモジュールの試作評価」, LSIとシステムのワークショップ, 2016年5月16日-2016年5月17日, 東京大学生産技術研究所総合研究実験棟(An棟)2階コンベンションホール, 東京都, 日本
- [313] 岩永友也, 寺田晋也, 江口啓, 大田一郎, 「冪乗で昇降圧できるスイッチトキャパシタ電源」第29回路とシステムワークショップ, 北九州国際会議場, pp.297-300, (2016.05)
- [314] 大田一郎, 「食品加工用などの衝撃波発生装置の小形軽量化と低価格化」くまもと発新技術説明会, 科学技術振興機構東京本部別館, pp.7-10, (2016.08)
- [315] 古川慎梧, 寺田晋也, 江口啓, 大田一郎, 「衝撃波を用いた食品加工装置の放電機構に関する研究」平成27年度(第6回)電気学会九州支部高専研究講演会, 有明高等専門学校, no.A6, pp.11-12, (2016.03)
- [316] 守田達弥, 寺田晋也, 江口啓, 大田一郎, 「2相クロックで電荷配分するデジタル選択方式スイッチトキャパシタDC-ACコンバータに関する研究」平成27年度(第6回)電気学会九州支部高専研究講演会, 有明

- 高等専門学校, no.A7, pp.13-14, (2016.03)
- [317] 五十嵐, 南, 杉浦, 中野, “太陽電池分割方式によるオンチップ環境発電機の高効率化”, LSI とシステムのワークショップ 2016, 2016 年 5 月
- [318] 伊藤, 高坂, 田中, 出口, 中野, “微小信号増幅器評価向け低雑音電源装置の試作と評価”, 第 44 回アナログ RF 研究会, 2016 年 9 月
- [319] 五十嵐, 銭林, 中野, “標準 CMOS プロセスによる波長選択太陽電池”, 第 44 回アナログ RF 研究会, 2016 年 9 月
- [320] 南, 中野, “Area-efficient Cross-Coupled Charge Pump for On-chip Solar Cell”, ISPACS2016, pp.383-388, 2016 年 10 月
- [321] 杉浦, 松本, 中野, “Si 太陽電池のエミッタ最適化による発電効率向上のシミュレーション”, 再生可能集積システム研究会, 2016 年 10 月
- [322] 高坂, 久保, 宮脇, 伊藤, 中野, “LSI パッチクランプシステムの周波数特性評価用微小電流パルス回路”, 再生可能集積システム研究会, 2016 年 10 月
- [323] 小濱, 四柳, 橋爪, 樋上, 高橋, “半断線故障検査時の遷移タイミングを考慮する信号割当隣接線候補の削減について”, 第 75 回 FTC 研究会資料, 2016 年 7 月.
- [324] 河口, 四柳, 橋爪, “TDC 組込み型バウンダリスキャンを用いた複数 TSV の検査用信号の印加と観測について”, 第 75 回 FTC 研究会資料, 2016 年 7 月.
- [325] 伊喜利, 南原, 四柳, 橋爪, Shyue-Kung Lu, “nMOS ダイオード組込型検査回路を用いた IC 間配線の電気検査用不良判定しきい値の導出”, 電気関係学会四国支部連合大会講演論文集, p.83, 2016 年 9 月.
- [326] 岡本, 踊場, F. B. A. Ashikin, 四柳, 橋爪, Shyue-Kung Lu, “ダイオードと nMOS からなる電気検査回路による容量断線の実験による検出可能性評価”, 電気関係学会四国支部連合大会講演論文集, p.84, 2016 年 9 月
- [327] 踊場, 四柳, 橋爪, Shyue-Kung Lu, “組込み型電気検査回路による 3D IC 内容量断線の進行過程検出の可能性”, 電気関係学会四国支部連合大会講演論文集, p.85, 2016 年 9 月.
- [328] 大谷, 菅, 四柳, 橋爪, “電荷注入量による断線不良検出の回路規模に対する影響調査”, 電気関係学会四国支部連合大会講演論文集, p.87, 2016 年 9 月.
- [329] 掛江, 四柳, 橋爪, “実験による IC 内組込み型 IDDT 出現時間検出回路の断線検出可能性調査”, 電気関係学会四国支部連合大会講演論文集, p.88, 2016 年 9 月.
- [330] 河塚, 四柳, 橋爪, “TDC 組込み型スキャン FF の遅延分解能へのばらつきの影響調査”, 電気関係学会四国支部連合大会講演論文集, p.92, 2016 年 9 月.
- [331] 伊勢, 四柳, 橋爪, 樋上, 高橋, “隣接線の信号遷移を用いる半断線故障判別法の断線位置に対する有効性調査”, 電気関係学会四国支部連合大会講演論文集, p.93, 2016 年 9 月.
- [332] 藤谷, 四柳, 橋爪, “論理値割当隣接線選択と故障顕在化しきい値の断線故障用テスト生成時間への影響”, 電気関係学会四国支部連合大会講演論文集, p.94, 2016 年 9 月.
- [333] 三好, 四柳, 橋爪, “IDDT 出現時間を用いる断線故障検査法の伝搬不能故障検出に対する有効性調査”, 電気関係学会四国支部連合大会講演論文集, p.95, 2016 年 9 月.
- [334] 森, 四柳, 橋爪, “TDC 組込み型バウンダリスキャンを用いる遅延故障検査でのチップ間ばらつき補正”, 電気関係学会四国支部連合大会講演論文集, p.96, 2016 年 9 月.
- [335] 河塚, 四柳, 橋爪, “微小遅延故障テストのための TDC 組込み型スキャン FF の設計について”, 電子情報通信学会技術研究報告, Vol.116, No.331, pp.105-110, 2016 年 11 月.
- [336] 錦織, 山崎, 細川, 吉村, 新井, 四柳, 橋爪, “抵抗性オープン故障のテスト生成法の評価”, 第 76 回 FTC 研究会資料, 2017 年 1 月.
- [337] 前澤, 岸, 森, “共鳴トンネル素子装荷伝送線路を用いた高次高調波発振器の設計指針と注入同期”, 電子情報通信学会ソサイエティ大会, 9 月 20-23 日.
- [338] 高山, 中野, 水戸, 森, 前澤, “Fluidic Self-Assembly 高効率化実験のためのダミープロック作製”, 応用物理学会北陸・信越支部学術講演会, 2016 年 12 月.
- [339] 前澤, 藤野, 山岡, 山川, 島田, 角谷, 田近, 森, “周波数 $\Delta\Sigma$ 変調器のデジタル出力センサへの応用”, 電子情報通信学会電子デバイス研究会, (ED)報告 ED2016-42, pp. 65-70, 2016 年 8 月.
- [340] 前澤, “共鳴トンネル素子を用いた超高周波回路とその集積技術”, 有機・無機エレクトロニクスシンポジウム, 2016 年 7 月.
- [341] 前澤, 角谷, 田近, 森, “周波数 $\Delta\Sigma$ 変調方式を用いた共鳴トンネル歪センサ”, 第 8 回集積化 MEMS シンポジウム, 2016 年 10 月.
- [342] 山川, 前澤, 安藤, 島田, 森, 後野, 大竹, “FM $\Delta\Sigma$ 変調方式を用いた新原理の変位/振動センサ”, 電子情報通信学会総合大会, 2017 年 3 月.
- [343] 前澤, 岸, 森, “共鳴トンネル素子を装荷した伝送線路発振器の高調波生成に関する線形モデル解析”, 電子情報通信学会, 電子デバイス研究会(ED)報告 ED2016-133, p17-22, 2017 年 2 月.
- [344] 石川, 瀬戸, “計算と通信を同時に行うハードウェアを生成するメモリアクセス最適化技術”, 第 29 回回路とシステムワークショップ, pp. 92-96, 2016 年 5 月
- [345] 石川, 瀬戸, “高位合成によるアクセラレータ設計を対象としたサイクル数削減およびバッファサイズ最小化のためのデータ転送最適化手法”, デザインガイア 2016, pp. 147-152, 2016 年 11 月
- [346] Shinji ABE, “Quarter-Wave-Line Inserted Twin-Diode Rectifier,” IEEE AP/MTT-S Midland Student Express Autumn 2016, S3-2, Nov. 2016.
- [347] M-W. Seo, Y. Shirakawa, Y. Masuda, Y. Kawata, K. Kagawa, K. Yasutomi, S. Kawahito, A High SNR Multi-Tap Lock-In Pixel CMOS Image Sensors, 映像情報メ

- ディア学会 情報センシング研究会 (IST), IST2017-15, 映像情報メディア学会技術報告 Vol.41, No.10, pp.27-30
- [348] 白川雄也, 徐 珉雄, 安富啓太, 香川景一郎, 寺西信一, 川人祥二, 高時間分解イメージングのためのラテラル電界制御 8 タップ電荷変調画素の設計及び検討, 映像情報メディア学会 情報センシング研究会 (IST), IST2017-14, 映像情報メディア学会技術報告 Vol.41, No.10, pp.23-26
- [349] 0
- [350] 寺田晃太郎, 柳澤政生, 戸川望, “DFG のクリティカルパス最適化に基づく演算チェイニングを用いた RDR アーキテクチャ対象高位合成手法”, 信学技報, vol. 116, no. 21, VLD2016-05, pp. 41-46.
- [351] 於久太祐, 多和田雅師, 柳澤政生, 戸川望, “スキャンングネチャを用いたスキャンデータ解析に基づく HMAC-SHA-256 ハッシュ回路のスキャンベース攻撃”, DA シンポジウム 2016 論文集, pp. 2-7, 2016.
- [352] 寺田晃太郎, 長谷川健人, 川村一志, 多和田雅師, 戸川望, “機械学習と FPGA を用いたナンバーリンクソルバ”, DA シンポジウム 2016 ポスター発表.
- [353] 多和田雅師, 柳澤政生, 戸川望, “リードソロモン符号に基づいたマルチレベルセル不揮発メモリ書き込み削減”, DA シンポジウム 2016, vol. 2016, pp. 163-168.
- [354] 寺田晃太郎, 柳澤政生, 戸川望, “演算ビット幅に基づく演算チェイニングを用いた RDR アーキテクチャ向け性能指向高位合成手法”, 電子情報通信学会 2016 年ソサイエティ大会講演論文集, p. 71.
- [355] 伊東光希, 柳澤政生, 戸川望, “セレクトア論理に帰着させたバタフライ演算器の FPGA 実装評価”, 信学技報, vol. 116, no. 330, VLD2016-55, pp. 67-72.
- [356] 井川昂輝, 柳澤政生, 戸川望, “経年劣化を考慮したフロアプラン統合化高位合成手法”, 信学技報, vol. 116, no. 330, VLD2016-68, pp. 141-146.
- [357] 川村一志, 柳澤政生, 戸川望, “ニューラルネットワークにもとづく概算回路設計手法”, 信学技報, vol. 116, no. 478, VLD2016-106, pp. 25-30.
- [358] 長谷川健人, 柳澤政生, 戸川望, “ニューラルネットワークを利用したネットリストの特徴にもとづくハードウェアトロイ識別”, 信学技報, vol. 116, no. 93, CAS2016-1, pp. 1-6.
- [359] 長谷川健人, 柳澤政生, 戸川望, “Random Forest を用いたネットリスト特徴選択と機械学習によるハードウェアトロイ識別”, DA シンポジウム 2016, vol. 2016, no. 3, pp. 8-13.
- [360] 長谷川健人, 柳澤政生, 戸川望, “ネットの特徴量を用いた多層ニューラルネットワークによるハードウェアトロイ識別”, 研究報告システムと LSI の設計技術 (SLDM), vol. 2017-SLDM-179, no. 23, pp. 1-6.
- [361] 高田, 石井, 坂本, 近藤, 中村, 大久保, 小島, 天野, “スケーラブルなディープラーニング向けアクセラレータチップの設計と評価”, 信学技報 116(336), 1-6, 2016-11-28
- [362] 荻野, 佐藤, 小川, “オフセット電圧調整を用いた大きな出力電圧振幅を有する生体信号増幅回路”, 平成 29 年電気学会全国大会, 講演論文集 3-007, 第 3 分冊, pp.9-10, 2017 年 3 月
- [363] 植松, 佐藤, 小川, “電流引き抜き回路を用いたゼロボルトスイッチングブーストコンバータ”, 平成 29 年電気学会全国大会, 講演論文集 4-106, 第 4 分冊, pp.178-179, 2017 年 3 月
- [364] シュレスタ, 小川, 佐藤, “差動容量型センサの信号処理回路の精度改善”, 平成 29 年電気学会全国大会, 講演論文集 3-031, 第 3 分冊, pp.44, 2017 年 3 月
- [365] 棚田, 小川, 佐藤, “荷重測定用の容量型センサの試作及び評価と信号処理回路の開発”, 平成 29 年電気学会全国大会, 講演論文集 3-021, 第 3 分冊 p.29-30, 2017 年 3 月
- [366] 植松, 佐藤, 小川, “電流引き抜き回路を用いたゼロボルトスイッチングブーストコンバータ”, 平成 29 年電気学会全国大会, 講演論文集 4-106, 第 4 分冊 p.178-179, 2017 年 3 月
- [367] 森, 佐藤, 大村, マリク, “横型 TunnelFET の閾値電圧と短チャネル効果の考察”, 第 64 回応用物理学会春季学術講演会講演予稿集, p12-344, 2017 年 3 月
- [368] 池下貴大, 今川隆司, 筒井弘, 宮永喜一, “MIMO-OFDM 復調のためのガウスジョルダン法を用いた FPU ベースの逆行列演算のハードウェア実装”, 電気情報関係学会北海道支部連合大会, pp. 174-175, Nov. 2016.
- [369] 玉越, 夏井, 羽生, “不揮発マイコン向け高速・低電力アナログ・デジタル変換器の構成”, デザインガイア 2016 -VLSI 設計の新しい大地-, 2016-11-28 - 2016-11-30
- [370] 呉, 和田, 岩波, 金山, 高橋, “トンネル FET ベース CMOS 回路のシングルイベント耐性”, 応用物理学会春季学術講演会, 16p-E206-16, 2017 年 3 月 16 日.
- [371] 和田, 岩波, 金山, 長塚, 呉, 高橋, “微細 SOI デバイスにおける重イオン照射効果”, 日本大学学術講演会, M-21, 2016 年 12 月 3 日.
- [372] 小島, 久米, 中村, “利得切替型バースト対応 RGC-TIA の検討”, 電子情報通信学会ソサイエティ大会, A-1-23, 2016 年 9 月.
- [373] 肥田, 水野, 内藤, 中野, 野河, 野坂, 中村, “カレントミラー回路を用いた TIA 広帯域化の検討”, 電子情報通信学会ソサイエティ大会, A-1-29, 2016 年 9 月
- [374] 小原秀嶺, 和田圭二, 宮崎耕太郎, 高宮真, 桜井貴康, “プログラマブルゲートドライバ IC を用いた負荷電流フィードバックアクティブゲート制御”, 電気学会産業応用部門大会, 1-39, pp.127-130, 群馬, 2016 年 8 月.
- [375] 崔 通, 宮崎耕太郎, 安部征哉, 附田正則, 大村一郎, 小原秀嶺, 和田圭二, 高宮 真, 桜井貴康, “デジタルゲート駆動 IC を用いた IGBT のスイッチング時における損失とオーバーシュートの自動最適化”, 電

- 気学会, 電子デバイス・半導体電力変換合同研究会, 電気学会研究会資料, SPC-16-153, pp. 19-24, 北九州, 2016年11月.
- [376] 染谷晃基, 松永賢一, 森村浩季, 桜井貴康, 高宮真, “バッテリーマネジメント向け56段階, 50mV刻みプログラマブル電圧検出回路,” 電子情報通信学会, 信学技報, ICD2015-51, pp. 1-5, 東京, 2016年12月.
- [377] 宇野祐輝, 崔通, 星貴之, 桜井貴康, 高宮真, “超音波ワイヤレス給電の距離・位置ずれ依存の実測,” 電子情報通信学会総合大会, B-21-26, 名古屋, 2017年3月.
- [378] 小野寺尚人, 染谷晃基, 松永賢一, 森村浩季, 高宮真, 桜井貴康, “可変キャパシタを用いた自動LC共振最適化機能を有するRFエネルギーハーベスティング回路の設計,” 電子情報通信学会総合大会, C-10-5, 名古屋, 2017年3月.
- [379] 秋山正弘, 八賀慧人: 丸型レイアウトを用いたCMOS APDの暗電流特性の改善, 第77回応用物理学会秋季学術講演会, 15p-P6-6 (2016.9), 03-315
- [380] 中村祐司, 寺岡拓也, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則, “FPGA向けMBU訂正回路の提案,” 信学技報 VLD2016-3, vol.116, no.21, pp35-40, May. 2016
- [381] 松下悠亮, 増山滉一朗, 野村明生, 門本淳一郎, 四手井綱章, 黒田忠広, 天野英晴, “誘導結合ワイヤレスチップ間接続のIP化,” 電子情報通信学会, 信学技報, vol. 116, no. 365, pp. 7-12, Dec. 2016.
- [382] 門本淳一郎, 宮田知輝, 天野英晴, 黒田忠広, “An Inductive-Coupling Bus with Collision Detection Scheme Using Magnetic Field Variation for 3-D Network-on-Chips,” IEEE SSCS Japan/Kansai Chapter A-SSCC 報告会, Nov. 2016.
- [383] 藤田智久, 高橋隆一, “特定の状態遷移経路に注目した論理装置のシステム検証,” 情処研報 Vol.2016-SLDM-176 No.5, 信学技報 Vol.116, No.21, pp.23-28, 2016年5月
- [384] 平川昌和, 高橋隆一, “SystemVerilogを用いた専用プロセッサのマトリッドによる検証,” 情処研報 Vol.2016-SLDM-176 No.6, 信学技報 Vol.116, No.21, pp.29-34, 2016年5月
- [385] 桑野佑樹, アズハリアフリーン, 宋航, 肖夏, 吉川公磨, “CMOSスイッチングマトリクス回路を用いた乳がん位置検出技術” 第77回応用物理学会秋季学術講演会講演予稿集, 14p-P6-7, 2016年9月13-16日
- [386] 桑野佑樹, アズハリアフリーン, 宋航, 肖夏, 吉川公磨, “UWBアンテナレイ用スイッチングマトリクスの研究” 第18回IEEE広島支部学生シンポジウム論文集電磁波工学 A2-21, 2016年11月19-20日.
- [387] 瀬尾裕二, 吉川公磨, “超広帯域インピーダンスマッチング回路の評価” 第18回IEEE広島支部学生シンポジウム論文集 LSI A2-259, 2016年11月19-20日.
- [388] 田島, 史, 戸川, 柳澤, “高速かつ低電力なソフトエラー耐性をもつFast-SEHラッチの設計”, 電子情報通信学会第29回回路とシステムワークショップ, pp. 220-224, 2016年5月11日.
- [389] 高橋, 各務, 竹内, 長谷川, 森下, 山内, 石井, “MOSFETを用いたVCO高速化設計技術の検討”, 2017年電子情報通信学会総合大会, A-1-29, 2017年3月.
- [390] 林康平, 岡部謙志, 石田誠, 秋田一平, “集中定数回路モテ ゙ ルを用いた無線電力伝送テ ゙ ハ ゙ イスの最適設計手法,” 第29回回路システムワークショップ ゚ 論文集, WIP-5, 北九州国際会議場, pp.61-62, May 2016
- [391] Angela Leong Xian Long, 秋田一平, 牧野浩樹, 石田誠, 河野剛士, “シリコンウイス ￼￼ カ神経電極フ ゚ ローフ ゙ 用増幅器の設計,” 応用物理学会秋季学術講演会, 朱鷺 ￼ メッセ, 新潟, 9/13-16, 2016
- [392] Horagodage Prabhith Jeewan, 岡部謙志, 福丸元, 河野剛士, 石田誠, 秋田一平, “完全埋込み型神経インターフェースに向けた, フレキシフ ゙ ル基板への低ノイズ ゙ ・低消費電力CMOSアンプ ゚ の実装技術,” 電子情報通信学会 LSI とシステムのワークショップ ゚ 2016, 東京大学生産技術研究所, May 2016
- [393] 崔容俊, 高橋一浩, 松田倫明, 飛沢健, 森脇優, 太斎文博, 木村安行, 秋田一平, 岩田達哉, 石田誠, 澤田和明, “ホ ゚ リシリコン表面の平坦化によるフィルタフリー蛍光センサの波長分離能力向上,” 電気学会 E 部門ハ ゙ イオ・マイクロシステム研究会, 東京大学生産技術研究所, 2016.
- [394] 小島拓也, 安藤尚輝, 松下悠亮, 奥原颯, 天野英晴, “パイプライン段数とボディバイアス電圧制御によるパイプライン型 CGRA の電力削減手法の検討”, 信学技報, vol. 116, no. 510, CPSY2016-140, pp. 51-56, 2017
- [395] 大久保徹以, 小島拓也, 天野英晴, 高田遼, 石井潤, 坂本龍一, 近藤正章, 中村宏, “無線3次元積層チップを用いた Deep Learning アクセラレータのコンパイルツールチェーン”, 信学技報, vol. 116, no. 510, CPSY2016-155, pp. 357-362, 2017
- [396] 畔上佳太, 増山滉一朗, 奥原 颯, 天野英晴, “自然エネルギーによる低電力リコンフィギュアラブルアクセラレータの動作”, 信学技報, vol. 116, no. 416, CPSY2016-130, pp. 159-164, 2017
- [397] 奥原 颯, Akram Ben Ahmed, 天野英晴, “オンチップボディバイアス調節機構アーキテクチャの提案と実装”, 信学技報, vol. 116, no. 336, CPSY2016-54, pp. 35-40, 2016
- [398] 奥原 颯, 天野英晴, “FD-SOI テクノロジーを用いた最適なボディバイアスバランスの検討”, 第15回情報科学技術フォーラム, vol.1, pp.319–320, 2016
- [399] 奥原 颯, Johannes Maximilian Kuehn, Akram Ben Ahmed, 天野英晴, “細粒度ボディバイアス制御を用いた CGRA のリーク電流最小化”, 信学技報, vol. 116, no. 53, RECONF2016-15, pp. 71-76, 2016
- [400] 安戸僚汰, 松谷宏紀, 鯉淵道紘, 天野英晴, 中村維男,

“分散ルータによる高性能 NoC”, 信学技報, vol. 115, no. 399, CPSY2015-127, pp. 149-154, 2016

- [401] 赤池, 工藤, 宇佐美, “不揮発性素子 MTJ を適用したスタンダードセルメモリ回路の設計と評価”, 電子情報通信学会 VLD 研究会, 2016 年 6 月 17 日.
- [402] 深澤, 宇佐美, “MTJ を用いた不揮発性キャッシュの消費エネルギー削減における記憶領域選択方法の検討”, 電子情報通信学会 VLD 研究会, 2016 年 6 月 17 日.
- [403] 赤池, 宇佐美, “Verify 機能を備えた不揮発性フリップフロップの提案と評価”, 電子情報通信学会 VLD 研究会, 2017 年 1 月 25 日.
- [404] 工藤, 宇佐美, “ストア/リストア分離型不揮発性フリップフロップにおけるパワーゲーティング技術の有効性評価”, 電子情報通信学会 VLD 研究会, 2017 年 3 月 1 日.
- [405] 榎戸, 宇佐美, “不揮発性キャッシュの細粒度パワーゲーティングと MTJ 記憶領域の動的選択制御”, 電子情報通信学会 VLD 研究会, 2017 年 3 月 1 日.
- [406] 安田匠吾, 宇佐美公良, “三次元積層チップの発熱におけるチップ内温度の過渡解析およびその評価”, VLD2016-98, pp.181-186, 2017.1.25.
- [407] 吉田有佑, 宇佐美公良, “薄膜 BOX-SOI を用いた基板バイアス制御による低消費電力スタンダードセルメモリの設計と実装”, VLD2016-53, pp.55-60, 2016.11.29.
- [408] 小暮俊輔, 宇佐美公良, “薄膜 BOX-SOI(SOTB)におけるレベルシフトレス設計の実現性の検討と評価”, VLD2016-47, pp.19-24, 2016.11.28.
- [409] 山本啓輔, 谷川一哉, 弘中哲夫, 石黒隆 “順序回路を構成するためのセレクトベース論理回路ブロック SLB の検討,” 第 18 回 IEEE 広島支部学生シンポジウム, A3-49, pp166 ~ 169, 2016 年 11 月 19 日.
- [410] 山下裕司, 山本啓輔, 谷川一哉, 弘中哲夫, 石黒隆 “0.6 μm CMOS プロセスにおける再構成デバイス SePLD の設計試作による基本素子 SLB の面積評価” 第 4 回電子デバイス・回路・照明・システム関連教育・研究ワークショップ, pp.1-6 ~ 1-7, 2016 年 11 月 26 日.
- [411] 山本啓輔, 谷川一哉, 弘中哲夫, 石黒隆 “セレクトを用いた小面積な論理ブロック SLB の提案,” FIT2016 第 15 回情報科学技術フォーラム, 第 1 分冊, pp.15-22, 2016 年 9 月 9 日.
- [412] 犬山慎吾, 岩崎一彦, 新井雅之, “重み付き故障カバレッジに基づくテストパターン並替の高速化手法,” 電子情報通信学会ディベンドラブルコンピューティング研究会, VLD2016-61, DC2016-55, pp. 99-104, 立命館大学, 2016 年 11 月 30 日.
- [413] 潘, “リングアンプと逐次比較 ADC を用いるデルタシグマ AD 変調器最適化設計の一手法”, 電子回路研究会, 2016 年 12 月
- [414] 山之内圭祐, 清山浩司, 他 2 名 “集積化脳神経プローブ向け CMOS リファレンス回路の一考察” 2016 年度電子情報通信学会九州支部学生会講演会, p.1
- [415] 西野悟, 清山浩司, 他 7 名 “集積化脳神経プローブ

のための過熱保護機能を有する電源回路の設計” 電子情報通信学会電子通信エネルギー技術研究会, 信学技報 2017, pp.75-79

- [416] 西野悟, 清山浩司, 他 6 名 “集積化脳神経プローブシステムの過熱保護用温度検出回路の一考察” 第 69 回電気・情報関係学会九州支部連合大会, p.1
- [417] 安藤博士, 滝沢賢一, 吉田毅, 松下光次郎, 亀田成司, 平田雅之, 吉峰俊樹, 鈴木隆文, “[招待講演] 臨床応用に向けた皮質脳波ワイヤレス BMI システムの開発”, 信学技報, vol. 116, no. 173, ICD2016-26, pp. 71-76, 2016 年 8 月.
- [418] 佐藤, 増田, 飯塚, 尾上, 橋本, “確率的回路寿命予測手法の計算安定性と確率取り扱いの妥当性に関する考察”, DA シンポジウム 2016 論文集, pp.38-43, 2016 年 9 月
- [419] 須藤千裕, 和田和千, “負電圧発生回路の低電圧化とチャージポンプへの適用による入力電圧範囲の拡大”, 電気学会電子回路研究会, ECT-17-040, 2017 年 3 月
- [420] 下川直樹, 和田和千, “ゲインブースト回路を転用したノイズキャンセリング LNA の低消費電力性能”, 電気学会電子回路研究会, ECT-17-015, 2017 年 1 月
- [421] 江川和穂, 和田和千, “広い温度範囲で全 MOSFET の動作領域を補償したログドメインフィルタ”, 電気学会電子回路研究会, ECT-17-008, 2017 年 1 月
- [422] 鈴木博俊, 和田和千, “論理ゲートを連続 2 値動作させて用いる演算増幅回路の帯域”, 電気学会電子回路研究会, ECT-16-86, 2017 年 3 月
- [423] 北野大志, 小椋清孝, 森下賢幸, 伊藤信之, “相互誘導を用いた整合回路を備えた 2.4/5.25GHz 同時受信低雑音増幅器に関する研究,” 平成 28 年度(第 67 回)電気・情報関連学会中国支部連合大会, R16-12-04, 広島, 2016 年 10 月 22 日.
- [424] 西野賀雄, 伊藤信之, 森下賢幸, 小椋清孝, “キャパシタアレイを用いた LC 型 Injection-locked Frequency Divider の広帯域化に関する研究”, 信学技報, vol. 116, no. 487, ICD2016-136, pp. 102-106, 2017 年 3 月.

4. 著書

- [1] Minami Takato, Ken Saito and Fumio Uchikoba, “Chapter 4 Modeling of a Biological Neuron by Electronic Circuit and Application for IC and MEMS Microrobots,” Nova Science Publishers, Advances in Engineering Research, Vol. 16, 2017. 03.
- [2] Ken Saito, Minami Takato, Yoshifumi Sekine, and Fumio Uchikoba, “Chapter 25 MEMS Microrobot with Pulse-Type Hardware Neural Networks Integrated Circuit,” IGI, Nature-Inspired Computing! Concepts, Methodologies, Tools, and Applications, 2016. 07.
- [3] 林他, “5G のすべて 第 11 回,” 日経コミュニケーション, pp. 52-60, 2016 年 6 月

A-2 ナノテクノロジー・プラットフォーム (クリーンルーム利用) に関する発表文献リスト

1. 学会等における口頭・ポスター発表

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Developing an in vitro system for investigating neuronal linear system identification (ポスター)	Isomura T., Toyozumi T., Kotani K., Jimbo Y. (Univ. Tokyo)	SfN2016	平成28年11月16日	国外
Characterization of synchronized burst in developing human iPS cell-derived neuronal networks with a microtunnel device (口頭)	Shimba K., Iida S., Sakai K., Kotani K., Jimbo Y.	10th International Meeting on Substrate-Integrated Microelectrode Arrays	平成28年6月28日	国外
Different activity patterns in cortical network of iPS cell-derived excitatory/inhibitory neurons (口頭)	Iida S., Shimba K., Kotani K., Jimbo Y.	10th International Meeting on Substrate-Integrated Microelectrode Arrays	平成28年6月28日	国内
Microfabricated neuron-glia co-culture device for monitoring the facilitation of impulse conduction during myelin formation (ポスター)	Sakai K., Shimba K., Kotani K., Jimbo Y.	10th FENS Forum of Neuroscience	平成28年7月2日	国外
PM2.5を検出するマイクロセンサの研究 (口頭)	神保直道, 山口富治, 原和裕 (東京電機大学)	平成28年度電気学会センサ・マイクロマシン部門総合研究会	平成28年6月30日	国内
有機系粒子状物質を検出するマイクロセンサの研究 (ポスター)	神保直道, 山口富治, 原和裕 (東京電機大学)	第33回「センサ・マイクロマシンと応用システム」シンポジウム	平成28年10月25日	国内
Elastic wave measurement using a MEMS AE sensor (口頭)	Takahiro Omori (Toshiba) Takashi Usui (Toshiba) Kazuo Watabe (Toshiba) Minh-Dung Nguyen (The University of Tokyo) Kiyoshi Matsumoto (The University of Tokyo) Isao Shimoyama (The University of Tokyo)	8th International Conference on Acoustic Emission	平成28年12月5日	国内
Measurement of jumping force of a fruit fly using a MEMS force plate (口頭)	Hidetoshi Takahashi (The University of Tokyo) Ryu Furuya (The University of Tokyo) Nguyen Thanh-Vinh (The University of Tokyo) Tomoko Yano (The University of Tokyo) Kei Ito (The University of Tokyo) Tomoyuki Takahata (The University of Tokyo) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)	SEB Annual Main Meeting 2016	平成28年7月4日	国外
マイクロピラーアレイを用いた高感度MEMS気流せん断応力センサ (口頭)	高橋英俊 (東京大学) 風間涼平 (東京大学) グエンタンヴィン (東京大学) 高畑智之 (東京大学) 松本潔 (東洋大学) 下山勲 (東京大学)	第33回「センサ・マイクロマシンと応用システム」シンポジウム	平成28年10月25日	国内

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
MEMS force sensors for measuring droplet dynamics (口頭)	Nguyen Thanh-Vinh (The University of Tokyo) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)	EMN Meeting on Droplets	平成28年5月10日	国外
Direct measurements of the pressure distribution along the contact area during droplet impact (口頭)	Nguyen Thanh-Vinh (The University of Tokyo) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)	The 69th Annual Meeting of the APS Division of Fluid Dynamics	平成28年11月21日	国外
非侵襲血圧計測のためのMEMS超音波センサ (ポスター)	竹井裕介 (東京大学) 松井亮 (東京大学) グエン・ミン・ジュン (東京大学) 高畑智之 (東京大学) 松本潔 (東洋大学) 下山勲 (東京大学)	第33回「センサ・マイクロマシンと応用システム」シンポジウム	平成28年10月25日	国内
Nanopatterning for exosome nanoarrays by electron-beam lithography (ポスター)	S. Yokota, H. Kuramochi, and T. Ichiki	25th Annual Meeting of Materials Research Society of Japan (MRS-J)	平成28年12月20日	国内
表面弾性波を用いたラジオ波光コヒーレント変換 (口頭)	岡田彪利 (東大先端研), 山崎歴舟 (東大先端研), 野口篤史 (東大先端研), 田淵豊 (東大先端研), 宇佐見康二 (東大先端研), 中村泰信 (東大先端研, 理研)	日本物理学会2016年秋季大会	平成28年9月14日	国内
表面弾性波と結合した超伝導回路の非線形性の観測 (口頭)	野口篤史 (東大先端研), Imran Mahboob(NTT BRL), 山崎歴舟 (東大先端研), 久米村百子 (東大生産研), 安宅学 (東大生産研), 藤田博之 (東大生産研), 田淵豊 (東大先端研), 宇佐見康二 (東大先端研), 中村泰信 (東大先端研, 理研)	日本物理学会2016年秋季大会	平成28年9月14日	国内
Gate-voltage induced trions in suspended carbon nanotubes (口頭)	M. Yoshida, A. Popert, Y. K. Kato(Riken)	第64回応用物理学会春季学術講演会	平成29年3月15日	国内
Optical bistability in carbon nanotubes (口頭)	T. Uda, A. Ishii, Y. K. Kato(Riken)	第64回応用物理学会春季学術講演会	平成29年3月15日	国内
Single photon generation through exciton-exciton annihilation in air-suspended carbon nanotubes (口頭)	A. Ishii, T. Uda, Y. K. Kato(Riken)	The 52th Fullerenes-Nanotubes-Graphene General Symposium	平成29年3月3日	国内
Enhancement of Raman scattering from monolayer graphene by photonic crystal nanocavities (口頭)	I. Kimura, M. Yoshida, M. Sota, H. Machiya, T. Inoue, S. Chiashi, S. Maruyama, Y. K. Kato(Riken)	The 52th Fullerenes-Nanotubes-Graphene General Symposium	平成29年3月1日	国内
Cold exciton electroluminescence from air-suspended carbon nanotube split-gate devices (口頭)	N. Higashide, M. Yoshida, T. Uda, A. Ishii, Y. K. Kato(Riken)	The 52th Fullerenes-Nanotubes-Graphene General Symposium	平成29年3月3日	国内
Optical bistability in carbon nanotubes (口頭)	T. Uda, A. Ishii, Y. K. Kato(Riken)	The 52th Fullerenes-Nanotubes-Graphene General Symposium	平成29年3月3日	国内
Fabrication and photoluminescence characterization of carbon nanotube dual-gate devices (ポスター)	A. Sasabe, T. Uda, M. Yoshida, A. Ishii, Y. K. Kato(Riken)	第64回応用物理学会春季学術講演会	平成29年3月14日	国内
Fabrication and photoluminescence characterization of carbon nanotube dual-gate devices (ポスター)	A. Sasabe, T. Uda, M. Yoshida, A. Ishii, Y. K. Kato(Riken)	The 52th Fullerenes-Nanotubes-Graphene General Symposium	平成29年3月1日	国内

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Spectral tuning of optical coupling between air-mode nanobeam cavities and individual carbon nanotubes (ポスター)	H. Machiya, T. Uda, A. Ishii, Y. K. Kato(Riken)	The 52th Fullerenes-Nanotubes-Graphene General Symposium	平成29年3月1日	国内
Surface and screening Effects on Optical Properties of Carbon Nanotubes (口頭)	Y. K. Kato(Riken)	Pacific Rim symposium on Surfaces, Coatings & Interfaces (Pacsurf) 2016	平成28年12月13日	国外
Exciton Dissociation and Trion Generation in Individual Carbon Nanotubes (口頭)	Y. K. Kato(Riken)	229th Electrochemical Society Meeting	平成28年6月2日	国外
Single photon generation through exciton-exciton annihilation in air-suspended carbon nanotubes (口頭)	A. Ishii, T. Uda, Y. K. Kato(Riken)	March Meeting of the American Physical Society	平成29年3月13日	国内
Spectral tuning of optical coupling between air-mode nanobeam cavities and individual carbon nanotubes (口頭)	H. Machiya, T. Uda, A. Ishii, and Y. K. Kato(Riken)	March Meeting of the American Physical Society	平成29年3月13日	国外
Enhancement of Raman scattering from monolayer graphene by photonic crystal nanocavities (口頭)	I. Kimura, M. Yoshida, M. Sota, T. Inoue, S. Chiashi, S. Maruyama, Y. K. Kato(Riken)	March Meeting of the American Physical Society	平成29年3月16日	国外
ドレスト光子フォノンを用いたSi LEDの発光スペクトル加工条件依存性 (口頭)	金俊亨 (東大院工), 川添忠 (NPO ナノフォト), 大津元一 (東大院工)	第77回応用物理学会秋季学術講演会	平成28年9月16日	国内
ドレスト光子を用いたSi LEDの発光原理に関する考察 (口頭)	金俊亨 (東大院工), 川添忠 (NPO ナノフォト), 大津元一 (東大院工)	第64回応用物理学会春季学術講演会	平成29年3月15日	国内
Ultra-flexible organic applications for bio applications (口頭)	Tomoyuki Yokota and Takao Someya	Asian Conference on Nanoscience and Nanotechnology (AsiaNANO 2016)	平成28年10月11日	国外
Ultra-Flexible Organic Pulse Oximetry (口頭)	Tomoyuki Yokota, Peter Zalar, Martin Kaltenbrunner, Hiroaki Jinno, Naoji Matsuhisa, Hiroaki Kitanosako, Yutaro Tachibana, Wakako Yukita, Mari Koizumi and Takao Someya	2016 MRS Fall Meeting	平成28年11月29日	国外
有機光デバイスをを用いたフレキシブル血中酸素濃度計 (口頭)	横田知之, ザーラーピーター, カルテンブルナーマーティン, 甚野裕明, 松久直司, 北之迫浩輝, 立花勇太郎, 雪田和歌子, 小泉真里, 染谷隆夫	第77回応用物理学会秋季学術講演会	平成28年9月15日	国内
極薄フレキシブル基板上への逆型構造OLEDの作製 (口頭)	甚野裕明, 横田知之, 立花勇太郎, 雪田和歌子, 小泉真里, 染谷隆夫	第77回応用物理学会秋季学術講演会	平成28年9月15日	国内
Measuring Evoked Action Potential on Moving Muscle of Optogenetics Rat Using Organic Electro Chemical Transistors(口頭)	Wonryung Lee, Dongmin Kim, Jonathan Rivnay, Naoji Matsuhisa, Thomas Lonjaret, Tomoyuki Yokota, Hiromu Yawo, Masaki Sekino, George Malliaras and Takao Someya	2016 MRS Fall Meeting	平成28年11月29日	国外
オプトジェネティクスを用いた脊髄損傷後の歩行リハビリテーション治療の開発 Rewalk with blue light (口頭)	高島健太, 松久直司, ザーラーピーター, 嶋田啓, 李元領, 横田知之, 関野正樹, 関谷毅, 八尾寛, 染谷隆夫, 小野寺宏	第51回日本理学療法学会学術大会	平成28年5月29日	国内

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
94GHz rectifier fabricated by MEMS techniques for high power wireless power with fin-line (口頭)	Waku Hatakeyama (The University of Tokyo), Yuki Okamoto (The University of Tokyo), Ayako Mizushima (The University of Tokyo), Kohei Shimamura (Tsukuba University), Kosumo Matsui (The University of Tokyo), Kohei Fujiwara (Tokyo Metropolitan Industrial Technology Research Institute), Hidehiko Yamaoka (Tokyo Metropolitan Industrial Technology Research Institute), Kimiya Komurasaki (The University of Tokyo)	電子情報通信学会総合大会	平成29年3月22日	国内
94GHz ミリ波整流回路の試作 (口頭)	嶋村 耕平 (筑波大学), 島山 湧 (東京大学), 松井 宇宙 (東京大学), 岡本有貴 (東京大学), 水島彩子 (東京大学), 藤原 康平 (東京都立産業技術研究センター), 山岡 英彦 (東京都立産業技術研究センター), 鈴木 雅敏 (筑波大学), 皆川 俊介 (筑波大学), 小紫 公也 (東京大学)	第36回宇宙エネルギーシンポジウム	平成29年2月25日	国内
表面増強赤外吸収の増強機構と増強が起きる限界粒子サイズの検討 (口頭)	島田透 (弘前大学), 中嶋洋, 熊谷遊太, 石郷侑汰, 津島将導, 碓垂紀彦, 鈴木裕史	日本化学会第96春季年会	平成29年3月19日	国内
表面増強赤外吸収が生じるナノ構造のサイズ限界に関する研究 (口頭)	島田透 (弘前大学), 石郷侑汰, 中嶋洋, 津島将導, 鈴木裕史	2016年真空・表面科学合同講演会第36回表面科学学術講演会第57回真空に関する連合講演会	平成29年11月29日	国内
表面増大赤外吸収現象が発現する金ナノ粒子サイズ最値の波長依存性II (口頭)	津島将導, 中嶋洋, 石郷侑汰, 千葉豪, 島田透 (弘前大学), 鈴木裕史	第77回応用物理学会秋季学術講演会	平成29年9月13日	国内
ナノ粒子配列によるバックグラウンド赤外吸収のSEIRAへの影響 (口頭)	石郷侑汰, 中嶋洋, 津島将導, 千葉豪, 島田透 (弘前大学), 鈴木裕史	第77回応用物理学会秋季学術講演会	平成28年9月13日	国内
RCWAを用いた金ナノ粒子配列の赤外透過スペクトルシミュレーション (口頭)	千葉豪, 中嶋洋, 石郷侑汰, 津島将導, 島田透 (弘前大学), 鈴木裕史	第77回応用物理学会秋季学術講演会	平成28年9月13日	国内
表面赤外吸収分光法における吸収増強度に対する基板の影響 (ポスター)	島田透 (弘前大学)	平成28年度弘前大学若手・新任研究者支援事業採択者並びに青森ブランド価値創造研究採択課題の研究発表会	平成29年3月2日	国内
電気光学ポリマーを用いた垂直入射型光変調器の提案と設計 (ポスター)	小杉優地 (東京大学) 種村拓夫 (東京大学)	電子情報通信学会光エレクトロニクス研究会	平成28年4月21日	国内
Surface-normal optical modulator using silicon high-contrast grating with electro-optic polymer (ポスター)	Yuji Kosugi (The University of Tokyo) Yoshiaki Nakano (The University of Tokyo) Takuo Tanemura (The University of Tokyo)	International Nano-Optoelectronics Workshop	平成28年7月28日	国外
反応性スパッタリング法によるマイクロヒータ用TiN薄膜の作製 (口頭)	高岡利昌 (東京高専専攻科), 新國広幸 (東京高専), 伊藤浩 (東京高専)	電子情報通信学会ソサイエティ大会	平成28年9月21日	国内
MEMS技術を用いたナノ構造による細胞機能制御 (口頭)	石橋直也 (東大院), 牛田多加志 (東大), Montagne Kevin (東大), 古川克子 (東大)	日本機械学会第29回バイオエンジニアリング講演会	平成29年1月20日	国内

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
ナノエレクトロニクスを用いた混成半導体集積回路HySICの接合技術 (口頭)	古瀬結貴 (上智大学), 清田春信 (株式会社ユー・エム・サービス), 宮地晃平 (JAXA), 中岡俊裕 (上智大学), 岸川諒子 (総合研究大学院大学), 林大介 (総合研究大学院大学), 川崎繁男 (JAXA)	第4回宇宙ナノエレクトロニクスワークショップ	平成28年12月15日	国内
混成半導体集積回路HySICによるRFエネルギーハーベスタの試作 (口頭)	古瀬結貴 (上智大学), 清田春信 (株式会社ユーエムサービス), 宮地晃平 (JAXA), 中岡俊裕 (上智大学), 岸川諒子 (総研大), 林大介 (総研大), 川崎繁男 (JAXA)	2017年電子情報通信学会総合大会電子情報通信学会総合大会 [C-2-22]	平成29年3月23日	国内
Growth of single-walled carbon nanotube from nanotube edges with various diameters (ポスター)	T. Inoue (東京大学), H. Takezaki (東京大学), K. Otsuka (東京大学), R. Xiang (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学, 産総研)	The 17th International Conference on the Science and Application of Nanotubes and Low-Dimensional Materials (NT16)	平成28年8月8日	国外
One-way burning of single-walled carbon nanotubes from site-controlled nanogaps for full-length removal of metallic nanotubes (ポスター)	K. Otsuka (東京大学), T. Inoue (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学, 産総研)	The 17th International Conference on the Science and Application of Nanotubes and Low-Dimensional Materials (NT16)	平成28年8月8日	国外
"Characterization of Single-walled Carbon Nanotubes by Rayleigh Scattering and Imaging Spectroscopy (ポスター)	S. Chiashi (東京大学), T. Okochi (東京大学), T. Osawa (東京大学), Y. Furukawa (東京大学), S. Maruyama (東京大学, 産総研)	The 17th International Conference on the Science and Application of Nanotubes and Low-Dimensional Materials (NT16)	平成28年8月9日	国外
Voltage-driven physical gap extension of single-walled carbon nanotubes after electrical breakdown (口頭)	K. Otsuka (東京大学), T. Inoue (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学, 産総研)	4th Carbon Nanotube Thin Film Electronics and Applications Satellite (CNTFA16)	平成28年8月13日	国外
Gradual etching and long-length burning of metallic single-walled carbon nanotubes toward semi-conducting nanotube arrays (ポスター)	T. Inoue (東京大学), K. Otsuka (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学, 産総研)	第51回フラーレン・ナノチューブ・グラフェン総合シンポジウム	平成28年9月9日	国内
CVD growth of single-crystal bi-layer graphene using alcohol (ポスター)	M. Sota (東京大学), M. Atwa (東京大学, KTH), K. Kashiwa (東京大学), N. Ueda (東京大学), X. Chen (東京大学), T. Inoue (東京大学), R. Xiang (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学, 産総研)	第51回フラーレン・ナノチューブ・グラフェン総合シンポジウム	平成28年9月9日	国内
電圧印加による水平配向単層カーボンナノチューブギャップの一方方向エッチング (Voltage-driven unidirectional etching of horizontally aligned single-walled carbon nanotube gaps) (口頭)	大塚慶吾 (東京大学), 井ノ上泰輝 (東京大学), 千足昇平 (東京大学), 丸山茂夫 (東京大学, 産総研)	第77回応用物理学会秋季学術講演会	平成28年9月15日	国内
金属単層カーボンナノチューブ選択除去と電界放出による一方方向燃焼 (口頭)	大塚慶吾 (東京大学), 井ノ上泰輝 (東京大学), 千足昇平 (東京大学), 丸山茂夫 (東京大学, 産総研)	第53回日本伝熱シンポジウム	平成28年5月24日	国内
Fabrication of multiple transistors from semiconducting single-walled carbon nanotube arrays after water-assisted burning of metallic tubes (口頭)	K. Otsuka (東京大学), T. Inoue (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学, 産総研)	第52回フラーレン・ナノチューブ・グラフェン総合シンポジウム	平成29年3月1日	国内

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Optical Measurement of Single-Walled Carbon Nanotubes Using Rayleigh Scattering Spectroscopy (ポスター)	T. Okochi (東京大学), T. Osawa (東京大学), Y. Furukawa (東京大学), T. Ogamoto (東京大学), S. Kamakura (東京大学), T. Inue (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学)	第52回フラーレン・ナノチューブ・グラフェン総合シンポジウム	平成29年3月3日	国内
Growth of Single-Crystal Single-Layer and Bi-Layer Graphene Using Alcohol Catalytic CVD (ポスター)	M. Sota (東京大学), K. Kashiwa (東京大学), N. Ueda (東京大学), K. Otsuka (東京大学), T. Inoue (東京大学), R. Xiang (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学, 産総研)	第52回フラーレン・ナノチューブ・グラフェン総合シンポジウム	平成29年3月3日	国内
Selective burning of metallic single-walled carbon nanotubes for integration of transistors (口頭)	K. Otsuka (東京大学), T. Inoue (東京大学), S. Chiashi (東京大学), S. Maruyama (東京大学, 産総研)	APS March Meeting 2017	平成29年3月13日	国外
RCWAを用いたAuアレイ上PAAの赤外吸収増大シミュレーション (口頭)	千葉豪, 中嶋洋, 石郷侑汰, 津島将導, 島田透, 鈴木裕史	第64回応用物理学会春季学術講演会	平成29年3月15日	国内
弾性基板上の微小架け橋構造 : 切り紙構造からのアプローチ (口頭)	武居 淳 (お茶の水女子大学), 村野 真由子 (お茶の水女子大学), 谷茉莉 (お茶の水女子大学), 藤田 博之 (東京大学), 奥村 剛 (お茶の水女子大学)	日本物理学会秋季大会	平成28年9月14日	国内
Tunneling magnetoresistance induced by spin-splitting of the valence band in GaMnAs (口頭)	Hiroshi Terada (The Univ. of Tokyo), Shinobu Ohya (The Univ. of Tokyo), and Masaaki Tanaka (The Univ. of Tokyo)	2016年秋季第77回応用物理学会学術講演会	平成28年9月14日	国内
Spin dependent transport in GaMnAs-based tunnel junctions (ポスター)	Hiroshi Terada (The Univ. of Tokyo), Shinobu Ohya (The Univ. of Tokyo), and Masaaki Tanaka (The Univ. of Tokyo)	第8回低温センター研究交流会	平成29年2月23日	国内
MEMSマイクロロボットに実装可能な集積回路による人工ニューラルネットワークの開発 (口頭)	杉田 和貴 (日本大学), 岩田 蛸 (日本大学), 岡根 佑樹 (日本大学), 高藤 美泉 (日本大学), 内木場 文男 (日本大学), 齊藤 健 (日本大学)	第29回路とシステムワークショップ	平成28年5月12日	国内
Silicon near infrared photodetector using organic crystalline nano-pillars (口頭)	安食嘉晴 (一般財団法人) マイクロマシンセンター 菅哲朗 (電気通信大学)	EMN Photodetectors	平成28年6月5日	国外
Au/Si ナノピラーアレイを用いた近赤外光シリコン型フォトディテクタ (口頭)	菅哲朗 (電気通信大学) 安食嘉晴 (マイクロマシンセンター) 松本潔 (東洋大学) 下山勲 (東京大学)	第33回「センサ・マイクロマシンと応用システム」シンポジウム	平成28年10月24日	国内
マイクロ流体デバイスを用いた動物細胞染色体の凝縮構造安定性の解析 (ポスター)	高橋智博 (東京大学大学院工学系研究科), オケヨ・ケネディ (東京大学大学院工学系研究科), 鷺津正夫 (東京大学大学院工学系研究科), 小穴英廣 (東京大学大学院工学系研究科)	化学とマイクロ・ナノシステム学会第33回研究会	平成28年4月25日	国内
動物細胞クロマチンファイバーに対する化学修飾および凝縮部の光マッピング (ポスター)	高橋智博 (東京大学大学院工学系研究科), オケヨ・ケネディ (東京大学大学院工学系研究科), 鷺津正夫 (東京大学大学院工学系研究科), 小穴英廣 (東京大学大学院工学系研究科)	化学とマイクロ・ナノシステム学会第34回研究会	平成28年9月6日	国内
Optical Mapping of Epigenetic Information along Intact Chromatin Fibers isolated from Single Cells in a Microchannel (口頭)	Tomohiro Takahashi (Univ. of Tokyo), Kennedy O. Okeyo (Univ. of Tokyo), Masao Washizu (Univ. of Tokyo), Jun Ueda (Chubu Univ), Hidehiro Oana (Univ. of Tokyo)	International Symposium on Micro-Nano Science and Technology 2016	平成28年12月18日	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
マイクロ流路を用いた動物細胞由来クロマチンの高次構造ダイナミクスの直接観察 (口頭)	高橋智博 (東京大学大学院工学系研究科), オケヨ・ケネディ (東京大学大学院工学系研究科), 鷺津正夫 (東京大学大学院工学系研究科), 上田潤 (中部大学実験動物教育研究センター), 山縣一夫 (近畿大学生物理学部), 小穴英廣 (東京大学大学院工学系研究科)	第34回染色体ワークショップ・第15回核ダイナミクス研究会	平成28年1月12日	国内
シリコンの近接場援用光吸収に関する研究 (ポスター)	岡田峻 (東大院工), 齋地康太 (東大院工), 金俊亨 (東大院工), 八井崇 (東大院工)	第2回 Core-to-Core 学生研究講演会	平成28年12月6日	国内
近接場光による間接遷移型半導体の光吸収過程の実証 (ポスター)	齋地康太 (東大院工), 岡田峻 (東大院工), 八井崇 (東大院工)	第2回 Core-to-Core 学生研究講演会	平成28年12月6日	国内
High-power current-injection type Silicon laser using nanophotonics (口頭)	Tadashi Kawazoe (NPEO), Kazunobu Hasimoto (NPEO), Satoshi Sugiura (NPEO)	Nanocrystals Conference 2016	平成28年10月17日	国外
ホモ接合シリコンレーザーの作製 (口頭)	川添忠 (NPEO), 橋本和信 (NPEO), 杉浦聡 (NPEO)	レーザー学会学術講演会第37回年次大会	平成29年1月7日	国内
動脈圧直接測定用光導波型圧力センサに関する研究 (口頭)	新國広幸, 伊藤浩, 片岡寛明	2016年電子情報通信学会エレクトロニクスソサイエティ大会	平成28年9月21日	国内
DNA mechanical characterization inside biological buffer by the Double-Actuator Silicon Nano Tweezers (口頭)	Grégoire Perret (LIMMS/CNRS-IIS, UMI2820, The University of Tokyo), Nicolas Lafitte (LIMMS/CNRS-IIS, UMI2820, The University of Tokyo), Laurent Jalabert (LIMMS/CNRS-IIS, UMI2820, The University of Tokyo), Momoko Kumemura (LIMMS/CNRS-IIS, UMI2820, The University of Tokyo), Thomas Lacornerie (Centre Oscar Lambret, University of Lille 2, France), Eric Lartigau (Centre Oscar Lambret, University of Lille 2, France), Fabrizio Cleri (IEMN, UMR8520, CNRS, University of Lille 1, France), Hiroyuki Fujita (Institute of Industrial Science, The University of Tokyo), Dominique Collard (LIMMS/CNRS-IIS, UMI2820, The University of Tokyo)	Asia-Pacific Conference of Transducers and Micro-Nano Technology 2016	平成28年6月26日	国外
低照射線量率下のSiO ₂ /Si界面準位生成量に与える膜中Si-H基量の影響 (口頭)	東口紳太郎 (東大院工), 牧野高紘 (量研機構高崎), 大島武 (量研機構高崎), 小林大輔 (JAXA宇宙研, 東大院工), 廣瀬和之 (JAXA宇宙研, 東大院工, 早大理工)	第64回応用物理学会春季学術講演会	平成29年3月16日	国内
X線照射によるSiO ₂ 表面帯電の自発的補償機構の解明に向けた試料電流測定 (口頭)	張江貴大 (早大理工), 小林大輔 (JAXA宇宙研, 東大院工), 山本知之 (早大理工), 廣瀬和之 (JAXA宇宙研, 東大院工)	第64回応用物理学会春季学術講演会	平成28年3月16日	国内
シリコン系熱複合材料の作製と性能評価 (口頭)	桐谷絵美, 三浦飛鳥, 児玉高志, 塩見淳一郎 (東大機械工)	第37回日本熱物性シンポジウム	平成28年11月28日	国内
シリコン接合界面の温度依存性評価 (口頭)	谷田進, 小宅教文, 塩見淳一郎 (東大機械工)	第37回日本熱物性シンポジウム	平成28年11月28日	国内
Mid-infrared ultrafast plasmonics and their applications to nonlinear optical phenomena (invited) (口頭)	Satoshi Ashihara (IIS, The University of Tokyo)	10th Asia-Pacific Laser Symposium (APLS 2016)	平成28年5月12日	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Near-field enhancements of mid-infrared femtosecond pulses upon collective plasmon excitations in metal nanorod arrays (口頭)	A. Takegami (東京農工大学), F. Kusa (東京農工大学), S. Ashihara (東京大学生産技術研究所)	3rd Optical Manipulation Conference in OPTICS & PHOTONICS International Congress	平成28年5月19日	国外
Nonlinear vibrational spectroscopy by using enhanced ultra-short-pulsed field (口頭)	I. Morichika (東京大学生産技術研究所), F. Kusa (東京農工大学), A. Takegami (東京農工大学), S. Ashihara (東京大学生産技術研究所)	OSJ-OSA Joint Symposia in Optics & Photonic Japan 2016	平成28年10月30日	国外
Infrared ultrafast plasmonics boosts nonlinear light-matter interactions (invited) (口頭)	S. Ashihara	JSPS-EPSC symposium	平成29年1月5日	国外
中赤外フェムト秒パルスの電場増強とその非線形光学応用 (invited) (口頭)	芦原聡	電気電子情報通信学会超高速光エレクトロニクス研究会 第3回研究会	平成28年4月26日	国内
赤外プラズモニクスで拓く超高速非線形光学 (invited) (口頭)	芦原聡 (東京大学生産技術研究所)	日本光学会年次学術講演会 OPJ2016 シンポジウム「赤外ナノフォトニクス」	平成28年11月2日	国内
中赤外プラズモニクスを活用した光-物質相互作用の制御 (invited) (口頭)	芦原聡 (東京大学生産技術研究所)	応用物理学会・量子エレクトロニクス研究会	平成28年12月8日	国内
マイクロ流路を有する自励振動ヒートパイプ内の流動解析 (口頭)	阿部佑太郎 (東京大学) 磯村浩一 (東京大学) 吉本勇太 (東京大学) 杵淵郁也 (東京大学) 高木周 (東京大学)	日本機械学会2016年度年次大会	平成28年9月14日	国内
Flow analysis in micro pulsating heat pipes by high-speed imaging (ポスター)	阿部佑太郎 (東京大学) 磯村浩一 (東京大学) 吉本勇太 (東京大学) 杵淵郁也 (東京大学) 高木周 (東京大学)	International Symposium on Micro-Nano Science and Technology 2016	平成28年12月18日	国外
ポリマブレンドと物理テンプレートを用いた自己組織化周期構造の作製法 (口頭)	割澤伸一 (東京大学新領域創成科学研究科) 中村高道 (東京大学新領域創成科学研究科) 福井類 (東京大学新領域創成科学研究科)	2017年度精密工学会春季大会学術講演会	平成29年3月13日	国内
SnO ₂ 薄膜によるガスセンシング性能とピエゾ抵抗特性評価 (口頭)	方琦 (東京大学), 上木瞭太郎 (東京大学), 福井類 (東京大学), 山口武司 (新電元工業株式会社), 佐藤真 (新電元工業株式会社), 越後谷天垣 (新電元工業株式会社), 三田吉郎 (東京大学), 山田一郎 (新電元工業株式会社), 割澤伸一 (東京大学)	2017年度精密工学会春季大会学術講演会	平成29年3月13日	国内
Ni-W 合金を用いたマイクロ熱電子発電素子のためのめっき膜低応力化 (口頭)	河田晋弥, 岩見健太郎, 梅田倫弘 (東京農工大学)	電気学会平成28年E部門総合研究会	平成28年6月29日	国内
両面一括製作法による太陽熱光発電用Ni-Wアブソーバ・エミッタ (口頭)	岩見健太郎 (東京農工大学)	応用物理学会第77回秋季学術講演会	平成28年9月13日	国内
直接接合のための表面粗さを抑制したサファイア反応性イオンエッチングプロセスの確立 (ポスター)	内田諒, 岩見健太郎, 梅田倫弘 (東京農工大学)	応用物理学会第64回春季学術講演会	平成29年3月14日	国内

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Spin injection into silicon in Fe/Mg/SiNx/Si tunnel junctions(口頭)	T. Hada(Dept. of Electrical Engineering and Information Systems, The University of Tokyo) R. Nakane(Dept. of Electrical Engineering and Information Systems, The University of Tokyo) S. Sato(Dept. of Electrical Engineering and Information Systems, The University of Tokyo) M. Tanaka(Dept. of Electrical Engineering and Information Systems, The University of Tokyo)	応用物理学会第77回秋期大会	平成28年9月14日	国内
Design of Optical Polarization Switch Based on Quantum Well Microring Resonator (ポスター)	Keita Suzuki, Tomoki Hirayama, Taro Arakawa, and Yasuo Kokubun	5th Internat'l Symp. Materials Science and Surface Technol. (MSST) 2016	平成28年8月4日	国外
Microfabrication of Multi-Slit Structures for Study of Quasi-2 Dimensional Topological Superfluid 3He (ポスター)	T. Tani(Department of Physics, Keio University, Japan), S. Murakawa(Cryogenics Research Center, University of Tokyo, Japan), R. Wada(Department of Physics, Keio University, Japan), K. Yamada(Department of Applied Physics and Physico-Informatics, Keio University, Japan), K. Itoh(Department of Applied Physics and Physico-Informatics, Keio University, Japan), Y. Mita(Department of Electrical Engineering and Information Systems, University of Tokyo, Japan), and K. Shirahama(Department of Physics, Keio University, Japan)	2016 International Symposium on Quantum Fluids and Solids	平成28年8月11日	国外
擬2次元超流動3He研究用多重マイクロスリット構造の作成(口頭)	谷智行(慶應大理工), 村川智(東大低セ), 和田龍馬(慶應大理工), 山田快斗(慶應大理工), 伊藤公平(慶應大理工), 三田吉郎(東大院工), 白濱圭也(慶應大理工)	日本物理学会2016年度秋季大会	平成28年9月16日	国内
Study of Superfluid 3He using Micro- and Nanofabrication (口頭)	白濱 圭也(慶應義塾大学理工学部)	TMS Intensive-Interactive Meeting 2016(新学術領域研究「トポロジー物質科学」第7回トポロジー連携研究会)	平成28年11月17日	国外
Fabrication of N-type Silicon Nanowire Using Electron Beam Lithography for Peptide Detection (ポスター)	Yuya Sakurai, Tomoya Tashiro, Noriyasu Oshima, Kakeru Oshima, Sumio Hosaka, Takashi Izumi and Hayato Sone	3rd International Symposium of Gunma University Medical Innovation and 8th International Conference on Advanced Micro-Device Engineering	平成28年12月9日	国外
微小液面における表面波の共鳴振動を利用した表面張力計測に関する研究(口頭)	和田奈津実, 山本憲, 元祐昌廣(東京理科大学)	日本機械学会関東支部第23期講演会	平成29年3月16日	国内
A surface tension measurement using resonance vibration of liquid surface in microscale (口頭)	N. Wada, K. Yamamoto, M. Motosuke (Tokyo University of Science)	1st Asian Conference on Thermal Sciences	平成29年3月29日	国外
Ultra-thin Co(W) barrier/liner layer grown by dual target plasma sputtering (ポスター)	T. Kim (U.Tokyo), A. Matsuo (CANON ANELVA), T. Seino, T. Momose (U.Tokyo), and Y. Shimogaki (U.Tokyo)	Advanced Metallization Conference 2016 26th Asian Session	平成28年10月20日	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
ULSI-Cu配線の信頼性向上に向けた極薄PVD-Co(W)単層バリア/ライナーの特性評価(口頭)	金泰雄(東大), 百瀬健(東大), 松尾明(キヤノンアネルパ), 清野拓哉(キヤノンアネルパ), 霜垣幸浩(東大)	第64回応用物理学会春季学術講演会	平成28年3月15日	国内
SiC-CVIプロセスの合理設計による超均一含浸の実現および複合材料特性への影響(口頭)	嶋紘平(東大)・佐藤登(東大)・船門佑一(東大)・中智明(東大)・福島康之(IHI)・百瀬健(IHI基盤研)・霜垣幸浩(東大)	化学工学会第82年会	平成29年3月8日	国内
SiC-CVIプロセスの初期成長に対する下地材料の影響(口頭)	嶋紘平(東大)・佐藤登(東大)・船門佑一(東大)・福島康之(IHI)・百瀬健(東大)・霜垣幸浩(東大)	化学工学会第48回秋季大会	平成28年9月6日	国内
Bias-dependent magneto-conductance in n-type ferromagnetic semiconductor (In,Fe) As-based Esaki diodes (口頭)	レデウックアイン(東大), ファムナムハイ(東工大), 田中雅明(東大)	2016年度秋季応用物理学会学術講演会	平成28年9月14日	国内
Relationship between 3-terminal signals and a dead layer of Fe/Mg/MgO/Si structure (口頭)	S. Sato, R. Nakane, T. Hada, and M. Tanaka	応用物理学会第77回秋季大会	平成28年9月14日	国内
Analysis of 3-terminal and 4-terminal spin signals in Si-based vertical and lateral devices (ポスター)	S. Sato, R. Nakane, T. Hada, and M. Tanaka	第8回低温センター研究交流会	平成29年2月23日	国内
Appearance of spin injection signals in three-terminal devices with Fe/Mg/MgO/Si junctions: Effect of Mg insertion layer (ポスター)	S. Sato, R. Nakane, T. Hada, and M. Tanaka	The 9th International Conference on Physics and Applications of Spin-Related Phenomena in Solids	昭和45年1月1日	国外
メタンイオン注入によるグラフェンの合成(ポスター)	米山長春 東京大学 崔竣豪 東京大学	第26回日本MRS年次大会	平成28年12月22日	国内
プラズマ利用イオン注入法を用いたグラフェンの合成(口頭)	米山長春 東京大学 崔竣豪 東京大学	日本機械学会関東支部第23回総会	平成29年3月17日	国内
高感度のワイヤレス温度センサを用いた燃焼場の壁温計測(口頭)	李敏赫(東京大), 森本賢一, 鈴木雄二	第53回日本伝熱シンポジウム	平成28年5月26日	国内
無線センサを用いた可視化エンジンの壁温計測(口頭)	李敏赫(東京大), 森本賢一, 鈴木雄二	第54回燃焼シンポジウム	平成28年11月25日	国内
Wall Temperature Measurement in a Visualization Engine Using a Flexible Wireless Sensor (口頭)	Taejin Kwan (Univ. of Tokyo), Minhyeok Lee, Kenichi Morimoto, Yuji Suzuki	1st Asian Conference on Thermal Sciences (ACTS2017)	平成29年3月28日	国外
共有ばねを有する近接場効果を用いた高開口率MEMSラジエータの開発(ポスター)	呉承哲(東京大), 林佑樹, 中島寛貴, 上野藍, 森本賢一, 鈴木雄二	第53回日本伝熱シンポジウム	平成28年5月24日	国内
多層膜の近接場効果を用いたMEMSラジエータの熱的評価(口頭)	呉承哲(東京大), 林佑樹, 上野藍, 森本賢一, 鈴木雄二	日本機械学会熱工学コンファレンス2016	平成28年10月23日	国内
Thermal Evaluation of Near-Field-Enhanced MEMS Radiator with Multi-Layered Structure (口頭)	Seungchul Oh (Univ. of Tokyo), Kenichi Morimoto, Yuji Suzuki	1st Asian Conference on Thermal Sciences (ACTS2017)	平成29年3月29日	国外
Effect of Pillar Conductivity on the Critical Voltage of Cassie-To-Wenzel Transition (口頭)	Yu-Chung Chen (Univ. of Tokyo), Kenichi Morimoto, Yuji Suzuki	International Symposium on Micro-Nano Science and Technology 2016	平成28年12月17日	国外
Parylene-Based MEMS Gas Sensor for High-Sensitivity VOC Detection with 3D Electrode Structure (口頭)	Cheng-Han Yeh (Univ. of Tokyo), Yuji Suzuki, Kenichi Morimoto	International Symposium on Micro-Nano Science and Technology 2016	平成28年12月17日	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Soft-X-ray Charged Piezoelectret for Power Generation Switch (口頭)	Jia Lu (Univ. of Tokyo), Hangjun Cho, Yuji Suzuki	日本機械学会熱工学コンファレンス2016	平成28年10月22日	国内
Electret-based Unsteady Thermal Energy Harvester using KTN Crystal (口頭)	Hong Xie (Univ. of Tokyo), Kenichi Morimoto, Yuji Suzuki	日本機械学会熱工学コンファレンス2016	平成28年10月22日	国内
レーザアシストロールナノインプリントを用いた微細構造のPETフィルムへの転写 (口頭)	矢島由基 (東大), 長藤圭介 (東大), 中尾政之 (東大)	日本機械学会2016年度年次大会	平成28年9月12日	国内
Simple Process Design for Polymer MEMS (口頭)	Takaaki Suzuki (Gunma Univ.)	International Symposium on Micro-Nano Science and Technology 2016	平成28年12月16日	国外
ポリマー MEMSのプロセス設計 (口頭)	鈴木孝明 (群馬大学)	電気学会第33回「センサ・マイクロマシンと応用システム」シンポジウム電気学会・機械学会合同OSセッション	平成28年10月24日	国内
マイクロナノシステム入門 (口頭)	鈴木孝明 (群馬大学)	群馬大学科学技術振興会 平成28年度 科技振セミナー「マイクロナノシステム入門」	平成28年8月26日	国内
バイオ及び医療向けマイクロ／ナノデバイスに関する研究 (口頭)	鈴木孝明 (群馬大学)	電気学会第4回量子ビームを用いた高次ナノ階層構造創成とバイオメディカル応用技術調査専門委員会	平成28年8月1日	国内
Three-Dimensional UV Photolithography Using Thick Photoresist for Microsystems (口頭)	Takaaki Suzuki (Gunma Univ.)	The 11th Annual IEEE International Conference on Nano/Micro Engineered and Molecular Systems	平成28年4月18日	国外
単一細胞マイクロアレイの孔形状が固定効率に及ぼす影響 (ポスター)	古谷尚輝 (香川大学), 島上卓也 (香川大学), 佐藤竜偉 (群馬大学), 寺尾京平 (香川大学), 高尾英邦 (香川大学), 下川房男 (香川大学), 秋光和也 (香川大学), 鈴木孝明 (群馬大学)	電気学会 第33回「センサ・マイクロマシンと応用システム」シンポジウム	平成28年10月25日	国内
感光性磁気ナノコンポジットを用いた磁気駆動メンブレンのオンチップ集積化 (口頭)	鈴木孝明 (群馬大学), 鈴木淳也 (香川大学), 植田勇作 (香川大学), 下川房男 (香川大学), 潮見幸江 (群馬大学), 山田功 (群馬大学)	日本機械学会2016年度年次大会	平成28年9月13日	国内
細胞接着技術を用いた細胞配列マイクロアレイ (口頭)	鈴木孝明 (群馬大学), 寺村裕治 (東京大学), 北濱若奈 (香川大学), 寺尾京平 (香川大学), 高尾英邦 (香川大学), 下川房男 (香川大学), 上野秀貴 (群馬大学)	電気学会バイオ・マイクロシステム研究会	平成28年4月27日	国内
Development of Portable Microfluidic Systems for Trapping Floating Cells (ポスター)	N. Furuya (Kagawa Univ.), T. Shimagami (Kagawa Univ.), K. Terao (Kagawa Univ.), H. Takao (Kagawa Univ.), F. Shimokawa (Kagawa Univ.), K. Akimitsu (Kagawa Univ.), and T. Suzuki (Gunma Univ.)	International Symposium on Micro-Nano Science and Technology 2016	平成28年12月17日	国外
Design and Control of a Large Deflection Polymer-MEMS Mirror (ポスター)	F. Ueno (Gunma Univ.), T. Tsukamoto (Gunma Univ.), Y. Umino (Gunma Univ.), H. Yamashita (Kagawa Univ.), H. Kawai (Kagawa Univ.), F. Shimokawa (Kagawa Univ.), S. Shiomi (Gunma Univ.), K. Yamada (Gunma Univ.) and T. Suzuki (Gunma Univ.)	8th International Conference on Advanced Micro-Device Engineering	平成28年12月9日	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Fabrication Method for Three-Dimensional Polymer Microstructures Using Inclined Exposure and Oxygen Plasma Ashing (ポスター)	H. Ueno, and T. Suzuki	International Conference on Advanced Engineering and Its Education in 2016	平成28年10月14日	国外
カンチレバー一体型3次元マイクロステージの開発とトライボロジー計測への応用に関する研究 (口頭)	高原大地 (東京農工大学), 安藤泰久 (東京農工大学)	第16回日本機械学会機素潤滑設計部門講演会	平成28年4月19日	国内

2. 学会誌・雑誌等における論文掲載

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Neurogenesis enhances response specificity to spatial pattern stimulation in hippocampal cultures	Tanaka Y., Isomura T., Shimba K., Kotani K., Jimbo Y.	IEEE Trans. BME	in press	国外
Linking neuromodulated spike-timing dependent plasticity with the free-energy principle	Isomura T., Kotani K., Jimbo Y.	Neural. Comput.	28, pp. 1859-1888, 2016	国外
Cell-cycle-dependent Ca ²⁺ transients in human induced pluripotent stem cells revealed by a simultaneous imaging of cell nuclei and intracellular Ca ²⁺ level	Shimba K., Iida S., Kotani K., Jimbo Y.	Integr. Biol.	8, pp. 985-990, 2016	国外
NIR spectrometer using a Schottky photodetector enhanced by grating-based SPR	Wenjing Chen (The University of Tokyo) Tetsuo Kan (The University of Electro-Communications) Yoshiharu Ajiki (Micromachine Center) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)ma	Optics Express	vol. 24, issue 22, pp. 25797-25804, 2016	国外
Scalable fabrication of microneedle arrays by spatially controlled UV exposure	Hidetoshi Takahashi (The University of Tokyo) Yun Jung Heo (Tokyo University of Agriculture and Technology) Nobuchika Arakawa (Tokyo University of Agriculture and Technology) Tetsuo Kan (The University of Electro-Communications) Kiyoshi Matsumoto (The University of Tokyo) Ryuji Kawano (Tokyo University of Agriculture and Technology) Isao Shimoyama (The University of Tokyo)	Microsystems & Nanoengineering	vol.2, article no. 16049, 2016	国外
Depinning-induced capillary wave during the sliding of a droplet on a textured surface	Thanh-Vinh Nguyen (The University of Tokyo) Takuya Tsukagoshi (The University of Tokyo) Hidetoshi Takahashi (The University of Tokyo) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)	Langmuir	vol. 32, issue 37, pp. 9523-9529, 2016	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Rigid two-axis MEMS force plate for measuring cellular traction force	Hidetoshi Takahashi (The University of Tokyo) Uijin G Jung (The University of Tokyo) Tetsuo Kan (The University of Electro-Communications) Takuya Tsukagoshi (The University of Tokyo) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)	Journal of Micromechanics and Microengineering	vol. 25, no. 10, article no. 105006, 2016	国外
High-sensitivity microelectromechanical systems-based tri-axis force sensor for monitoring cellular traction force	Nguyen Thanh-Vinh (The University of Tokyo) Tomoki Omiya (The University of Tokyo) Takuya Tsukagoshi (The University of Tokyo) Kayoko Hirayama (The University of Tokyo) Kentaro Noda (The University of Tokyo) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)	Micro & Nano Letters	vol. 11, issue 10, 10, 2016	国外
A tactile sensor using piezoresistive beams for detection of the coefficient of static friction	Taiyu Okatani (The University of Tokyo) Hidetoshi Takahashi (The University of Tokyo) Kentaro Noda (The University of Tokyo) Tomoyuki Takahata (The University of Tokyo) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)	Sensors	vol. 16, issue 5, article no. 718, 2016	国外
Silicon based near infrared photodetector using self-assembled organic crystalline nano-pillars	Yoshiharu Ajiki (Micromachine Center) Tetsuo Kan (The University of Tokyo) Masayuki Yahiro (Kyushu University) Akiko Hamada (Kyushu University) Junji Adachi (Kyushu University) Chihaya Adachi (Kyushu University) Kiyoshi Matsumoto (The University of Tokyo) Isao Shimoyama (The University of Tokyo)	Applied Physics Letters	vol. 108, article no. 151102, 2016	国外
Processing of graphene into a cantilever beam structure using a focused ion beam	Kazuma Matsui (The University of Tokyo) Yusuke Takei (The University of Tokyo) Akira Inaba (The University of Tokyo) Tomoyuki Takahata (The University of Tokyo) Kiyoshi Matsumoto (Toyo University) Isao Shimoyama (The University of Tokyo)	Micro Nano Letters	vol. 11, issue 11, 11, 2016	国外
Spectrally Selective Photocapacitance Modulation in Plasmonic Nanochannels for Infrared Imaging	Y.-L. Ho, L.-C. Huang, and J.-J. Delaunay	Nano Letters	Vol. 16 (2016) 3094	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Integration of Organic Electrochemical and Field-Effect Transistors for Ultraflexible, High Temporal Resolution Electrophysiology Arrays	Wonryung Lee, Dongmin Kim, Jonathan Rivnay, Naoji Matsuhisa, Thomas Lonjaret, Tomoyuki Yokota, Hiromu Yawo, Masaki Sekino, George G. Malliaras and Takao Someya	Advanced Materials	28, 9722-9728	国外
Surface-normal electro-optic-polymer modulator with silicon subwavelength grating	Yuji Kosugi (The University of Tokyo) Toshiki Yamada (National Institute of Information and Communications Technology) Akira Otomo (National Institute of Information and Communications Technology) Yoshiaki Nakano (The University of Tokyo) Takuo Tanemura The University of Tokyo)	IEICE Electronics Express	Vol. 13, No. 17 (2016) pp. 20160595	国内
Field emission and anode etching during formation of length-controlled nanogaps in electrical breakdown of horizontally aligned single-walled carbon nanotubes	K. Otsuka (東京大学), T. Inoue (東京大学), Y. Shimomura (東京大学), S. Chiashi (東京大学), and S. Maruyama (東京大学)	Nanoscale	8(2016), 16363-16370.	国外
IC design of driving circuit of MEMS microrobot using pulse-type hardware neuron model	Yuki Ishihara (Nihon University), Yuka Naito (Nihon University), Kazuaki Maezumi(Nihon University), Yuki Okane(Nihon University), Hirozumi Oku(Nihon University), Masaki Tatani(Nihon University), Minami Takato(Nihon University), Ken Saito(Nihon University), Fumio Uchikoba(Nihon University)	Artificial Life and Robotics	June 2016, Volume 21, Issue 2, pp. 201-206	国外
Gait Pattern Changing of Quadruped Robot Using Pulse-Type Hardware Neural Networks	Daisuke Tanaka (Nihon University), Daichi Nagashima (Nihon University), Tomohiro Hidaka (Nihon University), Minami Takato (Nihon University), Fumio Uchikoba (Nihon University), Ken Saito (Nihon University)	Artificial Life and Robotics	March 2017, Vol. 22, No. 1, pp. 102 - 107	国外
Insect-Type MEMS Microrobot with Mountable Bare Chip IC of Artificial Neural Networks	Ken Saito (Nihon University), Kazuki Sugita (Nihon University), Yuki Ishihara (Nihon University), Kei Iwata (Nihon University), Yohei Asano (Nihon University), Yuki Okane (Nihon University), Satoko Ono (Nihon University), Satohiro Chiba (Nihon University), Minami Takato (Nihon University), and Fumio Uchikoba (Nihon University)	Artificial Life and Robotics	March 2017, Vol. 22, No. 1, pp. 118 - 124	国外
集積回路で実現した人工脳もちいたMEMSマイクロロボット	齊藤 健 (日本大学), 高藤 美泉 (日本大学), 内木場 文男 (日本大学)	エレクトロニクス実装学会誌	2016年9月, Vol. 19, No. 6, pp. 394 - 397	国内
Modeling of a Biological Neuron by Electronic Circuit and Application for IC and MEMS Microrobots	Minami Takato (Nihon University), Ken Saito (Nihon University), and Fumio Uchikoba (Nihon University)	Nova Science Publishers, Advances in Engineering Research	March 2017, Chapter 4, Vol. 16	国外
MEMS Microrobot with Pulse-Type Hardware Neural Networks Integrated Circuit	Ken Saito (Nihon University), Minami Takato (Nihon University), Yoshifumi Sekine (Nihon University), and Fumio Uchikoba (Nihon University)	IGI, Nature-Inspired Computing: Concepts, Methodologies, Tools, and Applications	July 2016, Chapter 25	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Electrostatic cloaking of surface structure for dynamic wetting	Satoshi Nita 1, Minh Do-Quang 2, Jiayu Wang 1, Yu-Chung Chen 1, Yuji Suzuki 1, Gustav Amberg 2 and Junichiro Shiomi 1,3 1 Department of Mechanical Engineering, The University of Tokyo 2 Department of Mechanics, LinnéFLOW Centre, KTH Royal Institute of Technology, Stockholm, Sweden 3 Core Research for Evolutional Science and Technology (CREST), Japan Science and Technology Agency, Tokyo, Japan	Science advances	3, e1602202 (2017)	国外
Novel Ge waveguide platform on Ge-on-insulator wafer for mid-infrared photonic integrated circuits	J. Kang, M. Takenaka, and S. Takagi	Optics Express	vol. 24, no. 11, pp. 11855-11864, 2016	国外
Propagation length of mid-infrared surface plasmon polaritons on gold: impact of morphology change upon thermal annealing	N. Hiramatsu (東京大学), F. Kusa (東京農工大学), K. Imasaka (東京大学), I. Morichika (東京大学), A. Takegami (東京農工大学), S. Ashihara (東京大学生産技術研究所)	J. Appl. Phys.	Vol.120, Issue 17, 173103 (2016).	国外
High aspect-ratio parallel-plate microchannels applicable to kinetic analysis of chemical vapor deposition	Kohei Shima (U.Tokyo), Yuichi Funato (U.Tokyo), Hidetoshi Suguira (U.Tokyo), Noboru Sato (U.Tokyo), Yasuyuki Fukushima (IHI), Takeshi Momose (U.Tokyo), and Yukihiro Shimogaki (U.Tokyo)	Adv. Mater. Int.	3 (2016) 1600254	国外
Separate evaluation of multiple film-forming species in chemical vapor deposition of SiC using high aspect-ratio microchannels	Kohei Shima (U.Tokyo), Noboru Sato (U.Tokyo), Yuichi Funato (U.Tokyo), Yasuyuki Fukushima (IHI), Takeshi Momose (U.Tokyo), and Yukihiro Shimogaki (U.Tokyo)	Jpn. J. Appl. Phys.	印刷中	国内
Development of MEMS Wireless Wall Temperature Sensor for Combustion Studies	Minhyeok Lee (Univ. of Tokyo), Kenichi Morimoto and Yuji Suzuki	Measurement Science and Technology	Vol. 28, 035101 (2017)	国外
Nano/microcomposite surface fabricated by chemical treatment/microembossing for control of bubbles in boiling heat transfer	○ Keisuke Nagato (東大), Shumpei Miyazaki (東大), Shuhei Yamada (東大), Masayuki Nakao (東大)	CIRP Annals–Manufacturing Technology	65 (2016) 511-514	国外
Development of Magnetically Driven Microvalve Using Photosensitive SU-8/Fe Composite	J. Suzuki (Kagawa Univ.), K. Terao (Kagawa Univ.), H. Takao (Kagawa Univ.), F. Shimokawa (Kagawa Univ.), F. Oohira (Kagawa Univ.), H. Miyagawa (Kagawa Univ.) and T. Suzuki (Gunma Univ.)	International Journal of Applied Electromagnetics and Mechanics	Vol.52, pp.1585-1590, 2016.	国外
Development of a local light stimulation device integrated with micro electrode array	H. Ueno (Gunma Univ.), S. Komai (NAIST), K. Terao (Kagawa Univ.), H. Takao (Kagawa Univ.), F. Shimokawa (Kagawa Univ.), H. Kotera (Kyoto Univ.), and T. Suzuki (Gunma Univ.),	Mechanical Engineering Journal	Vol.3, ID:15-00570, 2016	国外
Development of a two-dimensional scanning micro-mirror utilizing magnetic polymer composite	J. Suzuki (Kagawa Univ.), Y. Onishi (Kagawa Univ.), K. Terao (Kagawa Univ.), H. Takao (Kagawa Univ.), F. Shimokawa (Kagawa Univ.), F. Oohira (Kagawa Univ.), H. Miyagawa (Kagawa Univ.), T. Namazu (AIT), and T. Suzuki (Gunma Univ.),	Japanese Journal of Applied Physics	Vol.55, ID:06GP01, 2016	国内

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Evaluation of ground slippery condition during walk of bipedal robot using MEMS slip sensor (ポスター)	Taiyu Okatani (The University of Tokyo) Hidetoshi Takahashi (The University of Tokyo) Tomoyuki Takahata (The University of Tokyo) Isao Shimoyama (The University of Tokyo)	30th IEEE International Conference on Micro Electro Mechanical Systems	平成29年1月23日	国外
Jumping force of coalescing droplets on a superhydrophobic surface (口頭)	T-V Nguyen (The University of Tokyo) T. Mouterde (École Polytechnique) H. Takahashi (The University of Tokyo) D. Quéré (École Polytechnique) I. Shimoyama (The University of Tokyo)	30th IEEE International Conference on Micro Electro Mechanical Systems	平成29年1月23日	国外
MEMS force and displacement sensor for measuring spring constant of hydrogel microparticles (ポスター)	S. Kohyama (The University of Tokyo) H. Takahashi (The University of Tokyo) S. Yoshida (Keio University) H. Onoe (Keio University) K. H. Shoji (The University of Tokyo) T. Tsukagoshi (The University of Tokyo) T. Takahata (The University of Tokyo) I. Shimoyama (The University of Tokyo)	30th IEEE International Conference on Micro Electro Mechanical Systems	平成29年1月23日	国外
A multi-axis piezoresistive MEMS sensor for acoustic emission (ポスター)	Nobuhiko Matsuda (The University of Tokyo) Nguyen Minh Dung (The University of Tokyo) Tomoyuki Takahata (The University of Tokyo) Isao Shimoyama (The University of Tokyo)	30th IEEE International Conference on Micro Electro Mechanical Systems	平成29年1月23日	国外
Fabrication of nanoarrays for exosome fixation by lift-off process and chemical modification in aqueous solution (ポスター)	S. Yokota, H. Kuramochi, and T. Ichiki	29th International Microprocesses and Nanotechnology Conference (MNC2016)	平成28年11月11日	国外
Angular Dependent Optical Wavelength Selection in Hybrid Cavity-Channel Structure by Coupled Plasmon Resonance (口頭)	S. Yin, Z. Wang, Y.-L. Ho, Y. Takakura, and J.-J. Delaunay	IEEE NANO 2016	平成28年8月23日	国外
THIN FILM PARTIALLY ATTACHED ONTO ELASTOMER SUBSTRATE FOR THREE-DIMENSIONAL MICROSTRUCTURE (ポスター)	Atsushi Takei(Ochanomizu University), Mayuko Murano(Ochanomizu University), Marie Tani(Ochanomizu University), Hiroyuki Fujita(University of Tokyo), Ko Okumura(Ochanomizu University)	IEEE Micro Electro Mechanical Systems(MEMS'17)	平成29年1月25日	国外
Four-Leg Independent Mechanism for MEMS Microrobot (口頭)	Daisuke Tanaka (Nihon University), Yuto Uchiumi (Nihon University), Satoshi Kawamura (Nihon University), Minami Takato (Nihon University), Ken Saito (Nihon University), and Fumio Uchikoba (Nihon University)	22nd International Symposium on Artificial Life and Robotics	平成29年1月21日	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Hexapod Type MEMS Microrobot Equipped with an Artificial Neural Networks IC (口頭)	Kazuki Sugita (Nihon University), Taisuke Tanaka (Nihon University), Yuya Nakata (Nihon University), Minami Takato (Nihon University), Ken Saito (Nihon University), and Fumio Uchikoba (Nihon University)	2017 International Conference on Artificial Life and Robotics	平成29年1月20日	国外
Heat Distribution of Current Output Type Artificial Neural Networks IC for the MEMS Microrobot (口頭)	Taisuke Tanaka (Nihon University), Yuya Nakata (Nihon University), Kazuki Sugita (Nihon University), Minami Takato (Nihon University), Ken Saito (Nihon University), and Fumio Uchikoba (Nihon University)	2017 International Conference on Artificial Life and Robotics	平成29年1月20日	国外
Mechanical Structure for High Speed Locomotion of MEMS Microrobot Using SMA Rotary Actuator (口頭)	Kazuki Sugita (Nihon University), Minami Takato (Nihon University), Ken Saito (Nihon University), and Fumio Uchikoba (Nihon University)	42nd Annual Conference of the IEEE Industrial Electronics Society	平成28年10月25日	国外
SMA Actuator and Pulse-Type Hardware Neural Networks IC for Fast Walking Motion of Insect-Type MEMS Microrobot (口頭)	Kazuki Sugita (Nihon University), Daisuke Tanaka (Nihon University), Satoko Ono (Nihon University), Satohiro Chiba (Nihon University), Kei Iwata (Nihon University), Yuxuan Han (Nihon University), Minami Takato (Nihon University), Fumio Uchikoba (Nihon University), and Ken Saito (Nihon University)	2016 IEEE International Conference on Advanced Intelligent Mechatronics	平成28年7月12日	国外
Neural Networks IC for Locomotion Rhythm Generator Emulating Living Organism (口頭)	Daisuke Tanaka (Nihon University), Kazuki Sugita (Nihon University), Yuxuan Han (Nihon University), Minami Takato (Nihon University), Fumio Uchikoba (Nihon University), and Ken Saito (Nihon University)	International Conference on Electronics Packaging 2016	平成28年4月20日	国外
Bare Chip Mount of Neural Networks IC on MEMS Microrobot (口頭)	Yuxuan Han (Nihon University), Kazuki Sugita (Nihon University), Daisuke Tanaka (Nihon University), Minami Takato (Nihon University), Ken Saito (Nihon University), and Fumio Uchikoba (Nihon University)	International Conference on Electronics Packaging 2016	平成28年4月20日	国内
Direct Observation of Epigenetic Modifications along Intact Chromatin Fibers of Individual Chromosomes Isolated from Single Cells in a Microfluidic Channel (口頭)	Tomohiro Takahashi (Univ. of Tokyo), Kennedy O. Okeyo (Univ. of Tokyo), Masao Washizu (Univ. of Tokyo), Jun Ueda (Chubu Univ), Hidehiro Oana (Univ. of Tokyo)	The 2016 International Conference on Solid State Devices and Materials	平成28年9月29日	国外
Direct Acquisition of Genome-Wide Epigenetic Information along Intact Chromatin Fibers of Individual Chromosomes Isolated from Single Mammalian Cells (口頭)	Tomohiro Takahashi (Univ. of Tokyo), Kennedy O. Okeyo (Univ. of Tokyo), Masao Washizu (Univ. of Tokyo), Jun Ueda (Chubu Univ), Hidehiro Oana (Univ. of Tokyo)	The Twentieth International Conference on Miniaturized Systems for Chemistry and Life Sciences	平成28年10月12日	国外
Direct Acquisition of Epigenetic Information along Chromatin Fibers Isolated from Single Mammalian Cell (ポスター)	Tomohiro Takahashi (Univ. of Tokyo), Kennedy O. Okeyo (Univ. of Tokyo), Masao Washizu (Univ. of Tokyo), Hidehiro Oana (Univ. of Tokyo)	International Conference on Single Cell Research 2016	平成28年11月17日	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
A PRACTICAL SINGLE CELL ANALYSIS METHOD FOR MECHANICAL CHARACTERIZATION OF CANCER CELLS (ポスター)	Tiffany Baëtens (LIMMS/CNRS-IIS, UMI 2820, Institute of Industrial Science, The University of Tokyo), Grégoire Perret (LIMMS/CNRS-IIS, UMI 2820, Institute of Industrial Science, The University of Tokyo), Yuki Takayama (Univ. Lille, CNRS, Centrale Lille, ISEN, Univ. Valenciennes, UMR 8520, IEMN), Momoko Kumemura (LIMMS/CNRS-IIS, UMI 2820, Institute of Industrial Science, The University of Tokyo), Laurent Jalabert (IMMS/CNRS-IIS, UMI 2820, Institute of Industrial Science, The University of Tokyo), Samuel Meignan (Centre Oscar Lambret, Lille, France), Chann Lagadec (Centre Oscar Lambret), Fujita Hiroyuki (CIRMM, Institute of Industrial Science, The University of Tokyo), Dominique Collard (LIMMS/CNRS-IIS, UMI 2820, Institute of Industrial Science, The University of Tokyo), Mehmet Cagatay Tarhan (LIMMS/CNRS-IIS, UMI 2820, Institute of Industrial Science, The University of Tokyo; ISEN Lille, France)	The 30th IEEE International Conference on Micro Electro Mechanical Systems	平成29年1月24日	国外
High-Efficiency O-Band Mach-Zehnder modulator based on InGaAsP/Si hybrid MOS capacitor (口頭)	J. Han, S. Takagi, and M. Takenaka	Optical Fiber Communication Conference	平成29年3月22日	国外
Extremely high modulation efficiency III-V/Si hybrid MOS optical modulator fabricated by direct wafer bonding (口頭)	J. Han, M. Takenaka, and S. Takagi	International Electron Devices Meeting	平成28年12月7日	国外
Ge waveguide photodetector on wafer-bonded Ge-on-insulator substrate monolithically integrated with amorphous Si waveguide (口頭)	J. Kang, M. Takenaka, and S. Takagi	European Conference on Optical Communication	平成28年9月21日	国外
Birefringence Modulation of Thermally-Driven Plasmonic Grating (口頭)	Takashi Shimura, Norihiro Umeda, Kentaro Iwami(Tokyo Univeristy of Agriculture and Technology)	IEEE-NEMS2016	平成28年4月19日	国外
Design for High Speed Operation of Double Microring Resonator-Loaded Mach-Zehnder 2x2 Quantum Well Optical Switch (口頭)	Naoki Kawaguchi, Kento Hori, Taro Arakawa, and Yasuo Kokubun	21st Optoelectron. Com. Conf./Int'l. Conf. Photonics in Switching 2016 (OECC/PS 2016)	平成28年7月7日	国外
Proposal of Compact TE/TM Polarization Switch Based on Microring Resonator (口頭)	Keita Suzuki, Tomoki Hirayama, and Taro Arakawa	21st Optoelectron. Com. Conf./Int'l. Conf. Photonics in Switching 2016 (OECC/PS 2016)	平成28年7月8日	国外

発表した成果	発表者氏名	発表した場所	発表時期	国内・外の別
Odor-sensitive field effect transistor (OSFET) based on insect cells expressing insect odorant receptors (ポスター)	Daigo Terutsuki (The University of Tokyo), Hidefumi Mitsuno (The University of Tokyo), Yuki Okamoto (The University of Tokyo), Takeshi Sakurai (The University of Tokyo), Agnès Tixier-Mita (The University of Tokyo), Hiroshi Toshiyoshi (The University of Tokyo), Yoshio Mita (The University of Tokyo), Ryohei Kanzaki (The University of Tokyo)	MEMS 2017 Conference	平成 29 年 1 月 24 日	国外
Photoelectric-charging-enhanced MEMS Electret Energy Harvester with Vacuum Package (口頭)	Seonwoo Kim (Univ. of Tokyo), Yuji Suzuki	16th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2016)	平成 28 年 12 月 8 日	国外
MEMS Comb-Drive Electret Energy Harvester Charged after Packaging (ポスター)	Seonwoo Kim (Univ. of Tokyo), Yuji Suzuki	IEEE Sensors 2016	平成 28 年 11 月 2 日	国外
Soft X-ray Charged Piezoelectret for Kinetic Energy Harvesting (口頭)	Jia Lu (Univ. of Tokyo), Hangjun Cho, Yuji Suzuki	16th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2016)	平成 28 年 12 月 9 日	国外
Electret-Based Unsteady Thermal Energy Harvester Using Potassium Tantalate Niobate Crystal (口頭)	Hong Xie (Univ. of Tokyo), Kenichi Morimoto, Yuji Suzuki	16th Int. Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS 2016)	平成 28 年 12 月 8 日	国外
Replication of Nanostructures on Polyethylene Terephthalate with Laser-Assisted Roller Nanoimprinting (口頭)	Y. Yajima (東大), K. Nagato (東大), M. Nakao (東大)	Digest of the 60th international conference on electron, ion, and photon beam technology and nanofabrication (EIPBN)	平成 28 年 6 月 2 日	国外

VDEC

B. VDEC の利用規程・申し込みガイド

B.1 概要

VDEC は、全国の大学・高専向けに様々な支援事業を実施している。

1. CAD ツールの共同利用
2. VLSI 試作サービスの共同利用
3. CAD ツール講習会(8-9月・3月)
4. 社会人リフレッシュ教育(12月-1月, 学生も参加可能)
5. VLSI デザイナーフォーラム(若手の会)
6. 大型装置利用

CAD ベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC 設立以来、これまでの実績では、CAD の利用・CAD 講習会は無償、LSI 試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザには VDEC を利用する「顧客」ではなく、VDEC と一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特に CAD ツールについては CAD ベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDEC の担当者(vdec@vdec.u-tokyo.ac.jp) に必ず相談いただきたい。その他のサービスについては VDEC の裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が 51% 以上のイニシアチブを取る研究であることが必要である。

また、CAD の申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていたくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDEC のシステムは、Internet と Unix operating system の上になりたっているため、Internet の仕組みや Unix についての素養はあらかじめ付いていることを期

待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

B.2 まずはじめに

VDEC からのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDEC の WEB ページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEB アクセス用アカウント・パスワードならびにアクセスしているマシンの Internet Protocol (IP) アドレスによって制限をかけている。

従って、VDEC を利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な(サービス開始前 1 ヶ月以上)時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEB ページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字 2 字 + 半角数字 5 桁(例:VD00000)からなる。

申込で特に注意する点は、VDEC の WEB にアクセスしたい研究室のマシンの IP アドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxy サーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5 のように、IP アドレスを全て「半角」の英数字で、「,」(半角カンマ)で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT(IP masquerade というプログラム名で呼ばれることもある。機能としては NAT が正しい。)で研究室内をローカルネットワークにしている場合は、NAT サーバのアドレスを入力する。よくある間違いとして、ローカルネットワークの IP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などで IP アドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古い IP が使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じ E-Mail アドレスを入力することで上書き変更が可能である。



図 B.1 VDEC ホームページのインデックスフレーム

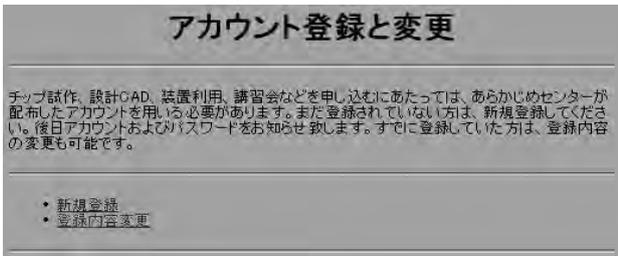


図 B.2 アカウント登録・変更ページの入口

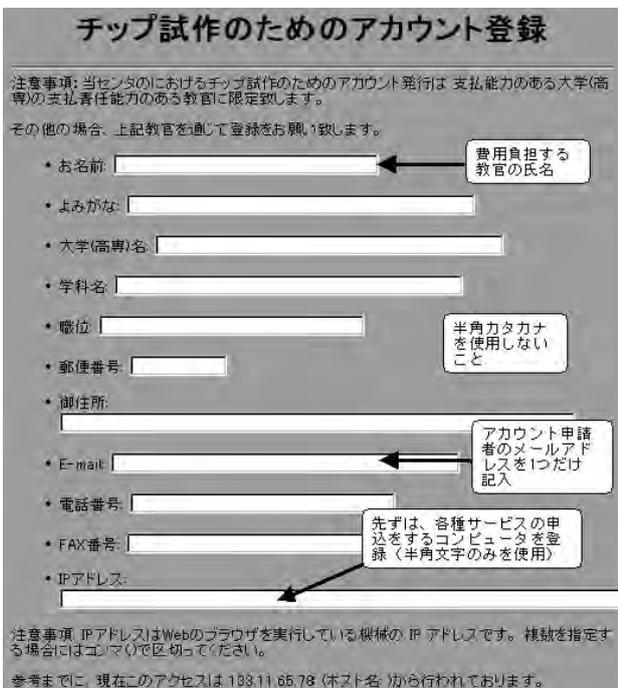


図 B.3 アカウントの新規登録の注意点

【登録する IP アドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータの IP アドレスを登録する必要はない
- IP アドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCP サーバにより動的に割り当てられた IP アドレスやローカルアドレスなどは登録できない(しても意味が無い)
- Proxy サーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報が Proxy サーバに残ってしまい、機密漏洩につながることを防ぐためである

ので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

B.3 CAD ツールの共同利用

VDEC では、集積回路の上流から下流まで一連の設計を行うための CAD ツールを提供している。これらのソフトウェアは、VDEC の VLSI 試作以外のアカデミック用途(MOSIS-VDEC を通じた試作、教育用の演習、EB 等 VDEC の大型装置利用のためのデータ作成用、等)の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーから CAD を選べる状況(二重化)を理想としている。LSI の設計には、CAD ソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD 申込の WEB ページに教員がアクセスする(WEB アカウントが必要である)。NDA 事項を了解いただきサイン入りの文書を VDEC センター長室に送付した後、CAD の申請ができる。

申請時に WEB から入力する内容は以下のとおり。

- ソフトウェアライセンス数(研究室で同時に使用するとと思われる最低数を入力)
- 用途
- メディアリクエスト(使用する Operating System を選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム(VDEC、端的には usr1 から名前→IP アドレスの解決ができる、「.ac.jp」で終わるホスト名であることが条件。)

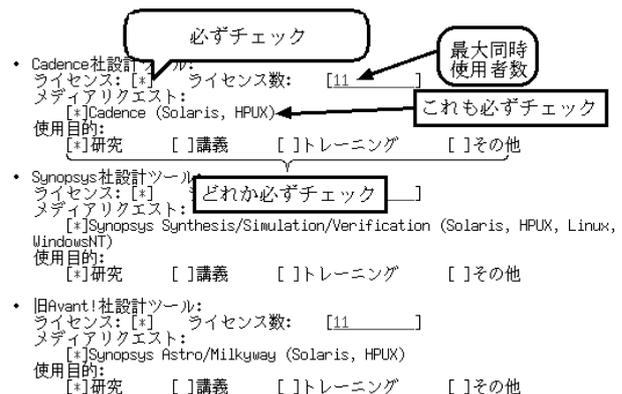


図 B.4 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

ソフトウェアのCDROM(メディア)について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を(ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを開ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送し

ないこと(情報漏洩の観点から)。

2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること(必須ではないが、ネット利用のエチケットといえる)。

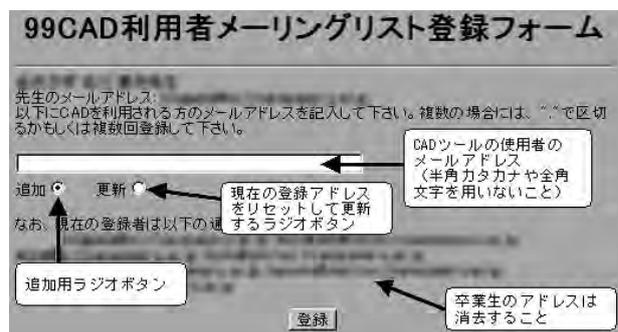


図 B.5 CAD 利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点. 熟読必須.】

1. VDECでは、CADを使用できる計算機のリスト(アクセスリストと呼ぶ)を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマー

クを強くお勧めする。

4. IP アドレス(ホスト名) registered という表示が出ていれば登録されている。
5. false(false(ホスト名)) FAIL という表示が出ていれば登録に失敗しているの、原因を探る。

一般的に、DNS の逆引き(ホスト名から IP アドレスを引く)に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDEC のサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

B.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEB ページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対する NDA 契約を行う。これは VDEC ホームページの「試作関係>試作案内>機密保持契約(NDA)の文面」より、希望プロセスの NDA にサインして VDEC に郵送し、VDEC 側で手続き終了後に NDA 締結となり、設計規則やライブラリにアクセスできるようになる。設計規則は WEB 経由のアクセスならびに、WEB での公開を禁止している会社の場合は CDROM 等で送付される。NDA の対象は教員であるが、研究室の職員・学生にも同じ NDA が適用されるため、取扱には細心の注意を払っていただきたい。尚、機密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出メ切日の6~3ヶ月前、キャンセルのメ切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめに試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点(図 5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

レイアウトを設計した後、VDEC が提供する最新の Design Rule Check ファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS)チェックを通して、提出しようとする回路が本当に動作しそ

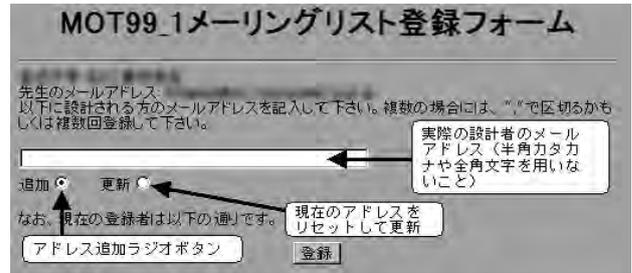


図 B.6 VLSI 試作メーリングリスト登録ページの注意点

うである確信を持つておくことは最低限必要であろう。デザインの提出は指定された VDEC ページから行う。提出時に VDEC 側で最終 DRC を実行する。ここでエラーが出たチップは提出できない。必ず自分の環境で DRC フリーにしてからチップを提出すること。

提出メ切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC 側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどは VDEC からの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSI チップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

B.5 CAD ツール講習会

CAD ベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春と CAD 講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なり CAD 利用を行うことをお勧めしている。アナウンスは CADUser メーリングリストで流れる。また、申込は、VDEC の WEB ページから行う。

B.6 社会人リフレッシュ教育

CAD ツール講習会からさらに進んだ形で、Verilog である回路を実際に設計し、レイアウト合成したり、FPGA による実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」コースならびに一線の研究者による設計事例の講演会などを企画している。12月~1月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

B.7 デザイナーフォーラム(若手の会)

毎年9月頃、VDEC を利用する若手が合宿を行い、最

近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

B.8 大型装置利用

LSI テスターや、EB 装置など、公開可能な装置については、利用の案内を WEB ページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC 専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

C. IP データベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている(<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>, 図 C. 1)。本データベースの利用対象は、IP登録に関してはVDECユーザーに限定しているが、IP利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IPのカタログデータの整理、公開および登録者-利用

者間の仲介と機密情報の取り扱いの監督である。

平成12年度から平成14年度の3年間、(株)半導体理工学研究センター(STARC)との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みのIPを表C.1に示す。

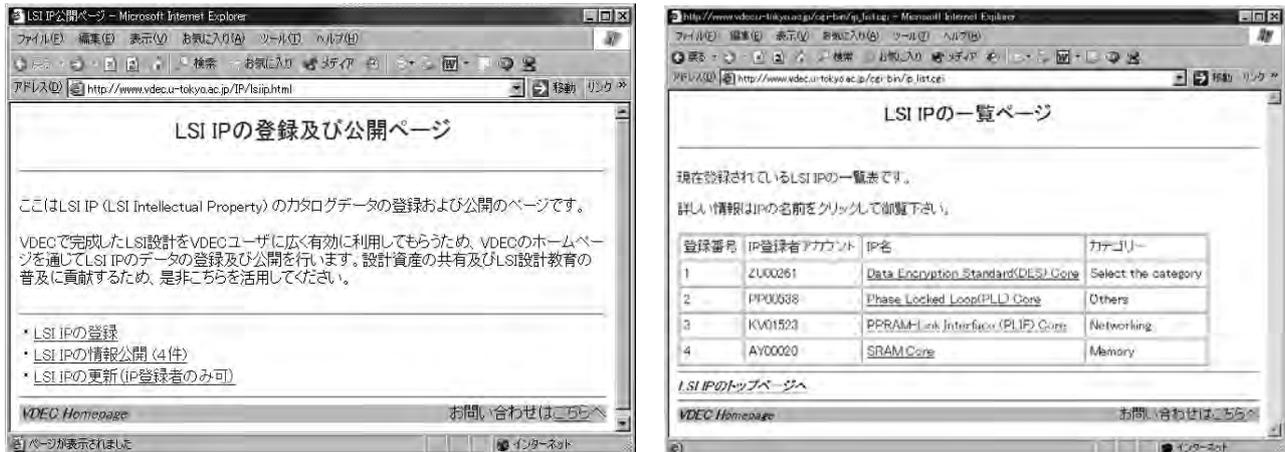


図 C. 1 VDEC LSI IP Web データベースの例

表 C. 1 VDEC LSI IP データベースに登録済みの IP (平成 24 年 3 月現在)

登録番号	IP 名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

平成 28 年度
東京大学大規模集積システム設計教育研究センター年報

2017 年 10 月

編集・発行 東京大学
大規模集積システム設計教育研究センター
センター長 浅田 邦博
〒113-0032 東京都文京区弥生 2-11-16
武田先端知ビル 4 階 401 号室
電話 03-5841-8901

印刷・製本 三美印刷株式会社
東京都荒川区西日暮里 5-9-8
電話 03-3803-3131 (大代表)

VDEC

VLSI Design and Education Center The University of Tokyo 2017

