

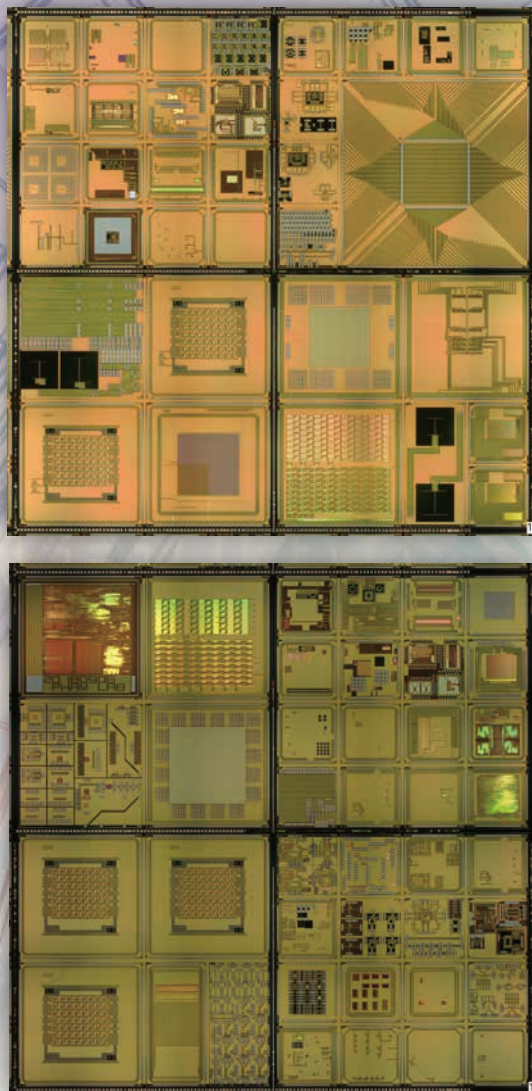


平成31年度

2019  
VLSI Design and Education Center, The University of Tokyo  
Annual Report

# 東京大学 大規模集積システム設計教育研究センター

# 年報





2019  
VLSI Design and Education Center,  
The University of Tokyo

大規模集積システム設計教育センター (VDEC) は、1996年5月にスタートし、23年が経過しています。初代センター長、鳳教授、ならびに2代目センター長、浅田教授のリーダーシップの基、VDECは日本のアカデミアにおける半導体チップとデバイス試作において、非常に大きなユーザ数を持つ、日本全体にとって欠かせない組織に発展してきていると考えています。VLSIチップ試作およびそのための設計ツールの提供に対しては、年間300以上の全国の研究室に利用され、また各種デバイス試作のためのクリーンルームや関連施設・設備は、年間200以上の全国研究室に利用されるようになっています。

半導体産業は世界全体として継続的に成長しており、これからもIoTやAIチップ関連など、持続的な成長が期待されており、その土台となるアカデミアの研究開発を支援することは、極めて大きな責務であり、VDECの重要性はますます大きくなっています。VDECのような組織は世界的にも米国、カナダ、ヨーロッパ、韓国、台湾などに、地域によっては複数あり、VDECと同様の使命

を担っています。それらの中には組織が大幅に拡大しているものもあります。これらの組織間で毎年定例の会議を開催しており、お互いにアイデアを出しながら、VLSIチップやデバイス試作に関するユーザへのサービス提供に関し、世界レベルでの協調を進めており、今後より密な連携作業が進められる予定です。

また、寄付研究部門D2Tも設立から12年を迎えようとしており、海外から多数の客員教員が滞在し、教育・研究の両面で大きなインパクトを与えています。広い意味でのテストと設計をキーワードとした多くの研究が立ち上げられ、研究成果が生まれ、その産業界での利用も進んでいます。今後、VLSIチップとデバイス試作の両面に関連して、さらに活動を活発化する予定です。

VDECはこれまで大きく発展して来ていますが、今後は、大学としての貢献と、社会への貢献の両方を考慮して運営をしていく必要があります。効率・柔軟性を維持しながら組織としての拡大も考慮に入れて組織運営を行っていきたいと考えています。これからもご支援をよろしく願いいたします。

(全国共同利用施設)

東京大学大規模集積システム設計教育研究センター  
センター長 藤田 昌宏

藤田昌宏



2019  
VLSI Design and Education Center,  
The University of Tokyo  
Annual Report

## C O N T E N T S

### 巻頭言

### 第1章 VDEC事業の紹介と平成30年度事業報告 ..... 2

- 1-1 VDEC事業の紹介と平成30年度事業報告.....2
- 1-2 CADソフトウェアの整備.....5
- 1-3 VLSIチップ試作.....6
- 1-4 セミナー.....9
- 1-5 装置の整備・運用・利用公開.....13
- 1-6 2019年度の活動計画.....15
- 1-7 VDEC発ベンチャー.....17
- 1-8 超微細リソグラフィ・ナノ計測拠点.....18

### 第2章 「アドバンテストD2T寄附研究部門」活動報告 ..... 19

- 2-1 「アドバンテストD2T寄附研究部門」の紹介.....19
- 2-2 「第13回D2Tシンポジウム」開催報告.....20
- 2-3 研究活動報告.....22
- 2-4 研究発表.....22

### 第3章 チップ試作結果報告 ..... 23

- 3-1 試作ラン別一覧.....24
- 3-2 チップ種別一覧.....28
- 3-3 各チップの詳細.....31

### 第4章 VDEC概要 ..... 70

- 4-1 組織概要.....70
- 4-2 人事報告.....71
- 4-3 新任・退任ご挨拶.....74
- 4-4 決算報告.....76

### 第5章 研究報告 ..... 78

- 5-1 全体概況.....78
- 5-2 研究室構成員(平成30年度).....79
- 5-3 研究概要.....82
- 5-4 研究発表.....91
- 5-5 特許,受賞等.....105

### 付録(Appendix) ..... 106

- A. Publication list (VDEC利用者に関する発表文献リスト).....106
- B. VDECの利用規定・申し込みガイド.....157
- C. IPデータベースの整備.....162



# 第1章 VDEC事業の紹介と平成30年度事業報告

## 1.1 VDEC事業の紹介と平成30年度事業報告

東京大学大規模集積システム設計教育研究センター (VDEC) は、平成8年の発足以来『LSI教育情報の発信拠点形成』、『VLSI設計支援教育用CADソフトウェアの整備』、『VLSIチップ試作支援』を3つの柱として、円滑な運営を目指した事業を展開した。図1.1 に示すVDECの活動内容に基づき、以下に平成29年度の概要を報告する。

VDECの使命は全国の国公立大学および高専のLSI設計研究・教育を高度化し、産業界に対しても優秀なLSI設計技術者を数多く送り出すことである。VDECの発足より23年経過し、各大学におけるCADソフトウェアの利用技術教育やLSI設計・設計フローに関する教育の充実が図られている。その一方で、先端のLSI設計技術およびそれに対応するCADソフトウェアは一層複雑化し続けている。そのため、CADツールの導入に際しては、CADベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために平成21年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDECとして

は各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなって最新のCAD利用技術が全国的に広がることを期待している(1.3章参照)。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である。この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを開催してきた。平成30年度は、6月～9月に、“アナログ設計コース”、“RF設計コース”、平成24年から開始した”MEMS設計コース”を実施した。いずれも演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関するセミナー“VDEC環境におけるトランジスタレベル設計講習会”、“VDEC EDA環

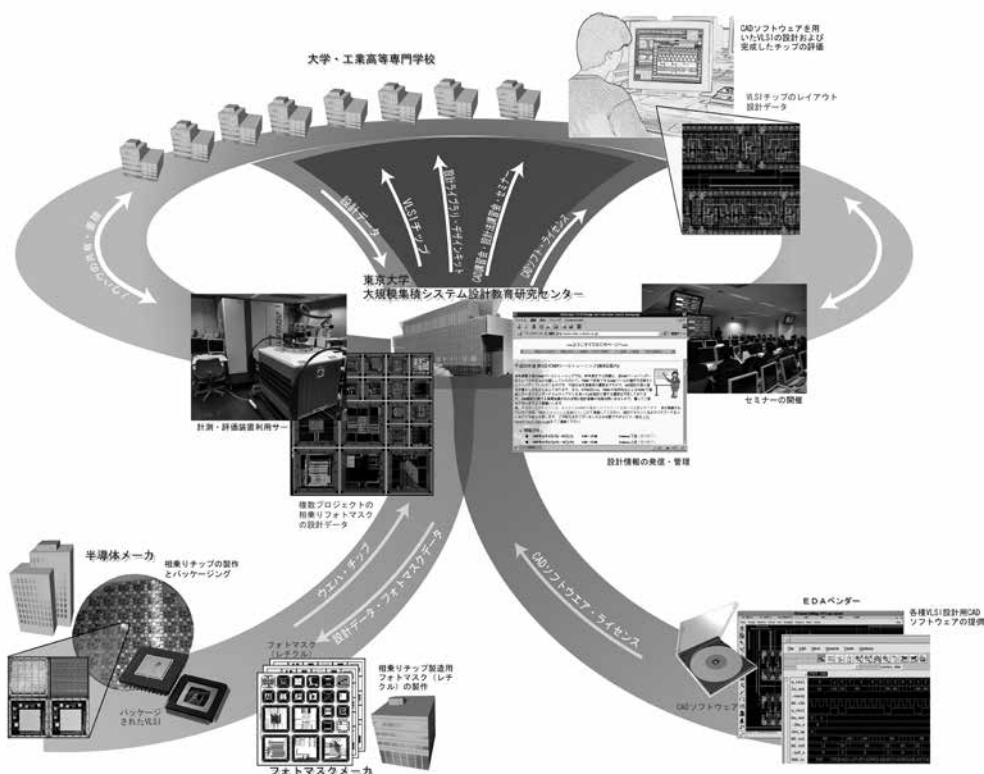


図1.1 VDECの活動内容

境におけるデジタル設計手法講習会”を大学における設計者に向けて実施している。なお、平成26年度から本設計フローに関するセミナーに関して有料化して実施している。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDEC デザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。特に平成23年度から、VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDEC デザイナー・フォーラムの場で行っており、平成30年は、IEEE SSCS Japan Chapter VDEC Design Awardとして、北海道大学の金澤悠里さん、3件のVDEC デザインアワード優秀賞、(金澤悠里(北海道大学)、藤森卓巳(静岡大学)、銭正陽(東北大学))、3件のVDEC デザインアワード奨励賞(横山紗由里(北海道大学)、亀山愛樹(奈良先端大)、Liu Hanli(東京工業大学))、3件のVDEC デザインアワードアイデアコンテスト部門嘱望賞(田島咲季(早稲田大学)、河内勇人(静岡大学)、池上高広(北海道大学))を授与した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。こ

のような場合に力を発揮するのがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また、今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され、教育上の資産として残していく仕組みになっている。ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図1.2)

VLSIチップ試作支援に関しては、ルネサスエレクトロニクス社SOTB 65nm CMOS試作を呈上試作として開始し、ローム 0.18 $\mu$ m CMOS, オンセミ-三洋半導体 0.8 $\mu$ m CMOS試作とともに実施した。

平成20年10月に設置されたアドバンテスト社から寄附部門「Design To Test (D2T)」では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められている。これまでの活動を振り返ると、VDEC発足以来の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している。図1.3にVDECを利用した研究成果の指標として、VDECに関係する発表文献数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC発足以来、集積回路に関する研究が活性化されていることが確認できる。

図1.4にVDECに関係する発表文献のVDECファシリティー利用状況を示す。論文執筆にあたりCADソフ

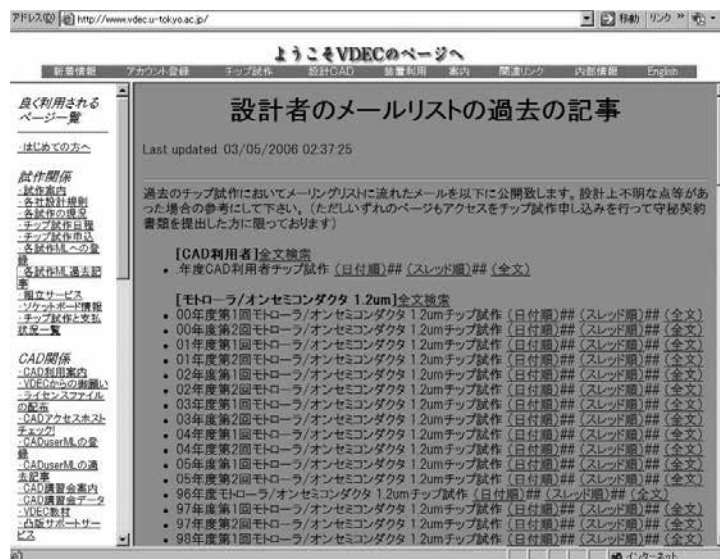


図1.2 VDECメーリングリストの過去記事

トウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。また、研究論文には最先端のプロセステクノロジーが好んで利用される傾向にあり世界的には32nmCMOS, 22nmCMOS, 14nmCMOSによる設計事例報告が増加

しており、VDECにおいても最先端プロセステクノロジーメニューの充実をはかっていきたい。加えて、More than Mooreが叫ばれており、MEMS混載CMOSメニューなどの充実を図っていきたい。そのほかのファシリティーとして、LSIテスターやFIB加工装置、EB描画装置などが研究目的に幅広く利用されることを期待する。

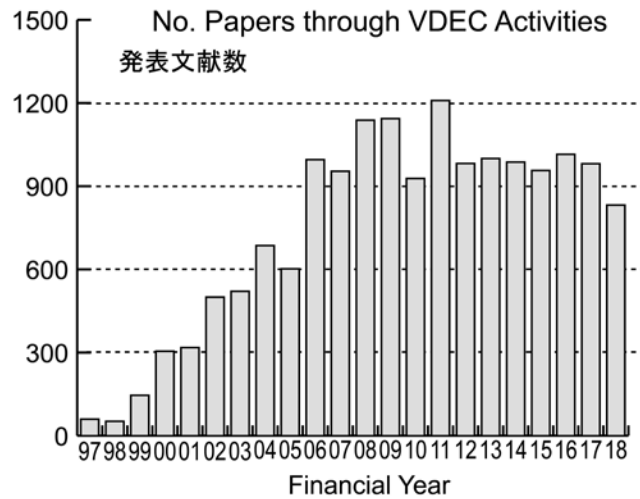


図1.3 VDECを利用した発表文献数の推移

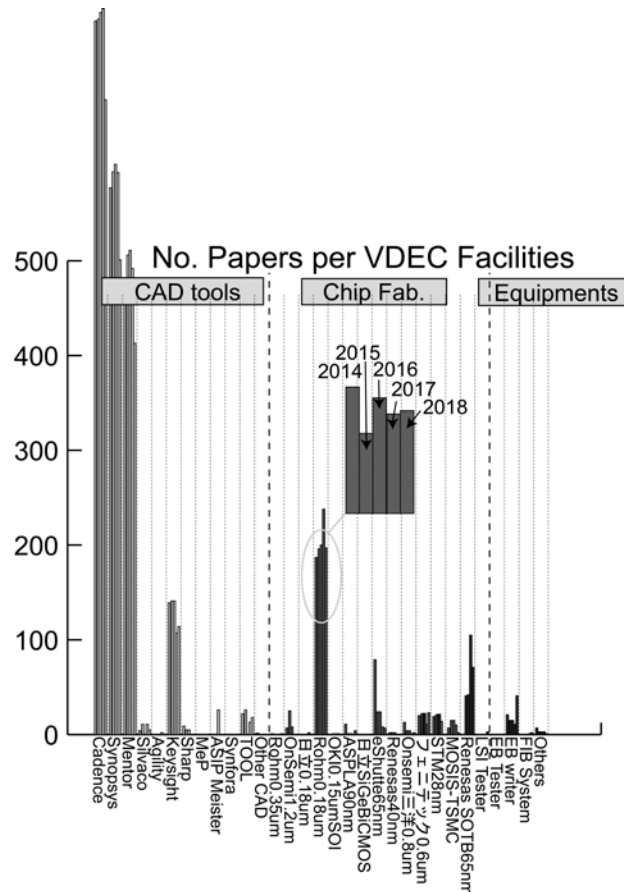


図1.4 VDECファシリティー利用状況

## 1.2 CADソフトウェアの整備

1996年度から整備を行っているCADソフトウェアは、2019年度は表1.2.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図1.2.1に示す全国地域拠点校10箇所 licensesサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用し

た運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

VDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

表1.2.1 導入されたCADシステム

名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor 社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco 社設計ツール	高速回路シミュレーション、	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC 言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL

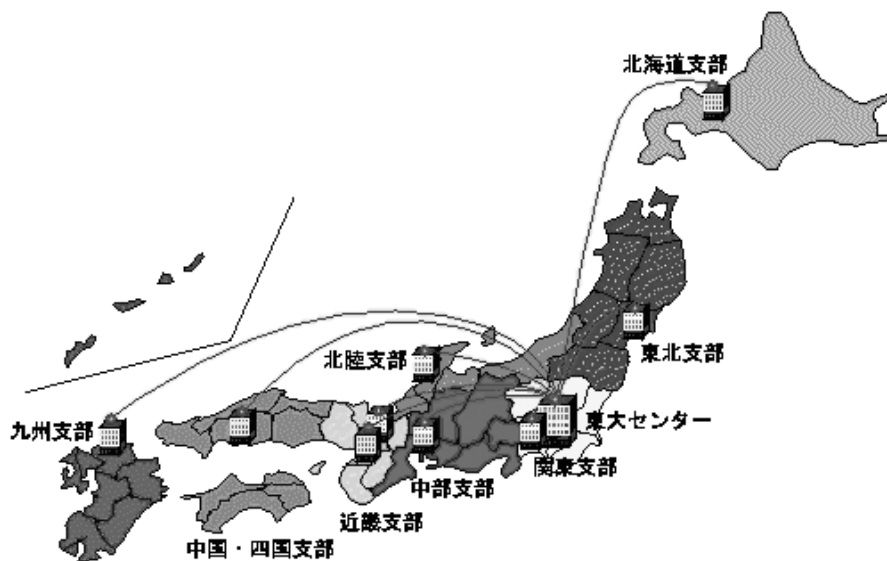


図1.2.1 全国地域拠点校



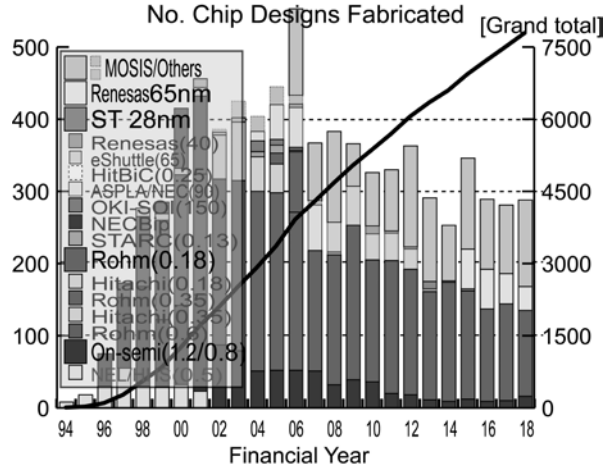
## 1.3 VLSIチップ試作

### 1.3.1 VLSIチップ試作の推移

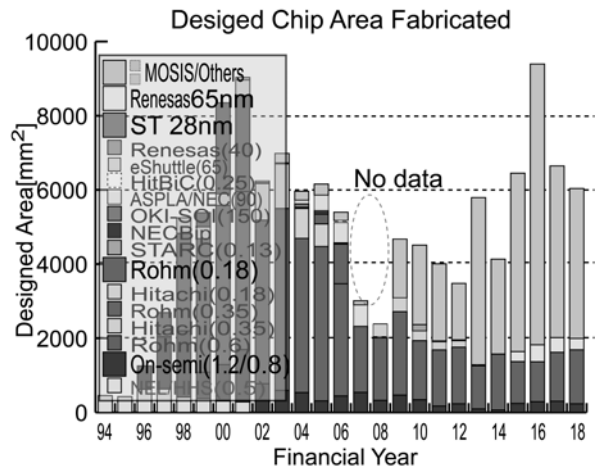
図1.3.1は、VDECおよび、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSIチップ試作は、平成6、7年度（1994、1995年度）のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS0.5 $\mu$ m（当該プロセスはその後日立北海セミコンダクタ社に継続）1社であったが、平成8年度（1996年度）のVDEC発足後、日本モトローラ社のCMOS1.2 $\mu$ m（平成11年度からは、オン・セミコンダクターにて継続）が協力を開始し、平成9年度からはローム社のCMOS0.6 $\mu$ mが加わった。さらに平成10年度には日立製作所のCMOS0.35 $\mu$ m、平成11年度にはローム社0.35 $\mu$ mがそれぞれ加わった。また、IP開発プロジェクトの一環としてSTARC0.13 $\mu$ mの試作を行った。平成13年度から、日立製作所のCMOS0.18 $\mu$ mのサービスを実施している。平成14年度は、広島大学岩田先生の主導の下に、VDECとMOSISの協力による試作サービスを試行的に実施した。これは、TSMC、IBMといった海外のファブをMOSISを経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った。平成16年からテスト試作として沖電気CMOS SOI 0.15 $\mu$ mプロセスおよびASPLA 90nm（現在はSTARCにおいて継続）プロセスの試作を開始し、90nm試作については平成17年度より通常の試作として公募の形で運用を行っている。さらに平成18年度からはローム社0.18 $\mu$ mの試作を開始し、日立製作所0.25 $\mu$ m SiGeBiCMOSのテスト試作を実施した。平成19年度で終了した90nm CMOSの後継の先端プロセスの検討を平成19年度から開始し、平成20年度にeShuttle社の65nm CMOSによる試作を開始した。さらに経済産業省-STARCのプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の40nm CMOSによる試作も開始した。一方で平成23年9月試作をもってCMOS1.2 $\mu$ mを終了することとなったほか、平成24年度をもってルネサスエレクトロニクス社の40nm CMOS試作が終了、平成25年8月シャトルをもってeShuttle社の65nm CMOS試作が終了した。CMOS1.2 $\mu$ mの後継として、オンセミー三洋半導体製造社の協力により平成24年10月にCMOS0.8 $\mu$ mのテスト試作を実施し、平成25年度から定常試作として継

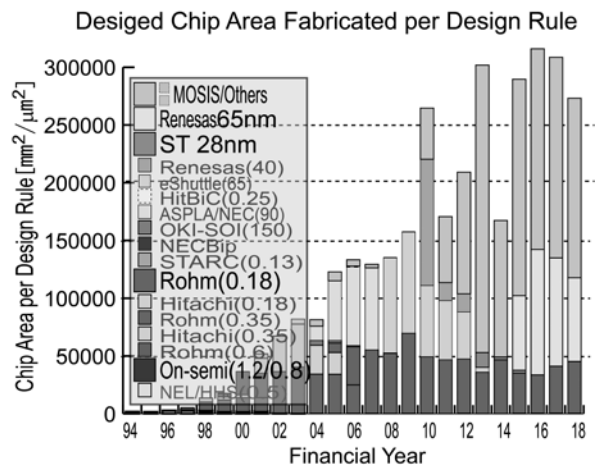
続している。最先端試作としては、平成25年度からフランスCMPを介してSTマイクロ社FD-SOI 28nm CMOS試作を開始した。また、平成27年度から定常試作として、ルネサスエレクトロニクス社SOTB 65nm CMOS試作を開始した。また平成28年度にリコー電子



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図1.3.1 チップ試作数・面積推移



デバイス株式会社による CMOS 0.6um 高耐圧試作の検討および、三重富士通株式会社による CMOS 40nm 試作の検討を開始した。

図1.3.1 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成14年度に減少しているが、これは ROHM 社の0.6um プロセスを終了したことによる現象が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に 0.35 μ m が終了し、平成19年度以降0.18 μ m への移行したことにより、試作数が130品種程度減少し、さらに平成19年度に ASPLA 90nm CMOS 試作が終了し、eShuttle 65nm CMOS への移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図1.3.1 (b) に設計されたチップ面積を示す。一方設計量の指標として、図1.3.1 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、

試作面積の減少主要因になっていることが考えられる。

また、図1.3.2にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ルネサスの65nm プロセスが88名、ロームの0.18um プロセスが287名、オンセミ三洋 0.8um プロセスが48名となっている。

### 1. 3. 2 平成29年度チップ試作概況

平成29年度は、表1.3.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第2章のチップ試作報告を参照されたい。

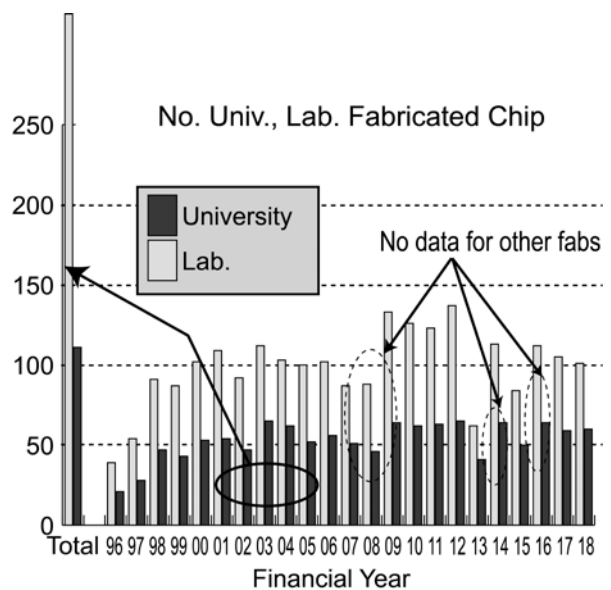


図1.3.2 VDECチップ試作参加教員数・大学数の推移とその累計

表1.3.1 平成30年度チップ試作日程

#### ○ CMOS 0.8um(オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
平成30年度第1回	2018/7/9	2018/9/10	2018/12/24
平成30年度第2回	2019/1/15	2019/3/25	2019/6/E

#### ○ CMOS 0.18um(ローム)

	試作申込締切	設計締切	納品・試作完了
平成30年度第1回(2018年7月試作)	2018/4/2	2018/6/25	2018/9/26
平成30年度第2回(2018年9月試作)	2018/6/18	2018/9/10	2018/12/14
平成30年度第3回(2018年11月試作)	2018/8/13	2018/11/5	2019/2/15
平成30年度第4回(2019年3月試作)	2018/12/3	2019/2/25	2019/6/3

#### ○ SOTB 65nm CMOS

	試作申込締切	設計締切	納品・試作完了
平成29年度第1回	2018/6/18	2018/7/28	2019/1/28
平成29年度第2回	2018/12/17	2019/2/23	2019/7E

### 1. 3. 3 ライブラリ・設計フロー整備状況

VDECにおけるチップ試作（主にデジタルLSI試作）では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ整

備事業を行ってきた。平成21年度にはアナログ設計向けの設計キット（PDK）の構築をローム0.18umCMOS向けに行った。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表1. 3. 2に示すとおりとなっている。

表 1.3.2 VDECで利用可能なライブラリ

プロセス	名称	作成者	内容	状況
ローム 0.18 $\mu$ m	ローム提供ライブラリ	ローム提供 スタンダードセル,IOセル,RAM（セルはすべてブラックボックス） （CDROMにて配布）	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ 配置配線用 LEF/DEF ファイル	
	京大ライブラリ	京都大学 小野寺研究室	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Astro用配置配線ライブラリ	
	東大ライブラリ	ライブラリ情報は京都大学 小野寺研究室, 東大VDECにてフロー構築	・ Cadence RTL Compiler用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Cadence Encounter用配置配線ライブラリ	
	PDK	東京大学VDEC	IC6.1向け PDK	

## 1.4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 30 年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

### 【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で使用可能なCadence, Synopsys, Keysight などCADベンダーのそれぞれのCAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC 環境での設計フローに関する講習もVDEC スタッフで実施している。平成 30 年度は、8 月と9月に初心者を対象とした第1回の CAD 利用のための技術セミナーを東京大学VDECで実施した。この技術セミナーでは、Cadence のツールを 2 種・5 日間、Synopsys ツールを 2 種・3 日間、Keysight のツールを 1 種・1 日間、に加え、VDEC EDA 環境におけるトラ

ンジスタレベル設計手法講習会・VDEC EDA環境におけるトランジスタレベル設計手法講習会・VDEC 環境におけるデジタル LSI 測定講習会を VDEC 教員が講師となり開催した。各コースに 40 名までの教員・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また 3 月には上級者を対象とした CAD 技術セミナーとして Cadence 2 種・4日間、Synopsys 2 種・2 日間行った(表1.4.1)。これら CAD 技術セミナーへの参加要望は非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。従来、東大もしくは VDEC 拠点校での開催であったが、今年度からは東大で開催し、それを VDEC 拠点校へストリーミング配信を行い、各拠点校でも CAD 講習会の受講が可能となっている。

表1.4.1 平成 30 年度 CAD 技術セミナー開催状況

日程	コース	会場	人数
8/21	Keysight Keysight ADS Fundamentals	東京大学	8
8/21	Keysight Keysight ADS Fundamentals	名古屋大学	4
8/21	Keysight Keysight ADS Fundamentals	秋田県立大学	6
8/21	Keysight Keysight ADS Fundamentals	信州大学	11
9/10	Synopsys Veridi	東京大学	7
9/10	Synopsys Veridi	京都大学	2
9/10	Synopsys Veridi	広島大学	1
9/10	Synopsys Veridi	信州大学	7
9/18-19	Cadence Virtuoso Layout Suite-L	東京大学	18
9/18-19	Cadence Virtuoso Layout Suite-L	名古屋大学	8
9/18-19	Cadence Virtuoso Layout Suite-L	秋田県立大学	6
9/18-19	Cadence Virtuoso Layout Suite-L	信州大学	20
9/20, 21	Cadence Virtuoso Digital Implementation	東京大学	15
9/20, 21	Cadence Virtuoso Digital Implementation	京都大学	5
9/20, 21	Cadence Virtuoso Digital Implementation	大阪大学	3
9/20, 21	Cadence Virtuoso Digital Implementation	信州大学	19
3/1	Synopsys Designer Compiler	東京大学	18
3/1	Synopsys Designer Compiler	金沢大学	1
3/1	Synopsys Designer Compiler	名古屋大学	4
3/1	Synopsys Designer Compiler	広島大学	2
3/1	Synopsys Designer Compiler	信州大学	4
3/4	Cadence AMS Designer	東京大学	14
3/4	Cadence AMS Designer	金沢大学	0
3/4	Cadence AMS Designer	名古屋大学	2



3/4	Cadence AMS Designer	京都大学	2
3/4	Cadence AMS Designer	広島大学	1
3/4	Cadence AMS Designer	信州大学	4
3/6	Cadence Genus	東京大学	16
3/6	Cadence Genus	金沢大学	0
3/6	Cadence Genus	名古屋大学	1
3/6	Cadence Genus	京都大学	1
3/6	Cadence Genus	広島大学	3
3/6	Cadence Genus	信州大学	3
3/26, 27	Synopsys IC Compiler II	東京大学	18
3/26, 27	Synopsys IC Compiler II	金沢大学	1
3/26, 27	Synopsys IC Compiler II	名古屋大学	3
3/26, 27	Synopsys IC Compiler II	広島大学	3
3/26, 27	Synopsys IC Compiler II	信州大学	4
3/28, 29	Cadence Spectre RF	東京大学	14
3/28, 29	Cadence Spectre RF	金沢大学	1
3/28, 29	Cadence Spectre RF	名古屋大学	1
3/28, 29	Cadence Spectre RF	広島大学	3
3/28, 29	Cadence Spectre RF	信州大学	8
3/28, 29	Cadence Spectre RF	秋田県立大学	3

#### 【社会人のためのリフレッシュセミナー】

平成30年度には、平成29年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した（表1.4.3）。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は（財）電気電子情報振興財団の協力（共催）を得、また文部省高等教育局専門教育課、日本電子機械協会（EIAJ）、システムLSI開発支援センター（VSAC）、半導体理工学研究センター（STARC）、

日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。

本年度はVLSI設計に関する4つのコース、コースA：アナログ集積回路設計と演習（6/18～20実施）、コースM1：MEMS設計と演習（7/9～10実施）、コースM2：MEMS試作と評価（7/23～25）、コースR：RF-CMOS集積回路設計と演習（7/18～19実施）を開催した。講師として大学・企業の集積回路研究・教育に携わる教官や研究者を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコースA、M1、M2、Rそれぞれ8名、11名、4名、3名であった。



図1.4.2 リフレッシュ教育会場風景（東大VDECセミナー室）

表1.4.3 リフレッシュセミナー開催状況

コース A：アナログ集積回路設計と演習（3日間）
回路設計，回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計，検証（DRC，LVS）
杉本泰博（中央大学），小野寺秀俊（京都大学） 小谷光司（東北大学）
コース M1：MEMS 設計と演習（2日間）
MEMS の基礎1: 作製法 MEMS の基礎2: 動作原理 機構設計 レイアウト設計
三田吉郎（東京大学）
コース M2：MEMS 試作と評価（3日間）
CAD 設計・解析 リソグラフィ，エッチング，リリース 振動解析測定
三田吉郎（東京大学）
コース R：CMOS-RF 集積回路設計と演習（2日間）
変復調，多次元接続方式 回路の基本性能，トランシーバアーキテクチャ 要素回路，設計フロー
伊藤 浩之（東京工業大学）

### 【若手教官・学生のためのデザイナーズフォーラム】

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム（VDEC LSI Designers Forum）を開催している。VDEC LSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦勞した点、失敗事例と解決策、CAD業界の裏話、

研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今年、9月に福岡県二日市温泉にて開催された。27人の参加者が集まる盛況であった。

表1.4.4 デザイナーズフォーラムプログラム

9/27

時間	
12:00-12:30	会場受付
12:40-14:20	VDEC デザインアワード発表会 I
14:30-16:10	VDEC デザインアワード発表会 II
16:20-17:40	VDEC デザインアワード発表会 III
19:00-	VDEC デザインアワード表彰式 & 懇親会

9/28

時間	
9:00-10:00	VDEC アイデアコンテスト発表会
10:00-12:00	Ph.D 企画セッション
12:00-13:00	基調講演
13:00-13:10	閉会



## 1.5 装置の整備・運用・利用公開

VDECでは、大型装置公開事業すなわち、単独研究室では取得・維持管理が困難な装置をVDECで代表して導入管理し、ユーザーは無償または廉価に利用するというスキームを、「CAD」「LSIマルチチップ」「テスト」とならぶ4本柱の一つとして継続的に運用している。表1.5.1に主要装置の一覧と利用公開の状況を示す。装置はVLSI用大型テスターと、その他のプロセス装置とに大別でき、テスターは武田先端知ビル1F104号室、プロセス装置は武田地下クリーンルーム並びに武田ビル204バックエンド加工室にある。プロセス装置は平成24年度より文部科学省「ナノテクノロジー・プラットフォーム」に参加したことで、さらに多くのユーザーに対する支援体制を整備することができている（ナノテクノロジー・プラットフォームについては1.8節を参照いただきたい。）。

2018年度はVDEC並びに関連研究室の自助努力分を合わせて3Dレーザ顕微鏡（オリンパスOLS-5000）、ディ

ジタルマイクロスコープ（Keyence VHX-6000, VHX-7000）、レーザ描画装置（Heidelberg DWL66+）、パリレンコーター（SCS PDS2010）、ロードロック式高密度汎用スパッタリング装置（CFS-4EP-LL）、ニッケルメッキ装置等を購入した。また工学系研究科との協力によりオージェ分光分析装置（ULVAC Phi 680）を導入した。

装置の利用については、人的リソースが限られている状況でもできるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を基本とした運用を行っている。利用者資格を有する者、資格者の同伴、ナノテク支援員の同伴、代行といった様々な形態のスポット利用が可能である。個別の装置についての利用相談は、VDECの教職員までお寄せいただきたい。

表1.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSI テストシステム	EBテスター： IDS10000	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384ピン、1GHzまでのデジタル回路のテストを行える。	整備中	nanotech@sogo. t.u-tokyo.ac.jp
	LSIテスター： ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	nanotech@sogo. t.u-tokyo.ac.jp
	回路修正用 FIB:V400ACE	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能。加工ガスによりバルクシリコンを裏面から高速にポイントエッチング可能。	公開中	nanotech@sogo. t.u-tokyo.ac.jp
	オートプローバ： PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	nanotech@sogo. t.u-tokyo.ac.jp
	アナログ・RF測定 装置一式： B1500A,HP4156B, HP4284, etc	DCパラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但しVDECの業務による利用を優先とする	nanotech@sogo. t.u-tokyo.ac.jp

アナログ・RF 測定システム	低雑音マニュアル プローバ: Cascade 社	マニュアルにて6インチまでのウエハ上のチップ の測定が可能。測定には、通常のプローブ針（6 本まで）のほか、50GHzまでの測定が可能な高 周波プローブを2本備える	希望に応じ利 用可能。但し VDECの業務 による利用を 優先とする 公開中	nanotech@sogo. t.u-tokyo.ac.jp
	低雑音・温度制御 機構付きセミオー トプローバ: Süss Microtec社	8インチまでのウエハ上のチップの測定が可能。 ウエハ温度を-50°Cから200°Cまで制御可能。プ ローブカードによる測定。GPIBを介した制御 を行うことで半自動測定も可能		
ナノテクノロ ジー・プラッ トフォームの 主な装置	マスク描画・ウエ ハ直描装置: F5112+VD01	半導体製造用2.3mm厚5インチマスクの描画およ びエッチング、2-8インチ並びに不定形ウエハ への直接描画が可能。参考描画寸法50nm L/S.	公開中	nanotech@sogo. t.u-tokyo.ac.jp
	大面積高速電子線 描画装置: F7000S- VD02	半導体製造用2.3mm厚5インチマスクの描画およ びエッチング、2-8インチ並びに不定形ウエハへ の直接描画が可能。キャラクタプロジェクト 機能により、円形や三角形、斜め線などの高速・ 高精細描画が可能。参考描画寸法1Xnm L/S.	公開中	
	塩素系プラズマ エッチャー CE-S	Cl <sub>2</sub> , BCl <sub>3</sub> を使った金属のプラズマエッチングが 可能。	公開中	
	シリコン深掘り エッチング装置 MUC-21 ASE- Pegasus	ボッシュプロセスによる高速・高アスペクト比シ リコン深掘りが可能。	公開中	
	FIB装置: SII XVision 200TB	ガラスマスクの欠陥修正の他、断面観測のための 加工等が可能。ナノテクノロジー・プラットフォーム にて利用可能。	公開中	
精密ボンディ ングシステム 系	ウェッジボンダー: Westbond 7476D	25μmφアルミまたは金線によるウェッジボン ディングが可能	公開中	
	エポキシダイボン ダー Westbond7200C	精密マニピレータにより、エポキシや銀ペース トを用いたチップ配置、細線の配線が可能		
	セミオートボン ダー Westbond4700E	18~25μmφの金細線を用いたボールボンディン グまたはボールバンプの形成が可能		
	精密マニュアルフ リップチップボン ダー Finetech Fineplacer Lamda	15mm角までのチップ同士をテレビカメラで目視 しながら接合することが可能。ランプ加熱による 熱接合（超音波オプション購入可能）位置合わせ 精度XY±0.5μm, θ=1mrad.		

## 1.6 2019年度の活動計画

2019年度においても、従来の設計情報発信、CADツール提供、チップ支援、寄付部門「D2T」の活動を継続する。

### 【設計情報発信・セミナー開催】

本年度は、1997年度より継続しているCADツール利用法に関する技術セミナー、1998年度から継続している社会人向けの「リフレッシュセミナー」、1996年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

### 【CADツール提供】

上流設計(Cadence, Synopsys)、中流設計(Synopsys, Cadence)、下流設計(Cadence)の各基本ツールを、2019年度もサポートしていく。これに加え2002年度から導入した設計検証(Mentor: Caribra, ModelSim, Handel-C等)、2004年度から導入したアナログRF設計ツール(Agilent: GoldenGate, ADS/RFDE)を継続してサポートするとともに、2005年度より提供を受けているSharp社Cベース設計ツール(BachC)を継続してサポートする。2008年度より提供を開始しているTOOL社レイアウト表示プラットフォーム(Lavis)に関しても利用状況に基づき継続を行うとともに、2011年度からのSpringSoft社の検証ツールは、SpringSoft社がCadence社に買収されCadence社のツール群としてのサポートが継続されることになっている。また、回

路シミュレーションツール(Silvaco)ツールについてもサポートを継続する。

### 【チップ試作支援】

2019年度は、2018年度から引き続きSOTB 65nmCMOS、ローム株式会社の0.18umCMOSプロセス、CMPシャトルに乗る形でST CMOS FDSOI 28nmおよびオンセミ-三洋半導体0.8μmCMOSを定常試作として継続する(すでに一部の試作は進行中である)。なお、一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある。また、2017年度から技術的相談を開始しているリコー電子デバイス株式会社の0.6um高耐圧CMOS試作および三重富士通株式会社の40nm CMOSプロセスによる試作を検討する。

### 【その他】

経済産業省・NEDOの「AIチップ開発加速のためのイノベーション推進事業」における「AIチップ開発を加速する共通基盤技術の開発」事業を受託することで「AIチップ開発拠点」の整備を行う。具体的には、産業技術総合研究所と共同で大規模AIデジタルチップ設計検証向けのロジックエミュレータを導入するとともに、産業応用可能なEDAライセンスの整備運用を行う。なお、本事業はAIチップ開発加速に向け、AIチップの設計・評価・検証等の開発環境を中小・ベンチャー企業に提供することを主眼としているが、AIに関連した集積回路分野における大学発の企業化の促進も目指し大学からの利用の環境も整備を進める予定である。

表 1.7.1 VDECチップ試作スケジュール(平成31年度)

#### 【CMOS 0.8μm 2P2M】 オン・セミコンダクタ

	試作申込開始	試作申込締切	設計締切	納品・試作完了
2019年度第1回	2019/4/15	2019/7/8	2019/9/30	2019/12/23
2019年度第2回	2019/10/14	2020/1/6	2020/3/30	2020/6/29

#### 【CMOS 0.18μm 1P5M(+MiM)] ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
2019年度第1回(2019年7月試作)		2019/4/1	2019/6/24	2019/10/11
2019年度第2回(2019年9月試作)		2019/6/17	2019/9/9	2019/12/27
2019年度第3回(2019年11月試作)	2019/5/13	2019/8/5	2019/10/28	2020/2/14
2019年度第4回(2020年3月試作)	2019/9/9	2019/12/2	2020/2/24	2020/6/12

#### 【FD-SOI CMOS 28nm 1P10M] STマイクロ社

CMPの予定の通り。



### 【SOTB CMOS 65nm】

	試作申込開始	試作申込締切	設計締切	納品・試作完了
2019年度第1回		2019/6/17	2019/7/29	2020/2/1
2019年度第2回	2019/9/23	2020/1/27	2020/3/9	2020/9/5

## 1.7 VDEC発ベンチャー

VDECでの設計/試作経験、人材育成が有効には機能した事例といたしまして、VDECと関連があった（ある）教員が起業したベンチャー企業のリスト（順不同）を以下に示します。

[1] **エイ・アイ・エル株式会社** (<http://www.ailabo.co.jp/>)

代表の先生： 神戸大学 瀧 和男 教授（同社、代表取締役社長）

事業内容： (1) LSI設計受託開発  
(2) エンジニア派遣

[2] **株式会社シンセシス**

(2017年7月1日に株式会社ソリトンシステムズと合併, <https://www.soliton.co.jp>)

代表の先生： 大阪大学 白川 功 名誉教授（同社、取締役）

事業内容： (1) システムLSI開発・設計受託  
(2) IP開発及び販売  
(3) システムソリューション提供  
(4) 設計支援ツール開発及び販売

[3] **エイシップ・ソリューションズ株式会社** (<http://www.asip-solutions.com/>)

代表の先生： 大阪大学 今井 正治 教授（同社、代表取締役 CTO）

事業内容： (1) IoT応用システムの研究、開発、教育およびコンサルテーション  
(2) ASIP設計ツールの販売、ASIP開発のコンサルテーション

[4] **株式会社ナノデザイン** (<http://www.nanodesign.co.jp/>)

代表の先生： 九州工業大学 中村 和之 教授（同社、代表取締役）

事業内容： (1) 大規模半導体集積回路（LSI）の設計・開発  
(2) LSI設計用CAD, 及びLSI評価用装置の開発  
(3) 設計コンサルティング, 他

[5] **株式会社エイアールテック** (<http://www.a-r-tec.jp/>)

代表の先生： 広島大学 岩田 穆 名誉教授（同社、代表取締役）

事業内容： (1) 半導体集積回路（IC）およびIC評価ボードのアナログ設計/測定業務  
(2) 基板クロストーク雑音の解析・低減業務  
(3) 人材育成やOJT, 講習会企業との協力と人材育成

[6] **有限会社 石島電子技研** (<http://ishi.main.jp/>)

事業内容： (1) 電子回路・基板開発  
(2) ソフトウェア開発  
(3) コンサルティング

## 1.8 超微細リソグラフィ・ナノ計測拠点

VDECでは、武田先端知ビルスーパークリーンルームを工学部総合研究機構と共同で運用し、オープンな拠点として全国の学・産・官に広く公開している。平成23年度で終了したナノテクノロジーネットワーク事業に引き続き、東京大学を代表して平成24年度より開始された文部科学省ナノテクノロジープラットフォームの微細加工実施機関となって、「超微細リソグラフィ・ナノ計測拠点」を運営している。一研究室では取得維持が困難な装置群を、組織的に維持管理し、学内外、特に学外の企業に公開するというプロジェクトである。平成27年度より「微細加工プラットフォーム代表機関(京都大学)」のサブセンターとして、主に東日本を担当するコーディネータ業務を受託している。VDECの微細加工拠点は、株式会社アドバンテスト社製の量産向け高速電子線描画装置を改造して、1cm角から8インチ丸までの任意形状にまで描画できるようにしたF5112+VD01ならびに、8インチまでの任意形状に描画できる柔軟性・大面積描画性はそのままに、20nmを切る解像度向上と、機器中のステンシルの影像を精密に縮小投影する「キャラクタ(セル)プロジェクション」に正式対応した後継機F7000S-VD02を核に、武田先端知ビルスーパークリーンルームでの活動を支援している。さらに、VLSIファウンドリ活動の日本代表という立ち位置を最大限利用し、「フェニテックセミコンダクター」プロジェクトとの協業により、VLSIをVDECで試作し、ウエーハ状態のLSIの供給を受け、ナノテクプラットでMEMS後加工するという新たな「More-Than-Moore」系の研究支援スキームを安定的に運用し

ている。実績は極めて好調であり、平成24年度(ナノテクプラット開始時)から28年度末までに登録した研究グループ数は累積310(前年度+40)研究グループ・4教育プロジェクトとなった。これは2000年から2004年の利用研究グループ数の14倍(2016年は13倍)である(図1)。平成30年度の「利用報告書」は153件であり、利用研究室数は139であった。内訳は企業43、他大学34、東大62(理学系,工学系,情報理工,新領域,医学系,環境安全,素粒子,生産研,先端研,VDEC)である。企業による利用が順調に増加していることが特筆され、これはナノプラット開始後6年エオ経て、制度の存在が次第に知られてきているためである。最も利用されている装置は電子線描画装置である。描画回数の年次変化を図2に示す。絶えず右肩上がりの成長ではあるが、外部共用率は99%、すなわち利用可能な日には必ず誰かが利用をしていたという結果、装置の空き時間がひっ迫しつつあり、描画枚数の伸びが一段落している。新規リソグラフィ装置の導入等の工夫により、更なる利用スループットを向上すべく各方面と調整中である。これだけ好評である理由の一つは、経験豊富な技術支援者のアテンドによる技術補助利用、技術代行利用が好評を博しているためで、さらなる利用の向上が期待できる。国際的プレゼンスも高く、特にフランス共和国における同種のプロジェクトである「CNRS-RENATECH」より名指して依頼を受け、フランス共和国より博士エンジニアを1年間受け入れ、技術交流を行った。

URL:<http://nanotechnet.t.u-tokyo.ac.jp/>

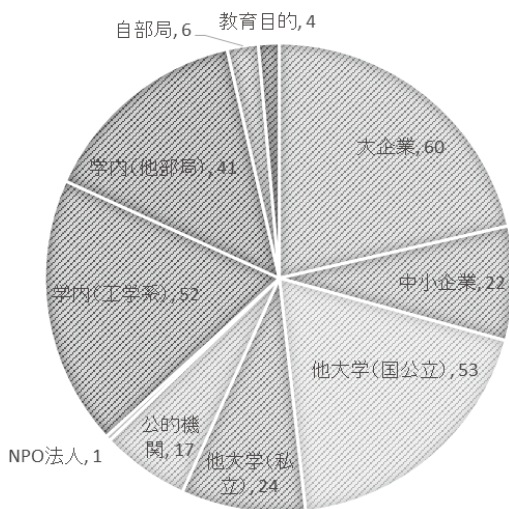


図1：武田先端知ビルスーパークリーンルーム利用研究室の内訳

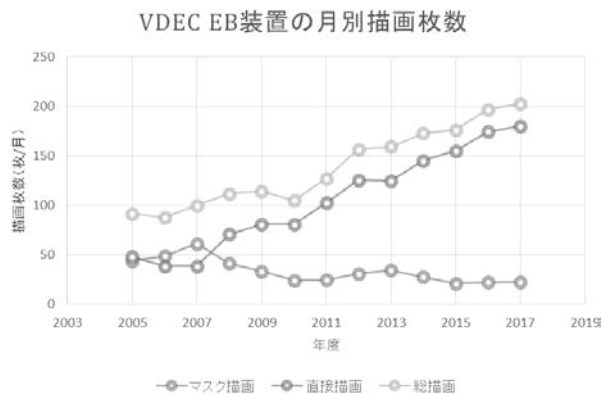


図2：VDEC電子線描画装置の月あたり平均描画枚数

## 第2章 「アドバンテストD2T寄附研究部門」活動報告

### 2.1 「アドバンテストD2T寄附研究部門」の紹介

#### 2.1.1 アドバンテスト D2T 寄附研究部門設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテスト D2T 寄附研究部門」が2007年10月に VDEC内に設立されました。「アドバンテスト D2T 寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく”Design to Test (D2T)” の理念のもと、国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月（第1期）、2010年10月～2013年9月（第2期）、2013年10月～2016年9月（第3期）の計9年間に渡るプロジェクトを遂行して

きました。2018年度は2016年10月から株式会社アドバンテストのご厚意により新たに開始した第4期（2016年10月～2019年9月予定）の三年目にあたり、研究・教育活動を継続させていただいております。

また2018年度は米国 Auburn University から Adit Singh 特任教授（2018年1月～5月）、米国 University of Utah から Kalla Priyank 特任教授（2018年5月～8月）を客員教員として招聘しており、VDECの研究および教育活動に大きな力を与えて頂いております。

当研究部門の活動の詳細については、続く各章においてそれぞれ報告いたします。

#### 2.1.2 アドバンテスト D2T 寄附研究部門構成員

特任教授	藤田 昌宏
特任教授	Adit Singh （2018年1月～5月）
特任教授	Kalla Priyank（2018年5月～8月）
特任講師	肥後 昭男
共同研究員	浅見 幸司（株式会社アドバンテスト）
学術支援職員	山口 隆弘
事務補佐員	岡崎 真紀子



## 2.2 「第13回D2Tシンポジウム」開催報告

2018年9月26日(水)に、東京大学武田ホールにおいて「第13回D2Tシンポジウム」を開催し、たくさんの皆様にご参加を頂きました。

今回のシンポジウムでは、CNRS, University of Paris-SaclayのGilgueng Hwang 准教授、香港科技大のTim Cheng 教授、アリゾナ州立大学のSule Ozev 教授、ジョージア工科大学のAbhijit Chatterjee 教授とオーバーン大学のAdit Singh教授の5名を招待講演者としてお招きし、「IoT、バイオシステム、RF、機械学習」

をキーワードに最新の研究についての貴重な講演を頂きました。また、東京大学の小関泰之准教授とアニエスティックシエ三田准教授にもバイオイメージングとバイオデバイスの特別講演を頂きました。

閉会後の懇親会まで多くの方にご参加を頂き、大変盛況な会となりましたことを改めて御礼申し上げますとともに、今後開催される第14回シンポジウムへのご参加を心よりお待ちしております。

アドバンテスト D2T 寄附研究部門 東京大学 大規模集積システム設計教育研究センター  
VLSI Design and Education Center VDEC

# 第13回 D2Tシンポジウム

~ VLSI system design, verification, and test (II) ~  
**IoT, Biosystems, RF and Machine learning**

2018 **9/26** WED  
10:00-18:00

東京大学 武田先端知ビル5階  
武田ホール

東京大学大規模集積システム設計教育研究センターでは、株式会社アドバンテストからの寄附によるアドバンテスト D2T 寄附研究部門において、「D2T (Design-to-Test)」の理念に基づき、「設計」と「テスト」の橋渡しを目的とした研究・教育活動を行なっています。その一環として開催して参りました D2T シンポジウムを今年も下記の通り開催いたします。多くの皆様の御参加をお待ち申し上げております。

Keynote Speakers	
 <b>Gilgueng Hwang</b> <i>Associate Professor, CNRS, University of Paris-Saclay</i> <i>"On-chip micro/nanorobotic swimmers towards biomedical applications"</i>	 <b>Sule Ozev</b> <i>Professor, Arizona State University,</i> <i>"Ensuring Product Quality through Design for Test for Embedded Circuits"</i>
 <b>Yasuyuki Ozeki</b> <i>Associate Professor, Dept. of EEIS, The Univ. of Tokyo,</i> <i>"Large-scale biological imaging of cells with ultrafast lasers"</i>	 <b>Abhijit Chatterjee</b> <i>Professor, Georgia Institute of Technology,</i> <i>Power-Performance Aware, Off-Line and On-Line Adaptation of Mixed-Signal/RF Circuits and Systems: A Machine Learning Assisted Approach</i>
 <b>Agnès Tixier-Mita</b> <i>Associate Professor, RCAST, The Univ. of Tokyo,</i> <i>"Thin-Film-Transistor Technology: Display Technology for Biological Applications"</i>	 <b>K.-T. Tim Cheng</b> <i>Dean of Engineering, Chair Professor of ECE and CSE, Hong Kong University of Science and Technology,</i> <i>"Hardware Security-Verification, Test, and Defense Mechanisms"</i>
 <b>Adit Singh</b> <i>Professor, Auburn University,</i> <i>"Are System Level Tests Unavoidable for High End Processors?"</i>	



**武田ホール  
武田先端知ビル  
5F**

**参加のお申し込み** | 参加費：無料 | 懇親会：無料

申し込み方法：下記ウェブサイトにて事前申込をお願いします  
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2018-j.html>

主催：東京大学大規模集積システム設計教育研究センター (VDEC)  
 後援：株式会社アドバンテスト

協賛 (予定)：(一社) 電子情報通信学会、(一社) 情報処理学会、IEEE SSCS Japan Chapter、IEEE SSCS Kansai Chapter、応用物理学会 集積化 MEMS 技術研究会、ナノシステム学会、(一社) 電子情報技術産業協会、(一社) 日本洋導体製造装置協会、SEMI ジャパン、(一社) パワーデバイス・イネープリング協会

お問い合わせ：東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門  
 〒113-0032 東京都文京区弥生 2-11-16 武田先端知ビル 404号室  
 Tel: 03-5841-0233 FAX: 03-5841-1093  
<http://www.vdec.u-tokyo.ac.jp/> E-Mail: [higo@f.t.u-tokyo.ac.jp](mailto:higo@f.t.u-tokyo.ac.jp)

## 第13回 D2T シンポジウム開催プログラム

10:00	<b>Opening Remarks</b> Masahiro Fujita (Director, VDEC, The University of Tokyo) Toshiyuki Okayasu (Executive Officer, Senior Vice President, New Concept Product Initiative, ADVANTEST Corporation)
10:30	<b>Session 1</b> (Chairperson: Akio Higo, VDEC, The University of Tokyo) "On-chip micro/nanorobotic swimmers towards biomedical applications" Gilgueng Hwang (CNRS, University of Paris-Saclay) "Large-scale biological imaging of cells with ultrafast lasers" Yasuyuki Ozeki (Dept. of EEIS, The University of Tokyo) "Thin-Film-Transistor Technology: Display Technology for Biological Applications" Agnes Tixier-Mita (RCAST, The University of Tokyo)
12:30	<b>Lunch</b>
14:00	<b>Session 2</b> (Chairperson: Tetsuya Iizuka, VDEC, The University of Tokyo) "Ensuring Product Quality through Design for Test for Embedded Circuits" Sule Ozev(Arizona State University) "Power-Performance Aware, Off-Line and On-Line Adaptation of Mixed-Signal/RF Circuits and Systems: A Machine Learning Assisted Approach" Abhijit Chatterjee (Georgia Institute of Technology)
15:30	<b>Break</b>
16:00	<b>Session 3</b> (Chairman: Masahiro Fujita, VDEC, The University of Tokyo) "Hardware Security - Verification, Test, and Defense Mechanisms" K.-T. Tim Cheng (Hong Kong University of Science and Technology) "Are System Level Tests Unavoidable for High End Processors?" Adit Singh (Auburn University) Session 4 "Activities of D2T research division" Akio Higo (VDEC D2T, The University of Tokyo)
17:45	<b>Closing</b>
18:00	<b>Reception</b>

## 2.3 研究活動報告

### 高精度波形測定技術

山口隆弘, Parit Kanjanavirojkul, 池野理門,  
飯塚哲也, 浅田 邦博

確率的アナログ-デジタル変換器 (Stochastic Analog to Digital Converter; ADC) に基づく高精度サブレンジ型ADCの研究を行っている。プロセスばらつきや電圧、温度の変動によって生じるコンパレータのオフセットはADC特性の劣化の原因となる。一方、確率的ADC方式ではオフセットのランダムばらつきの正規分布を利用して精度を向上する。

確率の中央値をもちいたレベル交叉時刻検出方式について、理想的確率推定、N個のコンパレータをもちいた確率推定を理論化するための数値実験をすすめている。条件：外部雑音はゼロ、ランプ波を印加、内部雑音と1-01遷移電圧のプロセスばらつきを変化させる。

### 広帯域周波数拡散向け高性能ADCとの応用

浅見幸司, Byambadorj Zolboo, 肥後昭男,  
飯塚哲也, 藤田昌宏

IoTなどで使用される低価格のRFデバイスを、低コストで高性能に測定するための圧縮サンプリング方式の研究を行っている。本年度はModulated Wideband ConverterをAutomatic Test Equipment (ATE)へRF測定システムとして搭載するため、実装方法の研究を行ってきた。特に本システムのNoise Figureの理論式を構築し、シミュレーションによりその妥当性を確認した。本成果を論文としてまとめ、IEEEジャーナルへ投稿した。今後、測定システムのNoise Budget検討に応用し、実験回路を作成する予定である。実機実験により、測定誤差および補償方法などの課題について検討を進めていく。

### 高速高精度電子線描画技術

肥後昭男, 三田吉郎, 藤田昌宏

電子線直描(Electron Beam Direct Writing; EBDW)によるマスクレス露光は、安価かつ短 turn-around time (TAT) の露光技術としての期待が大きい一方で低いスループットやビーム形状に起因する図形再現性に課題があるとされている。我々は、キャラクタープロジェクション (Character Projection; CP) 方式を活用しながら上記の課題を克服し、MEMSやフォトリソ等の幅広い露光対象に対して有効な高速電子線直描処理環境を構築するための研究を行っている。

今年度は、CP方式とVariable-Shaped Beam (VSB)方式を組み合わせることで高速・高精度に露光するEB描画手法における描画結果評価の高精度化のための作製手法を検討している。またVDEC武田クリーンルームのF7000S描画機のさらなる性能とユーザの利便性を向上するための新規CPマスクについての検討をおこなっている。さらに、光導波路の側面にCPを適応した平坦処理後の光導波路伝播損失特性への影響を、光学測定により評価している。

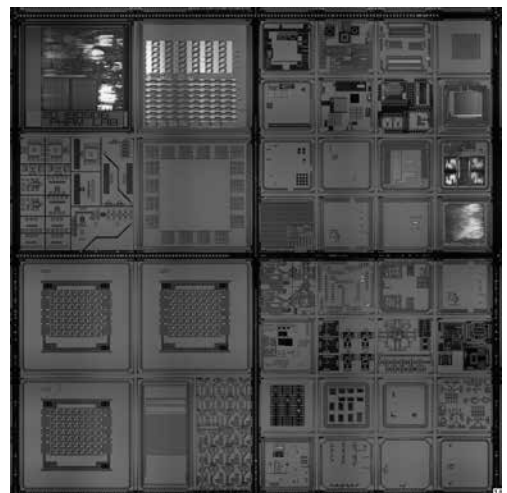
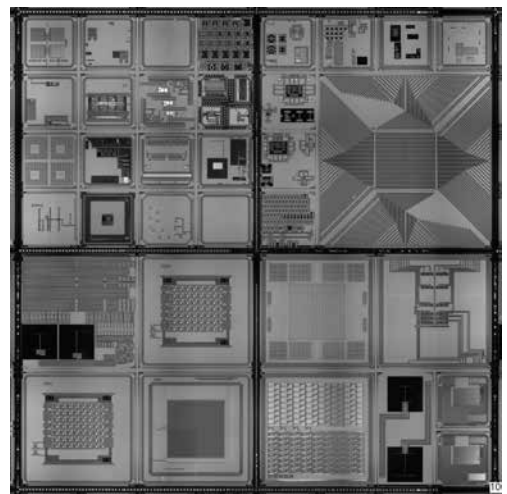
## 2.4 研究発表

### 国際会議・国際シンポジウム・国際ワークショップ

[1] Akio Higo, Tomoki Sawamura, Makoto Fujiwara, Etsuko Ota, Ayako Mizushima, Eric Lebrasseur, Taro Arakawa, and Yoshio Mita, "A Micro Racetrack Optical Resonator Test Structure to Optimize

Pattern Approximation in Direct Lithography Technologies", 2019 IEEE Conference on Microelectronic Test Structures (ICMTS 2019), Kita-Kyushu, Japan (2019.03)

# 第3章 チップ°試作結果報告





### 3.1 試作ラン別一覧

#### 平成29年度第2回オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08172)

題名	大学名	研究者	掲載頁
6足歩行型MEMSマイクロロボットに実装可能な低容量型ハードウェアニューラルネットワーク	日本大学理工学部	田中 泰介, 早川 雄一郎, 齊藤 健, 内木場 文男	31
MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワーク	日本大学理工学部	田中 泰介, 早川 雄一郎, 小原 正也, 齊藤 健, 内木場 文男	31

#### 平成30年度第1回オンセミコンダクター—三洋 CMOS 0.8um 試作 (OS08181)

題名	大学名	研究者	掲載頁
CMOS-MEMS圧力センサの設計	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	野口 駿太 小松 聡	32
6足歩行型MEMSマイクロロボットの方向転換を行うハードウェアニューラルネットワーク	日本大学理工学部	小原 正也, 佐々木 拓郎, 黒澤 実花, 齊藤 健	32
MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワークの改良	日本大学理工学部	黒澤 実花, 佐々木 拓郎, 小原 正也, 齊藤 健	32
静電モータを駆動するハードウェアニューラルネットワークのTEGチップ	日本大学理工学部	佐々木 拓郎, 黒澤 実花, 小原 正也, 齊藤 健	33
4足歩行型MEMSマイクロロボットに実装可能な低容量型ハードウェアニューラルネットワーク	日本大学理工学部	田中 泰介, 早川 雄一郎, 内木場 文男	33

#### 平成29年度第4回ローム CMOS 0.18um 試作 (RO18173)

題名	大学名	研究者	掲載頁
雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器	東京大学工学系研究科 東京大学VDEC	伊藤 貴亮 飯塚 哲也, 名倉 徹, 浅田 邦博	34
ニューロン動作を模擬したデジタル信号処理回路	東京大学VDEC	飯塚 哲也	34
高分解能パルス縮小型時間-デジタル変換器	東京大学工学系研究科 東京大学VDEC	榎本 隆一 飯塚 哲也, 名倉 徹, 浅田 邦博	34
電流源アレイおよび電源電圧測定回路 TEG1	東京大学VDEC	名倉 徹	35
電流源アレイおよび電源電圧測定回路 TEG2	東京大学VDEC	名倉 徹	35
電流源アレイおよび電源電圧測定回路 TEG3	東京大学VDEC	名倉 徹	35
自動合成可能な低損失レギュレータ	東京大学工学系研究科 東京大学VDEC	小島 尚輝 名倉 徹, 飯塚 哲也, 浅田 邦博	36
ミリ波計測用プロービングパッドTEG	東京大学VDEC	飯塚 哲也	36
高分解能パルス縮小型時間-デジタル変換器	東京大学工学系研究科 東京大学VDEC	榎本 隆一 飯塚 哲也, 名倉 徹, 浅田 邦博	36
電流源アレイおよび電源電圧測定回路 TEG4	東京大学VDEC	名倉 徹	37
電流源アレイおよび電源電圧測定回路 TEG5	東京大学VDEC	名倉 徹	37
対数圧縮ADCおよび可変遅延回路の特性評価用TEG	青山学院大学理工学部	稲垣 雄志, 島津 由樹, 松谷 康之	37
位相シフト回路TEG	中部大学工学部	宮本 順一	38
DLL回路, オンチップアンテナ通信回路, NIRS用測定回路, 時間差増幅回路	芝浦工業大学工学部	佐々木 昌浩, 石井 雅樹, 梅田 将馬, 佐々木 俊介, 田代 享寛, 小林 遼太	38
ynuR018_17_3	横浜国立大学理工学部	弘中 祐樹, 吉川 信行	38
ニューラルネットワーク用モジュールの試作	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑	39
ニューロモフィックシステム アクティブマトリクス型 最表面端子露出型	龍谷大学理工学部	木村 睦	39
サイクリックADコンバータとVCOとDC/DCコンバータに使用するコンパレータとバッファ	中央大学理工学部電気電子情報通信工学科 中央大学大学院理工学研究科電気電子情報通信工学専攻	杉本 泰博 高橋 正広, 磯野 友寛, 野口 純平, 星 佑太	39
ゲイン及び帯域切替可能な生体信号処理用LSI	東北大学医工学研究科 長崎総合科学大学工学研究科 東北大学工学研究科	田中 徹 清山 浩司 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, LEE KARMUN, 矢吹 僚介, DU BANG	40
SIカオスニューロンTEG		織間 健守	40
チョップ方式の昇圧回路そのほか	電気通信大学情報ネットワーク工学専攻	鈴木 康介, 範 公可, 石橋 孝一郎	40
2 Step ADC, マルチビット $\Sigma$ Δ TDC, 4bit NSDEM, および $\Sigma$ Δ型 Multiple- $\Sigma$ TDC-TEG	法政大学理工学部	吉田 知朗, 鎗木 彩加, 安藤 健吾, 野網 真伍, 吉野 理貴, 渡辺 光, 嘉藤 貴博	41

脳波測定用同期型ノッチフィルタの試作及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 河添 翔平, 福岡 龍人, 外村 崇史 伊藤 孝太, 田中 稜也, 出口 卓己, 銭林 大悟	41
超低電力身体モニタリングシステムの1チップ集積化に向けた試作	兵庫県立大学大学院工学研究科	北田 友嗣, 藤原 潤, 前中 一介	41
マイクロ波帯D級電力増幅器	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎 小池 悠介, 明神 史典	42
強誘電体トランジスタ (FeFET) を用いたニューロモルフィック集積回路	中央大学理工学研究科 中央大学理工学部	竹内 健, 鈴木 健太, 能美 奨 上村 公紀	42
カスケードPLL回路の相互干渉解析TEGと自己・外部インジェクション比較検証用発振回路TEG	大阪工業大学大学院工学研究科	宮尾 和樹 岡藤 達也, 増井 優也, 小林 菜祐, 吉村 勉	42

## 平成30年度第1回ローム CMOS 0.18um 試作 (RO18181)

題名	大学名	研究者	掲載頁
ミリ波測定用TEG	東京大学工学系研究科 東京大学VDEC	原 崇文 飯塚 哲也	43
ブロードサイドアレー測定用TEG	東京大学工学系研究科 東京大学VDEC	原 崇文 飯塚 哲也	43
高分解能パルス縮小型時間-デジタル変換器	東京大学工学系研究科 東京大学VDEC	榎本 隆一 飯塚 哲也, 名倉 徹, 浅田 邦博	43
高分解能パルス縮小型時間-デジタル変換器	東京大学工学系研究科 東京大学VDEC	榎本 隆一 飯塚 哲也, 名倉 徹, 浅田 邦博	44
オンチップ太陽電池用昇圧回路TEGほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	木村 知也 宮内 悠太, 今川 隆司, 越智 裕之	44
低電圧で動作する温度センサ回路TEGほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	坂野 達也, 田中 一平, 木村 知也 今川 隆司, 越智 裕之	44
ミリ波・準ミリ波発振器TEG	岡山県立大学情報工学科 岡山県立大学情報系工学研究科	伊藤 信之 坂本 裕太, 八木 希知	45
発汗センサ用テストチップ	信州大学工学部	坂田 天来, 石倉 佳汰, 竹野 智哉, 宮地 幸祐, 上口 光	45
Flash ADC, VLL ADC, Pipeline ADC, Subranging ADC	芝浦工業大学工学部	佐々木 昌浩, 石井 雅樹, 大谷 健吉, 宮下 航, 玉澤 佑記	45
ynuR018_18_1_1	横浜国立大学理工学府	弘中 祐樹, 吉川 信行	46
ニューラルネットワーク用モジュールの試作	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑, 市野 栄一	46
ニューロモルフィックシステム ダイレクトアクセス型 最表面端子露出型	龍谷大学理工学部	木村 睦	46
ブリエンファシス・パルス設計理論の検証	静岡大学工学部	丹沢 徹	47
部分露光型イメージセンサ, 磁気センサの特性評価用TEG	茨城大学理工学研究科	木村 孝之	47
電気化学測定用電極評価チップ		宇野 重康	47
4bit×4bit乗算器その他	電気通信大学情報ネットワーク工学専攻	宮原 大三朗, 範 公可, 石橋 孝一郎	48
ソフトエラー耐性を有するラッチ回路その3	千葉大学工学部 千葉大学大学院融合理工学府	中田 惟吹 山本 雄太, 堀田 奈央	48
クロックジッタに配慮したJitter-Shaperと, ジッタ特性改善をねらったVCOと, TDCテスト用位相変調回路	法政大学理工学部	七田 洸介, 増田 秀太, 小野寺 優輝, 渡辺 光, 嘉藤 貴博	48
積層型3次元ICのチップ内の温度分布の解析	富山県立大学工学部	牛田 慧, 岩田 栄之, 松田 敏弘	49
脳波測定用同期型ノッチフィルタの試作及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部	中野 誠彦, 三河 樹由, 吉田 祐威	49
0.6V動作PWM差分演算回路 (Analog/PWM/Digital変換器を含む)	山形大学大学院理工学研究科	小嶋 文也, 原田 知親	49
超低電力身体モニタリングシステムのための回路ライブラリの改良	兵庫県立大学大学院工学研究科	北田 友嗣, 前中 一介	50
マイクロ波帯D級電力増幅器	東京理科大学理工学部電気電子情報工学科	榎田 洋太郎, 高野 恭弥	50
マイクロ波帯ダブルバランスドミキサ	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 澤田 晟, 畑 慎太郎	50
ミリ波デバイス評価用素子	東京理科大学理工学部電気電子情報工学科	榎田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之, 平野 勝彦, 山木 夏	51
耐放射線・光再構成型ゲートアレイ	静岡大学総合科学技術研究科	渡邊 実	51

## 平成30年度第2回ローム CMOS 0.18um 試作 (RO18182)

題名	大学名	研究者	掲載頁
ミリ波測定用TEG	東京大学工学系研究科 東京大学VDEC	原 崇文 飯塚 哲也	52
メタルフリンジキャパシタを用いたCMOSプロセス互換な揮発性メモリのTEGほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	田中 一平, 木村 知也 宮内 悠太, 今川 隆司, 越智 裕之	52
ニューロンCMOSインバータ型ハミング距離判定回路	東海大学情報通信学部 東海大学情報通信学研究科	福原 雅朗, 大塚 陸, 山田 海貴, 浅川 颯馬 藏野 貴教, 恩地 夏央	52
半導体電力分配器	中部大学工学部	宮本 順一	53
準安定状態回路を用いた真性乱数生成回路の製作	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	荒井 建輝 小松 聡	53
Flash ADC, VLL ADC, Pipeline ADC, 時間差増幅回路	芝浦工業大学工学部	佐々木 昌浩, 石井 雅樹, 大谷 健吉, 宮下 航, 萬羽 敦史	53
ynuR018_18_2	横浜国立大学理工学府	弘中 祐樹, 吉川 信行	54
動き推定機能を有する1画素4セル構造イメージセンサ	東京理科大学工学研究科	荒谷 智広, 浜本 隆之	54
ニューラルネットワーク用モジュールの試作	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑, 市野 栄一, 唐鎌 侑馬, 伊藤 大輝, 鈴木 壘, 白江 健太郎	54
ニューロモフィックシステム アクティブマトリクス型 最表面端子露出型	龍谷大学理工学部	木村 睦	55
サイクリックADコンバータとVCOとDC/DCコンバータに使用するコンパレータ	中央大学理工学部電気電子情報通信工学科 中央大学大学院理工学研究科電気電子情報通信工学専攻	杉本 泰博 高橋 正広, 磯野 友寛, 野口 純平, 星 佑太	55
キャリブレーション不要なプリエンファシス・パルス回路の設計	静岡大学工学部	丹沢 徹	55
電気化学測定用センサー電極アレイチップ	立命館大学理工学部	宇野 重康, 吉田 豊	56
RISC-V CPUを搭載したSoC	電気通信大学情報ネットワーク工学専攻	萩原 今朝巳, 範 公可, 石橋 孝一郎	56
2.5GHz-LC共振型-デジタル制御発振器と, MULTIPLE-デルタシグマTDC, および制御用SPI回路	法政大学理工学部	嘉藤 貴博	56
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 三河 樹由, 吉田 祐威 田中 稜也, 出口 卓己, 河添 翔平, 福岡 龍人, 外村 崇史, 銭林 大悟	57
マイクロ波帯D級電力増幅器	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	煤田 洋太郎, 高野 恭弥 小池 悠介, 明神 史典	57
マイクロ波帯ダブルバランスドミキサ	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	煤田 洋太郎, 高野 恭弥 澤田 晟, 畑 慎太郎	57
60GHz帯送受信機用要素回路	東京理科大学理工学部電気電子情報工学科	煤田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之, 平野 勝彦, 山本 夏	58
耐放射線・光再構成型ゲートアレイ	静岡大学総合科学技術研究科	吉永 透, 渡邊 実	58
時間軸領域で演算を行うニューロモフィック集積回路	中央大学理工学研究科 中央大学理工学部	竹内 健, 鈴木 健太, 能美 奨 上村 公紀	58
光通信トランスインピーダンスの電源ノイズ低減手法実証チップ	滋賀県立大学工学部	谷村 信哉, 田中 大夢, 土谷 亮	59
光プローブ電流センサ向けオフセット補正光電流変換CMOSアナログフロントエンド回路の広帯域化及び同相除去比の改善	信州大学総合理工学研究科 信州大学工学部	高木 憲太郎, 宮地 幸祐 清水 昂, 塚田 芳寿	59
光受信用アナログフロントエンド回路TEG4	岐阜大学大学院工学研究科	中嶋 伸吾, 國枝 衛, 三輪 祐三久, 伊藤 大輔, 中村 誠	59
遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	徳島大学大学院先端技術科学教育部	神田 道也, 宮武 典子, 大塚 諒哉, 河野 潤平, 佐藤 聡観, 松本 悠汰, 四柳 浩之, 橋爪 正樹	60
低電圧・低面積CMOSアナログ回路の試作	明治大学理工学部	関根 かをり, 高瀬 文哉, 小林 洵也, 中島 隆治	60

## 平成30年度第3回ローム CMOS 0.18um 試作 (RO18183)

題名	大学名	研究者	掲載頁
ミリ波測定用TEG	東京大学工学系研究科 東京大学VDEC	原 崇文 飯塚 哲也	61
ブロードサイドアレー測定用TEG	東京大学工学系研究科 東京大学VDEC	原 崇文 飯塚 哲也	61
ブロードサイドアレー測定用TEG	東京大学工学系研究科 東京大学VDEC	原 崇文 飯塚 哲也	61
ブロードサイドアレー測定用TEG	東京大学工学系研究科 東京大学VDEC	原 崇文 飯塚 哲也	62
位相シフト回路TEG	中部大学工学部	宮本 順一	62

SPAD画素およびカウント動作の評価実験用チップ	東京理科大学工学研究科	山崎 智裕, 浜本 隆之	62
ニューロモーフィックシステム ディレクトアクセス型 最表面端子露出型	龍谷大学理工学部	木村 睦	63
60GHz帯送受信機用要素回路	東京理科大学理工学部電気電子情報工学科 東京理科大学工学研究科電気工学専攻	煤田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之, 平野 勝彦, 山木 夏	63
耐放射線・光再構成型ゲートアレイ	静岡大学総合科学技術研究科	渡邊 実	63

### 平成29年度第2回ルネサス CMOS 65nm 試作 (RS65172)

題名	大学名	研究者	掲載頁
高動作マージン, 低電圧動作, 低リーク電流SRAMの開発	日本大学理工学部	小林 伸彰	64
時間インタリーブVCOベースA/D変換器とデジタルRF受信機の試作	大阪工業大学工学部 大阪工業大学大学院工学研究科	木原 崇雄 磯部 佑真, 譜久山 篤也	64
先端SOTBプロセスにおける集積化磁気センサの構成回路評価用TEG	茨城大学理工学研究科	木村 孝之	64
Vbb generator by SOTB CMOS rectifier and so on	電気通信大学情報ネットワーク工学専攻	NGUYEN THUY LINH, 範 公可, 石橋 孝一郎	65
FFT (Fast Fourier Transform) TF (Twiddle Factor) 32-bit floating-point	電気通信大学情報ネットワーク工学専攻	HOANG TRONG THUC, 範 公可, 石橋 孝一郎	65
BootStrap式DCDC昇圧回路	電気通信大学情報ネットワーク工学専攻	熊谷 慎也, 範 公可, 石橋 孝一郎	65
遅延時間を抑制した耐放射線フリップフロップの評価	京都工芸繊維大学電子システム工学専攻	山田 晃大, 榎原 光則, 古田 潤, 小林 和淑	65
アンテナダメージと経年劣化がCMOSに及ぼす影響の実測評価試作チップ	東京理科大学理工学部 東京理科大学工学研究科 京都工芸繊維大学電子システム工学専攻	岸田 亮 小島 孔頌 中野 洋希, 古田 潤, 小林 和淑	66

### 平成30年度第1回ルネサス CMOS 65nm 試作 (RS65181)

題名	大学名	研究者	掲載頁
最小のリークエネルギーで動作するRISC-Vプロセッサの試作	京都大学大学院情報学研究所	岡村 陽介, 小柳 卓也, 徐 宏傑, 黄 超, 塩見 準, 石原 亨, 小野寺 秀俊	67
VLSI劣化検知のためのフィールドテスト技術の評価用TEGチップ	九州工業大学大学院情報工学研究院	加藤 隆明, 三宅 庸資, 梶原 誠司, 宮瀬 紘平	67
ストップウォッチその他	電気通信大学情報ネットワーク工学専攻	保坂 堯洋, 範 公可, 石橋 孝一郎	67
2段オペアンプその他	電気通信大学情報ネットワーク工学専攻	山本 晃徳, 範 公可, 石橋 孝一郎	68
最小エネルギー点を追跡するRISC-Vプロセッサの試作	京都大学大学院情報学研究所	徐 宏傑, 劉 晟宇, 松野 旺示, 黄 超, 塩見 準, 石原 亨, 小野寺 秀俊	68
耐放射線FPGA	静岡大学総合科学技術研究科	渡邊 実	68
配線抵抗素子の信頼性評価用アレイTEG	関西大学システム理工学部	佐藤 伸吾	69
擬似不揮発性フリップフロップ	東京工業大学未来産業技術研究所	菅原 聡, 山本 修一郎, 北形 大樹	69
非2進サイクリックAD変換器	東京都市大学	大津 俊貴, 佐々木 美波, 山田 秀一郎, 潘 春暉, 傘 昊, 松浦 達治, 堀田 正生	69



## 3.2 チップ種別一覧

### MEMS

ラン名	タイトル	研究者	掲載頁
OS08181	CMOS-MEMS圧力センサの設計	野口 駿太, 小松 聡	32

### TEG (特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08172	6足歩行型MEMSマイクロロボットに実装可能な低容量型ハードウェアニューラルネットワーク	田中 泰介, 早川 雄一郎, 齊藤 健, 内木場 文男	31
OS08172	MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワーク	田中 泰介, 早川 雄一郎, 小原 正也, 齊藤 健, 内木場 文男	31
OS08181	6足歩行型MEMSマイクロロボットの方向転換を行うハードウェアニューラルネットワーク	小原 正也, 佐々木 拓郎, 黒澤 実花, 齊藤 健	32
OS08181	MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワークの改良	黒澤 実花, 佐々木 拓郎, 小原 正也, 齊藤 健	32
OS08181	静電モータを駆動するハードウェアニューラルネットワークのTEGチップ	佐々木 拓郎, 黒澤 実花, 小原 正也, 齊藤 健	33
OS08181	4足歩行型MEMSマイクロロボットに実装可能な低容量型ハードウェアニューラルネットワーク	田中 泰介, 早川 雄一郎, 内木場 文男	33
RO18173	電流源アレイおよび電源電圧測定回路TEG1	名倉 徹	35
RO18173	電流源アレイおよび電源電圧測定回路TEG2	名倉 徹	35
RO18173	電流源アレイおよび電源電圧測定回路TEG3	名倉 徹	35
RO18173	ミリ波計測用プロービングパッドTEG	飯塚 哲也	36
RO18173	電流源アレイおよび電源電圧測定回路TEG4	名倉 徹	37
RO18173	電流源アレイおよび電源電圧測定回路TEG5	名倉 徹	37
RO18173	位相シフト回路TEG	宮本 順一	38
RO18173	カスケードPLL回路の相互干渉解析TEGと自己・外部インジェクション比較検証用発振回路TEG	宮尾 和樹, 岡藤 達也, 増井 優也, 小林 茉祐, 吉村 勉	42
RO18181	低電圧で動作する温度センサ回路TEGほか	坂野 達也, 田中 一平, 木村 知也, 今川 隆司, 越智 裕之	44
RO18181	電気化学測定用電極評価チップ	宇野 重康	47
RO18181	積層型3次元ICのチップ内の温度分布の解析	牛田 慧, 岩田 栄之, 松田 敏弘	49
RO18181	ミリ波デバイス評価用素子	榎田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之, 平野 勝彦, 山本 夏	51
RO18182	遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	神田 道也, 宮武 典子, 大塚 諒哉, 河野 潤平, 佐藤 聡観, 松本 悠汰, 四柳 浩之, 橋爪 正樹	60
RO18182	低電圧・低面積CMOSアナログ回路の試作	関根 かをり, 高瀬 文哉, 小林 洵也, 中島 隆治	60
RO18183	位相シフト回路TEG	宮本 順一	62
RS65172	先端SOTBプロセスにおける集積化磁気センサの構成回路評価用TEG	木村 孝之	64
RS65172	遅延時間を抑制した耐放射線フリップフロップの評価	山田 晃大, 榎原 光則, 古田 潤, 小林 和淑	65
RS65172	アンテナダメージと経年劣化がCMOSに及ぼす影響の実測評価試作チップ	岸田 亮, 小島 孔頌, 中野 洋希, 古田 潤, 小林 和淑	66
RS65181	VLSI劣化検知のためのフィールドテスト技術の評価用TEGチップ	加藤 隆明, 三宅 庸資, 梶原 誠司, 宮瀬 紘平	67
RS65181	配線抵抗素子の信頼性評価用アレイTEG	佐藤 伸吾	69
RS65181	擬似不揮発性フリップフロップ	菅原 聡, 山本 修一郎, 北形 大樹	69

### アナデジ混載

ラン名	タイトル	研究者	掲載頁
RO18173	ゲイン及び帯域切替可能な生体信号処理用LSI	田中 徹, 清山 浩司, 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, LEE KARMUN, 矢吹 僚介, DU BANG	40
RS65172	BootStrap式DCDC昇圧回路	熊谷 慎也, 範 公可, 石橋 孝一郎	65

### アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO18173	ニューロン動作を模擬したデジタル信号処理回路	飯塚 哲也	34
RO18173	超低電力身体モニタリングシステムの1チップ集積化に向けた試作	北田 友嗣, 藤原 潤, 前中 一介	41
RO18182	準安定状態回路を用いた真性乱数生成回路の製作	荒井 建輝, 小松 聡	53
RS65172	FFT (Fast Fourier Transform) TF (Twiddle Factor) 32-bit floating-point	HOANG TRONG THUC, 範 公可, 石橋 孝一郎	65

## アナログ (PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
RO18173	雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器	伊藤 貴亮, 飯塚 哲也, 名倉 徹, 浅田 邦博	34
RO18173	高分解能パルス縮小型時間-デジタル変換器	榎本 隆一, 飯塚 哲也, 名倉 徹, 浅田 邦博	34
RO18173	自動合成可能な低損失レギュレータ	小島 尚輝, 名倉 徹, 飯塚 哲也, 浅田 邦博	36
RO18173	高分解能パルス縮小型時間-デジタル変換器	榎本 隆一, 飯塚 哲也, 名倉 徹, 浅田 邦博	36
RO18173	対数圧縮ADCおよび可変遅延回路の特性評価用TEG	稲垣 雄志, 島津 由樹, 松谷 康之	37
RO18173	DLL回路, オンチップアンテナ通信回路, NIRS用測定回路, 時間差増幅回路	佐々木 昌浩, 石井 雅樹, 梅田 将馬, 佐々木 俊介, 田代 享寛, 小林 遼太	38
RO18173	サイクリックADコンバータとVCOとDC/DCコンバータに使用するコンパレータとバッファ	杉本 泰博, 高橋 正広, 磯野 友寛, 野口 純平, 星 佑太	39
RO18173	チョップ方式の昇圧回路そのほか	鈴木 康介, 範 公可, 石橋 孝一郎	40
RO18173	2 Step ADC, マルチビット_パニアア川 $\Delta\Sigma$ TDC, 4bit_NSDSEM, およびパニア型Multiple- $\Delta\Sigma$ TDC-TEG	吉田 知朗, 籾木 彩加, 安藤 健吾, 野網 真伍, 吉野 理貴, 渡辺 光, 嘉藤 貴博	41
RO18173	脳波測定用同期型ノッチフィルタの試作及び自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 河添 翔平, 福岡 龍人, 外村 崇史, 伊藤 孝太, 田中 稜也, 出口 卓己, 銭林 大悟	41
RO18173	強誘電体トランジスタ (FeFET) を用いたニューロモルフィック集積回路	上村 公紀	42
RO18181	ミリ波測定用TEG	原 崇文, 飯塚 哲也	43
RO18181	ブロードサイドアレー測定用TEG	原 崇文, 飯塚 哲也	43
RO18181	高分解能パルス縮小型時間-デジタル変換器	榎本 隆一, 飯塚 哲也, 名倉 徹, 浅田 邦博	43
RO18181	高分解能パルス縮小型時間-デジタル変換器	榎本 隆一, 飯塚 哲也, 名倉 徹, 浅田 邦博	44
RO18181	オンチップ太陽電池用昇圧回路TEGほか	木村 知也, 宮内 悠太, 今川 隆司, 越智 裕之	44
RO18181	Flash ADC, VLL ADC, Pipeline ADC, Subranging ADC	佐々木 昌浩, 石井 雅樹, 大谷 健吉, 宮下 航, 玉澤 佑記	45
RO18181	クロックジッタに配慮したJitter-Shaperと, ジッタ特性改善をねらったVCOと, TDCテスト用位相変調回路	七田 洸介, 増田 秀太, 小野寺 優輝, 渡辺 光, 嘉藤 貴博	48
RO18181	脳波測定用同期型ノッチフィルタの試作及び自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 三河 樹由, 吉田 祐威, 田中 稜也, 出口 卓己, 福岡 龍人, 河添 翔平, 外村 崇史, 銭林 大悟	49
RO18181	0.6V動作PWM差分演算回路 (Analog/PWM/Digital 変換器を含む)	小嶋 文也, 原田 知親	49
RO18181	超低電力身体モニタリングシステムのための回路ライブラリの改良	北田 友嗣, 前中 一介, 水谷 友哉	50
RO18182	ミリ波測定用TEG	原 崇文, 飯塚 哲也	52
RO18182	Flash ADC, VLL ADC, Pipeline ADC, 時間差増幅回路	佐々木 昌浩, 石井 雅樹, 大谷 健吉, 宮下 航, 萬羽 敦史	53
RO18182	サイクリックADコンバータとVCOとDC/DCコンバータに使用するコンパレータ	杉本 泰博, 高橋 正広, 磯野 友寛, 野口 純平, 星 佑太	55
RO18182	2.5GHz-LC共振型-デジタル制御発振器と, MULTiple-デルタシグマTDC, および制御用SPI回路	嘉藤 貴博	56
RO18182	脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 三河 樹由, 吉田 祐威, 田中 稜也, 出口 卓己, 河添 翔平, 福岡 龍人, 外村 崇史, 銭林 大悟	57
RO18182	時間軸領域で演算を行うニューロモルフィック集積回路	竹内 健, 鈴木 健太, 能美 奨, 上村 公紀	58
RO18182	光通信トランスインピーダンスの電源ノイズ低減手法実証チップ	谷村 信哉, 田中 大夢, 土谷 亮	59
RO18182	光プローブ電流センサ向けオフセット補正光電流変換CMOSアナログフロントエンド回路の広帯域化及び同相除去比の改善	高木 憲太郎, 宮地 幸祐, 清水 昂, 塚田 芳寿	59
RO18183	ミリ波測定用TEG	原 崇文, 飯塚 哲也	61
RO18183	ブロードサイドアレー測定用TEG	原 崇文, 飯塚 哲也	61
RO18183	ブロードサイドアレー測定用TEG	原 崇文, 飯塚 哲也	61
RO18183	ブロードサイドアレー測定用TEG	原 崇文, 飯塚 哲也	62
RS65172	Vbb generator by SOTB CMOS rectifier and so on	NGUYEN THUY LINH, 範 公可, 石橋 孝一郎	65
RS65181	2段オペアンプその他	山本 晃徳, 範 公可, 石橋 孝一郎	68

## イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18181	発汗センサ用テストチップ	坂田 天来, 石倉 佳汰, 竹野 智哉, 宮地 幸祐, 上口 光	45
RO18182	動き推定機能を有する1画素4セル構造イメージセンサ	荒谷 智広, 浜本 隆之	54
RO18183	SPAD画素およびカウント動作の評価実験用チップ	山崎 智裕, 浜本 隆之	62

## アナログ (PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
RO18173	ニューラルネットワーク用モジュールの試作	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑	39
RO18173	ニューロモーフィックシステム アクティブマトリクス型 最表面端子露出型	木村 睦	39
RO18181	ニューラルネットワーク用モジュールの試作	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑, 市野 栄一	46
RO18181	耐放射線・光再構成型ゲートアレイ	渡邊 実	51
RO18183	ニューロモーフィックシステム ダイレクトアクセス型 最表面端子露出型	木村 睦	63
RO18183	耐放射線・光再構成型ゲートアレイ	渡邊 実	63
RS65181	非2進サイクリックAD変換器	大津 俊貴, 佐々木 美波, 山田 秀一郎, 潘 春暉, 傘 昊, 松浦 達治, 堀田 正生	69

## マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO18182	電気化学測定用センサー電極アレイチップ	宇野 重康, 吉田 豊	56
RO18182	RISC-V CPUを搭載したSoC	萩原 今朝巳, 範 公可, 石橋 孝一郎	56
RS65181	最小のリークエネルギーで動作するRISC-Vプロセッサの試作	岡村 陽介, 小柳 卓也, 徐 宏傑, 黄 超, 塩見 準, 石原 亨, 小野寺 秀俊	67
RS65181	最小エネルギー点を追跡するRISC-Vプロセッサの試作	徐 宏傑, 劉 晟宇, 松野 旺示, 黄 超, 塩見 準, 石原 亨, 小野寺 秀俊	68
RS65181	耐放射線FPGA	渡邊 実	68

## メモリ

ラン名	タイトル	研究者	掲載頁
RO18173	ynuR018_17_3	弘中 祐樹, 吉川 信行	38
RO18181	ソフトエラー耐性を有するラッチ回路その3	中田 惟吹, 山本 雄太, 堀田 奈央, 難波 一輝	48
RO18182	メタルフリンジキャパシタを用いたCMOSプロセス互換な不揮発性メモリセルのTEGほか	田中 一平, 木村 知也, 宮内 悠太, 今川 隆司, 越智 裕之	52
RO18182	ニューロンCMOSインバータ型ハミング距離判定回路	福原 雅朗, 大塚 陸, 山田 海貴, 浅川 颯馬, 藏野 貴教, 恩地 夏央	52
RO18182	ynuR018_18_2	弘中 祐樹, 吉川 信行	54
RO18182	キャリブレーション不要なプリエンファシス・パルス回路の設計	丹沢 徹	55
RS65172	高動作マージン, 低電圧動作, 低リーク電流SRAMの開発	小林 伸彰	64

## 演算回路 (乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
RO18181	4bit×4bit乗算器その他	宮原 大三郎, 範 公可, 石橋 孝一郎	48
RS65181	ストップウォッチその他	保坂 堯洋, 範 公可, 石橋 孝一郎	67

## 通信 (RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
RO18173	マイクロ波帯D級電力増幅器	榎田 洋太郎, 小池 悠介, 明神 史典	42
RO18181	ミリ波・準ミリ波発振器TEG	伊藤 信之, 坂本 裕太, 八木 希知	45
RO18181	プリエンファシス・パルス設計理論の検証	丹沢 徹	47
RO18181	マイクロ波帯D級電力増幅器	榎田 洋太郎, 高野 恭弥, 小池 悠介, 明神 史典	50
RO18181	マイクロ波帯ダブルバランスドミキサ	榎田 洋太郎, 高野 恭弥, 澤田 晟, 畑 慎太郎	50
RO18182	マイクロ波帯D級電力増幅器	榎田 洋太郎, 高野 恭弥, 小池 悠介, 明神 史典	57
RO18182	マイクロ波帯ダブルバランスドミキサ	榎田 洋太郎, 高野 恭弥, 澤田 晟, 畑 慎太郎	57
RO18182	60GHz帯送受信機用要素回路	榎田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之, 平野 勝彦, 山木 夏	58
RO18182	光受信用アナログフロントエンド回路TEG4	中嶋 伸吾, 國枝 衛, 三輪 祐三久, 伊藤 大輔, 中村 誠	59
RO18183	60GHz帯送受信機用要素回路	榎田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之, 平野 勝彦, 山木 夏	63
RS65172	時間インターリーブVCOベースA/D変換器とデジタルRF受信機の試作	磯部 佑真, 譜久山 篤也	64

## その他

ラン名	タイトル	研究者	掲載頁
RO18173	SiカオスニューロンTEG	織間 健守	40
RO18182	半導体電力分配器	宮本 順一	53

### 3.3 各チップの詳細

## 平成29年度第2回オンセミコンダクター—三洋 CMOS 0.8 $\mu$ m 試作 (OS08172)

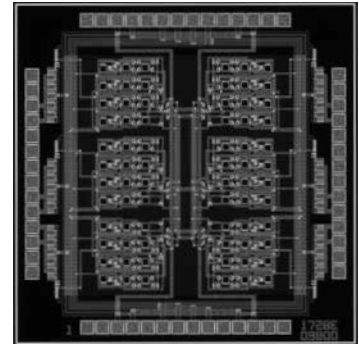
### 6足歩行型 MEMS マイクロロボットに実装可能な 低容量型ハードウェアニューラルネットワーク

日本大学理工学部 田中 泰介, 早川 雄一郎, 齊藤 健, 内木場 文男

概要：本試作チップは、ICの制御回路とマイクロロボットの構成要素との一体化を目的として新たに設計した、6足歩行型マイクロロボット用ハードウェアニューラルネットワークの実装用チップである。先に我々は、4.6×6.4×9.0mmの6足歩行型マイクロロボットを開発した。ハードウェアニューラルネットワークICを搭載し、3脚が同時に動作する昆虫を模倣した歩行を実現した。一方で、ニューラルネットワークにはパルス波形を生成する細胞体モデルを4個用いたが、6脚のうち3脚のアクチュエータを同時に駆動する電流の出力が困難であった。さらには細胞体モデルを構成するコンデンサの容量がICに対して大きかった。従って、周辺基板を用いてコンデンサと出力増幅用のnMOSFETをIC外部から接続することで、重量の増加が課題となった。

本試作チップは日本大学の佐伯らによって開発された低容量型細胞体モデルを6個用いて、昆虫を模倣した6足歩行に対応するニューラルネットワークを構築した。また、各細胞体モデルの出力には120段のカレントミラー回路を接続した。今後は本試作チップをマイクロロボットの構成要素と一体化した制御回路へ実装する予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),  
トランジスタ数：10~100 試作ラン：オンセミ—三洋 CMOS 0.8 $\mu$ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

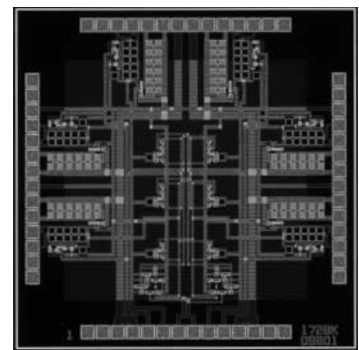


### MEMS マイクロロボット用の歩容変化が可能な ハードウェアニューラルネットワーク

日本大学理工学部 田中 泰介, 早川 雄一郎, 小原 正也, 齊藤 健, 内木場 文男

概要：我々は昆虫サイズのマイクロロボットの制御方法として、生物の脳が出力するパルス波形を模倣した、パルス形ハードウェアニューロンモデルを用いて研究を行っている。先に我々が開発したハードウェアニューラルネットワークは4足歩行型マイクロロボット用の歩行パターンが生成可能な回路であった。本試作チップは、我々が新たに開発した6足歩行型マイクロロボットの2種類の歩行パターンを生成することを目的として設計した。本試作チップは歩行制御に用いるパルス波形を任意の順番で生成し、昆虫の典型的な歩行パターンである三脚歩行パターンと波状歩行パターンを生成可能である。4足歩行型マイクロロボット用の歩行パターンが生成可能な回路から細胞体モデルを2個増やし、興奮抑制シナプスモデルに印加する電源電圧を切り替えることで2種類の歩行パターンを生成する。測定の結果6足中4足のパルス波形の生成が確認できた。原因として、作製した興奮抑制シナプスモデルで使用したトランジスタのサブストレートが接続されていなかったことが考えられる。今後は、上記の問題点を解決した設計を行う予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),  
トランジスタ数：10~100 試作ラン：オンセミ—三洋 CMOS 0.8 $\mu$ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)





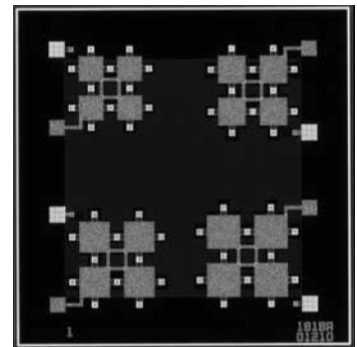
## CMOS-MEMS圧力センサの設計

東京電機大学大学院工学研究科電気電子工学専攻 野口 駿太

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとLSIを一体化する集積化MEMSデバイスとして1チップ実装することを目的として、静電容量式の圧力センサを試作した。圧力センサとセンサ処理回路を集積化するためには、CMOSプロセスを用いて圧力センサを製作する必要があるため、今回は集積化MEMS向けの圧力センサのみを設計した。センサの感度と大きさの関係を比較するために、異なるダイアフラム径を持つ4つの圧力センサを設計した。また、受圧部となるダイアフラムは正方形で2×2のアレイ状にセンサを配置し、容量検出に十分な感度を得られるよう工夫を行った。今後は、試作したチップを武田クリーンルームの装置群を用いて後加工し、圧力センサを製作する。具体的なプロセスとしては、レイアウト設計時に配置したパッシベーションオープンエリアを介してメタル層をエッチングし、ダイアフラムをリリースする。その後、成膜を行って真空封止し、絶対圧センサとして機能する圧力センサを製作する。最後に、パッシベーションを部分的に取り除き、メタルを表面に露出させてワイヤボンディングを行って外部端子へ接続する。今回の試作チップでは、ワイヤボンディング用のメタル層の表面積が小さかったため、今後はメタル層をより広くしてワイヤボンディングがしやすくなるように改善する予定である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：～10 試作ラン：オンセミ—三洋 CMOS 0.8 $\mu$ m 2.5mm角チップ チップ種別：MEMS

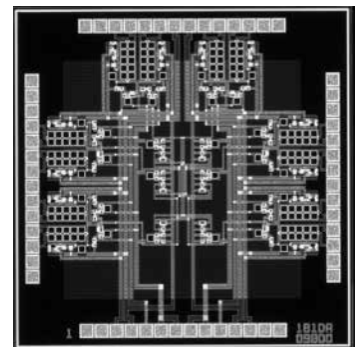


## 6足歩行型MEMSマイクロロボットの方向転換を行うハードウェアニューラルネットワーク

日本大学理工学部 小原 正也, 佐々木 拓郎, 黒澤 実花, 齊藤 健

概要：従来のマイクロロボットは進行方向が固定であった。脚部は機械構造的に任意の順番で動かすことが可能である。従って、マイクロロボットの歩行パターンは、歩行パターンを生成しているハードウェアニューラルネットワークICの設計に依存する。本試作は、マイクロロボットの方向転換パターンの生成を目的として設計した。電源電圧を変化することで、波状歩行パターンと2方向の方向転換パターンを生成可能である。本試作は発振器である12個の細胞体モデル、発振のパターン決定するシナプスモデルから構成される。細胞体モデルは外部に10 $\mu$ F, 1 $\mu$ Fのコンデンサを接続することで、マイクロロボットの歩行に必要な1.0～2.0sの周期で発振を行う。測定の結果、シミュレーションと同じ回路定数を用いて、波状歩行パターンを生成可能であることを明らかにした。生成したパルスはシミュレーションに対しパルス形状が歪であった。これは寄生容量の影響で、細胞体モデルの発振周期が変化した可能性がある。今後は回路定数の調整、及び方向転換パターンの検討を行う予定である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10～100 試作ラン：オンセミ—三洋 CMOS 0.8 $\mu$ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

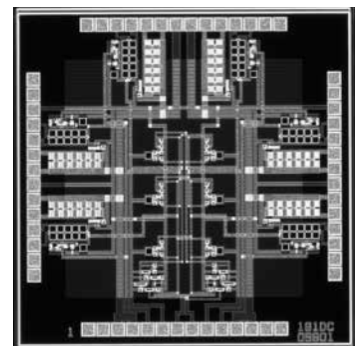


## MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワークの改良

日本大学理工学部 黒澤 実花, 佐々木 拓郎, 小原 正也, 齊藤 健

概要：本試作チップはOS0817\_2\_09801「MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワーク」の改善チップである。先のチップの問題点であった興奮抑制シナプスモデルの構造改善を行った。興奮抑制シナプスモデルで使用したp型MOSFETのサブストレートは高圧側へ、n型MOSFETのサブストレートはGNDへ接続した。測定の結果、09801の結果と同様に4相のパルス波形の生成を確認し、三脚歩行パターンである3相同期波形のうち、2相同期波形を得ることができた。しかし、6相すべてのパルス波形の生成が確認できなかった。原因として、細胞体モデルの入力と出力が短絡するレイアウトミスがあり、2個の細胞体モデルが発振できなかったと考えられる。今後は上記の問題点を解決した設計を行う予定である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10～100 試作ラン：オンセミ—三洋 CMOS 0.8 $\mu$ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

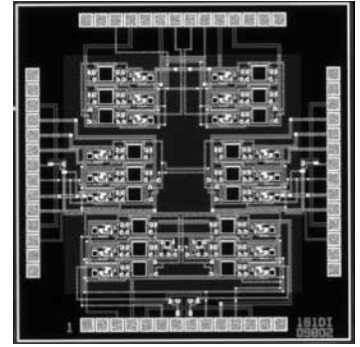


## 静電モータを駆動する ハードウェアニューラルネットワークのTEGチップ

日本大学理工学部 佐々木 拓郎, 黒澤 実花, 小原 正也, 齊藤 健

概要：本試作チップでは、静電モータの駆動波形を出力するハードウェアニューラルネットワークを設計した。静電モータの駆動には50~100 Hzの逆位相同期した2相方形波が必要である。本ネットワークは自励振動・他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデルで構成した。自励振動細胞体モデル単体は3 MHzで発振する。3 MHzの発振を2つの他励振動細胞体モデルによって抑制する。結果として、大容量のコンデンサを用いずに遅延することができ、50~100 Hzの出力が得られる。以上のネットワークを2つ使い、相互に抑制シナプスモデルで結合することで逆位相同期を得る。測定の結果、50~100 Hzの方形波の出力に成功した。しかし、2相の逆位相同期は得られなかった。原因は、相互抑制シナプス結合の荷重値が大きすぎた可能性がある。今後は抑制シナプスモデルを回路定数が調整可能なシナプスモデルに変更し、逆位相同期を得られるように改善する予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),  
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 $\mu$ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）

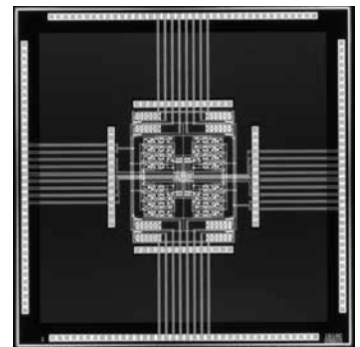


## 4足歩行型MEMSマイクロロボットに 実装可能な低容量型ハードウェアニューラルネットワーク

日本大学理工学部 田中 泰介, 早川 雄一郎, 内木場 文男

概要：本試作チップは、ベアチップを4足歩行型マイクロロボットの構成要素の一部とすることを目的に設計した、ハードウェアニューラルネットワークの実装用チップである。先に我々は、日本大学の佐伯らによって開発された、低容量型細胞体モデルで構築した低容量型CPGモデルを設計した。低容量型CPGモデルは細胞体モデルを構成するコンデンサ容量が削減されたことで、IC外部に接続するコンデンサを不要としたものである。試作したベアチップをマイクロロボットへ実装するために、プリント基板を用いて制御回路を作製した。しかし、マイクロロボットの構成要素とするには制御回路の作製において微細な加工精度が必要であり、プリント基板への加工は非常に困難であった。本試作では、先に試作した回路構成と同じCPGモデルを、外形寸法が約5mm四方のベアチップで設計し、これをマイクロロボットに直接搭載することを試みた。今後は脚を駆動するためのアクチュエータやマイクロロボット本体の構成要素と接続する検討を行う予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),  
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 $\mu$ m 5.0mm角チップ チップ種別：TEG（特性評価回路など）



## 平成29年度第4回ローム CMOS 0.18 $\mu$ m 試作 (RO18173)

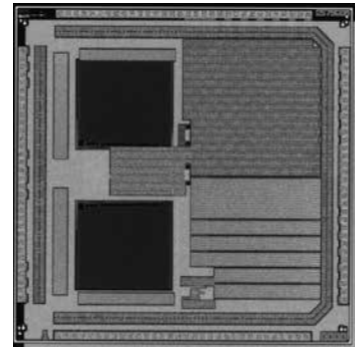
### 雑音指数可変比較器を用いた逐次比較型アナログ-デジタル変換器

東京大学工学系研究科 伊藤 貴亮

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：本試作では比較器に雑音指数調整機能を実装することで電力効率の向上を狙った逐次比較型アナログ-デジタル変換器 (ADC) の設計を行った。まず内部のDACに冗長性を持たせることで高精度な変換を実現している。ただし冗長性を持たせると通常の場合と比較して追加の変換サイクルが必要になり、消費電力の増加につながる。この問題に対して本試作では比較器に雑音指数調整機能を実装し比較精度と消費電力を調整できるようにすることで解決した。各サイクルのDACの冗長レンジに応じて比較器の雑音指数を調整することによって消費電力を最適化している。これにより高精度と低消費電力を両立し変換時の電力効率が向上した。さらに非同同期式のクロック信号生成回路を実装することで変換時間についても最適化を行っている。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

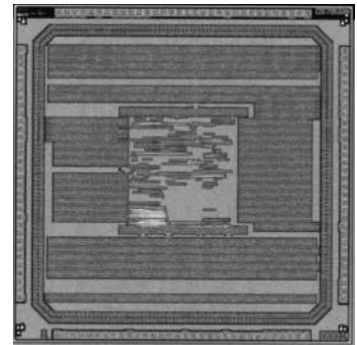


### ニューロン動作を模擬したデジタル信号処理回路

東京大学VDEC 飯塚 哲也

概要：本試作では生体におけるニューロンの動作を模擬するデジタル信号処理回路の設計を行った。外部アナログ-デジタル変換器により与えられる16ビットのデジタル信号に対し、内部回路で生成したランダム雑音を意図的に重畳した後で多数回の比較を行う事により、雑音に埋もれた微弱信号を再生することが可能となる。雑音の生成には16ビットのLinear Feedback Shift Register (LFSR) によるPseudo-Random Bit Sequence (PRBS) 生成回路を用いている。本回路はデジタル回路のみで構成されており、小面積での実装が可能であるため複数個の並列実装が可能である。本試作においてはリング状に構成した回路による発振動作を確認している。シミュレーションにより想定した動作を確認した。今後はアナログ-デジタル変換回路を同一チップ上に実装した統合チップ試作を検討している。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICompiller, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Synopsys社 HSIM, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



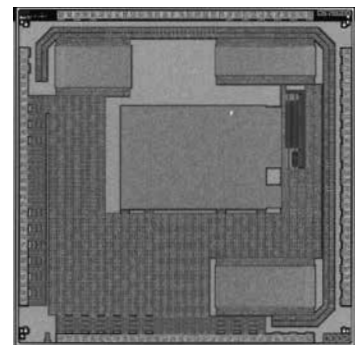
### 高分解能パルス縮小型時間-デジタル変換器

東京大学工学系研究科 榎本 隆一

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



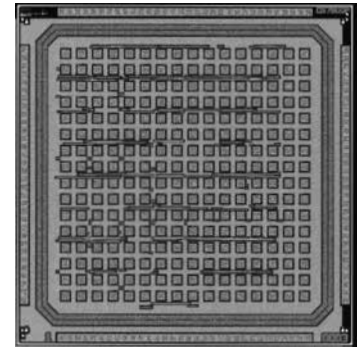


## 電流源アレイおよび電源電圧測定回路 TEG1

東京大学VDEC 名倉 徹

概要：微細化の進展による集積回路の低電源電圧化と大電流化によって、電源ノイズの影響がますます深刻になってきている。電源電圧変動を抑えるためには、電源線に容量を付加するのが効果的であるが、チップ内部に容量を形成するとチップ面積を消費してしまうため、チップの外側に電解コンデンサやチップコンデンサなどを付加するのが一般的である。ここで、チップコンデンサにも様々な種類があり、表記としては同一容量であっても、その電気的特性が異なる。本チップは、チップコンデンサの種類、接続場所、接続個数の違いによって、チップ内の電源電圧分布がどのように変化するかを実験的に明らかにするものである。チップ内部に電流源をアレイ上に並べ、スキャンチェーンを用いて外部からどの電流源にどれくらいの電流を流すかを制御できるようにしてあるとともに、電源供給パッドだけでなく、チップ内部の電源電圧変動を測定するためのパッドもチップ表面にアレイ上に配置することで、チップ内部の電源ノイズ分布を測定できるようにしてある。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ  
チップ種別：TEG（特性評価回路など）

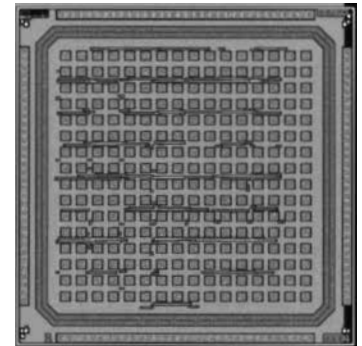


## 電流源アレイおよび電源電圧測定回路 TEG2

東京大学VDEC 名倉 徹

概要：微細化の進展による集積回路の低電源電圧化と大電流化によって、電源ノイズの影響がますます深刻になってきている。電源電圧変動を抑えるためには、電源線に容量を付加するのが効果的であるが、チップ内部に容量を形成するとチップ面積を消費してしまうため、チップの外側に電解コンデンサやチップコンデンサなどを付加するのが一般的である。ここで、チップコンデンサにも様々な種類があり、表記としては同一容量であっても、その電気的特性が異なる。本チップは、チップコンデンサの種類、接続場所、接続個数の違いによって、チップ内の電源電圧分布がどのように変化するかを実験的に明らかにするものである。チップ内部に電流源をアレイ上に並べ、スキャンチェーンを用いて外部からどの電流源にどれくらいの電流を流すかを制御できるようにしてあるとともに、電源供給パッドだけでなく、チップ内部の電源電圧変動を測定するためのパッドもチップ表面にアレイ上に配置することで、チップ内部の電源ノイズ分布を測定できるようにしてある。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ  
チップ種別：TEG（特性評価回路など）

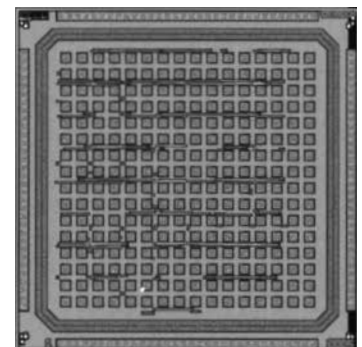


## 電流源アレイおよび電源電圧測定回路 TEG3

東京大学VDEC 名倉 徹

概要：微細化の進展による集積回路の低電源電圧化と大電流化によって、電源ノイズの影響がますます深刻になってきている。電源電圧変動を抑えるためには、電源線に容量を付加するのが効果的であるが、チップ内部に容量を形成するとチップ面積を消費してしまうため、チップの外側に電解コンデンサやチップコンデンサなどを付加するのが一般的である。ここで、チップコンデンサにも様々な種類があり、表記としては同一容量であっても、その電気的特性が異なる。本チップは、チップコンデンサの種類、接続場所、接続個数の違いによって、チップ内の電源電圧分布がどのように変化するかを実験的に明らかにするものである。チップ内部に電流源をアレイ上に並べ、スキャンチェーンを用いて外部からどの電流源にどれくらいの電流を流すかを制御できるようにしてあるとともに、電源供給パッドだけでなく、チップ内部の電源電圧変動を測定するためのパッドもチップ表面にアレイ上に配置することで、チップ内部の電源ノイズ分布を測定できるようにしてある。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ  
チップ種別：TEG（特性評価回路など）



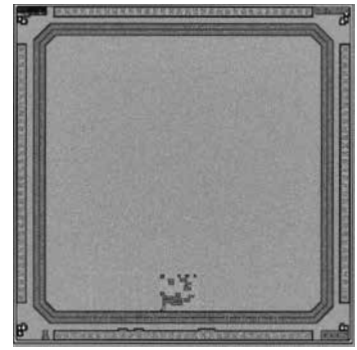
## 自動合成可能な低損失レギュレータ

東京大学工学系研究科 小島 尚輝

東京大学VDEC 名倉 徹, 飯塚 哲也, 浅田 邦博

概要：本試作ではデジタルフローを用いてレイアウト作成可能な低損失レギュレータの設計を行った。一般的な低損失レギュレータには、リファレンスと出力の電圧を比較するためにアナログコンパレータが用いられている。このためカスタム設計が要求され、作成に時間的・労力的コストが必要となる。いっぽう近年ではアナログコンパレータを2入力NANDゲートにより構成する手法が提案されている。このコンパレータ単体では、トランジスタばらつきや自動配置配線によるランダムな寄生容量により、入力に電圧オフセットが生じる。しかし、このコンパレータを複数作成した場合、そのオフセットは平均0の正規分布に従う。今回の設計では、コンパレータを複数用い、その出力の和を電圧比較に利用することで、カスタム設計を排除した電圧比較器を実現している。また、インバータセルのNMOS部分のみを取り除くことでPMOSセルを作成し、それをスタンダードセルライブラリに加えている。これにより、コンパレータ・コントローラ・出力PMOSアレイといった回路構成要素全体がHDLとして表現され、レイアウトが自動配置配線により作成可能となり、設計コストが大きく減少した。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

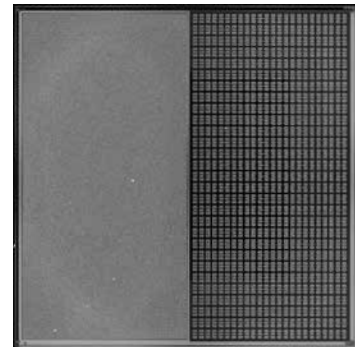


## ミリ波計測用プロービングパッドTEG

東京大学VDEC 飯塚 哲也

概要：本試作では、ミリ波等高速信号計測のためのプロービング用パッドを複数用意するとともに、プローブ自身の水平出しのために金属部分が広く露出した領域を用意した。これによりプロービング技術に不慣れな学生にも実際に近い形でのプロービングの練習が可能であり、また多数回の試行にも耐えられるだけの個数を用意することで、繰り返し練習を行う事ができプロービング技術の習得に活用できる。このチップを活用することにより、学生のプロービング技術の向上と実際の測定時の効率化を図ることが出来る。実際の計測により、プローブの水平出しに本チップを活用できることを確認した。また多数のプローブパッドパターンを活用し、初心者に対して実際の針当ての練習に使用可能であることが分かった。今後も継続して活用していただけるものと考えられる。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：~10 試作ラン：ローム CMOS 0.18  $\mu$  m 7.5mm角チップ チップ種別：TEG (特性評価回路など)



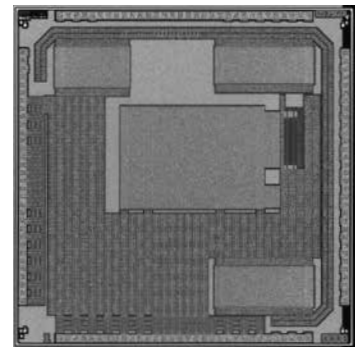
## 高分解能パルス縮小型時間-デジタル変換器

東京大学工学系研究科 榎本 隆一

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



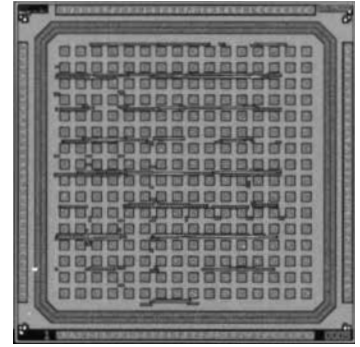


## 電流源アレイおよび電源電圧測定回路 TEG4

東京大学VDEC 名倉 徹

概要：微細化の進展による集積回路の低電源電圧化と大電流化によって、電源ノイズの影響がますます深刻になってきている。電源電圧変動を抑えるためには、電源線に容量を付加するのが効果的であるが、チップ内部に容量を形成するとチップ面積を消費してしまうため、チップの外側に電解コンデンサやチップコンデンサなどを付加するのが一般的である。ここで、チップコンデンサにも様々な種類があり、表記としては同一容量であっても、その電気的特性が異なる。本チップは、チップコンデンサの種類、接続場所、接続個数の違いによって、チップ内の電源電圧分布がどのように変化するかを実験的に明らかにするものである。チップ内部に電流源をアレイ上に並べ、スキャンチェーンを用いて外部からどの電流源にどれくらいの電流を流すかを制御できるようにしてあるとともに、電源供給パッドだけでなく、チップ内部の電源電圧変動を測定するためのパッドもチップ表面にアレイ上に配置することで、チップ内部の電源ノイズ分布を測定できるようにしてある。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18  $\mu\text{m}$  2.5mm角チップ チップ種別：TEG（特性評価回路など）

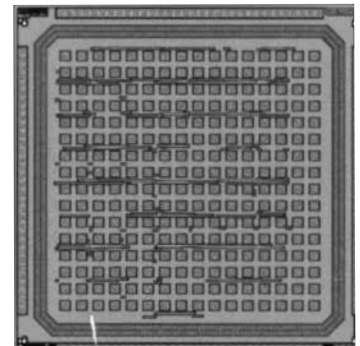


## 電流源アレイおよび電源電圧測定回路 TEG5

東京大学VDEC 名倉 徹

概要：微細化の進展による集積回路の低電源電圧化と大電流化によって、電源ノイズの影響がますます深刻になってきている。電源電圧変動を抑えるためには、電源線に容量を付加するのが効果的であるが、チップ内部に容量を形成するとチップ面積を消費してしまうため、チップの外側に電解コンデンサやチップコンデンサなどを付加するのが一般的である。ここで、チップコンデンサにも様々な種類があり、表記としては同一容量であっても、その電気的特性が異なる。本チップは、チップコンデンサの種類、接続場所、接続個数の違いによって、チップ内の電源電圧分布がどのように変化するかを実験的に明らかにするものである。チップ内部に電流源をアレイ上に並べ、スキャンチェーンを用いて外部からどの電流源にどれくらいの電流を流すかを制御できるようにしてあるとともに、電源供給パッドだけでなく、チップ内部の電源電圧変動を測定するためのパッドもチップ表面にアレイ上に配置することで、チップ内部の電源ノイズ分布を測定できるようにしてある。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18  $\mu\text{m}$  2.5mm角チップ チップ種別：TEG（特性評価回路など）

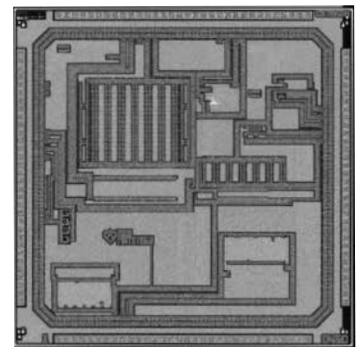


## 対数圧縮ADCおよび可変遅延回路の特性評価用 TEG

青山学院大学工学部 稲垣 雄志, 島津 由樹, 松谷 康之

概要：本チップは、本研究室で設計した対数圧縮ADCおよび可変遅延回路の特性評価を目的として試作した。対数圧縮ADCは、ラッチドコンパレータとTDCで構成され、ラッチドコンパレータの入力電圧に対するセットリング時間が対数特性であることを利用して対数変換を行う。前回試作時よりコンパレータ回路の修正を行った。評価の結果、入力電圧の対数に比例したデジタル値が出力として得られ、対数圧縮ADCとしての基本動作を確認した。また、一定以下の入力電圧において、対数圧縮ADCのSN比は同じ量子化ビット数のリニアADCの理論SN比を上回っており、対数圧縮によるダイナミックレンジの向上効果を確認した。可変遅延回路は、伝搬遅延時間を変更できるMD (Multiple Delay) インバータを縦続接続し、制御コードにより回路全体の遅延時間を32段階で調整する。TDCの要素回路として設計した。基本動作は確認済みであるが、詳細な特性については現在測定中である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18  $\mu\text{m}$  2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

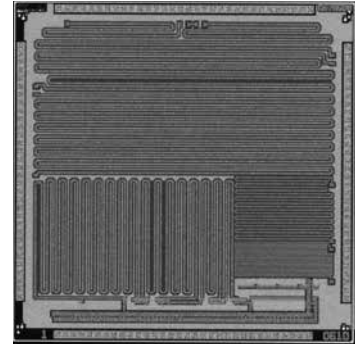


## 位相シフト回路 TEG

中部大学工学部 宮本 順一

概要：ローム0.18 $\mu\text{m}$ のプロセス条件でマイクロ波を取り扱うことができるかを検証するための、素子 TEG, 回路 TEG を搭載している。具体的には、 $\pi/8$ ,  $\pi/4$ ,  $\pi/2$ ,  $\pi$  の位相シフトを生成する遅延回路、並びに、それら遅延回路を、スイッチを介して直列に接続し、その各スイッチを4ビットのバイナリ信号で制御する（すなわち、位相量をデジタルで調整できるようにした）回路などである。また、単にゲート遅延のみで位相シフトが可能かどうかの検討回路も、信号の取り出しのための論理回路が異なる2種で用意した。これらの回路については、実測で現行回路より優位性が認められたなら特許化を予定している。簡便な機能確認はCTS社のテスト(CPX1000)で行ったが、マイクロ波の測定は専用の治具を製作し、ネットワークアナライザで測定した。治具測定の結果、実測位相シフト量(目標位相シフト量)は、それぞれ、 $35^\circ$  ( $\pi/8$ ),  $79.4$  ( $\pi/4$ ),  $139.7$  ( $\pi/2$ ),  $255.6$  ( $\pi$ ) であり、透過損失は、それぞれ-1.08, -3.36, -6.89, -8.67dBであった。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu\text{m}$  2.5mm角チップ チップ種別：TEG (特性評価回路など)



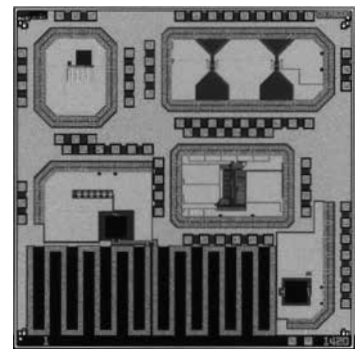
## DLL回路, オンチップアンテナ通信回路, NIRS用測定回路, 時間差増幅回路

芝浦工業大学工学部 佐々木 昌浩, 石井 雅樹, 梅田 将馬, 佐々木 俊介, 田代 享寛, 小林 遼太

概要：本試作では異なる4つの回路を実装した。1つ目はNIRS用測定回路である。NIRS測定によって得られた光を受光し、光量に応じた電流を用いて酸素飽和度を測定する方式を採用している。2つ目は時間差増幅回路である。SRラッチのメタスタビリティを利用した時間差増幅回路を構成し、入力時間差範囲の拡大を図った。3つ目はオンチップアンテナを含む受信回路、また、動作確認のための送信回路を試作した。4つ目に Delay Locked Loop回路とその性能測定回路である。この回路は、2.5GHzのクロックを入力し5相のクロックを生成するための Delay Locked Loop回路と相対セットアップタイム測定回路を応用し、オンチップで5つのクロックの位相差を累積分布関数として表すことの出来る Delay Locked Loop性能測定回路を実装した。

参考文献：梅田 将馬, 佐々木 昌浩, “オンチップアンテナを用いた振幅シフトキーイング通信システム,” VDEC デザイナーズフォーラム2016, 2016年8月

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Keysight社 ADS, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu\text{m}$  2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



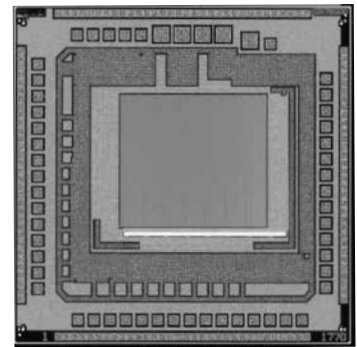
## ynuR018\_17\_3

横浜国立大学理工学部 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子(SFQ)論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ(容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器(アンプ)が実装されている。回路構成やレイアウトは以前までに完全動作実証に成功したCMOSメモリと同等のものを実装した。

目的はSFQプロセッサとCMOSメモリを統合したSFQ/CMOSハイブリッドシステムの動作実証である。測定ではSFQプロセッサによるCMOSメモリへの正常アクセス並びに整数ソート等の簡単なプログラムの実証に成功した。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 $\mu\text{m}$  2.5mm角チップ チップ種別：メモリ

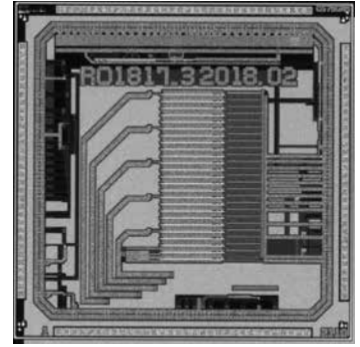


## ニューラルネットワーク用モジュールの試作

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑

概要：本試作チップでは、①全結合ネットワーク（作成：佐々木）②ニューロンモデル（作成：佐々木）③ニューロンモデル（作成：小澤）の試作を行った。試作としては、これまで作成した・ニューロンモデル・シナプスモデル・軸索モデルなどを利用し、相互結合型の全結合ネットワークを作成した。これまで作成したチップの傾向から、複数のニューロンモデルの特性を合わせることは困難であり、本来他励振となるべきものが自励振動してしまうことがあるため、補正用の回路を追加し挙動の変化を確認した。測定した結果としては、やはり作成した回路は一部意図しない動作をしたため、以降も引き続きニューロンモデルの改良を行っていく予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 HSPICE(RF),  
トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18  $\mu\text{m}$  2.5mm角チップ チップ種別：ニューテクノロジー

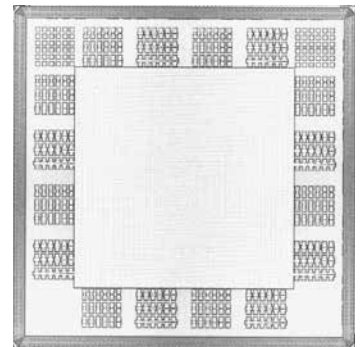


## ニューロモーフィックシステム アクティブマトリクス型 最表面端子露出型

龍谷大学理工学部 木村 睦

概要：ニューロモーフィックシステムのLSIである。32x32のニューロン素子を備える。ニューロン素子は、2個のインバータから成るデジタル回路で、1入力と正論理と負論理の2出力である。ニューロン素子のアクセスは、アクティブマトリクス型のフルアクセスである。シナプス素子は、最表面端子露出型の電極上に薄膜成膜をして相互接続することで形成される。薄膜成膜としては、アモルファス酸化物半導体である、In-Ga-Zn-O (IGZO) およびGa-Sn-O (GTO) を想定している。または、シナプス素子は、微細MOSFETの相互接続による。前述の正論理と負論理のいずれかの出力に接続することで、協調性シナプスまたは対立性シナプスとなる。直近隣接のニューロン素子をシナプス素子で相互接続した、セルラーニューラルネットワークが構築される。アプリケーションは汎用であるが、特に連想メモリに応用できると思われる。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE(RF),  
試作ラン：ローム CMOS 0.18  $\mu\text{m}$  5.0mm角チップ チップ種別：ニューテクノロジー



トランジスタ数：1,000,000~10,000,000

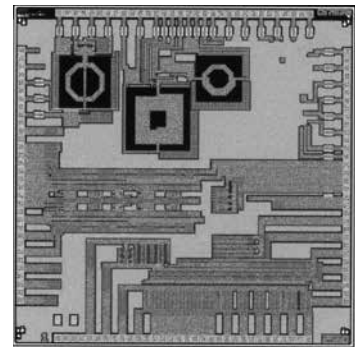
## サイクリックADコンバータと VCOとDC/DCコンバータに使用するコンパレータとバッファ

中央大学理工学部電気電子情報通信工学科 杉本 泰博

中央大学大学院理工学研究科電気電子情報通信工学専攻 高橋 正広, 磯野 友寛, 野口 純平, 星 佑太

概要：近年、汎用性の高いA/D変換器として逐次比型（SAR）A/D変換器が多く用いられている。しかし、その構成上13bit以上の高い精度を実現することは難しいとされている。そこで我々の研究室では14bit精度を実現するA/D変換器として、スイッチトキャパシタの原理を用いたサイクリックA/D変換器を提案する。このA/D変換器の信号処理には、信号をデジタル値に変換し残差を二倍して次のサイクルへ伝達するビットブロック回路が利用される。以上の様なビットブロック回路を用いたサイクリックA/D変換器を試作した。傷をつけない血糖値センサ実現のためPLLを用いた誘電率センサを応用してPLLを用いて血糖値センサとして実現しようと考えている。そのため、PLLに必要なVCOを試作した。ヒステリシス制御方式電源回路の設計手法の向上の研究をしている。新しく考案した手法でのシミュレーション結果と実際に製作した回路の誤差を測定するためヒステリシス制御方式電源回路の一部であるコンパレータとバッファを試作した。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18  $\mu\text{m}$  2.5mm角チップ チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）





## ゲイン及び帯域切替可能な生体信号処理用LSI

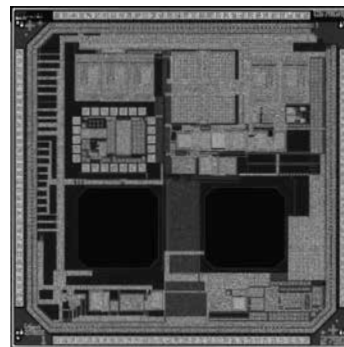
東北大学医工学研究科 田中 徹

長崎総合科学大学工学研究科 清山 浩司

東北大学工学研究科 竹澤 好樹, 下川 賢士, QIAN ZHENGYANG, LEE KARMUN, 矢吹 僚介, DU BANG

概要：近年、高齢者人口割合の増加によって、国家予算に占める医療・介護関連費が年々大きくなっている。中でも高齢者の罹患しやすい心血管や呼吸系の患者数増加は、大きな問題となっている。高齢者の健康維持や介護では、ウェアラブルデバイスで脈波をはじめとする生体信号を日常的にモニタリングすることが望ましい。そのため日常生活中で自然に生体信号をモニタリングできるウェアラブル測定システムの開発を行っている。今回、生体信号を記録するための生体信号記録LSIを試作した。設計したLSIには信号選択器（MUX）、増幅率を切替可能なLNA（Low Noise Amplifier）、低域遮断周波数を切替可能なLPF（Low Noise Amplifier）、雑信号除去回路および電源回路を搭載している。現在、試作したLSIを用いて生体情報モニタリングシステムを作製している。

設計期間：8人月以上、9人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナデジ混載

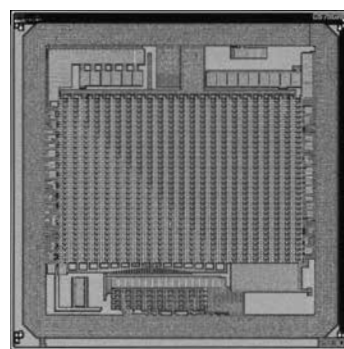


## SIカオスニューロンTEG

織間 健守

概要：二次割当問題を解くハイブリッドシステムに用いるスイッチト・カレント技術を用いたカオスニューロン回路のTEGチップであり、多種のカオスニューロン回路と特性評価用の構成要素回路、さらには、大規模ニューラルネットワーク構築用のユニット回路を集積回路化した。さらに、漏れ電流補償回路を搭載した新しいスイッチト・カレントカオスニューロン回路も搭載した。特性評価回路としては、アナログインバータを用いたトランスコンダクタンスおよびトランスレジスタンス回路のペアを、数種類集積化し、トランスリニア特性を評価する。また、基本的なスイッチト・カレントハーフディレイ回路も数種類用意し、過渡応答や精度を評価する。大規模化のためのユニット回路としては、スイッチト・カレントカオスニューロン回路を20段並列に配置したユニットブロックを構成し、これを用いることで、電力測定、動作速度評価、アルゴリズムでの制御特性評価、クロック遅延の影響やクロックフィードスルーの影響を評価する。さらに、このユニットブロックを用いて小規模な二次割当問題の解法シミュレーションを行う。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：その他

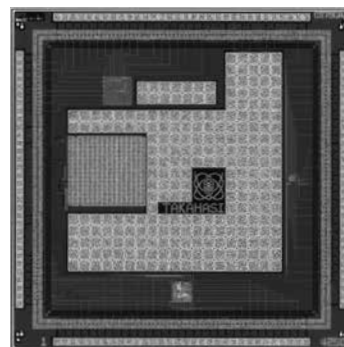


## チョップパ方式の昇圧回路そのほか

電気通信大学情報ネットワーク工学専攻 鈴木 康介, 範 公可, 石橋 孝一郎

概要：今回の試作では、チョップパ方式の昇圧回路を設計した。インダクタンスは外部接続によるものであるが、入力電源は1.8V程度を出力する太陽電池を想定し、出力電圧が3.3V程度になるように設計した。Rohm 0.18 $\mu$ mは1.8V耐圧だということで、出力電圧の半分に分圧しキャパシタを利用して電圧を維持することで、1つのトランジスタに対して1.8V以上の負荷がかからないように工夫した。また、スイッチングのためのパルス波を生成するために、発信回路としてリングオシレータも設計した。1.8V入力に対して、周波数1MHzを目標とした。実測では、出力電流が2mA以上の太陽電池において、狙い通りの昇圧結果が得られた。リングオシレータの周波数は917MHzで、狙いよりも若干低くなってしまったが、波形自体は歪んでいなく、昇圧に関しても問題なく、3.4V以上の昇圧が見られた。反省点としては、2mA以上の電流を出力する太陽電池が限られている点で、シミュレーションの段階で、使いたい太陽電池の特性をよく調べておく必要があった。回路の動作確認用のピンをいくつか配置していたことで、回路動作が設計時のシミュレーション通りであるかを細かく確認できたことがよかった。

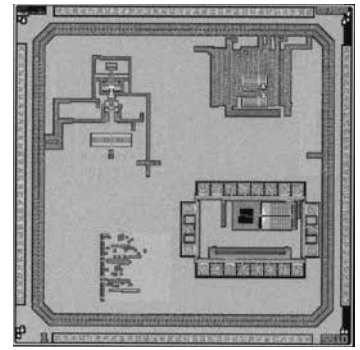
設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：その他



## 2 Step ADC, マルチビット\_バーニア型 $\Delta\Sigma$ TDC, 4bit\_NSDEM, およびバーニア型 Multiple- $\Delta\Sigma$ TDC-TEG

法政大学理工学部 吉田 知朗, 楠木 彩加, 安藤 健吾, 野網 真伍, 吉野 理貴, 渡辺 光, 嘉藤 貴博  
 概要：オーディオ帯域向けのADCはますます低消費電力求められている。本試作の2Step ADCは逐次比較型と $\Delta\Sigma$ 型を組み合わせ、かつ逐次比較型のコース変換で利用したCapの残差を電荷転送に利用することで、回路面積および低消費電力化を実現する。2Step ADCは4bit スイッチドキャパシタ型逐次比較ADC変換器、2次2bit離散型 $\Delta\Sigma$  ADCで構成した。次にマルチビット\_バーニア型 $\Delta\Sigma$  TDCの設計、実装を行った。デルタシグマの帰還をかける先を時間遅延とし、かつ、遅延段の動作が通常の $\Delta\Sigma$  TDCと異なり、2信号の差分で時間分解能を設定することで、結果的に時間分解能が改善し、SNRの改善を狙っている。4bit (15level) のNSDEM (2次ミスマッチシェーバ) を実装した、従来はFPGAで検討していたが、今回はRTL, 合成, P&R, 検証を実施して、実Chipでの実装を実施した。バーニア型 Multiple-デルタシグマ TDC-TEGは、動作確認のために、一部をTEGとして試作し、バーニア型でも時間軸減算が可能かテストするために実装した。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 NanoSim, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



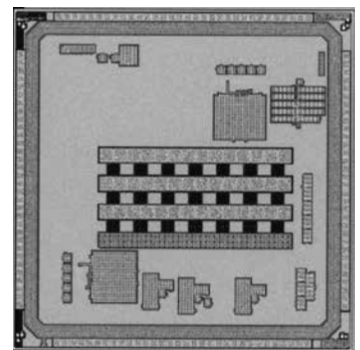
## 脳波測定用同期型ノッチフィルタの試作及び自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 河添 翔平, 福岡 龍人, 外村 崇史

慶應義塾大学理工学研究科 伊藤 孝太, 田中 稜也, 出口 卓己, 銭林 大悟

概要：脳波の生体信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、同期型ノッチフィルタと制御に用いるVCOとPLLについて、前回の設計より改良を行った上で試作を行った。また、脳波取得回路の多重化手法についての検証も行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、前回の試作で設計した太陽電池のうち、優れた性能を得られたものに関して拡散層を用いた改良を行い、性能が改善されるかを検証した。また、MOSメモリ動作用チャージポンプについて、以前の設計よりさらに段数を増やしたものを試作した。

設計期間：7人月以上, 8人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

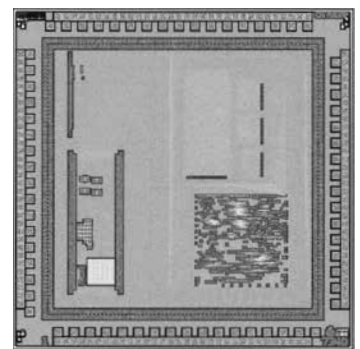


## 超低電力身体モニタリングシステムの1チップ集積化に向けた試作

兵庫県立大学大学院工学研究科 北田 友嗣, 藤原 潤, 前中 一介

概要：本研究室では、身体に張り付けることで生体情報を測定する小型システムの研究・開発を行っている。複数のMEMSセンサとアナログ/デジタル信号処理LSIを組み合わせることにより、超低消費電力で小型なデバイスの開発を目指している。本試作では、最終的な1チップ集積化への第一歩として、(1. 8051コアMPU, (2. 心電計測用ASIC, (3. 歩数検出用ASIC, (4. 発振回路を1チップに収めたチップの試作を行った。現在発振回路、および心電計測用ASICのアナログ部分の評価が完了しており、現在残りの部分の評価を行っている。今回の発振回路は前回試作にて設計ミスによる不具合があったものを再設計したもので、今回の試作では正常動作を確認した。心電計測用アナログ回路に関しては、バイアス回路の設定を誤り、正常動作していなかった。そのため、次回のチップにて再設計したアナログ回路の試作を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Synopsys社 Formality, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ





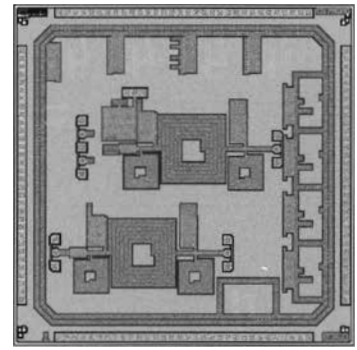
## マイクロ波帯D級電力増幅器

東京理科大学工学部電気電子情報工学科 榎田 洋太郎

東京理科大学工学部研究科電気工学専攻 小池 悠介, 明神 史典

概要：本試作では、マイクロ波帯D級電力増幅器の設計を行った。近年、移動体通信システムとして大容量な通信、送信機の無線回路には小型化及び低消費電力化が求められている。高効率な電力増幅器として、スイッチング動作を行う電力増幅器が知られている。スイッチング電力増幅器は、回路動作時に電圧と電流の時間波形の積をゼロにすることにより、理論上100%の効率が得られるという特徴を持つ。スイッチング電力増幅器の一つとして、スイッチング電源として動作するD級電力増幅器が提案されている。本試作ではマイクロ波帯で動作するD級電力増幅器の設計を行い、マイクロ波帯での動作を考慮してレイアウトを行った。整合回路にはスパイラルインダクタとMIMキャパシタを用いた。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



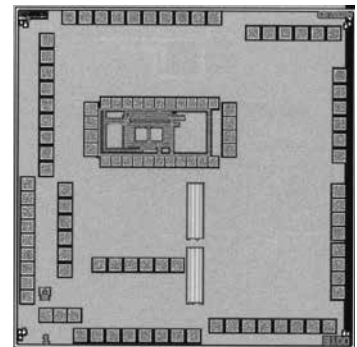
## 強誘電体トランジスタ (FeFET) を用いたニューロモルフィック集積回路

中央大学理工学研究科 竹内 健, 鈴木 健太, 能美 奨

中央大学理工学部 上村 公紀

概要：近年、半導体の性能向上を支えてきたムーアの法則が限界を迎えつつある。そのため、従来のノイマン型コンピューティングから非ノイマン型アーキテクチャの一種であるニューロモルフィックコンピューティングへの関心が高まっている。ニューロモルフィックコンピューティングは脳の神経細胞 (ニューロン) を模倣し、重みが記憶可能であることと積和演算 (入力×重みの総和) の実現という2点が重要となる。そこで不揮発性メモリに重みを記憶し、読み出し動作により積和演算を行う研究が注目されている。現在、その不揮発性メモリの一種として強誘電体トランジスタ (FeFET) が挙げられる。FeFETはMOSFETの金属ゲートと絶縁体の間に強誘電体を挟んだ構造をとり、金属ゲートやSi基板にパルスを印加することで強誘電体中に分極が発生する。この分極の変化によりデータを記憶する。FeFETは記憶容量が大きいためニューロモルフィック向けに使用する場合、高精度な演算が期待できる。本試作ではFeFETを用いたニューロモルフィック集積回路の検討を行った。今後はFeFETと組み合わせて試作チップの動作確認を行う予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



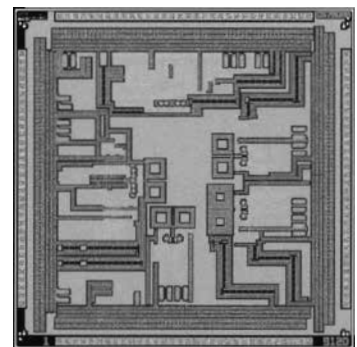
## カスケードPLL回路の相互干渉解析TEGと自己・外部インジェクション比較検証用発振回路TEG

大阪工業大学大学院工学研究科 宮尾 和樹

岡藤 達也, 増井 優也, 小林 菜祐, 吉村 勉

概要：高通倍・低位相ノイズのクロック生成手法のひとつとして考えられているカスケードPLL回路において、回路間の相互干渉の影響を評価解析し、その抑制を検証するためのTEGを実装した。1段目と2段目のPLL回路の間に可変遅延回路を挿入することで、相互干渉のタイミングを変化させることによる出力クロックへの影響について測定・調査する。また昨年度の相互干渉・自己干渉のTEGで用いた人為的に出力をフィードバックして注入信号に用いる手法をここでも取り入れ、カスケードPLL回路の動作解析に使用する。その他、外部インジェクションと自己インジェクションの発振器への影響について、同一回路での比較評価ができるようなTEGも実装している。これにより、インジェクション源の違いに対する発振器の応答の差について定量的な測定評価を行う。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：1,000~10,000 チップ種別：TEG (特性評価回路など)

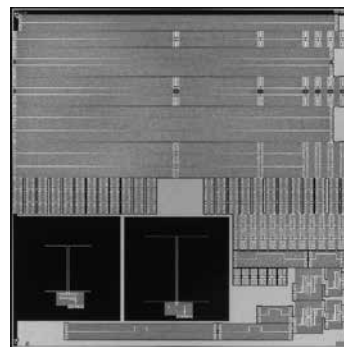


# 平成30年度第1回ローム CMOS 0.18um 試作 (RO18181)

## ミリ波測定用 TEG

東京大学工学系研究科 原 崇文  
東京大学VDEC 飯塚 哲也

概要：本試作では、ミリ波測定における要素回路の測定用 TEG の設計を行った。まずは、コプレーナ導波路のモデルを用いて設計した伝送線路の試作を行った。伝送線路はグラウンドと伝送線路間の幅と伝送線路の幅を調整することによって140GHzで50Ωとなるように設計を行った。その伝送線路のディエンベディングを行うために長さの異なる4種類の伝送線路の測定用 TEG を載せた。また、曲がりの部分における伝送線路の特性を求めするために、曲がりを含んだ5種類の伝送線路の測定用 TEG の作成を行った。本論文では、オンチップアンテナ下のシリコン基板を除去することによる損失の低減の実測による評価を目的としており、アンテナとしてブロードサイドアレーを用いる。ブロードサイドアレーには差動入力が必要であり、測定機器の都合上シングルエンドの入力を作動信号に変換するバランが必要となる。そこでバランの作成を行い、バランとブロードサイドアレーを測定するための TEG の作成をおこなった。設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 $\mu$ m 5.0mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

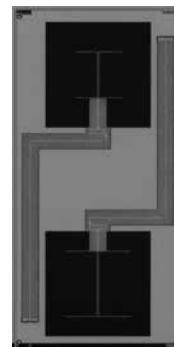


## ブロードサイドアレー測定用 TEG

東京大学工学系研究科 原 崇文  
東京大学VDEC 飯塚 哲也

概要：本試作ではチップ面に対して垂直方向に指向性の強いブロードサイドアレーの試作を行った。ブロードサイドアレーには差動信号の入力が必要であり、測定機器の都合上シングルエンドの入力を差動信号に変換するバランが必要となる。そこでバランをブロードサイドアレーに接続し、シングルエンドの入力をバランに行う。本試作では、誘電体導波路通信向けのオンチップアンテナの試作を行っており、誘電体導波路をアンテナの出力部分に接続するために、プローブの測定位置は、アンテナから一定の距離を保った位置に設定しなければならない。そこで、アンテナとバランを接続したものに対してトランスミッションラインを接続し、誘電体導波路をアンテナの出力部分に接続してもプローブと衝突しないように設計を行った。一つのチップに対して異なる2つの大きさのアンテナを測定するための TEG の作成を行った。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mmx5.0mmチップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

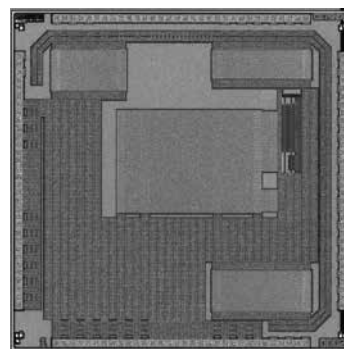


## 高分解能パルス縮小型時間-デジタル変換器

東京大学工学系研究科 榎本 隆一  
東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要：本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDC の線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



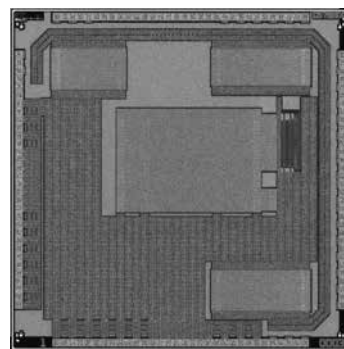
## 高分解能パルス縮小型時間-デジタル変換器

東京大学工学系研究科 榎本 隆一

東京大学VDEC 飯塚 哲也, 名倉 徹, 浅田 邦博

概要: 本試作では高い時間分解能を実現するパルス縮小法に基づく時間-デジタル変換器 (TDC) の設計を行った。異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して、入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDCの線形性やオフセットといった性能に影響を及ぼしていた。本論文ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現した。

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数: 1,000~10,000 試作ラン: ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



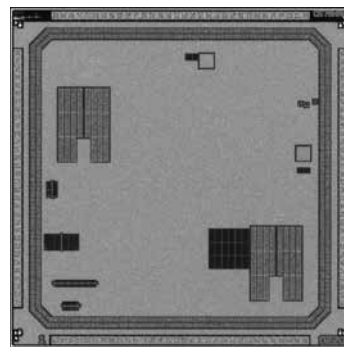
## オンチップ太陽電池用昇圧回路TEGほか

立命館大学大学院情報理工学研究科 木村 知也

立命館大学情報理工学部 宮内 悠太, 今川 隆司, 越智 裕之

概要: 集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため、これを同一チップ上の回路の電源として利用すれば、エネルギーを自給自足する単一ダイのシステムが構築できると期待される。本試作チップには、単一のオンチップ太陽電池セルから得られる0.5~0.6V程度の電圧を効率よく昇圧するための回路を搭載している。昇圧回路は既存のcross-coupled charge pump回路をベースとしているが、高い効率を得るためには大容量(大面積)のキャパシタを必要とし、同一チップ上に十分な大きさの太陽電池を搭載できないという課題があった。本昇圧回路は、限られた容量のキャパシタで最大限の効率が得られるよう、パラメータを最適化しており、温度変化の影響も受けにくくなるよう工夫されている。本試作チップには上記のほか、オンチップ太陽電池、光センサなどのTEGも搭載している。

設計期間: 4人月以上, 5人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 1,000~10,000 試作ラン: ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



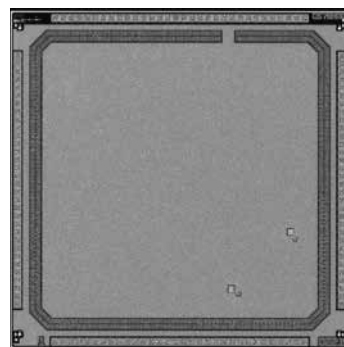
## 低電圧で動作する温度センサ回路TEGほか

立命館大学大学院情報理工学研究科 坂野 達也, 田中 一平, 木村 知也

立命館大学情報理工学部 今川 隆司, 越智 裕之

概要: 集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため、これを同一チップ上の回路の電源として利用すれば、エネルギーを自給自足する単一ダイのシステムが構築できると期待される。本試作チップには、単一のオンチップ太陽電池セルから得られる0.5~0.6V程度の電源電圧での動作に適したリングオシレータを用いた温度センサ回路のTEGを搭載しており、電源電圧変動やプロセスばらつきの影響下で、どの程度の確度が得られるのかを測定により明らかにする予定である。このほか、本試作チップには標準CMOSプロセスで実現可能な揮発性メモリのTEGも搭載している。

設計期間: 3人月以上, 4人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 1,000~10,000 試作ラン: ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別: TEG (特性評価回路など)





## ミリ波・準ミリ波発振器 TEG

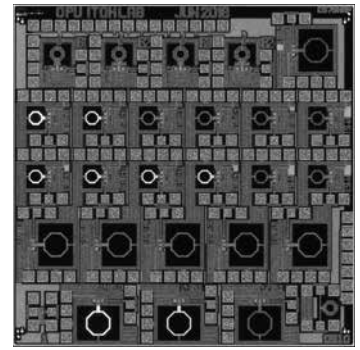
岡山県立大学情報工学部 伊藤 信之

岡山県立大学情報系工学研究科 坂本 裕太, 八木 希知

概要：本試作で検討を行った回路は以下の2種類である。・ミリ波/準ミリ波領域において高いQ値を得るインダクタ構造の検討とそれを適用した電圧制御発振器 TEG を試作した。ミリ波/準ミリ波領域では表皮効果, 近接効果等の高周波効果により, 金属配線の電気抵抗は上昇し, そのため, インダクタのQ値は劣化する。我々の研究室では過去に2次元的に, メタル配線を分割し, 低抵抗化をめざした検討を行い一定の効果を得ているが, 現在ではそれを3次元に拡張した検討を行っており, 今回の試作では, 異なる周波数, 異なる分割方式(メタルのライン/スペース等)が電気抵抗に与える効果を検討し, それを用いた電圧制御発振器を搭載した。・高周波デジタル制御発振器の TEG を試作した。通常のデジタル制御発振器は, キャパシタバンクを用いて周波数を制御するが, 微小容量のキャパシタを実現する事が困難なため, 完全デジタル制御発振器を実現するのは困難であるが, 本研究では, インダクタバンクを用いて周波数の制御をすることを検討している。

参考文献：

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ASSURA, Cadence社 Spectre, Keysight社 ADS, Keysight社 Goldengate, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)

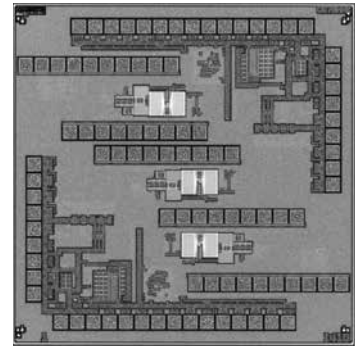


## 発汗センサ用テストチップ

信州大学工学部 坂田 天来, 石倉 佳汰, 竹野 智哉, 宮地 幸祐, 上口 光

概要：ヘルスケア応用において日常生活中での発汗量を計測する需要が高まっており, その計測器の小型・軽量化が要求されている。そこで CMOS 技術をもちいて集積回路化し, これを解決する。提案システムでは, 湿度センサには高湿度でも精度が得られる静電容量型を用い, この容量値の変化を計測する, 容量-デジタル変換器を実現した。また, 相対湿度から発汗量に対応する絶対湿度を得るために必要な温度センサも同時に集積化した。180nm CMOS 技術で設計した IC チップは, 1.7mm<sup>2</sup>の面積で実現され, 専用ボードと FPGA を用いた測定系で検証した。環境試験機, 及び, 人工皮膚をもちいた実証実験の結果, 提案した超小型発汗系は現行機のデスクトップ型とほぼ同程度の計測精度を達成したことを確認した。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Cadence社 Spectre, Cadence社 UltraSim, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Synopsys社 HSIM, Keysight社 ADS, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



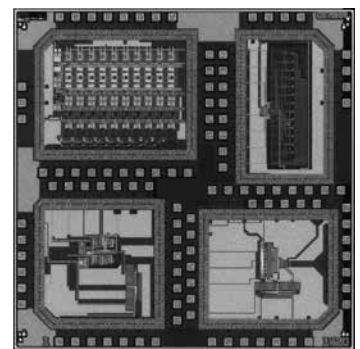
## Flash ADC, VLL ADC, Pipeline ADC, Subranging ADC

芝浦工業大学工学部 佐々木 昌浩, 石井 雅樹, 大谷 健吉, 宮下 航, 玉澤 佑記

概要：試作では異なる複数の回路を実装した。1つ目の回路は6-bit Flash型 A/D Converter である。この回路は参照電圧と入力信号の電位差を時間差に変換し, 比較することにより精度向上と高速化を図っている。また, エンコーダには高速かつエラー訂正能力の高い Twin Rom 型を採用した。2つ目は, 従来の A/D Converter よりも小面積化と低消費電力化を図った8-bit の Voltage Locked Loop 型 A/D Converter の動作検証を目的とした試作を行った。3つ目は10-bit Pipeline 型 A/D Converter の動作検証を目的とした試作である。本試作では差動のアナログ信号に対して10-bit のデジタル信号を正確に出力するため, 初段のパイプラインステージの構成を繰り返し縦続接続する方式を採用している。4つ目は8-bit の Subranging 型 A/D Converter の試作を行った。

この回路は下位 bit における基準電圧を動的に調整し, 残差アンプの利得変動の影響を減らし, 回路の精度の向上と高速化を図っている。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Keysight社 ADS, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

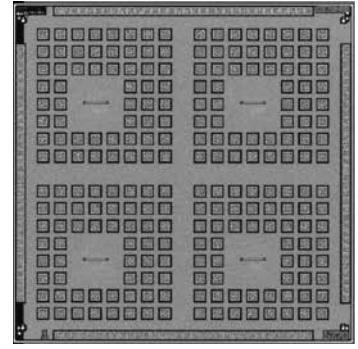


## ynuR018\_18\_1\_1

横浜国立大学理工学府 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた断熱型量子磁束パラメトロン (AQFP) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、AQFP回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたAQFP論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なAQFP/CMOSハイブリッドメモリシステムを提案している。このチップには8T-SRAM及びデコーダから成る36ビットルックアップテーブルが4ブロック実装されている。目的はAQFP回路によるFPGAを用いたAQFP/CMOSハイブリッドシステムの動作実証である。レイアウトではAQFP回路を実装するチップとの接続に関し、フリップチップボンディングを想定したパッド配置を施した。現在はこのチップに適合する仕様のAQFP FPGAの設計を行っており、その試作が済み次第測定による評価を行う予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：メモリ

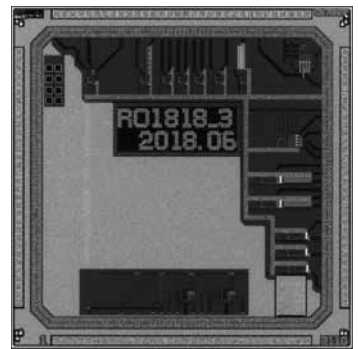


## ニューラルネットワーク用モジュールの試作

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑, 市野 栄一

概要：本試作チップでは、①神経細胞モデル1 (作成：小澤) ②神経細胞モデル2 (作成：佐々木) ③演算増幅器 (作成：小澤) ④フォトダイオード (作成：市野) ⑤CPGネットワーク (作成：佐々木) ⑥櫛歯電極 (作成：佐々木) の試作を行った。詳細は下記の通りである。・細胞体モデル (神経振動子) は、各自のネットワーク用途に設計したパラメータで作成・演算増幅器は、神経細胞モデルの弱点である出力インピーダンス改善のため作成・フォトダイオードは、以前作成したパターン以外の縦構造が感度にどのような影響を与えるかを確認し、網膜モデルにおける視細胞部分としての有用性を確認するために設計・CPGネットワークは、神経細胞モデルの簡易的な検査ケースとして作成・櫛歯電極は、金属酸化膜を導通経路として追加蒸着することでセンサとして利用を考え作成

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：ニューテクノロジー



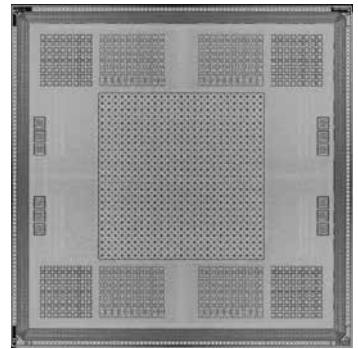
## ニューロモーフィックシステム ダイレクトアクセス型 最表面端子露出型

龍谷大学理工学部 木村 睦

概要：ニューロモーフィックシステムのLSIである。25x25のニューロン素子を備える。ニューロン素子は、2個のインバータから成るデジタル回路で、1入力と正論理と負論理の2出力である。ニューロン素子のアクセスは、ダイレクトアクセス型で、12x12のニューロン素子にアクセスできる。シナプス素子は、最表面端子露出型の電極上に薄膜成膜をして相互接続することで形成される。薄膜成膜としては、アモルファス酸化半導体である、In-Ga-Zn-O (IGZO) およびGa-Sn-O (GTO) を想定している。または、シナプス素子は、微細MOSFETの相互接続による。前述の正論理と負論理のいずれかの出力に接続することで、協調性シナプスまたは対立性シナプスとなる。直近隣接のニューロン素子をシナプス素子で相互接続した、セルラーニューラルネットワークが構築される。アプリケーションは汎用であるが、特に連想メモリに応用できると思われる。

参考文献：Mutsumi Kimura, Neuromorphic System using Thin-Film Devices, 2019 ULSIC vs. TFT Conference, May 2019, to be presented

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 $\mu$ m 5.0mm角チップ チップ種別：ニューテクノロジー





## プリエンファシス・パルス設計理論の検証

静岡大学工学部 丹沢 徹

概要：1. はじめに

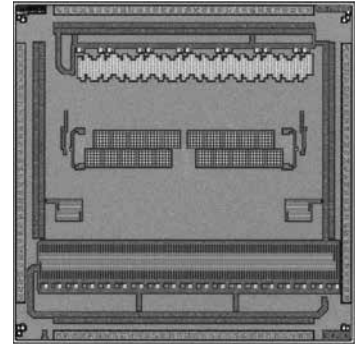
メモリアレイ内のワード線やディスプレイのカラム線はRC遅延線とみなせ、その配線内の全ノードをできるだけ高速にターゲット電圧Eまで充電することが求められている。パルス幅とオーバードライブで特徴づけられるプリエンファシス・パルスは、これらのパラメータをいくつに設定すればRC遅延線内をターゲット電圧まで充電するための遅延時間を最短にできるか、あるいはエネルギー遅延積を最小にできるか、という汎用的な問題に対する回路理論はこれまでなかった。そこで本研究では、この問題の厳密解と近似解を理論的に求め、それをVDEC提供のCADを利用して計算機実験を行い検証することを目的とした。

2. 試作したチップ

ローム0.18 $\mu\text{m}$  (2.5mm角)でPoly-Si抵抗とMIMキャパシタからRC遅延線を構成、内部ノードをモニタするため複数のアナログ・バッファを分布配置した。修士1年一名が一月でVirtuoso, HSPICE, Calibreを用いて設計。検証結果をISCAS 2019で発表。

参考文献:K. Matsuyama, T. Tanzawa, "Design of Pre-Emphasis Pulses for Large Memory Arrays with Minimal Word-Line Delay Time," ISCAS, May 2019.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu\text{m}$  2.5mm角チップ チップ種別：通信 (RF回路, ATM など)

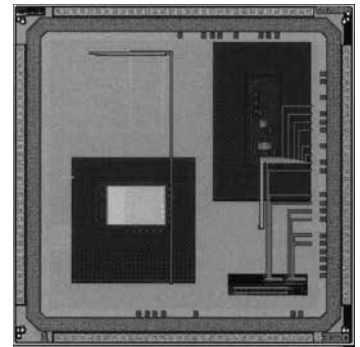


## 部分露光型イメージセンサ, 磁気センサの特性評価用 TEG

茨城大学理工学研究科 木村 孝之

概要：イメージセンサの多画素化による読み出し速度上昇に対応するため、本研究では蓄積・読み出しする画素の範囲を絞る事が可能な、部分露光型イメージセンサの設計を行った。本センサでは部分露光を実現するために撮影範囲を8×8画素で分割し、分割した領域に対して制御用の回路を、不感領域を作らないように画素内に分散しつつ配置した。画素は5 $\mu\text{m}$ 角とした。開口率は27~35%であった。この配置によりこれまで約6%存在した不感領域を無くす事に成功した。光応答を測定したところ、これまでの研究で実現していた部分露光型のイメージセンサと同等であった。同時に6 $\mu\text{m}$ 角でMOSFETの反転層を利用した磁気センサを試作した。このセンサではロックイン検出を併用することで40 $\mu\text{T}$ の微小磁場を測定可能である事を明らかにした。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu\text{m}$  2.5mm角チップ チップ種別：TEG (特性評価回路など)

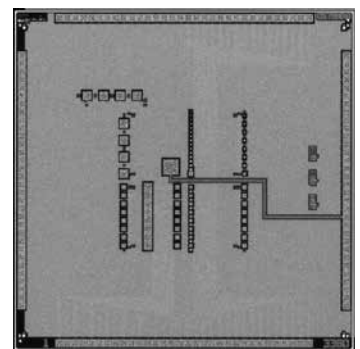


## 電気化学測定用電極評価チップ

宇野 重康

概要：集積回路チップ上に直接溶液を滴下して、溶液中の化学物質等による電気化学反応を測定するための微小電極センサーを試作した。配線用金属の最上位層を使用し、PADとして定義することで上部バンプレーション膜に開口を設けることにより露出させ、それをセンサー電極とした。ただし配線で用いられている金属そのものは溶液と接するだけで腐食が生じることが考えられるため、金属表面には無電解メッキ加工により金薄膜層が形成されている。電極サイズは一辺50 $\mu\text{m}$ のものからさらに小さなものまでさまざまなサイズで作製し、その特性を評価した。溶液はバイオセンシングで一般的な生理食塩水を用い、溶液を滴下したうえで様々な電気化学測定を行った結果、バイオセンサーとしての使用に耐えることが分かった。また、このような電極を配列にした際に任意の電極にアクセスするためのスイッチや基本的なデジタル回路を搭載し、その動作を確認した。さらに、センシング回路中で用いる抵抗をMOSスイッチによって選択する抵抗アレイを作成し、その動作を確認した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu\text{m}$  2.5mm角チップ チップ種別：TEG (特性評価回路など)

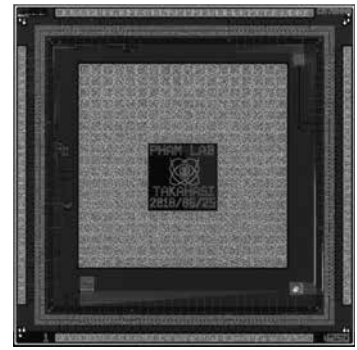


## 4bit × 4bit乗算器その他

電気通信大学情報ネットワーク工学専攻 宮原 大三郎, 範 公可, 石橋 孝一郎

概要：今回の試作では、2つの4bitの入力に対し乗算を行って8bitの計算結果を出力する回路を設計した。寄生容量によって信号の立ち上がり・立ち下がりになまりが発生し高周波数帯では計算に誤差が現れやすくなる。今回設計した回路では、そのような誤差が発生しないように入力信号を一度レジスタに保持させ、1clock遅らせてから演算モジュールに信号を入力する構成とした。FPGAで同機能を持つ回路をコンフィグレーションし、チップとFPGAに同じ信号を入力して出力される値が異なるまで計算を繰り返すことで動作周波数の測定を行った。周波数を変えて0×0から15×15までの演算を繰り返す入力を与えたところ、10~15MHzにおいて平均して1回以上計算が繰り返されたため動作周波数は10~15MHzということが分かった。本測定では動作周波数が非常に狭い範囲となってしまったが、その原因として入力信号のなまりによる誤差が1clockの入力遅延ではほとんど寄与しなかったためだと考えた。

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：演算回路 (乗算器, 除算器など)



## ソフトエラー耐性を有するラッチ回路その3

千葉大学工学部 中田 惟吹

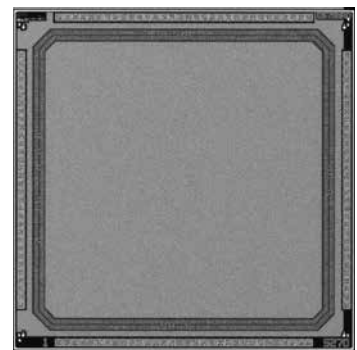
千葉大学大学院融合理工学府 山本 雄太, 堀田 奈央

千葉大学大学院工学研究院 難波 一輝

概要：放射線環境下における耐ソフトエラー性を有するラッチ回路の動作検証を目的として本チップを試作した。近年のVLSIの微細化, 高集積化に伴い臨海電荷量が低下している。そのため、 $\alpha$ 線や中性子線が回路に衝突することに起因するソフトエラーの発生率が増加している。この問題を解決するためラッチ自身がソフトエラーを訂正する耐ソフトエラー手法の研究がされている。従来提案した手法が実際の放射線環境下において期待された動作を行うのかを検証するため、本試作チップに対し、中性子線照射を行う予定である。本試作チップは耐ソフトエラー性を持たない通常ラッチ, 既存の耐ソフトエラー性ラッチ3種および我々の提案した耐ソフトエラー性ラッチ1種を搭載している。前回試作したチップと比べ、エラーの発生率が増加するように、搭載ラッチ数を増やし、PMOSトランジスタのゲート幅を13.6%, NMOSトランジスタのゲート幅を28%まで縮小させており、シミュレーション実験による臨海電荷量を約16%まで低下させている。

参考文献：坂田, 難波, 伊藤, "ソフトエラー対策ラッチの調査と分類," 信学技報FIIS, 2008年。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：メモリ

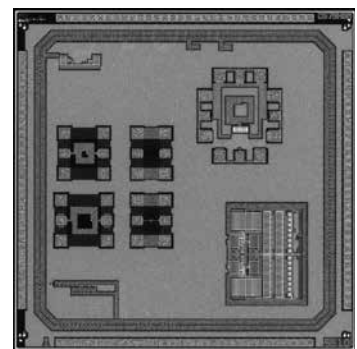


## クロックジッタに配慮したJitter-Shaperと、ジッタ特性改善をねらったVCOと、TDCテスト用位相変調回路

法政大学理工学部 七田 洸介, 増田 秀太, 小野寺 優輝, 渡辺 光, 嘉藤 貴博

概要：本試作ではJitter-Shaper, 単体VCO, TDCテスト用位相変調回路, 400MHz-LVDSを試作した。過去に設計したJitter-Shaperに加えて、クロックジッタの影響がより低減できる回路構成を検討し、本Chipに実装、評価を行い、特性改善を確認する。VCOはテールフィードバック型を検討し、テールカレントの制御が無い通常のVCOに対して、よりジッタ特性の改善ができることを期待して設計、実装を実施した。またインダクタのS-para測定のためのインダクタTEGも実装した。TDCテスト回路は、時間分解能2.5psecのTDC評価を可能にすることをターゲットとして、より安価で、容易にテストできること目標として実装した。また1MHzの変調信号の生成を目標とした。外部で測定器をつかって1MHzの信号を生成するのは、非常に高価な測定器を必要とする。上記の観点から、安価、かつ容易な試験ができるテスト回路の実装と評価ができると考えた。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Keysight社 ADS, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



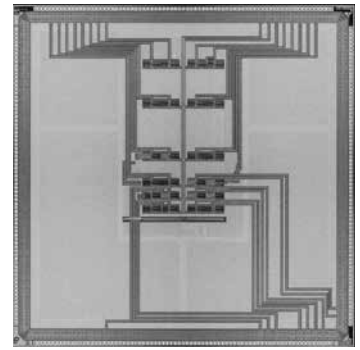
## 積層型3次元ICのチップ内の温度分布の解析

富山県立大学工学部 牛田 慧, 岩田 栄之, 松田 敏弘

概要：MOSFETの微細化とVLSIの高集積化によって、消費電力が増大し、VLSI内に局所的な高温箇所が発生し、回路の特性や信頼性などに影響するチップ内温度分布の不均一性が問題となっている。また、複数のLSIを積層した3次元ICの開発も進められているが、熱伝導率の小さい接着層によって、温度が上昇する。したがって、現在の熱伝導シミュレータはLSIの設計に非常に有用であるが、シミュレーションの精度をさらに高めるためにも、実験による実測値との比較・検証は必要不可欠である。本研究では、熱源となる抵抗とそのまわりに配置されたダイオードからなるテスト回路をLSIとして設計・試作し、実測とシミュレーションを用いてLSI内の温度分布を解析することを目的としている。本テストチップでは、サイズを5mm角に拡大し、熱源となる抵抗1個と、温度センサダイオード32個で構成されているブロックを24個配置し、熱源や配線パターン等による温度分布の変化を解析できるようにした。さらに、このテストチップを2層の積層した3次元ICについて、上下層のチップの発熱がそれぞれの温度分布に及ぼす影響を解析している。

参考文献：S. Ushida, Y. Mukai, T. Matsuda, H. Iwata, T. Hatakeyama, and T. Ohzone, "Analysis of Temperature Distribution in Stacked IC with Three Tier Structure," Proc. IEEE Electron Devices Technology and Manufacturing Conference (EDTM), 2018.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 5.0mm角チップ チップ種別：TEG (特性評価回路など)



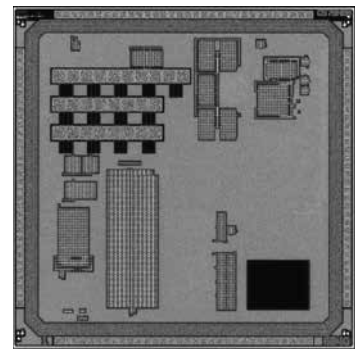
## 脳波測定用同期型ノッチフィルタの 試作及び自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 三河 樹由, 吉田 祐威

慶應義塾大学理工学研究科 田中 稜也, 出口 卓己, 福岡 龍人, 河添 翔平, 外村 崇史, 銭林 大悟

概要：脳波などの生体信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究に広く用いられている。低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、これらをオンチップで実現することを目指している。今回のチップ設計では、同期型ノッチフィルタと制御に用いるVCOとPLLについて、前回の設計より改良を行った上で試作を行った。また、脳波取得回路の多重化手法についての検証も行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、前回の試作で設計した太陽電池のうち、優れた性能を得られたものに関して拡散層を用いた改良を行い、性能が改善されるかを検証した。また、MOSメモリ動作用チャージポンプについて、以前の設計よりさらに段数を増やしたものを試作した。

設計期間：7人月以上, 8人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



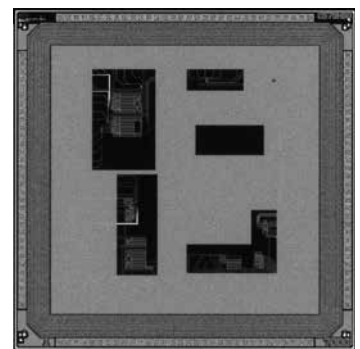
## 0.6V動作PWM差分演算回路 (Analog/PWM/Digital変換器を含む)

山形大学大学院理工学研究科 小嶋 文也, 原田 知親

概要：集積回路の低電圧化に伴い、振幅に情報を持つアナログ信号を時間軸に情報を持つPWM信号に変換することで、微小信号でもノイズの影響を受けにくく情報処理を可能とする、アナログ/PWM変換回路を提案してきた。そこで、本試作では、パルス遅延を利用したPWM変換回路とPWM信号の差分演算回路、さらに差分演算で得られたPWM信号をさらにデジタル信号へと変換するTDC (Time to Digital Converter) を含めた9bit デジタル出力PWM差分演算回路の設計を0.18 $\mu$ m CMOSプロセスを用いて行った。設計目標については、サンプリング周波数100kHz以上、消費電力をアナログ/PWM変換 (差分演算) で1 $\mu$ W、PWM/デジタル変換で1 $\mu$ W、計2 $\mu$ W以下と定めた。

参考文献：[1] 小嶋文也, 原田知親, "0.6V動作9bitデジタル出力PWM差分演算回路", 信学技報, vol. 118, no. 173, ICD2018-19, pp. 35-40, 2018年8月

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



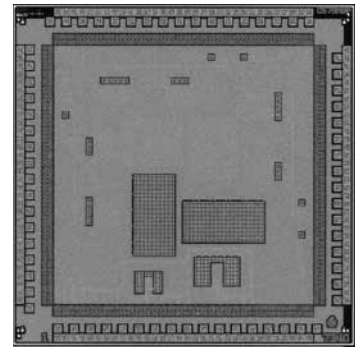


## 超低電力身体モニタリングシステムのための回路ライブラリの改良

兵庫県立大学大学院工学研究科 北田 友嗣, 前中 一介  
兵庫県立大学工学部 水谷 友哉

概要：本研究室では、身体に張り付けることで生体情報を測定する小型システムの研究・開発を行っている。複数のMEMSセンサとアナログ/デジタル信号処理LSIを組み合わせることにより、超低消費電力で小型なデバイスの開発を目指している。本試作では、前回までの試作で設計していた、デバイスの実現に必要な回路ライブラリの改良を目的として、(1. OPアンプ、(2. 心電増幅用計装アンプ、(3. MEMSセンサ向け静電容量検出回路の試作を行った。OPアンプは、unity gain stableではないものの、動作が確認できた。ただし、内部消費電流特性がシミュレーションと大きく異なっており、現在原因を調査中である。次に心電増幅用計装アンプについても、正常な動作が確認できた。また、静電容量検出回路については、出力スケールを変更できる機能の追加など、アプリケーションを意識した改良を行っていたが、こちらも正常な動作が確認できた。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

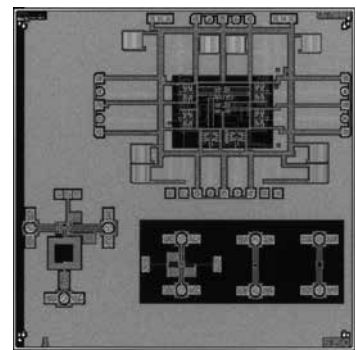


## マイクロ波帯D級電力増幅器

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥  
東京理科大学工学研究科電気工学専攻 小池 悠介, 明神 史典

概要：本試作では、マイクロ波帯D級電力増幅器の設計を行った。近年、移動体通信システムとして大容量な通信、送信機の無線回路には小型化及び低消費電力化が求められている。高効率な電力増幅器として、スイッチング動作を行う電力増幅器が知られている。スイッチング電力増幅器は、回路動作時に電圧と電流の時間波形の積をゼロにすることにより、理論上100%の効率が得られるという特徴を持つ。スイッチング電力増幅器の一つとして、スイッチング電源として動作するD級電力増幅器が提案されている。本試作で設計したD級電力増幅器はRO1817\_3で試作したD級電力増幅器の設計を改善したものである。RO1817\_3試作では信号線の引き出し部分に分布定数線路を使用していないため、インピーダンス・ミスマッチによる特性劣化の懸念があったが、本試作では50 $\Omega$ 分布定数線路の採用によりミスマッチを低減する設計を行い、特性改善を図った。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

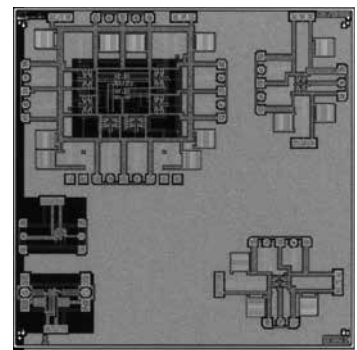


## マイクロ波帯ダブルバランスドミキサ

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥  
東京理科大学工学研究科電気工学専攻 澤田 晟, 畑 慎太郎

概要：本試作では、直交アップコンバージョンに使用するマイクロ波帯ダブルバランスドミキサの設計を行った。周波数ミキサは送受信機のRFフロントエンドには必要不可欠な回路素子であるが、その中でもダブルバランスドミキサ (ギルバートセル) は高い線形性と優れたポート間アイソレーション特性を持つことから送受信機で広く利用されている。本試作ではマイクロ波帯で高精度なダブルバランスドミキサを実現するために、整合回路の設計や、レイアウトの最適化を行った。負荷にはポリシリコン抵抗を用い、出力抵抗が50 $\Omega$ になるように設計を行った。ベースバンド信号、局部発振信号、RF信号は全て差動信号であるため、差動信号用のRFパッドを用いた。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

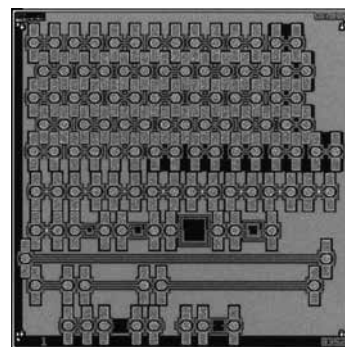


## ミリ波デバイス評価用素子

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之,  
平野 勝彦, 山木 夏

概要：本試作ではミリ波帯まで対応したデバイスモデルを作成するために、デバイス評価用素子を設計した。ミリ波帯で動作する回路を設計するためにはミリ波帯まで対応したデバイスモデルが必要である。また、ミリ波帯でデバイスを動作させるためには寄生成分を減らしたレイアウトが求められる。そこで、伝送線路、nMOSFET、pMOSFET、インダクタ、キャパシタについてレイアウトの最適化を行い、スケーラブルモデルを作成するために、サイズの異なるデバイスを複数設計した。伝送線路は特性インピーダンスが $50\Omega$ になるように電磁界解析を用いて設計を行った。また、インダクタやキャパシタについても電磁界解析を行いサイズを決定した。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS  $0.18\mu\text{m}$  2.5mm角チップ チップ種別：TEG（特性評価回路など）

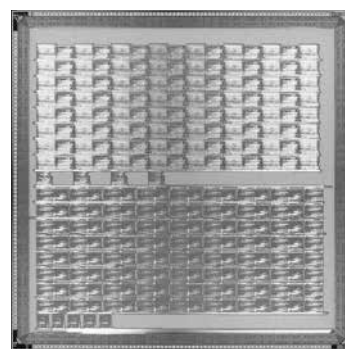


## 耐放射線・光再構成型ゲートアレイ

静岡大学総合科学技術研究科 渡邊 実

概要：光再構成型ゲートアレイVLSIを試作した。耐放射線・光再構成型ゲートアレイ（Optically Reconfigurable Gate Array）はホログラムメモリ、レーザアレイ、ゲートアレイVLSIから構成される。ゲートアレイの基本的な構成はFPGA（Field Programmable Gate Array）と同じで、Look-Up Table やスイッチングマトリックスから構成されるが、ホログラムメモリ内に回路情報を蓄え、この回路情報はゲートアレイVLSIのフォトダイオードを介してプログラムされる。フォトダイオードアレイとホログラムメモリ間の並列構成により、本プログラマブルゲートアレイでは、いかなる箇所にも故障が生じたとしても構成回路のみは故障しない。この結果、既存のFPGAでは難しい、故障箇所を避けての運用が可能になり耐放射線性能が劇的に改善できる。以前の試作から若干の改良を加えた試作であり、耐放射線試験で消費するチップの補充のために試作した。

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICACompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS  $0.18\mu\text{m}$  5.0mm角チップ チップ種別：ニューテクノロジー



3-3

第3章

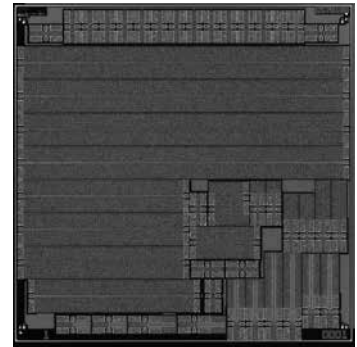
チップ試作結果報告



## ミリ波測定用 TEG

東京大学工学系研究科 原 崇文  
東京大学 VDEC 飯塚 哲也

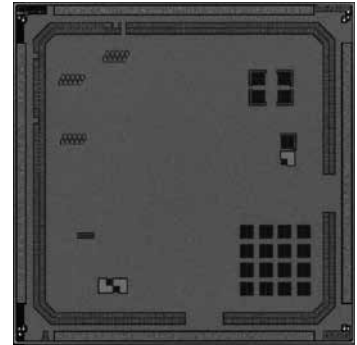
概要：本試作では、ミリ波測定における要素回路の測定用 TEG の設計を行った。まずは、コプレーナ導波路のモデルを用いて設計した伝送線路の試作を行った。伝送線路はグラウンドと伝送線路間の幅と伝送線路の幅を調整することによって 140GHz で 50 $\Omega$  となるように設計を行った。その伝送線路のディエンベディングを行うために長さの異なる 4 種類の伝送線路の測定用 TEG を載せた。また、曲がりの部分における伝送線路の特性を求めるために、曲がりを含んだ 5 種類の伝送線路の測定用 TEG の作成を行った。本論文では、オンチップアンテナ下のシリコン基板を除去することによる損失の低減の実測による評価を目的としており、アンテナとしてブロードサイドアレーを用いる。ブロードサイドアレーには差動入力が必要であり、測定機器の都合上シングルエンドの入力を作動信号に変換するバランが必要となる。そこでバランの作成を行い、バランとブロードサイドアレーを測定するための TEG の作成をおこなった。設計期間：2 人月以上、3 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数： $\sim$ 10 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



## メタルフリンジキャパシタを用いた CMOS プロセス互換な不揮発性メモリセルの TEG ほか

立命館大学大学院情報理工学研究科 田中 一平, 木村 知也  
立命館大学情報理工学部 宮内 悠太, 今川 隆司, 越智 裕之

概要：配線間容量を利用したメタルフリンジキャパシタを NMOS トランジスタのゲートに接続することにより、フラッシュメモリと同様なフローティングゲート構造を標準 CMOS プロセスで実現することが可能であることに着目し、これを用いた不揮発性メモリの実現に向けたメモリセルならびに読み書き回路からなる TEG を試作した。高い集積度を実現するため、メタルフリンジキャパシタはクロストークノイズの影響を受けにくい Fishbone-in-Cage Capacitor (FiCC) を採用し、超低消費電力での動作を可能にするため、書き込みや消去は FN トンネリングで行う。本試作チップには上記のほか、オンチップ太陽電池、光センサなどの TEG も搭載している。設計期間：3 人月以上、4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE(RF), トランジスタ数：1,000 $\sim$ 10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm 角チップ チップ種別：メモリ

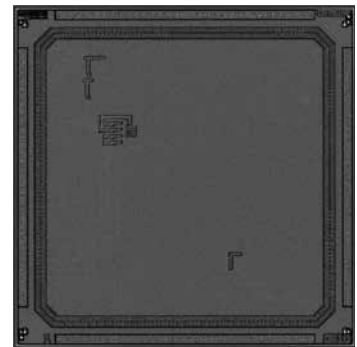


## ニューロン CMOS インバータ型ハミング距離判定回路

東海大学情報通信学部 福原 雅朗, 大塚 陸, 山田 海貴, 浅川 颯馬  
東海大学情報通信学研究科 藏野 貴教, 恩地 夏央

概要：8bit で構成されている 2 つのデータのハミング距離と参照距離の大小関係を比較するニューロン CMOS インバータを用いたハミング距離判定回路が含まれているチップとなっています。今回、この初期電荷の影響を防ぐことができる FG キャリブレーション回路を使用したハミング距離判定回路の試作を行いました。これにより、シミュレーションだけでなく、実機での検証を行うことができるため、FG キャリブレーション回路が理論通り動作していることが確認できます。今回のチップでは前回のものと同様に、FG キャリブレーション回路を使用していないハミング距離判定回路も設計しています。これにより、FG キャリブレーションがあるものと、ないものの比較を行うことができます。また、ハミング距離判定回路に使用されているクロックドニューロン CMOS インバータと、SRAM の単体回路も同時に試作することで、各回路が正常に動作しているのか確認ができるようにしています。そして、今回試作したチップの中にはこの回路を使用した 4bit 4word CAM も同時に試作を行っているため、CAM として試作した場合での評価も行うことができるようなチップとなっています。

設計期間：3 人月以上、4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE(RF), トランジスタ数：1,000 $\sim$ 10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm 角チップ チップ種別：メモリ



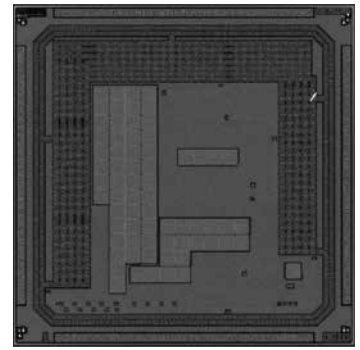
## 半導体電力分配器

中部大学工学部 宮本 順一

概要：太陽電池など再生可能エネルギーを電力に変換する素子単体の出力電圧は、0.6V程度と極めて低い。一般的に用いられているブロッキングダイオードを使用する手法は、このダイオードの電圧降下があるため素子の並列接続には適用できない。従って、直列接続に難がある発電素子、あるいは異種の発電素子の組み合わせでの電力抽出は不可能であった。ここで低電圧出力素子からでも高効率で電力を取り出せる「半導体電力分配器」を考案し、VDECにて試作し、これを適用することで多数個の並列接続素子から、その総和電力を集積して取り出すことに成功した。このLSIの評価にはCTS社の簡易テスタ、CX1000Pを用いている。以前試作したRO1817\_4の評価をもとに、CX1000Pのテスタではなく、市販のマイコンからでも本半導体分配器を制御できるように、内部VDDは1.8Vのまま、外部インターフェースを3.3Vに対応できるようにリファインを行った。特許については学内審査を経て審査請求したが、拒絶査定がきて現在これに対するアクションを行っている。

参考文献：宮本，他，”半導体集積技術を用いたエナジー・ハーベスティング応用新発電システム”，2018年度中部大学工学部紀要，2019.3.31

設計期間：0.1人月以上，0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：その他



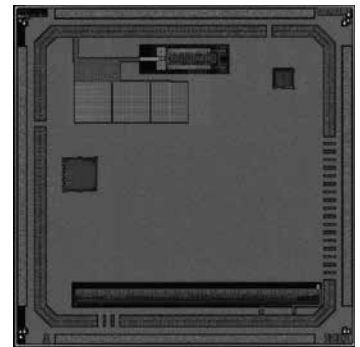
## 準安定状態回路を用いた真性乱数生成回路の製作

東京電機大学大学院工学研究科電気電子工学専攻 荒井 建輝

東京電機大学工学部電子システム工学科 小松 聡

概要：本試作ではシミュレーションや通信情報の暗号化などに使われる乱数の脆弱性を改善すべく、規則性のない乱数を生成することを目的とした乱数生成回路を設計し実装した。乱数源には外部のノイズを用いるために、リングオシレータのジッタに加えて、準安定状態回路を用いている。準安定回路とは、出力値を0と1の中間の電圧にし、外乱によって出力結果が決定される回路であり、乱数の生成速度を改良している。また、素子による乱数の偏りを改善すべく、多入力XORを用いて補正をかけている。本回路の設計前にFPGA上に提案回路を実装し、計測した中での一番性能が高い回路を採用している。本設計回路はVerilog-HDLを用いて設計しており、実装前に検証用としてFPGAで同様の回路を実装している。そのためFPGAと実際の設計した回路と生成周波数に対する出力乱数について、どのように変化するかを今後検証していく。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

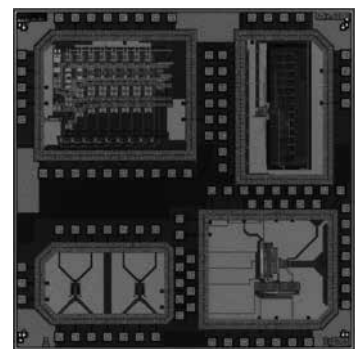


## Flash ADC, VLL ADC, Pipeline ADC, 時間差増幅回路

芝浦工業大学工学部 佐々木 昌浩, 石井 雅樹, 大谷 健吉, 宮下 航, 萬羽 敦史

概要：本試作では異なる複数の回路を実装した。1つ目の回路は時間差比較型の6-bit Flash型A/D Converterである。この回路は高速・低消費電力動作を実現するため、コンパレータ部やプリアンプ部に改良を行っている。また、回路の動作CLKを出力するパッドを用意することで、出力信号と測定器との同期を取ることができるようにしている。2つ目は8-bit Voltage Locked Loop型A/D Converterを試作した。以前に試作した回路からアップダウンカウンタの回路構成をリップルキャリア型からキャリールックアヘッド型に変更したことにより高速化を図っている。2つ目は10-bit Pipeline型A/D Converterを試作した。この回路も以前試作を行っているが、縦続接続された各パイプラインステージのキャパシタとオペアンプの面積を後段になる毎に縮小した方式に変更することにより小面積化と低消費電力化を図っている。4つ目は時間差増幅回路を試作した。以前試作した回路を見直し、SRラッチの容量負荷を削減とNANDの構成を変更したことにより入力時間範囲に制限をなくしつつ利得向上と高速化を図っている。5つ目の回路は上記の時間差増幅回路において後段の回路をインバータに変更し、4つ目の回路から貫通電流を減らすことにより低消費電力化を図っている。

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Keysight社 ADS, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



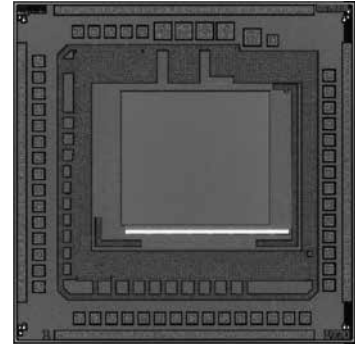
## ynuR018\_18\_2

横浜国立大学理工学部 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ 回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。回路構成やレイアウトは以前までに完全動作実証に成功したCMOSメモリと同等のものを実装した。

目的は高速動作評価に対応したSFQプロセッサを用いたSFQ/CMOSハイブリッドシステムの動作実証であり、目標動作周波数は100 MHzである。測定環境の都合上、高速動作の評価は現時点で行っていないが、100 kHzの低速測定におけるファンクションテストにてSFQ/CMOSハイブリッドシステムの全要素回路の正常動作が得られている。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：メモリ



## 動き推定機能を有する1画素4セル構造イメージセンサ

東京理科大学工学研究科 荒谷 智広, 浜本 隆之

概要：2 $\times$ 2セルを4画素に1つの割合で画素アレイ上に周期的に配置したイメージセンサを設計した。蓄積途中のフォトダイオードの電圧を非破壊で読み出し、画像を1枚取得する間に並行して被写体の空間・時間勾配を算出し、後段信号処理により動きベクトルを算出することを考えている。本チップは縦128 $\times$ 横128画素のイメージセンサで、標準的な3トランジスタ構成の電圧APS型フォトダイオードアレイにより構成されており、画素回路とセル回路ではフォトダイオードの大きさのみが異なる。本イメージセンサは画素アレイ、垂直走査回路、画素値出力用列回路、空間・時間勾配算出用列回路およびアナログ出力バッファから構成される。2 $\times$ 2セルをセル1~4とすると、垂直走査回路における画素選択回路とセル選択回路では、画素とセル4の読み出しのための行選択信号と、セル1~3の読み出しのための行選択信号がそれぞれ生成され、画像1枚を取得する間にセル1~3の読み出しを複数回行うことが可能である。画素とセル4の出力は共通の信号線で繋がれ、セル1~3の出力はそれぞれ独立した信号線になっている。読み出しは列並列で行われ、非破壊読み出し方式を用いることで2 $\times$ 2セルにおける空間・時間勾配をアナログ回路で算出し、勾配をA/D変換した後にデジタル回路で動きベクトルの算出を行う。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm $\times$ 5.0mmチップ チップ種別：イメージセンサ/スマートセンサ

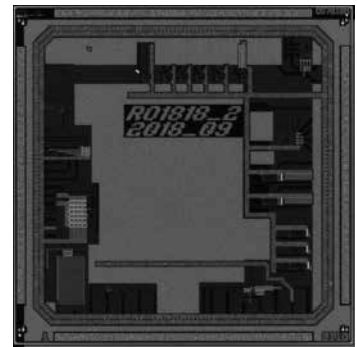


## ニューラルネットワーク用モジュールの試作

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑, 市野 栄一, 唐鎌 侑馬, 伊藤 大輝, 鈴木 壘, 白江 健太郎

概要：本試作チップでは、①神経細胞モデル1 (作成：小澤) ②神経細胞モデル2 (作成：市野) ③神経細胞モデル3 (作成：佐々木) ④バーストニューロンモデル (作成：小澤) ⑤介在細胞5段 (作成：伊藤) ⑥TDSTDモデル (作成：唐鎌) ⑦アマクリン細胞モデル (作成：鈴木) ⑧水平細胞モデル (作成：白江) ⑨ヒステリシス付きインバータ1 (作成：小澤) ⑩ヒステリシス付きインバータ2 (作成：佐々木) ⑪神経ネットワーク (リピータ制作) の試作を行った。詳細は下記の通りである。・細胞体モデル (神経振動子) は、各自のネットワーク用途に設計したパラメータで作成・バーストニューロンモデルは、ヒステリシス付きインバータを用いて作成・介在細胞集団は、バーストCPGネットワーク用途として作成・アマクリン及び水平細胞モデルは前回のPDを使用した網膜モデル用途として作成・TSTDTPは、以前作成したTSTDTPの改良版として再設計

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：ニューテクノロジー



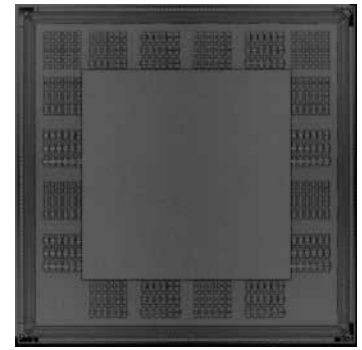


## ニューロモーフィックシステム アクティブマトリクス型 最表面端子露出型

龍谷大学理工学部 木村 睦

概要：ニューロモーフィックシステムのLSIである。32x32のニューロン素子を備える。ニューロン素子は、2個のインバータから成るデジタル回路で、1入力と正論理と負論理の2出力である。ニューロン素子のアクセスは、アクティブマトリクス型のフルアクセスである。シナプス素子は、最表面端子露出型の電極上に薄膜成膜をして相互接続することで形成される。薄膜成膜としては、アモルファス酸化半導体である、In-Ga-Zn-O (IGZO) およびGa-Sn-O (GTO) を想定している。または、シナプス素子は、微細MOSFETの相互接続による。前述の正論理と負論理のいずれかの出力に接続することで、協調性シナプスまたは対立性シナプスとなる。直近隣接のニューロン素子をシナプス素子で相互接続した、セルラーニューラルネットワークが構築される。アプリケーションは汎用であるが、特に連想メモリに応用できると思われる。なお、本チップはシナプス素子の特性変動に

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE(RF),  
試作ラン：ローム CMOS 0.18  $\mu$  m 5.0mm角チップ チップ種別：ニューテクノロジー



トランジスタ数：1,000,000～10,000,000

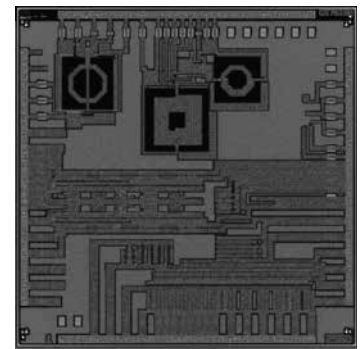
## サイクリックADコンバータとVCOと DC/DCコンバータに使用するコンパレータ

中央大学理工学部電気電子情報通信工学科 杉本 泰博

中央大学大学院理工学研究科電気電子情報通信工学専攻 高橋 正広, 磯野 友寛, 野口 純平,  
星 佑太

概要：近年、汎用性の高いA/D変換器として逐次比型 (SAR) A/D変換器が多く用いられている。しかし、その構成上13bit以上の高い精度を実現することは難しいとされている。そこで我々の研究室では14bit精度を実現するA/D変換器として、スイッチトキャパシタの原理を用いたサイクリックA/D変換器を提案する。このA/D変換器の信号処理には、信号をデジタル値に変換し残差を二倍して次のサイクルへ伝達するビットブロック回路が利用される。以上の様なビットブロック回路を用いたサイクリックA/D変換器を試作した。傷をつけない血糖値センサ実現の研究をしている。PLLを用いた誘電率センサを応用してPLLを用いて血糖値センサを実現しようと考えている。そのため、PLLに必要なVCOを試作した。ヒステリシス制御方式電源回路の設計手法の向上の研究をしている。新しく考案した手法でのシミュレーション結果と実際に製作した回路の動作を測定するためヒステリシス制御方式電源回路の一部であるコンパレータを試作した。

設計期間：6人月以上、7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



## キャリブレーション不要なプリエンファシス・パルス回路の設計

静岡大学工学部 丹沢 徹

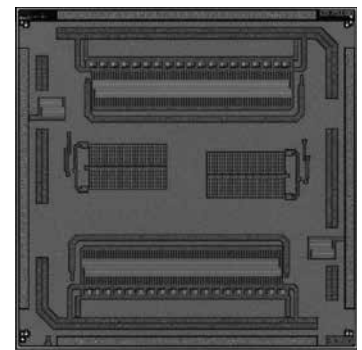
概要：1. はじめに

大規模メモリアレイのワード線やディスプレイのカラム線はRC遅延律速となっており、アクセス時間増大の主な要因となっている。アレイサイズの大きな3D NANDやFlat panel displayでは配線遅延低減のためパルスの初期期間だけ電圧を高めたプリエンファシス・パルスが用いられている。最適なパルス幅は遅延線の寄生抵抗や寄生容量に依存するため、従来技術では出荷テスト時にアレイの抵抗を測定してその結果に応じてパルス幅を調整する方法、あるいはパルス幅を振って遅延時間を測定して遅延が最短となるようなパルス幅に調整する方法が取られてきた。そこで本研究では、これらのテストコストを削減できる提案のプリエンファシス・パルス発生回路を設計して、その回路性能の実証を行うことを目的とする。

2. 試作したチップ

ローム0.18 $\mu$ m (2.5mm角) でPoly-Si抵抗とMIMキャパシタからRC遅延線を構成、コンパレータとスイッチを搭載して、回路の動作を検証した。修士1年一名が一月でVirtuoso, HSPICE, Calibreを用いて設計。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：メモリ



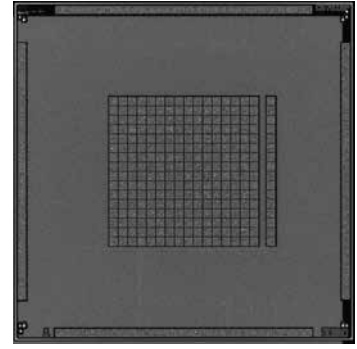


## 電気化学測定用センサー電極アレイチップ

立命館大学理工学部 宇野 重康, 吉田 豊

概要：集積回路チップ上に直接溶液を滴下して、溶液中の化学物質等による電気化学反応を測定するための微小電極センサーをアレイ化したチップを試作した。配線用メタルの最上位層に一辺50umのPAD領域を定義し、開口露出した金属表面に無電解金メッキ加工を行うことで電気化学センサーとした。この電極を16×16アレイ化し、それぞれにMOSスイッチを設け、そのゲート信号により任意の単一電極にランダムアクセス可能とした。また、ゲート信号を発生させるため、外部から4bit信号をうけることで16出力の一つにゲート信号を発生するデコーダー回路・マルチプレクサー回路を試作し、その動作を確認した。さらにそこで用いられる要素回路を個別に搭載し、その動作検証を行った。合わせて、非常に低い起電力の化学電池からのエネルギーを得て、その起電力に応じた周波数で発振し信号出力するセンサー回路及びその要素回路を搭載し、その動作を検証した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：～10 試作ラン：ローム CMOS 0.18μm 2.5mm角チップ チップ種別：マイクロプロセッサ



## RISC-V CPUを搭載したSoC

電気通信大学情報ネットワーク工学専攻 萩原 今朝巳, 範 公可, 石橋 孝一郎

概要：近年注目を集めているオープンな命令セット・アーキテクチャ (ISA) であるRISC-Vを実装するCPUを搭載したSoCの設計と試作を行った。本SoCにはRISC-V CPUの他、UART, SPI, PWM, GPIO等の周辺I/Oを搭載している。ベース・デザインとして、RISC-Vに関連するIPやSoCを開発しているSiFive社がオープンソースとして公開しているFPGA開発環境 (<https://github.com/sifive/freedom>) を利用した。これにより、短期間で本格的なSoCを設計することができた。試作したチップをDhrystone 2.1ベンチマーク・プログラムで評価し、動作周波数75MHz、消費電力187mW (1.8V, 室温) で動作することを確認した。動作周波数はほぼ設計値 (80MHz @typ.) 通りであったが、消費電力は想定よりも大きくなった。その主な理由は、クロック・ゲーティングを実装しなかったためと考えている。クロック・ゲーティングを実装すれば、消費電力を1/2程度に低減できると見込んでいる。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 Formality, トランジスタ数：1,000,000～10,000,000 試作ラン：ローム CMOS 0.18μm 5.0mm角チップ チップ種別：マイクロプロセッサ

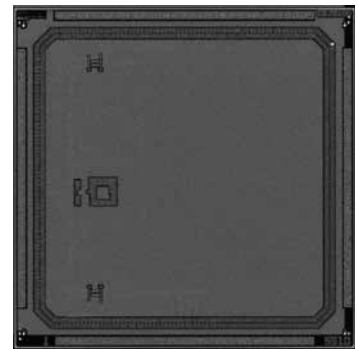


## 2.5GHz-LC共振型-デジタル制御発振器と、Multiple-デルタシグマTDC、および制御用SPI回路

法政大学理工学部 嘉藤 貴博

概要：本試作では2.5GHz-LC共振型-デジタル制御発振器、Multiple-デルタシグマTDC、制御用SPI回路を試作した。デジタル方式の周波数通倍PLLは、Time-to-Digital-Comparator (TDC)が必要である。このとき一般にはTDCへ入るリファレンスクロックの周波数で位相比較されるが、Multiple-TDCは、リファレンスクロックの通倍の周波数 (本検討はx8) で位相比較が可能である。本チップでは、Multiple-TDCの中のデルタシグマTDC、電流生成回路、制御用のSPI回路を試作した。制御用SPIは以前の試作で問題のないものを搭載し、端子の削減に貢献している。サンプリングクロックを内部生成する2.5GHz-LC共振器によって、内部で高速なサンプリングクロックを生成し、デルタシグマTDCの特性改善が期待できる。発振器はデジタル制御なので、外部で分周クロックをモニタしながら、おおよそ目的の周波数に調整した後は、フリーランでサンプリングクロックを供給する予定。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 NanoSim, トランジスタ数：10,000～100,000 試作ラン：ローム CMOS 0.18μm 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



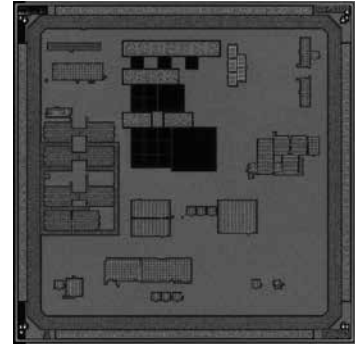
## 脳波取得フロントエンドの改良及び 自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 三河 樹由, 吉田 祐威

慶應義塾大学理工学研究科 田中 稜也, 出口 卓己, 河添 翔平, 福岡 龍人, 外村 崇史, 銭林 大悟

概要：脳波などの生体信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、同期型ノッチフィルタ用のPLLの改良及び、脳波取得増幅器の多重化手法、同手法を用いたAD変換のための $\Delta\Sigma$ 変調器に関して試作し検証を行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、単一及び連結した太陽電池の性能差の検証、これまでに提案及び設計した電源回路について、同一条件で性能比較を行うための回路を試作した。

設計期間：7人月以上、8人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



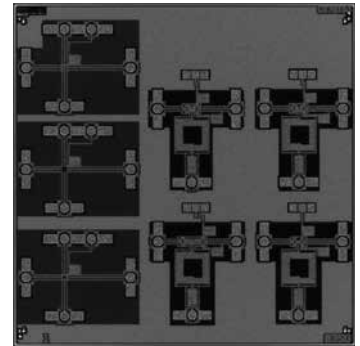
## マイクロ波帯D級電力増幅器

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学理工学研究科電気工学専攻 小池 悠介, 明神 史典

概要：本試作では、マイクロ波帯D級電力増幅器の設計を行った。近年、移動体通信システムとして大容量な通信、送信機の無線回路には小型化及び低消費電力化が求められている。高効率な電力増幅器として、スイッチング動作を行う電力増幅器が知られている。スイッチング電力増幅器は、回路動作時に電圧と電流の時間波形の積をゼロにすることにより、理論上100%の効率が得られるという特徴を持つ。回路方式の一つとして、スイッチング電源として動作するD級電力増幅器が提案されている。本試作で設計したD級電力増幅器はRO1818\_1で試作したD級電力増幅器の設計を改善したものである。RO1818\_1試作では、インダクタが回路の他部分との電磁界干渉を起こしやすい問題があったが、適宜グラウンドを配置し、干渉低減を図った。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



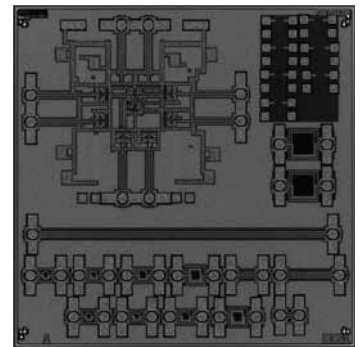
## マイクロ波帯ダブルバランスドミキサ

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学理工学研究科電気工学専攻 澤田 晟, 畑 慎太郎

概要：本試作では、直交アップコンバージョンに使用するマイクロ波帯ダブルバランスドミキサの設計を行った。周波数ミキサは送受信機のRFフロントエンドには必要不可欠な回路素子であるが、その中でもダブルバランスドミキサ(ギルバートセル)は高い線形性と優れたポート間アイソレーション特性を持つことから送受信機で広く利用されている。本試作で設計したダブルバランスドミキサはRO1818\_1で試作したダブルバランスドミキサの設計を改善したものである。RO1818\_1試作では、信号線の引き出し部分に分布定数線路を使用していないため、インピーダンス・ミスマッチによる特性劣化の懸念があったが、本試作では50 $\Omega$ 分布定数線路の採用によりミスマッチを低減する設計を行い、特性改善を図った。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)

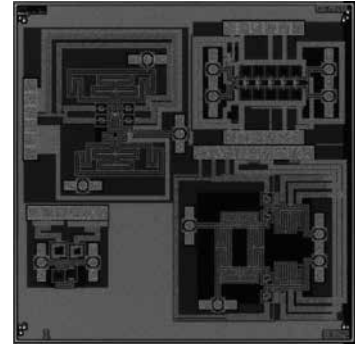


## 60GHz帯送受信機用要素回路

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之,  
平野 勝彦, 山木 夏

概要：本試作では60GHz帯送受信機に必要な要素回路を設計した。必要な要素回路の中でも今回は、アップコンバージョンミキサ、ダウンコンバージョンミキサ、中間周波数 (IF) 増幅器、ベースバンド増幅器について設計を行った。デバイスにはRO1818\_1で試作したミリ波デバイスを用いた。60GHzアップコンバージョンミキサにはシングルバランスドミキサの構成を、60GHzダウンコンバージョンミキサにはゲート注入型ミキサの構成を、IF増幅器とベースバンド増幅器には容量中和技術を用いた構成を用いた。また、60GHzの差動信号をシングルエンド信号に変換するためにラットレースバランを用いた。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：通信 (RF回路, ATM など)

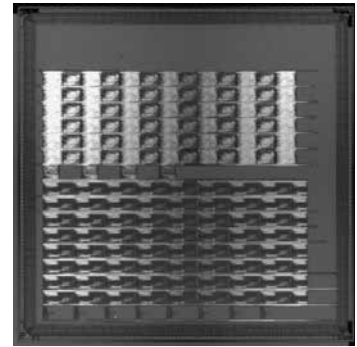


## 耐放射線・光再構成型ゲートアレイ

静岡大学総合科学技術研究科 吉永 透, 渡邊 実

概要：耐放射線・光再構成型ゲートアレイVLSIを試作した。耐放射線・光再構成型ゲートアレイ (Optically Reconfigurable Gate Array) はホログラムメモリ、レーザアレイ、ゲートアレイVLSIから構成される。ゲートアレイの基本的な構成はFPGA (Field Programmable Gate Array) と同じで、Look-Up Table やスイッチングマトリックスから構成されるが、ホログラムメモリ内に回路情報を蓄え、この回路情報はゲートアレイVLSIのフォトダイオードを介してプログラムされる。フォトダイオードアレイとホログラムメモリ間の並列構成により、本プログラマブルゲートアレイでは、いかなる箇所に故障が生じたとしても構成回路のみは故障しない。この結果、既存のFPGAでは難しい、故障箇所を避けての運用が可能になり耐放射線性能が劇的に改善できる。本チップにはTMR型のゲートアレイも実装され、トータルドーズ耐性に加えてソフトエラー耐性も高めている。

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Mentor社 ModelSim, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 $\mu$ m 5.0mm角チップ チップ種別：ニューテクノロジー



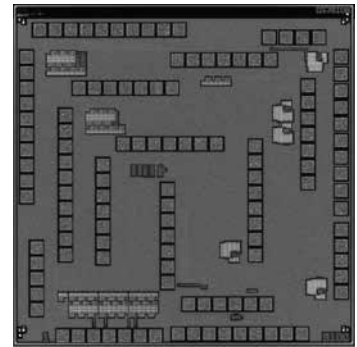
## 時間軸領域で演算を行うニューロモルフィック集積回路

中央大学理工学研究科 竹内 健, 鈴木 健太, 能美 奨

中央大学理工学部 上村 公紀

概要：これまでのコンピュータ (ノイマン型コンピューティング) はムーアの法則に従い、トランジスタの微細化により性能向上を行ってきた。しかし近年、消費電力など様々な観点からトランジスタの微細化が限界を迎えようとしている。そこでコンピュータの性能を向上させる新たな試みとして非ノイマン型アーキテクチャの研究が進められている。その中でも脳の構造を模倣したニューロモルフィックコンピューティングが注目されている。ニューロモルフィックコンピューティングは多くの行列演算を並列に行うことが可能である。しかし、ニューロモルフィックコンピューティングの研究の多くはアナログ回路や不揮発性メモリを用いて電圧や電流を演算するため消費電力が高くなってしまいう問題がある。本試作では時間領域で演算を行うことで消費電力を抑えるニューロモルフィック集積回路の検討を行った。今後は試作チップの動作確認を行い、アプリケーションとの組み合わせを検討する予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)





## 光通信トランスインピーダンスの電源ノイズ低減手法実証チップ

滋賀県立大学工学部 谷村 信哉, 田中 大夢, 土谷 亮

概要：本チップは、複数の光通信アナログフロントエンドが同一チップに並列実装された際の電源ノイズ低減手法を実証するためのチップである。複数チャンネルが並列実装された場合、共有する電源・グラウンド線のノイズを介してチャンネル間の干渉が発生する。電源・グラウンドの安定化にはデカップリングキャパシタを用いるが、多チャンネル化のためには省面積化の要求があるため巨大なデカップリングキャパシタを挿入するのは好ましくない。本チップは、アナログフロントエンド初段であるトランスインピーダンスアンプと出力バッファを複数と、ワイヤボンディングによる電源・グラウンドの電位変動を再現するためのインダクタを搭載したTEGを搭載した。測定はすべてオンウェハプロービングで行ない、提案構成のノイズ削減効果を確認した。シミュレーションによる検証は電子情報通信学会 総合大会 [1] に発表済みで、実測による検証を含む成果は国際会議に投稿する予定である。

参考文献：谷村, 土谷, 野口, 井上, 岸根, 「多チャンネル実装トランスインピーダンスアンプにおける電源ノイズ削減フィルタの設計手法」, 電子情報通信学会 総合大会, C-12-14, 2019年3月。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mmx5.0mm チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



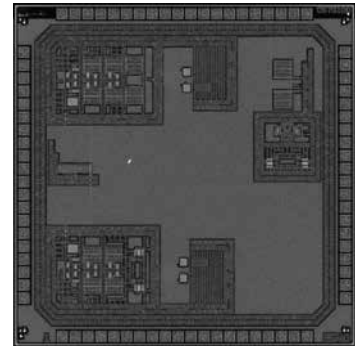
## 光プローブ電流センサ向けオフセット補正光電流変換CMOSアナログフロントエンド回路の広帯域化及び同相除去比の改善

信州大学総合理工学研究科 高木 憲太郎, 宮地 幸祐

信州大学工学部 清水 昂, 塚田 芳寿

概要：本試作ではデジタル制御によるオフセット補正を用いた光プローブ電流センサ向け広帯域アナログフロントエンド (AFE) 回路の設計を行った。本回路では光プローブ電流センサからの入力電流を想定し主に入力バッファ段, 電流電圧変換段, 出力バッファ段から構成される。本回路ではオフセット電圧を除去するために、逐次比較アルゴリズムを用いたデジタルDCオフセット補正機構を搭載しており、DC信号の測定を可能にした。また、フォトダイオードの寄生容量をトランスインピーダンスアンプ (TIA) の入力から分離するために、入力バッファとしてRegulated-Cascode-Amplifierを使用し、それによってTIAの帯域増加を図った。加えて、出力バッファによる同相電圧除去比の劣化を防止するため、出力バッファに4入力全差動アンプを使用した。また、比較のために出力バッファにシングルエンドオペアンプを使用したものについても設計を行った。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



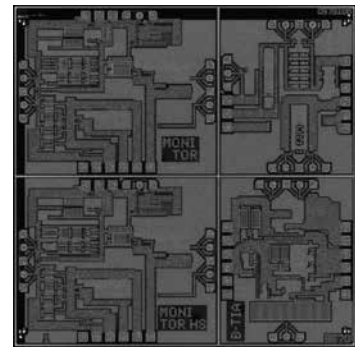
## 光受信用アナログフロントエンド回路TEG4

岐阜大学大学院工学研究科 中嶋 伸吾, 國枝 衛, 三輪 祐三久, 伊藤 大輔, 中村 誠

概要：我々の研究グループでは、光パケット伝送用アナログフロントエンド回路の設計を行っている。光アクセス (FTTH) や光パケットルータでは、信号強度の異なるパケットデータの送受信を行うため、受信したパケットデータに高速応答可能なアナログフロントエンド回路が求められている。これまでの試作では、高速応答のために入力信号の大きさに応じて利得モードを切替える光電流/電圧変換回路を検討してきたが、今回の試作では信号変化に柔軟に対応できる連続利得制御で高速に利得を可変できる構成を検討し試作を行った。試作ICの基本動作確認を行ったが、詳細評価は今後行う予定である。また、今回新たに光伝送で高速・長延化に伴い問題となる光分散について電氣的に補償する電気分散補償回路 (EDC) のテスト回路の試作を行った。特に、フィードフォワード制御とフィードバック制御を組み合わせることにより高速動作化を図った。今後は、試作ICの動作検証を行い、さらに回路の改良を行っていく予定である。

参考文献：[1] 中嶋伸吾, 中村誠, 伊藤大輔, “フィードフォワード構成によるDFE回路の高速化の一検討”, 電子情報通信学会和文論文誌, 基礎・境界, Vol. J101-A, No.11, pp. 268-272, Nov. 2018.

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



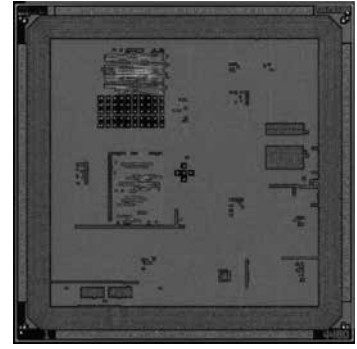


## 遅延故障およびIC間配線の検査用の各種検査容易化回路の試作

徳島大学大学院先端技術科学教育部 神田 道也, 宮武 典子, 大塚 諒哉, 河野 潤平, 佐藤 聡観,  
松本 悠汰, 四柳 浩之, 橋爪 正樹

概要：遅延故障の検査容易化回路2種とIC間配線の電氣的検査容易化回路3種を含むチップを試作した。1) 時間-デジタル変換回路組込型検査容易化回路を回路の入出力部およびスキャンFF部に実装した遅延故障検査回路を設計した。2) 3次元積層IC接続部のシリコン貫通ビア(TSV)の遅延故障検査容易化回路用セルを設計し、擬似TSVTEGと共に実装した。3) 注入電荷量によるIC内断線検査回路を実装した。4) 弛緩発振器を用いる断線検査回路を実装した。5) バウンダリスキャン回路を用いたオンライン電気テスト回路を実装した。各回路について動作検証を終え、検出可能故障についての実験を行なっている。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Synopsys社 HSPICE(RF) トランジスタ数：10,000~100,000  
試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

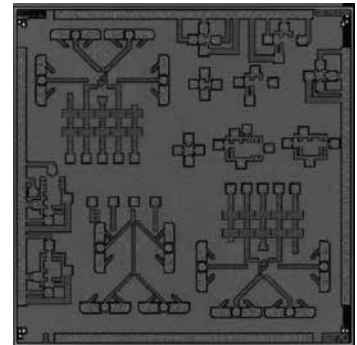


## 低電圧・低面積CMOSアナログ回路の試作

明治大学理工学部 関根 かをり, 高瀬 文哉, 小林 洵也, 中島 隆治

概要：低電圧・低面積というテーマを根底に置き、評価に必要な回路の試作を行った。以下が試作した回路の概略となる。光伝送の歪み補償を目的としたアナログFIRフィルタの要素回路であるギルバートセル回路および遅延線それぞれのTEG、PTAT電圧発生回路とレベルシフト回路、ソース接地回路を使用して温度特性を低減した基準電圧発生回路の試作。基準電圧発生回路におけるそれぞれのTEG。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

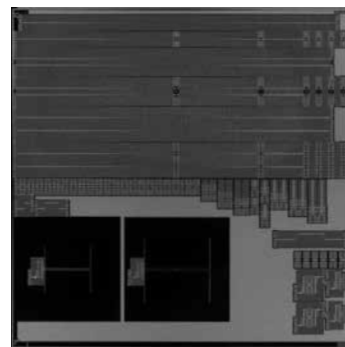
設計人数：教職員名, 学生1名 設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



## ミリ波測定用TEG

東京大学工学系研究科 原 崇文  
東京大学VDEC 飯塚 哲也

概要：本試作では、ミリ波測定における要素回路の測定用TEGの設計を行った。まずは、コプレーナ導波路のモデルを用いて設計した伝送線路の試作を行った。伝送線路はグラウンドと伝送線路間の幅と伝送線路の幅を調整することによって140GHzで50 $\Omega$ となるように設計を行った。その伝送線路のディエンベディングを行うために長さの異なる4種類の伝送線路の測定用TEGを載せた。また、曲がりの部分における伝送線路の特性を求めめるために、曲がりを含んだ5種類の伝送線路の測定用TEGの作成を行った。本論文では、オンチップアンテナ下のシリコン基板を除去することによる損失の低減の実測による評価を目的としており、アンテナとしてブロードサイドアレーを用いる。ブロードサイドアレーには差動入力が必要であり、測定機器の都合上シングルエンドの入力を作動信号に変換するバランが必要となる。そこでバランの作成を行い、バランとブロードサイドアレーを測定するためのTEGの作成をおこなった。設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 5.0mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

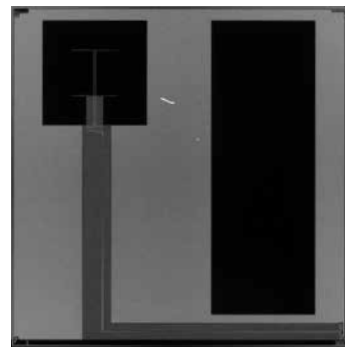


## ブロードサイドアレー測定用TEG

東京大学工学系研究科 原 崇文  
東京大学VDEC 飯塚 哲也

概要：本試作ではチップ面に対して垂直方向に指向性の強いブロードサイドアレーの試作を行った。ブロードサイドアレーには差動信号の入力が必要であり、測定機器の都合上シングルエンドの入力を差動信号に変換するバランが必要となる。そこでバランをブロードサイドアレーに接続し、シングルエンドの入力をバランに行く。本試作では、誘電体導波路通信向けのオンチップアンテナの試作を行っており、誘電体導波路をアンテナの出力部分に接続するために、プローブの測定位置は、アンテナから一定の距離を保った位置に設定しなければならない。そこで、アンテナとバランを接続したものに対してトランスミッションラインを接続し、誘電体導波路をアンテナの出力部分に接続してもプローブと衝突しないように設計を行った。一つのチップに対して1つの大きさのアンテナを測定するためのTEGの作成を行った。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 5.0mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

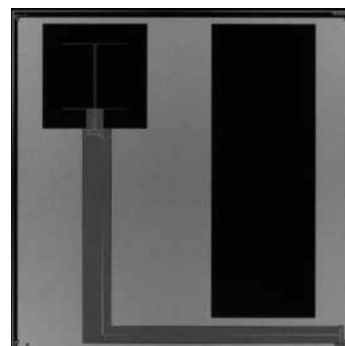


## ブロードサイドアレー測定用TEG

東京大学工学系研究科 原 崇文  
東京大学VDEC 飯塚 哲也

概要：本試作ではチップ面に対して垂直方向に指向性の強いブロードサイドアレーの試作を行った。ブロードサイドアレーには差動信号の入力が必要であり、測定機器の都合上シングルエンドの入力を差動信号に変換するバランが必要となる。そこでバランをブロードサイドアレーに接続し、シングルエンドの入力をバランに行く。本試作では、誘電体導波路通信向けのオンチップアンテナの試作を行っており、誘電体導波路をアンテナの出力部分に接続するために、プローブの測定位置は、アンテナから一定の距離を保った位置に設定しなければならない。そこで、アンテナとバランを接続したものに対してトランスミッションラインを接続し、誘電体導波路をアンテナの出力部分に接続してもプローブと衝突しないように設計を行った。一つのチップに対して1つの大きさのアンテナを測定するためのTEGの作成を行った。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 5.0mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



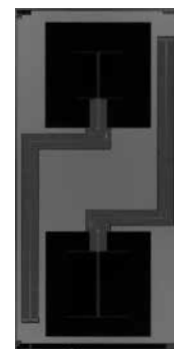
## ブロードサイドアレー測定用 TEG

東京大学工学系研究科 原 崇文

東京大学VDEC 飯塚 哲也

概要：本試作ではチップ面に対して垂直方向に指向性の強いブロードサイドアレーの試作を行った。ブロードサイドアレーには差動信号の入力が必要であり、測定機器の都合上シングルエンドの入力を差動信号に変換するバランが必要となる。そこでバランをブロードサイドアレーに接続し、シングルエンドの入力をバランを行う。本試作では、誘電体導波路通信向けのオンチップアンテナの試作を行っており、誘電体導波路をアンテナの出力部分に接続するために、プローブの測定位置は、アンテナから一定の距離を保った位置に設定しなければならない。そこで、アンテナとバランを接続したものに対してトランズミッションラインを接続し、誘電体導波路をアンテナの出力部分に接続してもプローブと衝突しないように設計を行った。一つのチップに対して異なる2つの大きさのアンテナを測定するための TEG の作成を行った。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mmx5.0mm チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

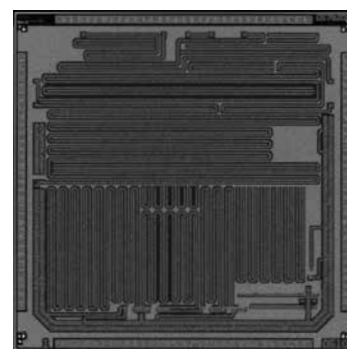


## 位相シフト回路 TEG

中部大学工学部 宮本 順一

概要：ローム0.18 $\mu$ mのプロセス条件でマイクロ波を取り扱うことができるかを検証するために、素子 TEG, 回路 TEG を搭載した R0610 : PC579GDAR0610 : RO1817\_3 のリファイン版である。RO1817\_3は、信号取り出しパッド位置とボンディング装置との相性が悪く、専用治具を用いた測定の結果、信号線の短絡が見受けられ、測定不能の回路があった。このため、取り出しパッドの位置変更を行った。RO1817\_3の結果を受け、位相シフト量の再調整も行っている。治具を用いた評価結果では、位相シフトの再調整については微調整の方向性が見つめた。しかし、遅延回路を、スイッチを介して直列接続した、4ビットバイナリで制御される位相シフト回路については、透過損失が大きすぎて所望の結果が得られなかった。また、ゲート遅延を利用した回路についても同様であった。現在、不良原因を突き止めるべく、評価方法の見直し、回路については様々なモデルをたて不良解析中である。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

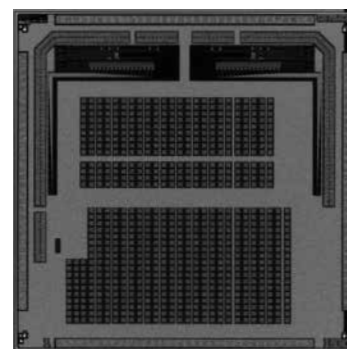


## SPAD 画素およびカウント動作の評価実験用チップ

東京理科大学工学研究科 山崎 智裕, 浜本 隆之

概要：SPAD画素および光子検出回数のカウント動作を評価するための、評価実験用チップを試作した。試作チップに実装した画素回路は入射光に対し単一光子を検出可能な Single Photon Avalanche PhotoDiode (SPAD) のおよびクエンチング回路、検出パルスのデジタル化のための後段デジタル回路、光子検出回数を検出するためのカウンタ回路から構成される。画素回路の大きさは、高さ31 $\mu$ m, 幅22 $\mu$ mである。画素回路では、クエンチングおよび検出期間のゲーティング動作および信号レベルシフトのためのゲート回路までを高耐圧の3.3V系トランジスタを使い、レベルシフト後のデジタル信号を扱うインバータおよび光子検出回数カウンタを高速動作が可能で低消費電力な1.8V系トランジスタを用いた。クエンチング回路はNMOS型を用いて、バイアス入力およびSPADの強制Disable回路を評価用に導入している。カウント動作はカウント値の出力レンジを評価するため16bitのカウンタを搭載した。本回路の評価ではSPADをアバランシェ降下させるために必要なブレークダウン電圧の評価、クエンチング回路の印加電流量調整とDeadTimeの関係評価と最適化、非同期カウンタの光子検出カウント動作の確認を行う予定である。それらの評価実験を通じ、今後の光子検出型センサの構成、駆動方法を検討していく予定である。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Synopsys社 HSPICE(RF), Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 $\mu$ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



## ニューロモーフィックシステム ダイレクトアクセス型 最表面端子露出型

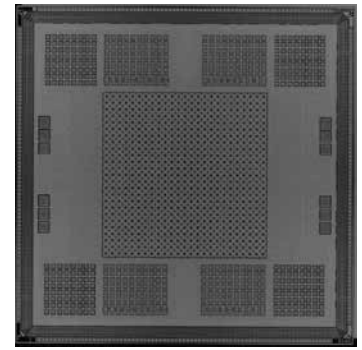
龍谷大学理工学部 木村 睦

概要：ニューロモーフィックシステムのLSIである。25x25のニューロン素子を備える。ニューロン素子は、2個のインバータから成るデジタル回路で、1入力と正論理と負論理の2出力である。ニューロン素子のアクセスは、ダイレクトアクセス型で、12x12のニューロン素子にアクセスできる。シナプス素子は、最表面端子露出型の電極上に薄膜成膜をして相互接続することで形成される。薄膜成膜としては、アモルファス酸化半導体である、In-Ga-Zn-O (IGZO) および Ga-Sn-O (GTO) を想定している。または、シナプス素子は、微細MOSFETの相互接続による。前述の正論理と負論理のいずれかの出力に接続することで、協調性シナプスまたは対立性シナプスとなる。直近隣接のニューロン素子をシナプス素子で相互接続した、セルラーニューラルネットワークが構築される。アプリケーションは汎用であるが、特に連想メモリに応用できると思われる。なお、本チップはシナプス素子の特性変動により、使い捨てのため、継続して試作している。

参考文献：Mutsumi Kimura, Brain-like Integrated System using Thin-Film Devices, IC-LYCS 2019, Mar. 2019

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000

試作ラン：ローム CMOS 0.18  $\mu$  m 5.0mm角チップ チップ種別：ニューテクノロジー



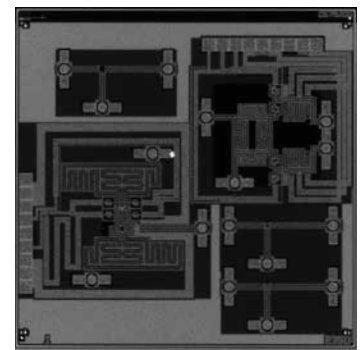
## 60GHz帯送受信機用要素回路

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥, 田中 駿太郎, 萩原 豊之,  
平野 勝彦, 山木 夏

概要：本試作ではRO1818\_2で試作を行った60GHzダウンコンバージョンミキサと60GHzアップコンバージョンミキサのレイアウトの改善を行った。周波数ミキサはベースバンド信号や局部発振信号、RF信号と、周波数の異なる3つの信号を入出力することから、レイアウトが複雑であり、かつ、レイアウトの性能への影響が大きいことから、レイアウトの最適化が必要である。そのため、回路構成はそのまま、寄生成分や挿入損失が小さくなるようにレイアウトの改善を行い、回路性能の向上を図った。

参考文献：60GHz帯送受信機用要素回路

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18  $\mu$  m 2.5mm角チップ チップ種別：通信 (RF回路, ATM など)

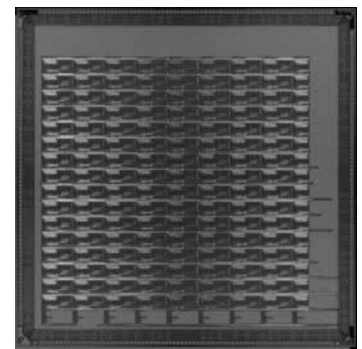


## 耐放射線・光再構成型ゲートアレイ

静岡大学総合科学技術研究科 渡邊 実

概要：耐放射線・光再構成型ゲートアレイVLSIを試作した。耐放射線・光再構成型ゲートアレイ (Optically Reconfigurable Gate Array) はホログラムメモリ、レーザアレイ、ゲートアレイVLSIから構成される。ゲートアレイの基本的な構成はFPGA (Field Programmable Gate Array) と同じで、Look-Up Table やスイッチングマトリックスから構成されるが、ホログラムメモリ内に回路情報を蓄え、この回路情報はゲートアレイVLSIのフォトダイオードを介してプログラムされる。フォトダイオードアレイとホログラムメモリ間の並列構成により、本プログラマブルゲートアレイでは、いかなる箇所に故障が生じたとしても構成回路のみは故障しない。この結果、既存のFPGAでは難しい、故障箇所を避けての運用が可能になり耐放射線性能が劇的に改善できる。以前の試作から若干の改良を加えた試作であり、耐放射線試験で消費するチップの補充のために試作した。

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICACompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18  $\mu$  m 5.0mm角チップ チップ種別：ニューテクノロジー





### 高動作マージン, 低電圧動作, 低リーク電流SRAMの開発

日本大学理工学部 小林 伸彰

概要: IoT (Internet of Thing) 機器への搭載を目的として, 高信頼度かつ低消費電力を達成するために, SOTBプロセスを用いた単データ線, 2ワード線の6Tr-SRAMを開発した. データ線を単一とすることで, 従来の6Tr構造よりもレイアウト面積が縮小された. また, 本SRAMは簡易形DC/DCコンバータであるSVL (Self-controllable Voltage Level) 回路を搭載することにより電源を追加する事なく, 複数の電位の生成が可能で, 書き込み時にはメモリセル供給電圧を降圧, メモリセル供給接地電圧を昇圧, 読み出し時にはワード線電圧を降圧することで, 書き込み, 読み出し時の動作マージンを拡大することができる. しきい値 ( $V_t$ ) ばらつき幅が0 (TT), 電源電圧 (VDD) が1.2 Vの時, 読み出しマージン, 書き込みマージンはそれぞれ従来形6Tr SRAMの2.09倍, 1.31倍に拡大された. また, 同条件時のデータ保持時におけるリーク電流による待機時消費電力は従来形SRAMの9.17%に削減された. SVL回路による面積オーバーヘッドは従来形の1.383%であった.

参考文献: Shin Miyamoto and Nobuaki Kobayashi, "Development of high-stability, low-leakage 6Tr-SRAM with single data line and single power supply using SOTB process", in Proc. of IEEE Computer Society Annual Symposium on VLSI, pp. 387-392, in Hong Kong, China, July 9, 2018.

設計期間: 3人月以上, 4人月未満 設計ツール: Cadence IC 6.17, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 10,000~100,000 試作ラン: CMOS SOTB 65nm 2mmx1.5mm チップ種別: メモリ

### 時間インターリーブVCOベースA/D変換器とデジタルRF受信機の試作

大阪工業大学工学部 木原 崇雄

大阪工業大学大学院工学研究科 磯部 佑真, 譜久山 篤也

概要: IoT社会では無線トランスミッターにさらなる低消費電力が求められている. さらに, CMOSプロセスの微細化に伴い低い電源電圧 (< 1 V) に適したデバイスが必要とされている. 低電源電圧かつ高速動作を実現できる A/D 変換器 (ADC) として, 電圧制御発振器 (VCO) を用いたADC (VCOベースADC) がある. このADCはリング型VCO・サンプリング器・デジタル微分器で構成されるので, 低電源電圧かつ高速で動作する. このADCを4つ用いて時間インターリーブ動作させることで, 高速サンプリングと高分解能を両立できる. このADCを用いてデジタルRF受信機を構成し, 試作した. デジタルRF受信機はADCの他に, 複素ミキサ・デシメーションフィルタで構成される. デシメーションフィルタの初段のデシメーション数をADCのインターリーブ数と同数にすることで, 従来の構成より2倍で動作するフィルタを実現できる.

参考文献: Yuma Isobe, Takao Kihara, Tsutomu Yoshimura, "A Polyphase Decimation Filter for Time-Interleaved ADCs in Direct-RF Sampling Receivers", Proc. 2018 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Chengdu, China, Oct. 2018.

設計期間: 2人月以上, 3人月未満 設計ツール: Cadence社 Verilog-XL, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Cadence社 UltraSim, トランジスタ数: 1,000~10,000 試作ラン: CMOS SOTB 65nm 3mmx2mm チップ種別: 通信 (RF回路, ATMなど)

### 先端SOTBプロセスにおける集積化磁気センサの構成回路評価用TEG

茨城大学理工学研究科 木村 孝之

概要: 当研究室ではこれまでローム社0.18 $\mu$ m CMOSプロセスで集積化磁気センサに関する研究を行ってきた. その中で, 更なる画素の微細化を実現するために先端SOTBプロセスを導入することとした. そのため本試作では, これまでローム社で実現してきた磁気センサをSOTBプロセスで実現するための基本的なTEG回路の試作を行った. ローム社のプロセスではMOSFETの反転層を利用したHallエレメントを利用していたが, SOTBプロセスではそれが困難であったため拡散層を利用したHallプレートを利用したHallエレメントとして利用した. Hallエレメントのアクティブ領域は1 $\mu$ m角のサイズとした. 現在はまだ評価の途中であるが, Hallエレメント単体の特性測定は終了しており, その電流は44 $\mu$ Aで出力感度は0.1mV/mTであった. この値はローム社で試作した磁気センサの70%程度であった. 感度低下は見られるが実用上十分な値であると考えられる. 今後はこのHallエレメントを多画素化し, 集積化磁気センサを実現する予定である.

設計期間: 0.5人月以上, 1人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 100~1,000 試作ラン: CMOS SOTB 65nm 2mmx1.5mm チップ種別: TEG (特性評価回路など)

## Vbb generator by SOTB CMOS rectifier and so on

電気通信大学情報ネットワーク工学専攻 NGUYEN THUY LINH, 範 公可, 石橋 孝一郎

概要：このチップは、RF エネルギーハーベスティングシステムの主整流器用の Vbb 発生回路として働く整流回路を設計したものです。全回路は、全整流回路（整流回路およびサブ回路）、3段の正の Vbb 発生器、3段の負の Vbb 発生器、1段の正の Vbb 発生器、1段の負の Vbb 発生器から構成されています。Vbb 発生器整流回路の出力目標電圧は -30 dBm の入力電圧で 0.6 V で、周波数は 500 MHz です。設計された SOTB チップは、アンテナも接続されている FR4 PCB ボードに取り付けられる予定です。環境からの RF 信号はアンテナによって集められ、PCB ボードの伝送線によってチップの入力に供給されます。対象とする RF 信号は 950 MHz 帯の携帯電話信号です。この整流器回路を使用した時、全ての RF エネルギーハーベスティングシステムは -30 dBm で 80% の PCE を得ることを目標としています。設計期間：2人月以上、3人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC(XT), Synopsys 社 Hercules, Synopsys 社 HSPICE(RF), Synopsys 社 NanoSim, Synopsys 社 Formality, トランジスタ数：100~1,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

## FFT (Fast Fourier Transform) TF (Twiddle Factor) 32-bit floating-point

電気通信大学情報ネットワーク工学専攻 HOANG TRONG THUC, 範 公可, 石橋 孝一郎

概要：このチップは単精度浮動小数点高速フーリエ変換 (FFT) 回転因子 (TF) の実装です。アーキテクチャは座標回転デジタルコンピュータ (CORDIC) アルゴリズムの適応法に基づいて開発されています。SOTB - 65nm で設計された TF コアは、86, 721  $\mu\text{m}^2$  のダイ面積上に約 22, 869 ゲートのレイアウトを有しています。測定結果は、コアが 1.2 V の電源電圧 (VDD) およびフォワードバックゲートバイアス (FBB)  $\geq 1.5$  V で最大動作周波数 55 MHz に達し、1.54 V の電力を消費したことを示しています。mW または 27.91-pJ / サイクルのエネルギー。最低動作 VDD は 0.5 V で、FBB  $\geq 0.5$  V です。スタンバイモード (クロックなし、電源のみ) では、0.4 V の VDD および -2.5 V の逆バックゲートバイアス (RBB) でリーク電流を 0.4 nA に減らすことができます。

設計期間：2人月以上、3人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Cadence 社 UltraSim, Synopsys 社 StarRC(XT), Synopsys 社 Hercules, Synopsys 社 NanoSim, トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ/デジタル信号処理プロセッサ

## BootStrap 式 DCDC 昇圧回路

電気通信大学情報ネットワーク工学専攻 熊谷 慎也, 範 公可, 石橋 孝一郎

概要：本回路は、RF エネルギーハーベスティング回路を構成するブロックの1つとして DCDC 昇圧回路を設計したものである。回路内部は、リングオシレータ、スイッチトキャパシタ型昇圧ブロック、及び4つのブートストラップパルス発生ブロックから構成される。本回路はエネルギーハーベスティング回路における整流器回路の次段に接続される事を想定した関係上、100 mV の単一入力で回路が動作するようになっている。測定の結果、100 mV の入力を最大効率 16.7% で 125 mV まで昇圧する事を確認し、シミュレーションとほぼ同一の結果を得た。また、回路内部のタイミング制約を非常に厳しく設計したため、入力電圧を 100 mV から正 or 負に変動させると、回路効率及び昇圧量が著しく低下する結果となった。

設計期間：2人月以上、3人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 UltraSim, Synopsys 社 StarRC(XT), Synopsys 社 Hercules, Synopsys 社 NanoSim, トランジスタ数：10~100 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ混成

## 遅延時間を抑制した耐放射線フリップフロップの評価

京都工芸繊維大学電子システム工学専攻 山田 晃大, 榎原 光則, 古田 潤, 小林 和淑

概要：集積回路の微細化に伴い、放射線の通過によって生じる電荷が原因となる誤動作、ソフトエラーが増加している。FD-SOI プロセスでは生成された電荷が絶縁層によって遮断されるため、バルクプロセスと比較してソフトエラーが生じにくいものの、宇宙空間などの放射線が多い環境では更なる対策が必要となる。本設計では記憶素子であるフリップフロップ内部にローパスフィルタを付与することで、フリップフロップの遅延時間の増加を 10% 以下に抑制しつつ、放射線による出力の反転を抑える構造を設計した。東北大学にて重イオンの照射実験を行い、提案するフリップフロップの放射線耐性を測定した。その結果、Ar イオン照射時には従来のフリップフロップに対して 130 倍の放射線耐性を持つことを確認した。Ar イオンよりも高い LET (Linear Energy Transfer) を持ち、生成される電荷の密度が高い Kr イオンの照射実験では放射線耐性の向上率が 30 倍に低下することを確認し、ローパスフィルタで除去不可能な大きなパルス幅の反転が多数を占めることを確認した。

設計期間：2人月以上、3人月未満 設計ツール：Cadence 社 Verilog-XL, Cadence 社 NCVerilog, Synopsys 社 ICSCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC(XT), Synopsys 社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm 角 チップ種別：TEG (特性評価回路など)

## アンテナダメージと経年劣化がCMOSに及ぼす影響の実測評価試作チップ

東京理科大学工学部 岸田 亮

東京理科大学工学研究科 小島 孔頌

京都工芸繊維大学電子システム工学専攻 中野 洋希, 古田 潤, 小林 和淑

概要：集積回路の配線加工工程で避けられない問題としてアンテナダメージ、使用し続けることによって生じる問題として経年劣化がある。回路設計者はこれらの経年劣化によって生じる MOSEFT のしきい値電圧の変動量を把握したうえで回路設計する必要がある。アンテナダメージおよび経年劣化を評価するため、アンテナ比と配線層を変えた電流スタブ型リングオシレータの発振周波数がどのように変動するかを測定する。本チップを試作して測定した結果、経年劣化による MOSFET のしきい値電圧の変動はアンテナ比と配線層の違いに影響されない。アンテナダメージに関してはアンテナ比の違いによる MOSFET のしきい値電圧の変動への影響の違いはないが、配線層によって影響が異なるため、設計段階で考慮する必要があることがわかった。

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：1,000,000～10,000,000 試作ラ  
ン：CMOS SOTB 65nm 3mmx2mm チップ種別：TEG（特性評価回路など）

3-3

第3章

チップ試作結果報告

## 最小のリークエネルギーで動作する RISC-V プロセッサの試作

京都大学大学院情報学研究所 岡村 陽介, 小柳 卓也, 徐 宏傑, 黄 超, 塩見 準, 石原 亨, 小野寺 秀俊

概要：電源電圧および基板電圧を動的に調節可能な RISC-V プロセッサを試作した。試作チップには8-kB 命令スクラッチパッドメモリ、16-kB データスクラッチパッドメモリ、4-kB 命令キャッシュが搭載されている。スタンダードセルを用いた完全デジタル型メモリがオンチップメモリとして実装されている。単一電源で動作するセルベース基板バイアス生成回路が実装されており、プロセッサにフォワードバイアスを印加可能である。nMOSFET および pMOSFET の基板電圧を自律的かつ独立に制御する電圧制御ロジック回路が実装されている。当該回路は nMOSFET および pMOSFET のしきい値電圧変化に敏感なモニタ回路を有しており、モニタ結果に基づき与えられた要求動作速度の下、対象回路のリークエネルギーを最小化するよう各基板電圧を実行時に最適化する。実測に基づく検証は今後の課題である。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence 社 NCVerilog, Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 StarRC(XT), Synopsys 社 HSPICE(RF), Synopsys 社 HSIM, トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm 角 チップ種別：マイクロプロセッサ

## VLSI 劣化検知のためのフィールドテスト技術の評価用 TEG チップ

九州工業大学大学院情報工学研究院 加藤 隆明, 三宅 庸資, 梶原 誠司, 宮瀬 紘平

概要：フィールド運用時の VLSI のテストや劣化検知に関して研究を行っている。今回の TEG には、フィールド運用時の劣化進行の検知と障害の予測を目的としたテスト IP を搭載した。以下の論理機能で評価を行う。(1) 対象回路の遅延測定テスト：回路の遅延値を測定するために自己テスト機構 (BIST) と可変クロック回路を搭載した。徐々にクロック幅を狭めていき、対象回路の遅延値を測定する。(2) テスト時の温度・電圧の測定：変化する回路の遅延値 (周波数) を測定・評価するため温度・電圧モニタを搭載した。これはリングオシレータをベースに当研究グループで提案した回路である。提案しているフィールドテスト技術の有効性について実チップを用いて評価・検証を行う。

参考文献：Y. Sato, et al., "DART: Dependable VLSI Test Architecture and Its Implementation," Proc. IEEE International Test Conference, pp.1-10, Nov. 2012.

設計期間：4人月以上, 5人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 StarRC(XT), Synopsys 社 HSPICE(RF), Synopsys 社 Formality, トランジスタ数：10,000~100,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

## ストップウォッチその他

電気通信大学情報ネットワーク工学専攻 保坂 堯洋, 範 公可, 石橋 孝一郎

概要：今回の試作では、ストップウォッチを設計した。5kHz を入力クロックとして、59分59秒99まで100分の1秒単位で測定可能なストップウォッチを設計目標とする。具体的な仕様は次の通りである。①入力クロックが50回立ち上がるごとに100分の1秒の位に1加算する。②100分の1秒の位が100になったら0に戻し、1秒の位を1加算する。③1秒の位が60になったら0に戻し、1分の位を1加算する。④RESET が1の時、すべての出力を0にする。⑤STOP が1の時、すべての出力は変化しない。⑥SELECT が0ならば100分の1秒の位、1ならば秒の位、2ならば分を出力する。以上の仕様でチップを設計した。次に測定結果について述べる。5kHz を入力クロックにしたところ、上記の仕様で正常に動作することを確認した。また、FPGA にチップと同じ回路を実装し、同時に測定して、異なる結果が出るまでの入力クロック数を調べることで、周波数特性の測定も行った。その結果、59分59秒99まで測定できる周波数は50kHz までであった。設計期間：1人月以上, 2人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC(XT), Synopsys 社 Hercules, Synopsys 社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：演算回路 (乗算器, 除算器など)



## 2段オペアンプその他

電気通信大学情報ネットワーク工学専攻 山本 晃徳, 範 公可, 石橋 孝一郎

概要：今回の試作では、MOSFETを用いた回路設計の練習として、基本的な構成の2段オペアンプを設計した。プロセスはRenesas SOTB 65nmを使用し、電源電圧は0.75Vとした。このオペアンプの1段目は特性の等しい2つのPMOSのソースを定電流源として使用しているPMOSのドレインに接続し、ゲートに入力された電圧の差を増幅するものである。2段目にはソース接地増幅回路を用いた。設計の際には回路シミュレータにSynopsys社のHSPICEを使用し、ポストレイアウトのシミュレーション結果ではオープンループゲインが45.8dB、ユニティゲイン周波数が40.8MHzであった。実測の結果ではオープンループゲインが40.8dB、ユニティゲイン周波数が2.0MHzとなり、ゲインに関してはシミュレーションの結果と同程度の数値が得られたものの、周波数特性がシミュレーションの数値より劣る結果となった。また、同相の入力信号に対する利得はシミュレーションの値よりも良い結果となり、そのため、同相信号除去比を表す指標であるCMRRは実測の方が良い結果となった。

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：~10 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

## 最小エネルギー点を追跡する RISC-V プロセッサの試作

京都大学大学院情報学研究所 徐 宏傑, 劉 晟宇, 松野 旺示, 黄 超, 塩見 準, 石原 亨, 小野寺 秀俊

概要：電源電圧および基板電圧を動的に調節可能なRISC-Vプロセッサを試作した。試作チップには8-kB命令スクラッチパッドメモリ、16-kBデータスクラッチパッドメモリ、4-kB命令キャッシュが搭載されている。スタンダードセルを用いた完全デジタル型メモリがオンチップメモリとして実装されている。2種類の電圧を生成可能なDC-DCコンバータが実装されている。与えられた要求動作速度の下、消費エネルギーを最小化する電源電圧と基板電圧の組（最小エネルギー点）を追跡する電圧制御ロジック回路が実装されている。プロセッサに埋め込まれた温度センサやクリティカルパスレプリカのモニタ結果に基づき、当該回路の実行時電圧制御により、プロセッサは常に最小エネルギー点で動作できる。実測に基づく検証は今後の課題である。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Synopsys社 HSIM, トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm角 チップ種別：マイクロプロセッサ

## 耐放射線 FPGA

静岡大学総合科学技術研究所 渡邊 実

概要：当研究室で開発を進めている光電子デバイス、光再構成型ゲートアレイ（Optically Reconfigurable Gate Array）と対比する目的で耐放射線FPGA（Field Programmable Gate Array）を試作した。このチップには論理ブロックが64個、スイッチングマトリックスが90個実装されている。1つ論理ブロックには4入力のLook-Up TableとFlip-Flopが2個ずつ実装されており、合計128個のLook-Up Tableが実装されている。ゲートアレイの構成は古いタイプのFPGAの細粒度タイプのアーキテクチャと同じであり、現在の光再構成型ゲートアレイVLSIと同じゲートアレイ構造としている。ただし、耐放射線評価に向けてテスト信号を加える等、特化したデザインとしており、密度は低いですが、今後、テスト機能等を除くことで、高密度化も可能である。また、この度の設計ではカスタム設計したセル類は無く、デザインコンパイラ、ICコンパイラを用いてスタンダードセルベースで設計した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Mentor社 ModelSim, トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 3mm角 チップ種別：マイクロプロセッサ

## 配線抵抗素子の信頼性評価用アレイ TEG

関西大学システム理工学部 佐藤 伸吾

概要：今回試作したチップは配線製造工程で製造される抵抗素子の信頼性を評価するためのプロセス TEG である。本 TEG は単位セルを複数個配置させたアレイ TEG 構造となっており、バラつき評価を実現する構成となっている。単位セル内に複数の電位測定用端子を備えつけており、抵抗値測定モードとして単体抵抗素子を直列接続するチェーン測定モードと単体抵抗素子を測定するケルビン測定モードの2種類を備えている。上記2種類の測定方法を適宜切り替える2段階測定の採用により測定時間と高不良検出率を両立させる。本アレイ TEG は上層配線と下層配線を接続する Via や配線の抵抗値素子の劣化性不良のメカニズム検証を目的としており、被測定素子に対して過電流印加による不良加速試験を実施することを想定している。そのため被測定素子に対して大電流を印加できるように周辺回路を設計した。TEG 機能検証のために数 mΩ から数 MEG Ω の抵抗素子を作り込み欠陥としてアレイ TEG 内に配置するとともに外周 PAD に同素子レイアウトの抵抗素子を配置することで抵抗値相関を確認し試作回路の測定精度を検証する予定。試作1人月、トランジスタ数は約30k個。試作チップは1.5mm×2mm。

設計期間：1人月以上、2人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, トランジスタ数：10,000～100,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

## 擬似不揮発性フリップフロップ

東京工業大学未来産業技術研究所 菅原 聡, 山本 修一郎, 北形 大樹

概要：現在のマイクロプロセッサやシステムオンチップ (SoC) では待機時消費電力の削減のためパワーゲーティング (PG) が用いられている。しかし、現状の PG では CMOS ロジック内のキャッシュ、レジスタ等の記憶回路が揮発性であることに起因して、PG のエネルギー削減効率は制約を受けている。そこで、我々は PG における電源遮断時に、回路ブロック (パワードメイン) に生じる極微小な仮想電源電圧 (V<sub>VDD</sub>) を用いて、不揮発性記憶素子を用いることなく、データを保持 (擬似不揮発) できる CMOS 双安定記憶回路の検討を進めている。このような記憶回路は電源遮断時に実質的に不揮発にデータを保持できることから擬似不揮発性 SRAM (VNR-SRAM) や擬似不揮発性フリップフロップ (VNR-FF) などと呼んでいる。今回は VNR-DFF をリファレンスとする DFF とエネルギー性能、または速度性能が等価になる設計法を開発した。そして、VNR-DFF を用いてロジックシステムの PG を行った場合のスタンバイ電力の削減効果を検証した。また、これらの VNR-DFF を評価するための TEG を設計した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE(RF), トランジスタ数：100～1,000 試作ラン：CMOS SOTB 65nm 3mm角 チップ種別：TEG (特性評価回路など)

## 非2進サイクリック AD 変換器

東京都市大学 大津 俊貴, 佐々木 美波, 山田 秀一郎, 潘 春暉, 傘 昊, 松浦 達治, 堀田 正生

概要：SOTB 65nm CMOS を用いて、低電源電圧で動作可能なサイクリック AD 変換器の設計を行った。今回は初めて SOTB を使用した試作でありながら、フルカスタマチップの設計に挑戦した。電源電圧は 0.75V の条件で、低電圧で動作するサンプリング・スイッチ、ダイナミック・比較器回路とダイナミック増幅器回路等の要素ブロック回路の検討・設計を行い、スイッチドキャパシターを用いた小型サイクリック AD 変換回路の設計を行った。設計の際には、回路シミュレータは Synopsys 社の HSPICE を使用して各要素回路ブロックの動作確認と性能確認を行った後、AD 変換器全体の性能確認も行った。SPICE シミュレーションの結果として、低電源電圧条件でも、各要素回路が所望の性能を達成し、高い線形性の AD 変換の実現可能性を確認した。また、試作した AD 変換器の測定では、AD 変換器の動作を確認でき、所望の高い線形性を実現したことを確認できた。AD 変換器の動的特性の実験検証が今後の課題となる。

設計期間：2人月以上、4人月未満 設計ツール：Synopsys 社 DesignCompiler, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE(RF) トランジスタ数：100,000～1,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

## 第4章 VDEC概要

### 4.1 組織概要

東京大学大規模集積システム設計教育研究センター(略称VDEC)は、日本の国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動の推進のために平成8年5月に全国共同利用施設として発足した。

当時は専任教官5名と事務官1名という小さな組織であったが、平成9年度には専任教官2名と事務官1名が増員され、現在は専任教員8名、客員教授1名、そして20名以上の非常勤スタッフや学外協力研究員が在籍している。

また、平成9年4月から平成19年3月まで、全国9大学のVDECサブセンターから連携を密にする目的で、2

年を単位として2名の教官を派遣する「流動教官制度」を開始した。(平成16年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更)

平成20年4月からは「協力教員制度」を開始し、現在は10大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている。(下記参照)

さらに産業界との連携のため、1名の客員教授に協力をお願いしている。

センターの事務については、センターの非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとり行っている。

流動教官派遣大学

年 度	派 遣 大 学
平成9・10年度	東北大学, 横浜国立大学
平成11・12年度	金沢大学, 広島大学
平成13年度	千葉大学, 東京工業大学
平成14年度	千葉大学, 東京工業大学, 京都大学
平成15年度	京都大学, 九州大学
平成16年度	大阪大学, 九州大学
平成17年度	名古屋大学, 大阪大学
平成18年度	北海道大学, 名古屋大学
平成19年度	北海道大学
平成20年度以降	協力教員派遣実績のある大学 (北海道大学, 東北大学, 東京工業大学, 金沢大学, 名古屋大学, 京都大学, 京都工芸繊維大学, 立命館大学, 大阪大学, 広島大学, 九州大学, 福岡大学)

## 4.2 人事報告

### VDEC 人事

センター長・教授	藤田 昌宏
教授	池田 誠
客員教授	水野 正之
准教授	小林 正治
准教授	飯塚 哲也
特任講師	肥後 昭男
特任講師	徐 祖楽
助教	Mai Khanh
助教	松本 高士
特任研究員	LEBRASSEUR ERIC CHAR
特任研究員	大西 廉伸
特任研究員	藤原 誠
特任研究員	島本 直伸
特任研究員	富田 穰太
特任研究員	荒川 文男
特任研究員	Gharehbaghi Amir Masoud
係長	住谷 啓介
係長	田村 未佳
係員	高梨 芳郎

### 協力教員

高木 信一
(東京大学工学系研究科電気系工学専攻教授)
三田 吉郎
(東京大学工学系研究科電気系工学専攻准教授)
竹中 充
(東京大学工学系研究科電気系工学専攻准教授)

4-2

第4章  
VDEC  
概要





平成30年度大規模集積システム設計教育研究センター 運営委員会委員名簿

平成30年10月1日現在

区分	氏名	所属	任期	メールアドレス
委員長	藤田 昌宏	大規模集積システム設計教育研究センター長	2018.4.1～2020.3.31	fujita@ee.t.u-tokyo.ac.jp
1号委員	大久保 達也	工学系研究科長 教授	2018.4.1～2020.3.31	dean@t.u-tokyo.ac.jp
1号委員	池田 誠	大規模集積システム設計教育研究センター 教授	2018.4.1～2020.3.31	ikedata@silicon.u-tokyo.ac.jp
1号委員	坂井 修一	大学院情報理工学系研究科 教授	2018.4.1～2020.3.31	sakai@mtl.t.u-tokyo.ac.jp
1号委員	中野 義昭	大学院工学系研究科 教授	2018.4.1～2020.3.31	nakano@ee.t.u-tokyo.ac.jp
1号委員	平本 俊郎	生産技術研究所 教授	2018.4.1～2020.3.31	hiramoto@nano.iis.u-tokyo.ac.jp
1号委員	高木 信一	大学院工学系研究科 教授	2018.4.1～2020.3.31	takagi@ee.t.u-tokyo.ac.jp
1号委員	三田 吉郎	大学院工学系研究科 准教授	2018.4.1～2020.3.31	mita@ee.t.u-tokyo.ac.jp
2号委員	高宮 真	大規模集積システム設計教育研究センター 准教授	2018.4.1～2020.3.31	mtaka@iis.u-tokyo.ac.jp
2号委員	飯塚 哲也	大規模集積システム設計教育研究センター 准教授	2018.4.1～2020.3.31	iizuka@vdec.u-tokyo.ac.jp

※池田 誠 委員は2018.10.1～工学系研究科より大規模集積システム設計教育研究センターに配置換

平成30年度大規模集積システム設計教育研究センター 全国運営協議会委員名簿

氏名	所	属
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授 TEL 03(5841)6673 FAX 03(5841)6724	fujita@ee.t.u-tokyo.ac.jp
池田 誠	東京大学大学院工学系研究科電気系工学専攻 教授 TEL 03(5841)6661	ikedata@silicon.u-tokyo.ac.jp
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授 TEL 03(5841)7467	takagi@ee.t.u-tokyo.ac.jp
本村 真人	北海道大学大学院情報科学研究科情報エレクトロニクス専攻 教授 TEL/FAX 011-706-7149	motomura@ist.hokudai.ac.jp
須川 成利	東北大学大学院工学系研究科技術社会システム専攻 教授 TEL 022(795)4835	shigetoshi.sugawa.d4@tohoku.ac.jp
一色 剛	東京工業大学学術国際情報センター 情報支援部門 教授 TEL/FAX 03(5734)2574	issiki@vlsi.ss.titech.ac.jp
岡田 健一	東京工業大学工学院電気電子系 准教授 TEL 03-5734-3764	okada@ee.e.titech.ac.jp
史 又 華	早稲田大学理工学術院 教授 TEL 03-5286-3400	shi@waseda.jp
北川 章夫	金沢大学理工研究域電子情報学系 教授 TEL 076(234)4863 FAX 076(234)4863	kitagawa@is.t.kanazawa-u.ac.jp
河口 信夫	名古屋大学大学院工学研究科計算理工学専攻 教授 TEL 052(789)4388 FAX 052(789) 4696	kawaguti@nuee.nagoya-u.ac.jp
小野寺 秀俊	京都大学大学院情報学系研究科通信情報システム専攻 教授 TEL 075(753)5314 FAX 075(753)5343	onodera@i.kyoto-u.ac.jp
松岡 俊匡	大阪大学大学院工学研究科電気電子情報工学専攻 准教授 TEL 06(6879)7792 FAX 06(6879)7792	matsuoka@eei.eng.osaka-u.ac.jp
藤島 実	広島大学大学院先端物質科学研究科 半導体集積科学専攻 教授 TEL 082(424)6269	fujii@hiroshima-u.ac.jp
井上 弘士	九州大学 大学院システム情報科学研究院長 教授 TEL 092(802)3793 FAX 092(802)3786	inoue@ait.kyushu-u.ac.jp
藤野 毅	立命館大学理工学部電子情報工学科 教授 TEL:077-561-5150(直通)8391(内線) FAX: 077-561-5150, 2663	fujino@se.ritsumei.ac.jp
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授 TEL 04(7124)1501内3756 FAX 04(7122)5171	hyogo@ee.noda.tus.ac.jp
黒田 忠広	慶應義塾大学理工学部電子工学科 教授 TEL 045(566)1534 FAX 045(566)1534	kuroda@elec.keio.ac.jp
吉本 雅彦	神戸大学大学院システム情報学系研究科 特命教授 TEL 078(803)6630 FAX 078(803)6630	yosimoto@cs.kobe-u.ac.jp

## 4.3 新任・退任ご挨拶

### 新任のご挨拶

#### 小林 正治

本年4月より高宮先生の後任としてVDEC准教授を拝命いたしました小林と申します。

2010年1月に米国スタンフォード大学の電子工学専攻にてPh.Dを取得後、同年に米国IBMワトソン研究所に入所し、先端CMOSデバイスの研究開発に従事しておりました。2014年5月より東京大学生産技術研究所に准教授として着任し、次世代トランジスタ・メモリデバイス技術の開拓とその応用に取り組んでおります。

現在IoTやAIをはじめとする分野において技術革新がとどまることを知らず、社会はより豊かになり、世界は持続可能な発展に向けて歩みを進めています。それを支えている基盤技術は集積システムに他なりません。より高速で、より低消費電力で、より低コストな集積システムが今後も必要とされます。一方、ムーア

の法則に導かれてきた半導体の微細化の進展は確実に緩やかになってきています。今後新たな技術革新を生み出す集積システムを実現していくためには、材料・デバイス・回路の各レイヤーの研究者がこれまで以上に連携していく必要があると考えています。

VDECはデバイス設計から回路試作・テストそして教育まで長年の実績があります。社会における技術革新が進む中、日本の半導体技術力の強化が改めて見直されている昨今、VDECはこれからも設計教育センターとして中心的な役割を果たしていくことは間違いありません。私は、VDECの運営に携わるとともに、VDECを通じて異レイヤー・異分野の連携・協働を推し進めるとい形で貢献していきたいと考えております。微力ではございますが頑張っておりますので、皆様のご指導ご鞭撻のほど、よろしくお願い申し上げます。

## 退任のご挨拶

### 高宮 真

2005年から14年間、VDECにて准教授を務めさせていただき、この度退任致しました。LSI回路設計を専門とする私にとって、「大学におけるLSI設計・試作に関する日本の総本山」とも言うべきVDECに在籍できたことは、この上ない喜びでした。VDECには、日本の大学におけるLSI設計・試作に関するすべての情報が集まってくるので、VDEC教員は当該分野における最新動向が自動的に把握・俯瞰できる最高のポジションでした。

VDECと私の関わりの歴史について、ご紹介させていただきます。VDEC設立の1996年当時、私の所属する研究室にVDECとネットワーク接続されたSunのワークステーションが設置されました。この当時は、ちょうど今のAIブームのように、LSI設計がブームで、LSI設計できる人材が産業界から強く求められていました。当時、学生であった私はLSIレイアウト設計を行う必要があったので、当時、同じく学生であった池田先生にCADツールが入ったCD-ROMディスクを借りに行ったことを覚えています。当時は大学で高価な商用CADを使える点自体が画期的であったため、CADツールをインストールして、レイアウト設計ツールを起動しただけで最先端の分野に足を踏み入れた気分になり興奮しました。大学卒業後は、企業にてLSI設計に従

事しました。私自身はLSI設計の即戦力ではなかったのですが、私より後に入社した後輩社員達は皆、学生時にVDEC CADツールを使ってLSI設計経験を積んだ精鋭揃いで、「日本の産業界にLSI設計の即戦力を供給する」というVDECの御利益を、産業界の現場で強く実感しました。

VDEC設立から23年たった今、VDECを取り巻く状況はどのように変わったでしょうか？私見ですが、VDEC設立当時は「ごく一部の人ができない」LSI設計・試作が、今は「当たり前」になったと感じます。強引に例えると、現代では、VDECは東京電力、東京ガスのように「あって当たり前、ないことは考えられない」サービス提供者になりました。

最後に「大規模集積システム設計教育研究センター」という組織名について気づいた点を述べさせていただきます。よく見ると私自身がキーワードと感じていた「半導体、回路、LSI、CAD、チップ試作」といった用語は全く入っていません。社会の流行語はCPS、AI、Society 5.0、SDGsなど、刻々と変化していきますが、どのような流行語になったとしても、「大規模集積システム」の重要性は不変です。「大規模集積システム設計教育研究センター」という組織名の命名者の先見の明に敬意を表して、私の退任の挨拶とさせていただきます。どうもありがとうございました。

### 栗野 皓光

2017年1月より2年間、助教としてVDECにて研究・教育に取り組む機会を頂きました。本年1月からは大阪大学に准教授として着任し、更なる発展を目指し邁進しております。短い期間では御座いますが、VDECではチップ試作技術をはじめ、大変多くのことを勉強させて頂きました。

今後は1ユーザとしてVDECの各種サービスを利用させて頂く立場になるかと思いますが、VDECで培った知識を活かして、微力ながら日本の集積回路研究の盛り上げに尽力できればと思っております。末筆では御座いますが、VDECの活動に対するユーザ皆様の変わらぬご協力をお願いするとともに、VDECとユーザの皆様の更なるご発展をお祈りいたします。



## 4.4 決算報告

### 1. 運営費交付金

事 項	収入（予算配分）額	支 出 額	過 不 足 額
共通経費	381,557,824	362,920,414	18,637,410
研究経費	15,079,000	13,716,410	1,362,590
計	396,636,824	376,636,824	20,000,000

### 2. 平成30年度受託研究

	教員名	委 託 者	研 究 題 目	受託金額（円）
1	飯塚 哲也	国立研究開発法人新エネルギー・産業技術総合開発機構	IoT推進のための横断技術開発プロジェクト／超低消費電力データ収集システムの研究開発	4,781,000
2	三田 吉郎	株式会社ネクスティ エレクトロニクス	先端集積回路の評価・解析技術高度化	4,990,000
3	三田 吉郎	国立大学法人京都大学	微細加工プラットフォーム	170,530,000
4	飯塚 哲也	株式会社東芝	「集積回路向け計算機援用設計・検証ツール群」使用体制の構築	23,400,000
5	藤田 昌宏	国立研究開発法人科学技術振興機構	IoTとモバイルビッグデータ処理のための高信頼高機能サイバーフィジカルシステムの構築	26,962,000
6	池田 誠	国立研究開発法人産業技術総合研究所	AIチップ開発加速のための検証環境整備事業	53,924,348
7	池田 誠	国立研究開発法人新エネルギー・産業技術総合開発機構	AIチップ開発加速のためのイノベーション推進事業/AIチップ開発を加速する共通基盤技術の開発	768,560,000
8	栗野 皓光	国立研究開発法人 科学技術振興機構	深層学習の「見える化」で切り拓く安全な人間・機械協調社会	13,130,000
9	池田 誠	電子商取引安全技術研究組合（ECSEC）	戦略的イノベーション創造プログラム（SIP）第2期／IoT社会に対応したサイバー・フィジカル・セキュリティ／（A1）IoTサプライチェーンの信頼の創出技術基盤の研究開発	15,364,000
10	池田 誠	国立研究開発法人産業技術総合研究所	「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／革新的AIエッジコンピューティング技術の開発」セキュアオープンアーキテクチャ基盤技術とそのAIエッジ応用研究開発のうちTEEソフトウェア	5,000,000
11	池田 誠	電子商取引安全技術研究組合（ECSEC）	「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／革新的AIエッジコンピューティング技術の開発」AIエッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発	3,542,000
合 計				1,090,183,348

### 3. 平成30年度共同研究

	教員名	申込者	研究課題	受託金額(円)
1	三田 吉郎	株式会社ニューフレアテクノロジー	三次元MEMS構造プロセスの研究	8,000,000
2	徐 祖樂	ローム株式会社	デジタル時間変換器型低ノイズ低消費電力自動合成配置配線可能な Fractional-N PLL の研究	2,160,000
3	飯塚 哲也	ソニー株式会社デバイステクノロジー開発部門化合物半導体開発部	ランダムアナログ入力用時間デジタル変換器の研究 (Step1)	7,500,000
4	栗野 皓光	株式会社日立製作所 研究開発グループ テクノロジーイノベーション統括本部	リアルタイムAI実現のためのニューラルネットワーク・アナログ回路のアーキテクチャ検討	1,000,000
5	肥後 昭男	ローム株式会社	LSI 一体集積に向けたシリコン上PbSコロイド量子ドット赤外フォトダイオードの高感度化	2,160,000
6	飯塚 哲也	ザインエレクトロニクス株式会社	高速信号通信に関する研究	2,000,000
7	藤田 昌宏	株式会社アドバンテスト	先端LSI開発環境・テストング技術	10,000,000
8	三田 吉郎	株式会社アドバンテスト	集積化微小MEMSによる高機能センサの研究	5,000,000
9	Nguyen Ngoc Mai-Khanh	Le Quy Don Technical University	EMA IC design for hardware cybersecurity	2,783,000
10	池田 誠	国立研究開発法人産業技術総合研究所	AIチップ開発を加速する共通基盤技術の開発	1,350,000
11	飯塚 哲也	株式会社デンソー	車載アナログ集積回路の高性能化	5,400,000
合 計				47,353,000

### 4. 平成30年度寄附金

入件数：5件 受入額計 47,646,423円

(故 武田珠子様、株式会社アドバンテスト、明光電子株式会社、株式会社半導体エネルギー研究所、公益財団法人矢崎科学技術振興記念財団)

## 第5章 研究報告

### 5.1 全体概況

	研究室構成 人数 (名)	研究発表 (件)			著書 (冊)	特許 (件)	受賞 (件)
		研究論文	国際会議	その他			
VDEC 教員	63	22	24	30	0	2	6
協力教員	64	40	51	30	3	2	4

5-1

第5章  
研究報告

## 5.2 研究室構成員(平成30年度)

### 藤田研究室 構成

藤田 昌宏	教授
松本 高士	助教
Amir Masoud Gharehbaghi	特任助教
Wang Qin hao	博士3年
Wang Peikun	博士2年
木村 悠介	博士2年
丸岡 大浩	修士2年
Han Xiaoran	修士2年
Le Xingming	修士2年
Wang Junbo	修士2年
Gao Ruitao	修士2年
Gu Jian	修士2年
Liu Yuhang	修士2年
Lu Qi	修士2年
Liu Zihao	修士1年
Zhang Xinpei	修士1年
合田 瑛洋	修士1年
宮坂 幸雄	修士1年
Zhou Zongjin	修士1年
Jin Chaoyi	修士1年
Wang Fudong	修士1年
Zhang Yuechuan	修士1年
Ding Yi	修士1年
上田 草馬	学部4年
廣田 海斗	学部4年

### 池田研究室 構成

池田 誠	教授
栗野 皓光	助教(現在 大阪大学)
吉川 俊之	特任研究員
荒川 文男	特任研究員
金 雄鉉	博士3年
Vinod Gadde Vishwa	修士2年
飯塚 知希	修士2年(現在 JR東海)
古賀 啓太郎	修士2年(現在 富士通)
蔡 純	修士2年
杉山 昇太郎	修士1年
武田 直嗣	修士1年
崔 笛	修士1年

劉 玉清	修士1年
中山 亮平	学部4年(現在 修士1年)
Le Van Hai	研究員
Phan Nhu Minh Quan	研究員

### 高宮研究室 構成

高宮 真	准教授
崔 通	特任助教
邱 浩	特任研究員
本田 雅宣	博士3年
山内 善高	博士3年
茨城 亮太郎	修士1年
福留 環	修士1年
呉 承軒	修士1年
王 叡智	修士1年

### 飯塚研究室 構成

飯塚 哲也	准教授
徐 祖榮	VDEC特任講師
Nguyen Ngoc Mai Khanh	VDEC助教
ビャムバドルジ ゴルポー	博士2年
陳 明翰	修士2年
大槻 宜孝	修士2年
中里 徳彦	修士2年
王 璟	修士2年
小島 尚輝	修士1年
高橋 奈悟	修士1年
山崎 大輔	修士1年
長田 将	学部4年
原 崇文	学部4年

### 三田研究室 構成

三田 吉郎	准教授
肥後 昭男	特任講師
	(ADVANTEST D2T)
ルブラッスール エリック	客員研究員(本務: CNRS-IIS UMI2820 LIMMS研究所)



ユリアック グェン	特任研究員 (ナノテクノロジー・プラットフォーム 技術支援担当 仏フランシュcombe大学より派遣)	高田 晃 広	VDEC 共同研究員 (アドバンテスト)
藤原 誠	特任研究員 (ナノテクノロジー・プラットフォーム 技術支援担当)	瀧澤 昌 弘	VDEC 共同研究員 (アドバンテスト)
水島 彩子	学術支援専門職員 (ナノテクノロジー・プラットフォーム 技術支援担当)	中山 雄 太	工学系共同研究員 (コニカミノルタ)
太田 悦子	学術支援専門職員 (ナノテクノロジー・プラットフォーム 技術支援担当)	大野 智 輝	工学系共同研究員 (ソニー)
島本 直伸	特任研究員 (ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)	宇佐美 尚 人	博士3年 (現在, 学術振興会博士研究員)
大西 廉伸	特任研究員 (ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)	Ranga Reddy	博士3年
澤村 智紀	技術職員 (武田先端知識クリーンルーム管理室)	岡本 有 貴	博士2年
河井 哲子	事務補佐員	山田 健 太郎	修士2年 (現在 特許庁)
渡邊 かをる	学術支援職員 (ナノテクノロジー・プラットフォーム事務局)	稲垣 俊 典	修士1年
広沢 公彦	学術支援職員 (ナノテクノロジー・プラットフォーム 武田クリーンルーム管理室担当)	栗山 大 成	修士1年
佐藤 昇	学術支援職員 (ナノテクノロジー・プラットフォーム 新川崎担当)	槌屋 拓	学部4年 (現在 三田研 修士1年)
佐藤 善亨	工学系共同研究員 (ナノックスジャパン)	山口 龍 太郎	学部4年 (現在 情報理工田浦研修士1年)
		Charles Moslonka	VDEC インターンシップ生 ( 仏 ENS Paris-Saclay)
<b>高木・竹中研究室 構成</b>			
		高木 信 一	教授
		竹中 充	准教授
		トープラサートボン カンディット	助教
		陳 志 方	(客員研究員)
		加藤 公 彦	(特任研究員)
		黄 博 勤	(外国人特別研究者)
		何 鐘 培	(研究員)
		柯 夢 南	博士3年 (工学系)
		裴 泰 彦	博士3年 (工学系)
		安 大 煥	博士3年 (工学系)
		曹 光 元	博士2年 (工学系)
		李 強	博士2年 (工学系)
		尹 尚 希	博士2年 (工学系)
		林 澈 敏	博士1年 (工学系)
		関根 尚 希	博士1年 (工学系)
		ロダヌル	博士1年 (工学系)
		李 宗 恩	修士2年 (工学系)
		程 鵬 遠	修士2年 (工学系)
		趙 子 強	修士2年 (工学系)
		高口 遼 太郎	修士2年 (工学系)

藤 垣	匠	修士2年 (工学系)
山 下	真 史	修士2年 (工学系)
横 山	千 晶	修士2年 (工学系)
廖	辰 宇	修士2年 (工学系)
王	子 龍	修士2年 (工学系)
呂	東 晟	修士1年 (工学系)
湯	涵 智	修士1年 (工学系)
隅 田	圭	修士1年 (工学系)
陳	乾 峰	修士1年 (工学系)
吳	冬 睿	修士1年 (工学系)
張	曉 軒	修士1年 (工学系)
林	早 阳	修士1年 (工学系)
宮 武	悠 人	学部4年 (工学部)
大 野	修 平	学部4年 (工学部)
竹 安	淳	学部4年 (工学部)
田 原	建 人	学部4年 (工学部)

## 5.3 研究概要

### 藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp/>)

#### 「部分合成のプログラム並列化への応用」

藤田昌宏, 宮坂幸雄, アシーシュ ミタル

近年, 論理回路の合成に用いられてきた部分合成手法をプログラムの合成に応用する研究が多く行われている. 本研究では, 並列処理環境を考慮に入れて, シングルスレッドのプログラムから並列プログラムを合成することを提案した. 大きいプログラムの並列化は現実時間では終了しないという課題に対し, 小さいプログラムの並列化で得られた解をもとに制約をかけることで, 探索空間を狭めて合成を可能にした.

#### テンプレートと状態遷移表現を利用したシステム最適化手法

藤田昌宏, 合田瑛洋

順序回路の形式的検証は入力と出力のシーケンス比較をする必要があるため組み合わせ回路の場合よりもはるかに難しく, FSM (Finite State Machine with Data-path) は本質的には順序回路を表していると言えるためその形式的検証も同じように難しい. そこで, false negative な性質を持つものの効率的な検証を行うことができるアルゴリズムである「Karfaの手法」が提案されたが, これによってシステムの部分合成に用いられる手法である「テンプレートベースの合成」をFSMに適用することができるようになった. 本稿では Karfa の手法とテンプレートベースの合成を用いてFSMの合成を行うアルゴリズムを提案し, 実験を通してその手法で実際に合成が可能であることを示した.

#### ECOのための高位記述自動合成手法とその応用

藤田昌宏, ガラバギ アミル マスード, 王 勤浩, 木村悠介

LSI設計では, ゲートレベル回路に最適化を施した後に仕様変更が発生することがある. この場合, 高位言語を修正して再合成することはせずに, 直接ゲートレベル回路を変更することがある. なぜなら, これまでの最適化の努力を無駄にしないためである. 本研究では, 修正したゲートレベル回路を用いて, 新しい高位記述を再生成する手法を提案した. 実験では, AES256暗号化などの規模のプログラムが扱えることを

示した.

#### 論理回路デバッグのための信号選択手法

藤田昌宏, ガラバギ アミル マスード, 木村悠介

ゲートレベル回路にバグが含まれていた際には, なるべく少ない変更でバグを取り除きたい場合がある. 本研究では, 直すべき素子がどこかは予め分かっていることを仮定して, 修正のために使用する内部信号を選択する手法を検討した. 提案手法は, 修正すべき場所が複数である場合でも高品質な解が得られ, 既存のベンチマーク回路に対して現実的な時間内で適用可能であることを確認した.

#### 部分論理合成

藤田昌宏, ガラバギ アミル マスード, 韓 暁冉

部分論理合成はある与えられた全体回路の一部が空白となっているとき, 空白部分を論理合成する技術であり, LUTを用いたQBF問題として定式化されてきた. LUTは実用的にはせいぜい16入力程度までであり, 空白部分は多数の入力を持つことができない. 本研究ではSOP (Sum of Product) とPOS (Product of Sum) に基づいたQBF問題として定式化する部分論理合成手法について示す.  $m$ 変数と $n$ 個の積 [和] をもつSOP [POS] はリテラルに関連付けられた係数の集合によって表現でき, 合成問題はQBF問題を解くことによって適切な係数値を見つける問題となる. 空白部分が16入力以上となるときはSOPとPOSによる定式化はLUTに基づく定式化よりも良いパフォーマンスを示すが, 回路によってパフォーマンスは異なる. 我々はISCAS89 ベンチマーク回路を用いた部分論理合成実験を行った. SOPに基づくQBF問題として定式化した場合, 27入力回路まで合成可能であった. 一方POSの場合は24入力回路まで合成可能であった.

#### テンプレートに基づいた高位部分合成

藤田昌宏, ガラバギ アミル マスード, 王 勤浩

この研究では, RTLレベルでの実装を高位レベルのECOに対して自動的にアジャストする手法を示す. 我々の手法は一部分がプログラム可能な回路に置き換えられた回路トポロジを持つデータパス構造に焦点を当てる. データパスの正しいコンフィグレーションを探索する問題はQBF問題として定式化され, SAT/

SMTソルバーを自動的にインクリメンタルに用いることによって解くことができる。いくつかの例によって提案手法の有効性が示された。

### 単一故障のテストパターンに基づいた2重縮退故障のためのATPG

藤田昌宏, ガラバギ アミル マスード, 王 培坤

本研究では2重縮退故障 (DSA) のための改良版インクリメンタルATPG手法について提案した。提案手法は4ステップから成る。回路の初期化, ATPGの初期化, 未検出のDSA故障の発見, 追加テストパターンの生成である。提案手法では与えられた全てのベンチマーク回路に対して完全なテストパターンを生成できることが実験結果から分かった。また, 過去の研究に比べ2桁以上速い処理速度を達成した。

## 池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

### 高性能暗号エンジンの実現

池田 誠, 栗野皓光, 杉山昇太郎, 荒川文男

クラウドからセンサノードまでスケラブルに高性能暗号を利用可能とする暗号エンジンの検討を行った。クラウドにおいて暗号文空間での演算を可能とする完全準同型暗号を用いることでアプリケーションの完全秘匿化が可能だが, 高速化が実用に向けての課題として残っている。本検討ではASICやFPGAなどのハードウェアもしくはGPGPUを用いて, 多項式演算の大規模バッチ処理により高速化の検討を行った。さらにASIC実装の検討によりCPU実装の1.45倍の速度向上が可能であることを示した。一方, センサノードでは実装資源の制約から公開鍵暗号の小面積実装が求められている。例えば256ビット乗算を16ビットまたは32ビット乗算器を複数回使用することで実現し面積削減を図っている。そこで, さらなる効率実装を実現すべく256ビットモンゴメリ乗算を256ビット掛ける2ビットの乗算に分解する方式を考案し, 32ビット乗算器を用いた方式に比べて2.3倍の速度と2.5倍の面積効率を実現した。

### 高機能暗号エンジンの検討

池田 誠, 栗野皓光, 古賀啓太郎, 蔡 純, 中山亮平

IoTの普及に伴い, クラウドにおけるデータ量が爆発的に増加し, 純粋なデータ暗号化では幅広いセキュリティリスクへの対処が困難となっている。暗号ドメ

インにおけるデータ処理・操作を可能とする準同型暗号の一種のPaillier暗号は加法的準同型特性を持ちながら, 軽量で高速暗号方式として知られており, 電子投票, 安全なバイオメトリクスなどの分野での幅広い応用が期待されている。ただ, データベース内の膨大な量のデータの処理には膨大な時間を要するため計算効率の向上が不可欠である。本研究では, Paillierの計算時間の短縮を目指したPaillier暗号化専用ハードウェアアーキテクチャの最適化の検討を行い, 高基数のMontgomery乗算により暗号演算処理の並列度を上げることで, 大幅に高速化の可能性を示した。

### PUF 個体認証システムにおける機械学習攻撃耐性の評価及び設計指針の検討

池田 誠, 栗野皓光, 飯塚知希

低コストかつ安全な個体認証を実現できる手法として近年注目されているPUF (Physically Unclonable Function) において, 機械学習攻撃に耐性があるとされるDouble-Arbiter PUF及びPL-PUFに対し, end-to-endの深層ニューラルネットワークを用いた攻撃を行い, 攻撃耐性を評価した。提案手法を用いることにより, Double-Arbiter PUFでは先行研究を21.1%上回る精度で未知のレスポンスを予測でき, PL-PUFでは予測するレスポンスbit及び発振周期数により予測精度が異なることを明らかにした。また実験結果を踏まえ, 機械学習攻撃耐性を高めるためのPUF個体認証システムの設計指針について検討した。

### 自己同期回路の設計

池田 誠, 崔 笛

本研究では, タイミングエラーを避けた高スループットのゲートレベルパイプライン型自己同期回路の設計に取り組んでいる。本研究で用いるデュアルパイプライン型自己同期回路の論理ゲートでは, 一つの終了検出信号で同じ論理の2つのDCVSL回路が交互に動作し, 一方のDCVSLが演算を行う際にもう一方のDCVSLがプリチャージを行うため, プリチャージによる時間のロスが存在しない。加えてゲートレベルでのパイプライン化によりスループットの向上が可能である。この自己同期方式を用いた演算器の設計を行うとともに, この方式を用いたプロセッサの実現の検討を行った。



## グローバルシャッター機能を有したテラヘルツ帯ビデオイメージングに向けた微弱信号の読み出し回路

池田 誠, 吉川 俊之

テラヘルツ帯ビデオイメージングデバイスにおいて、InAs MOS-HEMTにより検波された微小信号をデジタル信号へ変換しデバイスの外部へ読み出すための回路 (ROIC) を設計した。180nm CMOS プロセスにおいて試作されたチップには、 $8 \times 7$ のROICアレイが集積されており、三次元積層によって検波器と接続される。各ROICは、低雑音増幅器とロックインアンプ、 $\Delta \Sigma$ 変調器とデジタルフィルタからなる $\Delta \Sigma$ アナログデジタル変換器とInAs MOS-HEMTの特性を校正するためのデジタルアナログ変換器が実装されている。読み出しの対象となるピクセルの選択と $\Delta \Sigma$ ADCの出力値の読み出しはチップに集積されたSPIを介して行われる。また、グローバルシャッターを実現するために $8 \times 7$ のクロックサイクルですべてのピクセルの $\Delta \Sigma$ ADCの出力値を保持し、以降のサイクルで順次シリアル伝送するモードをSPIに実装した。さらに、ROICが動作中の温度を観測するためMOSFETのIV特性の温度依存性を利用した温度センサーを実装しその特性を測定した。

## スマートイメージセンサを用いた高機能計測手法とセキュアセンシング

池田 誠, 金 雄鉉, Vinod Gadde Vishwa,  
武田直嗣, 劉 玉清

イメージセンサに情報処理機能を統合したスマートイメージセンサに基づく高機能計測とセキュアセンシングの実現に取り組んでいる。高機能計測では、変調光投影に基づき背景光除去機能を有する3次元形状センサと、ワイヤグリッド偏光子を用いた鏡面反射検出機能を有するイメージセンサを提案し、回路実装・評価を進めている。セキュアセンシングでは、A/D変換器に暗号化機能を統合し、チップ外部への平文漏洩を抑えることで、より強固なセキュリティを実現できる回路方式を検討・試作評価している。

## 高宮研究室

(<http://icdesign.iis.u-tokyo.ac.jp/>)

## 積層セラミックコンデンサCMOSチップ上に直接実装したスイッチトキャパシタDC-DCコンバータ

高宮 真, 桜井貴康

メニーコアマイクロプロセッサにおけるコア毎の動的電源電圧制御向けに2通りの降圧比 ( $2/3$ と $1/2$ ) が切り替え可能なスイッチトキャパシタDC-DCコンバータを開発しました。180nm CMOSチップ上に4つの100nFの積層セラミックコンデンサ ( $0.4 \text{ mm} \times 0.2 \text{ mm} \times 0.2 \text{ mm}$ ) を直接実装した2.7V入力のスイッチトキャパシタDC-DCコンバータを試作し、出力電力密度62 mW/mm<sup>2</sup>において降圧型のスイッチトキャパシタDC-DCコンバータとしては世界最高効率92.9%を実現した。

## パワートランジスタ (IGBT) 駆動用の波形制御プログラマブルゲートドライバIC

高宮 真, 桜井貴康

パワーエレクトロニクスとLSIの異分野連携により、パワートランジスタ (IGBT) のゲート駆動電流をデジタルインタフェースで変えられるプログラマブルゲートドライバICを開発しました。IGBTのスイッチング過程におけるゲート電圧波形をAIを使って自動最適制御することにより、スイッチング時の損失低減とスイッチングノイズ低減を両立することができました。

## Luciola : 空間を飛び回るミリメートルサイズのLED光源を実現

高宮 真, 寛 康明, 川原圭博

超音波集束ビームを用いて空中浮遊・移動する直径4mmの極小LED光源を開発しました。無線給電を使用した電池の不要化と、LED点灯に必要な無線給電用受信回路の専用IC化の2点を工夫したことで小型・軽量化を実現し、超音波による微弱な力でも浮き上がらせることに成功しました。極小LED光源の空間中の移動と点灯・消灯はコンピューターから無線で制御でき、将来は手で触れる空中ディスプレイ向けの発光画素への応用が期待されます。

### 広帯域信号向け波形再生技術

飯塚哲也, ビヤムバドルジ ゴルポー

スパースで広帯域な信号の受信やコグニティブ無線を実現しうるサブナイキストサンプリングのアーキテクチャとしてMWC (Modulated Wideband Converter) が注目されている。また、自動試験装置などでは装置に搭載されたA/D変換回路のサンプリングレートが限られているため、広帯域で動作するデバイスの計測試験にMWCを用いることで低コスト化が達成できる可能性がある。

本研究ではMWCのスパースで広帯域な信号に対する測定器としての実現可能性について調査を行った。MATLABでMWCのシミュレーションモデルを作成し、理想的な条件においてはMWCシステムが広帯域な入力信号を再構築できることを示した。しかしMWCの実装を行う場合、非理想素子やノイズなどの影響で適切に動作しない可能性がある。そこでノイズ耐性について、MWCの雑音指数を推測するためにANF(Average Noise Figure)を解析的に導出した。そしてノイズを考慮したMATLABシミュレーションでこの式が妥当であることを確認した。

### アナログ集積回路設計自動化・最適化技術

飯塚哲也, 徐 祖楽, 小島尚輝, 長田 将

プロセス微細化に伴いデジタル回路の性能は著しく向上しており、信号処理における大部分はデジタル処理がなされている。一方、アナログ世界とのやりとりを行うデータ変換器や、クロックを生成する位相同期回路、電源回路は未だにアナログ回路部分として残されている。これらの回路設計を自動化することにより、信号処理系全体の設計における歩留まり・コスト改善に大きく貢献できると考えられる。本研究では、それらの回路に関して、商用の自動配置配線ツールを用いた設計法を提案する。本年度は、逐次比較レジスタ型アナログ-デジタル変換回路(SAR型ADC)、注入同期を用いた位相同期回路(PLL)、低ドロップアウト電圧レギュレータ(LDO)に関して省力化された設計法とアーキテクチャを研究した。SAR型ADCの設計においては、スタンダードセルを用いて、抵抗性DACと、4入力電圧比較器、トラックホールド回路を設計した。分解能を6ビットとして回路全体を設計し、実測により動作を検証した。PLLは注入同期を用いたアーキテク

チャとなっており、低ジッタ・低位相雑音となるよう設計を進めている。LDOの設計においては、電圧制御遅延線と位相比较器を組み合わせることで正確な電圧比較器を実現し、回路全体を自動配置配線を用いて作成した。チップ測定により、負荷電流やリファレンス電圧の変化に対する電圧の追従性が確かめられた。

また、アナログ集積回路の最適化技術に関する研究として、高性能なTDC (Time to Digital Converter) のクロック生成に用いるDLL (Delay Locked Loop) の設計を行った。TDCはADPLL (All Digital Phase Locked Loop) や測定など様々な場で用いられている要素回路である。DLLの構成としては1GHzの入力に対して16段の遅延素子を用いた。高い分解能を持つTDCを実現するため、DLLに求められる仕様として入出力間のオフセットが2psであること、そして各遅延素子で生じる遅延が理想的な値から $\pm 2$ psの範囲にあることが挙げられた。まずCP (Charge Pump), PFD (Phase Frequency Detector), そしてバッファの熱雑音によって生じる出力におけるジッタを計算およびシミュレーションで求め、これらが許容範囲内に収まるように素子のパラメータを決めた。またCPの mismatchを低減するためにカスコード/マルチパスアーキテクチャを用い、シミュレーション上でオフセットを600fsに抑えることに成功した。最後に回路を設計した際のプロセスばらつきを考慮し、容量アレイを用いたキャリブレーション機構を用いた。 $\pm 10$ ps内のオフセットに対して1psの精度で修正できることをシミュレーションで確認した。

### 時間領域制御を用いたアナログ集積回路設計技術

飯塚哲也, 徐 祖楽, 陳 明翰, 王 璟

デジタル回路がプロセス微細化の恩恵を受ける一方、アナログ回路は電圧ヘッドルームの減少などといった負の影響を被っている。時間領域回路ではデジタル信号のエッジ遷移によってアナログ信号を表現するので、微細プロセスにおけるアナログ回路の問題の解決策となりうる。

特にIoT機器においては、システムが必要な時だけ起動し、それ以外の時間は待機状態にあることが多い。起動開始からPLLがロックするまでの間の待機状態における消費電力を削減するため、PLLの高速起動が課題となる。Pulse-Width PLL (PWPLL) はアナログ-デジタル混載で、ローパスフィルターを用いずに、Soft Thermometer Code (STC) で出力周波数を制御し、面積効率には有利である。PWPLLの大部分はデジタル

であるPLLで、自動配置配線との相性が良い。本研究ではPulse-Width PLL (PWPLL) 起動時間を短縮し、システムの消費電力を減少するため、ロック時のフィードバック系パラメータ (=目標値) を記憶し、次回起動時にパラメータを再現する手法を用いた。従来の高速起動PWPLLは人手設計でレイアウトを作成するが、時間がかかり、仕様の調整も難しい。本研究では、レイアウト設計を省力化するため、自動配置ツールを用いてレイアウト作成し、人手設計と同等な性能を持つ高速起動PWPLLを設計した。

また、時間領域回路の代表例として時間デジタル変換器がある。時間デジタル変換器は素子の持つ伝搬遅延時間を利用して2つの立ち上がり信号の持つ時間差をデジタル信号に変換する回路であり、本研究ではゲート遅延以下の高分解能を達成する方式の1つであるパルス縮小型時間デジタル変換器に注目した。一般に、時間デジタル変換器では分解能と入力範囲との間にトレードオフが存在し、特にパルス縮小型時間デジタル変換器においてはそれが顕著である。これに対し前年は階層化構造により高分解能かつ入力範囲を広げた時間デジタル変換器を試作したが、実際に測定したところプロセスばらつきによる非線形性が大きいことが分かった。そこで本年はモンテカルロシミュレーションにより、プロセスばらつきがパルス縮小型時間デジタル変換器に与える影響を検討し、対策を施したチップを試作した。

時間デジタル変換器には様々な応用例があり、Cycle Lock Gated Oscillator (CLGO) を利用したクロックデータ再生回路 (CDR回路) もその一つである。このCDR回路は、待機状態でダイナミック電力を消費せず、かつ4ビットのプリアンプで高速に起動することが出来るため、通信状態の消費電力だけでなく、待機状態での消費電力や待機状態からの復帰速度も重要となってくる。センサーネットワークやモバイル機器といった、間欠的にシリアル通信を行うようなシステムの消費電力削減に効果的である。本研究では、データレート向上や消費電力削減を目指し、遅延制御バッファとバーニア型TDCを用いたCDR回路を提案し、試作チップにて遅延制御バッファの遅延制御や線形性、デジタル制御器によるフィードバック制御などを確認するとともに2.3GbpsのPRBSデータ通信における高速起動を実証した。

## 誘電体導波路通信に向けた高周波回路設計

飯塚哲也, Nguyen Ngoc Mai-Khanh, 大槻宜孝, 山崎大輔, 原 崇文

近年ミリ波帯を用いて広い帯域を利用した高速通信の研究が盛んに行われ、通信速度を維持しながらも低コストかつ通信距離を拡大する方法方法としてポリマーなどの誘電体材料を導波路として用いて有線通信を行う方式が提案され研究の幅を広げている。

本研究では140GHzで発振する電圧制御発振器 (VCO) の設計を行った。発振器は通信を伴う全てのシステムにおいて必須の回路である。この回路において100GHzを超える超高周波帯で動作し、低位相雑音を維持しつつ小面積かつ低消費電力を実現することは難しい。これらの課題を解決するために周波数二通倍器を用いて140GHzの信号を作り出すことを検討し、各ブロック間のインピーダンス整合回路を取り除くことで上記に示した課題を解決する方法を提案した。また提案回路がこの課題を解決していることを実測にて確認した。

送受信機では発振器によって生成された信号に対して変調及び増幅を行う必要がある。本研究では変調方式としてon-off変調を採用し、低損失かつ高いon-off比を持つon-off変調器のアーキテクチャを提案した。この変調器について65nmCMOSプロセスにて実装を行い、測定によって高on-off比、低損失で動作していることを実測により確認した。さらに同プロセスにて電力増幅回路を実装し、140GHzの信号の増幅を可能とすることを確認した。

また、本研究では誘電体導波路通信におけるオンチップアンテナの基板除去による損失低減を目的としている。そこでRohm社の0.18 $\mu$ mプロセスを用いて実測に必要な要素回路の作成を行なった。また、実測に必要となるディエンベディング手法の評価を行なった。さらに、誘電体導波路の信号伝達特性を実測により評価した。

## 高速通信路におけるクロストーク低減手法

飯塚哲也, 高橋奈悟

半導体プロセスの微細化による回路の性能向上にともない、有線通信の速度は向上している。また映像機器の高解像度化や自動車の電装化によりアプリケーションに必要なデータレートも向上している。技術・需要の両面から通信を高速化する必要があるが、それを妨げる要因の1つとなっているのが、クロストークである。クロストークの対策として、先行研究では受信



回路でクロストークを低減する手法が提案されていた。本研究では先行研究をもとに、送信回路で遅延調整回路やハイパスフィルタを用いてクロストークを低減する手法を提案した。シミュレーションを用いて、その手法がより効果的にクロストークを低減できる可能性があることを示し、40nmプロセス技術を用いてクロストークキャンセル回路の設計を行った。

## 三田研究室

(<http://www.if.t.u-tokyo.ac.jp>)

### Programmable Matterプロジェクト-エネルギー自立型分散マイクロシステムによる形状可変体

三田吉郎, 宇佐美尚人, ユリアック ゲン,  
エリック ルブラスール (CNRS LIMMS 研究所),  
ジュリアン ブルジョワ (仏 FEMTO-ST 研究所),  
ブノワ ピランダ (仏 FEMTO-ST 研究所),  
ステファン ドラランド (仏 PSA-Peugeot)  
集積化 MEMS (微小電気機械システム) のトップダウンアプリケーションとして、自立マイクロシステムの研究を行っている。「大きさ1cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。2016年度より、集積化マイクロメカトロニクス研究室 (東京大学生産技術研究所 LIMMS, CNRS-IIS, UMI 2820) Host Professor の立場でフランス共和国国立研究エージェンシー (ANR) の助成を得て、仏 FEMTO-ST 研究所と PSA-Peugeot との産学共同で「組み合わせにより集合の形状変化が可能な自律マイクロロボット Programmable Matter」の研究を開始している。特に、水中で自立泳動するマイクロシステムの実現と背景物理の理解に研究目標を定めている。2018年度は、直径1 mm~10mmまでの異なる直径の微小構造体を試作し、外部インフラストラクチャ側から静電引力を印加してアクチュエーション動作を行い、知見を得た。

### 電子線リソグラフィと MEMS プロセスによる微細電極構造の流体素子への集積化作製手法の研究

三田吉郎, 肥後昭男, 竹城雄大, 岡本有貴,  
鷲津信栄 (アドバンテスト),  
高田晃広 (アドバンテスト), 藤原誠, 澤村智紀,  
浅田邦博  
電極構造の微細化によるセンサ素子の更なる高感度

化、高機能化を目指し、電子線リソグラフィと MEMS 加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。局所的に測定電極を集積化した微細孔構造や、マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御に取り組んでいる。

### 電子線リソグラフィによる大面積精細描画手法の研究

三田吉郎, 肥後昭男, 藤原 誠, 澤村智紀,  
瀧澤昌弘 (アドバンテスト),  
工藤靖明 (アドバンテスト)

従来垂直水平方向 (矩形) に限られ表現能力に乏しかった大面積電子線描画技術を高度化する。VDEC に平成25年に新規導入された高速大面積電子線描画装置 F7000S-VD02 の持つ高ドース対応性、セル (キャラクター) プロジェクション方式による鮮明なエッジを利用して、自由曲面や繰り返し微細構造などの描画を可能とする。曲率を持つ微細構造の近似表現手法を、定量的に評価するための手法として、レーストラック型の吸収構造 (ノッチフィルタに相当する) をテスト構造として用い、光吸収スペクトラムによって近似手法の効果を定量化する評価手法を提案実証した。

### CMOS-VLSI の MEMS 後加工による高機能システムの産学連携研究

三田吉郎, 稲垣俊典, 栗山大成,  
佐藤善亨 (ナノックスジャパン), 大野智輝 (ソニー)

VDEC を通じて試作した VLSI ウェーハを、武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作、評価する研究を行っている。後加工に関する知見として、トランジスタが作製された直後 (配線前) のウェーハ引き渡しを受け、熱工程を伴う後加工プロセス (成膜, インプラ, ドライブイン) を施してもトランジスタ特性の劣化はそれほど進行しないこと、VLSI をあらかじめ Silicon-on-Insulator (SOI) 基板の上に配置した構造を MEMS 後加工できることなどが分かっている。共同研究開発する素子の種類は共同研究先との相談により様々だが、作製テクノロジーは共通のものを利用できるところが産業的に重要である。数多くの企業の興味を引き、各社との共同研究ベースで電子デバイスの試作が進んでいる。



### 集積化MEMSによる高感度超音波プローブの研究

三田吉郎, 山口龍太郎, 宇佐美尚人, 肥後昭男,  
吉村 武 (大阪府立大学), 水野 隆 (コニカミノルタ),  
鈴木謙次 (コニカミノルタ),  
中山雄太 (コニカミノルタ),  
遠藤登喜子 (名古屋医療センター)

CMOS-VLSIのMEMS後加工と同一のスキームを用い、圧電材料と集積しかつMEMS構造とすることによって、医療診断などに用いることが出来る超音波プローブ素子の従来比100倍の高感度化が可能となることが、共同研究によって示されている。2018年度より日本医療研究開発機構 (AMED) 公的資金を受託し (「送受相補型圧電MEMSによる乳がん検診用高感度超音波プローブの研究」代表: 吉村武准教授), 応用研究を加速している。

### 集積化MEMSによるLSIホットスポットアクティブ冷却システムの研究

三田吉郎, 岡本有貴, 藤本興治 (東工大),  
良尊博之 (東工大), 大場隆之 (東工大)

特定の回路ブロックの発熱がパッシブな放熱機構の限界を超えることで局所的に生ずる高温部分「ホットスポット」が高集積VLSIの高速動作を妨げる物理要因として注目されている。冷却用液体を対流させて熱を引き抜くアクティブ冷却システムを研究している。電気浸透流を用いたポンプ, CMOS後加工で電気浸透流に必要な高電圧を発生させる回路, ならびに電気浸透流を決定する重要な物理定数である $\zeta$ 電位を, 対象表面に接触させるだけで測定可能となる「Stick-On」型の測定素子の開発を行った。

### ワイヤボンディングを可能とするプローブパッドのCMOS後加工作製と影響評価

三田吉郎, 岡本有貴, 肥後昭男, 水島彩子,  
木下 純 (ネクスティエレクトロニクス)

集積回路の故障診断技術高度化を目的とした共同研究。VDECにおいても故障診断・修正のために集束イオンビーム (FIB) 装置を所有しているが、膜付けできる材料が装置の構成によって限定されており、例えばVDEC所有の集積回路用FIB装置 (FEI V400ACE) ではタングステンであり、ワイヤボンディングが不可能である。その一方で、評価基板に実装した状態でテストを行うために、「FIB配線を行ったパッドにワイヤボンディングを行う」という社会的需要が一定数見込まれる。そのため、VDECで試作したテスト基板に

パッド後加工ならびにボンディングを施し、後加工が性能に与える悪影響の存在を評価した。シリコン深掘り加工でシャドウマスクを構成、配線を行い、直下のトランジスタアレイ構造の閾値変化を観測したが目立った変化は認められなかった。

### ゼオライト・エレクトロニクス・ナノストラクチャ (ZEN) による集積化ケミカルセンサ

三田吉郎, 山田健太郎, 岡本有貴,  
マチュー ドヌアル (仏ENSIカーン校),  
ティクシエ三田アニエス (東大先端研),  
エリック ルブラスール,  
フセイン アワラ (仏ENSIカーン校),  
ジュリアン グラン (仏ENSIカーン校),  
スベトラナ ミントヴァ (仏ENSIカーン校)

VLSIと集積化したコンパクトなマイクロデバイスによって人間の持つ感覚器官では検出不可能な領域の物理・化学量を測定することは、MEMSの持つ大いなるポテンシャルの応用分野の一つである。本研究グループは長年この課題に取り組んでおり、2015年度より日本学術振興会 (JSPS) フランス科学研究センター (CNRS) の二国間研究交流事業に採択され、VLSIにとっては異種材料であるゼオライトを集積化し、さらにMEMS後加工を施すことによって、化学物質を検知するCMOS-MEMSデバイスの研究を行った。デバイスとして入力した熱エネルギーによる温度上昇速度の雰囲気化学物質濃度に応じた変調によって検出するタイプの2種類のMEMSデバイスを論文発表するとともに、集積回路素子として試作された電子部品をセンサ入力部として利用する自己検出回路の集積化を行った。

### 複数高周波信号への機械応答を用いた非侵襲マルチモーダル細胞解析並列集積システム

三田吉郎, 槌屋 拓, 岡本有貴, 水島彩子,  
エリック ルブラスール,  
シャルル モスロンカ (仏ENSパリサクレール校),  
ブルノ ルピュウフル (仏ENSパリサクレール校),  
ティクシエ三田アニエス (東大先端研),  
オリビエ フランセ (仏パリ東大学ESIEE校),  
フレデリック マーティー (仏パリ東大学ESIEE校)

細胞などの液体中の微細構造を、電気的手法によって非侵襲的に測定する方法として、高周波信号による回転電界に対する測定対象の機械応答を計測する手法 (電気回転測定法) が知られている。2018年度より日本学術振興会 (JSPS) フランス科学研究センター

(CNRS) の二国間研究交流事業に再び採択され、制御回路ならびに検出回路を集積化したCMOS-MEMSデバイスによる並列化・広帯域化を目指した研究を開始している。ナノテクノロジープラットフォームを通じて公開利用可能な厚膜メッキ技術を習得し、実験により垂直方向の高さ制御が困難であることが示され、課題を解決するデバイスを試作し効果を実証した。

### LSI一体集積を指向したコロイドドット材料集積化シリコン赤外線受光器

肥後昭男, Wang Haibin, 久保貴哉, 宇佐美尚人, 岡本有貴, 山田健太郎, 瀬川浩司, 三田吉郎

コロイド量子ドットを用いた電子デバイスは発色デバイスや太陽電池などの分野で研究・実用化が進んでいる。センサ分野での研究開発は遅れているが、1.35 $\mu$ m-1.4 $\mu$ m帯で感度を得られる赤外フォトダイオード集積LSIが実現できれば、屋外使用を想定したLidarやセキュリティを始めとした新たな幅広い応用分野への展開が期待できる。本研究では、可視から赤外波長領域までの広帯域吸収スペクトルを分子デザインによってトップダウン設計可能なコロイド量子ドットに注目し、コロイド量子ドットをSi-LSIに集積化することで、Siの素の物性では吸収できない赤外領域に感度を持ち、かつ、読み出し・情報処理回路が集積されたbeyond Si-LSIデバイスの実現を提案している。シリコン基板にスピニング法でコロイドドット素子を作製し、吸収スペクトルの向上を示すことができた。

### サイバーフィジカルシステム応用に向けた無電力最大加速度センサ開発

三田吉郎, R Ranga Reddy

VDECの研究室が共同して、インドIITボンベイ校との共同研究プロジェクトを立ち上げている。当研究室ではサイバーフィジカルシステムのセンサ応用例として、2014年度まで先行研究を行っていたショック共振スペクトルセンサ(SRS)を取り上げ、作製法の再習得を行った。特筆する成果として、無電力で最大加速度を設計で定めた段階(設計では10段階)に分割して取得記録するデバイスの試作実験に成功した。

### LSIハイブリッド集積のためのLSIポストプロセス手法の開発

三田吉郎, 宇佐美尚人, 太田悦子, 肥後昭男, 百瀬毅(マテリアル工学専攻)

ナノテクノロジープラットフォームでの公開を目指

した高度集積化技術を内部プロジェクトとして開発している。超臨界状態の流体を用いた化学合成(SCFD)により、バリア金属(TiN等)上へ密着性良く成膜できるための基板の洗浄条件並びに製膜条件を網羅的に調査し、結果として、製膜された薄膜を後加工(特にメッキによる厚膜化の種層)利用することが可能になるまで高度化することに成功した。

## 高木・竹中研究室

(<http://www.mosfet.k.u-tokyo.ac.jp/>)

### III-V/Ge Metal-Oxide-Semiconductor (MOS) FETとその3次元集積化に関する研究

高木信一, 竹中 充,

トープラサートボン カシディット, 柯 夢南, 曹 光元, 林 澈敏, 李 宗恩, 尹 尚希, 横山千晶, 王子龍, 隅田 圭, 竹安 淳

高性能III-V族半導体MOSFETおよびGe/SiGe MOSFETを実現すると共に、これらの高移動度MOSFETを3次元的に集積したCMOSを形成するための研究を行っている。電子移動度が高いInAs薄膜チャネルを形成するためのスマートカット技術の研究を進めた。水素イオン注入条件を最適化することで、InAsスマートカットに成功し、極薄膜InAs-on-insulator基板の作製に成功した。酸化濃縮を用いたGe-on-insulator (GeOI) MOSFETの研究も進めている。酸化濃縮後の冷却時間を長くすることで、Ge-OI基板の歪み緩和を大幅に低減し、1.5%以上の大きな圧縮歪みを持ったGe薄膜を得ることに成功した。

### トンネルFETに関する研究

高木信一, 竹中 充,

トープラサートボン カシディット, 加藤公彦, 裴 泰彦, 安 大煥, 高口遼太郎

省電力動作が可能なステープスロープトランジスタとしてトンネルFETの研究を進めている。横型InGaAs TFETやGe TFET, GaAsSb/InGaAsヘテロ接合, Ge/歪Siヘテロ構造, ZnO/Si, Geヘテロ構造を用いたTFETの研究を進めている。InGaAs TFETにおいては、ZrO<sub>2</sub>ゲート絶縁膜を用いたEOTスケーリングにより、49 mV/dec.とこれまでで最も低いサブレスショルドスロープ値を与えることに成功した。

### 強誘電体ゲート絶縁膜MOSFETに関する研究

高木信一, 竹中 充,  
トープラサートボン カシディット, 加藤公彦,  
林 早陽, 田原建人

強誘電体をゲート絶縁膜に用いたMOSFETの研究を行っている。ALD法によりSi上に堆積したHfZrO<sub>2</sub>において強誘電性とMOSFET動作を確認した。

### 光配線LSIに関する研究

竹中 充, 高木信一,  
トープラサートボン カシディット, 李 強,  
関根 尚希, 程 鵬遠, 呂 東晟, 陳 乾峰, 吳 冬睿,  
宮武悠人

シリコンフォトンクス等を用いてLSIの配線やI/Oを光化する研究を進めている。InGaAsP薄膜をシリコン光導波路上に貼り合わせたハイブリッドMOS構造に逆バイアスを印加することで、キャリア空乏に加えて、フランツ・ケルディッシュ効果により効率的な光変調が可能であることを明らかにした。また、人工知能の一種である進化戦略を用いて高効率グレーティングカブラの自動設計に成功した。ウェハーボンディングで作製したIII-V on Insulator基板上にIII-V MOSFETとIII-V細線導波路を一体集積するIII-V CMOSフォトンクス技術を用いた超高速光変調器の研究も進めている。InPスロット導波路にEOポリマーを組み合わせることで、極めて高速な光変調器が実現可能であることを数値解析で明らかにした。

### AI用シリコン光回路に関する研究

竹中 充, 高木信一,  
トープラサートボン カシディット, 李 強,  
大野修平

ユニバーサル光回路などのプログラマブル光回路を用いたAI用深層学習の研究を進めている。III-V/SiハイブリッドMOS型光位相シフタを用いたプログラマブル光回路を提唱し、学習可能であることを数値計算により明らかにした。また新たにリング共振器クロスバーアレイを用いた深層学習用シリコン光回路を提唱した。

### Ge中赤外光集積回路に関する研究

竹中 充, 高木信一,  
トープラサートボン カシディット, 何 鐘培,  
趙 子強, 藤垣 匠

Ge-on-insulator (GeOI) 基板上に形成したGe導波

路を用いた中赤外光集積回路の研究を進めている。GeOI基板の高品質化を進めた結果、高いQ値を持ったリング共振器の実証に成功すると共に、高効率熱光学位相シフタの動作実証に成功した。

### 二次元材料デバイスに関する研究

竹中 充, 高木信一,  
トープラサートボン カシディット, ロダ ヌル,  
湯 涵智, 張 曉軒

グラフェンや二硫化モリブデンを用いた半導体デバイスの研究を進めている。グラフェンを用いた導波路型黒体放射光源を新たに提唱し、数値計算により良好な動作が可能であることを明らかにした。

## 5.4 研究発表

### 藤田研究室

#### 研究論文

1. Heming Sun ; Zhengxue Cheng ; Amir Masoud Gharehbaghi ; Shinji Kimura ; Masahiro Fujita: Approximate DCT Design for Video Encoding Based on Novel Truncation Scheme: IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 66 , pp. 1517 – 1530 (2019)
2. Binod Kumar ; Kanad Basu ; Masahiro Fujita ; Virendra Singh: Post-Silicon Gate-Level Error Localization with Effective & Combined Trace Signal Selection: IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (accepted)
3. Y. KIMURA, A. M. GHAREHBAGHI, M. FUJITA: C Description Reconstruction Method from a Revised Netlist for ECO Support: IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E101-A, No.4, pp.685-696

#### 国際会議

1. Yukio Miyasaka, Ashish Mittal, Masahiro Fujita: Synthesis of Algorithm Considering Communication Structure of Distributed/Parallel Computing: International Symposium on Quality Electronic Design (ISQED) 2019, March 2019: Session 1A.4
2. Peikun Wang, Amir Masoud Gharehbaghi, Masahiro Fujita: Automatic Test Pattern Generation for Double Stuck-at Faults Based on Test Patterns of Single Faults: International Symposium on Quality Electronic Design (ISQED) 2019, March 2019: Session 4B.3
3. Ankit Jindal ; Binod Kumar ; Nitish Jindal ; Masahiro Fujita ; Virendra Singh: Silicon Debug with Maximally Expanded Internal Observability Using Nearest Neighbor Algorithm: 2018 IEEE Computer Society Annual Symposium on VLSI (ISVLSI), July 2018: pp. 46-51: DOI: 10.1109/

ISVLSI.2018.00019

4. Darshit Vaghani ; Satyadev Ahlawat ; Jaynarayan Tudu ; Masahiro Fujita ; Virendra Singh: On Securing Scan Design Through Test Vector Encryption: 2018 IEEE International Symposium on Circuits and Systems (ISCAS): May 2018: DOI: 10.1109/ISCAS.2018.8351212

#### 国内学会, 研究会等

1. 王 培坤・アミル マサウド ガラバギ・藤田昌宏, 「多重縮退故障用インクリメンタルテストパターン自動生手法」電子情報通信学会技術研究報告信学技報 VLD2018-74 (2019).
2. Xiaoran Han・Amir Masoud Gharehbaghi・Masahiro Fujita, “Partial logic synthesis by using sum of products or product of sums based quantified boolean formulae,” システムとLSIの設計技術研究会 (IPJS-SLDM) 2018年5月, VLD2018-1
3. 合田 瑛洋, 藤田 昌宏, 「テンプレートと状態遷移表現を用いたシステム最適化手法」システムとLSIの設計技術研究会 (IPJS-SLDM) 2018年5月
4. 宮坂 幸雄, 藤田 昌宏, 「複数コア/FPGAチップ間の通信構造に配慮したアルゴリズムの自動合成」システムとLSIの設計技術研究会 (IPJS-SLDM) 2018年5月

### 池田研究室

#### 論文

- [1] M. Ikeda and K. Chang, "Introduction to the Special Issue on the 2017 Symposium on VLSI Circuits," in IEEE Journal of Solid-State Circuits, vol. 53, no. 4, pp. 965-967, April 2018.
- [2] S. SUGIYAMA, H. AWANO, and M. IKEDA, "Low Latency 256-bit Fp ECDSA Signature Generation Crypto Processor," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E101-A, No. 12, pp. 2290-2296, Dec. 2018.
- [3] H. AWANO, T. ICHIHASHI, and M. IKEDA, "An



ASIC Crypto Processor for 254-Bit Prime-Field Pairing Featuring Programmable Arithmetic Core Optimized for Quadratic Extension Field," IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E102-A, No.1, pp.56-64, Jan. 2019.

- [4] U. Kim, and M. Ikeda, "An image sensor with in-pixel selective-charge-subtraction circuits for selective light detection," IEICE Electronics Express, Vol. 16, No. 4, Feb. 2019.
- [5] T. Hamada, T. Takeuchi, T. Aoki, M. Kozuma, T. Ikeda, M. Ikeda, and S. Yamazaki, "An Oxide - Semiconductor - FET - Based Dynamic Logic Circuit for Wearable Systems," SID 2019, Vol. 50, No. 1, June 2019.

#### 国際会議

- [6] K. Koiwa, D. Fujimoto, Y. Hayashi, M. Nagata, M. Ikeda, T. Matsumoto, and N. Homma, "EM security analysis of compact ECDSA hardware," 2018 IEEE International Symposium on Electromagnetic Compatibility and 2018 IEEE Asia-Pacific Symposium on Electromagnetic Compatibility (EMC/APEMC), pp. 12-12, May 2018.
- [7] U. Kim and M. Ikeda, "A Study on Pixel Circuit with Compensation of Background Light Using Current Mirror," 2018 IEEE SENSORS, pp. 1-4, Oct. 2018.
- [8] V. V. Gadde, H. Awano and M. Ikeda, "An Encryption-Authentication Unified A/D Conversion Scheme for IoT Sensor Nodes," 2018 IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 123-126, Nov. 2018.
- [9] S. Sugiyama, H. Awano and M. Ikeda, "31.3  $\mu$ s/Signature-Generation 256-bit Fp ECDSA Cryptoprocessor," 2018 IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 153-156, Nov. 2018.
- [10] H. Awano and M. Ikeda, "ASIC Coprocessor for 254-bit Prime-Field Pairing based on General Purpose Arithmetic Unit on Quadratic Extension Field," 2018 International Conference on Advanced Technologies for Communications (ATC), Ho Chi Minh City, 2018, pp. 387-392.

- [11] [Invited] M. Ikeda, "Optimization of Cryptography Hardware Design," NTU-UTokyo EE Session Workshop, Dec. 2018.
- [12] [Keynote] M. Ikeda, "Exploring Elliptic Curve based cryptography hardware design," Asian Hardware Oriented Security and Trust Symposium (AsianHOST), Dec. 2018.
- [13] H. Inoue, T. Aoki, F. Akasawa, T. Hamada, T. Takeuchi, K. Nei, T. Seki, Y. Yakubo, K. Takahashi, S. Fukai, T. Ishizu, M. Kozuma, R. Tajima, T. Matsuzaki, T. Ikeda, M. Ikeda, and S. Yamazaki "12.2 Micro Short-Circuit Detector Including S/H Circuit for 1hr Retention and 52dB Comparator Composed of C-Axis Aligned Crystalline IGZO FETs for Li-Ion Battery Protection IC," 2019 IEEE International Solid-State Circuits Conference - (ISSCC), pp. 204-206, Feb. 2019.
- [14] H. Awano, and M. Ikeda, "FourQ on ASIC: Breaking Speed Records for Elliptic Curve Scalar Multiplication," 2019 Design, Automation and Test in Europe Conference (DATE), pp. 1733-1738, March 2019.

#### 国内研究会

- [15] [招待講演] 池田誠, "高電力効率な高機能暗号の実現に向けたハードウェア実装," 電子情報通信学会, LSIとシステムのワークショップ2018, 2018年5月.
- [16] 金 雄鉉, 池田 誠, "背景光複写型画素回路の検討," 電子情報通信学会, LSIとシステムのワークショップ2018, 2018年5月.
- [17] 栗野 皓光, 池田 誠, "超高速な楕円曲線暗号の実現に向けたFourQのASIC実装," 電子情報通信学会, LSIとシステムのワークショップ2018, 2018年5月.
- [18] [招待講演] 池田誠, "ハードウェアセキュリティと高速・低電力暗号エンジンの実現," 第3回 IoTセキュリティフォーラム, 2018年7月.
- [19] 古賀啓太郎, 栗野皓光, 池田誠, "格子暗号向け高精度ガウス乱数生成器のハードウェア実装", 電子情報通信学会ハードウェアセキュリティ研究会, HWS2018-49, 2018年10月.
- [20] 古賀啓太郎, 栗野皓光, 池田誠, "ASIC実装に向けたMicciancio-Walterアルゴリズムにおけるペー

スサンプラー設計”, 電子情報通信学会ハードウェアセキュリティフォーラム2018, 2018年12月.

- [21] 飯塚知希, 粟野皓光, 池田誠, “深層ニューラルネットワークを用いたDouble-Arbiter PUFに対するEnd-to-Endモデリング攻撃,” 電子情報通信学会ハードウェアセキュリティフォーラム2018, 2018年12月.
- [22] 杉山昇太郎, 伊藤忠彦, 磯部光平, “ハードウェアセキュリティモジュールへの耐量子計算機暗号の実装と評価,” 2019年暗号と情報セキュリティシンポジウム, 1D1-5, 2019年1月.
- [23] 古賀啓太郎, 粟野皓光, 池田誠, “Micciancio-Walterアルゴリズムを用いた高速なガウシアンサンプラーの設計”, 電子情報通信学会ハードウェアセキュリティ研究会, HWS2018-82, 2019年3月.
- [24] 飯塚知希, 小笠原泰弘, 片下敏宏, 堀洋平, 粟野皓光, 池田誠, “PUFを用いた個体識別システムにおける機械学習攻撃に対する脆弱性の評価,” 電子情報通信学会ハードウェアセキュリティ研究会, 2019年3月.
- [25] 武田 直嗣, 池田 誠, “偏光子を離散配置したCMOSイメージセンサによる部分偏光検出,” 映像情報メディア学会技術報告, Vol.43, No.11, pp.37-40, 2019年3月.

#### 国内大会

- [26] 飯塚知希, 粟野皓光, 池田誠, “ベイズ最適化を用いたDouble-Arbiter PUFに対する機械学習攻撃向け深層ニューラルネットワークのハイパーパラメータ最適化,” 電子情報通信学会ソサイエティ大会, A-20-7, 2018年9月.
- [27] C. Cai, H. Awano, and M. Ikeda, “Implementation of Paillier Cryptographic Circuit with High Radix Arithmetic Unit,” 電子情報通信学会ソサイエティ大会, A-20-8, 2018年9月.

#### 解説記事

- [28] 池田 誠, “セキュアなLSI設計,” 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, 2018年12巻2号, pp. 126-132, 2018年10月.

## 高宮研究室

### 研究論文

- [1] C.-S. Wu, M. Takamiya, and T. Sakurai, “Clocked Hysteresis Control Scheme With Power-Law Frequency Scaling in Buck Converter to Improve Light-Load Efficiency for IoT Sensor Nodes,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 26, No. 6, pp. 1139-1150, June 2018.
- [2] H. Obara, K. Wada, K. Miyazaki, M. Takamiya, and T. Sakurai, “Active Gate Control in Half-Bridge Inverters Using Programmable Gate Driver ICs to Improve Both Surge Voltage and Converter Efficiency,” IEEE Transactions on Industry Applications, Vol.54, No.5, pp. 4603 - 4611, Sep./Oct. 2018.
- [3] T. Sai, Y. Yamauchi, H. Kando, T. Funaki, T. Sakurai, and M. Takamiya, “2/3 and 1/2 Reconfigurable Switched Capacitor DC-DC Converter With 92.9% Efficiency at 62 mW/mm<sup>2</sup> Using Driver Amplitude Doubler,” IEEE Transactions on Circuits and Systems—II: Express Briefs, Vol. 65, No. 11, pp. 1654 - 1658, Nov. 2018.
- [4] T. Someya, A. K. M. M. Islam, T. Sakurai, and M. Takamiya, “An 11-nW CMOS Temperature-to-Digital Converter Utilizing Sub-Threshold Current at Sub-Thermal Drain Voltage,” IEEE Journal of Solid-State Circuits, Vol.54, No.3, pp. 613 - 622, March 2019.
- [5] T. Someya, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, “A 0.90–4.39-V Detection Voltage Range, 56-Level Programmable Voltage Detector Using Fine Voltage-Step Subtraction for Battery Management,” IEEE Transactions on Circuits and Systems—I: Regular Papers, Vol. 66, No. 3, pp. 1270 - 1279, March 2019.

### 国際会議論文

- [1] T. Someya, A.K.M. M. Islam, T. Sakurai, and M. Takamiya, “A 13nW Temperature-to-Digital Converter Utilizing Sub-threshold MOSFET Operation at Sub-thermal Drain Voltage,” IEEE

- Custom Integrated Circuits Conference (CICC), San Diego, USA, pp. 1-4, April 2018.
- [2] H. Qiu, Y. Narusue, Y. Kawahara, T. Sakurai, and M. Takamiya, "Digital Coil: Transmitter Coil with Programmable Radius for Wireless Powering Robust Against Distance Variation," IEEE Wireless Power Transfer Conference (WPTC), Montreal, Canada, pp. 1-4, June 2018.
- [3] Y. S. Cheng, T. Mannen, K. Wada, K. Miyazaki, M. Takamiya, and T. Sakurai, "Optimization Platform to Find a Switching Pattern of Digital Active Gate Drive for Full-Bridge Inverter Circuit," IEEE Energy Conversion Congress & Exposition (ECCE), Portland, USA, pp. 6441-6447, Sep. 2018.
- [4] Y. Uno, H. Qiu, T. Sai, S. Iguchi, Y. Mizutani, T. Hoshi, Y. Kawahara, Y. Kakehi, and M. Takamiya, "Luciola: A Millimeter-Scale Light-Emitting Particle Moving in Mid-Air Based On Acoustic Levitation and Wireless Powering," ACM International Joint Conference on Pervasive and Ubiquitous Computing (UbiComp), Singapore, Oct. 2018.
- [5] T. Sai, Y. Yamauchi, H. Kando, T. Funaki, T. Sakurai, and M. Takamiya, "Spike Noise Cancelling Circuit for Switched Capacitor DC-DC Converter Mounting MLCCs on CMOS Die," IEEE International Workshop on Power Supply on Chip (PwrSoC), Hsinchu, Taiwan, pp. 63 - 64, Oct. 2018.
- [6] H. Qiu, Y. Uno, T. Sai, S. Iguchi, Y. Mizutani, T. Hoshi, Y. Kawahara, Y. Kakehi, and M. Takamiya, "Luciola: A Light-Emitting Particle Moving in Mid-Air Based On Ultrasonic Levitation and Wireless Powering," 11th ACM SIGGRAPH Conference and Exhibition on Computer Graphics and Interactive Techniques in Asia (SIGGRAPH Asia), Emerging Technologies, Tokyo, pp. 1 - 2, Dec. 2018.
- [7] Y. S. Cheng, T. Mannen, K. Wada, K. Miyazaki, M. Takamiya and T. Sakurai, "High-Speed Searching of Optimum Switching Pattern for Digital Active Gate Drive Circuit of Full Bridge Inverter Circuit," IEEE Applied Power Electronics Conference and Exposition (APEC), Anaheim, USA, pp. 2740-2745, March 2019.
- ### 3. シンポジウム・研究会・大会等発表
- [1] 高宮 真, "プロセッサの低消費電力化に向けたオンチップ電源回路," EDN Japan 次世代デバイスのための電源セミナー「低電圧/大電流化にどう対応すべきか?」, 東京, 2018年6月. (特別講演)
- [2] 植村隆文, 荒木徹平, 吉本秀輔, 野田祐樹, 和泉慎太郎, 関谷 毅, 加賀谷 司, 森 時彦, 高宮 真, 桜井貴康, 濱田 浩, 河村直明, 塚田智之, 井出周治, 瀬下雄一, 堤 知明, 栗原 惇, 大旗英樹, 石井伸晃, 尾藤慎也, 金村 崇, 桑原章史, 水野晃太郎, 福原克郎, 田中稔彦, 片桐真吾, 高安理寛, 山本陽介, "Field Intelligence 搭載型大面積分散IoTプラットフォームの研究開発," 電子情報通信学会ソサイエティ大会, BI-8-5, 金沢, 2018年9月.
- [3] 高宮 真, 宮崎耕太郎, 崔 通, 小原秀嶺, 萬年智介, 和田圭二, 附田正則, 安部征哉, 大村一郎, 桜井貴康, "パワーエレクトロニクスとLSIの異分野連携: IGBT向けデジタルゲートドライバIC," 電子情報通信学会ソサイエティ大会, CI-3-4, 金沢, 2018年9月.
- [4] 高宮 真, "IoT向け集積電源回路 ~低入力電圧化・低出力電力化への挑戦~, " 日本学術振興会次世代のスイッチング方式電源システム第173委員会, 第4期 第9回研究会, pp. 52-77, 東京, 2018年10月.
- [5] 高宮 真, "集積パワーマネジメントから見た新デバイスへの期待," 応用物理学会 シリコンテクノロジー分科会 システムデバイスロードマップ委員会 第1回 BC/ERM 合同委員会, 横浜, 2018年11月.
- [6] 東京大学, 科学技術振興機構 (JST), ERATO 川原万有情報網プロジェクト, "Luciola: 空間を飛び回るミリメートルサイズのLED光源を実現," デジタルコンテンツ協会 デジタルコンテンツEXPO Innovative Technologies 2018, 幕張, D301, 2018年11月.
- [7] 加賀谷 司, 宮崎耕太郎, 高宮 真, 桜井貴康, "パワーエレクトロニクス向け高EMI耐性を持った2.5kV絶縁耐圧400Mbps高速デジタルアイソレータの設計," 電子情報通信学会, 信学技報, ICD2018-97, pp. 141-146, 宮古島, 2018年12月
- [8] 高宮 真, 筧 康明, 川原圭博, "浮かぶLED"Luciola", 電気設備学会誌, 第39巻, 第1号,

pp. 3 - 6, 2019年1月.

- [9] 福留 環, 新山龍馬, 桜井貴康, 高宮 真, "形状記憶合金アクチュエータの高出力化と駆動エネルギーの低減を両立する駆動方法の提案と実証," 電子情報通信学会総合大会, A-1-19, 東京, 2019年3月.
- [10] 茨城亮太朗, Hao Qiu, 桜井貴康, 高宮 真, "無線給電と無線通信を兼用した磁界共振型システムにおける無線給電効率と最大データレートの関係," 電子情報通信学会総合大会, B-21-36, 東京, 2019年3月.

## 飯塚研究室

### 研究論文

- [1] Yoshitaka Otsuki, Daisuke Yamazaki, Nguyen Ngoc Mai-Khanh and Tetsuya Iizuka, "A 140 GHz Area-and-Power-Efficient VCO using Frequency Doubler in 65 nm CMOS," IEICE Electronics Express, vol. 16, no. 6, pp. 1 - 5, Mar. 2019.
- [2] Ryuichi Enomoto, Tetsuya Iizuka, Takehisa Koga, Toru Nakura, and Kunihiro Asada, "A 16-bit 2.0-ps Resolution Two-Step TDC in 0.18- $\mu$ m CMOS utilizing Pulse-Shrinking Fine Stage with Built-In Coarse Gain Calibration," IEEE Transactions on Very Large Scale Integration Systems, vol. 27, no. 1, pp. 11 - 19, Jan. 2019.
- [3] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "Analysis and Design of Impulse Signal Generator based on Current-Mode Excitation and Transmission Line Resonator," Springer Journal of Analog Integrated Circuits and Signal Processing, vol. 97, no. 3, pp. 457 - 470, Dec. 2018.
- [4] Tetsuya Iizuka and Asad A. Abidi, [Invited] "A Unified Analysis of the Signal Transfer Characteristics of a Single-Path FET-R-C Circuit," IEICE Transactions on Electronics, vol. E101-C, no. 7, pp. 432-443, Jul. 2018.
- [5] Tetsuya Iizuka, Takaaki Ito and Asad A. Abidi, [Invited] "Comprehensive Analysis of Distortion in the Passive FET Sample-and-Hold Circuit," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 65, no. 4, pp. 1157 - 1173, Apr. 2018.
- [6] Naoki Terao, Toru Nakura, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Digitally-Controlled Compensation Current Injection to ATE Power Supply for Emulation of Customer Environment," Springer Journal of Electronic Testing: Theory and Applications, vol. 34, no. 2, pp. 147 - 161, Apr. 2018.
- [7] Masahiro Kano, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "Triangular Active Charge Injection Method for Resonant Power Supply Noise Reduction," IEICE Transactions on Electronics, vol. E101-C, no. 4, pp. 292 - 298, Apr. 2018.
- [8] Toru Nakura, Tsukasa Kagaya, Tetsuya Iizuka, and Kunihiro Asada, "Quick-Start Pulse Width Controlled PLL with Frequency and Phase Presetting," IEICE Transactions on Electronics, vol. E101-C, no. 4, pp. 218 - 223, Apr. 2018.
- [9] Nguyen Ngoc Mai-Khanh, Shigeru Nakajima, Tetsuya Iizuka, Yoshio Mita, and Kunihiro Asada, "Noninvasive Localization of IGBT Faults by High-Sensitivity Magnetic Probe with RF Stimulation," IEEE Transactions on Instrumentation and Measurement, vol. 67, no. 4, pp. 745 - 753, Apr. 2018.

### 国際会議論文

- [1] Tetsuya Iizuka and Kunihiro Asada, [Invited, Keynote] "Time-Domain Approach for Analog Circuit Designs," APSCIT 2019 International Conference for Leading and Young Computer Scientists (IC-LYCS), Mar. 2019.
- [2] Tetsuya Iizuka and Kunihiro Asada, [Invited] "Time-Domain Approach for Analog Circuits: Fine-Resolution TDC and Quick-Start CDR Circuits," in Proceedings of IEEE International Conference on Advanced Technologies for Communications (ATC), pp. 376 - 381, Oct. 2018.
- [3] Naoki Ojima, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A Synthesizable Digital Low-Dropout Regulator Based on Voltage-to-Time Conversion," in Proceedings of 26th IFIP/IEEE



International Conference on Very Large Scale Integration (VLSI-SoC), Oct. 2018.

- [4] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Rimon Ikeno, Takahiro J. Yamaguchi, Tetsuya Iizuka, and Kunihiko Asada, "A Consideration on LUT Linearization of Stochastic ADC in Sub-Ranging Architecture," in Proceedings of IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), Aug. 2018

### シンポジウム・研究会・大会等発表

- [1] 王 璟, 飯塚 哲也, 名倉 徹, "自動配置配線を用いた高速起動パルス幅制御PLL回路の設計と性能比較," 電子情報通信学会 総合大会論文集, C-12-6, 2019年3月.
- [2] 大槻 宜孝, 山崎 大輔, マイカーン ゲエンコック, 飯塚 哲也, "周波数2通倍器を用いた小面積かつ低電力な140GHz電圧制御発振器の設計," 電子情報通信学会 技術研究報告, vol. 118, no. 374, pp. 83 - 88, 2018年12月.

## 三田研究室

### 学会誌

- [1] Yuki Okamoto, Hiroaki Takehara, Koji Fujimoto, Takanori Ichiki, Takayuki Ohba, and Yoshio Mita, "On-Chip High-Voltage Charge Pump with MEMS Post-Processed Standard 5-V CMOS on SOI for Electroosmotic Flow Micropumps", IEEE Electron Device Letters, Vol. 39, Issue 6, pp. 851-854, 2018 (2018.04) doi: 10.1109/LED.2018.2829925 (IF3.433)
- [2] Mathieu Pouliquen, Matthieu Denoual, Corentin Jorel, Constantin Radu, Didier Robbes, J Grand, H Awala, S Mintova, M Harnois, O de Sagazan, S Inoue, Eric Lebrasseur, Kentaro Yamada, Yuki Okamoto, Agnes Mita-Tixier, and Yoshio Mita, "Self-identification algorithm for zeolite-based thermal capacity gas sensor", Microsystem Technologies, 2018 (2018.05) doi: 10.1007/s00542-018-3883-5
- [3] Yoshio Mita, Naoyuki Sakamoto, Naoto Usami, Antoine Frappe, Akio Higo, Bruno Stefanelli, Hidehisa Shiomi, Julien Bourgeois, and Andreas Kaiser, "Micro-scale ultra high frequency resonant

wireless powering for capacitive and resistive MEMS actuators", Sensors and Actuators A: Physical, Vol. 275, pp. 75-87 <https://doi.org/10.1016/j.sna.2018.03.020>. (2018.06.01)

- [4] Akio Higo, Yoshio Mita, Haibin Wang, Takaya Kubo, Hiroshi Segawa, Naoto Usami, Yuki Okamoto, Kentaro Yamada, Yudai Takeshiro, and Masakazu Sugiyama, "Fabrication of PbS QD/Silicon Hybrid Infrared Photodiode for LSI Platform", IEEJ Transactions on Sensors and Micromachines, 2018 (2018.07) doi: 10.1541/ieejsmas.138.307
- [5] Yuki Okamoto, Yoshio Mita, "A Review on Increasing of Breakdown Voltage of Standard CMOS LSI Circuits by MEMS Post-Process", IEEJ Transactions on Sensors and Micromachines, 2018 (2018.07) doi: 10.1541/ieejsmas.138.319
- [6] Kentaro Yamada, Julien Grand, Yuki Okamoto, Rangareddygar Ranga Reddy, Matthieu Denoual, Svetlana Mintova, Agnes Tixer-Mita and Yoshio Mita, "Impact Test for Gas Sensing Using Large Particle Size Zeolite(in Japanese)", IEEJ Transactions on Sensors and Micromachines, vol. 138, no. 9, 2018 (2018.09) doi: 10.1541/ieejsmas.138.430

### 国際学会プロシーディング

- [1] Ken Saito, Daniel S. Contreras, Yudai Takeshiro, Yuki Okamoto, Yuya Nakata, Taisuke Tanaka, Satoshi, Satoshi Kawamura, Minami Kaneko, Fumio Uchikoba, Yoshio Mita, and Kristofer S. J. Pister, "Study on silicon device of microrobot system for heterogeneous integration," International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC), Mie, Japan, (2018.4)
- [2] Taisei Kuriyama, Akiyoshi Suzuki, Yuki Okamoto, Isao Kimura, Yasuhiro Morikawa, and Yoshio Mita, "A Micromachined All-Solid On-Chip Thin-Film Battery towards Uninterruptible Photovoltaic Cells", 2018 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), 23-25 May, Roma, Italy, pp.153-156 (2018.5)

- [3] Kosumo Matsui, Kohei Fujiwara, Yuki Okamoto, Yoshio Mita, Hidehiko Yamaoka, Hiroyuki Koizumi, and Kimiya Komurasaki, "Development of 94GHz microstrip line rectenna", 2018 IEEE Wireless Power Transfer Conference (WPTC), 3-7 June 2018, Polytechnique Montreal, Montreal, Quebec, Canada, pp. 1-4 (2018.06) doi: 10.1109/WPT.2018.8639081
- [4] D. Terutsuki, H. Mitsuno, T. Sakurai, Y. Okamoto, A. Tixier-Mita, H. Toshiyoshi, Y. Mita, and R. Kanzaki, "Cell-sensor interface analysis of a bio-hybrid electric odorant sensor," Biosensors 2018, Miami, Florida, USA, 12-15 June 2018 (2018.06)
- [5] Yoshio Mita, Eric Lebrasseur, and Akio Higo, "In-Plane SOI MEMS as a Mechanical Material for Time and Frequency Studies on Vibration", European Workshop on Microelectroincs Education (EWME 2018), 24-26 Sep, Braunschweig Germany, (2018.9)
- [6] Yoshio Mita et al., (Invited Talk), "Agile-Style Development of CMOS-Integrated Micro Electro Chemical Mechanical Systems by LSI Foundry and Nanotechnology Platform", International Symposium on Electronics and Smart Devices (ISESD 2018), 23-24, October, Bandung, Indonesia. (2018.10)
- [7] Yuki Okamoto, Koji Fujimoto, Hiroyuki Ryoson, Takayuki Ohba, Yoshio Mita, "Stick-to-Analyze Zeta Potential Measurement Chip with Integrated Electroosmotic Micropump and Liquid Flow Sensor", The 32th International Conference on Micro Electro Mechanical Systems (MEMS 2019) (2019.01)
- [8] Akio Higo, Tomoki Sawamura, Makoto Fujiwara, Etsuko Ota, Ayako Mizushima, Eric Lebrasseur, Taro Arakawa, and Yoshio Mita, "A Micro Racetrack Optical Resonator Test Structure to Optimize Pattern Approximation in Direct Lithography Technologies", 2019 IEEE Conference on Microelectronic Test Structures (ICMTS 2019), 18-21 Mar, Kita-Kyushu, Japan, pp. 4-7 (2019.03)
- [9] Haibin Wang, Akio Higo, Yoshio Mita, Takaya Kubo, and Hiroshi Segawa, "PbS Quantum Dot / ZnO Nanowires Hybrid Test Structures for Infrared Photodetector", 2019 IEEE Conference on Microelectronic Test Structures (ICMTS 2019), 18-21 Mar, Kita-Kyushu, Japan, pp. 8-11 (2019.03)
- [10] Naoto Usami, Etsuko Ohta, Akio Higo, Takeshi Momose and Yoshio Mita, "Continuity assessment for supercritical-fluids-deposited (SCFD) Cu film as electroplating seed layer", 2019 IEEE Conference on Microelectronic Test Structures (ICMTS 2019), 18-21 Mar, Kita-Kyushu, Japan, pp. 54-57 (2019.03)
- [11] Yuki Okamoto, Ayako Mizushima, Naoto Usami, Jun Kinoshita, Akio Higo, Yoshio Mita, "Damage Assessment Structure of Test-Pad Post-Processing on CMOS LSIs", 2019 IEEE Conference on Microelectronic Test Structures (ICMTS 2019), 18-21 Mar, Kita-Kyushu, Japan, pp. 184-187 (2019.03)

#### その他の講演・シンポジウム

- [1] 三田吉郎「失敗は成功の元: ナノテクノロジープラットフォームで試して拓く先端集積MEMS」第17回ナノテクノロジー総合シンポジウム, 2019年2月1日東京ビッグサイト

#### 著書

- [1] 三田吉郎, 「MEMSデバイス徹底入門」, 日刊工業新聞社, ISBN978-4-526-07871-2 C3054 (2018/8/30).

## 高木・竹中研究室

#### 研究論文

- [1] M. Takenaka, J.-H. Han, F. Boeuf, J.-K. Park, Q. Li, C. P. Ho, D. Lyu, S. Ohno, J. Fujikata, S. Takahashi, and S. Takagi, "III-V/Si hybrid MOS optical phase shifter for Si photonic integrated circuits," IEEE/OSA Journal of Lightwave Technology, vol. 37, no. 5, pp. 1474-1483, March 2019 (invited). DOI: 10.1109/JLT.2019.2892752
- [2] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Tunable germanium-on-insulator band-stop optical filter using thermo-optic effect," IEEE Photonics Journal, vol. ??, no. ? , pp. ??-??, 2019. DOI: 10.1109/JPHOT.2019.2904050

- [3] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "InGaSb-on-insulator p-channel metal-oxide-semiconductor field-effect transistors on Si fabricated by direct wafer bonding," *J. Appl. Phys.*, vol. 125, 114501, 2019. DOI: 10.1063/1.5049518
- [4] M. Ke, M. Takenaka, and S. Takagi, "Slow trap properties and generation in Al<sub>2</sub>O<sub>3</sub>/GeO<sub>x</sub>/Ge MOS interfaces formed by plasma oxidation process," *ACS Applied Electronic Materials*, vol. 1, no. 3, pp. 311–317, 2019. DOI: 10.1021/acsaelm.8b00071
- [5] D.-A. Ahn, S.-H. Yoon, K. Kato, T. Fukui, M. Takenaka, and S. Takagi, "Effects of ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> gate-stack on the performance of planar-type InGaAs TFET," *IEEE Trans. Electron Devices*, vol. 66, no. 4, pp. 1862–1867, 2019. DOI: 10.1109/TED.2019.2897821
- [6] T. Fujigaki, S. Takagi, and M. Takenaka, "High-efficiency Ge thermo-optic phase shifter on Ge-on-insulator platform," *Optics Express*, vol. 27, no. 5, pp. 6451–6458, 2019. DOI: 10.1364/OE.27.006451
- [7] T. Sanjoh, N. Sekine, K. Kato, S. Takagi, and M. Takenaka, "Thermal properties of III–V on a SiC platform for photonic integrated circuits," *Jpn. J. Appl. Phys.*, vol. 58, SBBE06, 2019. DOI: 10.7567/1347-4065/aafd8b
- [8] K. Endo, K. Kato, M. Takenaka, and S. Takagi, "Electrical characteristic of atomic layer deposition La<sub>2</sub>O<sub>3</sub>/Si MOSFETs with ferroelectric-type hysteresis," *Jpn. J. Appl. Phys.*, vol. 58, SBBA05, 2019. DOI: 10.7567/1347-4065/aafecf
- [9] Y. Taguchi, S. Takagi, and M. Takenaka, "Numerical analysis of Ge/Si hybrid MOS optical modulator operating at mid-infrared wavelength," *Jpn. J. Appl. Phys.*, vol. 58, SBBE03, 2019. DOI: 10.7567/1347-4065/aafb52
- [10] K.-W. Jo, W.-K. Kim, M. Takenaka, and S. Takagi, "Impact of SiGe layer thickness in starting substrates on strained Ge-on-insulator pMOSFETs fabricated by Ge condensation method," *Appl. Phys. Lett.*, vol. 114, 062101, 2019. DOI: 10.1063/1.5068713
- [11] K. Sumita, K. Kato, M. Takenaka, and S. Takagi, "Fabrication of thin body InAs-on-insulator structures by Smart Cut method with H+ implantation at room temperature," *Jpn. J. Appl. Phys.*, vol. 58, SBBA03, 2019. DOI: 10.7567/1347-4065/aafa68
- [12] S. Takagi, W.-K. Kim, K.-W. Jo, R. Matsumura, R. Takaguchi, T. Katoh, T.-E. Bae, K. Kato and M. Takenaka, "Ultrathin-body Ge-On-Insulator MOSFET and TFET technologies," *ECS Trans.*, vol. 86, no. 7, pp. 75–86, 2018 (invited). DOI: 10.1149/08607.0075ecst
- [13] J. Fujikata, S. Takahashi, T. Mogami, K. Kurata, M. Takenaka, and T. Nakamura, "High-performance Si optical modulator and Ge photodetector and their application to silicon photonics integrated circuit," *ECS Trans.*, vol. 86, no. 7, pp. 17–25, 2018 (invited). DOI: 10.1149/08607.0075ecst
- [14] S. Takagi, D.-H. Ahn, T. Gotow, C. Yokoyama, C.-Y. Chang, K. Endo, K. Katoh, and M. Takenaka, "Ultra-low power III-V-based MOSFETs and tunneling FETs," *ECS Trans.*, vol. 85, no. 8, pp. 27–37, 2018 (invited). DOI: 10.1149/08607.0075ecst
- [15] Q. Li, J.-H. Han, C. P. Ho, S. Takagi, and M. Takenaka, "Ultra-power-efficient 2 × 2 Si Mach-Zehnder interferometer optical switch based on III-V/Si hybrid MOS phase shifter," *Optics Express*, vol. 26, no. 26, pp. 35003–35012, 2018. DOI: 10.1364/OE.26.035003
- [16] J. Kang, S. Takagi, and M. Takenaka, "Ge photodetector monolithically integrated with amorphous Si waveguide on wafer-bonded Ge-on-insulator substrate," *Optics Express*, vol. 26, no. 23, pp. 30546–30555, 2018. DOI: 10.1364/OE.26.030546
- [17] P.-C. Huang, T. Tanamoto, M. Goto, M. Takenaka, and S. Takagi, "Investigation of electrical characteristics of vertical junction Si n-type Tunnel FET," *IEEE Trans. Electron Devices*, vol. 65, no. 12, pp. 5511–5517, 2018. DOI: 10.1109/TED.2018.2874534
- [18] M. Ke, M. Takenaka, and S. Takagi, "Impact of atomic layer deposition high k films on slow trap density in Ge MOS interfaces with GeO<sub>x</sub> interfacial layers formed by plasma pre-

- oxidation,” *IEEE Journal of the Electron Devices Society*, vol. 6, No. 1, 950–955, 2018. DOI: 10.1109/JEDS.2018.2822758
- [19] T.-H. Xiao, Z. Zhao, W. Zhou, M. Takenaka, H.-K. Tsang, Z. Cheng, and K. Goda, “High-Q germanium optical nanocavity,” *Photonics Res.*, vol. 6, no. 9, pp. 925–928, 2018. DOI: 10.1364/PRJ.6.000925
- [20] T.-E. Bae, K. Kato, R. Suzuki, R. Nakane, M. Takenaka, and S. Takagi “Influence of impurity concentration in Ge sources on electrical properties of Ge/Si hetero-junction tunneling field-effect transistors,” *Appl. Phys. Lett.*, vol. 113, 062103, 2018. DOI: 10.1063/1.5028529
- [21] C. P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, “Tunable grating coupler by thermal actuation and thermo-optic effect,” *IEEE Photonics Technology Letters*, Vol. 30, No. 17, pp. 1503–1506, 2018. DOI: 10.1109/LPT.2018.2857469
- [22] G. Z. Mashanovich, M. Nedeljkovic, J. Soler-Penades, Z. Qu, W. Cao, A. Osman, Y. Wu, C. J. Stirling, Y. Qi, Y.X. Cheng, L. Reid, C. G. Littlejohns, J. Kang, Z. Zhao, M. Takenaka, T. Li, Z. Zhou, F. Y. Gardes, D. J. Thomson, and G. T. Reed, “Group IV mid-infrared photonics,” *Optics Materials Express*, vol. 8, no. 8, pp. 2276–2286, 2018 (invited). DOI: 10.1364/OME.8.002276
- [23] S.-H. Yoon, D.-H. Ahn, M. Takenaka, and S. Takagi, “Relationship between interface state generation and substrate hole current in InGaAs metal-oxide-semiconductor (MOS) interfaces,” *J. Appl. Phys.*, vol. 123, 234502, 2018. DOI: 10.1063/1.5031052
- [24] T. H. Xiao, Z. Zhao, W. Zhou, C.-Y. Chang, S. Y. Set, M. Takenaka, H. K. Tsang, Z. Cheng, and K. Goda, “Mid-infrared high-Q germanium microring resonator,” *Optics Letters*, vol. 43, no. 12, pp. 2885–2888, 2018. DOI: 10.1364/OL.43.002885
- [25] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, “TiN/Al<sub>2</sub>O<sub>3</sub>/ZnO gate stack engineering for top-gate thin film transistors by combination of post oxidation and annealing,” *Appl. Phys. Lett.*, vol. 112, 162105, 2018. DOI: 10.1063/1.5020080
- [26] C. Yokoyama, C.-Y. Chang, M. Takenaka, and S. Takagi, “Pre-treatment effects on high-k/InxGa1-xAs MOS interface properties and their physical model,” *IEEE Journal of the Electron Devices Society*, vol. 6, No. 1, 487–493, 2018. DOI: 10.1109/JEDS.2017.2760344
- [27] S. Glass, K. Kato, L. Kibkalo, J.-M. Hartmann, S. Takagi, D. Buca, S. Mantl and Q.-T. Zhao, “A novel gate-normal tunneling field-effect transistor with dual-metal gate,” *IEEE Journal of the Electron Devices Society*, vol. 6, No. 1, 1070–1076, 2018. DOI: 10.1109/JEDS.2018.2864581
- [28] J. Kang, S. Takagi, and M. Takenaka, “Design and characterization of Ge passive waveguide components on Ge-on-insulator wafer for mid-infrared photonics,” *Jpn. J. Appl. Phys.*, vol. 57, 042202, 2018. DOI: 10.7567/JJAP.57.042202
- [29] Y. Yamaguchi, S. Takagi and M. Takenaka, “Low-loss graphene-based optical phase modulator operating at mid-infrared wavelength,” *Jpn. J. Appl. Phys.*, vol. 57, 04FH06, 2018. DOI: 10.7567/JJAP.57.04FH06
- [30] T. Katoh, R. Matsumura, R. Takaguchi, M. Takenaka and S. Takagi, “Performance enhancement of GOI tunneling FETs with source junctions formed by low energy BF<sub>2</sub> ion implantation,” *Jpn. J. Appl. Phys.*, vol. 57, 04FD15, 2018. DOI: 10.7567/JJAP.57.04FD15
- [31] T.-E. Bae, Y. Wakabayashi, R. Nakane, M. Takenaka, and S. Takagi, “Effects of Annealing Gas and Drain Doping Concentration on Electrical Properties of Ge-source/Si-channel hetero-junction tunneling FETs,” *Jpn. J. Appl. Phys.*, vol. 57, 04FD11, 2018. DOI: 10.7567/JJAP.57.04FD11
- [32] R. Takaguchi, R. Matsumura, T. Katoh, M. Takenaka, and S. Takagi, “Ge p-channel tunneling FETs with steep phosphorus profile source junctions,” *Jpn. J. Appl. Phys.*, vol. 57, 04FD10, 2018. DOI: 10.7567/JJAP.57.04FD10
- [33] R. Matsumura, T. Katoh, R. Takaguchi, M. Takenaka, and S. Takagi, “Ge-on-insulator tunneling FET with abrupt source junction formed by utilizing snowplow effect of NiGe,”



Jpn. J. Appl. Phys., vol. 57, 04FD05, 2018. DOI: 10.7567/JJAP.57.04FD05

- [34] K. Kukita, T. Uechi, J. Shimokawa, M. Goto, Y. Yokota, S. Kawanaka, T. Tanamoto, H. Tanimoto and S. Takagi, "Simulation of planar single-gate Si tunnel FET with average subthreshold swing of less than 60 mV/decade for 0.3 V operation," Jpn. J. Appl. Phys., vol. 57, 04FD09, 2018. DOI: 10.7567/JJAP.57.04FD09

#### 国際会議論文

- [1] Q. Li, C. P. Ho, S. Takagi, and M. Takenaka, "Efficient Optical Modulator by Reverse-biased III-V/Si Hybrid MOS Capacitor based on FK Effect and Carrier Depletion," Optical Fiber Communication Conference (OFC2019), M4A.2, San Diego, 3–7 March 2019.
- [2] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "Material design of oxide-semiconductor/group-IV-semiconductor bilayer tunneling field effect transistors," Electron Devices Technology and Manufacturing Conference (EDTM2019), Singapore, 13–15 March 2019.
- [3] C.-M. Lim, M. Takenaka, and S. Takagi, "Improvement of material quality of (100) and (111) Ge-on-insulator substrates fabricated by smart-cut technology," Electron Devices Technology and Manufacturing Conference (EDTM2019), Singapore, 13–15 March 2019.
- [4] Z. Cheng, T.-H. Xiao, Z. Zhao, W. Zhou, C.-Y. Chang, S. Y. Set, M. Takenaka, H. K. Tsang, K. Goda, "Mid-infrared high-Q germanium resonators," SPIE Photonics West, 10923-34, San Francisco, USA, 2–7 February 2019.
- [5] M. Takenaka, "Heterogeneous integration of III-V on Si for AI computing," NTU-UTokyo workshop, Taipei, Taiwan, 12–13 December 2018 (invited).
- [6] S.-H. Yoon, D.-H. Ahn, C. Yokoyama, M. Takenaka, and S. Takagi, "Correlation of interface state generation and InGaAs MOS interface properties," 49th IEEE Semiconductor Interface Specialists Conference (SISC), 3.2, San Diego, 5–8 December 2018.
- [7] D.-H. Ahn, S.-H. Yoon, K. Kato, T. Fukui, M. Takenaka, and S. Takagi, "EOT scaling of planar-type InGaAs TFETs by using W/ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> gate stacks," 49th IEEE Semiconductor Interface Specialists Conference (SISC), 8.4, San Diego, 5–8 December 2018.
- [8] T.-E. Lee, M. Ke, K. Kato, M. Takenaka and S. Takagi, "Reduction in interface trap density of TiN/Y<sub>2</sub>O<sub>3</sub>/Si<sub>0.62</sub>Ge<sub>0.38</sub> gate stacks with high temperature PMA," 49th IEEE Semiconductor Interface Specialists Conference (SISC), 9.2, San Diego, 5–8 December 2018.
- [9] M. Ke, P. Cheng, K. Kato, M. Takenaka, and S. Takagi, "Characterization and understanding of slow traps in GeO<sub>x</sub>-based n-Ge MOS interfaces," International Electron Devices Meeting (IEDM2018), 34.3, San Francisco, 1–5 December 2018.
- [10] M. Takenaka, "Efficient optical phase modulator based on Si hybrid MOS capacitor," 8th International Symposium on Photonics and Electronics Convergence (ISPEC2018), C-6, Tokyo, 3–4 December 2018.
- [11] C. P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Investigation of a germanium-on-insulator band-stop filter," 8th International Symposium on Photonics and Electronics Convergence (ISPEC2018), P-07, Tokyo, 3–4 December 2018.
- [12] Q. Li, C. P. Ho, S. Takagi, and M. Takenaka, "Demonstration of Si racetrack resonator based on III-V/Si hybrid MOS phase shifter," 8th International Symposium on Photonics and Electronics Convergence (ISPEC2018), P-09, Tokyo, 3–4 December 2018.
- [13] Z. Zhao, C. P. Ho, S. Takagi, and M. Takenaka, "Fabrication of high-Q ring resonator using low loss GeOI wafer," 8th International Symposium on Photonics and Electronics Convergence (ISPEC2018), P-08, Tokyo, 3–4 December 2018.
- [14] M. Takenaka, "Electronic-photonic integrated circuits based on heterogeneous integration of III-V, Ge, and 2D materials on Si," Korean Institute of Science and Technology (KIST), Seoul, 29 October 2018 (invited).

- [15] S. Takagi, W.-K. Kim, K.-W. Jo, R. Matsumura, R. Takaguchi, T. Katoh, T.-E. Bae, K. Kato, and M. Takenaka, "Ultrathin-body Ge-on-insulator MOSFET and TFET technologies," Americas International Meeting on Electrochemistry and Solid State Science (AiMES), Symposium G03, 1042, Cancun, Mexico, 30 September - 4 October 2018 (invited).
- [16] J. Fujikata, S. Takahashi, T. Mogami, K. Kurata, M. Takenaka, and T. Nakamura, "High-Performance Si optical modulator and Ge photodetector and their application to silicon photonics integrated circuit," Americas International Meeting on Electrochemistry and Solid State Science (AiMES), Symposium G03, 1013, Cancun, Mexico, 30 September - 4 October 2018 (invited).
- [17] M. Takenaka, J. Han, F. Boeuf, J.-K. Park, Q. Li, C. P. Ho, D. Lyu, S. Ohno, J. Fujikata, S. Takahashi, and S. Takagi, "III-V/Si hybrid MOS optical phase modulator for Si photonic integrated circuits," European Conference on Optical Communication (ECOC 2018), Mo3C.3, 23–27 September 2018 (invited).
- [18] T. Fujigaki, S. Takagi, and M. Takenaka, "Low-power Ge thermo-optic phase shifter on Ge-on-Insulator platform," European Conference on Optical Communication (ECOC 2018), Th2.10, 23–27 September 2018.
- [19] M. Takenaka, J. Han, Q. Li, C.P. Ho, D. Lyu, S. Ohno, and S. Takagi, "Si hybrid MOS optical phase shifter for switching and computing," Photonics in Switching and Computing (PSC 2018), Th3B.1, 19–21 September 2018 (invited).
- [20] T. Sanjoh, N. Sekine, S. Takagi, M. Takenaka, "Heat dissipation property of III-V on SiC platform for photonic integrated circuits," International Conference on Solid State Devices and Materials (SSDM), H-3-03, Tokyo, 11-13 Sept. 2018.
- [21] M. Yamaguchi, T. Gotow, M. Takenaka, and S. Takagi, "Performance enhancement of Si MOSFETs using antiferroelectric thin films as gate insulators," International Conference on Solid State Devices and Materials (SSDM), C-4-02, Tokyo, 11-13 Sept. 2018.
- [22] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "Impact of channel thickness fluctuation on performance of bilayer tunneling field effect transistors," International Conference on Solid State Devices and Materials (SSDM), C-4-04, Tokyo, 11-13 Sept. 2018.
- [23] Y. Taguchi, S. Takagi, and M. Takenaka, "Proposal of Ge/Si hybrid MOS optical modulator operating at mid-infrared wavelengths," International Conference on Solid State Devices and Materials (SSDM), H-6-02, Tokyo, 11-13 Sept. 2018.
- [24] S. Takagi, K. Endo, K. Kato, and M. Takenaka, "Electrical characteristic of La<sub>2</sub>O<sub>3</sub>/Si MOSFETs with ferroelectric-type hysteresis," International Conference on Solid State Devices and Materials (SSDM), C-7-05, Tokyo, 11-13 Sept. 2018.
- [25] T. Gotow, M. Mitsuhashi, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Improvement of ION and S.S. values of p-GaAs<sub>0.51</sub>Sb<sub>0.49</sub>/In<sub>0.53</sub>Ga<sub>0.47</sub>As hetero-junction vertical TFETs by using abrupt source impurity profile," International Conference on Solid State Devices and Materials (SSDM), PS-1-29, Tokyo, 11-13 Sept. 2018.
- [26] K. Sumita, K. Kato, M. Takenaka, S. Takagi, "Fabrication of InAs-on-Insulator structures by Smart Cut method with hydrogen implantation at room temperature," International Conference on Solid State Devices and Materials (SSDM), C-8-01, Tokyo, 11-13 Sept. 2018.
- [27] S. Glass, M. Liu, K. Kato, J.-M. Hartmann, S. Takagi, D. Buca, S. Mantl and Q. T. Zhao, "Mitigating edge effects in gate-normal tunneling field-effect transistors using a Ti/TiN dual-metal gate," International Conference on Solid State Devices and Materials (SSDM), C-7-06, Tokyo, 11-13 Sept. 2018.
- [28] S. Takagi, K. Kato, W.-K. Kim, K. Jo, R. Matsumura, R. Takaguchi, D.-H. Ahn, T. Gotow, and M. Takenaka, "MOS Device Technology using alternative channel materials for low power logic LSI," 48th European Solid-State Device Conference (ESSDERC 2018), A5L-E, Dresden, Germany, 3–6 September 2018 (keynote).

- [29] Z. Cheng, T.-H. Xiao, Z. Zhao, W. Zhou, M. Takenaka, H. K. Tsang, and K. Goda, "Mid-infrared germanium photonic integrated circuits for on-chip biochemical sensing," Pacific Rim Conference on Laser and Electro-optics (CLEO-PR2018), Th3C.4, Hong Kong, 29 July–4 August 2018 (invited).
- [30] M. Takenaka and S. Takagi, "Heterogeneous integration of III-V/Ge on Si for photonic integrated circuits," Progress In Electromagnetics Research Symposium (PIERS2018), 1A11-2, Toyama, 1–4 August 2018 (invited).
- [31] T.-H. Xiao, Z. Zhao, W. Zhou, M. Takenaka, H. K. Tsang, Z. Cheng, and K. Goda, "Mid-infrared germanium photonic integrated platform," Progress In Electromagnetics Research Symposium (PIERS2018), 3P12b, Toyama, 1–4 August 2018.
- [32] M. Takenaka and S. Takagi, "Ge-on-insulator platform for mid-infrared integrated photonics," IEEE Summer Topicals Meeting Series, TuA4.2, Waikoloa, Hawaii, US, 9–11 July 2018 (invited).
- [33] S. Takagi, K. Kato, R. Takaguchi, T.-E. Bae, D.-H. Ahn, T. Gotow, and M. Takenaka, "Tunneling MOSFET technology for ultra-low power integrated system," Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2018), K-1, Kitakyushu, 2–4 July 2018 (plenary).
- [34] J. Han, S. Takagi, and M. Takenaka, "Semiconductor-insulator-semiconductor (SIS) structures for high-performance optical modulation," Optoelectronics and Communications Conference (OECC2018), 4E1-2, Jeju, Korea, 2–6 July 2018 (invited).
- [35] M. Takenaka and S. Takagi, "Opportunities of III-V/Si hybrid integration for optical modulation and switching," 9th International Symposium on the Physics of Semiconductors and Applications (ISPSA2018), MoA2-1, Jeju, Korea, 1–5 July 2018 (invited).
- [36] K-W. Jo, W-K. Kim, M. Takenaka, and S. Takagi, "Hole mobility enhancement in extremely-thin-body strained GOI and SGOI pMOSFETs by improved Ge condensation method," VLSI Symposium, T18-3, Hawaii, USA, 19-21 June 2018. DOI: 10.1109/VLSIT.2018.8510646
- [37] S. Takagi, D.-H. Ahn, T. Gotow, and M. Takenaka, "Ultra-Low Power III-V-based Mosfets and tunneling FETs," 233rd ECS Meeting, Symposium H02, 1457, Seattle Sheraton and Washington State Convention Center, USA, 13–17 May 2018 (invited).
- [38] M. Takenaka and S. Takagi, "Efficient phase modulation based on Si hybrid MOS capacitor for universal photonic integrated circuits," International Conference on Nano-photonics and Nano-optoelectronics (ICNN2018), ICNN6-1, Yokohama, 25–27 April 2018 (invited).
- [39] M. Takenaka and S. Takagi, "Si hybrid MOS capacitor for optical modulation and switching," International Conference on Nano/Micro Engineered and Molecular Systems (IEEE NEMS2018), Singapore, 22-26 April 2018 (invited). M. Takenaka, "Si photonics based on heterogeneous integration," Tsinghua University-the University of Tokyo Joint Symposium, Tsinghua University, Beijing, China, 14 April 2017.
- [40] M. Takenaka and S. Takagi, "Photonic integrated circuit platform using III-V on SiC wafer," European Conference on Integrated Optics (ECIO'17), WP1.1, Eindhoven, 3-5 April 2017.

#### 著書

- [1] 高木信一, 「新構造量子トンネルFETの開発」, パリティ, Vol. 33, No. 8, pp. 44 - 47, 2018.
- [2] 竹中充, 「シリコン光回路を用いた高効率・低損失光変調器」, 光学, Vol. 47, No. 6, 2018.

#### シンポジウム・研究会・大会等発表

- [1] 高木 信一, "性能限界を越えるCMOS デバイス技術," 名古屋大学シリコンフロンティア・特別研究会, ~特定領域研究『ポストスケール』から10年を超えて~, 名古屋大学, 2019年3月30日.
- [2] 関根 尚希, 高木 信一, 竹中 充, "InP スロット導波路を用いた有機EO ポリマー光変調器の検討," 第66回応用物理学会春季学術講演会, 11p-W331-10, 東京工業大学大岡山キャンパス, 2019年3月9日–3月12日.

- [3] 高口 遼太郎, 竹中 充, 高木 信一, “Spin on Glass からの固相拡散による Ge 中の n 型不純物拡散挙動,” 第66回応用物理学会春季学術講演会, 9p-S221-11, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [4] 加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一, “超平坦 ZnSnO チャネルによる積層型 TFET サブスレシヨルド特性の改善,” 第66回応用物理学会春季学術講演会, 9p-S221-2, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [5] 加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一, “Zn(Sn)O/Si 積層型 TFET 特性の温度依存性と動作機構の理解,” 第66回応用物理学会春季学術講演会, 9p-S221-3, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [6] 大野 修平, トープラサートポン カシディット, 高木 信一, 竹中 充, “リング共振器アレイ型シリコン光回路を用いた深層学習の検証,” 第66回応用物理学会春季学術講演会, 11p-W331-3, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [7] 満原 学, 星 拓也, 杉山 弘樹, 後藤 高寛, 竹中 充, 高木 信一, “InP 基板上引張歪 GaAsSb と InGaAs の膜厚増加による結晶性劣化の比較,” 第66回応用物理学会春季学術講演会, 11a-S422-10, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [8] 安 大煥, 尹 尚希, 加藤 公彦, 福井 太一郎, 竹中 充, 高木 信一, “ZrO<sub>2</sub> による EOT スケーリングを用いた Planar-type 量子井戸 InGaAs TFET の性能向上,” 第66回応用物理学会春季学術講演会, 11a-S422-10, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日 (講演奨励賞受賞記念講演).
- [9] 宮武 悠人, 関根 尚希, トープラサートポン カシディット, 高木 信一, 竹中 充, “進化計算を用いた高効率グレーティングカプラの設計自動化,” 第66回応用物理学会春季学術講演会, 11p-W331-11, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [10] H. Tang, S. Takagi, and, M. Takenaka, “Numerical analysis of Waveguide coupled graphene thermal emitter,” 第66回応用物理学会春季学術講演会, 10a-W331-2, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [11] T.-E. Lee, M. Takenaka, and S. Takagi, “Impact of metal gate electrodes on electrical properties of Y<sub>2</sub>O<sub>3</sub>/Si<sub>0.78</sub>Ge<sub>0.22</sub> gate stacks,” 第66回応用物理学会春季学術講演会, 11p-M136-8, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [12] Q. Li, C.-H. Ho, S. Takagi, and, M. Takenaka, “Investigation of Franz-Keldysh effect and carrier depletion effect in III-V/Si hybrid MOS optical modulator,” 第66回応用物理学会春季学術講演会, 10a-W331-7, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [13] D. Lyu, S. Takagi, and, M. Takenaka, “Investigation of impact of InGaAsP quantum well on the modulation efficiency of III-V/Si hybrid MOS optical modulator,” 第66回応用物理学会春季学術講演会, 10a-W331-8, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [14] 竹中 充, 高木 信一, “異種材料集積シリコン光集積回路および高効率光変調器への応用,” 第39回レーザー学会年次大会, 東海大学高輪キャンパス, 2019年1月12-14日.
- [15] 高木信一, “MOS トランジスタにおけるキャリアのフォノン散乱,” 第212回 シリコンテクノロジー分科会研究集会, 応用物理学会応物会館会議室, 2018年11月26日.
- [16] 加藤公彦, 松井裕章, 田畑仁, 竹中充, 高木信一, “酸化物半導体/IV族半導体を用いた超低消費電力トンネルトランジスタの提案と素子設計,” 電子情報通信学会シリコン材料・デバイス (SDM) 研究会, 機械振興会館, 2018年11月8日-11月9日.
- [17] 竹中 充, “異種材料接合シリコン光集積回路,” 三菱電機で講演, 2018年10月25日.
- [18] 竹中 充, “AI・IoT時代におけるフォトニクス,” Interopto, 海浜幕張, 2018年10月18日 (招待講演).
- [19] 藤垣 匠, 高木 信一, 竹中 充, “Ge-on-Insulator プラットフォーム上熱光学位相シフタの実証,” 第79回応用物理学会秋季学術講演会, 18a-212A-1, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [20] 加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一, “酸化物半導体/IV族半導体を用いた超低消費電力トンネルトランジスタ,” 第79回応用物理学会秋季学術講演会, 19p-233-8, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [21] 尹 尚希, 安 大煥, 竹中 充, 高木 信一, “InGaAs n チャネル MOSFET における界面準位発生と基板



ホール電流の関係,” 第79回応用物理学会秋季学術講演会, 20a-PA5-10, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.

- [22] 加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一, “積層型トンネルFETの電気特性に与えるチャネル厚さ揺らぎの影響,” 第79回応用物理学会秋季学術講演会, 21a-CE-3, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [23] 安 大煥, 尹 尚希, 加藤 公彦, 福井 太郎, 竹中 充, 高木 信一, “ZrO<sub>2</sub>ゲートスタックによるPlanar-type InGaAs TFETのSub-60mV/dec 特性の実現,” 第79回応用物理学会秋季学術講演会, 21a-CE-4, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [24] K.-W. Jo, W.-K. Kim, M. Takenaka, and S. Takagi, “Impact of SiGe layer thickness in starting substrates on properties of ultrathin body Ge-on-insulator pMOSFETs fabricated by Ge condensation,” 第79回応用物理学会秋季学術講演会, 20a-CE-11, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [25] Z. Zhao, C. Ho, S. Takagi, and M. Takenaka, “Fabrication of High-Q Ring Resonator using n-type GeOI wafer,” 第79回応用物理学会秋季学術講演会, 19p-PA3-5, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [26] Q. Li, C.-P. Ho, S. Takagi, and M. Takenaka, “Fabrication of Si racetrack optical modulator with III-V/Si hybrid MOS phase shifter,” 第79回応用物理学会秋季学術講演会, 18p-212A-7, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [27] T.-E. Lee, K. Kato, M. Ke, and M. Takenaka, “Improvement of SiGe MOS Interfaces Properties by TiN/Y<sub>2</sub>O<sub>3</sub> Gate Stacks,” 第79回応用物理学会秋季学術講演会, 19p-234B-4, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [28] 竹中 充, 高木 信一, “SiハイブリッドMOS位相シフタを用いた光変調器の展望”, 電子情報通信学会レーザ・量子エレクトロニクス研究会 (LQE), 北海道大学, 2018年7月12-13日.
- [29] 藤方 潤一, 野口 将高, 高橋 重樹, 蔵田 和彦, 竹中 充, 中村 隆, “高性能Si/SiGe変調器と光集積回路への応用”, 電子情報通信学会レーザ・量子エレクトロニクス研究会 (LQE), 北海道大学, 2018年7月12-13日.

## 5.5 特許, 受賞等

### 藤田研究室

#### 受賞

- [1] 東大・IIT ボンベイ校チーム, Honorable mention (4th) of Problem A, IEEE/ACM International Conference on Computer-Aided Design (ICCAD) 2018
- [2] 東大・国立台湾大学チーム, 3rd Place of Problem B (DAC2019 poster), IEEE/ACM International Conference on Computer-Aided Design (ICCAD) 2018

### 池田研究室

#### 受賞

LSI とシステムのワークショップ 一般部門 最優秀ポスター賞  
栗野 皓光, 池田 誠「超高速な楕円曲線暗号の実現に向けた FourQ の ASIC 実装」

### 高宮研究室

#### 特許

- [1] Makoto Takamiya, Hao Qiu, Yoshiaki Narusue, and Yoshihiro Kawahara, “Digital Coil: Transmitter Coil with Programmable Radius for Wireless Powering Robust Against Distance Variation,” 米国仮出願62/673, 166, 2018年5月18日出願.
- [2] 櫻井貴康, 高宮 真, 森 時彦, “電気装置,” 特願2018-116029, 2018年6月19日出願.

### 飯塚研究室

#### 受賞

- ・(社) 電子情報通信学会 2018年度エレクトロニクス  
ソサイエティ活動功労表彰  
飯塚 哲也 「ELEX 編集幹事としての貢献」
- ・2018年東京大学工学部ベストティーチングアワード  
飯塚 哲也
- ・平成30年度愛知県若手研究者イノベーション創出奨

励事業 第13回わかしゃち奨励賞 応用研究部門 最優秀賞

飯塚 哲也 高信頼ハードウェアのための高精度磁界計測・解析技術開発」

### 三田研究室

#### 特許

照月大悟, 神崎亮平, 光野秀文, 櫻井健志, テイクシェ三田アニエス, 三田吉郎, 岡本有貴, 年吉洋, 「匂いセンサー」, 国立大学法人東京大学, 特開2018-113957 (平成30年7月26日)

### 高木・竹中研究室

#### 特許

- [1] 竹中 充, 高木 信一, 「光変調器」, 特許第6156910号 (2017年6月16日登録) .

#### 受賞等

- [1] 東京大学 Best Teaching Award, 竹中 充
- [2] 第79回応用物理学会秋季学術講演会講演奨励賞, 安 大煥
- [4] 第17回IEEE EDS Japan Chapter Student Award, 曹 光元
- [5] 第17回IEEE EDS Japan Chapter Student Award, 柯 夢南

# Appendix

## A. Publication list

### 原著論文

- [1] 小野哲, 和田光司, “チップキャパシタ結合型共有共振器を用いた小型ダイプレクサの設計と試作,” 電子情報通信学会和文論文誌 (C), Vol. J101-C, No.12, pp.479-488, (2018年12月).
- [2] Fuminori Sakai, Mitsuo Makimoto, Koji Wada, “Near-field chipless RFID tag system using inductive coupling between a multimode resonator and detection probes,” IEICE Transactions Online, [Advance Publication] Released! October 15, 2018.
- [3] Shinpei Oshima, Tomonori Oshima, Takuto Numao, and Koji Wada, “A Design Method of Compact Lumped-Element Matching Circuits for Diplexers using SAW filters,” Transactions of The Japan Institute of Electronics Packaging, Vol. 11, E17-015-1 (DEC. 2018)
- [4] Fuminori Sakai, Mitsuo Makimoto, Koji Wada, “Design and Detection of Chipless RFID Tags Using Stepped Impedance Resonators with Short-circuited, Ends”, Transactions of The Japan Institute of Electronics Packaging, Vol. 11, E18-001-1 (DEC. 2018)
- [5] Satoshi Ono, Koji Wada, “Unloaded quality factor for hairpin resonator affected by conduction and radiation losses on K-band”, Transactions of The Japan Institute of Electronics Packaging, Vol. 11, E18-002-1 (DEC. 2018)
- [6] T. Vu, K. Takano, M. Fujishima, “Low-power D-band CMOS amplifier for ultrahigh-speed wireless communications,” International Journal of Electrical and Computer Engineering, vol. 8, no. 2, 1 Apr. 2018.
- [7] T. Vu, K. Takano, M. Fujishima, “300-GHz Balanced Varactor Doubler in Silicon CMOS for Ultrahigh-Speed Wireless Communications,” IEEE Microwave Theory and Techniques Society, vol. 28, no. 4, pp. 341-343, April 2018.
- [8] 藤島実, “テラヘルツ通信で新しい応用を開くシリコン集積回路,” 電子情報通信学会誌, vol. 101, no. 6, pp. 554-560, June 2018.
- [9] S. Hara, K. Katayama, K. Takano, R. Dong, I. Watanabe, N. Sekine, A. Kasamatsu, T. Yoshida, S. Amakawa, and M. Fujishima, “32-Gbit/s CMOS receivers in 300GHz band,” IEICE Trans. Electron., vol. E101-C, no. 7, pp. 464-471, Jul. 2018.
- [10] 藤島実, 天川修平, 高塚弘隆, “(招待論文) 低電圧電源ミリ波 CMOS 回路,” 電子情報通信学会論文誌 C, vol. J101-C, no. 9, pp. 362-369, Sep. 2018.
- [11] M. Fujishima, “Key Technologies for THz Wireless Link by Silicon CMOS Integrated Circuits,” Photonics, vol. 5, no. 4, pp. 1-17, 23 Nov. 2018.
- [12] 藤島実, “CMOS 集積回路を用いたテラヘルツ広帯域通信とその応用,” 電子情報通信学会 通信ソサイエティマガジン, vol. 12, no. 3, pp. 190-196, Dec. 2018.
- [13] M. Fujishima, “(Invited paper) Emerging applications with terahertz communication,” International Journal of Terahertz Science and Technology (TST), vol. 11, no. 4, pp. 124-130, Dec. 31, 2018.
- [14] C.-S. Wu, M. Takamiya, and T. Sakurai, “Clocked Hysteresis Control Scheme With Power-Law Frequency Scaling in Buck Converter to Improve Light-Load Efficiency for IoT Sensor Nodes,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 26, No. 6, pp. 1139-1150, June 2018.
- [15] T. Sai, Y. Yamauchi, H. Kando, T. Funaki, T. Sakurai, and M. Takamiya, “2/3 and 1/2 Reconfigurable Switched Capacitor DCDC

- Converter With 92.9% Efficiency at 62 mW/mm<sup>2</sup> Using Driver Amplitude Doubler," *IEEE Transactions on Circuits and Systems—II Express Briefs*, Vol. 65, No. 11, pp. 1654 - 1658, Nov. 2018.
- [16] T. Someya, A. K. M. M. Islam, T. Sakurai, and M. Takamiya, "An 11-nW CMOS Temperature-to-Digital Converter Utilizing Sub-Threshold Current at Sub-Thermal Drain Voltage," *IEEE Journal of Solid-State Circuits*, Vol.54, No.3, pp. 613 - 622, March 2019.
- [17] T. Someya, K. Matsunaga, H. Morimura, T. Sakurai, and M. Takamiya, "A 0.904.39-V Detection Voltage Range, 56-Level Programmable Voltage Detector Using Fine Voltage-Step Subtraction for Battery Management," *IEEE Transactions on Circuits and Systems—II Regular Papers*, Vol. 66, No. 3, pp. 1270 - 1279, March 2019.
- [18] 橋本, 小林, 安部, 渡辺, 古田, "Characterizing SRAM and FF soft error rates with measurement and simulation", *Journal of Integration*(2019)
- [19] Nguyen Ngoc Mai-Khanh, Shigeru Nakajima, Tetsuya Iizuka, Yoshio Mita, and Kunihiro Asada, "Noninvasive Localization of IGBT Faults by High-Sensitivity Magnetic Probe with RF Stimulation," *IEEE Transactions on Instrumentation and Measurement*, vol. 67, no. 4, pp. 745 - 753, Apr. 2018.
- [20] Toru Nakura, Tsukasa Kagaya, Tetsuya Iizuka, and Kunihiro Asada, "Quick-Start Pulse Width Controlled PLL with Frequency and Phase Presetting," *IEICE Transactions on Electronics*, vol. E101-C, no. 4, pp. 218 - 223, Apr. 2018.
- [21] Masahiro Kano, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "Triangular Active Charge Injection Method for Resonant Power Supply Noise Reduction," *IEICE Transactions on Electronics*, vol. E101-C, no. 4, pp. 292 - 298, Apr. 2018.
- [22] Naoki Terao, Toru Nakura, Masahiro Ishida, Rimon Ikeno, Takashi Kusaka, Tetsuya Iizuka, and Kunihiro Asada, "Digitally-Controlled Compensation Current Injection to ATE Power Supply for Emulation of Customer Environment," *Springer Journal of Electronic Testing! Theory and Applications*, vol. 34, no. 2, pp. 147 - 161, Apr. 2018.
- [23] Tetsuya Iizuka, Takaaki Ito and Asad A. Abidi, "Comprehensive Analysis of Distortion in the Passive FET Sample-and-Hold Circuit," *IEEE Transactions on Circuits and Systems-II Regular Papers*, vol. 65, no. 4, pp. 1157 - 1173, Apr. 2018.
- [24] Tetsuya Iizuka and Asad A. Abidi, [Invited] "A Unified Analysis of the Signal Transfer Characteristics of a Single-Path FET-R-C Circuit," *IEICE Transactions on Electronics*, vol. E101-C, no. 7, pp. 432-443, Jul. 2018.
- [25] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka, Toru Nakura and Kunihiro Asada, "Analysis and Design of Impulse Signal Generator based on Current-Mode Excitation and Transmission Line Resonator," *Springer Journal of Analog Integrated Circuits and Signal Processing*, vol. 97, no. 3, pp. 457 - 470, Dec. 2018.
- [26] Ryuichi Enomoto, Tetsuya Iizuka, Takehisa Koga, Toru Nakura, and Kunihiro Asada, "A 16-bit 2.0-ps Resolution Two-Step TDC in 0.18-um CMOS utilizing Pulse-Shrinking Fine Stage with Built-In Coarse Gain Calibration," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 27, no. 1, pp. 11 - 19, Jan. 2019.
- [27] Yoshitaka Otsuki, Daisuke Yamazaki, Nguyen Ngoc Mai-Khanh and Tetsuya Iizuka, "A 140 GHz Area-and-Power-Efficient VCO using Frequency Doubler in 65 nm CMOS," *IEICE Electronics Express*, vol. 16, No. 6, pp. 1 - 5, Mar. 2019.
- [28] K. Doi, R. Shioya, and H. Ando, "Performance Improvement Techniques in Tightly Coupled Multicore Architectures for Single-Thread Applications," *IPSJ Journal of Information Processing*, Vol.26, pp.445-460, June 2018.
- [29] Mohamed M. Mansour, Haruichi Kanaya, "Compact and Broadband RF Rectifier With 1.5 Octave Bandwidth Based on a Simple



- Pair of L-Section Matching Network",IEEE Microwave and Wireless Components Letters,Vol. 28, Issue 4, pp.335-337, 2018年4月.
- [30] Chai-Eu Guan, Haruichi Kanaya,"360 deg Phase Shifter Design Using Dual-Branch Switching Network",IEEE Microwave and Wireless Components Letters, Vol. 28, Issue 8, pp.675-677, 2018年8月.
- [31] Masahiro Ichihashi, Haruichi Kanaya,"A High-frequency, Low-Coupling 8-shaped Differential Inductor with Patterned Ground Shield",Microwave and Optical Technology Letters, Vol.60, Issue 11, pp.2704-2707, 2018年11月.
- [32] Masahiro Ichihashi, Haruichi Kanaya,"A Low-Power and GHz-band LC-DCO Directly Drives 10mm On-chip Clock Distribution Line in 0.18um CMOS",IEICE Transactions on Fundamentals Vol.E101-A, No.11, pp.1907-1914,2018年11月.
- [33] 加藤 和利, 金谷 晴一,"フォトミキサアレーを用いたテラヘルツ波発生と無線通信への応用",OPTRONICS, No.11, pp.140-145, 2018年11月.
- [34] Takeshi Kuboki, Tomoki Sadakiyo, Wee Sang Park, and Haruichi Kanaya,"Impedance-matched Planar-antenna-integrated High-efficiency Push-pull Power Amplifier with Center-tapped Transformer for 5 GHz Wireless Communication",Sensors and Materials, Volume 30, Number 12(2) pp. 2969-2978, 2018年12月.
- [35] Mohamed Mansour, Xavier Le Polozec and Haruichi Kanaya,"Enhanced Broadband RF Differential Rectifier Integrated with Archimedean Spiral Antenna for Wireless Energy Harvesting Applications",Sensors 2019, 19(3), 655 (13 pages), 2019年2月.
- [36] Alperen Mustafa Colak, Taito Manabe, Yuichiro Shibata, Fujio Kurokawa, "Peak Detection Implementation for Real-Time Signal Analysis Based on FPGA", Circuits and Systems, Vol.9, No.10, pp.148-167 (2018.10)
- [37] Taito MANABE, Yuichiro SHIBATA, Kiyoshi OGURI, "FPGA Implementation of a Real-Time Super-Resolution System Using Flips and a n RNS - Based CNN", IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E101-A, No.12, pp.2280-2289 (2018.12)
- [38] Chubathi, Nishizawa, Ito, "Analog circuit design methodology utilizing a structure of thin BOX FDSOI," IEICE Electronics Express, Volume 16, Issue 5, 2019.
- [39] Ueyoshi K., Ando K., Hirose K., Takamaeda-Yamazaki S., Hamada M., Kuroda T., and Motomura M., "QUEST! Multi-purpose log-quantized DNN inference engine stacked on 96-MB 3-D SRAM using inductive coupling technology in 40-nm CMOS," IEEE Journal of Solid-State Circuits, vol. 54, no. 1, pp. 186-196 (2019).
- [40] Ando K., Ueyoshi K., Orimo K., Yonekawa H., Sato S., Nakahara H., Takamaeda-Yamazaki S., Ikebe M., Asai T., Kuroda T., and Motomura M., "BRein memory! a single-chip binary/ternary reconfigurable in-memory deep neural network accelerator achieving 1.4TOPS at 0.6W," IEEE Journal of Solid-State Circuits, vol. 53, no. 4, pp. 983-994 (2018).
- [41] Tanibata A., Schmid A., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "Proto-computing architecture over a digital medium aiming at real-time video processing," Complexity, vol. 2018, pp. 3618621-1-11 (2018).
- [42] H. Myoren, S. Denda, K. Ota, M. Naruse, T. Taino, L. Kang, J. Chen, P. Wu, "Readout Circuit Based on Single-Flux-Quantum Logic Circuit for Photon-Number-Resolving SNSPD Array," IEEE Tran. Appl. Supercond., Vol.28, Issue 4, Art.No. 2500304, 2018.
- [43] Kazuteru Namba and Fabrizio Lombardi, "A Single and Adjacent Error Correction Code for Fast Decoding of Critical Bits," IEEE Trans. Comput. Vol.67, No.10, pp.1525-1531, Oct. 2018.
- [44] Kazuteru Namba and Fabrizio Lombardi, "Coding for Write Latency Reduction in a Multi-Level Cell (MLC) Phase Change Memory (PCM)," IEEE Trans. Comput. Vol.68,

- No.2, pp.301-306, Feb. 2019.
- [45] Koki Ishida, Masamitsu Tanaka, Takatsugu Ono, Koji Inoue, "Towards Ultra High-Speed Cryogenic Single-Flux-Quantum Computing," IEICE Transactions on Electronics, Vol.E101-C, No.5, pp.359-369, May. 2018.
- [46] J.Akita, CMOS Image Sensor for High Speed and Low Latency Eye Tracking, IEICE Electronics Express, Article ID! 15.20180785, DOI <https://doi.org/10.1587/elex.15.20180785>, 2018.11.
- [47] K. Funayama, H. Tanaka, J. Hirotsu, K. Shimaoka, Y. Ohno, and Y. Tadokoro, "Noise modeling in field emission and evaluation of the nano-receiver in terms of temperature", IEEE Access (2019). doi!10.1109/ACCESS.2019.2913692
- [48] H. Uchiyama, S. Saijo, S. Kishimoto, J. Ishi-Hayase, and Y. Ohno, "Operando Analysis of Electron Devices Using Nanodiamond Thin Films Containing Nitrogen-vacancy Centers", ACS Omega 4, 7459-7466 (2019). doi!10.1021/acsomega.9b00344
- [49] N. X. Viet, S. Kishimoto, and Y. Ohno, "Highly Uniform, Flexible Microelectrodes Based on Clean Single-walled Carbon Nanotube Thin Film with High Electrochemical Activity", ACS App. Mater. Interfaces 11, 6389-6395 (2019). doi!10.1021/acsaami.8b19252
- [50] K. Nishimura, T. Ushiyama, N. X. Viet, M. Inaba, S. Kishimoto, and Y. Ohno, "Enhancement of the electron transfer rate in carbon nanotube flexible electrochemical sensors by surface functionalization", Electrochimica Acta 295, 157-163 (2019). doi!10.1016/j.electacta.2018.10.147
- [51] J. Hirotsu, S. Kishimoto, and Y. Ohno, "Origins of the variability of the electrical characteristics of solution-processed carbon nanotube thin-film transistors and integrated circuits", Nanoscale Adv. 1, 636-642 (2019). doi!10.1039/C8NA00184G
- [52] H. Sugime, T. Ushiyama, K. Nishimura, Y. Ohno, and S. Noda, "An interdigitated electrode with dense carbon nanotube forests on conductive supports for electrochemical biosensors", Analyst 143, 3635-3642 (2018). doi!10.1039/C8AN00528A
- [53] A.K.M. Mahfuzul Islam and Hidetoshi Onodera, "Circuit Techniques for Device-Circuit Interaction toward Minimum Energy Operation", IPSJ Transactions on System LSI Design Methodology, vol 12, pp. 2 - 12, DOI! 10.2197/ipsjtsldm.12.2, 2019/0
- [54] Jun Shiomi, Shu Hokimoto, Tohru Ishihara, and Hidetoshi Onodera, "Minimum Energy Point Tracking with All-Digital On-Chip Sensors", ASP Journal of Low Power Electronics, vol 14, no 2, pp. 227 - 235, 2018/06
- [55] M. Takenaka, J.-H. Han, F. Boeuf, J.-K. Park, Q. Li, C. P. Ho, D. Lyu, S. Ohno, J. Fujikata, S. Takahashi, and S. Takagi, "III-V/Si hybrid MOS optical phase shifter for Si photonic integrated circuits," IEEE/OSA Journal of Lightwave Technology, vol. 37, no. 5, pp. 1474-1483, March 2019 (invited).
- [56] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Tunable germanium-on-insulator band-stop optical filter using thermo-optic effect," IEEE Photonics Journal, 2019.
- [57] D.-A. Ahn, S.-H. Yoon, K. Kato, T. Fukui, M. Takenaka, and S. Takagi, "Effects of ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> gate-stack on the performance of planar-type InGaAs TFET," IEEE Trans. Electron Devices, vol. 66, no. 4, pp. 1862-1867, 2019.
- [58] T. Fujigaki, S. Takagi, and M. Takenaka, "High-efficiency Ge thermo-optic phase shifter on Ge-on-insulator platform," Optics Express, vol. 27, no. 5, pp. 6451-6458, 2019.
- [59] T. Sanjoh, N. Sekine, K. Kato, S. Takagi, and M. Takenaka, "Thermal properties of III-V on a SiC platform for photonic integrated circuits," Jpn. J. Appl. Phys., vol. 58, SBBE06, 2019.
- [60] K.-W. Jo, W.-K. Kim, M. Takenaka, and S. Takagi "Impact of SiGe layer thickness in starting substrates on strained Ge-on-insulator pMOSFETs fabricated by Ge condensation method," Appl. Phys. Lett., vol. 114, 062101, 2019.
- [61] K. Sumita, K. Kato, M. Takenaka, and S. Takagi,

- "Fabrication of thin body InAs-on-insulator structures by Smart Cut method with H+ implantation at room temperature," *Jpn. J. Appl. Phys.*, vol. 58, SBBA03, 2019.
- [62] S. Takagi, W.-K. Kim, K.-W. Jo, R. Matsumura, R. Takaguchi, T. Katoh, T.-E. Bae, K. Kato and M. Takenaka, "Ultrathin-body Ge-On-Insulator MOSFET and TFET technologies," *ECS Trans.*, vol. 86, no. 7, pp. 75-86, 2018 (invited).
- [63] S. Takagi, D.-H. Ahn, T. Gotow, C. Yokoyama, C.-Y. Chang, K. Endo, K. Katoh, and M. Takenaka, "Ultra-low power III-V-based MOSFETs and tunneling FETs," *ECS Trans.*, vol. 85, no. 8, pp. 27-37, 2018 (invited).
- [64] Q. Li, J.-H. Han, C. P. Ho, S. Takagi, and M. Takenaka, "Ultra-power-efficient  $2 \times 2$  Si Mach-Zehnder interferometer optical switch based on III-V/Si hybrid MOS phase shifter," *Optics Express*, vol. 26, no. 26, pp. 35003-35012, 2018.
- [65] J. Kang, S. Takagi, and M. Takenaka, "Ge photodetector monolithically integrated with amorphous Si waveguide on wafer-bonded Ge-on-insulator substrate," *Optics Express*, vol. 26, no. 23, pp. 30546-30555, 2018.
- [66] T.-H. Xiao, Z. Zhao, W. Zhou, M. Takenaka, H.-K. Tsang, Z. Cheng, and K. Goda, "High-Q germanium optical nanocavity," *Photonics Res.*, vol. 6, no. 9, pp. 925-928, 2018.
- [67] T.-E. Bae, K. Kato, R. Suzuki, R. Nakane, M. Takenaka, and S. Takagi "Influence of impurity concentration in Ge sources on electrical properties of Ge/Si hetero-junction tunneling field-effect transistors," *Appl. Phys. Lett.*, vol. 113, 062103, 2018.
- [68] C. P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Tunable grating coupler by thermal actuation and thermo-optic effect," *IEEE Photonics Technology Letters*, Vol. 30, No. 17, pp. 1503-1506, 2018.
- [69] T. H. Xiao, Z. Zhao, W. Zhou, C.-Y. Chang, S. Y. Set, M. Takenaka, H. K. Tsang, Z. Cheng, and K. Goda, "Mid-infrared high-Q germanium microring resonator," *Optics Letters*, vol. 43, no. 12, pp. 2885-2888, 2018.
- [70] J. Kang, S. Takagi, and M. Takenaka, "Design and characterization of Ge passive waveguide components on Ge-on-insulator wafer for mid-infrared photonics," *Jpn. J. Appl. Phys.*, vol. 57, 042202, 2018.
- [71] Y. Ishiguchi, D. Isogai, T. Osawa, S. Nkaatake "Analog perceptron circuit with DAC-based multiplier", *Integration* 63! 240-247, 2018.
- [72] B. Liu, G. Chen, B. Yang, S. Nakatake, "Routable and Matched Layout Styles for Analog Module Generation", *ACM Trans. Design Autom. Electr. Syst.* 23(4), 47!1-47, 2018.
- [73] Song Bian, Masayuki Hiromoto, and Takashi Sato, "Hardware-accelerated secured naive Bayesian filter based on partially homomorphic encryption," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E102-A, No.2, pp.430-439, February 2019.
- [74] Michihiro Shintani, Yohei Nakamura, Kazuki Oishi, Masayuki Hiromoto, Takashi Hikihara, and Takashi Sato, "Surface-potential-based silicon carbide power MOSFET model for circuit simulation," *IEEE Transactions on Power Electronics (TPEL)*, Vol.33, No.12, pp.10774-10783, December 2018.
- [75] Rui Zhou, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, "Modeling of interelectrode parasitic elements of V-groove SiC MOSFET," *Nonlinear Theory and Its Applications*, *IEICE*, Vol.9, No.3, pp.344-357, July 2018.
- [76] Satoshi Yamamori, Masayuki Hiromoto, and Takashi Sato, "Efficient mini-batch training on memristor neural network integrating gradient calculation and weight update," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E101-A, No.7, pp.1092-1100, July 2018.
- [77] Masayuki Hiromoto, Motoki Yoshinaga, and Takashi Sato, "MRO-PUF! Physically unclonable function with enhanced resistance against machine learning attacks utilizing instantaneous output of ring oscillator," *IEICE*

- Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E101-A, No.7, pp.1035-1044, July 2018.
- [78] Song Bian, Masayuki Hiromoto, and Takashi Sato, "DWE! Decrypting learning with errors with errors," in Proc. ACM/IEEE Design Automation Conference (DAC), pp.10.3!1-10.3!6, June 2018.
- [79] Katsumi Inoue, Trong-Thuc Hoang, and Cong-Kha Pham, "Frequent Items Counter Based on Binary Decoders," in IEICE Elec. Express (ELEX), Vol. 15, No. 20, pp. 20180808, 2018.
- [80] Katsumi Inoue, Trong-Thuc Hoang, and Cong-Kha Pham, "Frequent Items Counter Based on Binary Decoders," in IEICE Elec. Express (ELEX), Vol. 15, No. 20, pp. 20180808, 2018.
- [81] T. Mori, J. Ida, S. Momose, K. Itoh, K. Ishibashi, and Y. Arai, "Diode characteristics of a super-steep subthreshold slope PN-body tied SOI-FET for energy harvesting applications," IEEE J. Electron Devices Soc., vol. 6, pp. 565-570, Apr. 2018.
- [82] T. Mori, J. Ida, S. Inoue, and T. Yoshida, "Characterization of hysteresis in SOI-based super-steep subthreshold slope FETs," IEICE Transactions on Electronics, vol. E101-C, no. 5, pp. 334-337, May 2018.
- [83] T. Mori, and J. Ida, "P-channel and N-channel super-steep subthreshold slope PN-body tied SOI-FET for ultralow power CMOS," IEEE Journal of the Electron Devices Society, vol. 6, pp. 1213-1219, Oct. 2018.
- [84] H. Ochi, K. Yamaguchi, T. Fujimoto, J. Hotate, T. Kishimoto, T. Higashi, T. Imagawa, R. Doi, M. Tada, T. Sugibayashi, W. Takahashi, K. Wakabayashi, H. Onodera, Y. Mitsuyama, J. Yu, and M. Hashimoto, "Via-Switch Fpga! Highly-Dense Mixed-Grained Reconfigurable Architecture with Overlay Via-Switch Crossbars," IEEE Transactions on VLSI Systems, 26(12), pp. 2723--2736, December 2018.
- [85] Y. Masuda, T. Onoye, and M. Hashimoto, "Activation-Aware Slack Assignment for Time-To-Failure Extension and Power Saving," IEEE Transactions on VLSI Systems, 26(11), pp. 2217--2229, November 2018.
- [86] Agung, Tamura, Tanno, "CMOS Temperature Sensor with Programmable Temperature Range for Biomedical Applications", International Journal of Electrical and Computer Engineering (IJECE), Vol. 8, No. 2. pp. 946 - 953, April 2018.
- [87] Kondo, Tanno, Tamura, Nakatake, "Low Voltage CMOS Current Mode Reference Circuit without Operational Amplifiers", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E101-A, No. 5, pp. 748-754, May 2018.
- [88] Agung, Tamura, Tanno, "A Simple Transistors Width Adjustment Method on CMOS Transmission Gate Switch to Reduce Hold Error of S/H Circuit", International Journal on Advanced Science, Engineering, Information Technology (IJASEIT), Vol. 8, No. 3, pp. 924 - 929, Jun 2018.
- [89] Agung, Tamura, Tanno, "High Speed and Low Pedestal Error Bootstrapped CMOS Sample and Hold Circuit", International Journal of Electrical and Computer Engineering (IJECE), Vol. 8, No. 6, pp. 4148 - 4156, Dec. 2018.
- [90] Kenichi Ohhata, Daiki Hayakawa, Kenji Sewaki, Kento Imayanagida, Kouki Ueno, Yuuki Sonoda, Kenichiro Muroya, "A 900-MHz, 3.5-mW, 8-bit Pipelined Subranging ADC Combining Flash ADC and TDC," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 26, no. 9, pp. 1777-1787, Sept. 2018.
- [91] Puput Dani Prasetyo Adi and Akio Kitagawa, "Performance Evaluation WPAN of RN-42 Bluetooth based (802.15.1) for Sending the Multi-Sensor LM35 Data Temperature and RaspBerry Pi 3 Model B for the Database and Internet Gateway", International Journal of Advanced Computer Science and Applications, Vol. 9 Issue 12, pp.612-620, 2018.1.
- [92] Jumadi Mabe Parenreng and Akio Kitagawa, "Resource Optimization Techniques and Security Levels for Wireless Sensor Networks Based on the ARSy Framework", Sensors,



- vol.18, Issue 5, pp.1594-1609, 2018.5.
- [93] Muhammad Fauzan Edy Purnomo and Akio Kitagawa, "Triangular Microstrip Antenna for Circularly-Polarized Synthetic Aperture Radar Sensor Application", *Indonesian Journal of Electrical Engineering and Computer Science*, Vol.12, No.1, pp.310-318, 2018.10.
- [94] Muhammad Fauzan Edy Purnomo and Akio Kitagawa, "Development of Sixteen Elements of Microstrip Triangular Array Antenna for Circularly Polarized-Synthetic Aperture Radar Sensor Application", *Journal of Fundamental and Applied Sciences*, vol.10, No. 5S, pp.535-550, 2018.3.
- [95] Yoshio Mita, Naoyuki Sakamoto, Naoto Usami, Antoine Frappe, Akio Higo, Bruno Stefanelli, Hidehisa Shiomi, Julien Bourgeois, Andreas Kaiser, "Microscale ultrahigh-frequency resonant wireless powering for capacitive and resistive MEMS actuators", *Sensors & Actuators: A. Physical*, Vol. 275, no. 1, pp. 75-87, 2018,04
- [96] Yuki Okamoto, Hiroaki Takehara, Koji Fujimoto, Takanori Ichiki, Takayuki Ohba, and Yoshio Mita, "On-Chip High-Voltage Charge Pump with MEMS Post-Processed Standard 5-V CMOS on SOI for Electroosmotic Flow Micropumps", *IEEE Electron Device Letters*, Vol. 39, Issue 6, pp. 851-854, 2018, 04
- [97] Mathieu Pouliquen, Matthieu Denoual, Corentin Jorel, Constantin Radu, Didier Robbes, J Grand, H Awala, S Mintova, M Harnois, O de Sagazan, S Inoue, Eric Lebrasseur, Kentaro Yamada, Yuki Okamoto, Agnès Mita-Tixier, and Yoshio Mita, "Self-identification algorithm for zeolite-based thermal capacity gas sensor", *Microsystem Technologies*, 2018.05
- [98] Kentaro Yamada, Julien Grand, Yuki Okamoto, Rangareddy Ranga Reddy, Matthieu Denoual, Svetlana Mintova, Agnès Mita-Tixier, and Yoshio Mita, "Impact Test for Gas Sensing Using Large Particle Size Zeolite", *IEEE Transactions on Sensors and Micromachines*, vol. 138, no. 9, 2018.09
- [99] Tetsuya Odaira, Naoki Yokoshima, Ikuo Yoshihara, and Moritoshi Yasunaga, "Evolutionary design of high signal integrity interconnection based on eye-diagram," *Artificial Life and Robotics (Springer)*, Vol.23, No.3, pp.298-303, 2018.
- [100] Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "A Fast Wire-Routing Method and an Automatic Layout Tool for RSFQ Digital Circuits Considering Wire-Length Matching," *IEEE Transactions on Applied Superconductivity*, vol. 28, no. 4, Article# 1300105, June 2018.
- [101] 日野翔太 上見アレックス, 升井義博, "遅延回路によって構成した非同期レジスタ回路を用いた逐次比較型AD変換器の低電圧・低消費電力化の検討," *電気学会論文誌C (電子・情報・システム部門誌)*, vol.139, no.1, pp.50-55, 2019年1月.
- [102] Takahiro ICHIKURA, Yuma KIKUTANI, and Yasuhiko NAKASHIMA! "DSA並みの効率を達成するCNNs拡張機能付きCGRAの提案と評価", "A Proposal and Evaluation of a CGRA with CNNs Extension for Near Efficiency to DSA", *IEICE Trans.*, Vol.J102-D, No.07, pp.xxx-xxx, Jul. (2019)
- [103] K.Niitsu, A.Kobayashi, K.Hayashi, Y.Nishio, K.Ikeda, T.Ando, Y.Ogawa, H.Kai, M. Nishizawa, and K.Nakazato, "A Self-Powered Supply-Sensing Biosensor Platform Using Bio Fuel Cell and Low-Voltage, Low-Cost CMOS Supply-Controlled Ring Oscillator with Inductive-Coupling Transmitter for Healthcare IoT", *IEEE Transactions on Circuits and Systems I (TCAS-I)*, vol.65, no.9, pp.2784-2796, Sep. 2018.
- [104] K.Hayashi, S.Arata, S.Murakami, Y.Nishio, A.Kobayashi, and K.Niitsu, "A 6.1nA Fully-Integrated CMOS Supply-Modulated OOK Transmitter in 55nm DDC CMOS for Glass-Free, Self-Powered, and Fuel-Cell-Embedded Continuous Glucose Monitoring Contact Lens", *IEEE Transactions on Circuits and Systems II (TCAS-II)*, vol.65, no.10, pp.1360-1364, Oct. 2018.

- [105] K.Niitsu, T.Nakanishi, S.Murakami, M.Matsunaga, A.Kobayashi, N.M.Karim, J.Ito, N.Ozawa, T.Hase, H.Tanaka, M.Sato, H.Kondo, K.Ishikawa, H.Odaka, Y.Hasegawa, M.Hori, and K.Nakazato, "A 65-nm CMOS Fully Integrated Analysis Platform Using an On-Chip Vector Network Analyzer and a Transmission-Line-Based Detection Window for Analyzing Circulating Tumor Cell and Exosome", *IEEE Transactions on Biomedical Circuits and Systems (TBioCAS)*, vol.13, pp.470-479, 2019.
- [106] M.Matsunaga, T.Nakanishi, A.Kobayashi, K.Nakazato, and K.Niitsu, "Design and analysis of a three-dimensional millimeter-wave frequency-shift based CMOS biosensor using vertically stacked spiral inductors in LC oscillators", *Analog Integrated Circuits and Signal Processing (ALOG)*, vol.98, no.3, pp.453-464, Mar. 2019.
- [107] S. Tajima, N. Togawa, M. Yanagisawa, and Y. Shi, "A Low Power Soft Error Hardened Latch with Schmitt-Trigger-Based C-Element," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. 101-A, no. 7, pp. 1025-1034, 2018.
- [108] K. Hayamizu, N. Togawa, M. Yanagisawa and Y. Shi, "Extension and Performance/Accuracy Formulation for Optimal GeAr-based Approximate Adder Designs," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E101-A, no. 7, pp. 1014-1024, 2018.
- [109] 高良, 東原, "フリップ・フロップ型90°移相器を適用したデュアルLOスイッチング型直交変調器の設計", 平成30年度電気学会電子・情報・システム部門大会, 電気学会論文誌C, Vol.139, No.1, pp.87-88, 2019年1月.
- [110] T. Kamiya, M. Tanaka, K. Sano, and A. Fujimaki, "Energy/space-efficient rapid single-flux-quantum circuits by using  $\pi$ -shifted Josephson junctions," *IEICE Trans. Electron.*, vol. E101-C, no. 5, pp. 385-390, May 2018.
- [111] K. Sano et al., "Thermally assisted superconductor transistors for Josephson-CMOS hybrid memories," *IEICE Trans. Electron.*, vol. E101-C, no. 5, pp. 370-377, May 2018.
- [112] 田中雅光ほか, "超伝導単一磁束量子回路による50 GHzビット並列演算マイクロプロセッサに向けた要素回路設計," 電子情報通信学会論文誌C, vol. 101-C, no. 10, pp. 389-399, Sep. 2018.
- [113] N. Miura, M. Takahashi, K. Nagatomo, M. Nagata, "Chip-Package-Board Interactive PUF Utilizing Coupled Chaos Oscillators with Inductor," *IEEE Journal of Solid-State Circuits*, Vol. 53, No. 10, pp. 2889-2897, Jul. 2018.
- [114] K. Matsuda, T. Fujii, N. Shoji, T. Sugawara, K. Sakiyama, Y. Hayashi, M. Nagata, N. Miura, "A 286 F2/Cell Distributed Bulk-Current Sensor and Secure Flush Code Eraser Against Laser Fault Injection Attack on Cryptographic Processor," *IEEE Journal of Solid-State Circuits*, Vol. 53, No. 11, pp. 3174-3182, Sep. 2018.
- [115] Li Guo, Dajiang Zhou, Jinjia Zhou, Shinji Kimura, and Satoshi Goto, "Lossy Compression for Embedded Computer Vision Systems," *IEEE Access*, Vol.6, pp. 39385-39397, Aug. 2018.
- [116] Asano, Hirose, Ozaki, Kuroki, Numa, "An area-efficient resistor-less on-chip frequency reference for ultra-low power real-time clock application," *IEEJ Trans. Electr. and Electron. Eng.*, vol. 13, no. 11, pp. 1633-1641, 2018.
- [117] M. Yamaguchi, G. Iwamoto, H. Tamukoh, T. Morie, "An Energy-efficient Time-domain Analog VLSI Neural Network Processor Based on a Pulse-width Modulation Approach," *arXiv.org*, arXiv:1902.07707, Feb. 16. 2019.
- [118] Q. Wang, H. Tamukoh, T. Morie, "A Time-domain Analog Weighted-sum Calculation Model for Extremely Low Power VLSI Implementation of Multi-layer Neural Networks," *arXiv.org*, arXiv:1810.06819, Oct. 2018.
- [119] T. Fujimori, M. Watanabe, "Optically reconfigurable gate array using a colored configuration," *Applied Optics*, Vol. 57, Issue 29, pp. 8625-8631, Oct., 2018.
- [120] 渡邊 実, 「強放射線環境下で使用できる耐放射

- 線FPGA], 電気評論, pp. 50-54, 5月, 2018.
- [121] 佐保, 原田, 藤本, "ニューロン CMOS インバータを用いた RAM 型最小ハミング距離検索連想メモリの検討", 東海大学基盤工学部紀要, No.6, pp.8-13, 2019年3月
- [122] Satoshi Shikatsu, Akira Yasuda, Delta-Sigma ADC Based on Switched-Capacitor Integrator with FIR Filter Structure, IEICE Trans. Fundamentals, Vol. E102-A, No. 3, pp. 498-506, March, 2019.
- [123] 嘉藤 貴博, 安田, 彰, Multiplied  $\Delta\Sigma$  Time to Digital Converter の Simulink での検討, 電子情報通信学会論文誌 基礎境界, Vol.J101-A, No.6, pp.111-118, June 2018.
- [124] Makito Haruta, Yuki Kurauchi, Masahiro Ohsawa, Chihiro Inami, Risako Tanaka, Kenji Sugie, Ayaka Kimura, Yasumi Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Hiroshi Katsuki, Jun Ohta, "Chronic brain blood-flow imaging device for a behavior experiment using mice," Biomedical Optics Express, vol.10, no.4, pp.1557-1566, 2019.3.4.doi!10.1364/BOE.10.001557
- [125] Yuki Kurauchi, Makito Haruta, Risako Tanaka, Kiyotaka Sasagawa, Jun Ohta, Akinori Hisatsune, Takahiro Seki, Hiroshi Katsuki, "Propranolol prevents cerebral blood flow changes and pain-related behaviors in migraine model mice," Biochemical and Biophysical Research Communications, vol.508, no.2, pp.445-450, 2019.1.8.doi!10.1016/j.bbrc.2018.11.173
- [126] Tsai-Wei Chung, Chih-Ning Huang, Po-Chun Chen, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Fabrication of Iridium Oxide/Platinum Composite Film on Titanium Substrate for High-Performance Neurostimulation Electrodes," Coatings, vol.8, no.12, pp.420, 2018.11.23.doi!10.3390/coatings8120420
- [127] Takashi Tokuda, Takaaki Ishizu, Wuthibenjaphonchai Nattakarn, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Mohamad Sawan, and Jun Ohta, "Design Optimization of CMOS Control Circuit for Integrated Photovoltaic Power Transfer," Sensors and Materials, vol.30, no.10, pp.2343-2357, 2018.10.25.doi!10.18494/SAM.2018.1945
- [128] Toshihiko Noda, Yukari Nakano, Yasuo Terasawa, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Performance improvement and in vivo demonstration of a sophisticated retinal stimulator using smart electrodes with built-in CMOS microchips," Japanese Journal of Applied Physics, vol.57, no.10, pp.1002B3, 2018.9.12. doi!10.7567/JJAP.57.1002B3
- [129] Kiyotaka Sasagawa, Ayaka Kimura, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Highly sensitive lens-free fluorescence imaging device enabled by a complementary combination of interference and absorption filters," Biomedical optics express, vol.9, no.9, pp.4329-4344, 2018.8.17.doi!10.1364/BOE.9.004329
- [130] Hironari Takehara, Yuta Nakamoto, Narihito Ikeda, Kiyotaka Sasagawa, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Compact Lensless Fluorescence Counting System for Single Molecular Assay," IEEE Transactions on Biomedical Circuits and Systems, vol.12, no.5, pp.1177-1185, 2018.10.1.doi!10.1109/TBCAS.2018.2820151
- [131] Takashi Tokuda, Takaaki Ishizu, Wuthibenjaphonchai Nattakarn, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Mohamad Sawan, Jun Ohta, "1 mm<sup>3</sup>-sized Optical Neural Stimulator based on CMOS Integrated Photovoltaic Power Receiver," AIP Advances, vol.8, no.4, pp.45018, 2018.4.20. doi!10.1063/1.5024243
- [132] H. Koyasu, and Y. Takahashi, "Current pass optimized symmetric pass gate adiabatic logic for cryptographic circuits," IPSJ Trans. System LSI Design Methodology, vol.12, pp.50-52, Feb. 2019.
- [133] R. Wakemoto, Y. Takahashi, and T. Sekine, "FinFET 4T-SRAM operable at near-threshold region," Electronics and Communications in Japan, vol.102, no.5, pp.19-26, 2019.
- [134] Uenomachi, M., Orita, T., Shimazoe, K.,

- Takahashi, H., Ikeda, H., Tsujita, K., & Sekiba, D. (2018). Development of slew-rate-limited time-over-threshold (ToT) ASIC for a multi-channel silicon-based ion detector. *Journal of Instrumentation*, 13(01), C01040.
- [135] Koyama, A., Hamasaki, R., Shimazoe, K., Takahashi, H., Takeshita, T., Kurachi, I., ... & Arai, Y. (2018). A 250-  $\mu$  m pitch 36-channel silicon photo multiplier array prototype using silicon on insulator technology. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*.
- [136] T. Sugawara, "3-Share Threshold Implementation of AES S-box without Fresh Randomness," *IACR Trans. Cryptographic Hardware and Embedded Systems 2019(1)* 123-145 (2019), 2019.
- [137] Ochi et.al, "Via-switch FPGA! Highly-dense Mixed-grained Reconfigurable Architecture with Overlay Via-switch Crossbars", *IEEE Trans. on VLSI Systems*, pp.2723-2736, Dec. 2018
- [138] Fara Ashikin Binti Ali, M. Hashizume, H. Yotsuyanagi, S-K. Lu and Z. Roth, "A Design for Testability of Open Defects at Interconnects in 3D Stacked ICs", *IEICE Transactions on Information and Systems*, Vol.E101-D, No.8, pp.2053-2063, 2018.
- [139] Takashi Yamashita, Daisuke Nakano, Masayuki Mori and Koichi Maezawa, "A wide-range variable-frequency resonant tunneling diode oscillator using a variable resonator suitable for simple MEMS process", *Jpn. J. Appl. Phys.* Vol.57 (2018) 04FG10
- [140] K. Maezawa and M. Mori, "Possibilities of Large Voltage Swing Hard-Type Oscillators Based on Series-Connected Resonant Tunneling Diodes", *IEICE TRANS. ELECTRON.*, VOL.E101-C, NO.5 (2018) pp.305-310.
- [141] 進藤, 瀬戸, 傘, "非2進展開に基づくAD変換器のデジタル回路部面積削減手法", *電気学会論文誌C*, pp. 76-82, 2019年1月.
- [142] 阿部晋士, 坂井尚貴, 大平 孝, "共鳴ブリッジT整流回路の試作," *信学技報 WPT2018-36*, vol. 118, no. 227, pp. 39-43, Oct. 2018.
- [143] 阿部晋士, 西岡正悟, 坂井尚貴, 大平 孝, "整流回路の直列並列分配合成による大電力化," *信学技報*, vol. 118, no. 391, WPT2018-60, pp. 31-36, Jan. 2019.
- [144] Tongxin Yang, Tomoaki Ukezono, and Toshinori Sato, "Design and Analysis of A Low-Power High-Speed Accuracy-Controllable Approximate Multiplier", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences (EA)*, Special Section on VLSI Design and CAD Algorithms, Vol. E101-A, No.12, pp.2244--2253, 2018.12.
- [145] C. Cao, Y. Shirakawa, L. Tan, M-W. Seo, K. Kagawa, K. Yasutomi, S-W. Jun, T. Kosugi, S. Aoyama, N. Teranishi, N. Tsumura, S. Kawahito, "A Time-Resolved NIR Lock-In Pixel CMOS Image Sensor With Background Cancelling Capability for Remote Heart Rate Detection", *IEEE Journal of Solid-State Circuits*, pp.1-14, 2018.12.21
- [146] F. Mochizuki, K. Kagawa, W. Miyagi, W. Seo, Zhang, Takasawa, Yasutomi, Kawahito, Separation of Multi-path Components in Sweepless Time-of-flight Depth Imaging with a Temporally-compressive Multi-aperture Image Sensor *ITE Transactions on Media Technology and Applications*, Vol.6, No.3, pp.202-211, 2018.7.1
- [147] 香川景一郎, 安富啓太, 川人祥二, 沖原伸一朗, "光・イメージセンサ・信号処理が相互補完するコンピュータショナル超高速イメージング", *光アライアンス* 9月号, pp.50-54, 2018.8
- [148] Y. Nishioka, K. Kagawa, C. Cao, N. Tsumura, T. Komuro, K. Nakamura, A. Durkin, B-J. Tromberg, K. Yasutomi, S. Kawahito, "Motion-artifact-free near-video-rate spatial-frequency-domain imaging using a 4-tap CMOS image sensor with ambient light suppression", *Proc. Photonics West 2019*, 2019. (In Press)
- [149] Ong, Sato, Ogawea, "Circuit Scale Reduced N-path filters with sampling computation for increased harmonic passband rejection", *IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences*, Vol. E102-A No.1, pp.219-226, Jan. 2019



- [150] 佐藤, 植松, 小川, "充放電回路を用いたゼロボルトスイッチング DC-DC コンバータ", 電気学会論文誌C, Vol.139 No.1 pp.63-69, 2019
- [151] T. Yamae, N. Takeuchi, N. Yoshikawa, "A reversible full adder using adiabatic superconductor logic," Supercond. Sci. Technol. 32 (2019) 035005.
- [152] N. Takeuchi, T. Yamae, C. L. Ayala, H. Suzuki, N. Yoshikawa, "An adiabatic superconductor 8-bit adder with 24kBT energy dissipation per junction," Appl. Phys. Lett., 114, 042602 (2019).
- [153] H. Takayama, N. Takeuchi, Y. Yamanashi, N. Yoshikawa, "A random-access-memory cell based on quantum flux parametron with three control lines," Journal of Physics. Conf. Series. 1054 (2018) 012063.
- [154] 中嶋伸吾, 中村誠, 伊藤大輔, "フィードフォワード構成によるDFE回路の高速化の一検討", 電子情報通信学会和文論文誌, 基礎・境界, Vol. J101-A, No.11, pp. 268-272, Nov. 2018.
- [155] 渡辺, 原田, "新たな同期アルゴリズムを用いた0.5V動作フィルタレスデジタルPLL回路の設計と評価", 電気学会論文誌C, 139 巻 1 号, p. 70-75, 2019年1月
- [156] 佐々木芳樹, 佐伯勝敏, 低容量化カオスニューロンモデルの出力電圧に対する検討, 電気学会論文誌C, Vol.138, No.7, pp.766-773, 2018.7.1.
- [157] Nobuaki Kobayashi and Tadayoshi Enomoto, "Quantized Decoder Adaptively Predicting both Optimum Clock Frequency and Optimum Supply Voltage for a Dynamic Voltage and Frequency Scaling Controlled Multimedia Processor", IEICE Tran. on Electronics, vol. E101-C, No. 8, pp. 671-679, Aug. 2018.
- [158] Nobuaki Kobayashi and Tadayoshi Enomoto, "Development of a Low Standby Power Six-Transistor CMOS SRAM Employing a Single Power Supply", IEICE Tran. on Electronics, vol. E101-C, No. 10, pp. 822-830, Oct. 2018.
- [159] C. Pan and H. San, "A Noise Coupled  $\Delta \Sigma$  AD Modulator Using Passive Adder Embedded Noise Shaping SAR Quantizer," IEICE Trans on Electronics, Vol.E101-C, No.7, pp.480-487, July, 2018.
- [160] C. Pan and H. San, "A 6th-Order Quadrature Bandpass Delta Sigma AD Modulator Using Dynamic Amplifier and Noise Coupling SAR Quantizer," IEICE Trans on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E102-A, No.3, pp.507-517, March, 2019.
- [161] 木村, 山根, 増澤, "2次元集積化磁気センサへの相関二重サンプリングの導入とノイズ低減に関する検討", 電気学会論文誌E, pp.61-63, 2019年, 3月
- [162] Matsushita Kojiro, Hirata Masayuki, Suzuki Takafumi, Ando Hiroshi, Yoshida Takeshi, Ota Yuki, Sato Fumihiro, Morris Shayne, Sugata Hisato, Goto Tetsu, Yanagisawa Takufumi, Yoshimine Toshiki, "A Fully Implantable Wireless ECoG 128-Channel Recording Device for Human Brain Machine Interfaces! W-HERBS", Frontiers in Neuroscience, vol.12, 2018.
- [163] Junji Yamada, Ushio Jimbo, Ryota Shioya, Masahiro Goshima, Shuichi Sakai, "Bank-Aware Instruction Scheduler for Multibanked Register File", IPSJ J. Information Processing, Vol. 26, pp. 696-705, 2018年9月.
- [164] 北野 大志, 小椋 清孝, 森下 賢幸, 伊藤 信之, "入出力に二帯域整合回路を備えた同時受信低雑音増幅器に関する検討" 電子情報通信学会論文誌 C, Vol.J101-C, No.12, pp.461-470, Dec. 2018.
- [165] D. Kitagata, S. Yamamoto, and S. Sugahara, "Design and energy-efficient architectures for nonvolatile static random access memory using magnetic tunnel junctions", Jpn. J. Appl. Phys., vol. 58, no. SB, 2018, pp. SB3B12/1-10.

#### 国際会議

- [1] S.Ono, K.Wada, "Design and fabrication of 3-poleBPF configured by hairpin resonators and different types of coupling and feed types at 20 GHz," 2018 Asia pacific microwave conference (APMC2018)(Nov.2018)
- [2] S. Lee, K. Takano, R. Dong, S. Amakawa, T. Yoshida, M. Fujishima, "A 300-  $\mu$  W K-Band Oscillator with High-Q OpenStub Capacitor in

- 55-nm CMOS DDC," TH2, The 2018 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT2018), Melbourne, 16 Aug. 2018.
- [3] K. Takano, R. Dong, S. Lee, S. Amakawa, T. Yoshida, M. Fujishima, "A 239-315 GHz CMOS Frequency Doubler Designed by Using a Small-Signal Nonlinear Model," 2018 13th European Microwave Integrated Circuits Conference (EuMIC), Madrid, 24 Sep. 2018.
- [4] R. Dong, K. Katayama, K. Takano, S. Lee, T. Yoshida, S. Amakawa, M. Fujishima, "A 79-85 GHz CMOS Amplifier with 0.35 V Supply Voltage," 2018 13th European Microwave Integrated Circuits Conference (EuMIC), Madrid, 24 Sep. 2018.
- [5] S. Hara, K. Takano, K. Katayama, R. Dong, K. Mizuno, K. Takahashi, I. Watanabe, N. Sekine, A. Kasamatsu, T. Yoshida, S. Amakawa, M. Fujishima, "300-GHz CMOS Receiver Module with WR-3.4 Waveguide Interface," 2018 48th European Microwave Conference (EuMC), Madrid, 26 Sep. 2018.
- [6] S. Lee, K. Takano, R. Dong, S. Amakawa, T. Yoshida, M. Fujishima, "A 37-GHz-Input Divide-by-36 Injection-Locked Frequency Divider with 1.6-GHz Lock Range," IEEE Asian Solid-State Circuits Conference (A-SSCC 2018), Tainan, 7 Nov. 2018.
- [7] S. Lee, R. Dong, T. Yoshida, S. Amakawa, S. Hara, A. Kasamatsu, J. Sato, M. Fujishima, "An 80Gb/s 300GHz-Band Single-Chip CMOS Transceiver," 2019 International Solid-State Circuits Conference (ISSCC 2019), San Francisco, Feb. 18 2019.
- [8] T. Someya, A.K.M. M. Islam, T. Sakurai, and M. Takamiya, "A 13nW Temperature-to-Digital Converter Utilizing Sub-threshold MOSFET Operation at Sub-thermal Drain Voltage," IEEE Custom Integrated Circuits Conference (CICC), San Diego, USA, pp. 1-4, April 2018.
- [9] H. Qiu, Y. Narusue, Y. Kawahara, T. Sakurai, and M. Takamiya, "Digital Coil! Transmitter Coil with Programmable Radius for Wireless Powering Robust Against Distance Variation," IEEE Wireless Power Transfer Conference (WPTC), Montreal, Canada, pp. 1-4, June 2018.
- [10] Y. Uno, H. Qiu, T. Sai, S. Iguchi, Y. Mizutani, T. Hoshi, Y. Kawahara, Y. Kakehi, and M. Takamiya, "Luciola! A Millimeter-Scale Light-Emitting Particle Moving in Mid-Air Based On Acoustic Levitation and Wireless Powering," ACM International Joint Conference on Pervasive and Ubiquitous Computing (UbiComp), Singapore, Oct. 2018.
- [11] T. Sai, Y. Yamauchi, H. Kando, T. Funaki, T. Sakurai, and M. Takamiya, "Spike Noise Cancelling Circuit for Switched Capacitor DC-DC Converter Mounting MLCCs on CMOS Die," IEEE International Workshop on Power Supply on Chip (PwrSoC), Hsinchu, Taiwan, pp. 63 - 64, Oct. 2018.
- [12] H. Qiu, Y. Uno, T. Sai, S. Iguchi, Y. Mizutani, T. Hoshi, Y. Kawahara, Y. Kakehi, and M. Takamiya, "Luciola! A Light-Emitting Particle Moving in Mid-Air Based On Ultrasonic Levitation and Wireless Powering," 11th ACM SIGGRAPH Conference and Exhibition on Computer Graphics and Interactive Techniques in Asia (SIGGRAPH Asia), Emerging Technologies, Tokyo, pp. 1 - 2, Dec. 2018.
- [13] T. Sakata, Y. Mitani, K. Miyaji, S. Kaneko, T. Uekura, H. Taki, H. Momose and K. Johguchi, "A CMOS integrated sweat monitoring system for medical applications," 2nd International Symposium on Devices, Circuits and Systems (ISDCS2019), March 2019
- [14] Parit Kanjanavirojkul, Nguyen Ngoc Mai-Khanh, Rimon Ikeno, Takahiro J. Yamaguchi, Tetsuya Iizuka, and Kunihiro Asada, "A Consideration on LUT Linearization of Stochastic ADC in Sub-Ranging Architecture," in Proceedings of IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), Aug. 2018.
- [15] Naoki Ojima, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, "A Synthesizable Digital Low-Dropout Regulator Based on Voltage-to-Time Conversion," in Proceedings of 26th

- IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), Oct. 2018.
- [16] Tetsuya Iizuka and Kunihiro Asada, "Time-Domain Approach for Analog Circuits! Fine-Resolution TDC and Quick-Start CDR Circuits," in Proceedings of IEEE International Conference on Advanced Technologies for Communications (ATC), pp. 376 - 381, Oct. 2018.
- [17] Tetsuya Iizuka and Kunihiro Asada, "Time-Domain Approach for Analog Circuit Designs," APSCIT 2019 International Conference for Leading and Young Computer Scientists (IC-LYCS), Mar. 2019.
- [18] S. Sakai, T. Suenaga, R. Shioya, and H. Ando, "Rearranging Random Issue Queue with High IPC and Short Delay," In Proceedings of the 36th IEEE International Conference on Computer Design, pp.123-131, October 2018.
- [19] H. Ando, "Performance Improvement by Prioritizing the Issue of the Instructions in Unconfident Branch Slices," In Proceedings of the 51st Annual International Symposium on Microarchitecture, pp.82-94, October 2018.
- [20] Y. Karasawa, T. Fukuoka, and K. Miyaji, "A 92.8% Efficiency Adaptive-On/Off-Time Control 3-Level Buck Converter for Wide Conversion Ratio with Shared Charge Pump Intermediate Voltage Regulator", in proc. IEEE Symp. VLSI Circuits, pp. 227-228, June 2018.
- [21] K. Miyaji, Y. Karasawa, and T. Fukuoka, "A Wide Conversion Ratio, 92.8% Efficiency, 3-Level Buck Converter with Adaptive On/Off-Time Control and Shared Charge Pump Intermediate Voltage Regulator", 24th Asia and South Pacific Design Automation Conference (ASP-DAC) 2019 University LSI Design Contest, 1A-1, January 2019.
- [22] T. Fukuoka, Y. Karasawa, T. Akiyama, R. Oka, S. Ishida, T. Shirasawa, M. Sonehara, T. Sato, and K. Miyaji, "An 86% Efficiency, 20MHz, 3D-Integrated Buck Converter with Magnetic Core Inductor Embedded in Interposer Fabricated by Epoxy/Magnetic-Filler Composite Build-Up Sheet", in proc. IEEE Appl. Power Electron. Conf. Expo. (APEC), pp. 1561-1566, March 2019.
- [23] T. Yamamoto, "RF-DC conversion circuit for wireless power transfer and energy harvesting technologies," 2018 Asia-Pacific Microwave Conference, WS-C2-01, pp.1-50, Dec. 2018.
- [24] K. Ono, K. Hiura, and S. Matsumoto, "Design consideration of a 3D stacked power supply on chip", 2018 IEEE the 68th Electronic Components and Technology Conference, Session 27.7, 2018.
- [25] Y. Sato, K. Ono, M. Nomura, S. Matsumoto, and M. Hasegawa, "Impact of the semiconductor on hexagonal-BN structure for power supply on chip applications", Extended Abstract of the 2018 International Conference on Solid State Devices and Materials, PS-4-08, 2018.
- [26] Y. Sato, K. Ono, M. Nomura, S. Matsumoto, and M. Hasegawa, "Numerical predictions of a novel 3D stacked power SoC structure based on hexagonal-BN", International Power Supply on Chip Workshop 2018, P5.3, 2018.
- [27] Kaoru Saso and Yuko Hara-Azumi, "Simple Instruction-Set Computer for Area and Energy-Sensitive IoT Edge Devices," International Conference on Application-specific Systems, Architectures and Processors (ASAP), pp.93-96, Milan, Italy, Jul. 10th, 2018.
- [28] Yuko Hara-Azumi, "Highly-Scalable and Flexible Multicore Processors with Limited ISAs," 18th International Forum on MPSoC for Software-defined Hardware (MPSoC), Snowbird, UT, USA, Aug. 2nd, 2018.
- [29] Mohamed M. Mansour, Osamu Takiguchi, Takayuki Inoi, Haruichi Kanaya, "Experimental Investigation of Wireless Energy Harvesting with a Bluetooth Low Energy Sensing Unit", Proc. 2018 International Conference on Electronics Packaging and iMAPS All Asia Conference, pp.189-193, 2018年4月.
- [30] Mohamed M. Mansour, Xavier Le Polozecy, and Haruichi Kanaya, "Compact and Wide-band Efficiency Improved RF Differential Rectifier for Wireless Energy Harvesting", Proc. 2018

- IEEE/MTT-S International Microwave Symposium, pp.972-975, 2018年6月.
- [31] Yuki Miyaji, Haruichi Kanaya, Tanemasa Asano,"Design and Characterization of One-Sided Directional Slot Antenna for 1THz Waves,"proc. 2018 IEEE AP-S Symposium on Antennas and Propagation and URSI CNC/USNC Joint Meeting pp. 809-810, 2018年7月.
- [32] Masahiro Ichihashi, Haruichi Kanaya,"A Simple Methodology of On-Chip Transmission Line Modeling for High Speed Clock Distribution",Extended Abstracts of the 2018 International Conference on Solid State Devices and Materials, pp. 927-928, 2018年8月.
- [33] Hiromu Kojima, Daishi Kido, Haruichi Kanaya, Hiroyuki Ishii, Tatsuro Maeda, Mutsuo Ogura, Tanemasa Asano,"Effect of Subthreshold Slope on Sensitivity of MOS-HEMT Square Law Detector for THz Waves",Proc. IEEE TENCON 2018, pp.1055-1058, 2018年10月.
- [34] Chai-Eu Guan, Kuniaki Yoshitomi, and Haruichi Kanaya,"Design of A Phased Array Antenna for Indoor Positioning System",Proc. 2018 Asia-Pacific Microwave Conference, pp.1-3, 2018年11月.
- [35] Kota Tsugami, Tanemasa Asano, Haruichi Kanaya,"Wideband slot array antenna for 1 THz band imaging device",Proc. of the 20th Electronics Packaging Technology Conference, pp. USB\_1-4, 2018年12月.
- [36] Atsuhiro Hamasawa, Haruichi Kanaya,"Dual-band differential outputs CMOS Low Noise Amplifier",Proc. of the 20th Electronics Packaging Technology Conference, pp. USB\_1-4, 2018年12月.
- [37] Haruichi Kanaya, Kota Tsugami, Yang Zhou, Kazutoshi Kato,"600GHz wideband planar array antenna on a chip", Proc. SPIE 10917 photonics west 2019, 109171P (8 pages), 2019年3月.
- [38] Hiromu Kojima, Daishi Kido, Haruichi Kanaya, Hiroyuki Ishii, Tatsuro Maeda, Eiji Kume, Mutsuo Ogura, Tanemasa Asano,"Highly sensitive terahertz-wave arrayed detector using InAs-HEMT on glass for video-imaging application",Proc. SPIE 10917 photonics west 2019, 109170Y (7 pages), 2019年3月.
- [39] Ryouhei Tsugami, Yuichiro Shibata, FPGA Implementation of Lightweight Communication Protocol Processing for IoT, Proc. International Conference on Complex, Intelligent, and Software Intensive Systems (CISIS), pp.506-517 (2018.7)
- [40] Kunihiro Ueda, Keisuke Dohi, Yuichiro Shibata, "Light-Weight Fine-Grain Dynamic Partial Reconfiguration on Xilinx FPGAs", Proc. International Conference on Complex, Intelligent, and Software Intensive Systems (CISIS), pp.518-526 (2018.7)
- [41] Kazuya Uetsuhara, Hiroki Nagayama, Yuichiro Shibata, Kiyoshi Oguri, "Discussion on High Level Synthesis FPGA Design of Camera Calibration", Proc. International Conference on Complex, Intelligent, and Software Intensive Systems (CISIS), pp.538-549 (2018.7)
- [42] Kazuya Uetsuhara, Akane Tahara, Taito Manabe, Yuichiro Shibata, "Implementation of a Real-Time Image-Based Vibration Detection and Adaptive Filtering on an FPGA", Proc. Conference on Design and Architectures for Signal and Image Processing (DASIP), pp.54-59 (2018.10)
- [43] Yudai Furukawa, Yuichiro Shibata, Tadashi Suetsugu, Haruhi Eto, Fujio Kurokawa, "Fine Peak Current Detected Digital Control Switching Power Supply for HVDC System", Proc.IEEE International Telecommunications Energy Conference (INTELEC), pp.1-5 (2018.10)
- [44] Ryo Kamasaka, Yuichiro Shibata, Kiyoshi Oguri, "An FPGA-oriented Graph Cut Algorithm for Accelerating Stereo Vision", Proc. International Conference on ReConFigurable Computing and FPGAs (ReConFig), pp.1-6 (2018.12)
- [45] (Invited) Shigeyasu Uno, "Electrochemical Biosensors based on CMOS LIS Chips", 233rd ECS Meeting, May 15, 2018 (Seattle, USA), H02-1471.
- [46] Ken Saito, Daniel S. Contreras, Yudai Takeshiro, Yuki Okamoto, Yuya Nakata, Taisuke Tanaka, Satoshi Kawamura, Minami Kaneko, Fumio



- Uchikoba, Yoshio Mita, and Kristofer S. J. Pister, "Study on Silicon Device of Microrobot System for Heterogeneous Integration", 2018 International Conference on Electronics Packaging and iMAPS All Asia Conference, 2018.4
- [47] Masaya Ohara, Mika Kurosawa, Takuro Sasaki, Taisuke Tanaka, Satoshi Kawamura, Yuichiro Hayakawa, Daisuke Noguchi, Minami Kaneko, Fumio Uchikoba, and Ken Saito, "Development of Hardware Neural Networks IC with Switchable Gait Pattern for Insect-Type Microrobot", 2019 IEEE/SICE International Symposium on System Integration, 2019.1
- [48] Masaya Ohara, Mika Kurosawa, Takuro Sasaki, Taisuke Tanaka, Satoshi Kawamura, Yuichiro Hayakawa, Daisuke Noguchi, Minami Kaneko, Fumio Uchikoba, and Ken Saito, "Development of Hardware Neural Networks with Direction Change Mechanism for Insect-Type Microrobot" The Twenty-Fourth International Symposium on Artificial Life and Robotics 2019, 2019.1
- [49] Takuro Sasaki, Mika Kurosawa, Masaya Ohara, and Ken Saito, "Development of Hardware Neural Networks Generating Driving Waveform for Electrostatic Actuator", The Twenty-Fourth International Symposium on Artificial Life and Robotics 2019, 2019.1
- [50] Suzuki S., Rim S., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "Experimental demonstration of physical reservoir computing with nonlinear electronic devices," The 2019 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, Hilton Waikiki Beach Hotel, Honolulu, USA (Mar. 4-7, 2019).
- [51] Rim S., Suzuki S., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T., "Approach to reservoir computing with Schmitt trigger oscillator-based analog neural circuits," The 7th Japan-Korea Joint Workshop on Complex Communication Sciences, C5, Alpensia, Pyengonchang, Korea (Jan. 6-9, 2019).
- [52] Ueyoshi K., "Log-Quantized DNN Inference Engine Stacked on 3D SRAM Using Inductive Coupling Technology," The 2nd GI-CoRE GSQ, GSB, & IGM Joint Symposium -Quantum, Informatics, Biology & Medicine-, Hokkaido University, Sapporo, Japan (Aug. 7-8, 2018).
- [53] Hida I., "Embedding a Naive Bayes Classifier as a Dynamic Branch Predictor into a Pipelined Microprocessor," The 2nd GI-CoRE GSQ, GSB, & IGM Joint Symposium -Quantum, Informatics, Biology & Medicine-, Hokkaido University, Sapporo, Japan (Aug. 7-8, 2018).
- [54] H. Myoren, K. Okabe, K. Itagaki, R. Matsunawa, I. Oshima, Y. Hasegawa, M. Naruse, and T. Taino, "Digital SQUID with Sub-Flux Quantum Feedback Resolution Using Multi-Flux Quantum Drivers and T2-FF Cells", Proceedings of 12th Superconductive SFQ VLSI Workshop (SSV2019), O-11, Kobe, Japan, 2019年1月.
- [55] H. Myoren, K. Okabe, R. Matsunawa, M. Naruse and T. Taino, "Design of Digital Filter for Digital SQUID with sub-Flux Quantum Feedback Resolution," 2018 Applied Superconductivity Conference, Seattle, USA, 2018年11月
- [56] Masahito Shimamoto, Takayuki Hamamoto, "Real-time HDR imaging without visible motion blur using multiple-exposure-time image sensor", International Workshop on Image Media Quality and its Applications (IMQA), OS2-3, 4pages, 2018年9月.
- [57] Hiroyuki Yamaguchi, Toshinori Otake, Takayuki Hamamoto, "A low noise global shutter CMOS image sensor with multiple sampling", 4th International Workshop on Image Sensors and Imaging Systems, pp.19-20, 2018年11月.
- [58] Yotaro Imai, Shintaro Maekawa, Toshinori Otake, Takayuki Hamamoto, "Low sensitivity/high sensitivity output image sensor using CTIA pixel circuit and reconstruction of HDR image", International Workshop on Image Media Quality and its Applications (IMQA), PS2, 4pages, 2018年9月.

- [59] Nao Horita and Kazuteru Namba, "Measurements of critical charge around rising edge of clock signal," Proc IEEE Int'l Conf. Consum. Electron. Taiwan, May 2018.
- [60] Yuta Yamamoto and Kazuteru Namba, "Construction of latch design with complete double node upset tolerant capability using C-element," Proc. 2018 IEEE Int. Symp. Defect and Fault Tolerance VLSI and Nanotechnol. Syst., Oct. 2018.
- [61] Werner, Miyamoto, Schoning, Wagner, Yoshinobu, "Effect of Light Intensity towards the Signal of a Light-addressable Potentiometric Sensor", 22nd Topical Meeting of the International Society of Electrochemistry, 2018
- [62] Koki Ishida, Masamitsu Tanaka, Takatsugu Ono, Koji Inoue, "Prototype Design of 31 GHz Single-Flux-Quantum Gate-Level-Pipelined Microprocessor," 12th Superconducting SFQ VLSI Workshop (SSV), Jan. 2019.
- [63] Koki Ishida, Masamitsu Tanaka, Takatsugu Ono, Koji Inoue, "Prototype Design of 30 GHz Superconducting Single-Flux-Quantum Microprocessor Towards Cryogenic General Purpose Computing", MICRO 51 ACM Student Research Competition.
- [64] Terrence Mak, Hiroki Matsutani, Partha Pratim Pande, "Special session on bringing cores closer together! The wireless revolution in on-chip communication", IEEE 36th VLSI Test Symposium (VTS), pp.1-1, Apr 2018.
- [65] J. Akita, CMOS Image Sensor with Pseudorandom Pixel Placement For Jaggy Elimination, 4th International Workshop on Image Sensors and Imaging Systems (IWISS2018), IST2018-61, pp.5-6, 2018.11.
- [66] A.K.M. Mahfuzul Islam and Hidetoshi Onodera, "PVT<sup>2</sup> Process, Voltage, Temperature and Time-dependent Variability in Scaled CMOS Process", IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN (ICCAD '18), DOI! <https://doi.org/10.1145/3240765.3243491>, 2018/11
- [67] Tatsuhiro Higuchi, Tohru Ishihara, Hidetoshi Onodera, "Performance Modeling of VIA-switch FPGA for Device-Circuit-Architecture Co-Optimization", The 31st IEEE International System-on-Chip Conference, pp. 112-117, DOI! 10.1109/SOCC.2018.8618503, 2018/09
- [68] Hongjie Xu, Jun Shiomi, Tohru Ishihara, and Hidetoshi Onodera, "Maximizing Energy Efficiency of On-Chip Caches Exploiting Hybrid Memory Structure", 28th International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS), pp. 237 - 242, 2018/07
- [69] Yosuke Okamura, Tohru Ishihara, Hidetoshi Onodera, "Independent N-well and P-well Biasing for Minimum Leakage Energy Operation", The International Symposium on On-Line Testing and Robust System Design (IOLTS), 2018/07
- [70] A. Tsuchiya, A. Hiratsuka, T. Inoue, K. Kishine, H. Onodera, "Impact of On-Chip Multi-Layered Inductor on Signal and Power Integrity of Underlying Power-Ground Net", 22nd IEEE Workshop on Signal and Power Integrity, pp. 1-4, 2018/05
- [71] K. Miura, A. Seko, and K. Nakamae, "Simulation-based evaluation of probing attacks to arbiter PUFs using a time-resolved emission microscope," in Proc. 29th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF2018), MR-D-18-0046, Aalborg, Denmark, 1-5 October 2018.
- [72] Muroi, Kohira, "Clustering for Reduction of Power Consumption and Area on Post-Silicon Delay Tuning", ISNE 2018, May , 2018.
- [73] Q. Li, C. P. Ho, S. Takagi, and M. Takenaka, "Efficient Optical Modulator by Reverse-biased III-V/Si Hybrid MOS Capacitor based on FK Effect and Carrier Depletion," Optical Fiber Communication Conference (OFC2019), M4A.2, San Diego, 3-7 March 2019.
- [74] M. Takenaka, "Efficient optical phase modulator based on Si hybrid MOS capacitor," 8th International Symposium on Photonics and Electronics Convergence (ISPEC2018), C-6,

- Tokyo, 3-4 December 2018.
- [75] C. P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Investigation of a germanium-on-insulator band-stop filter," 8th International Symposium on Photonics and Electronics Convergence (ISPEC2018), P-07, Tokyo, 3-4 December 2018.
- [76] Q. Li, C. P. Ho, S. Takagi, and M. Takenaka, "Demonstration of Si racetrack resonator based on III-V/Si hybrid MOS phase shifter," 8th International Symposium on Photonics and Electronics Convergence (ISPEC2018), P-09, Tokyo, 3-4 December 2018.
- [77] Z. Zhao, C. P. Ho, S. Takagi, and M. Takenaka, "Fabrication of high-Q ring resonator using low loss GeOI wafer," 8th International Symposium on Photonics and Electronics Convergence (ISPEC2018), P-08, Tokyo, 3-4 December 2018.
- [78] M. Takenaka, J. Han, F. Boeuf, J.-K. Park, Q. Li, C. P. Ho, D. Lyu, S. Ohno, J. Fujikata, S. Takahashi, and S. Takagi, "III-V/Si hybrid MOS optical phase modulator for Si photonic integrated circuits," European Conference on Optical Communication (ECOC 2018), Mo3C.3, 23-27 September 2018 (invited).
- [79] T. Fujigaki, S. Takagi, and M. Takenaka, "Low-power Ge thermo-optic phase shifter on Ge-on-Insulator platform," European Conference on Optical Communication (ECOC 2018), Th2.10, 23-27 September 2018.
- [80] M. Takenaka, J. Han, Q. Li, C.P. Ho, D. Lyu, S. Ohno, and S. Takagi, "Si hybrid MOS optical phase shifter for switching and computing," Photonics in Switching and Computing (PSC 2018), Th3B.1, 19-21 September 2018 (invited).
- [81] M. Takenaka and S. Takagi, "Heterogeneous integration of III-V/Ge on Si for photonic integrated circuits," Progress In Electromagnetics Research Symposium (PIERS2018), 1A11-2, Toyama, 1-4 August 2018 (invited).
- [82] M. Takenaka and S. Takagi, "Ge-on-insulator platform for mid-infrared integrated photonics," IEEE Summer Topicals Meeting Series, TuA4.2, Waikoloa, Hawaii, US, 9-11 July 2018 (invited).
- [83] J. Han, S. Takagi, and M. Takenaka, "Semiconductor-insulator-semiconductor (SIS) structures for high-performance optical modulation," Optoelectronics and Communications Conference (OECC2018), 4E1-2, Jeju, Korea, 2-6 July 2018 (invited).
- [84] M. Takenaka and S. Takagi, "Opportunities of III-V/Si hybrid integration for optical modulation and switching," 9th International Symposium on the Physics of Semiconductors and Applications (ISPSA2018), MoA2-1, Jeju, Korea, 1-5 July 2018 (invited).
- [85] M. Takenaka and S. Takagi, "Efficient phase modulation based on Si hybrid MOS capacitor for universal photonic integrated circuits," International Conference on Nano-photonics and Nano-optoelectronics (ICNN2018), ICNN6-1, Yokohama, 25-27 April 2018 (invited).
- [86] M. Takenaka and S. Takagi, "Si hybrid MOS capacitor for optical modulation and switching," International Conference on Nano/Micro Engineered and Molecular Systems (IEEE NEMS2018), Singapore, 22-26 April 2018 (invited).
- [87] T. Shirakawa, R. Sakai, S. Nakatake, "On-chip impedance evaluation with auto-calibration based on auto-balancing bridge", MWCAS 2018! 262-265, 2018.
- [88] C. Chao, S. Nakatake, "Hierarchical Floorplanning Based on Analog Structure Tree", NGCAS 2018, 138-141, 2018.
- [89] X. Zou, S. Nakatake, "Analog Retargeting Constraint Extraction Based on Fundamental Circuits and Layout Regularity", NGCAS 2018, 142-145, 2018.
- [90] Michiaki Saito, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato, "A compact model of I-V characteristic degradation for organic thin film transistors," in Proc. IEEE International Conference on Microelectronic Test Structures (ICMTS), pp.194-199, March 2019.
- [91] Hiroki Tsukamoto, Michihiro Shintani, and Takashi Sato, "Study on statistical parameter

- extraction of power MOSFET model by principal component analysis," in Proc. IEEE International Conference on Microelectronic Test Structures (ICMTS), pp.107-112, March 2019.
- [92] Song Bian, Masayuki Hiromoto, and Takashi Sato, "Towards practical homomorphic email filtering! A hardware-accelerated secure naive Bayesian filter," in Proc. ACM/IEEE Asia and South Pacific Design Automation Conference (ASPDAC), pp.621-626, January 2019.
- [93] Yasuhiro Ogasahara, Kazunori Kuribara, Michihiro Shintani, and Takashi Sato, "Feasibility of a low-power, low-voltage complementary organic thin film transistor buskeeper physical unclonable function," Japanese Journal of Applied Physics (JJAP), Vol.58, No.SB, pp.SBBG03, January 2019.
- [94] Michihiro Shintani, and Takashi Sato, "Initial parameter extraction procedure for surface-potential-based SiC MOSFET model," in Proc. Workshop on variability modeling and characterization (VMC), pp.poster-3, November 2018.
- [95] Hidenori Gyoten, Masayuki Hiromoto, and Takashi Sato, "Enhancing the solution quality of hardware Ising-model solver via parallel tempering," in Proc. IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp.1-6, November 2018.
- [96] Zhaoxing Qin, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato, "An experimental design of robust current-mode arbiter PUF using organic thin film transistors," in Proc. IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp.1-6, November 2018.
- [97] Michiaki Saito, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato, "Measurement and modeling of frequency degradation of an oTFT ring oscillator," in Proc. IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp.1-6, November 2018.
- [98] Takashi Sato, "A transient approach for input capacitance characterization of power devices," in Proc. IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp.1-6, November 2018.
- [99] Michiaki Saito, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, Masayuki Hiromoto, and Takashi Sato, "On the reset operation of organic cross-coupled inverter," in Proc. International Conference on Solid State Devices and Materials (SSDM), pp.565-566, September 2018.
- [100] Michihiro Shintani, Benjamin N. Dauphin, Kazuki Oishi, Masayuki Hiromoto, and Takashi Sato, "A plotter-based automatic measurements and statistical characterization of multiple discrete power devices," in Proc. International power electronics conference (IPEC), pp.3644-3649, May 2018.
- [101] Shogo Matsumoto, Hidenori Gyoten, Masayuki Hiromoto, and Takashi Sato, "RRAM/CMOS-hybrid architecture of annealing processor for fully connected Ising model," in Proc. IEEE International Memory Workshop (IMW), pp.70-73, May 2018.
- [102] Yuki Tanaka, Song Bian, Masayuki Hiromoto, and Takashi Sato, "Coin flipping PUF! A novel PUF with improved resistance against machine learning attacks," IEEE Transactions on Circuits and Systems--II: Express Briefs (TCASII), Vol.65, No.5, pp.602-606, May 2018.
- [103] Soichiro Shohata, Yuichi Nakamura and Hiroaki Nishi, Hardware for Accelerating Anonymization Transparent to Network, The Sixth International Symposium on Computing and Networking (CANDAR'18), pp.181-187, 2018年11月
- [104] R. Kishida, T. Asuke, J. Furuta, and K. Kobayashi, ``Extracting BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive Ring Oscillators," International Conference on Microelectronic Test Structures (ICMTS), pp. 24-27, 2019/03, Kitakyushu, Japan.
- [105] M. Fang, X.Xu, T. Yoshimasu,"A 16-GHz-Band



- Low-Supply-Voltage Class-C VCO IC with Switching Feedback Circuit in 40-nm SOI CMOS," in Proc. of Asia Pacific Microwave Conference (APMC), 3-pages, FR1-K-1, Nov., 2018.
- [106] Xuan-Thuan Nguyen, Trong-Thuc Hoang, Hong-Thu Nguyen, Katsumi Inoue, and Cong-Kha Pham, "A 219-uW 1D-to-2D-Based Priority Encoder on 65-nm SOTB CMOS," in 2018 IEEE Int. Symp. on Circ. and Syst. (ISCAS2018), Florence, Italy, May 2018, pp. 1-4.
- [107] Xuan-Thuan Nguyen, Trong-Thuc Hoang, Hong-Thu Nguyen, Katsumi Inoue, and Cong-Kha Pham, "A 219-uW 1D-to-2D-Based Priority Encoder on 65-nm SOTB CMOS," in 2018 IEEE Int. Symp. on Circ. and Syst. (ISCAS2018), Florence, Italy, May 2018, pp. 1-4.
- [108] T. Mori, J. Ida, W. Yabuki, S. Nakano, H. Endou, and Y. Arai, "Drain Current Enhancement Effect on Super-Steep Subthreshold Slope "PN-Body Tied SOI-FET", 2018 IEEE Silicon Nanoelectronics Workshop (SNW), P1-17, pp1-2, Jun. 2018.
- [109] H. Endo, J. Ida, T. Mori, K. Ishibashi, and Y. Arai, "First Experimental Confirmation of Transient Effect on Super Steep SS "PN-Body Tied SOI FET" with Pulse Measurements", IEEE Electron Devices Technology and Manufacturing Conference (EDTM), session-Si-Dev2-3, pp1-3, Mar. 2019.
- [110] Y. Arai, T. Watanabe, K. Higuchi, H. Shimada, and Y. Mizugaki, "Double-Flux-Quantum Amplifier with a Single-Flux-Biasing Line," Journal of Physics! Conference Series, vol. 1054, 012062, 2018.
- [111] K. Higuchi, H. Shimada, and Y. Mizugaki, "Design and Operation of a Distributed Amplifier Comprising Double-SQUID Elements," The 12th Superconducting SFQ VLSI Workshop (SSV 2019), Kobe, Japan, January 16-17, 2019.
- [112] K. Yamazaki, K. Higuchi, H. Shimada, and Y. Mizugaki, "Design and Test of a CONNECT-Library-Compatible XNOR Cell Implemented with a Compact NOT Element," The 12th Superconducting SFQ VLSI Workshop (SSV 2019), Kobe, Japan, January 16-17, 2019.
- [113] Y. Somei, K. Yamazaki, K. Higuchi, H. Shimada, and Y. Mizugaki, "Series-Connected Double-Flux-Quantum Amplifiers," The 12th Superconducting SFQ VLSI Workshop (SSV 2019), Kobe, Japan, January 16-17, 2019.
- [114] K. Higuchi, H. Shimada, and Y. Mizugaki, "Design and Operation of Distributed Double-SQUID Amplifier for RSFQ Circuits," The 31st International Symposium on Superconductivity (ISS 2018), Tsukuba, Ibaraki, Japan, December 12-14, 2018.
- [115] Y. Mizugaki, Y. Arai, T. Watanabe, H. Shimada, and M. Moriya, "1000-fold double-flux-quantum voltage multiplier employing directional propagation of flux quanta through asymmetrically-damped junction branches," Applied Superconductivity Conference (ASC2018), Washington State Convention Center, Seattle, Washington, USA, Oct. 28 - Nov. 2, 2018.
- [116] Shigeaki Hashimoto, Satoshi Komatsu, Toru Nakura, "Capacitor Insertion Methodology to power Distribution Network for Improving Power Integrity", DesignCon, Jan. 2019
- [117] Y. Masuda, J. Nagayama, H. Takeno, Y. Ogawa, Y. Momiyama, and M. Hashimoto, "Comparing Voltage Adaptation Performance between Replica and In-Situ Timing Monitors," Proceedings of ACM/IEEE International Conference on Computer-Aided Design (ICCAD), November 2018.
- [118] M. Hashimoto, Y. Nakazawa, R. Doi, and J. Yu, "Interconnect Delay Analysis for Rram Crossbar Based Fpga (Invited)," Proceedings of IEEE Computer Society Annual Symposium on VLSI (ISVLSI), July 2018.
- [119] J. Chen, T. Kanamoto, H. Kando, and M. Hashimoto, "An On-Chip Load Model for Off-Chip Pdn Analysis Considering Interdependency between Supply Voltage, Current Profile and Clock Latency,"

- Proceedings of IEEE Workshop on Signal and Power Integrity (SPI), May 2018.
- [120] T. Nakayama and M. Hashimoto, "Hold Violation Analysis for Functional Test of Ultra-Low Temperature Circuits at Room Temperature," Proceedings of International Symposium on VLSI Design, Automation and Test (VLSI-DAT), April 2018.
- [121] Mutsumi Kimura, Brain-like Integrated System using Thin-Film Devices, IC-LYCS 2019, Mar. 2019
- [122] Mutsumi Kimura, Neuromorphic System using Thin-Film Devices, 2019 ULSIC vs. TFT Conference, May 2019, to be presented
- [123] utsumi Kimura, Brain-like Integrated System using Thin-Film Devices, The 6th International Symposium on Brainware LSI, pp. 1, Mar. 2019
- [124] Mutsumi Kimura, Brain-Type Integrated System using Thin-Film Devices, Compass for Next-Gen ICT, FY 2018 RIEC Annual Meeting on Cooperative Research Projects, Feb. 2019
- [125] utsumi Kimura, Toshio Kamiya, Tokiyoshi Matsuda, Kenta Umeda, Asuka Fukawa, and Yasuhiko Nakashima, Research and Applications of Amorphous Metal-Oxide Semiconductor Devices - In-Ga-Zn-O and Ga-Sn-O Thin-Film Devices -, ICDT 2018, Apr. 2018
- [126] Hiroya Ikeda, Hiroki Yamane, Yuki Shibayama, Mutsumi Kimura, and Yasuhiko Nakashima, Evaluation of Letter Reproduction System using Cellular Neural Network and Oxide Semiconductor Synapses by Logic Simulation, CANDAR '18, pp. 145, Nov. 2018
- [127] Hiroki Yamane, Mutsumi Kimura, and Yasuhiko Nakashima, Development and Evaluation of Letter Reproduction System using Cellular Neural Network and Oxide Semiconductor synapses, 2018 International Symposium on Nonlinear Theory and its Applications, NOLTA 2018, pp. 114-117, Sep. 2018
- [128] Keisuke Ikushima, Junpei Shimura, Tokiyoshi Matsuda, Mutsumi Kimura, Hiroki Yamane, and Yasuhiko Nakashima, Research and Development of Ga-Sn-O Thin Films for Application to Neural Networks, AM-FPD '18, 4-3, July 2018
- [129] Daiki Yamakawa, Yuki Shibayama, Hiroki Yamane, Yasuhiko Nakashima, and Mutsumi Kimura, Cellular Neural Network using IGZO Thin Film as Synapses and LSI as Neurons, AM-FPD '18, P-34, July 2018
- [130] Yuki Shibayama, Daiki Yamakawa, Mutsumi Kimura, and Yasuhiko Nakashima, In-Ga-Zn-O Thin Film Synapse in Neural Network Using LSI, IMFEDK 2018, pp. 54-55, June 2018
- [131] Kazuhiko Hara, Daisuke Sekigawa, Shun Endo, Wataru Aoyagi, Shunsuke Honda, Toru Tsuboyama, Miho Yamada, Shun Ono, Manabu Togawa, Yoichi Ikegami, Yasuo Arai, Ikuo Kurachi, Toshinobu Miyoshi, Junji Haba and Kazunori Hanagaki, "Development of Silicon-on-Insulator Pixel Devices", PoS(Vertex 2017)035, 2018年7月
- [132] Daisuke Sekigawa et al., "Fine-Pixel Detector FPIX Realizing Sub-micron Spatial Resolution Developed Based on FD-SOI Technology", Proceedings of International Conference on Technology and Instrumentation in Particle Physics (TIPP2017), Vol.2, pp.331-338, 2018年
- [133] S.H. Kim et al., "Development of Superconducting Tunnel Junction Photon Detectors with Cryogenic Preamplifier for COBAND experiment", Proceedings of International Conference on Technology and Instrumentation in Particle Physics 2017 Vol.2, pp.242 - 248, 2018年
- [134] Kenichi Ohhata, "A 2.3-mW, 950-MHz, 8-bit, Fully-Time-Based Subranging ADC Using Highly-Linear Dynamic VTC," IEEE Symposium on VLSI Circuits, pp. 95-96, June 2018.
- [135] Kenichi Ohhata, "Low-Power, High-Speed Time-Based Subranging ADCs," IEEE International Symposium on Intelligent Signal Processing and Communication Systems, pp. 463-468, Nov. 2018.
- [136] Muhammad Fauzan Edy Purnomo, "The Modified Triangular Microstrip Antenna for Circularly-Polarized Synthetic Aperture Radar

- Sensor", 3rd Asian Conference on Science, Technology and Medicine, <http://livedna.org/62.25630>, 2018.2.
- [137] Irawan Sukma and Akio Kitagawa, Comparison Topologies of Resonant Tank from Class-C Wireless Power Transfer, 2018 IEEE International Workshop on Electromagnetics, POS2.52, pp.1-2, 2018.8.
- [138] Muhammad Fauzan Edy Purnomo and Akio Kitagawa, The Analysis of Basic Construction of Triangular Microstrip Antenna Using Modified Lossless Power Divider for Circularly-Polarized Synthetic Aperture Radar Sensor Application, 12th International Power Engineering, Optimization and Computing Conference, Paper ID! 59, 2018.7.
- [139] Muhammad Fauzan Edy Purnomo and Akio Kitagawa, Development of Equilateral Triangular Array Antenna with Truncated-Tip for Circularly Polarized-Synthetic Aperture Radar Sensor Application, Proceedings of 12th European Conference on Synthetic Aperture Radar, Session E.10, pp.1462-1467, 2018.6.
- [140] Y. Tanaka, Y. Suzuki and S. Wei, "Novel SD addition algorithm and its FPGA implementation", 5th GUMI and 9th AMDE, Dec. 2018.
- [141] Ken Saito, Daniel S. Contreras, Yudai Takeshiro, Yuki Okamoto, Yuya Nakata, Taisuke Tanaka, Satoshi, Satoshi Kawamura, Minami Kaneko, Fumio Uchikoba, Yoshio Mita, and Kristofer S. J. Pister, "Study on silicon device of microrobot system for heterogeneous integration," International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC), Mie, Japan, 2018.04
- [142] Taisei Kuriyama, Yuki Okamoto, Akiyoshi Suzuki, and Yoshio Mita, "A Micromachined All-Solid On-Chip Thin-Film Battery towards Uninterruptible Photovoltaic Cells", 2018 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Roma, Italy, 2018.05
- [143] Daigo Terutsuki, Hidefumi Mitsuno, Takeshi Sakurai, Yuki Okamoto, Agn&#232;s Tixier Mita, Hiroshi Toshiyoshi, Yoshio Mita, and Ryohei Kanzaki, "Cell-sensor interface analysis of a bio-hybrid electric odorant sensor," 28th anniversary World Congress on Biosensors (BIOSENSORS 2018), Miami, Florida, USA, 2018.06
- [144] Yuki Okamoto, Koji Fujimoto, Hiroyuki Ryoson, Takayuki Ohba, Yoshio Mita, "Stick-to-Analyze Zeta Potential Measurement Chip with Integrated Electroosmotic Micropump and Liquid Flow Sensor", The 32th International Conference on Micro Electro Mechanical Systems (MEMS 2019), Seoul, Korea, 2019.01
- [145] Akio Higo, Tomoki Sawamura, Makoto Fujiwara, Etsuko Ota, Ayako Mizushima, Eric Lebrasseur, Taro Arakawa, and Yoshio Mita, "A Micro Racetrack Optical Resonator Test Structure to Optimize Pattern Approximation in Direct Lithography Technologies", 2019 IEEE Conference on Microelectronic Test Structures (ICMTS 2019), Kita-Kyushu, Japan, 2019.03
- [146] Naoto Usami, Etsuko Ohta, Akio Higo, Takeshi Momose and Yoshio Mita, "Continuity assessment for supercritical-fluids-deposited (SCFD) Cu film as electroplating seed layer", 2019 IEEE Conference on Microelectronic Test Structures (ICMTS 2019), Kita-Kyushu, Japan, 2019.03
- [147] Yuki Okamoto, Ayako Mizushima, Naoto Usami, Jun Kinoshita, Akio Higo, Yoshio Mita, "Damage Assessment Structure of Test-Pad Post-Processing on CMOS LSIs", 2019 IEEE Conference on Microelectronic Test Structures (ICMTS 2019), Kita-Kyushu, Japan, 2019.03
- [148] Shunpei Matsuoka and Moritoshi Yasunaga, "High Signal Integrity Transmission Line Using Microchip Capacitors and its Design Methodology, " Proc. 7th Electronic System-Integration Technology Conference (ESTC) 2018, 4 pages, Dresden Germany, Sept. 18-21, 2018.
- [149] Yuya Hoshino, Shumpei Matsuoka, Tetsuya Odaira, Takashi Matsumoto, Ikuo Yoshihara, and Moritoshi Yasunaga, "Evolutionary design methodology for

- waveform shaping in GHz transmission line," Proc. International Symposium on Artificial Life and Robotics 2019 (AROB 22th '19), pp. 711-714, Ooita, Japan, January 2019.
- [150] Yuma Isobe, Takao Kihara, Tsutomu Yoshimura, "A Polyphase Decimation Filter for Time-Interleaved ADCs in Direct-RF Sampling Receivers " , Proc. 2018 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Chengdu, China, Oct. 2018.
- [151] Tokuya Fukuyama, Takao Kihara, Tsunehiro Yoshio, Tsutomu Yoshimura, "A Standard-cell Based A/D Converter with a Back-gate VCO and a Fat Tree Encoder " , Proc. 2018 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Chengdu, China, Oct. 2018.
- [152] Yoshihiro Masui, Akihiro Toya, Mitsutoshi Sugawara, Tomoaki Maeda, Masahiro Ono, Yoshitaka Murasaka, Atsushi Iwata, Takamaro Kikkawa, "Gaussian Monocycle Pulse Generator with Calibration Circuit for Breast Cancer Detection" IEEE BioCAS 2018, Oct. 2018
- [153] Seiji Kajihara, "A full digital temperature and voltage sensor for field testing," *Conferences on CMOS Emerging Technologies 2018(ETCMOS2018)*, May 2018.
- [154] S. Amakawa, A. Takeshige, S. Hara, R. Dong, S. Lee, T. Yoshida, M. Fujishima, K. Masu, and H. Ito, "Ausal characteristic impedance determination using calibration comparison and propagation constant," *92nd Automatic RF Techniques Group Microwave Measurement Conference (ARFTG)*, pp. 1, January 2019.
- [155] Takahiro Ichikura, Ryosuke Yamano, Yuma Kikutani, Renyuan Zhang, and Yasuhiko Nakashima! "EMAXVR! A Programmable Accelerator Employing Near ALU Utilization to DSA", *IEEE Symposium on Low-Power and High-Speed Chips 2018*, Apr. (2018)
- [156] Noriyuki Uetake, Renyuan Zhang, Takashi Nakada, and Yasuhiko Nakashima! "A Programmable Analog Calculation Unit for Vector Computations", *IEEE Symposium on Low-Power and High-Speed Chips 2018*, Apr. (2018)
- [157] Noriyuki Uetake, Renyuan Zhang, Takashi Nakada, and Yasuhiko Nakashima! "A Programmable Analog Calculation Unit for Vector Computations", *IEEE Symposi*
- [158] Tati Erlina, Yan Chen, Renyuan Zhang and Yasuhiko Nakashima! "An Efficient Time-based Stochastic Computing Circuitry Employing Neuron-MOS", *GLSVLSI2019*, pp.xxx-xxx, May. (2019)
- [159] Yan CHEN, Jing ZHANG, Yuebing XU, Yingjie ZHANG, Renyuan ZHANG, and Yasuhiko Nakashima! "A ReRAM-based Row-column-oriented Memory Architecture for Convolutional Neural Network", *IEICE Trans. Electron*, Vol.xxx, No.xx pp.xxx-xxx, xxx. (2019)
- [160] K. M. Lee, Z. Qian, R. Yabuki, H. Kino, T. Fukushima, K Kiyoyama, T. Tanaka, "Pulse Arrival Time Measurement with Finger-Based ECG and Trans-Nail PPG Circuits for Cuffless Blood Pressure Monitoring", *Extended Abstracts of the 2018 International Conference on Solid State Devices and Materials*, p. 557-558, September 2018.
- [161] Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Noise Propagation through TSV in Mixed-Signal 3D-IC and Investigation of Liner Interface with Multi-Well Structured TSV," *Proceedings of The 3rd Electron Devices Technology and Manufacturing (EDTM) Conference 2019*, Mar 2019.
- [162] Kar Mun Lee, Zhengyang Qian, Ryosuke Yabuki, Bang Du, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka, "Continuous Peripheral Blood Pressure Measurement with ECG and PPG Signals at Fingertips", *BioCAS 2018 Biomedical Circuits and Systems Conference*, p. 1-4, October 2018.
- [163] S. Lee, Y. Sugawara, M. Ito, H. Kino, T. Fukushima, T. Tanaka, "TSV Liner Dielectric Technology with Spin-on Low-k Polymer," *2018 Japan-Taiwan Workshop on Electronic Interconnection*, p. 21, April 2018.
- [164] Yuki Susumago, Hisashi Kino, Tetsu Tanaka, Takafumi Fukushima, "New Flexible Hybrid



- Electronics (FHE) Technology using FOWLP," 2018 Japan-Taiwan Workshop on Electronic Interconnection, p. 28, April 2018.
- [165] S. Lee, Y. Sugawara, M. Ito, H. Kino, T. Fukushima, T. Tanaka, "TSV Liner Dielectric Technology with Spin-on Low-k Polymer," ICEP-IAAC 2018 Proceedings, p. 346-349, April 2018.
- [166] Takafumi Fukushima, Yuki Susumago, Hisashi Kino, and Tetsu Tanaka, Arsalan Alam, Amir Hanna, and Subramanian Iyer, "Self-Assembly Technology for FlexTrate," 2018 Proceedings 68th Electronic Components and Technology Conference, p. 1836-1841, May 2018.
- [167] H. Kino, S. Lee, Y. Sugawara, T. Fukushima, T. Tanaka, "Charge-Trap-Free Polymer-Liner Through-Silicon Vias for Reliability Improvement of 3D ICs," Proceedings of 21st IEEE International Interconnect Technology Conference, pp. 135-137, June 2018
- [168] Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "The Effect of High Electric Field in Tunnel-FET MONOS Memory on Endurance Characteristics" Proceedings of 2018 IEEE Silicon Nanoelectronics Workshop, p. 81-82, June 2018.
- [169] Takafumi Fukushima, "Capillary Self-Assembly Based Multichip-to-Wafer System Integration Technologies", Proceedings of MARSS' 2018, July 2018.
- [170] Tak. Fukushima, Yuki Susumago, Hisashi Kino, Tetsu Tanaka, Arsalan Alam, Amir Hanna, Subramanian S. Iyer, "Process Integration for FlexTrate™" 2018 IEEE International Flexible Electronics Technology Conference (IEEE IFETC 2018), August 2018.
- [171] T. Fukushima, M. Murugesan, H. Hashimoto, S. Lee, J. Bea, and M. Koyanagi, "Ultrafine Pitch TSV Technology Using Directed Self-Assembly for 3D Storage Memory Systems" Extended Abstracts of the 2018 International Conference on Solid State Devices and Materials, p. 455-456, September 2018.
- [172] T. Fukushima and Subramanian S. Iyer, "Moore's Law for Packaging", Extended Abstracts of the 2018 International Conference on Solid State Devices and Materials, p. 451-452, September 2018.
- [173] T. Fukushima, H. Yonekura, F. Doi, S. Endo, T. Fushimi, K. Yanagimura, M. Koyanagi, T. Tanaka, and M. Motoyoshi, "Advanced Tape Expansion/Assembly Technology for FOWLP and Micro-LED Display", Proc. IMPACT, p. 210-213, October 2018.
- [174] K. Hayashi, S. Arata, G. Xu, S. Murakami, D. C. Bui, T. Doike, M. Matsunaga, A. Kobayashi, and K. Niitsu, "A 385um × 385um 0.165 V 0.27 nW Fully-Integrated Supply-Modulated OOK CMOS TX in 65nm CMOS for Glasses-Free, Self-Powered, and Fuel-Cell-Embedded Continuous Glucose Monitoring Contact Lens", in Proc. IEEE Biomedical Circuits and Systems Conference (BioCAS 2018), Oct. 2018, pp.1-4.
- [175] A. Kobayashi, Y. Nishio, K. Hayashi, K. Nakazato, and K. Niitsu, "A 350-mV, Under-200-ppm Allan Deviation Floor Gate-Leakage-Based Timer Using an Amplifier-Less Replica-Bias Switching Technique in 55-nm DDC CMOS", in Proc. IEEE Custom Integrated Circuit Conference (CICC 2018), Apr. 2018, pp.1-4.
- [176] T. Shima, S. Kozuki, N. Retdian, "Multiphase TDC inspired by the Early Vision Model," IEEE ISCAS 2018, pp1-4, May 2018.
- [177] K. Hasegawa, Y. Shi, N. Togawa, "Hardware Trojan Detection Utilizing Machine Learning Approaches," TrustCom/BigDataSE, pp. 1891-1896, 2018.
- [178] Ryosuke Noguchi, Kosuke Furuichi, Hiromu Uemura, Toshiyuki Inoue, Akira Tsuchiya, Keiji Kishine, Hiroaki Katsurai, Shinsuke Nakamoto, Makoto Nakamura, "A 25-Gb/s 13 mW Clock and Data Recovery Using C&#178;MOS D-Flip-Flop in 65-nm CMOS", VLSI Design, Automation and Test (VLSI-DAT2018), 2018年4月.
- [179] Akira Tsuchiya, Akitaka Hiratsuka, Toshiyuki Inoue, Keiji Kishine, Hidetoshi Onodera, "Impact of On-Chip Multi-Layered Inductor on Signal and Power Integrity of Underlying Power-Ground Net", IEEE Workshop on Signal

- and Power Integrity (SPI2018), 2018年5月.
- [180] Toshiyuki Inoue, Ryosuke Noguchi, Akira Tsuchiya, Keiji Kishine, Hidetoshi Onodera, "Low-Power and High-Linearity Inductorless Low-Noise Amplifiers with Active-Shunt-Feedback in 65-nm CMOS Technology", 61st IEEE International Midwest Symposium on Circuits and Systems (MWSCAS2018), 2018年8月.
- [181] Ryosuke Noguchi, Atsuto Imajo, Toshiyuki Inoue, Akira Tsuchiya, Keiji Kishine, "A 25-Gb/s Low-Power Clock and Data Recovery with an ActiveStabilizing CML-CMOS Conversion", 25th IEEE International Conference on Electronics Circuits and Systems (ICECS2018), 2018年12月.
- [182] Kazuma Fukuda, Yushin Wada, and Makoto Iwata, "Decentralized Hardware Scheduler for Self-Timed Data-Driven Multiprocessor," Proceedings of the 2018 International Conference on Parallel and Distributed Processing Techniques and Applications(PDPTA'18), pp.256-261, July 2018.
- [183] Yushin Wada, Kazuma Fukuda, and Makoto Iwata, "Least Slack Time Hardware Scheduler Based on Self-Timed Data-Driven Processor," Proceedings of the 2018 International Conference on Parallel and Distributed Processing Techniques and Applications(PDPTA'18), pp.249-255, July 2018.
- [184] M. Tanaka and A. Fujimaki, "Cryogenic energy-efficient, high-performance computing," 6th International Conference on Superconductivity and Magnetism (ICSM 2018), Antalya, Turkey, 2018.
- [185] M. Tanaka et al., "30-GHz operation of datapath for bit-parallel, gate-level-pipelined rapid single-flux-quantum microprocessors," 2018 Applied Superconductivity Conference (ASC 2018), Seattle, WA, USA, 2018.
- [186] K. Sano et al., "Short turn-on-delay superconducting nanostructure transistors," 2018 Applied Superconductivity Conference (ASC 2018), Seattle, WA, USA, 2018.
- [187] M. Tanaka et al., "DC-offset-free quantum flux parametron using ferromagnet phase shift elements," 2018 Applied Superconductivity Conference (ASC 2018), Seattle, WA, USA, 2018.
- [188] T. Kamiya, Y. Takeshita, K. Sano, M. Tanaka, T. Yamashita, and A. Fujimaki, "Low-power half single flux quantum circuits based on  $\pi$ -shifted Josephson junctions," 2018 Applied Superconductivity Conference (ASC 2018), Seattle, WA, USA, 2018.
- [189] M. Tanaka, Y. Yoshinamoto, T. Kamiya, K. Sano, T. Yamashita, and A. Fujimaki, "Numerical analysis of low-power half single flux quantum circuits based on 0- $\pi$  SQUIDs," 31st International Symposium on Superconductivity (ISS 2018), Tsukuba, Japan, 2018.
- [190] I. Nagaoka, M. Tanaka, K. Inoue, and A. Fujimaki, "A 48GHz 5.6mW gate-level-pipelined multiplier using single-flux quantum logic," IEEE International Solid-State Circuits Conference (ISSCC 2019), San Francisco, CA, USA, 2019.
- [191] K. Miyao, T. Okafuji, T. Kihara, and T. Yoshimura, "Study of mutual injection pulling in a 5-GHz, 0.18- $\mu$ m CMOS cascaded PLL," IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), pp. 175-178, October, 2018.
- [192] N. Kanai, K. Okada, and Y. Miyamoto, "Investigation of active load matching using GaN HEMT as digital switch", Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2018), A7-2, Kitakyushu, Japan, July 4th, 2018.
- [193] D. Nakajun, N. Kanai, R. F. T. Fathulah, H. Fujita, E. Yagyu, and Y. Miyamoto, "Multi-level inverter toward GaN HEMT monolithic integrated circuit", Les Eastman Conference 2018, IIIB-5, Columbus, Ohio, Aug 14, 2018.
- [194] Y. Inagaki and Y. Matsuya, "A study of a CMOS image sensor with pixel-parallel ADC and timestamp detection," IEICE The 31st

- Workshop on Circuits and Systems, Kitakyushu, pp. 283-285, May 2018.
- [195] Y. Inagaki and Y. Matsuya! "A study of a high dynamic range CMOS image sensor with timing detection of pixel saturation", 2018 International Conference on Analog VLSI Circuits, Chiangmai, pp. 85-88, November 2018.
- [196] Y Tanaka, Y Umeda, and K Takano, "Power-amplifier-inserted Transversal Filter that Recovers Quantization Noise Power by CMOS Rectifier," 2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 653-654, Dec. 2018.
- [197] T. Morita and Y. Umeda, "Comparison between Quadrature-modulation EPWM transmitters with a 90° and 180° hybrid in physical models," 2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 647-648, Dec. 2018.
- [198] M. Takahashi, M. Nagata, N. Miura, "Supply-Chain Security Enhancement by Chaotic Wireless Chip-Package-Board Interactive PUF," 2018 IEEE 68th Electronic Components and Technology Conference (ECTC 2018), Session 11-5, pp. 521-526, May. 2018.
- [199] Li Guo, Dajiang Zhou, Jinjia Zhou, Shinji Kimura, "Embedded Frame Compression for Energy-Efficient Computer Vision Systems," Proc. ISCAS 2018, pp. 1-5, May 2018.
- [200] Li Guo, Dajiang Zhou, Jinjia Zhou, Shinji Kimura, "Sparseness Ratio Allocation and Neuron Re-pruning for Neural Networks Compression," Proc. ISCAS 2018, pp. 1-5, May 2018.
- [201] Yi Guo, Heming Sun, Li Guo, Shinji Kimura, "Low Cost Approximate Multiplier Design using Probability Driven Inexact Compressors," Proc. of APCCAS 2018, pp.291-295, Oct. 2018.
- [202] Zhenhao Liu, Yi Guo, Xiaoting Sun and Shinji Kimura, "Energy-Efficient and High Performance Approximate Multiplier Using Compressors Based on Input Reordering," Proc. of TENCON2018, pp.1-6, Oct. 2018.
- [203] Yi Guo, Heming Sun and Shinji Kimura, "Design of Power and Area Efficient Lower-Part-OR Approximate Multiplier," Proc. of TENCON2018, pp.1-6, Oct. 2018.
- [204] Xiaoting Sun, Yi Guo, Zhenhao Liu, Shinji Kimura, "A Radix-4 Partial Product Generation-Based Approximate Multiplier for High-Speed and Low-Power Digital Signal Processing," Proc. of ICECS, pp.777-780, Dec. 2018.
- [205] Nakazawa, Hirose, Ozaki, Tsuji, Kanzaki, Asano, Kuroki, Numa, "Analytical study of multi-stage switched capacitor voltage boost converter for ultra-Low voltage energy harvesting," Proceedings of the 2018 IEEE International Symposium on Circuit and Systems (ISCAS 2018), pp. 1-5, 2018.
- [206] Matsumoto, Hirose, Asano, Tsuji, Nakazawa, Kuroki, Numa, "An ultra-low power active diode using a hysteresis common gate comparator for low-voltage and low-power energy harvesting systems ," Proceedings of the 2018 IEEE International Conference on Very Large Scale Integration (VLSI-SoC), pp. 1-5, 2018.
- [207] Kanzaki, Hirose, Asano, Nakazawa, Kuroki, Numa "Switched-capacitor voltage buck converter with step-down-ratio and clock-frequency controllers for ultra-low-power IoT devices" IEEE International Conference on Electronics Circuits and Systems, pp. 209-212, 2018.
- [208] Masashi Imai, Shinichiro Akasaka, Tomohiro Yoneda, "Novel Delay Elements for Bundled-Data Transfer Circuits Based on Two-Phase Handshaking Protocols," Proc. ASYNC2018, pp.1-8, May, 2018
- [209] Kurano, Onji, Fukuhara, Harada, Fujimoto, "VOLTAGE CHARACTERISTICS OF A HAMMING DISTANCE SEARCH CIRCUIT IN VOLTAGE DOMAIN USING CLOCKED NEURON CMOS INVERTER", ICIC Express Letters Volume 13, pp. 209216, March 2019.
- [210] M. Watanabe, "Optically Reconfigurable Gate Array," DA NEXT BIG THING ROBO, Abu

- Dhabi, Sep., 2018.
- [211] M. Watanabe, "1 Grad radiation-hardened optoelectronic embedded system," IEEE Workshop on Silicon Errors in Logic - System Effects, Stanford, California, USA, March, 2019.
- [212] T. Fujimori, M. Watanabe, "Soft-error tolerance of an optically reconfigurable gate array VLSI," INTERNATIONAL CONFERENCE ON SYSTEMS ENGINEERING, pp. 1-6, Sydney, Australia, Dec., 2018.
- [213] M. Watanabe, "Radiation-hardened optically reconfigurable gate array," Fukushima Research Conference "Radiation Hardness and Smartness in Remote Technology for Nuclear Decommissioning", Fukushima, Japan, Nov., 2018.
- [214] T. Hatamochi, M. Watanabe, "Radiation-hardened motor controller," Fukushima Research Conference "Radiation Hardness and Smartness in Remote Technology for Nuclear Decommissioning", Fukushima, Japan, Nov., 2018.
- [215] T. Yoshinaga, M. Watanabe, "Triple modular redundancy optically reconfigurable gate array," Fukushima Research Conference "Radiation Hardness and Smartness in Remote Technology for Nuclear Decommissioning", Fukushima, Japan, Nov., 2018.
- [216] Y. Takaki, M. Watanabe, K. Sano, "Full-hardware robot controller," Fukushima Research Conference "Radiation Hardness and Smartness in Remote Technology for Nuclear Decommissioning", Fukushima, Japan, Nov., 2018.
- [217] Masaki Watanabe, Minoru Watanabe, "Many modular redundancy implementation on CPLD," Fukushima Research Conference "Radiation Hardness and Smartness in Remote Technology for Nuclear Decommissioning", Fukushima, Japan, Nov., 2018.
- [218] Shinya Fujisaki, Minoru Watanabe, "Radiation-hardened power supply unit," Fukushima Research Conference "Radiation Hardness and Smartness in Remote Technology for Nuclear Decommissioning", Fukushima, Japan, Nov., 2018.
- [219] Y. Takaki, M. Watanabe, "An optically reconfigurable gate array using four liquid crystal spatial light modulators," IEEE CPMT Symposium Japan, pp. 185 - 188, Kyoto Univ., Nov., 2018.
- [220] T. Fujimori, M. Watanabe, "Total-Ionizing-Dose Tolerance of the configuration function of MAX3000A CPLDs," Data Workshop, G&#246;teborg, Sweden, Sep., 2018.
- [221] S. Fujisaki, M. Watanabe, "Radiation-hardened stabilized power supply unit based on a lithiumion battery," Radiation and its Effects on Components and Systems conference, pp. \*\*\*-\*\*\*, G&#246;teborg, Sweden, Sep., 2018.
- [222] A. Ogiwara, M. Toda, M. Watanabe, H. Kakiuchida, "Effects of radiation exposure on volume gratings formed in liquid crystal composites," 2018 KJF International Conference on Organic Materials for Electronics and Photonics, p. 66, Gifu, Japan, Sep. 2018.
- [223] S. Fujisaki, M. Watanabe, "Ultrasonic sensor system with a 94 Mrad total-ionizing-dose tolerance," IEEE International Conference on Semiconductor Electronics, pp. 263-266, Kuala Lumpur, Malaysia, Aug., 2018.
- [224] T. Fujimori, M. Watanabe, "A 400 Mrad radiation-hardened optoelectronic embedded system with a silver-halide holographic memory," NASA/ESA Conference on Adaptive Hardware and Systems, pp. 218 - 224, Edinburgh, UK, Aug., 2018.
- [225] Toda, A. Ogiwara, M. Watanabe, "Tolerance of radiation exposure on volume gratings using liquid crystal composites, 27th International Liquid Crystal Conference (ILCC2018), pp. P4-C2-47, Kyoto, Japan, 2018.
- [226] T. Fujimori, M. Watanabe, "High total-ionizing-dose tolerance field programmable gate array," IEEE International Symposium on Circuits and Systems, pp. 1-4, May, 2018.
- [227] T. Fujimori, M. Watanabe, "A 603 Mrad total-ionizing-dose tolerance optically reconfigurable



- gate array VLSI," International Conference on Signals and Systems, pp. 249 - 254, Bali, Indonesia, May, 2018.
- [228] T. Fujimori, M. Watanabe, "An 807 Mrad total dose tolerance of an optically reconfigurable gate array VLSI," IEEE Workshop on Silicon Errors in Logic - System Effects, Boston, Massachusetts, USA, April, 2018.
- [229] S Hara, K Takano, K Katayama, R Dong, K Mizuno, K Takahashi, I Watanabe, N Sekine, A Kasamatsu, T Yoshida, S Amakawa, M Fujishima, "300-GHz CMOS Receiver Module with WR-3.4 Waveguide Interface", 2018 48th European Microwave Conference (EuMC), pp.396-399, 2018.
- [230] Ayaka Kaburaki , Satoshi Saikatsu, Tomoro Yoshida, Shuta Masuda, Michitaka Yoshino and Akira Yasuda, Noise-Shaping Dynamic Element Matching System for Two-Step Analog-to-Digital Converter with Digital-to-Analog Converter and Gain Error, International Conference on Analog VLSI Circuits, pp. 97-100, Oct., 2018.
- [231] Takahiro Kato, Kengo Ando and Akira Yasuda, A study of phase noise suppression in reference multiple digital PLL without DLLs International Conference on Analog VLSI Circuits, pp. 127-130, Oct., 2018.
- [232] Pakpuwadon Thanet, "CMOS optical power receiver for ultra-small wireless implantable devices,"The Second International Workshop by the 174th Committee JSPS, 2019.1.29. Medium Conference room, Kyoto Terrsa.
- [233] Mark Christian Guinto, "Visualizing neural activity in regions related to feeding behavior in GCaMP-expressing mice under freely moving conditions,"The Second International Workshop by the 174th Committee JSPS, 2019.1.29. Medium Conference room, Kyoto Terrsa.
- [234] Hee Wan Shen, "Fabrication of a Small, Compact, Implantable CMOS Image Sensor for FRET Imaging,"The Second International Workshop by the 174th Committee JSPS, 2019.1.29. Medium Conference room, Kyoto Terrsa.
- [235] Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Wireless attachable health monitoring device operated by optical power,"The Second International Workshop by the 174th Committee JSPS, 2019.1.29. Medium Conference room, Kyoto Terrsa.
- [236] Yasuto Mori, Chia-Chi Chang, Hiroki Endo, Maho Hata, Toshihiko Noda, Kenzo Shodo, Yasuo Terasawa, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "CMOS Power Transfer Circuit Design for Retinal Prosthetic Device Based on Multiunit Architecture,"The 7th International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS & Applications 2018/2019Bio4Apps 2018/2019, 2019.1.7. Harbin Institute of Technology, China.
- [237] Erus Rustami, Kiyotaka Sasagawa, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Implantable CMOS Image Sensor using Multilayer Filter Emission and Fiber Coupled Laser Excitation,"4th International Workshop on Image Sensors and Imaging Systems (IWISS2018), 2018.11.29. Tokyo Institute of Technology, Tokyo.
- [238] Kiyotaka Sasagawa, Ayaka Kimura, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Lensless fluorescence microscope(invited),"4th International Workshop on Image Sensors and Imaging Systems (IWISS2018), 2018.11.29. Tokyo Institute of Technology, Tokyo.
- [239] Yoshinori Sunaga, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Y. Akay, M. Akay, Jun Ohta, "GCaMP and GFP imaging in VTA by an implantable imaging device,"NEUROSCIENCE 2018, 2018.11.7. San Diego Convention Center, San Diego, USA.
- [240] Mark Christian Guinto, Yasumi Ohta, Mamiko Kawahara, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Visualizing neural activity at the regions of the GCaMP6-expressing mouse brain in the

- neural circuit related to feeding behavior, including lateral hypothalamus, under freely moving using an implantable micro-imaging device,"NEUROSCIENCE 2018, 2018.11.7. San Diego Convention Center, San Diego, USA.
- [241] Ayaka Kimura, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Long-term time-lapse observation of cells with photo-stimulation by using portable in vitro cell imaging system,"NEUROSCIENCE 2018, 2018.11.7. San Diego Convention Center, San Diego, USA.
- [242] Makito Haruta, Yuki Kurauchi, Ayaka Kimura, Yasumi Ohta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Hiroshi Katsuki, Jun Ohta, "A chronic blood-flow imaging device for a small animal's brain in a behavior experiment,"NEUROSCIENCE 2018, 2018.11.5. San Diego Convention Center, San Diego, USA.
- [243] Yasumi Ohta, Kyosuke Naganuma, Mamiko Kawahara, Ayaka Kimura, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Development of micro LED-based optical stimulation device combined with microdialysis for detecting the release of neurotransmitters,"NEUROSCIENCE 2018, 2018.11.4. San Diego Convention Center, San Diego, USA.
- [244] Takashi Tokuda, Thanet Pakpuwadon, Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "CMOS-based, optically-powered implantable optogenetic stimulator(invited),"IEEE Life Sciences Conference (LSC2018), 2018.10.29. La Plaza - Banquet & Conference halls, Montreal, Quebec, Canada.
- [245] Kiyotaka Sasagawa, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Composite Bandpass Emission Filter for Lensless Fluorescence Imaging,"IEEE Life Sciences Conference (LSC2018), 2018.10.29. La Plaza - Banquet & Conference halls, Montreal, Quebec, Canada.
- [246] Kiyotaka Sasagawa, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Excitation and Emission Filters for Implantable Fluorescence Imaging Devices by Laser Lift-Off Process,"BioCAS 2018, 2018.10.18. The Cleveland Marriott Downtown at Key Center in Cleveland, Ohio, USA..
- [247] Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Mohamad Sawan, Sandro Carrara, Jun Ohta, "Battery-Free Sticker-Like Device for Health Monitoring Operated by Optical Power Transfer,"BioCAS 2018, 2018.10.18. The Cleveland Marriott Downtown at Key Center in Cleveland, Ohio, USA..
- [248] Wan Shen Hee, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Small and Compact In-vivo FRET Image Sensor - Fabrication and Development using CMOS Technology,"2018 International Conference on Solid State Devices and Materials, 2018.9.12. The University of Tokyo, Japan.
- [249] Pakpuwadon Thanet, Wuthibenjaphonchai Nattakarn, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Mohamad Sawan, Jun Ohta, " CMOS-integrated optical power transfer for an ultra small wireless implantable devices,"2018 International Conference on Solid State Devices and Materials, 2018.9.12. The University of Tokyo, Japan.
- [250] Kiyotaka Sasagawa, Narihito Ikeda, Makito Haruta, Hironari Takehara, Toshihiko Noda, Takashi Tokuda and Jun Ohta, "A Lens-free Imaging Device with a Hybrid Emission Filter for Fluorescent Microchamber Counting,"the 40th International Engineering in Medicine and Biology Conference (EMBC'18) , 2018.7.18. Hawaii Convention Center, Honolulu, USA.
- [251] Takashi Tokuda, Wuthibenjaphonchai Nattakarn, Takaaki Ishizu, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Jun Ohta, "Live Demonstration! IoT Micronode with

- Optical ID Transmission Capability Operated by Optical Energy Harvesting , "ISCAS2018, 2018.5.28. Firenze Fiera Congress and Exhibition Center.
- [252] K. Tsurumi, K. Suzuki, K. Takeuchi, "A 6.8 TOPS/W Energy Efficiency, 1.5  $\mu$  W Power Consumption, Pulse Width Modulation Neuromorphic Circuits for Near-Data Computing with SSD," in IEEE Asian Solid-State Circuits Conference (A-SSCC), Dec. 2018, pp. 129-132.
- [253] C. Monteiro, A. Maria, and Y. Takahashi, "Low power source biased semi-adiabatic logic circuit for IoT devices," Proc. IEEE ISPACS 2018, pp.43-47, Nov. 27-30, Okinawa, Japan.
- [254] R. Ohashi, and Y. Takahashi, "A new adiabatic logic without charge sharing gate for cryptographic devices," Proc. IEEE ISPACS 2018, pp.117-121, Nov. 27-30, Okinawa, Japan.
- [255] H. Koyasu, and Y. Takahashi, "Current pass optimized-symmetric pass gate adiabatic logic in countermeasures against power analysis attacks," Proc. IEEE ISPACS 2018, pp.122-126, Nov. 27-30, Okinawa, Japan.
- [256] T. Fukuura, and Y. Takahashi, "5.6 GHz, 61.7 dB  $\Omega$  transimpedance amplifier using active inductor in shunt and series peaking," Proc. IEEE ISPACS 2018, pp.392-395, Nov. 27-30, Okinawa, Japan.
- [257] R. Tagawa, and Y. Takahashi, "5.3 GHz, 69.6 dB  $\Omega$  transimpedance amplifier with negative impedance converter," Proc. IEEE ISPACS 2018, pp.396-400, Nov. 27-30, Okinawa, Japan.
- [258] B. Da Costa, and Y. Takahashi, "8 GHz transimpedance amplifier using floating active inductor," Proc. IEEE AVIC 2018, pp.53-56, Oct. 31-Nov. 2, Chiang Mai, Thailand.
- [259] X. Chen, and Y. Takahashi, "Design and analysis of a 10 GHz trans-impedance amplifier using active inductor in 0.18  $\mu$ m CMOS process technology," Proc. IEEE AVIC 2018, pp.57-60, Oct. 31-Nov. 2, Chiang Mai, Thailand.
- [260] M. Han, Y. Takahashi, and T. Sekine, "A performance comparison of adiabatic logic circuits," Proc. IEEE AVIC 2018, pp.149-152, Oct. 31-Nov. 2, Chiang Mai, Thailand.
- [261] H. Matsumoto, Y. Takahashi, and T. Sekine, "Comparison of performance between different CMOS circuits using suspended-gate FET model," Proc. IEEE AVIC 2018, pp.157-160, Oct. 31-Nov. 2, Chiang Mai, Thailand.
- [262] Y. Masaki, and Y. Takahashi, "Diode based adiabatic logic with feedback circuit in countermeasure against power analysis attacks," Proc. IEEE AVIC 2018, pp.165-168, Oct. 31-Nov. 2, Chiang Mai, Thailand.
- [263] 出口, 田中, 河添, 福岡, 中野, "A Low Noise Analog Front-end Design with an N-path Filter for Dry EEG Recording", ISPACS, 2018年11月27-30日
- [264] 外村, 銭林, 中野, "On-chip antifuse memory recording using charge pump DC-DC boost converter", 2018 International Conference on Analog VLSI Circuits, 2018年10月31日
- [265] J. Kawano, H. Yotsuyanagi and M. Hashizume, "On Design and Evaluation of a TDC Cell Embedded in the Boundary Scan Circuit for Delay Fault Testing of 3D ICs", Proc. of 33rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2018), pp.110-113, July 2018.
- [266] K. Ishihara, M. Hashizume, H. Yotsuyanagi and S-K. Lu, "Resistive Open Defects in 3D Stacked ICs Detected by Electrical Interconnect Testing with a Charge Injector Made of MOS Capacitors", Proc. of 33rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2018), pp.114-117, July 2018
- [267] S. Hirai, H. Yotsuyanagi and M. Hashizume, "Test Time Reduction on Testing Delay Faults in 3D ICs Using Boundary Scan Design", Proc. of IEEE 27th Asian Test Symposium, pp.7-12, Oct. 2018.
- [268] Y. Matsumoto, M. Hashizume, H. Yotsuyanagi and S-K. Lu, "Resistive Open Defect Detection in SoCs by a Test Method Based on Injected Charge Volume after Test Input Application", Proc. of IEEE CPMT Symposium Japan 2018, pp.141-142, Nov. 2018.

- [269] M. Kanda, D. Yabui, M. Hashizume, H. Yotsuyanagi and S-K. Lu, "Stand-by Mode Test Method of Interconnects between Dies in 3D ICs with IEEE 1149.1 Test Circuits", Proc. of IEEE CPMT Symposium Japan 2018, pp.189-192, Nov. 2018.
- [270] Koichi Maezawa, Motoyuki Yoshida, Masayuki Mori, "Resonant tunneling hard-type oscillators having a Schottky diode trigger circuit for stable and large voltage swing operation", The 42nd Workshop on Compound Semiconductor Devices and Integrated Circuits held in Europe, 14-16 May 2018.
- [271] K. Maezawa, T. Tajika, M. Mori, "1-MHz strain detection using resonant tunneling delta-sigma modulation sensors", 2018 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2018), 2-4 July, 2018.
- [272] Koichi Maezawa, Motoyuki Yoshida, Masayuki Mori, "Operating Mechanism and Voltage Swing Enhancement of the Hard-type Oscillators Based on Series-connected RTDs", Progress In Electromagnetics Research Symposium (PIERS 2018), August 1-4, 2018
- [273] Tongxin Yang, Tomoaki Ukezono, and Toshinori Sato, "A Low-Power High-Speed Accuracy-Controllable Approximate Multiplier Design", Proc. of 23rd Asia and South Pacific Design Automation Conference (ASP-DAC 2018), 7A-1 pp.605--610, Jeju Island , Korea, 2018.1.
- [274] Tongxin Yang, Tomoaki Ukezono, and Toshinori Sato, "A Low-Power Configurable Adder for Approximate Applications", Proc. of 19th International Symposium on Quality Electronic Design (ISQED 2018), 4B-4 pp.347--352, Santa Clara, CA, USA, 2018.3.
- [275] Hiroyuki Baba, Tongxin Yang, Masahiro Inoue, Kaori Tajima, Tomoaki Ukezono, and Toshinori Sato, "A Carry-Predicting Full Adder for Accuracy-Scalable Computing", Proc. of The 21st Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2018), R1-11 pp.51--55, Matue, Japan, 2018.3.
- [276] Tongxin Yang, Tomoaki Ukezono, and Toshinori Sato, "A Low-Power Yet High-Speed Configurable Adder for Approximate Computing", Proc. of The International Symposium on Circuits and Systems (ISCAS 2018), Design of Digital Circuits & Systems - I, Florence, Italy, 2018.5.
- [277] Hiroyuki Baba, Tongxin Yang, Masahiro Inoue, Kaori Tajima, Tomoaki Ukezono, and Toshinori Sato, "A Low-Power and Small-Area Multiplier for Accuracy-Scalable Approximate Computing", Proc. of IEEE Computer Society Annual Symposium on VLSI (ISVLSI 2018), pp.569--574, Hong Kong SAR, China, 2018.7.
- [278] Toshinori Sato and Tomoaki Ukezono, "Exploiting Configurability for Correct Sign Calculation in an Approximate Adder", Proc. of 15th International SoC Design Conference (ISOC 2018), pp.86--87, Daegu, Korea, 2018.11.
- [279] Ryuta Ishida, Tomoaki Ukezono and Toshinori Sato, "Approximate Adder Generation for Image Processing Using Convolutional Neural Network", Proc. of 15th International SoC Design Conference (ISOC 2018), pp.38--39, Daegu, Korea, 2018.11.
- [280] Tomoaki Ukezono, "An Error Corrector for Dynamically Accuracy-Configurable Approximate Adder", Proc. of The Sixth International Symposium on Computing and Networking(CANDAR) Workshops (CSA! International Workshop on Computer Systems and Architectures), pp.145--151, Takayama, Japan, 2018.11.
- [281] Tongxin Yang, Tomoaki Ukezono, and Toshinori Sato, "Low-Power and High-Speed Approximate Multiplier Design with a Tree Compressor", Proc. of The 35th IEEE International Conference on Computer Design (ICCD 2017), pp.89--96, Newton, Boston area, Massachusetts, USA, 2017.11.
- [282] Yusuke Kitada, Jun Fujiwara, Nobumasa Hattori, Kensuke Kanda, Takayuki Fujita, and Kazusuke Maenaka, "Integration of MPU and ASICs for Low-Power Human Monitoring



- System," IEEE International Conference on SMC 2018, pp.1305-1308, October, 2018.
- [283] Ogawa, Shrestha, Sato, "High-Accuracy, Low-Power Switched-Capacitor Differential-Capacitance-to-Time Converter", Proceedings of the IEEE 61th International Midwest Symposium on Circuits and Systems, pp. 558-561, Aug. 2018.
- [284] Motoki, Sato, Ogawa, "Low Output Offset Voltage And Small Output Voltage Ripple Auto-zero Amplifier Using Capacitor Network", Proceedings of 2018 International Conference on Analog VLSI Circuits, pp.9-12, 2018
- [285] Y. Jiang, S. Sato, Y. Omura, A. Mallik, "Aspects and Reduction of Miller Capacitance of Lateral Tunnel FETs", IEEE IMFEDK (Kyoto, 2018), pp.22-23
- [286] Yunako Katagishi, So Tsuyuguchi, Hiroshi Tsutsui, Yoshikazu Miyanaga, "An Evaluation of Entropy Coding Approaches in Block-Based Adaptive Lossless Image Coding Method for Embedded Systems," Proceedings of International Symposium on Multimedia and Communication Technology (ISMAC), Aug. 2018.
- [287] Yoshikazu Miyanaga, Hiroshi Tsutsui, Junji Yamano, Masaki Miura, Tohru Gotoh, Takashi Imagawa, "Development of Real-time FHD Loss-Less Video Communication over an  $8 \times 8$  MIMO-OFDM System," Proceedings of Asia-Pacific Signal and Information Processing Association Annual Summit and Conference (APSIPA ASC), Nov. 2018.
- [288] Yoshikazu Miyanaga, Hiroshi Tsutsui, Junji Yamano, Masaki Miura, Tohru Gotoh, Takashi Imagawa, "Development of High Performance RF Modules Used in Real-time FHD Video Communication over  $8 \times 8$  MIMO-OFDM System," Proceedings of International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Nov. 2018.
- [289] Takano, Nagayama, Sanada, 'Constant Permeability Design of Cylindrical Invisibility Cloaks with Hyperbolic Coordinate Transformation Based on Transformation Electromagnetics,' APMC2018, WE4-C1-2, Nov. 2018.
- [290] Y. Okuma, Y. Yamanashi, N. Yoshikawa, "Design and Implementation of a Low-Power Area-Efficient Adiabatic-Quantum-Flux-Parametron FPGA using Josephson-CMOS Hybrid Memories, " Applied Superconductivity Conference (ASC2018), Seattle, USA, Oct. 28-Nov. 2, 2018, 2EOr1B-03.
- [291] F. Ke, Y. Yamanashi, N. Yoshikawa, "Design and demonstration of an SFQ-based full-component single chip FFT processor, " Applied Superconductivity Conference (ASC2018), Seattle, USA, Oct. 28-Nov. 2, 2018, 4EOr3C-03.
- [292] Y. Hironaka, Y. Yamanashi, N. Yoshikawa, "Design and evaluation of a one-instruction-set single-flux-quantum microprocessor for the demonstration of Josephson-CMOS hybrid system, " The 31st International Symposium on Superconductivity (ISS2018), Ibaraki, Japan, Dec. 12-14, 2018, EDP-2-2.
- [293] F. Ke, Y. Yamanashi, T. Ortlepp, N. Yoshikawa, "Design and demonstration of an 8-bit 18-sample/cycle sine code generator using single-flux-quantum circuits, " The 31st International Symposium on Superconductivity (ISS2018), Ibaraki, Japan, Dec. 12-14, 2018, EDP-2-3.
- [294] Tomotaka Tanaka, Fumiya Naito, Makoto Nakamura, Daisuke Ito, and Keiji Kishine, "A Wideband Differential VCO Based on Multipath Loop Architecture", ISOC2018, Tech Dig., pp. 135-136, Daegu, South Korea, Nov. 12-15, 2018.
- [295] Masahiro Akiyama, Takahiro Mitsuishi, Dali Zhang, Myung-Jae Lee, Edoardo Charbon, "Chip on Chip Bonding Technology for Fine Pitch Connection with Al-Si/TiN Bumps", Proceedings of the 6th IIAE International Conference on Intelligent Systems and Image Processing 2018, PS-8, pp.374-377, 2018.9.
- [296] T. Maruyama, M. Hamada, and T. Kuroda, "Comparative Performance Analysis of Dual-Rail Domino Logic and CMOS Logic Under Near-Threshold Operation," IEEE

- International Midwest Symposium on Circuits and Systems, pp. 25-28, Aug. 2018.
- [297] T. Fujimaki, Y. Toeda, M. Hamada, and T. Kuroda, "An Electrically Small On-Chip Antenna Scaled down to One-Twentyfifth by One-Fiftieth of Wavelength," 2018 IEEE International Symposium on Antennas and Propagation and USNC-URSI Radio Science Meeting, Proceedings, July 2018.
- [298] Y. Toeda, T. Fujimaki, M. Hamada, and T. Kuroda, "Fully integrated OOK-powered pad-less deep sub-wavelength-sized 5-GHz RFID with on-chip antenna using adiabatic logic in  $0.18 \mu\text{m}$  CMOS," IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp. C27-C28, June 2018.
- [299] T. Harada and F. Kojima, "A 0.6V PWM Analog Differential Absolute Distance Circuit Using Only a Reference Pulse Clock Under the Subthreshold Region", 2018 International Symposium on Intelligent Signal Processing and Communication Systems(ISPACS), pp. 382-385, Nov. 2018
- [300] Takahiro Toizumi and Katsutoshi Saeki, Central Pattern Generator based on Interstitial Cell Models made from Bursting Neuron Models, Proc. International Conference on Neural Information Processing, LNCS11302, Part II, pp.321-329, Springer, Siem Reap, Cambodia, December 2018.
- [301] D. Ogawa, D. Iguchi, Y. Wada, K. Hashimoto, Y. Taira, N. Hara, and K. Otsuka! "A 56 Gbps I/O Interface Design with Exact Power Source Simulation," Proc. Electronic Components and Technology Conference (ECTC) 2018 (May 29-June 1, 2018).
- [302] Shin Miyamoto and Nobuaki Kobayashi, "Development of high-stability, low-leakage 6Tr-SRAM with single data line and single power supply using SOTB process", in Proc. of IEEE Computer Society Annual Symposium on VLSI, pp. 387-392, in Hong Kong, China, July 9, 2018.
- [303] C. Pan, H. San, "A 6th-Order Complex Bandpass  $\Delta \Sigma$  AD Modulator Using Dynamic Amplifier and Noise Coupling SAR Quantizer," 2018 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp.447-452, Ishigaki, Japan, November, 2018.
- [304] C. Pan, H. San, T. Shibata, "A 720uW 77.93dB SNDR  $\Delta \Sigma$  AD Modulator Using Dynamic Analog Components with Simplified Operation Phase," 2018 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp.442-446, Ishigaki, Japan, November, 2018.
- [305] Kar Mun Lee, Koji Kiyoyama, Tetsu Tanaka, et.al,"Continuous Peripheral Blood Pressure Measurement with ECG and PPG Signals at Fingertips",2018 IEEE Biomedical Circuits and Systems Conference (BioCAS),17-19 Oct. 2018.
- [306] H. Ando, T. Kamata, K. Suzuki, S. Kameda, T. Suzuki, and M. Hirata, "Development of a neural recording ASIC for an ECoG and spike and its wireless system for BMI", 40th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC'18), ThPoS-25.27, Honolulu, HI, USA, July 17-21, 2018.
- [307] Ushio Jimbo, Ryota Shioya, Masahiro Goshima, "Application of Timing Fault Detection to Rocket Core on FPGA", Int'l Workshop on Computer Systems and Architectures (CSA), 2018年11月.
- [308] Ushio Jimbo, Ryota Shioya and Masahiro Goshima, "Clocking Scheme That Realizes Ballistic Signal Flow", The ACM Student Research Competition (SRC), 2018年10月
- [309] Kazuya Masu, Daisuke Yamane, Hiroyuki Ito, Katsuyuki Machida, Tso-Fu Mark Chang, Masato Sone and Yoshihiro Miyake, "CMOS-MEMS accelerometer with gold proof-mass and its application in diagnosis of Parkinsons Disease," 4th International Conference on Condensed Matter and Materials Physics, August 16-17, 2018, London, UK.
- [310] Y. Sakamoto, K. Komoku, T. Morishita, N. Itoh, "Phase Noise Characteristics of VCOs Utilizing Various Structural 3D-Striped Inductor," Proc.

- of the 2018 Asia-Pacific Microwave Conference, TH3-IF, Kyoto, Nov. 2018.
- [311] N. Itoh, T. Ogawa, T. Kitano, "Study of concurrent dual-band Low-Noise Amplifiers," RIEC Russia-Japan Joint International Microwave Workshop 2018, St. Petersburg, Oct. 2018.
- [312] D. Kitagata, S. Yamamoto, and S. Sugahara, "Virtually Nonvolatile Retention Flip-Flop Using FinFET Technology", 2018 IEEE Silicon Nanoelectronics Workshop (SNW 2018), Honolulu, USA, June 17-18, 2018, paper P2-17.
- [313] Y. Shiotsu, S. Yamamoto, Y. Shuto, H. Funakubo, M. K. Kurosawa, and S. Sugahara, "Design and Circuit Performance of a New Piezoelectronic Transistor", 2018 IEEE Silicon Nanoelectronics Workshop (SNW 2018), Honolulu, USA, June 17-18, 2018, paper P2-5.
- [314] D. Kitagata, S. Yamamoto, and S. Sugahara, "A New Architecture of Store Energy and Latency Reduction for Nonvolatile SRAM Based on Spintronics/CMOS-Hybrid Technology", 2018 International Conference on Solid State Device and Materials (SSDM2018), Tokyo, Japan, September 9-13, 2018, paper B-4-03, pp. 119-120.
- [315] D. Kitagata, H. Yoshida, S. Yamamoto, and S. Sugahara, "Virtually Nonvolatile Retention SRAM cell Using Dual-Mode Inverters", 2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S Conference 2018), San Francisco, USA, October 15-18, 2018, paper 13.5.
- [316] D. Kitagata, S. Yamamoto, and S. Sugahara, "Design and Performance of Virtually Nonvolatile Retention Flip-Flop Using Dual-Mode Inverters", 2nd New Generation of Circuits & Systems Conference (NGCAS2018), Valletta, Malta, November 20, 2018, pp. 182-185.
- [317] Y. Shiotsu, S. Yamamoto, H. Funakubo, M. K. Kurosawa, and S. Sugahara, "Design of New Piezoelectronic Transistors and Their Ultralow-Voltage SRAM Application", 2019 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS 2019), Grenoble, France, April 1-3, 2019, paper P11.
- [318] Ren Usami, Takao Komiyama, Yasunori Chonan, Hiroyuki Yamaguchi, and Koji Kotani, "Photovoltaic-Assisted Self-Vth-Cancellation CMOS

#### 国内会議, 研究会等

- [1] S. Lee, K. Takano, R. Dong, S. Amakawa, T. Yoshida, M. Fujishima, "A 37-GHz-Input Divide-by-36 Injection-Locked Frequency Divider with 1.6-GHz Lock Range," A-SSCC2018報告会, 2018 11月.
- [2] 小林知広, 天川修平, 吉田毅, 藤島実, "スローウェーブ伝送線路におけるグラウンド構造の設計指針," 電子情報通信学会集積回路研究会, 12月6日, 2018.
- [3] 竹川響弥, 天川修平, 吉田毅, 藤島実, "ミリ波帯CMOS低雑音増幅器設計," 電子情報通信学会集積回路研究会, 12月6日, 2018.
- [4] 香原翔太, 天川修平, 吉田毅, 藤島実, "平坦な周波数特性を有するミリ波帯CMOS増幅回路の設計法," 電子情報通信学会集積回路研究会, 12月6日, 2018.
- [5] 瀧脇朋也, 天川修平, 吉田毅, 藤島実, "高い電力効率を有するミリ波帯CMOS発振回路の設計法," 電子情報通信学会集積回路研究会, 12月7日, 2018.
- [6] 香原翔太, 天川修平, 吉田毅, 藤島実, "広帯域ミリ波帯CMOS増幅回路設計のための整合回路最適化," 電子情報通信学会集積回路研究会, 12月23日, 2018.
- [7] 小林知広, 天川修平, 吉田毅, 藤島実, "線路長を短縮する伝送線路設計," 電子情報通信学会集積回路研究会, 12月23日, 2018.
- [8] 香原翔太, 董銳冰, 天川修平, 吉田毅, 藤島実, "ソースインダクタと負性容量を併用したW帯CMOS低雑音増幅器", LSIとシステムのワークショップ, 2018年5月.
- [9] 瀧脇朋也, 李尚曄, 天川修平, 吉田毅, 藤島実, "v帯発振回路の低電圧動作", LSIとシステムのワークショップ, 2018年5月.
- [10] S. Lee, R. Dong, T. Yoshida, S. Amakawa, S. Hara, A. Kasamatsu, J. Sato, M. Fujishima, "An

- 80Gb/s 300GHz-Band Single-Chip CMOS Transceiver," ISSCC2019報告会, 2019 3月.
- [11] 高宮 真, "プロセッサの低消費電力化に向けたオンチップ電源回路," EDN Japan 次世代デバイスのための電源セミナー「低電圧/大電流化にどう対応すべきか?」, 東京, 2018年6月. (特別講演)
- [12] 植村隆文, 荒木徹平, 吉本秀輔, 野田祐樹, 和泉慎太郎, 関谷 毅, 加賀谷 司, 森 時彦, 高宮 真, 桜井貴康, 濱田 浩, 河村直明, 塚田智之, 井出周治, 瀬下雄一, 堤 知明, 沓原 惇, 大&#31793;英樹, 石井伸晃, 尾藤慎也, 金村 崇, 桑原章史, 水野晃太郎, 福原克郎, 田中稔彦, 片桐真吾, 高安理寛, 山本陽介, "Field Intelligence 搭載型大面積分散IoTプラットフォームの研究開発," 電子情報通信学会ソサイエティ大会, BI-8-5, 金沢, 2018年9月.
- [13] 高宮 真, "IoT向け集積電源回路 ~低入力電圧化・低出力電力化への挑戦~, " 日本学術振興会 次世代のスイッチング方式電源システム第173委員会, 第4期 第9回研究会, pp. 52-77, 東京, 2018年10月.
- [14] 高宮 真, "集積パワーマネジメントから見た新デバイスへの期待," 応用物理学会 シリコンテクノロジー分科会 システムデバイスロードマップ委員会 第1回 BC/ERM 合同委員会, 横浜, 2018年11月.
- [15] 東京大学, 科学技術振興機構 (JST), ERATO 川原万有情報網プロジェクト, "Luciola: 空間を飛び回るミリメートルサイズのLED光源を実現," デジタルコンテンツ協会 デジタルコンテンツ EXPO Innovative Technologies 2018, 幕張, D301, 2018年11月.
- [16] 加賀谷 司, 宮崎耕太郎, 高宮 真, 桜井貴康, "パワーエレクトロニクス向け高EMI耐性を持った2.5kV絶縁耐压400Mbps 高速デジタルアイソレータの設計," 電子情報通信学会, 信学技報, ICD2018-97, pp. 141-146, 宮古島, 2018年12月.
- [17] 高宮 真, 筧 康明, 川原圭博, "浮かぶLED"Luciola", " 電気設備学会誌, 第39巻, 第1号, pp. 3 - 6, 2019年1月.
- [18] 福留 環, 新山龍馬, 桜井貴康, 高宮 真, "形状記憶合金アクチュエータの高出力化と駆動エネルギーの低減を両立する駆動方法の提案と実証," 電子情報通信学会総合大会, A-1-19, 東京, 2019年3月.
- [19] 茨城亮太郎, Hao Qiu, 桜井貴康, 高宮 真, "無線給電と無線通信を兼用した磁界共振型システムにおける無線給電効率と最大データレートの関係," 電子情報通信学会総合大会, B-21-36, 東京, 2019年3月.
- [20] 鈴木, 濱野, 清水, 岡崎, 河合, 福田, 鈴木, 西川, "バラクタを用いた広ダイナミックレンジ整流回路に関する研究," IEICE MW研究会 2019年3月
- [21] 大槻 宜孝, 山崎 大輔, マイカーン グエンコック, 飯塚 哲也, "周波数2逓倍器を用いた小面積かつ低電力な140GHz電圧制御発振器の設計," 電子情報通信学会 技術研究報告, vol. 118, no. 374, pp. 83 - 88, 2018年12月.
- [22] 王 璟, 飯塚 哲也, 名倉 徹, "自動配置配線を用いた高速起動パルス幅制御PLL 回路の設計と性能比較," 電子情報通信学会 総合大会論文集, 2019年3月
- [23] 李虹希, 塩谷亮太, 安藤秀樹, "SRAMの電力/遅延シミュレータCACTIへのシングルエンド方式の対応," 情報処理学会研究報告, Vol.2018-ARC-232, No.15, 2018年7月.
- [24] 高橋, 多田, "三次元積層型畳み込演算器の高エネルギー効率化", 平成30年度情報処理学会東北支部研究会(山形大学), 2019年3月
- [25] 原慎太郎, 柄澤悠樹, 後藤悠佑, 福岡孝将, 宮地幸祐, "高速ヒステリシス制御DC-DCコンバータのワイヤーボンディング実装とフリップチップ実装の特性比較", LSIとシステムのワークショップ, LSIとシステムのワークショップ, 2018年5月.
- [26] 高木憲太郎, 上倉宇晴, 小柳洗介, 曾根原誠, 佐藤敏郎, 宮地幸祐, "光プローブ電流センサ向け120dBOhm, 16MHz 疑似差動CMOSアナログフロントエンド回路", LSIとシステムのワークショップ, 2018年5月.
- [27] 浅野孝紘, 與五沢啓太, 西田純也, 宮地幸祐, "体内埋め込み型医療用デバイス向け非接触給電における整流器のスイッチング比に応じた送電電圧可変回路の設計", 電磁力関連のダイナミクスシンポジウムSEAD30, pp. 19-24, 2018年5月.
- [28] 浅野孝紘, 與五沢啓太, 西田純也, 鈴木大, 土屋



- 智紀, 宮地幸祐, “体内埋め込み型医療用デバイス向け非接触給電における Constant On Time 制御を用いた送電電力制御回路の設計”, 電磁力関連のダイナミクスシンポジウム SEAD30, pp. 25-30, 2018年5月.
- [29] 鈴木大, 浅野孝紘, 宮地幸祐, “軽負荷動作に対応する CMOS 全波整流器の ZVS 制御を用いた非接触給電受電回路の設計”, 電磁力関連のダイナミクスシンポジウム SEAD30, pp. 31-36, 2018年5月.
- [30] 西田純也, 浅野孝紘, 鈴木大, 宮地幸祐, “Delay-Locked Loop 制御を用いた立ち上がりおよび立ち下がりエッジゼロ電圧スイッチング非接触給電受電回路の設計とその評価”, 電磁力関連のダイナミクスシンポジウム SEAD30, pp. 53-58, 2018年5月.
- [31] 土屋智紀, 浅野孝紘, 宮地幸祐, “低消費電力非接触給電システムにおける電力伝送用コイル設計手法の検証”, 電磁力関連のダイナミクスシンポジウム SEAD30, pp. 470-475, 2018年5月.
- [32] 高木憲太郎, 上倉宇晴, 曾根原誠, 佐藤敏郎, 宮地幸祐, “光プローブ電流センサ向け疑似差動 CMOS アナログフロントエンド回路におけるデジタル DC オフセットキャンセル機構”, 電子情報通信学会信越支部大会, p. 108, 2018年9月.
- [33] 赤羽和哉, 高木憲太郎, 上倉宇晴, 曾根原誠, 佐藤敏郎, 宮地幸祐, “光プローブ電流センサ向け CMOS アナログフロントエンド回路のチョッパアンプを用いたオフセット除去の検討”, 電子情報通信学会信越支部大会, p. 109, 2018年9月.
- [34] 滝英俊, 三谷勇介, 百瀬英哉, 上口光, 宮地幸祐, “ウェアラブル発汗計向け PWM 型湿度センサ回路の精度改善”, 電子情報通信学会信越支部大会, p. 110, 2018年9月.
- [35] 原慎太郎, 福岡孝将, 宮地幸祐, “高速 DC-DC コンバータの小型自己校正負荷電流検知回路の設計”, 電子情報通信学会信越支部大会, p. 111, 2018年9月.
- [36] 福岡孝将, 柄澤悠樹, 宮地幸祐, “小型・低損失な共有チャージポンプを用いた中間電圧電源を有する Adaptive-On/Off-Time 制御3値 Buck コンバータ”, 電子情報通信学会信越支部大会, p. 112, 2018年9月.
- [37] 山本, 久保, “RF-DC 変換回路の入力インピーダンスとインピーダンス整合に関する基礎検討”, 信学技報 WPT2018-56 (2019-01), pp.13-17, 2019年01月
- [38] T. Yamamoto, H. Kubo, and M. Hotta, "Design strategy of RF-DC conversion circuit for wireless power transfer technology," Proc. of 2018 Chungbuk National University - Yamaguchi University Exchange Program, pp.9-10, Aug. 2018.
- [39] 小名木 さゆり, 佐宗 馨, 原 祐子, "IoT エッジコンピューティングに向けた省エネルギー・小型なマルチコアプロセッサ," VLSI 設計技術研究会 (VLD) 信学技報, vol. 118, no. 457, VLD2018-128, pp. 211-216, 那覇, 2019年3月1日.
- [40] 早川雄一郎, 小原正也, 野口大輔, 河村慧史, 田中泰介, 齊藤健, 金子美泉, 内木場文男, “ニューラルネットワーク IC による歩行パターン制御を実現した MEMS マイクロロボット”, 第10回集積化 MEMS シンポジウム, 2018.10
- [41] 小原正也, 田中泰介, 河村慧史, 早川雄一郎, 野口大輔, 金子美泉, 内木場文男, 齊藤健, “歩行パターンの切り替えが可能な CMOS ニューラルネットワークの開発”, JPCA2018 アカデミックプラザ, 2018.6
- [42] 田中泰介, 阿部水樹, 田中大介, 早川雄一郎, 金子美泉, 内木場文男, 齊藤健, “6足歩行型マイクロロボットの歩容切替えが可能なハードウェアニューラルネットワークの開発”, 第31回回路とシステムのワークショップ論文集, pp.98-103, 2018
- [43] 佐々木拓郎, 黒澤実花, 小原正也, 齊藤健, “静電モータで駆動するマイクロロボットの駆動波形を出力する中枢パターン発成器の開発”, 電子情報通信学会東京支部学生会第24回研究発表会, 2019.3
- [44] 吉 晃大, 安藤 洸太, 廣瀬 一俊, 高前田 伸也, 門本 淳一郎, 宮田 知輝, 濱田 基嗣, 黒田 忠広, 本村 真人, "QUEST! A 7.49TOPS Multi-Purpose Log-Quantized DNN Inference Engine Stacked on 96MB 3D SRAM Using Inductive-Coupling Technology in 40nm CMOS," ISSCC2018報告会, 東京大学, (東京), 2018年2月27日.
- [45] 肥田 格, 植吉 晃大, 高前田 伸也, 池辺 将之,

- 本村 真人, 浅井 哲也, "不揮発アナログシナプスデバイスの素子数を半減する重み符号固定事前学習法とその深層学習への適用," 日本神経回路学会第27回全国大会, 北九州国際会議場, (福岡), 2017年9月20-22日.
- [46] 明連広昭, 田井野徹, 成瀬雅人, 岡部公亮, 松縄諒, "サブ磁束量子フィードバックデジタルSQUID磁束計用デジタル信号処理回路," 電子情報通信学会総合大会, C-8-9, 早稲田大学, 2019年3月.
- [47] 松縄 諒, 岡部 公亮, 成瀬 雅人, 田井野 徹, 明連 広昭, "1次sincフィルタによるサブ磁束量子フィードバックデジタルSQUID磁束計の設計," 電子情報通信学会技術研究報告, vol. 118, No. 178, pp. 13-17, 2018年8月.
- [48] 今井陽太郎, 前川晋太郎, 大高俊徳, 浜本隆之, "CTIA画素回路を用いた低感度/高感度出力可能なイメージセンサと出力接続による高DR画像の取得", 映像情報メディア学会技術報告, Vol. 42, No. 19, pp. 33-36, 2018年6月.
- [49] 島本正仁, 浜本隆之, "多重露光時間撮像を利用した動きぼけを低減した高DR画像の再構成", 映像情報メディア学会技術報告, Vol. 42, No. 19, pp. 17-20, 2018年6月.
- [50] 荒谷智広, 浜本隆之, "勾配法に基づく動き推定機能を有する1画素4セル構造イメージセンサ", 電子情報通信学会技術研究報告, Vol.118, No. 338, pp. 49-52, 2018年12月.
- [51] 佐藤匠弥, 松嶋徹, 福本幸弘, "多導体伝送線路のクロストーク低減のための固有モードに着目した伝送方式に関する検討," 2019年電子情報通信学会総合大会, p. 238, 東京, Mar. 2019.
- [52] 平本, 大竹, 高橋, "期待署名自己生成に基づく組込み自己診断機構", 信学技報, vol. 118, no. 456, DC2018-76, pp. 31-36, 2019年2月.
- [53] 難波, 上野, "異なる電源電圧に対する耐ソフトウェア性ラッチ回路への中性子線照射実験," 信学技報, FIIS, 2019年 3月.
- [54] 山本, 難波, "C-elementを用いたDNU耐性ラッチ," 信学技報, FIIS, 2018年 6月.
- [55] 森慶明, 佐々木伸一, "マイクロストリップ線路における遠端クロストーク低減技術の検討ー付加容量値ー", 電子情報通信学会 信学技報, IEICE, EMCJ2018-105, pp.29-p34 (2019年1月)
- [56] 森慶明, 佐々木伸一, "マイクロストリップ線路における遠端クロストーク低減技術の検討ー容量付加法における波形観測モデルー", 電子情報通信学会 信学技報, IEICE, EMCJ2018-97, pp.81-86 (2018年12月)
- [57] 森慶明, 佐々木伸一, "マイクロストリップ線路における遠端クロストーク低減技術の検討ー付加容量値ー", 平成30年度 電気・情報関係学会九州支部連合大会, 第71回 02-2A-06 pp.286
- [58] 松島鉦哉, 佐々木伸一, 森慶明, "マイクロストリップ線路曲部の放射雑音の検討ー" 平成30年度電気情報通信学会 学生会講演会予稿集 B-7, (2018年9月)
- [59] 坂本守, 佐々木伸一, 森慶明 "LED照明反射光による可視光通信の検討ー受光回路の動作検証ー", 電子情報通信学会九州支部学生会講演会 B-04, (2018年9月)
- [60] 笛田和希, 佐々木伸一, "フ&#12442;リント配線板電源層からの放射雑音の低減方法の検討ー実測評価ー", 電子情報通信学会 信学技報, IEICE, EMCJ2018-106, pp.35-38 (2019年1月)
- [61] 二宮海渡, 佐々木伸一, 笛田和希, "抵抗付加法によるプリント配線板電源層からの放射雑音低減 -ESL の影響-", 情報通信学会九州支部学生会講演 B-12 (2018年9月)
- [62] 山崎巨竜, 小濱秀冊, 大塩悠貴, 深井澄夫, "FG-MOSを用いた4値全加算器のレイアウト設計", 情報通信学会九州支部 学生会講演 D-1 (2018年9月)
- [63] 小濱秀冊, 山崎巨竜, 深井澄夫, "FG-MOSを用いた4値SRAMのレイアウト設計", 平成30年度 電気・情報関係学会九州支部連合大会, 第71回 09-1A-04 pp.95, 2018年9月
- [64] 吉岡, "整数上カオス写像に基づくS-boxの高速化回路の設計" 電子情報通信学会非線形問題研究会, pp.59--63, 2018年4月
- [65] 石田浩貴, 田中雅光, 小野貴継, 井上弘士, "単一磁束量子回路を用いたゲートレベルパイプライン・プロセッサの設計と評価," LSIとシステムのワークショップ, 5月, 2018.
- [66] 石田浩貴, 田中雅光, 小野貴継, 井上弘士: 単一磁束量子回路を用いた4ビットゲートレベルパイプライン・プロセッサの設計と評価, 研究報告システム・アーキテクチャ (ARC), Vol.2018-ARC-231, No.4, pp. 1-10, 2018

- [67] 小柳卓也, 塩見準, 石原亨, 小野寺秀俊, "セルベース設計に適合した基板バイアス制御用増幅回路の設計手法", DAシンポジウム2018, pp. pp. 172 - 177, 2018/08
- [68] 塩見準, 石原亨, 小野寺秀俊, "複数電源ドメインの実行時電圧制御によるCMOS LSIの消費エネルギー最小化", DAシンポジウム2018, pp. 160-165, 2018/08
- [69] Shengyu Liu, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "A Software Implementation of Minimum Energy Point Tracking Algorithm for Microprocessors", DA Symposium 2018, pp. 166-171, 2018/08
- [70] 福田 展和, 塩見 準, 石原 亨, 小野寺 秀俊, "幅広い動作環境にわたってLSIの最大遅延特性を追跡するクリティカルパスレプリカの構成法", 第184回システムとLSIの設計技術研究発表会, vol 2018-SLDM-184, no 5, pp. 1 - 6 , 2018/05
- [71] 可児, 市原, 岩垣, 井上, "積の正負分離とシグモイド関数近似を用いたストカスティックニューラルネットワークの演算精度に関する一考察," FTC研究会, 2019年1月.
- [72] 前田, 市原, 岩垣, 井上, "耐過渡故障を指向した線形有限状態機械のストカスティック数による状態符号化," 信学技報DC2018-81 , pp. 61-66, 2019年2月.
- [73] 溝畑, 岩垣, 市原, 井上, "アプリケーションの要求精度に応じた近似全加算器と補正機構による乗算器の設計," 機能集積情報システム研究会, pp. 1-6, 2019年3月.
- [74] 鈴木恒陽, 三浦克介, 中前幸治, "Arbiter PUFのNBTI/PBTI 経年劣化対策手法の比較検討," 第38回ナノテストシンポジウム (NANOTS 2018) 会議録, pp.88-93, 2018.
- [75] 青木, 小平, "一般同期方式における低電力化のための多電源回路の設計フロー", 信学技報, VLD2018-102, Vol.118, No.457, pp.55-60, 2019年2月.
- [76] 大野 修平, トープラサートポン カシディット, 高木 信一, 竹中 充, "リング共振器アレイ型シリコン光回路を用いた深層学習の検証," 第66回応用物理学会春季学術講演会, 11p-W331-3, 東京工業大学大岡山キャンパス, 2019年3月9日-3月12日.
- [77] 竹中 充, 高木 信一, "異種材料集積シリコン光集積回路および高効率光変調器への応用", 第39回レーザー学会年次大会, 東海大学高輪キャンパス, 2019年1月12-14日.
- [78] 藤垣 匠, 高木 信一, 竹中 充, "Ge-on-Insulatorプラットフォーム上熱光学位相シフタの実証," 第79回応用物理学会秋季学術講演会, 18a-212A-1, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [79] Q. Li, C.-P. Ho, S. Takagi, and M. Takenaka, "Fabrication of Si racetrack optical modulator with III-V/Si hybrid MOS phase shifter," 第79回応用物理学会秋季学術講演会, 18p-212A-7, 名古屋国際会議場, 名古屋, 2018年9月18日-9月21日.
- [80] 竹中 充, 高木 信一, "SiハイブリッドMOS位相シフタを用いた光変調器の展望", 電子情報通信学会レーザ・量子エレクトロニクス研究会(LQE), 北海道大学, 2018年7月12-13日.
- [81] Song Bian, Masayuki Hiromoto, and Takashi Sato, "Towards practical homomorphic email filtering! A hardware-accelerated secure naive Bayesian filter," in Proc. IEICE Technical Report, pp.133-138, February 2019.
- [82] 大島 國弘, 辺 松, 廣本 正之, 佐藤 高史, "レプリカセンサを用いたNBTIによる回路特性変動予測に関する検討," 信学技報 VLD研究会(デザインガイア), pp.195-200, November 2018.
- [83] 小野 龍輝, 田中 悠貴, 新 瑞徳, 辺 松, 廣本 正之, 佐藤 高史, "NBTI劣化によるArbiter PUFの応答変化に関する検討," 電子情報通信学会総合大会, pp.184, September 2018.
- [84] 辺 松, 廣本 正之, 佐藤 高史, "Approximate computing を用いたLWE暗号の高効率復号回路," DA シンポジウム, pp.208-213, August 2018.
- [85] Yuki Tanaka, Masayuki Hiromoto, and Takashi Sato, "A study on memristor-based PUFs with paired responses," in Proc. DA Symposium, pp.124-129, August 2018.
- [86] 名倉 健太, 廣本 正之, 佐藤 高史, "ストカスティック計算を用いたニューラルネットワークハードウェアのための省面積積和演算器," 信学技報 VLSI設計技術研究会, pp.81-86, June 2018.
- [87] 齊藤 成晃, 新谷 道広, 栗原 一徳, 小笠原 泰弘,



- 廣本 正之, 佐藤 高史, "有機トランジスタによる Buskeeper PUF の試作と連続測定のためのリセット回路の検討," 回路とシステムワークショップ, pp.54-59, May 2018.
- [88] 松本 章吾, 業天 英範, 廣本 正之, 佐藤 高史, "多ビットの相互作用をもつ全接続イジングモデルのための RRAM アニールリングプロセッサ," 回路とシステムワークショップ, pp.48-53, May 2018.
- [89] Y. Ishida, T. Tanzawa, "A Design of AC-DC Converters Fully Integrated in Standard CMOS for Electrostatic Vibration Energy Harvesting," IEICE general conference, C-12-3, Mar. 2019.
- [90] K. Koketsu, T. Tanzawa, "An Optimum Design of Thermal Energy Transducers and Power Converters for Small Form-Factor Thermoelectric Energy Harvester," IEICE general conference, C-12-4, Mar. 2019.
- [91] Y. Tabuchi, T. Tanzawa, "An Optimum Design of Micro-watt RF Energy Harvesters with RF-DC and DC-DC Conversions," IEICE general conference, C-2-11, Mar. 2019.
- [92] Y. Yamazaki, T. Tanzawa, "A Sensitivity Analysis of Power Conversion Efficiency of Rectifying Diodes on Their Device Parameters for Microwatt RF Energy Harvesting," IEICE general conference, C-2-12, Mar. 2019.
- [93] H. Kawauchi, T. Tanzawa, A system design of clocked AC-DC converter for vibration energy harvesting, IEICE society conference, C-12-9, Sep. 2018.
- [94] K. Matsuyama, T. Tanzawa, Formulation of minimal delay time with pre-emphasis pulses for dense parallel RC lines, IEICE society conference, C-12-5, Sep. 2018.
- [95] 岸田 亮, 駒脇 拓弥, 古田 潤, 小林 和淑, 「ランダムテレグラフノイズの NMOS または PMOS のみの影響を測定可能なリングオシレータによる実測評価」, DA シンポジウム, pp. 81-86, 2018/08, 加賀市, 石川.
- [96] 吉田 浩志, 松浦 達治, 岸田 亮, 兵庫 明, 「Sturdy-MASH&Delta;&Sigma;A/D コンバータの離散時間実現法と低消費電力化構成の提案」, 電子回路研究会, pp. 41-46, 2019/03, 武蔵野市, 東京.
- [97] 中野 洋希, 岸田 亮, 古田 潤, 小林 和淑, 「FPGA とマイコンを用いたリングオシレータの超長期経年劣化の実測評価」, 電子情報通信学会技術報告 (VLSI 設計技術), デザインガイア, pp. 31-36, 2018/12, 広島市, 広島.
- [98] 百瀬, 井田, 山田, 森, 伊東, 石橋, 新井, "急峻な SS を持つ "PN-Body Tied SOI-FET" を使った極低電圧整流実験," 電子情報通信学会技術研究報告 シリコン材料・デバイス (SDM), 2018, vol. 118, no. 172, SDM2018-31, pp. 31-34.
- [99] 矢吹, 井田, 森, 遠藤, 中野, "急峻な SS を持つ P-Channel/N-Channel "PN-Body-Tied SOI FET" での基板バイアスの影響," 第79回応用物理学会秋季学術講演会公演予稿集, 2018, 21a-CE-5.
- [100] 遠藤, 井田, 森, 中野, 矢吹, "急峻な SS を持つ PN-Body Tied SOI FET のパルス測定による過渡特性," 第79回応用物理学会秋季学術講演会公演予稿集, 2018, 21a-CE-6.
- [101] 百瀬, 井田, 山田, 森, 伊東, 石橋, 新井, "[招待講演] 急峻な SS を持つ PN-Body Tied SOI-FET を用いた MOS Diode 接続での特性および微小電圧整流実験," 電子情報通信学会技術研究報告 シリコン材料・デバイス (SDM), 2018, vol. 118, no. 291, SDM2018-76, pp. 59-64.
- [102] 荒井祐真, 渡邊智希, 島田 宏, 水柿義直, "非対称なダンピング係数による SFQ 伝搬方向制御を利用した1000倍 DFQ アンプの設計・試作・動作検証," 2018年電子情報通信学会ソサイエティ大会, 2018年9月
- [103] 樋口孔明, 島田 宏, 水柿義直, "二重 SQUID 構造 RSFQ 分布型アンプの特性評価," 2018年電子情報通信学会ソサイエティ大会, 2018年9月
- [104] 木村 睦, アモルファス金属酸化物半導体を用いたニューロモーフィックシステム, 新世代コンピューティングシンポジウム/第8回電子光技術シンポジウム, 2019年1月
- [105] 木村 睦, 酸化物半導体デバイスのニューロモーフィック応用, 第2回酸化物半導体討論会, 2018年10月
- [106] 木村 睦, アモルファス金属酸化物半導体の研究開発とエレクトロニクス・エナジーハーベスト・ニューロモーフィックデバイスへの新



- 規応用,平成30年度 半導体エレクトロニクス部門委員会 第1回研究会, 2018年7月
- [107] 生島 恵典, 新村 純平, 松田 時宜, 山根 弘樹, 中島 康彦, 木村 睦, ニューラルネットワークに応用するための Ga-Sn-O 薄膜の研究開発, 薄膜材料デバイス研究会 第15回研究集会, pp. 179-181, 2018年11月
- [108] 山川 大樹, 柴山 友輝, 山根 弘樹, 中島 康彦, 木村 睦, IGZO を用いたセルラニューラルネットワーク -酸化半導体シナプス評価と文字学習実験-, 薄膜材料デバイス研究会 第15回研究集会, pp. 57-59, 2018年11月
- [109] 木村 睦, 生島 恵典, 杉崎 澄生, 田中 遼, 山川 大樹, 山根 弘樹, 池田 裕哉, 中島 康彦, 局所学習則と薄膜デバイスを用いるリアルニューロモーフィックシステム, 第66回応用物理学会春季学術講演会, 11p-W810-13, pp. 18-024, 2019年3月
- [110] 柴山 友輝, 山川 大樹, 生島 恵典, 杉崎 澄生, 木村 睦, 中島 康彦, 脳型集積システムのための IGZO 薄膜シナプス, 映像情報メディア学会, IDY2018-63, pp. 49-52, 2018年12月
- [111] 中尾, 大島, "エロージョンによる容量比ミスマッチを抑制する単位容量配置アルゴリズム", 電気学会電子回路研究会, ECT-018-051, 2018年6月
- [112] 室屋, 大島, "折れ線近似を用いた高線形 Dynamic VTC", 電子情報通信学会ソサイエティ大会, C-12-15, 2018年9月.
- [113] 室屋, 大島, "時間領域処理を用いた高速, 低電力サブレンジングADC", VDEC デザイナーズフォーラム, 2018年9月.
- [114] 荻野, 田中, 魏, "拡張ユークリッド互除法における Leading Zero を利用した計算回数削減手法の提案", 電子情報通信学会 VLSI 設計技術研究会 VLD2018-73, pp.7-12, 2019年1月
- [115] Y. Suzuki, Y. Tanaka and S. Wei, "Modulo  $2^{n+1}$  arithmetic based on signed-digit and binary number addition algorithm", ASP-DAC SRF 2019, Jan. 2019.
- [116] 宇佐美 尚人, 肥後 昭男, 太田 悦子, 三田 吉郎, "超臨界流体を用いたシリコン酸化膜上への銅薄膜直接成膜技術による高アスペクト比ナノ開口構造の埋め込みの実現", 第35回センサ・マイクロマシンと応用システムシンポジウム, 2018年11月
- [117] 稲垣 俊典, 岡本 有貴, 肥後 昭男, 三田 吉郎, "機械的混合加振による圧電薄膜アクチュエータ集積2軸MEMS 光スキャナ", 第35回センサ・マイクロマシンと応用システムシンポジウム, 2018年11月
- [118] 松岡駿平, 安永守利, "チップコンデンサ内蔵プリント基板を用いた高品質信号配線," 電子機器トータルソリューション展2018, アカデミックプラザ, 6ページ, 東京ビッグサイト, 6月6日-8日, 2018.
- [119] 星野裕哉, 松岡駿平, 安永守利, "コンデンサ型セグメント分割伝送線による高速デジタル信号伝送の基本評価," 第66回電子情報通信学会機能集積情報システム研究会, 信学技報 (FIIS18), No.481 (6ページ), 北海道立道民活動センター (札幌), 6月22日, 2018年.
- [120] 松本 昂, 松岡駿平, 大平哲也, 星野裕哉, 安永守利, "遺伝的アルゴリズムを用いたPCB用超高速配線の試作設計," 第33回エレクトロニクス実装学会春季講演大, 13C4-01 (4ページ), 拓殖大学 (東京), 3月11日-13日, 2019年.
- [121] 村田敏規, 木原崇雄, 吉村勉, "RF送受信機におけるバランの共有化とそれに伴うPAの効率低下の改善", 電子情報通信学会 学生・若手研究会, 宮古島, 2018年12月.
- [122] 譜久山篤也, 木原崇雄, 吉村勉, "スタンダードセルを用いたA/D変換器", 平成30年電気関係学会関西連合大会, G9-5, 大阪工業大学, 2018年12月.
- [123] 磯部佑真, 木原崇雄, 吉村勉, "時間インターリーブADCを用いたデジタルRF受信機におけるデシメーションフィルタの設計", 平成30年電気関係学会関西連合大会, G9-1, 大阪工業大学, 2018年12月.
- [124] 譜久山篤也, 木原崇雄, 吉村勉, "バックゲートVCOとFat Treeエンコーダを用いたA/D変換器", 2018年電子情報通信学会ソサイエティ大会, 金沢大学, 2018年9月.
- [125] 磯部佑真, 木原崇雄, 吉村勉, "時間インターリーブADCを用いたデジタルRF受信機におけるCICフィルタの高速化", LSIとシステムのワークショップ2018, 学生部門11, 東京大学, 2018年5月.

- [126] 譜久山篤也, 木原崇雄, 吉村勉, “バックゲート電圧制御発振器を用いた800 MS/s動作A/D変換器の設計”, LSIとシステムのワークショップ2018, 学生部門08, 東京大学, 2018年5月.
- [127] 小高良太, 鬼頭信貴「Stochastic Computingに基づく単一磁束量子乗算器の検討」電気・電子・情報関係学会東海支部連合大会, J3-3, 2018年9月.
- [128] 荒川祐貴, 升井義博, "Chopper-AMPにおける入力インピーダンスの解析," 電子情報通信学会, 2019年電子情報通信学会総合大会, 2019年3月
- [129] 時永征弥, 日野翔太, 升井義博, "エネルギーハーベストでの利用を想定した逐次比較型ADCにおけるPSRRの改善検討," 電子情報通信学会, 2019年電子情報通信学会総合大会, 2019年3月
- [130] 西宮司, 金阪遼, 外谷昭洋, 吉川公麿, 升井義博, "乳癌検出システムのためのADC高速化技術の基礎検討," 電子情報通信学会, 2019年電子情報通信学会総合大会, 2019年3月
- [131] 上見アレックス, 升井義博, 外谷昭洋, 吉川公麿, "乳癌検出システムのためのGMP生成回路の基礎検討," 2018年電子情報通信学会エレクトロニクスソサイエティ大会, 2018年9月
- [132] 住吉佑太, 日野翔太, 升井義博, "エネルギーハーベストでの利用を想定したD級AMPの低消費電力化," 2018年電子情報通信学会エレクトロニクスソサイエティ大会, 2018年9月
- [133] 安西, 山口, 岩田, "TMSテストにおけるモード選択の改善法", ISS-SP-034, 2019年3月.
- [134] 加藤隆明, 王森レイ, 佐藤康夫, 梶原誠司, "論理BISTのテスト電力制御手法とTEG評価," 電子情報通信学会技術研究報告, vol. 118, no. 335, DC2018-43, pp. 125-130, 2018年12月.
- [135] 菊谷雄真, 山野龍佑, 一倉孝宏, 中島康彦! "時分割多重実行型ストリッキングの実装と評価", 信学技報, vol.117, no.378, CPSY2017-111, pp.31-36, Jan. (2018)
- [136] 【電子情報通信学会関西支部学生会研究発表講演会奨励賞】菊谷雄真, 山野龍佑, 一倉孝宏, 中島康彦! "エッジコンピューティング向けアクセラレータの実装と評価", 電子情報通信学会関西支部第23回研究発表講演会, Mar. (2018)
- [137] Tati Erlina, Renyuan Zhang, Yasuhiko Nakashima! "An Efficient Multiplier Employing Time-Encoded Stochastic Computing Circuit", 信学技報, vol.118, no.339, CPSY2018-41, pp.47-52, Dec. (2018)
- [138] 岩本淳, 菊谷雄真, 中島康彦! "ユニット内フィードバックによるリニアアレイの多重ループ対応手法", 信学技報, vol.118, no.339, CPSY2018-40, pp.33-38, Dec. (2018)
- [139] Jun IWAMOTO, Yuma KIKUTANI, Renyuan ZHANG, and Yasuhiko NAKASHIMA! "CGRA Cascading for Narrow Memory Bandwidth and Low Cost", xSIG 2019! The 3rd. cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming, May. (2019)
- [140] 矢吹僚介, 銭正&#38451;, 李嘉敏, 杜邦, 木野久志, 福島誉史, 清山浩司, 田中徹, "経爪型集積化光電式SpO2計測システムの開発—回路の設計と評価—", 第79回応用物理学会秋季学術講演会講演予稿集, p. 11-346, September 2018.
- [141] 煤孫祐樹, 銭正&#38451;, 高橋則之, 木野久志, 田中徹, 福島誉史, "チップ内蔵フレキシブル・ハイブリッド・エレクトロニクスの電気特性評価", 第66回応用物理学会春季学術講演会講演予稿集, p. 418, March 2019
- [142] 煤孫祐樹, Jacquemond Achille, 高橋則之, 木野久志, 田中徹, 福島誉史, 田中徹, "高集積フレキシブルデバイスシステム作製のための応力緩衝層の評価", 第79回応用物理学会秋季学術講演会講演予稿集, p. 11-465, September 2018.
- [143] 福島誉史, "三次元実装とフレキシブルハイブリッドエレクトロニクスに(FHE)に向けた取り組み", 第155回有機エレクトロニクス研究センター講演会, September 2018.
- [144] 福島誉史, "先端三次元積層LSIから高集積FHEへの展開", 学振142委員会情報科学用有機材料, November 2018.
- [145] 住拓磨, 山本英明, 早川岳志, 井手克哉, 木野久志, 田中徹, 平野愛弓, "超軟ゲル材料表面

- を用いた神経細胞の生体模倣培養技術の開発", 2018年日本表面真空学会学術講演会, November 2018.
- [146] 田中 徹, "医療・ヘルスケア用ウェアラブル/インプラントブルLSIの開発", SEMICON Japan 2018, December 2018.
- [147] 浦山 翔太, 島 智大, 張 博文, 木野 久志, 福島 誉史, 田中 徹, "多段階励起による発光現象を用いた光遺伝学用神経プローブの作製", 第66回応用物理学会春季学術講演会 講演予稿集, p. 10-144, March 2019.
- [148] 島 智大, 煤孫 裕樹, 張 博文, 浦山 翔太, 木野 久志, 福島 誉史, 田中 徹, "LED埋め込み型フレキシブルオプト神経プローブの開発", 第66回応用物理学会春季学術講演会 講演予稿集, p. 10-146, March 2019.
- [149] Rui Liang, Sungho Lee, Yuki Miwa, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Multichip-to-Wafer 三次元集積化基盤技術の開発 (2) -TSV低温形成のためのSiO<sub>2</sub>ライナ作製技術-", 第66回応用物理学会春季学術講演会 講演予稿集, p. 11-201, March 2019.
- [150] 李 晟豪, 梁 三輪 侑紀, 木野 久志, 福島 誉史, 田中 徹, "Multichip-to-Wafer 三次元集積化基盤技術の開発 (1) -テンポラリ接着剤を用いた一括チップ薄化技術-", 第66回応用物理学会春季学術講演会 講演予稿集, p. 11-202, March 2019.
- [151] 三輪 侑紀, 李 晟豪, 梁 三輪 侑紀, 木野 久志, 福島 誉史, 田中 徹, "Multichip-to-Wafer 三次元集積化基盤技術の開発 (3) -異種機能集積化に向けたマイクロバンプ接合技術-", 第66回応用物理学会春季学術講演会 講演予稿集, p. 11-203, March 2019.
- [152] 郷橋 則之, 煤孫 祐樹, 木野 久志, 田中 徹, 福島 誉史, "ハイドロゲルを用いたフレキシブル・ハイブリッド・エレクトロニクス作製", 第66回応用物理学会春季学術講演会 講演予稿集, p. 10-419, March 2019.
- [153] 杉山, 戸川, 柳澤, 史, "低周波圧電エネルギーハーベスティングにおけるMOSs SP-SSHI手法", 電子情報通信学会 第31回回路とシステムワークショップ, pp. 86-91, 2018.
- [154] 井上, 戸川, 柳澤, 史, "CNNに対する概算加算器の適用と評価", 電子情報通信学会 第31回回路とシステムワークショップ, pp. 191-196, 2018.
- [155] 伊藤, 戸川, 柳澤, 史, "リーク削減による低消費電力SRAMの設計", 電子情報通信学会 第31回回路とシステムワークショップ, pp. 197-202, 2018.
- [156] 本, 岩, 松, 島, 幡, "2次元配列型圧センサCV変換回路の開発", 電気関係学会北陸支部連合大会, D-2, 2018年9月.
- [157] 竹村, 岩, 松, "LSIの内部信号のオンチップ測定回路の設計", 電気関係学会北陸支部連合大会, D-10, 2018年9月.
- [158] 宇賀神, "2段の多相周波数変換と多相アクティブ複素フィルタを用いた高イメージ抑圧無線受信回路構成" 平成30年電気学会, 電子・情報・システム部門大会, 2018年9月.
- [159] 柴田, 中村, "オペランドの差の最大値を考慮したA>B比較器のビット幅削減", 平成31年電気学会全国大会, pp.106-107, 2019年3月.
- [160] N.Shibata, H.Kondo, H.Miyai, K.Nakamura, "An Efficient Binary Comparator Design Method for Strip-Mining and Loop-Tiling", 第31回回路とシステムワークショップ, pp.185-190, 2018年5.
- [161] 高良, 束原, "差動型CMOSフリップ・フロップ90°移相器を適用したデュアルLOスイッチング型直交変調器の設計", 平成30年度電気学会電子・情報・システム部門大会, GS8-3, pp.1310-1315, 2018年9月.
- [162] 高田, 高良, 束原, "フリップ・フロップ型90°移相器を適用したパッシブ型イメージ抑圧受信機の設計と解析", 電気学会電子回路研究会, ECT-19-027, 2019年3月.
- [163] 古賀洗希, 大木保典, 清水暁生, 石川洋平, 野口卓朗, 深井澄夫, "試作した微小位相差計測回路の測定結果に関する検討", 電気学会電子回路研究会, ECT-19-014, pp.69-72, Jan. 2019.
- [164] 清水暁生, 吉富貴司, 野口卓朗, 石川洋平, 深井澄夫, "IC設計初学者向けの演算増幅器設



- 計教育に関する一考察”, 電気学会電子回路研究会, ECT-18-049, pp.29-33, June 2018.
- [165] 谷村信哉, 土谷亮, 井上敏之, 岸根桂路, “群遅延偏差の線形近似による多段構成TIAのジッタ低減”, LSIとシステムのワークショップ, 2018年5月.
- [166] 木村山紫郎, 井上敏之, 野口凌輔, 土谷亮, 岸根桂路, “キャリア周波数識別の高分解能化を目指したディスチャージ遅延回路の検討”, 電気関係学会関西連合大会, 2018年12月.
- [167] 今城篤人, 野口凌輔, 井上敏之, 土谷 亮, 岸根桂路, “シングルチャネルシステム実現に向けた周波数識別回路の検討”, 電子情報通信学会総合大会, A-1-11, 2019年3月.
- [168] 谷村信哉, 土谷 亮, 野口凌輔, 井上敏之, 岸根桂路, “多チャンネル実装トランスインピーダンスアンプにおける電源ノイズ削減フィルタの設計手法”, 電子情報通信学会総合大会, C-12-14, 2019年3月.
- [169] 田中雅光, “デバイス/回路/アーキテクチャの協創による超伝導超高速マイクロプロセッサ”, システム・アーキテクチャ研究会 (HotSPA2018), 山形市, 2018.
- [170] 田中雅光ほか, “単一磁束量子回路に基づくゲートレベル・パイプライン算術論理演算器の設計とエネルギー効率評価”, 2018年並列/分散/協調処理に関する『熊本』サマー・ワークショップ (SWoPP2018), 熊本市, 2018.
- [171] 神谷智大, 竹下雄登, 佐野京佑, 田中雅光, 山下太郎, 藤巻朗, “強磁性 $\pi$ ジョセフソン接合を用いたトグルフリップフロップの作製”, 第79回応用物理学会秋季学術講演会, 名古屋, 2018.
- [172] 竹下雄登, 神谷智大, 田中雅光, 佐野京佑, 藤巻朗, “SFQパルス駆動マトリクスメモリの開発”, 第79回応用物理学会秋季学術講演会, 名古屋, 2018.
- [173] 長岡一起ほか, “単一磁束量子ゲートレベルパイプラインマイクロプロセッサに向けた30GHzデータバスの開発”, 電子情報通信学会技術研究報告, vol. 118, no. 415, pp. 29-34, Jan. 2019.
- [174] 澤田 晟, 榎田 洋太郎, 高野 恭弥, “ギルバートセルミキサのプリディストーション歪補正特性”, 電子情報通信学会総合大会, C-12-1, 2019年3月.
- [175] 田中 駿太郎, 高野 恭弥, 榎田 洋太郎, “ミリ波帯オンチップグランド付コプレーナ伝送線路の伝送モードの違いを考慮したスケラブルモデリング”, 電子情報通信学会総合大会, C-12-11, 2019年3月.
- [176] 平野 克彦, 高野 恭弥, 榎田 洋太郎, “300 GHz CMOS MIM キャパシタのスケラブルモデリング”, 電子情報通信学会総合大会, C-12-12, 2019年3月.
- [177] 萩原 豊之, 高野 恭弥, 榎田 洋太郎, “ミリ波帯オンチップスパイラルインダクタのグランド壁を考慮したモデリング”, 電子情報通信学会総合大会, C-12-13, 2019年3月.
- [178] 松田航平, 藤井達哉, 庄司奈津, 菅原健, 崎山一男, 林優一, 永田真, 三浦典之, “基板電流センサと電源瞬断回路を利用した小面積レーザーフォールト注入攻撃対策”, 電子情報通信学会学術報告 HWS2018-8, pp. 41-44, 2018.4.13.
- [179] 松田航平, 藤井達哉, 庄司奈津, 菅原健, 崎山一男, 林優一, 永田真, 三浦典之, “レーザー故障注入攻撃対策を備えた暗号ICの設計手法”, DAシンポジウム2018論文集, pp. 220-225, 2018.8.31.
- [180] 高橋雅典, 松田航平, 永田真, 三浦典之, “無線結合とカオス発振を利用したチップ・パッケージ・ボード相互作用PUFの実験と評価”, 電子情報通信学会ソサイエティ大会, A-20-4, p. 183, 2018.9.13.
- [181] 高橋雅典, 永田真, 三浦典之, “無線カオス発振型チップ・パッケージ・ボード相互作用PUFの統合回路設計手法とその評価”, 電子情報通信学会技術報告, vol. 118, no. 458, HWS2018-93, pp. 223-224, 2019.3.1.
- [182] 松田航平, 永田真, 三浦典之, “PRINCEファミリ暗号プロセッサの超軽量実装”, 電子情報通信学会技術報告, vol. 118, no. 458, HWS2018-100, pp. 261-265, 2019.3.2.
- [183] 程月, 渡邊航, 三浦典之, 永田 真, “オンチップLC発振器の電磁ノイズ注入同期現象の測定とその応用”, 電子情報通信学会技術報告, vol. 118, no. 507, pp. 93-95, 2019.3.15.
- [184] 山手, 廣瀬, 浅野, 中澤 神崎, 黒木, 沼, “低電



- 庄・微弱環境エネルギー利用に向けたパワーマネジメントシステム", LSIとシステムのワークショップ2017, PS-40, 2018年5月.
- [185] 神崎, 廣瀬, 尾崎, 浅野, 中澤, 黒木, 沼, "最大効率点追従制御を用いたスイッチトキャパシタ型降圧コンバータの高効率化", 第31回回路とシステムワークショップ, pp.68-73, 北九州, 2018年5月.
- [186] 松本, 廣瀬, 浅野, 辻, 中澤, 黒木, 沼, "アクティブダイオードに向けたヒステリシスコンパレータの設計", 第31回回路とシステムワークショップ, pp. 74-79, 2018年5月.
- [187] LEE, 廣瀬, 浅野, 神崎, 黒木, 沼, "過電流制御技術を用いた自己バイアス型シリーズレギュレータ", 第31回回路とシステムワークショップ, pp.80-85, 北九州, 2018年5月.
- [188] 廣瀬, "微弱環境エネルギー利用に向けた電源回路技術", 電子情報通信学会ソサイエティ大会, 2018年9月.
- [189] 佐々木俊介, 石井雅樹, 佐々木昌浩, "0.18 $\mu$ m CMOS 5相 Delay Locked Loopの設計", 電子情報通信学会総合大会, 2019年3月
- [190] S. Yamakawa, Y. Tanaka, Y. Nakajima, T. Hanajiri, "Device Simulation of Subthreshold Characteristics of Multi-Gate SOI MOSFETs", The 16th International Symposium on Bioscience and Nanotechnology, Dec. 2018.
- [191] 赤坂親一郎, 金本俊幾, 黒川敦, 今井雅, "2phaseハンドシェイクプロトコルに基づく東データ方式非同期式回路のレプリカ遅延線設計", Proc. DAシンポジウム2018, pp.93-98, Aug., 2018
- [192] 稲葉光太郎, 金本俊幾, 黒川敦, 今井雅, "東データ方式非同期式回路におけるハードウェアアタロイ攻撃と対策", 電子情報通信学会ハードウェアセキュリティフォーラム 2018, Poster Session, Dec., 2018
- [193] 稲葉光太郎, 金本俊幾, 黒川敦, 今井雅, "東データ方式非同期式回路におけるハードウェアアタロイ検出手法の評価", 情報処理学会東北支部研究報告, Vol.2018-9, No.B3-3, Feb., 2019
- [194] 赤坂親一郎, 金本俊幾, 黒川敦, 今井雅, "遅延ばらつきを考慮した遅延線設計による東データ方式非同期式回路の高性能化", 情報処理学会東北支部研究報告, Vol.2018-9, No.B3-1, Feb., 2019
- [195] 恩地, 藏野, 大塚, 山田, 福原, "ニューロンCMOSインバータ型ハミング距離検出器におけるカレントミラー回路の検討", 電子情報通信学会総合大会, 2019年3月.
- [196] 藏野, 山田, 恩地, 大塚, 福原, "FGキャリブレーション回路を付加したニューロンCMOSインバータ型ハミング距離検出回路の複数サイクル時間の検討", 電子情報通信学会総合大会, 2019年3月.
- [197] Onji, Kurano, Fukuhara, "A Study of Through Current of Hamming Distance Detector Using Clocked Neuron CMOS Inverter", EISS2018, SS2-5, pp1621-pp1622, September 2018.
- "[198] 大塚, 藏野, 恩地, 山田, 福原, "" FGキャリブレーション付きニューロンCMOS可変論理回路の検討"", 電気学会全国大会, 2019年3月."
- "[199] 藏野, 恩地, 山田, 大塚, 福原, "" 電圧領域を用いたハミング距離判定回路に関する参照信号の検討"", 電気学会全国大会, 2019年3月."
- [200] 佐保, 矢原, 藤本, "ニューロンCMOSを用いたRAM型連想メモリのレイアウト設計", 電子情報通信学会, 2018年9月.
- [201] 渡邊 実「耐放射線・光電子デバイス」, 10回静岡大-核融合科学研究所連携研究フォーラム, 静岡大学, 11月30日, 2018.
- [202] 石川, 野口, 清水, 松野, ゴーチェ, 池上, 荻島, 深井, "演算増幅器のシミュレーションと実験のギャップに着目した学生実験に関する一検討", 教育フロンティア研究会, 2018年9月
- [203] Miura and Yamamoto, "Simulation-based Analysis of FF Behavior in Presence of Power Supply Noise," FIT2018, pp.218-219, September 2018.
- [204] 黒川亮一・西勝 聡・安田 彰, デジタル直接駆動型スピーカの非線形要素に対する自動評価環境を用いた設計手法の一提案, 電子

- 情報通信学会ソサエティ大会, A-5-2, 9月11日(火)~14(金), 2018年, (石川県金沢市).
- [205] 尾崎孝成, 安田 彰, マルチコイルモータのコイル数増加による大出力化・駆動速度および制御応答性の向上, 電気学会電子回路研究会, ECT-019-011, 1月24日, 2019年, (沖縄県那覇市)
- [206] 益子 史, 西勝 聡, 安田 彰, 空間ベクトル $\Delta\Sigma$ 変調を使ったBLDCモータ高精度駆動システムの高次安定化, 電気学会電子回路研究会, ECT-019-008, 1月24日, 2019年, (沖縄県那覇市)
- [207] 渡邊 光, 嘉藤貴博, 安田 彰, VDEC-Rohm-0.18umプロセスにおける, 高周波プローブ用PAD およびLC共振型発振器の試作, 電気学会電子回路研究会, ECT-018-067, 10月11日, 2018年, (茨城県つくば市)
- [208] Erus Rustami, Kiyotaka Sasagawa, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "A needle shape fluorescence micro-imager with interference and absorption filters," 平成31年電気学会全国大会, 2019.3.13. 北海道科学大学, 北海道.
- [209] Nattakarn Wuthibenjaphonchai, Thanet Pakpuwaton, 川崎 祐久, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳, "Wireless Sticker-like Health-monitoring Devices Operated by Optical Power Transfer," 平成31年電気学会全国大会, 2019.3.13. 北海道科学大学, 北海道.
- [210] Chia Chi Chang, 森 康登, 遠藤 広基, 秦 真誉, 野田 俊彦, 鐘堂 健三, 寺澤 靖雄, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳, "CMOS Circuit Design for Flexible Retinal Prosthesis Device based on Multi-Unit Architecture," 平成31年電気学会全国大会, 2019.3.13. 北海道科学大学, 北海道.
- [211] 笹川 清隆, 太田 安美, 河原 麻実子, 春田 牧人, 徳田 崇, 太田 淳, "ハイブリッドフィルタを用いた広視野レンズレス蛍光イメージングデバイス," 第66回応用物理学会春季学術講演会, 2019.3.10. 東京工業大学.
- [212] Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Mohamad Sawan, Jun Ohta, "CMOS-based optical energy harvesting circuit for implantable and IoT devices," IEEE EDS Kansai Chapter 第18回「関西コロキウム電子デバイスワークショップ」プログラム, 2019.1.24. 龍谷大学大阪梅田キャンパス セミナールーム.
- [213] 白髭 大貴, 竹原 浩成, 角 博文, 笹川 清隆, 春田 牧人, 野田 俊彦, 徳田 崇, 太田 淳, "高速眼底カメラに向けた近赤外カラー用オンチップ干渉フィルタの試作," 映像情報メディア学会 冬季大会2018, 2018.12.21. 東京工業大学.
- [214] 野村 修平, 田代 洋行, 寺澤 靖雄, 太田 淳, "短期間通電下における脈絡膜上経網膜刺激方式人工視覚用多孔性刺激電極の生体内電気化学インピーダンス特性," 信学技報 IEICE Technical Report, vol.118, no.321, pp.55-60, 2018.11.15. MBE2018-47 .
- [215] 野村 修平, 田代 洋行, 寺澤 靖雄, 太田 淳, "人工視覚システム用多孔性刺激電極の電気化学的特性解析のための等価回路の検討," 信学技報 IEICE Technical Report, vol.118, no.257, pp.23-28, 2018.10.13. MBE2018-31 .
- [216] 森 康登, 野田 俊彦, 鐘堂 健三, 寺澤 靖雄, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳, "人工視覚デバイス用刺激電極制御チップのAC駆動化の検討と整流回路の設計," 2018.9.29. 登別温泉 第一滝本館, 北海道.
- [217] 亀山 愛樹, Hee Wan-Shen, 木村 文香, 春田 牧人, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "ハイブリッドフィルタ搭載型 FRET 計測用 CMOS イメージングデバイス," VDEC デザイナーズフォーラム2018, 2018.9.28. 登別温泉 第一滝本館, 北海道.
- [218] Erus Rustami, Yasumi Ohta, Kiyotaka Sasagawa, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "An Implantable CMOS Image Sensor Using Fiber Coupled Laser Excitation," 第79回応用物理学会 秋季学術講演会, 2018.9.20. 名古屋国際会議場.
- [219] Mark Christian Guinto, Yasumi Ohta, Mamiko Kawahara, Kyosuke Naganuma, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Micro LED-based

- photo-stimulation devices integrated with microdialysis functionality for optogenetics," 第79回応用物理学会 秋季学術講演会, 2018.9.20. 名古屋国際会議場.
- [220] Thanet Pakpuwadon, Nattakarn Wuthibenjaphonchai, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, Mohamad Sawan, "Ultra-Small Optogenetic Simulator Powered by CMOS-Integrated Optical Power Receiver," 第79回応用物理学会 秋季学術講演会, 2018.9.20. 名古屋国際会議場.
- [221] 長沼 京介, 太田 安美, 木村 文香, 春田 牧人, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "サル用脳表光刺激デバイスの開発と駆動時における伝熱シミュレーション," 第79回応用物理学会 秋季学術講演会, 2018.9.20. 名古屋国際会議場.
- [222] 寺田 啓介, 野田 俊彦, 中野 由香梨, 寺澤 靖雄, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳, "人工視覚用ハニカム型CMOSスマート電極アレイの動物実験による機能検証," 第79回応用物理学会 秋季学術講演会, 2018.9.20. 名古屋国際会議場.
- [223] 森 康登, 野田 俊彦, 鐘堂 健三, 寺澤 靖雄, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳, "人工視覚システムの多電極化・AC駆動化に向けたデバイス構成の検討と電極制御用CMOSチップの設計," 第79回応用物理学会 秋季学術講演会, 2018.9.20. 名古屋国際会議場.
- [224] 笹川 清隆, 太田 安美, 野田 俊彦, 徳田 崇, 太田 淳, "バンドパスハイブリッドフィルタによる高感度レンズレス蛍光イメージング," 第79回応用物理学会 秋季学術講演会, 2018.9.20. 名古屋国際会議場.
- [225] 亀山 愛樹, Hee Wan-Shen, 木村 文香, 春田 牧人, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "FERT計測用レンズレス蛍光 CMOSイメージングデバイスの光学特性評価," 映像情報メディア学会年次学会2018, 2018.8.29. 金沢大学角間キャンパス.
- [226] 徳田 崇, "CMOS集積回路技術による埋め込み型脳神経インターフェース技術(invited)," けんはんな研究シーズ発表会(2018The Cutting Edge), 2018.7.19. 同志社大学 学研都市キャンパス 快風館.
- [227] Wuthibenjaphonchai Nattakarn, "IoT micronode with optical ID transmission powered by optical power transfer," けんはんな研究シーズ発表会(2018The Cutting Edge), 2018.7.19. 同志社大学 学研都市キャンパス 快風館.
- [228] Pakpuwadon Thanet, "1mm<sup>3</sup>-sized implantable optogenetic stimulator with optical power transfer," けんはんな研究シーズ発表会(2018The Cutting Edge), 2018.7.19. 同志社大学 学研都市キャンパス 快風館.
- [229] Wan Shen Hee, Aiki Kameyama, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Fabrication of a Thin, High Performance Optical Structure for FRET Imaging," バイオ・マイクロシステム研究会, 2018.7.13. 奈良県文化会館.
- [230] 亀山 愛樹, HEE WAN SHEN, 木村 文香, 春田 牧人, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "FRET計測に向けたハイブリッド型励起光除去フィルタ搭載CMOSイメージングデバイス," バイオ・マイクロシステム研究会, 2018.7.12. 奈良県文化会館.
- [231] 白髭 大貴, 竹原 浩成, 角 博文, 笹川 清隆, 春田 牧人, 野田 俊彦, 徳田 崇, 太田 淳, "近赤外高速眼底カメラ用オンチップフィルタ搭載イメージセンサの試作," バイオ・マイクロシステム研究会, 2018.7.12. 奈良県文化会館.
- [232] 長沼 京介, 太田 安美, 春田 牧人, 野田 俊彦, 笹川 清隆, 徳田 崇, 太田 淳, "げっ歯類・霊長類脳の光学特性の測定と脳表光刺激デバイスの試作," バイオ・マイクロシステム研究会, 2018.7.12. 奈良県文化会館.
- [233] 寺田 啓介, 野田 俊彦, 中野 由香梨, 寺澤 靖雄, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳, "人工視覚用ハニカム型CMOSスマート電極アレイの作製と機能検証," バイオ・マイクロシステム研究会, 2018.7.12. 奈良県文化会館.
- [234] Pakpuwadon Thanet, Takaaki Ishizu, Wuthibenjaphonchai Nattakarn, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "CMOS integrated optical power transfer platform for ultra-small implantable devices," LSIとシステ

- ムのワークショップ2018, 2018.5.14. 東京大学生産技術研究所 総合研究実験棟 (An棟) 2階コンベンションホール.
- [235] 子安博貴, 高橋康宏, “断熱的論理回路による暗号回路への電力解析攻撃による評価,” 2018年電気学会電子回路研究会, vol.ECT-18, pp.1-4 (ETC-18-61), Oct. 2018.
- [236] 大橋遼介, 高橋康宏, “ブートストラップ構造を有する断熱的暗号用論理回路,” 2018年電気学会電子回路研究会, vol.ECT-18, pp.5-10 (ETC-18-62), Oct. 2018.
- [237] 正木豊, 高橋康宏, “ダイオードを用いた断熱的論理回路で構成したS-Boxの特性評価,” 2018年電気学会電子回路研究会, vol.ECT-18, pp.11-14 (ETC-18-63), Oct. 2018.
- [238] 西脇友崇, 高橋康宏, 関根敏和, “断熱的可逆論理回路の一提案,” 2018年電気学会電子回路研究会, vol.ECT-18, pp.15-19 (ETC-18-64), Oct. 2018.
- [239] 福浦拓実, 高橋康宏, “RGC構成によるアクティブインダクタを用いた並列直列ピーキングTIA,” 2018年電気学会電子回路研究会, vol.ECT-18, pp.39-42 (ETC-18-69), Oct. 2018.
- [240] 田川諒, 高橋康宏, “CMOS負性インピーダンス回路によるトランスインピーダンスアンプの帯域幅拡張,” 2018年電気学会電子回路研究会, vol.ECT-18, pp.43-46 (ETC-18-70), Oct. 2018.
- [241] 松本明樹, 高橋康宏, “容量を用いたSuspended-Gate FETのモデル化の検証,” 2018年電気学会電子回路研究会, vol.ECT-18, pp.83-86 (ETC-18-78), Oct. 2018.
- [242] 菅原健, “Changing of the Guards の一般化,” 2019年暗号と情報セキュリティシンポジウム (SCIS2019), 3D3-4, (Jan., 2019).
- [243] 田中 他, “FiCCを用いたCMOS互換な超低消費電力不揮発性メモリ素子の特性測定回路の設計と試作”, 信学技報, vol.118, no.334, pp.183--188, Dec. 2018
- [244] 夏原 他, “ピアスイッチFPGAの消費電力評価のための配線容量モデル”, 信学技報, vol.118, no.457, pp.25--30, Feb. 2019
- [245] 新納 他, “高速かつ高ノイズマージンな65nm FD-SOI向けドミノ高基数ツリー加算器設計”, 信学技報, vol.118, no.457, pp.115--120, Feb. 2019
- [246] 銭林, 杉浦, 中野, “標準CMOSプロセスを用いたマイクロシステム用太陽電池の設計”, 「センサ・マイクロマシンと応用システム」シンポジウム, 2018年10月30-11月1日
- [247] 田中, 出口, 河添, 福岡, 中野, “ハムノイズ除去用N-pathフィルタシステムにおける除去周波数安定化”, 電気学会部門大会, 2018年9月5-8日
- [248] 福岡, 出口, 田中, 河添, 中野, “ドライ電極を用いた脳波測定用チョップ増幅器の検討”, 集積回路研究会 (ICD) 夏の合宿2018, 2018年7月7-9日
- [249] 河添, 田中, 出口, 福岡, 中野, “EEG取得システムにおけるPGA多重化の検討”, 集積回路研究会 (ICD) 夏の合宿2018, 2018年7月7-9日
- [250] 出口, 田中, 河添, 福岡, 中野, “EEG取得のためのオンチップN-pathフィルタ”, 集積回路研究会 (CD) 夏の合宿2018, 2018年7月7-9日
- [251] 河添, 田中, 出口, 福岡, 中野, “オンチップ脳波取得システム用可変利得増幅器”, LSIとシステムのワークショップ, 2018年5月14-15日
- [252] 佐藤, 四柳, 橋爪, “遅延故障検査容易化設計を用いた複数経路同時検査時のATPG パターンの有効性について”, 第79回FTC研究会, 2018年7月.
- [253] 西川, 四柳, 橋爪, “隣接線の信号遷移タイミングがパス遅延比較による半断線故障検査に与える影響について”, DAシンポジウム2018, pp.154-159, 2018年8月.
- [254] 宮武, 四柳, 横山, 橋爪, 多田, “リングオシレータを用いた3D IC内ダイ間断線検出のMOS製造ばらつきによる影響”, 電気関係学会四国支部連合大会講演論文集, p.81, 2018年9月.
- [255] 柴田, 四柳, 橋爪, 樋上, 高橋, “隣接線の信号遷移を用いる半断線故障判別法の温度に対する有効性調査”, 電気関係学会四国支部連合大会講演論文集, p.80, 2018年9月.
- [256] 曾根田, 神田, 橋爪, 四柳, S-K. Lu, “MOS製造ばらつきに対するダイオード組込型検査回路を用いた検査法の抵抗断線検出能力”, 電気関係学会四国支部連合大会講演論文集, p.82, 2018年9月.
- [257] 松本, 四柳, 橋爪, S-K. Lu, “電荷注入量によ



- る断線検出での電荷注入開始時刻変更効果", 電気関係学会四国支部連合大会講演論文集, p.83, 2018年9月.
- [258] 平井, 四柳, 橋爪, "TDC 組込み型バウンダリスキャンにおける遅延付加部の分割による検査時間の削減", 電子情報通信学会技術研究報告, Vol.118, No.335, pp.119-124, 2018年12月.
- [259] 谷口, 四柳, 橋爪, "自動生成パターンの微小遅延故障検査用回路への適用性検討", 電子情報通信学会技術研究報告, Vol.118, No.335, pp.131-136, 2018年12月.
- [260] 池内, 神田, 平井, 四柳, 橋爪, "バウンダリスキャンテスト回路を用いた待機モード時電気試験を可能にするTAPCの開発", 第33回エレクトロニクス実装学会春季講演大会, 12D1-01-1, 2019年3月.
- [261] 菊池, 新開, 四柳, 橋爪, "TDC組込型バウンダリスキャン設計を用いた微小遅延故障検査における遅延ばらつき影響調査", 第33回エレクトロニクス実装学会春季講演大会, 12D1-03, 2019年3月.
- [262] 大塚, 四柳, 橋爪, C-Y. Yao, "微小遅延故障検査へのPLL回路の適用についての一考察", 電子情報通信学会総合大会講演論文集, p.44, 2019年3月.
- [263] 水戸, 前澤, 森, 中野, "Fluidic Self-Assemblyの歩留まりを制限する要因の検討", 電子情報通信学会2018年ソサイエティ大会, 9月11-14日
- [264] 村谷, 前澤, 森, "周波数 $\Delta\Sigma$ 変換方式を用いたマイクロフォンセンサの帯域内雑音低減", 応用物理学会北陸・信越支部学術講演会, 12月1日.
- [265] 本村, 前澤, 島田, 山川, 村谷, 森, "空洞共振器を用いた周波数 $\Delta\Sigma$ 型振動センサの提案", 応用物理学会北陸・信越支部学術講演会, 12月1日.
- [266] 吉田, 森, 前澤, "共鳴トンネルダイオードを用いた硬い発振器", 第4回有機・無機エレクトロニクスシンポジウム, 6月22-23日.
- [267] 前澤, 山岡, 森, "周波数 $\Delta\Sigma$ 変調型センサのための10GS/s FPGA測定系の構築", 電子情報通信学会, 電子デバイス研究会, 8月8日.
- [268] 前澤, "Fluidic Self Assemblyによる異種材料デバイスの集積", 日本学術振興会 接合界面創成技術第191委員会第18回研究会, 9月14日.
- [269] 遠矢, 森, 前澤, "塗布型酸化半導体共鳴トンネル素子のためのIn<sub>2</sub>O<sub>3</sub>/Ga<sub>2</sub>O<sub>3</sub>/In<sub>2</sub>O<sub>3</sub> nindaioドの評価", 第10回集積化MEMSシンポジウム, 10月31日.
- [270] 中野, 水戸, 森, 前澤, "微小Gaバンプを用いたFluidic Self-AssemblyにおけるGaバンプの活性化と消失の抑制", 第10回集積化MEMSシンポジウム, 10月31日.
- [271] 宜保 遼大, 阿部 晋士, 西岡 正悟, 北林 智, 坂井 尚貴, 大平 孝, "整流動作を用いた6.78MHz 250 W半導体切替整合回路," 信学技報, vol. 118, no. 484, WPT2018-83, pp. 99-103, Mar. 2019.
- [272] チアトーン コーヤ, 阿部晋士, 宜保遼大, 西岡正悟, 坂井尚貴, 大平 孝, "共鳴ブリッジT整流回路におけるダイオードの最大瞬時電圧電流の理論式," 2019信学総大, no. B-21-12, p.465, Mar. 2019.
- [273] 岩田 拓也, 井口 寧, "FDTD法に基づくリアルタイム音響レンダリングの境界領域での計算の高速化", 2018年度 電気関係学会 北陸支部連合大会, C1, 1 page in CD-ROM, 北陸先端科学技術大学院大学, Sep. 8, 2018
- [274] 渡辺 大詩, 筒井 弘, 今川 隆司, 宮永 喜一, "並列度可変なMin-Sum LDPC復号器とそのメモリバンクアクセススケジューリング手法," 電子情報通信学会 信学技報, Vol. ITE-42, No. 23, pp. 47-50, ITE-BCT2018-71, 26-27 Jul. 2018.
- [275] 大熊幸寛, 山梨裕希, 吉川信行, "Josephson-CMOSハイブリッドメモリを用いたAdiabatic-Quantum-Flux-Parametron FPGAの評価", 金属・セラミックス超電導機器合同研究会, MC-18-033, ASC-18-033, 鉄道総合技術研究所, 2018年7月.
- [276] 大熊幸寛, 山梨裕希, 吉川信行, "非対称AQFPゲートを用いた論理回路の小面積化および動作実証", 電子情報通信学会超伝導エレクトロニクス研究会, SCE2018-24, 東北大学電気通信研究所, 2018年10月.
- [277] 弘中祐樹, 山梨裕希, 吉川信行, "単一命令セットSFQマイクロプロセッサを用いたSFQ/CMOSハイブリッドシステムの評価", 金属・

- セラミックス超電導機器合同研究会, MC-18-047, ASC-18-047, 産業技術総合研究所, 2018年12月.
- [278] 柯 飛, 山梨裕希, Thomas Ortlepp, 吉川信行, “単一磁束量子回路を用いた7-bit 18-sample/cycle 正弦波コード発生器の測定及び評価”, 2018年電子情報通信学会ソサイエティ大会, C-8-5, 金沢大学角間キャンパス (石川), 2018年9月.
- [279] 弘中祐樹, 山梨裕希, 吉川信行, “FQ/CMOS ハイブリッドシステムの高速度動作実証に向けた単一命令セットSFQマイクロプロセッサの設計”, 2019年電子情報通信学会総合大会, C-8-8, 早稲田大学西早稲田キャンパス (東京都), 2019年3月.
- [280] 古川遼太, 呉研, 高橋芳浩: 「PN-Body Tied SOIFET の重イオン照射誘起電流」, 第66回応用物理学会春季学術講演会, 10p-W934-8, 2019.3.10
- [281] 金山純一, 古川遼太, 安田光保, 呉研, 高橋芳浩: 「SiGeを導入したSOI-MOSFETにおける重イオン照射効果」, 日本大学理工学部術講演会, M-4, 2018.12.5.
- [282] 岩波悠太, 唐鎌亮太, 三田梓郎, 呉研, 高橋芳浩: 「pin 及び pnp 構造素子における重イオン照射誘起電流」, 日本大学理工学部術講演会, M-5, 2018.12.5.
- [283] 古川遼太, 金山純一, 安田光保, 呉研, 高橋芳浩: 「PN-Body Tied SOI MOSFET の重イオン照射効果」, 日本大学理工学部術講演会, M-6, 2018.12.5.
- [284] 唐鎌亮太, 岩波悠太, 三田梓郎, 岸佳佑, 山口直弥, 呉研, 高橋芳浩: 「SOI-トンネルFETの電気的特性 (デバイスパラメータ依存性)」, 日本大学理工学部術講演会, M-7, 2018.12.5.
- [285] 佐藤匠, 中根祐介, 中村誠, 伊藤大輔, “RGC回路を用いた広帯域 TIA の高利得・低消費電力化の検討”, 電子情報通信学会ソサイエティ大会, A-1-8, 2018年9月.
- [286] 三輪祐三久, 國枝衛・中嶋伸悟, 中村誠, 伊藤大輔, 小川岳大, “電気分散補償回路のバースト信号対応化への基本検討”, 電子情報通信学会ソサイエティ大会, A-1-9, 2018年9月.
- [287] 鷺見和紀, 林宏太, 田中智孝, 中村誠, 伊藤大輔, “光通信における波長分散のSPICEモデルについての検討”, 電子情報通信学会総合大会, A-1-3, 2019年3月.
- [288] 生田和也, 鷺見和紀, 田中智孝, 中村誠, 伊藤大輔, “アナログ波形等化回路によるPAM4符号光伝送長延化の一検討”, 電子情報通信学会総合大会, A-1-4, 2019年3月.
- [289] 佐々栄治郎, 佐藤真平, 高橋篤司, “一般同期性能を向上させる遅延最適化に関する検討”, 電子情報通信学会技術研究報告, Vol. 118, No. 430, VLD2018-72, pp. 1-6, January 2019.
- [290] 秋山正弘, 三石昂洋, Dali Zhang, Myung-Jae Lee, Edoardo Charbon, “峡ピッチ化を目指したAl-Si/TiNバンプによるCoC接合”, 産業応用工学会全国大会2018講演論文集, pp.47-48, 2018年9月
- [291] Lamiae Haddacha, Motoki Amagasaki, Masahiro Iida and Toshinori Sueyoshi, “Flexible Automated Transistor sizing Tool for Scalable Logic Module Architecture,” Proc. of IEEE Symposium on COOL Chips 21, Session IV, Poseter 2, Apr. 2018, Yokohama, Japan
- [292] 小嶋, 原田, “0.6V動作9bitデジタル出力PWM差分演算回路”, 信学技報, vol. 118, no. 173, ICD2018-19, pp. 35-40, 2018年8月
- [293] 原田, “サブスレシヨルド動作極低電圧回路におけるI/O回路との挙動”, 電気学会電子回路研究会, ECT-018-101, 2018年12月
- [294] 伊藤大輝, 佐伯勝敏, 佐々木芳樹, “介在細胞集団モデルを有するバースト発火を示す電子回路モデルとその応用”, 電気学会電子回路研究会, ECT-19-013, pp.65-68, 那覇, 2019.1.25.
- [295] 小澤俊佑, 佐々木芳樹, 佐伯勝敏, MOS容量を用いたパルス形カオスニューロンモデルの集積化に対する一検討, 2018年電気学会電子・情報・システム部門大会, PS1-2, pp.1479-1480, 札幌, 2018.9.5.
- [296] 小川大介, 和田康孝, 橋本 薫, 秋山 豊, 大塚寛治! “電源シミュレーションによる 56 Gbps I/O インターフェイスの設計,” エレクトロニクス実装学会・2018マイクロエレクトロニクスショー・アカデミックプラザ (2018年6月6日-8日)

- [297] 武吉, 宇佐美, "基板バイアスを活用した単一電源レベルシフトの提案", 信学技報, vol. 118, no. 457, VLD2018-109, pp. 97-102, 2019年2月.
- [298] 堀米, 宇佐美, "3次元積層LSIの実チップ発熱・放熱時における温度の過渡解析と評価", 信学技報, vol. 118, no. 457, VLD2018-107, pp. 85-90, 2019年2月.
- [299] 真崎, 宇佐美, "薄膜BOX-SOIと基板バイアス制御を用いた低消費電力スタンダードセルメモリの実チップによる評価", 信学技報, vol. 118, no. 457, VLD2018-108, pp. 91-96, 2019年2月.
- [300] 秋葉, 宇佐美, "データキャッシュに対する不揮発性パワーゲーティング適用方法の検討と評価", 信学技報, vol. 118, no. 29, VLD2018-2, pp. 19-24, 2018年5月.
- [301] 山下 裕司, 窪田 昌史, 谷川 一哉, 弘中 哲夫 "MPLDアーキテクチャにおける論理構成能力の違いによるトランジスタ数の評価", 第20回IEEE広島支部学生シンポジウム(HISS), 2018年11月17,18日.
- [302] 寺本 圭吾, 弘中 哲夫, "8命令からなる命令セットアーキテクチャを用いたコンピュータアーキテクチャ教育教材", 第17回情報科学技術フォーラムFIT2018, 第4分冊, pp.311-312, 2018年9月19日.
- [303] 山下 裕司, 窪田 昌史, 谷川 一哉, 弘中 哲夫, "FPGAの配置配線結果を使用したMPLDの配置配線ツールの検討", 信学技報, vol. 118, no. 215, RECONF2018-30, pp. 61-66, 2018年9月18日.
- [304] 宮内 亮太, 藤石 秀仁, 寺本 圭吾, 山下 裕司, 弘中 哲夫 "IoT応用のための小規模プロセッサTempleの設計" 第7回電子デバイス・回路・照明・システム関連教育・研究ワークショップ, pp.jh-8 - jh-9, 2018年5月26日.
- [305] 藤石 秀仁, 宮内 亮太, 寺本 圭吾, 山下 裕司, 弘中 哲夫 "小規模プロセッサTempleの割り込み処理機構" 第7回電子デバイス・回路・照明・システム関連教育・研究ワークショップ, pp.jh-10 - jh-11, 2018年5月26日.
- [306] 大津俊貴, 傘昊, 松浦達治, 堀田正生, 江幡友彦, 松井徹郎, 松本哲也, \SOTB プロセスを用いる ブートストラップスイッチの検討," 電気学会電子回路研究会, ECT-018-072, つくば, 2018年10月.
- [307] 佐々木美波, 傘昊, 松浦達治, 堀田正生, 江幡友彦, 松井徹郎, 松本哲也, \低電源電圧ダイナミック比較器回路の検討," 電気学会電子回路研究会, ECT-018-073, つくば, 2018年10月.
- [308] 大津俊貴, 佐々木美波, 山田秀一郎, 潘春暉, 傘昊, 松浦達治, 堀田正生, \SOTBを用いた非2進サイクリックADCの検討," 電気学会電子回路研究会, ECT-018-086, 東京, 2018年12月.
- [309] 佐々木美波, 大津俊貴, 潘春暉, 傘昊, 松浦達治, 堀田正生 \低電圧SAR ADCの検討," 電気学会電子回路研究会, ECT-018-085, 東京, 2018年12月.
- [310] 寺西司, 潘春暉, 傘昊, \複素バンドパス $\Delta$ ADC低消費電力化技術に関する研究," 電気学会電子回路研究会, ECT-018-084, 東京, 2018年12月.
- [311] 潘春暉, 傘昊, 柴田随道 \ダイナミックアナログ回路を用いたCMOS $\Delta$ AD変調器," 平成30年電気学会電子・情報・システム部門大会, 札幌, 2018年9月.
- [312] 門本淳一郎, 入江英嗣, 坂井修一, "水平方向チップ間ワイヤレスバスを用いた形状自在SiPの検討", 電子情報通信学会・情報処理学会デザインガイア, 2018年12月.
- [313] 門本淳一郎, 浅野凌治, 入江英嗣, 坂井修一, "水平方向チップ間ワイヤレスバスの解析と設計", 電子情報通信学会・情報処理学会ETNET, 2019年3月.
- [314] 木村, 山根, 増澤, "2次元集積化磁気センサにおけるCDSによる固定パターンノイズ低減に関する検討", 第35回「センサ・マイクロマシンと応用システム」シンポジウム, 2018年11月
- [315] 折原 恒祐, 古賀 達也, 道正 志郎, 伊藤 浩之, 山根 大輔, 小西 敏文, 飯田 慎一, 石原 昇, 町田 克之, 益 一哉, 「MEMS加速度センサにおける時間ドメイン容量検出回路の統合設計モジュールの検討」第79回応用物理学会秋季学術講演会, 13.4 Si系プロセス・Si系薄膜・配線・MEMS・集積化技術, 2018年9月18日-21日, 名古屋国際会議場



- [316] 大島佑太, 安藤幹, 平川顕二, 岩瀬正幸, 小笠原宗博, 依田孝, 石原昇, 伊藤浩之「TID影響下におけるMOSFETの動的特性劣化モデルの開発」第66回応用物理学会春季学術講演会, 13.1 Si系基礎物性・表面界面・シミュレーション, 2019年3月9日-12日, 東京工業大学 大岡山キャンパス
- [317] 安藤幹, 大島佑太, 平川顕二, 岩瀬正幸, 小笠原宗博, 依田孝, 石原昇, 伊藤浩之「CMOS論理回路におけるTIDの影響評価」2019年電子情報通信学会総合大会, C-12 集積回路, 2019年3月19日-22日, 早稲田大学 西早稲田キャンパス
- [318] Zixuan Li, Yifan Wang, Kaede Miyauchi, Noboru Ishihara, Hiroyuki Ito, "Battery-less Wireless Sensor Module using RF Resonant Electromagnetic Coupling," 2019年電子情報通信学会総合大会, B-18 知的環境とセンサネットワーク, 2019年3月19日-22日, 早稲田大学 西早稲田キャンパス
- [319] 竹谷, 武内, "RISC-Vを基本とする構成可変プロセッサのためのハードウェア開発環境の検討", ETNET 2019, 情報処理学会研究報告, Vol. 2019, EMB-50, No. 12, pp.1-6, 2019年3月.
- [320] 八木希知, 森下賢幸, 小椋清孝, 伊藤信之, "スイッチトインダクタを用いたデジタル制御発振器に関する検討," 2018年電子情報通信学会ソサイエティ大会C-12-30, 金沢, 2018年9月14日.
- [321] 北形大樹, 山本修一郎, 菅原聡, "デュアルモードインバータを用いた疑似不揮発性FFの設計と解析", 第79回応用物理学会秋季学術講演会, 名古屋市, 愛知, 2018年9月18日-21日, paper 20a-CE-5.
- [322] 塩津勇作, 山本修一郎, 舟窪浩, 黒澤実, 菅原聡, "新構造ピエゾエレクトロニックトランジスタの設計方法", 第79回応用物理学会秋季学術講演会, 名古屋市, 愛知, 2018年9月18日-21日, paper 21a-CE-8.
- [323] 吉田隼, 北形大樹, 山本修一郎, 菅原聡, "デュアルモードインバータを用いた疑似不揮発性SRAMの設計と解析", 第79回応用物理学会秋季学術講演会, 名古屋市, 愛知, 2018年9月18日-21日, paper 20a-CE-6.
- [324] 吉田隼, 北形大樹, 山本修一郎, 菅原聡, "デュアルモードインバータを用いた疑似不揮発性SRAMの設計と解析", 第79回応用物理学会秋季学術講演会, 名古屋市, 愛知, 2018年9月18日-21日, paper 20a-CE-6.
- [325] 北形大樹, 松搦翼, 山本修一郎, 菅原聡, "疑似不揮発性FFの速度性能優先設計とその回路性能"第66回応用物理学会春季学術講演会, 目黒区, 東京, 2019年3月9日-12日, paper 10p-S221-5.
- [326] 塩津勇作, 山本修一郎, 舟窪浩, 黒澤実, 菅原聡, "新構造ピエゾエレクトロニックトランジスタの低リーク設計とそのSRAMへの応用", 第66回応用物理学会春季学術講演会, 目黒区, 東京, 2019年3月9日-12日, paper 10p-S221-7.
- [327] 吉田隼, 北形大樹, 山本修一郎, 菅原聡, "デュアルパワースイッチを用いた疑似不揮発性SRAMの設計と解析", 第66回応用物理学会春季学術講演会, 目黒区, 東京, 2019年3月9日-12日, paper 10p-S221-6.
- [328] 菊地杜斗, 小宮山崇夫, 長南安紀, 山口博之, 小谷光司, 「レーザー光を用いた微小電力伝送向け大面積オンチップ太陽電池の特性評価」, 電子情報通信学会ソサイエティ大会, C-12-10, 2018年9月
- [329] 辻村公輝, 菊地杜斗, 小宮山崇夫, 長南安紀, 山口博之, 小谷光司, 「レーザー光による電力・信号同時伝送に向けた太陽電池の光変調周波数応答特性の評価」, 電子情報通信学会総合大会, B-21-29, 2019年3月
- [330] 伊藤寛幸, 宇佐美蓮, 小宮山崇夫, 長南安紀, 山口博之, 小谷光司, 「環境発電向け電力広帯域化インピーダンスマッチング回路の検討」, 電子情報通信学会総合大会, B-21-33, 2019年3月

## 著書

- [1] "FPGAによる物体追跡用パーティクルフィルタの実装" センサフュージョン技術の開発と応用事例 技術情報協会 6章4節 pp.262-269 2019年1月

## 特許

- [1] 浅井 哲也 "重み符号固定学習装置 PCT/JP2018/004786 (2018年2月13日)



- [2] 大竹, 平本, 回路診断テスト装置, 及び回路診断  
テスト方法" 特願2019-027786 2019年2月19日

## B. VDECの利用規定・申し込みガイド

### B.1 概要

VDECは、全国の大学・高専向けに様々な支援事業を実施している。

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会(8-9月・3月)
4. 社会人リフレッシュ教育  
(6月-8月、学生も参加可能)
5. VLSIデザイナーフォーラム(若手の会)
6. 大型装置利用

CADベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC設立以来、これまでの実績では、CADの利用・CAD講習会は無償、LSI試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザにはVDECを利用する「顧客」ではなく、VDECと一緒にサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDECの担当者(vdec@vdec.u-tokyo.ac.jp)に必ず相談いただきたい。その他のサービスについてはVDECの裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が51%以上のイニシアチブを取る研究であることが必要である。

また、CADの申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDECのシステムは、InternetとUnix operating

systemの上になりたっているので、Internetの仕組やUnixについての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切りわけながら対処することが勧められる。

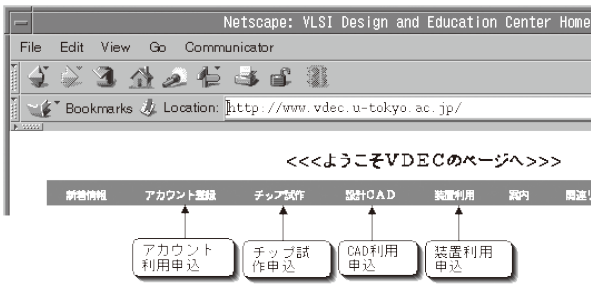
### B.2 まずはじめに

VDECからのおしらせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDECのWEBページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol (IP) アドレスによって制限をかけている。

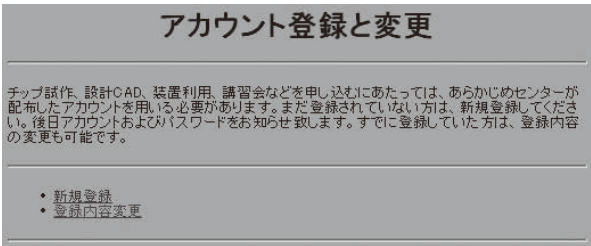
従って、VDECを利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な(サービス開始前1ヶ月以上)時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEBページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字2字+半角数字5桁(例: VD00000)からなる。

申込で特に注意する点は、VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxyサーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5のように、IPアドレスを全て「半角」の英数字で、「,」(半角カンマ)で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT(IP masqueradeというプログラム名で呼ばれることもある。機能としてはNATが正しい。)で研究室をローカルネットワークにしている場合は、NATサーバのアドレスを入力する。よくある間違いとして、ローカルネットワークのIP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

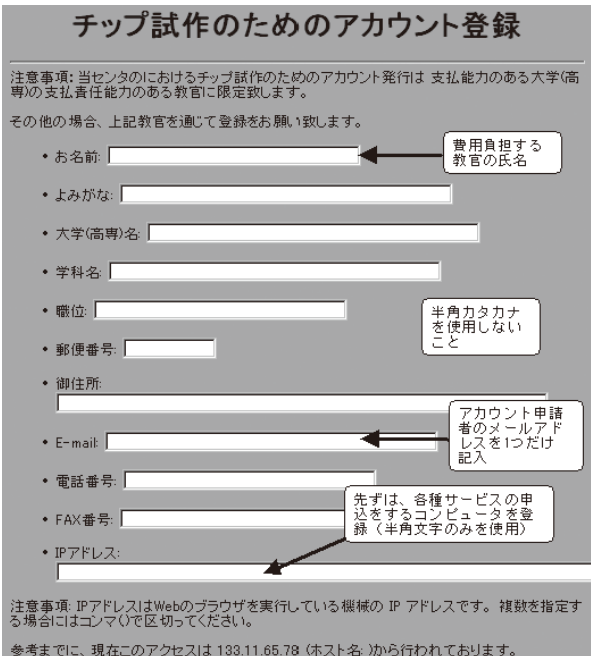
ネットワークが変更になるとか、研究室のマシン増設などでIPアドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古いIPが



図B.1 VDECホームページのインデックスフレーム



図B.2 アカウント登録・変更ページの入口



図B.3 アカウントの新規登録の注意点

使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じE-Mailアドレスを入力することで上書き変更が可能である。

**【登録するIPアドレスに関する要件】**

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けませんが、管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレ

スやローカルアドレスなどは登録できない（しても意味が無い）

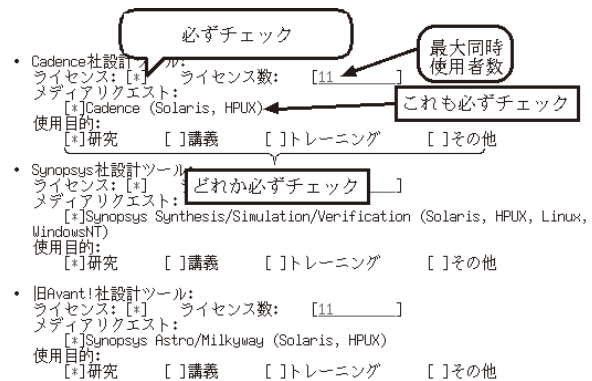
- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

**B.3 CADツールの共同利用**

VDECでは、集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している。これらのソフトウェアは、VDECのVLSI試作以外のアカデミック用途(MOSIS-VDECを通じた試作、教育用の演習、EB等VDECの大型装置利用のためのデータ作成用、等)の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーからCADを選べる状況(二重化)を理想としている。LSIの設計には、CADソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD申込のWEBページに教員がアクセスする(WEBアカウントが必要である)。NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後、CADの申請ができる。



図B.4 CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

申請時にWEBから入力する内容は以下のとおり。

- ソフトウェアライセンス数(研究室で同時に使用すると思われる最低数を入力)
- 用途
- メディアリクエスト(使用する Operating System を選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム(VDEC, 端的にはusr1から名前→IPアドレスの解決ができる, 「.ac.jp」で終わるホスト名であることが条件。)

ソフトウェアのCDROM(メディア)について, VDECの創設期においては, メディアを近隣の研究室で「回覧」していたが, インターネットの発達により回線が豊富になったので, 現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら, VDECのユーザアカウントとパスワードが必要となるため, CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後, プログラムをインストールし, 初期設定ファイルを整備する。特に, ライセンスファイルはWEB経由で別途取得の上設定するか, 環境変数LM\_LICENSE\_FILE等を(ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する。また, /etc/hostsファイル等を設定し, ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には, 手元のワークステーションにおいて, 例えば「vdec-cad1」と指定するだけで, FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには, VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので, VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも, 稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また, ライセンスサーバの認証は, CADツール起動後も数分おきに行われるので, CADツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。また, ファイアーウォールを使用しているネットワーク環境では, VDECのWebサーバとVDECおよび地域拠点校に対して, ライセンス認証用

の特定のポートを空ける必要がある。この場合, 各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが, はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして, 各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは, 「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿, 返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから, 利用するメンバのE-Mailアドレスを登録すること。特にその際, 「.ac.jp」で終わるアドレスを利用し, メールはプロバイダ等に転送しないこと(情報漏洩の観点から)。
2. リストの更新は頻繁におこない, 卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に, あらかじめCADuser MLの過去記事検索がWEBからできるので, 類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは, CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら, 問題, 原因, 解決法をまとめて投稿すること(必須ではないが, ネット利用のエチケットといえる)。

99CAD利用者メーリングリスト登録フォーム

先生のメールアドレス:  
以下にCADを利用される方のメールアドレスを記入して下さい。複数の場合には, “.”で区切るかもしくは複数回登録して下さい。

CADツールの使用者のメールアドレス  
(半角カタカナや全角文字を用いないこと)

追加 更新 現在の登録アドレスをリセットして更新するラジオボタン

なお、現在の登録者は以下の通りです

追加用ラジオボタン

登録

卒業生のアドレスは消去すること

図B.5 CAD利用者メーリングリスト登録における注意点



ライセンスは年度単位で申込みを受けつけている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

### 【毎月注意を払うべき点、熟読必須。】

1. VDECでは、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、[http://www.vdec.u-tokyo.ac.jp/CAD/cad\\_access\\_list.html](http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.html)である。ブックマークを強くお勧めする。
4. IPアドレス（ホスト名）registered という表示が出ていれば登録されている。
5. false (false (ホスト名)) FAIL という表示が出ていれば登録に失敗しているの、原因を探る。一般的に、DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

### B.4 VLSI 試作サービスの共同利用

VLSI試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行う。これはVDECホームページの「試作関係>試作案内>機密保持契約（NDA）の文面」より、希望プロセスのNDAにサインしてVDECに郵送し、VDEC側で手続き終了後にNDA締結となり、設計規則やライブ

ラリにアクセスできるようになる。設計規則はWEB経由のアクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出日切日の6~3ヶ月前、キャンセルの日切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

#### VLSI申込フォームの入力に関する注意点 (図5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

図 B.6 VLSI 試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDECが提供する最新の Design Rule Check ファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通してにおいて、提出しようとする回路が本当に動作しそうである確信を持つておくことは最低限必要であろう。デザインの提出は指定されたVDECページから行う。提出時にVDEC側で最終DRCを実行する。ここでエラーが出たチップは提出できない。必ず自分の環境でDRCフリーにしてからチップを提出すること。

提出切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

### B.5 CAD ツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。夏は基本的に東京大学の武田先端知ビルセミナー室において、春は各地方の拠点校を中心として開催される。まずはこういった講習会に参加して、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスはCADUser メーリングリストで流れる。また、申込は、VDECのWEBページから行う。

### B.6 社会人リフレッシュ教育

CADツール講習会からさらに進んだ形で、Verilogである回路を実際に設計し、レイアウト合成したり、FPGAによる実験を行う「デジタルコース」、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」コースならびに一線の研究者による設計事例の講演会などを企画している。12月～1月に開催し、有料である。社会人を主に対象としているが、申込数に余裕がある場合学生の参加も歓迎している。

### B.7 デザイナーフォーラム（若手の会）

毎年9月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

### B.8 大型装置利用

LSIテスターや、EB装置など、公開可能な装置については、利用の案内をWEBページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

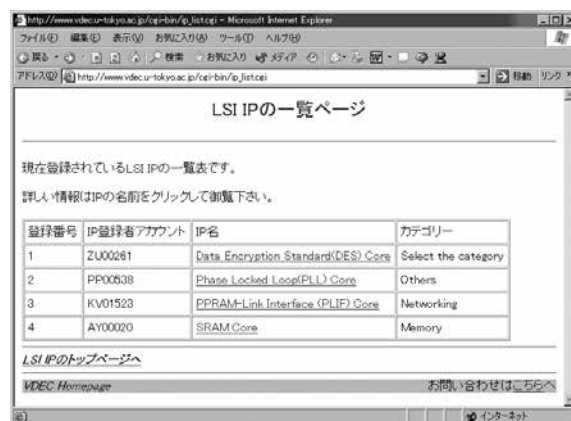
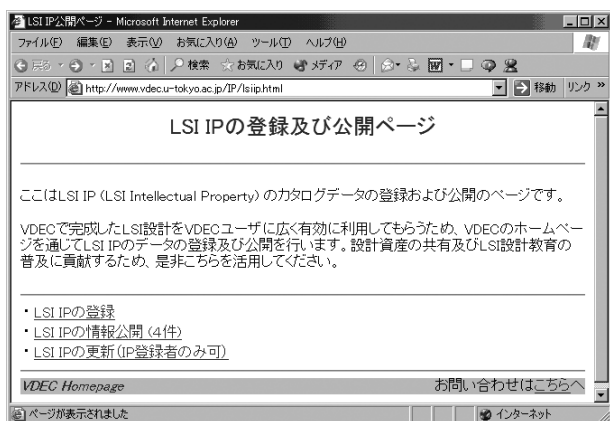
## C. IPデータベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている（<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>，図C.1）。本データベースの利用対象は、IP登録に関してはVDECユーザに限定しているが、IP利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IPのカタログデータの整理、公開および登録者一

利用者間の仲介と機密情報の取り扱いの監督である。

平成12年度から平成14年度の3年間、(株)半導体理工学研究センター（STARC）との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みのIPを表C.1に示す。



図C.1 VDEC LSI IP Webデータベースの例

表C.1 VDEC LSI IPデータベースに登録済みのIP(平成24年3月現在)

登録番号	IP名	カテゴリー
1	Data Encryption Standard(DES) Core	Others
2	Phase Locked Loop(PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller





平成31年度  
東京大学大規模集積システム設計教育研究センター年報

2019年8月

編集・発行

東京大学大規模集積システム設計教育研究センター  
センター長 藤田 昌宏  
〒113-0032  
東京都文京区弥生2-11-16 武田先端知ビル 4階401号室  
TEL 03-5841-8901

印刷・製本

株式会社総北海 東京支店  
〒130-0022  
東京都墨田区江東橋4丁目25番10号 加藤ビル2F  
TEL 03-5625-7321



VLSI Design and Education Center The University of Tokyo 2019

