



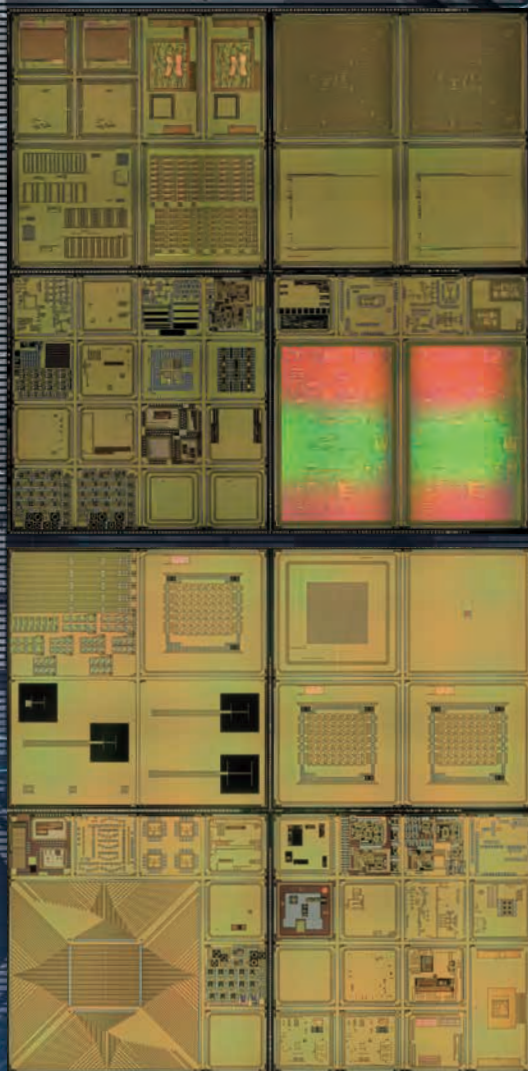
2020

Systems Design Lab, School of Engineering,
(VLSI Design and Education Center), The University of Tokyo
Annual Report

令和2年度

東京大学工学系研究科附属システムデザイン研究センター
基盤設計研究部門・基盤デバイス研究部門
(大規模集積システム設計教育研究センター)

年報



Systems Design Lab, School of Engineering
(VLSI Design and Education Center), The University of Tokyo 2020



Message from Director of VDEC

東京大学大規模集積システム設計教育研究センター (VDEC)
センター長

藤田 昌宏

大規模集積システム設計教育センター (VLSI Design and Education Center, VDEC) は、1996年に全国利用組織として東京大学内の1部局の形で設立されました。その任務は、半導体製造や新規デバイスの試作などを通じた実践的教育・研究環境を全国のアカデミアに提供し、机上の学習や演習からは決して得られない、半導体の設計と製造に関する全ての角度からの知識が習得できるようにすることで、結果として、日本における半導体の開発・設計から製造までトータルとしての基盤技術力向上を図ることです。

実はVDECと同じ任務を担っていると考えられる組織は世界中にあります。米国、カナダ、ヨーロッパには2組織・仕組み、韓国、台湾、そして最近では中国本土にも同様の組織や仕組みが作られています。これらの組織間では、年に2回程度情報交換や協調のための会議を開催してきています。各組織にはその地域の状況から種々の強みがあり、それらを互いに活かせるような協調活動について協議しています。結果として、国際共同チップ試作もスムーズに行えるようになっていきますし、今後より密な連携のもと、国際共同プロジェクトも立ち上ると考えられます。

一方、VDECが世界の他の同様の組織と異なる点として、半導体チップの設計・試作だけでなく、国のプロジェクト支援を受けた、新規半導体・デバイスの研究開発を支援する

卓越したクリーンルームと多様な先端機器を保持し、ユーザーが新規半導体関連技術を自身で研究開発できる環境を整えていることです。通常、半導体チップの設計・試作とは、既に関済済のデバイスを利用した設計であり、チップ試作を指していますが、VDECではそれだけでなく、新規デバイスと組合せたチップ実装を実現できるようになっています。これにより、従来では考えられなかった性能や形状の実現が可能になり、世界をけん引するような研究開発が可能になります。ただ、このVDECが提供している2つの環境を融合して利用した半導体技術の研究開発は、だれもやってこなかったことであり、簡単ではありません。その2つの環境の利用者はお互いをあまり知らないというのが、実情でもあります。2つの提供されている環境を融合して利用し、真に進んだ技術の研究開発へと結びつけるためには、VDECの人員だけでは困難であると実感していました。そこで、工学系内での動きと協調し、VDECは2019年10月1日に工学系研究科内のセンター、システムデザイン研究センターとして生まれかわりました。

今後、工学系、それに情報理工系とも連携し、2つの環境を融合して活用することが普通になるような、日本における半導体技術の中心となるべく、活発に活動していきたいと考えています。ご支援のほど、何卒よろしくお願いいたします。

藤田 昌宏



Message from Director of d.lab

東京大学工学系研究科附属システムデザイン研究センター (d.lab)
センター長

黒田 忠広

不連続に見える出来事にも、その背景には脈々と繋がるストーリーがあります。昨年の10月にシステムデザイン研究センター (d.lab) を開設しました。突然の改組でVDECはどうなるのかと、皆様はご心配に思われたことでしょう。その背景をご説明します。

大規模集積システム設計教育センター (VDEC) は、1996年から今日まで四半世紀に渡って、世界に類のない卓越した教育を行い、優れた人材を半導体産業界に輩出してきました。毎年、設計環境とチップ試作は全国の300以上の研究室で活用され、クリームルームと関連設備は200以上の研究室で利用されています。

ところが、半導体産業界に入った優秀な卒業生たちは、彼らの才能を必ずしも発揮できてはいません。この四半世紀の間、世界では半導体産業が年率7%の高成長を維持してきたにもかかわらず、日本の半導体産業は後退の一途をたどってきました。世界一優れた人材を集めながら世界と互角に戦えない理由は何かでしょうか？

いろいろな分析があるでしょうが、私は、日本は資本競争で敗れたと理解しています。

ご存じのとおり、半導体ビジネスは汎用チップを大量に売る薄利多売のビジネスです。汎用チップが大量に売れる理由は、コンピュータがフォン・ノイマン・アーキテクチャを採用しているからです。半導体ビジネスの王道は、プロセッサとメモリを安く大量に供給することです。ビッグデータの利活用が始まれば、センサーがこれに加わるでしょう。

このビジネスの戦い方は資本競争です。DRAMやフラッシュメモリ、あるいはCPUやGPUといったチップが発明され、それが大きなビジネスになると認識されるや巨大な資本が投入され、たちまち過当競争が起り、業界再編の末に寡占化されます。

日本は、デバイスのイノベーションでは勝ちましたが、資本競争で敗れました。

ところが、ここにきてゲームチェンジが起きています。IntelやQualcommといった半導体専門メーカーから汎用チップを調達していたのでは競争に勝てない。そう感じた「GAF A」などの巨大IT企業が、専用チップの自社開発に乗り出したのです。

その背景には、3つの理由があります。第一の理由は、データ社会特有の「エネルギー危機」です。エネルギー効率を10倍高めた人だけが、コンピュータを10倍高性能にでき、スマートフォンを10倍長く使えます。あらゆるタスクをこなせる汎用チップに比べて、無駄な回路をそぎ落とした専用チップは、エネルギー効率を10倍以上高くできます。

第二の理由は、AIの出現です。神経回路網と深層学習は、データを持つ者に情報処理の新しい方法を授けました。神経回路網は、私たちの脳と同じく配線接続が機能を与える布線論理です。並列に処理できるので、逐次に処理するフォン・ノイマン・アーキテクチャに比べて電力効率を10倍以上高くできます。

第三の理由は、分業化が進んだ産業構造です。TSMCなどのファウンドリーが世界の工場となり、ユーザー自らがAIの性能を最大限引き出せるようビジネスモデルにあった半導体チップを自社で開発できるようになりました。大量のチップを使うITプラ

ットフォーマーなら、自社開発の方が半導体ベンダーから調達するよりも素早くかつ安く、より高性能なチップを調達できるのです。

つまり、汎用チップから専用チップへ半導体産業のゲームチェンジが起っています。

汎用の時代は、デバイスのイノベーションで幕が開き、資本競争の末に幕が下ります。一方、専用の時代は、設計開発のイノベーションで幕が開き、ムーアの法則で幕が下ります。

1985年から2000年にかけて、ASIC (特定用途向け集積回路) が大きな市場を創りました。1980年代に、レイアウトや論理を自動生成する技術がカリフォルニア大学バークレー校を中心に研究開発され、ツールベンダーも誕生しました。加えて、セミオーダーで洋服を仕立てるように、半完成品のチップを製造しておき最後に配線をカスタマイズするセミカスタム製造方式も開発されました。

こうした設計開発のイノベーションによって、開発効率は一気に3桁高くなりました。しかし、15年後にはムーアの法則によって集積度が3桁増えてしまい、コンピュータを駆使してもかつて以上に人員や時間がかかるようになりました。その結果、ASICビジネスは採算が取れなくなり終息しました。

しかし、現在はムーアの法則が減速しています。次の四半世紀は、設計開発のイノベーションで先行した人が、新しいゲームの勝者となるでしょう。

専用チップに求められるのは資本力ではなく学術です。かつてカリフォルニア大学バークレー校がレイアウトや論理の自動生成技術を創出したように、機能やシステムを自動生成する学術の創出が求められます。大学が担う役割は大きくなっています。

20世紀は「汎用」の時代でした。戦後、物量崇拜と経済効率礼賛のもと、規格大量生産が経済成長を牽引しました。

やがて社会が成熟すると、全体の成長から個人の充実に価値がシフトしました。その結果、工業社会は終わり知価社会が始まりました。

この変化が先進国から発展途上国に広がる過程において、日本は規格大量生産を続けたことで一時的に繁栄しましたが、やがてアジア諸国の後塵を拝することになりました。これが日本の半導体産業が衰退した社会的背景だと考えています。

今世紀は「専用」の時代になるでしょう。資本集約から知識集約へ、規模から知恵へ、量的拡大から質的發展へ、物質から精神へ、便利から楽しいへ、製品からサービスへ、大量から多様へ、画一から個性へ、誰でもできるから他の人にはできないへ、価値は移ります。

そのとき、製造業はどうなっているのでしょうか?その答えを探すのがd.labの使命です。

私たちは、教育に加え、学術の力で産業と社会の発展に貢献していきたいと考えています。d.labには、教育に重点を置いた基盤設計研究部門 (VDEC) と基盤デバイス研究部門 (武田クリームルーム) に加えて、産学連携に重点を置いた先端設計研究部門と先端デバイス研究部門が創設され、新たに出発することになりました。



2020
VLSI Design and Education Center,
The University of Tokyo
Annual Report

C O N T E N T S

巻頭言

ご挨拶 ……1

第1章 d.labの紹介 …… 4

第2章 VDEC事業の紹介と2019年度事業報告 …… 5

2-1 VDEC事業の紹介と2019年度事業報告 ……5

2-2 CADソフトウェアの整備 ……8

2-3 VLSIチップ試作 ……9

2-4 セミナー ……12

2-5 装置の整備・運用・利用公開 ……15

2-6 2020年度の活動計画 ……17

2-7 VDEC発ベンチャー ……18

2-8 超微細リソングラフィー・ナノ計測拠点 ……19

第3章 「アドバンテストD2T 寄附研究部門」活動報告 …… 20

3-1 「アドバンテストD2T 寄附研究部門」の紹介 ……20

3-2 「第14回D2Tシンポジウム」開催報告 ……21

3-3 研究活動報告 ……23

3-4 研究発表 ……23

第4章 チップ試作結果報告 …… 25

4-1 試作ラン別一覧 ……26

4-2 チップ種別一覧 ……29

4-3 各チップの詳細 ……32

第5章 VDEC概要 …… 58

5-1 組織概要 ……58

5-2 人事報告 ……59

5-3 新任・退任ご挨拶 ……63

5-4 決算報告 ……64

第6章 研究報告 …… 66

6-1 全体概況 ……66

6-2 研究室構成員(令和元年度) ……67

6-3 研究概要 ……70

6-4 研究発表 ……78

6-5 特許、受賞等 ……96

付録(Appendix) …… 98

A. Publication list (VDEC利用者に関する発表文献リスト) ……98

B. VDECの利用規程・申し込みガイド ……131

C. IPデータベースの整備 ……136

第1章 d.labの紹介

昨年の10月にシステムデザイン研究センター（d.lab）を開設しました。私たちは、教育に加え、学術の力で産業と社会の発展に貢献していきたいと考えています。d.labには、教育に重点を置いた基盤設計研究部門（VDEC）と基盤デバイス研究部門（武田クリーンルーム）に加えて、産学連携に重点を置いた先端設計研究部門と先端デバイス研究部門が創設され、新たに出発することになりました。

大規模集積システム設計教育センター（VDEC）は、1996年から今日まで四半世紀に渡って、世界に類のな

い卓越した教育を行い、優れた人材を半導体産業界に輩出してきました。毎年、設計環境とチップ試作は全国の300以上の研究室で活用され、クリーンルームと関連設備は200以上の研究室で利用されています。本年報は、その2019年度の活動および成果をまとめたものです。

本年報の構成は以下の通りです。第2章ではVDEC事業の紹介と2019年度事業報告を行っています。第3章では、アドバンテストD2T研究部門の報告をまとめています。第4章では、VDEC所属の各研究室の研究概要を報告します。

第2章 VDEC事業の紹介と2019年度事業報告

2.1 VDEC事業の紹介と2019年度事業報告

東京大学大規模集積システム設計教育研究センター (VDEC) は、1996年の発足以来『LSI教育情報の発信拠点形成』、『VLSI設計支援教育用CADソフトウェアの整備』、『VLSIチップ試作支援』を3つの柱として、円滑な運営を目指した事業を展開した。なお2019年10月1日に東京大学における、半導体集積回路関係の強化を目指した組織改編により、東京大学大規模集積システム設計教育研究センターは東京大学大学院工学系研究科附属システムデザイン研究センター (d.lab) へと改組され、その中で、基盤設計研究部門がこれまでのVDECの担ってきた機能を引き続き担い、シームレスに活動を継続している。ここでは、図2.1に示すVDECの活動内容に基づき、以下に2019年度の概要を報告する。

VDECの使命は全国の国公立大学および高専のLSI設計研究・教育を高度化し、産業界に対しても優秀なLSI設計技術者を数多く送り出すことである。VDECの発足より24年経過し、各大学におけるCADソフトウェアの利用技術教育やLSI設計・設計フローに関する教育の充実が図られている。その一方で、先端

のLSI設計技術およびそれに対応するCADソフトウェアは一層複雑化し続けている。そのため、CADツールの導入に際しては、CADベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために2009年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDECとしては各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなって最新のCAD利用技術が全国的に広がることを期待している (2.3章参照)。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である。この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを開催してきた。2018年度は、6月～8月に、“アナログ設計

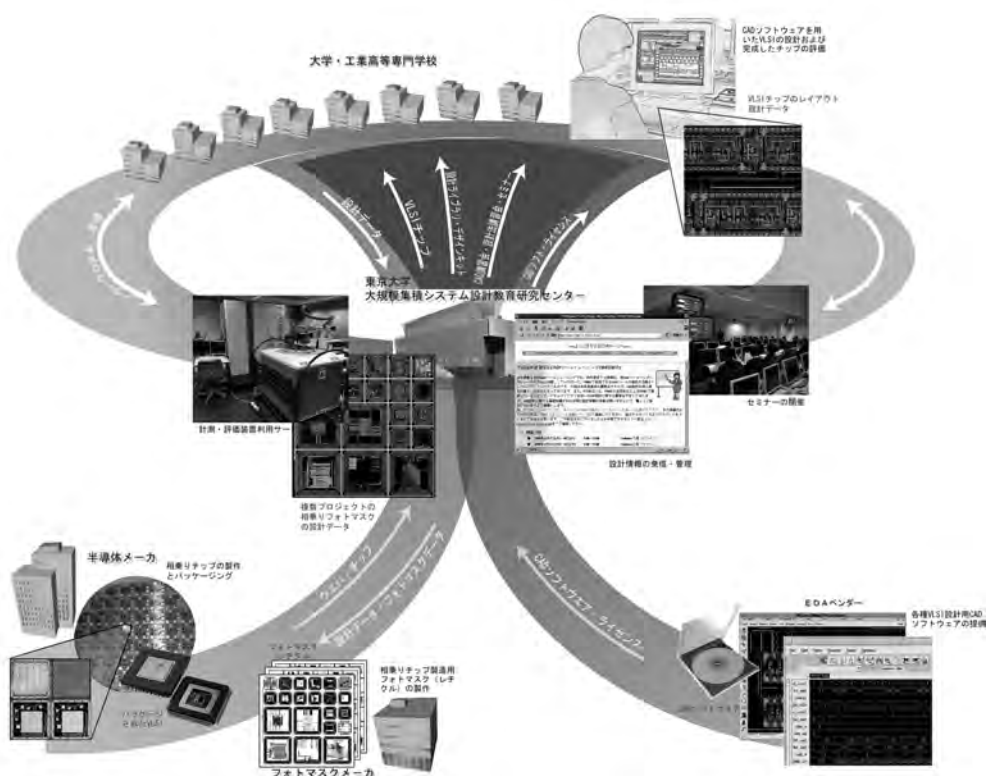


図2.1 VDECの活動内容

コース”, “RF 設計コース”, 2012年から開始した”MEMS設計コース”を実施した。いずれも演習を伴う体験教育コースであり, 主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関するセミナー”VDEC環境におけるトランジスタレベル設計講習会(コースVT)”, “VDEC EDA環境におけるデジタル設計手法講習会(コースVD)”を大学における設計者に向けて実施している。なお, 2014年度から本設計フローに関するセミナーに関して有料化して実施している。

これらセミナーに加えてVDECでは年1回, 若手教官と学生を中心としたVDEC デザイナーズ・フォーラムを開催している。これはワークショップ形式の会合であり, 企業・大学からの招待講演に交えて, 参加者が設計事例を持ち寄ってその成功談, 失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。特に2011年度から, VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDECデザイナーズ・フォーラムの場で行っており, 2019年は, IEEE SSCS Japan Chapter VDEC Design Awardとして, 東北大学の藤原康行さん, 3件のVDEC デザインアワード優秀賞, (藤原康行(東北大学), 章浩升(東京工業大学), 杉江謙治(奈良先端科学技術大学院大学)), 3件のVDEC デザインアワード奨励賞 (Jian Pang (東京工業大学), 河内勇人

(静岡大学), 松山和樹(静岡大学)), 3件のVDEC デザインアワードアイデアコンテスト部門嘱望賞 (Nattakarn Wuthibenjaphonchai (奈良先端科学技術大学院大学), 蔭山享佑(立命館大学), 森康登(奈良先端科学技術大学院大学))を授与した。

このようなセミナー, フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが, それでも実際のLSI設計の場面では, さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ, そこに直面する疑問点を投稿し, 助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが, ほとんどの場合, 数時間から数日以内に経験豊かなユーザからの支援を得ることができる。また, 今まで蓄積されてきたメールグループの情報がVDECのWEB上で認証されたVDECユーザへ公開され, 教育上の資産として残していく仕組みになっている。ぜひこの仕組みを活用することで問題解決の一助としていただきたい(図2.2)。



図2.2 VDECメーリングリストの過去記事

VLSIチップ試作支援に関しては、ルネサスエレクトロニクス社SOTB 65nm CMOS, ローム 0.18 μ m CMOS, オンセミ-三洋半導体 0.8 μ m CMOS試作とともに実施した。

2008年10月に設置されたアドバンテスト社から寄付部門「Design To Test (D2T)」は、2020年10月より5期目として活動を継続している。なお、大規模集積システム設計教育研究センターから大学院工学系研究科に改組となった関係で、寄付研究部門から、寄付講座への変更となっている。この寄付講座「Design To Test (D2T)」では、LSIのテストに関する教育の充実とともに、設計とテストの架け橋を目指した研究が進められている。これまでの活動を振り返ると、VDEC発足

以来の活動の中でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育が進行している。図2.3にVDECを利用した研究成果の指標として、VDECに関する発表文献数の推移を示す。単純に比較はできないが発表文献の数は増加傾向にあり、VDEC発足以来、集積回路に関する研究が活性化されていることが確認できる。

図2.4にVDECに関する発表文献のVDECファシリティー利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。

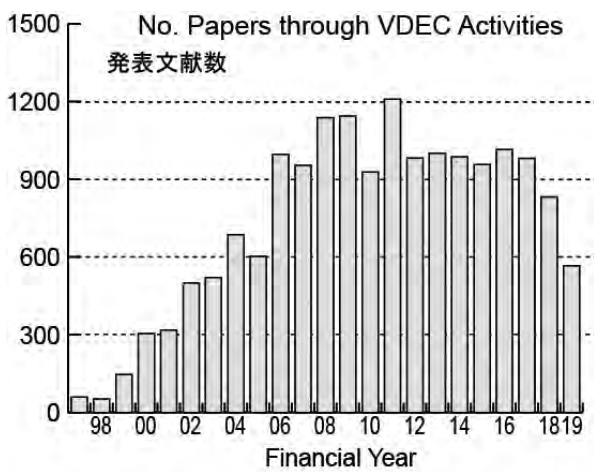


図2.3 VDECを利用した発表文献数の推移

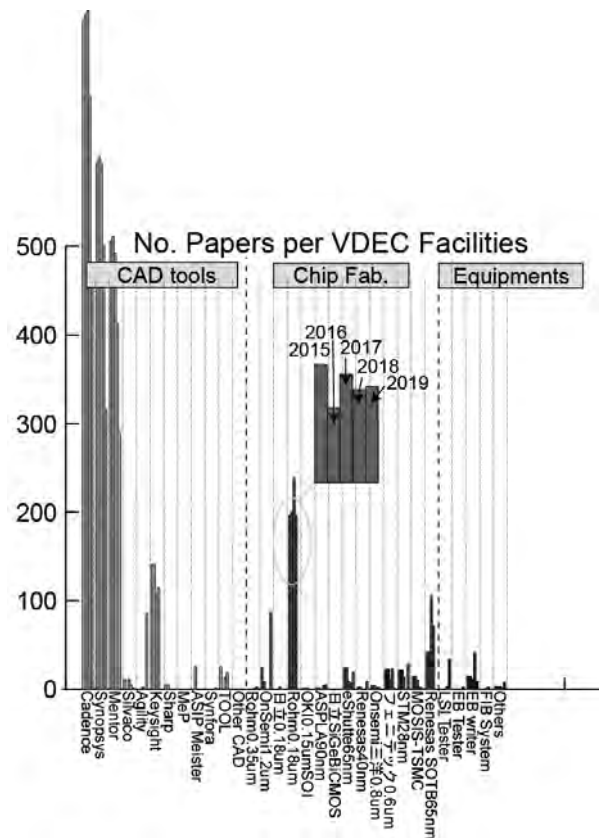


図2.4 VDECファシリティー利用状況

2.2 CADソフトウェアの整備

1996年度から整備を行っているCADソフトウェアは、2020年度は表2.2.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図2.2.1に示す全国地域拠点校10箇所 licensesサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した

運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

東京大学VDEC活動を通じたVDECのCADの利用、および「2.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

表2.2.1 導入されたCADシステム

名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor 社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco 社設計ツール	高速回路シミュレーション	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC 言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL

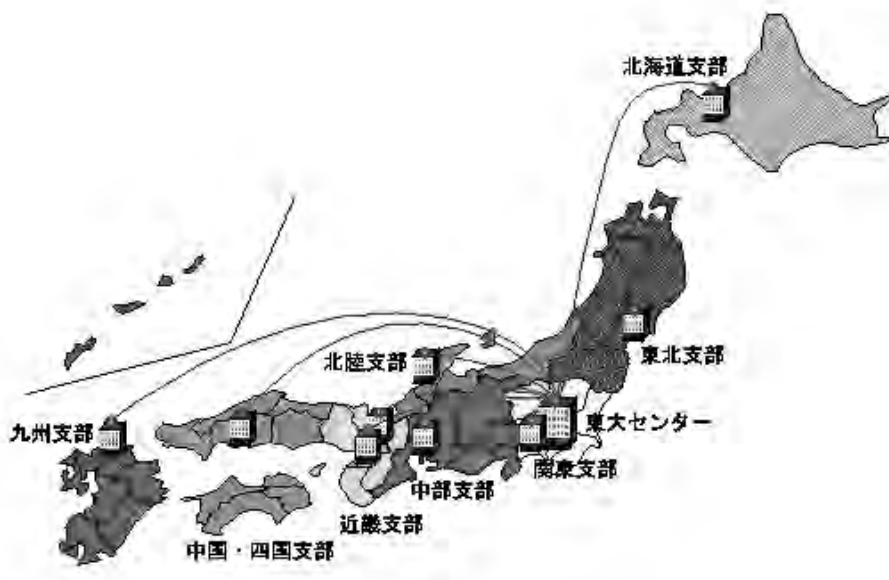


図2.2.1 全国地域拠点校

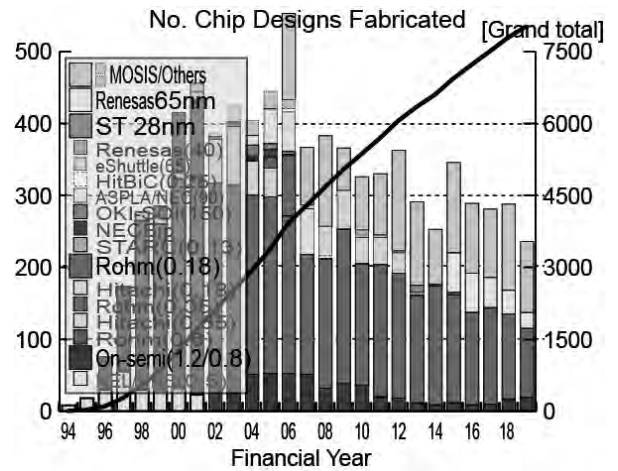
2.3 VLSIチップ試作

2.3.1 VLSIチップ試作の推移

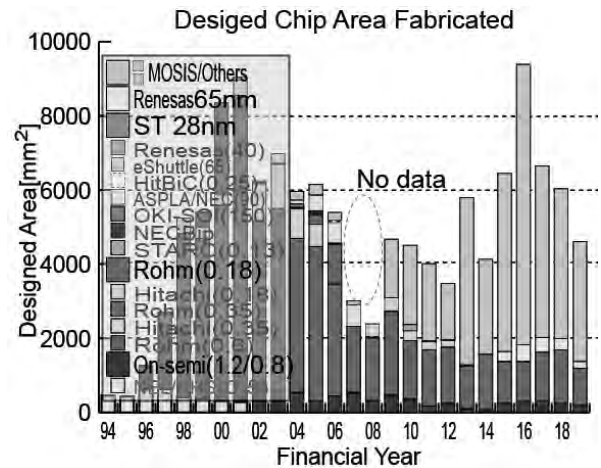
図2.3.1は、VDECおよび、それに先行して行われたパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSIチップ試作は、平成6、7年度（1994、1995年度）のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS0.5 μ m（当該プロセスはその後日立北海セミコンダクタ社に継続）1社であったが、平成8年度（1996年度）のVDEC発足後、日本モトローラ社のCMOS1.2 μ m（平成11年度からは、オン・セミコンダクターにて継続）が協力を開始し、平成9年度からはローム社のCMOS0.6 μ mが加わった。さらに平成10年度には日立製作所のCMOS0.35 μ m、平成11年度にはローム社0.35 μ mがそれぞれ加わった。また、IP開発プロジェクトの一環としてSTARC0.13 μ mの試作を行った。平成13年度から、日立製作所のCMOS0.18 μ mのサービスを実施している。平成14年度は、広島大学岩田先生の主導の下に、VDECとMOSISの協力による試作サービスを試行的に実施した。これは、TSMC、IBMといった海外のファブをMOSISを経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った。平成16年からテスト試作として沖電気CMOS SOI 0.15 μ mプロセスおよびASPLA 90nm（現在はSTARCにおいて継続）プロセスの試作を開始し、90nm試作については平成17年度より通常の試作として公募の形で運用を行っている。さらに平成18年度からはローム社0.18 μ mの試作を開始し、日立製作所0.25 μ m SiGeBiCMOSのテスト試作を実施した。平成19年度で終了した90nm CMOSの後継の先端プロセスの検討を平成19年度から開始し、平成20年度にeShuttle社の65nm CMOSによる試作を開始した。さらに経済産業省-STARCのプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の40nm CMOSによる試作も開始した。一方で平成23年9月試作をもってCMOS1.2 μ mを終了することとなったほか、平成24年度をもってルネサスエレクトロニクス社の40nm CMOS 試作が終了、平成25年8月シャトルをもってeShuttle社の65nm CMOS 試作が終了した。CMOS1.2 μ mの後継として、オンセミー三洋半導体製造社の協力により平成24年10月にCMOS0.8 μ mのテスト試作を実施し、平成25年度から定常試作として継

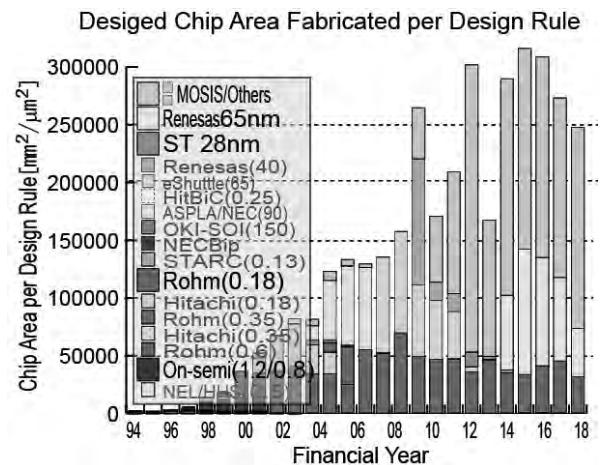
続している。最先端試作としては、平成25年度からフランスCMPを介してSTマイクロ社FD-SOI 28nm CMOS 試作を開始した。また、平成27年度から定常試作として、ルネサスエレクトロニクス社SOTB 65nm CMOS 試作を開始した。また平成28年度にリコー電子



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図2.3.1 チップ試作数・面積推移

デバイス株式会社による CMOS 0.6um 高耐圧試作の検討および、三重富士通株式会社による CMOS 40nm 試作の検討を開始した。

図2.3.1 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成14年度に減少しているが、これは ROHM 社の0.6um プロセスを終了したことによる現象が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に 0.35 μ m が終了し、平成19年度以降0.18 μ m への移行したことにより、試作数が130品種程度減少し、さらに平成19年度に ASPLA 90nm CMOS 試作が終了し、eShuttle 65nm CMOS への移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図2.3.1 (b) に設計されたチップ面積を示す。一方設計量の指標として、図2.3.1 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、

試作面積の減少主要因になっていることが考えられる。

また、図2.3.2にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ルネサスの65nm プロセスが91名、ロームの0.18um プロセスが297名、オンセミ三洋 0.8um プロセスが48名となっている。

2.3.2 2019年度チップ試作概況

2019年度は、表2.3.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第4章のチップ試作報告を参照されたい。

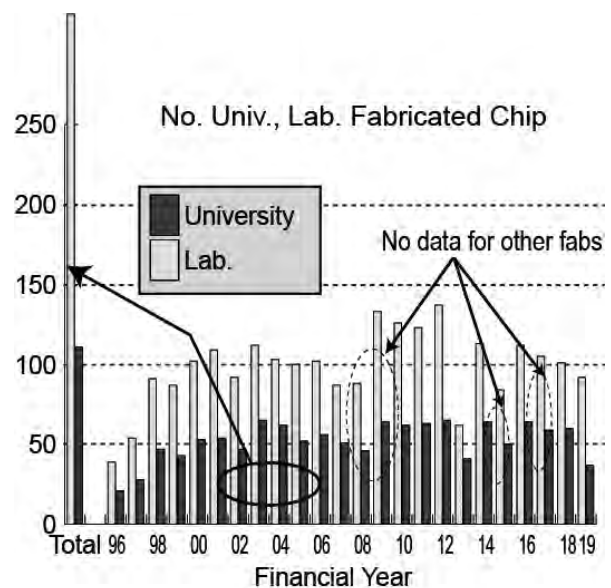


図2.3.2 VDECチップ試作参加教員数・大学数の推移とその累計

表2.3.1 平成30年度チップ試作日程

○oCMOS 0.8um(オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
2019年度第1回	2019/7/8	2019/9/30	2019/12/23
2019年度第2回	2020/1/6	2020/3/30	2020/6/18

○CMOS 0.18um(ローム)

	試作申込締切	設計締切	納品・試作完了
2019年度第1回 (2019年7月試作)	2019/4/1	2019/6/24	2019/10/9
2019年度第2回 (2019年9月試作)	2019/6/17	2019/9/9	2019/12/18
2019年度第3回 (2019年11月試作)	2019/8/5	2019/10/28	2020/2/20
2019年度第4回 (2020年3月試作)	2019/12/2	2020/2/24	2020/6/18

○SOTB 65nm CMOS

	試作申込締切	設計締切	納品・試作完了
2019年度第1回 (2019年8月試作)	2019/6/17	2019/7/29	2020/2/25
2019年度第2回 (2020年3月試作)	2020/1/27	2020/3/9	2020/7E

2.3.3 ライブラリ・設計フロー整備状況

VDECにおけるチップ試作（主にデジタルLSI試作）では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブラリ整

備事業を行ってきた。平成21年度にはアナログ設計向けの設計キット（PDK）の構築をローム0.18umCMOS向けに行った。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表2.3.2に示すとおりとなっている。

表 2.3.2 VDECで利用可能なライブラリ

プロセス	名称	作成者	内容	状況
ローム 0.18 μ m	ローム提供ライブラリ	ローム提供 スタンダードセル、IOセル、RAM (セルはすべてブラックボックス) (CDROMにて配布)	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ 配置配線用LEF/DEFファイル	
	京大ライブラリ	京都大学 小野寺研究室	・ Synopsys用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Astro用配置配線ライブラリ	
	東大ライブラリ	ライブラリ情報は京都大学 小野寺研究室、東大VDECにてフロー構築	・ Cadence RTL Compiler用論理合成ライブラリ	
			・ VerilogXL用シミュレーションライブラリ	
			・ Cadence Encounter用配置配線ライブラリ	
	PDK	東京大学VDEC	IC6.1向けPDK	

2.4 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。令和1年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。

2.4.1 VDEC ユーザ向け CAD セミナー

CAD 技術セミナーへの参加要望は常に非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整

備を行ってきた。CAD 利用のための技術セミナーでは、VDEC で使用可能なCadence, Synopsys, Keysight などCAD ベンダーのそれぞれのCAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。東大VDECがメイン会場として開催し、VDEC拠点校にストリーミング配信をする。年度内2回開催し、それぞれ、数日間の講習会となる。一つのツールは1日や二日間となっている。教員・学生は本講習会を通して最新版CAD ツールの使用方法やVDEC ライブラリを用いたVLSI 設計フローを修得している。

表2.4.1 令和1年度 CAD 技術セミナー開催状況
第1回CAD講習会

日程	コース	場所	参加人数
8/21	Synopsys Sentaurus (TCAD)	東京大学	10
8/21	Synopsys Sentaurus (TCAD)	名古屋大学	0
8/21	Synopsys Sentaurus (TCAD)	大阪大学	2
8/21	Synopsys Sentaurus (TCAD)	秋田県立大学	4
8/21	Synopsys Sentaurus (TCAD)	信州大学	3
8/28	Synopsys HSPICE	東京大学	8
8/29	Keysight GoldenGate	東京大学	2
8/29	Keysight GoldenGate	広島大学	5
8/29	Keysight GoldenGate	秋田県立大学	4
8/29	Keysight GoldenGate	信州大学	6
9/17、18	Cadence Virtuoso Analog Design Environment (ADE) Explorer	東京大学	7
9/17、18	Cadence Virtuoso Analog Design Environment (ADE) Explorer	京都大学	5
9/17、18	Cadence Virtuoso Analog Design Environment (ADE) Explorer	広島大学	1
9/17、18	Cadence Virtuoso Analog Design Environment (ADE) Explorer	秋田県立大学	3
9/17、18	Cadence Virtuoso Analog Design Environment (ADE) Explorer	信州大学	6
9/20	Synopsys PrimeTime (Basic)	東京大学	6
9/20	Synopsys PrimeTime (Basic)	広島大学	1
9/24、25	Cadence Virtuoso Analog Design Environment (ADE) Assembler	東京大学	6
9/24、25	Cadence Virtuoso Analog Design Environment (ADE) Assembler	名古屋大学	0
9/24、25	Cadence Virtuoso Analog Design Environment (ADE) Assembler	京都大学	6
9/24、25	Cadence Virtuoso Analog Design Environment (ADE) Assembler	広島大学	1
9/24、25	Cadence Virtuoso Analog Design Environment (ADE) Assembler	秋田県立大学	2
9/24、25	Cadence Virtuoso Analog Design Environment (ADE) Assembler	信州大学	7

第2回CAD講習会 今年は、新型コロナウイルスの影響があるため、第2回はオンライン開催となった。

日程	コース	場所	参加人数
3/12	Cadence PVS	WebEx	21
3/13	Cadence Quantus	WebEx	15
3/16	Cadence System Verilog Real-Number Modeling	WebEx	17
3/19	Synopsys SiliconSmart	WebEx	13
3/24、25	Cadence SKILL	WebEx	24
3/16	Synopsys StarRC	WebEx	14

2.4.2 社会人・大学向けリフレッシュセミナー

今年も集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表2.4.3)。

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平

成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。



図2.4.2 リフレッシュ教育会場風景(東大VDECセミナー室)

表2.4.3 リフレッシュセミナー開催状況

日程	コース	内容	講師	参加人数
6/24、26	コース A : アナログ集積回路設計と演習	回路設計、回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計、検証(DRC、LVS)	杉本泰博(中央大学) 小野寺秀俊(京都大学) 小谷光司(東北大学)	45
6/11、12	コース M1 : MEMS設計と演習	MEMSの基礎1: 作製法 MEMSの基礎2: 動作原理 機構設計 レイアウト設計	三田吉郎 (東京大学)	8
7/9、10、11	コース M2 : MEMS試作と評価	CAD設計・解析 リソグラフィ、エッチング、リリース 振動解析測定	三田吉郎 (東京大学)	4
8/5、6	コース R : CMOS-RF集積回路設計と演習	変復調、多次元接続方式 回路の基本性能、トランシーバアーキテクチャ 要素回路、設計フロー	伊藤 浩之 (東京工業大学)	10
8/8、9	コース VT: VDEC環境でのトランジスタレベル設計講習会	VDEC連携提供したツールとプロセスでのカスタマイズ設計フロー	名倉 徹 (福岡大学)	7
8/19、20	コース VD : VDEC環境でのデジタル設計講習会	VDEC連携提供したツールとプロセスでのデジタル設計フロー	小林 和淑 (京都工芸繊維大学)	3

2.4.3 大学向けデザイナーズフォーラム

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム (VDEC Designers Forum) を開催している。VDEC LSI デザイナーフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で

苦労した点、失敗事例と解決策、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。

表2.4.4 デザイナーズフォーラムプログラム

9/27、28 山形天童温泉 参加人数：27人

9/27

時間	
12:00-12:30	会場受付
12:40-14:20	VDEC デザインアワード発表会 I
14:30-16:10	VDEC デザインアワード発表会 II
16:20-17:40	VDEC デザインアワード発表会 III
19:00-	VDEC デザインアワード表彰式 & 懇親会

9/28

時間	
9:00-10:00	VDEC アイディアコンテスト発表会
10:00-12:00	Ph.D 企画セッション
12:00-13:00	基調講演
13:00-13:10	閉会

2.5 装置の整備・運用・利用公開

d.lab/VDECでは、大型装置公開事業すなわち、単独研究室では取得・維持管理が困難な装置をVDECで代表して導入管理し、ユーザーは無償または廉価に利用するというスキームを、「CAD」「LSIマルチチップ」「テスト」とならぶ4本柱の一つとして継続的に運用している。表1.5.1に主要装置の一覧と利用公開の状況を示す。装置はVLSI用大型テスターと、その他のプロセス装置とに大別でき、テスターは武田先端知ビル1F104号室、プロセス装置は武田地下クリーンルーム並びに武田ビル204バックエンド加工室にある。プロセス装置は平成24年度より文部科学省「ナノテクノロジー・プラットフォーム」に参加したことで、さらに多くのユーザーに対する支援体制を整備することができている(ナノテクノロジー・プラットフォームについては1.8節を参照いただきたい。).

2019年度はVDEC並びに関連研究室の自助努力分を合わせて、高精細電子顕微鏡日立ハイテクノロジーズ

Regulus SU8230, エネルギー分散型X線分析装置(EDX)付電子顕微鏡JEOL JSM-6610LVを購入した。また、1kWCO2レーザーにより、3mm厚のアルミ板までカットできる高出力レーザーカッターを204バックエンド加工室に導入した。

装置の利用については、人的リソースが限られている状況でもできるだけ多く利用機会を設けたいという思想から、免許を持っている人間から一定期間装置利用法を習得し、試験に合格したのち利用資格を与える「徒弟免許制度」を基本とした運用を行っている。利用者資格を有する者、資格者の同伴、ナノテク支援員の同伴、代行といった様々な形態のスポット利用が可能である。個別の装置についての利用相談は、VDECの教職員までお寄せいただきたい。

表2.5.1 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSI テストシステム	EBテスター: IDS10000	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える 384ピン、1GHzまでのデジタル回路のテストを行える。	整備中	nanotech@sogo. t.u-tokyo.ac.jp
	LSIテスター: ADVANTEST T2000	256ピン、512MHzまでのデジタル回路のテストを行える。アナログオプションを整備中。	試験公開中	nanotech@sogo. t.u-tokyo.ac.jp
	回路修正用 FIB:V400ACE	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能。加工ガスによりバルクシリコンを裏面から高速にポイントエッチング可能。	公開中	nanotech@sogo. t.u-tokyo.ac.jp
	オートプローバ: PM-90-A	ウエハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン配置で試作したチップを測定するためのプローブカードを備えている	希望に応じ利用可能	nanotech@sogo. t.u-tokyo.ac.jp
	アナログ・RF測定 装置一式: B1500A,HP4156B, HP4284, etc	DCパラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置	希望に応じ利用可能。但しVDECの業務による利用を優先とする	nanotech@sogo. t.u-tokyo.ac.jp

アナログ・RF 測定システム	低雑音マニュアル プローバ: Cascade 社	マニュアルにて6インチまでのウエハ上のチップ の測定が可能。測定には、通常のプローブ針（6 本まで）のほか、50GHzまでの測定が可能な高 周波プローブを2本備える	希望に応じ利 用可能。但し VDECの業務 による利用を 優先とする 公開中	nanotech@sogo. t.u-tokyo.ac.jp
	低雑音・温度制御 機構付きセミオー トプローバ: Süss Microtec社	8インチまでのウエハ上のチップの測定が可能。 ウエハ温度を-50°Cから200°Cまで制御可能。プ ローブカードによる測定。GPIBを介した制御 を行うことで半自動測定も可能		
ナノテクノロ ジー・プラッ トフォームの 主な装置	マスク描画・ウエ ハ直描装置: F5112+VD01	半導体製造用2.3mm厚5インチマスクの描画およ びエッチング、2-8インチ並びに不定形ウエハ への直接描画が可能。参考描画寸法50nm L/S.	公開中	nanotech@sogo. t.u-tokyo.ac.jp
	大面積高速電子線 描画装置: F7000S- VD02	半導体製造用2.3mm厚5インチマスクの描画およ びエッチング、2-8インチ並びに不定形ウエハへ の直接描画が可能。キャラクタプロジェクト 機能により、円形や三角形、斜め線などの高速・ 高精細描画が可能。参考描画寸法1Xnm L/S	公開中	
	塩素系プラズマ エッチャー CE-S	Cl ₂ , BCl ₃ を使った金属のプラズマエッチングが 可能。	公開中	
	シリコン深掘り エッチング装置 MUC-21 ASE- Pegasus	ボッシュプロセスによる高速・高アスペクト比シ リコン深掘りが可能。	公開中	
	FIB装置: SII XVision 200TB	ガラスマスクの欠陥修正の他、断面観測のための 加工等が可能。ナノテクノロジー・プラットフォーム にて利用可能。	公開中	
精密ボンデ ィングシステム 系	ウェッジボンダー: Westbond 7476D	25μmφアルミまたは金線によるウェッジボン ディングが可能	公開中	
	エポキシダイボン ダー Westbond7200C	精密マニピレータにより、エポキシや銀ペース トを用いたチップ配置、細線の配線が可能		
	セミオートボン ダー Westbond4700E	18~25μmφの金細線を用いたボールボンデ ィングまたはボールバンプの形成が可能		
	精密マニュアルフ リップチップボン ダー Finetech Fineplacer Lamda	15mm角までのチップ同士をテレビカメラで目視 しながら接合することが可能。ランプ加熱による 熱接合（超音波オプション購入可能）位置合わせ 精度XY±0.5μm, θ=1mrad.		

2.6 2020年度の活動計画

2020年度においても、従来の設計情報発信、CADツール提供、チップ支援、寄付講座「D2T」の活動を継続する。

【設計情報発信・セミナー開催】

本年度は、1997年度より継続しているCADツール利用法に関する技術セミナー、1998年度から継続している社会人向けの「リフレッシュセミナー」、1996年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

【CADツール提供】

上流設計 (Cadence, Synopsys)、中流設計 (Synopsys, Cadence)、下流設計 (Cadence) の各基本ツールを、2020年度もサポートしていく。これに加え2002年度から導入した設計検証 (Mentor: Caribra, ModelSim, Handel-C等)、2004年度から導入したアナログRF設計ツール (Agilent: GoldenGate, ADS/RFDE) を継続してサポートするとともに、2005年度より提供を受けているSharp社Cベース設計ツール (BachC) を継続してサポートする。2008年度より提供を開始しているTOOL社レイアウト表示プラットフォーム (Lavis) に関しても利用状況に基づき継続を行うとともに、2011年度からのSpringSoft社の検証ツールは、SpringSoft社がCadence社に買収されCadence社のツール群としてのサポートが継続されることになっている。

【チップ試作支援】

2020年度は、2019年度から引き続きローム株式会社の0.18 μ m CMOS プロセスおよびオンセミ-三洋半導体0.8 μ m CMOSを定常試作として継続する (すでに一部の試作は進行中である)。なお、一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある。また、2017年度から技術的相談を開始しているリコー電子デバイス株式会社の0.6 μ m高耐压CMOS試作および三重富士通株式会社の40nm CMOSプロセスによる試作を検討する。なおSOTB 65nm CMOSに関しては試作会社の都合により2020年第1回試作をもって試作を終焉させる。

【その他】

経済産業省・NEDOの「AIチップ開発加速のためのイノベーション推進事業」における「AIチップ開発を加速する共通基盤技術の開発」事業を受託することで「AIチップ開発拠点」の整備を継続する。具体的には、産業技術総合研究所と共同で大規模AIデジタルチップ設計検証向けのロジックエミュレータを導入するとともに、産業応用可能なEDAライセンスの整備運用を行う。なお、本事業はAIチップ開発加速に向け、AIチップの設計・評価・検証等の開発環境を中小・ベンチャー企業に提供することを主眼としているが、AIに関連した集積回路分野における大学発の企業化の促進も目指し大学からの利用の環境も整備を進める予定である。

表2.6.1 VDECチップ試作スケジュール (2020年度)

【CMOS 0.8 μ m 2P2M】 オン・セミコンダクタ

	試作申込開始	試作申込締切	設計締切	納品・試作完了
2020年度第1回	2020/4/13	2020/7/6	2020/9/28	2020/12/21
2020年度第2回	2020/10/12	2021/1/12	2021/3/29	2021/6/28

【CMOS 0.18 μ m 1P5M (+MiM)] ローム株式会社

	試作申込開始	試作申込締切	設計締切	納品・試作完了
2020年度第1回 (2020年7月試作)		2020/3/16	2020/6/8→ 6/29 に延期	2020/9/25
2020年度第2回 (2020年9月試作)		2020/6/15	2020/9/7	2020/12/28
2020年度第3回 (2020年11月試作)	2020/5/11	2020/8/3	2020/10/26	2021/2/12
2020年度第4回 (2021年3月試作)	2020/9/7	2020/11/30	2021/2/22	2021/6/11

【SOTB CMOS 65nm】

	試作申込開始	試作申込締切	設計締切	納品・試作完了
2020年度第1回		2020/7/20	2020/8/24	2021/2/1

2.7 VDEC発ベンチャー

VDECでの設計/試作経験、人材育成が有効には機能した事例といたしまして、VDECと関連があった（ある）教員が起業したベンチャー企業のリスト（順不同）を以下に示します。

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生： 神戸大学 瀧 和男 教授（同社、代表取締役社長）

事業内容： (1) LSI設計受託開発・
(2) エンジニア派遣

[2] 株式会社シンセシス

(2017年7月1日に株式会社ソリトンシステムズと合併、<https://www.soliton.co.jp>)

代表の先生： 大阪大学 白川 功 名誉教授（同社、取締役）

事業内容： (1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供
(4) 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<http://www.asip-solutions.com/>)

代表の先生： 大阪大学 今井 正治 教授（同社、代表取締役 CTO）

事業内容： (1) IoT応用システムの研究、開発、教育およびコンサルテーション
(2) ASIP設計ツールの販売、ASIP開発のコンサルテーション

[4] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生： 九州工業大学 中村 和之 教授（同社、代表取締役）

事業内容： (1) 大規模半導体集積回路（LSI）の設計・開発
(2) LSI設計用CAD、及びLSI評価用装置の開発
(3) 設計コンサルティング、他

[5] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

代表の先生： 広島大学 岩田 穆 名誉教授（同社、代表取締役）

事業内容： (1) 半導体集積回路（IC）およびIC評価ボードのアナログ設計/測定業務
(2) 基板クロストーク雑音の解析・低減業務
(3) 人材育成やOJT、講習会企業との協力と人材育成

[6] 有限会社 石島電子技研 (<http://ishi.main.jp/>)

事業内容： (1) 電子回路・基板開発
(2) ソフトウェア開発
(3) コンサルティング

2.8 超微細リソグラフィ・ナノ計測拠点

d.lab/VDECでは、武田先端知ビルスーパークリーンルームを工学部総合研究機構と共同で運用し、オープンな拠点として全国の学・産・官に広く公開している。平成23年度で終了したナノテクノロジーネットワーク事業に引き続き、東京大学を代表して平成24年度より開始された文部科学省ナノテクノロジープラットフォームの微細加工実施機関となって、「超微細リソグラフィ・ナノ計測拠点」を運営している。一研究室では取得維持が困難な装置群を、組織的に維持管理し、学内外、特に学外の企業に公開するというプロジェクトである。平成27年度より「微細加工プラットフォーム代表機関（京都大学）」のサブセンターとして、主に東日本を担当するコーディネータ業務を受託している。VDECの微細加工拠点は、株式会社アドバンテスト社製の量産向け高速電子線描画装置を改造して、1cm角から8インチ丸までの任意形状にまで描画できるようにしたF5112+VD01ならびに、8インチまでの任意形状に描画できる柔軟性・大面積描画性はそのままに、20nmを切る解像度向上と、機器中のステンシルの影像を精密に縮小投影する「キャラクタ（セル）プロジェクション」に正式対応した後継機F7000S-VD02を核に、武田先端知ビルスーパークリーンルームでの活動を支援している。さらに、VLSIファウンドリ活動の日本代表という立ち位置を最大限利用し、「フェニテックセミコンダクター」プロジェクトとの協業により、VLSIをVDECで試作し、ウエーハ状態のLSIの供給を受け、ナノテクプラットフォームでMEMS後加工するという新たな「More-Than-Moore」系の研究支援スキームを安定的に運用している。実績は極めて好調であり、平成24年度（ナノテクプラットフォーム開始時）から28年度末までに登録した

研究グループ数は累積372（前年度+39）となった。これは2000年から2004年の利用研究グループ数の16倍（2018年度は15倍）である（図1）。平成30年度の利用研究室数（支払ユニット数）は158であった。「利用報告書」は158件であり、内訳は企業36、公的機関14、他大学38、東大70（理学系、工学系、情報理工、新領域、医学系、環境安全、素粒子、生産研、先端研、運営関連研究室）である。超大口の研究室数が減少し、中～小口の利用が増えていること、企業による利用が順調に増加していることが特筆される。これはナノプラットフォーム開始後7年を経て、微細加工による新規デバイス開発を研究の一部に組み込む団体が増えているためと推察される。最も利用されている装置は電子線描画装置である。描画回数の年次変化を図2に示す。月当たりの描画枚数が210枚を超えている。他の装置も含め、絶えず右肩上がりの成長をしている。新規リソグラフィ装置の導入等の工夫により、更なる利用スループットを向上すべく各方面と調整中である。これだけ好評である理由の一つは、経験豊富な技術支援者のアテンドによる技術補助利用、技術代行利用が好評を博しているため、さらなる利用の向上が期待できる。

国際的プレゼンスも高い。特にフランス共和国における同種のプロジェクトである「CNRS-RENATECH」より名指しで依頼を受け、クリーンルームマネージャによるヨーロッパ運営会議（ENRIS）で講演した。さらに、経済協力開発機構（OECD）のオープンプラットフォームに関する国際ワークショップに招聘され、成功する運営の手法について議論した。

URL:<http://nanotechnet.t.u-tokyo.ac.jp/>

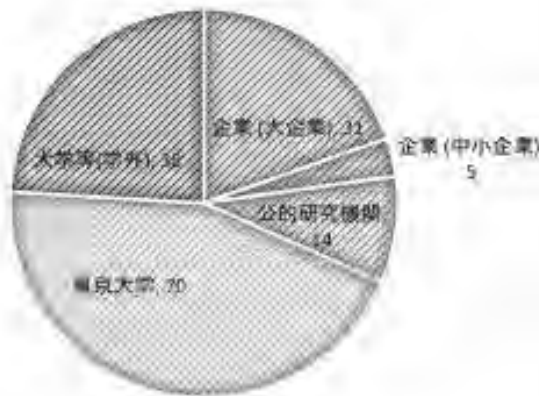


図1：ナノテクノロジープラットフォーム報告書の所属別枚数（全158報告）



図2：d.lab/VDEC電子線描画装置の月あたり平均描画枚数

第3章 「アドバンテストD2T寄附研究部門」活動報告

3.1 「アドバンテストD2T寄附研究部門」の紹介

3.1.1 アドバンテストD2T寄附研究部門設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。

このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテストD2T寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテストD2T寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく”Design to Test (D2T)”の理念のもと、国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月（第1期）、2010年10月～2013年9月（第2期）、2013年10月～2016年9月（第3期）、2016年10月～2019年9月（第4期）の計12年間に渡るプロジェクトを遂行してきました。2019年度の報告は第4期の最終年度、2018年9月～2019年9月の活動報告となります。東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)が2019年10月

に発足後、D2T寄附研究部門は研究のさらなる発展、D2T教育により重心を置いた「アドバンテストD2T寄附講座」としてセンター内に設置されました。2019年10月から株式会社アドバンテストのご厚意により新たに開始した第5期（2019年10月～2022年9月）の一年目が開始し、D2Tに関する研究とともに、教育活動の充実図っていく予定であります。

また2019年度はフランスCNRS, University of Paris-Saclayから黄吉卿特任准教授（2019年7月～9月）、台湾、国立台湾大学から林宗賢特任教授（2019年8月～）を客員教員として招聘しており、d.lab-VDECの研究および教育活動に大きな力を与えて頂いております。

当寄附研究部門/寄附講座の活動の詳細については、続く各章においてそれぞれ報告いたします。

3.1.2 アドバンテストD2T寄附研究部門構成員

特任教授	藤田 昌宏
特任准教授	黄 吉卿（2019年7月～9月）
特任教授	林 宗賢（2019年8月～現在）
特任講師	肥後 昭男
共同研究員	浅見 幸司（株式会社アドバンテスト研究所）
学術支援職員	山口 隆弘
事務補佐員	岡崎 真紀子

3.2 「第14回D2Tシンポジウム」開催報告

2019年9月6日（水）に、東京大学武田ホールにおいて「第14回D2Tシンポジウム」を開催し、たくさんの皆様にご参加を頂きました。

今回のシンポジウムでは、カリフォルニア大学バークレー校の Alan Mishchenko 研究員、アイオア州立大学の Degang Chen 教授、国立台湾大学の Tsung-Hsien Lin 教授、CNRS, University of Paris-Saclay の Gilgueng Hwang 准教授、ユタ大学の Priyank Kala 教授、香港科技大の Tim Cheng 教授、オーバーン大学の Adit Singh

教授の7名を招待講演者としてお招きし、「IoT、バイオシステム、RF、機械学習」をキーワードに最新の研究についての貴重な講演を頂きました。

閉会後の懇親会まで多くの方にご参加を頂き、大変盛況な会となりましたことを改めて御礼申し上げるとともに、今後開催される第15回シンポジウムへのご参加を心よりお持ち申し上げる次第です。

アドバンテスト D2T 寄附研究部門 東京大学 大規模集積システム設計教育研究センター
VLSI Design and Education Center VDEC

第14回 D2Tシンポジウム

Design to Test Structures and Verification for AI, photonics and nanorobot

東京大学大規模集積システム設計教育研究センターでは、株式会社アドバンテストからの寄附によるアドバンテストD2T寄附研究部門において、「D2T (Design-to-Test)」の理念に基づき、「設計」と「テスト」の橋渡しを目的とした研究・教育活動を行なっています。その一環として開催して参りました D2Tシンポジウムを今年も下記の通り開催いたします。当日までに招待講演者が増える可能性もありますので、HP でのご確認をどうぞよろしくお願いたします。



2019 9/6 FRI
10:00-18:00

東京大学 武田先端知ビル 5階
武田ホール

Keynote Speakers	
 <p>Alan Mishchenko <i>Full researcher, Electrical Engineering and Computer Sciences, University of California, Berkeley, "Circuit-Based Intrinsic Methods to Detect Overfitting"</i></p>	 <p>Tsung-Hsien Lin <i>Professor, National Taiwan University, "Sensor Readout Circuits for IoT/Bio-Medical Applications"</i></p>
 <p>Gilgueng Hwang <i>Associate Professor, Centre for Nanoscience and Nanotechnology, University Paris-Saclay, France, "Design, Fabrication and Characterizations of On-chip Micro/nanorobotic Swimmers Toward Biological Applications"</i></p>	 <p>K.-T. Tim Cheng <i>Professor, Hong Kong University of Science and Technology, "Electronic-Photonic Design Automation"</i></p>
 <p>Degang Chen <i>Professor, Jerry R. Junkins Chair in Electrical and Computer Engineering, Iowa State University "Effective and practical AMS DfT techniques for achieving robust performance and life-time reliability"</i></p>	 <p>Priyank Kalla <i>Professor, The University of Utah, "On Rectification of Arithmetic Circuits with Algebraic Geometry"</i></p>
 <p>Adit Singh <i>Professor, Auburn University, "The Next Major Test Challenge: Low Power Designs"</i></p>	



**武田ホール
武田先端知ビル
5F**

参加のお申し込み [参加費：無料] [懇親会：無料]
申し込み方法：下記ウェブサイトで事前申込をお願いします
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2019-j.html>

主催：東京大学大規模集積システム設計教育研究センター（VDEC）
後援：株式会社アドバンテスト
協賛（予定）：（一社）電子情報通信学会、（一社）情報処理学会、IEEE SSCS Japan Chapter、IEEE SSCS Kansai Chapter、応用物理学会 集積化 MEMS 技術研究会、ナノテスティング学会、（一社）電子情報技術産業協会、（一社）日本半導体製造技術協会、SEMI ジャパン、（一社）パワーデバイス・イネープリング協会、計測エンジニアリングシステム株式会社

お問い合わせ：東京大学 大規模集積システム設計教育研究センター アドバンテスト D2T 寄附研究部門
〒113-0032 東京都文京区湯生 2-11-16 武田先端知ビル 404 号室
Tel: 03-5841-0233 FAX: 03-5841-1093
<http://www.vdec.u-tokyo.ac.jp/> E-Mail: higo@it.u-tokyo.ac.jp

第14回 D2Tシンポジウム開催プログラム

10:00	Opening Remarks Masahiro Fujita (Director, VDEC, The University of Tokyo) Yoshiaki Yoshida (President & CEO, ADVANTEST CORPORATION)
10:15	Session 1 (Chairpersons: Masahiro Fujita, Zule Xu, Nguyen Ngoc MAI-KHANH VDEC The University of Tokyo) Circuit-Based Intrinsic Methods to Detect Overfitting Alan Mishchenko , Full Researcher (University of California, Berkeley) Effective and practical AMS DfT techniques for achieving robust performance and life-time reliability Degang Chen , Professor (Iowa State University) Sensor Readout Circuits for IoT/Bio-Medical Applications Tsung-Hsien Lin , Professor (National Taiwan University)
12:30	Lunch
14:00	Session 2 (Chairperson: Yoshio Mita, VDEC, The University of Tokyo) Design, Fabrication and Characterizations of On-chip Micro/nanorobotic Swimmers Toward Biological Applications Gilgueng Hwang , Associate professor (CNRS, University of Paris-Saclay) Design Automation for Silicon Nanophotonic Integration Priyank Kalla (The University of Utah)
15:30	Break
16:00	Session 3 (Chairperson: Virendra Singh, Dept. of EE, Indian Institute of Technology Bombay) Electronic-Photonic Design Automation K.-T. Tim Cheng , Professor (Hong Kong University of Science and Technology) The Next Major Test Challenge: Low Power Designs Adit Singh , Professor (Auburn University) Session 4 Recent D2T research division progress Akio Higo , Lecturer (VDEC, The University of Tokyo)
17:55	Closing
18:00	Reception

3.3 研究活動報告

高精度波形測定技術

山口隆弘, 肥後昭男, 飯塚哲也

確率的アナログ-デジタル変換器 (Stochastic Analog to Digital Converter; ADC) の研究を行っている。プロセスばらつきや電圧, 温度の変動によって生じるコンパレータのオフセットはADC特性の劣化の原因となる。一方, 確率的ADC方式は, 多数のコンパレータの統計的性質 (オフセットのランダムばらつきや熱雑音) を利用して精度を向上する。数値実験と試作したCMOS回路をもちいた実験により, 確率推定理論を検証した。確率の中央値をもちいたレベル交叉時刻検出方式について, 理想的確率推定, N個のコンパレータをもちいた確率推定を理論化するための数値実験をすすめた。条件: 外部雑音はゼロ, ランプ波を印加, 内部雑音と1-01遷移電圧のプロセスばらつきを変化させる。256個のコンパレータをもちいた確率推定理論を検証するための実験をすすめた。条件: 外部雑音はゼロ, 直流電圧をステップ印加。試作したCMOS回路は256個の差動コンパレータを集積している。ポイント: 時間領域では真値に近い値を再現性よく測定することは, 非常に手数を要する。このため, 電圧領域の測定に置き換え, さらに再現性を統計処理により確保し, 理論式を検証した。

広帯域周波数拡散向け高性能ADCとの応用

浅見幸司, Byambadorj Zolboo, 肥後昭男, 飯塚哲也, 藤田昌宏

IoTなどで使用される低価格のRFデバイスを, 低コストで高性能に測定するための圧縮サンプリング方式の研究を行っている。本年度はModulated Wideband ConverterをAutomatic Test Equipment (ATE)へRF測定システムとして搭載するため, Noise Figureの理論式を構築し, 実験によりその妥当性を確認した。本成果は, IEEE TCAS-Iへ投稿した。また, 実装時に発生する性能劣化要因の解析から, 性能を改善するためのCalibration方法を考案し, シミュレーションによりその効果を確認した。

高速高精度電子線描画技術

肥後昭男, 三田吉郎, 藤田昌宏

電子線直描 (Electron Beam Direct Writing; EBDW) によるマスクレス露光は, 安価かつ短 turn-around time (TAT) の露光技術としての期待が大きい一方で低いスループットやビーム形状に起因する図形再現性に課題があるとされている。我々は, キャラクタプロジェクション (Character Projection; CP) 方式を活用しながら上記の課題を克服し, MEMSやフォトリソ等の幅広い露光対象に対して有効な高速電子線直描処理環境を構築するための研究を行っている。

今年度は, CP方式とVariable-Shaped Beam (VSB) 方式を組み合わせた高速・高精度に露光するEB描画手法における描画結果評価の高精度化のための作製手法を検討している。その一環として, CPとVSBによる高速高精度描画を用いたガラス基板上ナノ周期構造プラズモンカラーフィルタに関する論文を発表した。

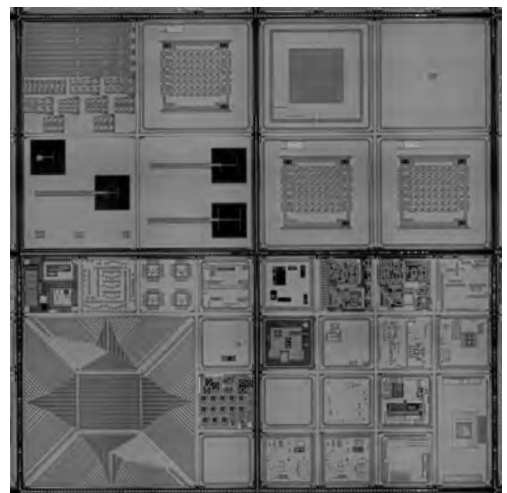
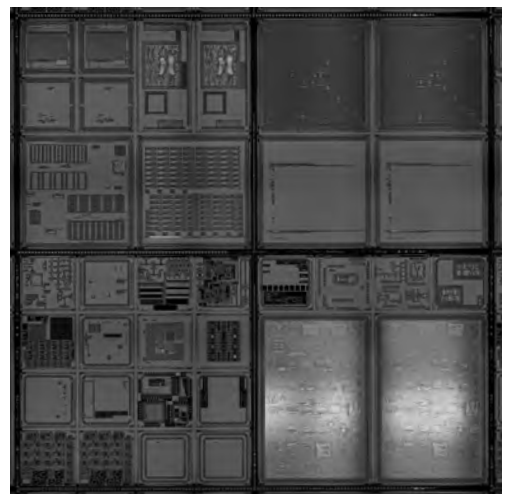
3.4 研究発表

論文誌

- [1] Akio Higo, Tomoki Sawamura, Makoto Fujiwara, Eric Lebrasseur, Ayako Mizushima, Etsuko Ota, Yoshio Mita, "Experimental Comparison of Rapid

Large-area Direct Electron Beam Exposure Methods with Plasmonic Devices," Sensors and Materials, Vol.31, No.8, pp.2511-2525, 2019 (2019.05) doi: 10.18494/SAM.2019.2443

第4章 チップ^o試作結果報告



4.1 試作ラン別一覧

平成30年度第2回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
CMOS デジタル・アナログ回路のテスト設計	東京電機大学工学部電気電子工学科 東京電機大学工学部電子システム工学科	福島 拓実, 瀬端 康平, 清水 優作, 橋本 陸 小松 聡	32
CMOS デジタル・アナログ回路のテスト設計	東京電機大学工学部電気電子工学科 東京電機大学工学部電子システム工学科	平野 皓士, 小山 泰成, 西岡 伊吹 小松 聡	32
静電容量式CMOS-MEMS圧力センサ (3×3アレイ)	東京電機大学大学院工学研究科	野口 駿太, 小松 聡	32
基本素子特性測定用 TEG チップ	日本大学大学院理工学研究科 日本大学理工学部	黒澤 実花, 小原 正也, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙 齊藤 健	33
四足歩行ロボットの歩容を再現する ニューロモーフィックIC TEGチップ	日本大学大学院理工学研究科 日本大学理工学部	小原 正也, 黒澤 実花, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙 齊藤 健	33
MEMSマイクロロボット用の歩容変化が 可能なハードウェアニューラル ネットワークの改良	日本大学大学院理工学研究科 日本大学理工学部	黒澤 実花, 小原 正也, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙 齊藤 健	33
静電モータを駆動するハードウェア ニューラルネットワークの TEG チップ	日本大学大学院理工学研究科 日本大学理工学部	佐々木 拓郎, 小原 正也, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榊 亜理沙 齊藤 健	34
制御系と MEMS マイクロロボットを 一体化するための低容量型ハードウェア ニューラルネットワーク	日本大学大学院理工学研究科 日本大学理工学部	早川 雄一郎 内木場 文男	34

平成31年度/令和元年度第1回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
CMOS-MEMS加速度センサの設計	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	上村 直義 小松 聡	35
静電容量式CMOS-MEMS圧力センサ (4×4アレイ)	東京電機大学大学院工学研究科	野口 駿太, 小松 聡	35
CV変換回路集積化静電容量式CMOS-MEMS 圧力センサ	東京電機大学工学部電子システム工学科 東京電機大学大学院工学研究科電気電子 工学専攻	井田 拓実, 小松 聡 野口 駿太	35
静電容量式CMOS-MEMSセンサ向け 高精度CV変換回路	東京電機大学工学部電子システム工学科	井田 拓実, 小松 聡	36
4bitメモリを用いたプロセッサ用SRAMの TEGチップ	日本大学大学院理工学研究科 日本大学理工学部	宮本 辰 小林 伸彰, 齊藤 健	36
静電モータを駆動するハードウェア ニューラルネットワークの TEG チップの改良	日本大学大学院理工学研究科 日本大学理工学部	佐々木 拓郎, 小原 正也, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榊 亜理沙 齊藤 健	36
四足歩行ロボット搭載用自己帰帰の特性を持つ ニューロモーフィック回路	日本大学大学院理工学研究科 日本大学理工学部	加藤 真也, 小原 正也, 黒澤 実花, 佐々木 拓郎, 宇佐見 雄, 榊 亜理沙 齊藤 健	37
階層型のパルス形ハードウェア ニューラルネットワーク	日本大学大学院理工学研究科 日本大学理工学部	宇佐見 雄, 小原 正也, 黒澤 実花, 佐々木 拓郎, 加藤 真也, 榊 亜理沙 齊藤 健	37
4足歩行型MEMSマイクロロボットに 実装可能なセンサ入力対応型ハードウェア ニューラルネットワーク	日本大学大学院理工学研究科 日本大学理工学部	早川 幹人 内木場 文男	37

平成30年度第4回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
Integrated Magnetic Near-Field Probe Improvement	東京大学大規模集積システム 設計教育 研究センター (VDEC)	Mai-Khanh Nguyen Ngoc	38
ブロードサイドアレー測定用 TEG	東京大学工学系研究科	原 崇文, 飯塚 哲也	38
ブロードサイドアレー測定用 TEG	東京大学工学系研究科	原 崇文, 飯塚 哲也	39
ブロードサイドアレー測定用 TEG	東京大学工学系研究科	原 崇文, 飯塚 哲也	39
ブロードサイドアレー測定用 TEG	東京大学工学系研究科	原 崇文, 飯塚 哲也	39
筋電測定回路ほか	福岡大学工学部 電子情報工学科	名倉 徹, 須藤 有香, 角田 祥梧, 樋口 洋彦, 永末 光	40
SPAD画素アレイを備えフォトンカウント イメージング動作とチップ内動被写体 検出機能を備えたイメージセンサの試作チップ	東京理科大学工学研究科	山崎 智裕, 浜本 隆之	40

シュミットインバータを用いたNN	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑	40
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 三河 樹由, 吉田 祐威 Jorge Canada, 福岡 龍人, 外村 崇史, 河添 翔平	41
フローティングインダクタによるトランスインピーダンスアンプと暗号用断熱的論理回路 TEG の試作	岐阜大学工学研究科 岐阜大学自然科学技術研究科 岐阜大学工学部	陳 翔宇 子安 博貴 高橋 康宏	41
PAM4信号トランスミッタにおける信号劣化補償実証チップ	滋賀県立大学工学部	市井 裕大, 井上 敏之, 岸根 桂路	41
光プローブ電流センサ向けオフセット補正光電流変換CMOSアナログフロントエンド回路の高精度化及び広帯域化	信州大学大学院総合理工学研究科 信州大学工学部	高木 憲太郎, 赤羽 和哉, 宮地 幸祐 清水 昂, 塚田 芳寿	42

平成31年度/令和元年度第1回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
ミリ波測定用 TEG	東京大学工学系研究科	原 崇文, 飯塚 哲也	43
ミリ波測定用 TEG	東京大学工学系研究科	原 崇文, 飯塚 哲也	43
ミリ波測定用 TEG	東京大学工学系研究科	原 崇文, 飯塚 哲也	43
メタルフリッジキャパシタを用いた CMOS プロセス互換な不揮発性メモリの TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	田中 一平 室原 脩人, 今川 隆司, 越智 裕之	44
フォトセンサの TEG	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	宮内 悠太, 田中 一平 今川 隆司, 越智 裕之	44
RF回路 TEG	岡山県立大学情報工学部	伊藤 信之, 八木 希知, 澤山 唯人, 田島 直樹, 吉澤 悠人	44
非同期デジタル回路向け電圧モード多値論理回路の動特性評価回路	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電気電子工学科 東京電機大学工学部電子システム工学科	岩井 一剛 平野 皓士 小松 聡	45
学部生へのレイアウト設計教育用メインチップ	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 山口 拓人, 鈴木 克典, 丹羽 春太, 唐鎌 侑馬 伊藤 大輝	45
ブリエンファシス・パルス設計理論の検証	静岡大学工学部	丹沢 徹	45
耐放射線回路、磁気センサの特性評価用 TEG	茨城大学工学部	木村 孝之	46
2Step-ADC, Active Inductor を用いた VCO	法政大学理工学部	原田 康平, 七田 洸介	46
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 三浦 大毅 吉田 祐威, Jorge Canada P, 福岡 龍人, 外村 崇史, 河添 翔平, 三河 樹由	46

平成31年度/令和元年度第2回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
メタルフリッジキャパシタの容量測定 TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	田中 一平, 宮内 悠太 今川 隆司, 越智 裕之	47
DTW 距離計算回路の試作と CLA 加算回路の動作検証	東海大学情報通信学部 東海大学情報通信学研究科	山本 遼, 中島 浩太郎, 平野 裕大, 八木 隼翔, 福原 雅朗 藏野 貴教, 恩地 夏央, 山田 海貴	47
位相シフト回路 TEG	中部大学工学部	宮本 順一	47
確率的フラッシュ ADC	東京電機大学工学部電気電子工学科 東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	福島 拓実, 西岡 伊吹 荒井 建輝 小松 聡	48
非同期デジタル回路向け電圧モード多値論理回路を用いた加算回路	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電気電子工学科 東京電機大学工学部電子システム工学科	岩井 一剛 平野 皓士, 瀬端 康平 小松 聡	48
IoTのためのアナログ回路 TEG	広島工業大学工学部 広島工業大学工学系研究科 電気電子工学専攻	升井 義博, 荒川 祐貴 上見 アレックス, 西宮 司, 田中 一輝	48
従来構成 NN のバッファだけ改良したレイアウト	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑	49
ニューロン CMOS インバータを用いた 3 種の回路の試作	東海大学情報通信学研究科 東海大学基盤工学部	恩地 夏央, 大塚 陸, 佐保 十世紀, 福原 雅朗 藤本 邦昭	49
2 Step-ADC, VCO, 2 次 1 bit 連続時間 $\Delta \Sigma$ ADC	法政大学理工学部	原田 康平, 鈴木 隆生, 布川 祥大	49
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 三浦 大毅, 八木 健太 吉田 祐威, 三河 樹由, 外村 崇史, 河添 翔平, 福岡 龍人	50
超低電圧リテンション SRAM	東京工業大学未来産業技術研究所	塩津 勇作, 吉田 隼, 北形 大樹, 山本 修一郎, 菅原 聡	50
光受信用アナログフロントエンド回路 TEG5	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	三輪 祐三久, 石原 直志 湯浅 貴文, 伊藤 大輔, 中村 誠	50

平成31年度/令和元年度第3回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
フォトセンサのTEG	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	宮内 悠太, 田中 一平 室原 脩人, 今川 隆司, 越智 裕之	51
RF回路TEG	岡山県立大学情報工学部	伊藤 信之, 澤山 唯人, 田島 直樹, 吉澤 悠人, 結城 主	51
逐次比較型A/D変換器向け 小型低消費電力D/A変換器の試作	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電気電子工学科 東京電機大学工学部電子システム工学科	岩井 一剛 平野 皓士, 瀬端 康平 小松 聡	51
オンチップ太陽電池と 環境電波発電向け整流回路	秋田県立大学システム科学技術研究科 秋田県立大学システム科学技術学部	宇佐美 蓮, 菊地 杜斗 小谷 光司	52
ニューラルネットワーク用モジュールの試作 (続き)	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹	52
オペアンプTEG	東北大学電気通信研究所	菊地 優志, 堀尾 喜彦	52
3次元積層チップの発熱温度解析に 向けた改良チップ	芝浦工業大学大学院理工学研究科 芝浦工業大学工学部	笈川 智秋 宇佐美 公良	53
圧電型MEMSミラーのための 駆動制御回路の集積化に向けた試作	兵庫県立大学大学院工学研究科	嶋田 倫太郎, 北田 友嗣, 前中 一介	53
シングルチャネル-マルチポート制御システム 用周波数識別回路チップ	滋賀県立大学工学部	木村 山紫郎, 市井 裕大, 井上 敏之, 岸根 桂路	53
光プローブ電流センサ向け容量型トランスイン ピーダンスアンプを用いた光電流変換CMOSアナ ログフロントエンド回路の高精度化及び広帯域化	信州大学大学院総合理工学研究科 信州大学工学部	赤羽 和哉, 宮地 幸祐 Nguyen Phuc	54

平成31年度/令和元年度第1回ルネサス CMOS 65nm 試作

題名	大学名	研究者	掲載頁
スタンバイ電圧生成回路の評価TEG	福岡大学工学部	西澤 真一	55
低消費電力近距離有線通信テストチップ	富山県立大学工学部 富山県立大学情報システム専攻	吉河 武文, 柴崎 淳詞, 石丸 雅裕 青山 晃大	55
耐放射線性能を高めた逐次比較型ADC	富山県立大学工学部 神戸大学イノベーション研究科 富山県立大学情報システム専攻	吉河 武文 三木 拓司 青山 晃大	55
集積化磁気センサの構成回路評価用TEG	茨城大学工学部	木村 孝之	56
RISC-Vプロセッサ+耐ソフトウェアFF+ 信頼性評価回路	京都工芸繊維大学工学部 東京理科大学理工学部	小林 和淑, 古田 潤, 榎原 光則, 河野 雄或, 足助 拓哉 岸田 亮	56
最小エネルギー点を追跡する RISC-Vプロセッサの試作	京都大学大学院情報学研究科 名古屋大学大学院情報学研究科	徐 宏傑, 石井 颯真, 松野 旺示, 黄 超, 永井 健太郎, 塩見 準, 小野寺 秀俊 石原 亨	56
しきい値電圧の違いによる 経年劣化評価試作チップ	東京理科大学理工学部 電気電子情報工学科 東京理科大学理工学研究科 電気工学専攻 京都工芸繊維大学電子システム工学専攻	岸田 亮 小高 孔頌 足助 拓哉, 中野 洋希, 小林 和淑	56
ガードゲート構造を用いた 耐放射線フリップフロップの評価チップ	京都工芸繊維大学電子システム工学専攻	古田 潤, 榎原 光則, 山田 晃大, 小林 和淑	57
最小エネルギー点を追跡する RISC-Vプロセッサの試作	京都大学大学院情報学研究科 名古屋大学大学院情報学研究科	徐 宏傑, 劉 晟宇, 松野 旺示, 黄 超, 永井 健太郎, 塩見 準, 小野寺 秀俊 石原 亨	57

4.2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
OS08182	静電容量式CMOS-MEMS圧力センサ (3×3アレイ)	野口 駿太, 小松 聡	32
OS08191	CMOS-MEMS加速度センサの設計	上村 直義, 小松 聡	35
OS08191	静電容量式CMOS-MEMS圧力センサ (4×4アレイ)	野口 駿太, 小松 聡	35
OS08191	CV変換回路集積化静電容量式CMOS-MEMS圧力センサ	井田 拓実, 小松 聡, 野口 駿太	35
OS08191	静電容量式CMOS-MEMSセンサ向け高精度CV変換回路	井田 拓実, 小松 聡	36

TEG (特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08182	基本素子特性測定用TEGチップ	黒澤 実花, 小原 正也, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	33
OS08182	四足歩行ロボットの歩容を再現するニューロモーフィックIC TEGチップ	小原 正也, 黒澤 実花, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	33
OS08182	MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワークの改良	黒澤 実花, 小原 正也, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	33
OS08182	静電モータを駆動するハードウェアニューラルネットワークのTEGチップ	佐々木 拓郎, 小原 正也, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	34
OS08182	制御系とMEMSマイクロロボットを一体化するための低容量型ハードウェアニューラルネットワーク	早川 雄一郎, 内木場 文男	34
OS08191	4bitメモリを用いたプロセッサ用SRAMのTEGチップ	宮本 辰, 小林 伸彰, 齊藤 健	36
OS08191	静電モータを駆動するハードウェアニューラルネットワークのTEGチップの改良	佐々木 拓郎, 小原 正也, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	36
OS08191	四足歩行ロボット搭載用自己帰帰の特性を持つニューロモーフィック回路	加藤 真也, 小原 正也, 黒澤 実花, 佐々木 拓郎, 宇佐見 雄, 榊 亜理沙, 齊藤 健	37
OS08191	階層型のパルス形ハードウェアニューラルネットワーク	宇佐見 雄, 小原 正也, 黒澤 実花, 佐々木 拓郎, 加藤 真也, 榊 亜理沙, 齊藤 健	37
OS08191	4足歩行型MEMSマイクロロボットに実装可能なセンサ入力対応型ハードウェアニューラルネットワーク	早川 幹人, 内木場 文男	37
RO18184	ブロードサイドアレー測定用TEG	原 崇文, 飯塚 哲也	38
RO18184	ブロードサイドアレー測定用TEG	原 崇文, 飯塚 哲也	39
RO18184	ブロードサイドアレー測定用TEG	原 崇文, 飯塚 哲也	39
RO18184	ブロードサイドアレー測定用TEG	原 崇文, 飯塚 哲也	39
RO18184	筋電測定回路ほか	名倉 徹, 須藤 有香, 角田 祥梧, 樋口 洋彦, 永末 光	40
RO18191	ミリ波測定用TEG	原 崇文, 飯塚 哲也	43
RO18191	ミリ波測定用TEG	原 崇文, 飯塚 哲也	43
RO18191	ミリ波測定用TEG	原 崇文, 飯塚 哲也	43
RO18191	メタルフリンジキャパシタを用いたCMOSプロセス互換な不揮発性メモリセルのTEGほか	田中 一平, 室原 脩人, 今川 隆司, 越智 裕之	44
RO18191	フォトセンサのTEG	宮内 悠太, 田中 一平, 今川 隆司, 越智 裕之	44
RO18191	耐放射線回路、磁気センサの特性評価用TEG	木村 孝之	46
RO18192	メタルフリンジキャパシタの容量測定TEGほか	田中 一平, 宮内 悠太, 今川 隆司, 越智 裕之	47
RO18192	位相シフト回路TEG	宮本 順一	47
RO18193	フォトセンサのTEG	宮内 悠太, 田中 一平, 室原 脩人, 今川 隆司, 越智 裕之	51
RO18193	オンチップ太陽電池と環境電波発電向け整流回路	宇佐美 蓮, 菊地 杜斗, 小谷 光司	52
RO18193	3次元積層チップの発熱温度解析に向けた改良チップ	笈川 智秋, 宇佐美 公良	53
RS65191	スタンバイ電圧生成回路の評価TEG	西澤 真一	55
RS65191	集積化磁気センサの構成回路評価用TEG	木村 孝之	56
RS65191	しきい値電圧の違いによる経年劣化評価試作チップ	岸田 亮, 小高 孔頌, 足助 拓哉, 中野 洋希, 小林 和淑	56
RS65191	ガードゲート構造を用いた耐放射線フリップフロップの評価チップ	古田 潤, 榎原 光則, 山田 晃大, 小林 和淑	57

アナデジ混載

ラン名	タイトル	研究者	掲載頁
RO18192	IoTのためのアナログ回路TEG	升井 義博, 荒川 祐貴, 上見 アレックス, 西宮 司, 田中 一輝	48
RO18193	圧電型 MEMS ミラーのための駆動制御回路の集積化に向けた試作	嶋田 倫太郎, 北田 友嗣, 前中 一介	53

アナログ / デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
OS08182	CMOS デジタル・アナログ回路のテスト設計	福島 拓実, 瀬端 康平, 清水 優作, 橋本 陸, 小松 聡	32
OS08182	CMOS デジタル・アナログ回路のテスト設計	平野 皓士, 小山 泰成, 西岡 伊吹, 小松 聡	32
RO18191	非同期デジタル回路向け電圧モード多値論理回路の動特性評価回路	岩井 一剛, 平野 皓士, 小松 聡	45
RO18191	プリエンファシス・パルス設計理論の検証	丹沢 徹	45
RO18192	非同期デジタル回路向け電圧モード多値論理回路を用いた加算回路	岩井 一剛, 平野 皓士, 瀬端 康平, 小松 聡	48
RO18193	逐次比較型 A/D 変換器向け小型低消費電力 D/A 変換器の試作	岩井 一剛, 平野 皓士, 瀬端 康平, 小松 聡	51

アナログ (PLL, A-D/DC-DC コンバータなど)

ラン名	タイトル	研究者	掲載頁
RO18184	シュミットインバータを用いた NN	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑	40
RO18184	光プローブ電流センサ向けオフセット補正光電流変換 CMOS アナログフロントエンド回路の高精度化及び広帯域化	高木 憲太郎, 赤羽 和哉, 宮地 幸祐, 清水 昂, 塚田 芳寿	42
RO18191	学部生へのレイアウト設計教育用メインチップ	佐伯 勝敏, 佐々木 芳樹, 山口 拓人, 鈴木 克典, 丹羽 春太, 唐鎌 侑馬, 伊藤 大輝	45
RO18191	2Step-ADC, Active Inductor を用いた VCO	原田 康平, 七田 洸介	46
RO18192	確率的フラッシュ ADC	福島 拓実, 西岡 伊吹, 荒井 建輝, 小松 聡	48
RO18192	従来構成 NN のバッファだけ改良したレイアウト	佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑	49
RO18192	ニューロン CMOS インバータを用いた 3 種の回路の試作	恩地 夏央, 大塚 陸, 佐保 十世紀, 福原 雅朗, 藤本 邦昭	49
RO18192	2 Step-ADC, VCO, 2次1bit連続時間 $\Delta \Sigma$ ADC	原田 康平, 鈴木 隆生, 布川 祥大	49
RO18193	ニューラルネットワーク用モジュールの試作 (続き)	佐伯 勝敏, 佐々木 芳樹	52
RO18193	オペアンプ TEG	菊地 優志, 堀尾 喜彦	52
RO18193	光プローブ電流センサ向け容量型トランスインピーダンスアンプを用いた光電流変換 CMOS アナログフロントエンド回路の高精度化及び広帯域化	赤羽 和哉, 宮地 幸祐, Nguyen Phuc	54
RS65191	低消費電力近距離有線通信テストチップ	吉河 武文, 柴崎 淳詞, 石丸 雅裕, 青山 晃大	55
RS65191	耐放射線性能を高めた逐次比較型 ADC	吉河 武文, 三木 拓司, 青山 晃大	55

イメージセンサ / スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18184	SPAD 画素アレイを備えフォトンカウントイメージング動作とチップ内動被写体検出機能を備えたイメージセンサの試作チップ	山崎 智裕, 浜本 隆之	40

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO18184	脳波取得フロントエンドの改良及び自立動作可能 LSI チップのための各要素回路の改良	中野 誠彦, 三河 樹由, 吉田 祐威, Jorge Canada, 福岡 龍人, 外村 崇史, 河添 翔平	41
RO18191	脳波取得フロントエンドの改良及び自立動作可能 LSI チップのための各要素回路の改良	中野 誠彦, 三浦 大毅, 吉田 祐威, Jorge Canada P, 福岡 龍人, 外村 崇史, 河添 翔平, 三河 樹由	46
RO18192	脳波取得フロントエンドの改良及び自立動作可能 LSI チップのための各要素回路の改良	中野 誠彦, 三浦 大毅, 八木 健太, 吉田 祐威, 三河 樹由, 外村 崇史, 河添 翔平, 福岡 龍人	50
RS65191	RISC-V プロセッサ + 耐ソフトエラー FF + 信頼性評価回路	小林 和淑, 古田 潤, 榎原 光則, 河野 雄或, 足助 拓哉, 岸田 亮	56
RS65191	最小エネルギー点を追跡する RISC-V プロセッサの試作	徐 宏傑, 石井 颯真, 松野 旺示, 黄 超, 永井 健太郎, 塩見 準, 小野寺 秀俊, 石原 亨	56
RS65191	最小エネルギー点を追跡する RISC-V プロセッサの試作	徐 宏傑, 劉 晟宇, 松野 旺示, 黄 超, 永井 健太郎, 塩見 準, 小野寺 秀俊, 石原 亨	57

メモリ

ラン名	タイトル	研究者	掲載頁
RO18192	超低電圧リテンションSRAM	塩津 勇作, 吉田 隼, 北形 大樹, 山本 修一郎, 菅原 聡	50

通信 (RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
RO18184	Integrated Magnetic Near-Field Probe Improvement	Mai-Khanh Nguyen Ngoc	38
RO18184	フローティングインダクタによるトランスインピーダンスアンプと暗号用断熱的論理回路TEGの試作	陳 翔宇, 子安 博貴, 高橋 康宏	41
RO18184	PAM4信号トランスミッタにおける信号劣化補償実証チップ	市井 裕大, 井上 敏之, 岸根 桂路	41
RO18191	RF回路TEG	伊藤 信之, 八木 希知, 澤山 唯人, 田島 直樹, 吉澤 悠人,	44
RO18192	光受信用アナログフロントエンド回路TEG5	三輪 祐三久, 石原 直志, 湯浅 貴文, 伊藤 大輔, 中村 誠	50
RO18193	RF回路TEG	伊藤 信之, 澤山 唯人, 田島 直樹, 吉澤 悠人, 結城 主	51
RO18193	シングルチャネル-マルチポート制御システム用周波数識別回路チップ	木村 山紫郎, 市井 裕大, 井上 敏之, 岸根 桂路	53

演算回路 (乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
RO18192	DTW 距離計算回路の試作とCLA加算回路の動作検証	山本 遼, 中島 浩太郎, 平野 裕大, 八木 隼翔, 福原 雅朗, 藏野 貴教, 恩地 夏央, 山田 海貴	47

4.3 各チップの詳細

平成30年度第2回オンセミコンダクター—三洋 CMOS 0.8 μ m 試作

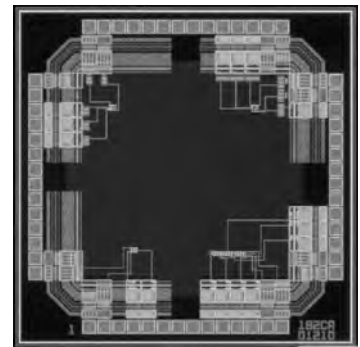
CMOS デジタル・アナログ回路のテスト設計

東京電機大学工学部電気電子工学科 福島 拓実, 瀬端 康平, 清水 優作, 橋本 陸

東京電機大学工学部電子システム工学科 小松 聡

概要：これから研究を行う学部生に対してCMOS半導体の設計，プロセス理解のためにチップ単価の安いCMOS0.8 μ mでチップの試作を行った。作成した回路はOPアンプなどの比較的構造が簡単なものであり，CMOS設計を初めて行うものに適している。また，動作も分かりやすく検証もしやすいため，学部生に設計を行わせた。これにより回路でのトランジスタレベルのCMOS設計，シミュレーション，DRC，LVSなどの設計フローの確認を行わせた。実際にチップ試作を行うことにより，CMOS設計のノウハウを身に付けさせることが出来た。シミュレーションをして回路が動くことは確認しているため，試作チップを測定させシミュレーションとどう異なるのかの考察を行わせた。また，簡素な回路のチップ試作を行うことにより，これから自分の作りたいCMOS回路をどのように設計していくのがわかったと思うので，次回のチップ試作にフィードバックを行わせたいと思う。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



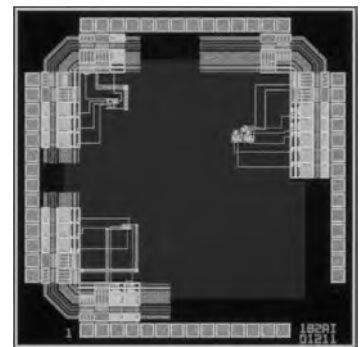
CMOS デジタル・アナログ回路のテスト設計

東京電機大学工学部電気電子工学科 平野 皓士, 小山 泰成, 西岡 伊吹

東京電機大学工学部電子システム工学科 小松 聡

概要：これから研究を行う学部生に対してCOMS半導体の設計，プロセス理解のためにチップ単価の安いCMOS0.8 μ mでチップの試作を行った。試作した回路はOPアンプ，全加算器，コンパレータである，これらの回路は回路が簡単でCMOS設計を初めて行うものに適している，また，動作も分かりやすく検証もしやすいため，学部生に設計を行わせた。これにより回路でのトランジスタレベルのCMOS設計，シミュレーション，DRC，LVSなどの設計フローの確認を行わせた。実際にチップ試作を行うことにより，CMOS設計のノウハウを身に付けさせることが出来た。シミュレーションをして回路が動くことは確認しているため，試作チップを測定させシミュレーションとどう異なるのかの考察を行わせた。また，簡素な回路のチップ試作を行うことにより，これから自分の作りたいCMOS回路をどのように設計していくのがわかったと思うので，次回のチップ試作にフィードバックを行わせたいと思う。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

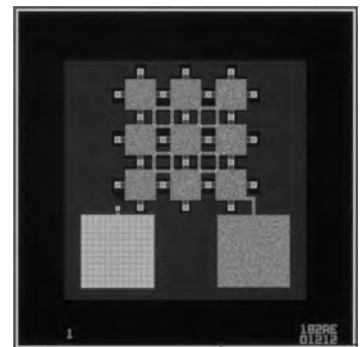


静電容量式CMOS-MEMS圧力センサ（3×3アレイ）

東京電機大学大学院工学研究科 野口 駿太, 小松 聡

概要：MEMSとは，半導体微細加工技術を応用して製造する微小デバイスである。現在，MEMS圧力センサは自動車や消費者向け機器，産業機器，医療機器などの様々な製品に応用されており，今後も普及が進むと予想されている。そのため，今後は更なる小型化・高感度化が要求されている。非常に微細なパターンを形成できるCMOSプロセスを利用することで圧力センサの小型化を実現できる。試作した圧力センサは，ポリシリコン層，層間絶縁層，アルミニウム層などを用いてダイアフラムや固定電極を形成している。試作したチップをポストプロセスによって加工することで圧力センサを形成する。ビアとアルミニウムの配線を通して，ダイアフラムと固定電極間のアルミニウム層をエッチングすることで空隙を形成する。これにより，ダイアフラムが圧力に応じて上下に変位することができる構造を形成する。キャパシタはポリシリコン層—アルミニウム電極間で構成している。センサ素子を3×3のアレイ状に配置することで，感度を9倍得られるように設計した。ポストプロセス後，評価を行った結果，圧力範囲20-100kPaで感度は3.75fF/kPa，非直線性誤差は±1.12%となった。今後は圧力センサ素子数を増やし，更なる高感度化を図る。

設計期間：0.5人月以上，1人月未満 設計ツール：0.5人月以上，1人月未満 トランジスタ数：0.5人月以上，1人月未満 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：MEMS

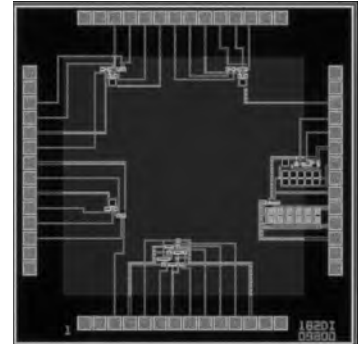


基本素子特性測定用 TEG チップ

日本大学大学院理工学研究科 黒澤 実花, 小原 正也, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙
日本大学理工学部 齊藤 健

概要：我々は昆虫サイズのマイクロロボットの制御方法として、生物の脳が出力するパルス波形を模倣した、パルス形ハードウェアニューロンモデルを用いて研究を行っている。本試作チップは細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデル、興奮抑制シナプスモデルの基本特性を測定することを目的として設計した。測定の結果、細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデル、興奮抑制シナプスモデルはシミュレーション結果と同様の出力を得た。また、細胞体モデルはマイクロロボットの駆動に必要な1.0sの周期で発振可能であることを確認した。今後はこれらのモデルを組み合わせてマイクロロボットの駆動するハードウェアニューラルネットワークを作製する予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

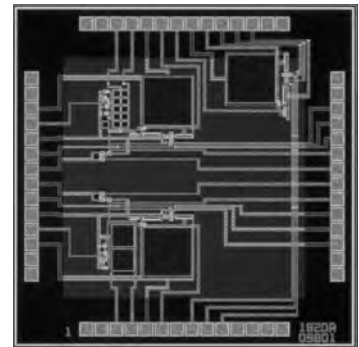


四足歩行ロボットの歩容を発現する ニューロモーフィックIC TEGチップ

日本大学大学院理工学研究科 小原 正也, 黒澤 実花, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙
日本大学理工学部 齊藤 健

概要：本試作はこれまでディスクリット素子を用いて作製していた、四足歩行ロボット用ニューロモーフィック回路を集積化した回路である。先に開発したニューロモーフィック回路は、ロボットの各脚に独立して搭載し脚の駆動波形を生成する。試作した回路は地面から受ける反力のみで変化し、プログラム不要なロボットの歩容を生成した。しかし、ディスクリット素子を用いており、素子ごとの特性にばらつきが生じていたため、頻繁なキャリブレーションを必要としていた。これまでの回路はディスクリット素子を用いており、素子ごとの特性にばらつきが生じていた。本試作チップは素子ごとの特性のばらつきを抑えることを目的として設計した。また本試作チップは、ニューロモーフィック回路の回路定数の異なる二種類のシナプスモデルを搭載している。結果として本回路はコンデンサのみを外部に搭載することで、目的の駆動波形を生成した。今後は回路定数の調整およびレイアウトパターンの調整、実装用チップの作製をおこなう予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

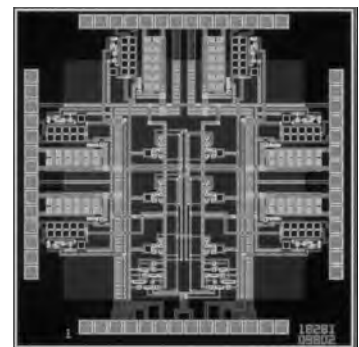


MEMSマイクロロボット用の歩容変化が可能な ハードウェアニューラルネットワークの改良

日本大学大学院理工学研究科 黒澤 実花, 小原 正也, 佐々木 拓郎, 宇佐見 雄, 加藤 真也, 榊 亜理沙
日本大学理工学部 齊藤 健

概要：我々が新たに開発した6足歩行型マイクロロボットの2種類の歩行パターンを生成することを目的として設計した。本試作チップはOS0818_1_O9801「MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワークの改良」を改良したチップである。先のチップの問題であった、2つの細胞体モデルの発振が確認できない問題の改善を行った。発振が確認できなかった理由は細胞体モデルの入力と出力の短絡であり、その解消を行った。測定の結果、HSPICEシミュレーション結果と同様の3相同期波形の生成が確認できた。また、電源電圧を変化することで昆虫の典型的な歩行パターンである三脚歩行パターンと波状歩行パターンの生成および歩行パターンの切り替えを確認できた。今後は本試作チップをMEMSマイクロロボットに搭載し、駆動実験を行う予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



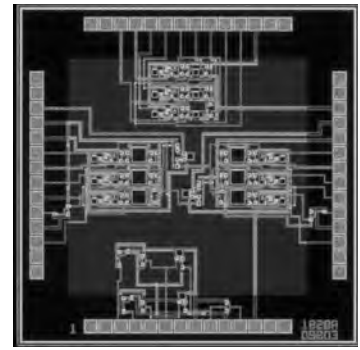
静電モータを駆動する

ハードウェアニューラルネットワークのTEGチップ

日本大学大学院理工学研究科 佐々木 拓郎, 小原 正也, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榎 亜理沙
日本大学理工学部 齊藤 健

概要: 本試作チップでは、静電モータの駆動波形を出力するハードウェアニューラルネットワークを設計した。静電モータの駆動には50~100Hzの逆位相同期した2相方形波が必要である。本ネットワークは自励振動・他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデルで構成した。本試作チップでは、回路定数が調整可能なシナプスモデルを新たに導入した。測定の結果、逆位相同期した2相の50~100Hzの方形波の出力に成功した。以上の回路におけるコンデンサ容量を外部で変更することが可能な回路を作製し、コンデンサ容量を変更した場合の出力の周波数特性を得ることができた。また、本試作チップの出力と、外部の昆虫型マイクロロボット用の歩容を生成するハードウェアニューラルネットワークとを接続するための回路を設計した。以上の2チップを接続し測定した結果、昆虫型マイクロロボット用の歩容を生成するハードウェアニューラルネットワークのパルス出力に応じた、静電モータの駆動波形の出力に成功した。

設計期間: 0.5人月以上, 1人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数: 10~100 試作ラン: オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別: TEG (特性評価回路など)



制御系とMEMSマイクロロボットを

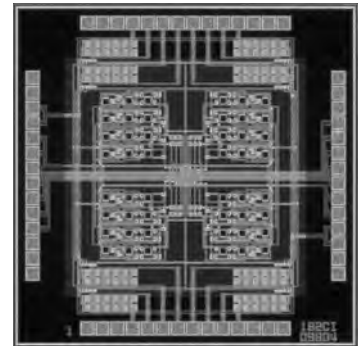
一体化するための低容量型ハードウェアニューラルネットワーク

日本大学大学院理工学研究科 早川 雄一郎

日本大学理工学部 内木場 文男

概要: 本試作チップでは、ベアチップを実装した歩行用制御回路基板を4足歩行型MEMSマイクロロボットの構成要素と一体化することを目的として、低容量型ハードウェアニューラルネットワークを設計した。回路を構成するコンデンサ容量を削減した低容量型細胞体モデルを用いてCPGモデルを設計した。CPGモデル中のコンデンサが低容量化されたことにより、外形寸法が約2.45mm四方のベアチップ上にCPGモデルの全要素を集積化することが可能となった。プリント基板を加工した歩行用制御回路基板にベアチップを実装した結果、MEMSマイクロロボットの脚部を駆動する形状記憶合金型アクチュエータを十分に駆動可能な、4相のパルス波形の生成を確認した。一方で4相のパルス波形のうち、2相のパルス波形が同相同期であり、MEMSマイクロロボットの歩行パターンの生成には至らなかった。プリント基板上に加工した配線のレイアウトや、ワイヤボンディングやはんだ付けといった手動による実装方法において、改善すべき要素が存在すると考えられる。今後は上記の問題を改善するための検討を行う予定である。

設計期間: 0.5人月以上, 1人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数: 10~100 試作ラン: オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別: TEG (特性評価回路など)



CMOS-MEMS 加速度センサの設計

東京電機大学工学研究科電気電子工学専攻 上村 直義
東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとLSIが一体化した集積化MEMSデバイスを1チップ実装することを目的として、静電容量式の加速度センサを試作した。A/Dや増幅を行う読み出し回路と加速度センサを集積化するためには、CMOSプロセスを用いて加速度センサを設計、製造する必要がある。そのため、今回はまず集積化MEMS向けの加速度センサのみを設計した。今後、試作したチップを武田クリーンルームの装置群を用いて後加工し、加速度センサを製作する。シリコン層のエッチングを行い浮遊構造を作成した後、ワイヤボンディングを行い外部端子へ接続し、加速度センサ単体として完成を目指す。また、現在スイッチトキャパシタを用いた読み出し回路の設計を行っており、今後は読み出し回路と加速度センサのレイアウトを一体化して設計を行い、評価を行う。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：～10 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：MEMS

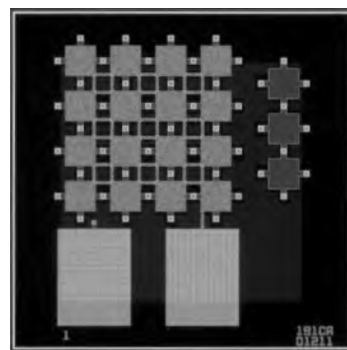


静電容量式CMOS-MEMS圧力センサ（4×4アレイ）

東京電機大学大学院工学研究科 野口 駿太, 小松 聡

概要：MEMSとは、半導体微細加工技術を応用して製造する微小デバイスである。現在、MEMS圧力センサは自動車や消費者向け機器、産業機器、医療機器などの様々な製品に応用されており、今後も普及が進むと予想されている。そのため、今後は更なる小型化・高感度化が要求されている。非常に微細なパターンを形成できるCMOSプロセスを利用することで圧力センサの小型化を実現できる。試作した圧力センサは、ポリシリコン層、層間絶縁層、アルミニウム層などを用いてダイアフラムや固定電極を形成している。試作したチップをポストプロセスによって加工することで圧力センサを形成する。ビアとアルミニウムの配線を通して、ダイアフラムと固定電極間のアルミニウム層をエッチングすることで空隙を形成する。これにより、ダイアフラムが圧力に応じて上下に変位することができる構造を形成する。キャパシタはポリシリコン層—アルミニウム電極間で構成している。センサ素子を4×4のアレイ状に配置することで、感度を16倍得られるように設計した。ポストプロセス後、評価を行った結果、圧力範囲40-100kPaで感度は15.8fF/kPa、非直線性誤差は±1.80%となった。今後は圧力センサ素子数を増やし、更なる高感度化を図る。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：～10 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：MEMS

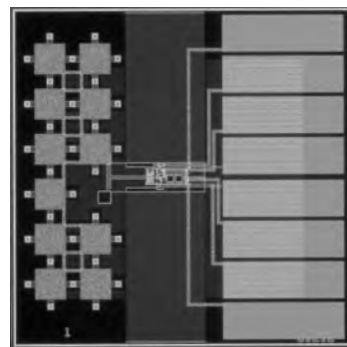


CV変換回路集積化静電容量式CMOS-MEMS圧力センサ

東京電機大学工学部電子システム工学科 井田 拓実, 小松 聡
東京電機大学大学院工学研究科電気電子工学専攻 野口 駿太

概要：MEMSとは、半導体微細加工技術を応用して製造する微小デバイスであり、今後は更なる小型化・高感度化が要求されている。非常に微細なパターンを形成できるCMOSプロセスを利用することで圧力センサの小型化とセンサ処理回路の1チップ集積化を実現できる。試作したチップをポストプロセスによって加工することで圧力センサを形成する。キャパシタはポリシリコン層—アルミニウム電極間で構成している。センサ素子をアレイ状に配置することで、感度を11倍得られるように設計した。集積化したセンサ処理回路には、エンハンスドカレントミラー電流源を用いた電流源駆動型CV変換回路を用いた。電流源駆動型CV変換回路ではエンハンスドカレントミラー電流源から出力された電流が回路内のコンデンサの静電容量の比に応じて分流する。この分流された電流は全差動アンプを用いたTIA回路に入力することで、静電容量の比に応じた出力電圧が得られる。出力が差動となっているため回路内で発生する同相ノイズに強く、回路構成が容易であるというメリットがあるが、TIA回路における帰還抵抗の専有面積が大きいことや製造ばらつきがあるというデメリットもある。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10～100 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：MEMS

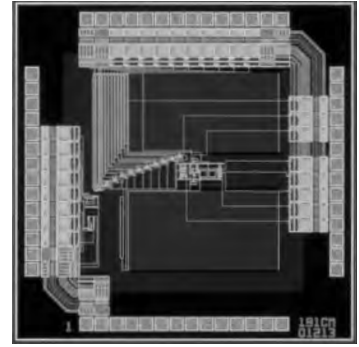


静電容量式CMOS-MEMSセンサ向け高精度CV変換回路

東京電機大学工学部電子システム工学科 井田 拓実, 小松 聡

概要：MEMSセンサには圧力センサ、加速度センサなどの種類があり産業や自動車アプリケーション、医療機器など広く用いられている。CMOS技術もMEMSセンサを実現するために拡張が可能でCMOS-MEMS技術はさまざまな高性能センサを実装するためのチップソリューションと考えている。本試作ではCMOS-MEMS圧力センサ向けの電流源駆動型CV変換回路を設計した。電流源駆動型CV変換回路ではエンハンスドカレントミラー電流源から出力された電流が回路内のコンデンサの静電容量の比に応じて分流する。この分流された電流を全差動アンプを用いたTIA回路に入力することで、静電容量の比に応じた出力電圧が得られる。出力が差動となっているため回路内で発生する同相ノイズに強く、回路構成が容易であるというメリットがあるが、TIA回路における帰還抵抗の専有面積が大きいくちや製造ばらつきがあるというデメリットもある。また今回はスイッチの切り替えにより測定するコンデンサを選択できる構成にしたが、スイッチがオフ状態でのリーク電流が原因となり期待通りの出力電圧が得られなかったと考えられる。今後の展望としてはCV変換回路の後段にADCなどを設計し、より扱いやすい信号を取り出せるような回路構成の実現を図る。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：MEMS



4bitメモリを用いたプロセッサ用SRAMのTEGチップ

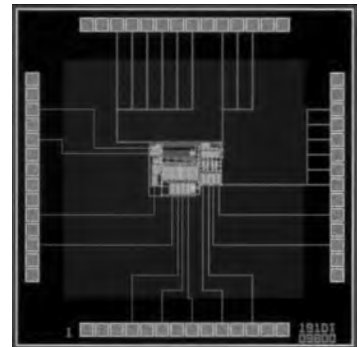
日本大学大学院理工学研究科 宮本 辰

日本大学理工学部 小林 伸彰, 齊藤 健

概要：本チップは、ニューラルネットワークにおける重み情報の格納を行うことを目的とした、プロセッサ用SRAMの試作チップである。ニューラルネットワークを用いた学習では、各パーセプトロン間をつなぐシナプス結合ごとの重み情報の更新が行われる。この学習動作をハードウェアニューラルネットワーク上で連続して行うためには、各パーセプトロン間の重み情報を次の学習が行われるまでの期間、記憶しておく記憶装置が必要となる。また、いずれは歩行ロボットに搭載することを目標としており、リアルタイム性のある学習を行うために搭載するメモリには高速動作が求められる。そのため、今回は重み情報を16段階以内の情報として記憶を行うことを想定し、1つの重み情報を4bitとして格納を行うSRAMメモリの試作を行った。試作を行ったSRAMメモリは動作確認が主な用途であることから、記憶容量は目的に合わせた最小単位である4bitとして作製されており、本来の構成では必要となる行デコーダが省略された簡略構造となっている。

参考文献：榎本 忠儀, "ナノCMOS集積回路", 株式会社培風館, 2010年5月

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



静電モータを駆動する

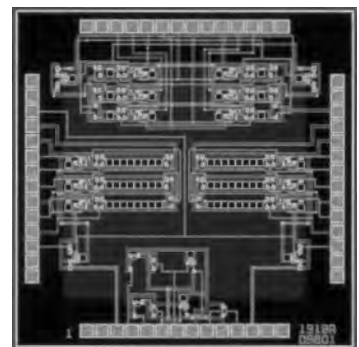
ハードウェアニューラルネットワークのTEGチップの改良

日本大学大学院理工学研究科 佐々木 拓郎, 小原 正也, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榎 亜理沙

日本大学理工学部 齊藤 健

概要：本試作チップはOS0818_2_O9803「静電モータを駆動するハードウェアニューラルネットワークのTEGチップ」の改善チップである。従来のチップは電源と出力測定用のPADとして、20個のPADが必要だった。本試作チップでは、電源用PADを統合したことにより、必要PAD数を10個に削減した。また、前回の試作チップ(OS0818_2_O9803)にて、コンデンサ容量を変化したときの周波数特性が得られた。その結果から、本試作チップではコンデンサ面積の削減をおこなった。本試作チップの出力は、コンデンサを変更したことにより、従来のチップ以上に安定かつHSPICEシミュレーション通りの出力が得られた。今後は、本チップを用いた静電モータの駆動実験をおこなう予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

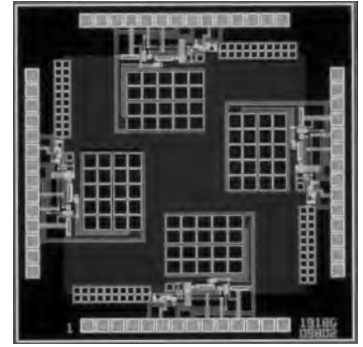


四足歩行ロボット搭載用 自己回帰の特性を持つニューロモーフィック回路

日本大学大学院理工学研究科 加藤 真也, 小原 正也, 黒澤 実花, 佐々木 拓郎, 宇佐見 雄, 榊 亜理沙
日本大学理工学部 齊藤 健

概要：本試作チップでは、歩容を能動的に生成する四足歩行ロボットに搭載していたニューロモーフィック回路の集積化をおこなった。これまでは各脚別々の回路基板でディスクリート素子を使用して回路を作製していた。ディスクリート素子を使用していたことによる素子間のバラつき、別々の回路基板を使用していたことによる温度特性の差異を減らすことを目的として集積化をおこなった。各細胞体モデルのコンデンサを外接することで、1チップで各脚の駆動に必要な4つのニューロモーフィック回路が搭載可能な設計をおこなった。出力測定の結果、各回路から出力される4つのパルスの周期がシナプス荷重コントロール電圧によって変更可能であることを確認した。しかし、稀に抑制性シナプスモデルの電源電圧を入力したとき、パルス出力が得られないといった問題が生じた。今後のチップ試作では、コンデンサ周りをシールドで囲うことによって上記の問題を改善する予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

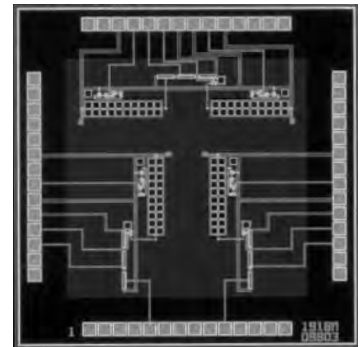


階層型のパルス形ハードウェアニューラルネットワーク

日本大学大学院理工学研究科 宇佐見 雄, 小原 正也, 黒澤 実花, 佐々木 拓郎, 加藤 真也, 榊 亜理沙
日本大学理工学部 齊藤 健

概要：我々はこれまで作製した昆虫サイズのマイクロロボットの制御方法と同じ基本構成要素を用いて、単純なパターンを識別可能な階層型のパルス形ハードウェアニューラルネットワークの実現を目的として研究をおこなっている。単純なパターンを識別するにあたり、まずソフトウェアモデルで学習をおこない、その学習結果に基づいてハードウェアニューラルネットワークのシナプスモデルの結合強度電圧を調整する必要がある。本試作チップでは、その初期段階として各構成要素であるニューロンモデルとシナプスモデルについて検討をおこなった。結果として、今回作製した構成要素では単純なパターンの認識が正しくおこなえないことがわかった。原因として、興奮性シナプスモデルの結合強度電圧による電流の調整が上手くできなかったためだと考えられる。今後は構成要素の見直しをおこない、再設計をおこなう予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

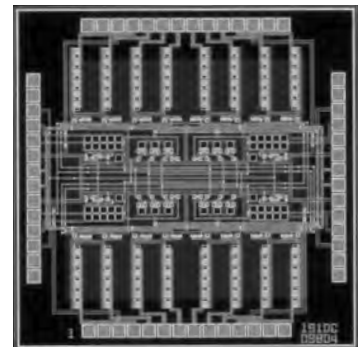


4足歩行型 MEMS マイクロロボットに 実装可能なセンサ入力対応型ハードウェアニューラルネットワーク

日本大学大学院理工学研究科 早川 幹人
日本大学理工学部 内木場 文男

概要：我々は自律かつ独立して歩容を行う4足歩行型マイクロロボットを最終目標とした研究のため、ハードウェアニューラルネットワークを用いた制御用チップを試作した。先に我々が試作したチップは4足歩行型マイクロロボットに搭載可能でかつ、4足歩行用の歩行パターンが生成可能な回路であった。しかし、外的環境を取り入れるセンサを組み込んでいないため、歩容は一律のものであった。本試作チップは、センサ入力を直接用いて歩容パターンが変化する4足歩行型 MEMS マイクロロボットに実装可能なハードウェアニューラルネットワークを目的として設計した。本試作は、先に試作した CPG モデル内の細胞体モデルにセンサを外部接続できるようにすることで、センサ入力によって歩容パターン生成順を変更できるようにすることを試みた。今後は脚を駆動するためのアクチュエータやセンサ等のマイクロロボットの構成要素と接続して検討を行う予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



Integrated Magnetic Near-Field Probe Improvement

東京大学大規模集積システム 設計教育研究センター (VDEC) Mai-Khanh Nguyen Ngoc

概要: Nowadays, security and privacy are the enormous challenges in wired and wireless networks. The issue of fatety and of security for information system (including hardware, firmware and software) is becoming emerging, especially in the context of the today orientation forward smart cities. It has been widely known that non-destructive or side-channel attacks on cryptographic chips can exploit leaked physical parameters and properties of the chips. Sensing on such leaked properties of a cryptographic chip during its operation can reveal corresponding secret key and secure data. The utilization of magnetic near-field probes closing to device-to-test's surface to measure leaked magnetic emanations is based on well-known magnetic flux law of Faraday-Lenz. These probes employ an inductor or coil to track leaked signals and map magnetic distributions of LSIs. In our previous works, two version of magnetic probes have been fabricated and successfully applied for several applications such as safety and security, LSI internal current, and non-invasively detection of device internal fabrication faults. In this work, the revised version of magnetic probe is aimed to enhance frequency response and probe sensitivity. By using the quartz substrate for the inductor sensor, the sensitivity of the probe can be enhanced compared with the Silicon substrate as in the previous work, in which edd-current in the Si substrate degraded the performance of the sensor. This new probe system will overcome the drawbacks and limitations of our existing works for a fast scanning speed, operating frequency range, and high-resolution sensing. The proposed probe will offer an ability of extreme-bandwidth operation in microwave regime to non-invasively detect susceptible locations and leaked magnetic fields emitted from modern Giga-speed cryptographic integrated circuits. Second, we enhance the scanning speed of the near-field probe by employing on-chip antenna array scheme. Experimental results with/without reflector will be performed to demonstrate the improvement in this work. 設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数: 10~100 試作ラン: ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別: 通信 (RF回路, ATM など)

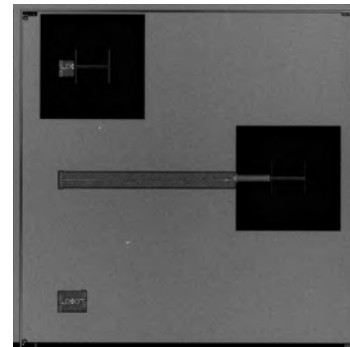


ブロードサイドアレー測定用TEG

東京大学工学系研究科 原 崇文, 飯塚 哲也

概要: 本試作ではチップ面に対して垂直方向に指向性の強いブロードサイドアレーの試作を行った。ブロードサイドアレーには差動信号の入力が必要であり、測定機器の都合上シングルエンドの入力を差動信号に変換するバランが必要となる。そこでバランをブロードサイドアレーに接続し、シングルエンドの入力をバランに行く。本試作では、誘電体導波路通信向けのオンチップアンテナの試作を行っており、誘電体導波路をアンテナの出力部分に接続するために、プローブの測定位置は、アンテナから一定の距離を保った位置に設定しなければならない。そこで、アンテナとバランを接続したものに対してトランスミッションラインを接続し、誘電体導波路をアンテナの出力部分に接続してもプローブと衝突しないように設計を行った。複数の異なる大きさのアンテナを測定・比較するためのTEGの作成を行った。

設計期間: 0.5人月以上, 1人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数: ~10 試作ラン: ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別: TEG (特性評価回路など)

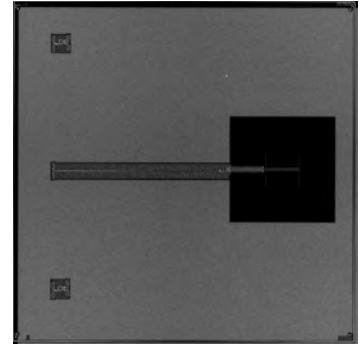


ブロードサイドアレー測定用 TEG

東京大学工学系研究科 原 崇文, 飯塚 哲也

概要: 本試作ではチップ面に対して垂直方向に指向性の強いブロードサイドアレーの試作を行った。ブロードサイドアレーには差動信号の入力が必要であり、測定機器の都合上シングルエンドの入力を差動信号に変換するバランが必要となる。そこでバランをブロードサイドアレーに接続し、シングルエンドの入力をバランに行う。本試作では、誘電体導波路通信向けのオンチップアンテナの試作を行っており、誘電体導波路をアンテナの出力部分に接続するために、プローブの測定位置は、アンテナから一定の距離を保った位置に設定しなければならない。そこで、アンテナとバランを接続したものに対してトランスミッションラインを接続し、誘電体導波路をアンテナの出力部分に接続してもプローブと衝突しないように設計を行った。複数の異なる大きさのアンテナを測定・比較するための TEG の作成を行った。

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数: ~10 試作ラン: ローム CMOS 0.18 μm 5.0mm 角チップ チップ種別: TEG (特性評価回路など)

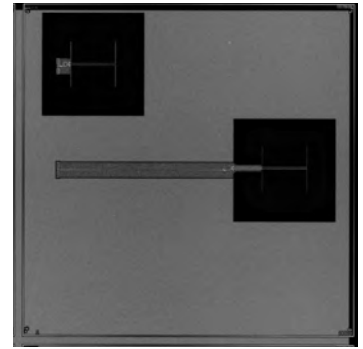


ブロードサイドアレー測定用 TEG

東京大学工学系研究科 原 崇文, 飯塚 哲也

概要: 本試作ではチップ面に対して垂直方向に指向性の強いブロードサイドアレーの試作を行った。ブロードサイドアレーには差動信号の入力が必要であり、測定機器の都合上シングルエンドの入力を差動信号に変換するバランが必要となる。そこでバランをブロードサイドアレーに接続し、シングルエンドの入力をバランに行う。本試作では、誘電体導波路通信向けのオンチップアンテナの試作を行っており、誘電体導波路をアンテナの出力部分に接続するために、プローブの測定位置は、アンテナから一定の距離を保った位置に設定しなければならない。そこで、アンテナとバランを接続したものに対してトランスミッションラインを接続し、誘電体導波路をアンテナの出力部分に接続してもプローブと衝突しないように設計を行った。複数の異なる大きさのアンテナを測定・比較するための TEG の作成を行った。

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数: ~10 試作ラン: ローム CMOS 0.18 μm 5.0mm 角チップ チップ種別: TEG (特性評価回路など)

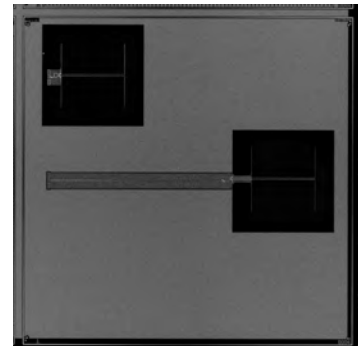


ブロードサイドアレー測定用 TEG

東京大学工学系研究科 原 崇文, 飯塚 哲也

概要: 本試作ではチップ面に対して垂直方向に指向性の強いブロードサイドアレーの試作を行った。ブロードサイドアレーには差動信号の入力が必要であり、測定機器の都合上シングルエンドの入力を差動信号に変換するバランが必要となる。そこでバランをブロードサイドアレーに接続し、シングルエンドの入力をバランに行う。本試作では、誘電体導波路通信向けのオンチップアンテナの試作を行っており、誘電体導波路をアンテナの出力部分に接続するために、プローブの測定位置は、アンテナから一定の距離を保った位置に設定しなければならない。そこで、アンテナとバランを接続したものに対してトランスミッションラインを接続し、誘電体導波路をアンテナの出力部分に接続してもプローブと衝突しないように設計を行った。複数の異なる大きさのアンテナを測定・比較するための TEG の作成を行った。

設計期間: 0.5 人月以上, 1 人月未満 設計ツール: Cadence 社 Virtuoso, Mentor 社 Calibre, トランジスタ数: ~10 試作ラン: ローム CMOS 0.18 μm 5.0mm 角チップ チップ種別: TEG (特性評価回路など)

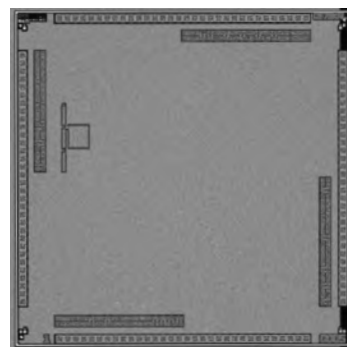


筋電測定回路ほか

福岡大学工学部 電子情報工学科 名倉 徹, 須藤 有香, 角田 祥梧, 樋口 洋彦, 永末 光

概要：筋肉の収縮に伴い筋電として微少な電位が発生する，筋電を測定する事で筋肉の収縮量および時間変化を評価することができ，筋肉の活動状況を把握する事が可能である．本試作では設計実習として筋電を測定し増幅する回路，リングオシレータと分周器を利用したタイマー回路，リングオシレータを利用した電子サイコロ，じゃんけんの判定を行う組み合わせ回路を設計し搭載した．筋電測定回路は残念ながらボンディングされないPADを利用してしまい動作の確認を行う事ができなかった．大学のオープンキャンパスにおいて，学内外の来訪者に対して研究室の活動として動作した回路の説明と実演を行った．

設計期間：1人月以上, 2人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数: 1,000~10,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: TEG (特性評価回路など)



4-3

第4章

チップ試作結果報告

SPAD画素アレイを備えフォトンカウントイメージング動作とチップ内動被写体検出機能を備えたイメージセンサの試作チップ

東京理科大学工学研究科 山崎 智裕, 浜本 隆之

概要：SPAD画素アレイを備えフォトンカウントイメージング動作と高ダイナミックレンジ撮像および動被写体検出機能を備えたイメージセンサの試作チップを試作した．試作チップはフォトンカウント用画素回路アレイと走査回路，高ダイナミックレンジ撮像用のフォトンカウント用回路，チップ内動被写体検出回路およびデータ出力回路から構成される．フォトンカウント用画素回路とは入射光に対し単一光子を検出可能なSPADおよびクエンチング回路，検出パルスのデジタル化のための回路，光子検出回数を検出するためのカウンタ回路から構成される．画素回路の大きさは，56 μ m \times 56 μ mである．クエンチング回路は，バイアス入力およびSPADの強制Disenable回路を評価用に導入している．カウンタ動作はカウンタ値の出力レンジを評価するため6bitのカウンタを搭載した．画素アレイの後段にあるハイダイナミックレンジ撮像用のフォトンカウント用回路には画素アレイのカウンタデータを更にカウンタ可能な12bit加算回路が搭載されている．また，チップ内動被写体検出回路には被写体の動き情報を検出するために過去フレームと現フレームのフォトンカウント値の差分抽出および閾値比較回路が搭載されている．動被写体の有無に合わせて出力データを削減する．

設計期間：3人月以上, 4人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Synopsys社 HSIM, トランジスタ数: 1,000,000~10,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm \times 5.0mmチップ チップ種別: イメージセンサ/スマートセンサ

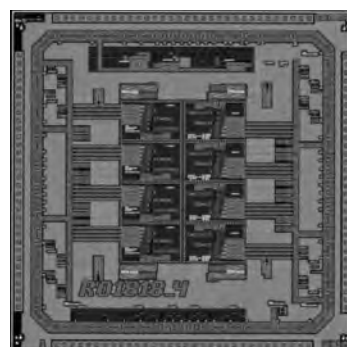


シュミットインバータを用いたNN

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑

概要：本試作チップでは，①シュミットインバータ改（作成：小澤）②神経細胞モデル（作成：佐々木）③CPGネットワーク（作成：佐々木）の試作を行った．詳細は下記の通りである．作成①：シュミットインバータは，神経振動子への組み込みこんだCPGの制作に耐えうるか確認するために作成した．制作意図は主に，発振集団の切り替わり周期を静電容量の値が大きくなることなく実施することを目指した．更に，シュミットインバータの内部パラメータを外部電圧により制御することで，発振周期を大きく変更することが可能となることを目指し設計を行った．作成②：細胞体モデル（神経振動子）は，各自のネットワーク用途に設計したパラメータで作成．ただし，これまでの傾向から最小設計では本モデルはばらつきへの耐性を獲得できず，意図しない動作が多く見られた．そのため，最小設計を一旦取りやめ，最小幅を2マイクロ程度に設定し設計を行った．一方で，いまだ本モデルは最適な素子配置が定まっておらず，コモンセントロイドなどのばらつきに対する対策がまだ執り行われてはいない．その設計については，次回以降に実施をしていく予定である．作成③：CPGネットワークは，神経細胞モデルの簡易的な検査ケースとして作成

設計期間：2人月以上, 3人月未満 設計ツール: Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数: 1,000~10,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



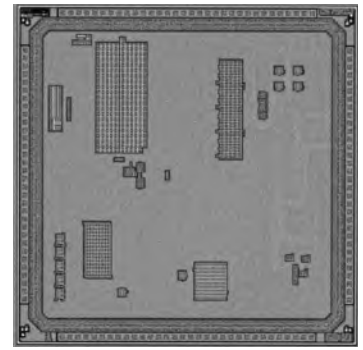
脳波取得フロントエンドの改良及び 自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学工学部 中野 誠彦, 三河 樹由, 吉田 祐威

慶應義塾大学工学部研究科 Jorge Canada, 福岡 龍人, 外村 崇史, 河添 翔平

概要：筋電、心電、脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、デジタル設計OTAを用いたノッチフィルタ実装のためのデジタル設計OTAを利用したLPFの試作及び、脳波取得増幅器の多重化手法の改善、周波数多重 $\Delta\Sigma$ 変調器の試作を行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、太陽電池のDC-DCコンバータ部分に外部トリガースイッチを導入し、トリガースystemが回路に組み込まれた時のDC-DCコンバータとアンチヒューズメモリの動作検証及び、CCCPの改良、SOCPの改良を行った。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 ICompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：マイクロプロセッサ



フローティングインダクタによるトランスインピーダンスアンプと 暗号用断熱的論理回路 TEG の試作

岐阜大学工学部 陳 翔宇

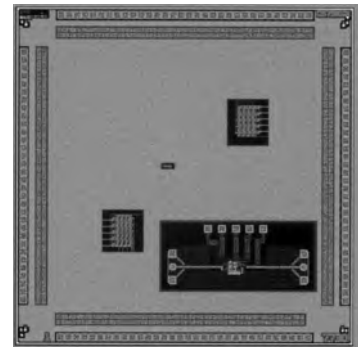
岐阜大学自然科学技術研究科 子安 博貴

岐阜大学工学部 高橋 康宏

概要：本チップでは、フローティングインダクタによるトランスインピーダンスアンプ (TIA) と断熱的論理回路の TEG 試作を行った。詳細は、以下の通りである。(1) フローティングアクティブインダクタによる TIA：光通信受信用の TIA を 0.18 μm CMOS プロセスにより設計することで 10GPON, EPON に特化した低コスト高パフォーマンス化を目指した。TIA の帯域拡張のために、フローティングアクティブインダクタを用いることでそれを実現し、帯域幅 10GHz、ボーレート 15Gbps の TIA を達成した。(2) AES 暗号向けの回路実現として、断熱的論理によりガロア乗算器を設計し、その評価を行った。提案回路は、出力遷移時の電流のばらつきを抑制するためにロジック段にダミーのトランジスタを挿入することで、その達成を図った。提案回路と従来回路の動作を比較することで、提案回路は、情報漏れのすくない回路であることが分かった。

参考文献：[1] X. Chen, and Y. Takahashi, "Floating active inductor based trans-impedance amplifier in 0.18 μm CMOS technology for optical applications," MDPI Electronics, vol.8, no.12, 1547 (12pages), Dec. 2019.

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：通信 (RF回路, ATM など)



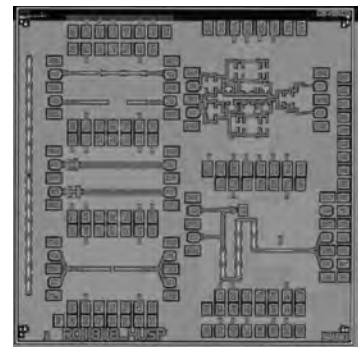
PAM4信号トランスミッタにおける信号劣化補償実証チップ

滋賀県立大学工学部 市井 裕大, 井上 敏之, 岸根 桂路

概要：400GbE をはじめとして、大容量光伝送の実現に向けて 4値振幅変調 (PAM4) 方式の採用が進んでいる。本試作では、PAM4 信号トランスミッタにおける信号品質劣化補償効果の実証を目的とした。補償方法の一種であるフィードフォワードイコライジング (FFE) では、入力信号を遅延回路により遅延させ、遅延なし、1回遅延、2回遅延の 3種の信号を重ね合わせることで品質劣化補償を行う。従来、FFEにはD-FF回路を用いた遅延制御手法が用いられてきたが、遅延量が固定であり十分な FFE 効果を得られなかった。本チップでは、外部電圧により遅延量制御が可能なバッファを遅延回路部に採用し、Post-layout シミュレーションにより提案構成における品質劣化補償効果が確認できた。シミュレーションによる検証結果は International SoC Design Conference 2019 [1] に発表済みで、今後、実測による検証結果を含む成果を論文雑誌に投稿することを検討している。

参考文献：[1] Y. Ichii, R. Noguchi, T. Inoue, A. Tsuchiya, and K. Kishine, "Suitable-compensation circuit design for a PAM4 transmitter in 180-nm CMOS", 2019 International SoC Design Conference (ISODC), pp.210-211, October 2019.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：通信 (RF回路, ATM など)

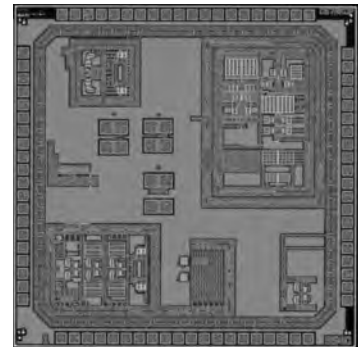


光プローブ電流センサ向けオフセット補正光電流変換CMOS アナログフロントエンド回路の高精度化及び広帯域化

信州大学大学院総合理工学研究科 高木 憲太郎, 赤羽 和哉, 宮地 幸祐
信州大学工学部 清水 昂, 塚田 芳寿

概要：本試作では光プローブ電流センサに向けたアナログフロントエンド（AFE）回路の設計を行った。試作回路は1) チョッピングによるオフセット補正を用いた高精度AFE回路, 2) デジタル制御によるオフセット補正を用いた広帯域AFE回路の2種類である。1) の回路では電流電圧変換に容量型トランスインピーダンスアンプを採用した。これによって受動素子のミスマッチによる影響を小さくした。また、信号を測定するうえで問題であるミスマッチによるオフセット電圧を除去するために、チョッピングを利用することで高精度化を図った。2) の回路は、逐次比較アルゴリズムを用いたデジタルDCオフセット補正機構を搭載した広帯域AFE回路である。前回試作した回路の測定結果として、安定性に課題があることが判明した。そのため回路の安定性を向上させるために、オフセット補正機構やトランスインピーダンスアンプの修正を行った。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



4-3

第4章
チップ試作結果報告

ミリ波測定用TEG

東京大学工学系研究科 原 崇文, 飯塚 哲也

概要：本試作では、ミリ波測定における要素回路の測定用TEGの設計を行った。まずは、コプレーナ導波路のモデルを用いて設計した伝送線路の試作を行った。伝送線路はグラウンドと伝送線路間の幅と伝送線路の幅を調整することによって140GHzで50Ωとなるように設計を行った。その伝送線路のディエンベディングを行うために長さの異なる4種類の伝送線路の測定用TEGを載せた。また、曲がりの部分における伝送線路の特性を求めるために、曲がりを含んだ5種類の伝送線路の測定用TEGの作成を行った。本試作では、オンチップアンテナ下のシリコン基板を除去することによる損失の低減の実測による評価を目的としており、アンテナとしてブロードサイドアレーを用いる。ブロードサイドアレーには差動入力が必要であり、測定機器の都合上シングルエンドの入力を作動信号に変換するバランが必要となる。そこでバランの作成を行い、バランとブロードサイドアレーを測定するためのTEGの作成をおこなった。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：～10 試作ラン：ローム CMOS 0.18μm 5.0mm角チップ チップ種別：TEG (特性評価回路など)

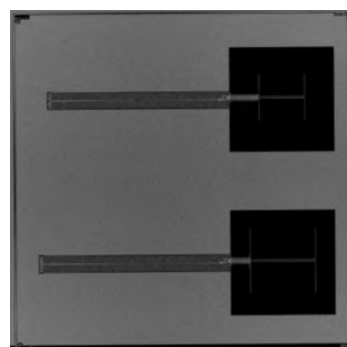


ミリ波測定用TEG

東京大学工学系研究科 原 崇文, 飯塚 哲也

概要：本試作では、ミリ波測定における要素回路の測定用TEGの設計を行った。まずは、コプレーナ導波路のモデルを用いて設計した伝送線路の試作を行った。伝送線路はグラウンドと伝送線路間の幅と伝送線路の幅を調整することによって140GHzで50Ωとなるように設計を行った。その伝送線路のディエンベディングを行うために長さの異なる4種類の伝送線路の測定用TEGを載せた。また、曲がりの部分における伝送線路の特性を求めるために、曲がりを含んだ5種類の伝送線路の測定用TEGの作成を行った。本試作では、オンチップアンテナ下のシリコン基板を除去することによる損失の低減の実測による評価を目的としており、アンテナとしてブロードサイドアレーを用いる。ブロードサイドアレーには差動入力が必要であり、測定機器の都合上シングルエンドの入力を作動信号に変換するバランが必要となる。そこでバランの作成を行い、バランとブロードサイドアレーを測定するためのTEGの作成をおこなった。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：～10 試作ラン：ローム CMOS 0.18μm 5.0mm角チップ チップ種別：TEG (特性評価回路など)

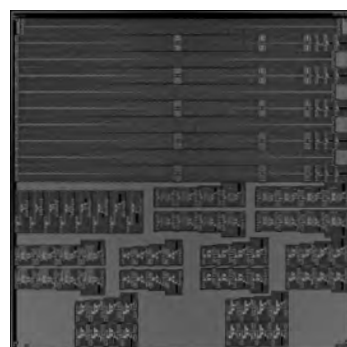


ミリ波測定用TEG

東京大学工学系研究科 原 崇文, 飯塚 哲也

概要：本試作では、ミリ波測定における要素回路の測定用TEGの設計を行った。まずは、コプレーナ導波路のモデルを用いて設計した伝送線路の試作を行った。伝送線路はグラウンドと伝送線路間の幅と伝送線路の幅を調整することによって140GHzで50Ωとなるように設計を行った。その伝送線路のディエンベディングを行うために長さの異なる4種類の伝送線路の測定用TEGを載せた。また、曲がりの部分における伝送線路の特性を求めるために、曲がりを含んだ5種類の伝送線路の測定用TEGの作成を行った。本試作では、オンチップアンテナ下のシリコン基板を除去することによる損失の低減の実測による評価を目的としており、アンテナとしてブロードサイドアレーを用いる。ブロードサイドアレーには差動入力が必要であり、測定機器の都合上シングルエンドの入力を作動信号に変換するバランが必要となる。そこでバランの作成を行い、バランとブロードサイドアレーを測定するためのTEGの作成をおこなった。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：～10 試作ラン：ローム CMOS 0.18μm 5.0mm角チップ チップ種別：TEG (特性評価回路など)



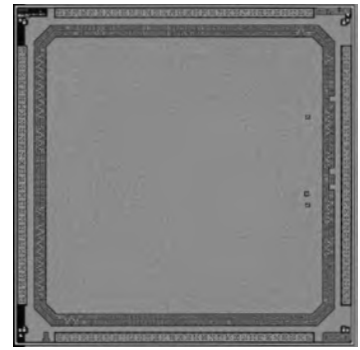
メタルフリンジキャパシタを用いた CMOSプロセス互換な不揮発性メモリセルの TEG ほか

立命館大学大学院情報理工学研究科 田中 一平

立命館大学情報理工学部 室原 脩人, 今川 隆司, 越智 裕之

概要：配線間容量を利用したメタルフリンジキャパシタを NMOS トランジスタのゲートに接続することにより、フラッシュメモリと同様なフローティングゲート構造を標準 CMOS プロセスで実現することが可能であることに着目し、これを用いた不揮発性メモリの実現に向けたメモリセルならびに読み書き回路からなる TEG を試作した。高い集積度を実現するため、メタルフリンジキャパシタはクロストークノイズの影響を受けにくい Fishbone-in-Cage Capacitor (FiCC) を採用し、超低消費電力での動作を可能にするため、書き込みや消去は FN トンネリングで行う。本試作チップには上記のほか、温度センサなどの TEG も搭載している。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



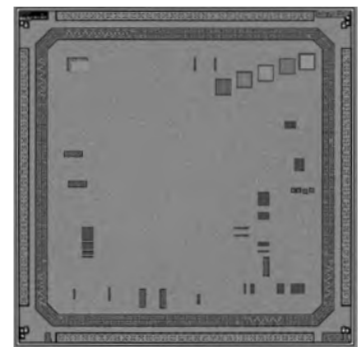
フォトセンサの TEG

立命館大学大学院情報理工学研究科 宮内 悠太, 田中 一平

立命館大学情報理工学部 今川 隆司, 越智 裕之

概要：CMOS 集積回路上に PN 接合ダイオードを形成すると、フォトセンサとして利用できる。本試作では、ローム 0.18 μ m プロセスにおけるフォトダイオードの特性に関する基礎データの測定、および低電圧で動作可能なフォトダイオード出力の読み出し回路検討を目的とした TEG を設計・試作した。基礎データ測定用のフォトダイオード TEG は、P 基板-N ウェル接合面や P 拡散-N ウェル接合面を用いたものとし、様々な面積やアスペクト比のものを実装した。併せて、素子分離に必要な間隔を明らかにするため、素子間隔を変えたものを実装した。また、フォトダイオード上やフォトダイオード近傍に様々な形状のメタルを配置し、メタルによる遮光（あるいは反射）の影響も測定できるようにした。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

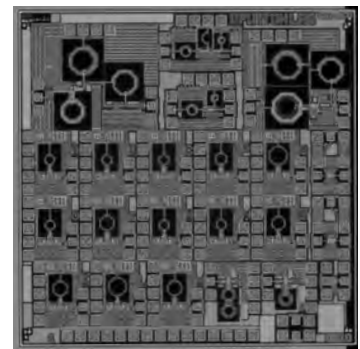


RF 回路 TEG

岡山県立大学情報工学部 伊藤 信之, 八木 希知, 澤山 唯人, 田島 直樹, 吉澤 悠人

概要：本 TEG 試作に入れた回路は、(1) マルチバンド同時受信 LNA (2) ミリ波帯インダクタ結合 Class-C 発振器 (3) fT ダブラーを用いたミリ波帯増幅器 (4) Switched Inductor VCO の4回路である。(1) のマルチバンド同時受信 LNA については、従来我々の研究室で検討してきた相互誘導型入力整合回路-相互誘導型整合出力回路に対して整合回路の種類を変えた、相互誘導型入力整合回路-ノッチフィルタ型整合出力回路とすることにより二つのバンド間のゲイン偏差を縮小する検討および、外付けインダクタを用いた新しい相互誘導型入力整合回路により雑音指数の向上を検討。(2) のミリ波帯インダクタ結合 Class-C 発振器については、インダクタの構造、用いるメタルレイヤーによって結合係数を種々変えたインダクタを設計し、それ以外は全く同じ VCO 回路に搭載することにより、我々の提案しているインダクタ結合発振器の位相雑音式の合理性を検証する目的で TEG を設計・搭載した。(3) の fT ダブラーを用いたミリ波帯増幅器については、2段増幅器と1段増幅器でパラメータを変えて設計した。また、(4) の Switched Inductor VCO については、過去の設計からスイッチの入れ方を変更した設計を行った。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATM など)

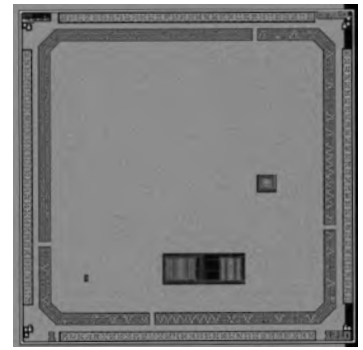


非同期デジタル回路向け電圧モード 多値論理回路の動特性評価回路

東京電機大学工学研究科電気電子工学専攻 岩井 一剛
東京電機大学工学部電気電子工学科 平野 皓士
東京電機大学工学部電子システム工学科 小松 聡

概要：本研究では、近年のデジタル回路が直面している問題を解決する手法として自己タイミング式非同期デジタル回路を提唱し、それを実現するために2値のデジタル値と処理の完了未完了を3段階の電圧信号とし1本の信号線で表現する電圧モード多値論理回路を提案した。本試作では提案した多値論理回路の伝搬遅延時間を測定する回路を設計した。この回路では提案論理回路を直列に複数個接続し、入力電圧信号に対する出力電圧信号の時間差を測定することで伝搬遅延を測定する。また、測定結果とシミュレーション結果を比較することでシミュレーションによる遅延見積もりが可能か確認する。この回路の測定により提案論理回路の伝搬遅延時間の評価とシミュレーションによる遅延見積もりの妥当性を確認することができた。今後は本試作で設計した提案多値論理回路を用いて、機能を有するデジタル回路を設計・試作し評価を行いたいと考えている。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ
チップ種別：アナログ/デジタル信号処理プロセッサ

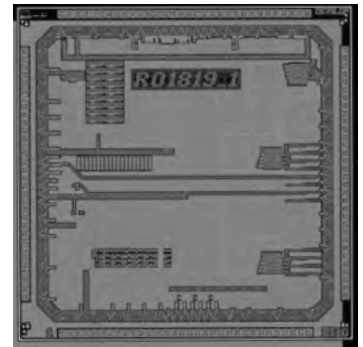


学部生へのレイアウト設計教育用メインチップ

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 山口 拓人, 鈴木 克典, 丹羽 春太, 唐鎌 侑馬
伊藤 大輝

概要：本試作チップでは、①神経細胞モデル1（作成：山口, 丹羽, 鈴木, 佐々木）②バーストニューロンモデル（作成：伊藤）③STDPモデル（作成：唐鎌）④神経ネットワーク（リピータ制作）の試作を行った。詳細は下記の通りである。・細胞体モデル（神経振動子）は、各自のネットワーク用途に設計したパラメータで作成。また、演算増幅器の負荷を減らすために発振周波数を落としたいため、静電容量を大きくしたものも追加でレイアウトした。ただし、静電容量の大きいモデルは今回はネットワークには組み込んでいない。・バーストニューロンモデルは、ノード数を4（4足歩行）と仮定して作成を行った。内部の実質的な動作はCRで時定数を稼ぎつつ、それぞれのノードで位相が意図した差を出力できるよう設計を行っている。・STDPは、以前作成したSTDPの改良版として再設計。以前の設計では、入力の時間差による定量的な電位差を生成するどころか、外部から加えた電位をキープすることもできなかったため、その原因を特定するための経路も別途用意した。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ
チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



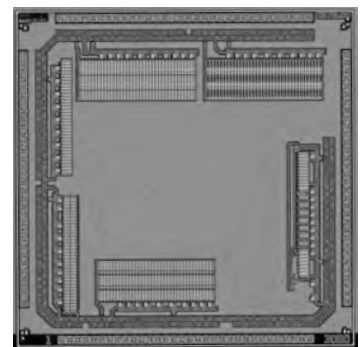
プリエンファシス・パルス設計理論の検証

静岡大学工学部 丹沢 徹

概要：大アレイメモリのワード線やパネルディスプレイのカラム線など容量の重い配線を高速に駆動するプリエンファシスパルスの回路理論を構築した。昨年度のVDEC/ローム試作では対グランド容量 C_g のみと隣接配線間容量 C_c のみを試作して理論の検証を行った。今回の試作では C_g と C_c の比を三種類（ $C_g:C_c=1:4, 1:1, 4:1$ ）振った回路を実装した。近端に入力信号を入れ、配線に沿ってアナログバッファを10個配置して各ノードの電圧波形をモニターできるようにした。プリエンファシスパルスの高さをターゲット電圧の1倍から2倍まで振り、配線内部の最も遅いノードがターゲット電圧の1%に達する時間を遅延時間と定義した場合、理論と実測の相対誤差は $C_g:C_c=1:4$ のとき3%、 $1:1$ のとき2%、 $4:1$ のとき7%であった。プリエンファシスパルスの高さをターゲット電圧の1.5倍とした場合、理論に従って設定したプリエンファシスパルス幅でパルスを制御すれば、ステップパルスに比べて遅延時間をおよそ1/3に減らせることを実証した。

参考文献：K. Matsuyama and T. Tanzawa, "A Circuit Analysis of Pre-Emphasis Pulses for RC Delay Lines," IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences (submitted)

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ
チップ種別：アナログ/デジタル信号処理プロセッサ

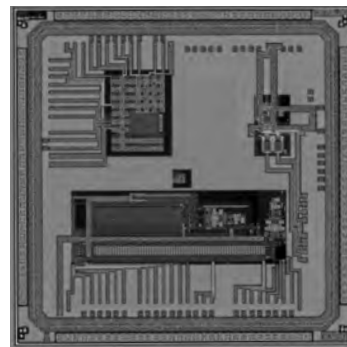


耐放射線回路、磁気センサの特性評価用 TEG

茨城大学工学部 木村 孝之

概要：耐放射線型デバイスを標準CMOSプロセスで実現するために、レイアウトの工夫を行ってきた。本研究では、耐放射線型イメージセンサの画素内のMOSFETにレイアウトの工夫を行うことで、放射線に強いデバイスの実現に関する検討を行った。また、レイアウトによっては寄生容量が大きくなり、センサの応答時間が長くなるといった問題が生じる。そのため寄生容量が小さくなるようなレイアウトについても検討を行った。その結果、信号電荷の転送を行うMOSFETを通常型のMOSトランジスタにし、それ以外を対放射線型のMOSトランジスタにすることで低暗電流化と21%の応答速度の改善が見込めることが明らかとなった。同時に周波数分割多重を応用した磁気センサアレイの試作を行った。このセンサでは列ごとに変調周波数を変え、それを同時に読み出すことでセンサアレイでのロックイン検出時間を短くすることが可能となる。本回路では4chの信号を同時読み出しできることを実証し、1.28秒の検出時間で入力換算ノイズが0.21mTppの測定を実現した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

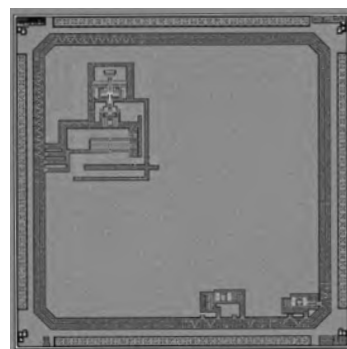


2Step-ADC, Active Inductorを用いたVCO

法政大学理工学部 原田 康平, 七田 洸介

概要：バッテリー駆動用のオーディオ帯域向けのADCには高精度で低消費電力化の需要から、4bitの逐次比較型をコース変換に2次2bit離散時間 $\Delta\Sigma$ 型をファイン変換とした構成で2STEP-ADCの試作を行った。従来の離散時間 $\Delta\Sigma$ ADCの技術では、高精度化のボトルネックとなる入力換算雑音を削減する為に大きな容量が必須となる。しかし、大きな容量を使用することで積分器の消費電流増加に繋がることから、低消費電力化と高精度化にはトレードオフの関係がある。この問題を解決する為に、逐次比較型の容量DACを積分器のサンプリング容量として使用することで、 $\Delta\Sigma$ ADCに入力される残差データがK倍に増幅される為、初段積分器の積分容量を小さく出来、OPAMPの消費電流を削減することが可能となった。これにより、低消費電力化と高精度化のトレードオフを緩和できることが期待される。全体システム構成は、2018年2月に試作したものと同様で前回試作時の測定結果を基に、不具合のあった論理回路とCMOS Switchのオン抵抗を下げた工夫を反映させたことで、特性の改善ができると考える。また、位相雑音の低減を目的としたアクティブインダクタを用いたVCOを試作した。動作周波数(120MHz)の期待値に対する寄生素子の影響を確認した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre, Synopsys社 StarRC(XT), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



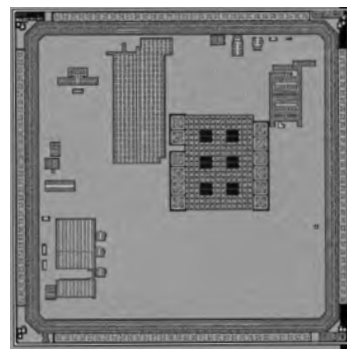
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 三浦 大毅

慶應義塾大学理工学研究科 吉田 祐威, Jorge Canada P, 福岡 龍人, 外村 崇史, 河添 翔平, 三河 樹由

概要：筋電、心電、脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、デジタル設計OTAを用いたノッチフィルタの試作及び、CMOSスイッチの絶縁性評価、GRO-TDCの試作を行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、レギュレータ付20段CCCPの試作及び、スロークロックシグナルジェネレータ、カウンタ、ボルテージディバイダ、メモリセルを試作した。

設計期間：8人月以上、9人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ



メタルフリンジキャパシタの容量測定 TEG ほか

立命館大学大学院情報理工学研究科 田中 一平, 宮内 悠太

立命館大学情報理工学部 今川 隆司, 越智 裕之

概要：配線間容量を利用したメタルフリンジキャパシタをNMOSトランジスタのゲートに接続することにより、フラッシュメモリと同様なフローティングゲート構造を標準CMOSプロセスで実現することが可能であることに着目し、これを用いた不揮発性メモリの実現に取り組んでいる。高い集積度を実現するため、メタルフリンジキャパシタはクロストークノイズの影響を受けにくいFishbone-in-Cage Capacitor (FiCC)を採用している。本試作では、その容量を測定してフィールドソルバ等での見積もり値を検証して今後の設計に活かすことを目的とし、リングオシレータ回路を実装した。本試作チップには上記のほか、フォトセンサなどのTEGも搭載している。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



DTW 距離計算回路の試作と CLA 加算回路の動作検証

東海大学情報通信学部 山本 遼, 中島 浩太郎, 平野 裕大, 八木 隼翔, 福原 雅朗

東海大学情報通信学研究科 藏野 貴教, 恩地 夏央, 山田 海貴

概要：DTW (Dynamic Time Warping) 距離は、時系列データの類似度を測る距離尺度の1つで、シーケンスデータのシーケンス長に関わらず類似度を計算できる。DTW距離の計算量は膨大であることから、当研究室では回路的工夫でDTW距離演算を高速化する手法を模索してきた。本試作では、半無限長のデータサイズ8bitの入力データからシーケンス長16の検索データのDTW距離を計算する回路構成となるように設計した。本チップの回路構成としては、8*16 (データサイズ*シーケンス長) のSRAMセルアレイ, 9bit差分絶対値計算回路 (データサイズ+冗長ビット1bit), ニューロンCMOSインバータを使用した最小値検出回路, 10bitCLA (Carry Look-ahead Adder: 桁上げ先見全加算器, データサイズ+冗長ビット2bit), 及び各ノード信号を一時的に記憶するための多数のDラッチにより構成されている。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路 (乗算器, 除算器など)

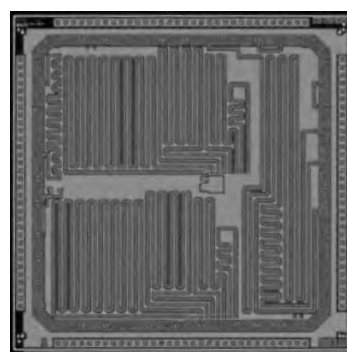


位相シフト回路 TEG

中部大学工学部 宮本 順一

概要：新規に考案した位相シフト回路を搭載したR0610 : PC579JCNR0610 : RO1818_3のリファイン版である。RO1818_3のチップを、専用治具にアッセンブリし、ネットワークアナライザで測定したところスイッチング付き位相シフタについては、所望の周波数 (2.45GHz) ではゲインが十分にとれず、特性が設計値よりもかなり劣った結果となった。これは、各種寄生容量が寄与しているものと考えられ、寄生効果の場所を特定するためのレイアウト修正を行った。また、 $\pi/8$, $\pi/4$, $\pi/2$, π の位相シフト量に伴いマイクロ波出力信号の振幅が異なる現象が観測されたので、出力信号の振幅が位相量に依存しないようRF増幅器を挿入することにした。これに伴い、遅延線の微調整も行った。RF増幅器は、まず、単一入力のRF信号を差動信号に変換した後、差動増幅器を多段に直列接続する方式を採用した。但し、シミュレーションでは、0.18um Rohmプロセスでのトランジスタを用いた場合、 ± 7 mVの入力RF信号であると2GHzまでしか増幅できていない。限界周波数は、入力のRF信号レベル依存性があるように見える。このTEGの実測結果を踏まえて、回路改良を検討する。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



確率的フラッシュ ADC

東京電機大学工学部電気電子工学科 福島 拓実, 西岡 伊吹

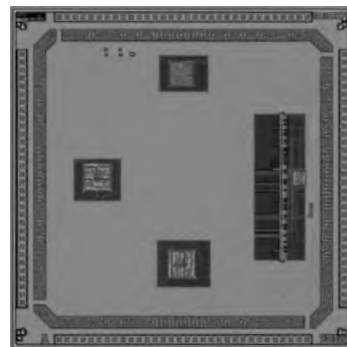
東京電機大学工学研究科電気電子工学専攻 荒井 建輝

東京電機大学工学部電子システム工学科 小松 聡

概要：プロセスばらつきを利用することでAD変換を行うADC回路。フラッシュADC回路から抵抗ラダーを排除し、エンコーダを加算器に変更する。一般的なフラッシュADCでは抵抗ラダーでの分圧によって、コンパレータに入力される参照電圧を決定し、AD変換を行うが、確率的フラッシュADCでは理想的な状態では、オフセット電圧は発生しないため、出力は全て'0'か'1'に落ち着く。しかし、プロセスばらつきが存在する場合にはオフセット電圧が発生し、その境目が各コンパレータにて固有に設定される。この'1'を示す個数はガウス分布に従うことで知られており、これを利用することでAD変換を行う。この回路はすべてスタンダードセルで構成することが可能であり、一般的な論理合成ツール、配置配線ツールを用いることができる。

参考文献：Ryosuke Yumoto and Satoshi Komatsu, "Characteristics optimization of stochastic ADC and its automatic generation system," 2017 15th IEEE NEWCAS, pp.89-92, June 2017.

設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



非同期デジタル回路向け 電圧モード多値論理回路を用いた加算回路

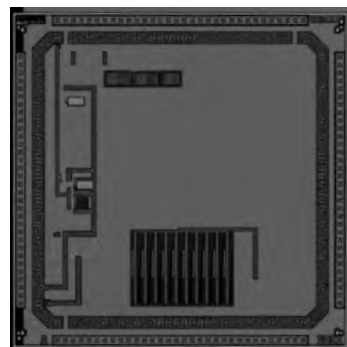
東京電機大学工学研究科電気電子工学専攻 岩井 一剛

東京電機大学工学部電気電子工学科 平野 皓士, 瀬端 康平

東京電機大学工学部電子システム工学科 小松 聡

概要：本試作は自己タイミング式非同期デジタル回路向け電圧モード多値論理回路の研究の一環として、RO18191で設計・評価した提案多値論理回路を用いた16bitのインクリメント回路である。この回路は16bitの桁上げ伝搬加算回路による全加算器を用いて前の状態の結果に1を加算する回路であり、自己タイミング式であるためすべての桁の正しい出力が得られ次第状態が進行する。前の状態の出力を用いて処理を行う回路であるためループ状の回路となっており、非同期デジタル回路として動作させるにあたり、データの衝突が生じないように処理ステージ数およびハンドシェイク回路を考案し設計を行った。提案多値論理回路を用いた回路と従来手法である二線式論理回路を用いた回路を設計し、提案多値論理回路を用いたデジタル回路の動作評価および従来手法の比較を行う。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



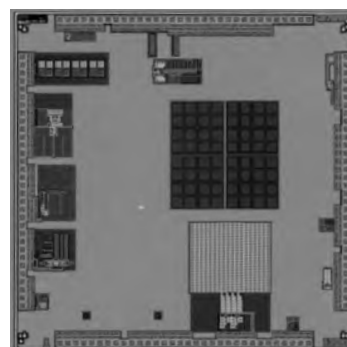
IoTのためのアナログ回路 TEG

広島工業大学工学部 升井 義博, 荒川 祐貴

広島工業大学工学系研究科 電気電子工学専攻 上見 アレックス, 西宮 司, 田中 一輝

概要：近年ではIoTの研究・開発・実用化に伴い、無線センサーネットワークの利用が開始されつつある。最近の無線センサーネットワークでは信号通信用の配線だけでなく、電源配線の無線化もすすみつつある。そこで、本試作ではエネルギーハーベストを電源とし、無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った。低電圧駆動、低消費電力というテーマで0.18 μ m CMOS プロセスを用いたアナログ回路TEGとして以下の回路を集積した。ダブルブースト技術を用いた昇圧回路、CMOSスイッチを利用した低電圧整流回路、弱反転領域を利用した温度センサ、差動型・非同期動作の8bit逐次比較型AD変換器、低消費電力マルチバイブレータ、オンチップ発電のための光発電セル等。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル混載

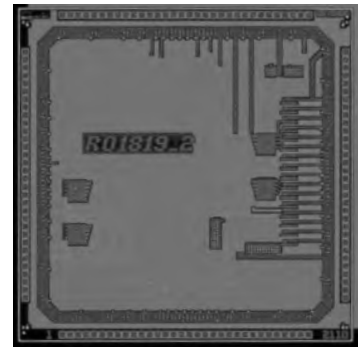


従来構成NNのバッファだけ改良したレイアウト

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 小澤 俊佑

概要：本試作チップでは、①神経細胞モデル（作成：佐々木）②ヒステリシス付きBNM（作成：小澤）の試作を行った。詳細は下記の通りである。神経細胞モデルは、基本的には従来設計を行ったレイアウトをそのままリピート作成として生成した。ただし、これまで作成した神経細胞モデル用の演算増幅器は、出力パッドに対して適切なサイズで設計を行ってこなかったため、多数用いてしまうと面積効率が非常に低くなってしまっていた。そのため、今回は出力パッドと縦幅がほぼ同等となるよう再設計を行った。それ以外の要素では、特に変更を行っていない。神経細胞モデルに採用しているラムダ形負性抵抗素子のみの特性を取得したいため、その箇所については単独レイアウトを追加した。ヒステリシス付きBNMは、基本的にはプレート容量を用いずにMOS容量のみで設計を試みている。ヒステリシスインバータには、外部電圧による窓関数制御を採用している。このモデルを4つ用いて、簡易的なCPGモデルを構築しテストベンチを行っている。ただし、出力にはバッファを使用していないため、神経細胞モデル単独の出力波形をプローブにて直接計測する形となり、発振周波数などについてはシミュレーションと全く合わないことを前提として設計を行っている。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 Cosmos, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



ニューロンCMOSインバータを用いた3種の回路の試作

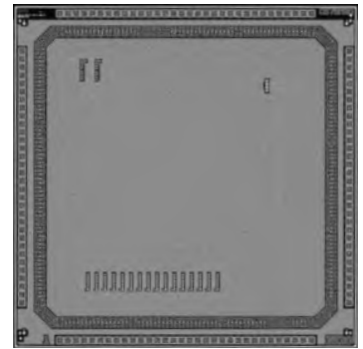
東海大学情報通信学研究科 恩地 夏央, 大塚 陸, 佐保 十世紀, 福原 雅朗

東海大学基盤工学部 藤本 邦昭

概要：本試作チップでは、(1) 最小ハミング距離検出器CAM (Content Addressable Memory：内容照合メモリ)、(2) ハミング距離検出器、(3) 2入力可変論理回路、の計3つの試作を行った。

(1) は、入力データと多数の記憶データを並列に比較し、ハミング距離が最小である記憶データを高速に読み出す回路である。(2) は、同一ビット長の二つのデータのハミング距離を高速に計算できる回路である。今回の試作では、特に消費電流が大きいカレントミラー回路に着目し、低電力型のハミング距離検出器を設計した。(3) は、2つの入力信号に対し、回路は固定でありながら制御信号の切り替えによって動的に論理機能を変更することが可能な回路である。なお、(1)、(2)、(3)の回路はそれぞれニューロンCMOSインバータを用いているが、ニューロンCMOSインバータにはフローティングゲートが存在するため、その動作が不安定となることが知られていた。今回の試作では、このフローティングゲート (Floating Gate：FG) の不安定さを解消するためのFGキャリブレーション回路をそれぞれ付加することによる効果の検証を試みている。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

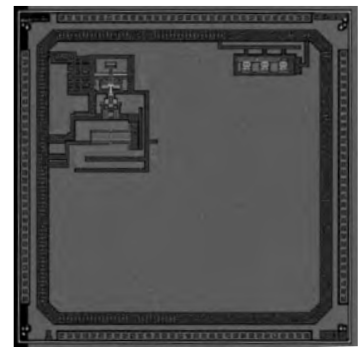


2 Step-ADC, VCO, 2次1bit連続時間 $\Delta\Sigma$ ADC

法政大学理工学部 原田 康平, 鈴木 隆生, 布川 祥大

概要：本試作では、2Step ADC, VCO, 2次1bit連続時間 $\Delta\Sigma$ 型を試作した。4bitの逐次比較型をコース変換に2次2bit離散時間 $\Delta\Sigma$ 型をファイン変換とした構成で2STEP-ADCの試作を行った。従来の離散時間 $\Delta\Sigma$ ADCは、高精度化のボトルネックとなる入力換算雑音を削減する為に大きな容量が必須となる。しかし、大きな容量を使用することで積分器の消費電流増加に繋がることから、低消費電力化と高精度化にはトレードオフの関係がある。この問題を解決する為に、逐次比較型の容量DACを積分器のサンプリング容量として使用することで、 $\Delta\Sigma$ ADCに入力される残差データがK倍に増幅される為、初段積分器の積分容量を小さく出来、OPAMPの消費電流を削減することが可能となった。これにより、低消費電力化と高精度化のトレードオフを緩和できることが期待される。全体システム構成は、2019年6月に試作したものと同様に、ミスマッチの影響を低減するDEMシステムを搭載できるような工夫を施した。またVCOについては、差動増幅器及び分周器を用いた一般的なものを試作し、Layout及び測定の実験を行うことを目的とした。2次1bit連続時間 $\Delta\Sigma$ 型ADCは、RC積分器、コンパレータ、DACを用いた構成になっており、オーディオ帯域よりも広帯域のものを試作した。このADCを用いて、SNR等の精度の確認を行うことを目的とした。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



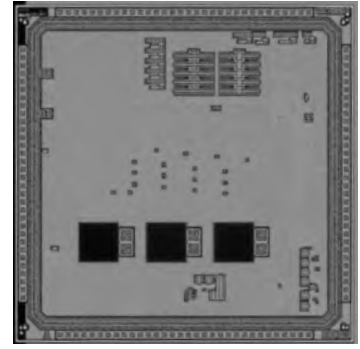
脳波取得フロントエンドの改良及び 自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 三浦 大毅, 八木 健太

慶應義塾大学理工学研究科 吉田 祐威, 三河 樹由, 外村 崇史, 河添 翔平, 福岡 龍人

概要：筋電、心電、脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、制御信号発生回路の試作及び、単チャンネルチョッパ安定化TDCベースADCの試作を行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、太陽電池用の段数の異なるSOCPを複数個試作して性能を検証し、またCCCPの改良を行った。

設計期間：8人月以上, 9人月未満 設計ツール：Cadence社 Verilog-XL, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ



超低電圧リテンションSRAM

東京工業大学未来産業技術研究所 塩津 勇作, 吉田 隼, 北形 大樹, 山本 修一郎, 菅原 聡

概要：現在のCMOSロジックシステムでは待機時消費電力の削減のためパワーゲーティング(PG)が用いられている。しかし、現状のPGではCMOSロジック内のキャッシュやレジスタ等の記憶回路が揮発性であることに起因して、PGのエネルギー削減効率は制約を受けている。我々はCMOS技術のみで構成され、データを保持したまま不揮発メモリのように極めて低い待機時電力を実現できるSRAMの開発を進めている。一般的なSRAMセルでも情報保持を持続できる低電圧モードがあるが、この電圧を大幅に下げることが難しく、そのリーク電流の削減率はPGによる電源遮断のように高くすることはできない。我々の提案している超低電圧リテンションSRAM(ULVR-SRAM)は、データ保持電圧を電源電圧の10-15%程度の超低電圧(ULV)まで低減することができるため、リーク電流の削減率が95-99%程度と大幅に向上できる。このように大きなリーク電流の削減率は不揮発メモリを用いたNV-SRAMにおける完全な電源遮断を行った場合に匹敵する。本試作では、ULVR-SRAMに関するTEGおよび8kBマクロを設計した。ULVR-SRAMを用いてロジックシステムのPGを行った場合のスタンバイ電力の削減効果などを検証した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Synopsys社 HSIM, Synopsys社 Formality, トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ チップ種別：メモリ



光受信用アナログフロントエンド回路TEG5

岐阜大学大学院自然科学技術研究科 三輪 祐三久, 石原 直志

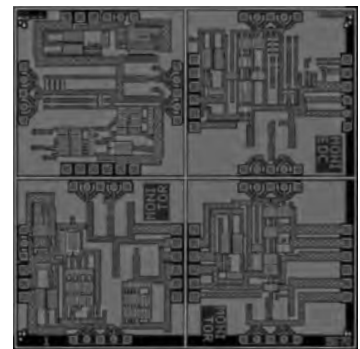
岐阜大学工学部 湯浅 貴文, 伊藤 大輔, 中村 誠

概要：我々の研究グループでは、光パケット伝送用アナログフロントエンド回路の設計を行っている。光アクセス(FTTH)や光パケットルータでは、信号強度の異なるパケットデータの送受信を行うため、受信したパケットデータに高速応答可能なアナログフロントエンド回路が求められている。これまでの試作では、信号振幅の異なるパケット信号に対応するための高速利得切替回路や、高速・長延化で課題となる光分散にも高速で対応可能な電気分散補償回路(EDC)を検討してきた。今回の試作では、このEDC回路について振幅と分散量が異なるパケット信号に対して波形補償量を制御するための高速波形モニタ回路の構成を検討し試作を行った。

具体的な構成は、波形劣化量(分散量)の検出を高低異なる閾値を持つコンパレータにより入力信号の立上がり立下り時間を単パルス化する方法で、この構成により分散による波形劣化量を高速に検出可能である。尚、試作ICの詳細評価は今後行う予定である。

参考文献：石原直志、三輪祐三久、前川竜也、中村誠、伊藤大輔、“バースト対応電気分散補償回路におけるモニタ回路の高速応答性の検討”、電子情報通信学会ソサイエティ大会、A-1-9、2019年9月。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



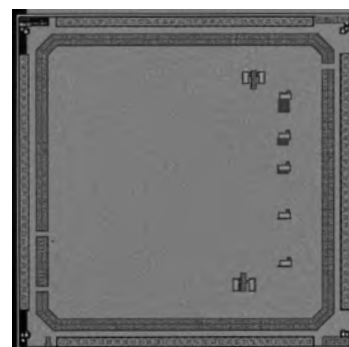
フォトセンサのTEG

立命館大学大学院情報理工学研究科 宮内 悠太, 田中 一平

立命館大学情報理工学部 室原 脩人, 今川 隆司, 越智 裕之

概要：CMOS集積回路上にPN接合ダイオードを形成すると、フォトセンサとして利用できる。本試作では、ローム0.18 μ mプロセスにおけるフォトダイオードの特性に関する基礎データの測定、および低電圧で動作可能なフォトダイオード出力の読み出し回路検討を目的としたTEGを設計・試作した。フォトダイオードTEGは本年度第1回試作同様、P基板-Nウェル接合面やP拡散-Nウェル接合面を用い、様々な面積やアスペクト比のもの、素子間隔を変えたもの、フォトダイオード上やフォトダイオード近傍に様々な形状のメタルを配置したものを実装した。フォトダイオード出力を読み出す回路としては、差動型コンパレータを用いた回路と、電流制御発振器を用いた回路の2種を試作した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

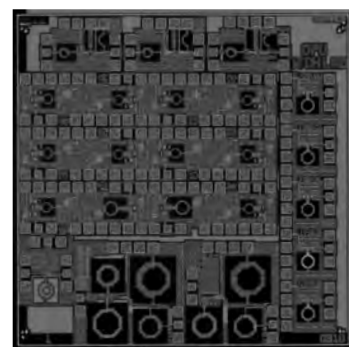


RF回路TEG

岡山県立大学情報工学部 伊藤 信之, 澤山 唯人, 田島 直樹, 吉澤 悠人, 結城 主

概要：本TEG試作に入れた回路は、(1) マルチバンド同時受信LNA (2) ミリ波帯インダクタ結合Class-C発振器 (3) fTダブラーを用いたミリ波帯増幅器 (4) ストライプ構造インダクタを用いたミリ波帯VCOの4回路である。(1)のマルチバンド同時受信LNAについては、6月のテーブアウトで検討した相互誘導型入力整合回路-ノッチフィルタ型整合出力回路に対して、ノッチフィルタ型入力整合回路-ノッチフィルタ型整合出力回路更により更に雑音指数の向上を図るとともにゲイン偏差も低減することを目標とした回路および、外付けインダクタを用いた新しいノッチフィルタ型入力整合回路により雑音指数の向上を検討した。(2)のミリ波帯インダクタ結合Class-C発振器については、6月のテーブアウトではカバーしきれなかった、構造バリエーションを設計・した。(3)のfTダブラーを用いたミリ波帯増幅器については、6月のテーブアウト回路の評価により、周波数が低周波側に10~20%ずれた事と、利得向上のための回路修正を行い、さらなる特性向上を目指した。(4)のストライプ構造インダクタを用いたミリ波帯VCOについては、昨年度の試作で搭載した回路に対してあらたな構造を用いた回路を搭載した。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)



逐次比較型A/D変換器向け小型低消費電力D/A変換器の試作

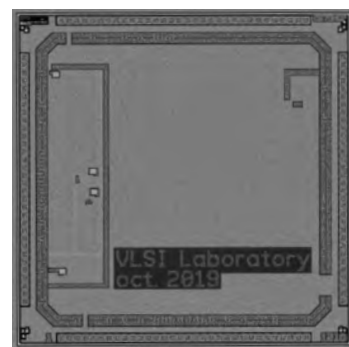
東京電機大学工学研究科電気電子工学専攻 岩井 一剛

東京電機大学工学部電気電子工学科 平野 皓士, 瀬端 康平

東京電機大学工学部電子システム工学科 小松 聡

概要：近年、IoT機器向けに低消費電力で汎用性の高いA/D変換器として逐次比較型A/D変換器が多く用いられている。本研究ではIoT機器向けに低消費電力でA/D変換するためにスイッチドキャパシタ型ADCの設計を行った。キャパシタの容量を削減するため、C2C型DACの設計を行った。これによりキャパシタの容量を削減し低消費電力でA/D変換することが可能になる。また、フルカスタム設計をすることによりDAC部分を45 μ m \times 35 μ mという小ささで設計することが出来た。この回路はシミュレーションでは動くことがわかっているので、試作チップを測定してこの回路が動作するかの検証を行う。また、このDACはキャパシタンスの容量が非常に小さいため、アナログ電圧を外部に出力出来ない可能性があると考えた。そのため、内部でアナログ電圧を測定するために、このDACにコンパレータを組み込んだものも試作を行った。これにより、コンパレータでDACの生成電圧と外部からの参照電圧を比較することにより、DACの出力電圧を外部に出力せず、測定できるように設計を行った。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

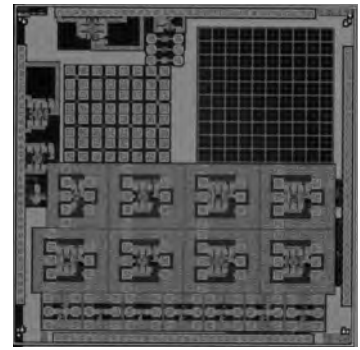


オンチップ太陽電池と環境電波発電向け整流回路

秋田県立大学システム科学技術研究科 宇佐美 蓮, 菊地 杜斗
秋田県立大学システム科学技術学部 小谷 光司

概要: IoTデバイスの普及に向け、ワイヤレスな電源技術が課題となる。本試作では、光無線給電向けの太陽電池、環境電波発電向け整流回路及び回路素子のTEGを試作した。太陽電池は、1mm角の大きさで、トリプルウェル構造を採用し、各接合の組み合わせにより、様々な電流・電圧特性を得ることを目的としている。整流回路は、特に差動入力型の整流回路において、整流素子(MOSFET)のしきい値を差動信号による能動バイアスや光エネルギーを活用して補償する回路を設計し、MOSFETのオン抵抗の影響が顕著になる低入力電力領域における高効率動作を目的とした。さらに、逆方向リーク電流による効率劣化が課題となる高入力電力領域での効率向上のために、電圧リミッタ機構を有するしきい値補償制御回路を設計した。今後は、半導体パラメータアナライザおよびベクトルネットワークアナライザを用いてチップ検証を実施する予定である。

設計期間: 1人以上、2人未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数: 10~100 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: TEG (特性評価回路など)

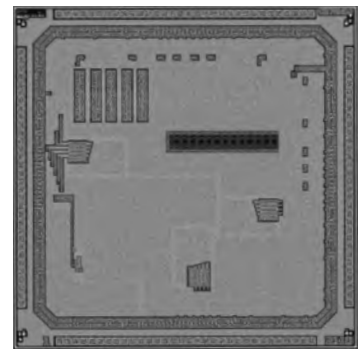


ニューラルネットワーク用モジュールの試作 (続き)

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹

概要: 本試作チップでは、前回に引き続き①神経細胞モデル(作成:佐々木)②ヒステリシス付きBNM(作成:小澤)の試作を行った。詳細は下記の通りである。神経細胞ネットワークについては、バイアスの電流回路などについては従来の回路を使いまわして設計している。今回の主な変更箇所としては、従来の神経細胞モデルでは、他励振モデルとして設計をしても、ゲートばらつき等に影響を受け自励振動するケースが多々あったため、ラムダ形負性抵抗素子の切片が0原点となるような新規設計のバイアス回路を追加した。この特性が実現するためには、神経細胞モデルとバイアス回路の特性が同一となる必要があるため、部分的にレイアウト対称性を考慮して設計を行った。ヒステリシス付きBNMは、基本的にはプレート容量を用いずにMOS容量のみで設計を試みている。ヒステリシスインバータには、外部電圧による窓関数制御を採用している。このモデルを4つ用いて、簡易的なCPGモデルを構築しテストベンチを行っている。ただし、出力にはバッファを使用していないため、神経細胞モデル単独の出力波形をプローブにて直接計測する形となり、発振周波数などについてはシミュレーションと全く合わないことを前提として設計を行っている。

設計期間: 3人以上、4人未満 設計ツール: Cadence社 Virtuoso, Synopsys社 Cosmos, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数: 100~1,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



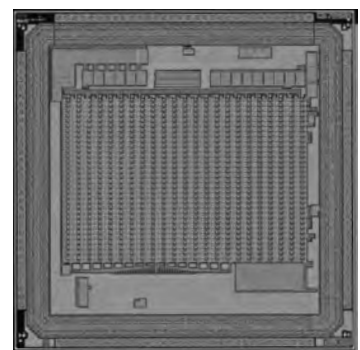
オペアンプTEG

東北大学電気通信研究所 菊地 優志, 堀尾 喜彦

概要: 電源電圧+0.9VとしたRail-to-RailのオペアンプTEGチップ。本チップは、オペアンプ設計の包括的学習を行うため、アナログスピントロニクスニューラルネットワークの基本構成部品として使用することを主な目的としたオペアンプの試作チップである。学習用チップのためと、消費電力を抑えるため、回路構成は基本的な2段オペアンプとしたが、オペアンプの用途はスピントロニクスニューラルネットワーク回路の試作用とし、新たに提案したスピントロニクスニューロンおよびシナプス素子の熱的ダイナミクス特性を勘案した時間応答特性とした。また、ニューラルネットワーク中のシナプスでの重み付き時間積分と積和演算のダイナミックレンジを確保するため、出力電圧振幅が電源電圧一杯までできるだけ線形に振れるように設計した。

参考文献: 菊地, 佐藤, Kurenkov, 堀尾, 深見, "熱ダイナミクスを利用したスピントロニクスニューロンデバイスの数理モデル", 電子情報通信学会技術報告, NLP2019-104, pp. 96-104, 2020.

設計期間: 1人以上、2人未満 設計ツール: Cadence社 Virtuoso, Cadence社 Spectre, トランジスタ数: 10~100 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



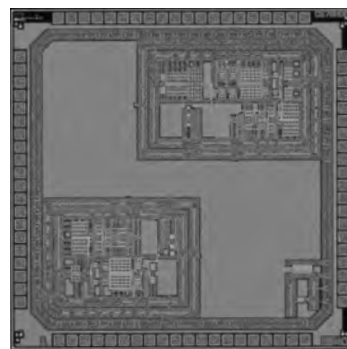
光プローブ電流センサ向け容量型トランスインピーダンスアンプを用いた光電流変換CMOSアナログフロントエンド回路の高精度化及び広帯域化

信州大学大学院総合理工学研究科 赤羽 和哉, 宮地 幸祐

信州大学工学部 Nguyen Phuc

概要：バッテリーモニタリング用途の光プローブ電流センサアナログフロントエンド (AFE) 回路を試作した。この回路は非測定電流磁界を磁気ファラデー効果によりフォトダイオード電流に変換するもので、R9540 : PC579KCPR9540 : RO1818_4では容量型トランスインピーダンスアンプ (TIA) とチョッピングを用いたAFEを試作していた。しかし、オフセット除去のチョッピングの効果が低く、SFDRも30dB程度と低かった。本試作ではフォトダイオードの同相DC電流除去バイアス回路をチョッパーの後段に移動させることでこの回路のミスマッチの低減を図った。また、レギュレーテッドカスコード回路によるバッファを追加することで帯域の向上を図りつつ、同相フィードバックの位相補償による安定化もおこなった。また、離散出力を連続アナログ出力に戻していた最後段の平滑化LPFをなくし、直接ADCに同期を取りながら入力できるように構成を変更した。これらの改善によりSFDR 60dB程度、帯域80kHzが期待される。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



4-3

第4章
チップ試作結果報告

スタンバイ電圧生成回路の評価 TEG

福岡大学工学部 西澤 真一

概要：集積回路の消費電力の増大が課題であり、特にスタンバイリーク電力の削減が課題となっている。電源遮断はリーク電力削減に効果的だがデータが揮発するため復帰時に電力を消費する問題がある。電源電圧を下げるとリーク電流を削減できるが、電源電圧を可変にするための電源回路のオーバーヘッドが大きい。そこで精度を犠牲にしながら小面積で簡便にスタンバイ電圧を生成する回路を設計した。ベンチマーク回路の電源制御に設計した回路を適用し、スタンバイ状態の維持と復帰とそのときの消費電力について評価する。

参考文献：Suhwan Kim, Stephan V. Kosonocky, Daniel R. Knebel, Kevin Stawiasz, and Marios C. Papaefthymiou, "A multi-mode power gating structure for low-voltage deep-submicron CMOS ICs," IEEE Transaction on Circuits and Systems II Express Briefs, volume. 54, number. 7, pp. 586-590, July 2007,

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Verilog-XL, Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Synopsys社 HSIM, トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

低消費電力近距離有線通信テストチップ

富山県立大学工学部 吉河 武文, 柴崎 淳詞, 石丸 雅裕

富山県立大学情報システム専攻 青山 晃大

概要：本試作チップは、複数の半導体チップを縦積みにし Through Silicon Via (TSV) で接続した3次元実装LSIにおいて、当該TSVを介した有線通信にかかる電力の低減を目的としている。具体的には、2本のTSVを上下に分けるとともに、それらTSVをドライブするドライバを電源とグラウンド間で中間ノードを挟んで縦積み構成として、これら上下のTSV間で電荷を再利用させて、低消費電力化を図る。上部のTSVに蓄えられた電荷を下部のTSVの充電に利用するのである。したがって、上部のドライバがTSVを論理1から0に遷移させると同時に、下部のドライバがTSVを論理0から1に遷移させる際に、電荷再利用が行われることとなる。この論理遷移条件を精査し、ランダムパターンにおいて電荷再利用が期待される確率を得る式を導出した。そして、電荷の再利用の有無に起因する中間ノードの電位変動を抑えるため、ゲート接地増幅器で構成する Local Voltage Stabilizer (LVS) を搭載した。また、受信側には、上下のTSVの遷移状態から電源振幅の信号を生成するレベルシフタを新規設計するとともに、待機電流のないコンバータを用いた。これらの回路を設計・レイアウトして、試作チップを構成した。ただ、TSVを実際に形成するのは困難であったため、3層と4層目のメタル配線で代用した。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：100~1,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

耐放射線性能を高めた逐次比較型ADC

富山県立大学工学部 吉河 武文

神戸大学イノベーション研究科 三木 拓司

富山県立大学情報システム専攻 青山 晃大

概要：本試作チップは、逐次比較型のアナログ・デジタル変換回路 (ADC) において、放射線の照射により蓄積電荷量が変わってしまった場合でも、誤ったコードの生成を抑制することを目的としている。この誤コード生成抑制のコンセプトについては、今後の論文に記載していく所存である。試作チップは、2 mm × 1.5 mm の大きさに100ピンである。また、SOTBトランジスタは使用せず、3.3VのI/Oトランジスタのみを用いた。これは、放射線に対してBulkトランジスタの方がSOTBに比べて弱いためである。試作チップは、QFP160に封入した。ADCのビット数は13ビットであり、変換クロックは14MHzである。現状の評価では、放射線を照射しない状態で所望の変換が実現できている。今後は、高崎の量子応用研究所等で実際に放射線を照射して正しく変換ができるかを実験する所存である。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：100~1,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)

集積化磁気センサの構成回路評価用 TEG

茨城大学工学部 木村 孝之

概要：これまで特殊な埋め込み酸化膜を持つSOTBプロセスを用いて磁気センサの試作を行ってきた。この磁気センサでは拡散層を利用したHallプレートをHallエレメントとして利用した。本研究では2次元集積化磁気センサを実現するため、このHallエレメントを用いて3×16アレイと制御用のデジタル回路を集積化し、2次元磁気センサを試作した。試作日程の遅れと感染症流行の対策のため、アレイとしての測定やその評価を行うことはできていない。しかし、これまでにHallエレメント単体の特性測定は終了しており、その感度はこれまでと同程度（駆動電流を22 μ A流した時の感度が0.1mV/mT）であった。またアレイを駆動するためのデジタル回路が正常に動作することも確認できている。今後は測定系の整備を行い、アレイとしての磁気センサの特性の測定を行い2次元センサとしての評価を行う予定である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG（特性評価回路など）

RISC-Vプロセッサ+耐ソフトウェアFF+信頼性評価回路

京都工芸繊維大学工学部 小林 和淑, 古田 潤, 榎原 光則, 河野 雄或, 足助 拓哉

東京理科大学理工学部 岸田 亮

概要：本チップは耐ソフトウェアFFによるRISC-Vプロセッサ、様々な耐ソフトウェアFFの評価を行うFFアレイならびにリングオシレータによる信頼性評価回路の3つの回路ブロックよりなる。RISC-VプロセッサはFFとメモリ内のラッチをSOIプロセスでエラー耐性の高いスタック構造に置き換え、プロセッサ全体としてのソフトウェア耐性を担保している。現在FPGAによりこのRISC-Vプロセッサを制御する測定系の組み上げ中である。FFアレイには、スタック構造よりも面積や遅延のオーバーヘッドが小さいFRFFを搭載している。信頼性評価回路には、新規に待機時にNBTI/PBTIによる経年劣化を完全に抑制するZBTI構造によるROも組み込んだ。チップ設計時に電源配線のミスによりFFアレイと信頼性評価回路が動作しなかったが、VDECのFIBにより回路修正を行い無事動作した。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm角 チップ種別：マイクロプロセッサ

最小エネルギー点を追跡するRISC-Vプロセッサの試作

京都大学大学院情報学研究所 徐 宏傑, 石井 颯真, 松野 旺示, 黄 超, 永井 健太郎, 塩見 準, 小野寺 秀俊

名古屋大学大学院情報学研究所 石原 亨

概要：電源電圧および基板電圧を動的に調節可能なRISC-Vプロセッサを試作した。8kB命令スクラッチパッドメモリ、16kBデータスクラッチパッドメモリ、4kB命令キャッシュが搭載されている。スタンダードセルを用いた完全デジタル型メモリがオンチップメモリとして実装されている。様々な要求動作速度の制約の下で、消費エネルギーを最小化する電源電圧と基板電圧からなる電圧条件（最小エネルギー点）で当該プロセッサが動作することを実測で確認した。実測で確認された最小エネルギー点は、電源電圧換算でおよそ0.4Vから0.9Vにわたる。また、3種類の電圧を生成可能なスイッチトキャパシタ型DC-DCコンバータと、DLL型の基板バイアス生成回路が搭載されている。基板バイアス生成回路は与えられた遅延制約を守りながら、自律的にPMOSFETおよびNMOSFETのスキューを補償し、リークエネルギーを自律的に最小化する。電源電圧0.45Vから1.0Vにおいて、基板バイアス生成回路の動作を実測で確認した。応答遅延は10 μ 秒のオーダーであり、消費電力のオーダーはベストケースで μ Wオーダーである。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Synopsys社 HSIM, トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm角 チップ種別：マイクロプロセッサ

しきい値電圧の違いによる経年劣化評価試作チップ

東京理科大学理工学部 電気電子情報工学科 岸田 亮

東京理科大学理工学研究所 電気工学専攻 小高 孔頌

京都工芸繊維大学電子システム工学専攻 足助 拓哉, 中野 洋希, 小林 和淑

概要：集積回路の微細化によって経年劣化による信頼性問題が顕在化している。回路設計者は経年劣化によって生じるしきい値電圧の変動量を把握したうえで回路設計する必要がある。リングオシレータの配線接続方法を変えることで経年劣化を抑制できるが、しきい値電圧分の劣化が発生する。このリングオシレータをしきい値電圧の異なるプロセスで同一チップに搭載することで、一度の測定で電圧の違いによる経年劣化を評価できる。チップは正常に動作することを確認しており、現在、経年劣化評価に向けて鋭意測定中である。

設計期間：5人月以上、6人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG（特性評価回路など）

ガードゲート構造を用いた耐放射線フリップフロップの評価チップ

京都工芸繊維大学電子システム工学専攻 古田 潤, 榎原 光則, 山田 晃大, 小林 和淑

概要：放射線の電離作用により生じる一時故障が回路の信頼性を低下させる要因となっている。一時故障を抑制するフリップフロップは多数提案されているものの、面積や消費電力などの増加が多い。本チップ試作ではガードゲート構造と呼ばれるローパスフィルタをフリップフロップに適用した耐放射線構造を設計した[1]。フリップフロップのスレイブラッチ構造を利用することでトランジスタの増加量を2つに抑制しつつ、回路の遅延増加も数%に抑えている。本試作チップに重イオン照射による加速試験を行った結果、エラーの発生率が従来のフリップフロップの1/10程度に減少することを確認した。

参考文献：[1] M. Ebara, J. Furuta, K. Kobayashi, "Evaluation of Soft-Error Tolerance by Neutrons and Heavy Ions on Flip Flops with Guard Gates in a 65 nm Thin BOX FDSOI Process", RADECS2019

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 3mmx2mm チップ種別：TEG (特性評価回路など)

最小エネルギー点を追跡するRISC-Vプロセッサの試作

京都大学大学院情報学研究科 徐 宏傑, 劉 晟宇, 松野 旺示, 黄 超, 永井 健太郎, 塩見 準, 小野寺 秀俊

名古屋大学大学院情報学研究科 石原 亨

概要：電源電圧および基板電圧を動的に調節可能なRISC-Vプロセッサを試作した。試作チップには8-kB命令スラッチパッドメモリ、16-kBデータスラッチパッドメモリ、4-kB命令キャッシュが搭載されている。スタンダードセルを用いた完全デジタル型メモリがオンチップメモリとして実装されており、電源電圧1.0Vにおける当該プロセッサの動作を実測で確認している。3種類の電圧を生成可能なスイッチトキャパシタ型DC-DCコンバータが搭載されている。また、DAC型の基板バイアス生成回路、およびDLL型の基板バイアス生成回路が搭載されている。DLL型基板バイアス生成回路は与えられた遅延制約を守りながら、自律的にPMOSFETおよびNMOSFETのスキューを補償し、リークエネルギーを自律的に最小化する。電源電圧0.45Vにおいて、DLL型基板バイアス生成回路の動作を実測で確認した。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 NCVerilog, Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Synopsys社 HSPICE, トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 3mm角 チップ種別：マイクロプロセッサ

第5章 VDEC概要

5.1 組織概要

東京大学大規模集積システム設計教育研究センター(略称VDEC)は、日本の国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動の推進のために平成8年5月に全国共同利用施設として発足した。平成16年度の国立大学法人化に伴い、東京大学の学内の1部局として位置づけとなって以降も、各位のご理解の元、それまで同様の活動を継続してきた。令和元年10月に、東京大学における半導体関連研究の強化を目指して設置された東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)に合流し、これまでVDECが担ってきた日本の国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動の推進の活動を基盤設計研究部門における「VDEC機能」として継続しつつ、先端設計研究部門における産学連携をも強化した最先端設計研究の強化を目指した活動を開始した。

VDECは発足当初は専任教員5名と事務官1名という小さな組織であったが、平成9年度には専任教員2名と事務官1名が増員され、令和元年9月現在で専任教員8名、客員教授1名、そして20名以上の非常勤スタッフや学外

協力研究員が在籍している。

また、平成9年4月から平成19年3月まで、全国9大学のVDECサブセンターから連携を密にする目的で、2年を単位として2名の教官を派遣する「流動教官制度」を開始した。(平成16年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更)この流動教官制度の終了に伴い、全国運営協議会における了解のもと、VDECにおけるチップ試作料に手数料を上乘せし、その資金により特任教員を雇用することでVDECの活動(現在のVDEC機能)の充実を図っている。

加えて、平成20年4月からは「協力教員制度」を開始し、現在は10大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている。(下記参照)

さらに産業界との連携のため、1名の客員教授に協力をお願いしている。工学系研究科への改組に伴い、名称が「客員研究員」に変更となっているが、引き続き産業界との連携を充実させていきたい。

VDECの事務については、VDECの非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとり行っている。

表：流動教官派遣大学

年 度	派 遣 大 学
平成9・10年度	東北大学, 横浜国立大学
平成11・12年度	金沢大学, 広島大学
平成13年度	千葉大学, 東京工業大学
平成14年度	千葉大学, 東京工業大学, 京都大学
平成15年度	京都大学, 九州大学
平成16年度	大阪大学, 九州大学
平成17年度	名古屋大学, 大阪大学
平成18年度	北海道大学, 名古屋大学
平成19年度	北海道大学
平成20年度以降	協力教員派遣実績のある大学 (北海道大学, 東北大学, 東京工業大学, 金沢大学, 名古屋大学, 京都大学, 京 都工芸繊維大学, 立命館大学, 大阪大学, 広島大学, 九州大学, 福岡大学)

5.2 人事報告

d.lab 人事（2020年4月1日付け）

センター長・教授	黒田 忠 広
基盤設計研究部門長・教授	池田 誠
教 授	藤田 昌 宏
非常勤講師	水野 正 之
准 教 授	小林 正 治
准 教 授	飯塚 哲 也
特任講師	肥後 昭 男
特任講師	徐 祖 樂
助 教	NGUYEN NGOC MAI KHANH
助 教	松本 高 士
特任研究員	LEBRASSEUR ERIC CHARLES
特任研究員	島本 直 伸
特任研究員	荒川 文 男
特任研究員	落合 幸 徳
学術支援専門職員	大西 廉 伸
学術支援専門職員	藤原 誠
学術支援専門職員	狭間 雅 人
学術支援専門職員	島津 之 彦
学術支援専門職員	長谷川 淳
学術支援専門職員	有本 久 成
学術支援専門職員	岡田 光 司
学術支援専門職員	四手井 綱 章
学術支援専門職員	林 泰 弘
学術支援専門職員	太田 悦 子
上 席 係 長	岡野 孝 之
係 長	住谷 啓 介
係 長	田村 未 佳
係 員	高 梨 芳 郎

協力教員・協力研究員

濱田基嗣

(先端設計研究部門長・東京大学工学系研究科附属システムデザイン研究センター特任教授)

中村宏

(先端設計研究部門・東京大学情報理工学系研究科教授)

竹内健

(先端設計研究部門・東京大学工学系研究科電気系工学専攻教授)

若林一敏

(先端設計研究部門・東京大学工学系研究科附属システムデザイン研究センター上席研究員)

平本俊郎

(先端デバイス研究部門長・東京大学生産技術研究所教授)

高木信一

(先端デバイス研究部門・東京大学工学系研究科電気系工学専攻教授)

染谷隆夫

(先端デバイス研究部門・東京大学工学系研究科電気系工学専攻教授)

内田建

(先端デバイス研究部門・東京大学工学系研究科マテリアル工学専攻教授)

丹羽正昭

(先端デバイス研究部門・東京大学工学系研究科附属システムデザイン研究センター上席研究員)

三田吉郎

(基盤デバイス研究部門長・東京大学工学系研究科電気系工学専攻准教授)

竹中充

(東京大学工学系研究科電気系工学専攻准教授)



2019年度 大規模集積システム設計教育研究センター運営委員会委員名簿

2019年4月1日現在

区分	氏名	所属	任期	メールアドレス
委員長	藤田 昌宏	大規模集積システム設計教育研究センター長	2018.4.1～2020.3.31	fujita@ee.t.u-tokyo.ac.jp
1号委員	大久保 達也	工学系研究科長 教授	2018.4.1～2020.3.31	dean@t.u-tokyo.ac.jp
1号委員	石川 正俊	情報理工学系研究科長 教授	2019.4.1～2020.3.31	Masatoshi_Ishikawa@ipc.i.u-tokyo.ac.jp
1号委員	池田 誠	大規模集積システム設計教育研究センター 教授	2018.4.1～2020.3.31	ikedata@silicon.u-tokyo.ac.jp
1号委員	坂井 修一	大学院情報理工学系研究科 教授	2018.4.1～2020.3.31	sakai@mtl.t.u-tokyo.ac.jp
1号委員	中野 義昭	大学院工学系研究科 教授	2018.4.1～2020.3.31	nakano@ee.t.u-tokyo.ac.jp
1号委員	平本 俊郎	生産技術研究所 教授	2018.4.1～2020.3.31	hiramoto@nano.iis.u-tokyo.ac.jp
1号委員	高木 信一	大学院工学系研究科 教授	2018.4.1～2020.3.31	takagi@ee.t.u-tokyo.ac.jp
1号委員	三田 吉郎	大学院工学系研究科 准教授	2018.4.1～2020.3.31	mita@ee.t.u-tokyo.ac.jp
2号委員	小林 正治	大規模集積システム設計教育研究センター 准教授	2019.4.1～2020.3.31	masa-kobayashi@nano.iis.u-tokyo.ac.jp
2号委員	飯塚 哲也	大規模集積システム設計教育研究センター 准教授	2018.4.1～2020.3.31	iizuka@vdec.u-tokyo.ac.jp

2019年度 システムデザイン研究センター運営委員会委員名簿

2019.10.1現在

区分	氏名	所属	任期	メールアドレス
委員長	黒田 忠広	システムデザイン研究センターセンター長	2019.10.1～2021.3.31	kuroda@ee.t.u-tokyo.ac.jp
1号委員	大久保 達也	工学系研究科長	2019.10.1～2020.3.31	dean@t.u-tokyo.ac.jp
2号委員	峯松 信明	電気系工学専攻長	2019.10.1～2020.3.31	mine@gavo.t.u-tokyo.ac.jp
3号委員	柴田 直哉	総合研究機構長	2019.10.1～2021.3.31	shibata@sigma.t.u-tokyo.ac.jp
4号委員	藤田 昌宏	システムデザイン研究センター	2019.10.1～2021.3.31	fujita@ee.t.u-tokyo.ac.jp
4号委員	池田 誠	システムデザイン研究センター	2019.10.1～2021.3.31	ikedata@silicon.u-tokyo.ac.jp
4号委員	小林 正治	システムデザイン研究センター	2019.10.1～2021.3.31	masa-kobayashi@nano.iis.u-tokyo.ac.jp
4号委員	飯塚 哲也	システムデザイン研究センター	2019.10.1～2021.3.31	iizuka@vdec.u-tokyo.ac.jp
5号委員	高木 信一	電気系工学専攻	2019.10.1～2021.3.31	takagi@ee.t.u-tokyo.ac.jp
5号委員	染谷 隆夫	電気系工学専攻	2019.10.1～2021.3.31	someya@ee.t.u-tokyo.ac.jp
5号委員	霜垣 幸浩	マテリアル工学専攻	2019.10.1～2021.3.31	shimo@dpe.mm.t.u-tokyo.ac.jp
5号委員	鈴木 雄二	機械系工学専攻	2019.10.1～2021.3.31	ysuzuki@mesl.t.u-tokyo.ac.jp
6号委員	中村 宏	情報理工学系研究科	2019.10.1～2021.3.31	nakamura@hal.ipc.i.u-tokyo.ac.jp
6号委員	平本 俊郎	生産技術研究所	2019.10.1～2021.3.31	hiramoto@nano.iis.u-tokyo.ac.jp

5-2

第5章

VDEC概要

2019年度 大規模集積システム設計教育研究センター 全国運営協議会委員名簿

氏名	所属・職位	任期	連絡先	
			Tel/Fax	E-mail
藤田 昌宏	東京大学大規模集積システム設計教育研究センター 教授	2018.4.1 ~2020.3.31	TEL 03(5841)6673 FAX 03(5841)6724	fujita@ee.t.u-tokyo.ac.jp
池田 誠	東京大学大規模集積システム設計教育研究センター 教授	2018.4.1 ~2020.3.31	TEL 03(5841)6661	ikedata@silicon.u-tokyo.ac.jp
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授	2018.4.1 ~2020.3.31	TEL 03(5841)7467	takagi@ee.t.u-tokyo.ac.jp
池辺 将之	北海道大学量子集積エレクトロニクス研究センター 教授	2019.4.1 ~2020.3.31	TEL/FAX 011-716-6004	ikebe@ist.hokudai.ac.jp
須川 成利	東北大学大学院工学研究科技術社会システム専攻 教授	2019.4.1 ~2020.3.31	TEL 022(795)4835	shigetoshi.sugawa.d4@tohoku.ac.jp
一色 剛	東京工業大学 工学院 情報通信系 教授	2018.4.1 ~2020.3.31	TEL/FAX 03(5734)2842	issniki@ict.e.titech.ac.jp
岡田 健一	東京工業大学工学院電気電子系 教授	2018.4.1 ~2020.3.31	TEL 03-5734-3764	okada@ee.e.titech.ac.jp
史 又 華	早稲田大学基幹理工学部電子物理システム学科 教授	2018.4.1 ~2020.3.31	TEL 03-5286-3400	shi@waseda.jp
北川 章夫	金沢大学理工研究域電子情報学系 教授	2018.4.1 ~2020.3.31	TEL 076(234)4863 FAX 076(234)4863	kitagawa@is.t.kanazawa-u.ac.jp
河口 信夫	名古屋大学大学院工学研究科計算理工学専攻 教授	2018.4.1 ~2020.3.31	TEL 052(789)4388 FAX 052(789) 4696	kawaguti@itc.nagoya-u.ac.jp
小野寺 秀俊	京都大学大学院情報学研究所通信情報システム専攻 教授	2018.4.1 ~2020.3.31	TEL 075(753)5314 FAX 075(753)5343	onodera@i.kyoto-u.ac.jp
松岡 俊匡	大阪大学大学院工学研究科附属アトミックデザイン研究センター 准教授	2018.4.1 ~2020.3.31	TEL 06(6879)7792 FAX 06(6879)7792	matsuoka@eei.eng.osaka-u.ac.jp
藤島 実	広島大学大学院先端物質科学研究科 半導体集積科学専攻 教授	2018.4.1 ~2020.3.31	TEL 082(424)6269	fujii@hiroshima-u.ac.jp
井上 弘士	九州大学大学院システム情報科学研究院情報知能工学部門 教授	2018.4.1 ~2020.3.31	TEL 092(802)3793 FAX 092(802)3786	inoue@ait.kyushu-u.ac.jp
藤野 毅	立命館大学理工学部電子情報工学科 教授	2018.4.1 ~2020.3.31	TEL:077-561-5150(直通) 8391(内線) FAX: 077-561-5150, 2663	fujino@se.ritsumeai.ac.jp
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授	2018.4.1 ~2020.3.31	TEL 04(7124)1501内 3756 FAX 04(7122)5171	hyogo@ee.noda.tus.ac.jp
黒田 忠広	慶應義塾大学理工学部電子工学科 教授	2018.4.1 ~2020.3.31	TEL 045(566)1534 FAX 045(566)1534	kuroda@elec.keio.ac.jp
吉本 雅彦	神戸大学大学院システム情報学研究所 特命教授	2018.4.1 ~2020.3.31	TEL 078(803)6630 FAX 078(803)6630	yosimoto@cs.kobe-u.ac.jp
名倉 徹	福岡大学工学部電子情報工学科 教授	2019.4.1 ~2021.3.31	TEL 092(871)6631	nakura@fukuoka-u.ac.jp

5.3 新任・退任ご挨拶

新任のご挨拶

竹内 健

本年4月から工学系研究科電気系工学専攻に着任しました竹内と申します。どうぞこれからよろしくお願ひします。今まで東大（学部・修士）→東芝→東大→中央大学→東大というキャリアでしたので、学生の時も含めると3度目の本郷です。その間、半導体業界・集積回路をめぐる状況は大きく変わりました。学生時代はちょうどNHKで「電子立国・日本」が放映され、半導体産業が日本を背負っているという風潮もありました。しかし東芝に入社してからは、日本の半導体産業は落ちる一方、自分自身はNAND型フラッシュメモリの事業の立ち上げに参画するという、貴重な経験・成功体験をすることができました。自分は東芝に育てて頂いたと今でも感謝しています。フラッシュメモリ事業は大きく成長して、頼もしい限りです。そう思っていた最中、突然東芝で、不適切会計事件が露見しました。東芝は経営危機に陥り、古巣のフラッシュメモリ部門はファンドに売却。今ではキオクシアとして別会

社になりました。本当に何があるか、人生わからないものです。いま感染症でみなさまは大変な生活をされていると思います。年を取ることの唯一良いかもしれない(?)のは、予測不可能なトラブルがあっても「そのようなものだ」と段々慣れてきます。それはさておき、この数年は日本の半導体産業の凋落と共に、「半導体・集積回路の研究の冬の時代」がありました。具体的には国家プロジェクトなどで、半導体関係で研究資金を得ることも難しくなりました。そういう状況も、いまはAIチップや新コンピューティングブームで、ようやく改善しそうです。私の研究としては、AI応用に向けて、データの処理と記憶を統合したCiM (Computation in Memory)、メモリを中心とするコンピューティングが注目されています。ようやく「日本の半導体の冬の時代」が終わりそうな兆しもあり、日本の半導体を多少なりとも立て直せるよう、微力ながら頑張りたいと思います。どうぞご指導ご鞭撻のほどよろしくお願ひします。

濱田 基嗣

2020年1月より、d.lab特任教授を拝命いたしました濱田と申します。

1996年3月に本学電子工学専攻博士課程を修了後、同年4月に（株）東芝に入社し、デジタル回路の低消費電力化、無線通信用集積回路の高性能化、パワーマネジメント用集積回路の高効率化など、半導体集積回路の研究開発に従事しました。2016年3月に東芝を退職し、同年4月より慶應義塾大学理工学研究科特任教授として、低消費電力高速3次元集積技術を研究してまいりました。

ムーアの法則の限界が声高に叫ばれ、少なくとも半導体のスケールリングがペースダウンした現在において、勝負を決めるのは、“デザイン”です。本学工学系に新たに設立されたばかりのd.labに、このタイミングで参画させていただけるのは僥倖の極みです。これまでの産業界／学术界での集積システムの研究開発の経験を活かし、デジタル／アナログ、高速／低電力、有線／無線などさまざまな技術を適材適所に組合せて、頭一つ抜けた際立つシステムの設計をリードしていきたいと考えております。微力ではございますが頑張っておりますので、皆様のご指導ご鞭撻のほど、よろしくお願ひ申し上げます。

5.4 決算報告

1. 運営費交付金

(円)

事項	収入(予算配分)額	支出額	過不足額
共通経費	431,099,601	392,677,731	38,421,870
研究経費	67,023,753	65,457,496	1,566,257
計	498,123,354	458,135,227	39,988,127

5-4

第5章
VDEC概要

2. 2019年度受託研究

	教員名	委託者	研究題目	受託金額(円)
1	池田 誠	国立研究開発法人新エネルギー・産業技術総合開発機構	IoT推進のための横断技術開発プロジェクト／Sensor-to-Cloud Security～ビッグデータを守る革新的IoTセキュリティ基盤技術の研究開発	20,000,000
2	池田 誠	電子商取引安全技術研究組合(ECSEC)	戦略的イノベーション創造プログラム(SIP)第2期／IoT社会に対応したサイバー・フィジカル・セキュリティ／(A1)IoTサプライチェーンの信頼の創出技術基盤の研究開発	7,245,000
3	池田 誠	電子商取引安全技術研究組合(ECSEC)	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／革新的AIエッジコンピューティング技術の開発／AIエッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発	12,277,000
4	池田 誠	国立研究開発法人新エネルギー・産業技術総合開発機構	AIチップ開発加速のためのイノベーション推進事業／AIチップ開発を加速する共通基盤技術の開発	1,117,994,000
5	池田 誠	国立研究開発法人産業技術総合研究所→(2019.10.1付)セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／革新的AIエッジコンピューティング技術の開発／セキュアオープンアーキテクチャ基盤技術とそのAIエッジ応用研究開発のうちTEEソフトウェア	20,000,000
6	池田 誠	電子商取引安全技術研究組合(ECSEC)	戦略的イノベーション創造プログラム(SIP)／重要インフラ等におけるサイバーセキュリティの確保／(a4)IoT向けのセキュリティ確認技術(IoT向けのセキュリティ確認技術の研究開発)／IoTシステムを構成する機器のためのセキュア暗号モジュールの開発／暗号モジュール試作開発	33,185,000
7	三田 吉郎	国立大学法人京都大学	微細加工プラットフォーム	74,200,000
8	藤田 昌宏	国立研究開発法人科学技術振興機構	IoTとモバイルビッグデータ処理のための高信頼高機能サイバーフィジカルシステムの構築	28,912,000
9	池田 誠	国立研究開発法人科学技術振興機構	テラヘルツイメージング集積回路の研究	13,650,000
10	飯塚 哲也	国立研究開発法人科学技術振興機構	リアルタイム学習推論機能創出に向けた回路設計技術基盤構築	6,682,000
11	藤田 昌宏	独立行政法人日本学術振興会	丘陵地域における地滑りの予測・検出・監視システム	815,000
合計				1,334,960,000

3. 2019年度共同研究

	教員名	申込者	研究課題	受託金額(円)
1	三田 吉郎	株式会社ニューフレアテクノロジー	三次元MEMS構造プロセスの研究	8,000,000
2	肥後 昭男	ローム株式会社	LSI 一体集積に向けたシリコン上PbSコロイド量子ドット赤外フォトダイオードの高感度化	2,160,000
3	池田 誠	国立研究開発法人産業技術総合研究所	AIチップ開発を加速する共通基盤技術の開発	1,100,000
4	飯塚 哲也	ソニー株式会社R&Dセンター 統合技術開発第一部門化合物半導体開発部	ランダムアナログ入力用時間デジタル変換器の研究 (Step2)	9,800,000
5	藤田 昌宏	株式会社ネクスティエレクトロニクス	超集積LSIの故障・不良解析技術の高度化に関する研究	4,994,000
6	池田 誠	国立研究開発法人産業技術総合研究所	AI機能付デジタル・アナログ・センサ(DAS)集積システムに関する研究開発	2,750,000
7	藤田 昌宏	株式会社アドバンテスト	先端LSI開発環境・テスト技術	10,000,000
8	三田 吉郎	株式会社アドバンテスト	集積化微小MEMSによる高機能センサの研究	5,000,000
合 計				43,804,000

4. 2019年度寄附金

受入件数：2件 受入額計 30,500,000円
 (株式会社アドバンテスト, 株式会社シルバーアイ)

第6章 研究報告

6.1 全体概況

	研究室構成 人数（名）	研究発表			著書（冊）	特許（冊）	受賞（件）
		研究論文	国際会議	その他			
旧VDEC・d.lab教員	60	22	39	46	0	3	8
協力教員	64	20	52	63	1	1	12

6-1

第
6
章
研
究
報
告

6.2 研究室構成員(令和元年度)

黒田研究室 構成

黒田 忠広	教授
濱田 基嗣	特任教授
四手井 綱章	学術支援専門職員
岡田 光司	学術支援専門職員
イップ ウエイイエン	学術支援専門職員

Zhou Zongjin	修士2年
Jin Chaoyi	修士2年
Wang Fudong	修士1年
Zhang Yuechuan	修士1年
Ding Yi	修士1年
廣田 海斗	修士1年
小池 良吾	学部4年

池田研究室 構成

池田 誠	教授
吉川 俊之	特任研究員
荒川 文男	特任研究員
蔡 純	修士2年(現在 医学系 研究科博士課程)
杉山 昇太郎	修士2年(現在 SONY)
武田 直嗣	修士2年(現在 SONY)
崔 笛	修士2年(現在 Huawei)
劉 玉清	修士2年
蔣 定宇	修士1年
Bayasgalan Amartuvshin	修士1年
中山 亮平	修士1年
池田 健人	学部4年(現在 修士1年)
渡辺 直	学部4年(現在 修士1年)

小林研究室 構成

小林 正治	准教授
武 継璇	特任研究員
金 成吉	博士3年
莫 非	博士3年
項 嘉文	修士2年
Paul Johansen	修士2年
梅 瀟然	修士1年
沢辺 慶起	修士1年

飯塚研究室 構成

飯塚 哲也	准教授
徐 祖楽	VDEC特任講師
Nguyen Ngoc Mai Khanh	VDEC助教
ビャムバドルジ ゴルポー	博士2年
王 璟	修士2年
小島 尚輝	修士2年
高橋 奈悟	修士2年
山崎 大輔	修士2年
長田 将	修士1年
原 崇文	修士1年
堀川 貴道	学部4年
松岡 英	学部4年

藤田研究室 構成

藤田 昌宏	教授
松本 高士	助教
Amir Masoud Gharehbaghi	特任助教
Wang Peikun	博士3年
木村 悠介	博士3年
Le Xingming	修士2年
Wang Junbo	修士2年
Gao Ruitao	修士2年
Gu Jian	修士2年
Liu Yuhang	修士2年
Lu Qi	修士2年
Liu Zihao	修士2年
Zhang Xinpei	修士2年
合田 瑛洋	修士2年
宮坂 幸雄	修士2年

高木・竹中研究室 構成

高木 信一	教授
竹中 充	准教授
トープラサートボン カシディット	助教
陳 志方	(客員研究員)
何 鐘培	(研究員)
曹 光元	博士3年(工学系)

李 強	博士3年 (工学系)			当)
尹 尚 希	博士3年 (工学系)	水 島 彩 子		学 術 支 援 専 門 職 員
林 澈 敏	博士2年 (工学系)			(ナノテクノロジー・プ
関 根 尚 希	博士2年 (工学系)			ラットフォーム 技術
ロ ダ ヌ ル	博士2年 (工学系)			支援担当)
李 宗 恩	博士1年 (工学系)	太 田 悦 子		学 術 支 援 専 門 職 員
趙 子 強	博士1年 (工学系)			(ナノテクノロジー・プ
羅 璇	博士1年 (工学系)			ラットフォーム 技術
陳 家 聰	博士1年 (工学系)			支援担当)
王 子 龍	修士2年 (工学系)	島 本 直 伸		特 任 研 究 員 (ナノテ
呂 東 晟	修士2年 (工学系)			クノロジー・プラット
湯 涵 智	修士2年 (工学系)			フォーム代表機関 東
隅 田 圭	修士2年 (工学系)			日本方面コーディネー
陳 乾 峰	修士2年 (工学系)			タ)
呉 冬 睿	修士1年 (工学系)	大 西 廉 伸		特 任 研 究 員 (ナノテ
張 曉 軒	修士2年 (工学系)			クノロジー・プラット
林 早 阳	修士2年 (工学系)			フォーム代表機関 東
宮 武 悠 人	修士1年 (工学系)			日本方面コーディネー
大 野 修 平	修士1年 (工学系)			タ)
竹 安 淳	修士1年 (工学系)	澤 村 智 紀		技 術 専 門 職 員 (武田先
田 原 建 人	修士1年 (工学系)			端知クリーンルーム管
ティパット ピヤパッタラクン	修士1年 (工学系)			理室)
韓 雪 揚	修士1年 (工学系)	河 井 哲 子		事 務 補 佐 員
王 澤 宇	修士1年 (工学系)	渡 邊 か を る		学 術 支 援 職 員 (ナノ
名 幸 瑛 心	学部4年 (工学部)			テクノロジー・プラッ
渡 辺 耕 坪	学部4年 (工学部)			トフォーム事務局)
		廣 澤 公 彦		学 術 支 援 職 員 (ナノ

三田研究室 構成

三 田 吉 郎	准教授			
肥 後 昭 男	特任講師			
	(ADVANTEST D2T)	佐 藤 善 亨		工 学 系 共 同 研 究 員
黄 吉 卿	客員研究員			(ナノックスジャパン)
	(仏CNRS C2N研究所	高 田 武 晃		VDEC 共 同 研 究 員
	/LIMMS研究所)			(アドバンテスト)
ルブラッスール エリック	特任研究員 (ナノテ	瀧 澤 昌 弘		VDEC 共 同 研 究 員
	クノロジー・プラット			(アドバンテスト)
	フォーム 技術支援担	中 山 雄 太		工 学 系 共 同 研 究 員
	当)			(コニカミノルタ)
藤 原 誠	特任研究員 (ナノテ	宇 佐 美 尚 人		日 本 学 術 振 興 会 博 士 研
	クノロジー・プラット			究 員
	フォーム 技術支援担	Ranga Reddy		博 士 3 年

岡本 有貴	博士3年
稲垣 俊典	修士2年
栗山 大成	修士2年
槌屋 拓	修士1年
宮澤 駒宏	修士1年
三角 啓	学部4年
江澤 智也	学部4年
Thomas BAUVENT	大学院特別研究学生 (仏ENS Paris-Saclay)
Munera AL SHAIBAH	工学系研究科インター ンシップ生(修士) (UAE Khalifa University)
Romain CATRY	工学系研究科インター ンシップ生(博士)(仏 Université Franche- Comté)
Nirupam PAUL	d.lab-SICORP短期滞 在研修生(印IIT Hyderabad)
Hemanth Kumar CHEEMALAMARRI	d.lab-SICORP短期滞 在研修生(印IIT Hyderabad)
Vipin NAIR	d.lab-SICORP短期滞 在研修生(印IIT Bombay)

6.3 研究概要

黒田研究室

(<http://www.kuroda.t.u-tokyo.ac.jp/index.html>)

TCI:ThruChip Interface

黒田 忠広, 濱田 基嗣, 四手井 綱章, 岡田 光司, イップ ウェイイェン

チップの配線を巻いて作ったコイルの誘導結合を用いて積層チップ間でデータ転送を行う3次元集積技術の研究を行っている。TSV（シリコン貫通電極）と同等以上の性能を低コストで実現可能である。本年度は、TCI積層時の電源供給をTSVなしで行う技術であるHDSV（Highly Doped Silicon Vias）技術と、TCIを活用した2.5次元積層技術に関する発表を行った。

TLC:Transmission Line Coupler

黒田 忠広, 濱田 基嗣, 四手井 綱章, 岡田 光司, イップ ウェイイェン

ボード上の伝送線路の電磁結合を用いて、ボード間でデータ転送を行う技術の研究を行っている。従来型のコネクタで問題となる、摩擦、耐震性、インピーダンス整合などの問題がなく、安価で高性能な無線コネクタを実現可能である。本年度は、USB3.0の信号をTLC無線コネクタを介して接続することに成功し、学内外にてデモを行った。

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

高性能暗号エンジンの設計最適化

池田 誠, 池田健人, 荒川文男

クラウドからセンサノードまで広範な要求仕様に応じて設計される高性能暗号エンジンに、データパスに着目した演算処理の最適化を行った。ASICなどのハードウェアにおける高性能暗号設計の課題として、製造コストが高く、暗号に用いる数式やパラメータを変更する場合の再実装が困難である事が挙げられる。本研究では暗号曲線や演算器、演算並列数などをパラメータとする暗号設計空間を構築し、探索結果としてスループットとレイテンシ共に高性能となるパラメータを得た。また、そのパラメータを用いてHDLを自動的に記述し、最適化された暗号エンジンを低コストで実装する環境を構築した。一方、暗号エンジンを活用する

システムではTrusted Execution Environment (TEE)の構築が重要である。RISC-VアーキテクチャのTEE向け仕様拡張のタスクグループに参加し、IoT向けシステムに適するように仕様提案をした。また、TEE向けハードウェアの面積オーバーヘッドを評価し、IoT向け小規模プロセッサへの適用性を考察した。

高性能暗号エンジンの検討

池田 誠, 蔡 純, 杉山昇太郎, 中山亮平

検索可能暗号やID・属性ベース暗号に代表される高性能暗号は、クラウドサービスにおいて最大の懸念事項となるプライバシーの権利の保護を暗号学的に支える基本技術であるが、演算時間が長く、基礎となる暗号方式によっては暗号文と鍵長が大きいという欠点がある。本研究では、楕円曲線ペアリングと完全準同型暗号の2つの暗号方式についてそれぞれハードウェア設計・実装による高速化を行なった。ハードウェア設計では演算器の構成に自由度があるため、本研究では演算の粒度を剰余環の演算に設定し、暗号アルゴリズム中の小規模ループをアンロールすることでパイプラインアーキテクチャを構成している。このパイプラインに合わせてデータ入力をスケジューリングすることで、レイテンシ・スループットを改善した。以上により、楕円曲線ペアリングでは8.2us/pairingという結果が得られた。完全準同型暗号では、GPUと比べて論理合成段階でスループットが19.2倍改善された。

リザーバコンピューティングシステムのハードウェア実装

池田 誠, 蔡 純, Amartuvshin Bayasgalan

人工ニューラルネットワーク (ANN) のハードウェアの実現は、ハードウェアリソースの最適化が大きな課題となっている。ランダムリカレントニューラルネットワーク (RNN) に基づくリザーバコンピューティング (RC) は、時系列データ処理に適した単純でかつ強力な手法であり、入力を高次元空間にマッピングするためのリザーバと、リザーバ内の高次元状態からのパターン分析のための読み出しから構成されている。リザーバ内のパラメータは固定で、読み出し部のみが、線形回帰や分類といった簡易な手法で学習がなされる。このため、他のリカレントニューラルネットワークと比較し、リザーバコンピューティングは学習が高速であ

り、学習に要するコストが低いことが利点としてあげられる。Brain-Machine インターフェースへの応用を想定した脳波時系列データ処理を行う、オンライン学習機能を備えたエコステートネットワーク (ESN) のハードウェア実装に関して検討を行った。

ゲートレベルパイプラインを実現する自己同期回路の設計

池田 誠, 崔 笛

本研究では、タイミングエラーを避けた高スループットのゲートレベルパイプライン型自己同期回路の設計に取り組んでいる。本研究で用いるデュアルパイプライン型自己同期回路の論理ゲートでは、一つの終了検出信号で同じ論理の2つのDCVSL回路が交互に動作し、一方のDCVSLが演算を行う際にもう一方のDCVSLがプリチャージを行うため、プリチャージによる時間のロスが存在しない。加えてゲートレベルでのパイプライン化によりスループットの向上が可能である。高スループット動作、レイテンシの削減と面積使用率の改善を実現できる自己同期演算ユニットの設計を検討した。

スマートイメージセンサを用いた高機能計測手法とセキュアセンシング

武田直嗣, 劉 玉清, 蔣 定宇, 渡辺 直

イメージセンサに情報処理機能を統合したスマートイメージセンサに基づく高機能計測とセキュアセンシングの実現に取り組んでいる。高機能計測では、変調光投影に基づき電流モードで背景光を除去するToFイメージセンサを提案し、回路実装・評価を進めている。セキュアセンシングでは、パルス周波数変調とデジタル処理により背景光および雑音を除去し信号選択を行うToFイメージセンサを提案し、回路実装・評価を進めている。

テラヘルツ帯ビデオイメージングに向けた微弱信号の読み出し回路の設計と評価

池田 誠, 吉川俊之

テラヘルツ帯ビデオイメージングデバイスにおいて、InAs MOS-HEMTにより検波された微小信号をデジタル信号へ変換しデバイスの外部へ読み出すための回路 (ROIC) を設計した。180nm CMOS プロセスにおいて試作されたチップには、 8×7 のROICアレイが集

積されており、三次元積層によって検波器と接続される。各ROICは、トランスインピーダンス増幅器とロックインアンプ、 $\Delta \Sigma$ アナログデジタル変換器とInAs MOS-HEMTの特性を校正するためのデジタルアナログ変換器が実装されている。読み出しの対象となるピクセルの選択と $\Delta \Sigma$ ADCの出力値の読み出しはチップに集積されたSPIを介して行われる。試作したチップは、アンテナとInAs MOS-HEMTのアレイが集積されたガラス基板のチップとスタッドバンプにより三次元積層され、テラヘルツ信号発生器により生成された900GHzの信号を用いた測定によりロックインアンプによる同期検波の実現と $0.215 \text{ pW}/\sqrt{\text{Hz}}$ の等価雑音電力の達成を確認した。

藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp>)

行列-ベクトル積に対する並列アルゴリズムの合成と一般化について

藤田昌宏, 合田瑛洋, アシーシュ ミタル, 宮坂幸雄

近年、ニューラルネットワークの研究が活発に行われていることによって行列-ベクトル積の計算を行うことが多くなってきた。本研究では、4つの計算ノードが一方向のリング状に結合しているトポロジーにおいて、ある特定の大きさの行列に対する行列-ベクトル積を計算する並列計算アルゴリズムを自動的に最適に合成する手法を提案した。本研究では 32×32 の行列において合成された計算アルゴリズムを $N \times N$ の行列の場合に一般化する手法を提案した。

通信制約を考慮に入れた並列アルゴリズムの合成とその一般化について

藤田昌宏, 宮坂幸雄, ガラバギ アミル マスード, 合田瑛洋

近年、ニューラルネットワークや機械学習を含む様々な場面において並列コンピューティングが利用されるようになってきている。各々の並列環境に合わせて最適な計算アルゴリズムを設計することは、特に通信のオーバーヘッドが発生しないようにするという観点から必ずしも容易ではない。そこで本研究では、ユーザが設定した通信制約の下での最適な並列計算法を提案した。目標とする問題についてまず小さなサイズで最

適なスケジューリングを自動生成し、その結果をもとに次に半自動的により大きなサイズの問題での最適なスケジューリングを生成する。行列-ベクトル積の問題や畳み込みニューラルネットワークの計算問題において本提案手法の正しさと有効性が確認できた。

ゲートレベルの順序回路デバッグのための信号選択手法について

藤田昌宏, ガラバギ アミル マスード, 木村悠介

本研究ではバグのあるゲートレベルの順序回路を修正して仕様に従った回路にする手法を提案した。回路最適化に払われたエフォートを活用するために回路修正はできるだけ小規模になるようにする。修正すべき箇所が与えられている場合、組合せ回路をデバッグする手法を適用し、仕様とバグのある回路の状態対応を繰り返し計算することによって該当部分のパッチ関数に対する適切なファンイン信号セットを見つける手法を提案した。ITC99ベンチマーク回路で実験を行い、2つの回路間の30,000の到達可能状態ペアがあるときにも本手法が有効であることを確認した。

高速でスケーラブルな手法を用いた近似演算回路設計法について

藤田昌宏, ガラバギ アミル マスード, リク キ

近似計算はその正確さと低い消費電力, 短い遅延, 小さい回路面積とのトレードオフのもとでエラートレラントな手法に適用される。本研究ではニューラルネットワークの計算のように機械学習における本質的な計算要素のうち、特に乗算器と加算器をターゲットとして近似演算回路を設計する手法に焦点を当てる。本研究では与えられた正しい回路から近似回路を生成する手法を提案した。まず小さな回路で近似回路生成アルゴリズムを検討し、それをもとに同じアーキテクチャのより大きな回路に対して近似回路を生成する。我々は2つの手法を提案し、異なるアーキテクチャの加算器と乗算器に対して提案手法を適用した。我々の手法は現在広く使われる手法に比べて1桁以上高品質な回路を生成することが分かった。

インクリメンタルにテストパターンを拡張する手法に基づいた多重縮退故障のためのATPGについて

藤田昌宏, ガラバギ アミル マスード, 王 培坤

特に大規模な回路の場合のように、製造される回路に含まれるトランジスタ数が非常に多くなるにつれて単一縮退故障だけでなく多重縮退故障が生じやすくなっている。

多重故障においては全ての可能な故障の数が膨大なため、完全にカバーすることは困難である。多重故障を扱う手法が複数提案されてきたが、それらは許容範囲の実行時間内で全ての故障を検出するコンパクトなテストパターンを生成できていない。この問題を解決するため、本研究ではインクリメンタルな多重縮退故障のためのATPG法について提案した。全体のn重故障リストを見る代わりにn-1重の故障に対する既存のテストパターンによって検出されない故障のみを選択する手法を提案した。単一故障の完全なテストセットから出発してインクリメンタルに全多重故障を扱うことができた。さらに未検出の故障の数は全多重故障を扱う場合より極めて少ないため、提案手法では全故障をカバーするコンパクトなテストパターンを許容範囲内の実行時間で生成することができた。

小林研究室

(<http://nano-lsi.iis.u-tokyo.ac.jp>)

負性容量トランジスタのデバイス物理に関する研究

小林正治, 平本俊郎

強誘電体 HfO_2 をゲート絶縁膜とする負性容量トランジスタは、サブスレシヨルド係数が60を切ることで超低電圧動作が期待される次世代トランジスタ技術である。しかし、サブスレシヨルド係数が60を切るメカニズムや負性容量トランジスタに特有の現象を説明できる包括的な物理メカニズムは未解明であった。本年度の研究では、小林研究室が提唱してきた強誘電体のダイナミクスに基づく過渡的な負性容量の物理モデルをベースにすることで、負性容量トランジスタで現れる負性微分コンダクタンスおよび逆DIBL効果が説明できることを解明した。

三次元積層型高密度化に向けたIGZOチャネル強誘電体トランジスタメモリの実証

小林正治, 平本俊郎

強誘電体トランジスタ (FeFET) メモリは新しいCMOSと整合性の高い HfO_2 材料を用いることで低消費電力かつ高密度なメモリとして期待されている。ストレージ応用としてフラッシュメモリと競合するためには、FeFET固有の信頼性の問題を克服し、三次元積層構造による低コストな高密度メモリの実現が必要である。本研究では、三次元積層型FeFETの実現に向けてチャネルとしてポリシリコンではなく酸化物半導体であるIGZOを用いたメモリデバイスを提案、 400°C 以

下のプロセスを用いて信頼性劣化の要因となる界面層を形成することなくデバイス試作ができ、3V以下の低電圧で書き換え可能で、かつほぼ理想的なサブスレシヨールド特性を示すメモリ特性を実証した。

強誘電体 HfO_2 を用いた不揮発性 SRAM および FeFET のモデリングと設計

竹内潔, 小林正治, 平本俊郎

強誘電体 HfO_2 を用いたメモリデバイスは CMOS プロセスとの整合性が高く、低コストで低消費電力なメモリとして期待されている。単体デバイスでのメモリデバイスの研究は多数あるが、その微細化やアレー化した場合の課題を提起している研究例は少ない。本研究では、強誘電体 HfO_2 とトランジスタのばらつきを考慮したモデルを用いて、①IoT 応用に向けたノーマリーオフコンピューティングのための不揮発性 SRAM の動作安定性を検討し微細化可能性を明らかにするとともに、②FeFET のアレー化に関して disturb を考慮して最適なセル構成を提案した。

飯塚研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

広帯域信号向け波形再生技術

飯塚 哲也, ビヤムバドルジ ゴルポー

スパースで広帯域な信号の受信やコグニティブ無線を実現しうるサブナイキストサンプリングのアーキテクチャとして MWC (Modulated Wideband Converter) が注目されている。また自動試験装置などではサンプリングレートが限られているため、MWC は広帯域で動作するデバイスの測定にも役立つと考えられる。

本研究では MWC のスパースで広帯域な信号に対する測定器としての実現可能性について調査を行った。MATLAB で MWC のシミュレーションモデルを作成し、理想的な条件においては MWC システムが広帯域な入力信号を再構築できることを示した。しかし MWC の実装を行う場合、非理想素子やノイズなどの影響で適切に動作しない可能性がある。

そのため、既製のアナログコンポーネントを使用してシングルチャネル MWC の実装を行った。理想的なセンシングマトリックスに基づく再構成パフォーマンスは、理想的でないハードウェアコンポーネントのために無視できない誤差が生じる。従来のキャリブレーション手法では、MWC システムに対して連続したシングルトーン信号を入力することで、実際のセンシ

ングマトリックスコンポーネントの推定を行っていたが、従来手法では計測の時間がかかると同時にその精度が充分確保出来ないと言う問題がある。従って、マルチトーン信号を使用した MWC の新しいキャリブレーション方法により単一の測定で実際のセンシングマトリックスを推定する手法を提案した。

また、MWC のノイズ耐性について解析的に明らかにするため、MWC の雑音指数を平均的に評価する ANF (Average Noise Figure) を定義し、その性能を解析的に導出した。そしてノイズを考慮した MATLAB シミュレーションでこの式が妥当であることを確認した。また、実際の測定により解析結果が妥当であることを実証した。

アナログ集積回路設計自動化・最適化技術

飯塚 哲也, 徐 祖楽, 小島 尚輝, 長田 将, 松岡 英

アナログ集積回路の設計には、手動でのレイアウト作成や各種パラメータの探索など、時間と労力を要する場面が多い。その負担の削減や性能向上を目的として、設計自動化や回路最適化といったアナログ集積回路の設計支援技術に関する研究を行った。

逐次比較レジスタ型 (SAR 型) ADC の自動設計手法とそれに適したアーキテクチャについて研究を行った。信号処理系に不可欠な ADC の設計を自動化することにより、系全体の素早い実装が可能となり、コスト削減に大きく貢献できると考えられる。本年度では、前年度に提案済みのスタンダードセルで構成された各要素回路に関して、それぞれの性能向上手法を考案した。特に、抵抗性 DAC のプリディストーション手法により変換の線型性を大きく向上させることが可能となった。分解能 10 ビットの SAR 型 ADC を提案自動設計フローで設計し、シミュレーションにより動作を確認した。シミュレーション結果によると、変換 1 ステップあたりの消費電力は 2.3 pJ 程度と見積もられた。

新規なループ構造を用いることで、低雑音・低スパーを既存手法と比較してよりコンパクトな形で実現する Fractional-N PLL の設計を行った。Harmonic Mixer (HM) を用いたデュアルフィードバック構造を用いることで、分周器において生じた量子化雑音と位相比較器の非線形性によるスパーが増幅されないことを実測とシミュレーションを用いて示した。また各要素回路の性能を考慮し、ノイズと消費電力のトレードオフが最適化されるように設計を行った。

センサインタフェース等の用途にむけて、小面積かつ高い SNR を得られるという特徴を持つサイクリック

アシスト型MASH (Multi-stAge noise SHaping) ADCに着目した。この回路における容量ミスマッチやアンプのDCゲインの有限性といった非理想性による量子化誤差の影響を解析することで性能低下の主要因を明らかにし、回路設計の指針を示すことを目的とした。サイクリックアシスト型MASH ADCは初段が初段がデルタシグマADC、二段目がサイクリックADCで構成された1-0MASH型ADCである。Simulinkを用いたシミュレーションを行った結果、サイクリックADCにおけるアンプのゲインの影響は他と比べて小さい事が分かった。その他の非理想性は、理想値から最大で約10 dBほどSNDRの低下に寄与することが分かった。また、後段のサイクリックADCの入力が量子化誤差のみであるため、後段のサイクリックADCの線形性の条件が緩和していることを確認した。

誘電体導波路通信に向けた高周波回路設計

飯塚 哲也, Nguyen Ngoc Mai-Khanh, 山崎 大輔,
原 崇文, 堀川 貴道

近年ミリ波帯を用いて広い帯域を利用した高速通信の研究が盛んに行われ、通信速度を維持しながらも低コストかつ通信距離を拡大する方法方法としてポリマーなどの誘電体材料を導波路として用いて有線通信を行う方式が提案され研究の幅を広げている。

送信機において変調された電力増幅回路は必須であり、その出力電力が大きいほど長距離通信やより低いエラーレートでの通信が可能となる。本研究では電力合成回路を用いて高い出力電力を持つ電力増幅回路を設計し、また出力電力の限界について考察を行った。さらにCMOS 65nmプロセスにて試作・測定を行い、更なる並列化における課題を提示した。

受信機では雑音指数が重要であり、それには最もアンテナ側の増幅回路が大きく影響する。本研究では、それを想定した低雑音増幅回路の最適な設計手法を検討した。線形素子として雑音指数において最適なトランジスタのサイズを調べて、それに必要なマッチングを設計したが、実際にはミリ波などの高周波ではマッチング部での挿入損失が非常に重要であることがわかった。またシステム全体として、誘電体導波路の実測により取得した周波数特性を利用して複数の変調方式の検討を行った。

高速通信路におけるクロストーク低減手法

飯塚 哲也, 高橋 奈悟

半導体プロセスの微細化による回路の性能向上にと

もない、有線通信の速度は向上している。また映像機器の高解像度化や自動車の電装化によりアプリケーションに必要なデータレートも向上している。技術・需要の両面から通信を高速化する必要があるが、それを妨げる要因の1つとなっているのがクロストークである。クロストークの対策として、先行研究では受信回路でクロストークを低減する手法が提案されていた。本研究では先行研究をもとに、送信回路で遅延調整回路やハイパスフィルタを用いてクロストークを低減する手法を提案した。シミュレーションを用いて、その手法がより効果的にクロストークを低減できる可能性があることを示し、40nmプロセス技術を用いてクロストークキャンセル回路の設計を行い、実際の配線を測定する事により得られた線路特性を用いたシミュレーションにより、クロストークキャンセル回路に性能ばらつきがある場合にも十分な効果が得られることを実証した。

高木・竹中研究室

(<http://www.mosfet.k.u-tokyo.ac.jp/>)

III-V/Ge Metal-Oxide-Semiconductor (MOS) FETとその3次元集積化に関する研究

高木 信一, 竹中 充,

トープラサートポン カシディット,

曹 光元, 林 澈敏, 李 宗恩, 尹 尚希, 陳 家馳,
王 子龍, 隅田 圭, 竹安 淳, 韓 雪揚

高性能III-V族半導体MOSFETおよびGe/SiGe MOSFETを実現すると共に、これらの高移動度MOSFETを3次元的に集積したCMOSを形成するための研究を行っている。電子移動度が高いInAs薄膜チャネルをスマートカットで熱酸化Si基板上に転写し、メタルS/Dの寄生抵抗を正確に評価する手法を提唱した。酸化濃縮を用いたGe-on-insulator (GeOI) MOSFETの研究においては、GeOI形成後に追酸化することで、初期の圧縮歪みが緩和後、0.5%程度の伸張歪みが導入されることを見出した。またGe膜を2.5 nmまで薄膜化することで電子移動度が増加することを突き止めた。伸張歪みと薄膜化の効果により、膜厚2.5 nmのGe薄膜nFETにおいて、 $777 \text{ cm}^2/\text{Vs}$ と極めて大きな実効電子移動度を得ることに成功した。

強誘電体ゲート絶縁膜MOSFETに関する研究

高木 信一, 竹中 充,

トープラサートポン カシディット, 羅 璇,

林 早陽, 田原 建人, 王 澤宇, 名幸 瑛心

強誘電体をゲート絶縁膜に用いたMOSFETの研究を行っている。ALD法によりSi上に堆積したHf1-xZrxO2において強誘電ヒステリシス特性をもったMOSFET動作を確認した。Hf1-xZrxO2の結晶化温度を低くすることで低準位密度のSi界面を実現できることを見出し、強誘電体ゲートMOSFETの優れたメモリ特性に向けたプロセスの改善を提案した。また、強誘電体ゲートMOSFETのゲート直下における電荷密度の測定手法を提唱し、強誘電分極と界面トラップ電荷が強くカップリングしていることを見出した。エッジAI応用に関しては、強誘電体のメモリ効果及び非線形特性を活かすことで、強誘電体ゲートMOSFETによる低学習負荷のリザーブコンピューティングを提唱し、作製した強誘電体ゲートMOSFETのリザーブコンピューティング動作を実証した。

光配線LSIに関する研究

竹中 充, 高木信一,

トープラサートボン カシディット, 李 強,

関根 尚希, 湯 涵智, 呂 東晟, 陳 乾峰, 吳 冬睿,
宮武 悠人

シリコンフォトニクス等を用いてLSIの配線やI/Oを光化する研究を進めている。InGaAsP薄膜をシリコン光導波路上に貼り合わせたハイブリッドMOS構造において、レーストラック型共振器を用いた光変調動作に初めて実証した。また、SiO2埋め込みシリコン導波路を用いることで寄生容量を低減し、10 Gbpsで変調することに成功した。極薄InPメンブレンを用いたハイブリッドMOS構造を提唱し、テーパ構造を必要としないハイブリッドMOS光位相シフタの実証に成功した。スロット導波路と極薄InGaAsメンブレンを用いた低寄生容量受光器を提唱し、数値計算で特性を明らかにした。

AI用シリコン光回路に関する研究

竹中充, 高木信一,

トープラサートボン カシディット, 李 強,

湯 涵智, 大野 修平, 宮武 悠人, 渡辺 耕坪

ユニバーサル光回路などのプログラマブル光回路を用いたAI用深層学習の研究を進めている。新たに提唱したリング共振器クロスバーアレイを用いたプログラマブルシリコン光回路を試作し、深層学習の基本動作の実証に成功した。

Ge中赤外光集積回路に関する研究

竹中充, 高木信一,

トープラサートボン カシディット, 何 鐘培,

趙 子強, 宮武 悠人

Ge-on-insulator (GeOI) 基板上に形成したGe導波路を用いた中赤外光集積回路の研究を進めている。SOGを使った固相拡散により高品位PIN接合を形成することで、キャリア注入による光強度変調の効率を改善することに成功した。またPIN接合に逆バイアス印加することで、欠陥誘起の光電流を用いた受光器の動作に初めて成功した。

二次元材料デバイスに関する研究

竹中充, 高木信一,

トープラサートボン カシディット, ロダ ヌル,

湯 涵智, 張 曉軒, ティパット ピヤパッタラクン

グラフェンや二硫化モリブデンを用いた半導体デバイスの研究を進めている。二硫化モリブデンを用いたフォトトランジスタを試作し、光励起により発生したホールがゲート絶縁膜にトラップされるフォトゲーティング効果により、極めて高感度の受光器が得られることが実証することに成功した。また厚膜二硫化モリブデンをスコッチテープ法でSi基板上に転写してショット接合を形成し、二硫化モリブデンのキャリア濃度を定量的に評価することに成功した。

三田研究室

(<http://www.if.t.u-tokyo.ac.jp>)

Programmable Matterプロジェクト-エネルギー自立型分散マイクロシステムによる形状可変体

三田吉郎, 三角啓, 宇佐美尚人,

エリック ルブラスール,

黄吉卿 (CNRS LIMMS 研究所),

ロマン カトリ (仏FEMTO-ST研究所),

ユリアック グェン (仏FEMTO-ST研究所),

ジュリアン ブルジョワ (仏FEMTO-ST研究所),

ブノワ ピランダ (仏FEMTO-ST研究所),

ステファン ドラランド (仏PSA-Peugeot)

集積化MEMS (微小電気機械システム) のトップダウンアプリケーションとして、自立マイクロシステムの研究を行っている。「大きさ1cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目

指している。2016年度より、集積化マイクロメカトロニクス研究室（東京大学生産技術研究所LIMMS, CNRS-IIS, UMI 2820）Host Professorの立場でフランス共和国国立研究エージェンシー（ANR）の助成を得て、仏FEMTO-ST研究所とPSA-Peugeotとの産学共同で「組み合わせにより集合の形状変化が可能な自律マイクロロボットProgrammable Matter」の研究を開始している。特に、水中で自立泳動するマイクロシステムの実現と背景物理の理解に研究目標を定めている。2019年度は、3Dプリンタで微細造形したMatter外骨格に静電引力を実際に加え吸着するシステムの提案実証を行い、吸引力の電気磁気学（静電気）特性を検証。さらに、骨格に巻き付ける形で任意法線方向の面に電極を形成するための柔軟な電極の作製法について実証した。

電子線リソグラフィとMEMSプロセスによる微細電極構造の流体素子への集積化作製手法の研究

三田吉郎，肥後昭男，江澤智也，太田悦子，
水島彩子，岡本有貴，鷺津信栄（アドバンテスト），
高田武晃（アドバンテスト），藤原誠，澤村智紀

電極構造の微細化によるセンサ素子の更なる高感度化、高機能化を目指し、電子線リソグラフィとMEMS加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。局所的に測定電極を集積化した微細孔構造や、マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御に取り組んでいる。特に本年度は、前年度課題となった微細メンブレン構造への通水手法について検討実証を行った。

電子線リソグラフィによる大面積精細描画手法の研究

三田吉郎，肥後昭男，藤原誠，澤村智紀，
瀧澤昌弘（アドバンテスト），
工藤靖明（アドバンテスト）

従来垂直水平方向（矩形）に限られ表現能力に乏しかった大面積電子線描画技術を高度化する。VDECに平成25年に新規導入された高速大面積電子線描画装置F7000S-VD02の持つ高ドース対応性、セル（キャラクタ）プロジェクション方式による鮮明なエッジを利用して、自由曲面や繰り返し微細構造などの描画を可能とする。描画後の形状評価が長年課題とされており、繰り返し構造に対する透過と反射スペクトルを利用して簡便にパターンの再現性を検証する手法を提案実証した。

CMOS-VLSIのMEMS後加工による高機能システムの産学連携研究

三田吉郎，稲垣俊典，栗山大成，
佐藤善亨（ナノックスジャパン）

VDECを通じて試作したVLSIウエーハを、武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作、評価する研究を行っている。後加工に関する知見として、トランジスタが作製された直後（配線前）のウエーハ引き渡しを受け、熱工程を伴う後加工プロセス（成膜、インプラ、ドライブイン）を施してもトランジスタ特性の劣化はそれほど進行しないこと、VLSIをあらかじめSilicon-on-Insulator (SOI) 基板の上に配置した構造をMEMS後加工できることなどが分かっている。共同研究開発する素子の種類は共同研究先との相談により様々だが、作製テクノロジーは共通のものを利用できるところが産業的に重要である。数多くの企業の興味を引き、各社との共同研究ベースで電子デバイスの試作が進んでいる。共同研究を端緒とする研究が本年度1件外部受賞を果たした。

集積化MEMSによる高感度超音波プローブの研究

三田吉郎，肥後昭男，吉村武（大阪府立大学），
水野隆（コニカミノルタ），
鈴木謙次（コニカミノルタ），
中山雄太（コニカミノルタ），
遠藤登喜子（名古屋医療センター）

CMOS-VLSIのMEMS後加工と同一のスキームを用い、圧電材料と集積しかつMEMS構造とすることによって、医療診断などに用いることが出来る超音波プローブ素子の従来比100倍の高感度化が可能となること、共同研究によって示されている。2018年度より受託している日本医療研究開発機構（AMED）公的資金（「送受相補型圧電MEMSによる乳がん検診用高感度超音波プローブの研究」代表：吉村武准教授）で高い評価を得、画像取得に向けて加配を受け、高電圧ドライブ回路を設計試作した。また、本研究に関して電気学会「センサ・マイクロマシンとシステムのシンポジウム」で優秀ポスター賞を受賞した。

集積化MEMSによるLSIホットスポットアクティブ冷却システムの研究

三田吉郎，岡本有貴，藤本興治（東工大），
良尊博之（東工大），大場隆之（東工大）

特定の回路ブロックの発熱がパッシブな放熱機構の

限界を超えることで局所的に生ずる高温部分「ホットスポット」が高集積VLSIの高速動作を妨げる物理要因として注目されている。冷却用液体を対流させて熱を引き抜くアクティブ冷却システムを研究している。過去5年間の研究の集大成として、集積化CMOS-MEMS高電圧回路によって電気浸透流を発生させるポンプ回路を試作実証し、駆動電圧あたりの流量ならびに流速で世界最高の性能を得た。さらに、電気浸透流によって実際に冷却効果が起こることを明らかにし、現象を説明するモデルを構築した。

複数高周波信号への機械応答を用いた非侵襲マルチモーダル細胞解析並列集積システム

三田吉郎, 槌屋拓, 岡本有貴, 水島彩子,
エリック ルブラスール,
トマ ボウヴァン (仏ENSパリサクレール校),
シャルル モスロンカ (仏ENSパリサクレール校),
ブルノ ルピユウフル (仏ENSパリサクレール校),
ティクシエ三田アニエス (東大先端研),
オリビエ フランセ (仏パリ東大学ESIEE校),
フレデリック マーティー (仏パリ東大学ESIEE校)
細胞などの液体中の微細構造を、電気的手法によって非侵襲的に測定する方法として、高周波信号による回転電界に対する測定対象の機械応答を計測する手法(電気回転測定法)が知られている。2018年度より日本学術振興会(JSPS)ーフランス科学研究センター(CNRS)の二国間研究交流事業に再び採択され、制御回路ならびに検出回路を集積化したCMOS-MEMSデバイスによる並列化・広帯域化を目指した研究を行っている。本年度は一体式のドライブ回路となる集積回路を設計試作した。

LSI一体集積を指向したコロイドドット材料集積化シリコン赤外線受光器

肥後昭男, 宮澤騎宏, Wang Haibin, 久保貴哉,
宇佐美尚人, 瀬川浩司, 三田吉郎
コロイド量子ドットを用いた電子デバイスは発色デバイスや太陽電池などの分野で研究・実用化が進んでいる。センサ分野での研究開発は遅れているが、1.35 μ m-1.4 μ m帯で感度を得られる赤外フォトダイオード集積LSIが実現できれば、屋外使用を想定したLidarやセキュリティを始めとした新たな幅広い応用分野への展開が期待できる。本研究では、可視から赤外波長領域までの広帯域吸収スペクトルを分子デザインによってトップダウン設計可能なコロイド量子ドットに

注目し、コロイド量子ドットをSi-LSIに集積化することで、Siの素の物性では吸収できない赤外領域に感度を持ち、かつ、読み出し・情報処理回路が集積されたbeyond Si-LSIデバイスの実現を提案している。量子効率の向上を阻んでいる要因として、中間層が想定に反してショットキー接合を形成していることが疑われたので、ショットキー接合であっても特性を厳密に評価できるテスト構造を考案し、実証した。

サイバーフィジカルシステム応用に向けた無電力最大加速度センサ開発

三田吉郎, R Ranga Reddy

VDECの研究室が共同して、インドIITボンベイ校との共同研究プロジェクトを立ち上げている。当研究室ではサイバーフィジカルシステムのセンサ応用例として、2014年度まで先行研究を行っていたショック共振スペクトルセンサ(SRS)を取り上げ、作製法の再習得を行った。特筆する成果として、無電力で最大加速度を設計で定めた段階(設計では10段階)に分割して取得記録するデバイスの解析に成功した。本研究の成果をもとに、インドIITBよりインターンシップ生を2週間、IITHよりインターンシップ生を2名3か月それぞれ受入れ、デバイスの構想を行った。

6.4 研究発表

黒田研究室

研究論文

M. Hamada, and T. Kuroda,

"Transmission Line Coupler: High-Speed Interface for Non-Contact Connector,"

IEICE TRANSACTIONS on Electronics, vol.E102-C, No.7, pp.501-508, July 2019.

国際会議論文

T. Tanaka, K. Tabuchi, K. Tatehora, Y. Shiiki, S. Nakagawa, T. Takahashi, R. Shimizu, H. Ishikuro, T. Kuroda, T. Yanagida, and K. Uchida,

"Low-Power and ppm-Level Detection of Gas Molecules by Integrated Metal Nanosheets,"

IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp. T158-T159, June 2019.

T. Tanaka, K. Tabuchi, K. Tatehora, Y. Shiiki, S. Nakagawa, T. Takahashi, R. Shimizu, H. Ishikuro, T. Kuroda, T. Yanagida, and K. Uchida,

"Low-Power and ppm-Level Detection of Gas Molecules by Integrated Metal Nanosheets,"

IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp. T158-T159, June 2019.

K. Shiba, M. Hamada, and T. Kuroda,

"3D SoC Design with TSV-less Power Supply Employing Highly Doped Silicon Via,"

JSAP International Conference on Solid State Devices and Materials (SSDM'19), Ex-tended Abstracts, pp. 515-516, Sep. 2019.

C. Cheng, K. Shiba, M. Hamada, and T. Kuroda,
"2.5D Integration Using Inductive-Coupling TSV-less Miniature Interposer Achieving 317Gb/s/mm², 1.2pJ/b Data Transfer,"

JSAP International Conference on Solid State Devices and Materials (SSDM'19), Ex-tended Abstracts, pp. 517-518, Sep. 2019.

H. Ojima, S. Morinaga, T. Ishikawa, M. Yasui, S. Akizuki, M. Hamada, and T. Kuroda,

"CA2 area detection from hippocampal microscope images using deep learning,"

Neuroscience 2019, Oct. 2019.

シンポジウム・研究会・大会等発表

森永祥平, 尾嶋弘貴, 石川智愛, 安井正人, 秋月秀一, 濱田基嗣, 黒田 忠広,

"海馬透過光画像からのCA2領域の自動検出,"

Neuro2019, July 2019.

池田研究室

論文

[1] Y. Ogasahara, Y. Hori, T. Katashita, T. Iizuka, H. Awano, M. Ikeda, and H. Koike, "Implementation of pseudo-linear feedback shift register-based physical unclonable functions on silicon and sufficient Challenge-Response pair acquisition using Built-In Self-Test before shipping," <https://doi.org/10.1016/j.vlsi.2019.12.002>, V. 71, March Issue, pp. 144-153, March 2020.

[2] T. Hamada, T. Takeuchi, T. Aoki, M. Kozuma, T. Ikeda, M. Ikeda, and S. Yamazaki, "An Oxide - Semiconductor - FET - Based Dynamic Logic Circuit for Wearable Systems," SID 2019, Vol. 50, No. 1, June 2019.

国際会議

[3] [Invited] M. Ikeda, "Hardware acceleration of Advanced Cryptography," 33rd International Conference on VLSI Design and 2020.

[4] [Invited] M. Ikeda, "Hardware Acceleration of Functional Cryptography," ASICON2019, Oct. 2019.

[5] C. Cai, H. Awano, and M. Ikeda, "High-Speed ASIC Implementation of Paillier Cryptosystem with Homomorphism," 2019 IEEE 13th International Conference on ASIC (ASICON), pp. 1-4, Nov. 2019.

- [6] M. Ikeda, T. Ichihashi, H. Awano, "33us, 94uJ Optimal Ate Pairing Engine on BN Curve Over 254b Prime Field in 65nm CMOS FDSOI," 2019 IEEE Proceedings of Asian Solid-State Circuits Conference (A-SSCC 2019), pp. 263-266, Nov. 2019.
- [7] [Invited] M. Ikeda, "Advanced Cryptography hardware design and optimization," International Workshop on Hardware Security, Sept. 2019.
- [8] F. Arakawa, M. Ikeda, A. Tsukamoto, and K. Suzuki, "Trusted Execution Environment (TEE) with Open Processor Cores," Proceedings of 19th International Forum on MPSoC for Software-defined Hardware, July 2019.
- [9] U. Kim, M. Ikeda, "Active optical sensing with randomized coded light for intentional interference tolerance," International Image Sensor Workshop 2019, June 2019.
- [10] H. Awano, T. Iizuka, and M. Ikeda, "PUFNet: A Deep Neural Network Based Modeling Attack for Physically Unclonable Function," 2019 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1-4, May 2019.
- [11] [Invited] M. Ikeda, "Advanced Cryptographic Hardware designs," 5th France-Japan Cybersecurity workshop, April 2019.
- 国内研究会**
- [12] 武田直嗣, 池田誠, "電流モード背景光除去機能を有するToF CMOSイメージセンサの検討," 情報センシング研究会, 2020年3月
- [13] Y, Liu and M, Ikeda, "A Design of Time-of-Flight Pixel with Background Light Suppression in Current Mode," 映像情報メディア学会技術報告, (ITE-IST), Session 4-(14), March. 2020
- [14] 池田 健人, 池田 誠, "Fp256楕円曲線暗号の高速化に向けた設計空間探索," 信学技報, vol. 119, no. 444, VLD2019-130, HWS2019-103, pp. 209-214, 2020年3月.
- [15] 杉山 昇太郎, 池田 誠, "完全準同型暗号のハードウェア向けアルゴリズムとアーキテクチャ設計," 信学技報, vol. 119, no. 444, VLD2019-144, HWS2019-117, pp. 285-290, 2020年3月.
- [16] 杉山 昇太郎, 池田 誠, "完全準同型暗号を用いた二値化ニューラルネットワーク推論モデルの暗号化," 電子情報通信学会ハードウェアセキュリティフォーラム2019, 2019年12月.
- [17] 中山 亮平, 池田誠, "高機能暗号実現向けペアリング演算器の設計," 電子情報通信学会ハードウェアセキュリティフォーラム2019, 2019年12月.
- [18] 門脇 悠真, 上野 嶺, ヴィッレ ウリマウル, 藤本 大介, 林 優一, 永田 真, 池田 誠, 松本 勉, 本間 尚文, "ペアリング暗号ハードウェアの相関電磁波解析に関する検討," 信学技報, vol. 119, no. 260, HWS2019-59, ICD2019-20, pp. 13-18, 2019年11月.
- [19] 中山 亮平, 栗野 皓光, 池田 誠, "高位設計フローにベイズ最適化法を応用した設計空間探索," 信学技報, vol. 119, no. 143, ISEC2019-57, SITE2019-51, BioX2019-49, HWS2019-52, ICSS2019-55, EMM2019-60, pp. 369-374, 2019年7月.
- [20] 蔡 純, 栗野 皓光, 池田 誠, "準同型性を有するPaillierアルゴリズムに向けた高性能プロセッサの設計," 信学技報, vol. 119, no. 143, ISEC2019-59, SITE2019-53, BioX2019-51, HWS2019-54, ICSS2019-57, EMM2019-62, pp. 383-388, 2019年7月.
- [21] 中山亮平, 栗野皓光, 池田誠, "ベイズ最適化による高位合成パラメータの探索," LSIとシステムのワークショップ2019, 2019年5月.
- 国内大会**
- [22] 中山亮平, 池田誠, "高機能暗号実現向けマルチペアリング演算器の設計," 電子情報通信学会総合大会, A-20-1, 2020年3月.
- [23] Di Cui, Makoto Ikeda, "Design and implementation of high-speed arithmetic unit based on self-synchronous circuit" 電子情報通信学会総合大会, C-12-13 2020年3月.
- [24] Y, Liu and M, Ikeda, "A Design of Time-of-Flight Pixel for Optical Ranging," 電子情報通信学会総合大会, C-12-22, March. 2020
- [25] 武田直嗣, 池田誠, "電流モードでの背景光除去機能を有するToF CMOSイメージセンサ," 電子情報通信学会総合大会, C-12-23, 2020年3月
- [26] Di Cui, Makoto Ikeda, "A design of arithmetic unit based on self-synchronous circuit" 電子情報通信学会ソサイエティ大会, A-1-7, 2019年9月.

研究論文

1. Binod Kumar ; Jay Adhaduk ; Kanad Basu ; Masahiro Fujita ; Virendra Singh: A Methodology to Capture Fine-Grained Internal Visibility During Multisession Silicon Debug: IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2020, Early Access Article (2020), DOI: 10.1109/TVLSI.2019.2958989
2. Yukio Miyasaka, Akihiro Goda, Ashish Mittal, Masahiro Fujita: Synthesis and Generalization of Parallel Algorithm for Matrix-vector Multiplication: IPSJ Transactions on System LSI Design Methodology, Vol.13, pp. 31 - 34 (2020), DOI: 10.2197/ipsjtsldm.13.31
3. Peikun Wang, Amir Masoud Gharehbaghi, Masahiro Fujita: A Logic Optimization Method by Eliminating Redundant Multiple Faults from Higher to Lower Cardinality: IPSJ Transactions on System LSI Design Methodology, Vol.13, pp. 35 - 38 (2020), DOI: 10.2197/ipsjtsldm.13.35
4. Zolboo Byambadorj ; Koji Asami ; Takahiro J. Yamaguchi ; Akio Higo ; Masahiro Fujita ; Tetsuya Iizuka: Theoretical Analysis of Noise Figure for Modulated Wideband Converter: IEEE Transactions on Circuits and Systems I: Regular Papers, Vol.67, Issue: 1, pp. 298 - 308 (2020), DOI: 10.1109/TCSI.2019.2938964
5. Binod Kumar ; Kanad Basu ; Masahiro Fujita ; Virendra Singh: Post-Silicon Gate-Level Error Localization With Effective and Combined Trace Signal Selection: IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.39, Issue: 1, pp. 248 - 261 (2020), DOI: 10.1109/TCAD.2018.2883899
6. Peikun Wang ; Amir Masoud Gharehbaghi ; Masahiro Fujita: An Automatic Test Pattern Generation Method for Multiple Stuck-at Faults by Incrementally Extending the Test Patterns: IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Early Access Article (2020), DOI: 10.1109/TCAD.2019.2957364
7. Takahiko Ishizu ; Kazuma Furutani ; Yuto Yakubo ; Atsuo Isobe ; Masashi Fujita ; Tomoaki Atsumi ;

Yoshinori Ando ; Tsutomu Murakawa ; Kiyoshi Kato ; Masahiro Fujita ; Shunpei Yamazaki: An Energy-Efficient Normally Off Microcontroller With 880-nW Standby Power, 1 Clock System Backup, and 4.69- μ s Wakeup Featuring 60-nm CAAC-IGZO FETs: IEEE Solid-State Circuits Letters, Volume: 2 , Issue: 12, pp. 293 - 296 (2019), DOI: 10.1109/LSSC.2019.2952895

8. Yusuke KIMURA ; Amir Masoud GHAREHBAGHI ; Masahiro FUJITA: Signal Selection Methods for Debugging Gate-Level Sequential Circuits: IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E102-A, No.12, pp. 1770-1780 (2019), DOI: 10.1587/transfun.E102.A.1770

国際会議

1. Akihiro Goda¹, Yukio Miyasaka, Amir Masoud Gharehbaghi, Masahiro Fujita: Synthesis and Generalization of Parallel Algorithms Considering Communication Constraints: International Symposium on Quality Electronic Design (ISQED) 2020, March 2020: Session PW1.5
2. Yukio Miyasaka, Xinpei Zhang, Takashi Matsumoto, and Masahiro Fujita: Parallel Algorithm for CNN Inference and its Automatic Synthesis: IEEE/ACM Design, Automation and Test Europe (DATE 2020), University Booth Presentation
3. Binod Kumar ; Atul Kumar Bhosale ; Masahiro Fujita ; Virendra Singh: Validating Multi-Processor Cache Coherence Mechanisms under Diminished Observability, IEEE 28th Asian Test Symposium (ATS) 2019, Dec. 2019, pp. 99-104, DOI: 10.1109/ATS47505.2019.00019
4. Qi Lu ; Amir Masoud Gharehbaghi ; Masahiro Fujita: Approximate Arithmetic Circuit Design Using a Fast and Scalable Method: IFIP/IEEE 27th International Conference on Very Large Scale Integration (VLSI-SoC) 2019, Oct. 2019, pp. 65-70, DOI: 10.1109/VLSI-SoC.2019.8920365
5. Mayank Palaria ; Sai Sanjeet ; Bibhu Datta Sahoo ; Masahiro Fujita: Adder-Only Convolutional Neural Network with Binary Input Image: IEEE

- 62nd International Midwest Symposium on Circuits and Systems (MWSCAS) 2019, Aug. 2019, DOI: 10.1109/MWSCAS.2019.8885354
6. Satyadev Ahlawat ; Jaynarayan Tudu ; Manoj Singh Gaur ; Masahiro Fujita ; Virendra Singh: Preventing Scan Attack through Test Response Encryption: IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT) 2019, Oct. 2019, DOI: 10.1109/DFT.2019.8875355
 7. Satyadev Ahlawat ; Kailash Ahirwar ; Jaynarayan Tudu ; Masahiro Fujita ; Virendra Singh: Securing Scan through Plain-text Restriction: IEEE 25th International Symposium on On-Line Testing and Robust System Design (IOLTS) 2019, October 2019, DOI: 10.1109/IOLTS.2019.8854411
 8. Takahiko Ishizu ; Yuto Yakubo ; Kazuma Furutani ; Atsuo Isobe ; Masashi Fujita ; Tomoaki Atsumi ; Yoshinori Ando ; Tsutomu Murakawa ; Kiyoshi Kato ; Masahiro Fujita ; Shunpei Yamazaki: A 48 MHz 880-nW Standby Power Normally-Off MCU with 1 Clock Full Backup and 4.69- μ s Wakeup Featuring 60-nm Crystalline In-Ga-Zn Oxide BEOL-FETs: IEEE Symposium on VLSI Circuits 2019, June 2019, pp. 48-49, DOI: 10.23919/VLSIC.2019.8778076
 9. Tomohiro Maruoka ; Yukio Miyasaka ; Akihiro Goda ; Amir Masoud Gharehbaghi ; Masahiro Fujita: Live Demonstration: Automatic Synthesis of Algorithms on Multi Chip/FPGA with Communication Constraints: IEEE International Symposium on Circuits and Systems (ISCAS) 2019, May 2019, DOI: 10.1109/ISCAS.2019.8702217
 10. Qin hao Wang ; Amir Masoud Gharehbaghi ; Takeshi Matsumoto ; Masahiro Fujita : High-Level Engineering Change Through Programmable Datapath and SMT Solvers: IEEE International Symposium on Circuits and Systems (ISCAS) 2019, May 2019, DOI: 10.1109/ISCAS.2019.8702524
 11. Yusuke Kimura ; Amir Masoud Gharehbaghi ; Masahiro Fujita: Signal Selection Methods for Efficient Multi-Target Correction: IEEE International Symposium on Circuits and Systems (ISCAS) 2019, May 2019, DOI: 10.1109/ISCAS.2019.8702149
 12. Peikun Wang ; Amir Masoud Gharehbaghi ; Masahiro Fujita: An Incremental Automatic Test Pattern Generation Method for Multiple Stuck-at Faults: IEEE 37th VLSI Test Symposium (VTS) 2019, April 2019, DOI: 10.1109/VTS.2019.8758668
- 国内学会, 研究会等**
1. 合田瑛洋・藤田昌宏,「複数プロセッサを用いた通信効率の良い行列ベクトル積演算の自動一般化手法」、電子情報通信学会技術研究報告 信学技報 VLD2019-97, pp.19-24 (2020)
 2. Jian Gu・Amir Masoud Gharehbaghi・Masahiro Fujita, “Partial synthesis method based on Column-wise verification for integer multipliers,” 電子情報通信学会技術研究報告 信学技報 VLD2019-89, pp.211-216 (2019)
 3. Xinpei Zhang・Amir Masoud Gharehbaghi・Masahiro Fujita, “An Approach to Approximate Multiplier Optimization,” 電子情報通信学会技術研究報告 信学技報 VLD2019-88, pp.205-210 (2019)
 4. Peikun Wang・Amir Masoud Gharehbaghi・Masahiro Fujita, “A New ATPG-based Logic Optimization Method by Removing the Redundant Multiple Faults,” 電子情報通信学会技術研究報告 信学技報 VLD2019-32, pp.19-22 (2019)
 5. 宮坂 幸雄, Ruitao Gao, 藤田 昌宏, 「行列ベクトル積の並列アルゴリズムの合成」, 電子情報通信学会第32回 回路とシステムワークショップ, pp. 43 - 48 (2019)
 6. Gao Ruitao, Amir Masoud Gharehbaghi, Tomohiro Maruoka, Masahiro Fujita: SAT Based Formulation of Automatic Generation of Parallel Computing from Specification: IPSJ DA シンポジウム2019, Session 10A-1
 7. 劉雨航, ガラバギ アミル マスード, 藤田昌宏: Automatic Test Pattern Generation for Functional Fault: IPSJ DA シンポジウム2019, Session 13A-2
 8. Xingming Le・Amir Masoud Gharehbaghi・Masahiro Fujita, “SRAM-Based Synthesis for Multi-Output Gates,” 電子情報通信学会技術研究

小林研究室

研究論文

- [1] Yuki Honda, Masahide Goto, Toshihisa Watabe, Kei Hagiwara, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto, "Triple-Stacked Au/SiO₂ Hybrid Bonding With 6- μ m-Pitch Au Electrodes on Silicon-on-Insulator Substrates Using O₂ Plasma Surface Activation for 3-D Integration", IEEE Transactions on Components, Packaging and Manufacturing Technologies, Vol. 9, No. 9, pp. 1904 - 1911, September, 2019.
- [2] Kiyoshi Takeuchi, Masaharu Kobayashi, and Toshiro Hiramoto, "A Feasibility Study on Ferroelectric Shadow SRAMs Based on Variability-Aware Design Optimization", IEEE Journal of the Electron Devices Society, Vol. 7, pp. 1284 - 1292, December, 2019.
- [3] Ki-Hyun Jang, Takuya Saraya, Masaharu Kobayashi, Naomi Sawamoto, Atsushi Ogura, and Toshiro Hiramoto, "Width dependence of drain current and carrier mobility in gate-all-around multi-channel polycrystalline silicon nanowire transistors with 10nm width scale", Japanese Journal of Applied Physics, vol. 59, no. 2, 021004, February, 2020.
- [4] Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Statistical analysis of temperature dependence of worst case static random access memory data retention voltage using extreme value theory", Japanese Journal of Applied Physics, vol. 59, no. SG, SGG10, March, 2020.
- [5] Kiyoshi Takeuchi, Masaharu Kobayashi, and Toshiro Hiramoto, "A simulation study on low voltage operability of hafnium oxide based ferroelectric FET memories", Japanese Journal of Applied Physics, vol. 59, no. SG, SGG11, March, 2020.
- [6] 小林正治, 「次世代高機能材料の動向」, Yano E Plus (矢野経済研究所) 54 - 57 2020年3月15日.

国際会議論文

- [1] (Invited) Masaharu Kobayashi, "Challenges and opportunities of ferroelectric-HfO₂ based transistor and memory technologies", Symposium on Nano Device Technology, TSRI, hsinchu, Taiwan, Apr. 4, 2019.
- [2] Yuki Honda, Masahide Goto, Toshihisa Watabe, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto, "Triple-Stacked Wafer-to-Wafer Hybrid Bonding for 3D Structured Image Sensors", 2019 6th International Workshop on Low Temperature Bonding for 3D Integration (LTB-3D 2019), Kanazawa, May 21 - 25, 2019.
- [3] Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi, Toshiro Hiramoto, "Application of Extreme Value Theory to Statistical Analyses of Worst Case SRAM Data Retention Voltage", Silicon Nanoelectronics Workshop, Kyoto, June 9, 2019.
- [4] F. Mo, Y. Tagawa, C. Jin, M. Ahn, T. Saraya, T. Hiramoto and M. Kobayashi, "Experimental Demonstration of Ferroelectric HfO₂ FET with Ultrathin-Body IGZO for High-Density and Low-Power Memory Application", VLSI Symposium on Technology, Kyoto, pp. T42 - T43, June 11, 2019.
- [5] C. Jin, T. Saraya, T. Hiramoto and M. Kobayashi, "Transient Negative Capacitance as Cause of Reverse Drain-Induced Barrier Lowering and Negative Differential Resistance in Ferroelectric FETs", VLSI Symposium on Technology, Kyoto, pp. T220 - T221, June 13, 2019.
- [6] (Invited) Masaharu Kobayashi, "Ferroelectric-HfO₂ based transistor and memory technologies enabling ultralow power IoT applications", 2019 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2019), Busan, Korea 86 - 87, July 1, 2019.
- [7] T. Mizutani, K. Takeuchi, T. Saraya, M. Kobayashi, T. Hiramoto, "Statistical Analysis of Temperature Dependence of Worst Case SRAM Data Retention Voltage Using Extreme Value Theory", 2019 International Conference on Solid State Devices and Materials (SSDM), Nagoya University, pp. 561 - 562, September 3, 2019.

- [8] K. Takeuchi, M. Kobayashi, T. Hiramoto, "A Simulation Study on Hf-based Ferroelectric FET Memory Performance", 2019 International Conference on Solid State Devices and Materials (SSDM), Nagoya University, pp. 375 - 376, September 4, 2019.
- [9] Masahide Goto, Yuki Honda, Toshihisa Watabe, Kei Hagiwara, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto, "Triple-Layering Technology for Pixel-Parallel CMOS Image Sensors Developed by Hybrid Bonding of SOI Wafers", IEEE International 3D Systems Integration Conference (3DIC), Hotel Metropolitan Sendai and Miyagino Ward Cultural Center, Miyagi, Japan, October 8-10, 2019.
- [10] (Invited) Masaharu Kobayashi, "Ferroelectric-HfO₂ transistor memory with IGZO channel", The 77th Fujihara Seminar, pp. 18 - 19, October, 2019.
- [11] (Invited) Masaharu Kobayashi, Chengji Jin, and Toshiro Hiramoto (Invited), "Comprehensive Understanding of Negative Capacitance FET From the Perspective of Transient Ferroelectric Model", 13th International Conference on ASIC (ASICON 2019), Hotel Hilton Chongqing, Chongqing, China, D2-1, October 30, 2019.
- [12] (Invited) Masaharu Kobayashi, "Emerging ferroelectric memory devices by material innovation", ISCSI-8, Tohoku University, pp. 63-64, Nov. 28, 2019.
- 研究会, 北海道大学情報科学院 (北海道), 2019年8月9日.
- [3] (招待講演)後藤正英, 本田悠葵, 渡部俊久, 萩原啓, 難波正和, 井口義則, 更屋拓哉, 小林正治, 日暮栄治, 年吉 洋, 平本俊郎, 「画素並列3次元集積によるリニア広ダイナミックレンジ出力デジタル画素イメージセンサ」, 日本工業技術振興協会次世代画像入力ビジョンシステム部会, 東京理科大学森戸記念館, 2019年9月13日.
- [4] 水谷朋子, 竹内 潔, 更屋拓哉, 小林正治, 平本俊郎, 「極値理論を利用した最大SRAMデータ保持電圧の統計解析」, 第80回応用物理学会秋季学術講演会, 北海道大学, 18a-B11-5, 2019年9月18日.
- [5] 竹内 潔, 小林正治, 平本俊郎, 「新ばらつき設計手法を用いた強誘電体シャドーSRAMの再検討」, 第80回応用物理学会秋季学術講演会, 北海道大学, 18a-B11-6, 2019年9月18日.
- [6] Minju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, 「Improved subthreshold characteristics of p-type poly-Si junctionless transistor by utilizing optimized channel structure」, 第80回応用物理学会秋季学術講演会, 北海道大学, 18p-B11-5, 2019年9月18日.
- [7] Chengji Jin, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, 「Mechanisms of Reverse-DIBL and NDR Observed in Ferroelectric FETs」, Young Scientist Presentation Award Speech, 第80回応用物理学会秋季学術講演会, 北海道大学, 18p-B11-1, 2019年9月18日.
- [8] Fei Mo, Yusaku Tagawa, Chengji Jin, MinJu Ahn, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, 「Demonstration of HfO₂ based Ferroelectric FET with Ultrathin-body IGZO for High-Density Memory Application」, 第80回応用物理学会秋季学術講演会, 北海道大学, 18p-B11-2, 2019年9月18日.
- [9] (招待講演) 小林正治, 「負性容量トランジスタの理解と今後の展望」, 第80回応用物理学会秋季学術講演会, 北海道大学 (北海道), 20p-C309-2, 2019年9月20日.
- [10] 後藤正英, 本田悠葵, 渡部俊久, 萩原 啓, 難波正和, 井口義則, 更屋拓哉, 小林正治, 日暮栄治, 年吉 洋, 平本俊郎, 「画素単位の3次元集積化技術を用いたリニア広ダイナミックレンジ出力デジタル画素イメージセンサ」, 映像情報メディア学

シンポジウム・研究会・大会等発表

- [1] 水谷朋子, 竹内 潔, 更屋拓哉, 小林正治, 平本俊郎, 「極値理論を利用した最大SRAMデータ保持電圧の統計解析」, 電子情報通信学会シリコン材料・デバイス研究会 (SDM) および集積回路研究会 (ICD) 合同研究会, 北海道大学情報科学院 (北海道), 2019年8月8日.
- [2] (招待講演) 小林正治, 莫非, 多川友作, 金成吉, 安 珉柱, 更屋拓哉, 平本俊郎, 「極薄IGZOチャンネルを有する強誘電体トランジスタメモリの検討」, 電子情報通信学会シリコン材料・デバイス研究会 (SDM) および集積回路研究会 (ICD) 合同

会 情報センシング研究会, 機械振興会館 (東京), 2019年9月29日.

- [11] (招待講演) 小林正治, 莫非, 多川友作, 更屋拓哉, 平本俊郎 (招待講演), 「強誘電体v2トンネル接合メモリのスケーラビリティに関する検討」, 電子情報通信学会シリコン材料・デバイス研究会, 機械振興会館 (東京), SDM2019-69, 2019年11月7日.
- [12] 後藤正英, 本田悠葵, 渡部俊久, 萩原 啓, 難波正和, 井口義則, 更屋拓哉, 小林正治, 日暮栄治, 年吉 洋, 平本俊郎, 「SOI ウェハの直接接合を用いた3層構造リングオシレータとイメージセンサの試作」, 情報処理学会システム・アーキテクチャ研究会「デザインガイア2019—VLSI設計の新しい大地—」, 愛媛県男女共同参画センター, ICD2019-38, IE2019-44, 2019年11月15日.
- [13] 本田悠葵, 後藤正英, 渡部俊久, 難波正和, 井口義則, 更屋拓哉, 小林正治, 日暮栄治, 年吉 洋, 平本俊郎, 「3次元構造撮像デバイスの多層積層化に向けたウェハ接合による多層積層技術」, 第11回集積化MEMSシンポジウム, Future Technologies from Hamamatsu, アクトシティ浜松 (静岡), 19pm3-A-3, 2019年11月19日.
- [14] 中谷真規, 本田悠葵, 後藤正英, 渡部俊久, 難波正和, 井口義則, 更屋拓哉, 小林正治, 日暮栄治, 年吉 洋, 平本俊郎, 「撮像デバイスの高集積化に向けた裏面電極素子の試作」, 映像情報メディア学会冬季大会2019, 電気通信大学 (東京), 21C-3, 2019年12月13日.
- [15] 木村迅利, 水谷朋子, 竹内 潔, 更屋拓哉, 小林正治, 平本俊郎, 「微細ゲートオールアラウンド (GAA) シリコンナノワイヤトランジスタにおける極めて大きなランダムテレグラフノイズ (RTN) の解析」, 第67回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 12p-A305-1, 2020年3月12日.
- [16] Boyang Cui, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi, Toshiro Hiramoto, "Detection of Charge Traps in Silicon Nanowire MOSFETs Using Transient Current Measurements", 第67回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 12p-A305-2, 2020年3月12日.
- [17] 水谷朋子, 竹内 潔, 更屋拓哉, 小林正治, 平本俊郎, 「極値理論を利用した最大SRAMデータ保持

電圧の温度依存性の統計解析」, 第67回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 12p-A305-8, 2020年3月12日.

- [18] 柏嶋 始, 福井宗利, 竹内 潔, 小林正治, 平本俊郎, 「3次元スケーリングによるスーパージャンクションIGBTの性能向上」, 第67回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 13p-PA9-23, 2020年3月13日.
- [19] 吉村英将, 莫非, 平本俊郎, 小林 正治, 「強誘電体トンネル接合メモリの大規模集積化に向けた設計に関する検討」, 第67回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 14p-A303-13, 2020年3月14日.

飯塚研究室

研究論文

- [1] Daisuke Yamazaki, Yoshitaka Otsuki, Takafumi Hara, Nguyen Ngoc Mai-Khanh and Tetsuya Iizuka, ``11-Gb/s 140-GHz OOK Modulator with 24.6dB Isolation utilizing Cascaded Switch and Amplifier Based Stages in 65-nm Bulk CMOS," IET Circuits, Devices & Systems, vol. 14, no 3, pp. 322 - 326, May 2020.
- [2] Zolboo Byambadorj, Koji Asami, Takahiro J. Yamaguchi, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, ``Theoretical Analysis of Noise Figure for Modulated Wideband Converter," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 67, no. 1, pp. 298 - 308, Jan. 2020.
- [3] Wang Jing, Tetsuya Iizuka, Zule Xu and Toru Nakura, ``A Compact Quick-Start Sub-mW Pulse-Width-Controlled PLL with Automated Layout Synthesis using a Place-and-Route Tool," IEICE Electronics Express, vol. 16, no. 19, pp. 1 - 6, Oct. 2019.
- [4] Tetsuya Iizuka, Kai Xu, Xiao Yang, Toru Nakura and Kunihiro Asada, ``Spatial Resolution Improvement for Point Light Source Detection in Scintillator Cube using SPAD Array with Multi Pinholes," IEICE Electronics Express, vol. 16, no. 19, pp. 1 - 6, Oct. 2019.
- [5] Daigo Takahashi, Tetsuya Iizuka, Nguyen Ngoc Mai-Khanh, Toru Nakura and Kunihiro Asada,

``Fault Detection of VLSI Power Supply Network based on Current Estimation from Surface Magnetic Field," IEEE Transactions on Instrumentation and Measurement, vol. 68, no. 7, pp. 2519 - 2530, Jul. 2019.

国際会議論文

- [1] Naoki Ojima, Xu Zule and Tetsuya Iizuka, ``A 0.0053-mm² 6-Bit Fully-Standard-Cell-Based Synthesizable SAR ADC in 65nm CMOS," in Proceedings of IEEE International New Circuits and Systems Conference (NEWCAS), Jun. 2019.

シンポジウム・研究会・大会等発表

- [1] 松岡 英, 根塚智裕, 飯塚 哲也, ``サイクリックアナログ型 1-0 MASH ADCにおける性能低下要因の解析," 電子情報通信学会 総合大会論文集, C-12-3, 2020年3月.
- [2] 高橋 奈悟, 藤田 悠介, 三浦 賢, 飯塚 哲也, ``注入タイミング制御を用いた遠端クロストーク低減機能をもつ16Gb/s差動送信器," 電子情報通信学会 技術研究報告, vol. 119, no. 284, pp. 65 - 70, 2019年11月.
- [3] 山崎 大輔, 大槻 宜孝, 原 崇文, Nguyen Ngoc Mai-Khanh, 飯塚 哲也, ``スイッチ型および増幅型ステージを用いた高アイソレーションかつ低損失なDバンドOOK変調器の実装," 電子情報通信学会 LSIとシステムのワークショップ2019, 2019年5月.

高木・竹中研究室

研究論文

- [1] T. Tanamoto, C. Tanaka, T. Hioki, and S. Takagi, "SPICE Simulation of 32-kHz crystal-oscillator operation based on Si tunnel FET", IEICE Electronics Express, vol. 17, No. 6, 20200025, March 25, 2020. DOI: 10.1587/elex.17.20200025
- [2] Q. Li, C. P. Ho, S. Takagi, and M. Takenaka, "Optical phase modulators based on reverse-biased III-V/Si hybrid metal-oxide-semiconductor capacitors," IEEE Photonics Technology Letters, Vol. 32, No. 6, pp. 345-348, March 2020. DOI: 10.1109/LPT.2020.2973174
- [3] C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong,

M. Takenaka and S. Takagi, "Effects of hydrogen ion implantation dose on physical and electrical properties of Ge-on-insulator layers fabricated by smart-cut process," AIP Advances, vol. 10, 015045, January 2020. DOI: 10.1063/1.5132881

- [4] S. Takagi, K. Kato, and M. Takenaka, "Group IV based bi-layer tunneling field effect transistor," ECS Trans., vol. 93, no. 1, pp. 23-27, 2019 (invited). DOI: 10.1149/09301.0023ecst
- [5] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "Fabrication and electrical characteristics of ZnSnO/Si bilayer tunneling filed-effect transistors," IEEE Journal of the Electron Devices Society, vol. 7, No. 1, 1201-1208, 2019. DOI: 10.1109/JEDS.2019.2933848
- [6] T. Gotow, M. Mitsuhashi, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Performance enhancement of p-GaAs_{0.51}Sb_{0.49}/In_{0.53}Ga_{0.47}As hetero-junction vertical tunneling field-effect transistors with abrupt source impurity profile," J. Appl. Phys., vol. 126, 214502, 2019. DOI: 10.1063/1.5121567
- [7] M. Ke, M. Takenaka, and S. Takagi, "Reduction of slow trap density in Al₂O₃/GeOxNy/n-Ge MOS interfaces by PPN-PPO process," IEEE Trans. Electron Devices, vol. 66, no. 12, pp. 5060-5064, 2019. DOI: 10.1109/TED.2019.2948074
- [8] S.-H. Yoon, K. Kato, C. Yokoyama, D.-H. Ahn, M. Takenaka, and S. Takagi, "Re-examination of effects of sulfur treatment on Al₂O₃/InGaAs metal-oxide-semiconductor interface properties," J. Appl. Phys., vol. 126, 184501, 2019. DOI: 10.1063/1.5111630
- [9] T. Gotow, M. Mitsuhashi, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Improvement of p-type GaAs_{0.51}Sb_{0.49} metal-oxide-semiconductor interface properties by using ultrathin In_{0.53}Ga_{0.47}As interfacial layers," J. Appl. Phys., vol. 125, 214504, 2019. DOI: 10.1063/1.5096410
- [10] S. Takagi, K. Kato, K. Sumita, K.-W. Jo, R. Takaguchi, D.-H. Ahn, K. Toprasertpong and M. Takenaka, "Tunneling FET device technology for ultra-low power integrated circuits", ECS Transactions, 92 (4), pp. 59-69, 2019. DOI:

10.1149/09204.0059ecst

- [11] T.-E. Lee, K. Kato, M. Ke, K. Toprasertpong, M. Takenaka, and S. Takagi, "Impact of metal gate electrodes on electrical properties of Y2O3/Si0.78Ge0.22 gate stacks," *Microelectronic. Eng.*, vol. 214, pp. 87–92, June 2019. DOI: 10.1016/j.mee.2019.05.005
- [12] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Mid-infrared tunable Vernier filter on a germanium-on-insulator photonic platform," *Optics Letters*, vol. 44, no. 11, pp. 2779–2782, June 2019.
- [13] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "ZnO/Si and ZnO/Ge bilayer tunneling field effect transistors: Experimental characterization of electrical properties," *J. Appl. Phys.*, vol. 125, 195701, 2019. DOI: 10.1063/1.5088893
- [14] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "Bilayer tunneling field effect transistor with oxide-semiconductor and group-IV semiconductor hetero junction: Simulation analysis of electrical characteristics," *AIP Advances*, vol. 9, 055001, May 2019. DOI: 10.1063/1.5088890
- Conference (OFC2020), W4G.3, San Diego, 8–12 March 2020.
- [4] M. Ke, M. Takenaka, and S. Takagi, "Contributions of electron and hole slow traps to hysteresis in C-V characteristics of Al2O3/GeOx/p-Ge MOS capacitors," 50th IEEE Semiconductor Interface Specialists Conference (SISC), 1.3, San Diego, 11–14 December 2019.
- [5] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, "Impact of atomic layer deposition high-k materials on Si0.78Ge0.22 MOS interface properties with TiN gate," 50th IEEE Semiconductor Interface Specialists Conference (SISC), 2.3, San Diego, 11–14 December 2019.
- [6] K. Toprasertpong, M. Takenaka, and S. Takagi, "Direct observation of interface charge behaviors in FeFET by quasi-static split C-V and Hall techniques: Revealing FeFET operation," International Electron Devices Meeting (IEDM2019), 23.7, San Francisco, 7–11 December 2019.
- [7] K.-W. Jo, C.-M. Lim, W.-K. Kim, K. Toprasertpong, M. Takenaka, and S. Takagi, "Strain and surface orientation engineering in extremely-thin body Ge and SiGe-on-insulator MOSFETs fabricated by Ge condensation," International Electron Devices Meeting (IEDM2019), 29.1, San Francisco, 7–11 December 2019.
- [8] S. Takagi, K. Kato, M. Takenaka, "Bi-layer tunneling FET using group IV/oxide semiconductor hetero-structure," 8th International Symposium on Control of Semiconductor Interfaces (ISCSI-VIII), Sendai, Japan, 27–30 November 2019 (invited).
- [9] Z. Zhao, C.-P. Ho, S. Takagi, and M. Takenaka, "Mid-infrared Ge variable optical attenuator formed by spin-on-glass doping," 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-6, Tokyo, 26–27 November 2019.
- [10] J. Fujikata, J.-H. Han, S. Takahashi, K. Kawashita, H. Ono, S.-H. Jeong, Y. Ishikawa, M. Takenaka, and T. Nakamura, "Si optical modulator with strained SiGe layer and Ge photodetector with

国際会議論文

- [1] Q. Li, C.-P. Ho, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low parasitic capacitance III-V/Si Hybrid MOS optical modulator toward high-speed modulation," Optical Fiber Communication Conference (OFC2020), Th2A.16, San Diego, 8–12 March 2020.
- [2] S. Ohno, Q. Li, N. Sekine, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, "Taper-less III-V/Si hybrid MOS optical phase shifter using ultrathin InP membrane," Optical Fiber Communication Conference (OFC2020), M2B.6, San Diego, 8–12 March 2020.
- [3] Z. Zhao, C.-P. Ho, K. Toprasertpong, S. Takagi, and M. Takenaka, "Monolithic Germanium PIN Waveguide Photodetector Operating at 2 μ m Wavelengths," Optical Fiber Communication

- lateral PIN junction for 56 Gbaud optical transceiver,” 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-7, Tokyo, 26–27 November 2019.
- [11] Y. Miyatake, N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, “Optimization of grating couplers on SOI using artificial intelligence,” 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-8, Tokyo, 26–27 November 2019.
- [12] S. Ohno, K. Toprasertpong, S. Takagi, and M. Takenaka, “Microring resonator crossbar arrays for optical neural network,” 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-9, Tokyo, 26–27 November 2019.
- [13] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, “Implementation of coupled-resonator-induced-transparency on germanium-on-insulator photonic platform,” 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-10, Tokyo, 26–27 November 2019.
- [14] Q. Li, C.-P. Ho, S. Takagi, and M. Takenaka, “Integration of III-V/Si hybrid MOS optical phase shifter with Si racetrack cavity in critical coupling condition for low-energy optical modulation,” 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-11, Tokyo, 26–27 November 2019.
- [15] N. Sekine, S. Takagi, and M. Takenaka, “Quantum well intermixing for III-V-OI wafer using P2 hot ion implantation,” 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-14, Tokyo, 26–27 November 2019.
- [16] S. Takagi, T.-E. Lee, M. Ke, S.-H. Yoon, D.-H. Ahn, K. Kato, K. Toprasertpong and M. Takenaka, “Importance of semiconductor MOS interface control on advanced electron devices,” International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF 2019), K1-2, Tokyo Institute of Technology, Tokyo, Japan, November 18-20, 2019 (plenary).
- [17] S. Takagi, K. Kato and M. Takenaka, “Group IV/oxide semiconductor bi-layer tunneling FET,” IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (SOI-3D2019), San Jose, USA, 14–19 October 2019 (invited).
- [18] S. Takagi, K. Kato, D.-H. Ahn, T. Gotow, R. Takaguchi, T. E. Bae, K. Toprasertpong, and M. Takenaka, “Tunneling FET device technology for ultra-low power integrated circuits,” 236th ECS Meeting, Symposium G03, Hilton Atlanta, Atlanta, USA, 13–17 October 2019 (invited).
- [19] K. Sumita, J. Takeyasu, K. Kato, K. Toprasertpong, M. Takenaka and S. Takagi, “Fabrication of high quality InAs-on-Insulator structures by Smart Cut process with reuse of InAs wafers,” IEEE International 3D Systems Integration Conference (3DIC2019), Sendai, Japan, 8–10 October 2019.
- [20] Q. Li, C.-P. Ho, S. Takagi, and M. Takenaka, “Si racetrack modulator with III-V/Si hybrid MOS optical phase shifter,” European Conference on Optical Communication (ECOC 2019), Tu.2.A.5, Dublin, Ireland, 22–26 September 2019.
- [21] Z. Zhao, C.-P. Ho, S. Takagi, and M. Takenaka, “Efficient germanium variable optical attenuator at 1.95 μ m wavelength using spin-on-glass doping,” European Conference on Optical Communication (ECOC 2019), P19, Dublin, Ireland, 22–26 September 2019.
- [22] S. Ohno, K. Toprasertpong, S. Takagi, and M. Takenaka, “Crossbar array of Si microring resonators for deep learning accelerator,” International Conference on Solid State Devices and Materials (SSDM), B-2-04, Nagoya, 2–5 Sept. 2019.
- [23] Y. Miyatake, N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, “Computational design of high-efficiency grating coupler based on deep learning,” International Conference on Solid State Devices and Materials (SSDM), B-2-05, Nagoya, 2–5 Sept. 2019.
- [24] K. Kato, H. Matsui, H. Tabata, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, S. Takagi, “Performance improvement in ZnSnO/Si bilayer TFET by W/Al₂O₃ gate stack,” International Conference on Solid State Devices and Materials (SSDM), N-3-03, Nagoya, 2–5 Sept. 2019.

- [25] K. Kato, K. Jo, H. Matsui, H. Tabata, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, S. Takagi, "Demonstration of n- and p-TFET operations in a single ZnSnO/SiGe bilayer structure," International Conference on Solid State Devices and Materials (SSDM), N-3-04, Nagoya, 2–5 Sept. 2019.
- [26] H. Tang, S. Takagi, and M. Takenaka, "Numerical analysis of waveguide-integrated graphene thermal emitter," International Conference on Solid State Devices and Materials (SSDM), PS-5-01, Nagoya, 2–5 Sept. 2019.
- [27] R. Nur, K. Toprasertpong, S. Takagi, and M. Takenaka, "Photoresponse enhancement in MoS₂ phototransistors by the photogating effect," International Conference on Solid State Devices and Materials (SSDM), PS-8-21, Nagoya, 2–5 Sept. 2019 (Late News).
- [28] C.-H. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Effects of hydrogen ion implantation dose on electrical and physical properties of (100) and (111) Ge-on-insulator substrates fabricated by Smart-cut process," International Conference on Solid State Devices and Materials (SSDM), N-4-03, Nagoya, 2–5 Sept. 2019.
- [29] K. Sumita, J. Takeyasu, K. Kato, K. Toprasertpong, M. Takenaka, and S. Takagi, "Accurate evaluation of contact resistivity between InAs/Ni-InAs alloy," International Conference on Solid State Devices and Materials (SSDM), N-6-01, Nagoya, 2–5 Sept. 2019.
- [30] J. Fujikata, J. Han, S. Takahashi, K. Kawashita, H. Ono, S.-H. Jeon, Y. Ishikawa, M. Takenaka, T. Nakamuara, "Si optical modulator with strained SiGe layer and Ge photodetector with lateral PIN junction for 56 Gbaud optical transceiver," International Conference on Solid State Devices and Materials (SSDM), B-2-02, Nagoya, 2–5 Sept. 2019.
- [31] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Coupled-resonator-induced-transparency on germanium-on-insulator mid-infrared platform," International Conference on Group IV Photonics (GFP2019), FD5, Singapore, 28–30 August 2019. DOI: 10.1109/GROUP4.2019.8853937
- [32] S. Takagi, M. Ke, D.-H. Ahn, T.-E. Lee, S.-H. Yoon, K. Kato, and M. Takenaka, "MOS interface defect control in alternative channel materials," 21st Conference on Insulating Films on Semiconductors (INFOS 2019), 7A.3, Cambridge, UK, 30 June – 3 July 2019 (invited).
- [33] T.-E. Lee, K. Kato, M. Takenaka and S. Takagi, "Impact of metal gate electrodes on electrical properties of Y₂O₃/Si_{0.78}Ge_{0.22} gate stacks," 21st Conference on Insulating Films on Semiconductors (INFOS 2019), 7A.4, Cambridge, UK, 30 June – 3 July 2019.
- [34] S.-H. Yoon, K. Kato, C. Yokoyama, M. Takenaka and S. Takagi, "Re-examination of Sulfur treatment effects on Al₂O₃/InGaAs MOS interface properties," 21st Conference on Insulating Films on Semiconductors (INFOS 2019), 7A.1, Cambridge, UK, 30 June – 3 July 2019.
- [35] S. Takagi, K. Kato, K. Sumita, K. Jo, C.-M. Lim, R. Takaguchi, D.-H. Ahn, J. Takeyasu, K. Toprasertpong, and M. Takenaka, "Advanced MOS device technology for low power logic LSI," 26th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2019), Rzeszow, Poland, 27-29 June 2019 (plenary).
- [36] S. Takagi, "Tunneling FET technology for ultra-low power logic applications", IEEE Nanoelectronics – Technology, Design Modeling Mini-Colloquium, Rzeszow, Poland, 26 June, 2019.
- [37] M. Takenaka and S. Takagi, "Exploring graphene-based optical phase modulator," 10th International Conference on Materials for Advanced Technologies (ICMAT 2019), Symposium BB-04, Singapore, 23-28 June 2019 (invited).
- [38] M. Takenaka and S. Takagi, "Ge-on-insulator platform for communication and sensing," Progress In Electromagnetics Research Symposium (PIERS2019), Rome, 17–20 June 2019 (invited).
- [39] T.-E. Lee, K. Kato, M. Ke, M. Takenaka, and S.

- Takagi, "Improvement of SiGe MOS interface properties with a wide range of Ge contents by using TiN/Y2O3 gate stacks with TMA passivation," VLSI Symposium, T9-5, Kyoto, Japan, 9-14 June 2019. DOI: 10.23919/VLSIT.2019.8776523
- [40] M. Takenaka, "Hybrid Si photonic integrated circuits for AI computing," Tsinghua University-the University of Tokyo Joint Symposium, Tsinghua University, Beijing, China, 28 May 2019.
- [41] S. Takagi, K. Kato, and M. Takenaka, "Group IV based bilayer tunneling field effect transistor", 2nd Joint ISTDM/ICSI 2019 Conference, 10th International SiGe Technology and Device Meeting (ISTDM) 12th International Conference on Silicon Epitaxy and Heterostructures (ICSI), University of Wisconsin-Madison, WC, USA, June 2nd-June 6th 2019.
- [42] N. Sekine, S. Takagi, and M. Takenaka, "Investigation of optical loss and bandwidth of InP-organic hybrid optical modulator," Compound Semiconductor Week (CSW2019), TuA3-3, Nara, 19-23 May 2019.
- [43] Q. Li, J.-H. Han, T.-E. Lee, S. Takagi, and M. Takenaka, "Equivalent oxide thickness scaling for efficient III-V/Si hybrid MOS optical phase shifter," Compound Semiconductor Week (CSW2019), TuA3-4, Nara, 19-23 May 2019.
- [44] S. Ohno, S. Takagi, and M. Takenaka, "Numerical Analysis of III-V/Si Hybrid MOS Microdisk Modulator," Compound Semiconductor Week (CSW2019), TuA3-5, Nara, 19-23 May 2019.
- [45] S. Sumita, J. Takeyasu, K. Kato, M. Takenaka, and S. Takagi, "Effects of thermal annealing on film quality of InAs-On-Insulator structures fabricated by Smart Cut method," Compound Semiconductor Week (CSW2019), TuC2-6, Nara, 19-23 May 2019.
- [46] S. Takagi, K. Kato, K. Sumita, K. Jo, R. Takaguchi, D.-H. Ahn, K. Toprasertpong, M. Takenaka, "Advanced MOSFETs and TFETs using alternative semiconductors for ultralow power logic applications," MRS Spring Meeting, Symposium EP09, Pheonix, USA, 22-26 April 2019 (invited).
- 著書**
- [1] 竹中充, "プログラマブル光回路を用いた新コンピュータ技術," 光アライアンス, Vol. 31, No. 3, pp. 17-21, 2020.
- シンポジウム・研究会・大会等発表**
- [1] 牛田淳, 岡本大典, 鈴木康之, 中村滋, 竹中充, 中村隆宏, "歪SiGe層を用いたCバンド帯高性能Si光変調器およびSi光トランシーバへの応用," 電子情報通信学会総合大会, C3/4-57, 広島大学東広島キャンパス, 2020年3月17-20日.
- [2] 名幸 瑛心, トーブラサートポン カシディット, 王澤宇, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信一, "FeFET リザーブコンピュータリングにおける強誘電性の効果の検証," 第67回応用物理学会春季学術講演会, 14a-A301-3, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [3] 曹 光元, 林 澈敏, トーブラサートポン カシディット, 竹中 充, 高木 信一, "酸化濃縮法により作製したGOIを用いた引張りひずみGOI nMOSFET," 第67回応用物理学会春季学術講演会, 13p-A305-10, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [4] 宮武 悠人, 関根 尚希, カシディット トーブラサートポン, 高木 信一, 竹中 充, "進化戦略で設計した高効率グレーティングカプラの作製," 第67回応用物理学会春季学術講演会, 14p-B508-4, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [5] 高木 信一, 曹 光元, 林 澈敏, トーブラサートポン カシディット, 竹中 充, "(001)GOI薄膜化によるnMOSFETの電子移動度向上機構に関する考察," 第67回応用物理学会春季学術講演会, 13p-A305-11, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [6] 隅田 圭, 竹安 淳, 加藤 公彦, トーブラサートポン カシディット, 竹中 充, 高木 信一, "Multi-Sidewall TLMを用いた精密なInAs/Ni-InAs間の接触抵抗率測定," 第67回応用物理学会春季学術講演会, 13p-A305-7, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [7] 隅田 圭, 加藤 公彦, 竹安 淳, トーブラサートポン カシディット, 竹中 充, 高木 信一, "InAs-On-Insulator基板の高品質化と貼り合わせ界面特性の

- 評価,” 第67回応用物理学会春季学術講演会, 13p-A305-6, 上智大学四谷キャンパス, 2020年3月12日-3月15日 (講演奨励賞受賞記念講演) .
- [8] 曹 光元, トープラサートポン カシディット, 竹中 充, 高木 信一, “酸化濃縮法により作製した圧縮ひずみ(110)面SiGe-OI pMOSFET,” 第67回応用物理学会春季学術講演会, 13p-A305-9, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [9] 加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一, “酸化物半導体/IV族半導体 積層型トンネル電界効果トランジスタ,” 第67回応用物理学会春季学術講演会, 13p-A305-5, 上智大学四谷キャンパス, 2020年3月12日-3月15日 (第11回シリコンテクノロジー分科会研究奨励賞受賞記念講演) .
- [10] 関根 尚希, トープラサートポン カシディット, 高木 信一, 竹中 充, “III-V-OI基板上における量子井戸インターミキシングを用いた導波路型受光器の実証,” 第67回応用物理学会春季学術講演会, 15a-B508-3, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [11] トープラサートポン カシディット, 竹中 充, 高木 信一, “強誘電体FETのMOS界面における電荷分布の評価とデバイス動作の理解,” 第67回応用物理学会春季学術講演会, 14p-A303-12, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [12] 大野 修平, トープラサートポン カシディット, 高木 信一, 竹中 充, “リング共振器クロスバーアレイ型光回路を用いた光ニューラルネットワークの検証,” 第67回応用物理学会春季学術講演会, 15p-B508-10, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [13] 渡辺 耕坪, トープラサートポン カシディット, 関根 尚希, 高木 信一, 竹中 充, “不揮発性MOS型光位相シフタに向けた強誘電性Hf_{0.5}Zr_{0.5}O₂を用いたウェハボンディングの検討,” 第67回応用物理学会春季学術講演会, 15p-B508-13, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [14] 松田 信幸, 服部 香里, 石川 巧, 鴻池 遼太郎, 吉澤 明男, 池田 和浩, 山田 博仁, 福田 大治, 岡野 誠, 竹中 充, “シリコン導波路からの自発四光波混合信号の光子数識別検出,” 第67回応用物理学会春季学術講演会, 14p-B406-13, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [15] Q. Li, C.-P. Ho, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, M. Takenaka, “High-speed optical modulation by III-V/Si hybrid MOS optical modulator with low parasitic capacitance,” 第67回応用物理学会春季学術講演会, 15a-B508-12, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [16] Z. Zhao, C. Ho, Q. Li, K. Toprasertpong, S. Takagi, M. Takenaka, “Observation of Sub-bandgap Photodetection at 2 μ m wavelengths in a Germanium Lateral PIN Photodetector,” 第67回応用物理学会春季学術講演会, 15a-B508-7, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [17] Z. Lin, T.-E. Lee, H. Tang, K. Toprasertpong, M. Takenaka, S. Takagi, “Improvement of ferroelectric properties of TiN/Hf_{0.5}Zr_{0.5}O₂/Si gate stacks by inserting Al₂O₃ interfacial layers,” 第67回応用物理学会春季学術講演会, 14p-A303-10, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [18] C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka, S. Takagi, “First demonstration of (111) Ge-on-insulator n-channel MOSFET fabricated by smart-cut technology,” 第67回応用物理学会春季学術講演会, 13p-A305-8, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [19] D. Wu, K. Toprasertpong, S. Takagi, M. Takenaka, “Design of ultra-thin InGaAs membrane photodetector on Si slot waveguide,” 第67回応用物理学会春季学術講演会, 15p-B508-4, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [20] X. Zhang, K. Toprasertpong, S. Takagi, M. Takenaka, “Evaluation of doping concentration of MoS₂ via Schottky diode for the Terman method,” 第67回応用物理学会春季学術講演会, 15a-A305-6, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [21] M. Ke, M. Takenaka, S. Takagi, “Comparison of carrier trap characteristics in different interfacial layers of n-Ge MOS structures,” 第67回応用物理学会春季学術講演会, 15a-A305-12, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [22] M. Ke, M. Takenaka, S. Takagi, “Proposal of a measurement method to discriminate different types of traps in n-Ge MOS gate insulators,” 第67回応用物理学会春季学術講演会, 15a-A305-11, 上智大学四谷キャンパス, 2020年3月12日-3月15日.

- 日.
- [23] M. Ke, M. Takenaka, S. Takagi, "Characteristics of slow traps in Al₂O₃/GeO_x/n-Ge MOS interfaces by plasma oxidation," 第67回応用物理学会春季学術講演会, 15a-A305-10, 上智大学四谷キャンパス, 2020年3月12日-3月15日.
- [24] 竹中 充, 高木 信一, "Society 5.0時代における異種材料集積シリコンフォトニクス," 第25回電子デバイス界面テクノロジー研究会, 9, 東レ総合研修センター, 2019年1月30日-2月1日 (招待講演).
- [25] 竹中 充, "AI応用に向けたシリコンフォトニクスの展開," エイトラムダフォーラム, ルヴェソソヴェール本郷, 2019年10月25日 (招待講演).
- [26] 竹中 充, 李 強, 大野 修平, 高木信一, "AI応用に向けた異種材料集積プログラマブル光回路," 第80回応用物理学会秋季学術講演会, 19p-E206-1, 北海道大学札幌キャンパス, 2019年9月18日-9月21日 (招待講演).
- [27] 大野 修平, 李 強, 高木 信一, 竹中 充, "テーパー構造を用いないハイブリッドMOS型光位相シフタの検討," 第80回応用物理学会秋季学術講演会, 19p-E206-5, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [28] トーブラサートボン カシディット, 名幸 瑛心, 中根 了昌, 竹中 充, 高木 信一, "強誘電体FETを用いたリザーバーコンピューティングの提案," 第80回応用物理学会秋季学術講演会, 19p-F211-4, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [29] 名幸 瑛心, トーブラサートボン カシディット, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信一, "強誘電体FETを用いたリザーバーコンピューティングの実験的検証," 第80回応用物理学会秋季学術講演会, 19p-F211-5, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [30] 尹 尚希, 加藤 公彦, 横山 千晶, 安 大煥, 竹中 充, 高木 信一, "(NH₄)₂S処理前の前処理がAl₂O₃/InGaAs MOS界面に与える影響," 第80回応用物理学会秋季学術講演会, 19a-E305-2, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [31] トーブラサートボン カシディット, 田原 建人, 福井 太一郎, 竹中 充, 高木 信一, "TiN/Hf_{0.5}Zr_{0.5}O₂/Si MFS キャパシタの電気特性に与える基板タイプの影響," 第80回応用物理学会秋季学術講演会, 19a-E305-10, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [32] 田原 建人, 加藤 公彦, トーブラサートボン カシディット, 竹中 充, 高木 信一, "Si/Hf_{0.5}Zr_{0.5}O₂の界面特性改善に向けたアニール条件の検討," 第80回応用物理学会秋季学術講演会, 19a-E305-11, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [33] 加藤 公彦, Jo Kwangwon, 松井 裕章, 田畑 仁, 森貴洋, 森田 行則, 松川 貴, 竹中 充, 高木 信一, "ZnSnO/SiGe積層構造を用いたn-およびp-TFETの動作実証," 第80回応用物理学会秋季学術講演会, 18p-B11-6, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [34] 隅田 圭, 竹安 淳, 加藤 公彦, トーブラサートボン カシディット, 竹中 充, 高木 信一, "Smart Cut法により作製したInAs-On-Insulator基板への熱処理の影響," 第80回応用物理学会秋季学術講演会, 18p-B11-7, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [35] K.-W. Jo, M. Takenaka, and S. Takagi, "Performance enhancement of extremely thin body SiGe or Ge on insulator pMOSFETs fabricated by Ge condensation," 第80回応用物理学会秋季学術講演会, 19p-PB2-1, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [36] Z. Zhao, C.-P. Ho, S. Takagi, and M. Takenaka, "Carrier-injection Ge MIR variable optical attenuator formed by spin-on-glass doping," 第80回応用物理学会秋季学術講演会, 18a-PA5-4, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [37] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, "Improvement of Si_{0.78}Ge_{0.22} MOS interface properties by using TiN/Y₂O₃ gate stacks with TMA passivation," 第80回応用物理学会秋季学術講演会, 19p-E305-13, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [38] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Realization of coupled-resonator-induced-transparency effect in germanium-on-insulator photonics," 第80回応用物理学会秋季学術講演会, 18a-PA5-5, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [39] C. Liao, K. Toprasertpong, T. Fukui, M. Takenaka, and S. Takagi, "Evaluation of surface potential of

ferroelectric-gate MOS capacitors by C-V analyses,” 第80回応用物理学会秋季学術講演会, 19a-E305-12, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.

- [40] Q. Li, J.-H. Han, T.-E. Lee, S. Takagi, and M. Takenaka, “Toward high modulation efficiency of III-V/Si hybrid MOS optical phase shifter by equivalent oxide thickness scaling,” 第80回応用物理学会秋季学術講演会, 19a-E206-4, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [41] C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Influence of hydrogen ion implantation dose on characteristics of Ge-on-insulator substrates fabricated by smart-cut technology,” 第80回応用物理学会秋季学術講演会, 18p-B11-9, 北海道大学札幌キャンパス, 2019年9月18日-9月21日.
- [42] 竹中 充, “シリコン光回路による深層学習の展望,” 電子情報通信学会ソサイエティ大会, CI-1-7, 大阪大学豊中キャンパス, 2019年9月10-13日 (招待講演).
- [43] 関根尚希, 高木信一, 竹中 充, “InPスロット導波路型有機EOポリマー光変調器の帯域と光損失に関する検討,” 電子情報通信学会ソサイエティ大会, C-3-29, 大阪大学豊中キャンパス, 2019年9月10-13日 (招待講演).
- [44] 竹中 充, 李 強, 関根 尚希, 高木 信一, “III-V族半導体薄膜を用いたハイブリッド光変調器の展望”, 電子情報通信学会レーザ・量子エレクトロニクス研究会 (LQE), 東北大学, 2019年8月22-23日 (招待講演).
- [45] 加藤公彦, 松井裕章, 田畑仁, 竹中充, 高木信一, “アモルファス ZnSnO/Si 積層型トンネルFETの作製と電気特性評価,” 電子情報通信学会シリコン材料・デバイス (SDM) 研究会, 北海道大学札幌キャンパス, 2019年8月7日-8月9日.
- [46] 高木信一, 柯夢南, 張睿, トープラサートボン・カシディット, 竹中充, “Ge MOS界面の欠陥制御技術,” 第16回 Cat-CVD 研究会, pp. 64-67, BIZ SPACE 姫路, 2019年7月19-8月20日 (セミナー講演).

三田研究室

学会誌

- [1] Ken Saito, Daniel S. Contreras, Yudai Takeshiro, Yuki Okamoto, Satoshi Hirao, Yuya Nakata, Taisuke Tanaka, Satoshi Kawamura, Minami Kaneko, Fumio Uchikoba, Yoshio Mita, Kristofer S. J. Pister, “Study on Electrostatic Inchworm Motor Device for a Heterogeneous Integrated Microrobot System”, Transactions of The Japan Institute of Electronics Packaging, vol. 12, pp. E18-009-1-E18-009-7 (2019.04.16). doi: 10.5104/jiepeng.12.E18-009-1
- [2] 竹城雄大、宇佐美尚人、岡本有貴、高田武晃、肥後昭男、池野理門、鷺津信栄、浅田邦博、三田吉郎、「局所的な微小粒子計測を目指した電極集積型微小孔デバイス」、電気学会センサ・マイクロマシン部門誌、Vol.139-E、No. 8、pp.271-276 (2019.08) doi: 10.1541/ieejsmas.139.271
- [3] R Ranga Reddy, Keisuke Komeda, Yuki Okamoto, Eric Lebrasseur, Akio Higo, and Yoshio Mita, “A zero-power sensing MEMS shock sensor with a latch-reset mechanism for multi-threshold events monitoring”, Sensors and Actuators A: Physical, Vol. 295, pp. 1-10 (2019.08.15). doi: 10.1016/j.sna.2019.05.036 (IF:2.739)
- [4] Akio Higo, Tomoki Sawamura, Makoto Fujiwara, Eric Lebrasseur, Ayako Mizushima, Etsuko Ota, and Yoshio Mita, "Experimental Comparison of Rapid Large-area Direct Electron Beam Exposure Methods with Plasmonic Devices", Sensors and Materials, Vol.31, No.8, pp.2511-2525 (2019.08.19). doi: 10.18494/SAM.2019.2443
- [5] Naoto Usami¹, Etsuko Ota¹, Takeshi Momose, Akio Higo, and Yoshio Mita, “Influence of Pre Treatment on Adhesion Quality of Supercritical-fluid-deposited (SCFD) Cu Film on Si”, Sensors and Materials, vol. 31, No.8, pp.2481-2496 (2019.08.19). doi: 10.18494/SAM.2019.2316 (1: co-first)
- [6] Yuki Okamoto, Hiroyuki Ryoson, Koji Fujimoto, Takayuki Ohba, and Yoshio Mita, “On-Chip CMOS-MEMS-Based Electroosmotic Flow Micropump Integrated With High-Voltage Generator”, Journal of Microelectromechanical

- Systems, Vol. 29, Issue 1, pp. 86-94 (2019.11.25). doi: 10.1109/JMEMS.2019.2953290
- [7] Naoto Usami, Etsuko Ota, Akio Higo, Takeshi Momose, and Yoshio Mita, "Area-selective Cu film growth on TiN and SiO₂ by supercritical fluid deposition", IEEJ Transactions on Sensors and Micromachines, vol. 140-E, No. 1, pp.31-26 (2020.01.01). doi: 10.1541/ieejsmas.140.31
- [8] R Ranga Reddy, Yuki Okamoto, Akio Higo, and Yoshio Mita, "An On-chip Micromachined Test Structure to Study the Tribological Behavior of Deep-RIE MEMS Sidewall Surfaces", IEEE Transactions on Semiconductor Manufacturing, vol. 33, no. 2, pp. 187-195, May 2020 (accepted 2020.03.26) doi: 10.1109/TSM.2020.2982659
- #### 査読付き国際学会
- [1] Makoto Ogasawara, Yuji Kosugi, Jiaqi Zhang, Yuki Okamoto, Yoshio Mita, Akira Otomo, Yoshiaki Nakano, Takuo Tanemura, "Electro-optic polymer surface-normal modulator using silicon high-contrast grating resonator", Conference on Lasers and Electro-Optics (CLEO), San Jose, California, USA (2019. 05). doi: 10.1364/CLEO_AT.2019.JTh2A.48
- [2] Matthieu Denoual, Corentin Jorel, Didier Robbes, Julien Grand, and Yoshio Mita, "Steps Toward Integration of Zeolite-Based Thermal Mass Gas Detectors to Form Electronic Nose", Design, Test, Integration & Packaging of MEMS / MOEMS (DTIP 2019), 12-15 May 2019, Paris, France, pp. 14-17 (2019.05). doi: 10.1109/DTIP.2019.8752802
- [3] Yuki Okamoto, Taku Tsuchiya, Yu-Sheng Lin, Sung Tsang, Frédéric Marty, Ayako Mizushima, Chen-li Sun, Hsiang-Yu Wang, Agnès Tixier-Mita, Olivier Français, Bruno Le Pioufle, and Yoshio Mita, "Z-Axis Controllable Mille-Feuille Electrode Electrorotation Device Utilizing Levitation Effect", The 20th International Conference on Solid State Sensors and Actuators (Transducers 2019 - EUROSENSORS XXXIII), 23-27 June 2019, Berlin, Germany, pp. 213-216 (2019. 06).(採択率 12%) doi: 10.1109/TRANSDUCERS.2019.8808820
- [4] Shunsuke Inagaki, Yuki Okamoto, Akio Higo, Yoshio Mita, "High-Resolution Piezoelectric MEMS Scanner Fully Integrated with Focus-Tuning And Driving Actuators", The 20th International Conference on Solid State Sensors and Actuators (Transducers 2019 - EUROSENSORS, XXXIII), 23-27 June 2019, Berlin, Germany, pp. 474-477 (2019. 06). (採択率 12% ※ 2 件 目) doi: 10.1109/TRANSDUCERS.2019.8808636
- [5] Kenji Suzuki, Yuta Nakayama, Izuru Kanagawa, Yuji Matsushita, Takashi Mizuno, Yoshio Mita, and Takeshi Yoshimura, "Monolithic Integration of P(VDF-TrFE) Thin Film on CMOS for Wide-Band Ultrasonic Transducer Arrays", The 2019 IEEE International Ultrasonics Symposium (IUS 2019), October 6 - 9, 2019. Glasgow, Scotland, U K (2019.10.06). doi: 10.1109/ULTSYM.2019.8926015
- [6] 【招待講演】 Yoshio Mita, Yuta Nakayama, Kenji Suzuki, Takeshi Mizuno, Tokiko Endo, and Takeshi Yoshimura, "Application of Open Target Research on CMOS-MEMS with New Materials to Industrial Innovation (Invited talk)", International Symposium on Electronics and Smart Devices (ISESD 2019), 8-9, October, Bali, Indonesia. (2019.10.08).
- [7] Yoshio Kamiya, Yoshinobu Miyoshi, Yoshio Mita, Ikuo Kurachi, and Yasuo Arai, "Development of a Neutron Imaging Sensor using INTPIX4, SOI Pixelated Silicon Devices", 12th International "Hiroshima" Symposium on the Development and Application of Semiconductor Tracking Detectors (HSTD12), 14-18 December, International Conference Center Hiroshima, Japan, 329, (2019.12.14).
- #### その他の講演・シンポジウム
- [1] Yoshio Mita and Michel de Labachererie, "Japanese Nanotechnology Platform, UTokyo VDEC Fabrication Site, and Collaboration Project with CNRS-RENATECH", 2nd European Nanofabrication Research Infrastructure Symposium (ENRIS 2019), 16-18 June 2019, Enschede, the Netherland, (2019.06.17).

- [2] 【招待講演】三田吉郎、吉村武、水野隆、鈴木謙次、中山雄太、遠藤登喜子、「産学連携とナノテクプラットフォームで拓く集積化高感度超音波プローブの研究」、第32回回路とシステムワークショップ、22 - 23 Aug. 2019、東京電機大学、東京都、A2-1、pp. 77 - 79 (2019.08.22).
- [3] 栗山大成、ルブラッスール エリック、平川顕二、岩瀬正幸、小笠原宗博、依田孝、三田吉郎、「2段階パラメータランピングによる高アスペクト垂直深掘りトレンチの作製」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2019、アクトシティ浜松、静岡県、19am3-PS3-7 (2019.11.19).
- [4] 宇佐美尚人、太田悦子、肥後昭男、百瀬健、三田吉郎、「高アスペクト比深掘りトレンチの均一な電解めっきを可能とする超臨界流体薄膜堆積法で作製された低抵抗銅薄膜種層」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2019、アクトシティ浜松、静岡県、19am3-PS3-23 (2019.11.19).
- [5] 岡本有貴、良尊弘幸、藤本興治、大場隆之、三田吉郎、「モノリシック高電圧駆動回路集積CMOS-MEMS 電気浸透流マイクロポンプ」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2019、アクトシティ浜松、静岡県、19pm3-T-3 (2019.11.19).
- [6] 山口龍太郎、宇佐美尚人、松下裕司、吉村武、肥後昭男、三田吉郎、「ソフトマイクロアクチュエータを目指すP (VDF-TrFE) 圧電薄膜加工」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2019、アクトシティ浜松、静岡県、19pm5-PS3-16 (2019.11.19).
- [7] 【受賞】中山雄太、鈴木謙次、金川いづる、松下裕司、水野隆、三田吉郎、吉村武、「P (VDF-TrFE) 薄膜とCMOS のモノリシック構造による広帯域超音波トランスデューサアレイ」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2019、アクトシティ浜松、静岡県、19pm5-PS3-16 (2019.11.19).
- [8] 【受賞】稲垣俊典、岡本有貴、肥後昭男、三田吉郎、「集積圧電アクチュエータによる自己変形を利用した可変焦点大面積MEMS 光スキャナ」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2019、アクトシティ浜松、静岡県、19pm5-PS3-24 (2019.11.19).
- [9] 槌屋拓、岡本有貴、Moslonka Charles、Lin Yu-Sheng、Tsang Sung、Marty Frédéric、水島彩子、Sun Chen-li、Wang Hsiang-Yu、François Olivier、Le Pioufle Bruno、三田吉郎、「モノリシック集積多層電極による細胞電気回転測定 of 垂直位置制御」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2017、アクトシティ浜松、静岡県、19pm5-PS3-66 (2019.11.19).
- [10] 三角啓、宇佐美尚人、肥後昭男、Piranda Benoit、Bourgeois Julien、三田吉郎、「マイクロモジュラーロボットに向けたサブミリメートルスケール静電着脱機構の検証」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2017、アクトシティ浜松、静岡県、20am2-PS3-25 (2019.11.20).
- [11] 米谷玲皇、上木瞭太郎、Penekwong Khemnatt、吉原健太、九里伸治、池田克弥、指田和之、吉田賢一、山田一郎、三田吉郎、割澤伸一、「高感度化のためのSnO₂ ガスセンサの表面応答性に関する研究」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2017、アクトシティ浜松、静岡県、20am2-PN3-15 (2019.11.20).
- [12] 高崎正也、原智大、岡本有貴、三田吉郎、山口大介、石野裕二、水野毅、「スクイーズ膜圧力分布計測用センサアレイの開発」、第36回「センサ・マイクロマシンと応用システム」シンポジウム、19 - 21 Nov. 2017、アクトシティ浜松、静岡県、21pm1-PS3-25 (2019.11.21).
- [13] Yoshio Mita, "A zero-power sensing MEMS shock sensor with a latch-reset mechanism for multi-threshold events monitoring", 17th NAMIS workshop, Mumbai, India, 25 - 27 Nov. 2019 (2019.11.27).
- [14] 【招待講演】Yoshio Mita, "Trust and Coordinate" - Case Study in UTokyo Nanofabrication Site with Nanotechnology Platform", OECD Global Science Forum - Science Europe 2nd International Workshop on Optimising the operation and use of national Research Infrastructure, 28-29 Nov 2019, Sejong Hall, Seoul, Korea (2019.11.29).
- [15] 小西邦昭、赤井大輔、三田吉郎、石田誠、湯本潤司、五神真、「誘電体ナノメンブレンを用いた真空紫外第三次高調波発生 (Third harmonic

generation in the vacuum ultraviolet region using dielectric nanomembranes)」、応用物理学会春季学術講演会、上智大学（四谷キャンパス）、東京都、2020年3月12-15日、12p-B415-3、(2020.03.12).

- [16] 小西邦昭、赤井大輔、三田吉郎、石田誠、湯本潤司、五神真、「正方格子誘電体フォトニック結晶ナノメンブレンを用いた真空紫外領域におけるコヒーレント円偏光発生 (Circularly polarized coherent light generation in the vacuum ultraviolet region using a square lattice photonic crystal nanomembrane)、応用物理学会春季学術講演会、上智大学（四谷キャンパス）、東京都、2020年3月12-15日、13p-B401-5 (2020.03.13).
- [17] 小西邦昭、赤井大輔、三田吉郎、石田誠、湯本潤司、五神真、「四回回転対称誘電体フォトニック結晶からの真空紫外円偏光第三次高調波発生」日本物理学会第75回年次大会、名古屋大学（東山キャンパス）、愛知県、2020年3月16-19日、16aE33-2 (2020.03.16).

6.5 特許, 受賞等

池田研究室

受賞

電子情報通信学会エレクトロニクスソサイエティ賞
池田 誠

藤田研究室

受賞

- [1] 東大・国立台湾大学チーム (He-Teng Zhang, Advisor: Prof. Jie-Hong Jiang, Prof. Masahiro Fujita), 2nd Place of Problem C, IEEE/ACM International Conference on Computer-Aided Design (ICCAD) CAD Contest 2019
- [2] 東大チーム (Yukio Miyasaka, Xinpei Zhang, Ryogo Koike, Advisor: Prof. Amir Masoud Gharehbaghi, Prof. Masahiro Fujita), Honorable mention (4th) of Problem A, IEEE/ACM International Conference on Computer-Aided Design (ICCAD) CAD Contest 2019

小林研究室

特許

- [1] 小林正治, 莫非, 平本俊郎, 「不揮発性記憶素子」, 特願2019-146870, 2019年8月8日出願.

受賞

- [1] 小林正治, 多川友作, 莫非, 平本俊郎, LSIとシステムのワークショップポスター賞, 「強誘電体 HfO₂ を用いた低消費電力トランジスタ・メモリ技術の新展開」, 電子情報通信学会 (IEICE) - 集積回路研究会 (ICE), 2019年5月14日.
- [2] Chengji Jin, IEEE EDS Japan Chapter Student Award, "Transient Negative Capacitance as Cause of Reverse Drain-induced Barrier Lowering and Negative Differential Resistance in Ferroelectric FETs", IEEE EDS Japan Joint Chapter, February 7, 2020.
- [3] Fei Mo, IEEE EDS Japan Chapter Student Award, "Experimental Demonstration of Ferroelectric HfO₂ FET with Ultrathin-body IGZO for High-

Density and Low-Power Memory Application", IEEE EDS Japan Joint Chapter, February 7, 2020.

- [4] 小林正治, 令和元年度丸文研究奨励賞, 「HfO₂系強誘電体を用いた次世代集積回路素子の研究」, 丸文財団, 2020年3月4日.

飯塚研究室

特許

- ・飯塚 哲也, 徐 祖楽, 長田 将, ``フラクショナル位相同期回路および位相同期回路装置," 特願2019-192731.
- ・飯塚 哲也, 高橋 奈悟, 藤田 悠介, 三浦 賢, ``クロストーク・キャンセル回路、送信装置および送受信システム," 特願2019-152624.

受賞

- ・(財) 船井情報科学振興財団 第18回 船井学術賞
飯塚 哲也「時間領域信号処理による高精度・高効率集積回路設計技術に関する研究」

高木・竹中研究室

特許

- [1] 高木 信一, 竹中 充, 池尚珉, 「トンネル電界効果トランジスタおよび電界効果トランジスタの製造方法」, 特許第6531243号 (2019年5月31日登録) .

受賞等

- [1] 第80回応用物理学会秋季学術講演会、隅田圭
- [2] 第18回 IEEE EDS Japan Chapter Student Award, 李 宗恩

三田研究室

受賞

外部団体よりの学術受賞

- [1] 優秀ポスター発表賞：稲垣 俊典, 岡本 有貴, 肥後 昭男, 三田 吉郎, 「集積圧電アクチュエータによる自己変形を利用した可変焦点大面積MEMS 光スキャナ」, 第36回「センサ・マイクロマシンと応用システム」シンポジウム, 19 - 21 Nov. 2019、アク

- トシティ浜松、静岡県、19pm5-PS3-24 (2019.11.21)
- [2] 優秀ポスター発表賞：中山 雄太、鈴木 謙次、金川
いづる、松下 裕司、水野 隆、三田 吉郎、吉村 武、
「P (VDF-TrFE) 薄膜とCMOS のモノリシック構
造による広帯域超音波トランスデューサアレイ」、
第36回「センサ・マイクロマシンと応用システム」
シンポジウム、19 - 21 Nov. 2019、アクトシティ浜
松、静岡県、19pm5-PS3-16 (2019.11.21)
- [3] 令和元年度文部科学省ナノテクノロジープラット
フォーム「秀でた成果」多田一成、清水直紀、水
町靖、澤村智紀、藤原誠、水島彩子、Eric Lebrasseur、
太田悦子「超親水機能・光触媒機能を兼ね備えた
反射防止誘電体多層膜」(2020.01.31)
- [4] 令和元年度(第6回)電子情報通信学会エレクトロ
ニクスソサイエティ優秀学生修了表彰学生奨励賞：
稲垣俊典(M2)(2020.3.23)

東京大学よりの受賞

- [5] 東京大学大学院 工学系研究科長賞 稲垣俊典
(M2)
- [6] 東京大学大学院 工学系研究科長賞 岡本有貴
(D3)
- [7] 東京大学 MERIT アワード 岡本有貴 (D3)
- [8] 東京大学大学院 工学系研究科 電気系工学専攻
優秀博士論文賞 岡本有貴 (D3)
- [9] 東京大学大学院 工学系研究科 電気系工学専攻
優秀修士論文賞 稲垣俊典

その他のコンテスト

- [10] 2019.11.21第36回「センサ・マイクロマシンと応
用システム」シンポジウムのフォトコンテスト
SEM写真部門で最優秀賞を受賞。

Appendix

A. Publication list

原著論文

- [1] 小野 哲, 川俣 雅寿, 和田 光司, “チップキャパシタ装荷型結合線路共振器を用いた2GHz帯超小型BPF,” 電子情報通信学会和文論文誌(C), Vol. J102-C, No.5, pp. 186-195,(2019年4月)
- [2] 横山達也, 小野 哲, 和田 光司, “パッチアンテナと $\lambda/2$ 共振器を用いた積層サスペンデッドマイクロストリップ線路アンテナフィルタの設計,” エレクトロニクス実装学会誌, Vol.22, No.6, pp.574-578,(2019年9月)
- [3] S. Lee, S. Hara, T. Yoshida, S. Amakawa, R. Dong, A. Kasamatsu, J. Sato, M. Fujishima, “An 80-Gb/s 300-GHz-Band Single-Chip CMOS Transceiver,” IEEE Journal of Solid-State Circuits, vol. 54, no. 12, pp. 3577-3588, Oct. 15, 2019.
- [4] 小島, 山田, 古田, 小林, "Evaluation of Heavy-Ion-Induced Single Event Upset Cross Sections of a 65-nm Thin BOX FD-SOI Flip-Flops Composed of Stacked Inverters" , vol.E103-C, no.4, pp. 144-152, IEICE Trans. on Electronics(2020)
- [5] 橋本, 小林, 安部, 渡辺, 古田, "Characterizing SRAM and FF soft error rates with measurement and simulation" , vol.69, pp. 161-179, Journal of Integration(2019)
- [6] 岸田, 足助, 古田, 小林, "Extracting Voltage Dependence of BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive Ring Oscillators" , IEEE Transacation on Semiconductor Manufacturing(2020)
- [7] Daisuke Yamazaki, Yoshitaka Otsuki, Takafumi Hara, Nguyen Ngoc Mai-Khanh and Tetsuya Iizuka, ``11-Gb/s 140-GHz OOK Modulator with 24.6dB Isolation utilizing Cascaded Switch and Amplifier Based Stages in 65-nm Bulk CMOS," IET Circuits, Devices & Systems, vol. 14, no 3, pp. 322 - 326, May 2020.
- [8] Zolboo Byambadorj, Koji Asami, Takahiro J. Yamaguchi, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, ``Theoretical Analysis of Noise Figure for Modulated Wideband Converter," IEEE Transactions on Circuits and Systems-II: Regular Papers, vol. 67, no. 1, pp. 298 - 308, Jan. 2020.
- [9] Wang Jing, Tetsuya Iizuka, Zule Xu and Toru Nakura, ``A Compact Quick-Start Sub-mW Pulse-Width-Controlled PLL with Automated Layout Synthesis using a Place-and-Route Tool," IEICE Electronics Express, vol. 16, no. 19, pp. 1 - 6, Oct. 2019.
- [10] Daigo Takahashi, Tetsuya Iizuka, Nguyen Ngoc Mai-Khanh, Toru Nakura and Kunihiro Asada, ``Fault Detection of VLSI Power Supply Network based on Current Estimation from Surface Magnetic Field," IEEE Transactions on Instrumentation and Measurement, vol. 68, no. 7, pp. 2519 - 2530, Jul. 2019.
- [11] Kaoru Saso and Yuko Hara-Azumi, "Revisiting Simple and Energy-Efficient Embedded Processor Designs Towards the Edge Computing," IEEE Embedded Systems Letters, 2019.
- [12] Hisashi Osawa and Yuko Hara-Azumi, "Approximate Data Reuse-Based Accelerator Design for Embedded Processor," ACM Transactions on Design Automation of Electronic Systems (TODAES), vol.24, no.5, pp.56:1-56:25, Aug. 2019.
- [13] Junya Miura, Hiromu Miyazaki, Kenji Kise! A portable and Linux capable RISC-V computer system in Verilog HDL, arXiv!2002.03576 [cs. AR] (2020-02-10).
- [14] H. Myoren, K. Okabe, R. Matsunawa, M.

- Naruse and T. Taino, "Design of Digital Filter for Digital SQUID With Sub-Flux Quantum Feedback Resolution," *IEEE Tran. Appl. Supercond.*, vol. 29, no. 5, pp. 1-4, 2019, Art no. 1303004.
- [15] H. Omachi, T. Komuro, K. Matsumoto, M. Nakajima, H. Watanabe, J. Hirotsu, Y. Ohno, and H. Shinohara, "Aqueous two-phase extraction of semiconducting single-wall carbon nanotubes with isomaltodextrin and thin-film transistor applications", *Appl. Phys. Exp.* 12, 097003-1-3 (2019)
- [16] Muroi, Mashiko, Kohira, "Clustering Method for Reduction of Area and Power Consumption on Post-Silicon Delay Tuning", *IEICE Trans. Fundamentals*, Vol. E102-A, No. 7, pp.894-903, 2019.
- [17] Q. Li, C. P. Ho, S. Takagi, and M. Takenaka, "Optical phase modulators based on reverse-biased III-V/Si hybrid metal-oxide-semiconductor capacitors," *IEEE Photonics Technology Letters*, Vol. 32, No. 6, pp. 345348, March 2020.
- [18] C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka and S. Takagi, "Effects of hydrogen ion implantation dose on physical and electrical properties of Ge-on-insulator layers fabricated by smart-cut process," *AIP Advances*, vol. 10, 015045, January 2020.
- [19] S. Takagi, K. Kato, and M. Takenaka, "Group IV based bi-layer tunneling field effect transistor," *ECS Trans.*, vol. 93, no. 1, pp. 2327, 2019 (invited).
- [20] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "Fabrication and electrical characteristics of ZnSnO/Si bilayer tunneling field-effect transistors," *IEEE Journal of the Electron Devices Society*, vol. 7, No. 1, 1201-1208, 2019.
- [21] T. Gotow, M. Mitsuhara, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Performance enhancement of p-GaAs_{0.51}Sb_{0.49}/In_{0.53}Ga_{0.47}As hetero-junction vertical tunneling field-effect transistors with abrupt source impurity profile," *J. Appl. Phys.*, vol. 126, 214502, 2019.
- [22] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Mid-infrared tunable Vernier filter on a germanium-on-insulator photonic platform," *Optics Letters*, vol. 44, no. 11, pp. 27792782, June 2019.
- [23] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "ZnO/Si and ZnO/Ge bilayer tunneling field effect transistors! Experimental characterization of electrical properties," *J. Appl. Phys.*, vol. 125, 195701, 2019.
- [24] K. Kato, H. Matsui, H. Tabata, M. Takenaka, and S. Takagi, "Bilayer tunneling field effect transistor with oxide-semiconductor and group-IV semiconductor hetero junction! Simulation analysis of electrical characteristics," *AIP Advances*, vol. 9, 055001, May 2019.
- [25] Yudai Sakamoto and Shigeru Yamashita, "Efficient Methods to Generate Constant SNs with Considering Trade-off between Error and Overhead and Its Evaluation," *IEICE Transactions on Information and Systems*, Vol. E103-D, No.02, pp. 321-328, Feb. 2020.
- [26] Xuncheng Zou, Shigetoshi Nakatake, A Low Voltage Stochastic Flash ADC without Comparator, *IEICE Trans. Fundam. Electron. Commun. Comput. Sci.* 102-A(7)! 886-893 (2019)
- [27] Y. Mizugaki, K. Higuchi, and H. Shimada, "Enhanced voltage swing of rapid-single-flux-quantum distributed output amplifier equipped with double-stack superconducting quantum interference devices," *IEICE Electronics Express (ELEX)*, vol. 16, no. 14, pp. 1-4, July, 2019.
- [28] Y. Mizugaki, Y. Arai, T. Watanabe, and H. Shimada, "1000-fold double-flux-quantum voltage multiplier employing directional propagation of flux quanta through asymmetrically-damped junction branches," *IEEE Transactions on Applied Superconductivity*, vol. 29, no. 5, pp. 1400105-1-5, August, 2019.
- [29] M. Hashimoto, K. Kobayashi, J. Furuta, S. Abe,

- and Y. Watanabe, "Characterizing SRAM and FF Soft Error Rates with Measurement and Simulation," *Integration, the VLSI Journal*, 69, pp. 161--179, November 2019.
- [30] J. Chen, H. Kando, T. Kanamoto, C. Zhuo, and M. Hashimoto, "A Multi-Core Chip Load Model for PDN Analysis Considering Voltage-Current-Timing Interdependency and Operation Mode Transitions," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 9(9), pp. 1669--1679, September 2019.
- [31] T. Nakayama and M. Hashimoto, "Stochastic Analysis on Hold Timing Violation in Ultra-Low Temperature Circuits for Functional Test at Room Temperature," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, 102-A(7), pp. 914--917, July 2019.
- [32] S. Abe, W. Liao, S. Manabe, T. Sato, M. Hashimoto, and Y. Watanabe, "Impact of Irradiation Side on Neutron-Induced Single Event Upsets in 65-nm Bulk SRAMs," *IEEE Transactions on Nuclear Science*, 66(7), 1374 -- 1380, July 2019.
- [33] Y. Masuda and M. Hashimoto, "MTTF-aware Design Methodology of Adaptively Voltage Scaled Circuit with Timing Error Predictive Flip-Flop," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, 102-A(7), pp. 867--877, July 2019.
- [34] W. Liao, M. Hashimoto, S. Manabe, S. Abe, and Y. Watanabe, "Similarity Analysis on Neutron- and Negative Moun-Induced MCUs in 65-nm Bulk SRAM," *IEEE Transactions on Nuclear Science*, 66(7), 1390 -- 1397, July 2019.
- [35] W. Liao and M. Hashimoto, "Analyzing Impacts of SRAM, FF and Combinational Circuit on Chip-Level Neutron-Induced Soft Error Rate," *IEICE Trans. on Electronics*, E102-C(4), pp. 296--302, April 2019.
- [36] K. Kondo, H. Tamura, K. Tanno, "High-PSRR, Low-Voltage CMOS Current Mode Reference Circuit Using Self-Regulator with Adaptive Biasing Technique", *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E103-A, No. 2, pp. 486-491, Feb. 2020.
- [37] K. Kondo, H. Tamura, K. Tanno, "Proposal and design methodology of Switching mode low dropout regulator for bio-medical applications", *International Journal of Electrical and Computer Engineering*, Vol. 9, No. 6, pp. 5046-5059, Dec. 2019.
- [38] R. Miyauchi, K. Tanno, H. Tamura, "New Active Diode with Bulk Regulation Transistors and Its Application to Integrated Voltage Rectifier Circuit", *International Journal of Electrical and Computer Engineering*, Vol. 9, No. 2, pp. 902-908, April 2019.
- [39] Y. Tanaka, Y. Suzuki, S. Wei, "Novel binary signed-digit addition algorithm for FPGA implementation", *Journal of Circuits, Systems and computers*, Vol.29, No.9, 2050136, (2020)
- [40] Naoto Usami, Etsuko Ota, Akio Higo, Takeshi Momose, Yoshio Mita, "Area-selective Cu film growth on TiN and SiO₂ by supercritical fluid deposition," *IEEJ Transactions on Sensors and Micromachines*, vol. 140, No. 1, pp.31-38, 2020
- [41] Yudai Takeshiro, Naoto Usami, Yuki Okamoto, Takeaki Takada, Akio Higo, Rimon Ikeno, Nobuei Washizu, Kunihiro Asada, Yoshio Mita, "A Device for Localized Measurement of Small Particles with Electrode-Integrated Small Pores," *IEEJ Transactions on Sensors and Micromachines*, Vol.139, No.8, pp.271-276
- [42] Ranga Reddy, Keisuke Komeda, Yuki Okamoto, Eric Lebrasseur, Akio Higo, Yoshio Mita, "A zero-power sensing MEMS shock sensor with a latch-reset mechanism for multi-threshold events monitoring," *Sensors and Actuators A: Physical*, Vol.295, pp.1-10, 2019
- [43] Akio Higo, Tomoki Sawamura, Makoto Fujiwara, Eric Lebrasseur, Ayako Mizushima, Etsuko Ota, Yoshio Mita, "Experimental Comparison of Rapid Large-area Direct Electron Beam Exposure Methods with Plasmonic Devices," *Sensors and Materials*, Vol.31, No.8, pp.2511-2525, 2019
- [44] Naoto Usami, Etsuko Ota, Takeshi Momose,

- Akio Higo, Yoshio Mita, "Influence of Pretreatment on Adhesion Quality of Supercritical-fluid-deposited Cu Film on Si," *Sensors and Materials*, Vol.31, No.8, pp.2481-2496, 2019
- [45] Ken Saito, Daniel S. Contreras, Yudai Takeshiro, Yuki Okamoto, Satoshi Hirao, Yuya Nakata, Taisuke Tanaka, Satoshi Kawamura, Minami Kaneko, Fumio Uchikoba, Yoshio Mita, Kristofer S. J. Pister, "Study on Electrostatic Inchworm Motor Device for a Heterogeneous Integrated Microrobot System," *Transactions of The Japan Institute of Electronics Packaging*, vol. 12, pp. E18-009-1-E18-009-7, 2019
- [46] R. Ranga Reddy, Yuki Okamoto, and Yoshio Mita, "An On-Chip Micromachined Test Structure to Study the Tribological Behavior of Deep-RIE MEMS Sidewall Surfaces," in *IEEE Transactions on Semiconductor Manufacturing*, vol. 33, no. 2, pp. 187-195, May 2020
- [47] Yuki Okamoto, Hiroyuki Ryoson, Koji Fujimoto, Takayuki Ohba, Yoshio Mita, "On-Chip CMOS-MEMS-Based Electroosmotic Flow Micropump Integrated With High-Voltage Generator," *Journal of Microelectromechanical Systems*, vol.29, Issue 1, pp.86-94, 2020
- [48] Moritoshi Yasunaga, Shumpei Matsuoka, Yuya Hoshino, Takashi Matsumoto, Tetsuya Odaira, "A High-Signal-Integrity PCB Trace with Embedded Chip Capacitors and Its Design Methodology Using a Genetic Algorithm," *Transactions of The Japan Institute of Electronics Packaging*, Vol. 12, pp. E19-007-1~9, 2019.
- [49] Nobutaka Kito and Naofumi Takagi, "Concurrent Error Detectable Carry Select Adder with Easy Testability," *IEEE Transactions on Computers*, vol. 68, no. 7, pp. 1105-1110, July 2019.
- [50] Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Conversion of Logic Gates in Netlists for Rapid Single Flux Quantum Circuits Utilizing Confluence of Pulses," *IP SJ Transactions on System LSI Design Methodology*, vol. 12, pp. 78-80, Aug. 2019.
- [51] Nobutaka Kito, Ryota Odaka, and Kazuyoshi Takagi, "Rapid Single-Flux-Quantum Truncated Multiplier Based on Bit-Level Processing," *IEICE Transactions on Electronics*, vol. E102-C, no. 7, pp. 607-611, July 2019.
- [52] 上見アレックス, 日野 翔太, 升井義博, "ダブルブースト技術を用いた低電圧チャージポンプ回路," *電気学会論文誌C (電子・情報・システム部門誌)*, vol.140, no.1, pp.16-23,2020年1月.
- [53] Masahiro Sugiyama, Takafumi Uemura, Masaya Kondo, Mihoko Akiyama, Naoko Namba, Shusuke Yoshimoto, Yuki Noda, Teppei Araki, and Tsuyoshi Sekitani, "An Ultraflexible Organic Differential Amplifier for Recording Electrocardiograms," *Nature Electronics*, volume 2, pages 351-360 August 2019.
- [54] M. Kondo, M. Melzer, D. Karnaushenko, T. Uemura, S. Yoshimoto, M. Akiyama, Y. Noda, T. Araki, O. G. Schmidt, and T. Sekitani, "Imperceptible Magnetic Sensor Matrix System Integrated with Organic Driver and Amplifier Circuits," *Science Advances* / This paper was selected as "Front cover" of the issue. January 22, 2020, volume 6, number 4, eaay6094 January 2020.
- [55] Jun Iwamoto, Yuma Kikutani, Renyuan Zhang and Yasuhiko Nakashima! "Daisy-chained Systolic Array and Reconfigurable Memory Space for Narrow Memory Bandwidth", *IEICE Trans.*, Vol.E103-D, No.03, pp.578-589, Mar. (2020) 2019
- [56] Renyuan Zhang, Takashi Nakada, and Yasuhiko Nakashima, "Programmable Analog Calculation Unit with Multiple Operands! A Solution of Efficient Vector-Computation", *IEICE Trans. Fundamentals*, Vol.E102-A, No.7, Jul. (2019)
- [57] Takahiro ICHIKURA, Yuma KIKUTANI, and Yasuhiko NAKASHIMA! "DSA並みの効率を達成するCNNs拡張機能付きCGRAの提案と評価", "A Proposal and Evaluation of a CGRA with CNNs Extension for Near Efficiency to DSA", *IEICE Trans.*, Vol.J102-D, No.07, pp.477-490, Jul. (2019)
- [58] Yan CHEN, Jing ZHANG, Yuebing XU, Yingjie ZHANG, Renyuan ZHANG, and Yasuhiko

- Nakashima! "A ReRAM-based Row-column-oriented Memory Architecture for Convolutional Neural Network", IEICE Trans. Electron, Vol.E102-C, No.7, pp.580-584, Jul. (2019)
- [59] Hisashi Kino, Takafumi Fukusima, and Tetsu Tanaka, "Symmetric and asymmetric spike-timing-dependent plasticity function realized in a tunnel-field-effect-transistor-based charge-trapping memory", Japanese Journal of Applied Physics, vol.59, SGGB12-1-4, February 2020
- [60] Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, "Investigation of TSV Liner Interface with Multiwell Structured TSV to Suppress Noise Propagation in Mixed-Signal 3D-IC" IEEE Journal of the Electron Devices Society, vol. 7, p. 1225-1231, August 2019
- [61] Sungho Lee, Rui Liang, Yuki Miwa, Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, "Multichip thinning technology with temporary bonding for multichip-to-wafer 3D integration", Japanese Journal of Applied Physics, vol. 59, SBBA04-1-7, December 2019
- [62] Fukushima, Takafumi, "Directed Self-Assembly based Interconnect Technology for Next-Generation 2D/3D LSI", Impact, vol.2020, p. 6-8, February 2020
- [63] Kiichi Niitsu, Taiki Nakanishi, Shunya Murakami, Maya Matsunaga, Atsuki Kobayashi, Nissar Mohammad Karim, Jun Ito, Naoya Ozawa, Tetsunari Hase, Hiromasa Tanaka, Mitsuo Sato, Hiroki Kondo, Kenji Ishikawa, Hideo Odaka, Yoshinori Hasegawa, Masaru Hori, and Kazuo Nakazato, "A 65-nm CMOS Fully Integrated Analysis Platform Using an On-Chip Vector Network Analyzer and a Transmission-Line-Based Detection Window for Analyzing Circulating Tumor Cell and Exosome", IEEE Transactions on Biomedical Circuits and Systems (TBioCAS), vol.13, no.2 pp.470-479, Apr. 2019.
- [64] Yuya Nishio, Atsuki Kobayashi, and Kiichi Niitsu, "Design and Calibration of a Small-Footprint, Low-Frequency, and Low-Power Gate Leakage Timer Using Differential Leakage Technique", IEICE Transactions on Electronics, vol. E102.C no.4 pp.269-275, Apr. 2019.
- [65] Kenya Hayashi, Shigeki Arata, Ge Xu, Shunya Murakami, Cong Dang Bui, Atsuki Kobayashi, and Kiichi Niitsu, "An FSK Inductive-Coupling Transceiver Using 60mV 0.64fJ/bit 0.0016mm² Load-Modulated transmitter and LC-Oscillator-Based Receiver in 65 nm CMOS for Energy-Budget-Unbalanced Application", IEICE Trans. Elec, vol. E102.C, no.7, pp.585-589. Jul. 2019.
- [66] Kenya Hayashi, Shigeki Arata, Ge Xu, Shunya Murakami, Cong Dang Bui, Atsuki Kobayashi, and Kiichi Niitsu, "A 385 × 385 μm² 0.165W 0.27nW Fully-Integrated Supply-Modulated OOK Transmitter in 65nm CMOS for Glasses-Free, Self-Powered, and Fuel-Cell-Embedded Continuous Glucose Monitoring Contact Lens", IEICE Trans. Elec, vol. E102.C no. 7 pp.590-594. Jul. 2019.
- [67] Atsuki Kobayashi, Kenya Hayashi, Shigeki Arata, Shunya Murakami, Ge Xu, and Kiichi Niitsu, "Design of a Self-Controlled Dual-Oscillator-Based Supply Voltage Monitor for Biofuel-Cell-Combined Biosensing Systems in 65-nm CMOS and 55-nm DDCCMOS", IEEE Transactions on Biomedical Circuits and Systems (TBioCAS), vol.13, pp.1152-1162, Dec. 2019.
- [68] [J1] S. Tajima, M. Yanagisawa and Y. Shi, "Transition Detector-based Radiation-Hardened Latch for Both Single-and Multiple-Node Upsets," in IEEE Transactions on Circuits and Systems II: Express Briefs. (Early Access).
- [69] A Charge Recycling Stacked I/O in Standard CMOS Technology for Wide TSV Data Bus
- [70] 清水, 野口, 石川, 深井, "膀胱内尿量計測に用いるカレントステアリング型DAC" 電気学会論文誌C (電子・情報・システム部門誌), 139巻5号, p.632-633, 2019.
- [71] Yi GUO, Heming SUN, Ping LEI, Shinji KIMURA, "Design of Low-Cost Approximate Multipliers Based on Probability-Driven Inexact Compressors," IEICE Trans. on Fundamentals, Vol. E102.A, No. 12, pp.1781-1791, Dec. 2019.
- [72] Matsuzuka, Terada, Matsumoto, Kitamura, and

- Hirose, "A 42-mV startup ring oscillator using gain-enhanced self-bias inverters for extremely low voltage energy harvesting," *Jpn. J. Appl. Phys.* 59, SGGL01, Feb. 2020.
- [73] S.Semba and H. Saito, "Conversion from Synchronous RTL Models to Asynchronous RTL Models", *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E102-A Issue. 7, pp.904-913, 2019.
- [74] Satoshi Saikatsu, Akira Yasuda, Delta-Sigma ADC Based on Switched-Capacitor Integrator with FIR Filter Structure, *IEICE Trans. Fundamentals*, Vol. E102-A, No. 3, pp. 498-506, March, 2019. <https://doi.org/10.1587/transfun.E102.A.498>
- [75] Erus Rustami, Kiyotaka Sasagawa, Kenji Sugie, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Member, Takashi Tokuda, Jun Ohta, "Needle-Type Imager Sensor with Band-Pass Composite Emission Filter and Parallel Fiber-Coupled Laser Excitation," *IEEE Transactions on Circuits and Systems I*, vol.67, no.4, pp.1082-1091, 2020.4
- [76] Wan Shen Hee, Kiyotaka Sasagawa, Aiki Kameyama, Ayaka Kimura, Makito Haruta, Takashi Tokuda, and Jun Ohta, "Lens-free Dual-Color Fluorescent CMOS Image Sensor for Förster Resonance Energy Transfer Imaging," *Sensors and Materials*, vol.31, no.8, pp.2579-2594, 2019.8.30
- [77] K. Sugie, K. Sasagawa, M.C. Guinto, M. Haruta, T. Tokuda, J. Ohta, "Implantable CMOS image sensor with incident-angle-selective pixels," *Electronics Letters*, vol.55, no.13, pp.729-731, 2019.6.27.
- [78] 正木豊, 高橋康宏, "ダイオード接続を有する暗号用断熱的論理回路による S-box の相関電力解析耐性の評価," *電気学会論文誌 C*, vol.140, no.2, pp.187-193, Feb. 2020.
- [79] X. Chen, and Y. Takahashi, "Floating active inductor based trans-impedance amplifier in 0.18 μ m CMOS technology for optical applications," *MDPI Electronics*, vol.8, no.12, 1547 (12pages), Dec. 2019.
- [80] M. Han, Y. Takahashi, and T. Sekine, "Non-floating and low-power adiabatic logic circuit," *IEICE Electronics Express*, vol.16, no.17, p.20190400 (6pages), 2019.
- [81] Kim, C., Koyama, A., Shimazoe, K., Takahashi, H., Takeshita, T., Kurachi, I., ... & Arai, Y. (2020). Development of circuit integrated monolithic SOI-SiPM for radiation detection. *Journal of Instrumentation*, 15(02), C02049.
- [82] 寺田晋也, 江口 啓, 大田一郎, 変圧比1付近に特化したスイッチトキャパシタ DC-DC 降圧コンバータ, 第32回回路とシステムワークショップ, >東京電機大学 東京千住キャンパス, pp.201-204 (2019.8)
- [83] 杉浦, 松本, 中野, "Numerical analysis of p-type and n-type based carrier-selective contact solar cells with tunneling oxide thickness and bulk properties", *Japanese Journal of Applied Physics* Volume 59 SGGF03 pp.1-8, 2020年2月19日
- [84] Toshinori Sato, Tongxin Yang, and Tomoaki Ukezono, "Trading Accuracy for Power with a Configurable Approximate Adder", *IEICE Transactions on Electronics (EC)*, Vol.E102-C, No.4, pp.260--268, 2019.4.
- [85] Tongxin Yang, Tomoaki Ukezono, and Toshinori Sato, "An Accuracy-Configurable Adder for Low-Power Applications", *IEICE Transactions on Electronics (EC)*, Special Section on Low-Power and High-Speed Chips, Vol.E103-C, No.3, pp.63--76, 2020.3.
- [86] 福田 真啓, 井口 寧, "Snort の正規表現マッチングの FPGA 実装の自動化と高頻度パターンを見つけるための N-gram 分析", *信学論 D*, Vol. J102-D, No. 3, pp.141-150, Mar., 2019
- [87] 本木, 佐藤, 小川, "オートゼロ技術を用いた演算増幅器のオフセット電圧および出力電圧リプルの低減", *電気学会論文誌 C*, pp. 32-37, 2020年1月
- [88] Dabwitso Kasauka, Kenta Sugiyama, Hiroshi Tsutsui, Hiroyuki Okuhata, Yoshikazu Miyanaga, "An Architecture for Real-Time Retinex-Based Image Enhancement and Haze Removal and Its FPGA Implementation," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer*

- Sciences, Vol. E102-A, No. 6, pp. 775-782, Jun. 2019.
- [89] 157) "Development of a monolithic pixel sensor based on SOI technology for the ILC vertex detector", S. Ono, M. Yamada, Manabu Togawa, Y. Arai, T. Tsuboyama, I. Kurachi, Y. Ikegami, K. Hara, Taohan Li, A. Ishikawa, NIM A924(2019)431-435.
- [90] 166) "Development of a new high-speed readout system for SOI pixel detectors", R. Nishimura, Y. Arai, T. Miyoshi, K. Hirano, S. Kishimoto, R. Hashimoto, Yunpeng Lu, Longlong Song, Qun Ouyang, NIM A924(2019)480-484.
- [91] Takuya Kojima, Mamoru Kunieda, Makoto Nakamura, Daisuke Ito, and Keiji Kishine, "Burst-mode CMOS Transimpedance Amplifier based on a Regulated-cascode Circuit with Gain-mode Switching," IEICE TRANS. FUNDAMENTALS, Vol. E102-A, No. 6, pp. 845-848, Jun. 2019.
- [92] 國枝衛、三輪祐三久、中村誠、伊藤大輔、"時定数制御によるバースト信号対応 TIA の高速利得制御"、電子情報通信学会和文論文誌、基礎・境界、Vol. J102-A, No. 9, pp. 249-253, Sep. 2019.
- [93] 中根祐介、佐藤匠、中村誠、伊藤大輔、"光受信器の広帯域化のための TIA 入力インピーダンス設計法の検討"、電子情報通信学会和文論文誌、基礎・境界、Vol. J102-A, No. 11, pp. 294-298, Nov. 2019.
- [94] Kota Chubachi, Shinichi Nishizawa and Kazuhito Ito, "Analog circuit design methodology utilizing a structure of thin BOX FDSOI", IEICE Electronics Express (ELEX), 2019
- [95] Ludovico Minati, Mattia Frasca, Natsue Yoshimura, Leonardo Ricci, Pawel Oswiecimka, Yasuharu Koike, Kazuya Masu, and Hiroyuki Ito, "Current-Starved Cross-Coupled CMOS Inverter Rings as Versatile Generators of Chaotic and Neural-Like Dynamics Over Multiple Frequency Decades," IEEE Access, Vol. 7, pp. 54638 - 54657, Apr. 2019.
- [96] 坂本 裕太, 小椋 清孝, 森下 賢幸, 伊藤 信之, "3次元ストライプドインダクタの最適化による低位相雑音電圧制御発振器の検討," 電子情報通信学会論文誌C, Vol.J103-C, No.1, pp.41-44, Jan. 2020.
- [97] D. Kitagata, S. Yamamoto, and S. Sugahara, "Proactive useless data flush architecture for nonvolatile SRAM using magnetic tunnel junctions", IEICE Electron. Express, vol. 17, no. 5, 2020, pp. 20200032/1-5.

国際会議

- [1] S. Lee, K. Takano, S. Hara, R. Dong, S. Amakawa, T. Yoshida, M. Fujishima, "A-40-dBc Integrated-Phase-Noise 45-GHz Sub-Sampling PLL with 3.9-dBm Output and 2.1% DC-to-RF Efficiency," 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC 2019), pp. 175-178, Boston, Massachusetts, Jun. 1, 2019.
- [2] S. Lee, K. Takano, S. Hara, R. Dong, S. Amakawa, T. Yoshida, M. Fujishima, "A-40-dBc Integrated-Phase-Noise 45-GHz Sub-Sampling PLL with 3.9-dBm Output and 2.1% DC-to-RF Efficiency," 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC 2019), pp. 175-178, Boston, Massachusetts, Jun. 1, 2019.
- [3] H. Qiu, T. Sakurai, and M. Takamiya, "Coupling-Dependent Data Flipping in Wireless Power and Data Transfer System," IEEE International Symposium for Circuits and Systems (ISCAS), Sapporo, Japan, pp. 1 - 5, May 2019.
- [4] T. Kagaya, K. Miyazaki, M. Takamiya, and T. Sakurai, "A 500-Mbps Digital Isolator Circuits using Counter-Pulse Immune Receiver Scheme for Power Electronics," IEEE International Conference on IC Design and Technology (ICICDT), Suzhou, China, pp. 70-73, June 2019.
- [5] H. Qiu, Y. Narusue, Y. Kawahara, T. Sakurai, and M. Takamiya, "Distance Detection System for Digital Transmitter Coil Achieving Distance-Variation-Tolerant Wireless Power Transfer," IEEE Southern Power Electronics Conference (SPEC), Santos, Brazil, pp. 830-

- 835, Dec. 2019.
- [6] Takemori Orima and Yoshihiko Horio, "Pre-filtering using reflectionless transmission-line model for speech recognition in noise environment", Abstract Book of The 7th RIEC International Symposium on on Brainware LSI, p. 4, Feb. 28-29, 2020.
- [7] Naoki Ojima, Xu Zule and Tetsuya Iizuka, "A 0.0053-mm² 6-Bit Fully-Standard-Cell-Based Synthesizable SAR ADC in 65nm CMOS," in Proceedings of IEEE International New Circuits and Systems Conference (NEWCAS), Jun. 2019.
- [8] H. Ando, "SWQUE! A Mode Switching Issue Queue with Priority-Correcting Circular Queue," In Proceedings of the 52nd Annual IEEE/ACM International Symposium on Microarchitecture, pp.506-518, October 2019.
- [9] Yasuaki Isshiki, Dai Suzuki, Ryo Ishida, Kousuke Miyaji, "A 65nm CMOS Process 4.2V Battery Charging Cascode SIDO Boost Converter with 87% Maximum Efficiency for RF Wireless Power Transfer Receiver", Proc. International Conference on Solid State Devices and Materials (SSDM), pp. 1561-1566, Sep. 2019.
- [10] Mingyu Yang and Yuko Hara-Azumi, "Implementation and Evaluation of an Embedded Processor for Lightweight IoT eHealth," University Booth of Design, Automation & Test in Europe (DATE), Grenoble, France, Mar. 11-12th, 2020.
- [11] Katsunoshin Matsui, Md Ashraf Islam, and Kenji Kise! An Efficient Implementation of a TAGE Branch Predictor for Soft Processors on FPGA, IEEE 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc 2019), pp.108-115 (Singapore, Presentation 2019-10-02) (October 2019).
- [12] Hiromu Miyazaki, Junya Miura, and Kenji Kise! An Efficient Instruction Fetch Architecture for a RISC-V Soft Processor on an FPGA, International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART 2019), pp.1-4 (Nagasaki Japan, Poster short speech 2019-06-06) (June 2019).
- [13] Mika Kurosawa, Takuro Sasaki, Masaya Ohara, Taisuke Tanaka, Yuichiro Hayakawa, Minami Kaneko, Fumio Uchikoba, Katsutoshi Saeki, and Ken Saito, "Gait Pattern Generation of Hexapod-Type Microrobot Using Interstitial Cell Model Based Hardware Neural Networks IC", 2019 International Conference on Electronics Packaging(ICEP), Toki Messe, Niigata, Japan, pp.316-319, 2019.4.19
- [14] Takuro Sasaki, Mika Kurosawa, Yu Usami, Shinya Kato, Arisa Sakaki, Masaya Ohara, Yuki Takei, Minami Kaneko, Fumio Uchikoba and Ken Saito, "Development of neural networks chip generating driving waveform for electrostatic motor", The Twenty-Fifth International Symposium on Artificial Life and Robotics 2020 (AROB 25th 2020), Beppu, Japan, pp.866-870, 2020.1
- [15] Mika Kurosawa, Takuro Sasaki, Yu Usami, Shinya Kato, Arisa Sakaki, Masaya Ohara, Yuki Takei, Minami Kaneko, Fumio Uchikoba and Ken Saito, "Neural networks integrated circuit with switchable gait pattern for insect type microrobot", The Twenty-Fifth International Symposium on Artificial Life and Robotics 2020 (AROB 25th 2020), Beppu, Japan, pp.876-880, 2020.1
- [16] Kiyotaka Iwabuchi, Tomohiro Yamazaki, Takayuki Hamamoto, "Iterative Image Reconstruction for Quanta Image Sensor by using Variance-based Motion Estimation", International Image Sensor Workshop (IISW'19), pp.210-213, 2019年6月.
- [17] Shinnosuke Kurata, Toshinori Ootaka, Yusuke Kameda, Takayuki Hamamoto, "CMOS Image Sensor with Pixel Parallel ADC and Intermediate Image Readout for HDR Reconstruction", International Workshop on Image Media Quality and its Applications(IMQA), 4pages, 2020年3月.
- [18] Misaki Shikakura, Yusuke Kameda, Takayuki Hamamoto, "Adaptive Exposure Time Control for Image Sensor Estimating Motion Distribution", International Workshop on Image Media Quality and its Applications(IMQA),

- 4pages, 2020年3月.
- [19] Yuta Tokusashi, Hiroki Matsutani, Hideharu Amano, "Key-value Store Chip Design for Low Power Consumption", Proc. of the 22nd IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 22), pp.1-3, Apr 2019.
- [20] Tomoya Itsubo, Mineto Tsukada, Hiroki Matsutani, "Performance and Cost Evaluations of Online Sequential Learning and Unsupervised Anomaly Detection Core", Proc. of the 22nd IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 22), pp.1-3, Apr 2019.
- [21] Susumu Mashimo, Akifumi Fujita, Reoma Matsuo, Seiya Akaki, Akifumi Fukuda, Toru Koizumi, Junichiro Kadomoto, Hidetsugu Irie, Masahiro Goshima, Koji Inoue, and Ryota Shioya! An Open Source FPGA-Optimized Out-of-Order RISC-V Soft Processor, IEEE International Conference on Field-Programmable Technology (FPT), pp. 63—71 (2019).
- [22] Tongshuang HUANG, Takashi OHSAWA, "Cell Array Design with Row-Driven Source Line in Block Shunt Architecture Applicable to Future 6F2 1T1MTJ Memory," 2019 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), T3, Hsinchu, Taiwan, April 23, 2019.
- [23] Muroi, Kohira, "Clock Tree Modification for Circuits with Programmable Delay Elements", In Proc. SASIMI, pp.304-309, October, 2019.
- [24] Q. Li, C.-P. Ho, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low parasitic capacitance III-V/Si Hybrid MOS optical modulator toward high-speed modulation," Optical Fiber Communication Conference (OFC2020), Th2A.16, San Diego, 812 March 2020.
- [25] S. Ohno, Q. Li, N. Sekine, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, "Taper-less III-V/Si hybrid MOS optical phase shifter using ultrathin InP membrane," Optical Fiber Communication Conference (OFC2020), M2B.6, San Diego, 812 March 2020.
- [26] Z. Zhao, C.-P. Ho, K. Toprasertpong, S. Takagi, and M. Takenaka, "Monolithic Germanium PIN Waveguide Photodetector Operating at 2 μ m Wavelengths," Optical Fiber Communication Conference (OFC2020), W4G.3, San Diego, 812 March 2020.
- [27] S. Takagi, K. Sumita, K. Jo, C.-M. Lim, K. Kato, D.-H. Ahn, K. Toprasertpong, and M. Takenaka, "MOS Device Technology for advanced logic LSI," International Workshop on Nanodevice Technologies (IWNT), Hiroshima, Japan, 5 March 2020 (invited).
- [28] K. Toprasertpong, M. Takenaka, and S. Takagi, "Direct observation of interface charge behaviors in FeFET by quasi-static split C-V and Hall techniques! Revealing FeFET operation," International Electron Devices Meeting (IEDM2019), 23.7, San Francisco, 711 December 2019.
- [29] K.-W. Jo, C.-M. Lim, W.-K. Kim, K. Toprasertpong, M. Takenaka, and S. Takagi, "Strain and surface orientation engineering in extremely-thin body Ge and SiGe-on-insulator MOSFETs fabricated by Ge condensation," International Electron Devices Meeting (IEDM2019), 29.1, San Francisco, 711 December 2019.
- [30] S. Takagi, K. Kato, M. Takenaka, "Bi-layer tunneling FET using group IV/oxide semiconductor hetero-structure," 8th International Symposium on Control of Semiconductor Interfaces (ISCSI-VIII), Sendai, Japan, 2730 November 2019 (invited).
- [31] Z. Zhao, C.-P. Ho, S. Takagi, and M. Takenaka, "Mid-infrared Ge variable optical attenuator formed by spin-on-glass doping," 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-6, Tokyo, 2627 November 2019.
- [32] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Implementation of coupled-resonator-induced-transparency on germanium-on-insulator photonic platform," 9th

- International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-10, Tokyo, 2627 November 2019.
- [33] Q. Li, C.-P. Ho, S. Takagi, and M. Takenaka, "Integration of III-V/Si hybrid MOS optical phase shifter with Si racetrack cavity in critical coupling condition for low-energy optical modulation," 9th International Symposium on Photonics and Electronics Convergence (ISPEC2019), P-11, Tokyo, 2627 November 2019.
- [34] K. Kato, H. Matsui, H. Tabata, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, S. Takagi, "Performance improvement in ZnSnO/Si bilayer TFET by W/Al₂O₃ gate stack," International Conference on Solid State Devices and Materials (SSDM), N-3-03, Nagoya, 25 Sept. 2019.
- [35] K. Kato, K. Jo, H. Matsui, H. Tabata, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, S. Takagi, "Demonstration of n- and p-TFET operations in a single ZnSnO/SiGe bilayer structure," International Conference on Solid State Devices and Materials (SSDM), N-3-04, Nagoya, 25 Sept. 2019.
- [36] K. Sumita, J. Takeyasu, K. Kato, K. Toprasertpong, M. Takenaka, and S. Takagi, "Accurate evaluation of contact resistivity between InAs/Ni-InAs alloy," International Conference on Solid State Devices and Materials (SSDM), N-6-01, Nagoya, 25 Sept. 2019.
- [37] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Coupled-resonator-induced-transparency on germanium-on-insulator mid-infrared platform," International Conference on Group IV Photonics (GFP2019), FD5, Singapore, 2830 August 2019.
- [38] Takagi, K. Kato, K. Sumita, K. Jo, C.-M. Lim, R. Takaguchi, D.-H. Ahn, J. Takeyasu, K. Toprasertpong, and M. Takenaka, "Advanced MOS device technology for low power logic LSI," 26th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2019), Rzeszow, Poland, 27-29 June 2019 (plenary).
- [39] Takagi, K. Kato, K. Sumita, K. Jo, C.-M. Lim, R. Takaguchi, D.-H. Ahn, J. Takeyasu, K. Toprasertpong, and M. Takenaka, "Advanced MOS device technology for low power logic LSI," 26th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2019), Rzeszow, Poland, 27-29 June 2019 (plenary).
- [40] M. Takenaka and S. Takagi, "Ge-on-insulator platform for communication and sensing," Progress In Electromagnetics Research Symposium (PIERS2019), Rome, 1720 June 2019 (invited).
- [41] S. Takagi, K. Kato, K. Sumita, K. Jo, R. Takaguchi, D.-H. Ahn, K. Toprasertpong, M. Takenaka, "Advanced MOSFETs and TFETs using alternative semiconductors for ultralow power logic applications," MRS Spring Meeting, Symposium EP09, Phoenix, USA, 2226 April 2019 (invited).
- [42] Q. Li, J.-H. Han, T.-E. Lee, S. Takagi, and M. Takenaka, "Toward high modulation efficiency of III-V/Si hybrid MOS optical phase shifter by equivalent oxide thickness scaling," 第80回応用物理学会秋季学術講演会, 19a-E206-4, 北海道大学札幌キャンパス, 2019年9月18日9月21日.
- [43] Xinghuai Zhang, Shigetoshi Nakatake, On-chip resistance configuration by subthreshold MOSFET-array for ultra weak current sensing. APCCAS 2019! 261-264
- [44] S. Tokuda and T. Tanzawa, "Toward a minimum-operating-voltage design of DC-DC charge pump circuits for energy harvesting", IEEE ISCAS, C5L-K-5, May 2019.
- [45] K. Matsuyama and T. Tanzawa, "Design of Pre-Emphasis Pulses for Large Memory Arrays with Minimal Word-Line Delay Time", IEEE ISCAS, B1L-H-4, May 2019.
- [46] K. Matsuyama and T. Tanzawa, "A Pre-Emphasis Pulse Generator Insensitive to Process Variation for Driving Large Memory and Panel Display Arrays with Minimal Delay Time," IEEE APCCAS, 5097, Nov. 2019.
- [47] H. Kawauchi and T. Tanzawa, "A 2V 3.8 μ W

- Fully-Integrated Clocked AC-DC Charge Pump with 0.5V 500 Ω Vibration Energy Harvester," IEEE APCCAS, 5098, Nov. 2019.
- [48] Y. Yamazaki, M. Tsuchiaki and T. Tanzawa, "A Design Window for Device Parameters of Rectifying Diodes in 2.4 GHz Micro-watt RF Energy Harvesting," IEEE APMC, Dec. 2019.
- [49] M. Fang, A. Kumura, T. Yoshimasu, "A -197.3 dBc/Hz FoMT Wideband LC-VCO IC With an I-MOS Based Novel Varactor in 40-nm SOI CMOS" in Proc. of Asia Pacific Microwave Conference (APMC), pp.1-4, 2019
- [50] T. Mori, J. Ida, H. Endo, and Y. Arai, "Precise Transient Mechanism of Steep Subthreshold Slope PN-Body-Tied SOI-FET and Proposal of a New Structure for Reducing Leakage Current upon Turn-off," in Proceeding of International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Sep. 2019, 10.4.
- [51] W. Yabuki, J. Ida, T. Mori, K. Ishibashi and Y. Arai, "Effect of V_{sub} and Positive Charge in Buried Oxide on Super Steep SS "PN Body-Tied SOI-FET" and Proposal of CMOS without V_{sub} Bias," in Proceeding of IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), Oct. 2019, 5.6, pp. 1–3.
- [52] K. Daimatsu, J. Ida, T. Yamada, T. Mori, and K. Ishibashi, "Super steep SS "PN-Body tied SOI-FET" with 65 nm thin Box FD-SOI," 2019 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Nov. 2019, pp. 117-118.
- [53] K. Higuchi, H. Shimada, and Y. Mizugaki, "Design and Operation of Distributed Double-SQUID Amplifier for RSFQ Circuits," Journal of Physics! Conference Series, vol. 1293, 012060 (7 pages), October, 2019.
- [54] Y. Somei, K. Yamazaki, H. Shimada, Y. Mizugaki, "Improved Maximum Output Voltage of Double-Flux-Quantum Amplifier Fabricated Using 10-kA/cm² Nb integration process," The 13th Superconducting SFQ VLSI Workshop (SSV 2020) & IEICE Technical Committee on Superconductive Electronics (SCE), Yokohama, January 16-17, 2020.
- [55] K. Yamazaki, H. Shimada, and Y. Mizugaki, "Design and operation of single-flux-quantum logic gates with a floating storage loop," The 13th Superconducting SFQ VLSI Workshop (SSV 2020) & IEICE Technical Committee on Superconductive Electronics (SCE), Yokohama, January 16-17, 2020.
- [56] K. Yamazaki, H. Shimada, and Y. Mizugaki, "Design and Error-Rate Evaluation of RSFQ Logic Gates Comprising a Toggle Storage Loop," The 32nd International Symposium on Superconductivity (ISS 2019), Kyoto, Japan, December 3-5, 2019.
- [57] Y. Mizugaki, K. Higuchi, and H. Shimada, "Enhanced voltage swing of RSFQ output amplifiers equipped with double-stack SQUIDs," The 32nd International Symposium on Superconductivity (ISS 2019), Kyoto, Japan, December 3-5, 2019.
- [58] M. Hashimoto, X. Bai, N. Banno, M. Tada, T. Sakamoto, J. Yu, R. Doi, Y. Araki, H. Onodera, T. Imagawa, H. Ochi, K. Wakabayashi, Y. Mitsuyama, and T. Sugibayashi, "Via-Switch FPGA! 65nm CMOS Implementation and Architecture Extension for AI Applications," Technical Digest of International Solid-State Circuits Conference (ISSCC), pp. 502--503, February 2020.
- [59] T. Cheng, J. Yu, and M. Hashimoto, "Minimizing Power for Neural Network Training with Logarithm-Approximate Floating-Point Multiplier," Proceedings of International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS), July 2019.
- [60] J. Chen and M. Hashimoto, "A Frequency-Dependent Target Impedance Method Fulfilling both Average and Dynamic Voltage Drop Constraints," Proceedings of IEEE Workshop on Signal and Power Integrity (SPI), June 2019.
- [61] W. Liao, M. Hashimoto, S. Manabe, Y. Watanabe, S. Abe, M. Tampo, S. Takeshita, and Y. Miyake, "Negative and Positive Muon-

- Induced SEU Cross Sections in 28-nm and 65-nm Planar Bulk CMOS SRAMs," Proceedings of International Reliability Physics Symposium (IRPS), April 2019.
- [62] Moritoshi Yasunaga, Sumpei Matsuoka, Yuya Hoshino, Takashi Matsumoto, and Tetsuya Odaira, "A High Signal-Integrity PCB-Trace with Embedded Chip Capacitors and Its Design Methodology Using Genetic Algorithm," Proc. of International Conference on Electrical Packaging 2019 (ICEP2019), pp. 98-103, Niigata Japan, April, 2019.
- [63] Moritoshi Yasunaga, Shumpei Matsuoka, Yuya Hoshino, Takashi Matsumoto, and Tetsuya Odaira, "AI-based Design Methodology for High-speed Transmission Line in PCB," Proceeding of IEEE CPMT Symposium Japan 2019 (ICSJ2019), pp. 223-226, Kyoto, Japan, Nov. 2019.
- [64] Yuya Hoshino, Shumpei Matsuoka, Tetsuya Odaira, Takashi Matsumoto, Ikuo Yoshihara, and Moritoshi Yasunaga, "Evolutionary Design Methodology for High-speed Digital Signal Transmission! Capacitor-Segmental-Transmission-Line Designed by Genetic Algorithm," Proc. of International Symposium on Nonlinear Theory and its Applications 2019 (NOLTA2019), pp. 5-8, Kuala Lumpur, Malaysia, December 130-133, 2019.
- [65] Yuma Isobe, Takao Kihara, "First-Order Recursive CIC Filters in Time-Interleaved VCO- Based ADCs for Direct-RF Sampling Receivers", 2019 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Bangkok, Thailand, Nov. 2019.
- [66] Takao Kihara, Keisuke Miyakoshi, and Tsutomu Yoshimura, "Digital Third-Order Nonlinearity Correction for Time-Interleaved A/D Converters with VCOs", Proc. IEEE International Symposium on Circuits and Systems (ISCAS), Hokkaido, Japan, May 2019, pp. 1-4.
- [67] Nobutaka Kito, Takuya Kumagai, and Kazuyoshi Takagi, "Rapid Single-Flux-Quantum Matrix Multiplication Circuit Utilizing Bit-Level Processing," Proc. 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019), R2-4, pp. 99-103, Tainan, Taiwan, Oct. 2019.
- [68] Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Conversion Method of Netlists Consisting of Conventional Logic Gates to RSFQ Logic Circuits Using the Characteristics of Pulse Logic," Proc. 17th International Superconductive Electronics Conference (ISEC 2019), 2-PS-P-11, Riverside California, July 2019.
- [69] K. Kitamura, K. Takagi, N. Takagi, "A two-step routing method with wire length budgeting for PTL routing of SFQ logic circuits", The 32nd International Symposium on Superconductivity, EDP2-10, Dec. 2019
- [70] K. Ono, S. Lee, M. Fujishima, H. Ito, and S. Amakawa, "Millimeter-wave CMOS amplifier with negative-capacitance feedback using half-wave transformer," International Symposium on Biomedical Engineering (ISBE), pp. 192—193, November 14, 2019.
- [71] S. Amakawa and M. Fujishima, "300-GHz-band CMOS transmitter and receiver modules with WR-3.4 waveguide interface," IEEE MTT-S International Microwave Conference on Hardware and Systems for 5G and Beyond (IMC-5G), pp. 1—3, August 15, 2019.
- [72] K. Ono and S. Amakawa, "Theory of 2-port noise parameter transformation by lossless feedback and its application to LNA design," Thailand-Japan Microwave (TJMW), YE-04, pp. 1—2, June 28, 2019.
- [73] Van Tinh Nguyen, Tati Erlina, Renyuan Zhang and Yasuhiko Nakashima! "A Programmable Approximate Calculation Unit Employing Time-Encoded Stochastic Computing Elements", Proc. 7'th Int'l Workshop on Computer Systems and Architectures(CSA19), Nov. (2019)
- [74] Jun Iwamoto, Renyuan Zhang and Yasuhiko Nakashima! "Evaluation of a Chained Systolic Array with High-Speed Links", Proc. 7'th Int'l Workshop on Computer Systems and

- Architectures(CSA19), Nov. (2019)
- [75] Dinh Dung Le, Thi Hong Tran and Yasuhiko Nakashima! "Run-Length Limited Decoding for Visible Light Communications! A Deep Learning Approach", 25th Asia-Pacific Conference on Communications (APCC2019), Nov. (2019)
- [76] Renyuan Zhang, Yan Chen, Takashi Nakada, and Y. Nakashima! "DiaNet! An Efficient Multi-Grained Re-configurable Neural Network in Silicon", IEEE International System-on-Chip Conf.(SOCC), Sep. (2019)
- [77] Hiroya Ikeda, Hiroki Yamane, Yuki Shibayama, Mutsumi Kimura and Yasuhiko Nakashima! "Evaluation of neuromorphic hardware using cellular neural networks and oxide semiconductors", Advances in Parallel and Distributed Computational Models (APDCM2019), May. (2019)
- [78] Tati Erlina, Yan Chen, Renyuan Zhang and Yasuhiko Nakashima! "An Efficient Time-based Stochastic Computing Circuitry Employing Neuron-MOS", GLSVLSI2019, pp.51-56, May. (2019)
- [79] Zhengyang Qian, Hiroyuki Hashimoto, Kar Mun Lee, Ryosuke Yabuki, Bang Du, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "1-Chip ExG Recording System with Electrode Interface Evaluation Functions for Biologically Safe Recording", Extended Abstracts of the 2019 International Conference on Solid State Devices and Materials, Nagoya, September 2019, pp47-48
- [80] Bang Du, Zhengyang Qian, Kar Mun Lee, Ryosuke Yabuki, Tasuku Fukushima, Filipe Alves Satake, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama and Tetsu Tanaka, "Ultrasmall Area and Ultralow Frequency Ring-oscillator Using GIDL Current for IoT Edge Applications", Extended Abstracts of the 2019 International Conference on Solid State Devices and Materials, Nagoya, September 2019, pp1039-1040
- [81] Ryosuke Yabuki, Zhengyang Qian, Kar Mun Lee, Bang Du, Filipe Alves Satake, Tasuku Fukushima, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka, "PPG and SpO₂ Recording Circuit with Ambient Light Cancellation for Trans-Nail Pulse-Wave Monitoring System", BioCAS 2019 Biomedical Circuits and Systems Conference, p. 5-8, October 2019
- [82] Rui Liang, Sungho Lee, Yuki Miwa, Kousei Kumahara, Murugesan Mariappan, Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, "Impacts of Deposition Temperature and Annealing Condition on Ozone-Ethylene Radical Generation-TEOS-CVD SiO₂ for Low-Temperature TSV Liner Formation", 2019 International 3D Systems Integration Conference (3DIC), October 2019
- [83] Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Development of Non-Volatile Tunnel-FET Memory as a Synaptic Device for Low-Power Spiking Neural Networks", 2020 IEEE Electron Devices Technology and Manufacturing Conference Proceedings of Technical Papers, p. 444-446, March 2020
- [84] Yuki Susumago, Achille Jacquemond, Noriyuki Takahashi, Hisashi Kino, Tetsu Tanaka, Takafumi Fukushima, "Mechanical Characterization of FOWLP Based Flexible Hybrid Electronics (FHE) for Biomedical Sensor Application", ICEP2019 Proceedings, p. 265-267, April 2019
- [85] Michael Proffitt, Tetsu Tanaka, Takafumi Fukushima, Hisashi Kino, Hiroshi Tomita, "Study of Transparent Electrodes for 3D-Stacked Retinal Prosthesis", 2019 MRS Spring Meeting, April 2019
- [86] Sungho Lee, Rui Liang, Yuki Miwa, Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, "Multichip thinning technology with temporary bonding for multichip-to-wafer 3D integration", 2019 6th International Workshop on Low Temperature Bonding for 3D Integration Technical Digest, p. 71-73, May 2019
- [87] 煤孫 祐樹, 錢 正陽, Achille Jacquemond, 高橋 則之, 木野 久志, 田中 徹, 福島 譽史, "Mechanical and Electrical Characterization of

- FOWLP-Based Flexible Hybrid Electronics (FHE) for Biomedical Sensor Application”, The 2019 IEEE 69th Electronic Components and Technology Conference proceeding, p. 264-269, May 2019
- [88] Rui Liang, Sungho Lee, Yuki Miwa, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, “Room Temperature SiO₂ Liner Technology for Multichip-to-Wafer 3D Integration with Via-last TSV”, Proceedings of International Interconnect Technology Conference (IITC) 2019, June 2019
- [89] Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, “Low-Viscosity Underfill Technology with Negative-CTE Filler for High-Density 3D Interconnections”, Proceedings of International Interconnect Technology Conference (IITC) 2019, June 2019
- [90] Shota Urayama, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, “Development of Wireless Opto-Neural Probe with Upconversion Nanoparticles (UCNP) for Optogenetics”, Extended Abstracts of the 2019 International Conference on Solid State Devices and Materials, Nagoya, September 2019, pp41-42
- [91] Noriyuki Takahashi, Yuki Susumago, Tetsu Tanaka, Takafumi Fukushima, “Hydrogel-based Flexible Hybrid Electronics Technology for Biomedical Application”, Extended Abstracts of the 2019 International Conference on Solid State Devices and Materials, Nagoya, September 2019, pp859-860
- [92] Yuki Miwa, Sungho Lee, Rui Liang, Kousei Kumahara, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, “Characterization of Low-Height Solder Microbump Bonding for Fine-Pitch Inter-Chip Connection in 3DICs”, 2019 International 3D Systems Integration Conference (3DIC), October 2019
- [93] S. Lee, Y. Susumago, Z. Qian, N. Takahashi, H. Kino, T. Tanaka, and T. Fukushima, “Development of 3D-IC Embedded Flexible Hybrid System”, 2019 International 3D Systems Integration Conference (3DIC), October 2019
- [94] Koji Kiyoyama, Hiroyuki Hashimoto, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, Mitsumasa Koyanagi, “Development of a CDS Circuit for 3-D Stacked Neural Network Chip Using CMOS Analog Signal Processing”, 2019 International 3D Systems Integration Conference (3DIC), October 2019
- [95] Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, “Investigation of the Underfill with Negative-Thermal-Expansion Material to Suppress Mechanical Stress in 3D Integration System”, 2019 International 3D Systems Integration Conference (3DIC), October 2019
- [96] Takafumi Fukushima, “Multilithic 3D and Heterogeneous Integration Using Capillary Self-Assembly”, 2020 IEEE Electron Devices Technology and Manufacturing Conference Proceedings of Technical Papers, p.490-493, March 2020
- [97] [C1]S. Tajima, M. Yanagisawa and Y. Shi, "A Power-Efficient Soft Error Hardened Latch Design with In-Situ Error Detection Capability," 2019 IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia), Bangkok, Thailand, 2019, pp. 53-56.
- [98] [C2]J. Ye, M. Yanagisawa and Y. Shi, "A Bit-Segmented Adder Chain based Symmetric Transpose Two-Block FIR Design for High-Speed Signal Processing," IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Bangkok, Thailand, 2019, pp. 29-32."
- [99] [C3]L. Ye, J. Ye, M. Yanagisawa and Y. Shi, "A Zero-Gating Processing Element Design for Low-Power Deep Convolutional Neural Networks," 2019 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Bangkok, Thailand, 2019, pp. 317-320.
- [100] [C4]J. Ye, M. Yanagisawa and Y. Shi, "An Adder-Segmentation-based FIR for High Speed Signal Processing," 2019 IEEE 13th International Conference on ASIC (ASICON), Chongqing, China, 2019, pp. 1-4.
- [101] [C5]J. Ye, N. Togawa, M. Yanagisawa and Y. Shi, "Static Error Analysis and Optimization of

- Faithfully Truncated Adders for Area-Power Efficient FIR Designs," 2019 IEEE International Symposium on Circuits and Systems (ISCAS), Sapporo, Japan, 2019, pp. 1-4.
- [102] LVDS Transmitter for Cold-Spare Systems in High Flux Environments
- [103] T. Dejima, K. Takagi, N. Takagi, "Placement and Routing Methods Based on Mixed Wiring of JTLs and PTLs for RSFQ Circuits," International Superconducting Electronics Conference (ISEC2019), 2019年07月.
- [104] K. Kitamura, K. Takagi, N. Takagi, "A Global Routing Method with Wire Length Budgeting for PTL Routing of SFQ Logic Circuits," 32nd International Symposium on Superconductivity (ISS2019), 2019年12月.
- [105] Umezaki, Shimizu, Yoshitomi, Noguchi, Ishikawa, Fukai, "Headphone Amplifier and Its Layout for Education for High School Student", ISCAS, May 2019.
- [106] Y. Ichii, R. Noguchi, T. Inoue, A. Tsuchiya, and K. Kishine, "Suitable-compensation circuit design for a PAM4 transmitter in 180-nm CMOS", 2019 International SoC Design Conference (ISOCC), pp.210-211, October 2019.
- [107] S. Tanimura, A. Tsuchiya, R. Noguchi, T. Inoue, and K. Kishine, "Design of crosstalk noise filter for multi-channel transimpedance amplifier", 2019 32nd IEEE International System-on-Chip Conference (SOCC), pp.161-164, September 2019.
- [108] S. Kimura, A. Imajo, T. Inoue, A. Tsuchiya, and K. Kishine, "Frequency discriminator using a simple AD converter for interface systems", 2019 International SoC Design Conference (ISOCC), pp.128-129, October 2019.
- [109] Matsuzuka, Terada, Matsumoto, Kitamura, Hirose, "A 42-mV startup ring oscillator using self-bias inverters for extremely low voltage energy harvesting," Extended abstract of the 2019 International Conference on Solid State Devices and Materials (SSDM 2019), M-5-03, Sep. 5, 2019.
- [110] Yano, Yoshida, Izumi, Kawaguchi, Hirose, Miyahara, Someya, Okada, Akita, Kurui, Tomizawa, Yoshimoto, "An IoT sensor node SoC with dynamic power scheduling for sustainable operation in energy harvesting environment," Proc. of Tech. Papers, IEEE Asian Solid-State Circuits Conference 2019 (A-SSCC 2019), pp. 267-270, Nov. 2019.
- [111] Nishi, Nakazawa, Matsumoto, Kuroki, Numa, Matsuzuka, Maida, Kanemoto, Hirose, "Sub-0.1V input, low-voltage CMOS driver circuit for multi-stage switched capacitor voltage boost converter," Proceedings of the IEEE International Conference on Electronics Circuits and Systems, pp. 530-533, Nov. 2019.
- [112] Koutaro Inaba, Tomohiro Yoneda, Toshiki Kanamoto, Atsushi Kurokawa and Masashi Imai, "Hardware Trojan Insertion and Detection in Asynchronous Circuits," Proc. ASYNC2019, pp.134-143, May, 2019
- [113] Toshiki Kanamoto, Masami Fukushima, Koichi Kitagishi, Seijin Nakayama, Hideki Ishihara, Koki Kasai, Atsushi Kurokawa, Masashi Imai, "A Single-Stage RISC-V Processor to Mitigate the Von Neumann Bottleneck," Proc. MWSCAS2019, pp.1085-1088, Aug., 2019
- [114] Koki Kasai, Atsushi Kurokawa, Masashi Imai, Toshiki Kanamoto, "Efficiency Investigation of Capacitors Mounted on Re-distribution Layers for FOWLP," Proc. SASIMI2019, pp.176-179, Oct., 2019
- [115] Kyota Akimoto, Toshiki Kanamoto, Atsushi Kurokawa, Masashi Imai, "Quantitative Performance Comparison of Asynchronous and Synchronous Comparators," Proc. SASIMI2019, pp.296-297, Oct., 2019
- [116] N. Onji, T. Kurano, T. Saho, R. Ohtsuka, K. Yamada, M. fukuhara, "A reduction of current consumption of a Hamming distance detector by improvement of current mirror circuit," Proceedings of 2019 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2019), Dec. 2019.
- [117] T. Kurano, K. Yamada, R. Yamamoto, H. Yagi, N. Onji, and M. Fukuhara, "Proposal of DTW

- distance calculator using neuron CMOS inverter," Proceedings of 2019 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2019), Dec. 2019.
- [118] M. Yamaguchi, G. Iwamoto, Y. Abe, Y. Tanaka, Y. Ishida, H. Tamukoh, T. Morie, "Live Demonstration! A VLSI Implementation of Time-Domain Analog Weighted-Sum Calculation Model for Intelligent Processing on Robots", Int. Symp. on Circuits and Systems (ISCAS 2019), Paper 2353, May, 2019.
- [119] M. Yamaguchi, Y. Katori, D. Kamimura, H. Tamukoh, T. Morie, "A Chaotic Boltzmann Machine Working as a Reservoir and Its Analog VLSI Implementation", Int. Joint Conf. on Neural Networks (IJCNN 2019), Paper N-20163, July, 2019.
- [120] S.Semba and H.Saito, "Comparison of RTL Conversion and GL Conversion from Synchronous Circuits to Asynchronous Circuits", Proc. ISCAS, pp.1-4, 2019.
- [121] S.Semba and H. Saito, "A Study on the Optimization of Asynchronous Circuits During RTL Conversion from Synchronous Circuits", Proc. SASIMI, 2019.
- [122] Tatsuya Yamamoto, Tomokazu Kobayashi, Akira Yasuda, Axial Vibration Reduction Method using Multi-Coil-Motor, International Conference on Analog VLSI Circuits, Oct., 2019.
- [123] Kiyotaka Sasagawa, Makito Haruta, Yasumi Ohta, Hironari Takehara, Jun Ohta, "Implantable Fluorescent CMOS Imaging Device(invited),"4th IEEE Electron Devices Technology and Manufacturing (EDTM 2020) , 2020.3.16. Hotel Equatorial Penang, Malaysia.
- [124] Makito Haruta, Taisuke Saigo, Hironari Takehara, Kiyotaka Sasagawa, Jun Ohta, "Chronic cerebral blood-flow imaging device for the small animal,"The 6th CiNet Conference! Brain-Machine Interface-Medical Engineering based on Neuroscience, 2020.2.5. Conference Room, CiNet Bldg. 1-4 Yamadaoka, Suita, Osaka, Japan.
- [125] Yashuto Mori, ChiaChi Chang, Hiroki Endo, maho Hata, Kenzo Shodo, Yasuo Terasawa, Toshihiko Nd, Takashi Tokuda, Kiyotaka Sasagawa, Jun Ohta, "Design of Low-Power Circuit Architecture for Miniaturized Retinal Prosthesis Device,"Bio4Apps2019, 2019.12.19. Inamori Auditorium, Kagoshima University, Japan.
- [126] Mark Christian San Gabriel Guinto, Yasumi Ohta, Mamiko Kawahara, Makito Haruta, Kiyotaka Sasagawa, Jun Ohta, "Simultaneous, multi-site imaging of deep brain regions related to feeding behavior in freely-moving GCaMP6 transgenic mice using an implantable micro-imaging device,"Neuroscience 2019 , 2019.10.23. McCormick Place in Chicago, USA
- [127] Romeo. B. Rebusi Jr, Mark. C. Guinto, Joshua Olorocisimo, Yasumi Ohta, Makito Haruta, Kiyotaka Sasagawa, Jun Ohta, " Developed implantable needle-type sensor devices for use in the simultaneous in vivo visualization of brain centers involved in nociception,"Neuroscience 2019 , 2019.10.23. McCormick Place in Chicago, USA
- [128] Joshua Olorocisimo, Romeo. B. Rebusi Jr, Yasumi Ohta, Makito Haruta, Kiyotaka Sasagawa, Yasukazu Nakahata, Yasumasa Bessho, Jun Ohta, " Implantable microimaging CMOS sensor for deep brain gene expression analysis in freely behaving mice,"Neuroscience 2019 , 2019.10.23. McCormick Place in Chicago, USA
- [129] Pakpuwadon Thanet, Wuthibenjaphonchai Nattakarn, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "A battery-less, ultra-small wireless optical stimulator,"Neuroscience 2019 , 2019.10.23. McCormick Place in Chicago, USA .
- [130] Wuthibenjaphonchai Nattakarn, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, Carrara Sandro, Jun Ohta, "Proposal of an Optically-Operated, Sticker-Like Device Platform for Health Monitoring,"The 41st International Engineering in Medicine and Biology Conference(EMBC2019), 2019.7.26. City Cube,

- Berlin ,Germany.
- [131] Jun Ohta, "Micro-communicators! Implantable Optoelectronic Devices that can Communicate with Biological Functions with Electron and Photon(invited,plenary),"The 2019 Westlake International Symposium in Engineering (WISE 2019), 2019.7.20. Hangzhou Xixi Hotel, Hangzhou, China.
- [132] Erus Rustami, Kiyotaka Sasagawa, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Band-Pass Emission Filter Combined with Fiber Coupled Laser for High-Performance Implantable Fluorescent Imager,"10th International Conference on Molecular Electronics & BioElectronics, 2019.6.27. Nara Kasugano International Forum IRAKA, Nara, Japan.
- [133] Jun Ohta, "Implantable optoelectronic devices for measuring and controlling biological functions(invited),"The third International Workshop by the 174th Committee on Coexistence of Biology and Nanodevices(IWSBN, 2019.6.26. Nara Kasugano International Forum, Nara, Japan.
- [134] Yasuto Mori, Jun Ohta, "CMOS Power Transfer Circuit Design for Retinal Prosthetic Device Based on Multiunit Architecture,"The third International Workshop by the 174th Committee on Coexistence of Biology and Nanodevices, 2019.6.26. Nara Kasugano International Forum, Nara, Japan.
- [135] Kulmala Natcha, Jun Ohta, "CMOS Image Sensor for FRET Imaging Using Hybrid Emission Filter ,"The third International Workshop by the 174th Committee on Coexistence of Biology and Nanodevices, 2019.6.26. Nara Kasugano International Forum, Nara, Japan.
- [136] Mark Guinto, Jun Ohta, "Implantable micro-imaging device for multi-site, real-time imaging of deep brain regions related to feeding behavior in freely moving GCaMP6 transgenic mice,"The third International Workshop by the 174th Committee on Coexistence of Biology and Nanodevices, 2019.6.26. Nara Kasugano International Forum, Nara, Japan.
- [137] Erus Rustami, Kiyotaka Sasagawa, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "A Thin Composite Emission Filter and Fiber Coupled Laser Excitation for Implantable Fluorescence Imager Application,"The IEEE International Symposium on Circuits and Systems (ISCAS), 2019.5.27. Sapporo Convention Center, Sapporo, Japan.
- [138] X. Chen, and Y. Takahashi, "Design of 10 GHz CMOS optoelectronic receiver analog front-end in low-cost 0.18 μm CMOS technology," Proc. IEEE ISPACS 2019, Session Analog Circuits and Their Applications, 2pages, Dec. 3-6, Beitou, Taiwan.
- [139] R. Ohashi, and Y. Takahashi, "Cryptographic adiabatic logic circuit with bootstrap structure," Proc. IEEJ AVIC 2019, 5pages, Oct. 28-30, Yilan, Taiwan.
- [140] H. Koyasu, and Y. Takahashi, "Proposal and evaluation of low power AES circuit using adiabatic logic," Proc. IEEJ AVIC 2019, 5pages, Oct. 28-30, Yilan, Taiwan.
- [141] T. Fukuura, and Y. Takahashi, "Shunt-series peaking transimpedance amplifier using active inductor with RGC configuration," Proc. IEEJ AVIC 2019, 4pages, Oct. 28-30, Yilan, Taiwan.
- [142] R. Tagawa, and Y. Takahashi, "5.0 GHz, 54.7 dB Ω transimpedance amplifier with negative impedance converter," Proc. IEEJ AVIC 2019, 5pages, Oct. 28-30, Yilan, Taiwan.
- [143] X. Chen, and Y. Takahashi, "Design of a CMOS broadband transimpedance amplifier with floating active inductor," Proc. IEEE ISVLSI 2019, pp.230-234, July 15-17, Miami, FL.
- [144] H. Koyasu, and Y. Takahashi, "Evaluation of power analysis attacks on cryptographic circuit using adiabatic logic," Proc. IEEE ISVLSI 2019, pp.409-412, July 15-17, Miami, FL.
- [145] Y. Takahashi, H. Koyasu, S.D. Kumar, and H. Thapliyal, "Post-layout simulation of quasi-adiabatic logic based physical unclonable function," Proc. IEEE ISVLSI 2019, pp.443-446, July 15-17, Miami, FL.

- [146] Tomoaki Ikari, Takahiro Sasaki, "Hardware Design and Evaluation of Cel Allocation Cache", Proc. of the 2019 The Seventh International Symposium on Computing and Networking, 2019/11.
- [147] Taiga Yukawa, Takahiro Sasaki, "Improvement of Cache System Automatic Design Tool for Heterogeneous Multi-core", Proc. of the 2019 The Seventh International Symposium on Computing and Networking, 2019/11.
- [148] J. Akashi, S. Hojo, N. Kuroki, T. Hirose, and M. Numa, "A global placement method for RECON spare cells in ECO-friendly design style," SASIMI 2019, pp. 158-163, Oct. 2019.
- [149] Asuka Natsuhara, Takashi Imagawa, Hiroyuki Ochi, "Wire Load Model for Rapid Power Consumption Evaluation in Early Design Stage of Via-Switch FPGA," Proceedings of Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), pp. 298--303, Oct. 2019.
- [150] Aatiqah AZIZ, 寺田晋也, 江口 啓, 大田一郎, Clock generator with exponentially increasing frequency using switched-capacitor circuit, International Journal of Electrical and Electronic En-gineering & Telecommunications (IJEETC), vol.9, no.1, pp.49-55 (2020.1)
- [151] 杉浦, 松本, 中野, "Evaluations of TOPCon Solar Cell Rear Structure on Numerical Simulations", SSDM2019, 2019年9月2-5日
- [152] Canada, 中野, "An On-Chip Sub-pW Hz-Range Ring Oscillator", TJCAS 2019, 2019年8月19-21日
- [153] 福岡, 河添, 三河, 中野, "Frequency Adjustable On-Chip Notch Filter to Eliminate Hum Noise for EEG Acquisition", AVIC2019, 2019年10月28-30日
- [154] 三河, 河添, 福岡, 中野, "A Delta-Sigma Modulator With Frequency Division Multiplexing for Multi-Channel EEG Acquisition Front-end", ICECS2019, 2019年11月27-29日
- [155] Y. Tamura, S. Moriya, T. Kato, M. Sakuraba, Y. Horio, S. Sato, "An Izhikevich model neuron MOS circuit for low voltage operation," Proc. 28th International Conference on Artificial Neural Networks, pp. 718-723, 2019年9月.
- [156] S. Sato, Y. Tamura, S. Moriya, T. Kato, M. Sakuraba, Y. Horio, J. Madrenas, "A spiking neuron MOS circuit for low-power neuromorphic computation," Proc. 2019 International Symposium on Nonlinear Theory and Its Applications (NOLTA 2019, Kuala Lumpur, Malaysia, Dec. 2-6, 2019), p. 80, 2019年12月."
- [157] K. Maezawa, M. Mori, "Resonant Tunneling Delta Sigma Modulation Ultrasound Sensors Using A Suspended Microstrip Disk Resonator", Topical Workshop on Heterostructure Microelectronics (TWHM 2019), 2019年8月.
- [158] T. Ito, M. Mori, K. Maezawa, "Spurious Free Oscillations of the Resonant Tunneling Hard-Type Oscillators Having a Simple Capacitor Coupled Trigger Input", Topical Workshop on Heterostructure Microelectronics (TWHM 2019), 2019年8月.
- [159] Tongxin Yang, Tomoaki Ukezono, and Toshinori Sato, "Design of a low-power and small-area approximate multiplier using first the approximate and then the accurate compression method", Proc. of The 29th edition of the ACM Great Lakes Symposium on VLSI (GLSVLSI), pp.39--44, Washington, D.C., USA, 2019.5.
- [160] Toshinori Sato and Tomoaki Ukezono, "On Applications of Configurable Approximation to Irregular Voltage", Proc. of 2019 IEEE Nordic Circuits and Systems Conference (NorCAS 2019), 30-D5, Helsinki, Finland, 2019.10.
- [161] Toshinori Sato and Tomoaki Ukezono, "Evaluation on Configurable Approximate Circuit for Aging-Induced Timing Violation Tolerance", Proc. of 24th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2019), pp.23--24, Kyoto, Japan, 2019.12.
- [162] Toshinori Sato and Tomoaki Ukezono, "Tolerating Aging-Induced Timing Violations via Configurable Approximations", Proc. of IEEE 8th Global Conference on Consumer

- Electronics (GCCE 2019), pp.1047--1050, Osaka, Japan, 2019.10.
- [163] Kota Mizushima, Satomi Ogawa, and Takahide Sato, "A High-Accuracy Capacitance-to-Voltage Converter for Capacitive Sensors", Proceedings of 11th IEEE Latin American Symposium on Circuits and Systems, pp. 1-4, Feb. 2020
- [164] Shunsuke Hironaga, Takahide Sato, Satomi Ogawa, "Analysis of Charge Pump and Estimation of The Number of Stages", Proceedings of 2019 International Conference on Analog VLSI Circuits, Octo. 2019
- [165] Y. Yabuuchi, S. Sato, Y. Omura, "The Impact of Doping Concentration on the Electrical Characteristics of Z2-FET", 2019 IMFEDK, p31-32, November, 2019
- [166] Daisuke Ito, Tomotaka Tanaka, Makoto Nakamura, and Keiji Kishine, "A Wideband differential VCO based on double-short path loop architecture," International SoC Design Conference (ISOCC2019), Tech Dig., (Analog2-3), pp. 126-127, South Korea, Oct. 6-9, 2019.
- [167] Akiyama, Ishikawa, Miyazaki, "Accuracy improvement of avalanche photodiode based filter-less spectroscopy by deep learning", Proceedings of 2019, pp.349-353, 2019.9
- [168] Mika Kurosawa, Takuro Sasaki, Masaya Ohara, Taisuke Tanaka, Yuichiro Hayakawa, Minami Kaneko, Fumio Uchikoba, Katsutoshi Saeki, Ken Saito, Gait Pattern Generation of Hexapod-Type Microrobot Using Interstitial Cell Model Based Hardware Neural Networks IC, Proc. International Conference on Electronics Packaging, 19 April 2019.
- [169] Takashi Tokuda, Makito Haruta, Kiyotaka Sasagawa, Jun Ohta, "Imm3-sized optogenetic stimulator with CMOS-integrated optical power receiver The 1st Optical Wireless and Fiber Power Transmission Conference," パシフィコ横浜, 2019/4/25
- [170] Takashi Tokuda, Makito Haruta, Kiyotaka Sasagawa, Jun Ohta, "Implantable optoelectronic devices based on CMOS LSI technology," ACS Fall 2019 National Meeting & Exposition in San Diego, CA, 2019/8/25
- [171] Shunya Tsuchimoto, Kenji Itoh, Keisuke Noguchi, Jiro Ida, "High Sensitive 2.4 GHz Band Rectenna with Direct Matching Topology", IEEE Wireless Power Transfer Conference 2019, 2019年6月
- [172] Nobuhiko Yasumaru, Kanto Nakanishi, Kenji Itoh, Shunya Tsuchimoto, Takuya Yamada, Takayuki Mori, Jiro Ida, "1 MHz band rectenna with several rectifier devices in nW operation", IEEE Wireless Power Transfer Conference 2019, 2019年6月
- [173] Shinichiro Tsujita, Naoki Sakai, Kenji Itoh, Shunya Tsuchimoto, "920MHz band high sensitive rectenna with a small loop antenna", 2019 Asia-Pacific Microwave Conference, 2019年12月
- [174] Atsuya Hirono, Naoki Sakai, Kenji itoh, "High efficient 2.4GHz band high power rectenna with direct matching topology", 2019 Asia-Pacific Microwave Conference, pp.1472-1474, 2019年12月
- [175] Yuki Takeyoshi and Kimiyoshi Usami, "Single Supply Level Shifter Circuit using body-bias", 2019 34th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), JeJu, Korea, June 23-26, 2019.
- [176] Ryota Miyauchi, Akira Kojima, Hideyuki Kawabata, and Tetsuo Hironaka, "A Study of a Parallel Architecture for Accelerating Batch-Learning Self-Organizing Map by using Dedicated Hardware," 34th International Technical Conference on Circuits / Systems, Computers and Communications (ITC-CSCC 2019), June 23--26, 2019.
- [177] Takumi Hosaka, Shinichi Nishizawa, Ryo Kishida, Takashi Matsumoto and Kazutoshi Kobayashi, "Compact Modeling of NBTI Replicating AC Stress / Recovery from a Single-shot Long-term DC Measurement," in International Online Testing Symposium (IOLTS), pp. 305-309, 2019, July
- [178] A.K.M. Mahfuzul Islam, Shinichi Nishizawa, Yusuke Matsui, and Yoshinobu Ichida, "Drive-

- Strength Selection for Synthesis of Leakage-Dominant Circuits", International Symposium on Quality Electronic Design (ISQED), pp.298-303, 2019, May
- [179] K.Kiyoyama, M.Koyanagi et al., "Development of a CDS circuit for 3-D stacked Neural Network Chip using CMOS Analog Signal Processing", IEEE 3D System Integration Conference, 4pages, (2019)
- [180] Motoaki Hara, Yuichiro Yano, Masatoshi Kajita, Shinsuke Hara, Akifumi Kasamatsu, Masaya Toda, Hiroyuki Ito, Takahito Ono, and Tetsuya Ido, "Drift-free FBAR oscillator using an atomic-resonance-stabilization technique," The 2019 IEEE International Ultrasonics Symposium, pp. 2178-2181, Glasgow, Scotland, October 6-9, 2019.
- [181] Tatsuya Koga, Takashi Ichikawa, Naoto Tanaka, Taiki Ogata, Hiroki Ora, Daisuke Yamane, Noboru Ishihara, Hiroyuki Ito, Masato Sone, Katsuyuki Machida, Yoshihiro Miyake, Kazuya Masu, "High-Sensitivity Inertial Sensor Module to Measure Hidden Micro Muscular Sounds," in Proc. IEEE Biomedical Circuits and Systems Conference 2019 (BioCAS2019), Nara, Japan, Oct. 17-19, 2019.
- [182] Motoaki Hara, Yuichiro Yano, Masatoshi Kajita, Shinsuke Hara, Akifumi Kasamatsu, Hiroyuki Ito, and Tetsuya Ido, "INJECTION LOCKING TYPE 1/2 FREQUENCY DIVIDER EMPLOYING PIEZOELECTRIC MEMS RESONATOR FOR SIMPLIFYING THE MICRO ATOMIC CLOCK SYSTEM," The 33rd International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2020), Jan. 19, 2020.
- [183] M. Yagi, K. Komoku, T. Morishita, and N. Itoh, "A Study on 14 bit Digital Controlled Oscillator Using Switched Striped Inductor," Proc. of the 2019 Asia-Pacific Microwave Conference, pp.998-1000, Singapore, Dec. 2019.
- [184] N. Tajima, K. Komoku, T. Morishita, N. Itoh, "24-GHz Inductive Coupled Class-C VCO," The 22nd International Conference on Analog VLSI Circuits (AVIC2019), Yilan, Oct. 2019.
- [185] Y. Sawayama, T. Kitano, T. Morishita, K. Komoku, and N. Itoh, "1.7/3.5 GHz Dual-Band Concurrent LNA with Small Gain Deviation and Low NF," The 22nd International Conference on Analog VLSI Circuits (AVIC2019), Yilan, Oct. 2019.
- [186] D. Kitagata, S. Yamamoto, and S. Sugahara, "A New Store Energy and Latency Reduction Architecture for Nonvolatile SRAM Using STT-MTJs! Proactive Useless Data Flush Architecture", IEEE International Electron Devices Meeting (IEDM) MRAM special session 2019, San Francisco, USA, December 7-11, 2019, paper P-25.
- [187] Koji Kotani, "Optical Wireless Power Transmission with In-System Boost Converter Using Pulse-Modulated Laser Light," The 1st Optical Wireless and Fiber Power Transmission Conference (OWPT2019), OWPT-9-04, Yokohama, Apr. 23-25, 2019.
- [188] Koji Kotani, Shota Inoue, Takao Komiyama, Yasunori Chonan, and Hiroyuki Yamaguchi, "RF Rectifier Absolute Figure of Merit Based on Relative Comparison with Reference Rectifier," 2019 IEEE International Symposium on Circuits and Systems (ISCAS), Sapporo, May 26-29, 2019.
- [189] Koji Kotani, "Highly Efficient CMOS Rectifiers for Energy Harvesting from Ambient Radio Waves," 2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC), Xi'an, Jun. 12-14, 2019.

国内会議、研究会等

- [1] 伊藤駿, 藤島実, 吉田毅, "CMOSスタック型アンプの高出力化の検討," LSIとシステムのワークショップ, 東京, May. 14, 2019.
- [2] 小林知広, 天川修平, 藤島実, 吉田毅, "線路長を57%短縮するスローウェーブ伝送線路," LSIとシステムのワークショップ, 東京, May. 14, 2019.
- [3] 小林知広, 李尚曄, 天川修平, 吉田毅, 藤島実, "異なるグラッドスロット幅を有するスローウェーブ伝送線路の評価," 電子情報通信学会ソサイエティ大会, C-12-4, Sep. 10, 2019.

- [4] 伊藤駿, 李尚曄, 吉田毅, 天川修平, 藤島実, “局所帰還を有する80GHz CMOS電力増幅最終段の検討,” 電子情報通信学会ソサイエティ大会, C-12-6, Sep. 10, 2019.
- [5] 伊藤駿, 吉田毅, 天川修平, 藤島実, “ミリ波帯 CMOS多段電力増幅回路の付加電力効率の改善” 電子情報通信学会集積回路研究会 学生・若手研究会, Dec. 15, 2019.
- [6] スミス 力紀, 李尚曄, 吉田毅, 藤島実, “ショートスタブを用いたミリ波帯低損失 CMOSパッド,” 電子情報通信学会総合大会, C-14-14, Mar. 17, 2020.
- [7] 邱 浩, 桜井貴康, 高宮 真, "Coupling-Dependent Data Flipping in Wireless Power and Data Transfer System," 電子情報通信学会, LSIとシステムのワークショップ, ポスターセッション 一般部門, 5, 東京, 2019年5月.
- [8] 王 叡智, 崔 通, 磯部敦生, 山崎舜平, 高宮真, “結晶性酸化物半導体 n型 FETを用いた 2 mHz, 44 aW 発振回路の設計,” 電子情報通信学会ソサイエティ大会, C-12-41, 大阪, 2019年9月.
- [9] C. Wu and M. Takamiya, "Switched Capacitor Multiplier-Accumulator Circuits for Near-Pixel Convolutional Neural Networks," 電子情報通信学会ソサイエティ大会, C-12-38, 大阪, 2019年9月.
- [10] 森川隆造, 崔 通, 畑 勝裕, 高宮 真, "所望の周波数帯の EMI とスイッチング損失の両方を低減する IGBT のゲート駆動方法," 電気学会全国大会, 4-013, 東京, 2020年3月.
- [11] 福留 環, 邱 浩, 新山龍馬, 高宮 真, "複数アクチュエータのワイヤレス駆動 IC の設計," 電子情報通信学会総合大会, C-12-16, 広島, 2020年3月.
- [12] C. Wu and M. Takamiya, "Near-Pixel Binary Convolution Engine for Energy- Efficient Image Recognition," 電子情報通信学会総合大会, C-12-30, 広島, 2020年3月.
- [13] 織間健守, 堀尾喜彦, "無反射伝送線路モデルを用いた高雑音下における音声認識のためのプレフィルタリング", 非線形ワークショップアブストラクト集, p. 14, 2020.
- [14] 織間健守, 堀尾喜彦, "蝸牛に基づく能動的無反射伝送線路モデルのパラメータ値の決定手法", 電子情報通信学会技術報告, vol. 119, no. 209, pp. 93-97, 2019.
- [15] 織間健守, 堀尾喜彦, "蝸牛に基づく無反射伝送線路モデルの回路実装に向けての考察," 非線形ワークショップアブストラクト集, p. 35, 2019
- [16] 松岡 英, 根塚智裕, 飯塚 哲也, ``サイクリックアシスト型 1-0 MASH ADCにおける性能低下要因の解析," 電子情報通信学会 総合大会論文集, C-12-3, 2020年3月.
- [17] 高橋 奈悟, 藤田 悠介, 三浦 賢, 飯塚 哲也, ``注入タイミング制御を用いた遠端クロストーク低減機能をもつ 16Gb/s 差動送信器," 電子情報通信学会 技術研究報告, vol. 119, no. 284, pp. 65 - 70, 2019年11月.
- [18] 山崎 大輔, 大槻 宜孝, 原 崇文, Nguyen Ngoc Mai-Khanh, 飯塚 哲也, ``スイッチ型および増幅型ステージを用いた高アイソレーションかつ低損失な D バンド OOK 変調器の実装," 電子情報通信学会 LSI とシステムのワークショップ 2019, 2019年5月.
- [19] 赤羽和哉, 清水昂, 高木憲太郎, 曾根原誠, 佐藤敏郎, 宮地幸祐, "容量型 TIA を用いた光プローブ電流センサ向け CMOS アナログフロントエンド回路の高精度化の検討", 電子情報通信学会ソサイエティ大会, C-12-35, 2019年9月.
- [20] 熊谷洸太, 吉田裕志, 原慎太郎, 谷村恭兵, 宮地幸祐, "DLL 制御を用いた高速高降圧 LLC 共振コンバータ向けセンタータップ型 ZVS 全波整流器の設計", 電子情報通信学会信越支部大会, 1D-3, p. 17, 2019年9月.
- [21] 滝英俊, 福岡孝将, 谷村恭兵, 宮地幸祐, "Constant-Frequency Adaptive-On/Off-Time 制御を用いた 10MHz 高速高降圧 DC-DC Buck コンバータの設計", 電子情報通信学会信越支部大会, 1D-4, p. 18, 2019年9月.
- [22] 吉田裕志, 熊谷洸太, 原慎太郎, 谷村恭兵, 宮地幸祐, "10MHz、高速高降圧 LLC 共振コンバータの制御回路設計", 電子情報通信学会信越支部大会, 1D-5, p.19, 2019年9月.
- [23] 赤羽和哉, 高木憲太郎, 塚田芳寿, 曾根原誠, 佐藤敏郎, 宮地幸祐, "光プローブ電流センサ向け CMOS アナログフロントエンド回路の完全差動化による DC 測定の検討", 電子情報通信学会信越支部大会, 2C-3, p.31, 2019年9月.
- [24] 鈴木大, 浅野孝紘, 土屋智紀, 石田涼, 宮地幸

- 祐, "体内埋め込み型医療用デバイス向け非接触給電回路の送電電力制御と受電整流制御による高効率化", 電子情報通信学会集積回路研究会 LSI とシステムのワークショップ, ポスター発表 13, 2019年5月.
- [25] 柄澤悠樹, 福岡孝将, 滝英俊, 宮地幸祐, "中間電圧生成チャージポンプ一体型 AOOT 3値 Buck DC-DC コンバータ", 電子情報通信学会集積回路研究会 LSI とシステムのワークショップ, ポスター発表14, 2019年5月.
- [26] 福岡孝将, 柄澤悠樹, 吉田裕志, 秋山知輝, 岡亮太郎, 石田嵩, 白澤智寛, 曾根原誠, 佐藤敏郎, 宮地幸祐, "磁性コアインダクタ内蔵インターポーズを用いた3次元積層降圧型高速 DC-DC コンバータ", 電子情報通信学会集積回路研究会 LSI とシステムのワークショップ, ポスター発表 65, 2019年5月.
- [27] 石田涼, 西田純也, 浅野孝紘, 土屋智紀, 宮地幸祐, "クロックドコンパレータを使用した低消費電力整流-レギュレーション一体型制御回路の検討", 電子情報通信学会信越支部大会, 2C-4, p.32, 2019年9月.
- [28] 谷村恭兵, 福岡孝将, 滝英俊, 宮地幸祐, "高周波動作対応 Dead Time Controller を備えた GaN FET ゲートドライバの設計", 電子情報通信学会信越支部大会, 2C-5, p.33, 2019年9月.
- [29] 土屋智紀, 浅野孝紘, 宮地幸祐, "体内埋め込み型医療デバイス向け非接触給電システムにおける電力伝送用コイルの低損失化及び小型化の検討", マグネティックス/リニアドライブ合同研究会, pp.61-66, 2019年6月.
- [30] 一色保明, 鈴木大, 石田涼, 宮地幸祐, "RF 非接触バッテリー給電レシーバー向け65nm CMOS プロセスカスコード SIDO ブーストコンバータ", 電子情報通信学会総合大会, C-12-17, 2020年3月.
- [31] 宮崎 広夢, 三浦 順也, 吉瀬 謙二, "RISC-V ソフトプロセッサの効率的な命令フェッチアーキテクチャ", 電子情報通信学会 技術研究報告, Vol. 119, No. 18, RECONF2019-1, pp. 1-6, 2019年5月.
- [32] 三浦 順也, 宮崎 広夢, 吉瀬 謙二, "Linux が動作する RISC-V コンピュータシステムの設計と Verilog HDL による実装", 電子情報通信学会 技術研究報告, Vol. 119, No. 373, VLD2019-72, CPSY2019-70, RECONF2019-62, pp. 117-122, 2020年1月.
- [33] 今井, 西澤, 伊藤, "LSI の最大消費電力を削減するスタック構造スタンダードセルライブラリ", 電子情報通信学会技術報告 VLD2019-101, pp. 43-48, 2020.
- [34] 佐々木 拓郎, 黒澤 実花, 小原 正也, 長田 元気, 水本 明日也, 平尾 聡志, 金子 美泉, 内木場 文男, 齊藤 健, "静電モータを用いた昆虫型マイクロロボットを駆動するハードウェアニューラルネットワークの開発", JPCA2019 アカデミックプラザ, 日本, 2019.6.7
- [35] 佐々木 拓郎, 黒澤 実花, 小原 正也, 早川 雄一朗, 野口 大輔, 金子 美泉, 内木場 文男, 齊藤 健, "静電モータを駆動するマイクロブレインチップの開発", 電気学会 電子・情報・システム部門大会, 日本, pp.958-963, 2019.9.4
- [36] 佐々木 拓郎, 黒澤 実花, 小原 正也, 武井裕樹, 金子 美泉, 内木場 文男, 齊藤 健, "マイクロロボットに用いる静電モータを駆動するマイクロブレインチップの開発", 令和元年度(第63回)日本大学理工学部学術講演会, 日本, 2019.12.4
- [37] 黒澤 実花, 佐々木 拓郎, 小原 正也, 森下克幸, 武井裕樹, 金子 美泉, 内木場 文男, 齊藤 健, "3層ハードウェアニューラルネットワークの一検討", 令和元年度(第63回)日本大学理工学部学術講演会, 日本, 2019.12.4
- [38] 小原 正也, 佐々木 拓郎, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 武井 裕樹, 齊藤 健, "四足歩行ロボット用の動物に似た歩容を生成するニューロモーフィック回路の開発", 令和元年度(第63回)日本大学理工学部学術講演会, 日本, 2019.12.4
- [39] 宇佐見 雄, 佐々木 拓郎, 黒澤 実花, 小原 正也, 武井 裕樹, 金子 美泉, 内木場 文男, 齊藤 健, "脚マイクロロボットの歩容変化が可能なマイクロブレインチップの検討", 令和元年度(第63回)日本大学理工学部学術講演会, 日本, 2019.12.4
- [40] 加藤 真也, 宇佐見 雄, 榊 亜理沙, 黒澤 実花, 佐々木 拓郎, 小原 正也, 武井 裕樹, 齊藤 健, "四足歩行ロボットに搭載するニューロモーフィック回路の集積化に向けた検討", 令和元年度(第63回)日本大学理工学部学術講演会, 日本, 2019.12.4

- [41] 宇佐見 雄, 黒澤 実花, 佐々木 拓郎, 森下 克幸, 小原 正也, 武井 祐樹, 齊藤 健, “階層型のパルス形ハードウェアニューラルネットワークに対する検討”, 電子回路研究会, pp.50, 2020.3.7
- [42] 榊 亜理沙, 宇佐見 雄, 加藤 真也, 黒澤 実花, 佐々木 拓郎, 小原 正也, 武井 裕樹, 齊藤 健, “マイクロロボット用の静電アクチュエータを駆動するニューラルネットワーク集積回路の基礎的検討”, 電子回路研究会, pp.47, 2020.3.7
- [43] 加藤 真也, 宇佐見 雄, 榊 亜理沙, 黒澤 実花, 佐々木 拓郎, 小原 正也, 武井 裕樹, 齊藤 健, “四足歩行ロボットに実装するニューロモーフイック回路の集積化に対する検討”, 電子回路研究会, pp.48, 2020.3.7
- [44] 早川 雄一郎, 野口 大輔, 大槻 るみ, 金子 美泉, 齊藤 健, 内木場 文男, “小型化および自律化に向けたニューラルネットワークIC搭載型マイクロロボットの開発”, LSIとシステムのワークショップ 2019
- [45] 早川 幹人, 早川 雄一郎, 金子 美泉, 内木場 文男, “センサ入力に応じてロボットの運動変化を発現する人工脊髄ICの設計”, 令和元年度(第63回)日本大学理工学部学術講演会, 日本, 2019.12.4
- [46] 大槻 るみ, 早川 雄一郎, 野口 大輔, 金子 美泉, 齊藤 健, 内木場 文男, “低容量ニューラルネットワークIC搭載によるMEMSマイクロロボット”, JPCA2019 アカデミックプラザ
- [47] 野口, 小松, “パリレンコートによる常温真空封止を用いたCMOS-MEMS圧力センサ,” 第36回「センサ・マイクロマシンと応用システム」シンポジウム, 2019年11月.
- [48] 野口, 小松, “パリレン常温真空封止を用いた静電容量式CMOS-MEMS圧力センサ,” 令和2年電気学会全国大会 講演番号3-143, 2020年3月.
- [49] Hiroaki Myoren, Kosuke Okabe, Ryo Matsunawa, Kohki Itagaki, Masato Naruse, and Tohru Taino, "High-Resolution Digital SQUID Magnetometer using Sub-Flux Quantum Feedback," EUCAS2019, Glasgow · UK, 1-5 Sept. 2019
- [50] Kohki Itagaki, Itta Oshima, Yuichi Hasegawa, Ryo Matsunawa, Masato Naruse, Tohru Taino, Hiroaki Myoren, "Performance of Digital SQUID with Sub-Flux Quantum Feedback Resolution fabricated using 10 kA/cm² Nb process," ISS2019, Kyoto · Japan, 3-5 Dec. 2019
- [51] Ryo Matsunawa, Kohki Itagaki, Itta Oshima, Yuichi Hasegawa, Masato Naruse, Tohru Taino, Hiroaki Myoren, "Implementation of interface circuit for Digital SQUID with sub-Flux Quantum Feedback Resolution," ISS2019, Kyoto · Japan, 3-5 Dec. 2019
- [52] H. Myoren, R. Matsunawa, K. Itagaki, I. Oshima, Y. Hasegawa, M. Naruse, T. Taino, "Digital SQUID Magnetometer for Airborne TEM," SSV2020, Yokohama · Japan, 16-17 Jan. 2020
- [53] I. Oshima, K. Itagaki, M. Naruse, T. Taino, H. Myoren, "Parallel SFQ Generator for Digital SQUID with Sub-SFQ feedback," SSV2020, Yokohama · Japan, 16-17 Jan. 2020
- [54] Y. Hasegawa, M. Naruse, T. Taino, L. Kang, J. Chen, P. Wu, H. Myoren, "High-Time Resolving Dynamic AND Array for Hong-Ou-Mandel Interference," SSV2020, Yokohama · Japan, 16-17 Jan. 2020
- [55] 鹿倉未咲, 島本正仁, 浜本隆之, "多重露光時間撮像を用いた動きぼけとフリッカを抑制した高DR画像の取得", 映像情報メディア学会技術報告, Vol. 43, No. 18, pp. 5-9, 2019年6月.
- [56] 岩淵清隆, 山崎智裕, 亀田裕介, 浜本隆之, "単一光子検出型撮像方式における高精度な動き推定及び動きぼけ抑制手法", 映像情報メディア学会技術報告, IST2019-50, pp. 29-32, 2019年9月.
- [57] 今井陽太郎, 大高俊徳, 亀田裕介, 浜本隆之, "CTIA画素回路を用いた高感度・高DR信号を同時に出力可能なイメージセンサ", 電子情報通信学会技術研究報告, Vol.119, No. 285, pp. 51-54, 2019年11月.
- [58] 島本正仁, 亀田裕介, 浜本隆之, "多重露光時間撮像における空間解像度の低下と動きぼけを考慮したHDR画像の再構成", 電子情報通信学会技術研究報告, Vol.119, No. 285, pp. 55-58, 2019年11月.
- [59] 佐藤, 松嶋, 福本, "4線STPケーブルのモード多重伝送におけるトランスを用いた励振法に関する検討", 電子情報通信学会技術報告, EMCJ2019-37, vol. 119, no.241, pp. 7-12, 2019

- 年10月.
- [60] 佐藤, 松嶋, 福本, "次世代の高速通信に向けた伝送方式における変成器を用いた時間領域解析," 2020年電子情報通信学会総合大会, pp.271, 20203月.
- [61] 難波, "耐ソフトエラーラッチにおけるセットアップホールド時間と耐ソフトエラー性の関係," 信学技報, FIIS, 2019年 10月.
- [62] 山本, 難波, "C-elementを用いた耐ソフトエラーラッチにおける電源電圧と臨界電荷量の関係," FTC研究会, 2020年 1月.
- [63] 中田, 山本, 堀田, 難波, "中性子線照射実験による異なるゲート幅を有する耐ソフトエラーラッチ回路の評価," 信学技報, FIIS, 2019年 6月.
- [64] 中埜, 田中, "センサ誤作動改善のための低電源 Gm-C ローパスフィルターを用いた対策", 2019年度電子情報通信学会九州支部学生会講演会・講演論文集, A-13, 2019年9月.
- [65] 米吉, 田中, "低電源電圧におけるオペアンプ設計の検討", 2019年度電子情報通信学会九州支部学生会講演会・講演論文集, A-12, 2019年 9月.
- [66] 青山, 佐々木, 松嶋, "マイクロストリップ分岐線路の特性評価 ー入力線路の屈曲部の改善ー", 2019電子情報通信学会九州支部学生会講演会, B-04,2019年9月
- [67] 中川, 佐々木, 二宮, "抵抗付加法における回路基板(電源)の放射雑音低減 ー電源雑音評価ー", 2019電子情報通信学会九州支部学生会講演会, B-05,2019年9月
- [68] 松嶋, 佐々木, "屈曲部を有するマイクロストリップ線路の特性評価 ー曲部形状の検討ー", 2019年度電気・情報関係学会九州支部連合大会, 09-2A-08, 2019年9月
- [69] 二宮, 佐々木, "プリント配線板電源層からの放射雑音低減 ー最適な抵抗値の検討ー", 2019年度電気・情報関係学会九州支部連合大会, 09-2A-07, 2019年9月
- [70] 松嶋, 佐々木, "曲部を有するマイクロストリップ線路の特性改善", 令和元年度電気学会九州支部沖縄支所講演会, OKI-2019-53, pp.229-235, 2019年12月
- [71] 二宮, 佐々木, "抵抗付加法によるプリント配線板電源層からの雑音低減 ー最適抵抗値ー", 令和元年度電気学会九州支部沖縄支所講演会, OKI-2019-52, pp.222-228
- [72] 田中, 森下, 深井, "生体計測に用いる低電圧オペアンプ", IEEE2019年度第1回学生研究発表会, IEEE_IM-S19-01,pp.1-2, 2019年11月
- [73] 森, 山崎, 深井, "FGMOSを用いた4値AND回路のレイアウト設計",2019電子情報通信学会九州支部学生会講演会, C-25,2019年9月
- [74] 山崎, 深井, "FG-MOSを用いた4値全加算器におけるノイズの低減", 2019年度電気・情報関係学会九州支部連合大会, 12-2A-04, 2019年 9月
- [75] 室井, 小平, "製造後遅延調整における遅延調整素子のゲートサイジング手法", 信学技報 (VLD2019-103), Vol.119, No.443, pp.53-58, 2020年3月.
- [76] 名幸 瑛心, トープラサートボン カシディット, 王 澤宇, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信一, "FeFETリザバーコンピューティングにおける強誘電性の効果の検証," 第67回応用物理学会春季学術講演会, 14a-A301-3, 上智大学四谷キャンパス, 2020年3月12日3月15日.
- [77] 曹 光元, 林 澈敏, トープラサートボン カシディット, 竹中 充, 高木 信一, "酸化濃縮法により作製したGOIを用いた引張りひずみGOI nMOSFET," 第67回応用物理学会春季学術講演会, 13p-A305-10, 上智大学四谷キャンパス, 2020年3月12日3月15日.
- [78] 宮武 悠人, 関根 尚希, カシディット トープラサートボン, 高木 信一, 竹中 充, "進化戦略で設計した高効率グレーティングカプラの作製," 第67回応用物理学会春季学術講演会, 14p-B508-4, 上智大学四谷キャンパス, 2020年3月12日3月15日.
- [79] 高木 信一, 曹 光元, 林 澈敏, トープラサートボン カシディット, 竹中 充, "(001)GOI薄膜化によるnMOSFETの電子移動度向上機構に関する考察," 第67回応用物理学会春季学術講演会, 13p-A305-11, 上智大学四谷キャンパス, 2020年 3月12日3月15日.
- [80] 加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一, "酸化物半導体/IV族半導体 積層型トンネル電界効果トランジスタ," 第67回応用物理学会春季学術講演会, 13p-A305-5, 上智大学四谷キャンパス, 2020年3月12日3月15日 (第11回シ

- リコンテクノロジー分科会研究奨励賞受賞記念講演)。
- [81] 関根 尚希, トープラサートポン カシディット, 高木 信一, 竹中 充, “III-V-OI 基板上における量子井戸インターミキシングを用いた導波路型受光器の実証,” 第67回応用物理学会春季学術講演会, 15a-B508-3, 上智大学四谷キャンパス, 2020年3月12日3月15日。
- [82] トープラサートポン カシディット, 竹中 充, 高木 信一, “強誘電体FETのMOS界面における電荷分布の評価とデバイス動作の理解,” 第67回応用物理学会春季学術講演会, 14p-A303-12, 上智大学四谷キャンパス, 2020年3月12日3月15日。
- [83] Q. Li, C.-P. Ho, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, M. Takenaka, “High-speed optical modulation by III-V/Si hybrid MOS optical modulator with low parasitic capacitance,” 第67回応用物理学会春季学術講演会, 15a-B508-12, 上智大学四谷キャンパス, 2020年3月12日3月15日。
- [84] Z. Zhao, C. Ho, Q. Li, K. Toprasertpong, S. Takagi, M. Takenaka, “Observation of Sub-bandgap Photodetection at $2 \mu\text{m}$ wavelengths in a Germanium Lateral PIN Photodetector,” 第67回応用物理学会春季学術講演会, 15a-B508-7, 上智大学四谷キャンパス, 2020年3月12日3月15日。
- [85] C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka, S. Takagi, “First demonstration of (111) Ge-on-insulator n-channel MOSFET fabricated by smart-cut technology,” 第67回応用物理学会春季学術講演会, 13p-A305-8, 上智大学四谷キャンパス, 2020年3月12日3月15日。
- [86] 竹中 充, 高木 信一, “Society 5.0時代における異種材料集積シリコンフォトニクス,” 第25回電子デバイス界面テクノロジー研究会, 9, 東レ総合研修センター, 2019年1月30日2月1日 (招待講演)。
- [87] 竹中 充, “AI応用に向けたシリコンフォトニクスの展開,” エイトラムダフォーラム, ルヴェソソヴェール本郷, 2019年10月25日 (招待講演)。
- [88] 竹中 充, 李 強, 大野 修平, 高木信一, “AI応用に向けた異種材料集積プログラマブル光回路,” 第80回応用物理学会秋季学術講演会, 19p-E206-1, 北海道大学札幌キャンパス, 2019年9月18日9月21日 (招待講演)。
- [89] 大野 修平, 李 強, 高木 信一, 竹中 充, “テーパー構造を用いないハイブリッドMOS型光位相シフタの検討,” 第80回応用物理学会秋季学術講演会, 19p-E206-5, 北海道大学札幌キャンパス, 2019年9月18日9月21日。
- [90] トープラサートポン カシディット, 名幸 瑛心, 中根 了昌, 竹中 充, 高木 信一, “強誘電体FETを用いたリザバーコンピューティングの提案,” 第80回応用物理学会秋季学術講演会, 19p-F211-4, 北海道大学札幌キャンパス, 2019年9月18日9月21日。
- [91] 名幸 瑛心, トープラサートポン カシディット, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信一, “強誘電体FETを用いたリザバーコンピューティングの実験的検証,” 第80回応用物理学会秋季学術講演会, 19p-F211-5, 北海道大学札幌キャンパス, 2019年9月18日9月21日。
- [92] 加藤 公彦, Jo Kwangwon, 松井 裕章, 田畑 仁, 森 貴洋, 森田 行則, 松川 貴, 竹中 充, 高木 信一, “ZnSnO/SiGe 積層構造を用いたn-およびp-TFETの動作実証,” 第80回応用物理学会秋季学術講演会, 18p-B11-6, 北海道大学札幌キャンパス, 2019年9月18日9月21日。
- [93] K.-W. Jo, M. Takenaka, and S. Takagi, “Performance enhancement of extremely thin body SiGe or Ge on insulator pMOSFETs fabricated by Ge condensation,” 第80回応用物理学会秋季学術講演会, 19p-PB2-1, 北海道大学札幌キャンパス, 2019年9月18日9月21日。
- [94] Z. Zhao, C.-P. Ho, S. Takagi, and M. Takenaka, “Carrier-injection Ge MIR variable optical attenuator formed by spin-on-glass doping,” 第80回応用物理学会秋季学術講演会, 18a-PA5-4, 北海道大学札幌キャンパス, 2019年9月18日9月21日。
- [95] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, “Realization of coupled-resonator-induced-transparency effect in germanium-on-insulator photonics,” 第80回応用物理学会秋季学術講演会, 18a-PA5-5, 北海道大学札幌キャンパス, 2019年9月18日9月21日。
- [96] 竹中 充, “シリコン光回路による深層学習の展望,” 電子情報通信学会ソサイエティ大会, CI-

- 1-7, 大阪大学豊中キャンパス, 2019年9月1013日 (招待講演) .
- [97] 竹中 充, 李 強, 関根 尚希, 高木 信一, “III-V族半導体薄膜を用いたハイブリッド光変調器の展望”, 電子情報通信学会レーザ・量子エレクトロニクス研究会 (LQE), 東北大学, 2019年8月2223日 (招待講演) .
- [98] 加藤公彦, 松井裕章, 田畑仁, 竹中充, 高木信一, “アモルファス ZnSnO/Si 積層型トンネル FET の作製と電気特性評価,” 電子情報通信学会シリコン材料・デバイス (SDM) 研究会, 北海道大学札幌キャンパス, 2019年8月7日8月9日.
- [99] 金澤 悠里, 横山 紗由里, 池上 高広, Prasoon Ambalathankandy, 平松 正太, 佐野栄一 (北海道大学), 瀧田 佑馬, 南出 泰垂 (理化学研究所), 池辺 将之 (北海道大学) "画素並列 ADC アーキテクチャを用いた 32×32 解像度グローバルシャッタテラヘルツイメージセンサ" LSI とシステムのワークショップ 2019
- [100] 池上高広・平田脩馬・澤口浩太郎・永安佑次・金澤悠里・池辺将之 (北大) "製造ばらつきを考慮した CMOS テラヘルツイメージセンサ向け画素利得ばらつき補償機構", SDM ICD ITE-IST 8月研究会2019
- [101] J. Ye and T. Tanzawa, "An Optimum Circuit Design of clocked AC-DC charge pumps," IEICE general conference, C-12-19, Mar. 2020.
- [102] J. Ye and T. Tanzawa, "An Optimum Circuit Design of clocked AC-DC charge pumps," IEICE general conference, C-12-19, Mar. 2020.
- [103] T. Nomura and T. Tanzawa, "A Double Resonant Enhanced Swing Colpitts Oscillator for Extremely Low-Voltage DC/DC Boost Conversion," IEICE general conference, C-12-18, Mar. 2020.
- [104] Y. Sakamoto and T. Tanzawa, "A Power Converter System for Energy Harvesting Toward Zero Net Battery Power," IEICE general conference, C-12-20, Mar. 2020.
- [105] Y. Sugiura and T. Tanzawa, "Pre-Emphasis Pulse Design for Random Access Memory," IEICE general conference, Mar. 2020.
- [106] 岸田 亮, 小高 孔頌, 小林 和淑, 「電流スターブ型リングオシレータを用いたアンテナダメージと経年劣化によるしきい値電圧変動量の比較」, DA シンポジウム, pp. 208-213, 2019/08/30, 加賀市, 石川.
- [107] 曾明裕太, 山崎洗生, 島田 宏, 水柿義直, "10-kA/cm² Nb集積プロセスを用いた Double-Flux-Quantum Amplifier の再設計と動作検証," 第67回応用物理学会春季学術講演会, 2020年3月12日
- [108] 曾明裕太, 山崎洗生, 樋口孔明, 島田宏, 水柿義直, "磁気結合入力を用いた並列入力型 DFQ アンブ," 第80回応用物理学会学術講演会, 2019年9月20日
- [109] 山崎洗生, 島田宏, 水柿義直, "回路面積を減じた単一磁束量子 NOT ゲートの設計及びエラーレートの評価," 第80回応用物理学会学術講演会, 2019年9月20日
- [110] 樋口孔明, 島田 宏, 水柿義直, "Double-stack SQUID を採用した 12 段 RSFQ 分布型出力アンプの試作と動作検証," 2019 年電子情報通信学会ソサイエティ大会, 2019 年 9 月 13 日
- [111] 樋口孔明, 島田 宏, 水柿義直, "二重 SQUID を採用した RSFQ 分布型出力アンプの設計と動作実証," 電子情報通信学会技術研究報告 (超伝導エレクトロニクス), 2019 年 8 月 9 日
- [112] Y. Sun, R. Doi, and M. Hashimoto, "Rc Extraction-Free Wiring Delay Analysis Focusing on Number of On-State Switches for Via-Switch FPGA," DA シンポジウム, August 2019.
- [113] 古賀, 田中, 魏, SD 数表現された値の3倍値の高速算出と乗算器への応用, 電子情報通信学会東京支部 学生会研究発表会, 2020年3月.
- [114] 松本 昂, 安永守利, "AI アプローチによる PCB 用超高速配線の設計," 第29回マイクロエレクトロニクスシンポジウム (MES2019) (エレクトロニクス実装学会 秋季大会), pp. 229-232, 大阪大学 (大阪), 9月12日-13日, 2019年.
- [115] 狩野貴彦, 松本 昂, 星野裕哉, 安永守利, "遺伝的アルゴリズムを用いたインダクタを含む PCB 用超高速配線の試作設計," 第34回エレクトロニクス実装学会春季講演大, 3A1-05 (4ページ), 大会中止で論文公開のみ (3月3日-5日 横浜国立大 予定) 2019年.
- [116] 仲松佑花, 譜久山篤也, 磯部佑真, 木原崇雄, "VCO ベース A/D 変換器の可変デシメーションによる直接 RF サンプリング受信機の低消費電力化", 2020 年電子情報通信学会総合大会, 広島

- 大学, 2020年3月.
- [117] 譜久山篤也, 木原崇雄, “電圧制御発振器を用いたSub-GHz帯直接サンプリング時間インターリーブA/D変換器”, 電子情報通信学会 学生・若手研究会, 奄美市, 2019年12月.
- [118] 磯部佑真, 木原崇雄, “VCOベースADCを用いた直接RF サンプリング受信機における1次再帰型CICフィルタの配置”, 令和元年電気関係学会関西連合大会, 大阪市立大学, P-23, 2019年11月.
- [119] 木原崇雄, 宮腰佳祐, 吉村勉, “電圧制御発振器を用いた時間インターリーブA/D変換器における3次非線形性のデジタル補正”, LSIとシステムのワークショップ2019, 一般部門04, 東京大学, 2019年5月.
- [120] 来嶋祐音, 西宮司, 升井義博, “SC型回路を用いたニューロンの実装検討” 電子情報通信学会, 2020年電子情報通信学会総合大会, 2020年3月
- [121] 金阪遼, 升井義博, 外谷昭洋, 吉川公磨, “インバータベースパイプライン型ADCの設計,” 令和元年(第70回)電気・情報関連学会中国支部連合大会, 2019年10月
- [122] 上見アレックス, 荒川裕貴, 時永征弥, 升井義博, “低電圧チャージポンプ回路における差動リング型発振器の検討,” 電子情報通信学会, 2019年電子情報通信学ソサイエティ大会, 2019年9月
- [123] 西宮司, 荒川祐貴, 時永征弥, 升井義博, “IoTデバイスに向けたマルチバイブレータの低消費電力化,” 電子情報通信学会, 2019年電子情報通信学ソサイエティ大会, 2019年9月
- [124] 田中一輝, 升井義博, “カスコード構成を用いたIC温度センサの高感度化,” 電子情報通信学会, 2019年電子情報通信学ソサイエティ大会, 2019年9月
- [125] アルベス サタケ フィリベ, 李嘉敏, 銭正陽, 矢吹僚介, 杜邦, 福島奨, 木野久志, 福島誉史, 清山浩司, 田中徹, “経爪型集積化光電容積脈波計測システムの開発—二階微分回路の設計と評価—”, 第80回応用物理学会秋季学術講演会講演予稿集, 11-252, 2019九月
- [126] Rui Liang, Sungho Lee, Yuki Miwa, Kousei Kumahara, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, “Annealing Effect on Room-Temperature-Deposited SiO₂ Liner for Multichip-to-Wafer 3D Integration Process”, 第80回応用物理学会秋季学術講演会講演予稿集, 12-116, 2019九月
- [127] 熊原宏征, 三輪侑紀, 李晟豪, 梁芮, 木野久志, 福島誉史, 田中徹, “Multichip-to-Wafer三次元集積に向けたマイクロバンプ接合技術”, 第80回応用物理学会秋季学術講演会講演予稿集, 12-117, 2019九月
- [128] 三輪侑紀, 李晟豪, 梁芮, 熊原宏征, 木野久志, 福島誉史, 田中徹, “高密度電極接続を用いた三次元集積のための低背マイクロバンプ接合評価”, 第80回応用物理学会秋季学術講演会講演予稿集, 12-125, 2019九月
- [129] 浦山翔太, 木野久志, 福島誉史, 田中徹, “光遺伝学用UCNPオプト神経プローブの発光強度特性評価”, 第80回応用物理学会秋季学術講演会講演予稿集, 12-247, 2019九月
- [130] 高橋則之, 煤孫祐樹, 木野久志, 田中徹, 福島誉史, “RDL-first FOWLPによるハイドロゲル用いたFHEのためのチップ内蔵技術”, 第80回応用物理学会秋季学術講演会講演予稿集, 12-385, 2019九月
- [131] 田中, 土谷, 谷村, 井上, 岸根, “RGC-TIAにおける多層インダクタによる面積効率向上効果の評価”, 2020年電子情報通信学会総合大会, C-12-9, 2020年3月.
- [132] 中田, 土谷, 谷村, 井上, 岸根, “RGC-TIAの利得が帯域と入力換算雑音の関係に与える影響”, 2019年電子情報通信学会ソサイエティ大会, C-12-36, 2019年9月.
- [133] 岩田, 土谷, 谷村, 井上, 岸根, “ブロック方式におけるモデル化誤差を考慮した配線ブロック数と面積の関係”, 2020年電子情報通信学会総合大会, A-6-8, 2020年3月.
- [134] Jie LI, Yi GUO, and Shinji KIMURA, “Approximate Floating Point Multiplier based on Shifting Addition Using Carry Signal from Second-Highest-Bit,” IEICE Tech. Report, VLD2019-120, pp.151-156, March 2020.
- [135] 松本, 中澤, 黒木, 沼, 廣瀬, “超低消費電力で動作するアクティブダイオードの設計,” LSIとシステムのワークショップ2019, PS-10, 2019年5月.
- [136] 西, 中澤, 松本, 黒木, 沼, 廣瀬, “極低電圧エネルギーハーベスティングに向けたスイッチトキャ

- パシタ型昇圧コンバータ," 第32回 回路とシステムワークショップ, pp.205-210, 東京, 2019年8月.
- [137] 木村, 浅野, 松本, 黒木, 沼, 毎田, 兼本, 廣瀬, "リアルタイムクロックに向けた超低消費電力32 kHz水晶発振回路," 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, 2019年12月.
- [138] 矢倉, 佐藤, 松本, 黒木, 沼, 毎田, 兼本, 廣瀬, "低電圧エネルギーハーベスティングシステムに向けた超低消費電力電圧モニタ回路," 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, 2019年12月.
- [139] 沖田, 増田, 松本, 黒木, 沼, 毎田, 兼本, 廣瀬, "ワイヤレス給電システムの位置自由度を改善するパワーマネジメント回路に関する研究," 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, 2019年12月.
- [140] 玉城, 長名, 藤井, "FPGAによる短波海洋レーダの実現へむけた検討", 電子情報通信学会技術研究報告, RECONF2019-36, 2019年11月
- [141] 葛西孝己, 今井雅, 黒川敦, 金本俊幾, "シミュレーションベースオンチップ電源容量抽出手法," 情報処理学会東北支部研究報告, Vol.2019-6, No.1-1, Feb., 2020
- [142] 伊藤颯汰, 宗形恒夫, 黒川敦, 今井雅, 金本俊幾, "パワーモジュールの熱応力連成解析に向けたIGBT等価回路モデルに関する検討," 情報処理学会東北支部研究報告, Vol.2019-6, No.2-1, Feb., 2020
- [143] 八木, 大塚, 山本, 福原, "ニューロンMOS型SHL回路のFGへの電荷の影響に対する無効化回路の導入", 2020年電子情報通信学会総合大会, 2020年3月
- [144] 佐保, 福原, 藤本, "複数の参照データを順次読み出し可能なハミング距離型CAM", 2020年電子情報通信学会総合大会, 2020年3月
- [145] 山口 正登志, 岩元 剛毅, 田向 権, 森江 隆, "時間領域アナログ積和演算方式を用いた演算効率300TOPS/W人工知能向けCMOSバイナリコネクトネットワーク回路", LSIとシステムのワークショップ, 2019年5月.
- [146] 山口 正登志, "An analog VLSI implementation of chaotic Boltzmann machines for reservoir computing applications", VDEC デザイナーズフォーラム 2019, デザインアワード発表会, 2019年9月.
- [147] 上村 大地, 山口 正登志, 香取 勇一, 田向 権, 森江 隆, "CMOSカオスボルツマンマシン回路のリザーブ計算への応用", 電気学会 電子回路研究会, ECT-19-089, 2019年12月.
- [148] 長 佳蓉子, 白水 孝始, 山口 正登志, 村上 秀樹, 森江 隆, "CMOSカオスボルツマンマシン回路の最適化問題への応用", 第72回電気・情報関係学会九州支部連合大会, 11-1A-10, 2019年9月.
- [149] 森江 隆, "次世代人工知能のための脳型集積回路技術とデバイス技術", 第83回半導体・集積回路技術シンポジウム, 2019年8月.
- [150] 石川, 野口, 清水, 松野, ゴーチェ, 池上, 荻島, 深井, "集積回路と音・光・センサを結びつける学生実験に関する一検討", 電気学会教育フロンティア研究会, 2019年9月
- [151] 木下, 三浦, "耐電源ノイズ用ラッチのソフトウェア耐性", 信学技法, DC2019-97, pp. 67-72, 2020年2月
- [152] 大島史也, 江馬健太郎, 安田 彰, 温度計コード出力 $\Delta\Sigma$ 変調器による低ビット相互相関処理を用いた距離推定法 電気学会電子回路研究会, ECT-020-20, 1月23日-24日, 2020年, (大阪府)
- [153] 江馬健太郎, 大島史也, 安田 彰, 音声認識技術を用いた端末における音声検出部の低消費電力化 電気学会電子回路研究会, ECT-020-006, 1月23日-24日, 2020年, (大阪府)
- [154] 文参・西勝 聡・安田 彰, 周波数掃引を用いた位置検出装置におけるSNR改善の一手法, 電子情報通信学会ソサエティ大会, A-5-8, 9月10日~13日, 2019年, (大阪府豊中市)
- [155] 春田 牧人, 西郷 太輔, 竹原 浩成, 笹川 清隆, 太田 淳, "行動と血流および脳機能の相互関連性解明を目指した小型イメージングデバイスの開発," 第67回応用物理学会春季学術講演会, 2020.3.14. 上智大学 四谷キャンパス.
- [156] Natcha Kulmala, Kiyotaka Sasagawa, Hironari Takehara, Makito Haruta, Jun Ohta, "Lens-free Imaging Device with Hybrid Emission Filter for Dual-color Fluorescent Imaging," 第67回応用物理学会春季学術講演会, 2020.3.13. 上智大学 四谷キャンパス.
- [157] 長谷川 諒, 福成 由基, 秦 真誉, 遠藤 広貴, 張家綺, 森 康登, 鐘堂 健三, 春田 牧人, 竹原 浩

- 成, 笹川 清隆, 太田 淳,"人工視覚システムのAC駆動化に向けたCMOS整流器の設計,"第67回応用物理学会春季学術講演会, 2020.3.13. 上智大学 四谷キャンパス.
- [158] 西郷 太輔, 竹原 浩成, 春田 牧人, 笹川 清隆, 太田 淳,"慢性脳血流観察用 CMOS イメージングデバイスの小型化,"第67回応用物理学会春季学術講演会, 2020.3.13. 上智大学 四谷キャンパス.
- [159] 長谷川真菜, 川崎 祐久, 長沼 京介, 太田 安美, 竹原 浩成, 春田 牧人, 笹川 清隆, 太田 淳,"げっ歯類・マカクザル脳用刺入型光刺激デバイスの作製と評価,"令和2年電気学会全国大会, 2020.3.11. 東京電機大学 東京千住キャンパス.
- [160] Pakpuwadon Thanet, Wuthibenjaphonchai Nattakarn, Makito Haruta, Toshihiko Noda, Kiyotaka Sasagawa, Takashi Tokuda, Mohamad Sawan, Jun Ohta,"1 mm3埋植型光刺激デバイス用光電力伝送チップ,"令和2年電気学会全国大会, 2020.3.11. 東京電機大学 東京千住キャンパス.
- [161] Nattakarn Wuthibenjaphonchai, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta,"Wireless Attachable Health-monitoring Devices Operated by Optical Power Transfer,"令和2年電気学会全国大会, 2020.3.11. 東京電機大学 東京千住キャンパス.
- [162] 杉江 謙治, 笹川 清隆, Mark Christian Guinto, 春田 牧人, 徳田 崇, 太田 淳,"脳内神経活動計測のための角度選択画素を搭載したレンズレスイメージセンサ,"第36回「センサ・マイクロマシンと応用システム」シンポジウム, 2019.11.20. アクトシティ浜松.
- [163] 杉江 謙治, 笹川 清隆, Mark Christian Guinto, 春田 牧人, 徳田 崇, 太田 淳,"角度選択画素による複数視点観察可能な脳内刺入型 CMOS イメージセンサ,"2019年度第2回支部講演会, 2019.11.8. 大阪大学豊中キャンパス シグマホール.
- [164] Chia-Chi Chang, Toshihiko Noda, Kenzo Shodo, Yasuo Terasawa, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta,"2019年度第2回支部講演会, 2019.11.8. 大阪大学豊中キャンパス シグマホール.
- [165] Wuthibenjaphonchai Nattakarn,"Wireless Wearable Device for Non-invasive Health Monitoring, Operated by Optical Power Transfer,"VDEC デザイナーズフォーラム2019, 2019.9.27. 山形県天童温泉 滝の湯.
- [166] Pakpuwadon Thanet,"Wireless optical power transfer platform for ultra-small implantable devices,"VDEC デザイナーズフォーラム2019, 2019.9.27. 山形県天童温泉 滝の湯.
- [167] 杉江 謙治,"角度選択画素を搭載した脳内刺入型レンズレス CMOS イメージセンサ,"VDEC デザイナーズフォーラム2019, 2019.9.27. 山形県天童温泉 滝の湯.
- [168] 森 康登,"人工視覚システムにおける埋植ユニット間通信の高速化・低消費電力化の検討と送受信回路の設計,"VDEC デザイナーズフォーラム 2019, 2019.9.27. 山形県天童温泉 滝の湯.
- [169] Pakpuwadon Thanet,"CMOS-Integrated Optical Transfer for an Ultra-Small Wireless Implantable Devices,"第19回関西コロキウム・電子デバイスワークショップ, 2019.9.24. 龍谷大学大阪梅田キャンパス.
- [170] Natcha Kulmala, Wan Shen Hee, Kiyotaka Sasagawa, Makito Haruta, Jun Ohta,"CMOS Image Sensor for FRET Imaging Using Hybrid Emission Filter,"第80回応用物理学会秋季学術講演会, 2019.9.19. 北海道大学、札幌キャンパス.
- [171] 秦 真誉, 森 康登, Chang Chia-Chi, 遠藤 広基, 野田 俊彦, 鐘堂 健三, 寺澤 靖雄, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳,"人工視覚システムにおける制御回路搭載埋植ユニットへの高速化・低消費電力通信の検討,"第80回応用物理学会秋季学術講演会, 2019.9.19. 北海道大学、札幌キャンパス.
- [172] 遠藤 広基, 野田 俊彦, 寺澤 靖雄, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳,"人工視覚用ハニカム型 CMOS スマート電極アレイの開発と評価,"第80回応用物理学会秋季学術講演会, 2019.9.19. 北海道大学、札幌キャンパス.
- [173] 森 康登, 張 家綺, 遠藤 広基, 秦 真誉, 鐘堂 健三, 寺澤 靖雄, 野田 俊彦, 徳田 崇, 春田 牧人, 笹川 清隆, 太田 淳,"多電極人工視覚向け高周波給電システムの検討,"2019年電子情報通信学会ソサイエティ大会, 2019.9.10. 大阪大学 豊中キャンパス (豊中市).

- [174] Kiyotaka Sasagawa, Yasumi Ohta, Mamiko Kawahara, Erus Rustami, Makito Haruta, Takashi Tokuda, Jun Ohta, "生体埋植蛍光イメージングデバイスの高性能化,"第42回日本神経科学大会 (NEURO2019), 2019.7.27. Toki Messe, Niigata, Japan.
- [175] Mark Christian San Gabriel Guinto, Yasumi Ohta, Mamiko Kawahara, Makito Haruta, Kiyotaka Sasagawa, Takashi Tokuda, Jun Ohta, "Investigation of neural activity related to feeding behavior in GCaMP6 transgenic mice using an implantable imaging device,"第42回日本神経科学大会 (NEURO2019), 2019.7.27. Toki Messe, Niigata, Japan.
- [176] Romeo B Rebusi, Mark Guinto, Yasumi Ohta, Mamiko Kawahara, Makito Haruta, Kiyotaka Sasagawa, Tokuda Takashi, Jun Ohta, "Implantable needle-type imaging sensor device for simultaneous detection of neuronal activity in nuclei involved in nociception,"第42回日本神経科学大会 (NEURO2019), 2019.7.27. Toki Messe, Niigata, Japan.
- [177] 春田 牧人, 倉内 祐樹, 大澤 匡弘, 笹川 清隆, 徳田 崇, 太田 淳, "慢性脳観察用イメージングデバイスの開発,"バイオ・マイクロシステム研究会, 2019.7.1. 東京工業大学すずかけ台キャンパス・すずかけ台大学会館.
- [178] Thanet Pakpuwadon, Nattakarn Wuthibenjaphonchai, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳, "Optical power transfer platform for ultra-small implantable device with alternative current limitations.,"LSIとシステムのワークショップ2019, 2019.5.13. 東京大学 生産技術研究所.
- [179] 森 康登, ChiaChi Chang, 遠藤 広基, 秦 真誉, 野田 俊彦, 鐘堂 健三, 寺澤 靖雄, 春田 牧人, 笹川 清隆, 徳田 崇, 太田 淳, "高解像度人工視覚システム向けスマート電極デバイスの高速信号伝送方式の検討,"LSIとシステムのワークショップ2019, 2019.5.13. 東京大学 生産技術研究所.
- [180] 高橋康宏, 子安博貴, "断熱的論理によるSRAM PUFのポストレイアウトシミュレーション評価,"2019年電気学会電子回路研究会, vol.ECT-19, pp.47-50 (ETC-19-58), Sept. 2019.
- [181] 田中 一平, 宮川 尚之, 木村 知也, 今川 隆司, 越智 裕之, "FiCCを用いたCMOS互換な不揮発性メモリ素子の閾値電圧特性の測定ならびに読み出し方式検討," Proceedings of DAシンポジウム2019論文集, pp. 9--14, Aug. 2019.
- [182] 田中 一平, 宮川 尚之, 木村 知也, 今川 隆司, 越智 裕之, "FiCCを用いたCMOS互換な不揮発性メモリ実現に向けた素子特性測定," 信学技報, vol.119, no.282, pp. 63--68, Nov. 2019.
- [183] 三河, 河添, 福岡, 中野, "脳波取得フロントエンドにおけるシステムレベル周波数多重化", LSIとシステムのワークショップ2019, 2019年5月13-14日
- [184] 吉田, 外村, 中野, "クロスカップルチャージポンプにおける駆動方式の検討", LSIとシステムのワークショップ2019, 2019年5月13-14日
- [185] 外村, 中野, "オンチップメモリ書き込み用自己発振 DC - DC コンバータ", IEICE サステナブルコンピューティング特別研究会 (SUSC) 第2回研究会, 2019年8月10日
- [186] 三浦, 吉田, 外村, Canada, 中野, "リングオンレタ用昇圧器付きクロスカップルチャージポンプ", 電子回路研究会, 2019年12月18-19日
- [187] Canada, 吉田, 外村, 三浦, 中野, "Low-Power High-Voltage Driver Based on Standard CMOS Technology for On-Chip Memory Recording", 電子回路研究会, 2019年12月18-19日
- [188] 吉田, 森, 前澤, "共鳴トンネルダイオード発振器の回路構成と回路パラメータの位相ノイズへの影響", 応用物理学会北陸・信越支部学術講演会, 2019年12月.
- [189] 本村, 前澤, 森, "周波数 $\Delta\Sigma$ 型振動センサー用発振器に対する基板歪みの効果", 応用物理学会北陸・信越支部学術講演会, 2019年12月.
- [190] 前澤, 森, "周波数 $\Delta\Sigma$ 変調方式センサに対する発振器位相ノイズの影響", 電子情報通信学会電子デバイス研究会, ED2019-28, 2019年8月.
- [191] Todokoro, Seto, "Memory access optimization for convolution with scheduling transformations of dependence graphs", SLDM, Jan 2020
- [192] 宜保 遼大, 吉田 司, 本多 亮也, 阿部 晋士, 大平 孝, "製作費5000円以下13.56 MHz電界型走行中ワイヤレス給電ミニ四駆 (Invited Lecture)," 信学技報, vol. 119, no. 465, WPT2019-65, pp. 37-42, Mar. 2020.
- [193] 宜保 遼大, 阿部晋士, 西岡正悟, 大平 孝, "[依

- 頼公演] 整流動作を用いた 6.78 MHz 1.5 W 半導体切替整合回路,” 信学技報, vol. 119, no. 218, WPT2019-34, pp. 43-46, Oct. 2019.
- [194] 北岡 晃, 阿部晋士, 塚本悟司, 大平 孝, “送受対称形電界・磁界結合器の寸法から求まる LC 整合回路の最大電力効率,” 信学技報, vol. 119, no. 218, WPT2019-33, pp. 37-42, Oct. 2019.
- [195] 増田, 佐藤, 小川, 田村, “広い入出力電圧範囲を持つ昇降圧型 DC-DC コンバータの高効率化”, 電気学会研究会資料 電子回路研究会, ECT-19 068-079, pp.43-48, 2019年12月
- [196] 水島, 小川, 佐藤, “スイッチトキャパシタ容量・電圧変換回路の高精度化”, 2019年電子情報通信学会ソサイエティ大会, 講演論文集A-1-2, 基礎・境界/NOLTA講演論文集, p. 2, 2019年9月
- [197] 水島, 小川, 佐藤, “スイッチトキャパシタ容量・電圧変換回路の高精度化に関する研究”, 第26回電気学会東京支部山梨・静岡東部支所研究発表会 予稿集, pp. 6-9, 2019年11月
- [198] 川幡 知孝, 筒井 弘, 宮永 喜一, “高スルーブットスケラブル Radix-4 FFT 回路の設計とその回路規模評価,” 電子情報通信学会総合大会, p. 124, A-15-2, Mar. 2020.
- [199] 平山 茉莉子, 筒井 弘, 宮永 喜一, “5G規格無線通信システムにおけるスクランブルのハードウェア実装,” 電子情報通信学会北海道支部学生会インターネットシンポジウム予稿集, Feb. 2020.
- [200] 塩見, “アウトフェーズ構成による適応負荷制御を用いた高効率増幅器”, MIKA 研究会, 2019年10月.
- [201] 石原直志, 三輪祐三久, 前川竜也, 中村誠, 伊藤大輔, “バースト対応電気分散補償回路におけるモニタ回路の高速応答化の検討”, 電子情報通信学会ソサイエティ大会, A-1-9, 2019年9月.
- [202] 湯浅貴文, 三輪祐三久, 石原直志, 志津有記, 中村誠, 伊藤大輔, “バースト伝送用帯域可変 CMOS RGC-TIA 回路の検討”, 電子情報通信学会総合大会, A-1-15, 2020年3月.
- [203] 佐藤優杜, 脇田健杜, 佐藤匠, 中村誠, 伊藤大輔, “異なる実装条件に対応可能な入力抵抗可変 TIA の提案”, 電子情報通信学会総合大会, A-1-16, 2020年3月.
- [204] 篠田龍一, 林宏太, 鷺見和紀, 中村誠, 伊藤大輔, “PAM4 信号対応 CMOS ドライバ回路出力整合回路の検討”, 電子情報通信学会総合大会, A-1-18, 2020年3月.
- [205] 霜田幸長, 林宏太, 鷺見和紀, 中村誠, 伊藤大輔, “PAM4 受信器用波形劣化補償器の補償量改善の一検討”, 電子情報通信学会総合大会, A-1-19, 2020年3月.
- [206] 三角 剛, 唐鎌侑馬, 佐伯勝敏, 佐々木芳樹, “高頻度刺激と発振周波数に依存したシナプス電子回路モデルの構築”, 電気学会電子回路研究会, ECT-19-085, pp.23-26, 2019.12.18.
- [207] 丹羽春太, 佐伯勝敏, 佐々木芳樹, “集積化可能な能動的樹状突起モデルの構築”, 電気学会電子回路研究会, ECT-19-087, pp.31-34, 2019.12.18.
- [208] 佐々木芳樹, 佐伯勝敏, “パルス形ニューロンモデルの実装に対する検討”, 電気学会電子回路研究会, ECT-19-092, pp.49-52, 2019.12.18.
- [209] 徳田 崇, Pakpuwadon Thanet, Wuthibenjaphonchai Nattakarn, 春田 牧人, 笹川 清隆, 太田 淳, “生体埋め込みデバイス向けワイヤレス光電力伝送技術,” 電気学会総合研究会, 2019/7/1
- [210] 徳田 崇, Pakpuwadon Thanet, Wuthibenjaphonchai Nattakarn, 春田 牧人, 笹川 清隆, 太田 淳 生体埋め込みデバイス向けワイヤレス光電力伝送技術,” 電気学会マイクロマシン・センサシステム/バイオ・マイクロシステム合同研究会,” 2019/8/6
- [211] 徳田 崇, Pakpuwadon Thanet, Wuthibenjaphonchai Nattakarn, 春田 牧人, 笹川 清隆, 太田 淳, “バッテリーレス超小型光刺激デバイス,” 第57回日本生物物理学会年会, 宮崎シーガイア 2019/9/25
- [212] 安丸, 中西, 伊東, 土本, 山田, 森, 井田, “nW 級 1MHz 帯レクテナ”, 信学技報, vol. 119, no. 12, MW2019-8, pp. 39-43, 2019年4月
- [213] 辻田, 坂井, 伊東, 土本, “微小ループアンテナを用いる 920MHz 帯高感度レクテナ”, 信学技報, vol. 119, no. 37, MW2019-14, pp. 25-30, 2019年5月
- [214] 安丸, 坂井, 野口, 伊東, “SOI-CMOS 整流器 IC を用いる nW 動作 1MHz 帯レクテナ”, 信学技報, vol. 119, no. 346, MW2019-120, pp. 11-16, 2019年12月
- [215] 伊東, 安丸, 田村, 坂井, 牧野, “AMC 基板上

- の折り返しダイポールアンテナを用いる920MHz帯高感度レクテナ”, 信学技報, vol. 119, no. 346, MW2019-121, pp. 17-22, 2019年12月
- [216] 安丸, 辻田, 田村, 坂井, 伊東, 牧野, “920MHz帯レクテナの室内における受電特性”, 信学技報, vol. 119, no. 380, WPT2019-50, pp. 7-12, 2020年1月
- [217] 伊東, 坂井, 土本, 野口, 井田, “直接整合による2.4GHz帯高感度レクテナ”, 2019 信学ソ大 C-2-15, 2019年9月
- [218] 辻田, 坂井, 伊東, 土本, “微小ループアンテナを用いる920MHz帯高感度レクテナ”, 2019 信学ソ大 C-2-16, 2019年9月
- [219] 安丸, 伊東, 土本, 坂井, 井田, “nW級1MHz帯レクテナ”, 2019 信学ソ大 C-2-17, 2019年9月
- [220] 廣野, 伊東, 坂井, “直接整合による2.4GHz帯高効率レクテナの検討”, 2019 信学ソ大 C-2-18, 2019年9月
- [221] 米村, 伊東, 坂井, “Crescent形状のループアンテナを用いた2.4GHz帯レクテナ”, IEEE AP/MTT-S Nagoya Chapter 学生発表会, 2019年12月
- [222] 廣野, 坂井, 伊東, “直接整合による2.4GHz帯高効率レクテナの検討”, 信学技報, vol. 119, no. 135, WPT2019-22, pp. 1-6, 2019年7月
- [223] 佐藤大介, 宇佐美公良, “超低電圧向けオンチップリークモニタ型温度センサ回路の提案と評価”, 信学技報 VLD2019-33, pp.45-50, デザインガイア, 2019年11月13日.
- [224] 秋葉爽輔, 宇佐美公良, “2電源を用いた不揮発性フリップフロップの提案と評価”, 信学技報 VLD2019-99, pp.31-36, VLD 3月研究会, 2020年3月5日.
- [225] 米田, “ポストレイアウトシミュレーションのためのSPFファイル縮小化に関する一考察”, 2019年DAシンポジウム, pp.166-171, 2019年8月.
- [226] 山根, 木村, 増澤, “周波数分割多重によるロックイン検出の集積化磁気センサアレイへの導入”, 「センサ・マイクロマシンと応用システム」シンポジウム, 2019年11月
- [227] 半田, 木村, “耐放射線性イメージセンサで 사용되는MOSFET構造の最適化による応答速度向上に関する検討”, 令和元年度電気学会茨城支所研究発表会, 2019年12月
- [228] 藤村, 山根, 木村, 増澤, “2次元集積化磁気センサとロックイン検出を用いた微小磁場の測定に関する検討”, 令和元年度電気学会茨城支所研究発表会, 2019年12月
- [229] 伊藤浩之, 古賀達也, 市川崇志, 山根大輔, 石原昇, 三宅美博, 町田克之, 益一哉, 「兆し計測のための高感度MEMS加速度センサ技術」, 計測自動制御学会 システム・情報部門 学術講演会 2019, SS16-03, 11月15日, 千葉大学
- [230] 安藤 幹, 大島 佑太, 吉田 僚一郎, 鍋屋 信介, 平川 顕二, 岩瀬 正幸, 小笠原 宗博, 依田 孝, 石原 昇, 伊藤 浩之, 「2次元アレイ状データ転送回路のアーキテクチャの検討」電子情報通信学会 総合大会, C-12-24, 2020年3月17日
- [231] 吉田 僚一郎, 安藤 幹, 大島 佑太, 鍋屋 信介, 平川 顕二, 岩瀬 正幸, 小笠原 宗博, 依田 孝, 石原 昇, 伊藤 浩之, 「ELTの耐放射線性評価と特性換算モデルの検討」電子情報通信学会 総合大会, C-12-11, 2020年3月17日
- [232] 大島 佑太, 安藤 幹, 吉田 僚一郎, 鍋屋 信介, 平川 顕二, 岩瀬 正幸, 小笠原 宗博, 依田 孝, 石原 昇, 伊藤 浩之, 「2次元アレイ状データ転送回路における放射線影響の評価」電子情報通信学会 総合大会, C-12-10, 2020年3月17日
- [233] 笈祐弥, 宇賀神守, 伊藤信之, “位相補償構成による4相LC電圧制御発振器の位相雑音低減,” 電気学会 電子回路研究会, ECT-020-022, 大阪, 2020年1月24日.
- [234] 田島直樹, 森下賢幸, 小椋清孝, 伊藤信之, “インダクタ結合を用いた準ミリ波Class-C発振器の検討,” 第21回 IEEE 広島支部学生シンポジウム論文集, pp.322-323, 岡山, 2019年11月30日-12月1日.
- [235] 澤山唯人, 森下賢幸, 小椋清孝, 伊藤信之, “低雑音・低利得偏差二帯域同時受信増幅器の検討,” 第21回 IEEE 広島支部学生シンポジウム論文集, pp.320-321, 岡山, 2019年11月30日-12月1日.
- [236] 原拓実, 吉田隼, 北形大樹, 山本修一郎, 菅原聡, “ニアスレッショルド電圧動作擬似不揮発SRAMセルの設計と解析”, 第77回応用物理学会春季学術講演会, 千代田区, 東京, 2020年3月12日-15日, paper 12p-A305-10.
- [237] 吉田隼, 北形大樹, 山本修一郎, 菅原聡, “新型擬似不揮発性SRAMセルの提案”, 第77回応用物理学会春季学術講演会, 千代田区, 東京,

2020年3月12日-15日, paper 12p-A305-9.

- [238] 原拓実, 吉田隼, 北形大樹, 山本修一郎, 菅原聡, “各種リテンション技術を用いたSRAMのパワーゲーティング性能”, 第80回応用物理学会秋季学術講演会, 札幌市, 北海道, 2019年9月18日-21日, paper 18a-B11-10.
- [239] 瀧口憲一郎, 北形大樹, 松崎翼, 山本修一郎, 菅原聡, “不揮発/擬似不揮発性FFを用いたパワーゲーティングの性能評価”, 第80回応用物理学会秋季学術講演会, 札幌市, 北海道, 2019年9月18日-21日, paper 18a-B11-9.
- [240] 吉田隼, 北形大樹, 山本修一郎, 菅原聡, “不揮発/擬似不揮発記憶を用いたSRAMのパワーゲーティング性能”, 第80回応用物理学会秋季学術講演会, 札幌市, 北海道, 2019年9月18日-21日, paper 18a-B11-8.
- [241] 塩津勇作, 山本修一郎, 舟窪浩, 黒澤実, 菅原聡, “新構造ピエゾエレクトロニックトランジスタを用いたFFの設計と性能”, 第80回応用物理学会秋季学術講演会, 札幌市, 北海道, 2019年9月18日-21日, paper 18a-B11-7.
- [242] 北形大樹, 山本修一郎, 菅原聡, “NV-SRAMを用いたUseless dataの積極的破棄による不揮発性パワーゲーティング”, 第80回応用物理学会秋季学術講演会, 札幌市, 北海道, 2019年9月18日-21日, paper 18a-B11-11.
- [243] 石川皓史, 小谷光司, 「レーザー光を用いた微小電力無線伝送技術」, 本荘由利テクノネットワーク【学生×企業】事業 秋田県立大学学生パネル発表, [B-3], 2020年2月.
- [244] 石川皓史, 菊地杜斗, 小宮山崇夫, 長南安紀, 山口博之, 小谷光司, 「光無線電力伝送向け光スイッチングブーストコンバータの整流回路構成最適化」, 電子情報通信学会総合大会, B-20-7, 2020年3月.
- [245] 野口駆, 宇佐美蓮, 小宮山崇夫, 長南安紀, 山口博之, 小谷光司, 「最大出力電力制御による高周波整流回路の電力広帯域化」, 電子情報通信学会総合大会, B-20-8, 2020年3月.
- [246] 小宮山崇夫, 小谷光司, 井上翔太, 長南安紀, 山口博之, 「pnダイオード整流回路を基準とした高周波整流器用性能指数」電子情報通信学会通信ソサイエティ無線電力伝送研究専門委員会第14回ポスターコンテスト, 2020年3月.

著書

- [1] Naoki Ojima, Toru Nakura, Tetsuya Iizuka, and Kunihiko Asada ``A 65 nm CMOS Synthesizable Digital Low-Dropout Regulator Based on Voltage-to-Time Conversion with 99.6% Current Efficiency at 10-mA Load," pp. 1 - 13, ``VLSI-SoC! Design and Engineering of Electronics Systems Based on New Computing Paradigms," Springer, June 2019.
- [2] 和保 孝夫, 安田 彰, $\Delta\Sigma$ 型アナログ/デジタル変換器入門, 丸善, 2020年1月7日

特許

- [1] 李 尚曄, 藤島 実, “デュアルモード高速無線受信機およびデュアルモード高速無線通信 システム,” 特願2019-099465, 2019/5/28
- [2] 李 尚曄, 藤島 実, “電圧制御発振器,” 特願2019-099466, 2019/5/28
- [3] 李 尚曄, 藤島 実, “サブサンプリング位相同期回路,” 特願2019-099467, 2019/5/28
- [4] 李 尚曄, 藤島 実, “注入同期型分周器,” 特願2019-150151, 2019/8/20
- [5] 李 尚曄, 吉田 毅, “半導体チップの電極パッド,” 特願2020-018228, 2020/2/5
- [6] 浅見 幸司, 飯塚 哲也, ビヤムバドルジ ゴルポー ``圧縮センシング回路向けキャリブレーション技術," 特願2020-76379.
- [7] 飯塚 哲也, 徐 祖楽, 長田 将 ``フラクショナル位相同期回路および位相同期回路装置," 特願2019-192731.
- [8] 飯塚 哲也, 高橋 奈悟, 藤田 悠介, 三浦 賢 ``クロストーク・キャンセル回路、送信装置および送受信システム," 特願2019-152624.
- [9] 大田一郎, 寺田晋也, 指数関数発生回路, 特願2019-166647号 (2019.8)
- [10] 大田一郎, 寺田晋也, クロック発生回路, 特願2019-240167号 (2019.12)
- [11] 佐伯勝敏, 奥山敦司, 負性抵抗回路及び発振回路 特許第6539911号 令和元年6月21日

B. VDECの利用規定・申し込みガイド

B.1 概要

VDECは、全国の大学・高専向けに様々な支援事業を実施している。

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会(8-9月・3月)
4. 社会人リフレッシュ教育(6月-8月、学生も参加可能)
5. VLSIデザイナーフォーラム(若手の会)
6. 大型装置利用

CADベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC設立以来、これまでの実績では、CADの利用・CAD講習会は無償、LSI試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザにはVDECを利用する「顧客」ではなく、VDECと一緒にサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDECの担当者(vdec@vdec.u-tokyo.ac.jp)に必ず相談いただきたい。その他のサービスについてはVDECの裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が51%以上のイニシアチブを取る研究であることが必要である。

また、CADの申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDECのシステムは、InternetとUnix operating

systemの上になりたっているので、Internetの仕組やUnixについての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切りわけながら対処することが勧められる。

B.2 まずはじめに

VDECからのおしらせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDECのWEBページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol (IP) アドレスによって制限をかけている。

従って、VDECを利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な(サービス開始前1ヶ月以上)時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEBページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字2字+半角数字5桁(例: VD00000)からなる。

申込で特に注意する点は、VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxyサーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5のように、IPアドレスを全て「半角」の英数字で、「,」(半角カンマ)で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT(IP masqueradeというプログラム名で呼ばれることもある。機能としてはNATが正しい。)で研究室内をローカルネットワークにしている場合は、NATサーバのアドレスを入力する。よくある間違いとして、ローカルネットワークのIP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

ネットワークが変更になるとか、研究室のマシン増設などでIPアドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古いIPが使えなくなるといった大幅なネットワークの変更がわ

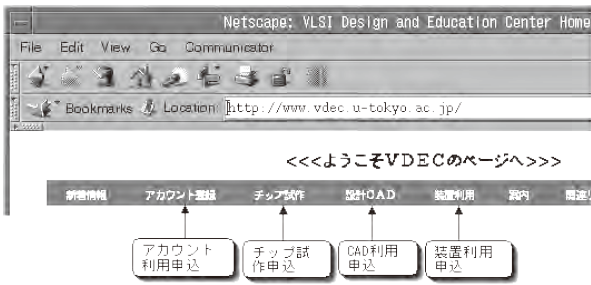


図 B.1 VDEC ホームページのインデックスフレーム

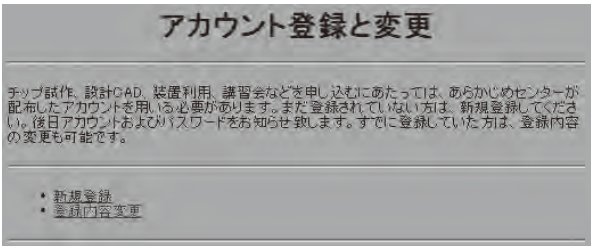


図 B.2 アカウント登録・変更ページの入口

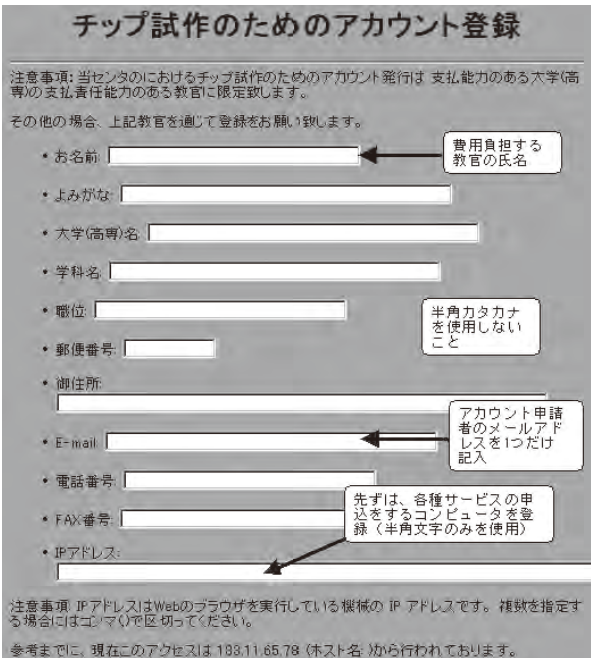


図 B.3 アカウントの新規登録の注意点

かっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じE-Mailアドレスを入力することで上書き変更が可能である。

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない（しても意

味が無い)

- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

B.3 CADツールの共同利用

VDECでは、集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している。これらのソフトウェアは、VDECのVLSI試作以外のアカデミック用途(MOSIS-VDECを通じた試作、教育用の演習、EB等VDECの大型装置利用のためのデータ作成用、等)の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーからCADを選べる状況(二重化)を理想としている。LSIの設計には、CADソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD申込のWEBページに教員がアクセスする(WEBアカウントが必要である)。NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後、CADの申請ができる。

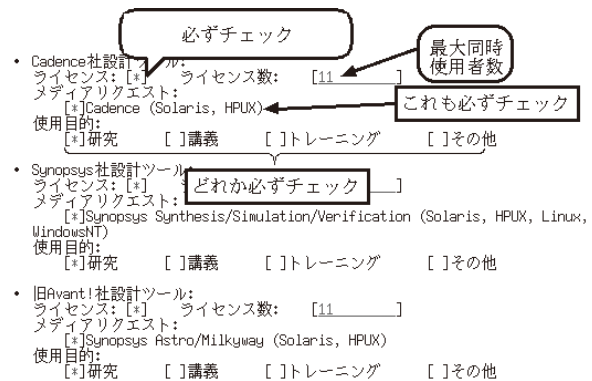


図 B.4 CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

申請時にWEBから入力する内容は以下のとおり。

- ソフトウェアライセンス数(研究室で同時に使用すると思われる最低数を入力)
- 用途
- メディアリクエスト(使用するOperating Systemを選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム(VDEC, 端的にはusr1から名前→IPアドレスの解決ができる, 「.ac.jp」で終わるホスト名であることが条件。)

ソフトウェアのCDROM(メディア)について, VDECの創設期においては, メディアを近隣の研究室で「回覧」していたが, インターネットの発達により回線が豊富になったので, 現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら, VDECのユーザアカウントとパスワードが必要となるため, CADを申請してから数週間程度の時間差が必要となるであろう。

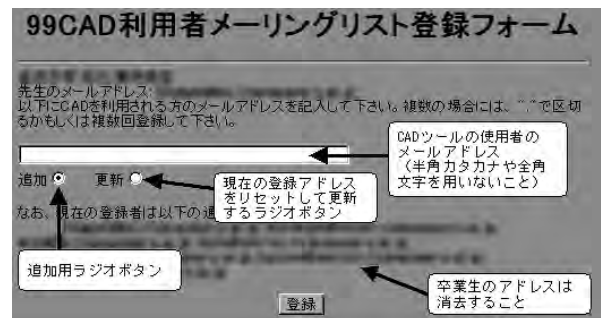
メディアをダウンロードした後, プログラムをインストールし, 初期設定ファイルを整備する。特に, ライセンスファイルはWEB経由で別途取得の上設定するか, 環境変数LM_LICENSE_FILE等を(ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する。また, /etc/hostsファイル等を設定し, ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には, 手元のワークステーションにおいて, 例えば「vdec-cad1」と指定するだけで, FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには, VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので, VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも, 稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また, ライセンスサーバの認証は, CADツール起動後も数分おきに行われるので, CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない。また, ファイアーウォールを使用しているネットワーク環境では, VDECのWebサーバとVDECおよび地域拠点校に対して, ライセンス認証用

の特定のポートを空ける必要がある。この場合, 各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが, はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして, 各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは, 「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿, 返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから, 利用するメンバのE-Mailアドレスを登録すること。特にその際, 「.ac.jp」で終わるアドレスを利用し, メールはプロバイダ等に転送しないこと(情報漏洩の観点から)。
2. リストの更新は頻繁におこない, 卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に, あらかじめCADuser MLの過去記事検索がWEBからできるので, 類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは, CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら, 問題, 原因, 解決法をまとめて投稿すること(必須ではないが, ネット利用のエチケットといえる)。



図B.5 CAD利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点、熟読必須。】

1. VDECでは、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマークを強くお勧めする。
4. IPアドレス(ホスト名) registered という表示が出ていれば登録されている。
5. false(false(ホスト名)) FAIL という表示が出ていれば登録に失敗しているので、原因を探る。

一般的に、DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

B.4 VLSI試作サービスの共同利用

VLSI試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行う。これはVDECホームページの「試作関係>試作案内>機密保持契約(NDA)の文面」より、希望プロセスのNDAにサインしてVDECに郵送し、VDEC側で手

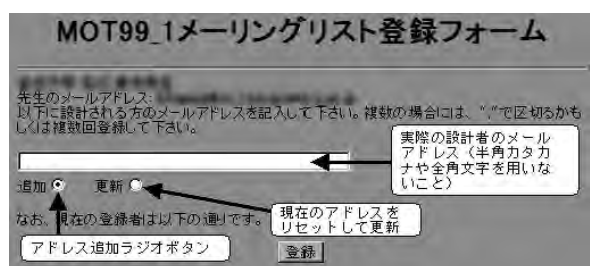
続き終了後にNDA締結となり、設計規則やライブラリにアクセスできるようになる。設計規則はWEB経由のアクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出日切日の6~3ヶ月前、キャンセルの日切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI申込フォームの入力に関する注意点 (図5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。



図B.6 VLSI試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDECが提供する最新のDesign Rule Checkファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通して、提出しようとする回路が本当に動作しそうである確信を持つておくことは最低限必要であろう。デザインの提出は指定されたVDECページから行う。提出時にVDEC側で最終DRCを実行する。ここでエラーが出たチップは提出できない。必ず自分の

環境でDRCフリーにしてからチップを提出すること。

提出切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

B.5 CADツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。東京大学の武田先端知ビルセミナー室にてメイン会場として開催され、各地方の拠点校へサブ会場としてストリーミング配信される。まずはこういった講習会に参加し、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスはCADUser メーリングリストで流れる。また、申込は、VDECのWEBページから行う。

B.6 社会人・大学リフレッシュ教育

CADツール講習会からさらに進んだ形で、VDEC環境での回路設計、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、RFコース、「MEMsコース」らびに一線の研究者による設計事例の講演会などを企画している。6月～9月に開催し、有料である。社会人を主に対象としていたが、近年関係者にも向けている。

B.7 デザイナズフォーラム(旧若手の会)

毎年9月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

B.8 大型装置利用

LSIテスターや、EB装置など、公開可能な装置については、利用の案内をWEBページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

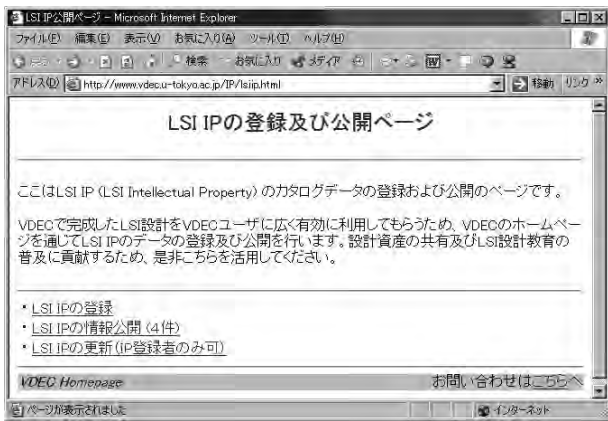
C. IPデータベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている (<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>, 図C.1)。本データベースの利用対象は、IP登録に関してはVDECユーザーに限定しているが、IP利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IPのカタログデータの整理、公開および登録者一

利用者間の仲介と機密情報の取り扱いの監督である。

平成12年度から平成14年度の3年間、(株)半導体理工学研究センター(STARC)との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みのIPを表C.1に示す。



図C.1 VDEC LSI IP Webデータベースの例

表C.1 VDEC LSI IPデータベースに登録済みのIP(平成24年3月現在)

登録番号	IP名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

令和2年度
東京大学工学系研究科附属システムデザイン研究センター
(大規模集積システム設計教育研究センター)
年報

2020年8月

編集・発行

東京大学工学系研究科附属システムデザイン研究センター
黒田 忠広
〒113-8656
東京都文京区本郷7-3-1工学部2号館111A1
TEL 03-5841-6561

印刷・製本

株式会社総北海 東京支店
〒130-0022
東京都墨田区江東橋4丁目25番10号 加藤ビル2F
TEL 03-5625-7321



Systems Design Lab

Systems Design Lab, School of Engineering, The University of Tokyo 2020



VLSI Design and Education Center The University of Tokyo 2020

